

### Contribution à la modélisation RF de diode Schottky intégrée en Technologie BiCMOS 55 nm et visant des applications sub-THz

Vincent Gidel

### ► To cite this version:

Vincent Gidel. Contribution à la modélisation RF de diode Schottky intégrée en Technologie BiCMOS 55 nm et visant des applications sub-THz. Electronique. Université Côte d'Azur, 2020. Français. NNT : 2020COAZ4088 . tel-03185205

### HAL Id: tel-03185205 https://theses.hal.science/tel-03185205

Submitted on 30 Mar 2021

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers. L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



#### ÉCOLE DOCTORALE

CIENCES ET ECHNOLOGIES DE INFORMATION ET DE A COMMUNICATION

# THÈSE DE DOCTORAT

Contribution à la modélisation RF de diode Schottky intégrée en Technologie BiCMOS 55 nm et visant des applications sub-THz

## Vincent GIDEL

Polytech'Lab / IEMN

#### Présentée en vue de l'obtention du grade de docteur en Electronique d'Université Côte d'Azur et de l'Université de Lille Dirigée par : Cyril Luxey / Guillaume Ducournau Co-encadrée par : Frédéric Gianesello Soutenue le : 27 Octobre 2020

#### Devant le jury, composé de :

Luca Varani, Professeur, Université de Montpellier Frédéric Aniel, Professeur, Université Paris-Sud/Paris-Saclay

Gilles Jacquemod, Professeur, Université Côte d'Azur Diane Titz, Docteur et Professeur agrégé en CPGE, Lycée Jules Ferry à Cannes

Ullrich R. Pfeiffer, Professeur, Université de Wuppertal Jean-Marc Laheurte, Professeur, Université Paris-Est Jeanne Treuttel, Docteur, Ingénieure de Recherche Classe 1, Observatoire de Paris Guillaume Ducournau, Professeur, Université de Lille

Cyril Luxey, Professeur, Université Côte d'Azur Frédéric Gianesello, Docteur, STMicroelectronics

# CONTRIBUTION A LA MODELISATION RF DE DIODE SCHOTTKY INTEGREE EN TECHNOLOGIE BICMOS 55 NM ET VISANT DES APPLICATIONS SUB-THZ

### Jury :

### Président du jury :

Jean-Marc Laheurte, Professeur, Université Paris-Est

### **Rapporteurs :**

Luca Varani, Professeur, Université de Montpellier Frédéric Aniel, Professeur, Université Paris-Sud/Paris-Saclay

### **Examinateurs :**

Guillaume Ducournau, Professeur, Université de Lille Cyril Luxey, Professeur, Université Côte d'Azur Frédéric Gianesello, Docteur, STMicroelectronics Jeanne Treuttel, Docteur, Ingénieure de Recherche Classe 1, Observatoire de Paris Ullrich R. Pfeiffer, Professeur, Université de Wuppertal

### Invités :

Diane Titz, Docteur et Professeur agrégé en CPGE, Lycée Jules Ferry à Cannes Gilles Jacquemod, Professeur, Université Côte d'Azur

# Contribution à la modélisation RF de diode Schottky intégrée en Technologie BiCMOS 55 nm et visant des applications sub-THz

#### RESUME

Dans un monde qui doit faire face aux défis de la mobilité et de la sécurité, le besoin croissant d'applications adaptées aux nouveaux modes de vie a fait émerger de nouveaux marchés technologiques. L'enjeu réside à la fois dans l'augmentation du trafic mondial de données mobiles ainsi que dans la conception de systèmes de détection LiDAR plus efficients. Cette tendance duale a motivé de nombreux travaux de recherche en bande millimétrique afin de développer de circuits toujours plus performants. Les recherches scientifiques présentées dans cette thèse s'inscrivent dans ce sens. La première partie de l'étude porte sur le développement d'une architecture de diode Schottky innovante en technologie BiCMOS 55. Les diodes concues montrent des performances intrinsèques à l'état de l'art avec des fréquences de coupure avoisinant les 1 THz. Une stratégie de modélisation analytique a été initiée en s'appuyant sur le dimensionnel et la physique de l'architecture et se montre efficacement en bon accord avec les facteurs de mérite extraits des mesures. Les diodes sont ensuite incluses dans deux circuits démonstrateurs. Le premier est un mélangeur sous-harmonique intégré sur silicium fonctionnant autour de 106 GHz. La conception du mélangeur s'appuie sur l'utilisation conjointe de l'architecture de diode Schottky et du modèle analytique développés en technologie BiCMOS 55nm. Malgré des pertes de conversion de 20,3 dB, la réception d'un signal QAM-16 démodulé avec un débit de 40 Gbit/s a pu être démontrée. Le second circuit démonstrateur porte sur le développement d'un pixel unitaire pour des applications d'imagerie fonctionnant à 2,5 THz. Cette deuxième étude propose également une stratégie détaillée de conception d'antennes intégrées en technologie silicium. L'objectif est d'établir la faisabilité de ces circuits innovants sur des technologies silicium commerciales en vue de s'insérer dans les marchés 5G et LiDAR afin d'adresser les enjeux actuels.

<u>Mots-clés :</u> Diodes Schottky, Technologies Silicium, Model Analytique, Mélangeur sous-harmonique, Pixel Rectenna

# **RF** modeling and integrated Schottky diode design in BiCMOS 55nm technology for mmW applications

#### ABSTRACT

In a world facing new challenges such as mobility or safety, the increasing demand of applications fitted to new ways of life has driven the emergence of new technology markets. The challenge twofold lies in the rise of global mobile data traffic and the design of more efficient LiDAR sensor's systems. This dual trend has prompted research studies on millimeter-wave bands in order to contribute to the development of increasingly competitive electronics circuits. Scientific researches presented in this thesis falls within this perspective. The first part of the study deals with the development of an innovative Schottky diode architecture in BiCMOS 55 nm technology. The fabricated Schottky diodes show state-of-the-art intrinsic performance with cut-off frequencies nearby 1 THz. An analytical modeling strategy have been initiated by leveraging the architecture dimensions and physics to efficiently provide à fair agreement with the factor of merit extracted from measurements. Some of these devices are then included in two demonstrator circuits. The first one is a silicon-based subharmonic mixer operating around 106 GHz. The subharmonic mixer design relies on the collaborative use of the Schottky diode architecture and the analytical lumped model developed in BiCMOS 55nm technology. Despite a 20.3 dB conversion loss, the reception of QAM-16 demodulated signal with data rate up to 40 Gbit/s has been achieved. The second circuit concerns a unit pixel for imager applications operating at 2.5 THz. This second study also suggests a detailed strategy of the integrated antennas designed in silicon technology. This research work aims at determining the feasibility innovative circuits designed with commercially available silicon technologies in order to address 5G and LiDAR markets.

Keywords: Schottky Diodes, Silicon Technologies, Analytical Model, Subharmonic mixer, Rectenna Pixel

# REMERCIEMENTS

Je tiens à remercier, dans un premier temps, Messieurs Luca Varani et Fréderic Aniel d'avoir accepté d'être les rapporteurs de cette thèse.

J'aimerais également adresser mes remerciements au professeur Jean-Marc Laheurte pour m'avoir fait l'honneur de présider le jury, ainsi qu'au professeur Ullrich R. Pfeiffer qui a enrichi la discussion scientifique lors de la soutenance.

#### **STMicroelectronics (Crolles)**

Je souhaite remercier en premier lieu l'entreprise qui m'a permis, tout au long de ces trois dernières années, d'enrichir mes connaissances, d'acquérir une expérience professionnelle formatrice, et de découvrir les technologies silicium. Cette opportunité m'a offert la possibilité de travailler et d'échanger avec différents laboratoires de recherche afin d'approfondir mes connaissances, tout en en apprenant davantage au sein d'un pôle majeur d'innovation sur le marché mondial. Ce projet de trois années est le fruit d'échanges et d'interactions au sein de différentes équipes qui ont apporté leur pierre à l'édifice. De ce fait, je souhaite leur exprimer toute ma gratitude.

#### **Equipe RFSS (device) :**

Je tiens à exprimer mes remerciements les plus sincères à Frédéric Gianesello qui fut un tuteur industriel hors pair et à qui je dois énormément. C'est grâce à ses conseils que j'ai pu mener à bien ce projet. Il m'a ainsi appris à ne pas « construire sur du sable » en faisant des « études premier ordre » pour obtenir du résultat. Il m'a également permis de développer mon esprit critique, en m'aidant à distinguer les échanges constructifs des échanges dits « lunaires ». Enfin, je souhaite le remercier pour son support à travers nos divers échanges au quotidien, car, même si d'après ses propres dires « il n'est pas assistante sociale », il a toujours été à mon écoute.

Je remercie Daniel Gloria, notre manager, pour ses précieux conseils et ses remarques toujours pertinentes offrant un suivi de qualité, en dépit de son planning au dynamisme effrayant. Je lui suis également reconnaissant de m'avoir avoir appris que parfois l'action la plus légitime pour parvenir à un résultat est « de ne rien faire », ce qui parait pourtant déroutant au premier abord.

J'exprime également mes remerciements aux leaders techniques « Device » et « Carac » : Cédric Durand et Sébastien Jan. Grâce aux conseils prodigués par Cédric, j'ai pu efficacement relier mon travail de thèse aux outils et besoins de l'équipe, contribuant à donner du crédit et de la plus-value à mes travaux. Du côté de l'équipe « Carac », je tiens à remercier Sébastien qui a réussi à inclure au planning mes caractérisations de composants, bien que non prioritaires. Je souhaite enfin les remercier tous deux pour leur sympathie au quotidien.

Je souhaite à présent particulièrement remercier ma « co-box » Florence Sonnerat, pour qui un manuscrit de thèse entier ne suffirait pas à exprimer toute ma gratitude. Même si elle se qualifie souvent de « mauvaise personne », cela ne pourrait être plus loin de la vérité. En effet, la « Party-Rock Manager » qui sommeille en elle est, et demeure, un élément de cohésion essentiel au sein de l'équipe. Par la proximité des bureaux, mais aussi des projets (Diodes Schottky ou Diodes Varicap, cela reste des diodes), j'ai pu quotidiennement solliciter ses conseils que ce soit sur le plan technique mais aussi sur celui de la vie de l'entreprise. Je la remercie également pour tous ces moments d'échanges intra- ou extra-professionnels qui ont œuvré à l'avancée de ce projet et me laissent d'excellents souvenirs sur le plan personnel.

C'est un remerciement éclairé que je souhaite adresser à « RDb » alias Romain Debroucke (ou « Romain Des bivouacs ») car il m'a appris que vraiment rien ne sert de courir.

Je remercie également le « braconnier virtuel », Joao Carlos Azevedo Gonçalves, pour ses conseils en matière de caractérisation, et pour avoir contribué indirectement à alimenter la discussion autour de la diode Schottky. Cela fut particulièrement instructif et me laisse également de très bons souvenirs.

Je remercie conjointement Metig Hello et Michel Buczko pour leur support conséquent en termes de caractérisations des diodes Schottky réalisées durant ces travaux, ainsi que pour tous les moments que nous avons partagés au quotidien.

Je remercie également Charles-Alex Legrand dit « Charly » pour son soutien en caractérisation, complémentaire à celui de Metig et Michel, et pour m'avoir fait découvrir une alternative au « Air Guitar » nommé « Air probing ».

Je remercie par ailleurs Ophélie Foissey pour nos nombreux échanges sur les diodes Schottky et PIN qui m'ont été plus qu'utiles au quotidien, mais également pour tous les moments privilégiés de discussion autour des séries Netflix ou des jeux Nintendo Switch aux pauses Vap.

Je remercie aussi Cybelle Belem-Gonçalves pour sa bonne humeur et sa sympathie. Je garderai un excellent souvenir de ce restaurant sur la côte niçoise, malgré le fait que nous étions stressés par nos présentations du labo commun et que nous avions égaré Francesco en chemin.

Je remercie Clément Charbuillet qui a su révolutionner l'utilisation de Cadence pour toute l'équipe. Ayant de fait instauré une nouvelle religion dont il est le Dieu, en simplifiant les aspects les plus fastidieux de la conception des jeux de masques, il s'est à contrario rendu indispensable pour simplement lancer le logiciel. Son humour incisif, associé à une pointe d'insolence, et couplé à son support logiciel, resteront gravés dans ma mémoire.

Je remercie le roi de la glisse Nicolas Pelloux pour m'avoir partagé son expérience à l'étranger ainsi que sa façon d'organiser sa semaine de travail, informations très instructives pour ma part.

Je remercie également Victor Fiorese, mon confrère ENSEArc, pour tous les bons moments d'échange mais aussi pour m'avoir partagé ses astuces financières contre quelques astuces de layout. Que Bonnie Tyler te guide !

Je remercie David Ouattara pour son partage de culture d'animation japonaise finement négocié, encore une fois, contre quelques astuces de layout finishing.

Je remercie également Simon Bouvot pour la bonne humeur naturelle qu'il partage, bien qu'il ait pris son envol sur les 10 derniers mois qui ont précédé la première vague de Covid-19. Attention à la chute du retour à ST toutefois !

Je remercie, en outre, Gérard Haury qui travaille à garder le self-control, et à Françoise qui « connait les bails » pour les quelques discussions sages données par les doyens, et qui me laissent un très bon souvenir.

Je remercie enfin Jeff Nowakowski pour m'avoir expliqué ce qu'est le capex de manière théâtrale autour d'une bonne tasse de thé. Nos salutations à la nonchalance démesurée me laisseront un souvenir joyeusement burlesque.

#### Equipe PI :

Je tiens à remercier par ailleurs Pascal Chevalier, Alexis Gauthier, Victor Milon et Nicolas Guitard pour leur support de qualité côté process, ce qui m'a permis de mener à bien l'intégration de mes diodes Schottky dans les différentes technologies BiCMOS et CMOS proposées chez STMicroelectronics.

#### **Equipe RFSS (Device2Demonstrateur) :**

Je remercie également l'ensemble de la seconde partie de l'équipe pour m'avoir permis de découvrir d'autres points de vue et des façons différentes d'aborder les problématiques.

#### **Organisation iDNA :**

Enfin, je remercie également Roberto Gonella et Jacky Uginet, pour l'intérêt qu'ils ont porté à mon sujet lors des revues d'organisation et également pour m'avoir accueilli dans leurs services.

#### **CEA Leti :**

Je souhaite également remercier José Lugo pour sa culture cinématographique, Luca Lucci qui fut le premier à instaurer les gestes barrières en prévision de la pandémie de Covid-19, et Vipin Velayudhan pour son humour parfois incompris.

#### Polytech'Lab (Nice-Sophia Antipolis):

Je tiens à remercier profondément Cyril Luxey pour le suivi de qualité dont il a su faire preuve au cours de ces trois années de thèse. J'ai énormément progressé sur la partie antennaire grâce à la pédagogie dont il sait faire preuve. Ses retours pertinents ont contribué à clarifier mes comptes-rendus scientifiques, et qui m'ont également permis de progresser en synthèse. Je souhaite également le remercier pour sa disponibilité malgré la distance de fait entre le laboratoire et l'entreprise. Je remercie également Gilles Jacquemod pour avoir fait partie des membres du jury et également pour son intérêt et ses conseils prodigués lors de chaque laboratoire commun entre ST et le Polytech'Lab.

Je remercie aussi Diane Titz pour avoir pris part au jury, mais également pour son soutien pertinent et son intérêt concernant la partie antenne et cavité intégrée.

Une pensée de sympathie pour Christine Lestrez la gestionnaire de mission du laboratoire et pour les autres étudiants et professeurs avec qui j'ai eu l'occasion d'échanger lors de mes déplacements à l'université.

#### **IEMN (Lille) :**

Je tiens à sincèrement remercier Guillaume Ducournau qui a fait lui aussi preuve d'un suivi très appréciable tout au long de ces travaux. Son assistance sur les caractérisations haute fréquence ont permis à ce projet d'atteindre un premier jalon grâce aux mesures du mélangeur en CW et Datacom. Je souhaite saluer sa prise d'initiative sur les mesures de ce démonstrateur, qui ont été réalisées pendant la période de confinement imposée à la suite de la pandémie de Covid-19.

Je remercie également Sylvie Lepilliet et Vanessa Avramovic pour leur sympathie et leur support côté caractérisation complémentaire réalisée à l'IEMN.

Une pensé de sympathie pour Christophe Gaquiere et Emmanuel Dubois avec qui j'ai pu partager l'avancée de mes travaux, ainsi que pour Kathia Harrouche, Issa Alaji, Caroline Maye et les autres thésards basés à l'IEMN avec qui j'ai eu l'occasion de pouvoir échanger.

#### **Observatoire de Paris :**

Je remercie Jeanne Treuttel et Alain Maestrini de m'avoir accueilli et pour avoir pris de leur temps pour m'offrir quelques rudiments en vue de concevoir un mélangeur sous harmonique. Je remercie également Jeanne d'avoir acceptée de faire partie de mon jury de thèse.

#### Sans oublier les derniers :

Je souhaite remercier Anna Grimault, ma chère et pas toujours tendre, pour l'effort incroyable dont elle fait preuve pour me supporter depuis déjà... pas mal de temps. Je souligne son important soutien au quotidien, notamment dans les périodes difficiles et la période rédactionnelle lors du confinement, durant laquelle Anna m'a donné la foi.

Je remercie également Loic Smierzchalski, Ludovic Descout et Gabriel Segura car, sans eux, je n'aurais probablement jamais envisagé de réaliser des études supérieures. Une pensé de sympathie également pour Mathieu Chambareau, Anthony Fritsch et Marc-Antoine Tabet qui font partie de ce cercle d'amis.

Je souhaite également remercier l'équipe pédagogique 2013/2014 hors pair de la classe préparatoire au grande écoles ATS du Lycée Lafayette de Clermont Ferrand. C'est grâce au soutien de Monsieur Abadie, Monsieur Régnié, Monsieur Pierre, Monsieur Planeix, Madame Lesprit et Monsieur Josselin que ma carrière professionnelle a pris un tournant décisif.

Je remercie également le clair voyant Sim Duch, le dernier défenseur du 65 Thomas Capelli, l'artiste Mc Solaro, l'intrépide Julien Patouillard, l'expert PA Philippe Cathelin, le ninja alternant Joffray Clede, le passionné d'architecture microélectronique et génie civil Florian Voineau, l'Ace Ventura au féminin Audrey Michard, le passionné de radio amateur Laurent Chabert, l'expert montagne Hervé Petiton, l'amateur de bourbons du Texas Romain Pillard et les stagiaires Rim Arouri, Razak Abdul et Marouen Gader pour les bons moments passés avec eux.

Un remerciement particulier au travail fourni par les deux stagiaires Rémy Vermeersch et David Alexander Ovale Taylor dont les résultats ont alimenté ce manuscrit.

Je souhaite également offrir une pensée à Jean-Marc Boucaud afin de lui apporter un peu de soutien dans l'épreuve qu'il traverse en ce moment, mais aussi pour le remercier des bons souvenirs qu'il me laisse.

Pour terminer, je tiens à remercier mes parents pour l'éducation qu'ils m'ont donnée et pour m'avoir soutenu tout au long de mes études. J'adresse enfin une pensée de sympathie à toutes les personnes de ma famille qui me soutiennent depuis toujours.

« Il faudra toujours garder à l'esprit que la notion d'innovation doit être dissociée de celle de progrès » Lionel Jospin (extrait de C politique S12 diffusé le 13/09/20 à 18h34 sur France 5)

# **TABLE DES MATIERES**

Résumé	3
Abstract	3
Remerciements	4
Table des Matières	7
Liste des Figures	13
Liste des Tableaux	18
Liste des Acronymes	19
Introduction Générale	26
I. Applications fonctionnant dans le domaine des ondes millimétriques	27
I.1. Liaison sans fils à haut débit fonctionnant dans la bande 220-325 GHz	28
I.1.i. Applications sans fil et trafic de données mobiles	28
I.1.i.a. Evolution du nombre d'appareils mobiles connectés	28
I.1.i.b. Conséquences sur le trafic de données sans fil	29
I.1.i.c. Evolution vers la 6G	31
I.1.ii. Opportunité de Fronthaul/Backhaul sans fil	34
I.1.ii.a. Architecture Fronthaul/Backhaul sans fil	34
I.1.ii.b. Normalisation de la bande de fréquence 220-325 GHz	36
I.1.iii. Possibilité de développer des liaisons sans fil à haut débit de données au-delà de 200 GHz	37
I.1.iii.a. L'électronique à l'état solide appliquée aux communications entre 0,1 et 1 THz	37
I.1.iii.b. La photonique appliquée aux communications entre 0,1 et 1 THz	38
I.2. Système d'imagerie et de détection fonctionnant dans la bande 0,1-10 THz	40
I.2.i. Applications propre à la détection d'image	40
I.2.i.a. Depth sensing et marché potentiel	40
I.2.i.b. Challenges associés	41
I.2.i.c. Intérêt et perspective dans le domaine IR	42
I.2.ii. Les détecteurs IR	44
I.2.ii.a. Détecteurs InAsGa	44
I.2.ii.b. Détecteurs HgCdTe	45
I.2.ii.c. Autres détecteur IR à mesure directe	47
I.2.ii.d. Microbolomètre	48
I.2.ii.e. Détecteur à germanium sur silicium	49
I.2.ii.f. Rectenna (antenne redresseuse)	50
I.2.iii. Positionnement des solutions	50
I.3. Conclusion	52
II. Conception de diodes Schottky en technologie silicium pour applications térahertz	53
II.1. Définition de la jonction à contact Schottky	54
II.1.i. Nature et physique du contact Schottky Page <b>7</b> sur <b>199</b>	54

II.1.i.a.1. Le travail de sortie $q\Phi_x$ [52]	54
II.1.i.a.2. L'affinité électronique qχ <sub>x</sub> [52]	54
II.1.i.b. Le contact redresseur ou contact Schottky	54
II.1.i.b.1. Le contact métal/semi-conducteur type N	55
II.1.i.b.2. Le contact métal/semi-conducteur type P	57
II.1.i.c. Le contact Ohmique	58
II.1.ii. Figure de mérite de la diode Schottky	60
II.1.ii.a. Modèle électrique générique d'une jonction métal/semi-conducteur	60
II.1.ii.b. Courant dans la jonction Schottky	60
II.1.ii.b.1. Courant de diffusion Id	60
II.1.ii.b.2. Courant de saturation inverse I <sub>sat</sub>	61
II.1.ii.b.3. Courant de fuite inverse I <sub>leak</sub>	61
II.1.ii.c. Barrière de potentiel liée au contact métal/semi-conducteur Vb	62
II.1.ii.d. Resistance de la jonction Schottky	63
II.1.ii.d.1. Resistance série R <sub>s</sub>	63
II.1.ii.d.2. Resistance de jonction $R_j$ et facteur d'idéalité $\eta$	64
II.1.ii.e. Capacités au sein de la diode Schottky	65
II.1.ii.e.1. Capacite de jonction C <sub>j</sub> (V)	65
II.1.ii.e.2. Capacite de jonction à polarisation nulle $C_{j0}(V)$	65
II.1.ii.e.3. Capacité de backend C <sub>Backend</sub>	65
II.1.ii.f. Tension de claquage $B_v$ et zone d'avalanche	66
II.1.ii.g. Fréquence de coupure de la diode Schottky F <sub>c</sub>	66
II.1.ii.h. Sensibilité de la diode Schottky R	67
II.1.ii.i. Puissance équivalent de Bruit NEP	67
II.1.ii.i.1. Bruit thermique	68
II.1.ii.i.2. Bruit de Grenaille	68
II.1.ii.i.3. Bruit de Flicker [68]	69
II.2. Etat de l'art des diodes Schottky en technologie intégrées sur semi-conducteur	69
II.2.i. Diodes Schottky en technologie III-V	69
II.2.i.a. Diode Schottky verticales en technologie III-V	69
II.2.i.b. Diode Schottky planaires en technologie III-V	71
II.2.i.b.1. Mesa structure par RIE :	71
II.2.i.b.2. Procédé d'air bridge :	71
II.2.i.b.3. Procédé d'amincissement du substrat dit « Substrateless » :	71
II.2.i.b.4. Procédé MOMED :	71
II.2.i.c. Diode Schottky quasi-verticales en technologie III-V	72
II.2.ii. Diodes Schottky en technologie silicium	73
II.2.ii.a. Diode Schottky en technologie CMOS	73
II.2.ii.b. Diodes Schottky en technologie BiCMOS	74

II.2.iii. Comparaison et synthèse de l'état de l'art	75
II.3. Développement d'une architecture innovante de diode Schottky avec les technologies silicium	
STMicroelectronics	76
II.3.i. Architectures Schottky innovantes en technologies BiCMOS 130 et 55 nm	76
II.3.i.a. Présentation des différentes technologies BiCMOS	76
II.3.i.b. Présentation des architectures Schottky BiCMOS 130 et 55 nm	77
II.3.ii. Architectures Schottky innovantes en technologies CMOS SOI 130 et 65 nm	79
II.3.ii.a. Présentation des différentes technologies CMOS SOI	79
II.3.ii.b. Présentation des architectures Schottky CMOS SOI 130 et 65 nm	80
II.3.ii.c. Architecture Schottky innovante a dopage P en BiCMOS 55 nm	81
II.4. Performances des diodes Schottky innovantes en technologie Silicium	82
II.4.i. Performances des diodes Schottky innovantes BICMOS 130 nm et CMOS SOI 130 nm	82
II.4.i.a. Etude B9MWLC (BiCMOS 130 nm) et H9SOIFEM (CMOS SOI 130 nm) conjointe	82
II.4.i.b. Etude B9MWLC (BiCMOS 130 nm) complémentaire	84
II.4.ii. Performances des diodes Schottky innovantes BICMOS 55 nm et CMOS SOI 65 nm	86
II.4.ii.a. Etude B55 (BiCMOS 55 nm) et C065SOIFEM (CMOS SOI 65 nm) conjointe	86
II.4.ii.a.1. Etude d'impact de la métallisation des doigts d'accès	86
II.4.ii.a.2. Etude d'impact du périmètre de la surface d'anode A	88
II.4.ii.b. Etudes B55 (BiCMOS 55 nm) complémentaires	90
II.4.ii.b.1. Impact de la largeur W <sub>anode</sub> en BiCMOS 55 nm :	91
II.4.ii.b.2. Etude d'impact du frontend N et P en BiCMOS 55 nm :	92
II.4.iii. Performances des diodes Schottky innovantes resituées par rapport à l'état de l'art	95
II.4.iii.a. Performances reportées pour une montée en fréquence F <sub>c</sub> vers le THz	95
II.4.iii.b. Performances reportées pour une réduction de la barrière de potentiel V <sub>b</sub>	97
II.5. Conclusion	99
III. Modélisation analytique du courant à l'intérieur de la jonction Schottky BiCMOS 55 nm	100
III.1. Stratégie de mise en plots et de caractérisation des diodes Schottky	101
III.1.i. Elaboration des plans d'expérience (DOE)	101
III.1.i.a. Paramètres variables pouvant impacter les performances de la diodes Schottky	101
III.1.i.b. Mise en plots du DOE complet	102
III.1.i.c. Structures d'épluchage (deembedding) requise pour l'étude	103
III.1.ii. Banc de mesure pour caractériser les diodes Schottky	105
III.1.ii.a. Mesures DC et Paramètres S	105
III.1.ii.b. Mesures de sensibilité R <sub>v</sub>	106
III.1.ii.c. Mesure de puissance équivalente de bruit NEP et du rapport de bruit en excès ENR	108
III.2. Stratégie d'extraction des paramètres de la diode Schottky	110
III.2.i.a. Méthode d'extraction de la résistance série R <sub>s</sub>	110
III.2.i.a.1. Extraction de R <sub>s</sub> avec des mesures DC :	110
III.2.i.a.2. Extraction de R <sub>s</sub> en mesure fréquentielle (Paramètres S)	111

III.2.i.b. Méthode d'extraction de la hauteur de barrière V <sub>b</sub> , du facteur d'idéalité $\eta$ et du courant saturation I <sub>sat</sub>	de
III.2.i.c. Méthode d'extraction de la capacité totale Ctot	114
III.2.i.d. Méthode d'extraction de la capacité de jonction C <sub>j0</sub>	115
III.2.i.d.1. Extraction par mesures DC et simulations TCAD :	115
III.2.i.d.2. Extraction par de-embeeding des mesures en paramètres S	117
III.2.i.d.3. Confrontation entre la méthode d'extraction mesure DC/simulation TCAD et de-embeeding en paramètres S	par 118
III.3. Stratégie de modélisation analytique des diodes Schottky	119
III.3.i. Objectifs et hypothèses de modélisation de la jonction Schottky	119
III.3.ii. Modélisation de la résistance série au sein de l'architecture Schottky	120
III.3.ii.a. Chemin résistif moyen parcouru par le courant	120
III.3.ii.b. Impact et poids des contribution résistives au sein de la diode Schottky	122
III.3.iii. Modélisation de la capacité totale au sein de l'architecture Schottky	123
III.3.iii.a. Contributions capacitives majoritaires présentes dans l'architecture Schottky	123
III.3.iii.b. Impacts et poids des contributions capacitives au sein de la diode Schottky	125
III.4. Validation du modèle analytique de l'architecture Schottky	125
III.4.i. Accord obtenu entre le modèle analytique de diode Schottky et les performances mesurées	125
III.4.i.a. Accord du modèle vs mesures pour la résistance série	125
III.4.i.b. Accord modèle vs mesure pour la capacité totale	126
III.4.ii. Implémentation du modèle analytique sous Advance Design Système (ADS)	128
III.4.ii.a. Choix du modèle à privilégier sous ADS	128
III.4.ii.b. Accord modèle analytique sous ADS vs mesure DC	130
III.5. Conclusion	132
IV. Etude de faisabilité pour la conception de circuits mélangeurs sous-harmoniques et de pixels pour imagerie térahertz	133
IV.1. Mélangeur sous-harmonique pour applications datacom	134
IV.1.i. Principes de fonctionnement du Mélangeur sous-harmonique SHM	134
IV.1.i.a. Topologie générale du circuit	134
IV.1.i.b. Circuit mélangeur sous-harmonique	137
IV.1.i.b.1. Fonctionnement de la paire de diodes antiparallèle [93]	137
IV.1.i.b.2. Fonctionnement du mélangeur sous-harmonique [93]	138
IV.1.i.c. Grandeurs caractéristiques utiles pour le mélangeur sous-harmonique 2xSHM	139
IV.1.i.c.1. Pertes de conversion CL [93]	139
IV.1.i.c.2. Isolation et réjection [93]	140
IV.1.i.c.3. Point de compression à 1dB (linéarité) [93]	141
IV.1.i.c.4. Point d'interception d'ordre 3 (linéarité) [93]	142
IV.1.i.c.5. Avantages et limitations du mélangeur sous-harmonique xSHM	143
IV.1.ii. Etat de l'art des mélangeurs sous-harmoniques et choix d'une topologie de circuit 2xSHM silicium	sur 144

IV.1.iii. Simulation électrique du mélangeur sous-harmonique 2xSHM	146
IV.1.iii.a. Impact des paramètres de la diode Schottky sur les performances du mélangeurs sous-	
harmonique 2xSHM	146
IV.1.iii.b. Stratégie de simulation électrique du mélangeur sous-harmonique autour de 100 GHz	147
IV.1.iii.b.1. Mettre en place le Setup ADS	147
IV.1.iii.b.2. Définir la paire de diodes Schottky optimale	148
IV.1.iii.b.3. Etablir la sensibilité des charges présentées aux différents accès et la répartitie des pertes au sein du mélangeur.	on 149
IV.1.iii.b.4. Détail de la sensibilité de l'impédance $Z_{RF}$ opt à l'accès RF par simulation loa pull	ıd 150
IV.1.iii.b.5. Design du transformateur d'impédance $Z_{RF}$ 50 $\Omega$ vers $Z_{RF}$ optimale	152
IV.1.iv. Conception sur silicium en technologies BiCMOS 55 nm du 2xSHM autour de 100 GHz	152
IV.1.iv.a. Architecture des lignes de transmission	152
IV.1.iv.b. Point de fonctionnement retenu pour le design du mélangeur sous-harmonique 2xSHM intégré sur silicium.	
IV.1.iv.c. Architecture globale du mélangeur sous-harmonique	155
IV.1.v. Mesures du mélangeur sous-harmonique 2xSHM à 100 GHz	156
IV.1.v.a. Plan de caractérisation du 2xSHM	156
IV.1.v.b. Banc de mesures utilisé pour la caractérisation	157
IV.1.v.c. Résultats expérimentaux et performances	158
IV.1.v.c.1. Mesure des pertes de conversion CL du 2xSHM	158
IV.1.v.c.2. Estimation de la bande passante en sortie IF du 2xSHM	159
IV.1.v.c.3. Mesure de linéarité du 2xSHM	160
IV.1.v.c.4. Détection de signaux modulés avec le 2xSHM	161
IV.2. Systèmes de détection pour imagerie térahertz	165
IV.2.i. Principe de fonctionnement des détecteurs Rectenna au-dessus et en-dessous de 1 THz	165
IV.2.ii. Etat de l'art des circuits Rectenna	166
IV.2.ii.a. Etat de l'art des antennes patch intégrées sur silicium	166
IV.2.ii.b. Etat de l'art des détecteurs type Rectenna	167
IV.2.iii. Conception d'un patch en technologie silicium	168
IV.2.iii.a. Dimensionnement du patch intégré sur silicium	168
IV.2.iii.b. Simulation Electromagnétique sous HFSS du Patch THz intégré	171
IV.2.iii.c. Implémentation de cavités résonnantes	175
IV.2.iv. Conception sur silicium en technologies BiCMOS 55 nm de pixel THz	178
IV.2.iv.a. Stratégie de design et d'assemblage des pixel THz	178
IV.2.iv.b. Définition du DOE des circuits Rectenna	180
IV.2.iv.c. Mesures des Pixels unitaires réalisés en technologie BiCMOS 55 nm	182
IV.3. Conclusion	183
V. Conclusion générale et perspectives du travail de thèse	184
V.1. Conclusion générale	185

V.2. Perspectives concernant le développement de l'architecture Schottky en technologie silicium1	87
V.3. Perspectives concernant le développement de circuits mélangeurs sous-harmonique pour les ondes millimétriques	89
V.4. Perspectives concernant le développement de pixels pour imagerie dans les fréquences térahertz 1	90
Références1	92
Liste des Publications1	99
CONGRES NATIONAUX AVEC COMITE DE LECTURE ET ACTES1	99
CONGRES INTERNATIONAUX AVEC COMITE DE LECTURE ET ACTES1	99
Article1	99

# **LISTE DES FIGURES**

Figure 1: Prévision mondiale du nombre d'appareils connectés [1]	28
Figure 2: Augmentation du trafic mondial de données mobiles	29
Figure 3: Définition des bandes de fréquence pour la 5G	30
Figure 4: Illustration conceptuelle du réseau 6G	32
Figure 5: Schéma conceptuel de la densification du réseau mobile terrestre avec des small cells et architectu	re
RAN centralisée [9]	33
Figure 6: : Schéma d'une C-RAN avec les réseaux Fronthaul sans fil [10]	34
Figure 7: RHH fournissant des débits supérieurs à 10 Gbit/s fabriqué par : (a) E-Band Communication LLC	
(commerciale) [12]; (b) Siku (commerciale) [13]; (c) CableFree (commerciale) [14]; (d) Ericsson et Deuts	sche
Telekom (faisabilité à 100 Gbit/s) [15]	35
Figure 8: Atténuation atmosphérique de la propagation des ondes électromagnétiques dans l'air jusqu'à	
450 GHz et allocation des bandes de fréquences [16]	36
Figure 9: Largeurs de bandes définies par la norme IEEE 802.15.3d	36
Figure 10: Illustration du principe de photo-mélange	39
Figure 11: (a) Principe de fonction de la mesure ToF ; (b) Caméra ToF appliquée à la reconnaissance faciale	е;
(c) Vision d'une caméra LiDAR appliquée à la voiture autonome	40
Figure 12: Prévisions des revenus engendrés par le marché LiDAR [40]	41
Figure 13: Bande infrarouge à l'intérieur du spectre électromagnétique	42
Figure 14: (a) Détection de liquide à l'intérieur d'un flacon et (b) Acquisition du pont de Golden Gate (San	
Francisco) à travers un brouillard épais.	43
Figure 15: Spectre d'absorption de différents gaz dans le MWIR	43
Figure 16: (a) Contrôle non destructif d'un pont à 9µm ; (b) Contrôle de l'usure d'un pneu par caméra LWI	R et
(c) Thermographie d'un processeur en fonctionnement	44
Figure 17: (a) Structure d'un détecteur InAsGa PIN [43]; (b) Structure en Mesa d'une diode avalanche	
InAsGa/InAlAs [44]	44
Figure 18 : Schéma d'un pixel InAsGa commercialisé par RaptorPhotonis	45
Figure 19: (a) Schéma d'un photodétecteur HgCdTe [46]; (b) Image MEB d'une matrice de pixels de HgCdT	Ге
avec ses plots d'Indium [46]	46
Figure 20 : (a) Exemple de détecteur deux couleurs (MWIR et LWIR) en HgCdTe ; (b) Image MEB du pixe	el
correspondant au détecteurs MWIR et LWIR	46
Figure 21 : (a) QWIP opérant à 8.5µm, et son module Pelletier (produit Sofradir) ; (b) Structure classique d'	un
détecteur à puits quantiques InAlAs/InAsGa [48]; (c) Structure d'un détecteur LWIR p-i-n à SLS [49]	47
Figure 22: Schéma de principe du Microbolomètre	48
Figure 23: (a) Images MEB d'un microbolomètre ; (b) Image thermique prise avec un microbolomètre	49
Figure 24: (a) Vue en coupe d'un détecteur SWIR Germanium sur silicium ; (b) Images MEB d'un détecteur	
SWIR Germanium sur silicium [51]	49
Figure 25: : Schéma de principe d'un circuit Rectenna	50
Figure 26: Vue d'ensemble superposée des technologies principales de détecteurs, des sources lumineuses	
disponible et des raies de l'absorption des gaz.	51
Figure 27: Diagramme des bandes métal/semi-contucteur N : (a) avant contact ; (b) après contact	55
Figure 28: Graphique utilisé pour le calcul de la largeur de la ZCE	56
Figure 29: Diagramme des bandes la jonction Schottky N polarisée : (a) polarisation directe ; (b) polarisatio	n
inverse	56
Figure 30: Diagramme des bandes métal/semiconducteur P : (a) avant contact ; (b) après contact	57
Figure 31: Diagramme des bandes de la jonction Schottky P polarisée : (a) polarisation directe ; (b) polarisation	tion
inverse	58
Figure 32: Diagramme des bandes du contact ohmique : (a) N et (b) P	59
Figure 33: Caractéristique Courant-Tension I(V) d'un contact ohmique N	59

Figure 34: Modèle électrique générique de la diode Schottky	60
Figure 35: Caractéristique I(V) des diodes Schottky P, Schottky N et PN	61
Figure 36: Caractéristiques de la valeur absolue du courant en fonction de la tension de polarisation	
Abs(Courant) = f(V) (valeurs mesurées)	62
Figure 37: Caractéristique I(V) en polarisation direct des diodes Schottky P, Schottky N et PN	62
Figure 38: Localisation des éléments constitutifs de résistances séries Rs dans une jonction Schottky en	
technologie : (a) III-V et (b) CMOS	64
Figure 39: Exemple de capacités présentes dans une jonction Schottky en technologie : (a) III-V et (b) CMO	VS 65
Figure 40: Modèle générique en bruit de la diode : (a) en courant de bruit et (b) en tension de bruit	67
Figure 41 : Architecture de la diode Schottky verticale « Whisker » en technologie III-V	70
Figure 42: Architecture de la diode verticale "Substratless" en technologie III-V	70
Figure 43: Architecture de la "Surface Channel Planar Diodes"	71
Figure 44: Architecture de la diode avec prise de contact anode en pont à Air "Air Bridged Planar": (a) vue e	en
coupe ; (b) Photo de deux diodes tête-bêche	72
Figure 45: Architecture de la diode planaire quasi-verticale : (a) vue en coupe ; (b) Photo d'une diode quasi-	
verticale	72
Figure 46: Architecture de diodes Schottky en technologie CMOS avec : (a) espaceurs STI ; (b) espaceurs S'	TI
et anneaux de garde P+ ; (c) espaceurs poly-silicium	73
Figure 47: Architecture de diode Schottky en technologie BiCMOS	74
Figure 48: Performances mesurées des diodes Schottky vues dans l'état de l'art	76
Figure 49: Agencement de la technologie BiCMOS : (a) 55 nm 9ML ; (b) 55 nm 8ML ; (c) 130 nm 5ML	77
Figure 50: Architecture innovante de diode Schottky N retenu en BiCMOS 55 nm et 130 nm	78
Figure 51: Layout de l'architecture Schottky N retenu en BiCMOS 55 nm et 130 nm	78
Figure 52: Agencement de la technologie CMOS SOI : (a) 65 nm 5ML ; (b) 130 nm 4ML	79
Figure 53: Architecture innovante de diode Schottky N retenue en CMOS SOI 65 nm et 130 nm	80
Figure 54: Vue layout de l'architecture Schottky N retenue en CMOS SOI 65 nm et 130 nm	80
Figure 55: Architecture innovante de la diode Schottky P retenue en BiCMOS 55 nm	81
Figure 56: FEOL des diodes Schottky réalisées en : (a) BiCMOS 130 nm (B9MW) ; (b) CMOS SOI 130 nm (H0SOD)	۱ وي
(119501)	05
Figure 57. Comparation entre les parametres des diodes B9WW et H9SOI de . (a) $R_s$ , (b) $C_{j0}$ , (c) $F_c$	05
an coupe : (b) yue de la diffusion thermique des implentations	91
Figure 59: I(V) Diodes Schottky à injection de porteurs réalisées en BiCMOS 130 nm (B9MW)	04
Figure 60: Tracé semi-log de $\ln(I_{tot}) = f(I_{tot})$	85
Figure 61 : BEOL des diodes Schottky réalisées en BiCMOS 55 nm (B55 8ML) et CMOS SOL 65 nm (6550	) ) ) )
(a) BEOL 1 Accès mi-doigt : (b) BEOL 2 Accès doigt complet	87
Figure 62: FEOL des diodes Schottky réalisées en : (a) BiCMOS 55 nm (B55 8ML) : (b) CMOS SOI 65 nm	
(65SOI)	87
Figure 63: Impact de la métallisation des doigts d'accès BEOL d'anode et de cathode pour les technologies B	355
et C65SOI sur: (a) la résistance série $R_s$ : (b) la capacité de jonction $C_{i0}$ : (c) la capacité de backend $C_{BF}$	88
Figure 64: Courbes traduisant l'impact du périmètre Schottky P sur la capacité de jonction $C_{i0}$ en 65SOI :	
(a) $C_{i0} = f(P)$ ; (b) Augmentation de $C_{i0}$ avec la configuration	89
Figure 65: FEOL utilisé pour les deux études complémentaires en BiCMOS 55 nm : (a) Nwell + Nsinker ; (b	b)
Nwell + NBuried ; (c) Nwell + Nsinker + NBuried ; (d) Pwell	91
Figure 66: Impact de la largeur $W_{anode}$ pour les diodes Schottky B55 FEOL 1 sur : (a) la résistance série $R_s$ ;	(b)
la capacité de jonction $C_{j0}$ ; (c) la Fréquence de coupure $F_c$	92
Figure 67: Impact du frontend pour les diodes Schottky B55 FEOL 1 à 4 sur : (a) la résistance série $R_s$ ; (b) l	la
capacité de jonction C <sub>j0</sub> ; (c) la fréquence de coupure F <sub>c</sub>	94
Figure 68: Fréquence de coupure Fc des diodes Schottky développées et positionnées par rapport à l'état de l'	'art
	95

Figure 69: Stratégie d'agencement des surfaces d'anodes dans : (a) la littérature ; (b) ces travaux de thèse	96
Figure 70: Performances visées et obtenues positionnées par rapport à l'état de l'art	97
Figure 71 : Hauteur de barrière V <sub>b</sub> des diodes Schottky développées positionnées par rapport à l'état de l'art .	98
Figure 72: Diodes Schottky comportant : (a) 1 doigt d'anode ; (b) 2 doigts d'anode ; (c) 4 doigts d'anode	.102
Figure 73: Illustration : (a) d'un DOE Schottky comprenant 80 Structures de test ; (b) d'une structure unitaire	e de
test	.103
Figure 74: Structure d'open pour effectuer le deembedding	.103
Figure 75: Structure de short pour effectuer le deembedding.	.104
Figure 76: Banc de caractérisation pour les mesures DC et de Paramètres S	.106
Figure 77: Banc de caractérisation de sensibilité de la diode Schottky	106
Figure 78: Réponse courant-tension d'une diode montée en détection	107
Figure 79: Mesures de sensibilité R., pour la diode Schottky BiCMOS 55 nm (D44) à 42 GHz	107
Figure 80: Bancs de mesure de facteur de Bruit NEP	110
Figure 81: Tracé de la fonction H en fonction du courant mesuré dans la diode Schottky L	111
Figure 82: Schéma en PI utilisé pour l'extraction de R et R à partir des mesures des paramètres S : (a) forte	
require s2. Schema en 11 utilise pour rextraction de $K_s$ et $K_j$ a partir des mésures des parametres 5 : (a) forte	111
Figure 82: Schéme en Tutilisé neur l'extraction de P à partir des mesures des peremètres S en forte	. 1 1 1
Figure 85. Schema en 1 utilise pour rextraction de $K_s$ a partir des mésures des parametres 5 en forte	110
polarisation	.112
Figure 84: : Trace de la fonction $In(I_d)$ en fonction de la tension de polarisation y de la diode Schottky	.115
Figure 85: (a) Masque de la Diode Schottky en structure de test et (b) Schema equivalent de la diode Schottl	ку 114
en structure de test à faible polarisation V	.114
Figure 86: (a) $S_{11}$ mesure de la capacité $C_{tot}$ tracé sur un abaque de Smith et (b) Tracé de la capacité $C_{tot}$ extr	aite
en fonction de la fréquence.	.115
Figure 8/: Simulation TCAD : (a) Layout du profil simulé ; (b) Simulation TCAD 2D dans le plan de coupe	: В-
B; (c) Profil de dopant en fonction de la largeur du plan de coupe B-B	.115
Figure 88: Tracé de $1/C_j (V)^2$ en fonction de la tension de polarisation V	.116
Figure 89: (a) Open métal 1 en structure de test et (b) Schéma équivalent de l'open métal 1 en structure de te	est à
faible polarisation V	.117
Figure 90: Capacités de jonction C <sub>j0</sub> extraites avec les deux méthodes d'extraction	.118
Figure 91: Modèle analytique générique appliqué à l'architecture de diode Schottky innovante	.119
Figure 92: (a) Représentation de la résistivité d'un barreau de cuivre et (b) illustration de la capacité induite	par
deux conducteurs se trouvant à proximité	.119
Figure 93: Illustration des contributions résistives et des dimensions utiles à la modélisation	.120
Figure 94: Détail des contributions résistives de Rs modélisées au sein de l'architecture Schottky	.122
Figure 95: Illustration des contributions résistives et capacitives utiles à la modélisation	.123
Figure 96: Poids des contributions capacitives modélisées au sein de l'architecture Schottky	.125
Figure 97: Accord entre le modèle de la résistance série R <sub>s</sub> en fonction de la surface d'anode avec les valeur	S
extraites des mesures : (a) $W_{anode} = 0.31 \ \mu m \ et$ (b) $W_{anode} = 0.52 \ \mu m$	.126
Figure 98: Accord entre le modèle de la capacité totale Ctot et de ses deux composantes en fonction du nombre	re
de doigts avec les valeurs extraites en mesures	.127
Figure 99: Implémentation du modèle Schottky sous ADS avec le : (a) bloc SDD ; (b) modèle générique de	
diode proposé par ADS	.128
Figure 100: Association du modèle analytique ADS à son symbole	.129
Figure 101: Simulation DC du modèle Analytique de diodes Schottky sous ADS	.130
Figure 102: Comparaison entre les modèles ADS et SDD avec les mesures I-V des diodes Schottky	.131
Figure 103: Symbole du mélangeur.	.134
Figure 104: Spectre du mélange de deux signaux	.136
Figure 105 : Spectre des raies principales d'un mélangeur fondamental	.136
Figure 106: Paire de diodes en configuration antiparallèle	.137
Figure 107: Conductance pompée résultant de l'association antiparallèle de deux diodes Schottky	.138
Figure 108: Schéma d'un mélangeur sous-harmonique de rang 2 (2xSHM)	.138

Figure 109: Spectre d'un mélangeur sous-harmonique de rang 2 (2xSHM)	130
Figure 110: Spectre illustrant les niveaux de réjection du mélangeur 2xSHM (Down Converter)	1/1
Figure 111: Illustration du Point de compression à 1 dP d'un mélangeur	141
Figure 112: Intermodulation d'ordre 3 d'un mélangeur 2xSHM USB bi porteuse	142
Figure 112: Détermination du point d'intercontion d'ordro 3 d'un mélangeur	142
Figure 114: Schóma da la simulation HB sous ADS du fonctionnement da la paire da dioda antiparallèles	145
Figure 114. Schema de la simulation HB sous ADS du fonctionnement de la parte de diode antiparaneles	140
rigure 115: (a) inustration du intrage des narmoniques partes et (b) evolution de la puissance injectee dans la	1
Eigure 116. Equations néassaires à la simulation d'un 2 SUM	140
Figure 110: Equations necessaries a la simulation d'un 2XSHM	14/
Figure 117: (a) Schema du metangeur 2xSHM avec rignes ideales et (b) pertes de conversion CL opposées à l	1a
Eigune 119. June ádon og prágontága dang log plang PE JE at LO	148
Figure 118: Impedance presentees dans les plans RF, IF et LO	149
Figure 119: Pertes engendrees dans les differents plans du melangeur 2xSHM	150
Figure 120: Simulation load pull appliquee a l'acces RF du 2xSHM	151
Figure 121: Lieux d'impedance $Z_{RF}$ à presenter dans le plan du diplexeur pour minimiser les pertes de	1 ~ 1
	151
Figure 122: Schéma du transformateur d'impédance $Z_{RF}$ 50 $\Omega$ en en $Z_{RF}$ opt	152
Figure 123: Ligne de transmission B55 9ML : (a) Vue en coupe ; (b) Vue layout	152
Figure 124: Schéma du 2xSHM avec les contraintes d'assemblage réelles	153
Figure 125:Schéma de simulation final du 2xSHM	154
Figure 126: Pertes de conversions CL (dB) associées au Schéma de simulation final du 2xSHM	154
Figure 127: Mélangeur 2xSHM intégré en technologie BiCMOS 55 nm	155
Figure 128: (a) Paramétrage de la rétro-simulation ; (b) Perte de convertions CL définitives	155
Figure 129: Banc de caractérisation pour les mesures CW du 2xSHM	157
Figure 130: Banc de caractérisation pour les mesures Datacom du 2xSHM	158
Figure 131: Tracé des pertes de conversion CL (dB) en fonction de la puissance de pompe P <sub>LO</sub> (dBm)	159
Figure 132: Tracé des pertes par conversion CL (dB) en fonction de la fréquence en sortie IF : (a) Avec $f_{RF}$	
fixée ; (b) Avec f <sub>LO</sub> fixée	160
Figure 133: Tracé : (a) des pertes de conversion CL par rapport à la puissance d'entrée PRFin ; (b) de la	
puissance de sortie P <sub>IFout</sub> (dBm) en fonction de la puissance d'entrée P <sub>RFin</sub> (dBm)	160
Figure 134: (a) Signal RF modulé en QAM-16 ; (b) Constellation du signal IF démodulé en QAM-16	162
Figure 135: Spectres des signaux de sortie IF pour des fréquences RF de 103,5 et 106 GHz	162
Figure 136: (a) Constellation reçue d'une modulation QAM-16 à 10 Gbaud ; (b) Diagramme de l'œil associé	à
la modulation QAM-16 à 10 Gbaud ; (c) Constellation reçue d'une modulation QAM-64 à 10 Gbaud ; (b)	
Diagramme de l'œil associé à la modulation QAM-64 à 10 Gbaud ;	163
Figure 137: Tracé de l'EVM (%) en fonction du débit binaire D <sub>b</sub> (Gbit/s)	163
Figure 138: Schéma : (a) du circuit Rectenna en desssous de 1 THz ; (b) du circuit Rectenna au dessus de	
1 THz ; (c) de l'allure des signaux a l'intérieur du cicuit	165
Figure 139: Etat de l'art des antennes patches intégrées sur silicium : (a) Architecture ; (b) Grandeurs	
caractéristiques	166
Figure 140: (a) Sensibilité $R_v$ et (b) NEP des circuits Rectenna relevés dans la littérature scientifique	167
Figure 141: Antenne Patch : (a) vue de dessus ; (b) vue en coupe	169
Figure 142: Alimentation coaxiale intégrée : (a) vue de dessus ; (b) vue en coupe	170
Figure 143 : Choix des architectures d'antenne BiCMOS 55 nm en fonction des épaisseurs de substrat (larger	ur
non à l'échelle) : (a) $H\epsilon = 5,05 \ \mu m (SiO2)$ ; (b) $H\epsilon = 9,46 \ \mu m (SiO2)$ ; (c) $H\epsilon = 6,91 \ \mu m$	171
Figure 144: Vue HFSS de l'antenne patch pour H $\epsilon$ = 9,46 µm : (a) en coupe plan E ; (b) en vue 3D ; (c) avec	
diagramme de rayounement 3D (directivité)	172
Figure 145: (a) Vue en coupe de l'alimentation coaxiale ; (b) $S_{11}$ correspondant au déplacement du point	
d'alimentation	173
Figure 146: Gain Broadside : (a) Antenne patch avec $H\varepsilon = 5,05 \ \mu m$ ; (b) Antenne patch avec $H\varepsilon = 9,46 \ \mu m$ .	174
Figure 147: Dimensionnement des cavités pour chaque antenne intégrée sur silicium	175

Figure 148: Implémentation de la cavité résonnante sous HFSS : (a) vue 3D ; (b) Coupe A-A plan H176
Figure 149: Gain Broadside avec cavité : (a) Antenne patch avec $H\varepsilon = 5,05 \ \mu m$ ; (b) Antenne patch avec $H\varepsilon =$
9,46 µm
Figure 150: Diagramme de rayonnement pour l'antenne H $\varepsilon$ = 5,05 µm : (a) Plan E ; (b) Plan H177
Figure 151: Diagramme de rayonnement pour l'antenne H $\varepsilon$ = 9,46 µm : (a) Plan E ; (b) Plan H177
Figure 152: Efficacité de l'antenne intégrée
Figure 153: Vue en coupe du pixel THz assemblé : (a) Plan E ; (b) Plan H
Figure 154: Vue layout du pixel THz mis en structure de test
Figure 155: Organigramme traduisant le choix stratégique d'implémentation du DOE180
Figure 156: Illustration du DOE de pixels unitaires Rectenna comprenant 96 structures de test
Figure 157: Schéma de principe du banc de mesures pour caractériser les pixels THz
Figure 158: Vue en coupe d'implantations sur des procédés non-commerciaux qui permettraient d'améliorer la
diode Schottky (a) BiCMOS 55 nm ; (b) CMOS SOI 65 nm
Figure 159: Vue en coupe de futurs essais B55X : (a) Schottky poly ; (b) Schottky SSTI
Figure 160: (a) Mélangeur SHM mis en boitier en technologie III-V [104]; (b) Architecture d'un récepteur
hétérodyne type "mixer first receiver"
Figure 161: (a)Tracé de la constante de propagation $\beta$ normalisée par rapport au nombre d'onde dans l'air k <sub>0</sub> en
fonction de l'épaisseur du substrat H $\epsilon$ normalisé par rapport à la longueur d'onde dans l'air $\lambda_0$ ; (b) Architecture
d'antenne pour un rayonnement backside en technologie CMOS SOI 65 nm [113]190

# LISTE DES TABLEAUX

Tableau 1: Caractéristique des réseaux 4G, 5G et 6G  31
Tableau 2: Systèmes de communication en espace libre entre 200 et 300 GHz
Tableau 3: Spécifications LiDAR pour le marché de l'automobile
Tableau 4 : Grandeurs typiques pour les détecteurs InAsGa SWIR
Tableau 5: Caractéristiques typiques des détecteurs LWIR refroidis
Tableau 6: Valeurs typiques de hauteur de barrière Schottky N et P pour différentes métallisations
Tableau 7: Etat de l'art des diodes Schottky
Tableau 8: Diodes Schottky réalisées en BiCMOS 130 nm (B9MW) et CMOS SOI 130 nm (H9SOI)
Tableau 9: Diodes Schottky complémentaires réalisées en BiCMOS 130 nm (B9MW)
Tableau 10: Diodes Schottky réalisées en BiCMOS 55 nm (B55) et CMOS SOI 65 nm (C65SOI) pour l'étude
de l'impact des métaux d'accès anode-cathode
Tableau 11: Diodes Schottky réalisées en BiCMOS 55 nm (B55) et CMOS SOI 65 nm (C65SOI) pour l'étude
d'impact du périmètre de la surface d'anode
Tableau 12: Comparaison de l'impact technologique sur les diodes Schottky réalisées en BiCMOS 55 nm et en
CMOS SOI 65mn
Tableau 13 : Diodes Schottky FEOL 1 utilisées pour l'étude complémentaire sur l'impact de Wanode91
Tableau 14: Diodes Schottky B55 utilisées pour l'étude complémentaire sur l'impact frontend FEOL 1 à 493
Tableau 15 : Valeurs de sensibilités en tension R <sub>v</sub> pour différentes technologies de diodes108
Tableau 16: Résistances carrées du modèle analytique  121
Tableau 17: Permittivités utilisées pour le modèle analytique  125
Tableau 18: Développement de la réponse $V_{IF}(t)$ du dispositif non-linéaire en fonction de $f_{RF}$ et $f_{LO}$ 135
Tableau 19: Etat de l'art des circuits mélangeurs sous-harmoniques146
Tableau 20: Valeurs des impédance présentées dans les plans RF, IF et LO150
Tableau 21: Etapes de caractérisation du mélangeur sous-harmonique 2xSHM156
Tableau 22: Efficacité spectrale correspondant aux modulations utilisées en mesures Datacom du 2xSHM161
Tableau 23: Synthèse de l'ensemble des caractérisations Datacom du 2xSHM. (La dernière colonne indique
l'utilisation d'une égalisation lors de la détection du signal)164
Tableau 24: Dimensions théoriques correspondant aux trois architectures d'antenne patch intégrés172
Tableau 25 : Antennes patchs simulées sous HFSS174

# **LISTE DES ACRONYMES**

<Icond>: Courant de conduction moyen de la diode (A) <Id>: Courant de diffusion moyen de la diode (A) <Isat>: Courant de saturation moyen de la diode (A)  $\Delta L$ : Extension de longueur du patch (m)  $\mu_N$ : Mobilité des électrons (cm<sup>2</sup>.V<sup>-1</sup>.s)  $\mu_P$ : Mobilité des trous (cm<sup>2</sup>.V<sup>-1</sup>.s) 1D: Une dimension 2D: Deux dimension 2G: Deuxième Génération 3D: Trois dimension 3G: Troisième Génération 4G: Quatrième Génération 5G: Cinquième Génération 6G: Sixième Génération A: Surface de la jonction métal/semi-conducteur (m<sup>2</sup>) A\*\*: Constante de Richardson (A.m<sup>-2</sup>.K<sup>-2</sup>) ADAS: Advanced Driver-Assistance Systems (Système d'aide à la conduite avancé) ADS: Advance Design System APD: AntiParallel Diode (Diode en configuration antiparallèle) AsGa: Arséniure de Gallium Ax (t): Signal sinusoïdale d'amplitude Ax et de pulsation  $\omega X$ **BBU: BaseBand Unit** BDTI: BiCMOS Deep Trench Insulation (Isolation par tranchée profonde en BiCMOS) **BEOL: Back End Of Line** BER: Bit Error Rate (Taux d'erreur binaire) BiCMOS: Bipolar Complementary Metal-Oxide-Semiconductor BPSK: Binary Phase Shift Keying (modulation à saut discret de phase par signal numérique binaire) BS: Basse Station (Station de basse) B<sub>v</sub>: Tension de clacage de la diode (V) C: Célérité (m.s<sup>-1</sup>) C/I3: Différence entre la puissace IF utile et la puissance PIM3 générée (dB) Caccess\_finger: Capacité modélisée liée à la proximité des doigts d'accès métalliques avec les métaux d'accès backend (F) Canode to cathode: Capacité modélisée liée à la proximité des doigts d'accès d'anode et de cathode (F) CAnodeFing\_to\_CathodeAccess: Capacité modélisée liée à la proximité des doigts d'accès métalliques d'anode avec les métaux d'accès de cathode (F) C<sub>Backend</sub> ou C<sub>BE</sub>: Capacité de backend (F) C<sub>Bridge\_N+</sub>: Capacité modélisée liée à la formation d'un pont entre les doigts d'accès et la partie dopée de la diode (F) CBridge\_N+\_anode: Capacité modélisée liée à la formation d'un pont entre les doigts d'accès d'anode et la partie dopée de la diode (F) C<sub>Bridge\_N+\_cathode</sub>: Capacité modélisée liée à la formation d'un pont entre les doigts d'accès de cathode et la partie dopée de la diode (F) C<sub>CathodeFing\_to\_AnodeAccess</sub>: Capacité modélisée liée à la proximité des doigts d'accès métalliques de cathode avec les métaux d'accès de l'anode (F) CdZnTe: Tellurure de cadmium zinc C<sub>i</sub> (V): Capacité de jonction en fonction de la polarisation V (F) C<sub>i0</sub>: Capacité de jonction a polarisation nul (F) CL: Conversion Loss (pertes de conversion) (dB) CL0: Pertes de conversion linéaire (dB)

CL<sub>diodes</sub>: Pertes de conversion présentes dans le plan accès de l'APD du côté de l'accès RF (dB) CMOS: Complementary Metal-Oxide-Semiconductor CO: Centre de données CoSi<sub>2</sub>: Disiliciure de cobalt CPRI: Common Public Radio Interface (interface radio commune et publique) C-RAN: Cloud-Radio Access Network (réseau d'accès radio dans le nuage) C<sub>tot</sub>: Capacité totale (F) **CVD:** Chemical Vapour Deposition D: Largeur de la gaine diélectrique centrale de la ligne coaxiale à section carrée ( $\Omega$ ) d: Largeur du conducteur central de la ligne coaxial à section carrée ( $\Omega$ ) D<sub>b</sub>: Débit binaire (bit/s) DC: Direct current (Courant continu) DK: Design Kit (Kit de conception) DoE: Desing of Experiment D-RAN: Distributed-Radio Access Network (réseau d'accès radio distribué) DRM: Design Rules Manual (Manuel des règles de conception) DS: Débit de Symbol (Baud) DUT: Device Under Test (dispositifs sous test) Dx: Diode Schottky numéro x e: Epaisseur du diélectrique (m) E(x): Champs électrique sur la distance x (V.m<sup>-1</sup>) E<sub>0</sub>: Niveau d'énergie du vide (eV) E<sub>00</sub>: Constante du matériau E<sub>B</sub>: Courbure de bande (eV) E<sub>c</sub>: Niveau d'énergie de la bande de conduction (eV) ECD: Electro Chemical Deposition E<sub>co</sub> & E<sub>serie</sub>: Longueur électrique de ligne de transmission (degré) Eff: Efficacité de rayonnement de l'antenne patch (%) Eff<sub>spectrale</sub>: Efficacité spectrale (bit.s<sup>-1</sup>.Hz<sup>-1</sup>) Eff<sub>tot</sub>: Efficacité total de l'antenne patch (%) E<sub>Fm</sub>: Niveau de Fermi du métal (eV) E<sub>FSC</sub>: Niveau de Fermi du semi-conducteur (eV) Eg: Niveau d'énergie du Gap (eV) EHD: Extrême-Haute-Définition EM: Electromagnétique ENR: Excess Noise Ratio (rapport de bruit en excès) (dB) ErSi<sub>1.7</sub>: Siliciure d'erbium  $E_v$ : Niveau d'énergie de la bande de valence (eV) EVM: Error Vector Magnitude (Amplitude de l'erreur vectorielle) (%) F<sub>c</sub>: Fréquence de coupure (Hz) FEOL: Font End Of Line f<sub>IF</sub>: Fréquence du signal IF (Hz) f<sub>LO</sub>: Fréquence du signal LO (Hz) fres: Fréquence de résonnance de l'antenne (Hz) f<sub>RF</sub>: Fréquence du signal RF (Hz) g(t): Conductance pompée dans la paire de diodes Schottky en configuration antiparallèle (S ou  $\Omega^{-1}$ )  $g_1$  (t) &  $g_2$  (t): Conductance des diodes Schottky en configuration antiparallèle (S ou  $\Omega^{-1}$ ) GaN: Nitrure de Gallium G<sub>c</sub>: Gain de conversion (dB) GND: GrouND (Masse) G<sub>probeA,av</sub>: Gain disponible dans la sonde dans le plan A (dB) GSG: Ground-Signal-Ground (Masse-Signal-Masse) h: Constante de Planck (J.s)

H: Epaisseur du Substrat SiO2 sous la partie conductrice d'une ligne microstrip (m) HB: Harmonic Balance HBT: Heterojunction Bipolar Transistor (Transistor bipolaire à hétérojonction) HEMT: Hight Electron Mobility Transistor (Transistor à haute mobilité electronique) HF: Haute Fréquence HfSi: Siliciure d'hafnium HFSS: High frequency structure simulator HgCdTe: Tellurure de mercure cadmium ou mercatel h<sub>Mx</sub>: Epaisseur des métaux x  $h_{Mx \text{ to } N+}$ : Epaisseur de SiO2 entre le métal 1 sous les doigts d'accès et la région N+ (m) H<sub>6</sub>: Epaisseur de SiO2 utilisée pour réaliser le substrat de l'antenne patch (m) i: Courant de bruit (A) I\*: Courant RMS conjugué (A) I<sub>1</sub> & I<sub>2</sub>: Courants circulant dans la paire de diodes Schottky en configuration antiparallèle (A) Id: Courant traversant la diode Schottky (A) IEMN: Institut d'Électronique de Microélectronique et de Nanotechnologie IIP3: Interception d'entrée (dB) I<sub>leak</sub>: Courant de fuite inverse de la diode (A) ILIF: Pertes d'insertion de l'accès IF (dB) ILRF: Pertes d'insertion de l'accès RF (dB) IM3: Produit d'intermodulation d'ordre 3 **IMT:** International Mobile Telecommunications InGaAs: Arséniure d'Indium Galium InP: Phosphure d'indium **IP:** Internet Protocol IP3: Point d'interception d'ordre 3 (dB) **IR:** Infrarouge Iredressé: Courant redressé par la diode (A) I<sub>sat</sub>: Courant de saturation de la diode Schottky (A) ISS: Impédance Standard Substrates (Substrats d'impédance standard) **ITU:** International Telecommunication Union k: Constante de Boltzmann (J.K<sup>-1</sup>) Kx: Constante modifiant l'amplitude de la réponse d'un dispositif non linéaire à l'ordre x L ou L<sub>patch</sub>: Longueur de l'antenne patch (m) L<sub>access</sub>: Longueur d'accès constante sur chaque doigt d'anode (m) Lanode: Longueur d'un doigt d'anode (m) LiDAR: Light Detection And Ranging (Télédétection par laser) L<sub>N+OD</sub>: Longueur constante suivant celle du doigt d'anode de l'extrémité du poly-silicium à la limite de la zone d'active dessiné (m) LNA: Low Noise Amplifier LO: Local Oscillator (Oscillateur locale) L<sub>poly</sub>: Largeur de l'espaceur poly-silicium (m) LRRM: Line-Reflect-Reflect-Match LRRM: Line-reflect-reflect-match L<sub>s</sub>: Largeur du creux de la cavité rayonnante suivant la longueur du patch (m) LSB: Lower Side-Band (Bande latérale inférieure) L<sub>w</sub>: Largeur de la partie métallique de la cavité rayonnante suivant la longueur du patch (m) LWIR: Longwave Infrared (Long infrarouge) M: Facteur de désadaptation M2M: Machine to Machine MBE: Molecular Beam Epitaxy (Épitaxie par faisceau moléculaire) MIE: Mécanisme pour l'Interconnexion en Europe MMIC: Monolithic Microwave Integrated Circuit (Circuit intégré monolithique hyperfréquence)

mmW: milimeter Wave (Onde millimétrique) MOS-FET: Metal-Oxide-Semiconductor Field-Effect Transistor (Transistor métal-oxidesemiconducteur à effet de champs) MoSi<sub>2</sub>: Disiliciure de molybdène MWIR: Midwave Infrared (Moyen infrarouge)  $m_e^*$ : Masse effective du semi-conducteur (inversement proportionnelle à la courbure de bande) (kg) N.R.: Non Renseigné N<sub>A</sub>: Nombre d'atomes donneurs (cm<sup>-3</sup>) N<sub>D</sub>: Nombre d'atomes accepteurs (cm<sup>-3</sup>) NEP: Noise Equivalent Power (puissance équivalent de bruit) (pW.Hz<sup>-0,5</sup>) NETD: Température équivalent de bruit (K) Nfinger: Nombre de doigts d'anode NIR: Near infrared (Proche infrarouge) NiSi: Siliciure de nikel NiSi<sub>2</sub>: Disiliciure de nickel NSA: Non StandAlone OIP3: Interception de sortie (dB) OOK: ON-Off Keying (modulation d'amplitude tout ou rien) O<sub>xeqi</sub>: Elément i des termes de la somme pour la réponse d'un dispositif non linéaire d'ordre x P: Périmètre d'anode de la diode Schottky (m) P2P: Peer-to-Peer Pabsorbée: Puissance Absorbée par la diode (W) P<sub>COLD</sub>: Puissance de la diode Schottky non bruyante (W ou dBm) Pd<sub>2</sub>Si: Palladosiliciure P<sub>dBm</sub>: Puissance définit pour un signal sinusoïdal (dBm) P<sub>FI</sub>[IM]: Puissance généré à la fréquence f<sub>IF</sub> par mélange du signal IM (W ou dBm) P<sub>FI</sub>[RF]: Puissance généré à la fréquence f<sub>IF</sub> par mélange du signal RF (W ou dBm) P<sub>HOT</sub>: Puissance de la diode Schottky générant du bruit (W ou dBm) PIF & PIFout & PIFout1dB: Puissance du signal IF (W ou dBm) P<sub>IM3</sub>: Puissance des raies du produit d'intermodulation d'ordre 3 (W ou dBm) P<sub>IMout</sub>: Puissance généré à la fréquence image du signal IM (W ou dBm) PiN: Positive-intrinsic-Negative (Positif-intrinsèque-Négatif) PRF & PRFin & PRFin1dB: Puissance du signal RF (W ou dBm) PSG: Power Signal Genérator (générateur de signal de puissance) PtSi: Siliciure de platine PVD: Physical vapor deposition Pwatt: Puissance définit pour un signal sinusoïdal (W)  $P_x[f]$ : Puissance présente dans le plan x à la fréquence f (W ou dBm) q: Charge de l'élétron (C) QAM-x: Quadrature Amplitude Modulation (modulation d'amplitude en quadrature de phase à x état) QCL: Quantum Cascade Laser (Laser à cascade quantique)  $Q_i(V)$ : Charge totale présente à jonction Schottky en fonction de la polarisation V (C) Q<sub>m</sub>: Charge du métal (C) QPSK: Quaternary Phase Shift Keying (modulation à saut discret en quadrature de phase par signal numérique binaire) Q<sub>sc</sub>: Charge du semi-conducteur (C) QWIP: Quantum Well Infrared Photodetecteur (Photodetecteur infrarouge à puit quantique)  $q\Phi_m$ : Travail de sortie du métal (eV)  $q\Phi_{sc}$ : Travail de sortie du semi-conducteur (eV)  $q\Phi_x$ : Travail de sortie du matériau x (eV) qy<sub>sc</sub>: Affinité électronique du semi-conducteur (eV) qxx: Affinité électronique du matériau x (eV)  $R_{\Box}$ : Résistance carrée ( $\Omega/\Box$ )

 $R_{\square m1}$ : Résistance carrée du métal 1 ( $\Omega/\square$ )  $R_{\Box mx}$ : Résistance carrée du métal x ( $\Omega/\Box$ )  $R_{\Box n^+}$ : Résistance carrée du N+ garantie par le process ( $\Omega/\Box$ )  $R_{\Box}$  nyell max: Résistance carrée du caisson Nwell maximum garantie par le process ( $\Omega/\Box$ )  $R_{\Box nwell min}$ : Résistance carrée du caisson Nwell minimum garantie par le process ( $\Omega/\Box$ )  $R_{\Box nwell typ}$ : Résistance carrée du caisson Nwell typique garantie par le process ( $\Omega/\Box$ )  $R_{\Box \text{ silicide}}$ : Résistance carrée du siliciure garantie par le process ( $\Omega/\Box$ ) **RAN:** Radio Access Network  $R_{anode}$ : Résistance des accès métalliques d'anode de la diode Schottky ( $\Omega$ )  $R_{anode}$ : Résistance modélisée pour les accès métalliques de l'anode de la diode Schottky ( $\Omega$ )  $R_{cathode}$ : Résistance des accès métalliques de cathode de la diode Schottky ( $\Omega$ )  $R_{cathode}$ : Résistance modélisée pour les accès métalliques de la cathode de la diode Schottky ( $\Omega$ )  $R_{CouchesActivesFrontend}$ : Résistance des couches dopées de la diode Schottky ( $\Omega$ ) **RF:** Radio Fréquence RFID: Radio Frequency IDentification (Radio-identification) R<sub>i,f</sub>: Sensibilité en courant (A/W) R<sub>InterconnectionsBackend</sub>: Résistance des accès métalliques de la diode Schottky (Ω)  $R_i$ : Resistance de jonction ( $\Omega$ ) RMS: Root means squart (racine carrée de la valeur moyenne du carré/valeur efficace)  $R_{n+}$ : Résistance modélisée dans les régions dopées N+/Nsinker de la diode Schottky ( $\Omega$ )  $R_{nwell}$ : Résistance modélisée dans le caisson Nwell de la diode Schottky ( $\Omega$ ) **RRH: Radio Remote Head**  $R_s$ : Résistance série ( $\Omega$ )  $R_{\text{silicide}}$ : Résistance modélisée pour le contact siliciuré de la diode Schottky ( $\Omega$ ) R<sub>v.f</sub>: Sensibilité en tension (V/W) S: Surface conductrice (m<sup>2</sup>) S (Paramètres S): Coefficients de diffraction ou de répartition (dB) SA: StandAlone SDD: Symbolocally Defined Devices SDN: Software Defined Networking SEM: Scanning Electron Microscopy (microscope à balayage électronique) SHD: Super-Haute-Définition SHM: Sub Harmonic Mixer (Mélangeur sous-harmonique) SiGe: Silicium Germanium SiO<sub>2</sub>: Dioxyde de Silicium SL: Super Lattice (Photodétecteur infrarouge à puits quantiques cascadés) SLS: Stained Super Lattice (Photodétecteur infrarouge à puits quantiques cascadés) SOI: Silicon On Insulator (Silicium sur isolant) SOLT: Short-Open-Load-Thru SpaceAfing to Kaccess: Distance constante entre le doigt d'anode et l'accès métallique d'anode (m) SpaceKfing to AAccess: Distance constante entre le doigt de cathode et l'accès métallique d'anode (m) SSB: Single Side-Band (Bande latérale unique) STI: Shallow Trench Insulation (Isolation par tranchée peu profonde) SWIR: Short Wave InfraRed (Court infrarouge)  $S_x$  (f): Densité spectrale de x (unité de x) t: Epaisseur du matériau conducteur (m) T: Epaisseur de la partie conductrice d'une ligne microstrip (m) T: Température absolue (K) TaSi<sub>2</sub>: Disiliciure de tantale TCAD: Technology Computer-Aided Design (Conception assistée par ordinateur) T<sub>COLD</sub>: Température de bruit de la diode Schottky non bruyante (K) TEM: Transmission Electron Microscopy (microscope en transmission électronique) TEx: Mode électrique d'ordre x se popagent dans un substrat

T<sub>HOT</sub>: Température de bruit de la diode Schottky générant du bruit (K) T<sub>HOT</sub><sup>A,av</sup>: Température de bruit générée par la source de bruit dans le plan A (K) T<sub>HOT</sub><sup>B,av</sup>: Température de bruit disponible dans le plan B (K) T<sub>HOT</sub><sup>B,e</sup>: Température de bruit effective présente dans le plan B quand la source de bruit est l'état ON (K) TIA: TransImpedance Amplifier (amplificateur transimpédance) TIC: Technologies de l'information et des Communications TiSi<sub>2</sub>: Disiliciure de titane TL: Transmission Line (ligne de transmission) TMy: Mode magnétique d'ordre y se propageant dans un substrat T<sub>Noise</sub>: Température de bruit du SHM (K) ToF: Time of Flight (mesure par temps de vol) T<sub>RCV</sub>: Température équivalente de bruit du récepteur de bruit (K)  $T_{ref}$ : Température référentielle de plancher de bruit NEP pour une mesure terrestre (K) UAV: Unmanned Aerial Vehicle (drone) USB: Upper Side-Band (Bande latérale supérieure ) UTC-PD : Unitravelling Carrier Photodiode (Photodiodes à transport unipolaire) UV: Ultraviolet v: Tension de bruit (V) V: Tension de polarisation de la diode Schottky (V) V: Tension RMS (V) V(x): Différence de potentiel suivant la distance x (V) V<sub>b</sub>: Tension de barrière de potentiel (V) VDI: Virginia Diodes Inc. VLWIR: Very Long Infrared (Très long infrarouge ou infrarouge lointain) VNA: Vector Network Analyseur (Analyseur de réseau vectoriel)  $V_{off}$ : Tension aux bornes de la diode polarisé en courant sans injection d'un signal RF (V) V<sub>RFon</sub>: Tension aux bornes de la diode polarisé en courant avec injection d'un signal RF (V)  $V_x$  (t) : Signal sinusoïdale d'amplitude  $V_x$  et de pulsation  $\omega_x$ W ou W<sub>patch</sub>: Largeur de l'antenne patch (m) W<sub>ACo to m1</sub>: Largeur entre les extrémités des contacts d'anode et du doigt métal 1 d'anode (m) W<sub>anode</sub>: Largeur d'un doigt d'anode (m)  $W_{co}$ : Largeur de contact (m) W<sub>Co\_to\_poly</sub>: Largeur entre les extrémités des contacts d'anode et de l'espaceur poly-silicium (m) W<sub>KCo\_to\_m1</sub>: Largeur entre les extrémités des contacts d'anode et du doigt métal 1 de cathode (m) W<sub>line</sub>: Largeur de la partie conductrice d'une ligne microstrip (m) W<sub>m1 anode</sub>: Largeur du métal 1 du doigt d'accès d'anode (m) W<sub>m1\_cathode</sub>: Largeur du métal 1 du doigt d'accès de cathode (m) Ws: Longueur du creux de la cavité rayonnante suivant la longueur du patch (m) WSi<sub>2</sub>: Disiliciure de tungstène W<sub>w</sub>: Longueur de la partie métallique de la cavité rayonnante suivant la longueur du patch (m) W<sub>ZCE</sub>: Largeur de la zone de charge d'espace (déplétion) (m) xP<sub>LOin</sub>: Puissance généré à l'harmonique x du signal LO (W ou dBm) xSHM: Sub Harmonic Mixer at order x (Mélangeur sous l'harmonique d'ordre x ) Y (Facteur Y): Rapport entre les puissances de la diode Schottky générant du bruit et la diode Schottky non bruyante Y (Paramètre Y): Admittance (S ou  $\Omega^{-1}$ ) Z (Paramètre Z): Impédance  $(\Omega)$  $Z_0$ : Impédance caractéristique de la ligne coaxiale à section carrée ( $\Omega$ )  $Z_{ant}$ : Impédance variable générée à partir du coefficient de réflexion ( $\Omega$ ) ZCE: Zone de Charge d'Espace  $Z_{IF}$ : Impédance présente dans le plan d'accès IF du 2xSHM ( $\Omega$ )  $Z_{LO}$ : Impédance présente dans le plan d'accès LO du 2xSHM ( $\Omega$ )  $Z_{RF}$ : Impédance présente dans le plan d'accès RF du 2xSHM ( $\Omega$ )

ZrSi<sub>2</sub>: Disiliciure de zirconium γ: Constante liée à la nature du dopage  $\Gamma_{IN}^{RCV}$ : Coefficient de réflexion présenté à l'entrée du récepteur de bruit  $\Gamma_{IN}^{RCV}$ : Coefficient de réflexion présenté par le récepteur de bruit  $\Gamma_{\rm NS}$ : Coefficient de réflexion présenté par la diode Schottky  $\Gamma_{OUT}^{probe}$ : Coefficient de réflexion présenté par la diode Schottky à travers les sondes de mesures (plan B)  $\epsilon_0$ : Permittivité du vide (8,854 187 82 × 10<sup>-12</sup> F.m<sup>-1</sup>) ε<sub>r</sub>: Permittivité relative du matériau  $\epsilon_{reff}$ : Permittivité effective de l'antenne patch  $\epsilon_s$ : Constante diélectrique de la capacité induite par la ZCE  $\varepsilon_s$ : Permittivité du silicium (~10<sup>-10</sup> F.m<sup>-1</sup>)  $\lambda_1 \& \lambda_2$ : Longueur d'onde 1 et 2 (m)  $\lambda_g$ : Longueur d'onde guidée (m)  $\lambda_{TM0}$ : Longueur d'onde générée par la mode magnétique fondamental TM0 (m) ρ: Résistivité d'un matériau (Ω.m)  $\omega_{LO}$ : Pulsation du signal LO (rad.s<sup>-1</sup>)  $\omega_{RF}$ : Pulsation du signal RF (rad.s<sup>-1</sup>)  $\eta$ : Facteur d'idéalité

# **INTRODUCTION GENERALE**

L'augmentation exponentielle du trafic mondial de données mobiles impose une forte pression sur l'ensemble des réseaux mobiles actuellement déployés dans le monde. Cette hausse est induite par l'arrivée massive de nouveaux objets connectés sur le marché de l'électronique grand public. Du fait de cette coercition, une dégradation, qui ne peut être tolérée, de la qualité des liaisons sans fil côté utilisateur est à envisager. L'augmentation du débit de données, actuellement autour de 100 Mbit/s pour la 4G, est donc une nécessité pour pallier cette dégradation de qualité du réseau. Un débit utilisateur moyen de 1 Gbit/s permettrait donc de solutionner cette problématique. C'est un des objectifs du déploiement actuel de la 5G. Néanmoins, cette hausse de débit accessible à l'utilisateur n'est envisageable que si les liaisons connectant le cœur du réseau et les points d'accès radio utilisent des liens Fronthaul/Backhaul avec des débits considérablement accrus (40 Gbit/s est l'ordre de grandeur visé par la communauté). En vue de développer ces connections sans fils haut débit, les travaux de recherches se concentrent actuellement sur la bande de fréquence 220 – 325 GHz normalisée par le standard IEEE 802.15.3d. Des premiers démonstrateurs au-delà de 100 Gbit/s et des premières solutions commerciales offrant des débits allant de 10 à 40 Gbit/s pour des liaisons point-à-point sans fil opérant dans les ondes millimétriques commencent à émerger. Cependant, les performances et robustesses de ces dispositifs doivent encore être améliorées afin de proposer des solutions à faible coût capables de s'imposer massivement sur le marché des télécommunications. L'arrivée d'un débit utilisateur maximum 10 Gbit/s et une latence minimale inférieure à 10 ms avec le future réseau mobile 5G, la mise en place pour de nouvelles applications est envisagée. C'est notamment le cas de la voiture autonome qui, grâce à cette faible latence, devrait être capable de détecter un obstacle et de réagir de manière plus efficace que ne le permet le temps de réaction humain. Cependant, la détection d'obstacle ne peut être effective que si elle s'appuie sur des systèmes de détection performants et facilement intégrables sur le véhicule. Dans cette optique, la communauté scientifique s'emploie également à l'élaboration de capteurs toujours plus performants en explorant le champ des possibles sur différentes technologies semi-conducteurs. Malgré un compromis complexe entre intégration et performances, les systèmes LiDAR, fondés sur la détection de scènes 3D en mesure par temps de vol ToF, commencent à émerger. Comme cela illustré dans le manuscrit, le développement de tels capteurs innovants en technologie Silicium nécessite le développement de nouveau composant également utiles aux communications sans fils dans la bande de fréquence 220 GHz – 325 GHz. Dans le cadre de cette thèse, plusieurs thématiques reliées à ces problématiques sont abordées. En premier lieu, la mise au point d'une architecture innovante de diode Schottky en technologie silicium est exposée. La stratégie de modélisation analytique de ce composant est ensuite présentée. Deux démonstrateurs (mélangeur sous-harmonique et circuit Rectenna) incluant cette diode Schottky sont finalement développés.

Le **premier chapitre** expose le contexte, les besoins, ainsi que les enjeux dans lesquels s'inscrivent nos travaux de recherche. Il met en évidence non seulement les opportunités de mise au point des liaisons point-à-point mmW avec des débits supérieurs à 100 Gbit/s, mais aussi celles de pouvoir mettre au point des capteurs LiDAR efficaces et facilement intégrables avec un faible coût.

Le **second chapitre** présente le développement d'une architecture de diode Schottky innovante en technologie silicium. Présentant des fréquences coupures à l'état de l'art, elles constituent les briques de base dans la mise au point de deux démonstrateurs.

Le **troisième chapitre** illustre la stratégie de modélisation analytique retenue pour obtenir les facteurs de mérite principaux de l'architecture innovante de ces diodes Schottky. Une corrélation entre les performances mesurées et modélisées est également présentée, ainsi que l'implémentation du modèle sous le simulateur ADS.

Le **quatrième chapitre** décrit la réalisation des deux démonstrateurs incluant certaines diodes Schottky innovantes. Le détail de la conception d'un mélangeur sous-harmonique fonctionnant autour de 100 GHz est présenté ainsi que les performances simulées et mesurées. Il propose également la présentation de la mise au point de circuits Rectenna fonctionnant à ~2 THz en détaillant la conception d'antenne intégrée sur silicium et son intégration dans le circuit complet.

Le **cinquième chapitre** conclut de manière générale l'ensemble des travaux réalisés en proposant des axes d'amélioration et des perspectives afin de pallier certaines limitations rencontrées pendant ces travaux.

# I. APPLICATIONS FONCTIONNANT DANS LE DOMAINE DES ONDES MILLIMETRIQUES



### I.1. LIAISON SANS FILS A HAUT DEBIT FONCTIONNANT DANS LA BANDE 220-325 GHz

### **I.1.i.** APPLICATIONS SANS FIL ET TRAFIC DE DONNEES MOBILES

#### I.1.i.a. EVOLUTION DU NOMBRE D'APPAREILS MOBILES CONNECTES

Au cours des dernières décennies, nous avons assisté à l'émergence d'une dynamique duale d'augmentation et de démocratisation d'appareils ayant altéré et simplifié l'interaction de l'humanité avec son environnement. Ces nouveaux appareils, dotés de capabilités et d'une intelligence accrue, sont aujourd'hui des marqueurs témoignant de la modernité d'une société. Devenus indispensables dans le travail et le quotidien de chacun, ces objets techniques se sont rapidement intégrés dans un marché très dynamique et en plein essor. Ce phénomène trouve ses sources dans l'accroissement rapide du nombre d'applications M2M (*Machine to Machine*) dans les domaines de la sécurité (vidéosurveillance), de la santé (soins médicaux), du transport et de l'industrie, qui ont fortement contribué à la croissance et au développement de nouveaux appareils liés, ainsi que leurs systèmes de connexions associés. En vue d'illustrer cette forte croissance, la Figure 1 souligne l'évolution du nombre d'appareils connectés dans le monde depuis 2007 jusqu'en 2025.



Figure 1: Prévision mondiale du nombre d'appareils connectés [1]

Selon les données reportées sur la Figure 1, les appareils de la catégories Entreprise IoT sont estimés à environ 38 000 millions d'unités dans le monde d'ici 2025. Cette catégorie montre que les systèmes de communication M2M représentent toujours le fer de lance de l'innovation. En effet, la dénomination IoT (*Internet of Things*) désigne l'évolution des communication M2M dans un contexte plus vaste entre l'utilisateur et la machine où une application joue le rôle d'intermédiaire [2]. Bien que le secteur industriel soit le consommateur majoritaire d'appareils connectés en vue de répondre aux besoins des clients de manière efficace, le particulier n'est pas en reste. Les individus sont effectivement friands d'acquisitions d'objets connectés dans le but de révolutionner leur quotidien. Que ce soit en matière de confort et d'interaction sociale (smartphones, smart TV, tablettes, PCs et autre médias vidéoludiques connectés), en matière de santé (objets portables tels que les montres connectées, les implants médicaux auditifs, etc), ou dans d'autres domaines s'inscrivant dans une tendance éco-responsable et sécuritaire (composants Smart Home et Véhicules connectés), ils contribuent également à l'augmentation du nombre de nouveaux appareils connectés dans le monde, comme l'illustre la Figure 1.

#### I.1.i.b. CONSEQUENCES SUR LE TRAFIC DE DONNEES SANS FIL

La démocratisation des nouveaux appareils connectés devrait considérablement changer le rapport au travail et le quotidien des utilisateurs dans les prochaines décennies. Cependant, la croissance rapide du nombre d'appareils connectés devrait résulter dans une forte augmentation du trafic mondial de données mobiles En effet, l'ITU (*International Telecommunication Union*) estime qu'une croissance exponentielle du trafic mondial de données mobiles aura lieu d'ici 2030. De ce fait, le trafic IP (*Internet Protocol*) devrait atteindre la valeur astronomique de 5 ZO (ZettaOctet) par mois, représentant une hausse annuelle de 36 % entre 2020 à 2030 [3].



Figure 2: Augmentation du trafic mondial de données mobiles

La Figure 2 présente la croissance anticipée de l'ensemble du trafic mondial de données mobiles lors de la prochaine décennie. Ce graphique met l'accent sur le défi induit par l'arrivée massive de nouveaux objets connectés dans les dix prochaines années. L'enjeu réside ainsi dans le fait d'éviter la saturation des moyens et des infrastructures de gestion des données mobiles actuellement mis en place. Par conséquent, l'amélioration de la capacité des réseaux sans fil est devenue une priorité pour les opérateurs de télécommunications. Actuellement, cette tendance de l'industrie des télécommunications se traduit par le déploiement de la technologie de télécommunications cellulaires de cinquième génération (5G). Bien que la transition vers la 5G semble s'opérer sur une dynamique plus lente que celle observée entre la 2G/3G vers la 4G, certains fournisseurs de services de communication basé en Chine ont fixé des objectifs politiques ambitieux pour atteindre une couverture de population pouvant atteindre 90% au cours de la première année de déploiement prévu en 2020. Cependant, le contexte sanitaire lié à la pandémie mondiale de la Covid-19 a mis à mal cet objectif. Dès lors, une première version commerciale en bande L (600 - 700 MHz) est prévue en France métropolitaine pour la fin de l'année 2020 [4]. Certains pays ont toutefois commencé à lancer la 5G avant la France. C'est le cas en Europe de l'Espagne, de l'Italie, de l'Allemagne, du Royaume-Uni et de la Suisse. Les États-Unis ont aussi démarré le déploiement de la 5G, mais sur des bandes de fréquences différentes de l'Europe et en particulier sur les bandes de fréquences millimétriques (supérieures à 6 GHz). Dans le monde, la Corée du Sud est le pays le plus avancé dans le déploiement de réseaux et la commercialisation de cette technologie sur des fréquences en bande C (3,1 -4,2 GHz) similaires à l'Europe. De plus, le Japon et la Chine figurent également parmi les premiers acteurs de la mise en place d'un réseau 5G [4].

En prévision de l'arrivée imminente du réseau 5G, les opérateurs et fabricants commercialisent désormais des modèles de smartphone adaptés et disponibles depuis la seconde moitié de l'année 2019. Parmi ces modèles anticipant le réseau 5G, s'illustrent les Samsung Galaxy Note 10+ 5G, S10 et S20 5G, le Huawei Mate 20 X 5G, le Xiaomi Mi Mix 3 5G, ou encore l'Orange Neva Jet, malgré le fait que le réseau 5G ne soit pas encore disponible aux utilisateurs.

#### CHAPITRE 1 : APPLICATIONS FONCTIONNANT DANS LE DOMAINE DES ONDES MILLIMETRIQUES

Dans le cadre du déploiement de la 5G, deux manières de procéder existent : en mode non autonome NSA (*Non StandAlone*) ou en mode autonome SA (*StandAlone*). En mode non autonome NSA, le réseau d'accès radio RAN (*Radio Access network*), désignant l'ensemble des antennes relais du réseau, est relié au réseau cœur 4G. Cette architecture est précurseur dans la mesure où elle a été la première standardisée par le 3GPP et testée par les exploitants de réseau. Ce type de déploiement présente l'avantage de s'appuyer sur le réseau cœur existant. A l'inverse, le mode 5G autonome consiste à déployer la 5G à partir de zéro, grâce à la nouvelle architecture de cœur et à l'installation complète de tous les équipements 5G. Dans un premier temps, le mode non autonome NSA devrait être largement privilégié, dans la mesure où il facilite la transition vers le mode autonome SA. Cependant, l'objectif est à terme de ne démocratiser que ce dernier, afin d'assurer une couverture suffisante permettant de gérer le flux massif de donnée mobiles dans le monde.

En vue d'atteindre des débits plus élevés, la 5G vise l'utilisation de bandes de fréquences les plus larges disponibles à plus haute fréquence. La mise en parallèle des débits maximaux obtenus avec les précédentes générations de technologie de communication cellulaire montre une relative croissance de 150 kb/s entre la 2G et la 3G, et 50 Mb/s entre la 3G et 4G. Cela souligne l'évolution rapide de l'amélioration des performances entre les générations [5]. La 5G, quant à elle, devrait permettre d'atteindre des performances encore plus élevées à l'aide d'un débit maximum déjà atteint de 4,7 Gbit/s à 28 GHz aux Etats Unis (Texas) par le constructeur finlandais Nokia et de 3,67 Gbit/s à 3,5 GHz côté Chinois et Corréen. En effet, la 5G, telle que prévue, devrait fonctionner dans plusieurs bandes de fréquences différentes, variant d'un pays à l'autre. Ces bandes seront la bande L, avec une fréquence inférieure à 1 GHz, la bande C avec une fréquence comprise entre 3,2 GHz et 4,9 GHz, et la bande mmW (*millimeter Wave*) avec des fréquences comprises entre 26 et 100 GHz, comme illustré sur la Figure 3.



Figure 3: Définition des bandes de fréquence pour la 5G

Dans le cadre d'une réflexion sur le long terme, les fréquences opérant en bande millimétrique présentent un avantage significatif quant à leur utilisation. En effet, les bandes de fréquences [24,25 ; 27,5] GHz, [37 ; 43,5] GHz, [45,5 ; 56,2] GHz ; [66 ; 71] GHz ; [71 ; 76] GHz et [81 – 86] GHz sont fortement mises en avant dans la littérature scientifique, et notamment dans les recherches menées par l'ITU (*International Telecommunication Union*). La Conférence mondiale des radiocommunications-2019 (CMR-19), ayant eu lieu du 28 octobre au 22 novembre 2019 à Charm-el-Cheikh (Égypte), avait également trait à identifier sur la scène mondiale les bandes de fréquences au-dessus de 24 GHz concernant les IMT (*International Mobile Telecommunications*). Bien que la bande autour de 26 GHz fasse débat, du fait de son utilisation actuelle dans d'autres services scientifiques (observations terrestres et radioastronomies), des conditions de coexistence d'autres services doivent encore être discutées en vue de minimiser les risques accrus de brouillage éventuel. En revanche, les résultats de la CMR-19 devraient contribuer au lancement de travaux d'harmonisation à l'échelle européene. Cela permettra enfin d'apporter aux opérateurs de nombreux gigahertz de capacité supplémentaire dans un cadre réglementaire international, garantissant une meilleure protection des autres services, principalement à visée satellitaire [6]. Néanmoins le développement millimétrique n'a pas été privilégié à grande échelle au détriment de la solution < 6 GHz qui a été favorisée.

#### CHAPITRE 1 : APPLICATIONS FONCTIONNANT DANS LE DOMAINE DES ONDES MILLIMETRIQUES

La 5G étant en cours de déploiement, les premières recherches sur les réseaux sans fil 6G ont été initiées afin de répondre aux exigences de la future société de l'information intelligente de 2030. A ce titre, la Chine a lancé le projet « Communications à large bande et nouveaux réseaux » à l'horizon 2030 et au-delà. Dans l'Union européenne, le programme Horizon Europe [7], qui remplacera Horizon 2020 pour la future programmation européenne 2021-2027, prévoit de financer un grand nombre d'actions ayant trait à l'Internet nouvelle génération (5G et 6G). Plusieurs projets tels que *TERRANOVA*, *Affordable5G ou encore Int5Gent* ont déjà été financés dans ce cadre. De manière analogue, le volet numérique du Mécanisme pour l'interconnexion en Europe (MIE) finance [8] des infrastructures de connectivité stratégiques tels que les corridors 5G en vue de promouvoir la mobilité connectée et automatisée. Sur la période 2021-2027, ce volet compte également allouer une large partie de son budget, s'élevant à 15 milliards d'euros, au financement de projets relatifs à la couverture des systèmes 5G sur tous les principaux circuits de transport. Aux États-Unis, la *Semiconductor Research* Corporation a parrainé des recherches sur la convergence des technologies de communication et de détection THz pour la future infrastructure cellulaire.

#### I.1.i.c. EVOLUTION VERS LA 6G

D'après les prévisions actuelles des experts, la 6G devrait vite devenir un écosystème autonome sur la scène internationale. Ce nouveau réseau mondial devrait être doté d'une intelligence s'appuyant sur les concepts de l'intelligence artificielle et de *machine learning*, et ainsi proposerait un débit accru par rapport au réseau 5G. Cette évolution de réseau devrait fournir de multiples manières de communiquer et d'interagir avec les terminaux intelligents, à l'instar des doigts, de la voix, des yeux ou des ondes cérébrales (ou signaux neuronaux), tout en traitant un important volume de données en temps réel. Le futur réseau 6G devrait ainsi être en mesure de soutenir une demande croissante concernant l'imagerie super-haute-définition (SHD) et extrême-haute-définition (EHD), mais aussi le développement des services relatifs aux nano-things, ce qui permettrait de donner suite au développement et au déploiement de capteurs corporels fonctionnant à très faible puissance. Un autre usage pourrait résider dans la mise en place de communications spéciales sous-marines très performantes, qui favoriseront la recherche ainsi qu'une nouvelle forme de tourisme. Les indicateurs de performance clés des générations des réseaux sans fil sont reportés dans le Tableau 1 dans le but de comparer les technologies 4G, 5G avec les premiers objectifs ambitieux de la future 6G.

	<b>4</b> G	5G	<b>6</b> G
Débit moyen	10 Mo/s	0.1 Go/s	1 Go/s
Débit maximum	~1 Go/s (MIMO 4x4, 4 Cellules Antennaires)	20 Go/s	≧1 To/s
Latence	10 ms	1 ms	10-100 µs
Efficacité énergétique	$1 \times$	10-100× comparé à la 4G	10-100× comparé à la 5G
Efficacité spectrale	$1 \times$	3× comparé à la 4G	5-10× comparé à la 5G
Densité	10 <sup>5</sup> dispositifs/km <sup>2</sup>	10 <sup>6</sup> dispositifs/km <sup>2</sup>	107 dispositifs/km <sup>2</sup>

Tableau 1: Caractéristique des réseaux 4G, 5G et 6G

Le tableau 1 a vocation à présenter l'évolution exponentielle des débits maximum visés (x20 entre la 4G et la 5G, x50 entre la 5G e la 6G). Toutefois, il convient de noter que ces débits n'ont pas forcément trait au lien entre l'utilisateur et la station de base, mais concernent dans la plupart des cas l'infrastructure du réseau mobile. Le réseau mobile 6G s'appuiera sur les réseaux mobiles spatial, terrestre et aérien instaurés dans le cadre du déploiement de la 5G, ainsi que sur le développement d'un réseau mobile maritime. Tous ces réseaux étant *de facto* interconnectés, ils sont reliés à un cœur de réseau capable de gérer l'ensemble des données leur étant transmis de manière plus autonome et plus rapide que le réseau 5G (Figure 4). Ces quatre entités sont nécessaires afin d'assurer une couverture idéalement omniprésente sur l'ensemble du globe mais surtout efficace sur les territoires visés. Le réseau spatial devra être en mesure de fournir un service internet dans l'espace et sur les orbites planétaires bas, médian et géostationnaire. Il aura également visée à soutenir les transmissions de données mobiles dans les zones non couvertes par le réseau terrestre. Les communications haute capacité entre les points

#### CHAPITRE 1 : APPLICATIONS FONCTIONNANT DANS LE DOMAINE DES ONDES MILLIMETRIQUES

d'accès terrestre et du réseau satellitaire seront assurées par le déploiement de systèmes fonctionnant dans les ondes millimétriques. Les communications longue distance intra-satellitaires pourront dès lors être acheminées via communication laser, afin de réaliser des transmissions en espace libre. La densification du réseau aérien aura pour objectif de garantir une connectivité plus flexible et fiable dans les régions terrestres reculées ou densément montagneuses. Elle devrait également œuvrer au relais d'informations entre les communications spatiales et terrestres/maritimes en tirant partie des signaux basse fréquence, micro-ondes et millimétriques. Quant au réseau maritime, il sera mis au point afin de permettre une couverture internet sur et sous les mers, pour des activités commerciales et militaires. Les caractéristiques de propagation différant entre le milieu aquatique et l'air, l'utilisation de systèmes de communication acoustique et laser devraient être privilégiés à l'avenir, afin d'effectuer des transmissions bidirectionnelles sous l'eau grâce à un déploiement massif de points d'accès du réseau sous-marin. Le réseau terrestre demeure la principale solution pour assurer une couverture internet mobile via des connexions point à point sans fil pour l'ensemble des activités humaines. En vue de satisfaire ce service de couverture, les fréquences THz et millimétriques devraient être favorisés et principalement utilisés. Cependant, en raison de la forte atténuation de ses fréquences dans l'air, un déploiement massif de point d'accès « small cells » devrait être mis en place pour le développement 5G. Ce dernier devrait être finalement ultra-densifié pour l'arrivée du réseau 6G, afin de garantir les performances du réseau.



Figure 4: Illustration conceptuelle du réseau 6G

Dans le but de garantir le débit de données anticipé pour les nouvelles générations de réseaux mobiles, la transition 4G-5G devrait être modifiée puis renforcée pour la 6G. Ce changement devrait se traduire par une densification du réseau, à travers la multiplication du nombre de cellules ainsi que la diminution de leur taille (Figure 5). Afin de répondre à ces exigences en matière de cellules, l'élaboration et la mise en œuvre de solutions adaptées sur le réseau de base devrait fortement peser sur la modification de l'architecture du réseau d'accès radio (RAN).



Figure 5: Schéma conceptuel de la densification du réseau mobile terrestre avec des small cells et architecture RAN centralisée [9]

En ce sens, le concept de réseau d'accès radio dans le nuage (C-RAN) a été retenu. La littérature scientifique met en exergue trois catégories distinctes de C-RAN. Le premier désigne le C-RAN totalement centralisé, dans lequel les fonctions de la bande de base, le contrôle d'accès au support et du réseau sont placés au cœur d'un centre de données unique, et les RRH (*Radio Remote Head*) n'intègrent plus aucun élément du modem en bande de base. Une deuxième forme de C-RAN présente une centralisation partielle, dans laquelle les RRH intègrent non seulement les fonctions liées à la transmission en radio fréquence (RF), mais également certaines fonctions de traitement en bande de base strictement liées à la RF. Le reste des autres fonctions de bande de base et de bande supérieures sont quant à elles regroupées dans un centre de données.

La troisième catégorie semble la plus prometteuse, dans la mesure où elle inclut une centralisation hybride. Ce type de C-RAN consiste en un cas particulier de la version complètement centralisée, dont les BBU (*baseband unit*) sont séparées par des stations de base (BS) et centralisées dans le BBU-Pool au niveau d'un centre de données (CO). Ce centre de données permet de concentrer le traitement de centaines de bases radio contrôlées à distance (RRH), pour lesquelles le traitement passe par le filtrage, la conversion analogique-numérique et numérique, l'adaptation d'interfaces ainsi que la conversion de bande de fréquences (*up/down conversion*). Cette approche s'inscrit à l'encontre de l'architecture de RAN distribuée (D-RAN), dont le traitement en bandes de base est effectué au niveau de chaque station de base. Dans la mesure où les RRH de cellules connexes sont traitées de manière centralisée, le schéma de traitement du signal doit être complexifié, grâce à notamment des stratégies de formation de faisceau, en vue d'augmenter l'efficacité de couverture du réseau.

Dès lors, l'architecture C-RAN présente l'avantage de diminuer drastiquement le coût de fonctionnement, à travers la déportation du BBU de la station de base en direction du CO. Ce choix contribue à considérablement simplifier la conception et l'encombrement de la RRH sur le site de l'antenne, et rassemble les opérations de maintenance et d'entretien de la BBU au sein d'un espace unique et adapté [9].

Par ailleurs, le déploiement massif des « *small cells* » engendrerait une forte croissance des réseaux Backhaul, puisqu'ils servent de liens connectant le RAN au cœur de réseau, ainsi que de lien Fronthaul pour relier la RRH au BBU.

### I.1.ii. OPPORTUNITE DE FRONTHAUL/BACKHAUL SANS FIL

### I.1.ii.a. Architecture Fronthaul/Backhaul sans fil

Afin d'accueillir le réseau 5G de manière efficace et rapide, le déploiement des « small cells » apparait comme une condition sine qua non de sa réussite. En effet, la densification du réseau est cruciale dans la mesure où chaque secteur intracellulaire doit pouvoir être desservi. Cela se traduit par une couverture plus dense du lien par fibre optique, soutenant ainsi l'interface radio commune et publique (CPRI). En vue d'assurer une couverture optimale sur le continent européen, un partenariat public-privé intitulé 5GPPP, a été lancé conjointement par la Commission européenne et le secteur européen des TIC (fabricants, opérateurs télécoms, fournisseurs de services, PMEs et centres de recherche). Le partenariat 5GPPP est actuellement dans sa troisième phase, avec de nombreux projets lancés à Bruxelles en juin 2018. L'enjeu de cette initiative réside dans le renforcement de la compétitivité de l'industrie européenne sur les marchés mondiaux, et vise à instaurer une plateforme d'échange de bonnes pratiques en matière de 5G. Un des principaux défis posés par le déploiement de la 5G consiste à rendre disponible un réseau optique efficace, notamment dans les zones denses et très denses. A cette fin, des discussions sont en cours concernant les stratégies de densification des réseaux d'accès à privilégier. D'importants travaux semblent nécessaires pour mettre en œuvre la fibre optique, permettant de soutenir le lien Fronthaul/Backhaul des nouvelles cellules. Les opérateurs du réseau devront ainsi faire appel à des travaux de génie civil, souvent onéreux et fastidieux, complexifiant de fait l'instauration des réseaux Fronthaul [10].

La mise en place des liaisons Fronthaul au standard CPRI sont à l'interface série rapide et n'implique pas le type de support physique (fibre ou point à point mmW). En tant qu'alternative à la fibre optique, les liaisons point à point mmW devrait œuvrer à fournir une grande bande passante aux RRH à travers des liens point-à-point sans fil à large bande (Figure 6). Cette option présente l'avantage pour les opérateurs de téléphonie mobile d'être facilement et rapidement installée, à bas prix. Ces liaisons Fronthaul point à point mmW servent à assurer des communications entre les stations de base et le cœur de réseau, à l'aide d'une antenne fixe à fort gain. De ce fait, l'association des liaisons par fibre optique déjà installées avec de nouvelles liaisons point-à-point sans fil contribue à garantir des performances optimales du réseau, tout en se prémunissant contre une augmentation drastique du coût de déploiement [10].



Figure 6: : Schéma d'une C-RAN avec les réseaux Fronthaul sans fil [10]

Dès lors, les liaisons point-à-point sans fil offrent une solution avantageuse pour les nouveaux liens *Fronthaul/Backhaul*, en vue d'effectuer les liaisons multi-Gbit/s entre les *small cells* et le cœur de réseau. Des essais en vue de supporter les services Backhaul et Fronthaul sont actuellement en cours. Ils portent notamment sur la gestion unifiée des transmissions par fibre optique et sans fil, à l'aide d'une unique cellule de contrôle SDN (Software Defined Networking), et proposent une validation de son fonctionnement à l'échelle d'une grande ville

telle que Bristol [11]. Les fréquences millimétriques s'inscrivent dans une approche rationnelle de la mise en œuvre de ces liaisons, dans la mesure où la large bande passante est disponible à ces fréquences, et devraient être de fait privilégiées.

Dans un contexte d'arrivée imminente du réseau 5G à travers le monde, plusieurs sociétés proposent d'ores et déjà des solutions commerciales point à point mmW permettant de compléter le réseau 4G existant. Leur débit étant supérieur à 10 Gbit/s, ces objets techniques sont également capables d'offrir une couverture réseau sur plusieurs kilomètres. Parmi ces produits illustrés sur la Figure 7, le RRH E-Link 1000Q-FP commercialisé par E-Band Communication LLC présente une solution de proximité full-duplex fonctionnant en modulation QPSK dans les fréquences 71-76 et 81 – 86 GHz pour une couverture réseau sur 5 km. Les liaisons de transfert entre macro-cellules peuvent être effectuées avec une latence de 40 ns à l'aide de ce dispositif (Figure 7 (a) [12]). Le fabricant Siku propose, quant à lui, des solutions commerciales de point à point mmW, dont la solution MxL85110 œuvre à effectuer une liaison point à point sans fils, grâce à un débit pouvant atteindre 20 Gbit/s. Cette dernière supporte les modulations de phase BPSK et QAM-1024 à travers une liaison fonctionnant dans les ondes millimétriques valables pour une couverture de 10 km (Figure 7 (b) [13]). L'entreprise CableFree s'inscrit également dans cette veine, grâce à plusieurs produits de liaison point à point mmW dont le Millimeter Wave (MMW) Wireless Links 10 Gbps+ (Figure 7 (c) [14]). Ce module présente une capacité de fonctionner en bande E (70/80 GHz) en offrant un débit de 10 Gbit/s pouvant atteindre 40 Gbit/s transposables en bande V (60 GHz), pour un dépit de 2.5 Gbit/s atteignable pour une couverture sur 1,4 km. Enfin, Ericsson et Deutsche Telekom se sont associés en vue de se prêter à l'exercice de réalisation de transmission Backhaul sans fil très haut débit (Figure 7 (d) [15]). En effet, la faisabilité d'une liaison fonctionnant dans les fréquences millimétriques (70/80 GHz) sans fil, ayant obtenu un débit de transmission de 100 Gbit/s et couvrant une distance de 1,5 km, a été démontrée au cours de l'année 2019.



Figure 7: RHH fournissant des débits supérieurs à 10 Gbit/s fabriqué par : (a) E-Band Communication LLC (commerciale) [12]; (b) Siku (commerciale) [13]; (c) CableFree (commerciale) [14]; (d) Ericsson et Deutsche Telekom (faisabilité à 100 Gbit/s) [15]

Dès lors, les ondes millimétriques présentent l'atout majeur de transmissions ayant des débits relativement plus élevés que les microondes, au regard d'une portée réduite et d'une atténuation environnementale accrue. En effet, du fait des précipitations, il est possible qu'une transmission fonctionnant à sa capacité maximale (QAM-128) soit soudainement soumise à une augmentation des pertes dans le canal de communications interférences. Dans le but de conserver l'ensemble des données transmises, le système global réduit la complexité de modulation utilisée de manière autonome. Par conséquent, le débit accessible sera diminué (avec la complexité de la modulation) afin d'ajuster la qualité de la transmission accessible au vu des performances dégradées du canal. Au fur et à mesure que les précipitations se dissipent, le module de transmission se réadapte progressivement et de manière automatisée en vue de réajuster des modulations de plus en plus complexes et ainsi rétablir des débits plus élevés [14].

La Figure 8 [16] met en exergue une vision d'ensemble de l'atténuation atmosphérique de la propagation des ondes électromagnétiques dans l'air jusqu'à 450 GHz. Cette illustration montre des bandes de fréquence découpées ou allouées dans l'objectif de prendre en considération ces atténuations, à l'instar des bandes de fréquence encore mises à disposition au-dessus de 100 GHz. A l'aune de ces observations, ces bandes apparaissent vivement utiles dans le cadre du développement d'applications sans fil à haut débit, ou dans des cas présentant une complexité de modulation modérée (permettant de fait une meilleure efficacité énergétique).


Figure 8: Atténuation atmosphérique de la propagation des ondes électromagnétiques dans l'air jusqu'à 450 GHz et allocation des bandes de fréquences [16]

En ce sens, la Figure 8 renforce ce premier constat, sur la base de la bande 200-325 GHz située entre deux pics d'atténuation. Cette dernière a été normalisée en 2017 par IEEE, et a vocation à contribuer à la mise en œuvre de systèmes de communications sans fil très haut débit.

# I.1.ii.b. NORMALISATION DE LA BANDE DE FREQUENCE 220-325 GHZ

A cet égard, la norme IEEE 802.15.3d normalise les solutions sans fil pour les liaisons P2P (*peer-to-peer*) opérant dans la bande 252 GHz – 325 GHz [17], en vue d'élaborer des systèmes de communication. A l'image de la Figure 9 [18], deux protocoles ont été mis au point concernant la couche physique, c'est-à-dire la première couche du modèle *Open Systems Interconnection*, à l'aide de 8 largeurs de bandes différentes comprises entre 2,16 GHz et 69,12 GHz.



Figure 9: Largeurs de bandes définies par la norme IEEE 802.15.3d

Néanmoins, le *Electronic Communications Committee* (mise à jour de mars 2019) et le *Federal Communications Commission Office Of Engineering And Technology* (mise à jour de mai 2019) apportent de nouveaux éléments sur les bandes de fréquences 209-226 GHz, 241-250 GHz et 252-275 GHz. En effet, ces dernières sont déjà employées par les services de radio astronomie, dans la mesure où des stations spatiales ou aéroportées peuvent engendrer de sévères perturbations dans l'exercice des missions de ces services radio [19]. Ces perturbations sont effectivement provoquées, soit par une émission directe des appareils mobile, soit par les réflexions sur les bâtiments en zone urbaine dense ou par la multiplicité des antennes peu directives. Afin de pallier ces menaces, une marge d'environ plusieurs dizaines de dB doit être anticipée pour les zones les plus denses qui émettent plusieurs communications THz. A cela s'ajoute le développement et le déploiement stratégique d'antennes très directives afin d'éviter que la puissance des lobe secondaires perturbent les satellites [20]. Au-delà de ces bandes engendrant une complexité plus grande, 15 GHz de bandes sont toujours disponibles entre 226 GHz et 241 GHz, ainsi que 44 GHz potentiels de bandes comprises entre 275 GHz et 320 GHz.

$$C = B \log_2\left(1 + \frac{S}{N}\right)$$
 Équation 1

L'Équation 1 définit *C* comme la capacité en bit/s, *B* la bande passante en Hz et S/N le rapport signal sur bruit. De ce fait, il apparait envisageable d'obtenir un débit supérieur à 100 Gb/s, avec un rapport signal sur bruit de 10 dB. Cela est rendu possible grâce à une modulation simple telle que OOK, garantissant ainsi une moindre consommation d'énergie que celle engendrée par des modulations plus complexes (notamment par la faible complexité induite sur le système numérique ayant en charge les étapes de traitement du signal). Dès lors, divers systèmes de transmission et réception ont été conçus dans la bande 220-325 GHz, en s'appuyant sur des technologies électroniques et photoniques [21]. L'objectif sous-jacent réside dans le développement de liaisons sans fil fournissant un débit supérieur à 100 Gb/s avec des modulations simples.

# I.1.iii. Possibilite de developper des liaisons sans fil a haut debit de donnees au-dela de 200 GHz

# I.1.iii.a. L'electronique a l'etat solide appliquee aux communications entre 0,1 et 1 THz

Au fil du temps, l'évolution des procédés de fabrication a progressivement gagné en maturité, en fiabilité intégration et par extension en performance. De ce fait, ces rapides changements ont favorisé le développement de composants à même de fonctionner sur de plus hautes gammes de fréquences. Parmi les principales technologies représentant l'électronique à l'état solide, deux grandes familles de matériaux dessinent la tendance actuelle. Les technologies III-V incluant les alliages AsGa (Arséniure de Gallium), l'InP (Phosphure d'indium) et GaN (Nitrure de Galium) sont les plus communément utilisées pour la fabrication de composants et circuits dans les hautes fréquences. Du fait de leurs propriétés intrinsèques, l'AsGa et l'InP offrent une très forte mobilité des électrons. Le GaN propose, quant à lui, une excellente tenue en puissance et une bonne dissipation thermique. Par ailleurs, ces trois matériaux possèdent une forte vitesse de saturation des porteurs et un gap direct, les plaçant au rang d'excellents candidats pour la réalisation de systèmes photo-optiques capables de facilement émettre et recevoir une puissance lumineuse. Les transistors HEMT AsGa et InP à haute mobilité en technologie III-V sont les leaders en termes de fréquence de fonctionnement Ft/Fmax atteignant 700 GHz/1,3 THz [22]. Ces derniers ont trouvé leur place aussi bien dans les amplificateurs de faible bruit, comme le prouvent leurs performances très encourageantes jusqu'à 850 GHz [23], que dans les chaines de réception Rx fonctionnant à 100 Gbit/s au sein d'un mélangeur sous-harmonique fonctionnant à 237,5 GHz [24]. En dépit de Ft/Fmax proches de 320 GHz/580 GHz [25], les transistors HEMT GaN connaissent actuellement un fort regain d'intérêt du fait de leur forte capacité à gérer des puissances importantes. Cette tendance s'illustre notamment par la conception d'un amplificateur de puissance capable de tenir une tension de 75 V à 10 GHz, grâce à un gain de 20 dB entre sa puissance d'entrée et celle de sa sortie [26]. Ces quelques exemples de développement soulignent le fait que les technologies III-V s'imposent d'ores et déjà comme le fer de lance de la conception de systèmes appliqués aux communications entre 0,1 et 1 THz.

Néanmoins, les procédés de fabrication des systèmes électroniques III-V sont onéreux et les blocs hyperfréquences rencontrent des difficultés d'intégration à l'échelle d'un système assemblé total. De facto, les technologies silicium CMOS et BiCMOS apparaissent comme des solutions alternatives à faible coût. Bien que les performances des circuits développés soient inférieures à celles des technologies III-V, les technologies CMOS/BiCMOS présentent de très grandes capacités d'intégration. Ces dernières contribuent à l'inclusion facilitée des blocs de circuit Hyperfréquence avec des sous-ensembles dédiés au traitement du signal numérique. En ce sens, les avantages cumulés du faible coût de développement associés à une forte capacité d'intégration font de la technologie silicium un choix optimal, sur le long terme, pour envisager la mise au point de systèmes appliqués aux communications entre 0,1 et 1 THz. Le défi majeur réside, cependant, dans le fait de mettre en œuvre l'intégration de fonctions travaillant à des fréquences THz tout en tirant profit à la fois de l'amélioration des performances ainsi que de l'augmentation de la précision des nœuds technologiques CMOS et BiCMOS [27]. En technologie silicium, deux catégories de transistors sont prédominantes : le transistor métal oxyde semiconducteur à effet de champs MOS-FET et le transistor bipolaire a hétérojonction HBT. Leur principale différence intervient lors de la commande du transistor, en appliquant une tension sur la grille du MOS-FET et un courant sur la base du HBT. Concernant les performances Ft/Fmax, la moyenne des transistors les plus rapides se situe actuellement autour de 400 GHz/600 GHz [28]. Bien que moins rapide que ceux réalisés en architecture III-V, ces transistors restent néanmoins prisés du fait de leur production en gros volumes allié à un coût de fabrication relativement faible. Au vu de leurs valeurs Ft/Fmax, des développements de circuit fonctionnant dans les ondes millimétriques peuvent être envisagées. En ce sens, quelques réalisations de transceivers ont déjà été mises au point en technologie silicium, comme l'illustre la référence [29]. Les parties ayant trait à la transmission et à la réception Tx/Rx contiennent une chaine de multiplication effectuée par le biais d'une cellule de Gilbert couplée à une antenne intégrée. Une transmission sans fil très courte distance (15 cm) a pu être mis en œuvre avec un débit de 25 Go/s en modulation BPSK, en opérant autour de 240 GHz. Le défi crucial réside dans le fait d'obtenir une large bande passante permettant d'accroitre significativement le débit de transmission. Bien que la faible bande passante des solutions intégrées sur silicium et III-V puisse être compensée par l'utilisation de modulation complexe (xQAM, QPSK ... etc), cette complexification dégrade le taux d'erreur binaire et augmente la complexité des circuits ainsi que celle de la puissance consommée.

Enfin, un dernier dispositif toutes technologies confondues (silicium et III-V) commence à s'imposer face aux transistors dans les systèmes de communication très haute fréquence. En effet, cette montée en fréquence impose l'utilisation d'architecture récepteur *mixer first* (mélangeur premier) car l'amplificateur faible bruit LNA (*Low Noise Amplifier*) classiquement utilisé en amont de la chaine de réception n'est pas réalisable. S'appuyant sur ces circuits de prédilection, la diode Schottky est devenue incontournable dans la mesure où elle garantit des fréquences de coupure deux à trois fois supérieures au Fmax des transistors offrant ainsi de meilleures performances. Elles ont ainsi d'ores et déjà fait leurs preuves dans une large gamme de circuit, dont notamment ceux de multiplication et de mélange, ceux de détection ou encore ceux utilisés en tant que source de bruit.

# I.1.iii.b. La photonique appliquee aux communications entre 0,1 et 1 THz

Les travaux en cours dédiés au développement de systèmes de communication très haut débit apparaissent comme très prometteurs pour les circuits relevant de l'électronique à l'état solide. Cependant, les limitations en termes de bande passante étant un challenge, la communauté scientifique a progressivement promu plusieurs développements de systèmes de communication sans fil en technologie photonique. D'une part, cette technologie a grandement amélioré la largeur de bandes des systèmes et a contribué à effectuer la jonction entre optique et électronique. D'autre part, elle bénéficie en contrepartie d'un indice de modulation élevé, associé à un encodage d'amplitude et/ou de phase à très grande vitesse, découlant des technologies propres aux réseaux optiques cohérents. La photonique repose ainsi sur la conversion optique-THz et THz-optique par l'intermédiaire de l'usage de matériaux photoconducteurs tels que la photodiode. Cette dernière offre l'avantage de garantir

conjointement une vitesse très élevée et un niveau de saturation important à son signal de sortie. La photodiode, quant à elle, s'appuie sur le principe de fonctionnement du photo-mélange de source lumineuse de longueurs  $\lambda_1$  et  $\lambda_2$  (Figure 10).



Figure 10: Illustration du principe de photo-mélange

Comme le montre l'Équation 2 associée à la Figure 10, la fréquence de sortie RF est obtenue en fixant la différence entre les deux longueurs d'onde  $\lambda_1$  et  $\lambda_2$ . Par la suite, les deux signaux sont mélangés afin d'obtenir un unique battement optique, ensuite injecté dans la photodiode. Dès lors, grâce au mécanisme de conversion optique-électronique, les photons émis par le signal lumineux sont absorbés par la photodiode. Une paire électron/trou est ainsi séparée à l'intérieur de la zone de charge d'espace de la jonction PiN formant la photodiode, afin d'être ultérieurement guidée dans les zones où les porteurs de même charge sont majoritaires. Le photomélange apparaît comme une solution préférable dans la mesure où il permet d'effectuer simplement le transfert de modulation optique en modulation électronique. Cela présente un grand intérêt pour réaliser des systèmes d'interfaces entre le réseau fibre optique et le réseau sans fil. La technologie photonique comprend des réalisations en matériaux III-V, InAsGa (arséniure d'indium galium), InP et en SiGe (silicium germanium). Les photodiodes issues de matériaux III-V possèdent une efficacité quantique bien supérieure à celle en technologie SiGe, due à leur gap direct. De ce fait, l'absorption des photons s'effectue de manière plus efficace et optimise ainsi la puissance du signal de sortie. Les photodiodes à transport unipolaire UTC-PD (Unitravelling Carrier Photodiode) s'inscrivent aujourd'hui comme le fer de lance en matière de réalisation. Elles présentent l'atout significatif d'une zone intrinsèque (où les photons sont absorbés) dépourvue de porteurs majoritaires, qui est physiquement séparée de la région P (anode). En ce sens, le transfert des trous, obtenu lors de l'absorption des photons, s'opère de manière plus rapide que pour une diode PiN. La réponse en courant est alors uniquement obtenue par le transit des électrons minoritaires générés dans la zone d'absorption vers la zone N (cathode) [30]. Les UTC-PD ont déjà démontré leur potentiel dans les dispositifs de photo-mélanges des fréquences de sortie au-dessus de 2 THz [31].

Cette tendance, guidée par de très bonnes performances, et autorisant des débits de transfert de données très élevés pour les systèmes de communication sans fil, se dessine incrémentalement dans l'état de l'art. Dans le cadre de cette orientation, les parties relatives à l'émission Tx sont élaborées avec des technologies photoniques, tandis que l'électronique à l'état solide reste communément utilisé pour concevoir la partie réception Rx. Le Tableau 2 regroupe quelques réalisations de systèmes de communication Rx/Tx avec une partie émission conçue en technologie photonique, ou issue de l'électronique à l'état solide, ainsi qu'une partie réception relevant de l'électronique à l'état solide.

Références	Fréquences (GHz)	Débit (Gbit/s)	Distance (m)	Modulation	Transmission Tx	Réception Rx
[32]	200	75	3,3	QPSK	UTC-PD	SHM
[33]	240	30	40	8PSK	MMIC III-V	MMIC III-V
[34]	240	64	850	8PSK	MMIC III-V	MMIC III-V
[35]	297,6	10	0,3	OOK	SiGe PIN-PD	Schottky
[36]	300	24	0,5	ASK	UTC-PD	Schottky
[37]	300	56	0,3	QAM-16	SiGe PIN-PD	Schottky
[38]	300	64	1	QPSK	MMIC III-V	MMIC III-V
[24]	237,5	100	25	QAM-16	UTC-PD	MMIC III-V

Tableau 2: Systèmes de communication en espace libre entre 200 et 300 GHz

Selon le Tableau 2, la diode Schottky apparait comme le composant privilégié dans le système de réception Rx opérant autour de 300 GHz. Elle constitue donc une brique de base à considérer si la mise au point d'un système de communication point à point sans fil fonctionnant dans la bande 275 GHz – 325 GHz est envisagé en technologie silicium. En ce sens, l'objectif à courte échéance réside dans le fait d'investiguer la faisabilité d'une architecture innovante de diodes Schottky offrant une fréquence de coupure la plus élevée possible. Une fois cette architecture mise au point, l'objectif moyen terme porterait sur la mise au point d'un démonstrateur type mélangeur sous-harmonique incluant ce composant. Enfin la conception du système de réception Rx dans la bande 275 GHz – 325 GHz s'inscrirait sur l'objectif final plus long terme.

# I.2. SYSTEME D'IMAGERIE ET DE DETECTION FONCTIONNANT DANS LA BANDE 0,1-10 THZ

# **I.2.i.** APPLICATIONS PROPRE A LA DETECTION D'IMAGE

# I.2.i.a. DEPTH SENSING ET MARCHE POTENTIEL

Le déploiement du réseau 5G prévoit également de couvrir de nouveau champ d'application grâce à des débits de transmission pouvant atteindre les 20 Gbit /s et une latence inférieure à 1 ms. Parmi ces nouveaux champs d'applications, l'émergence de l'imagerie 3D connue sous le nom de *depth sensing* est en plein essors. Le depth sensing permet l'acquisition d'une scène 3D par divers procédés de capture d'image. Les cameras reposant sur la technologie ToF (Time of Flight) sont aujourd'hui le fer de lance de l'imagerie 3D. La mesure par durée de temps vol ToF consiste à envoyer des impulsions laser et à mesurer le temps de rebond des ondes dans l'espace 3D à scanner afin de pouvoir recréer de manière très précise cette scène 3D (Figure 11 (a)). En 2018, la reconnaissance faciale s'est démocratisée, notamment sur smartphone (Figure 11 (b)), du fait de cette nouvelle capacité d'analyse de scène 3D de mesure par temps de vol ToF. Les systèmes d'aide à la conduite ADAS (Advanced Driver-Assistance Systems) profitent également de l'avènement du principe d'acquisition 3D ToF. En effet, les systèmes ADAS reposent aujourd'hui sur l'utilisation du LiDAR (Light Detection And Ranging) relative à de la télédétection qui a l'instar du ToF est une technique de mesure à distance basée sur l'analyse des propriétés d'un faisceau de lumière renvoyé vers son émetteur. La source lumineuse du LiDAR est issue d'un laser émettant principalement dans les longueurs d'onde visible, infrarouge IR, ou ultraviolet UV. Parmi les fonctions d'assistance à la conduite, cadencé par l'utilisation de systèmes LiDAR, il est possible d'énoncer des fonctions déjà couramment utilisées telle que des systèmes de détection de dépassement avec contrôle d'angle mort ou encore les caméras de recule et fonction d'aide au stationnement. Des fonctions innovantes comme la détection de piétons ou obstacles avec rétroaction pour un ralentissement du véhicule sont également de plus en plus prisées. Par conséquent, le LiDAR a vocation à devenir la clé de voute du développement de la voiture autonome car ça gestion de l'environnement sera capitale et plus précise que celle de l'homme. De ce fait, les prises de décisions dans la gestion du véhicule seront automatiquement régulées grâce à l'acquisition par caméra LiDAR (Figure 11 (c)).



(a) (b) (c) Figure 11: (a) Principe de fonction de la mesure ToF ; (b) Caméra ToF appliquée à la reconnaissance faciale ; (c) Vision d'une caméra LiDAR appliquée à la voiture autonome.

Le marché du LiDAR devrait augmenter du fait de la demande croissante pour l'exploitation des technologies d'imagerie 3D à travers une grande variété d'applications, ainsi que sous l'effet de l'adoption de plus en plus de systèmes aériens LiDAR servant à explorer et à détecter des localisations et des données. L'adoption croissante de systèmes mobiles notamment du type UAV (*Unmanned Aerial Vehicle*) LiDAR ainsi que la commercialisation grandissante de nouveaux produits devrait attirer des investissements massifs d'acteurs clé du marché. A cela s'ajoute les systèmes d'automatisation des processus LiDAR impliquant une association d'algorithmes de calcul à des processus de techniques de traitement dans le cloud afin d'analyser en détail des points de capture de données. Ces algorithmes augmentent la précision et l'efficacité des système LiDAR en détectant des objets ciblés. De plus, certains des systèmes d'automatisation de processus choisissent leurs algorithmes en fonction de l'environnement donné, tandis que d'autres systèmes permettent à l'utilisateur d'interagir et de choisir eux-mêmes leurs algorithmes. L'ensemble de ces différentes caractéristiques accroît les capacités d'adaptation de LiDAR dans différentes applications, accélérant de fait son adoption à travers le monde et stimulant le développement du marché [39]. La prévision de l'évolution du marché LiDAR tend vers une croissance exponentielle comme le souligne la Figure 12.



Figure 12: Prévisions des revenus engendrés par le marché LiDAR [40]

La Figure 12 montre une estimation des revenus générés par la croissance du marché LiDAR. Malgré le fait que les revenus générés avant 2020 soient encore relativement modestes, l'arrivée du réseau mobile 5G doté d'un débit de 10 Gbit/s et d'une latence inférieure à 1 ms, favorise l'avancement des systèmes LiDAR. De ce fait, les revenus escomptés devraient évoluer de façon exponentielle après l'arrivée de ce réseau, et atteindre un capital de 16 milliards de dollars dans les dix prochaines années.

## I.2.i.b. CHALLENGES ASSOCIES

Le développement des systèmes LiDAR fait actuellement l'objet d'un fort intérêt au vu des opportunités qui en découlent. Néanmoins, certains challenges majeurs restent à surmonter quant au développement de solutions commerciales à grande échelle. Le premier défi relève de la nécessité de diminution des coûts de développement des systèmes LiDAR. Bien que les tarifs perçus en 2017 s'élevaient à 75000 dollars par véhicule, ce n'est que deux ans plus tard que, pour un même système, le coût de production est descendu à 1000 dollars. L'enjeu réside donc dans le fait d'utiliser des technologies semi-conducteurs standard CMOS afin de finalement atteindre un coût autour d'une centaine de dollars par véhicule. Par ailleurs, les capteurs silicium rencontrent eux aussi quelques limitations dans la mesure où ils ne fonctionnent pas au-delà d'une longueur d'onde de 1 µm, ce qui s'avère problématique pour la détection d'une scène 3D longue distance (les puissances autorisées < 1 µm étant faible et limitant de fait la portée du système). Le second challenge concerne la réduction de l'encombrement du système LiDAR. En effet, la réduction de la taille de système engendre un risque de surchauffe du système pouvant altérer la capacité de capture d'une image haute résolution, affectant de ce fait la fiabilité du système. La précision de la vision à 360 degrés serait donc réduite et provoquerait également des problèmes d'acquisition d'image dans les zones très sombres ou à vision compliquée comme les tempêtes de neige ou un brouillard dense. Ces challenges sont en accord avec les spécifications des systèmes LiDAR appliqués à l'automobile. Ces

conditions résumées dans le Tableau 3 imposent donc des contraintes aux systèmes, parfois difficilement réalisables, comme la couverture à 360° dans le plan azimutal [41].



Tableau 3: Spécifications LiDAR pour le marché de l'automobile

# I.2.i.c. INTERET ET PERSPECTIVE DANS LE DOMAINE IR

Le domaine de l'infrarouge se situe dans la partie des radiations de nature thermique du spectre électromagnétique. Il est défini pour les longueurs d'ondes comprises entre 0,74 et 1000  $\mu$ m. Il inclut, d'une part 6 subdivisions distinctes et, d'autre part, la gamme de fréquences THz comme le montre la Figure 13.



Figure 13: Bande infrarouge à l'intérieur du spectre électromagnétique

La première subdivision est celle du proche infrarouge NIR (*Near InfraRed*) et comprend les longueurs d'ondes entre 0,74 et 1 µm. Bien que l'usage premier soit le ToF à 940 nm, Le proche infrarouge est très largement utilisé pour réaliser de la spectroscopie NIR. En effet, ses longueurs d'ondes ont vocation à être utilisées pour effectuer l'analyse quantitative des composants biologiques connus, plutôt que pour l'identification d'un éventuel chevauchement de plusieurs harmoniques à l'intérieur du spectre NIR. Un spectromètre NIR mesure les harmoniques et les tonalités combinées des vibrations moléculaires dans la gamme des infrarouges, et notamment les vibrations asymétriques qui sont très intenses dans le proche infrarouge, c'est-à-dire les vibrations allongées des liaisons d'hydrogène (par exemple C-H, O-H et N-H) [42]. Les spectromètres NIR sont aujourd'hui couramment employés dans le secteur agricole pour analyser les cultures, les composants nutritionnels de

l'alimentation ou encore pour l'analyse de matière première servant dans le secteur non alimentaire, comme la bioénergie, la papèterie, l'exploitation forestière, la construction et les textiles.

La seconde subdivision définie par les longueurs d'ondes comprises entre 1 et 3 µm est celle du court infrarouge SWIR (*Short Wave InfraRed*). Comme l'illustre la Figure 13, le SWIR présente la particularité d'être très peu sensible aux perturbations atmosphériques, ce qui offre des possibilités intéressantes pour le développement d'applications dédiées. L'armée figure parmi les précurseurs qui ont mis à profit le court infrarouge pour développer leurs systèmes de reconnaissance et de surveillance. En effet, le SWIR est similaire à la lumière du visible, dans la mesure où les photons, réfléchis ou absorbés par un objet, apportent ainsi le contraste intensif nécessaire à l'imagerie de haute résolution. La lumière ambiante émise par les étoiles et le rayonnement de fond dû à l'illumination nocturne, sont des émetteurs naturels du SWIR qui fournissent un excellent éclairage en extérieur ou de nuit pour de faibles éclairages en milieu urbain ou désertique. Toujours pour des motivations militaires, le développement de laser infrarouge fonctionnant dans les ondes SWIR a ensuite été mis au point en vue de réaliser le guidage de missiles vers une cible donnée avec un marquage IR discret. Les industries télécoms ont également tiré avantage des ondes SWIR en vue de mettre au point des systèmes de communications ultra-rapides ou l'information lumineuse fonctionnant dans la gamme des ondes SWIR, qui est acheminée par fibre optique. Le développement de solutions SWIR est aujourd'hui majoritairement guidé par la mise au point de systèmes de détection, à l'instar de la Figure 14.



Figure 14: (a) Détection de liquide à l'intérieur d'un flacon et (b) Acquisition du pont de Golden Gate (San Francisco) à travers un brouillard épais.

Les longueurs d'ondes comprises entre 3 et 5  $\mu$ m forment la troisième subdivision de la gamme IR avec les ondes fonctionnant dans le moyen infrarouge MWIR (*MidWave InfraRed*). Comme le démontre la Figure 13, l'atmosphère est transparente dans cette région, ce qui offre des opportunités intéressantes pour favoriser le développement d'applications de surveillance et de détection. Dans cette gamme de longueurs d'onde, la majeure partie des applications sont vouées à la détection d'espèces gazeuses du fait de la présence de nombreux pics d'absorption de différents gaz dans ce domaine (Figure 15). Par ailleurs, il convient de noter que des caméras thermiques sont également élaborées dans les ondes MWIR et opèrent de manière analogue à celles œuvrant dans les ondes SWIR.



Figure 15: Spectre d'absorption de différents gaz dans le MWIR

La cinquième subdivision illustrée sur la Figure 13 est la gamme du long infrarouge LWIR (*LongWave InfraRed*). Elle correspond à la plage de longueur d'ondes allant de 8  $\mu$ m à 14  $\mu$ m, et s'insère au sein du spectre IR après une forte zone d'absorption atmosphérique (5 à 8  $\mu$ m). Il est important de remarquer que cette bande se situe à la frontière avec les fréquences térahertz recouvrant la région de 100 GHz à 30 THz (soit de 3 mm à 10  $\mu$ m). Grâce à la transparence de l'atmosphère et de l'eau, les systèmes de surveillance ou de LiDAR longue portée sont réalisables. De plus, des systèmes de détection et de contrôle non destructif peuvent également être conçus à ces longueurs d'onde, soit pour le gros œuvre (Figure 16 (a)), soit pour la sécurité (Figure 16 (b)).

La longueur d'onde de 10 µm admet également un pic d'émission des corps noirs à 25 degrés. Ce dernier peut s'avérer fondamental pour la reconnaissance, mais peut toutefois devenir un inconvénient si l'environnement trop dense bruite la détection. Les détecteurs LWIR permettent également la mise au point de thermographes représentés par la Figure 16 (c).



Figure 16: (a) Contrôle non destructif d'un pont à 9µm ; (b) Contrôle de l'usure d'un pneu par caméra LWIR et (c) Thermographie d'un processeur en fonctionnement

# I.2.ii. LES DETECTEURS IR

Les marchés émergents contribuent au développement d'un contexte industriel favorable à la mise au point de solutions permettant de réaliser des détecteurs fonctionnants dans les ondes IR. Cependant, les moyens de détection existants se fondent sur des nœuds technologiques avancés. De ce fait, un compromis parmi les solutions existantes impose un choix entre une forte capacité d'intégration, un faible coût et la recherche de performances.

# I.2.ii.a. DETECTEURS INASGA

Les matériaux les plus propices à la réalisation de détecteurs fonctionnant dans les ondes SWIR doivent avoir un gap dans l'intervalle [0,8 ; 1,2] eV. En ce sens, les alliages III-V binaire, ternaire, voire quaternaire, occupent une place de choix du fait de leur énergie de gap et de leur paramètre de mailles. L'alliage InAsGa est historiquement utilisé par les équipes de recherche militaire dans l'élaboration des systèmes de détection toujours plus performants. Ces développements sont supportés industriellement par des entreprises comme *Sofradir, Lynred* (anciennement *Thales-Safran*), *Photonis*, ou encoure *Andanta* pour ne citer qu'elles.



Figure 17: (a) Structure d'un détecteur InAsGa PIN [43]; (b) Structure en Mesa d'une diode avalanche InAsGa/InAlAs [44]

L'évolution des procédés de fabrication au fil des années a permis de raffiner et d'optimiser les détecteur III-V SWIR afin de couvrir les objectifs de développement du corps militaire. Les grandeurs typiques utiles pour définir les performances des détecteurs InAsGa SWIR sont répertoriées dans le Tableau 4.

Détecteur SWIR	Taille du Pixel (µm)	Efficacité quantique	Domaine de sensibilité pour la détection SWIR (µm)	Bruit noir (e-/s)
InAsGa	> 15	> 90%	0,9 – 1,7	300 (-80°C) jusqu'à 10 <sup>5</sup> (20°C)

Tableau 4 : Grandeurs typiques pour les détecteurs InAsGa SWIR

Parmi les grandeurs caractéristiques des détecteurs III-V, figure la taille du pixel qui doit être minimisée pour réduire l'encombrement du détecteur dans le système complet. Le second paramètre est l'efficacité quantique qui doit être la plus élevée possible. En effet, cette dernière représente le rapport entre le nombre de charges électroniques collectées et le nombre de photons incidents sur une surface photo-réactive du détecteur. En d'autres termes, elle est utilisée pour traduire la dégradation du signal détecté par rapport au bruit photonique. Le domaine de sensibilité illustre la gamme de longueurs d'onde parmi laquelle l'efficacité quantique est favorable à la détection dans les ondes SWIR et offrant une efficacité quantique optimale. Enfin, le bruit noir généré par la création de corps noirs capables d'absorber toute la lumière à la longueur d'onde où il est créé. Cette absorption non désirée se traduit par une agitation thermique qui est la source de la génération du bruit noir.

Les détecteurs III-V SWIR ayant fait leurs preuves, les systèmes les plus performants demeurent encore onéreux et certaines limitations freinent encore leur arrivée sur le marché grand public. La faible largeur du gap favorise les recombinaisons thermiques à température ambiante, ce qui a pour impact de fortement dégrader le plancher de bruit des détecteur InAsGa. En ce sens, la température des détecteurs doit alors être abaissée autour de 100 K en vue d'obtenir une valeur de bruit minimisée et une sensibilité maximisée. Le refroidissement des détecteurs est le plus souvent opéré par un système Pelletier qui est gourmand sur le plan énergétique mais également en termes d'encombrement.



Figure 18 : Schéma d'un pixel InAsGa commercialisé par RaptorPhotonis

De plus, l'intégration d'une photodiode en III-V reste un challenge, car elle n'est pas compatible avec les technologies commerciales CMOS. Des billes d'indium sont alors nécessaires pour réaliser le pont entre la photodiode et le système de commande (Figure 18), provoquant de surcroit un coût supplémentaire au système global. De ce fait, la taille des pixels unitaires demeure relativement importante (> 15  $\mu$ m) associée aux surfaces de substrats disponibles très restreintes (100 nm). Cela contribue fortement à l'augmentation des coûts de production, car la mise au point de grandes matrices de pixels avec des performances acceptables reste un challenge pour une production à l'échelle industrielle.

# I.2.ii.b. DETECTEURS HGCDTE

Bien que les matériaux III-V offrent des niveaux d'énergie de gap favorisant la détection dans les ondes SWIR, les matériaux II-VI possèdent également d'excellents candidats capables de satisfaire cette condition. Le HgCdTe (tellurure de mercure cadmium ou *mercatel*) est un alliage présentant un niveau de gap permettant l'absorption des photons dans la gamme des longueurs d'onde [0,7 ; 30]  $\mu$ m. Comme détaillé dans [45], le

HgCdTe a connu un fort regain d'intérêt pour la mise au point de systèmes de détection fonctionnant dans le SWIR et cela pour plusieurs raisons. En effet, le mercatel à la particularité de posséder un gap ajustable en fonction des concentrations utilisées pour réaliser cet alliage ternaire tout en conservant un paramètre de maille constant autour de 6,45 Angstrom. De plus, son gap direct combiné à son fort coefficient d'absorption font du HgCdTe un matériau propice à la photo-détection. Les mécanismes de recombinaison intrinsèque au mercatel ont également la particularité de permettre des opérations de détection à plus haute température que les détecteurs InAsGa.



Figure 19: (a) Schéma d'un photodétecteur HgCdTe [46]; (b) Image MEB d'une matrice de pixels de HgCdTe avec ses plots d'Indium [46]

La Figure 19 illustre la réalisation d'un détecteur SWIR HgCdTe sur un substrat CdZnTe (tellurure de camium zinc). Avec des performances équivalentes au système de détection III-V notamment avec une efficacité quantique autour de 90 % pour un pixel unitaire proche de 15 µm et un bruit important à haute température, les détecteurs mercatel occupent une place de choix et demeurent privilégiés pour la mise au point de systèmes de détection IR. De ce fait, il est le matériau préféré dans les systèmes de détection militaire et spatial. Il comporte cependant quelques défauts. Du fait de sa structure cristalline fortement instable, le contrôle des quantités d'impureté du HgCdTe s'avère relativement complexe, impactant de facto les performances du composant. Les procédés de fabrication les plus communs des détecteurs mercaltel regroupent la croissance épitaxiale en phase liquide ou vapeur (*Liquid Phase Epitaxy, Metal-Organic Chemical Vapour Deposition* ou par *Molecular Beam Epitaxy*) sur un substrat de CdZnTe. Ce substrat présente la particularité d'être plus large et moins couteux que ceux utilisés en technologie III-V mais conserve une moins bonne capacité d'intégration que ceux des technologie silicium. La force majeure des détecteur HgCdTe réside dans le fait que le gap de ce matériau a la capacité de couvrir le spectre infrarouge dans son ensemble. En conséquence, la mise au point de détecteurs fonctionnant dans les ondes MWIR et LWIR est également envisageable comme l'illustre la Figure 20 [47].



Figure 20 : (a) Exemple de détecteur deux couleurs (MWIR et LWIR) en HgCdTe ; (b) Image MEB du pixel correspondant au détecteurs MWIR et LWIR

Le détecteur deux couleurs (MWIR et LWIR) possède deux réponses spectrales différentes. L'existence de ces dernières est possible grâce à la différence des tailles des gap présents dans les couches MWIR (bleu) et LWIR (rouge). L'utilisation d'une composition différente de HgCdTe déposé par croissance épitaxiée permet donc l'allocation de deux couches superposées à des longueurs d'onde opérant à la fois dans le MWIR et dans le LWIR. De ce fait, un unique pixel HgCdTe est en mesure de détecter plusieurs longueurs d'onde. Les deux inconvénients majeurs restent l'encombrement (30 µm pour un pixel unitaire) ainsi que le bruit élevé généré à température ambiante. Le contrôle de la composition chimique de la déposition demeure aussi actuellement un challenge car la précision de contrôle est encore insuffisante. Néanmoins, cette preuve de concept reste très encourageante et le développement de caméras hyperspectrales sur pixel unique est envisageable.

# I.2.ii.c. Autres detecteur IR a mesure directe

Au rang des solutions de détection infrarouge, des dispositifs moins matures jouent le rôle d'alternative grâce à des performances satisfaisantes mais obtenues au détriment d'une complexité accrue. Le détecteur QWIP (*Quantum Well Infrared Photodetecteur*) présenté sur la Figure 21 (a) fait partie de ces dispositifs innovants. Le puits quantique (illustré sur la Figure 21 (a)) contenu dans le bloc assemblé de la Figure 21 (a) est formé à l'aide de trois couches minces superposées en alliage III-V (InAlAs et InAsGa). Du fait de leurs différences de gap, les trois couches minces œuvrent à créer une zone de confinement quantique qui capturent les électrons et/ou trous en forçant une discrétisation des niveaux d'énergies. Cela a pour effet de conduire à une absorption des photons du fait des transitions électroniques intra-bande. Le processus de fabrication ayant bénéficié d'un solide investissement en termes de recherche et développement, il offre un coût de fabrication QWIP raisonnable et une précision satisfaisante. Néanmoins, les conditions d'absorbions sont plus restrictives que des couches de semiconducteur conventionnelles. Il est également important de noter que seules les polarisations particulières de la lumière sont en mesure d'être absorbées par ce dernier. Par conséquent, l'efficacité des dispositifs subit une importante réduction pour plafonner autour de 10 %. A l'instar des autres systèmes de détection, le bruit thermique dégrade fortement la sensibilité du détecteur. En ce sens, les puits quantiques ont nécessairement besoin d'un système de refroidissement autour de 75 K en vue de maximiser leur dynamique de détection.



Figure 21 : (a) QWIP opérant à 8.5µm, et son module Pelletier (produit Sofradir) ; (b) Structure classique d'un détecteur à puits quantiques InAlAs/InAsGa [48]; (c) Structure d'un détecteur LWIR p-i-n à SLS [49]

La mise au point de systèmes de détection QWIP à puits quantique a encouragé le développement des détecteurs SL (*Super Lattice*). Les architectures SL comportent un assemblage périodique de puits quantiques illustré sur la Figure 21 (c). Aussi connus sous l'appellation *Super Atomes*, les SL ou SLS (*Stained Super Lattice*) ont la capacité d'absorber le rayonnement IR avec une efficacité bien supérieure à celle des QWIP. Cela est rendu possible par l'augmentation de l'espace de confinement des charges (électrons/trous) par le biais de l'assemblage de plusieurs puits quantiques, accroissant de facto le nombre de bandes énergétiques. L'efficacité quantique des SLS avoisine les 40 % pour un refroidissement du détecteur. L'industrialisation à grande échelle des détecteurs SLS achoppe principalement sur la complexité et les coûts du procédé de fabrication. Le tableau propose un

résumé synthétique des figures de mérite des détecteurs à puits quantique QWIP et SLS opposées au système de détection mercatel (HgCdTe).

	HgCdTe	QWIP	SLS		
Condition d'absorption	Incidence normale	Conditions sur E et l'axe du QW	Incidence normale		
Efficacité quantique à 77 K (%)	> 70	< 13	30 - 40		
Profil de sensibilité	Large bande	Bande étroite	Large bande		
Taille pixel unitaire (µm)	20	19	15		

 Tableau 5: Caractéristiques typiques des détecteurs LWIR refroidis
 Image: Caractéristiques typiques des détecteurs LWIR refroidis

# I.2.ii.d. MICROBOLOMETRE

Les systèmes de détection considérés précédemment utilisaient des matériaux issus d'alliage III-V ou II-VI. Leur fonctionnement étant essentiellement fondé sur l'absorption de photons par une partie semi-conductrice, cette dernière générait de fait un photo-courant attestant de la détection d'une lumière infrarouge. Néanmoins, dans le but de conserver une détection performante, l'ensemble des dispositifs sont contraints d'être refroidis, ce qui a pour impact de drastiquement augmenter l'encombrement du détecteur complet. Les détecteurs de type bolomètre ont donc été mis au point afin de s'affranchir de système de refroidissement. Contrairement aux détecteurs précédents, les bolomètres s'appuient sur l'effet thermoélectrique pour capturer les radiations LWIR dans l'intervalle [7 ; 15]  $\mu$ m. Son schéma de principe est proposé sur la Figure 22. L'augmentation de la température provoquée par les rayonnements IR sur le matériau absorbant provoque une diminution de la résistivité de cette membrane. Les contacts et électrodes permettent d'acheminer la variation de résistivité jusqu'au circuit de lecture inclus dans le substrat de silicium. Sous la membrane absorbante, un réflecteur est déposé afin que les rayonnements LWIR traversant le matériau absorbant puissent être réfléchis et captés par ce dernier. L'espacement de 2  $\mu$ m entre la membrane et le substrat est effectué par le biais d'un dépôt d'une couche superficielle qui sera gravée par la suite. Le pixel unitaire est ensuite mis sous vide pour prolonger sa longévité et peut être matricé afin de développer le système de détection tel qu'illustré sur la Figure 23 (a).



Figure 22: Schéma de principe du Microbolomètre

Dans l'optique de réduire les coûts de fabrication et de simplifier les procédés de développement, l'utilisation du silicium amorphe ou d'oxyde de vanadium (VO) est privilégiée [46]. Le marché des détecteurs sans système de refroidissement est majoritairement composé de microbolomètres (95 %) où l'utilisation de l'oxyde de vanadium est prépondérante (70 %). N'étant pas encombré par un système de refroidissement complexe, les microbolomètres sont des détecteurs légers et faciles à transporter. De ce fait, les champs applicatifs principaux des microbolomètres s'inscrivent dans un marché orienté vers le grand public, dans l'objectif d'effectuer principalement de la thermographie visant à vérifier l'isolation d'une habitation comme l'illustre la Figure 23 (b).



Figure 23: (a) Images MEB d'un microbolomètre ; (b) Image thermique prise avec un microbolomètre

Les performances d'un microbolomètre sont évaluées à l'aide de sa température équivalent de bruit notée NETD. Elle permet de connaitre la limite de détection basse du microbolomètre car elle représente la température pour laquelle le ratio signal sur bruit vaut 1. Pour des matrices de 160x120 à 1024x786 pixels, la plage de température équivalente de bruit est comprise dans l'intervalle [30 ; 80] K avec un pas par pixel variant de 20 à 60  $\mu$ m [46], [50]. La seconde figure de mérite incontournable est la sensibilité puisqu'elle régit la dynamique de détection et permet la définition d'un contraste adapté par rapport au changement de température dans la zone éclairée.

Bien que les microbolomètres présentent l'avantage de ne pas devoir être refroidis, ils demeurent limités à un champ applicatif de niches du fait de leurs performances limitées. Malgré des processus de fabrication matures, les rendements demeurent encore insuffisants pour une montée en performance de ces détecteurs. En effet, garantir une forte sensibilité et un faible NETD implique une réduction de la taille du pixel unitaire. Toutefois, une matrice conséquente de petits éléments traduit encore trop de pixels défectueux à l'échelle du système de détection LWIR complet.

# I.2.ii.e. DETECTEUR A GERMANIUM SUR SILICIUM

En dépit des performances électro-optiques limitées découlant de son band gap indirect, la communauté scientifique s'efforce aujourd'hui de développer des solutions de détection IR sur silicium dans l'optique de proposer une solution à faible coût et facilement intégrable en vue d'une industrialisation. Les détecteurs SWIR à base de germanium déposé par croissance épitaxiale sur silicium, offrent de fait des structures verticales identiques à celles illustrées sur la (Figure 24 (a)). Néanmoins, l'écart dimensionnel conséquent entre les paramètres de maille du germanium et du silicium provoque la création de défauts au sein de ces structures. De ce fait, l'apparition de sites propices aux recombinaisons non radiatives sont alors à noter et leur contrôle s'avère délicat en vue de mettre au point un système de détection performant.



Figure 24: (a) Vue en coupe d'un détecteur SWIR Germanium sur silicium ; (b) Images MEB d'un détecteur SWIR Germanium sur silicium [51]

Comme le montre la photo Figure 24 (b) du détecteur SiGe par microscope à balayage, les pixels SiGe unitaires sont de taille importante (< 20  $\mu$ m). Cela n'est cependant pas un facteur limitant dans la mesure où les efficacités autour de 1550 nm pour ces détecteurs sont en mesures d'avoisiner 75 %. Il convient de noter que pour les détecteurs SiGe développés avec un dimensionnel plus agressif, leur efficacité quantique se voit fortement réduite pour plafonner autour de 10 %.

# I.2.ii.f. Rectenna (Antenne Redresseuse)

Une dernière approche propice à la réalisation de détecteurs est le circuit Rectenna. Contrairement aux systèmes de détection précédents s'appuyant sur l'absorption d'une énergie lumineuse ou thermique, le rayonnement à détecter est perçu comme une onde électromagnétique THz. De ce fait, un rayonnement LWIR à détecter ayant une longueur d'onde de 10 µm correspond à un signal d'une fréquence de 33 THz. Le schéma de principe du circuit à antenne redresseuse est donné par la Figure 25. L'antenne d'accès du circuit Rectenna permet de capter l'onde électromagnétique et de la transformer en signal sinusoïdale électrique haute fréquence. Un système de filtrage HF permet d'acheminer le signal RF jusqu'au circuit de redressement. Essentiellement composé d'un élément redresseur type transistor ou diode Schottky, le rôle de cette fonction éponyme est de conserver les alternances positives du signal haute fréquence à redresser. Le signal redressé est ensuite lissé par le filtre DC et un signal DC témoignant de la détection du signal EM est enfin relevé aux bornes de la charge de sortie. Les filtres HF et DC sont également utilisés pour effectuer l'adaptation entre les éléments qui constituent le pixel unitaire.



Figure 25: : Schéma de principe d'un circuit Rectenna

Les champs applicatifs de l'antenne rectifieuse s'orientent essentiellement vers des systèmes d'identification RFID ou des systèmes de communications faible distance pour des fréquences avoisinant quelques GHz. Cependant, le développement de capteurs d'énergie (solaire et ambiante) semble également en mesure d'offrir un nouveau champ d'application au circuit Rectenna. Actuellement des réalisations de pixel Rectenna fonctionnant jusqu'à 10 THz sont disponibles dans la littérature scientifique (état de l'art dans la section IV.2.ii) Malgré cela, le challenge réside dans le fait d'obtenir une sensibilité  $R_v$  et une température de bruit équivalente NEP correcte à très haute fréquence. C'est dans ce cadre qu'un développement d'architecture de pixel unitaire Rectenna sera proposé dans la partie IV.2.iv.

# **I.2.iii. POSITIONNEMENT DES SOLUTIONS**

Après une vue d'ensemble reprenant la majeure partie des systèmes de détection réalisés en technologie III-V, II-IV et silicium, il convient maintenant de définir des axes d'étude en vue de contribuer à la mise au point de solutions innovantes. L'objectif consiste à tirer profit de technologies silicium dans le but de proposer des solutions à faible coût et facilement intégrables dans le domaine IR. Comme observé précédemment, les détecteurs III-V sont dédiés au court infrarouge alors que ceux conçus en mercatel (HgCdTe) couvrent l'ensemble du spectre IR. Côté silicium, les technologies SiGe visant la détection SWIR semblent aujourd'hui subir de fortes limitations pour concurrencer les systèmes III-V et II-VI. Toujours concernant les technologies silicium, le microbolomètre voit son utilisation privilégiée pour de la détection thermique dans le long infrarouge sans pour autant égaler les performances de mercatel. Enfin, les circuits Rectenna mis au point demeurent encore cloisonnés pour la détection de radiations à plus faible fréquence. Le statut des systèmes de détection étant rappelé, il

convient de se pencher sur les sources lumineuses existantes. En effet, ces dernières contribuent fortement aux premières études de faisabilité dans la mesure où, pour qu'un signal soit détecté pour un nouveau dispositif, il faut être en mesure de pouvoir le générer afin d'irradier ce dernier. Dans les ondes SWIR, ce sont les diodes laser qui offrent un panel de solutions avec des puissances décroissantes quand la longueur d'onde augmente. Pour les domaines du MWIR et LWIR, les lasers à cascade quantique QCL (*Quantum Cascade Laser*) faible puissance et les lasers à CO<sub>2</sub> forte puissance sont mis à contribution. Enfin, la gamme des ondes [50 ; 200]  $\mu$ m ([6 ; 1,5] THz) a la particularité de mettre à profit des sources QCL de faible puissance favorisant le développement de systèmes de détection dans cette plage restreinte du VLWIR. La Figure 26 synthétise et oppose les systèmes de détection et les sources d'éclairement explicités ci-dessus en incluant également le positionnement des raies d'absorbions des gaz.



Figure 26: Vue d'ensemble superposée des technologies principales de détecteurs, des sources lumineuses disponible et des raies de l'absorption des gaz.

Comme l'illustre les objectifs à long terme de la Figure 26, une phase de développement majeure pour les détecteurs en technologie silicium devra être poursuivie afin d'obtenir des efficacités quantiques suffisantes tout en mettant à profit les sources laser disponibles dans l'intervalle [1 ; 10]  $\mu$ m. En effet, les principales limitations à la mise au point de systèmes LiDAR longue portée résident dans les performances pour les technologies silicium et dans l'intégration pour le III-V et II-IV. De fait, l'opportunité de proposer des solutions de capteurs innovants dans la gamme SWIR à LWIR basés sur le silicium, constitue un axe toujours envisageable afin d'atteindre les spécifications de ce marché en plein essor.

Finalement, l'objectif à court terme apparait aujourd'hui comme le plus prometteur. Il aura pour but de fixer une architecture de pixels Rectenna innovante sur un procédé de fabrication silicium commerciale. Cependant, ce développement constituera un point de départ pour un portage sur des nœuds silicium plus avancés. En effet, l'avancée liée à la diminution des résolutions des technologies silicium permet d'envisager le développement de circuits Rectenna avec des antennes et diodes Schottky au dimensionnel plus agressif, ce qui permettrait à terme d'envisager des circuits Rectenna fonctionnant dans les ondes LWIR (30 THz) avec de potentielle meilleurs efficacités pour les antennes et de meilleure fréquence de coupure pour les diodes.

# **I.3.** CONCLUSION

A travers ce premier chapitre, nous avons parcouru en détail le cadre général dans lequel s'inscrivent les travaux de recherches poursuivis au cours de ces trois années d'études. C'est dans ce contexte de l'émergence de nouvelles applications fonctionnant à des fréquences sub-THz (dans les champs des communications et des capteurs) que la problématique de thèse a été construite.

La première partie de ce chapitre se concentre sur les conséquences de l'arrivée massive des systèmes de communication sans fil et de leurs conséquences sur le trafic mondial de données mobiles. Ces conséquences étant aujourd'hui un challenge pour l'ensemble des infrastructures Backhaul/Fronthaul actuellement déployées, des solutions techniques très prometteuses sont déjà mises en œuvre. Parmi elles, nous retrouvons des systèmes de communications sans fil fonctionnant avec des débits pouvant atteindre les 100 Gbit /s sur plusieurs mètres. Cette prouesse est le résultat de l'exploitation de bandes passantes plus larges grâce à l'utilisation des fréquences millimétriques pour la mise en place de nouveaux points d'accès sans fil dédiés à la densification du réseau mobile en vigueur. De ce fait, le déploiement du réseau 5G, guidé par de nombreux projets à l'échelle européenne et mondiale, reste imminent malgré un contexte sanitaire compliqué qui de facto a mis à mal les objectifs ambitieux de couverture du réseau mobile 5G initialement prévu pour fin 2020. La communauté scientifique concentre aujourd'hui ses efforts en vue de supporter le développement de systèmes de communication sans fil avec des débits supérieurs à 100 Gbit/s. D'une part, les parties émissions sont basées sur des dispositifs photoniques qui ont la particularité d'offrir d'excellentes performances, en plus de réaliser la jonction entre le réseau fibre optique et émission sans fil. D'autre part, les parties réceptrices des systèmes de communication sans fil privilégient une approche électronique à l'état solide utilisant des diodes Schottky. Cette solution ouvre la possibilité de bénéficier d'une meilleure capacité d'intégration avec un coût de fabrication raisonnable couplé à de bonnes performances si des diodes performantes peuvent être intégrées en technologie Silicium. La démonstration de diode Schottky haute performances en technologie Silicium est donc un enjeu majeur afin de pouvoir tirer parti de l'opportunité de développer des systèmes de communication sans fil commerciaux fonctionnant dans la gamme des fréquences 220-325 GHz. C'est le premier défi que ce travail de thèse à tenter d'adresser.

La seconde section de chapitre s'oriente sur l'arrivée d'un nouveau champ d'application. Ce dernier est rendu possible du fait des débits de transmission 5G pouvant atteindre les 20 Gbit / s et offrir une latence inférieure à 1 ms. C'est dans ce contexte que le marché de LiDAR découlant de l'imagerie 3D par mesure de temps vols devrait connaitre une forte croissance dans la prochaine décennie. Eléments clés dans la mise au point de systèmes dédiés à la sécurité comme les caméras de contrôle thermique ou encore dans le système d'acquisition de la voiture autonome, les systèmes LiDAR tirent leur force dans l'exploitation du spectre infrarouge. Bien que plusieurs capteurs infrarouges développés en technologie III-V, II-IV ou encore silicium, possèdent chacun leurs avantages et leurs inconvénients, quelques challenges demeurent de rigueur. En effet, côté matériaux III-V ou II-IV, les performances sont au rendez-vous sur l'ensemble du spectre infrarouge. Néanmoins, c'est leur coût de fabrication et leur capacité d'intégration qui font aujourd'hui défaut. Quant aux capteurs silicium, la tendance s'inverse et la couverture du spectre infrarouge se limite encore majoritairement à la gamme LWIR et VLWIR avec seulement de bonnes performances. Les circuits Rectenna avec l'évolution des résolutions et des procédés de fabrication des technologies silicium semble une solution attrayante pour réaliser des détecteurs infrarouges LWIR performants. Privilégiant une approche basée sur le rayonnement électromagnétique très haute fréquence plutôt sur l'absorption d'une énergie lumineuse ou thermique, la détection est alors réalisée à travers un circuit redresseur à base de diode Schottky. Des résultats prometteurs ont été obtenus à des fréquences proche du THz, cependant la disponibilité de source optique nécessaire à l'illumination de la scène impose de pouvoir fonctionner à plus haute fréquence. En conséquence, si des diodes Schottky haute performances sont démontrée au-delà du THz nous pourrons alors raisonnablement considérer le développement de capteur IR LWIR innovant permettant le développement de nouveau système LiDAR faible coût. C'est le second défi de ce travail de thèse.

Dans cet environnement, le premier objectif de cette thèse consiste à mettre en œuvre une architecture de diode Schottky innovante ayant trait à favoriser le développement de deux démonstrateurs. Ces derniers ont pour objectif d'établir la faisabilité sur une technologie silicium commerciale d'un mélangeur sous-harmonique et d'une architecture innovante de pixels unitaire Rectenna.

# II. CONCEPTION DE DIODES SCHOTTKY EN TECHNOLOGIE SILICIUM POUR APPLICATIONS TERAHERTZ



Page 53 sur 199

#### CHAPITRE 2 : CONCEPTION DE DIODES SCHOTTKY EN TECHNOLOGIE SILICIUM POUR APPLICATIONS TERAHERTZ

Dans le chapitre précédent, nous avons détaillé les principaux besoins et motivations pour mettre au point des circuits capables de fonctionner dans les bandes de fréquences millimétriques. Afin de s'inscrire dans la tendance guidée par les marchés émergents, les technologies silicium semblent être une solution viable. En effet, les récentes évolutions des procédés de fabrication silicium offrent des performances compétitives à un coût de réalisation raisonnable. De plus, l'offre répondant à la demande de systèmes de communication et de détection toujours plus performants requiert le développement de composants (transistor, diode Schottky, diodes PN) fonctionnant à toujours plus haute fréquence pour un coût de revenu le plus faible possible, pour songer à la conception de ces circuits en bande millimétrique.

Dans ce contexte, en vue de supporter nos développements de démonstrateur THz, nous avons conçu plusieurs architectures de diode Schottky innovantes dans les nœuds 130 nm, 65 nm et 55 nm incluant les technologies commerciales BiCMOS et CMOS SOI proposées chez STMicroelectronics. Au sein de la première partie de ce chapitre, nous reviendrons sur la définition de la jonction Schottky. Dans un second temps, un état de l'art des architectures Schottky sera proposé afin de définir les axes d'améliorations identifiés pour la conception de nouvelles diodes Schottky en technologie CMOS et BiCMOS. L'ensemble des architectures innovantes que nous avons développées et portées sur quatre technologies commerciales de STMicroelectronics seront ensuite présentées dans le détail, avant de resituer leurs performances par rapport à l'état de l'art.

# **II.1. DEFINITION DE LA JONCTION A CONTACT SCHOTTKY**

# **II.1.i.** NATURE ET PHYSIQUE DU CONTACT SCHOTTKY

Une diode Schottky est une hétérojonction formée par la mise en contact d'un métal et d'un semiconducteur. Lors de cette mise en contact entre le métal et le semi-conducteur, le contact créé peut avoir deux natures différentes. Il peut être ohmique ou redresseur (Schottky). Il est donc nécessaire de considérer deux données fondamentales pour déterminer la nature de ce contact :

## II.1.i.a.1. Le travail de sortie $q\Phi_x$ [52]

Le travail de sortie représente la différence d'énergie entre le niveau du vide (ou parfois un autre niveau énergétique) et le niveau de Fermi d'un matériau. Il peut aussi être défini comme le travail à fournir pour extraire un électron dont l'état énergétique est celui du niveau de Fermi, afin de le porter au niveau du vide avec une vitesse cinétique nulle.

## II.1.i.a.2. L'affinité électronique q<sub>x</sub>[52]

L'affinité électronique représente la différence d'énergie entre le niveau du vide (ou parfois un autre niveau énergétique) et le bas de la bande de conduction. Elle est utile pour relever les différences énergétiques présentes dans le semi-conducteur car son niveau de Fermi va se déplacer lors du dopage, de la variation de température et aussi de la polarisation de la diode pour se rapprocher de la bande de conduction ou de valence.

# II.1.i.b. LE CONTACT REDRESSEUR OU CONTACT SCHOTTKY

L'hétérojonction a pour but de créer un contact « redresseur », ce qui impose que le travail de sortie du métal doit être supérieur au travail de sortie du semi-conducteur, afin que ce type de contact puisse exister à l'interface M/SC. Ce type de contact permet aux électrons (ou aux trous) de passer facilement du semi-conducteur vers le métal et de créer la Zone de Charge d'Espace (ZCE), une zone dépeuplée de porteurs de charge à la jonction côté semi-conducteur.

#### II.1.i.b.1. Le contact métal/semi-conducteur type N

La Figure 27 montre les diagrammes des bandes d'énergie de la jonction Schottky à l'équilibre thermodynamique pour le contact métal/semi-conducteur type N :



Figure 27: Diagramme des bandes métal/semi-contucteur N : (a) avant contact ; (b) après contact

La Figure 27 (a) montre la jonction métal/semi-conducteur avant la mise en contact. L'existence du contact redresseur est donc possible car  $q\Phi_m > q\Phi_{sc}$  [52] [53] [54]. Lors de la mise en contact du métal et du semiconducteur, les électrons du métal situés près de l'interface possèdent une plus grande énergie que ceux du semiconducteur. Ils vont donc se transférer vers celui-ci. La Figure 27 (b) illustre que le transfert d'électrons du semi-conducteur vers le métal est impossible à cause de la barrière de potentiel qV<sub>b</sub> formée après le contact de la partie métal et semi-conductrice. Cependant, ce transfert peut être régulé lorsque la jonction est polarisée. La Figure 27 (b) possède un contact idéal donc  $Q_m = -Q_s$  et  $q\Phi_b = \Phi_m - q\chi_{sc} + qV_b$ . En pratique, lorsque le contact Schottky est créé, la présence d'interfaces électroniques apparait en surface du semi-conducteur [52]. Ces interfaces sont liées à la rupture du réseau cristallin. La relation de l'équilibre thermodynamique va alors être modifiée :  $Q_m = -(Q_s + Q_{interfaces})$  et  $q\Phi_b = \Phi_m - q\chi_{sc} + qV_b - \Delta$  Où  $\Delta$  est une barrière de potentiel induite. Elle dépend du produit de la charge du métal avec l'épaisseur de la couche de l'interface et est divisé par le produit de la permittivité diélectrique avec la section de la couche interfaciale diélectrique. L'expression de la barrière de potentiel V<sub>b</sub> est donnée par l'Équation 3 [52].

$$V_b = \Phi_b - \frac{E_C - E_{FSC}}{q}$$
 Équation 3

La ZCE apparait comme une zone de désertion de porteurs, se comportant comme une zone fortement résistive et encadrée par deux zones à faible résistance [55] (Figure 28 (a)). La largeur de la ZCE  $W_{ZCE}$  peut ainsi être déterminée en utilisant la loi de Poisson [56] (Équation 4) afin de déterminer la valeur du champ électrique E(x) (Figure 28 (b) et Équation 5) induit par la ZCE. L'intégration de l'Équation 4 s'effectue par rapport à la distance x en tenant compte du fait que le champ électrique est nul hors de la ZCE ( $E(W_{ZCE}) = 0$  V/m). L'Équation 5 donnant le champ électrique E(x) est ensuite de nouveau intégrée par rapport à la distance x, afin de déterminer la différence de potentiel V(x) (Figure 28 (c) et Équation 6) induite par la présence de la ZCE.



Figure 28: Graphique utilisé pour le calcul de la largeur de la ZCE

Il est possible de déterminer la largeur de la ZCE  $W_{ZCE}$  (Équation 7), sachant que la différence de potentiel est nulle du côté du métal (V(0) = 0) et est égale à la hauteur de barrière à l'extrémité de la ZCE (V( $W_{ZCE}$ ) = V<sub>b</sub>).

$$W_{ZCE} = \sqrt{\frac{2\varepsilon_S V_b}{qN_D}}$$
 Équation 7

Le contact Schottky N étant ainsi réalisé, il demeure indissociable de la hauteur de barrière  $V_b$ . Il convient maintenant de s'intéresser à l'effet de la polarisation sur la jonction. La Figure 29 illustre le diagramme des bandes d'énergie de la jonction Schottky polarisée.



Figure 29: Diagramme des bandes la jonction Schottky N polarisée : (a) polarisation directe ; (b) polarisation inverse

La polarisation directe est obtenue grâce à la tension  $V_f$ , qui va diminuer la barrière de potentiel  $V_b$ , permettant ainsi à la diode de devenir une résistance commandée en tension (Figure 29 (a)).

La polarisation inverse est obtenue grâce à la tension  $V_r$ , qui va augmenter la barrière de potentiel  $V_{b,}$  permettent ainsi à la diode de devenir une capacité commandée en tension (Figure 29 (b)). Elle permet d'élargir la longueur de la ZCE notée  $W_{ZCE}$  (Équation 7) [52] [53] [56].

Le transport du courant d'électrons dans la diode est principalement dû à 5 phénomènes physiques [52] qui se produisent lors d'une polarisation directe :

- L'effet thermoïonique qui est la réjection d'électrons d'une surface chaude (SC) vers une surface froide (métal). Cet effet est présent dans les semi-conducteurs à grande mobilité (Si ou AsGa). NB : Pour les semi-conducteurs à faible mobilité, il s'agit du courant de diffusion.
- > Le passage par effet tunnel des électrons à travers la barrière de potentiel.
- La recombinaison par état d'interface (électrons piégés dans un centre d'interface vide traversant vers le métal par effet tunnel).
- > La recombinaison dans la ZCE (électrons venant du SC avec un trou venant du métal).
- L'injection de porteurs minoritaires (trous du métal se recombinant avec un électron du semi-conducteur hors de la ZCE).

En polarisation directe, les trois derniers effets sont négligeables par rapport aux deux premiers en polarisation directe. Il faut noter que le seul mécanisme de transport est l'effet thermoïonique dans une bonne jonction Schottky, car l'effet tunnel est le plus actif seulement à une faible température et avec un très fort dopage en atome donneur du semi-conducteur.

# II.1.i.b.2. Le contact métal/semi-conducteur type P

La Figure 30 montre les diagrammes des bandes d'énergie de la jonction Schottky à l'équilibre thermodynamique pour le contact métal/semi-conducteur type P :



Figure 30: Diagramme des bandes métal/semiconducteur P : (a) avant contact ; (b) après contact

De la même façon que la jonction Schottky N, la Figure 30 (a) montre la jonction métal/semi-conducteur P avant la mise en contact. L'existence du contact redresseur est donc possible car  $q\Phi_m < q\Phi_{sc}$  [52] [53] [54]. Lors de la mise en contact du métal et du semiconducteur, les électrons du métal situés près de l'interface possèdent une plus grande énergie que les trous du semiconducteur P. Des recombinaisons de paires électrons/trous vont donc se produire à l'interface. La Figure 30 (b) illustre, après contact, le fait que le transfert des trous du semiconducteur vers le métal est impossible du fait de la barrière de potentiel qV<sub>b</sub>. Il est également possible de réguler le transfert des trous du semiconducteur P vers le métal en polarisant la jonction Schottky P (Figure 31). La Figure 27 (b) possède un contact idéal donc  $Q_m = -Q_s$  et  $q\Phi_b = q\chi_{sc} - \Phi_m + qV_b$  et l'expression de la barrière de potentiel V<sub>b</sub> est donnée par l'Équation 8.

$$V_b = \Phi_b - \frac{E_{FSC} - E_V}{q}$$
 Équation 8

Polarisation directe V<sub>f</sub> Polarisation inverse V<sub>r</sub>  $V_f$ V  $\mathbf{E}(\mathbf{x})$ Métal ZCE SC type P Métal ZCE SC type P WZCE WZCE ╢┝ E<sub>C</sub> E<sub>C</sub> q  $\phi_b$ E<sub>Fm</sub>..... aV qφ<sub>b</sub> (b) (a)

La Figure 31 illustre le diagramme des bandes d'énergie de la jonction Schottky P polarisée.

Figure 31: Diagramme des bandes de la jonction Schottky P polarisée : (a) polarisation directe ; (b) polarisation inverse

La polarisation directe est obtenue grâce à la tension  $V_f$ , qui va augmenter la barrière de potentiel  $V_{b}$ , permettent ainsi à la diode de devenir une capacité commandée en tension (Figure 31 (a)). Elle permet de fait d'élargir la longueur de la ZCE noté  $W_{ZCE}$  (Équation 9) [53].

$$W_{ZCE} = \sqrt{\frac{2\varepsilon_S V_b}{qN_A}}$$
 Équation 9

La polarisation inverse est obtenue grâce à la tension  $V_f$ , qui va diminuer la barrière de potentiel  $V_b$ , permettant ainsi à la diode de devenir une résistance commandée en tension (Figure 31 (b)).

Le transport du courant de trous en polarisation inverse dans la diode Schottky P est principalement dû aux cinq mêmes phénomènes physiques qui se produisent lors d'une polarisation directe de la diode Schottky N. Pour des circuits utilisés en hyperfréquences, les semi-conducteurs dopés N sont privilégiés car les électrons possèdent une plus grande mobilité  $\mu_N$  que les trous  $\mu_P$ .

## II.1.i.c. LE CONTACT OHMIQUE

Un contact ohmique sur un semi-conducteur type N (Figure 32 (a)) est théoriquement réalisable avec un métal dont le travail de sortie est inférieur à celui du semiconducteur  $q\Phi_m < q\Phi_{sc}$ . Cela est de facto la condition inverse à la création du contact Schottky N ( $q\Phi_m > q\Phi_{sc}$ ). Cette situation apparait toutefois difficile à obtenir en pratique. La diminution de la résistance du contact peut être réalisée en sur-dopant superficiellement la région où le contact doit être effectué. Une couche tampon dégénérée N+ (de 10<sup>19</sup> à 10<sup>20</sup> cm<sup>-3</sup>) est donc formée à l'interface métal/semi-conducteur. Le contact ohmique sur un semi-conducteur type P (Figure 32 (b)) peut également être conçu à l'aide d'une couche tampon dégénérée P+. Le contact ohmique (N ou P) présente à l'interface un phénomène d'accumulation de porteurs majoritaires (électrons ou trous) dans le semiconducteur [54] [57].



Figure 32: Diagramme des bandes du contact ohmique : (a) N et (b) P

Comme illustré par la Figure 32, la ZCE de la barrière formée entre la couche tampon et le métal du contact est tellement fine que les porteurs peuvent la traverser par effet tunnel. Le contact n'est plus redresseur et la caractéristique I(V) (illustré par la Figure 33) admet une symétrie par rapport à l'origine des axes du repère [57]. Dans l'ensemble des structures semi-conductrices, l'utilisation de contacts ohmiques est inévitable afin de relier les lignes métalliques de transport du courant. Il est indispensable que les contacts entre ces lignes et le semiconducteur laissent passer le courant dans les deux sens et présentent une résistance la plus faible possible. Il devient alors faisable de définir la résistance du contact ohmique réalisé sur semi-conducteur N et P par l'Équation 10 et l'Équation 11.

$$R_{cN} = \frac{1}{qN_{D}\mu_{N}}$$

$$\hat{E}quation 10$$

$$R_{cP} = \frac{1}{qN_{A}\mu_{P}}$$

$$\hat{E}quation 11$$



Figure 33: Caractéristique Courant-Tension I(V) d'un contact ohmique N

# II.1.ii. FIGURE DE MERITE DE LA DIODE SCHOTTKY

# II.1.*ü.a.* MODELE ELECTRIQUE GENERIQUE D'UNE JONCTION METAL/SEMI-CONDUCTEUR

Afin de réaliser et de quantifier les performances électriques d'une diode Schottky, il est nécessaire d'utiliser un modèle électrique. Ce modèle doit pouvoir être suffisamment générique afin de pouvoir illustrer le fonctionnement du contact redresseur avec les composants électroniques de référence (résistances, capacités et inductances). Le modèle retenu (illustré Figure 34) est donc le plus simple possible afin qu'il puisse être transposé dans plusieurs technologies de fabrication (Silicium [58], III-V [59], etc...).



Figure 34: Modèle électrique générique de la diode Schottky

La Figure 34 illustre à la fois le symbole et le schéma électrique associés à la diode Schottky. Il est important de rappeler que l'anode d'une Schottky N se situe côté métal et que la cathode se situe côté semiconducteur N. En revanche, l'anode réside du côté semi-conducteur P et la cathode côté métal pour la diode Schottky P. Les paramètres R<sub>s</sub> (résistance série), C<sub>j0</sub> (Capacité de jonction à polarisation nulle) et R<sub>j</sub> (résistance de jonction) modélisent le fonctionnement intrinsèque à la diode Schottky [59]. La capacité C<sub>Backend</sub> (capacité parasite) est liée aux métallisations de la technologie (backend) permettant d'accéder à la partie intrinsèque (frontend) de la diode Schottky. Des inductances d'accès peuvent aussi être ajoutées en série côté anode et cathode afin de prendre en compte un effet inductif parasite qui découlerait de doigts d'accès métalliques relativement longs.

# II.1.ü.b. COURANT DANS LA JONCTION SCHOTTKY

Le courant au sein de la diode Schottky est provoqué par deux phénomènes physiques prépondérants : l'effet thermoïonique (courant de diffusion), et le passage par effet tunnel des porteurs majoritaires à travers la barrière de potentiel. Trois expressions du courant sont donc à considérer en vue d'analyser la circulation des porteurs majoritaires au sein de la diode Schottky.

## II.1.ii.b.1. Courant de diffusion I<sub>d</sub>

Le courant de diffusion  $I_d$  est donné par l'Équation 12. Il permet de décrire la réponse en courant induite par une diode Schottky en fonction de la différence de potentiel V (polarisation) appliquée entre ses bornes d'anode et de cathode. Le courant de diffusion est aussi dépendant de la variation de température de la jonction par l'intermédiaire du courant de saturation inverse  $I_{sat}$ . La présence du facteur d'idéalité  $\eta$  dans l'Équation 12 permet de prendre en compte le passage par effet tunnel des porteurs majoritaires à travers la barrière de potentiel. Le terme  $R_s I_d$  représente la partie du courant de la diode lorsque celle-ci est dans son régime de fonctionnement ohmique. A faible polarisation, il peut être négligé car  $I_d$  tend vers 0 A (quelques pA). De plus le terme  $R_s I_d$ devient non négligeable lorsque la zone quadratique de la caractéristique I(V) (Figure 35) est franchie.

Page 60 sur 199

Équation 12



Figure 35: Caractéristique I(V) des diodes Schottky P, Schottky N et PN

La Figure 35 illustre les caractéristiques courant-tension des diodes Schottky P, Schottky N et PN. L'Équation 12 permet donc de définir le comportement de l'ensemble de ces diodes. L'allure des trois caractéristiques I(V) traduit des différences majeures sur les valeurs des barrières de potentiel V<sub>b</sub>, de la résistance séries R<sub>s</sub>, du courant de fuite I<sub>leak</sub> et de la tension de claquage B<sub>v</sub> qui seront détaillés dans leur section respective.

#### II.1.ii.b.2. Courant de saturation inverse I<sub>sat</sub>

Le courant de saturation inverse ou courant de fuite est dû au transport des porteurs minoritaires par le champ électrique de la région de déplétion. [60] En effet, un certain nombre de trous sont générés thermiquement dans la région semi-conducteur N (Schottky N) ou métal (Schottky P). Ainsi, plus la température T sera élevée, plus la génération de trous sera conséquente. Ces trous générés parviennent à la région de déplétion sans avoir subi de recombinaison. Ils sont alors entrainés par le champ électrique de la région de déplétion vers le métal pour la Schottky N ou vers le semi-conducteur P pour la Schottky P. Les trous générés dans une jonction Schottky P sont plus importants car le courant Id est un courant de trous (porteurs majoritaires). La valeur du courant de saturation inverse Isat sera donc plus importante que dans une Schottky N (courant d'électrons Id). Il représente la valeur asymptotique du courant traversant la jonction en polarisation inverse [61] (donnée par l'Équation 13).

$$I_{sat}(T) = AA^{**}T^{2}(e^{\frac{qV_{b}}{kT}})$$
Equation 13

Avec A la surface d'anode du contact Schottky (métal sur semi-conducteur), A\*\* la constante de Richardson, T la température de la jonction, et V<sub>b</sub> la hauteur de barrière.

#### II.1.ii.b.3. Courant de fuite inverse Ileak

Le courant de fuite inverse I<sub>leak</sub> désigne le courant qu'une diode laisse circuler lorsque la jonction est en état bloqué. Il circule donc de la cathode vers l'anode. Ce courant de fuite augmente avec la valeur de la tension de polarisation inverse et avec l'augmentation de la température T de la jonction. Les valeurs typiques de ce courant sont généralement assez faibles, allant de quelques picoampères à quelques microampères. Le courant de fuite inverse provient du passage de porteurs majoritaires à travers la barrière de potentiel par effet tunnel, lorsque ces derniers s'accumulent à l'interface lors de la polarisation inverse.



Figure 36: Caractéristiques de la valeur absolue du courant en fonction de la tension de polarisation Abs(Courant) = f(V) (valeurs mesurées)

La Figure 36 illustre l'évolution du courant de fuite selon les diodes Schottky P, Schottky N et PN. De ce fait, il est important de noter que plus la barrière de potentiel  $V_b$  sera faible, plus le courant de fuite pourra facilement s'établir à travers une jonction bloquée.

# II.1.ü.c. BARRIERE DE POTENTIEL LIEE AU CONTACT METAL/SEMI-CONDUCTEUR VB

Telle qu'introduite dans la partie I.1.i.a, la barrière de potentiel se forme lors de la mise en contact de deux matériaux dont les charges présentent une différence d'énergie à l'interface.



Figure 37: Caractéristique I(V) en polarisation direct des diodes Schottky P, Schottky N et PN

Cela est le cas lors d'une association métal/semi-conducteur (diode Schottky) ou semi-conducteur N/semi-conducteur P (diode PN). C'est pourquoi la valeur de la hauteur de barrière  $V_b$  est fixée par la nature du matériaux (métal pour la diode Schottky) et la valeur de dopage présente à l'interface (Schottky et PN). La hauteur de barrière  $V_b$  est un paramètre majeur. Elle impacte directement la réponse courant-tension I(V) (Figure 35, Figure 36 et Figure 37) par l'intermédiaire du courant de saturation inverse I<sub>sat</sub>. La valeur de  $V_b$  régit également Page **62** sur **199** 

#### CHAPITRE 2 : CONCEPTION DE DIODES SCHOTTKY EN TECHNOLOGIE SILICIUM POUR APPLICATIONS TERAHERTZ

le début de zone quadratique de la courbe I(V) et donc la valeur de la tension de seuil de la diode. La tension de seuil de la diode est perçue comme étant la valeur de tension correspondant à l'asymptote de la courbe I(V) dans son régime de fonctionnement ohmique. La Figure 37 illustre la réponse courant-tension I(V) en polarisation directe de la diode Schottky N, Schottky P et PN. Les trois courbes sont associées à leurs droites asymptotiques respectives afin de mettre en évidence les tensions de seuils propres à chaque diode. Il faut également considérer que la hauteur de barrière V<sub>b</sub> a une influence sur la tension de claquage B<sub>v</sub> et le début de la zone d'avalanche de la diode (illustré en polarisation inverse par la Figure 35).

La jonction Schottky peut être effectuée avec différents types de métaux en fonction des modules de siliciuration utilisés dans chaque nœud technologique. Le Tableau 6 regroupe des valeurs typiques de hauteur de barrière  $V_b$  pour des contacts redresseurs N ( $V_{bN}$ ) et P ( $V_{bP}$ ) avec différents métaux [62] [63].

Siliciure	ErSi <sub>1.7</sub>	HfSi	MoSi <sub>2</sub>	ZrSi <sub>2</sub>	TiSi <sub>2</sub>	CoSi <sub>2</sub>	WSi <sub>2</sub>	NiSi <sub>2</sub>	Pd <sub>2</sub> Si	PtSi	TaSi <sub>2</sub>
$V_{bN}\left(V ight)$	0,28	0,45	0,55 /0,64	0,55	0,61 /0,58	0,65	0,67	0,67 /0,66	0,75	0,87 /0,84	N.R. /0,59
V <sub>bP</sub> (V)	N.R.	N.R.	0,55	0,49	0,45	0,45	0,43	0,43	0,35	0,23	N.R.

Tableau 6: Valeurs typiques de hauteur de barrière Schottky N et P pour différentes métallisations

Les valeurs typiques de hauteur de barrière relevées dans le Tableau 6 peuvent être différentes en pratique lorsque qu'une diode Schottky est fabriquée. Cela est notamment le cas pour les deux valeurs de Schottky N réalisée avec une métallisation MoSi<sub>2</sub>. La hauteur de barrière annoncée par [62] est de 0,55 V alors que celle relevée par [63] est de 0,64. En effet, l'épaisseur de dépôt de siliciure et les différents agents ajoutés à faible pourcentage dans les recettes du processus de fabrication (pour diminuer la résistivité du siliciure) peuvent influencer la hauteur de barrière. De plus, du côté du semi-conducteur, le dopage moyen perçu par la jonction peut varier en fonction de l'épaisseur du semi-conducteur dopé ainsi que selon le procédé de fabrication.

# II.1.ü.d. RESISTANCE DE LA JONCTION SCHOTTKY

## II.1.ii.d.1. Resistance série R<sub>s</sub>

La résistance  $R_s$  représente globalement toutes les résistances parasites des éléments séries utilisés pour les interconnexions de la diode Schottky. Parmi ces éléments série, les couches actives sont modérément ou fortement dopées pour la partie semi-conducteur et la résistance du siliciure pour la partie métal (frontend). Ceux utilisés pour les interconnexions sont dus à l'accès anode/cathode backend de la technologie utilisée pour fabriquer la diode Schottky. De fait, quel que soit la technologie de fabrication de la diode Schottky, la résistance série sera de la forme donnée par l'Équation 14.

$$R_{s} = \sum R_{CouchesActivesFrontend} + \sum R_{InterconnectionsBackend}$$
 Équation 14

La Figure 38 illustre deux exemples de chemins résistifs contribuant à la valeur de la résistance série  $R_s$ . La Figure 38 (a) illustre le chemin résistif d'une diode Schottky en technologie III-V [64]. La Figure 38 (b) représente celui d'une diode en technologie CMOS [65]. Cependant, il est possible d'identifier les paramètres liés à la résistance série  $R_s$  pour les diodes III-V et CMOS, malgré les différences notables en termes d'architecture et de technologie. La partie  $R_{couchesActivesFrontend}$  inclue donc la résistance liée au siliciure  $R_{sc}$ , la résistance dans la couche modérément dopée  $R_N$  et celle dans la couche fortement dopée  $R_{N+}$ . Les résistances  $R_{anode}$  et  $R_{cathode}$  induites par les connections métalliques pour accéder à la diode, sont intégrées dans la partie  $R_{InterconnectionsBackend}$ .



(a) (b) Figure 38: Localisation des éléments constitutifs de résistances séries R<sub>s</sub> dans une jonction Schottky en technologie : (a) III-V et (b) CMOS

Elle est responsable de la réduction de la bande passante en hyperfréquence et doit être la plus faible possible afin de minimiser son impact aux fréquences élevées. Elle varie de façon non linéaire du fait de sa dépendance à la polarisation de la diode, et dépend fortement de la surface de contact Schottky (illustré par la Figure 38). En pratique, l'évolution de la résistance série R<sub>s</sub> par rapport à la géométrie de la diode suit l'Équation 15.

$$R_s \sim \frac{1}{\sqrt{A}}$$
 Équation 15

#### II.1.ii.d.2. Resistance de jonction $R_j$ et facteur d'idéalité $\eta$

La résistance de jonction  $R_j$  est généralement associée à la résistance dynamique de la diode Schottky. Elle contribue à modéliser l'évolution de la résistance que présente la diode dans la zone quadratique (région coudée Figure 37). Elle est approximée par l'Équation 16 [66].

$$R_j = \frac{dV}{dI_d} = \frac{\eta kT}{qI_d(V)}$$
 Équation 16

L'Équation 16 permet de déterminer une valeur de  $R_j$  à un point de polarisation donné. Il faut cependant remarquer que sa valeur peut également varier du fait de la fréquence et de la température à laquelle la diode va fonctionner. Elle tient également compte de la valeur de facteur d'idéalité  $\eta$  de la jonction.

Le coefficient d'idéalité  $\eta$  résulte du passage du courant par effet tunnel à travers la barrière de potentiel V<sub>b</sub>. Il peut être exprimé (Équation 17) de manière théorique en tenant compte de la courbure de bande et des propriété liées aux matériaux (Équation 18) [52].

$$\eta = \left(kT\left(\frac{th\left(\frac{E_{00}}{kT}\right)}{E_{00}} - \frac{1}{2E_B}\right)\right)^{-1}$$
 Équation 17

Avec E00 la constante du matériau, E<sub>B</sub> la courbure de bande et *th* la fonction tangente hyperbolique

$$E_{00} = \frac{h}{4\pi} \sqrt{\frac{E_B}{m_e^* \varepsilon_r}}$$
 Équation 18

Afin que le transport thermoïonique d'électrons soit prédominant au sein de la jonction, il faut que  $\eta$  soit proche de l'unité. Le transport est considéré thermoïonique pour  $kT \gg E_{00}$ . Il est possible d'augmenter la valeur de ce facteur en réalisant une injection de porteurs majoritaires à l'interface métal/semi-conducteur. Cette opération aura pour impact de diminuer la valeur de la hauteur de barrière V<sub>b</sub> ainsi que celle de la tension de claquage B<sub>v</sub>.

## II.1.ü.e. CAPACITES AU SEIN DE LA DIODE SCHOTTKY

#### II.1.ii.e.1. Capacite de jonction $C_j(V)$

Quand la zone dépeuplée est dépourvue d'électrons, l'Équation 19 liant la capacité et la tension peut être dérivée en utilisant l'équation de Poisson. Il devient alors possible d'estimer, à partir de la charge totale  $Q_j(V)$  en fonction de la tension de polarisation *V*, la valeur de la capacité  $C_j(V)$  à l'aide de l'Équation 20 [52] :

$$Q_j(V) = -2C_{j0}V_b \sqrt{1 - \frac{V}{V_b}}$$
 Équation 19

$$C_j(V) = \frac{dQ_j(V)}{dV} = C_{j0} \sqrt{\frac{V_b}{V_b - V}}$$
 Équation 20

La capacité de jonction  $C_j$  (V) est définie pour une tension de polarisation allant de  $B_v$  (tension de claquage) à la tension de barrière V<sub>b</sub>. La fonction  $C_j$  (V) donnée par l'Équation 20 admet sont maximum local sur l'intervalle [ $B_v$ ;V<sub>b</sub>] lorsque la tension de polarisation V est nulle.  $C_j$  (V) est donc égal à la capacité de jonction à polarisation nulle  $C_{j0}$ .

#### II.1.ii.e.2. Capacite de jonction à polarisation nulle $C_{j\theta}(V)$

La capacité de barrière [52] (« zero bias capacitance »)  $C_{j0}$  désigne la capacité parasite présente dans la jonction Schottky pour une polarisation nulle *V*. Son existence est due à la barrière de potentiel présente dans la jonction Schottky (ou PN), qui induit un effet capacitif modélisé par  $C_{j0}$  (illustré Figure 39).

$$C_{j0} = A \times \sqrt{\frac{q\varepsilon_S N_D}{2V_b}}$$
 Équation 21

Elle est également responsable de la réduction de la bande passante en hyperfréquence et doit être la plus faible possible afin de minimiser son impact aux fréquences élevées. En pratique, la capacité  $C_{j0}$  augmente de façon linéaire avec la géométrie de la jonction et suit l'Équation 22.

$$C_{i0} \sim A$$
 Équation 22

#### II.1.ii.e.3. Capacité de backend CBackend

La capacité de backend  $C_{Backend}$  est la capacité générée par les interconnexions métalliques qui permettent d'accéder à la jonction et à la partie intrinsèque de la diode. Elle n'est donc pas considérée en vue de qualifier les performances intrinsèques (Fréquence de de coupures  $F_c$ ) de la diode Schottky (ou PN).



Figure 39: Exemple de capacités présentes dans une jonction Schottky en technologie : (a) III-V et (b) CMOS

#### CHAPITRE 2 : CONCEPTION DE DIODES SCHOTTKY EN TECHNOLOGIE SILICIUM POUR APPLICATIONS TERAHERTZ

A l'échelle de la conception d'un circuit, sa valeur peut être perçue comme un facteur utile à l'adaptation ou à la désadaptation de l'impédance que présente le composant aux éléments du circuit. La Figure 39 illustre les capacités présentes dans les diodes Schottky en technologie III-V (Figure 39 (a)) [64] et silicium (Figure 39 (b)) [65]. Dans les deux technologies, la contribution de la capicité dûe à la proximitté entre le doigt d'accès d'anode et celui de cathode est non négligeable. Cette contribution notée  $C_{BE4}$  (Figure 39 (a)) et  $C_{BE}$  (Figure 39 (b)) apparait comme la principale contribution capacitive liée aux interconnexions en technologie CMOS. Concernant la technologie III-V, l'anode formée à l'aide d'un pont suspendu (« pont à air ») permet de minimiser les contributions des capacités  $C_{BE1}$ ,  $C_{BE2}$  et  $C_{BE3}$ .

# II.1.*ii.f.* TENSION DE CLAQUAGE $B_V$ ET ZONE D'AVALANCHE

En polarisation inverse, le semi-conducteur est dépourvu de porteurs majoritaires puisqu'il est seulement occupé par des atomes donneurs ne possédant aucune charge mobile. Le champ électrique E(x) présent dans la jonction augmente et le courant de conduction diminue. Lorsque la tension de jonction *V* tend vers  $B_v$  [52], la tension de claquage peut s'exprimer sous la forme donnée par l'Équation 23.

$$B_V = 60 \left(\frac{E_g}{1,1eV}\right)^{\frac{3}{2}} \left(\frac{N_d}{10^{16}cm^{-3}}\right)^{-\frac{3}{4}}$$
 Équation 23

Si Bv est atteint, alors le champ électrique est trop important ce qui va provoquer la destruction de la jonction Schottky. La diode Schottky (ou PN) aura donc atteint son régime d'avalanche. Ce phénomène est illustré par la forte augmentation du courant inverse en polarisation négative sur la Figure 35.

# II.1.ü.g. FREQUENCE DE COUPURE DE LA DIODE SCHOTTKY F<sub>c</sub>

La fréquence de coupure  $F_c$  définit la figure de mérite qui permet de quantifier les performances de la diode Schottky. Elle est liée aux paramètres intrinsèques de la jonction est doit ainsi être la plus élevée possible. Cela doit permettre de garantir un changement d'état de la diode (passante/bloquée) le plus rapide possible. Elle est définie par l'Équation 24.

$$F_c = \frac{1}{2\pi R_s C_{j0}}$$
 Équation 24

Cette fréquence de coupure peut être maximisée en déterminant le meilleur compromis pour la valeur du produit  $R_s \times C_{j0}$ . Ce produit doit donc être le plus petit possible. En théorie, une géométrie optimum de surface d'anode couplée à des implantations judicieuses du dopage de la couche active permettrait de réduire la valeurs  $R_s \times C_{j0}$  afin d'augmenter la fréquence de coupure de la diode. Néanmoins, la mise en pratique s'avère plus délicate. Dans les faits, la géométrie optimum est rapidement identifiable sur un processus de fabrication commercial en observant l'évolution de  $R_s$  et  $C_{j0}$  selon différentes tailles d'anodes. Les principales limitations résident du côté des implantations réalisables. En effet, les essais d'implantations impliqueront des jeux de masques supplémentaires, et donc une augmentation importante du coût de fabrication de la diode Schottky. De plus, quelques limitations dues au processus de fabrication, comme une résolution insuffisante ou un budget thermique trop important (provoquant la diffusion des implantations testées), peuvent survenir et nuire à l'augmentation de  $F_c$ .

# II.1.ü.h. Sensibilite de la diode Schottky R

La sensibilité R désigne une figure de mérite utilisée pour qualifier la potentialité d'une diode à détecter et redresser un signal. Elle possède deux définitions, une en courant  $R_{i,f}$  (Équation 25) et l'autre en tension  $R_{v,f}$  (Équation 26) de sensibilité.

$$R_{i,f} = \frac{I_{redress\acute{e}}}{P_{absorb\acute{e}}}\Big|_{Diode \ court-circuit\acute{e}}} \qquad \qquad \acute{Equation 25}$$

L'Équation 25 définit la sensibilité en courant comme étant le rapport entre le courant redressé sur la puissance absorbée lorsque la diode est court-circuitée.

$$R_{v,f} = \frac{V_{off} - V_{RFon}}{P_{absorbée}} \Big|_{Diode \ chargée \ par \ une \ haute \ impédance}$$
Équation 26

L'Équation 26 explicite la sensibilité en tension comme étant le rapport entre la différence entre la tension de polarisation mesurée de la diode Schottky, quand une puissance RF est détectée par la diode Schottky sur la puissance absorbée alors que cette diode est chargée par une haute impédance.

En pratique, la sensibilité en tension  $R_{v,f}$  est celle qui est le plus souvent privilégiée pour qualifier la diode [67]. En effet, dans le cas de la sensibilité en tension, le courant est fixé et l'on va mesurer la polarisation induite sur la tension par l'onde de RF. De ce fait il sera toujours préférable en mesures, de polariser la diode en courant afin de s'assurer de l'utilisation de la zone de fonctionnement indépendamment du chemin résistif entre la source de courant et la diode. Plus cette valeur de sensibilité sera élevée, plus la diode sera en mesure de détecter un signal RF ayant une faible puissance.

# II.1.ii.i. PUISSANCE EQUIVALENT DE BRUIT NEP

La puissance équivalente de bruit (PEB) ou *Noise Equivalent Power* (NEP) est définie comme étant le rapport de la tension de bruit v sur la sensibilité en tension  $R_{v,f}$ . Il correspond au plancher de bruit [67] qui est donné par l'Équation 27.

$$NEP = \frac{v}{R_{vf}}$$
 Équation 27

Afin de définir la tension de bruit v, il nécessaire de considérer un modèle générique de diode en bruit (Figure 40).



Figure 40: Modèle générique en bruit de la diode : (a) en courant de bruit et (b) en tension de bruit

Au sein d'une jonction Schottky (ou PN), deux sources de bruit peuvent généralement être identifiées. Le bruit thermique est lié à la résistance série  $R_s$  découlant du chemin parcouru par le courant à travers les interconnexions métalliques et la partie semi-conductrice dopée. Le bruit de Grenaille est dû à la jonction de la diode et donc à la résistance de jonction  $R_j$ . Les dipôles  $R_s$  et  $R_j$  peuvent néanmoins être perçus comme non

bruyants et sont associés à leurs sources de courant (Figure 40 (a)) ou de tension (Figure 40 (b)) respectives. Il faut alors déterminer les courants et les tensions de bruit à partir de la racine carrée de leurs valeurs (correspondant au carré de leurs valeurs moyennes). Le bruit étant un signal aléatoire, il est ainsi estimé en fonction de sa densité spectrale  $S_x(f)$ . En intégrant la densité spectrale  $S_x(f)$  sur l'ensemble du spectre, la puissance totale liée à la valeur efficace  $\langle x^2(t) \rangle$  est obtenue pour un signal aléatoire x(t) provenant d'une source de bruit x [68]. Il est possible d'associer la valeur (tension ou courant) de bruit x sa densité spectrale  $S_x(f)$  pour un signal aléatoire à valeur moyenne nulle.

$$x = \sqrt{S_x(f)}$$
 Équation 28

#### II.1.ii.i.1. Bruit thermique

Le bruit thermique provient de l'agitation à une température T des porteurs majoritaires dans le milieu dissipatif R<sub>s</sub>. Il est possible de raisonner directement sur le modèle avec les tensions de bruit (Figure 40 (b)) afin d'exprimer  $v_s$ . Son expression est donnée par l'Équation 29.

$$v_s = \sqrt{S_{vs}(f)} = \sqrt{4kTR_s}$$
 Equation 29

#### II.1.ii.i.2. Bruit de Grenaille

Le bruit de Grenaille apparaît dans les dispositifs où le flux de charge émis varie, ce qui est le cas au sein de l'interface créée à la jonction Schottky (ou PN). Cette fluctuation peut seulement être exprimée à l'aide de la densité spectrale de puissance de la fluctuation de courant  $S_{ij}(f)$ . Le raisonnement doit donc s'appuyer sur le modèle avec les courants de bruit (Figure 40 (a)).

$$S_{ij}(f) = 2q < I_d >$$
 Equation 30

Il est alors possible d'identifier un courant de conduction  $< I_{cond} >$  ainsi qu'un courant de saturation  $< I_{sat} >$  à l'intérieur du courant de diffusion moyen de la diode  $< I_d >$ .

$$< I_d > = I_{sat} e^{\frac{qV}{\eta kT}} + (-I_{sat}) = < I_{cond} > + < I_{sat} >$$
Équation 31

La conductance (Équation 32) introduite par l'inverse de Rj doit être ensuite analysée afin de simplifier l'expression de la charge q de l'Équation 30.

$$\frac{1}{R_i} = \frac{dI_d}{dV} = \frac{q}{\eta kT} I_{sat} e^{\frac{qV}{\eta kT}}$$
 Équation 32

La charge q peut alors être exprimée en fonction de la résistance et des valeurs moyennes du courant de diffusion et de saturation de la diode.

$$q = \frac{\eta kT}{R_i} \frac{1}{\langle I_d \rangle + \langle I_{sat} \rangle}$$
 Équation 33

La charge q est réinjectée dans  $S_{ij}(f)$ . L'Équation 34 exprime la densité spectrale  $S_{ij}(f)$  après simplification des courants, puisqu'en pratique, la valeur du courant de saturation est négligeable vis-à-vis de celle du courant de diffusion  $I_{sat} \ll I_d$ .

$$S_{ij}(f) = 2\frac{\eta kT}{R_i}$$
 Équation 34

Il faut ensuite exprimer la tension équivalente de bruit  $v_j$  (Équation 35, qui découle de la densité spectrale de puissance de la fluctuation de courant  $S_{ij}(f)$ , par sa densité spectrale en tension  $S_{vj}(f)$ .

$$v_j = \sqrt{S_{vj}(f)} = \sqrt{2\eta kTR_s}$$
 Équation 35

#### CHAPITRE 2 : CONCEPTION DE DIODES SCHOTTKY EN TECHNOLOGIE SILICIUM POUR APPLICATIONS TERAHERTZ

La puissance équivalente de bruit NEP peut alors se définir sous la forme donnée par l'Équation 36, où la tension de bruit v représente la somme des tension équivalentes de bruit provoquées par le bruit thermique (Équation 29) et celles dues au bruit de Grenaille (Équation 35).

$$NEP = \frac{\sqrt{2kT(2R_s + \eta R_j)}}{R_{v,f}}$$
 Équation 36

L'Équation 36 donne la valeur de la puissance équivalente de bruit NEP pour une modélisation générique en bruit de la diode Schottky (ou PN). Le NEP équivaut à la puissance donnée par le rapport signal sur bruit à l'intérieur d'une bande passante de 1 Hz. Elle s'exprime en  $\frac{pW}{\sqrt{Hz}}$ . Plus la valeur du NEP sera faible, meilleure sera la sensibilité de la diode  $\Re_{v,f}$ . En d'autres termes, la dynamique de détection de la diode sera meilleure si son plancher de bruit est réduit.

#### II.1.ii.i.3. Bruit de Flicker [68]

Le bruit de Flicker (ou bruit de scintillation) provient des défauts et impuretés dans le réseau cristallin au sein d'un matériau. Ces pièges formés de manière aléatoire dans un matériau vont libérer et capter les porteurs de charge avec des constantes de temps très élevées. Il évolue de manière inversement proportionnelle à la fréquence. Sa densité spectrale peut s'exprimer sous la forme donnée par l'Équation 37.

$$S_{iF}(f) \approx \frac{(I_d)^{\alpha}}{f^{\beta}} avec \ (0,5 < \beta < 1,3) \ et \ (0,5 < \alpha < 2)$$
 Équation 37

Le bruit de Flicker est de fait issu du passage du courant, et réside dans les structures semiconductrices. Pour des raisons statistiques, les diodes ayant les surfaces les plus faibles seront plus sensibles à ce type de bruit. Cependant, le fait de travailler à haute fréquence avec des courants faibles rend le bruit de Flicker négligeable. Il ne sera donc pas considéré dans le modèle équivalent en bruit.

# **II.2.** ETAT DE L'ART DES DIODES SCHOTTKY EN TECHNOLOGIE INTEGREES SUR SEMI-CONDUCTEUR

# **II.2.i. DIODES SCHOTTKY EN TECHNOLOGIE III-V**

Les diodes Schottky réalisées en technologie III-V AsGa (*GaAs*) se déclinent selon deux architectures majeures, si le contact est vertical ou périmétrique.

# II.2.i.a. DIODE SCHOTTKY VERTICALES EN TECHNOLOGIE III-V

La technologie de base des diodes verticales (avec « *Whisker* » *contact*) est composée de 4 couches comme l'illustre la Figure 41 (a) et (b) [69]. La cathode (contact ohmique) est élaborée à la base du substrat (AsGa dopé n+) avec une épaisseur supérieure à 100 µm, la couche active (AsGa dopé n-) de faible épaisseur et la couche d'oxyde. Les paramètres qui sont responsables de la chute de fréquence,  $C_{W1}$  et Rs, sont difficiles à optimiser dans cette technologie. La capacité  $C_{W2}$  peut, quant à elle, être facilement minimisée par l'intermédiaire d'une inductance externe. Les contacts d'anode sont réalisés en nid d'abeille (illustré Figure 41 (b)).



Figure 41 : Architecture de la diode Schottky verticale « Whisker » en technologie III-V

Par la suite, l'évolution et le meilleur contrôle du process ont permis de concevoir des structures de type disque (Substrateless), qui ont contribué à réduire la taille de la diode à environ 30  $\mu$ m (Figure 42 [69]). Leur structure est également composée d'une anode placée en nid d'abeille. Le contact d'anode est formé dans la partie active AsGa de 2-3  $\mu$ m d'épaisseur. Il est ensuite déposé sur un disque en couche d'or de 5 à 10  $\mu$ m d'épaisseur.



**Substrat cylindrique en Or** Figure 42: Architecture de la diode verticale "Substratless" en technologie III-V

De ce constat découlent deux principaux avantages : la taille totale du système et la valeur de la résistance série parasite sont diminuées. Les diodes « Substrateless », ayant une petite distance entre la couche active et la couche de métal du dos (côté substrat), fournissent une bonne dissipation thermique et offrent un fonctionnement plus fiable à haute densité de courant. Cela va ainsi provoquer une réduction du bruit engendré par le système. Le disque d'or facilite la manipulation du composant et favorise la stabilité mécanique du système. Il faut observer que la diode sans substrat est moins sensible à l'effet de peau qui avec la montée en fréquence contraint le courant à ne circuler que sur le bord des parties conductrices. L'ablation du substrat réduit donc les pertes par effet joule provoquées par l'augmentation de résistivité de la partie conductrice soumise à l'effet de peau qui va fortement s'échauffer. De plus, sa petite surface diminue les pertes de courant. En termes d'applications dans un système de réception ou de détection, ce type de diode Schottky assure un meilleur couplage entre le signal d'entrée et le guide d'ondes qui lui sera associé, et rend le système plus compact. Par conséquent, les performances sont améliorées pour les mélangeurs et les multiplieurs de fréquence appliqués aux ondes millimétriques.

Ainsi, le principal avantage des diodes verticales (« Whiskers » et « Substrateless ») est leur faible valeur de capacité de jonction (capacité de jonction à polarisation nulle de 0,7 fF) [69].

Cette diode présente toutefois plusieurs inconvénients. Elle est mécaniquement instable dans les milieux à hautes vibrations (applications spatiales et militaires) et requiert un boitier spécifique pour les applications en atmosphère cryogénique. Bien qu'elles aient été fortement utilisées dans les applications associées au domaine spatial, leur intégration dans un circuit imprimé n'est pas envisageable du fait de leur production coûteuse et de la variabilité des performances lié au procédé de fabrication. Dès lors, ces inconvénients ont encouragé le développement des diodes Schottky de type planaire.

# II.2.i.b. DIODE SCHOTTKY PLANAIRES EN TECHNOLOGIE III-V

La « *Surface Channel Planar Diode* » (illustrée sur la Figure 43 [70]) constitue le premier type de diodes planaires fabriquées. Développé en 1993 par l'université de Virginie grâce à un procédé de gravure anisotropique pour les couches de AsGa, le premier modèle de diode « *Surface Channel Planar* » fonctionnant à 180 GHz a prouvé que cette approche pouvait être compétitive face à l'architecture verticale.



Figure 43: Architecture de la "Surface Channel Planar Diodes"

Le principal attrait de cette structure réside dans le fait que la « *Surface Channel* » réduit considérablement la capacité parasite entre le contact d'anode et de cathode, si l'on remplace l'arséniure de gallium par de l'air en dessous du doigt d'anode. Le contrôle de la géométrie des bords du creux est effectué à l'aide de gravures sèches et humides. Le contrôle de la distance entre l'anode et le contact ohmique (cathode) est assuré par photolithographie. Afin d'améliorer les fréquences de coupure  $F_c$  des architectures planaires, la diode « Air Bridged planar » a vu le jour (illustrée en Figure 44 [70]) grâce à l'utilisation de 4 nouveaux procédés.

# II.2.i.b.1. Mesa structure par RIE :

La structure de la « *Mesa* » (la « *Surface Channel* ») est élaborée grâce à un procédé de type RIE (*Reactive Ion Enching*), qui, contrairement à la gravure humide, permet d'obtenir une « *Mesa* » plus petite et plus précise avec un meilleur contrôle de son architecture. Par conséquent, les paramètres parasites (résistance et capacité) peuvent être réduits et optimisés.

# II.2.i.b.2. Procédé d'air bridge :

L'avancée clé dans le procédé de réalisation de la « *Planar Bridged Diode* » est le développement d'un « *air-bridge* » robuste. La chimie de la photorésine étant devenue plus précise pour la création des masques, cela a notamment conduit à une amélioration significative du processus de *liftoff* (dépôt de matière) afin de réduire les parasites des contacts de la diode.

## II.2.i.b.3. Procédé d'amincissement du substrat dit « Substrateless » :

L'implémentation de cette technologie permet de complètement enlever le substrat en dessous du doigt d'anode. Ce processus facilite la manipulation du composant et le montage dans une structure guide d'ondes. L'épaisseur des circuits de mélange fonctionnant entre 200 à 400 GHz mesure moins de 50 µm et est inférieure à 15 µm pour 800 GHz. Cependant, une précision de moins de 5 µm est très difficile à obtenir avec ce procédé. Il rend donc la réalisation de structures proches de 15 µm relativement complexe. Ce procédé est ainsi peu performant dans la réalisation de circuits hautes fréquences.

## II.2.i.b.4. Procédé MOMED :

Ce procédé est très fiable pour diminuer l'épaisseur du substrat avec précision (de l'ordre de quelques microns), ce qui permet d'augmenter significativement la fréquence de travail du composant. Son élément clé repose sur la MBE (*Molecular Beam Epitaxy*), qui offre des membranes uniformes et précises par croissance épitaxié facilitant par la suite la technique de gravure des couches de la diode planaire.


Figure 44: Architecture de la diode avec prise de contact anode en pont à Air "Air Bridged Planar": (a) vue en coupe ; (b) Photo de deux diodes tête-bêche

Les structures planaires sont capables de supporter une intégration monolithique mais présentent néanmoins certains inconvénients. Elles possèdent une capacité parasite et une résistance série plus importantes que les diodes à contact vertical. Un retour au développement des diodes verticales a donc été remis au goût du jour.Figure 44

## II.2.i.c. DIODE SCHOTTKY QUASI-VERTICALES EN TECHNOLOGIE III-V

La diode planaire quasi-verticale, illustrée sur la Figure 45 [70], a été élaborée afin de palier le problème des valeurs importantes des composants parasites. Le contact Schottky est effectué sur la surface frontale de la couche épitaxiée (faiblement dopée), alors que le contact de cathode est formé au niveau du substrat en dessous du contact Schottky. Ceci a pour but d'assurer la circulation verticale du courant à travers la jonction Schottky en diminuant les pertes ohmiques. Cela réduit les effets d'encombrement en courant (« current crowding effects ») traduisant une forte inhomogénéité de la circulation du courant entre l'anode et la cathode. De plus, le contact ohmique effectué au dos (cathode) permet une meilleure dissipation thermique que l'AsGa. Cependant, un process plus complexe doit être mis en œuvre pour la réaliser. Elle a contribué à la réalisation d'un mélangeur fonctionnant à 664 GHz [70].



Figure 45: Architecture de la diode planaire quasi-verticale : (a) vue en coupe ; (b) Photo d'une diode quasiverticale

Les diodes planaires et quasi-verticales possèdent l'atout d'être facilement intégrables dans un circuit de réception dédié à la radioastronomie. Par ailleurs, elles sont particulièrement fiables, notamment pour une utilisation dans le domaine spatial. Cependant, la valeur importante de la capacité de jonction et des procédés de fabrication plus complexes par rapport à la diode verticale (en vue de réaliser un contact d'anode submicronique) ont rendu l'utilisation de ces diodes difficile pour des applications THz. Les trois principaux paramètres modulables pour obtenir des performances optimales sont le diamètre d'anode (contact Schottky), le dopage de la couche épitaxiée N AsGa et son épaisseur. La technologie III-V actuelle permet de réaliser un diamètre d'anode de 0,25  $\mu$ m et une capacité de barrière C<sub>j0</sub> = 0,25 fF. Aucune amélioration majeure d'architecture n'a été relatée depuis 2010.

## **II.2.ii.** DIODES SCHOTTKY EN TECHNOLOGIE SILICIUM

La jonction Schottky en technologie Silicium présente une architecture relativement différente de celle réalisée en technologie III-V.

### II.2.ü.a. DIODE SCHOTTKY EN TECHNOLOGIE CMOS

Au sein de la littérature scientifique, trois architectures de diode Schottky réalisées en technologie CMOS sont mise en avant et illustrées dans la Figure 46.



Figure 46: Architecture de diodes Schottky en technologie CMOS avec : (a) espaceurs STI ; (b) espaceurs STI et anneaux de garde P+ ; (c) espaceurs poly-silicium

La différence majeure entre les architectures illustrées dans la Figure 46 (a) et (b) et la Figure 46 (c) réside dans les espaceurs exploités pour séparer l'anode (A) est la cathode (K). En effet, les Figure 46 (a) et Figure 46 (b) montrent des séparations anode-cathode réalisées par tranchées STI (Shallow Trench Insulation) peu profondes [71] [72] [73] [74] [58]. Les tranchées STI engendrent un chemin résistif du courant à l'intérieur du caisson Nwell avec deux composantes verticales et une composante latérale. La Figure 46 (c) présente un espaceur poly-silicium Poly pour séparer l'accès d'anode et de cathode [75] [65] [76]. L'espaceur poly-silicium produit un chemin résistif contenant une unique composante latérale de circulation du courant au sein du caisson Nwell. Dans le cas des trois architectures, le courant diffuse à travers les doigts d'accès métalliques (représentés ici par les tiges d'accès nommées A et K). Envoyé sur l'accès d'anode A, le courant rencontre la métallisation créée à l'aide du siliciure (TiSi, CoSi2, NiSi etc...) déposé en surface d'anode. Ce dépôt de siliciure réalisé sur un caisson de Nwell modérément dopé (~10<sup>17</sup> cm<sup>-3</sup>) conduit à la création du contact redresseur (Schottky). Une fois la barrière de potentielle franchie, le courant diffuse à l'intérieur du caisson Nwell sous les espaceurs (STI ou polysilicium) pour les architectures respectives. Le courant remonte puis quitte la zone active par l'intermédiaire de l'accès de cathode K. Le fort dopage N+ (~10<sup>20</sup> cm<sup>-3</sup>) effectué en surface sous l'accès de cathode K est indispensable pour réaliser un contact ohmique faiblement résistif afin que le courant puisse quitter la partie frontend de la diode Schottky. Le passage d'un espaceur STI à un espaceur anode-cathode poly-silicium réduit drastiquement le chemin résistif parcourue par le courant et donc la résistance série R<sub>s</sub>. La capacité de jonction  $C_{i0}$  peut, quant à elle, être légèrement réduite en fonction du métal (module de siliciuration) choisi. A cause d'une barrière de potentiel plus faible que d'autres, certains métaux peuvent avoir un très faible impact sur sa valeur. Néanmoins, c'est avant tout la surface d'anode siliciurée et le dopage moyen à l'interface qui fixent la valeur de  $C_{i0}$ . Par conséquent, les performances des diodes à espaceur poly-silicium ( $F_c \sim 1,3$  THz) semblent être meilleures que celles avec une séparation anode-cathode avec STI (Fc ~ 1 THz). Des essais ont également été réalisés avec l'implantation d'anneau de garde P+ sous la surface d'anode pour les diodes STI [72] [58]. L'implantation de ces anneaux P+ force l'augmentation de la surface d'anode. En effet, ces implantations fortement dopées P ne doivent pas transformer le contact initialement redresseur N en Ohmique P, sinon la diode Schottky sera une jonction PN. Cet anneau de garde P+ doit être judicieusement déposé afin de réduire la concentration du dopage N à l'interface métal/semi-conducteur, sans dénaturer la jonction Schottky. Ce contre-dopage facilite l'augmentation significative de la tension de claquage  $B_v$  ainsi que la légère diminution de la capacité de jonction  $C_{i0}$ . En revanche, l'impact sur la résistance série est non négligeable lorsque cet anneau P+ est utilisé.

## II.2.ü.b. DIODES SCHOTTKY EN TECHNOLOGIE BICMOS

La technologie BiCMOS désigne une technologie incluant les procédés utilisés en technologie CMOS, et possédant des implantations supplémentaires spécifiques aux technologies de développement des transistors bipolaires. Dès lors, les temps de cycle sont plus importants en technologie BiCMOS car les étapes de fabrication CMOS et bipolaire sont une condition sine qua non. De plus, l'épaisseur et la concentration en impureté (dopants) des caissons peuvent différer entre CMOS et BiCMOS en fonction des processus de fabrication à résolution équivalente (à nœud technologique égal). La littérature scientifique témoigne d'un fort intérêt pour le type d'architecture en technologie BiCMOS illustrée par la Figure 47.



Figure 47: Architecture de diode Schottky en technologie BiCMOS

Cette architecture Schottky a été élaborée dans deux nœuds technologiques de résolution 90 nm [77] et 130 nm [78]. La siliciuration est réalisée en CoSi2 dans ces deux technologies. Le courant de diffusion circule ici au sein de la jonction Schottky de la même manière que la diode STI en technologie CMOS (Figure 46 (b)). L'isolation entre l'anode (A) et la cathode (K) est effectué par une séparation STI. L'anneau de garde P+ a été implémenté en vue d'accroître la tension de claquage des diode Schottky en technologie BiCMOS. Néanmoins, l'anneau altère les performances sur les paramètres de la diode de manière analogue à la diode Schottky CMOS. Certaines couches spécifiques sont toutefois empruntées au transistor bipolaire. L'introduction de la couche enterrée NBuried fortement dopée (~10<sup>20</sup> cm<sup>-3</sup>), initialement utilisée pour réduire la résistance lorsque le courant circule entre l'émetteur et le collecteur des transistors bipolaires, a été implantée dans l'architecture. Son rôle consiste à réduire la contribution de la résistance série R<sub>s</sub> lorsque le courant a franchi la barrière de potentiel provoquée par la zone CoSi<sub>2</sub>/P+/Nwell à la surface de l'anode. La couche Nsinker (~10<sup>19</sup> cm<sup>-3</sup>) est généralement exploitée pour reconnecter le collecteur des transitoires bipolaires (contact ohmique N+) avec la couche enterrée NBuried. Il a vocation, ici, à connecter la cathode (K) à la couche NBuried, et ainsi réduire la valeur du chemin résistif lorsque le courant remontera vers l'accès de cathode. L'isolation de la prise substrat se met en œuvre grâce à des tranchées profondes BDTI (BiCMOS Deep Trench Insulation), en moyenne dix fois plus profondes que celles d'un STI classique. Cette isolation est donc plus efficace pour empêcher le couplages capacitifs parasites entre la cathode est le substrat. Le BDTI conduit également à la diminution de l'impact du couplage capacitif de deux diodes placées en configuration antiparallèle (application mélangeur). La couche NBuried peut également provoquer une augmentation de la capacité de jonction C<sub>i0</sub> si son implantation modifie le dopage moyen perçu à l'interface de CoSi<sub>2</sub>/P+/Nwell.

## II.2.iii. COMPARAISON ET SYNTHESE DE L'ETAT DE L'ART

Une synthèse bibliographique semble nécessaire à ce stade, afin de pouvoir définir et situer l'architecture de diode Schottky développée au cours de ces travaux grâce aux technologies commerciales proposées par l'entreprise STMicroelectronics. Le Tableau 7 résume les performances des diodes Schottky reportées dans la littérature. Il regroupe les fréquences de coupure mesurées par rapport à la géométrie et aux contributions parasites de chaque diode.

			Surface d'anada	Capacité	Résistance	Fréquence	
Réf.	Diodes	Туре	u anoue Schottlyv	ionction	série	ue coupure F	Date
			$\Delta$ (um <sup>2</sup> )	C:a (fF)	$\mathbf{R}_{\mathrm{s}}\left(\mathbf{\Omega} ight)$	(THz)	
[79]	2 <b>P</b> 9	III-V « Whisker »	113	6	10	2.65	1992
[80]	6P4	III-V « Whisker »	113	20	9.5	0.83	1993
[81]	5P8	III-V « Whisker »	N. R.	13	12	1,02	2010
[81]	6P2	III-V « Whisker »	N. R.	20,1	9,5	0,83	2010
[81]	2T2	III-V « Whisker »	19,9	5,5	12	2,41	2010
[80]	SC6T1	III-V Planaire	120,7	20	20	0,39	1993
[80]	SC6T2	III-V Planaire	113	25	6	1,06	1993
[80]	SC10T1	III-V Planaire	314,1	34	24	0,19	1993
[80]	SC10T2	III-V Planaire	314,1	41	14	0,27	1993
[80]	SC10V1	III-V Planaire	314,1	51	6	0,52	1993
[80]	SC10V2	III-V Planaire	9	38	11	0,38	1993
[72]	STI TiSi	180 nm SiGe BiCMOS	1,56	23,5	6,57	1,01	2011
[72]	STI CoSi <sub>2</sub>	180 nm SiGe BiCMOS	30,25	57,4	4,78	0,49	2011
[72]	STI CoSi <sub>2</sub>	130 nm SiGe BiCMOS	1,64	7,5	15	1,41	2011
[72]	STI CoSi <sub>2</sub>	130 nm SiGe BiCMOS	0,74	4,4	33	1,09	2011
[73]	D1 (carré)	65 nm CMOS	3,69	14,3	13	0,85	2010
[73]	D2 (linéaire)	65 nm CMOS	3,63	8,3	52	0,37	2010
[73]	D3 (linéaire)	65 nm CMOS	3,5	9,6	28	0,59	2010
[73]	D4 (linéaire)	65 nm CMOS	3,68	14,7	22	0,49	2010
[73]	D5 (carré)	65 nm CMOS	3,24	7,6	75	0,28	2010
[74]	DR1	350 nm CMOS	16	22	10	0,67	2004
[74]	DR2	350 nm CMOS	1,6	2,2	90	0,8	2004
[74]	DR3	350 nm CMOS	0,64	1	200	0,8	2004
[82]	SBD mixer	130 nm SiGe BiCMOS	0,3	20	26,3	0,3	2015
[71]	SBD CoSi <sub>2</sub>	130 nm SiGe BiCMOS	1,64	14	10	1,13	2005
[76]	SBD détecteur	130 nm CMOS	1,64	8	13	1,53	2010
[83]	SBD model RF	180 nm CMOS	40	149,4	26	41	2007
[75]	Poly TiSi	130 nm CMOS	2,31	8	17	1,3	2017
[65]	Poly CoSi <sub>2</sub>	130 nm CMOS	0,16	7	200	0,28	2013

Tableau 7: Etat de l'art des diodes Schottky

Cet état de l'art permet le développement d'architectures de diode Schottky innovantes ainsi que la mise en concurrence des performances obtenues vis-à-vis de la littérature existante. En complément du Tableau 7, la Figure 48 permet d'illustrer la tendance des fréquences de coupure  $F_c$  en fonction de la surface d'anode A donné pour les diodes Schottky présentes dans la littérature scientifique. Pour les diodes Schottky en technologie III-V les diodes planaires possède une surface d'anode importante en proposant des fréquences de coupure entre 0,4 et 1 THz. Leurs évolutions en architecture III-V verticale ont permis de réduire leurs tailles d'anodes tout en augmentant les fréquences de coupure  $F_c$  atteignables autour de 2,5 THz. Concernant les diodes Schottky en technologie silicium (CMOS et BiCMOS), elle possède un dimensionnelle bien inférieur au technologie III-V et montre que des fréquences de coupure  $F_c$  comprises entre 0,4 et 1,5 THz peuvent être atteinte pour les meilleures candidates.



L'enjeu de nos travaux réside dans l'obtention d'une première faisabilité de diode Schottky en termes de composants propres afin que ses diodes puissent, à long terme, être proposées par le catalogue ST. En ce sens, une fenêtre d'objectif à attendre en termes de fréquence de coupure  $F_c$  (1 à 2 THz) pour nos futurs développements est illustré sur la Figure 48. D'une part, ces architectures innovantes seront donc poussées dans les technologies à fort potentiel RF (BiCMOS 55 nm et CMOS SOI 65 nm), du fait d'un backend épais pour le BiCMOS et du substrat isolé en CMOS SOI (couplés à leurs faibles résolutions). D'autre part dans des technologies à plus faible coût (BiCMOS et CMOS SOI 130 nm) conjointement.

## **II.3. DEVELOPPEMENT D'UNE ARCHITECTURE INNOVANTE DE DIODE SCHOTTKY AVEC LES TECHNOLOGIES SILICIUM STMICROELECTRONICS**

## II.3.i. ARCHITECTURES SCHOTTKY INNOVANTES EN TECHNOLOGIES BICMOS 130 ET 55 NM

## **II.3.i.a. PRESENTATION DES DIFFERENTES TECHNOLOGIES BICMOS**

Les technologies BiCMOS présentent l'avantage de bénéficier de l'ensemble des propriétés de la technologie CMOS couplées à des implantations spécifiques liées au transistor bipolaire. Ces technologies peuvent être distinguées en deux parties distinctes : la partie frontend FEOL (*Font End Of Line*) et la partie backend BEOL (*Back End Of Line*). La partie frontend désigne la zone où les implantations de dopant sont réalisées. Elle représente la partie dite « active » (silicium dopé) de l'ensemble des composants comme les transistors ou les diodes. La partie backend permet de contacter et d'accéder au silicium dopé du FEOL. Le BEOL est composé de plusieurs niveaux de métallisation en cuivre et entourés d'oxide de silicium SiO<sub>2</sub>. Un dépôt d'aluminium AP s'opère sur le métal supérieur de l'empilement et est encapsulé par une passivation. La partie contact au bas de l'empilement des niveaux de métaux du BEOL établit la connexion avec le FEOL. Les métaux

cuivre et aluminium sont de très bons conducteurs, et leurs dépôts s'effectuent par CVD (*Chemical Vapour Deposition*) couplée à une étape supplémentaire ECD (*Electro Chemical Deposition*) uniquement pour le cuivre. Les contacts sont effectués en tungstène, qui possède une conductivité ( $8,9.10^6 \text{ S.m}^{-1}$ ) relativement moins bonne que le cuivre (59,6.10<sup>6</sup> S.m<sup>-1</sup>) et l'aluminium (37,7.10<sup>6</sup> S.m<sup>-1</sup>). Le tungstène est plus facile à déposer par CVD dans les colonnes très étroites formant les contacts. Il évite ainsi les phénomènes de vide (contact non-rempli de métaux de manière homogène) que créent le cuivre ou l'aluminium pour le remplissage des contacts. Le SiO2 permet d'isoler deux chemins de conduction non connectés, conçus avec le cuivre du BEOL. Il est optimisé pour avoir une faible constante diélectrique ( $\varepsilon_{SiO2} \sim 4$ ), conduisant à limiter le couplage capacitif entre deux colonnes de métaux suffisamment proches. La Figure 49 illustre les empilements des technologies B55 9ML (Figure 49 (a)), B55 8ML (Figure 49 (b)) et B9MWLC (Figure 49 (c)).



Figure 49: Agencement de la technologie BiCMOS : (a) 55 nm 9ML ; (b) 55 nm 8ML ; (c) 130 nm 5ML

La partie FEOL (Figure 49) contient la partie dopée de la diode Schottky. Le siliciure qui forme le métal du contact redresseur est déposé sous le contact (à l'interface BEOL/FEOL).

## II.3.i.b. PRESENTATION DES ARCHITECTURES SCHOTTKY BICMOS 130 ET 55 NM

A la suite du benchmarking des diodes Schottky grâce à la revue de l'état de l'art, l'architecture que nous avons retenu en technologie BiCMOS compte une séparation poly-silicium empruntée à la technologie CMOS entre anode (A) et cathode (K), ainsi que des couches spécifiques du bipolaire (dopage Nsinker et isolation par BDTI avec le substrat). La vue en coupe de l'architecture de la diode Schottky FEOL sélectionnée est donc illustrée par la Figure 50.



Figure 50: Architecture innovante de diode Schottky N retenu en BiCMOS 55 nm et 130 nm

Le frontend de la diode Schottky (Figure 50) allie ainsi tous les avantages explicités dans la littérature des diodes Schottky silicium. Une conduction latérale sous l'espaceur poly-silicium (CMOS) associée au fort dopage Nsinker (BiCMOS) permettent de minimiser la résistance série  $R_s$  et d'assurer une isolation BDTI de la prise substrat (BiCMOS). La vue layout de l'ensemble de la diode (BEOL et FEOL) est donnée dans la Figure 51.



Figure 51: Layout de l'architecture Schottky N retenu en BiCMOS 55 nm et 130 nm

Le courant de diffusion au sein de l'architecture Schottky illustrée dans la Figure 51 conduit d'abord à l'intérieur du doigt d'anode (A) en forme de T. Ce doigt d'anode comporte soit 8/9 niveaux de métaux pour le BiCMOS 55 nm, soit seulement 5 niveaux pour le BiCMOS 130 nm. Il conduit les porteurs vers le contact Schottky assuré par le dépôt du siliciure (NiSi en 55 nm et  $CoSi_2$  en 130 nm) et diffuse dans le caisson Nwell, comme détaillé dans II.2.ii.a. Ce courant remonte ensuite par les deux doigts de cathode (K) formant un U sur la Figure 51. Des différences notables sont toutefois à souligner entre les deux technologies BiCMOS. En effet, le module de siliciuration réalisé en  $CoSi_2$  en BiCMOS 130 nm engendre une barrière de potentiel V<sub>b</sub> plus faible que celle induite par le NiSi du BiCMOS 55 nm lors de son dépôt à l'intérieur de l'espaceur poly-silicium. De plus, la largeur minimum  $W_{Poly}$  de l'espaceur anode-cathode sera de la même dimension que la résolution de la technologie. Cela rallonge ainsi le chemin résistif parcouru dans le caisson Nwell de 57 % en BiCMOS 130 nm, ce qui affecte la valeur de la résistance série  $R_s$ . La dernière différence réside dans le budget thermique alloué à chaque technologie, à l'étape des recuits pendant les processus de fabrication. Si le budget thermique, représentant la température allouée à l'ensemble des étapes de traitement thermique du BiCMOS 55 nm, est relativement bas,

Page 78 sur 199

celui du 130 nm est en comparaison très élevé. Cela aura pour impact de favoriser la diffusion des dopants par le Nsinker sous la surface d'anode en BiCMOS 130 nm, et donc transformer le contact initialement Schottky en contact ohmique du fait des températures et temps de recuit plus important.

## II.3.ii. ARCHITECTURES SCHOTTKY INNOVANTES EN TECHNOLOGIES CMOS SOI 130 ET 65 NM

## II.3.ii.a. PRESENTATION DES DIFFERENTES TECHNOLOGIES CMOS SOI

Contrairement au BiCMOS, les technologies CMOS SOI (*Silicon-On-Insulator*) ne possèdent pas d'implantations empruntées aux technologies bipolaires. De plus, les empilements métalliques BEOL (Figure 52) élaborés pour les technologies sur substrat SOI sont classiquement moins épais que ceux du BiCMOS.



(a) (b) Figure 52: Agencement de la technologie CMOS SOI : (a) 65 nm 5ML ; (b) 130 nm 4ML

Les dépôts de cuivre tungstène et aluminium sont également effectués par ECD (*ElectroChemical Deposition*). Grâce à un BEOL moins performant (et moins onéreux) que les technologies BiCMOS, les technologie CMOS SOI compensent ainsi les éventuelles pertes liées à la faible épaisseur de l'empilement des métaux d'accès au frontend par la structure de ce dernier. En effet, l'atout majeur des technologies SOI est leur substrat à haute résistivité. Les résistivités, données par mesures 4 pointes des substrats, sont de l'ordre de quelques k $\Omega$ .cm pour le CMOS SOI contre seulement 15 $\Omega$ .cm pour les substrats Bulk. Cette haute résistivité est assurée par l'implantation d'une couche d'oxide enterrée à quelques centaines de nanomètres dans la partie FEOL.

# II.3.ii.b. Presentation des architectures Schottky CMOS SOI 130 et 65 nm

Parmi les mentions de diodes Schottky relevées dans la littérature (Tableau 7), il faut constater qu'aucun essai de diode Schottky sur substrat SOI n'a été mentionné. Il faut ainsi garder à l'esprit que, dans ce type de technologie, les tranchées STI isolent totalement deux accès frontend en contactant l'oxide enterré. Ainsi, une séparation anode-cathode ne peut procéder avec du STI, excluant donc la majorité des candidates comme le montre la Figure 46 (a) et Figure 46 (b). Il semble toutefois raisonnable de considérer un portage de l'architecture avec un espaceur poly-silicium (Figure 46 (c)) sur substrat SOI.





La Figure 53 illustre la vue en coupe FEOL de la diode Schottky réalisée en technologie CMOS SOI 65 nm et 130 nm. Dans la partie frontend, le courant diffuse entre l'accès d'anode (A) et la cathode (K) par l'intermédiaire du caisson Nwell, comme en technologie BiCMOS. Les différentes résolutions (65 nm et 130 nm) imposent les largeurs  $W_{Poly}$  minimales pour chaque technologie CMOS SOI. La siliciuration du nœud 130 nm s'opère en CoSi<sub>2</sub> alors que celle du 65 nm réalisée en NiSi.



Figure 54: Vue layout de l'architecture Schottky N retenue en CMOS SOI 65 nm et 130 nm

La Figure 54 montre que la stratégie des accès de doigt d'anode et de cathode retenue en CMOS SOI reste la même que celle utilisée pour la conception des Schottky BiCMOS. Page **80** sur **199** 

## II.3.ii.c. Architecture Schottky innovante a dopage P en BiCMOS 55 NM

Au même titre que la diode Schottky sur substrat SOI, la diode Schottky métal/semi-conducteur P est très peu représentée dans la littérature scientifique. Ceci peut s'expliquer par le fait que la mobilité des porteurs majoritaires (les trous) est quasiment trois fois inférieure à celle des électrons. De fait, les performances intrinsèques en termes de fréquence de coupure  $F_c$  de cette architecture P semblent à priori moins compétitives que celles offertes par la Schottky N. Néanmoins, il parait pertinent d'étudier la faisabilité de ce dispositif puisque sa hauteur de barrière  $V_b$  relativement basse pourrait s'avérer utile pour des applications voulant s'affranchir de réseaux de polarisation. La Figure 55 illustre ainsi l'architecture frontend de la diode Schottky P réalisée en BICMOS 55 nm. Les doigts d'accès métalliques de la diode Schottky P s'effectuent de la même manière que la diode Schottky N illustrée par la Figure 51.



Figure 55: Architecture innovante de la diode Schottky P retenue en BiCMOS 55 nm

D'après la physique du contact métal/semi-conducteur P présentée dans la section « II.1.i.a Le contact métal/semi-conducteur type P », la partie anode se trouve côté semi-conducteur P (Pwell) et la partie cathode côté métal (NiSi). Afin que le courant de trous puisse s'établir dans la jonction, une tension négative sur l'accès d'anode A (en réalité la cathode) est envoyée et connecte l'accès de cathode K (en réalité l'anode). Dans la pratique, la diode P est montée à l'envers dans la structure de test afin de bénéficier du même plan de caractérisation que la diode Schottky N. La surface d'anode (surface Schottky utile) reste donc définie par le dépôt de siliciure à l'intérieur de l'anneau de poly-silicium comme pour la diode Schottky N. Ainsi, le courant arrive sur les doigts métalliques de l'accès cathode (K). Il traverse ensuite les contacts ohmiques P+ assurés aux accès de cathode (K). Le courant se diffuse à l'intérieur du caisson Pwell (~ 10<sup>18</sup> cm<sup>-3</sup>) sous les séparateurs Poly. Par la suite, le courant franchit la barrière Schottky formée par le dépôt de NiSi sur le caisson modérément dopé Pwell avant de ressortir par l'accès métallique du doigt d'anode (A). L'isolation avec la prise substrat s'opère par le biais de tranchées BDTI, combinées à une implantation DNW (Deep N Well) modérément dopées N en profondeur. Cette implantation engendre une isolation par jonction PN complémentaire au BDTI afin d'éviter les éventuelles fuites de courant vers les prises substrat (Sub).

## **II.4. PERFORMANCES DES DIODES SCHOTTKY INNOVANTES EN TECHNOLOGIE SILICIUM**

En vue d'analyser les performances obtenues par les diodes Schottky développées, plusieurs plans d'expérience DOE (Design Of Experiment) ont été conçues dans toutes les technologies CMOS SOI et BiCMOS qui ont été présentées dans la partie II.3. Ces DOE sont élaborés afin de pouvoir réaliser des comparaisons de performance entre les diodes Schottky, présentes dans chaque nœud technologique. Elles seront réalisées entre chaque diode dans une technologie donnée, mais également en CMOS SOI et BICMOS à résolution similaire. Les diodes Schottky élaborées dans chaque DOE sont agencées afin d'avoir des surfaces d'anode A équivalentes, et ainsi de pouvoir faire des comparaisons pertinentes des fréquences de coupure F<sub>c</sub> extraites de la mesure. La surface d'anode A est définie par l'Équation 38 comme étant le produit du nombre de doigts d'anode N<sub>finger</sub> par celui de la largeur W<sub>anode</sub> et de sa longueur L<sub>anode</sub>.

 $A = N_{finger} \times W_{anode} \times L_{anode}$  Équation 38

L'Équation 38 a vocation à décorréler les effets notables du BEOL et du FEOL sur la résistance série  $R_s$ , la capacité de jonction  $C_{j0}$  et la capacité liée au doigt d'accès métallique  $C_{Backend}$  (Figure 34) de la diode Schottky. La présentation de l'agencement global d'un DOE est explicitée dans la partie III.1.i.

## II.4.i. PERFORMANCES DES DIODES SCHOTTKY INNOVANTES BICMOS 130 nm et CMOS SOI 130 nm

## II.4.i.a. ETUDE B9MWLC (BICMOS 130 NM) ET H9SOIFEM (CMOS SOI 130 NM) CONJOINTE

	W <sub>anode</sub> (µm)	L <sub>anode</sub> (µm)	N <sub>finger</sub>	Α (μm²)	Techno	$\mathbf{R}_{\mathrm{s}}\left(\Omega ight)$	C <sub>tot</sub> (fF)	C <sub>j0</sub> (fF)	C <sub>BE</sub> (fF)	F <sub>c</sub> (THz)	I <sub>sat</sub> (nA)	η	V <sub>b</sub> (V)
D1	0,50	0,50	4	1	B9MW	116,85	6,77	2,26	4,51	0,60	12,14	1,72	0,41
<b>D2</b>	0,75	0,67	2	1	B9MW	139,74	5,64	2,31	3,33	0,49	28,53	1,93	0,39
D3	1,00	0,50	2	1	<b>B9MW</b>	138,31	5,60	2,27	3,33	0,51	15,72	1,64	0,41
<b>D4</b>	0,50	1,00	4	2	B9MW	68,56	10,27	4,54	5,73	0,51	29,36	1,65	0,41
D5	0,75	1,33	2	2	B9MW	82,48	8,99	4,53	4,46	0,43	28,17	1,67	0,41
<b>D6</b>	0,75	0,67	4	2	B9MW	70,17	10,32	4,51	5,81	0,50	23,93	1,63	0,41
<b>D7</b>	1,00	0,50	4	2	B9MW	68,42	10,35	4,53	5,82	0,51	28,43	1,63	0,41
<b>D8</b>	0,75	1,33	4	4	B9MW	41,53	17,14	9,04	8,10	0,42	50,18	1,65	0,41
<b>D1</b>	0,50	0,50	4	1	H9SOI	295,99	5,68	0,92	4,76	0,58	0,11	1,19	0,53
D2	0,75	0,67	2	1	H9SOI	386,85	4,21	0,96	3,25	0,43	0,65	1,37	0,49
D3	1,00	0,50	2	1	H9SOI	369,18	4,22	0,95	3,27	0,46	0,34	1,28	0,50
<b>D4</b>	0,50	1,00	4	2	H9SOI	186,46	11,57	1,90	9,67	0,45	0,84	1,30	0,50
D5	0,75	1,33	2	2	H9SOI	256,11	6,41	1,90	4,50	0,33	0,86	1,32	0,50
<b>D6</b>	0,75	0,67	4	2	H9SOI	193,75	7,68	1,90	5,78	0,43	0,79	1,30	0,50
<b>D7</b>	1,00	0,50	4	2	H9SOI	182,53	7,72	1,86	5,86	0,47	0,35	1,24	0,52
<b>D8</b>	0,75	1,33	4	4	H9SOI	129,13	12,16	3,78	8,38	0,33	1,28	1,27	0,50

Les résultats du DOE conçu en technologie 130 nm BiCMOS et CMOS sont donnés dans le Tableau 8.

Tableau 8: Diodes Schottky réalisées en BiCMOS 130 nm (B9MW) et CMOS SOI 130 nm (H9SOI)

Le Tableau 8 regroupe au total 16 diodes Schottky N avec l'ensemble de leurs paramètres extraits des mesures (méthode détaillée dans la partie III.2). Parmi ces 16 diodes, 8 couples de dimensionnels identiques (D1 à D8) pour chaque technologie B9MW (130 nm BiCMOS) et H9SOI (130 nm CMOS SOI) permettent de comparer l'impact des deux technologies à structure équivalente.



Figure 56: FEOL des diodes Schottky réalisées en : (a) BiCMOS 130 nm (B9MW) ; (b) CMOS SOI 130 nm (H9SOI)

L'ensemble des valeurs des paramètres extraits découlent principalement à la partie frontend (Figure 56) de la diode. Il faut cependant noter que le backend de chaque diode définit totalement la valeur de la capacité de backend  $C_{BE}$  et de façon très minoritaire la valeur de la résistance série  $R_s$ . L'extraction des paramètres  $V_b$ ,  $\eta$  et I<sub>sat</sub> offrent des informations sur la création physique du contact Schottky dans chaque technologie. En effet, les hauteurs de barrière  $V_b$  extraites possèdent une valeur différente entre les Schottky B9MW (0,41 V) et H9SOI (0,5 V). Ce phénomène semble, à première vue, assez surprenant car les contacts Schottky sont effectués dans chaque cas par dépôt de COSi<sub>2</sub> sur Nwell. Ces valeurs  $V_b$  extraites différent, par ailleurs, des hauteurs de barrière théoriques (cf. Tableau 6) pour ce type de contact. Il est ainsi possible de déduire que la concentration en dopants à l'intérieur du caisson Nwell s'avère moins élevée en CMOS SOI qu'en BICMOS. Le dopage moyen  $N_D$  perçu à l'interface métal/semi-conducteur sera moins important en CMOS SOI. De plus, les valeurs du facteur d'idéalité  $\eta$ , étant plus élevées en BICMOS qu'en CMOS SOI, traduisent le fait que les porteurs majoritaires sont plus nombreux dans le caisson Nwell du B9MW. Cela se répercute sur les valeurs du courant de saturation  $I_{sat}$ . Les valeurs de ces courants, en moyenne 100 fois plus élevées en B9MW qu'en H9SOI, témoignent également de l'influence des différents caissons Nwell.



Figure 57: Comparaison entre les paramètres des diodes B9MW et H9SOI de : (a)  $R_s$ ; (b)  $C_{i0}$ ; (c)  $F_c$ 

La Figure 57 montre les variations de la fréquence de coupure (Figure 57 (c)) de  $R_s$  (Figure 57 (a)) et  $C_{j0}$ (Figure 57 (b)) en fonction de la surface d'anode A pour les diodes réalisées en technologie CMOS SOI et BiCMOS 130 nm. Le passage d'une technologie commerciale CMOS SOI au BICMOS (ayant la même résolution) permet un abaissement de la valeur de  $R_s$  d'en moyenne 65%. Néanmoins, la capacité jonction  $C_{j0}$ sera augmentée d'en moyenne 58% pour une surface d'anode A donnée. Cet impact révèle une nouvelle fois l'influence des caissons Nwell ayant un dopage et une épaisseur différents dans chaque technologie. Bien que la capacité  $C_{j0}$  sois relativement constante avec l'évolution de la surface d'anode dans chaque technologie, la

résistance série  $R_s$ , quant à elle, subit de légères variations alors que A est constante. Pour des largeurs d'anode intermédiaires ( $W_{anode} = 0.75\mu$ m), le matriçage du nombre de doigts d'anode (Figure 61 (b)) affecte la valeur de la résistance série  $R_s$ . Le facteur de forme associé à la largeur d'anode  $W_{anode}$  et les accès BEOL ont ainsi un impact (mineur) sur la valeur  $R_s$ . En effet, les accès BEOL étant moins performants (car moins épais) que sur des nœuds technologiques plus avancés, il faudra à la fois en tenir compte et rajouter plusieurs doigts (de manière raisonnée) avec une largeur d'anode  $W_{anode}$  autour de 0,5 µm pour une optimisation plus fine du composant. En termes de fréquence de coupure, cette optimisation existe pour les couples des diodes B9MW et H9SOI pour la diode D1 avec une valeur de  $F_c$  autour de 660 GHz. L'ensemble des autres fréquences de coupure  $F_c$  varie entre 400 et 500 GHz pour la technologie BiCMOS 130 nm et entre 300 et 400 GHz pour la technologie CMOS SOI 130 nm. Par conséquent, le compromis  $R_s/C_{j0}$  semble naturellement meilleur en BiCMOS 130 nm. Concernant la tension de claquage  $B_v$ , elle est supérieure à 7V en polarisation négative, mais une forte croissance du courant de fuite  $I_{leak}$  est observée à partir de  $B_v = - 6V$  dans chaque technologie 130 nm.

## II.4.i.b. ETUDE B9MWLC (BICMOS 130 NM) COMPLEMENTAIRE

La technologie commerciale BICMOS 130 nm proposée par STMicroelectronics possède un budget thermique relativement important. Cette propriété du processus de fabrication B9MW rend possible la réalisation d'une étude complémentaire sur le développement Schottky N. En effet, lors des premières réalisations de diodes Schottky avec Nsinker sur ce nœud technologique, la distance L (illustrée dans la Figure 58(a)) entre le bord de l'espaceur poly-silicium et celui de la couche Nsinker a été dessinée avec la distance minimale (0,175 $\mu$ m) admissible par la technologie. Le résultat obtenu fut donc un contact ohmique assez résistif à la place d'une diode Schottky. Ainsi, l'idée d'un DOE a été suggérée sur la distance L. L'objectif de la conception d'expérience DOE est donc d'établir l'existence d'un point process qui permettrait de réduire conjointement la hauteur de barrière V<sub>b</sub> et la résistance série R<sub>s</sub>.



Figure 58: FEOL des diodes Schottky à injection de porteurs réalisées en BiCMOS 130 nm (B9MW) : (a) vue en coupe : (b) vue de la diffusion thermique des implantations

Un écart suffisamment fin comprenant six valeurs de distance L Nsinker/Poly a été retenu pour cette étude (Tableau 9). La Figure 58(b) montre la diffusion du Nsinker à l'intérieur du caisson Nwell après les étapes de traitement thermique. Avec une longueur L de 0,175µm, les atomes donneurs engendrés par l'implantation Nsinker ont diffusé sous la surface d'anode délimitée par l'anneau de poly-silicium créant un contact ohmique. Avec une longueur L supérieure à 0,75µm l'implantation Nsinker est suffisamment éloignée de la surface d'anode pour que la diffusion des dopants ne détériore pas le contact Schottky. Un impact mineur sur les performances intrinsèques de la diode, par rapport aux diodes reportées dans le Tableau 8, peut cependant être relevé. Les cas les plus intéressants sont observés pour une distance layout L comprise 0,335 et 0,75µm. En effet, comme illustré sur la Figure 58(b), les différents recuits du processus de fabrication ont permis à l'implantation Nsinker de diffuser légèrement sous le poly-silicium en dénaturant le contact Schottky sans le rendre complétement ohmique. Le Tableau 9 regroupe donc les 6 composants (1 contact ohmique (L = 0,175µm) et 5 diodes Schottky (0,175µm  $\leq L \leq 1,5µm$ )) réalisés pour cette étude complémentaire en BICMOS 130 nm. Effectuer une injection de porteurs

sous la surface d'anode permet donc de réduire la résistance  $R_s$  de 45 à 70% avec une augmentation de la capacité de jonction  $C_{j0}$  de 45 à 65%. Malgré l'augmentation de  $C_{j0}$ , le gain sur  $R_s$  reste suffisamment significatif pour obtenir des fréquences de coupures autour de 1 THz contre initialement autour de 500 GHz. De plus, la hauteur de la barrière  $V_b$  été significativement réduite de 0,41 V (Tableau 8) à 0,23 V (Tableau 9) pour la plus basse.

L (µm)	0.175	0.335	0.5	0.75	1	1.5		
R <sub>s</sub> (Ω)	9,0	12,6	22,8	33,4	52,9	61,4		
C <sub>j0</sub> (fF)	X	13,4	7,3	4,6	4,6	4,6		
η	Χ	2,84	2,08	2,16	2,06	1,96		
V <sub>b</sub> (V)	X	0,23	0,32	0,34	0,35	0,36		
I <sub>leak</sub> (mA)	X	1,4	0,13		0,0018			
F <sub>c</sub> (THz)	X	0,94	0,95	1,02	0,65	0,55		
<b>B</b> <sub>v</sub> (V)	X	-2	- 3,5	-7	-7	-7		

Tableau 9: Diodes Schottky complémentaires réalisées en BiCMOS 130 nm (B9MW)





L'injection de porteurs présente toutefois deux principaux inconvénients. Ces défauts sont illustrés sur les différentes caractéristiques du courant-tension de la Figure 59 lorsque les diodes sont polarisées en inverse. En effet, la réduction de la hauteur de barrière  $V_b$  entraîne une dégradation conjointe de la tension de claquage  $B_v$  et du courant de fuite  $I_{leak}$ . Il est cependant possible d'estimer la valeur du courant fuite  $I_{leak}$  en fonction de la distance Nsinker/Poly L utilisée lors de la conception du masque dans la technologie B9MW par l'Équation 39.





*Figure 60: Tracé semi-log de ln*( $I_{leak}$ ) = f(L)

La courbe présentée sur la Figure 60 montre que le courant de fuite  $I_{leak}$  évolue de manière exponentielle sous l'effet du paramètre de conception L. L'évolution du courant de fuite montre le passage d'un contact ohmique (15,5 mA) qui devient ensuite rapidement Schottky pour admettre une valeur typique de courant de fuite (1,8 µA) lorsqu'aucune injection de porteur n'est réalisée. Enfin, le cas L = 0,75 µm apparait comme le plus intéressant car il produit le meilleur compromis  $R_s/C_{j0}$  avec une hauteur de barrière  $V_b$  légèrement diminuée (0,34 V contre 0,41 V). Il conserve également un courant de fuite  $I_{leak} = 1,8$  µA et une tension de claquage Bv = -7 V, typique d'une diode Schottky avec la technologie BiCMOS 130 nm de chez STMicroelectronics.

## II.4.ii. PERFORMANCES DES DIODES SCHOTTKY INNOVANTES BICMOS 55 NM ET CMOS SOI 65 NM

## II.4.ii.a. Etude B55 (BICMOS 55 NM) et C065SOIFEM (CMOS SOI 65 NM) Conjointe

L'étude conjointe dans les technologies BiCMOS 55 nm et CMOS SOI 65 nm tend à établir la faisabilité d'un développement de diodes Schottky dans ces technologies plus avancées que les nœuds 130 nm. Ce DOE conjoint a été élaboré dans chacune des deux technologies avec des surfaces d'anode Schottky équivalentes allant de 4 à 32  $\mu$ m<sup>2</sup>. Les surfaces d'anode A retenues sont volontairement importantes, en vue de réduire l'incertitude d'extraction de la capacité de jonction C<sub>j0</sub> lors des mesures. La capacité de jonction C<sub>j0</sub> étant extraite grâce des simulations TCAD pour les surfaces les plus agressives, l'idée sous-jacente est également de pouvoir confronter les deux méthodes d'extractions. Le principe des deux méthodes d'extraction est explicité dans le paragraphe III.2.i.c et la comparaison est développée dans la partie III.2.i.d. L'étude conjointe de la technologie B55 et C65SOIFEM met en lumière, dans un premier temps, l'impact de la métallisation des doigts d'accès d'anode et de cathode sur les performances des diodes Schottky. L'analyse portera par la suite sur l'impact du périmètre de la surface d'anode A avant de conclure sur les performances obtenues au cours de cette étude.

II.4.ii.a.1. Etude d'impact de la métallisation des doigts d'accès

Le Tableau 10 regroupe les paramètres des diodes Schottky fabriquées dans l'étude d'impact du BEOL dans les technologies B55 et C65SOI.

	W <sub>anode</sub> (um)	L <sub>anode</sub> (um)	N <sub>finger</sub>	A (um <sup>2</sup> )	Techno	BEOL	$\mathbf{R}_{s}$ ( <b>Ω</b> )	C <sub>j0</sub> (fF)	C <sub>BE</sub> (fF)	F <sub>c</sub> (THz)	I <sub>sat</sub> (pA)	η	V <sub>b</sub> (V)
D2	0,31	3,23	4	4	B55	1	30,3	8,9	1,9	0,59	4,52	1,19	0,65
<b>D6</b>	0,31	3,23	8	8	B55	1	16,2	17,8	3,6	0,55	8,20	1,19	0,65
<b>D10</b>	0,31	3,23	16	16	B55	1	8,4	36,0	22,5	0,52	19,03	1,19	0,65
D14	0,31	3,23	32	32	B55	1	6,3	73,2	13,9	0,34	39,71	1,20	0,65
D2	0,31	3,23	4	4	B55	2	23,3	9,0	5,6	0,75	3,98	1,18	0,65
<b>D6</b>	0,31	3,23	8	8	B55	2	12,8	18,2	11,1	0,68	9,32	1,19	0,65
<b>D10</b>	0,31	3,23	16	16	B55	2	7,9	36,8	22,5	0,54	17,88	1,19	0,65
D14	0,31	3,23	32	32	B55	2	5,4	75,4	44,9	0,39	36,68	1,19	0,65
D2	0,27	3,7	4	4	C65SOI	1	45,7	4,2	1,1	0,82	0,23	1,12	0,73
<b>D6</b>	0,27	3,7	8	8	C65SOI	1	23,9	8,4	1,9	0,79	0,31	1,10	0,74
<b>D10</b>	0,27	3,7	16	16	C65SOI	1	13,1	16,7	3,4	0,73	0,56	1,09	0,74
D14	0,27	3,7	32	32	C65SOI	1	8,8	38,6	12,4	0,47	1,05	1,09	0,74
D2	0,27	3,7	4	4	C65SOI	2	45,6	4,1	4,2	0,85	0,95	1,17	0,69
<b>D6</b>	0,27	3,7	8	8	C65SOI	2	21,3	8,2	8,4	0,91	0,36	1,10	0,73
<b>D10</b>	0,27	3,7	16	16	C65SOI	2	11,6	16,3	16,5	0,84	0,62	1,09	0,74
D14	0.27	3.7	32	32	C65SOI	2	7.6	38.4	39.6	0.54	1.19	1.08	0.74

Tableau 10: Diodes Schottky réalisées en BiCMOS 55 nm (B55) et CMOS SOI 65 nm (C65SOI) pour l'étudede l'impact des métaux d'accès anode-cathode

Des quatuors de 4 diodes Schottky (D2, D6, D10 et D14) ont été produits comportant les deux backend illustrés dans la Figure 61 pour conduire cette étude. La différence entre les parties de frontend de chaque diode dans les deux technologies est illustrée dans la Figure 62.





**BEOL 1 Accès mi-doigt (a)** 

BEOL 2 Accès doigt complet (b)

Figure 61 : BEOL des diodes Schottky réalisées en BiCMOS 55 nm (B55 8ML) et CMOS SOI 65 nm (65SOI) : (a) BEOL 1 Accès mi-doigt ; (b) BEOL 2 Accès doigt complet

Le premier changement déterminant apporté par les technologies homologues en 130 nm (B9WM et H9SOIFEM) est la largeur de l'espaceur anode-cathode 55 nm pour la Figure 62 (a) et 65 nm pour la Figure 62 (b) contre 130 nm pour la Figure 56. Le second est le module de siliciuration NiSi utilisé pour réaliser le contact redresseur pour les nœuds avec une résolution inférieure à 65 nm.



Figure 62: FEOL des diodes Schottky réalisées en : (a) BiCMOS 55 nm (B55 8ML) ; (b) CMOS SOI 65 nm (65SOI)

Dans le tableau 5, l'extraction de l'ensemble des paramètres  $R_s$ ,  $C_{j0}$ ,  $F_c$ ,  $I_{sat}$ ,  $\eta$  et  $V_b$  de la diode Schottky montre que, de la même manière que pour les technologies 130 nm (II.4.i.a), le caisson Nwell du B55 possède une concentration de dopants plus importante que celle du C65SOI. La métallisation réalisée par NiSi (0,65 à 0,74 V) a toutefois tendance à accroître la barrière de potentiel  $V_b$  vis-à-vis du COSi<sub>2</sub> (0,41 à 0,5 V). En outre, le développement de diodes Schottky sur des résolutions plus agressives conduit à une réduction de la résistance série  $R_s$  sans significativement affecter la capacité de jonction  $C_{j0}$ . Dès lors, les diodes ayant une surface d'anode A de 4  $\mu$ m<sup>2</sup> (D2 en 55/65 nm et D8 en 130 nm) présentent une amélioration de la fréquence de coupure  $F_c$  de 44 % en BiCMOS à 61 % en CMOS SOI, à travers la diminution de la résolution du nœud technologique.

Afin d'optimiser la conception de la diode Schottky en vue de l'intégrer dans des circuits fonctionnant à très hautes fréquences, l'étude présentée par la Figure 63 propose une étude d'impact des accès métalliques d'anode et de cathode de la diode Schottky. En effet, la modulation de la capacité liée au backend  $C_{BE}$  contribue à modifier l'impédance que présentera la diode à un circuit afin d'aider à l'adaptation du composant et de ce circuit.

L'ensemble des graphiques de la Figure 63 représente les variations des paramètres  $R_s$ ,  $C_{j0}$  et  $C_{BE}$  de deux diodes en BiCMOS 55 nm (bâtons pleins) et C065SOI (bâtons hachurés) à surface d'anode A donnée. Les comparaisons (en %) des BEOL 1 accès mi-doigt (cyan) et BEOL 2 accès doigt complets (magenta) sont décrites pour une technologie donnée. Par ailleurs, il est intéressant de noter qu'une erreur d'instanciation pendant la conception du DOE a été faite pour les diodes Schottky de  $16\mu m^2$  de surface d'anode en B55. En effet, le BEOL 2 a été implémenté deux fois. Cette erreur permet donc de déduire qu'une variation de 6% de la résistance série  $R_s$  ainsi qu'une de 2% de la capacité de jonction  $C_{j0}$  ne sont pas significatives et sont, de fait, comprises dans les marges de variation du processus de fabrication. Elles font ainsi écho à la partie FEOL.



Figure 63: Impact de la métallisation des doigts d'accès BEOL d'anode et de cathode pour les technologies B55 et C65SOI sur: (a) la résistance série  $R_s$ ; (b) la capacité de jonction  $C_{j0}$ ; (c) la capacité de backend  $C_{BE}$ 

La Figure 63 (a) montre qu'une métallisation complète des doigts d'accès anode-cathode conduit à une réduction de la valeur de  $R_s$  d'en moyenne 20% pour le B55 et de 11% pour le C065SOI. Le cas 4µm<sup>2</sup> est intéressant en CMOS 65 nm SOI car il laisse supposer que, pour des surfaces d'anode A faibles (entre 1 et 4µm<sup>2</sup>), aucun impact négatif n'est à envisager sur la résistance série  $R_s$ . La Figure 63 (b) montre que la métallisation midoigt n'influence aucunement la capacité de jonction  $C_{j0}$ . Ce constat est particulièrement pertinent dans la mesure où la capacité de jonction  $C_{j0}$  ne dépend pas du BEOL. La Figure 63 (c) illustre la modulation de la capacité de backend  $C_{BE}$  obtenue par conception. Le passage à une métallisation mi-doigt présente l'avantage de diminuer la capacité  $C_{BE}$  de 66% en moyenne en B55 contre 76% en C065SOI à surface d'anode A donnée. Cette étude permet ainsi de conclure que la modulation de la capacité backend  $C_{BE}$  pourra être réalisée avec un impact très restreint sur la fréquence de coupure  $F_c$ .

#### II.4.ii.a.2. Etude d'impact du périmètre de la surface d'anode A

Sur l'ensemble des structures embarquées de cette étude (Tableau 11), une augmentation significative de la capacité de jonction  $C_{j0}$  a été relevée tandis que la surface d'anode A reste constante. Cette évolution doit être analysée avec soin puisqu'elle semble *a priori* contre-intuitive. En effet,  $C_{j0}$  demeure majoritairement fixée par la surface d'anode A. Une nouvelle grandeur, virant avec le matriçage du nombre de doigts d'anode à surface A constante, doit être introduite. Le périmètre Schottky P est ici défini par l'Équation 40.

$$P = (2 \times L_{anode} + 2 \times W_{anode}) N_{finger}$$
Equation 40

Le périmètre P prend en compte l'ensemble des périmètres unitaires au sein d'une diode Schottky. Il est donc strictement croissant avec l'augmentation du nombre de doigts d'anode  $N_{finger}$ . Le Tableau 11 rassemble l'ensemble des diode Schottky conçues avec le BEOL 2 (doigt d'accès avec métallisation complète) pour mener cette étude. Il regroupe également les paramètres clés ( $R_s$ ,  $C_{j0}$ ,  $C_{BE}$  et  $F_c$ ) en lien avec les performances de la diode. Le Tableau 11 met en lumière les deux configurations possibles pour les diodes mises en structure de test. La configuration dite « Classique » correspond à une diode unique alors que celle dite « Parallèle » est construite à l'aide de deux diodes « Classique » ou « Parallèle » mises en parallèle. Ce choix a été déterminé par la nécessité de mettre en plot des diodes ayant des facteurs de forme important. Un premier exemple de cette diode « Classique » mise en parallèle est apporté par la diode D8 (élaborée avec deux diodes Schottky D7). Un second provient de la diode D16 (réalisée avec deux diodes D5, chacune en configuration parallèle).

Le Tableau 11 comporte 32 diodes Schottky associées à 16 diodes équivalentes en termes de géométrie pour BiCMOS 55 nm et CMOS SOI 65 nm. Il semble pertinent de relever que les diodes Schottky B55 présentent une implantation Nsinker sous leurs contacts de cathode. L'étude développera, par la suite, uniquement les spécificités du C65SOIFEM car l'impact du périmètre P est plus marqué sur l'évolution des performances qu'en B55. Un comparatif sera cependant proposé puisque l'étude a été réalisée sur les deux technologies.

	Wanode	Lanode	Na	Α	Tachno	R <sub>s</sub>	$C_{j0}$	C <sub>BE</sub>	$\mathbf{F}_{\mathbf{c}}$	Р	Configuration	
	(µm)	(µm)	1 ¶finger	(µm²)		<u>(Ω)</u>	( <b>fF</b> )	( <b>fF</b> )	(THz)	(µm)	Comiguration	
<b>D1</b>	0,31	6,45	2	4	B55	23,4	8,9	4,5	0,76	27,05	Classique	
D2	0,31	3,23	4	4	B55	23,3	9,1	5,7	0,75	28,29	Classique	
<b>D3</b>	0,31	1,61	8	4	B55	23,38	9,3	8,4	0,73	30,77	Classique	
<b>D4</b>	0,31	0,81	16	4	B55	24,51	9,6	15,5	0,68	35,73	Classique	
<b>D5</b>	0,31	6,45	4	8	<b>B55</b>	13,06	17,9	8,8	0,68	54,09	Classique	
<b>D6</b>	0,31	3,23	8	8	B55	12,87	18,2	11,1	0,68	56,57	Classique	
<b>D7</b>	0,31	1,61	16	8	B55	13,27	18,7	17,3	0,64	61,53	Classique	
<b>D8</b>	0,31	0,81	32	8	B55	13,66	19,6	30,4	0,59	71,45	Parallèle	
<b>D9</b>	0,31	6,45	8	16	B55	7,82	36,3	17,4	0,56	108,19	Classique	
D10	0,31	3,23	16	16	<b>B</b> 55	7,95	36,9	22,5	0,54	113,15	Classique	
<b>D11</b>	0,31	1,61	32	16	<b>B55</b>	8,17	38,3	33,9	0,51	123,07	Parallèle	
D12	0,31	0,81	64	16	<b>B55</b>	8,07	39,9	60,3	0,49	142,91	Parallèle	
D13	0,31	6,45	16	32	<b>B55</b>	5,39	73,9	35,4	0,40	216,37	Classique	
D14	0,31	3,23	32	32	<b>B55</b>	5,45	75,5	44,9	0,39	226,29	Parallèle	
D15	0,31	1,61	64	32	B55	5,36	78,6	67,9	0,38	246,13	Parallèle	
D16	0,31	0,81	128	32	B55	5,35	83,8	122,9	0,36	285,81	Parallèle	
<b>D</b> 1	0,27	7,41	2	4	C65SOI	41,7	3,9	3,6	0,97	30,71	Classique	
D2	0,27	3,70	4	4	C65SOI	45,7	4,1	4,2	0,85	31,79	Classique	
D3	0,27	1,85	8	4	C65SOI	44,3	4,4	5,9	0,82	33,95	Classique	
D4	0,27	0,93	16	4	C65SOI	41,1	4,8	10,4	0,81	38,27	Classique	
D5	0,27	7,41	4	8	C65SOI	20,9	7,8	6,9	0,97	61,42	Classique	
<b>D6</b>	0,27	3,70	8	8	C65SOI	21,4	8,2	8,4	0,91	63,58	Classique	
<b>D7</b>	0,27	1,85	16	8	C65SOI	20,9	8,6	11,8	0,88	67,90	Classique	
<b>D8</b>	0,27	0,93	32	8	C65SOI	22,3	10,5	21,9	0,68	76,54	Parallèle	
D9	0,27	7,41	8	16	C65SOI	11,4	15,7	13,7	0,89	122,84	Classique	
D10	0,27	3,70	16	16	C65SOI	11,6	16,3	16,5	0,84	127,16	Classique	
<b>D11</b>	0,27	1,85	32	16	C65SOI	12,4	19,9	26,8	0,65	135,80	Parallèle	
D12	0,27	0,93	64	16	C65SOI	12,2	20,6	43,5	0,63	153,08	Parallèle	
D13	0,27	7,41	16	32	C65SOI	7,1	31,8	28,1	0,70	245,68	Classique	
D14	0,27	3,70	32	32	C65SOI	7,7	38,3	39,6	0,54	254,32	Parallèle	
D15	0,27	1,85	64	32	C65SOI	7,6	39,4	53,4	0,53	271,60	Parallèle	
D16	0.27	0.93	128	32	C65SOI	7.5	41.4	87.8	0.51	306.16	Parallèle	

Tableau 11: Diodes Schottky réalisées en BiCMOS 55 nm (B55) et CMOS SOI 65 nm (C65SOI) pour l'étuded'impact du périmètre de la surface d'anode



Figure 64: Courbes traduisant l'impact du périmètre Schottky P sur la capacité de jonction  $C_{j0}$  en 65SOI : (a)  $C_{j0} = f(P)$ ; (b) Augmentation de  $C_{j0}$  avec la configuration

La Figure 64 (a) montre que l'évolution de la capacité  $C_{j0}$  est proportionnelle à l'augmentation du périmètre P. Pour une surface d'anode A donnée, la valeur de la capacité  $C_{j0}$  (normalement établie grâce à la dimension de A) admet une valeur minimale lorsque son périmètre P, et par extension son nombre de doigts d'anode  $N_{finger}$ , l'admettent également. La Figure 64 (b) montre l'augmentation de la capacité de jonction  $C_{j0}$  (en %) lorsque le nombre de doigts d'anode  $N_{finger}$  est doublé à surface d'anode A fixée. De manière générale, la valeur de la capacité de jonction  $C_{j0}$  augmente de 5% quand le nombre de doigts d'anode  $N_{finger}$  est doublé à surface A égale, et alors que la configuration « Classique » ou « Parallèle » est figée. Néanmoins, le passage d'une configuration « Classique » à « Parallèle » à surface d'anode A donnée provoque une augmentation de 18% de  $C_{j0}$ . Le BiCMOS 55 nm possède un impact périmétrique beaucoup plus modéré car, dans cette technologie, si le nombre de doigts  $N_{finger}$  est doublé, la capacité de jonction  $C_{j0}$  subira une augmentation de 5% indépendamment de la configuration. En définitif, le périmètre P n'ayant pas d'influence sur la résistance série  $R_s$  des diodes Schottky, le nombre de doigts d'anode peut être minimisé afin d'obtenir la capacité de jonction  $C_{j0}$  la faible possible.

Technologie	C065SOIFEM	B55				
Avantages FEOL	SOI semble contribuer à minimiser les pertes dans la partie passive de la diode.	Nsinker permet de réduire la résistance R <sub>s</sub>				
Dopage moyen à la jonction	$N_D \sim 1$ , $3  imes 10^{17}~cm^{-3}$	$N_D \sim 3.6 \times 10^{17} \ cm^{-3}$				
Comportement de R <sub>s</sub> à surface équivalente A	Augmentation de 45%	Diminution de 45%				
Comportement de C <sub>j0</sub> à surface équivalente A	Diminution de 56%	Augmentation de 56%				
$\begin{array}{c} \mbox{Modulation de la valeur} \\ \mbox{$C_{\rm BE}$} \end{array}$	76%	66%				
Dégradation de R <sub>s</sub> à la suite de la Modulation maximum de C <sub>BE</sub>	11%	20%				
Effet du l'augmentation du périmètre P à surface d'anode A donnée sur C <sub>j0</sub>	Augmentation de 5 à 18%	Augmentation inférieure à 5%				
Tension de claquage B <sub>v</sub>	~ - 8 V	~ - 8 V				
Fréquence de coupure F <sub>c</sub>	~ 1 THz	~ 800 GHz				

Tableau 12: Comparaison de l'impact technologique sur les diodes Schottky réalisées en BiCMOS 55 nm et<br/>en CMOS SOI 65mn

## II.4.ii.b. Etudes B55 (BICMOS 55 NM) COMPLEMENTAIRES

Cette section propose deux études complémentaires menées avec des diodes Schottky développées en BiCMOS 55 nm. La première étude, initialement pensée en vue d'établir une première faisabilité d'architecture Schottky sur le nœud B55, souligne l'impact de la largeur  $W_{anode}$  sur les performances du composant. La seconde analyse permet de mettre à profit et de mieux comprendre l'impact des implantations disponibles dans le processus de fabrication commercial de STMicroelectronics pour un développement de ce type de diodes Schottky.

La Figure 65 rend compte de l'ensemble des frontends mis à profit pour comprendre l'impact sur les implantations des diodes Schottky de la seconde étude. Les Figure 65 (a), Figure 65 (b) et Figure 65 (c) montrent des diodes Schottky N selon une différente concentration de dopants répartis dans la jonction (Nsinker et NBuried). La Figure 65 (d) illustre une architecture de diode Schottky P pouvant être analysée et comparée à ses homologues N. Le frontend FEOL 1 (Figure 65 (a)) est le seul retenu dans le cadre de l'étude d'impact de la largeur d'anode  $W_{anode}$ .



Figure 65: FEOL utilisé pour les deux études complémentaires en BiCMOS 55 nm : (a) Nwell + Nsinker ; (b) Nwell + NBuried ; (c) Nwell + Nsinker + NBuried ; (d) Pwell

#### II.4.ii.b.1. Impact de la largeur Wanode en BiCMOS 55 nm :

Les diodes Schottky de cette analyse comportent une métallisation complète de leurs doigts d'accès d'anode et de cathode (Figure 61 (b)). Seul le dopage donné par la Figure 65 (a) (FEOL 1) est utilisé pour comprendre l'impact de la largeur d'anode  $W_{anode}$ . Ainsi, neuf couples de diodes D1 à D9 avec des largeurs de  $W_{anode}$  de 0,31 µm et 0,52 µm sont fabriqués pour mener à bien cette analyse. Le dimensionnel et les principaux paramètres extraits en mesure sont données dans le Tableau 13. Aucune variation significative n'est observée ni sur l'évolution de la hauteur de barrière  $V_b$ , ni sur celle du facteur d'idéalité  $\eta$ . Le courant de saturation  $I_{sat}$  possède une valeur qui ne varie que très peu à surface d'anode A donnée. L'ensemble des tensions de claquage  $B_v$  demeurent autour de -8V avec peu de variations (fait non rapporté dans le Tableau 13). Ces premières remarques sont essentielles car les implantations réalisées (FEOL 1) sont identiques pour les diodes Schottky N dans cette étude.

	Wanode	Lanode	N	Α	<b>I</b> <sub>sat</sub>	~		R <sub>s</sub>	$C_{j0}$	$\mathbf{F}_{\mathbf{c}}$
	(µm)	(µm)	<sup>⊥</sup> ¶finger	(µm²)	( <b>p</b> A)	Ч	<b>У</b> Ь ( <b>V</b> )	(Ω)	( <b>fF</b> )	(THz)
<b>D1</b>	0,31	0,81	2	0,5	0,59	1,17	0,65	153,2	1,8	0,59
<b>D2</b>	0,31	3,23	1	1	1,06	1,15	0,66	78,7	2,3	0,89
<b>D3</b>	0,31	1,61	2	1	1,06	1,17	0,66	77,9	2,6	0,79
<b>D4</b>	0,31	3,23	2	2	1,94	1,16	0,66	39,9	4,3	0,93
<b>D5</b>	0,31	1,61	4	2	1,96	1,16	0,66	39,5	4,8	0,84
<b>D6</b>	0,31	3,23	4	4	4,82	1,17	0,65	21,2	8,2	0,91
<b>D7</b>	0,31	1,61	8	4	5,20	1,17	0,65	21,2	9,3	0,81
<b>D8</b>	0,31	3,23	8	8	8,80	1,16	0,66	11,5	16,3	0,85
<b>D9</b>	0,31	6,45	4	8	9,46	1,16	0,65	11,9	15,3	0,87
<b>D1</b>	0,52	0,96	1	0,5	0,28	1,13	0,67	187,2	1,4	0,63
<b>D2</b>	0,52	0,96	2	1	0,77	1,14	0,66	92,2	2,3	0,73
D3	0,52	1,92	1	1	0,63	1,13	0,67	97,7	2,0	0,80
<b>D4</b>	0,52	0,96	4	2	1,72	1,15	0,66	46,5	4,4	0,78
<b>D5</b>	0,52	1,92	2	2	1,33	1,13	0,67	50,1	3,7	0,85
<b>D6</b>	0,52	0,96	8	4	2,93	1,14	0,67	25,2	8,4	0,75
<b>D7</b>	0,52	1,92	4	4	3,51	1,14	0,66	25,5	7,1	0,88
<b>D8</b>	0,52	1,92	8	8	5,44	1,14	0,67	13,9	13,9	0,82
D9	0,52	3,85	4	8	5,23	1,13	0,67	14,7	12,8	0,84

Tableau 13 : Diodes Schottky FEOL 1 utilisées pour l'étude complémentaire sur l'impact de Wanode



Figure 66: Impact de la largeur  $W_{anode}$  pour les diodes Schottky B55 FEOL 1 sur : (a) la résistance série  $R_s$ ; (b) la capacité de jonction  $C_{j0}$ ; (c) la Fréquence de coupure  $F_c$ 

La Figure 66 souligne l'impact de la largeur d'anode W<sub>anode</sub>, qui représente la largeur de la métallisation NiSi à l'intérieur de l'espaceur poly-silicium. La Figure 66 (a) montre l'évolution de la résistance série  $R_s$  avec la surface d'anode Schottky A. La tendance donnée par la décroissance des valeurs de résistances série R<sub>s</sub> est donc bien proportionnelle à l'inverse de la racine carrée de A quelle que soit la largeur W<sub>anode</sub>. Dès lors, l'augmentation de la largeur d'anode W<sub>anode</sub> à 0,52 µm pour des surfaces d'anode allant de 0,5 à 2 µm<sup>2</sup> engendre une hausse de 20% de la valeur de R<sub>s</sub>. Ce pourcentage d'augmentation demeure valable pour les surfaces d'anode A comprises entre 4 et 8  $\mu$ m<sup>2</sup>, mais les valeurs de R<sub>s</sub> engagées pour ces surfaces Schottky restent très proches. La diminution de la résistance série  $R_s$  semble avoir atteint sa limite de décroissance rapide en fonction de la surface d'anode A à partir de 8µm<sup>2</sup>. Une décroissance beaucoup plus lente s'opère toujours pour des surfaces A variant de 8 à 32 µm<sup>2</sup> (voir les diodes Schottky B55 FEOL 1 présentées dans le Tableau 11). L'augmentation de W<sub>anode</sub> à 0,52 µm a cependant l'effet inverse sur la capacité de jonction C<sub>i0</sub>. En effet, une diminution d'en moyenne 20% est observée par rapport à la largeur de référence de 0,31 µm. La Figure 66 (b) souligne l'évolution de la capacité  $C_{i0}$  qui est directement proportionnelle à la dimension de la surface d'anode A. La croissance de  $C_{i0}$  étant donc globalement plus rapide que la décroissance de la résistance série Rs lorsque la surface d'anode A s'agrandit, le meilleur compromis entre R<sub>s</sub> et C<sub>i0</sub> est donc atteint dans l'intervalle A  $\in$  [0,5 ; 8]  $\mu$ m<sup>2</sup>. Ce compromis est donc mis en valeur par la fréquence de coupure  $F_c$  donnée sur le graphique Figure 66 (c). L'ensemble des fréquences de coupure F<sub>c</sub> se situe donc autour de 800 GHz. Il cependant possible de remarquer trois diodes Schottky à 900 GHz. En effet, les diodes ayant le plus petit périmètre P (le moins de doigt d'anode N<sub>finger</sub>) pour 1, 2 et 4 µm<sup>2</sup> de surface d'anode A et une largeur  $W_{anode} = 0.31 \,\mu m$ , constituent un meilleur compromis  $R_s/C_{j0}$  et approchent donc la meilleure configuration accessible pour les diodes Schottky ayant un FEOL 1 (Nwell + Nsinker). Pour la surface d'anode de  $0.5\mu$ m<sup>2</sup>, la fréquence de coupure est seulement de 600 GHz dans les deux cas. La valeur de R<sub>s</sub> provoquée par ce dimensionnel est trop élevée par rapport à la valeur de capacité de jonction C<sub>i0</sub> extraite en mesure. En conclusion, une étude réalisée sur la largeur Wanode pourrait être envisageable afin de vérifier si l'optimum est atteint pour  $0.31\mu$ m, autour de ce point de fonctionnement pour des surfaces A allant de 1 à 4  $\mu$ m<sup>2</sup>. Cette potentielle étude constituerait une optimisation plus poussée du composant qui permettrait éventuellement de dépasser 1 THz de fréquence de coupure, mais en aucun cas de doubler sa valeur initiale à processus de fabrication commercial constant.

#### II.4.ii.b.2. Etude d'impact du frontend N et P en BiCMOS 55 nm :

La conduite de l'étude d'impact selon différente implantations (FEOL 1 à 4) présentes dans le procédé de fabrication commercial de STMicroelectronics a nécessité le choix de 4 familles de 4 diodes ayant le même backend (cf Figure 61 (b)). Cette étude s'appuie sur les résultats obtenus de l'étude conjointe B55/65SOI ainsi que sur ceux de l'analyse effectuée pour observer l'influence de la largeur d'anode  $W_{anode}$  en BiCMOS 55 nm. En effet, des diodes ayant un périmètre restreint avec des surfaces d'anode allant de 2 à 16 µm<sup>2</sup> ont été précédemment retenues. L'enjeu sera dans un premier temps d'établir et de décorréler les différents impacts des implantations Nsinker et NBuried à l'intérieur du caisson Nwell, puis de réaliser une étude de faisabilité des diodes Schottky P en technologie BiCMOS. Un fait important est à prendre compte pour cette étude, dans la mesure où

l'implantation Nsinker a été rapprochée d'une distance L = 250 nm de l'espaceur poly-silicium entre anode et cathode (Figure 58(a)) pour le frontend FEOL 1 (Figure 65 (a)) et 3 (Figure 65 (c)). Le Tableau 14 relate le dimensionnel et les paramètres extraits en mesure des diodes Schottky BiCMOS 55 nm avec les 4 frontend (FEOL 1 à 4) présentés dans la Figure 65.

	W <sub>anode</sub> (µm)	L <sub>anode</sub> (µm)	N <sub>finger</sub>	Α (μm <sup>2</sup> )	FEOL	I <sub>sat</sub> (A)	η	V <sub>b</sub> (V)	B <sub>v</sub> (V)	R <sub>s</sub> (Ω)	C <sub>j0</sub> (fF)	F <sub>c</sub> (THz)
D10	0,31	3,23	2	2	2	0,77 pA	1,17	0,68	- 8	73,3	3,2	0,67
D11	0,31	3,23	4	4	2	1,02 pA	1,14	0,69	- 8	37,8	6,5	0,65
D12	0,31	6,45	4	8	2	1,58 pA	1,12	0,69	- 8	21,3	12,7	0,59
D13	0,31	6,45	8	16	2	3,41 pA	1,13	0,69	- 8	12,6	25,6	0,49
D10	0,31	3,23	2	2	3	4,1 pA	1,23	0,63	- 6	28,4	5,3	1,04
D11	0,31	3,23	4	4	3	7,44 pA	1,22	0,64	- 5,8	15,3	10,9	0,96
D12	0,31	6,45	4	8	3	15,3 pA	1,21	0,64	- 5,6	9,4	22,2	0,77
D13	0,31	6,45	8	16	3	31,71 pA	1,22	0,64	- 5,2	6,4	44,5	0,56
<b>D10</b>	0,31	3,23	2	2	1	4,15 pA	1,23	0,63	- 6,2	30,0	5,3	1,00
D11	0,31	3,23	4	4	1	7,48 pA	1,22	0,64	- 5,8	16,2	10,7	0,92
D12	0,31	6,45	4	8	1	14,33 pA	1,20	0,64	- 5,5	9,7	22,1	0,75
D13	0,31	6,45	8	16	1	33,14 pA	1,22	0,63	- 5,2	6,5	44,3	0,56
<b>D10</b>	0,31	3,23	2	2	4	0,19 µA	1,12	0,36	- 6,8	241,7	4,1	0,16
D11	0,31	3,23	4	4	4	0,39 µA	1,13	0,36	- 6	134,2	8,4	0,14
D12	0,31	6,45	4	8	4	1,03 µA	1,12	0,35	- 4,2	43,8	18,6	0,20
D13	0,31	6,45	8	16	4	2,22 µA	1,13	0,35	- 3,6	22,3	38,3	0,19

Tableau 14: Diodes Schottky B55 utilisées pour l'étude complémentaire sur l'impact frontend FEOL 1 à 4

Concernant les diodes Schottky N (FEOL 1 à 3), deux tendances influent de manière remarquable sur les paramètres. Ces deux tendances sont identifiables par la présence (FEOL 1 et 3) ou non (FEOL 2) de la couche Nsinker. En effet, les valeurs des hauteurs de barrière  $V_b$  et de tension de claquage  $B_v$  se retrouvent légèrement réduites, de respectivement 0,06 V et d'environ 2V, pour les cas où l'implantation Nsinker (FEOL 1 et 3) est mise en œuvre. Bien que l'impact sur le facteur d'idéalité  $\eta$  ne soit pas notable, le courant de saturation I<sub>sat</sub> qui en résulte est divisé par dix pour les diodes Schottky ne comptant pas d'implantation Nsinker (FEOL 2). Cette première analyse permet dès lors de conclure qu'une minorité (car  $\eta$  n'est pas proche de 2) de porteurs majoritaires a été injectée sous l'espaceur poly-silicium pour les FEOL 1 et 3. A l'instar de l'étude II.4.i.b conduite en BiCMOS 130 nm, la modulation de la hauteur de barrière  $V_b$  peut être perçue, mais avec très peu de diffusion thermique de la couche Nsinker engendrée par les étapes de recuit du processus de fabrication B55. Quant aux diodes Schottky P, le comportement majoritaire anticipé est effectivement présent sur les paramètres V<sub>b</sub>,  $B_{y}$ ,  $\eta$  et  $I_{sat}$ . En effet, la hauteur de barrière  $V_b$  et la tension de claquage  $B_v$  sont presque divisées par 2 par rapport aux Schottky N. Il faut noter que, pour les diodes P, D10 et D11, un courant de fuite important apparait à partir d'une polarisation inverse de 4V. Par ailleurs, le facteur d'idéalité  $\eta$  n'influence aucunement le passage d'une diode N à P. L'augmentation de 10<sup>6</sup> du courant de saturation Isat est intrinsèquement liée à l'abaissement conjoint de la hauteur de barrière V<sub>b</sub> et de la tension de claquage B<sub>v</sub>. La Figure 67 développe en détails l'influence des paramètres clés Rs, Ci0 et Fc, qui définissent les performances du composant en fonction de l'agencement frontend (Figure 65) des diodes Schottky à surface d'anode A équivalente.



Figure 67: Impact du frontend pour les diodes Schottky B55 FEOL 1 à 4 sur : (a) la résistance série  $R_s$ ; (b) la capacité de jonction  $C_{j0}$ ; (c) la fréquence de coupure  $F_c$ 

La Figure 67 (a) décrit l'évolution de la résistance série Rs pour une surface d'anode A donnée. La couche Nsinker ajoutée aux diodes Schottky N (FEOL 1 et 3) présente l'avantage de réduire la valeur de Rs de 60% par rapport à celle de l'architecture Schottky comportant uniquement le NBuried (FEOL 2). Un parallèle peut dès lors être établi entre les diodes Schottky FEOL 2 (avec NBuried) D11 D12 D13 et les diodes D2 D5 D9 (sans Nsinker ni NBuried) ayant le même dimensionnel (Tableau 14). Cette mise en parallèle souligne que seul le NBuried permet de réduire R<sub>s</sub> de 38%. Cependant, l'impact du NBuried reste très faible lorsque le Nsinker est implanté sous les accès de cathode. Il est donc possible d'affirmer que la diffusion du courant I<sub>d</sub> s'effectue majoritairement de manière latérale entre l'anode et la cathode dans une couche d'environ 100 nm d'épaisseur à l'intérieur du caisson Nwell. La résistance série  $R_s$  de la Schottky P (FEOL 4) subit une augmentation de 80% à surface d'anode A équivalente en comparaison avec les diodes Schottky N les moins résistives (FEOL 3). Cette différence s'explique par le fait que le caisson Pwell génère un courant de trous trois fois moins mobiles que celui d'électrons. Intrinsèquement trois fois plus résistif, le caisson Pwell ne bénéficie pas d'implantations qui, à l'image du Nsinker, permettrait d'augmenter le nombre de ses porteurs majoritaires sous le contact de cathode. La Figure 67 (b) se concentre sur les variations de la capacité de jonction  $C_{i0}$  par rapport au changement d'implantation réalisé à surface d'anode A équivalente. Pour les Schottky N, le Nsinker (FEOL 1 et 3) produit une augmentation du dopage moyen N<sub>D</sub> perçu à l'interface NiSi. Ce phénomène traduit ainsi l'augmentation de 40% de la valeur de C<sub>j0</sub> pour les frontend FEOL 1 et 3 par rapport au FEOL 2. Le parallèle entre les diodes Schottky FEOL 2 (avec NBuried) D11 D12 D13 et les diodes D2 D5 D9 (sans Nsinker ni NBuried) du Tableau 14 peut être tracé pour la capacité C<sub>j0</sub>. De manière surprenante, le NBburied contribue à une réduction de 28% de la capacité C<sub>i0</sub>. Cette diminution de C<sub>i0</sub> semble contre-intuitive puisque l'implantation de couche de la NBuried ne devrait pas faire décroître le dopage moyen N<sub>D</sub> constaté à l'interface entre NiSi et le caisson Nwell. Concernant la Schottky P, la capacité de jonction C<sub>j0</sub> extraite demeure importante dans la mesure où le caisson Pwell possède généralement une plus forte concentration d'atomes accepteurs NA en son sein que le caisson Nwell en atome donneur  $N_D$ . Toutefois, l'augmentation de C<sub>i0</sub> résulte essentiellement de la diminution de la hauteur de barrière  $V_b$ . Les fréquences de coupure  $F_c$  extraites de la mesure sont présentées dans la Figure 67 (c). Ainsi, les meilleures performances sont obtenues avec les diodes Schottky ayant une implantation Nsinker (FEOL 1 et 3). La réduction de 250 nm de l'espace d'implantation du Nsinker grâce à l'espaceur poly-silicium permet d'atteindre des fréquences de coupure autour de 1 THz pour les diodes ayant une surface A d'anode de 2  $\mu$ m<sup>2</sup>. Une baisse moyenne de 100GHz est relevée lorsque la surface d'anode A est doublée. L'ajout du NBuried (FEOL 3) renforce légèrement l'optimisation du compromis entre  $R_s$  et  $C_{i0}$  sans provoquer pour autant une augmentation significative de la fréquence de coupure F<sub>c</sub>. Les diodes Schottky FEOL 2 (avec NBuried) D11 D12 D13 et les diodes D2 D5 D9 (sans Nsinker ni NBuried) du Tableau 14 possèdent des fréquences de coupures autour de 650 GHz en moyenne. En l'absence d'un Nsinker implanté sous le contact de cathode, la valeur résistive du chemin moyen parcouru par le courant à l'intérieur du Nwell subit une dégradation non négligeable. Quant à la Schottky P (FEOL 4), les fréquences de coupure F<sub>c</sub> se situent autour de 200 GHz. La forte résistance R<sub>s</sub> induite par le courant de trous du caisson Pwell et la forte capacité  $C_{i0}$  due à la faible hauteur de barrière déterminent cette dégradation de 80% de la fréquence de coupure F<sub>c</sub> obtenue, par rapport à la Schottky N.

## **II.4.iii. PERFORMANCES DES DIODES SCHOTTKY INNOVANTES RESITUEES PAR RAPPORT A L'ETAT DE L'ART**

Les performances des diodes Schottky N et P développées chez STMicroelectronics dans différents nœuds technologiques nécessitent d'être positionnées vis-à-vis de l'état de l'art. Dans un premier temps, les fréquences de coupure  $F_c$  des Schottky réalisées au cours de ses travaux seront comparées à celles des diodes Schottky présentées dans la littérature. Ensuite, un comparatif complémentaire sur l'évolution des différentes hauteurs de barrière  $V_b$  sera proposé.

## II.4.iii.a. Performances reportees pour une montee en frequence F<sub>c</sub> vers le THz

La Figure 68 propose une comparaison des fréquences de coupures  $F_c$  obtenues avec la majeure partie des diodes Schottky développées au cours de ces travaux et l'ensemble des diodes Schottky silicium publiées dans la littérature.



*Figure 68: Fréquence de coupure F<sub>c</sub> des diodes Schottky développées et positionnées par rapport à l'état de l'art* 

Les fréquences de coupure mesurées des diodes Schottky développées dans ces travaux, ainsi que les fréquences de coupure mesurées par d'autres chercheurs ayant publié dans la littérature scientifique sont présentées dans la Figure 68. La comparaison est proposée pour des surfaces d'anode équivalentes. Les diodes développées à l'état de l'art sont illustrées dans la Figure 68 sous forme de croix, tandis que celles produites durant le développement de ses travaux sont représentées avec des formes pleines (ronds, triangles et carrés). Deux tendances sont clairement apparentes sur ce graphique. Pour l'ensemble des Schottky N développées au

cours de ces travaux, la diminution de la résolution du nœud technologique permet, à surface égale, de quasiment doubler la fréquence de coupure. Cette tendance se retrouve pour une surface d'anode 4 µm<sup>2</sup> où l'évolution de la fréquence F<sub>c</sub> est significative entre les diodes BiCMOS 130 et 55 nm, mais également entre les diodes CMOS SOI 130 et 65 nm. La diode Schottky [73] ayant les meilleures performances pour 4  $\mu$ m<sup>2</sup> de surface d'anode A s'opère sur un nœud CMOS 65 nm. Elle est en parfait accord avec la diode Schottky développée en C65SOI en termes de fréquence de coupure F<sub>c</sub>. Ce constat semble logique dans la mesure où les architectures Schottky réalisées (espaceur Poly) et la résolution de la technologie CMOS sont analogues. La seconde tendance provient de l'état de l'art. Les diodes Schottky ayant les meilleures fréquences de coupure sont obtenues dans les technologies CMOS 130 nm, BiCMOS 130 nm et BiCMOS 180 nm, Côté BiCMOS [71] [72], des espaceurs anode cathode sont élaborés grâce à un STI, alors que côté CMOS [75] [76], un espaceur Poly a été privilégié. De fait, l'espaceur Poly semble donc diminuer la résistance série R<sub>s</sub> et confirmer qu'un chemin latéral plus court devrait être préféré à un chemin vertical avec l'espaceur STI pour le courant circulant dans la diode. Néanmoins, les diodes fabriquées dans [71] [72] [75] [76] présentent une particularité commune puisque leurs surfaces d'anode A sont conçues à l'aide de motifs Schottky ayant une surface métallisée unitaire minimale, accessibles par unique contact, et mises en parallèle (Figure 69 (a)). Cette stratégie semble aller à l'encontre de notre analyse sur l'optimisation du compromis R<sub>s</sub>/C<sub>j0</sub> et notamment la valeur de la résistance série R<sub>s</sub>. La capacité de jonction Ci0 est ainsi fixée par la surface A du dépôt métallique sur le caisson Nwell. Elle se fige indépendamment de la configuration décrite dans la Figure 69 (a) ou la Figure 69 (b), si l'effet du périmètre P du dépôt métallique est négligeable. Dès lors, la densité de courant semble avoir une meilleure réparation au sein de la structure proposée par l'état de l'art (Figure 69 (a)) que celle retenue dans notre l'étude (Figure 69 (b)).



Figure 69: Stratégie d'agencement des surfaces d'anodes dans : (a) la littérature ; (b) ces travaux de thèse

Cette baisse de la résistance série  $R_s$  demeure surprenante dans la mesure où aucune des architectures présentées dans [71] [72] [75] [76] n'utilise d'implantation spécifique pour réduire sa valeur. Cette architecture décrite dans la Figure 69 (a) mériterait d'être portée sur les technologies commerciales de STMicroelectronics avec les implantations spécifiques (Nsinker et NBuried) afin de comprendre si un gain d'au moins 500 GHz sur les fréquences  $F_c$  est véritablement atteignable.

La Figure 70 décrit les tendances globales des performances obtenues à l'état de l'art pour les technologies silicium et III-V. Les diodes Schottky verticales III-V offrent ainsi les meilleures performances en termes de fréquence de coupure  $F_c$ . Toutefois, l'évolution des processus de fabrication des diodes planaires III-V en termes d'intégration a considérablement aidé l'architecture verticale à s'imposer. Les technologies CMOS et BiCMOS ont l'atout d'une forte densité d'intégration ainsi que d'un coût de fabrication plus faible que les technologies III-V. L'inconvénient majeur réside dans la mobilité réduite des porteurs majoritaires à l'intérieur du silicium.



Figure 70: Performances visées et obtenues positionnées par rapport à l'état de l'art

La Figure 70 met en lumière les objectifs fixés en termes de fréquences de coupure  $F_c$  en lien avec les performances obtenues pour les travaux accomplis au cours du développement des diodes Schottky. De ce fait, l'ensemble des travaux réalisés s'inscrivent dans la tendance des diodes Schottky développées en technologie silicium. Dans le cas de surfaces d'anode comprises entre 0,5 et 2  $\mu$ m<sup>2</sup>, une fréquence de coupure autour de 1 THz est atteinte, et rentre dans le cadre des objectifs initialement prévus pour cette première étude de faisabilité. En revanche, les performances des diodes Schottky développées n'ont pas réussi à s'inscrire de manière significative dans la tendance engendrée par les fréquences de coupure  $F_c$  vues en technologie III-V. L'augmentation des valeurs des fréquences de coupure  $F_c$  obtenues peut être envisagée avec l'usage d'implantations spécifiques réduisant la résistivité du caisson Nwell. Cependant, cette opération à un coût financier supplémentaire important car il nécessite l'utilisation de nouveau masque et donc d'un procédé de fabrication spécifique. Il est important de noter que ce surcoût est intéressant s'il permet d'obtenir une fréquence de coupure supérieur ou égale à 2 THz. En effet, si une forte dénaturation du contact Schottky (le rendant quasiohmique) associé à un simple gain de 200 GHz sont observés alors l'investissement n'est tout simplement pas rentable.

## II.4.iii.b. Performances reportees pour une reduction de la barriere de potentiel $V_B$

L'abaissement de la hauteur de la barrière de potentiel  $V_b$  peut s'avérer pertinente en vue de s'affranchir du circuit de polarisation. Sur un plan financier, la réduction de la surface globale d'un système complet contribue à optimiser son coût de fabrication. Sur un plan technique, les circuits de polarisation peuvent s'avérer compliqués à concevoir et implémenter lorsqu'une montée en fréquence du système global est prévue. Le circuit de polarisation DC pourrait induire des pertes nuisant à l'acheminement du signal hyperfréquence de l'entrée vers la sortie du circuit RF au sein d'un même système en augmentant de surcroit sa surface utilisée. La Figure 71 présente les différentes hauteurs de barrière  $V_b$  reportées dans la littérature scientifique, comparée à celles obtenues au cours de ces travaux.





Figure 71 : Hauteur de barrière V<sub>b</sub> des diodes Schottky développées positionnées par rapport à l'état de l'art

Les hauteurs de barrière de potentiel V<sub>b</sub> en fonction du type du métal et du dopage à l'interface sont décrites selon la surface d'anode Schottky A sur la Figure 71. Les hauteurs de barrière V<sub>b</sub> demeurent indépendantes de la variation de la surface d'anode mais peuvent fluctuer au cours du processus de fabrication. En effet, la technologie BiCMOS 130 nm détaillée dans [71] offre une barrière plus importante (0,52 V) que les trois diodes Schottky B9MW réalisées sans injection de porteur (0,42 V). Cela est également le cas pour les technologies CMOS 65 des Schottky développées dans [73] (V<sub>b</sub> = 0,43 V), contrairement à celles conçues en C65SOI (V<sub>b</sub> = 0,74 V). Les variations relevées semblent donc être majoritairement dues au dopage et aux profondeurs des différents caissons Nwell. Naturellement, aucune variation ne devrait être observée alors que les nœuds 130 nm utilisent chacun un contact Schottky CoSi2/N et les nœuds 65 nm un contact NiSi/N. Les hauteurs de barrières réduites possèdent donc un dopage N<sub>D</sub> moyen plus fort que l'interface métal semi-conducteur. Cela est confirmé par les essais d'injection de porteurs réalisés à l'aide de l'implantation Nsinker en technologie BiCMOS 130 nm et BiCMOS 55 nm. L'injection de porteurs accroît considérablement le dopage moyen N<sub>D</sub> vu à l'interface métal semi-conducteur et réduit la hauteur de barrière de potentiel V<sub>b</sub>. Le budget thermique de la technologie BiCMOS 130 nm admet une forte diffusion de l'implantation Nsinker diminuant la barrière de 0,2V. Celui du BiCMOS 55 nm étant beaucoup moins élevé, la diffusion du Nsinker est fortement amoindri, et rend la chute de la hauteur de barrière quasiment inexistante (0,02 V). La réduction de barrière déclenche toutefois une forte dégradation de la tension de claquage  $B_y$  de la diode Schottky (détaillée dans la partie II.4.i.b).

## **II.5.** CONCLUSION

Dans ce chapitre, nous avons présenté l'ensemble du travail de conception, fabrication et mesure d'architecture de diodes Schottky innovantes dans 4 technologies commerciales proposées chez STMicroelectronics. Nous avons également montré la faisabilité de ce composant en proposant des fréquences de coupure à l'état de l'art autour de 1 THz sans l'utilisation de masques spécifiques afin de conserver une solution commerciale existante et donc la moins onéreuse possible.

Nous nous sommes intéressés, dans un premier temps, au fonctionnement physique de la jonction Schottky. Cette étude a trait à revenir sur la formation du contact Schottky et sur les différences auxquelles nous devrons nous préparer pour entrevoir des développements de diodes Schottky N et P. Elle met également l'accent sur la formation d'un contact ohmique réalisé à l'aide d'une couche tampon fortement dopée N ou P à l'interface métal/semi-conducteur. Afin d'élaborer une diode Schottky intégrée sur silicium, l'utilisation de ses deux contacts est requise afin de créer le contact Schottky du côté de l'anode et de réduire la résistance d'accès du côté de la cathode.

Dans un second temps, nous avons conduit une revue de l'état de l'art en vue de préciser les performances de la majorité des diodes Schottky développées dans les technologies silicium mais aussi en III-V. Cette revue nous a aidé à mettre en œuvre des architectures innovantes qui n'avaient pas été mentionnées dans la littérature scientifique. C'est ainsi que nous avons tiré profit des avantages d'un espaceur anode-cathode réalisé par poly-silicium emprunté à la technologie CMOS, associée à des couches spécifiques telles que les isolations BDTI ou les implantations Nsinker/NBuried initialement utilisées dans les technologies bipolaires. Des essais sur substrat SOI ont également été effectués pour compléter le panel des architectures Schottky innovantes.

Lors du développement de ces architectures Schottky, des études conjointes entre les différentes technologies ont pu être menées. Nous pouvons en premier lieu constater que, pour une architecture donnée, la résolution détermine le chemin résistif parcouru par le courant à l'intérieur de la partie active de la diode. Dès lors, plus le nœud technologique sera agressif, moins la résistance série de la diode sera élevée. La capacité de jonction résulte ainsi de la dimension de la surface Schottky, du dopage moyen vu à l'interface et de la hauteur de barrière engendrée par la nature du contact N ou P. Nous avons également conduit une étude sur la modulation de la hauteur de barrière V<sub>b</sub> afin de montrer que celle-ci était aisément réalisable lors de l'étape de conception si le budget thermique du processus de fabrication permet une injection de porteurs par diffusion de dopant.

Les performances obtenues ont ensuite été positionnées par rapport à l'état de l'art. Les fréquences de coupure obtenues autour de 1 THz demeurent ainsi inférieures aux performances des diodes Schottky réalisées en technologie III-V, mais s'inscrivent dans la tendance donnée par l'ensemble des diodes Schottky vues en technologie CMOS et BiCMOS. Les perspectives qui peuvent être entrevues à la suite de ces développements seraient de repenser l'agencement de l'architecture de la diodes Schottky en utilisant des masques d'implantations spécifiques pour diminuer la résistivité du caisson Nwell les 100 premiers nanomètres de son épaisseur. Cependant cette opération est couteuse car elle nécessite de définir une nouvelle route du procédé de fabrication et s'écarte donc d'un développement commercial. De plus, il n'est pas garanti que cette optimisation permette de doubler la fréquence de coupure actuelle à 2 THz en ne détériorant pas le nature Schottky du contact et en le rendant ohmique.



Page 100 sur 199

Dans le chapitre précédent, nous avons présenté l'ensemble des architectures innovantes de diodes Schottky développées dans des technologies silicium propriétaires chez STMicroelectronics. Plusieurs conceptions de plans d'expérience ont permis d'optimiser ces architectures afin que des fréquences de coupure autour de 1 THz soient atteintes dans les technologies BiCMOS 55 nm et CMOS SOI 65 nm. Les performances mesurées ont également été comparées aux diodes Schottky présentées dans la littérature scientifique. En ce sens, il est possible de noter que des performances à l'état de l'art ont été obtenues. Une amélioration de la fréquence de coupure est difficilement envisageable avec les procédés de fabrication commerciaux disponibles, toutefois cela pourrait être envisageable dans le cas de l'introduction d'une implantation spécifique servant à réduire la résistivité de la partie semi-conductrice de la diode Schottky. Dès lors, le composant ne serait plus "gratuit" car il utiliserait des étapes de fabrication non standard. Cependant, il n'est pas possible de garantir que cet essai, onéreux du point de vue du processus de fabrication, permettra une montée significative de la fréquence de coupure du composant sans dénaturer son fonctionnement redresseur.

Dans ce contexte, en vue d'affiner la compréhension du fonctionnement intrinsèque de la diode Schottky et de supporter le développement de démonstrateurs THz, nous avons mis au point une stratégie de modélisation analytique recouvrant l'ensemble des diodes Schottky précédemment développées. Dans un premier temps, nous présenterons la stratégie de conception utilisée pour identifier les diodes Schottky les plus performantes. Cette stratégie exposera, en premier lieu, les détails relatifs à l'élaboration de la définition des plans d'expérience DOE (*Design Of Experiment*), puis nous détaillerons les outils sélectionnés pour effectuer l'ensemble des caractérisations servant à extraire les principaux paramètres intrinsèques de la diode Schottky. Une seconde partie sera dédiée à l'ensemble de la stratégie de modélisation mise en place pour prédire les performances des diodes Schottky développées, ainsi que sa validation et son implémentation dans un logiciel de simulation circuit.

## **III.1. STRATEGIE DE MISE EN PLOTS ET DE CARACTERISATION DES DIODES SCHOTTKY**

## **III.1.i.** ELABORATION DES PLANS D'EXPERIENCE (DOE)

## III.1.i.a. PARAMETRES VARIABLES POUVANT IMPACTER LES PERFORMANCES DE LA DIODES SCHOTTKY

Les paramètres variables lors de la conception d'un DOE de diodes Schottky sont multiples. Néanmoins, les performances globales de la jonction métal/semi-conducteur ne semblent pas nécessairement affectées par l'ensemble de ces derniers. Ces paramètres peuvent toutefois être répartis en deux catégories. Les éléments géométriques liés à la définition du dimensionnel des jeux de masques permettant la fabrication de la diode Schottky composent la première famille. Les concentrations en atomes donneurs ou accepteurs utilisées pour doper la partie semi-conductrice de la diode Schottky forment le second ensemble. Ces paramètres process sont généralement fixés par la technologie considérée. C'est le cas dans le contexte d'un schéma d'intégration n'induisant aucune étape spécifique. Le concepteur bénéficie donc d'une grande liberté de choix afin de pouvoir définir le dimensionnel des masques utilisables. Il doit cependant respecter les règles de dessin critiques imposées par la technologie afin que le processus de fabrication soit réalisable. Cependant, les masques (Nsinker, N+ et Nburied) utilisés pour définir les zones d'implantations possèdent une concentration fixée par le type d'atomes (Arsenic, Phosphore, Bore,  $BF_2$  etc...) et par l'énergie des implanteurs calibrée pour la réalisation du processus de fabrication. Le dimensionnel des zones d'implantation apparait comme le paramètre modifiable par le concepteur lorsque le design de diodes Schottky est concu dans une technologie existante avec la contrainte de n'imposer aucune étape additionnelle spécifique (afin que l'intégration de la diode Schottky soit « gratuite »). Le terme « gratuit » traduit le fait que si aucune introduction de jeux de masques initialement non prévu dans le flow du processus de fibration est nécessaire pour la manufacture d'un composant alors aucun surcout important n'est à prendre en considération.



Figure 72: Diodes Schottky comportant : (a) 1 doigt d'anode ; (b) 2 doigts d'anode ; (c) 4 doigts d'anode

La Figure 72 illustre les principaux paramètres variables sur la géométrie de la diode Schottky. La surface d'anode A reportée et donnée par l'Équation 38 regroupe de fait la prise en compte de la variation du nombre de doigts d'anode  $N_{finger}$  pour une largeur  $W_{anode}$  et longueur  $L_{anode}$  décrivant une surface d'anode unitaire. La comparaison des performances étant effectuée à surface d'anode A équivalente, les largeurs  $W_{anode}$  retenues sont au dimensionnel minimum afin de réduire la résistance série  $R_s$ . La longueur d'anode  $L_{anode}$  est une conséquence du choix de la valeur de la surface totale souhaitée A, avec un nombre de doigts  $N_{finger}$  fixé et une largeur  $W_{anode}$  minimale. Les longueurs d'anode à l'intérieur de l'espaceur poly-silicium  $L_{anode}$  ont été généralement choisies autour de 5 µm et n'excèdent pas 10 µm afin de pouvoir négliger les effets d'électromigration détaillés dans les règles de dessin de la technologie. Nous pouvons remarquer que les effets des paramètres associés au backend, tels que le nombre de doigts d'anode  $N_{finger}$  et les longueurs de métallisation de doigt d'accès métallique anodecathode, influencent peu les compromis  $R_s/C_{j0}$  quand un périmètre P raisonnable est sélectionné. Quant aux essais s'appuyant sur les paramètres liés aux dopants, l'ensemble des couches disponibles dans les différentes technologies ont été mises à profit. Avec une concentration définie par le processus de fabrication, l'impact sur la fréquence de coupure  $F_c$  est maximal lorsque les dimensions des zones actives choisies sont judicieuses.

### III.1.i.b. MISE EN PLOTS DU DOE COMPLET

Chaque diode Schottky développée illustré en Figure 72 ne peut pas être directement caractérisée en l'état. En effet, les dimensions des doigts d'anode ne faisant que quelques micromètres, il est impossible d'injecter et de mesurer directement un courant sur une diode Schottky seule. La globalité des jonctions métal/semiconducteurs est de facto insérée dans des structures de test dédiées. La Figure 73 (b) met en évidence l'agencement d'un DUT (Device Under Test), qui est notre dispositif inséré dans une structure de test. Le DUT peut se définir comme une diode Schottky dont les performances doivent être évaluées. Il peut cependant faire référence également à une structure d'épluchage (de deembedding) spécifique afin de permettre l'extraction de certains des paramètres de la diode (développés dans la partie III.1.i.c). Les structures de test utilisées pour l'ensemble des DOE réalisés comportent deux accès Port 1 et Port 2. Les ports permettent ainsi d'effectuer les mesures (DC, fréquentielles, puissances et Bruit) nécessaires à la caractérisation complète des diodes Schottky. Ils comportent respectivement un plot signal en vue d'acheminer ce dernier à travers le DUT, et deux plots GND afin de permettre le retour de masse de ce signal. L'espacement entre le centre du plot signal Port x et ceux des plots GND inclut un pas hybride de 80 µm. Cette distance permet l'utilisation de sondes dédiées aux mesures fréquentielles de paramètres S dans la gamme de fréquences de 0 à 110GHz (100 µm) et de 100 à 300 GHz (50 μm). Les liaisons entre les plots signaux et le DUT sont élaborées avec deux lignes de transmission. La largeur définissant l'impédance caractéristique de ces lignes de transmission est de 10 µm. Pour cette largeur, un empilement BiCMOS 55 nm avec une ligne de transmission conçu en M8 et un plan de masse réalisé en M1, la valeur d'impédance caractéristique de la ligne est de 45  $\Omega$ . Cette valeur d'impédance de ligne est peu significative dans la mesure où l'impédance présentée par les diodes, et assurant un transfert de puissances optimal à une fréquence donnée, ne sont pas connues. Dès lors, les lignes de transmission sont uniquement pensées pour que

Page 102 sur 199

leurs raccords avec les extrémités du composant ne soient pas déraisonnablement étroits. En effet, cela aurait pour impact de fortement dégrader l'électromigration et d'augmenter de surcroit les pertes aux accès du composant. En ce sens les DRM (*Design Rules Manual*) des technologies proposent à la suite d'étude une géométrie et un dimensionnel à privilégier. Une fois les DUT inclus dans les structures de test (Figure 73 (b)), ils s'insèrent ensuite dans des colonnes (Scribes). Les Scribes sont ensuite assemblées au sein de la cellule finale du DOE (Figure 73 (a)). La mise en quinconce des Scribes se trouvant côte à côte a pour avantage de réduire un éventuel couplage lors des mesures haute fréquence entre les plots signaux avec les colonnes voisines. L'espacement entre chaque structure de test est de 50 µm afin de conjointement minimiser le couplage et la surface totale consommée.



*Figure 73: Illustration : (a) d'un DOE Schottky comprenant 80 Structures de test ; (b) d'une structure unitaire de test* 

## III.1.i.c. Structures d'epluchage (deembedding) requise pour l'etude

Les paramètres clés des diodes Schottky conçues sur technologie silicium et incluses dans les différents DOE vont être extraits après la mesure. Bien que la réponse DC courant-tension de la diode favorise l'extraction de la majorité des éléments ( $R_s I_{sat}$ ,  $V_b$ ,  $B_v$ ,  $\eta$ ), les mesure RF sont indispensables afin de remonter à la partie capacitive ( $C_{j0}$  et  $C_{BE}$ ) et non linéaire ( $R_j$ ) de la diode Schottky. La stratégie d'extraction des paramètres sera explicitée dans la partie III.2. Cette partie se concentre sur l'élaboration et le détail des structures employées pour effectuer l'épluchage des contributions parasites engendrées par les structures de test. Les deux architectures d'épluchage retenues sont des structures d'Open (Figure 74) et de Short (Figure 75). Ce choix, bien que nécessaire, a l'inconvénient majeur d'être gourmant en termes de surface totale consommée par DOE. En effet, deux structures d'épluchage sont requises par configuration de routage de diode Schottky. Il faut donc à la fois un Open et un Short pour une métallisation des doigts d'accès à surface d'anode A donnée.



Figure 74: Structure d'open pour effectuer le deembedding

La Figure 74 présente la réalisation d'un Open pour une diode Schottky comportant deux doigts d'anode. Les Opens sont effectués jusqu'au premier niveau de métallisation des technologies et permettent ainsi de s'affranchir du couplage capacitif induit par les accès backend de la diode. En pratique, l'utilisation des paramètres Y est requise afin d'effectuer l'épluchage car la configuration électrique de l'Open est équivalente à un schéma en PI. Une configuration série entre le port 1 et 2 doit être privilégiée pour le DUT, afin de rester en configuration PI et de pouvoir exprimer la matrice Y de l'Open donnée par l'

Équation 41.

$$Y = \begin{pmatrix} Y_{C_{plot}} + \frac{Y_{L_{TL}}Y_{R_{TL}}Y_{DUT}}{2Y_{DUT}(Y_{L_{TL}} + Y_{R_{TL}}) + Y_{L_{TL}}Y_{R_{TL}}} & -\frac{Y_{L_{TL}}Y_{R_{TL}}Y_{DUT}}{2Y_{DUT}(Y_{L_{TL}} + Y_{R_{TL}}) + Y_{L_{TL}}Y_{R_{TL}}} \\ -\frac{Y_{L_{TL}}Y_{R_{TL}}Y_{DUT}}{2Y_{DUT}(Y_{L_{TL}} + Y_{R_{TL}}) + Y_{L_{TL}}Y_{R_{TL}}} & Y_{C_{plot}} + \frac{Y_{L_{TL}}Y_{R_{TL}}Y_{DUT}}{2Y_{DUT}(Y_{L_{TL}} + Y_{R_{TL}}) + Y_{L_{TL}}Y_{R_{TL}}} \end{pmatrix}$$
 Équation 41

L'agencement symétrique des structures d'Open se trouve au sein de la matrice Y car  $Y_{11} = Y_{22}$  et  $Y_{21} = Y_{12}$ . Les parasites inductifs  $L_{TL}$  et résistifs  $R_{TL}$  des lignes de transmission (TL) ne peuvent pas être extraits avec l'Open en effectuant des opérations sur les paramètres  $Y_{ij}$  de la matrice Y. En l'état, seul le couplage capacitif  $C_{plot}$  peut être extrait. Il est réalisé par les pastilles métalliques port 1 et 2 de la couche supérieure déposées pour concevoir les plots d'accès avec les couches de métaux inférieures de la technologie servant à réaliser la masse. Ces pastilles métalliques sont les carrés des plots signal illustrés sur la Figure 73 (b). Cependant, les conditions sur les valeurs de la polarisation et sur les gammes de fréquences utilisées permettront de s'affranchir des contributions des lignes TL d'accès, en vue de remonter à l'admittance du DUT Y<sub>DUT</sub>.



Figure 75: Structure de short pour effectuer le deembedding

La Figure 75 montre l'élaboration d'un Short pour une diode Schottky comportant deux doigts d'anode. Les Shorts réalisent un court-circuit au premier niveau de métallisation des technologies entre les accès port 1 et port 2. Ils contribuent à s'affranchir des contributions inductives et résistives des accès de la diode. En pratique, l'utilisation des paramètres Z est requise afin d'effectuer l'épluchage car la configuration électrique du Short est équivalente à un schéma en T. Une configuration série (Figure 75) ou shunt entre le port 1 et 2 peut être privilégiée pour le DUT afin de rester en configuration T. La matrice Z est exprimée par l'Équation 42 pour une configuration série du Short où les accès DUT anode-cathode ne sont pas symétriques.

$$Z = \begin{pmatrix} Z_{L_{TL}} + Z_{R_{TL}} + Z_{DUT_1} + Z_{R_{Sub}} + Z_{L_{Sub}} & Z_{R_{Sub}} + Z_{L_{Sub}} \\ Z_{R_{Sub}} + Z_{L_{Sub}} & Z_{L_{TL}} + Z_{R_{TL}} + Z_{DUT_2} + Z_{R_{Sub}} + Z_{L_{Sub}} \end{pmatrix}$$
 Équation 42

L'agencement dissymétrique des structures de Short série est engendré par les diodes d'anode et de cathode ayant un dimensionnel différents. Les parasites inductifs  $L_{TL}$  et résistifs  $R_{TL}$  des lignes de transmission (TL) peuvent être extraits de façon conjointe en effectuant des opérations sur les paramètres  $Z_{ij}$  de la matrice Z. En l'état, l'ensemble des impédances dues au plan de masse et à la prise substrat peuvent être extraites conjointement grâce à l'Équation 42. En pratique, ces contributions peuvent être ignorées lors de l'extraction des paramètres Schottky, car la valeur de la résistance série  $R_s$  des accès backend est négligeable devant celle de la partie frontend.

La configuration Shunt consiste à connecter l'anode par une unique ligne de transmission venant conjointement du port 1 et 2 et relier la cathode et la prise substrat de la diode à la masse. Cette configuration est requise pour être capable d'extraire la résistance de jonction  $R_j$ . Cela implique toutefois d'embarquer des diodes Schottky en configuration Shunt avec leur Short associé, augmentant dès lors le nombre de structures à 5 (diode série, diode shunt, open série, short série et short shunt) pour un seul composant. L'étude avec les Shorts n'a donc pas été poursuivie car elle correspondrait à une étude plus fine, devant être appliquée sur les diodes les plus optimisées en termes de fréquence de coupure  $F_c$  afin de minimiser la surface occupée pour un DOE spécifique. La matrice Z est exprimée pour une configuration série du Short où les accès DUT anode-cathode ne sont pas symétriques par l'Équation 43.

$$Z = \begin{pmatrix} Z_{L_{TL}} + Z_{R_{TL}} + Z_{DUT} + Z_{R_{Sub}} + Z_{L_{Sub}} & Z_{R_{Sub}} + Z_{L_{Sub}} + Z_{DUT} \\ Z_{R_{Sub}} + Z_{L_{Sub}} + Z_{DUT} & Z_{L_{TL}} + Z_{R_{TL}} + Z_{DUT} + Z_{R_{Sub}} + Z_{L_{Sub}} \end{pmatrix}$$
Équation 43

En configuration Shunt, la contribution ZDUT se retrouve dans la branche centrale du schéma en T. Cet agencement permet d'extraire les contributions résistives dues à la résistance de jonction  $R_j$  conjointement à celles de la résistance série  $R_s$ . Les conditions sur les valeurs de la polarisation et sur les gammes de fréquences utilisées permettront de dissocier les contributions des lignes TL et de  $R_s$  d'accès afin de remonter à la résistance  $R_j$ .

## III.1.ii. BANC DE MESURE POUR CARACTERISER LES DIODES SCHOTTKY

### III.1.ii.a. MESURES DC ET PARAMETRES S

Le schéma de principe du banc de caractérisation permettant d'effectuer des caractérisation DC et RF est présenté Figure 76. Les mesures de paramètres S sont effectuées à l'aide d'un analyseur de réseau vectoriel (VNA). Les mesures réalisées par le VNA se fondent sur le principe de pont de réflectométrie. Elles reposent donc sur la capture des ondes incidentes et réfléchies par le DUT (Diode Schottky, Open, Short... etc). Les VNA mis à disposition chez STMicroelectronics montent jusqu'à 67 GHz. Au-delà de cette fréquence, des têtes d'extension sont également disponibles pour effectuer une caractérisation en fréquence jusqu'à 110 GHz. Les mesures de paramètres S à des fréquences millimétriques supérieures (au-delà de 300 GHz) commencent à se démocratiser au sein des laboratoires de recherche et font l'objet d'études approfondies, notamment au sein de l'IEMN [67]. Le générateur DC permet de fixer une polarisation précise. Concernant les diodes Schottky, les cas bloqués et passants peuvent donc faire l'objet d'une caractérisation en fréquence. Le VNA et la source DC sont connectés aux Tés de polarisation inclus dans les sondes GSG. Les pointe GSG sont ensuite posées sur les plots des structures de test incluses sur le wafer afin que les mesures des dispositifs sous test soient réalisées. Dans cette configuration, la mesure DC peut également être menée avec le Générateur DC réalisant la polarisation et l'acquisition des tensions et courants sur les ports 1 et 2.

Les DOE des diodes Schottky (Figure 73 (a)) comportent généralement un nombre important de structures de test. Les bancs de mesures disponibles chez STMicroelectronics utilisent un posé de pointes automatisées, ce qui représente un avantage non négligeable. En effet, au-delà d'un gain de temps considérable pour réaliser l'ensemble des mesures DC et paramètres S, la précision du posé de pointe est rigoureusement augmentée. Les erreurs de mesures dites aléatoires se trouvent dès lors drastiquement réduites. Afin de réduire les erreurs systématiques, le banc de mesure est préalablement calibré. Cette calibration repose sur la capture de paramètres permettant de construire un modèle d'erreurs de l'ensemble de la chaine d'acquisition. Elle prend donc en compte la connectique du VNA, les têtes d'extension et les sondes GSG. En pratique les fabricants de sondes et de VNA proposent leurs propres ISS (*Impédance Standard Substrates*) contenant les dispositifs nécessaires à la calibration des équipements. Diverses méthodes existent telles que la SOLT (*Short-Open-Load-Thru*) réalisée chez STMicroelectronics ou encore la méthode LRRM (*Line-reflect-reflect-match*) effectuée à l'IEMN. Les logiciels constructeurs intégrés aux VNA incluent un guide de calibration qui, afin de permettre la réalisation de cette dernière, va proposer un ordre précis de poser de pointes sur les structures dédiées de la méthode.



Figure 76: Banc de caractérisation pour les mesures DC et de Paramètres S

Les mesures DC et de paramètres S permettent d'extraire l'ensemble des figures de mérite de la diode Schottky à l'exception de la sensibilité  $R_v$  et du planché de bruit NEP.

## III.1.ii.b. MESURES DE SENSIBILITE $R_V$

La mesure de sensibilité en tension  $R_v$  de la diode Schottky peut être réalisée avec le schéma de principe donné sur la Figure 77. La mesure de sensibilité en tension  $R_v$  s'effectue grâce à une diode polarisée en courant. Cette polarisation imposée par le générateur DC permet de définir un point de fonctionnement dans la zone quadratique où la dynamique de mesure sera maximisée. La tension  $V_{off}$  mesurée à l'entrée du détecteur (diode Schottky) est donc la tension de référence pour laquelle aucun signal RF n'est injecté pour la détection. Le générateur de signal de puissance (PSG) va ensuite injecter un signal RF dans la diode préalablement polarisée en courant. La polarisation constante en courant de la diode sera affectée par une modification engendrée par la composante continue du signal RF injecté. La tension  $V_{RFon}$  aux bornes de la diode subira ainsi un décalage illustré sur la Figure 78.



Figure 77: Banc de caractérisation de sensibilité de la diode Schottky

Le décalage en tension provoqué par le signal RF découle du niveau de puissance présenté et absorbé  $P_{absorbée}$  par le PSG à la diode. La sensibilité en tension  $R_v$  (Équation 26) de la diode est donc établie à une fréquence RF donnée pour laquelle une puissance détectée est maximale. En effet, plus la puissance injectée par le PSG sera élevée, plus le décalage entre les courbes I-V RF on et I-V RF off sera prononcé.



Figure 78: Réponse courant-tension d'une diode montée en détection

La Figure 79 présente le tracé de la sensibilité en tension  $R_v$  en fonction de la puissance  $P_{absorbée}$  injectée par le PSG. Le maximum de sensibilité  $R_v$  semble donc atteint pour des puissances autour de -27 dBm quel que soit le courant de polarisation. Cependant, plusieurs phénomènes remarquables sont à souligner. Une fois la puissance détectée  $P_{absorbée}$  maximale, une saturation en puissance de la diode fait ensuite chuter la sensibilité  $R_v$  de la diode. De plus, le courant de polarisation choisi détermine le compromis entre sensibilité maximum et dynamique de sensibilité. Ce compromis ne constitue pas un réel défi puisque de fortes puissances à détecter ne requièrent pas une forte sensibilité  $R_v$ . Enfin, le courant de polarisation maximisant la sensibilité se situe autour de 500 nA pour la diode Schottky D3 (1  $\mu$ m<sup>2</sup> de surface d'anode) réalisée en BiCMOS 55nm (Tableau 13). De manière générale, ce courant peut varier en fonction de la dimension de la surface d'anode et de la technologie utilisée.



Figure 79: Mesures de sensibilité R<sub>v</sub> pour la diode Schottky BiCMOS 55 nm (D44) à 42 GHz
Seulement quelques diodes Schottky en technologie BiCMOS 130 nm et 55 nm ont été mesurées en sensibilité. Les sensibilités  $R_v$  maximales relevées tournent autour de 900 V/W pour les diodes 130 nm (cf. D1 à D8 dans le Tableau 8) et de 2250 V/W pour les Schottky 55 nm (cf. D2 à D7 dans le Tableau 13) ayant des surfaces d'anode équivalentes comprises entre 1 et 4  $\mu$ m<sup>2</sup>. Les performances intrinsèques semblent jouer dans l'amélioration de la sensibilité  $R_v$ . Néanmoins, aucune étude ne permet à ce jour de décorréler ce constat. L'objectif de ces premières mesures de sensibilité  $R_v$  est d'à la fois participer au développement du banc de caractérisation mis à profit dans [84] tout en fournissant quelques architectures Schottky développées. Le Tableau 15 regroupe des valeurs de sensibilité  $R_v$  relevées dans les publications à l'état de l'art pour quelques diodes Schottky dans différentes technologies.

Reference	Technologie	Diodes	Sensibilité (V/W)	Fréquence (GHz)
[84]	BiCMOS 55 nm	PN	3836	320
[95]	AcCo	AsCo Schottlay		100
[05]	AsGa	Schottky	400	900
[86]	CMOS 130 nm	Schottky	250	280
[97]			6000	90
[0/]	AlGalilAs	перр	5200	180
[88]	CMOS 45 nm	PN	558	781

Tableau 15 : Valeurs de sensibilités en tension  $R_{\nu}$  pour différentes technologies de diodes

Il demeure cependant difficile d'effectuer une comparaison rigoureuse entre chaque diode car les valeurs de sensibilité  $R_v$  sont fortement dépendantes des conditions de caractérisation. En effet, la configuration série ou shunt d'une même diode placée en structure de test à un impact sur les valeurs de sensibilité  $R_v$  à une fréquence identique. La configuration shunt peut doubler cette valeur comme expliqué dans [89]. En ce sens, la sensibilité  $R_v$  de 2250 V/W à 42 GHz montre que la diode Schottky pourra être utilisée en vue de réaliser un détecteur car la valeur de  $R_v$  mesurée est correcte à cette fréquence. Cependant, une caractérisation plus haute en fréquence devrait être envisagée afin de vérifier dans un premier temps si la sensibilité  $R_v$  ne subit pas de dégradation aux vues des plus hautes valeurs relevées le Tableau 15. Dans un second temps, il serait judicieux vérifier si un phénomène de rebonds à une fréquence plus élevée et maximisant la sensibilité  $R_v$  n'est pas existant comme montrée dans [89].

#### III.1.ii.c. Mesure de puissance equivalente de bruit NEP et du rapport de bruit en exces ENR

Le calcul d'après plusieurs mesures du NEP de la diode Schottky s'opère grâce à l'extraction des valeurs de résistance  $R_s$  (mesures DC),  $R_j$  (paramètres S) et de la sensibilité en tension  $R_v$ . La mesure de la résistance de jonction  $R_j$  et de la sensibilité en tension  $R_v$  doit être réalisée à la même fréquence et dans des conditions de température T similaires afin de pouvoir calculer le NEP correspondant, par l'intermédiaire de l'Équation 36. Parmi la littérature dédiée, les résultats expérimentaux concernant les détails de la procédure de mesure du NEP apparaissent limités, ce qui rend cette figure de mérite sujette à l'interprétation de chacun. Dans les faits, cette limite de plancher de bruit n'est pas vérifiée en applicatif et reste donc purement théorique. La diode Schottky (ou PN) peut également servir en tant que source de bruit. Dans la mesure où le plancher de bruit donné par le NEP est connu, la détermination de son rapport de bruit en excès ENR permet de quantifier l'aspect bruyant de ce composant.

La Figure 80 illustre le banc de mesure utilisé pour mener à bien l'extraction de l'ENR de la diode Schottky. Le générateur DC sert à piloter la diode en courant. En vue de l'utilisation de la diode Schottky comme source de bruit, son point de fonctionnement DC se situe en amont de son régime d'avalanche. La diode Schottky ne présentant pas une impédance de 50  $\Omega$ , un facteur de désadaptation M doit donc être pris en compte dans le plan B. Ce facteur de désadaptation M tient compte du coefficient de réflexion présenté à l'entrée du récepteur de bruit  $\Gamma_{IN}^{RCV}$  ainsi que du coefficient de réflexion présenté par la diode Schottky  $\Gamma_{NS}$  à travers les sondes de mesures  $\Gamma_{OUT}^{probe}$ . Le coefficient  $\Gamma_{IN}^{RCV}$  est directement extrait des mesures de paramètres S du récepteur de bruit. En revanche,  $\Gamma_{OUT}^{probe}$  doit être calculé à l'aide des paramètres de la sonde fournis par le constructeur ainsi que d'une mesure en petit signal de  $\Gamma_{NS}$ . Le facteur de désadaptation M s'exprime alors sous la forme donnée par l'Équation 44 [67].

$$M = \frac{1 - \left|\Gamma_{OUT}^{probe} \Gamma_{IN}^{RCV}\right|^{2}}{(1 - \left|\Gamma_{OUT}^{probe}\right|^{2})(1 - \left|\Gamma_{IN}^{RCV}\right|^{2})} \quad avec \ \Gamma_{OUT}^{probe} = S_{22}^{probe} + \frac{S_{12}^{probe} S_{21}^{probe} \Gamma_{NS}}{1 - S_{11}^{probe} \Gamma_{NS}} \qquad \acute{Equation 44}$$

Le de-embeeding des différents éléments de la chaine de mesure étant pris en compte, la méthode de mesure sera celle du facteur Y. Le facteur Y est défini ici comme le rapport entre les puissances  $P_{HOT}$  (diode Schottky générant du bruit) et  $P_{COLD}$  (diode Schottky non bruyante). Ses puissances sont lues sur le mesureur de bruit lorsque la diode est en régime d'avalanche ( $P_{HOT}$ ) et non polarisée ( $P_{COLD}$ ). Ces puissances de bruit sont précisées par l'Équation 45 et l'Équation 46, et rendent possible l'extraction des températures de bruit  $T_{HOT}$  et  $T_{COLD}$  dans le plan C.

$$P_{HOT} = kT_{HOT}\Delta f \qquad \qquad \dot{E}quation \ 45$$

$$P_{COLD} = kT_{COLD}\Delta f \qquad \acute{Equation 46}$$

L'extraction de l'ENR peut donc être conduite en suivant quatre étapes :

La première consiste à déterminer la température de bruit effective  $T_{HOT}^{B,e}$  présente dans le plan B quand la source de bruit est l'état ON. Cette dernière est donnée par l'Équation 47, qui prend en considération la température équivalente de bruit  $T_{RCV}$  du récepteur de bruit extrait en mesurant son facteur de bruit.

$$T_{HOT}^{B,e} = T_{RCV}(Y-1) + Y \frac{T_{COLD}}{M}$$
 Équation 47

> Dans un second temps, cette température de bruit effective  $T_{HOT}^{B,e}$  est convertie en température de bruit disponible  $T_{HOT}^{B,av}$  grâce au facteur de désadaptation M (Équation 48).

$$T_{HOT}^{B,av} = T_{HOT}^{B,e} \times M$$
 Équation 48

➤ La troisième étape consiste à déterminer la température de bruit  $T_{HOT}^{A,av}$  générée par la source de bruit dans le plan A des plots RF. Cette température vue dans le plan A dépend du gain  $G_{probe}^{A,av}$  disponible dans la sonde GSG. Ce gain est déterminé à l'aides des paramètres S constructeurs de la sonde et des coefficients de réflexion  $\Gamma_{NS}$  (plan A) et  $\Gamma_{OUT}^{probe}$  (plan B). La température de bruit  $T_{HOT}^{A,av}$  et le gain  $G_{probe}^{A,av}$  sont donnés par l'Équation 49 et l'Équation 50.

$$T_{HOT}^{A,av} = \frac{T_{HOT}^{B,av} - T_A(1 - G_{probe}^{A,av})}{G_{probe}^{A,av}}$$
 Équation 49

$$G_{probe}^{A,av} = |S_{21}^{probe}|^{2} \frac{1 - |\Gamma_{NS}|^{2}}{(1 - |S_{21}^{probe} \Gamma_{NS}|^{2})(1 - |\Gamma_{OUT}^{probe}|^{2})}$$
 Équation 50

L'ENR dans le plan A peut ainsi être donné par l'Équation 51 où T<sub>ref</sub> est la température référentielle de plancher de bruit NEP pour une mesure terrestre (290 K).

$$ENR = \frac{T_{HOT}^{A,av} - T_{COLD}}{T_{ref}}$$
 Équation 51



Cette manipulation a été mise en place parmi la gamme de fréquences allant de 130 à 320 GHz dans les travaux de thèse conduits par J. C. Azevedo Goncalves [67]. Cependant, la valorisation de diodes Schottky développées en tant que source de bruit n'a pas pu être mise en avant par manque de temps lors du développement d'architectures innovantes de diodes Schottky élaborées dans II.3.

### **III.2. STRATEGIE D'EXTRACTION DES PARAMETRES DE LA DIODE SCHOTTKY**

#### III.2.i.a. METHODE D'EXTRACTION DE LA RESISTANCE SERIE $R_s$

La résistance séries  $R_s$  peut être extraite de la mesure de plusieurs manières. Les deux méthodes couramment utilisées exploitent des mesures DC par l'intermédiaire de la fonction H [90] [91] ou des mesures fréquentielles grâce à un de-embeeding des paramètres S obtenus [59] [92]. Ces deux méthodes sont fiables et possèdent chacune leurs avantages et inconvénients.

#### III.2.i.a.1. Extraction de R<sub>s</sub> avec des mesures DC :

L'extraction de la résistance série  $R_s$  peut être réalisée en s'appuyant sur la réponse courant-tension I-V de la diode Schottky. En effet, l'Équation 12 décrivant le comportement de la courbe I-V illustré par la Figure 35 peut être remaniée afin de déterminer la résistance série  $R_s$ . Lorsque la zone quadratique est franchie pour une polarisation en direct de la diode Schottky (ou PN), la résistance série  $R_s$  est prépondérante. Elle demeure proportionnelle à l'inverse de la pente de la caractéristique I-V en forte polarisation. Il apparait dès lors possible d'appliquer la fonction logarithme népérien à l'Équation 12 et ainsi isoler la tension de polarisation V.

$$V = \eta \frac{kT}{q} ln \left( \frac{I_d}{A \cdot A^* \cdot T^2} \right) + \eta V_b + I_d R_s$$
 Équation 52

La différentielle logarithmique de la tension de polarisation V par rapport au courant est appliquée à l'Équation 52 pour obtenir le fonctionnement de la fonction H donné par l'Équation 53.

$$H = \frac{dV}{dln(I_d)} = I_d R_s + \eta \frac{kT}{q}$$
 Équation 53

La fonction H se traduit par une droite logarithmique si le rapport de la différentielle de V sur celle du logarithme du courant  $I_d$  est tracé en fonction du courant  $I_d$  (Figure 81). La pente de cette droite permet de fait

#### Page 110 sur 199

d'extraire la résistance série  $R_s$ , et l'ordonnée à l'origine contribue à remonter jusqu'au facteur d'idéalité  $\eta$ . Les valeurs différentielles s'obtiennent en soustrayant deux à deux les termes mesurés successifs de la tension de polarisation V et du courant I<sub>d</sub> composés avec la fonction logarithme.



Figure 81: Tracé de la fonction H en fonction du courant mesuré dans la diode Schottky Id

Cette méthode d'extraction est celle qui a été retenue pour l'ensemble des valeurs des résistances séries  $R_s$  et comprend la réextraction du facteur d'idéalité  $\eta$ . Elle est économe en surface de silicium occupée pour chaque DOE car elle ne sollicite pas de structures supplémentaires.

#### III.2.i.a.2. Extraction de R<sub>s</sub> en mesure fréquentielle (Paramètres S)

L'extraction de la résistance série  $R_s$  peut également être réalisée grâce à la réponse en fréquence donnée par les paramètres S mesurés de la diode Schottky. En effet, les paramètres S mesurés peuvent ensuite être convertis en paramètre Y car la matrice Z n'est pas définie pour la configuration série deux ports donnant le schéma en PI illustré par la Figure 82.



Figure 82: Schéma en PI utilisé pour l'extraction de R<sub>s</sub> et R<sub>j</sub> à partir des mesures des paramètres S : (a) forte polarisation V et (b) polarisation V en zone quadratique

Les schémas électriques présentés sur la Figure 82 sont valables lorsque les mesures des paramètres S sont effectuées pour des point de polarisation particuliers. Au sein de la zone non linéaire, il faut considérer que la résistance  $R_j$  est prédominante (Figure 82 (b)). Etant fortement non linéaire et dépendante de son point de polarisation en tension, cette résistance n'a pas été extraite car elle n'intervient pas dans les paramètres utilisés pour définir la fréquence de coupure  $F_c$  de la diode. En forte polarisation (après la zone quadratique), la résistance série  $R_s$  est l'unique contribution résistive apparente quand la diode Schottky est passante (Figure 82 (a)). Il est donc possible de donner la matrice Y de la (Figure 82 (a)) par l'Équation 54.

$$Y = \begin{pmatrix} Y_{C_{pad_1}} + Y_{R_s} & -Y_{R_s} \\ -Y_{R_s} & Y_{C_{pad_1}} + Y_{R_s} \end{pmatrix}$$
 Équation 54

Les paramètres en transmission  $Y_{ij}$  avec  $i \neq j$  de la matrice Y donné par l'Équation 54 permettent l'extraction de la résistance série R<sub>s</sub>. En effet, la partie réelle de  $Y_{R_s}$  est indépendante de la fréquence et représente la conductance de la résistance série R<sub>s</sub>.

$$R_s = -\frac{1}{Re(Y_{21})} \operatorname{avec} Y_{21} = -Y_{R_s}$$
 Équation 55

L'Équation 55 donne la valeur de la résistance série  $R_s$  extraite grâce aux mesures des paramètres S en configuration série. Cette valeur doit être strictement identique à celle extraite via les mesures DC. A ce stade, il est important de noter que  $R_s$  contient les contributions des lignes d'accès la diode et les deux ports d'accès 1 et 2. Néanmoins, l'extraction de la résistance série  $R_s$  peut également être effectuée en configuration Shunt afin de s'affranchir des contributions résistive  $R_{TL}$  et inductive  $L_{TL}$  des lignes d'accès reliant la diode aux plots de la structure de test (Figure 83).



Figure 83: Schéma en T utilisé pour l'extraction de R<sub>s</sub> à partir des mesures des paramètres S en forte polarisation

La matrice Z de la Figure 83 est donnée par l'Équation 56.

$$Z = \begin{pmatrix} Z_{L_{TL}} + Z_{R_{TL}} + Z_{R_{S}} + Z_{L_{GND}} + Z_{R_{GND}} & Z_{R_{S}} \\ Z_{R_{S}} & Z_{L_{TL}} + Z_{R_{TL}} + Z_{R_{S}} + Z_{L_{GND}} + Z_{R_{GND}} \end{pmatrix}$$
 Équation 56

Les paramètres d'impédance  $Z_{ij}$  avec  $i \neq j$  de la matrice Y donné par l'Équation 57 permettent l'extraction de la résistance série  $R_s$  en ayant l'avantage de ne pas avoir à de-embeeder les contributions parasite de la structure de test.

$$R_s = Re(Z_{21}) \text{ avec } Z_{21} = Z_{R_s}$$
 Équation 57

L'Équation 57 donne la valeur de la résistance série  $R_s$  extraite grâce aux mesures des paramètres S en configuration Shunt. Cette valeur doit être en théorie légèrement plus faible que celles extraites via les mesures DC et en configuration série avec la matrice Y. Néanmoins les valeurs de résistance série  $R_s$  seront considérées très supérieures à celles des résistances  $R_{TL}$  pour les surfaces d'anode Schottky ou le compromis  $R_s/C_{j0}$  est le meilleur.

L'avantage majeur de l'extraction des paramètres Schottky à l'aide de mesures basées sur la réflectométrie en configuration Shunt résulte du fait que l'ensemble des contributions résistives parasites peuvent être décorrélés. Cependant, des structures shunt doivent être conçues pour chaque diode doublant ainsi leurs nombres. Dès lors, cette extraction présente l'inconvénient de l'encombrement croissant de la surface des structures de test sur silicium, ainsi que la réduction de la précision d'extraction en cas de de-embeeding successifs. A cela s'ajoute un temps de caractérisation et de traitement supérieur, c'est pourquoi l'extraction de la résistance série  $R_s$  par les paramètres S n'a pas été privilégiée.

III.2.i.b. Methode d'extraction de la hauteur de barriere  $V_{B}$ , du facteur d'idealite  $\eta$  et du courant de saturation  $I_{SAT}$ 

Les mesures DC de la diode Schottky ont encore quelques informations à livrer. En effet, l'Équation 12 décrivant le comportement de la courbe I-V illustrée sur la Figure 35 peut être réagencée différemment afin de déterminer conjointement le facteur d'idéalité  $\eta$  et le courant de saturation I<sub>sat</sub>. La hauteur de barrière V<sub>b</sub> peut ainsi être extraite grâce à la connaissance du courant de saturation I<sub>sat</sub>. La relation courant-tension (Équation 12) de la diode Schottky est considérée pour une polarisation en faible tension V. Le rebouclage en courant induit par le terme R<sub>s</sub>I<sub>d</sub> peut dès lors être négligé car la résistance série R<sub>s</sub> n'est pas visible (fonctionnement avant le début de la zone quadratique) pour cette plage de polarisation. La fonction logarithme népérien est ensuite appliquée à l'équation simplifiée I<sub>d</sub> de la diode Schottky et s'exprime sous la forme de l'Équation 58.

$$ln(I_d) = V \frac{q}{\eta kT} + ln(I_{sat})$$
 Équation 58

Le courbe de l'Équation 58 se traduit par une droite logarithmique  $ln(I_d)$  si son tracé est effectué en fonction de la polarisation V. Ce tracé est donné sur la Figure 84.



Figure 84: : Tracé de la fonction  $ln(I_d)$  en fonction de la tension de polarisation V de la diode Schottky

La pente de la courbe obtenue sur la Figure 84 rend possible l'extraction du facteur d'idéalité  $\eta$  de manière complémentaire à celle effectuée avec la fonction H (Équation 53). Les résultats sont donc rigoureusement identiques quelle que soit la méthode d'extraction de  $\eta$ . Le courant de saturation I<sub>sat</sub> est retrouvé grâce à l'ordonnée à l'origine de la partie linéaire de la courbe  $ln(I_d)$ . La hauteur de barrière V<sub>b</sub> pourra ensuite être extraite avec l'Équation 59.

$$V_b = -\frac{kT}{q} \times \frac{I_{sat}}{A.A^*.T^2}$$
 Équation 59

Le courant de saturation  $I_{sat}$  permet *de facto* de préciser la hauteur de barrière, car, pour une surface d'anode A et une température de caractérisation T connues, les autres éléments de l'Équation 59 sont des constantes. Les mesures DC facilitent ainsi l'extraction du facteur d'idéalité  $\eta$ , le courant de saturation  $I_{sat}$  et la hauteur de barrière de potentiel V<sub>b</sub>.

#### III.2.i.c. METHODE D'EXTRACTION DE LA CAPACITE TOTALE $C_{TOT}$

La capacité totale  $C_{tot}$  représente l'ensemble des contributions capacitives présentes à l'intérieur de la diode Schottky. Elle inclut donc l'ensemble des capacités  $C_{BE}$  induites par les accès de backend composés des différents niveaux de métallisation pour une technologie donnée et la capacité liée la formation de la jonction Schottky  $C_j(V)$ . Cette capacité  $C_{tot}$  varie en fonction de la polarisation à cause de la capacité de jonction  $C_j(V)$ . La définition retenue pour exprimer cette capacité totale  $C_{tot}$  est exprimée par l'Équation 60. Pour une polarisation nulle, la capacité de jonction  $C_j(V = 0)$  est maximisée et équivaut la valeur de la capacité  $C_{j0}$ . La capacité totale  $C_{tot}$  sera donc maximale lorsque  $C_j(V = 0) = C_{j0}$ .

$$C_{tot}(V) = C_j(V) + C_{BE}$$
 Equation 60

Lorsque la diode Schottky est bloquée, elle est considérée comme une capacité pouvant varier selon la tension de polarisation V. La Figure 85 montre le layout de la diode Schottky en configuration deux ports ainsi que son schéma électrique en PI équivalent pour une polarisation V faible.



Figure 85: (a) Masque de la Diode Schottky en structure de test et (b) Schéma équivalent de la diode Schottky en structure de test à faible polarisation V

La matrice Y déduite de la mise en équation du circuit équivalent de la Figure 85 permettant l'extraction de la capacité  $C_{tot}$  est donnée par l'Équation 61.

$$Y = \begin{pmatrix} Y_{C_{pad1}} + Y_{C_{tot}} & -Y_{C_{tot}} \\ -Y_{C_{tot}} & Y_{C_{pad2}} + Y_{C_{tot}} \end{pmatrix}$$
 Équation 61

Les paramètres d'admittance  $Y_{ij}$  avec  $i \neq j$  de la matrice Y spécifiés par l'Équation 61 permettent l'extraction de la capacité totale C<sub>tot</sub>. En effet, la partie imaginaire de  $Y_{C_{tot}}$ , étant l'admittance de la capacité C<sub>tot</sub>, peut être exprimée sous la forme de l'Équation 62, en vue de décorréler cette capacité de son admittance.

$$C_{tot}(V) = -\frac{Im(Y_{21})}{2\pi \times f} \text{ avec } Y_{21} = -Y_{C_{tot}}$$
Équation 62

Les paramètres S sont ainsi mesurés en deux ports jusqu'à 50 GHz. La Figure 86 (a) donne le coefficient de réflexion  $S_{11}$  de la diodes Schottky tracé sur un abaque de Smith. La polarisation choisie étant nulle pour cette caractérisation, le tracé de  $S_{11}$  commence en basse fréquence du point représentatif d'une impédance en circuit ouvert sur l'abaque de Smith. La signature inscrite dans le demi-cercle inférieur correspond effectivement à une capacité. La montée en fréquence provoque l'apparition de quelques pertes liées à la ligne d'accès sur le Port 1, puisque le tracé se détache du bord de l'abaque en se rapprochant légèrement du centre. La Figure 86 (b) présente l'évolution de la capacité totale  $C_{tot}$  (Équation 62) extraite en fonction de la fréquence. La valeur de la capacité  $C_{tot}$  est relativement constante dans la bande 0 à 50 GHz. L'ensemble des valeurs est extrait en basse fréquence (10 GHz) car l'impact capacitif est ainsi maximisé.



Figure 86: (a)  $S_{11}$  mesuré de la capacité  $C_{tot}$  tracé sur un abaque de Smith et (b) Tracé de la capacité  $C_{tot}$  extraite en fonction de la fréquence

Les valeurs extraites de capacité totale  $C_{tot}$  sont comprises dans une gamme allant de ~ 4 fF à ~ 60 fF. La capacité  $C_{tot}$  est croissante avec la surface d'anode Schottky A et le nombre de doigts d'anode  $N_{finger}$ . La précision absolue des capacités extraites en transmission extraite des mesures en paramètres S sera considérée par précaution autour de 0,5 fF et suffisante pour l'extraction de l'ensemble des capacités totales  $C_{tot}$ .

#### III.2.i.d. METHODE D'EXTRACTION DE LA CAPACITE DE JONCTION $C_{J0}$

L'extraction de la capacité de jonction à polarisation nulle  $C_{j0}$  consiste à décorréler les contributions frontend ( $C_{j0}$ ) et backend ( $C_{BE}$ ) de la capacité totale extraite  $C_{tot}$ . Deux méthodes ont été mises en place afin de pouvoir extraire la capacité de jonction  $C_{j0}$ , avec chacune leurs avantages et inconvénients respectifs. Les deux méthodes vont être explicitées dans un premier temps, puis une comparaison sera menée avec l'objectif de définir quelle méthode sera privilégiée pour l'extraction de l'ensemble des capacités de jonction  $C_{j0}$ .

#### III.2.i.d.1. Extraction par mesures DC et simulations TCAD :

Cette méthode consiste à utiliser conjointement la hauteur de barrière  $V_b$  extraite en mesure DC et la valeur de dopage moyen  $N_D$  obtenue à l'interface métal semiconducteur qui est extraite avec des simulations process TCAD (Technology Computer-Aided Design). Les simulations TCAD recréent l'ensemble des étapes du procédé de fabrication de la diode Schottky dans une technologie donnée. Elles permettent ainsi de définir les valeurs des concentrations de dopant vues dans le frontend de la diode, dans la mesure où elles tiennent compte de la dose d'impureté et de l'énergie d'implantation utilisées pour définir les caissons et les couche tampons fortement dopées.



*Figure 87: Simulation TCAD : (a) Layout du profil simulé ; (b) Simulation TCAD 2D dans le plan de coupe B-B ; (c) Profil de dopant en fonction de la largeur du plan de coupe B-B* 

#### Page 115 sur 199

La Figure 87 rassemble les trois données utiles permettant de réaliser la simulation TCAD. La Figure 87 (a) définit l'ensemble des jeux de masques utiles pour réaliser la diode Schottky. Les masques sont pris en compte par le logiciel Silvaco CENTAURUS afin de simuler leurs agencements et leurs réalisations de manière chronologique, telles que définies dans le processus de fabrication. En vue de minimiser le temps de calcul du simulateur, l'ensemble du procédé de fabrication est simulé dans le plan indiqué par les pointillés noirs sur la Figure 87 (a). Cet ensemble permet d'obtenir un profil des dopants en 2D de la diode Schottky (Figure 87 (b)). Ce profil 2D de dopant s'étend en profondeur dans la jonction (autour 800 nm) et favorise la distinction des contributions du caisson Nwell (en jaune), Nsinker (en orange) et de l'implantation N+ (en rouge). La Figure 87 (c) illustre le profil des dopants 1D en surface de la simulation 2D, qui est calculée en fonction de l'axe X. Ce profil 1D contribue à estimer la valeur du dopage  $N_D$  en surface de la zone d'active. Trois zones distinctes sont remarquables sur ce profil 1D. La première dans l'intervalle [0; 0,15] µm est le profil de dopant N<sub>D</sub> sous la surface d'anode A. La valeur du dopage moyen sera celle facilitant l'extraction de la capacité  $C_{i0}$  (N<sub>D</sub> = 1,3.10<sup>17</sup> cm<sup>-3</sup>). La zone de transition entre dopage moyen et fort apparait en bordure extérieure de la surface d'anode sous l'espaceur poly silicium parmi l'intervalle [0,15;0,3] µm. La dernière zone remarquable est celle engendrée par la couche tampon N+ donnant un dopage très élevé dans l'intervalle [0,3; 1,1] µm. Ce travail de simulation s'inspire fortement de la méthodologie d'extraction en simulation, qui a été proposée par la Figure [65] vue précédemment.

La valeur de dopage N<sub>D</sub> moyen à l'interface du contact Schottky vue en simulation TCAD et la hauteur de barrière extraite en mesure étant connues, l'estimation de C<sub>j0</sub> est donc possible. L'équation de la capacité de jonction C<sub>j</sub> (V) est légèrement remaniée en incluant l'Équation 21 de la capacité C<sub>j0</sub> dans l'Équation 20. Cette nouvelle forme de la capacité C<sub>j</sub> (V) est donnée par l'Équation 63.

$$C_{j}(V) = A \times \frac{\sqrt{q \times \varepsilon_{s} \times N_{D}}}{\sqrt{2V_{b}} \times \left(1 - \frac{V}{V_{b}}\right)^{0.5}}$$
 Équation 63

L'Équation 63 tiendra compte dès lors des valeurs  $V_b$  et  $N_D$  extraites en mesures DC et simulation TCAD et permettra d'établir l'évolution de  $C_j$  (V) en fonction de la polarisation V. En effet, le tracé de l'inverse de  $C_j$ (V) au carré en fonction de V se traduit par une droite linéaire décroissante, mettant en lumière les valeurs de  $V_b$ et  $C_{j0}$  extraites [52].



*Figure 88: Tracé de*  $1/C_j$ *(V)<sup>2</sup> en fonction de la tension de polarisation V* 

La Figure 88 présente le tracé de l'inverse de  $C_j$  (V) au carré en fonction de V. Son allure confirme l'estimation de  $C_{j0}$  et permet de retrouver la hauteur de barrière  $V_b$  extraite. Cette courbe fait référence à la diode Schottky D2 du Tableau 8 conçue en technologie B9MW. Cette méthode d'extraction présente l'avantage de ne pas recourir à des structures de de-embeeding supplémentaires, bien que la valeur extraite en simulation TCAD du dopage moyen  $N_D$  doit être considérée comme très précise. En effet, le principal inconvénient est qu'une faible variation du dopage  $N_D$  à l'interface peut provoquer des répercussions importantes sur la valeur de la capacité de jonction  $C_{j0}$ .

#### III.2.i.d.2. Extraction par de-embeeding des mesures en paramètres S

Cette méthode d'extraction est calquée sur l'extraction de la capacité totale  $C_{tot}$ . Elle consiste, dans un premier temps, à récupérer les valeurs de capacité totale  $C_{tot}$  à polarisation nulle extraite dans la partie III.2.i.c avec une mesure des paramètres S en deux ports de la diode Schottky. Pour cette extraction réalisée par deembeeding des paramètres S, des structures de test embarquant des opens dédiés à chaque diode Schottky sont ainsi nécessaires. Ces structures sont des opens réalisés jusqu'au métal 1. Ce niveau de métallisation backend est la couche inférieure de l'empilement d'accès anode-cathode. L'open dédié contient donc l'ensemble de la capacité C<sub>BE</sub> liée aux accès backend de la diode.



Figure 89: (a) Open métal 1 en structure de test et (b) Schéma équivalent de l'open métal 1 en structure de test à faible polarisation V

La Figure 89 montre le layout d'une structure d'open dédiée en configuration deux ports ainsi que son schéma électrique en PI équivalent pour une polarisation V faible. De manière analogue, la matrice Y déduite de la Figure 89 (b) rendant possible l'extraction de la capacité C<sub>BE</sub> est donnée par l'Équation 64.

$$Y = \begin{pmatrix} Y_{C_{pad_1}} + Y_{C_{BE}} & -Y_{C_{BE}} \\ -Y_{C_{BE}} & Y_{C_{pad_2}} + Y_{C_{BE}} \end{pmatrix}$$
 Équation 64

Les paramètres d'admittance  $Y_{ij}$  avec  $i \neq j$  de la matrice Y exprimés par l'Équation 64 favorisent l'extraction de la capacité totale C<sub>BE</sub>. En effet, la partie imaginaire de  $Y_{C_{BE}}$ , étant l'admittance de la capacité C<sub>BE</sub>, elle peut être exprimée sous la forme donnée par l'Équation 65 afin de décorréler cette capacité de son admittance.

$$C_{BE}(V) = -\frac{Im(Y_{21})}{2\pi \times f} \text{ avec } Y_{21} = -Y_{C_{BE}}$$
Équation 65

Les paramètres S sont également mesurés en deux ports jusqu'à 50 GHz, et les caractéristiques utiles ont la même allure pour la capacité backend  $C_{BE}$  que celles illustrées sur la Figure 86 pour la capacité totale  $C_{tot}$ . Les extractions de  $C_{tot}$  et  $C_{BE}$  sont effectuées pour une polarisation nulle, en vue de remonter jusqu'à la valeur de  $C_{j0}$  avec l'aide de l'Équation 66.

$$C_{i0} = C_{tot} - C_{BE}$$
 Equation 66

L'ensemble des capacités de backend  $C_{BE}$  extraites représente ~ 40 % de la valeur de la capacité totale  $C_{tot}$ . De plus, l'ordre de grandeur des capacité  $C_{BE}$  extraites reste compatible avec la précision des appareils de mesures utilisés pour caractériser les diodes Schottky. Cette méthode d'extraction des capacités  $C_{BE}$  et  $C_{j0}$  demeure ainsi relativement fiable, mais a pour inconvénient de doubler le nombre de structures de test à embarquer sur un même masque, chaque diode devant posséder un Open associé. Cette méthode d'extraction s'inspire en partie de celle détaillée dans [59].

### III.2.i.d.3. Confrontation entre la méthode d'extraction mesure DC/simulation TCAD et par de-embeeding en paramètres S

Cette partie propose une comparaison des capacités de jonction  $C_{j0}$  extraites à l'aide des deux méthodes TCAD et paramètres S. En théorie, les valeurs de  $C_{j0}$  extraites sont censées être rigoureusement identiques, mais on constate une différence de 45 % en pratique entre les deux méthodes comme l'illustre la Figure 90.



Figure 90: Capacités de jonction C<sub>j0</sub> extraites avec les deux méthodes d'extraction

La Figure 90 donne les valeurs de capacité C<sub>j0</sub> extraites pour les diodes BiCMOS 55 nm du Tableau 10. Les surfaces d'anode A choisies ici sont volontairement élevées (de 4 à 32 µm<sup>2</sup>) afin de négliger l'erreur de précision induite par les appareils de mesures pour l'aspect relatif aux paramètres S. La valeur du dopage moyen à l'interface relevé pour l'extraction des capacités  $C_{i0}$  par simulation TCAD est de  $N_D = 1,3.10^{17}$  cm<sup>-3</sup>. L'augmentation constante de 45 % des valeurs de capacités extraites avec les mesures de paramètres S traduit le fait que le dopage moyen N<sub>D</sub> vu à l'interface tend à être plus important. Cette différence montre en ce sens que l'hypothèse sur la fiabilité de la valeur du dopage N<sub>D</sub> estimée à l'interface par simulation TCAD est ici mise à défaut. Plusieurs phénomènes peuvent expliquer cela. En effet, la diffusion des dopants lors de la siliciuration est très élevée et assez hétérogène. Il devient dès lors complexe d'établir un profil de dopage vertical rigoureusement précis à cette interface [63]. De plus, les simulations TCAD sont réajustées après la fabrication d'un composant. A cette fin, des coupes SEM (Scanning Electron Microscopy) et TEM (Transmission Electron Microscopy) sont réalisées à l'aide d'un microscope à électron. L'enjeu réside dans la visualisation des concentrations de dopants en vue de réajuster les simulations TCAD d'un composant. Ce réajustement n'a pas été effectué dans la mesure où l'architecture de diodes Schottky est innovante, et n'est donc pas incluse dans le catalogue des composants vendus dans le DK (Design Kit) de STMicroelectronics. Néanmoins, l'erreur constante de 45 % sur Ci0, indépendamment de la surface d'anode A, permet de remonter à la valeur de dopage ND moyen réellement obtenue à la jonction siliciurée. Un remaniement de l'Équation 21 sert à exprimer le dopage moyen N<sub>D</sub> à travers l'Équation 67 en utilisant les valeurs de capacité de jonction C<sub>i0</sub> extraites en mesures de paramètres S pour une surface d'anode A donnée.

$$N_D = \frac{C_{j0}^2}{A^2} \times \frac{2V_b}{q\varepsilon_S}$$
 Équation 67

Les valeurs extraites  $N_D$  en mesure sont donc de 3,6.10<sup>-17</sup> cm<sup>-3</sup>, c'est-à-dire presque trois fois plus élevées que celles obtenues par simulation TCAD ( $N_D = 1,3.10^{17}$  cm<sup>-3</sup>) pour le BiCMOS 55 nm. En revanche, concernant la technologie 65SOIFEM, la valeur  $N_D$  extraite en TCAD s'accorde avec celle retrouvée en mesure puisque les capacités de jonctions  $C_{j0}$  extraites avec les deux méthodes sont équivalentes.

L'ensemble des communications scientifiques sur les performances de la diodes Schottky en BiCMOS 55 nm (rubrique Liste des Publications) ont été réalisées grâce à l'extraction de la capacité de jonction  $C_{j0}$  par la méthode TCAD avant la mise en lumière de l'erreur de 45 % sur sa valeur. De ce fait, les fréquences de coupure données dans ces papiers (autour de 1,7 THz) doivent être réajustées et sont en réalité plus proches de 1 THz. La modélisation analytique proposée de la capacité totale  $C_{tot}$  voit également ses proportions de capacité  $C_{BE}$  (60 %) et celles de capacité de jonction  $C_{j0}$  (40 %) inversées. De fait, la contribution réelle de la capacité de jonction  $C_{j0}$  est de 60 % alors que celle de la capacité  $C_{BE}$  est de 40 % de la capacité total. Une correction de ces valeurs est proposée dans ce manuscrit (rubrique III.3.iii.b).

# **III.3. STRATEGIE DE MODELISATION ANALYTIQUE DES DIODES SCHOTTKY**

## **III.3.i.** OBJECTIFS ET HYPOTHESES DE MODELISATION DE LA JONCTION SCHOTTKY

La stratégie de modélisation mise en place se fonde sur le modèle générique de la diode illustrée sur la Figure 34. L'objectif est d'appliquer ce modèle analytique, reposant sur les équations de références du fonctionnement de la diode, à notre architecture innovante de diode Schottky. La Figure 91 présente l'agencement du modèle générique au sein de l'architecture innovante de diode Schottky.



Figure 91: Modèle analytique générique appliqué à l'architecture de diode Schottky innovante

La modélisation analytique du fonctionnement électrique de l'architecture innovante de diode Schottky vise la prédiction des performances du composant. Par conséquent, il convient d'identifier au sein de l'architecture frontend/backend les couches qui influencent fortement les valeurs des contributions résistives et capacitives, afin de les positionner de manière logique dans le modèle électrique. La seconde attente de cette modélisation est d'être en mesure de découvrir des axes d'amélioration sur les performances du composant via la localisation des zones générant les contributions résistives et capacitives majoritaires de l'architecture Schottky.

La modélisation analytique reposera toutefois sur plusieurs hypothèses : l'ensemble des contributions résistives seront modélisées par des chemins moyens au sein de l'architecture totale. Le chemin électrique moyen parcouru par le courant sera donc modélisé à l'aide de la définition de la résistivité d'un barreau de cuivre appliqué à plusieurs zones clés de l'architecture Schottky. L'ensemble des contributions capacitives sera modélisée par la définition de la capacité induite par deux surfaces conductrices proches, séparées par un isolant pour les parties backend. La modélisation de la partie capacitive liée au contact Schottky s'appuiera sur la valeur de dopage  $N_D$  extraite de la mesure (elle-même considérée comme suffisamment précise). La Figure 92 (a), associée à l'Équation 68, illustre la stratégie de modélisation de la résistance tandis que la Figure 92 (b) et l'Équation 69 représentent celle de la capacité backend.



Figure 92: (a) Représentation de la résistivité d'un barreau de cuivre et (b) illustration de la capacité induite par deux conducteurs se trouvant à proximité

#### Page 119 sur 199

$$R_{\rm S} = R_{\Box} \times \frac{L}{W} \ avec \ R_{\Box} = \frac{\rho_m}{t}$$
 *Équation 68*

L'Équation 68 explicite la méthodologie de calcul de la résistance série  $R_s$  à travers un barreau de conducteur de longueur L, de largeur W et épaisseur t. La résistance  $R_{\Box}$  est communément utilisée afin de simplifier les calculs de résistivité et tient compte de la résistivité  $\rho_m$  et de l'épaisseur t du matériau conducteur (ou semi-conducteur).

$$C_{BE} = \varepsilon \times \frac{S}{e} \qquad \qquad \acute{Equation 69}$$

L'Équation 69 introduit la méthodologie de calcul de la capacité liée aux métallisations de backend  $C_{BE}$  pour deux surfaces conductrices S espacées par un diélectrique de constante  $\varepsilon$  ayant une épaisseur e. L'Équation 21 de la capacité de jonction  $C_{j0}$  sera celle utilisée pour modéliser cette dernière. Pour l'ensemble des dimensionnels engagés dans la modélisation, les distances réelles sur silicium seront privilégiées. De ce fait, le shrink optique de la technologie 65 nm réalisé en BiCMOS 55 nm sera pris en compte afin d'affiner la modélisation analytique.

## **III.3.ii.** MODELISATION DE LA RESISTANCE SERIE AU SEIN DE L'ARCHITECTURE SCHOTTKY

#### III.3.ii.a. CHEMIN RESISTIF MOYEN PARCOURU PAR LE COURANT

La circulation du courant de diffusion au sein de la jonction Schottky s'effectue de façon multiple. A l'intérieur de la surface d'anode A encadrée par la séparation poly-silicium, le courant, une fois la hauteur de barrière franchie, va diffuser à l'intérieur du caisson Nwell dans toutes les directions pour rejoindre l'accès de la cathode. Par conséquent, la modélisation d'un chemin résistif moyen parcouru par courant entre l'anode et la cathode a été retenue. Ce chemin moyen est établi à l'intérieur de la coupe A-A présentée sur la Figure 93.



Figure 93: Illustration des contributions résistives et des dimensions utiles à la modélisation

La Figure 93 met en évidence l'ensemble des dimensionnels utilisés pour effectuer le découpage des contributions résistives. Cette subdivision prend en compte l'ensemble des couches métalliques liées au backend avec les contributions des métaux d'accès, ainsi que celles de la zone active séquencée par le dépôt de siliciure, le caisson Nwell et la couche tampon fortement dopé N+/Nsinker. En ce sens, la résistance série R<sub>s</sub> modélisée par l'Équation 70, et donnée par un unique chemin moyen entre le doigt d'anode et celui de la cathode, représente la somme des résistances estimées dans chaque couche frontend/backend.

$$R_{s} = R_{anode} + R_{silicide} + R_{nwell} + R_{n+} + R_{cathode}$$
 Equation 70

La modélisation analytique des parties backend ( $R_{anode}$  et  $R_{cathode}$ ) et frontend ( $R_{silicide}$ ,  $R_{nwell}$  et  $R_{n+}$ ) de l'Équation 70 est détaillée par les formules allant de l'Équation 71 à l'Équation 75.

$$R_{anode} = \frac{L_{access} + \frac{L_{anode}}{2}}{(\frac{1}{R_{\Box\_m1}} + \frac{4}{R_{\Box\_mx}}) \times W_{m1\_anode} \times N_{finger}}$$
 Équation 71

L'Équation 71 modélise le passage du courant à travers le doigt d'anode. Ce doigt étant constitué d'un empilement de métaux fins (métaux x) ayant tous une largeur  $W_{m1\_anode}$ , la contribution de l'empilement des métaux est mise en parallèle. De plus, la densité de courant n'ayant pas une répartition homogène à l'intérieur de cet empilement, la longueur totale du barreau équivalent retenue pour ce doigt d'anode est la somme  $L_{access}$  et  $\frac{L_{anode}}{2}$ . Cette longueur représente en moyenne deux tiers du doigt d'anode, car le courant dans le dernier tiers est minoritaire en comparaison.

$$R_{\text{silicide}} = \frac{R_{\Box_{\text{silicide}}} \times W_{\text{anode}}}{2 \times L_{\text{anode}}}$$
 Équation 72

L'Équation 72 modélise le passage du courant à l'intérieur de la siliciuration. Le courant privilégiant un chemin latéral grâce à l'utilisation de l'espaceur Poly, un barreau équivalent de longueur  $\frac{W_{anode}}{2}$  et de largeur L<sub>anode</sub> a été privilégié. Il part ainsi du milieu de l'accès du contact d'anode jusqu'au bord de l'intérieur de l'espaceur poly-silicium.

$$R_{nwell} = \frac{R_{\Box_nwell} \times (L_{poly} + W_{anode})}{L_{anode} \times N_{finger}}$$
 Équation 73

L'Équation 73 modélise le passage du courant dans le caisson Nwell sous l'espaceur poly-silicium. Le barreau équivalent retenu est de longueur  $(L_{poly} + W_{anode})$  et de largeur  $L_{anode}$ , et représente le chemin latéral parcouru par le courant lorsque la zone siliciurée et la barrière de potentiel ont été franchies.

$$R_{n+} = \frac{R_{\Box_n +} \times W_{cathode}}{2 \times L_{anode}}$$
 Équation 74

L'Équation 74 modélise la circulation du courant dans la couche tampon fortement dopée du bord du poly au milieu de contact de cathode. Le barreau conducteur équivalent est de longueur  $\frac{W_{cathode}}{2}$  et de largeur  $L_{anode}$ .

$$R_{cathode} = \frac{1}{\frac{W_{m1\_cathode}}{R_{\Box\_m1} \times (L_{access} + \frac{L_{anode}}{2})} + \frac{N_{contact} \times N_{finger}}{R_{contact}}}$$
Équation 75

L'Équation 75 modélise le cheminement du courant dans l'accès backend du doigt de la cathode. Initialement réalisé par un U en métal 1, le barreau équivalent ne tient compte que de la résistivité de ce métal et de celle de ses contacts mis en parallèle. Certaines architectures ont également été réalisées avec un doigt de cathode M1-M5 empilé. En dépit de ces tentatives, l'estimation de R<sub>cathode</sub> reste valable dans la mesure où l'Équation 75 maximise sa faible valeur.

$R_{\Box_silicide}$	$R_{\Box_n+}$	$R_{\Box_nwell_min}$	$R_{\Box_nwell_typ}$	$R_{\Box_nwell_max}$	$R_{\Box_m x}$
<b>12</b> Ω/□	<b>12</b> Ω/□	<b>250</b> Ω/□	<b>400</b> Ω/□	<b>650</b> Ω/□	<b>145,8 m</b> Ω/□
	Tableau 10	6: Résistances car	rées du modèle an	alvtiaue	

Le Tableau 16 récapitule l'ensemble des résistances carrées utilisées pour modéliser le chemin résistif moyen parcouru par le courant lorsque la diode Schottky est passante. Ces valeurs sont données pour la technologie BiCMOS 55 nm mais elles varient en fonction de chaque technologie. Les résistances liées aux couches de cuivre des doigts d'accès d'anode et de la cathode sont très faibles  $R_{\Box_mx} = R_{\Box_m1}$ , contrairement à celles de la partie semi-conductrice. Comme il existe une variabilité du processus de fabrication lors de la réalisation des plaques, une valeur typique de chaque résistance carrée est donnée ainsi qu'une valeur minimale et maximale. Ces dernières permettent de garantir que la résistivité est comprise entre ces deux valeurs. La valeur importante de résistivité par carré pour une circulation du courant dans le caisson Nwell, est donc prise en considération afin de faciliter l'accord entre le modèle et les valeurs de résistance série  $R_s$  extraites de la mesure. Ce changement de résistance carrée permet au modèle analytique de la résistance série  $R_s$  d'être exploitable dans l'ensemble des technologies ST où des diodes Schottky ont été développées.

#### III.3.ü.b. Impact et poids des contribution resistives au sein de la diode Schottky

L'ensemble du dimensionnel engagé dans la modélisation de la résistance série  $R_s$  est automatiquement ajusté pour chaque architecture de diode Schottky. De ce fait, les seuls paramètres que l'utilisateur doit spécifier sont la longueur d'anode  $L_{anode}$ , la largeur d'anode  $W_{anode}$  et le nombre de doigt d'anode  $N_{finger}$ . Les masques de l'ensemble des diodes Schottky ont été pensés en vue de conserver les proportions de  $L_{access}$ ,  $W_{m1\_anode}$  et  $W_{m1\_cathode}$  constantes pour chaque architecture Schottky. En conséquence, le modèle peut être appliqué à l'ensemble des architectures de Schottky indépendamment de leur surface d'anode A. L'impact dans l'ensemble des technologies CMOS et BiCMOS, pour toutes les surfaces d'anode A des contributions résistives de la résistance série  $R_s$  modélisée, est résumé dans la Figure 94.



Figure 94: Détail des contributions résistives de R<sub>s</sub> modélisées au sein de l'architecture Schottky

La Figure 94 représente l'ensemble des contributions résistives à l'intérieur de la résistance série  $R_s$ modélisée. Les métallisations d'accès backend Ranode et Rcathode contribuent à hauteur de 2% de la valeur totale de la résistance série Rs. Ce faible impact semble logique, dans la mesure où les métaux d'accès sont élaborés avec du cuivre (très bon conducteur) ayant un dimensionnel suffisant afin de minimiser leur impact. Pour la partie frontend, deux tendances sont à noter. La somme de R<sub>silicide</sub> (siliciure) et R<sub>n+</sub> (couche tampon fortement dopé) représente 14% de la valeur de R<sub>s</sub>. Cet impact modéré est également rationnel, car l'alliage du module de siliciuration est initialement optimisé pour réaliser des contacts ohmiques très peu résistifs. De plus, les couches tampons fortement dopées offrent une grande mobilité aux porteurs majoritaires et participent généralement à la réalisation de contacts ohmiques faiblement résistifs. La contribution majoritaire de 84% de la valeur de R<sub>s</sub> est celle de la résistance R<sub>nwell</sub>. Cette valeur élevée traduit l'impact du dopage modéré du caisson Nwell où les porteurs majoritaires présentent une mobilité réduite. En ce sens, cette modélisation analytique permet de mettre en lumière la contribution (R<sub>nwell</sub>) qui doit être optimisée pour réduire la résistance série R<sub>s</sub>. Cette modélisation repose sur des hypothèses qui font sens dans la pratique, puisque le passage d'un nœud 55/65 nm à un nœud 130 nm double la dimension L<sub>poly</sub> (cf. Figure 93) et donc divise presque la fréquence de coupure de la diodes Schottky par deux (cf. Figure 68). L'accord entre le modèle et les mesures extraites de la résistance série R<sub>s</sub> sera proposé dans la partie III.4.i.a.

## **III.3.iii.** MODELISATION DE LA CAPACITE TOTALE AU SEIN DE L'ARCHITECTURE SCHOTTKY

#### **III.3.iii.a.** Contributions capacitives majoritaires presentes dans L'architecture Schottky

Pour une polarisation nulle ou suffisamment faible, plusieurs contributions capacitives peuvent être mises en lumière au sein de l'architecture de diode Schottky. La capacité de jonction  $C_{j0}$  intrinsèque au dépôt métal sur semi-conducteur est l'unique contribution capacitive frontend. Les autres contributions capacitives devant être modélisées sont celles provoquées par l'agencement des accès métalliques du backend. La Figure 95 illustre les contributions capacitives identifiées et modélisées au sein de l'architecture Schottky.



Figure 95: Illustration des contributions résistives et capacitives utiles à la modélisation

En complément de l'ensemble des capacités modélisées analytiquement, la Figure 95 rappelle l'ensemble du chemin moyen tout en s'affranchissant du nom des dimensions précisées sur la Figure 93. Les capacités associées au backend sont donc toutes générées par la proximité entre le doigt d'anode et de cathode. L'ensemble des contributions capacitives seront modélisées en parallèle afin d'obtenir un modèle de la capacité totale  $C_{tot}$  (Équation 76) vue par l'architecture innovante de diode Schottky.

$$C_{tot} = C_{j0} + C_{access_{finger}} + C_{anode_{to}_{cathode}} + C_{Bridge_{N+}}$$
 Equation 76

La modélisation analytique des parties backend ( $C_{access\_finger}$ ,  $C_{anode\_to\_cathode}$  et  $C_{brigde\_N+}$ ) et frontend ( $C_{j0}$ ) de l'Équation 76 sont détaillées à l'aide des formules allant de l'Équation 77 à l'Équation 84.

$$C_{j0} = L_{anode} \times W_{anode} \times N_{finger} \times \frac{\sqrt{q \times \varepsilon_s \times N_D}}{\sqrt{2V_b} \times \left(1 - \frac{V}{V_b}\right)^{\gamma=0,5}}$$
 Équation 77

La modélisation de la capacité de jonction  $C_{j0}$  exprimée par l'Équation 77 reprend la formule de la capacité  $C_{j0}$  calculée grâce à l'Équation 63. La surface d'anode A a été remplacée par les trois paramètres ( $L_{anode}$ ,  $W_{anode}$  et  $N_{finger}$ ) la définissant et découlant de l'utilisateur du modèle. Les valeurs de hauteur de barrière  $V_b$  et de dopage moyen  $N_D$  choisies sont celles extraites en mesures, et la valeur diélectrique du silicium  $\varepsilon_s$  est fixée par le processus de fabrication.

$$C_{access\_finger} = C_{CathodeFing\_to\_AnodeAccess} + C_{AnodeFing\_to\_CathodeAccess}$$
 Équation 78

La capacité  $C_{access_{finger}}$  donnée par l'Équation 78 représente la somme des capacités liées à la proximité des doigts de cathode avec l'accès d'anode (Équation 79) et de celui d'anode avec l'accès de cathode (Équation 80). Cette contribution capacitive est illustrée par les condensateurs en rose sur la Figure 95.

$$C_{cathodeFing\_to\_AnodeAccess} = \frac{\varepsilon_0 \times \varepsilon_r \times h_{Mx} \times W_{m1\_cathode}}{\text{Space}_{Kfing\_to\_AAccess}} \times 2 \times N_{finger}$$
 Équation 79

L'Équation 79 modélise le couplage capacitif entre les doigts de cathode et l'accès d'anode. Le seul paramètre fluctuant avec la géométrie est le nombre de doigts d'anode N<sub>finger</sub>. Le chiffre 2 correspond à la prise en compte de la présence de deux doigts de cathode par nombre N<sub>finger</sub> de doigts d'anode. La surface modélisant les armatures du condensateur est définie par l'épaisseur du métal supérieur de cathode h<sub>Mx</sub> et par la largeur métallisée du doigt de cathode W<sub>m1\_cathode</sub>. L'espacement de permittivité  $\varepsilon_0 \times \varepsilon_r$  entre la formation de ces deux armatures découle de la dimension Space<sub>Kfing\_to\_AAccess</sub>. La conception des masques des diodes Schottky a été pensé pour conserver le dimensionnel de ses armatures constantes pour chaque diode Schottky développée.

$$C_{AnodeFing\_to\_CathodeAccess} = \frac{\varepsilon_0 \times \varepsilon_r \times h_{Mx} \times W_{m1\_anode}}{\text{Space}_{Afing\_to\_KAccess}} \times N_{finger} \qquad \qquad \acute{Equation 80}$$

L'Équation 80 modélise le couplage capacitif entre le doigt d'anode est l'accès à la cathode. De manière analogue à la modélisation de capacité  $C_{CathodeFing_to_AnodeAccess}$ , les surfaces des armatures équivalentes sont représentées à travers l'épaisseur du métal supérieur d'anode  $h_{Mx}$  et à travers la largeur métallisée du doigt d'anode  $W_{m1\_anode}$ . L'espacement de permittivité  $\varepsilon_0 \times \varepsilon_r$  entre la formation de ces deux armatures est apportée par le biais de la dimension Space\_Afing\_to\_KAccess.

$$C_{\text{anode}\_to\_cathode} = \frac{\varepsilon_0 \times \varepsilon_r \times L_{\text{anode}} \times h_{\text{Mx}} \times 2 \times N_{\text{finger}}}{\frac{W_{\text{anode}}}{2} + L_{\text{poly}} + W_{\text{Co}\_to\_poly} - WK_{\text{Co}\_to\_m1} - \frac{W_{\text{Co}}}{2} - WA_{\text{Co}\_to\_m1}}$$
 Équation 81

L'Équation 81 modélise le couplage capacitif engendré par la proximité entre le doigt d'anode et ceux de la cathode. Cette contribution capacitive est illustrée sur la Figure 95 en gris-kaki. Les surfaces des armatures équivalentes sont représentées par l'épaisseur du métal supérieur d'anode  $h_{Mx}$  et par la longueur du doigt d'anode  $L_{anode}$ . L'espacement de permittivité  $\varepsilon_0 \times \varepsilon_r$  entre la formation de ces deux armatures est spécifié par les dimensions du dénominateur de l'Équation 81. Parmi ces termes, seul  $W_{anode}$  est défini par l'utilisateur. Tous les autres découlent du dimensionnel minimum imposé par les règles de dessin de la technologie.

$$C_{Bridge_N+} = C_{Bridge_N+\_anode} + C_{Bridge_N+\_cathode}$$
 Equation 82

La capacité  $C_{Bridge_N+}$  calculée grâce à l'Équation 82 représente la somme des capacités liées au passage du courant au-dessus des couches tampons fortement dopées N+ à l'intérieur des doigts d'anode (Équation 83) et de la cathode (Équation 84). L'ensemble de ces capacités est illustré en vert sur la Figure 95.

$$C_{Bridge_N+\_anode} = \frac{\varepsilon_0 \times \varepsilon_r \times L_{N+OD} \times W_{m1\_anode}}{h_{Mx\_to\_N+}} \times N_{finger} \qquad \qquad \acute{Equation 83}$$

L'Équation 83 modélise le couplage engendré par le passage du doigt d'anode au-dessus de la zone fortement dopée N+. Les surfaces des armatures équivalentes sont données par le produit de la longueur de zone fortement dopée sous le doigt d'anode  $L_{N+OD}$  avec la largeur de ce doigt  $W_{m1\_anode}$ . Ses armatures sont espacées par l'épaisseur entre la couche de métal inférieure et la couche fortement dopée N+  $h_{Mx to N+}$ .

$$C_{Bridge_N+\_cathode} = \frac{\varepsilon_0 \times \varepsilon_r \times L_{N+OD} \times W_{m1\_cathode}}{h_{Mx\_to\_N+}} \times 2 \times N_{finger}$$
 Équation 84

L'Équation 84 modélise le couplage induit par le passage des doigts de cathode au-dessus de la zone fortement dopée N+. Réciproquement à l'Équation 83, les surfaces des armatures équivalentes s'expriment en fonction du produit de la longueur de zone fortement dopée sous les doigts de cathode  $L_{N+OD}$  avec la largeur de ce doigt  $W_{m1\_cathode}$ . Ses armatures sont espacées par l'épaisseur entre la couche de métal inférieure et la couche fortement dopée N+  $h_{Mx \ to \ N+}$ .

$\mathcal{E}_{S}$	ε <sub>r</sub>	$arepsilon_0$
$10^{-10} F.m^{-1}$	4	$8,85 \times 10^{-12} F.m^{-1}$

Tableau 17: Permittivités utilisées pour le modèle analytique

Le Tableau 17 récapitule les valeurs des permittivités diélectriques utilisés pour la modélisation l'ensemble des capacités. La permittivité  $\varepsilon_s$  à l'intérieur du silicium est celle utilisée pour modéliser la capacité de jonction C<sub>j0</sub>. Le produit de la permittivité du vide  $\varepsilon_0$  avec celle relative à l'oxide de silicium  $\varepsilon_r$  sert à modéliser l'ensemble des capacités backend.

#### III.3.iii.b. Impacts et poids des contributions capacitives au sein de la diode Schottky

A l'image du modèle de la résistance séries  $R_s$ , seuls les éléments  $L_{anode}$ ,  $W_{anode}$  et  $N_{finger}$  doivent être définis par l'utilisateur. Le dimensionnel a été pensé dans son ensemble afin d'être relativement constant pour l'ensemble des diodes Schottky développées. L'impact dans l'ensemble des technologies CMOS et BiCMOS, pour toutes les surfaces d'anode A des contributions capacitives de la capacité totale  $C_{tot}$  modélisée, est résumé sur la Figure 96.



Figure 96: Poids des contributions capacitives modélisées au sein de l'architecture Schottky

La Figure 96Figure 94 représente le découpage de l'ensemble des contributions capacitives à l'intérieur de la capacité totale  $C_{tot}$  modélisée. Cette modélisation donne donc le poids de la capacité de jonction  $C_{j0}$  (60%) et de la capacité backend nommé  $C_{BE}$  ou  $C_{Backend}$  (40%) au sein de la capacité totale  $C_{tot}$ . A l'intérieur de la capacité  $C_{BE}$ , la proximité entre les doigts d'anode et de cathode (17%) selon leurs accès métalliques respectifs est à l'origine de l'augmentation de sa valeur.

### **III.4. VALIDATION DU MODELE ANALYTIQUE DE L'ARCHITECTURE SCHOTTKY**

#### **III.4.i.** ACCORD OBTENU ENTRE LE MODELE ANALYTIQUE DE DIODE SCHOTTKY ET LES PERFORMANCES MESUREES

#### III.4.i.a. Accord du modele vs mesures pour la resistance serie

Le modèle analytique utilisant le chemin moyen parcouru par le courant au sein de l'architecture Schottky permet d'estimer l'ensemble des résistances séries  $R_s$  des diodes développées. De ce fait, la résistance série  $R_s$  peut être estimée pour l'ensemble des surfaces d'anode A correspondant à une largeur  $W_{anode}$ , une longueur  $L_{anode}$  et un nombre de doigts  $N_{finger}$  respectifs pour les diodes Schottky développées. L'accord entre l'estimation des résistances série  $R_s$  avec le modèle avec celles extraites des mesures est présenté sur la Figure 97 pour la technologie BiCMOS 55 nm.



Figure 97: Accord entre le modèle de la résistance série  $R_s$  en fonction de la surface d'anode avec les valeurs extraites des mesures : (a)  $W_{anode} = 0,31 \ \mu m$  et (b)  $W_{anode} = 0,52 \ \mu m$ 

La résistance du caisson Nwell représentant la majorité (cf. Figure 94) de la résistance  $R_{s}$ , les variations données sur la résistivité de ce caisson (cf. Tableau 16) sont pris en compte afin de décrire trois tendances de valeurs de R<sub>s</sub> telles qu'illustrées sur les Figure 97 (a) et (b). Le tracé imposé sur la Figure 97 (a) par la modélisation avec la variation maximale présente un bon accord avec les valeurs de résistance série R<sub>s</sub> extraites des mesures pour une faible largeur d'anode  $W_{anode} = 0.31 \mu m$ . En effet, pour l'ensemble des surfaces d'anode A allant de 0.31 à 32 µm<sup>2</sup>, le modèle analytique est en mesure de prédire les valeurs de résistance avec moins de 10 % d'écart entre les valeurs modélisées et celles mesurées. De plus, les dimensions du chemin parcouru par le courant à l'intérieur du caisson Nwell sont très courtes tout en étant relativement fines, et permettent de retenir la valeur de la variation maximale de la résistance carrée du Nwell. La variation maximale introduite par le processus de fabrication traduit le fait qu'un dimensionnel très agressif s'opère entre l'anode et la cathode. Le modèle analytique de R<sub>s</sub> est ainsi appliqué à des largeurs d'anode moins agressives ( $W_{anode} = 0.52 \mu m$ ). Les tendances de modélisation redéfinies sur la Figure 97 (b) montrent que, grâce à un dimensionnel moins agressif, la variation minimum introduite par le processus de fabrication permet de capturer les valeurs de résistance série  $R_s$  extraites des mesures. Dès lors, le modèle analytique de la résistance série est en capacité de prédire les valeurs de R<sub>s</sub> pour des largeurs d'anode  $W_{anode}$  variant dans l'intervalle [0,31:0,52] µm. Les valeurs de résistances séries sont par ailleurs légèrement réduites pour des largeurs d'anode  $W_{anode} = 0.52 \mu m$ , ce qui offre le meilleur compromis pour la valeur de R<sub>s</sub> dans cet intervalle de largeur et permet son estimation et sa modélisation. Le modèle analytique de la résistance série R<sub>s</sub> présente également une bonne corrélation avec les valeurs de R<sub>s</sub> extraites des mesures dans la technologie CMOS SOI 65 nm pour l'ensemble des diodes Schottky développées. En revanche, l'impact plus prononcé du backend pour les technologies 130 nm ne permet pas au modèle de capturer les valeurs de  $R_s$ extraites en mesure dans leur ensemble. Cette défaillance pour les technologies 130 nm n'a pas été corrigée dans la mesure où le modèle sera utilisé pour les développements en 55 et 65 nm.

#### III.4.i.b. Accord modele vs mesure pour la capacite totale

Le modèle analytique offrant une estimation de l'ensemble des capacités au sein de l'architecture Schottky a été appliqué aux diodes développées. Par conséquent, les trois capacités  $C_{j0}$ ,  $C_{BE}$  (ou  $C_{Backend}$ ) et  $C_{tot}$ modélisées peuvent être comparées à celles extraites en mesures. A l'instar du modèle de la résistance série  $R_s$ , celui des capacités est donné pour l'ensemble des surfaces d'anode A correspondant à une largeur  $W_{anode}$ , une longueur  $L_{anode}$  et un nombre de doigts  $N_{finger}$  respectifs pour chacune des diodes Schottky.



Figure 98: Accord entre le modèle de la capacité totale C<sub>tot</sub> et de ses deux composantes en fonction du nombre de doigts avec les valeurs extraites en mesures

La Figure 98 présente l'accord entre le modèle et les valeurs extraites des capacités de la diodes Schottky en technologie BiCMOS 55 nm. La Figure 98 comporte un graphique par surface d'anode allant de 1 à 32  $\mu$ m<sup>2</sup> et souligne la comparaison entre les valeurs de capacité mesurées et modélisées en fonction du nombre de doigts d'anode N<sub>finger</sub>. L'ensemble des modélisations des capacités (Histogrammes pleins) met en lumière une corrélation satisfaisante avec les valeurs extraites en mesure (Histogrammes hachurés). L'impact sur les capacités de jonction C<sub>j0</sub> est logique, puisqu'il affiche peu de variations à surface d'anode A donnée entre les valeurs mesurées et modélisées. Pour une surface d'anode A constante, l'évolution par augmentation du nombre de doigts d'anode N<sub>finger</sub> traduit celle des capacités C<sub>BE</sub> et C<sub>tot</sub> modélisées et mesurées. En ce sens, le comportement des capacités modélisées demeure physique et logique vis-à-vis de celles extraites des mesures. Quant à la surface d'anode A = 1  $\mu$ m<sup>2</sup>, l'impact de la capacité backend C<sub>BE</sub> montre un écart moyen de 50 %. Cet écart est cependant dans l'ordre de grandeur des imprécisions des appareils de mesure autour de 0,5 fF. Il sera considéré comme non significatif et n'invalide pas les hypothèses de modélisation, car l'écart de la capacité de jonction C<sub>j0</sub> reste malgré tout pertinent. Le modèle analytique de la capacité totale demeure valable dans la technologie CMOS SOI 65 nm, et partiellement fiable pour les technologies 130 nm, à l'image de celui établi pour la résistance série R<sub>s</sub>.

#### **III.4.ii.** IMPLEMENTATION DU MODELE ANALYTIQUE SOUS ADVANCE DESIGN SYSTEME (ADS)

#### III.4.ii.a. CHOIX DU MODELE A PRIVILEGIER SOUS ADS

En vue de réaliser des simulations électriques de circuits plus complexes sous le logiciel ADS (Advance Design System), il est possible d'entrevoir deux stratégies d'implémentation du modèle analytique Schottky développé. La première s'oriente vers le développement d'un modèle électrique personnalisé par l'intermédiaire d'un bloc SDD (Symbolocally Defined Devices) tel qu'illustré par la Figure 99 (a). La seconde stratégie repose sur l'utilisation du modèle de diodes ADS proposé par les développeurs de Keysight et présenté dans la Figure 99 (b).



Figure 99: Implémentation du modèle Schottky sous ADS avec le : (a) bloc SDD ; (b) modèle générique de diode proposé par ADS

Le bloc SDD (Figure 99 (a)) contribue à capturer la dépendance entre le courant et la tension de chaque port. C'est un composant à n-ports qui a respectivement n-variables. La variable \_vn et la variable \_in sont respectivement la tension et le courant présents au port n. Par conséquent, le modèle analytique peut être défini selon trois types de fonctions :

- Explicite I[numéro du port, numéro de la fonction Weighting] qui implémente une fonction du type i = f(v).
- Implicite F[numéro du port, numéro de la fonction Weighting] qui implémente une fonction du type i f(v) = 0.
- « Weighting » qui permet d'introduire une fonction à dépendance fréquentielle comme les retards, filtres passe bas et passe haut etc...

Dans le cas où plus d'une expression a été implémentée sur le même port dans le bloc SDD, ce dernier calcule les transformées de Fourier inverse de manière indépendante pour chaque expression. Il pondère, par la suite, chaque spectre grâce à la fonction Weighting qui lui est spécifiée, et finalement réalise la somme de chaque spectre individuel afin d'obtenir le spectre final. L'utilisation de deux équations implicites a donc été privilégiée afin de modéliser le fonctionnement intrinsèque de la diode Schottky avec le bloc SDD. La résistance série R<sub>s</sub> et la capacité de backend C<sub>BE</sub> seront représentées avec les deux composants placés en amont et en parallèle du SDD. L'équation analytique correspondant aux deux fonctions implicites F[1,0] =\_i1-id(\_v1) et F[1,1]=-Q(\_v1) du bloc SDD est donnée par l'Équation 85.

$$_{i1} = I_{sat} \left( e^{\frac{q}{\eta kT} \times _{v1} \nu 1} - 1 \right) + \frac{d}{dt} \left( C_{j0} \left( 1 - \frac{_{v1} \nu 1}{_{V_b}} \right)^{0.5} \right)$$
 Équation 85

Le premier terme représente le courant traversant la diode Schottky. Le second résulte de l'accumulation des charges provoquée par la barrière Schottky V<sub>b</sub>. De ce fait, la dérivée temporelle de la capacité non linéaire permet de tenir compte de cette partie du courant lorsque la fréquence varie. Le courant traversant la diode I<sub>d</sub> (dans l'Équation 12) est assimilé au courant port 1 du SDD \_i1. Il en va de même pour la tension de polarisation de la diode V (dans l'Équation 12) qui est associé à la tension port 1 \_v1 du SDD.

La Figure 99 (b) illustre le modèle de diode ADS proposé par les développeurs de Keysight. Ce modèle comporte un grand nombre d'équations. Les équations qui découlent du modèle proposé permettent *de facto* une modélisation de la réponse courant-tension de l'impact fréquentiel lié à la capacité jonction  $C_{j0}$ . Il offre également la possibilité d'être utilisé pour modéliser des comportements de la jonction en température et en bruit. Son utilisation est simplifiée dans la mesure où il suffit à l'utilisateur de préciser les valeurs de résistance série  $R_s$ , de facteur d'idéalité  $\eta$ , de courant de saturation  $I_{sat}$ , la hauteur de hauteur de barrière  $V_b$  ainsi que la valeur de la capacité de jonction  $C_{j0}$  pour modéliser la jonction intrinsèque. La capacité backend  $C_{BE}$  est ajoutée par l'utilisateur afin de modéliser les capacités liées aux accès métalliques de la diode.

Les modèles SDD et ADS sont ensuite complexifiés avec l'ensemble des formules allant de l'Équation 70 à l'Équation 84. Ils seront finalement associés à un symbole où seuls les paramètres  $W_{anode}$ ,  $L_{anode}$  et  $N_{finger}$  devront être initialisés par l'utilisateur.



Figure 100: Association du modèle analytique ADS à son symbole

La Figure 100 présente l'association d'un symbole dédié au modèle de diode ADS associé aux équations qui en serviront à l'alimenter. Ce symbole contient 7 blocs distincts. Les 4 premiers représentent des constantes utilisées par les 2 block *Equations*  $R_s$  et *Equation*  $C_{tot}$ . Les *Constantes Générales* regroupent la hauteur barrière V<sub>b</sub>, la température moyenne de fonctionnement T, le calcul du courant de saturation I<sub>sat</sub> pour chaque surface d'anode définie par les trois paramètres du symbole, et les constantes physiques. L'ensemble des *Dimensions Schottky* regroupe les grandeurs invariantes de l'architecture de la diode utilisées dans l'estimation de la résistance série R<sub>s</sub> et de la capacité totale C<sub>tot</sub>. Les sous-ensembles *Constantes Modèle*  $C_{tot}$  et *Constantes Modèle*  $R_s$  rassemblent respectivement les valeurs de permittivité et de résistance carrées du processus de fabrication. Les formules du modèle analytique allant de l'Équation 70 à l'Équation 84 régies par les blocs *Equations*  $R_s$  et *Equation*  $C_{tot}$  alimentent ensuite le *Modèle ADS*. Par conséquent, la résistance série R<sub>s</sub>, et la capacité totale C<sub>tot</sub> chaque surface d'anode A schottky dans une technologie donnée. L'utilisateur peut ainsi définir la surface d'anode A en paramétrant simplement la longueur L<sub>anode</sub>, la largeur W<sub>anode</sub> et le nombre de doigts d'anode N<sub>finger</sub>. Un travail d'assemblage des équations du modèle analytique de la diode Schottky a été effectué de manière analogue pour le modèle SDD.

#### III.4.ii.b. Accord modele analytique sous ADS vs mesure DC

Après avoir paramétré et associé les modèles analytiques SDD et ADS à leur symbole respectif, il convient de vérifier si la réponse courant-tension des deux modèles est cohérente avec l'ensemble des diodes Schottky développées dans les technologies BiCMOS 55 nm et CMOS SOI 65 nm. Un setup de simulation DC est donc mis en place sous ADS afin pouvoir vérifier le bon fonctionnement des modèles et ainsi mettre en évidence leurs plages de validité.



Figure 101: Simulation DC du modèle Analytique de diodes Schottky sous ADS

La Figure 101 illustre de fait le schéma de simulation DC mis en place sous ADS. Un bloc *Batch simulation* sert à calibrer la simulation sur un fichier de mesure DC. Ce bloc permet également de récupérer les valeurs de courant pour chaque point de polarisation en tension et d'effectuer directement le tracé dans la fenêtre d'affichage du logiciel ADS. Le *bloc DC* contribue à définir le type de simulation que *Batch simulation* doit réaliser. Ces deux éléments possèdent chacun leurs jeux de variables respectifs. Le premier permet de récupérer les valeurs mesurées du fichier .csv pris en compte par le *Batch simulation*. Le second offre la possibilité de polariser le modèle de diode en tension pour réaliser le balayage DC nécessaire à son fonctionnement. Le schéma électrique comprend deux terminaux en vue de la simulation. La polarisation des modèles SDD et ADS est amenée à l'aide de la source DC connectée au circuit. Le bloc *DC feed* permet d'éviter au signal RF de venir perturber la source de polarisation DC. Le *DC bock* permet quant à lui de filtrer le signal DC de la branche RF. Ce sont des blocs de composants idéaux qui servent à éviter d'éventuelles perturbations liées au circuit de polarisation. Les modèles SDD/ADS sont inclus dans le circuit de polarisation, et les trois paramètres L<sub>anode</sub>, W<sub>anode</sub> et N<sub>finger</sub> peuvent être ajoutés afin de faire correspondre la géométrie des diodes Schottky mesurées avec celles modèlisées. La correspondance DC entre les deux modèles SDD et ADS avec la mesure des diodes Schottky BiCMOS 55 nm est présentée sur la Figure 102.



Figure 102: Comparaison entre les modèles ADS et SDD avec les mesures I-V des diodes Schottky

La Figure 102 illustre l'accord obtenu entre les modèles SDD et ADS avec deux diodes Schottky ayant une surface d'anode différente. Le choix de surface d'anode permet de plus facilement mettre en lumière la tendance des deux modèles sur le même graphique. Il faut cependant noter que les tendances données par les modèle ADS et SDD sont les mêmes pour des surfaces d'anode A allant de 0,31 à 32 µm<sup>2</sup>. Concernant le modèle SDD, la tendance modélisée présente un très bon accord avec la caractéristique courant-tension mesurée sur l'ensemble de la plage de polarisation de la diode Schottky. Cela résulte du fait qu'un paramètre de fit proportionnel à la surface d'anode A a pu être déterminé en vue de cette corrélation. Le modèle de diode ADS offre également un bon accord avec les mesures Schottky DC, mais un décrochage apparait autour de 0,7 V. Néanmoins, les deux tendances non-linéaires de la diode Schottky sont très bien capturées, et le décrochage se fait en zone ohmique pour le modèle ADS. Malgré précision légèrement supérieure du modèle SDD, son utilisation ne sera pas privilégiée dans la suite de l'étude partie IV.1, notamment pour réaliser un mélangeur sousharmonique. Le choix se porte dès lors sur le modèle de diode ADS puisqu'il a été conçu pour réaliser et s'affranchir des problèmes de convergence des simulations non linéaires Harmonic Balance mises en place par la suite. La modélisation obtenue avec le modèle ADS sera donc considérée comme suffisante, car les niveaux de puissances mis en jeux pour la réalisation d'un mélangeur sous-harmonique sont considérés comme assez faibles pour ne pas faire intervenir la zone ohmique de la réponse courant-tension.

## **III.5.** CONCLUSION

Dans ce chapitre, nous avons présenté l'ensemble du travail et des procédés mis en place afin de proposer une stratégie de modélisation analytique des diodes Schottky innovantes dans les technologies commerciales proposées par STMicroelectronics. Nous avons également effectué une implémentation sous ADS de ce modèle, qui offre un accord raisonnable en adéquation avec les paramètres extraits en mesure, pour l'ensemble des diodes Schottky réalisées en technologie BiCMOS 55 nm et CMOS SOI 65 nm. Cette saisie du modèle sous ADS propose une bonne capture de l'aspect non linéaire de la diode et permet dès lors d'entrevoir le développement d'un mélangeur sous-harmonique, ainsi que d'autre circuits avec les diodes Schottky élaborées dans les procédés de fabrication proposés par STMicroelectronics.

Dans un premier temps, nous avons rappelé le principe sur lequel les élaborations d'expérience DOE ont été constituées et mises en place pour chaque diode Schottky. Les structures de test constituant le DOE comportent des diodes Schottky en configuration deux ports, et des structures de de-embeding ont également été réalisées afin que nous puissions isoler les contributions capacitives induites par l'architecture innovante de diode Schottky. Les bancs de mesures facilitant l'accès aux fréquences de coupure  $F_c$ , à la sensibilité en tension  $R_v$ , et au rapport de bruit en excès ENR ont été présentés. Aucun principe de manipulation standardisé et dédié au NEP n'est proposé, dans la mesure où ce point n'a jamais été mis en lumière dans la littérature scientifique. Les bancs que nous avons utilisés sont ceux ayant trait aux mesures DC et aux paramètres S, en vue d'extraire Les fréquences de coupure  $F_c$  des diodes Schottky. Nous avons aussi contribué à la mise en place des caractérisations de sensibilité en tension  $R_v$  en fournissant quelques diodes Schottky BiCMOS 55 et 130 nm pour la mise au point de ce banc de mesure.

Nous avons par la suite détaillé l'ensemble de la méthodologie utilisée pour extraire les paramètres de la diode Schottky en mesure DC et avec les paramètres S. Bien que l'ensemble des méthodes a été approuvée par la littérature scientifique, certaines hypothèses doivent impérativement être vérifiées car elles peuvent s'avérer critiques. C'est ce que nous avons observé lors de l'extraction des capacités de jonction  $C_{j0}$  avec les simulations TCAD, où une très faible variation du dopage moyen à l'interface métal/semi-conducteur  $N_D$  provoque une forte altération de la valeur  $C_{j0}$  extraite.

Une fois les paramètres extraits en mesure, nous étions à même de proposer une stratégie de modélisation analytique afin de prédire les valeurs de résistance série  $R_s$  et l'ensemble des capacités  $C_{BE}$  et  $C_{j0}$  pour l'intégralité des diodes Schottky en technologie BiCMOS 55 nm et CMOS SOI 65 nm. Un chemin moyen parcouru par le courant au sein de l'architecture innovante a donc été retenu pour réaliser une modélisation analytique proche de la physique de composant. Il s'appuie ainsi sur le dimensionnel et les paramètres clés renseignés par le procédé de fabrication.

Le modèle reposant sur ces hypothèses de validité étant dès lors exposé, nous avons ensuite montré que l'ensemble des équations permet de prédire les valeurs de résistances  $R_s$  et des capacités de backend  $C_{BE}$  et de jonction  $C_{j0}$  avec une marge d'erreur inférieure à 10 %. Cette prédiction demeure valable pour l'ensemble des diodes Schottky développées en technologie BiCMOS 55 nm et CMOS SOI 65 nm. De plus, cette modélisation détaillant le poids des contributions majoritaires résistives et capacitives de l'ensemble de l'architecture, elle permet la mise en valeur de quelques axes d'améliorations. Nous pouvons ainsi évoquer l'utilisation d'implantations spécifiques en surface sous l'espaceur poly-silicium au sein du caisson Nwell afin de diminuer la contribution résistive de ce caisson et augmenter la fréquence de coupure  $F_c$ .

Nous avons finalement intégré le modèle de diodes Schottky proposé sous le logiciel ADS afin de permettre des simulations électriques de circuits plus évolués. Nous avons développé deux stratégies de modélisation en utilisant le bloc SDD et le modèle de diode ADS. Les tendances que présentent ces deux derniers permettent de capturer le comportement non linéaire de l'ensemble des diodes Schottky avec un domaine de validité allant jusqu'à au moins 0,7 V en polarisation directe. Nous retiendrons cependant le modèle de diode ADS appliqué à nos architectures de diode Schottky puisqu'il évite des problèmes de convergence en simulation non linéaire *Harmonic Balance*, qui sera utilisé pour établir la faisabilité d'une solution mélangeur sous-harmonique intégrée sur silicium par la suite.

## IV. ETUDE DE FAISABILITE POUR LA CONCEPTION DE CIRCUITS MELANGEURS SOUS-HARMONIQUES ET DE PIXELS POUR IMAGERIE TERAHERTZ



Page 133 sur 199

Dans le chapitre précédent, nous avons présenté dans un premier temps les méthodes de caractérisation mises en œuvre pour extraire les paramètres servant à définir les performances de la diode Schottky. Dans la seconde partie, nous avons abordé l'élaboration des équations analytiques permettant de prédire les paramètres  $R_s$  et  $C_{j0}$  extraits en mesure pour l'ensemble des diodes. Bien que certaines hypothèses sur l'extraction de la capacité de jonction  $C_{j0}$  par simulation TCAD n'aient pu être privilégiées car elles surestiment les fréquences de coupure  $F_c$ , les capacités  $C_{j0}$  extraites en paramètres S, couplées à l'extraction des résistances  $R_s$  avec les mesures DC ont permis de fixer les performances obtenues et les performances à modéliser pour chacune des diodes. Par conséquent, la modélisation analytique proposée s'appuie sur ces paramètres extraits en mesure, en vue de proposer un chemin résistif moyen qui puisse être relié à l'architecture physique de la diode Schottky. Ce modèle a ensuite pu être validé avec les mesures effectuées pour la majeure partie des diodes Schottky développées puis implémentées sous le logiciel de simulation ADS.

Dès lors, ce chapitre est consacré à la mise en place de deux démonstrateurs. La première partie exposera de manière détaillée le fonctionnement et la mise en œuvre d'une stratégie de conception d'un mélangeur sousharmonique de rang 2 (SHM, *Sub Harmonic Mixer*). Un circuit intégré en technologie BiCMOS 55 nm, permettant de transposer un signal RF de 100 GHz vers la bande 2 GHz, a été conçu, réalisé et mesuré. La seconde partie portera sur le développement de pixels unitaires THz fondés sur la mise au point d'une antenne rectifiante (détecteur associé à une antenne). La stratégie mise au point pour élaborer une antenne intégrée en BiCMOS 55 nm sera détaillée, ainsi que l'assemblage du plan d'expériences DoE incluant plusieurs pixels unitaires THz. Nous dévoilerons enfin les perspectives entrevues à la suite du développement de ces deux démonstrateurs.

### IV.1. MELANGEUR SOUS-HARMONIQUE POUR APPLICATIONS DATACOM

#### IV.1.i. PRINCIPES DE FONCTIONNEMENT DU MELANGEUR SOUS-HARMONIQUE SHM

#### IV.1.i.a. TOPOLOGIE GENERALE DU CIRCUIT

Un circuit mélangeur est un circuit non-linéaire destiné à réaliser la fonction multiplication analogique (produit mathématique entre deux signaux [93]). Le signal d'entrée  $V_{RF}$  (t) est constitué d'une porteuse à la pulsation  $\omega_{RF}$  dont l'amplitude est modulée par l'information A(t). Ce signal est multiplié par le signal de référence (dit de pompe)  $V_{LO}$  (t) avec une pulsation  $\omega_{LO}$  cadencée par un oscillateur local. Le mélange résultant de  $V_{RF}$  (t) par  $V_{LO}$  (t) va donner le signal  $V_{IF}$  (t) ainsi que d'autre termes issus de ce produit à filtrer. Le symbole du mélangeur est donné par la Figure 103.



Figure 103: Symbole du mélangeur

Parmi les termes générés par non-linéarité dans le mélangeur, le terme d'intérêt est le produit résultant  $V_{IF}$  (t) est exprimé par l'Équation 86. Il contient deux nouvelles fréquences générées qui sont la somme et la différence entre celle des signaux  $V_{RF}$  (t) et  $V_{LO}$  (t). Les deux signaux, inclus dans  $V_{IF}$  (t) aux fréquences  $\omega_{RF} - \omega_{LO}$  et  $\omega_{RF} + \omega_{LO}$ , sont porteurs de l'information du signal d'entrée  $A_{RF}(t)$ .

$$V_{IF}(t) = \frac{A_{LO}A_{RF}(t)}{2} \left(\cos((\omega_{RF} - \omega_{LO})t) + \cos((\omega_{RF} + \omega_{LO})t)\right)$$
 Équation 86

L'Équation 86 donne l'expression mathématique d'un produit de cosinus ajusté à l'aide de relations trigonométriques fonctionnelles pour deux signaux du type  $V_i(t) = A_i \cos((\omega_i) t)$ . L'information  $A_{RF}(t)$  peut ensuite être extraite, indépendamment de l'amplitude  $A_{LO}$  du signal de pompe, par filtrage de la fréquence haute ou basse selon le type de transposition de fréquence que nous souhaitons. Bien que l'opération de multiplication soit simple mathématiquement, sa réalisation s'avère compliquée la pratique. En ce sens, l'utilisation de composants à réponse non linéaire, comme les diodes ou les transistors, complexifie la réalisation du produit de signaux avec des réponses harmoniques parasites. De ce fait, l'Équation 86 doit être complexifiée et le mélangeur donné par la Figure 103 doit donc être perçu comme un dispositif non linéaire excité par la somme de deux signaux V(t) donnée par l'Équation 87, et dont sa réponse V<sub>IF</sub> (t) peut être décomposée par la forme exprimée par l'Équation 88.

$$V(t) = V_{RF}(t) + V_{LO}(t) = V_{RF}\cos(\omega_{RF}.t) + V_{LO}\cos(\omega_{LO}.t)$$
  
*p Equation 87*

$$V_{IF}(t) = \sum_{i=1}^{N} K_i V^i(t) \text{ avec } p \text{ étant } l' \text{ ordre des fréquences harmoniques}$$
Équation 88

Le développement de la réponse V<sub>IF</sub> (t), du dispositif non linéaire en fonction des fréquences  $f_{RF}$  et  $f_{LO}$  jusqu'à l'ordre 3 est illustré par le Tableau 18. Il révèle que les harmoniques de ces fréquences sont de la forme  $n_{f_{RF}} \pm m_{f_{LO}}$  (avec n et m des nombres entiers) pour le signal de sortie.

Développement de la réponse $V_{\mathrm{IF}}$ (t) du dispositif non-linéaire en fonction de $f_{\mathrm{RF}}$ et $f_{\mathrm{LO}}$
Ordre 1 (premier terme de la somme)
$K_1 V_{RF} cos(\omega_{RF}, t) + K_1 V_{L0} cos(\omega_{L0}, t)$
Ordre 2 (second terme de la somme)
$O2_{eq1} + O2_{eq2} + O2_{eq3} + O2_{eq4}$
$O2_{eq1} = \frac{K_1}{2} \left( V_{RF}^2 + V_{LO}^2 \right)$
$O2_{eq2} = \frac{K_1}{2} V_{RF}^2 cos(2\omega_{RF}.t)$
$O2_{eq3} = \frac{K_1}{2} V_{L0}^2 cos(2\omega_{L0}, t)$
$02_{eq4} = K_1 V_{RF} V_{LO}(\cos((\omega_{RF} - \omega_{LO})t) + \cos((\omega_{RF} + \omega_{LO})t))$
Ordre 3 (troisième terme de la somme)
$03_{eq1} + 03_{eq2} + 03_{eq3} + 03_{eq4} + 03_{eq5}$
$03_{eq1} = (\frac{3}{4}K_3V_{RF}^3 + \frac{3}{2}K_3V_{RF}V_{0L}^2)cos(\omega_{RF}.t)$
$03_{eq2} = (\frac{3}{4}K_3V_{0L}^3 + \frac{3}{2}K_3V_{0L}V_{RF}^2)cos(\omega_{0L}, t)$
$03_{eq3} = \frac{K_3}{4} (V_{RF}^3 \cos(3\omega_{RF}.t) + V_{L0}^3 \cos(3\omega_{L0}.t))$
$03_{eq4} = \frac{3}{4}K_3 V_{L0}^2 V_{RF}(\cos((2\omega_{RF} - \omega_{L0})t) + \cos((2\omega_{RF} + \omega_{L0})t))$
$O3_{eq5} = \frac{3}{4} K_3 V_{RF}^2 V_{LO}(\cos((2\omega_{LO} - \omega_{RF})t) + \cos((2\omega_{LO} + \omega_{RF})t))$

Tableau 18: Développement de la réponse  $V_{IF}(t)$  du dispositif non-linéaire en fonction de  $f_{RF}$  et  $f_{LO}$ 

Une utilisation judicieuse des relations fonctionnelles de trigonométrie met en évidence le fait que les termes  $V_{OL}^m$  et  $V_{RF}^n$  génèrent respectivement les harmoniques m $\omega_{LO}$  à la fréquence m. $f_{LO}$  et n $\omega_{RF}$  à la fréquence n. $f_{RF}$ . Les termes croisés  $K_i V_{LO}^m V_{RF}^n$  engendrent des harmoniques sommes et différences du type m $\omega_{LO}$  + n $\omega_{RF}$  ou bien m $\omega_{LO}$  – n $\omega_{RF}$  ou encore n $\omega_{RF}$  – m $\omega_{LO}$ . Les termes m, n et i sont des entiers positifs tandis que l'allure du spectre des harmoniques engendrées est donnée par la Figure 104 [94].



Figure 104: Spectre du mélange de deux signaux

Le circuit mélangeur produit *de facto* un grand nombre de signaux aux fréquences de mélange, dont l'amplitude décroît avec la hausse des ordres m et n. Les raies parasites, liées au produit d'intermodulation, créent ainsi deux bandes latérales autour du signal de pompe LO tel que l'illustre la Figure 104. Elles génèrent des composantes spectrales supplémentaires parasites pouvant perturber le fonctionnement du mélangeur et doivent donc être filtrées. L'opération de mélange permet de transposer la puissance contenue dans le signal RF haute fréquence vers un signal IF basse fréquence grâce à la multiplication du Signal RF avec celui de LO. Pour un mélangeur opérant sur le mode fondamental, la relation résultant de la transposition en fréquence est donnée par l'Équation 89.

$$f_{RF} = f_{LO} \pm f_{FI} \qquad \qquad Equation 89$$

La transposition en fréquence réalisée par un mélangeur fondamental implique une valeur de la fréquence du signal de pompe  $f_{LO}$  proche de celle du signal RF  $f_{RF}$ . Le spectre résultant du mélange est mis en lumière par la Figure 105.



Figure 105 : Spectre des raies principales d'un mélangeur fondamental

La réponse spectrale d'un mélangeur fondamental est montrée sur la Figure 105. Elle illustre tous les signaux RF et LO générés par le mélange et leurs produits d'intermodulation dérivant de l'opération. Le signal de sortie IF est ainsi transposé en basse fréquence par le processus de mélange défini par l'Équation 89. De ce fait, la puissance contenue dans le signal RF a été convertie dans la bande de fréquence IF moyennant quelques pertes de conventions CL.

Les circuits mélangeurs fondamentaux possèdent plusieurs types d'architectures parmi lesquelles figurent les mélangeurs à diode simple, à diodes multiples doublement ou triplement équilibrées [93]. Cependant, pour les fréquences élevées, les mélangeurs sous-harmoniques x (SHMx) proposent une solution particulièrement adaptée aux instruments hétérodynes (instruments de détection ou de traitement d'un signal qui reposent sur la multiplication de plusieurs fréquences) opérant dans la gamme en ondes millimétriques et submillimétriques [95] du fait de la possibilité de pomper le SHM avec une fréquence  $f_{LO}$  que la valeurs divisée par l'ordre x de l'harmonique de la fréquence  $f_{FR}$ .

#### IV.1.i.b. CIRCUIT MELANGEUR SOUS-HARMONIQUE

#### IV.1.i.b.1. Fonctionnement de la paire de diodes antiparallèle [93]

Le principe de fonctionnement d'un mélangeur sous-harmonique d'ordre n repose sur l'utilisation de la fréquence harmonique d'ordre n de l'oscillateur local LO, afin de réaliser le signal de pompe du mélangeur. Un mélangeur sous-harmonique peut-être réalisé à partir d'une simple diode. Néanmoins, les performances seront largement dégradées en comparaison de l'association antiparallèle d'une paire de diodes pour réaliser le mélange.



Figure 106: Paire de diodes en configuration antiparallèle

La Figure 106 illustre le schéma électrique d'une paire de diodes Schottky en configuration antiparallèle. Cette paire est excitée par les tensions  $V_{RF}$  et  $V_{LO}$  correspondant aux deux signaux à mélanger. L'équation caractéristique du courant de la diode peut s'exprimer de manière générale sous la forme d'une série de puissances donnée par le polynôme reporté par l'Équation 90 :

$$I(V) = \sum_{i=1}^{p} K_i V^i$$
 Équation 90

Dans l'association antiparallèle montrée par la Figure 106, la loi de nœuds permet d'exprimer, à travers l'Équation 91, le courant en sortie de la paire de diodes Schottky.

$$I_s = I_1 - I_2$$
 Équation 91

De plus, les tensions  $V_{RF}$  et  $V_{LO}$  aux bornes des diodes Schottky peuvent s'exprimer par une unique tension V donnée par l'Équation 92.

$$V = V_{LO} = -V_{RF}$$
 Equation 92

L'Équation 91 et l'Équation 92 permettent ainsi de mettre le courant en sortie de la paire de diodes sous la forme donnée par l'Équation 93.

$$I_s = f(V_{L0}) - f(-V_{RF}) = f(V) - f(-V)$$
 Equation 93

L'injection de l'Équation 93 dans l'Équation 90 permet de mettre en évidence, avec l'Équation 94, de l'annulation des degrés pairs du courant  $I_s$  (V) en sortie de la paire antiparallèle.

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz

$$I_{s}(V) = \sum_{i=1}^{p} K_{2i+1} V^{2i+1}$$
 Équation 94

En ce sens, une association antiparallèle de deux diodes permet la suppression des fréquences de mélange  $mf_{LO} \pm nf_{FI}$  dès lors que la somme des entiers n et m est paire. Ainsi, les fréquences DC,  $2f_{LO}$ ,  $2f_{LO}$ ,  $2f_{LO} + 2f_{IF}$  et  $4f_{LO}$  sont dès lors supprimées.



Figure 107: Conductance pompée résultant de l'association antiparallèle de deux diodes Schottky

La Figure 107 illustre les conductances des deux diodes Schottky de la paire antiparallèle. Les conductances sont exprimées en fonction de la variation temporelle du signal de pompe LO. La Figure 107 met en évidence le double redressement du signal LO lié à la réponse non linéaire de chacune des diodes Schottky. Il est supposé ici que les deux diodes sont parfaitement identiques. En pratique, dans le cas d'une réalisation MMIC, une bonne réjection des fréquences, théoriquement supprimées par l'association antiparallèle, est attendue.

#### IV.1.i.b.2. Fonctionnement du mélangeur sous-harmonique [93]

La topologie de mélangeur sous-harmonique de rang 2, la plus adaptée à la réalisation de MMIC, est présentée sur la Figure 108. Elle s'applique uniquement aux mélangeurs pour lesquels la fréquence  $f_{RF}$  est proche de l'harmonique 2 du signal LO. De ce fait, les 2xSHM intégrées sont des mélangeurs à faible fréquence IF avoisinant les quelques GHz au maximum.



La Figure 108 illustre l'ensemble des éléments nécessaires pour réaliser le mélangeur 2xSHM. Les deux entrées RF et LO sont positionnées en regard l'une de l'autre et connectées à la paire Schottky antiparallèle par des lignes de transmission. Sur la branche du signal de pompe LO, un stub en court-circuit  $\lambda/2$  travaille à la fréquence  $f_{RF}$ . Il présente un circuit ouvert à la fréquence  $f_{LO}$ , un court-circuit à la fréquence  $f_{RF}$  et un quasicourt-circuit à la fréquence  $2f_{LO}$ . Sur la branche de l'entrée RF, deux filtrages sont réalisés. Le premier est mis en œuvre avec le stub circuit ouvert  $\lambda/4$  à la fréquence  $f_{LO}$ . Il présente un court-circuit à la fréquence  $f_{LO}$ , ce qui assure de très bonnes isolations LO/RF et LO/IF. Ce stub comporte également un circuit ouvert aux fréquences  $2f_{LO}$  et  $f_{RF}$ . Les deux stubs présents sur les branches des accès RF et LO reliant les diodes Schottky garantissent, par ailleurs, que les tensions de commande LO et RF soient correctement appliquées à la paire de diodes. Le second filtrage est conçu grâce au couple de la ligne de transmission  $\lambda/4$  à la fréquence  $f_{RF}$  et du stub circuit ouvert  $\lambda/4$  à la fréquence  $f_{RF}$ . Il constitue un diplexeur chargé de réaliser un filtrage passe bas pour récupérer le signal de sortie IF. En pratique, ce filtre ne pose pas de difficultés de conception car les fréquences  $f_{RF}$  et  $f_{IF}$  sont séparées par un écart fréquentiel important [93].



Fréquences filtrées  $DC_{,2}f_{L0}$ ,  $2f_{L0} + 2f_{IF}$  et  $4f_{L0}$  par la paire de diode Schottky en ---

Figure 109: Spectre d'un mélangeur sous-harmonique de rang 2 (2xSHM)

La réponse spectrale illustrant le principe du mélangeur sous-harmonique d'ordre 2 est présentée dans la Figure 109. Les fréquences des signaux en bande latérale supérieure USB (*Upper Side-Band*) ( $2f_{LO} + f_{IF}$ ) et en bande latérale inférieure LSB (*Lower Side-Band*)  $2f_{LO} - f_{IF}$  sont symétriques par rapport à la fréquence ( $2f_{LO}$ ) de l'harmonique du signal LO réalisant le mélange. En pratique, une seule des deux bandes est utilisée à la fois, ce qui correspond à un fonctionnement en bande latérale unique SSB (*Single Side-Band*). Le signal utile est appelé signal RF, tandis que l'autre fréquence est appelée fréquence image. La fréquence image parasite influence le fonctionnement du mélangeur et doit dès lors être filtrée.

#### IV.1.i.c. Grandeurs caracteristiques utiles pour le melangeur sousharmonique 2xSHM

#### IV.1.i.c.1. Pertes de conversion CL [93]

Le mélangeur sous-harmonique 2xSHM assure le transfert de la puissance contenue dans le signal RF vers la basse fréquence  $f_{IF}$ . Ce procédé, appelé Down-Conversion, engendre cependant quelques pertes de conversion CL (*Conversion Loss*) provenant de ce processus. Elles sont liées à l'ensemble de l'architecture du circuit mélangeur, et sont définies comment étant le rapport de puissance d'entrée RF sur celui de la puissance de sortie IF par l'Équation 95.

$$CL = \frac{P_{RFin}}{P_{IFout}} \leftrightarrow CL (dB) = P_{RFin}(dBm) - P_{IFout}(dBm)$$
 Équation 95

Les pertes par conversion CL représentent ainsi une grandeur positive et s'expriment en dB. Elles sont illustrées par le graphique de la Figure 105 et la Figure 109. Il est également possible de parler d'un gain de conversion Gc défini par l'Équation 96 si le processus donne une valeur négative.

$$Gc(dB) = -CL(dB)$$
 Équation 96

Le gain de conversion Gc est donc une grandeur négative assimilable à une atténuation de puissance, et s'exprime également en dB. De manière générale, les pertes par conversion CL obtenues pour un mélangeur sont supérieures à 6 dB et augmentent avec les bandes de fréquences de fonctionnement du mélangeur. De ce fait, elles sont induites par l'allure de la réponse courant/tension de l'élément non-linéaire (diode Schottky) utilisé pour cadencer le mélange et aux pertes des interconnexions (couplage RF à la paire de diodes). Le niveau de puissance du signal de pompe LO représente également un paramètre fondamental pour la conception et l'optimisation du mélangeur. En effet, la forme d'onde de la tension de commande à fort niveau influe directement sur la forme d'onde de la conductance pompée g(t) illustrée par la Figure 107. Les derniers paramètres de conception du 2xSHM sont les impédances que devront présenter les diodes aux différents accès RF, IF et LO à leurs fréquences de fonctionnement respectives.

#### IV.1.i.c.2. Isolation et réjection [93]

Les isolations mesurent, sous forme de pertes d'insertion, les transferts de puissance non désirés entre deux accès à une fréquence donnée. Les isolations conséquentes garantissent l'atténuation drastique des perturbations liées aux signaux issus d'autres accès. Dans le cas des mélangeurs sous-harmoniques d'ordre x, l'isolation  $\frac{xLO}{RF}$  est parfois définie par l'Équation 97 pour une puissance  $P_{RFout}$  dans le cas d'un *Down-Converter* ou  $P_{RFout}$  pour un *Up-Converter*.

Il ne s'agit cependant pas d'une isolation à proprement parler puisque les signaux aux deux accès RF et LO ne sont pas à la même fréquence. La puissance générée  $xP_{LOin}$  à xLO n'étant pas nécessairement directement fixée par le niveau de la puissance du signal de pompe LO, la réjection  $\frac{xLO}{RF}$  est donc introduite car elle représente une grandeur plus significative pour le mélangeur sous-harmonique (x > 1).

Les réjections caractérisent la différence de niveau de puissance entre deux raies du spectre à un accès donné. Elles sont particulièrement importantes vis-à-vis du signal utile en sortie (IF pour un *Down-Converter* et RF pour un *Up-Converter*), et influencent le gabarit du spectre de sortie. Les réjections les plus critiques concernent les signaux qui ont une amplitude significative et qui sont proches de la bande utile, car ces derniers ne peuvent être facilement filtrés. En émission (*Up-Converter*), les principales raies à rejeter sont typiquement la fréquence  $xf_{LO}$  et la fréquence image  $f_{IM}$ .

$$R\acute{e}jection \frac{xLO}{RF}\Big|_{dB} = P_{RFout}(dBm) - P_{xLOin}(dBm)\Big|_{acc\grave{e}s\ RF}$$
 Équation 98

$$R\acute{e}jection \frac{IM}{RF}\Big|_{dB} = P_{RFout}(dBm) - P_{IMout}(dBm)\Big|_{acc\grave{e}s\,RF}$$
 Équation 99

En réception (*Down-Converter*), les signaux parasites à la fréquence image sont convertis à la fréquence  $f_{IF}$  au même titre que le signal utile RF (figure I-16). Il est donc important de rejeter la contribution de la fréquence image à la puissance IF. La définition de la réjection de la fréquence image (Équation 100) sera différente de celle énoncée par les deux relations précédentes (Équation 98 et Équation 99). Elle caractérise la différence de puissance à l'accès IF entre les contributions du signal RF et du signal image IM dans la puissance résultante FI.

$$R\acute{e}jection \ IM]_{dB} = P_{FI[RF]}(dBm) - P_{FI[IM]}(dBm)\Big|_{acc\grave{e}s \ IF} \qquad Equation \ 100$$

En régime petit signal du mélangeur, le signal de pompe LO a une amplitude particulièrement grande visà-vis de celles des signaux utiles RF et IF. De ce fait, la fuite de signal LO offrira une réjection inférieure à 0 dB. La Figure 110 illustre les niveaux de réjection du mélangeur en fonctionnement *Up* et *Down-Converter*.



Fréquences filtrées  $DC_{,2}f_{L0}$ ,  $2f_{L0} + 2f_{IF}$  et  $4f_{L0}$  par la paire de diode Schottky en ---

Figure 110: : Spectre illustrant les niveaux de réjection du mélangeur 2xSHM (Down Converter)

L'ensemble des niveaux de puissance et des réjections défini de l'Équation 98 à l'Équation 100 est mis en lumière sur la représentation spectrale donnée par la Figure 110. De manière générale, il est important de noter que le niveau de réjection dépend du niveau de puissance d'entrée.

Le fonctionnement linéaire d'un mélangeur 2xSHM est limité en fort signal par les phénomènes de distorsion non-linéaire tels que la saturation de la puissance de sortie et les distorsions d'intermodulation. En ce sens, les deux grandeurs les plus fréquemment utilisées pour évaluer la linéarité d'un mélangeur sont le point de compression à 1 dB et le point d'interception d'ordre 3.

#### IV.1.i.c.3. Point de compression à 1dB (linéarité) [93]

Les mélangeurs, comme les autres dispositifs non-linéaires, sont sujets au phénomène de saturation de la puissance de sortie pour de fortes puissances d'entrée (RF ou IF selon le cas). Le point de compression à 1 dB caractérise la limite du fonctionnement linéaire du circuit en fonctionnement mono-porteuse. Le point de compression à 1 dB  $P_{1dB}$  est défini au point de puissance pour lequel l'écart entre la puissance de sortie et son extrapolation linéaire petit signal atteint 1 dB (Figure 111). Il peut être référencé indifféremment en puissance de sortie  $P_{RFin1dB}$  ou en puissance de sortie  $P_{IFout1dB}$ . Les deux grandeurs sont reliées par les pertes de conversion  $CL_{1dB}$  (Équation 101).

$$P_{IFout1dB} = P_{RFin1dB} - CL \qquad Equation 101$$

Pour les mélangeurs, il est néanmoins plus fréquent de spécifier  $P_{IFout1dB}$ . En pratique, il est également possible de déterminer le point de compression à 1 dB sur la courbe représentant les pertes de conversion CL en fonction de la puissance d'entrée  $P_{RFin}$ . En effet, ce point marque l'augmentation de 1dB des pertes de conversion CL par rapport à leur valeur petit signal.



Figure 111: Illustration du Point de compression à 1 dB d'un mélangeur

L'augmentation des pertes de conversion du mélangeur entraîne une augmentation de la puissance d'entrée  $P_{RFin}$  au dB de compression, tandis que la puissance de sortie  $P_{IFout}$  au dB de compression reste inchangée.

#### IV.1.i.c.4. Point d'interception d'ordre 3 (linéarité) [93]

Le point de d'interception d'ordre 3 caractérise la limite du fonctionnement linéaire du circuit mélangeur en fonctionnement bi-porteuse. Dans ce mode de fonctionnement, les produits d'intermodulation IMx d'ordre impair sont les plus gênants. En effet, ils se retrouvent dans la bande de fonctionnement très proches des signaux utiles et ne peuvent donc pas être filtrés (tel qu'évoqué dans la partie IV.1.i.a). L'amplitude des produits d'intermodulation décroît avec l'augmentation de l'ordre d'intermodulation. De ce fait, les produits d'intermodulation d'ordre 3 notés IM3, sont les plus critiques. La Figure 112 illustre le principe de la génération des produits d'intermodulation d'ordre 3 IM3 pour un mélangeur 2xSHM USB en fonctionnement bi-porteuse.



Figure 112: Intermodulation d'ordre 3 d'un mélangeur 2xSHM USB bi-porteuse

Les signaux RF de fréquence  $f_{RF1}$  et  $f_{RF2}$  injectés dans le mélangeur sont espacés d'un écart fréquentiel  $\Delta f$ relativement faible, permettant ainsi la création des intermodulations IM3. Tant que les puissances d'entrée  $P_{RFin}$ appliquées au mélangeur sont suffisamment faibles, le tracé de la puissance PIM3 des raies d'intermodulation d'ordre 3 en sortie du mélangeur en fonction de la puissance d'entrée  $P_{RFin}$  est linéaire de pente 3dB/1dB (Figure 113). La puissance de sortie du signal utile  $P_{IF\_utile}$  suit également une loi linéaire en fonction de la puissance d'entrée  $P_{RFin}$ , mais de pente 1dB/dB (Figure 113) ; Le point d'interception d'ordre 3 IP3 représente l'intersection du prolongement linéaire des puissances de sortie  $P_{IM3}$  et  $P_{IF\_utile}$ . L'IP3 peut être référencé en entrée ou en sortie (IIP3 et OIP3), dans la mesure où les deux grandeurs sont reliées par les pertes de conversion du mélangeur. L'Équation 102 exprime la relation entre l'interception d'entrée IIP3, celle de sortie OIP3 et les pertes de conversion en fonctionnement linéaire CL<sub>0</sub>.

$$OIP3 (dB) = IIP3 (dB) - CL_0 (dB)$$
Equation 102

100

A l'instar du point de compression à 1dB, de manière analogue, l'IP3 de sortie est la grandeur de sortie la plus significative. En effet, plus le point de puissance OIP3 est élevé, plus les produits d'intermodulation sont faibles et donc meilleure est la linéarité.



Figure 113: Détermination du point d'interception d'ordre 3 d'un mélangeur

La détermination expérimentale de l'IP3 repose sur la mesure de la puissance du signal utile  $P_{IF\_utile}$  et de celle d'intermodulation  $P_{IM3}$  en fonctionnement bi-porteuse à bas niveau. Il suffit alors de mesurer le C/I3 à un point de puissance d'entrée  $P_{RFin}$  et d'utiliser l'Équation 103 pour extrapoler la valeur de la puissance d'entrée IIP3 au point d'interception d'ordre 3.

$$IIP3 (dB) = \frac{C/I3 (dB)}{2} + P_{RFin}(dBm)$$

$$\acute{Equation 103}$$

$$\acute{ec C/I3 (dB)} = P_{IFutile} (dBm) - P_{IM2} (dBm)$$

Quant à une détermination correcte de l'IP3, il est important que la mesure du C/I3 se fasse à faible niveau de puissance d'entrée  $P_{RFin}$  pour rester dans le domaine linéaire. Néanmoins, son niveau de puissance doit être suffisant afin de réaliser une mesure précise du niveau  $P_{IM3}$ .

#### IV.1.i.c.5. Avantages et limitations du mélangeur sous-harmonique xSHM

Les avantages du mélangeurs xSMH sont les suivants :

av

- ✓ Le fonctionnement sous-harmonique permet d'utiliser un oscillateur local à une fréquence réduite d'un facteur 2 (dans le cas d'un 2xSHM), par rapport à celle d'un mélangeur fondamental [93] [95].
- ✓ Si (m + n) est pair, les fréquences ( $(mf_{LO} + nf_{FI})$ ) sont idéalement supprimées en sortie. Cette réjection naturelle est fondée sur l'interconnexion directe des diodes antiparallèles. Dans la pratique, des valeurs de réjection de 60dB sont obtenues. [93] [95].
- ✓ Pour un mélangeur sous-harmonique MMIC, les isolations LO/FI et LO/RF sont satisfaisantes grâce au stub qui court-circuite la fréquence  $f_{LO}$  à l'accès RF/FI [93].
- ✓ Le mélangeur n'utilise pas de polarisation. Il a donc une consommation DC nulle [93] [95].
- ✓ Les mélangeurs xSHM à paire de diodes antiparallèles sont réalisables jusqu'à de très hautes fréquences, avec d'excellentes performances [93] et une meilleure adaptation en bruit dans une chaine de réception globale [95].
- ✓ Le mélangeur sous-harmonique xSHM mis en boitier peut dès lors fonctionner sur une plus large bande par l'intermédiaire d'une injection en guides séparés des deux signaux LO et RF dans le xSHM [95].

Néanmoins, certains inconvénients sont à relever :

★ Les pertes de conversion et performances en linéarité sont généralement moins bonnes qu'un mélangeur fondamental [93].
- ✗ La largeur de bande pour une solution MMIC a un fonctionnement limité à environ 10%, du fait du fonctionnement (bande étroite) des stubs quart d'onde en entrée et en sortie [93].
- ✗ Au niveau de la conception, les mélangeurs sous-harmoniques se montrent plus sensibles aux charges présentées aux fréquences parasites de mélange, ce qui rend la conception MMIC plus délicate [93].
- \* La puissance LO doit-être plus importante, puisqu'il est nécessaire de pomper deux diodes Schottky [95].
- ✗ La présence de deux diodes implique que le bruit généré par ces diodes est doublé qui avec la hausse (forte) de puissance de pompe contribue à encore augmenter ce bruit généré par ces diodes [95].

## IV.1.ii. ETAT DE L'ART DES MELANGEURS SOUS-HARMONIQUES ET CHOIX D'UNE TOPOLOGIE DE CIRCUIT 2XSHM SUR SILICIUM

En vue d'entreprendre le développement d'un mélangeur sous-harmonique 2xSHM, une synthèse bibliographique a été réalisée afin de mettre en lumière les différents types de circuits conçus par la communauté scientifique. Le Tableau 19 offre donc une synthèse non exhaustive de plusieurs mélangeurs sous-harmoniques xSHM développés dans les technologies silicium et III-V. Il présente notamment les grandeurs utiles permettant de décrire le circuit mélangeur comme les fréquences de fonctionnement  $f_{RF}$ ,  $f_{LO}$  et  $f_{IF}$ , la puissance du signal de pompe PLO, les pertes de conversion CL et la température de Bruit T<sub>Noise</sub>. Les mélangeurs xSHM III-V couvrent une très large bande de fréquences RF allant de 80 GHz [96] à 1080 GHz [97]. Par ailleurs, ils sont tous assemblés et mis en boitier, ce qui leur permet de couvrir des bandes fréquences RF larges, grâce aux accès RF et LO conçus par guide d'onde. Les pertes de conversion CL sont également toutes comprises entre 6,6 et 13 dB. Ce dernier point est assez remarquable, au vu des fréquences de fonctionnement des démonstrateurs. Parmi les circuits de mélange III-V, les solutions commerciales proposées par VDI [98] sont aussi proposées dans le Tableau 19. Elles permettent de mettre en évidence le fait que certains travaux comme les références [99] et [100] offrent des performances désormais obsolètes, car elles sont trop anciennes par rapport aux produits actuellement vendus. A l'inverse, certaines solution avancées [97] offrent des performances supérieures aux produits commerciaux proposés. Du côté des mélangeurs xSHM en technologie silicium, la tendance se porte sur des solutions toutes intégrées et non intégrées en boitier. Les bandes de fréquences RF couvertes par les mélangeurs en technologie silicium sont relativement plus restreintes allant de 12,1 GHz [101] à 120,5 GHz [78]. En effet, sans revenir sur les performances dynamiques bien supérieures des semi-conducteurs III-V, les solutions complétement intégrées font rapidement entrevoir des limitations pour une montée en fréquence. Ces limitations sont majoritairement dues à la réalisation compliquée, voire impossible, de composant passifs à très haute fréquence. Les pertes par conversion CL demeurent relativement dans les mêmes ordres de grandeurs que celles des mélangeurs III-V fonctionnant autour de la même fréquence RF. Les références [96], [101] et [102] relatent le développement d'un mélangeur utilisant la non-linéarité engendrée par des transistors à la place de diodes Schottky. Ils mettent également en évidence le fait que les performances obtenues en termes de pertes par conversion CL sont, au mieux, similaires à celles des mélangeurs utilisant des diodes Schottky toutes technologies confondues.

Le développement d'un démonstrateur utilisant les diodes Schottky BiCMOS 55 nm élaborées dans II.4.ii s'appuiera sur les travaux [78] et [103] pour plusieurs raisons. La première repose sur le fait que les mélangeurs 2xSHM en technologie silicium présentent de meilleures performances pour des fréquences RF avoisinant les 100 GHz. Leurs principes de fonctionnement et de conception reposent sur ceux explicitées dans la partie IV.1.i.b pour un développement MMIC. De plus, les outils de caractérisation qui sont disponibles chez STMicroelectronics et à l'IEMN permettront une mesure de ce circuit sans nécessité de coûts supplémentaires. Cette première étude de faisabilité de mélangeur sous-harmonique 2xSHM aura pour objectif de servir de démonstrateur, ainsi que de valider le fonctionnement des diodes Schottky développées au cours de ses travaux. En ce sens, il sera en mesure d'apporté une validation supplémentaire sur le modèle analytique mis au point dans la partie III, et la stratégie de conception mise en œuvre dans 0 et IV.1.iv.

Réf.	Techno	Circuit	Bande	f <sub>RF</sub>	f <sub>L0</sub>	f <sub>IF</sub>	CL	$P_{L_0}$	Élément	T <sub>Noise</sub>
[00]	AcCo	Colling.	Houto	(GHZ) 260	(GHZ)	(GIIZ)	(uD)		Sabottlay	
[99]	AsGa	Boitier	Bassa	200	85	7,0 MHz	13	6.0	Schottky	N.K.
[77]	AsGa	Doition	Dasse	170 90	40	7,0 WIIIZ	13	10.0	JIEMT	N.D.
[90]	AsGa	Boition	Haule Basso	80 120	40	1	10	10,0	HEM1 HEMT	N.K.
[90]	AsGa	Doitier	Dasse	120	42	1	10	10,0		N.R.
	AsGa	Boltler	Haute Page	100	42	20	10.5	7,1	Schottky	N.K.
[100]	AsGa	Doition	Dasse	1390	42	20	10,5	7,1	Schottky	N.N.
[97]	AsGa	Boition	Haule Basso	1280	033,25	ð,5 3 5	10,5	7,0	Schottky	2570
[77]	AsGa	Doitier	Dasse Étanaita	1000	344,23	3,5	10,0	7,0	Schottky	2000
	AsGa	Boltler	Etroite	004	334	4	10	7,0	Schottky	2000
[95]	AsGa	Boitier	Haute	370	180	10	6,6	6,8	Schottky	950
[95]	AsGa	Boitier	Basse	301	150	1	6,8	6,2	Schottky	150
[78]	Silicium	Intégré	Haute	120,5	60	0,5	7	5,0	Schottky	N.R.
[78]	Silicium	Intégré	Basse	110	55	0	6	5,0	Schottky	N.R.
[103]	Silicium	Intégré	Haute	96	46	4	7	5,0	Schottky	725
[103]	Silicium	Intégré	Basse	92	45	2	8	9,0	Schottky	725
[101]	Silicium	Intégré	Étroite	12,1	3	0,1	12	10,0	MOS	N.R.
[93]	Silicium	Intégré	Étroite	43	20	3	13,5	12,0	FET froid	N.R.
[102]	Silicium	Intégré	Étroite	24,01	12	0,01	15,2	1,5	Schottky	N.R.
[105]	Silicium	Intégré	Étroite	77	38,5	0,1 MHz	10	3,0	Schottky	N.R.
[106]	Silicium	Intégré	Étroite	76,5	38,25	0,1 MHz	7,1	7,0	Schottky	N.R.
[98]	AsGa	Boitier	Haute	75	37,5	< 10	< 7	N.R.	Schottky	800
[98]	AsGa	Boitier	Basse	50	25	< 10	< 7	N.R.	Schottky	400
[98]	AsGa	Boitier	Haute	90	45	< 12	< 7	N.R.	Schottky	800
[98]	AsGa	Boitier	Basse	60	30	< 12	< 7	N.R.	Schottky	400
[98]	AsGa	Boitier	Haute	110	55	< 15	< 7	N.R.	Schottky	800
[98]	AsGa	Boitier	Basse	75	37,5	< 15	< 7	N.R.	Schottky	400
[98]	AsGa	Boitier	Haute	140	70	< 19	< 7	N.R.	Schottky	800
[98]	AsGa	Boitier	Basse	90	45	< 19	< 7	N.R.	Schottky	400
[98]	AsGa	Boitier	Haute	170	85	< 24	< 7	N.R.	Schottky	800
[98]	AsGa	Boitier	Basse	110	55	< 24	< 7	N.R.	Schottky	400
[98]	AsGa	Boitier	Haute	220	100	< 31	< 7,5	N.R.	Schottky	1000
[98]	AsGa	Boitier	Basse	140	70	< 31	< 7,5	N.R.	Schottky	500
[98]	AsGa	Boitier	Haute	260	130	< 36	< 8	N.R.	Schottky	1200
[98]	AsGa	Boitier	Basse	170	85	< 36	< 8	N.R.	Schottky	600
[98]	AsGa	Boitier	Haute	330	165	< 40	< 8,5	N.R.	Schottky	1400
[98]	AsGa	Boitier	Basse	220	110	< 40	< 8,5	N.R.	Schottky	700
[98]	AsGa	Boitier	Haute	400	200	< 40	< 9	N.R.	Schottky	1500
[98]	AsGa	Boitier	Basse	260	130	< 40	< 9	N.R.	Schottky	800
[98]	AsGa	Boitier	Haute	500	250	< 40	< 9.5	N.R.	Schottky	2000
[98]	AsGa	Boitier	Basse	300	165	< 40	< 9,5	N.R.	Schottky	1000
[98]	AsGa	Boitier	Haute	600	300	< 40	< 10	N.R.	Schottky	2500
[98]	AsGa	Boitier	Basse	400	200	< 40	< 10	N.R.	Schottky	1200
[98]	AsGa	Boitier	Haute	750	375	< 40	< 11	N.R.	Schottky	5000

<u>CHAPITRE 4 : ETUDE DE FAISABILITE POUR LA CONCEPTION DE CIRCUITES MELANGEURS SOUS-HARMONIQUES ET DE</u> PIXELS POUR IMAGERIE TERAHERTZ

[98]	AsGa	Boitier	Basse	500	250	< 40	<11	N.R.	Schottky	2000
[98]	AsGa	Boitier	Haute	900	450	< 40	< 15	N.R.	Schottky	15000
[98]	AsGa	Boitier	Basse	600	300	< 40	< 15	<b>N.R.</b>	Schottky	7500

Tableau 19: Etat de l'art des circuits mélangeurs sous-harmoniques

## IV.1.iii. SIMULATION ELECTRIQUE DU MELANGEUR SOUS-HARMONIQUE 2XSHM

## IV.1.iii.a. Impact des parametres de la diode Schottky sur les performances du melangeurs sous-harmonique 2xSHM

En préalable à la simulation du 2xSHM dans son intégralité, il convient de vérifier le comportement du modèle analytique de diodes développé et retenu sous ADS dans la partie III.4.ii.a. En ce sens, une paire de diodes Schottky a été saisie sous ADS afin de pouvoir simuler la réponse harmonique obtenue par l'excitation de cette paire à l'aide d'un signal de pompe LO à 50 GHz. Cette simulation utilise le code d'équilibrage Harmonique HB (*Harmonic Balance*). Il permet le calcul des courants et tensions circulant à travers la paire de diodes antiparallèles pour chaque produit de mélange réalisé.



Figure 114: Schéma de la simulation HB sous ADS du fonctionnement de la paire de diode antiparallèles

La Figure 114 illustre le schéma utilisé pour injecter un signal de pompe LO ayant une puissance de 4 dBm à une fréquence de 50 GHz. La fréquence  $f_{LO}$  et la puissance  $P_{LO}$  sont choisies comme étant des niveaux similaires à ceux relevés dans la littérature scientifique, et non loin des valeurs utilisées en pratique pour la réalisation du 2xSHM prévu. Les résultats de simulation HB obtenus sont présentés dans la Figure 115.



Figure 115: (a) Illustration du filtrage des harmoniques paires et (b) évolution de la puissance injectée dans la diode en fonction de sa géométrie à la fréquence  $f_{LO}$ 

La Figure 115 (a) met en évidence le bon fonctionnement du filtrage des harmoniques paires du signal de pompe LO. Ce filtrage est visible pour les fréquences  $n_{LO}$  avec n pair, où les raies du spectre de la puissance  $P_{LO}$ sont atténuées d'au moins 20 dB. Une chute de 3,6 dB est cependant à remarquer sur la puissance d'entrée  $P_{LO}$ . De ce fait, la Figure 115 (b) illustre l'évolution de cette puissance  $P_{LO}$  à la fréquence  $f_{LO} = 50$  GHz en fonction de l'évolution de la géométrie de la diode. En effet, la variation du nombre de doigts  $N_{\text{finger}}$  du modèle modifie également la surface et les valeurs de résistance série  $R_s$  et des capacités  $C_{j0}$  et  $C_{BE}$ . L'évolution de la puissance dissipée par la paire de diodes est liée à celle de la valeur de  $R_s$ , qui peut être perçue comme le seul paramètre influençant directement les performances du mélangeur. Elle devra ainsi être minimisée de manière optimale. A ce stade, le fonctionnement comportemental sous ADS du modèle analytique semble validé, en vue d'entrevoir des simulations de 2xSHM sous ADS.

## IV.1.iii.b. Strategie de simulation electrique du melangeur sousharmonique autour de 100 GHz

Le fonctionnement du modèle analytique étant vérifié, la conception d'un plan de simulation de 2xSHM sous ADS est maintenant envisageable. Le mélangeur sous-harmonique 2xSHM étant un circuit passif, et donc très sensible à la variation d'impédance, il convient de procéder de manière méthodique et itérative afin d'avancer sereinement, et établir une compréhension des phénomènes électriques la moins biaisée possible. En conséquence, la mise en place de la simulation électrique d'un cas idéal de 2xSHM nécessite un bon nombre d'optimisations calculées par le Setup ADS, et plusieurs étapes clés listées ci-dessous.

### IV.1.iii.b.1. Mettre en place le Setup ADS

La première étape de la mise en place du Setup ADS consiste à définir l'ensemble des blocs et des équations à coder dans ADS, en vue de simuler le fonctionnement d'un mélangeur 2xSHM (listés sur la Figure 116).



Figure 116: Equations nécessaires à la simulation d'un 2xSHM

Le bloc PFC permet de calculer la puissance efficace d'un signal en forme d'onde, à une harmonique donnée. Il est utilisé pour définir la valeur de la puissance de sortie P<sub>IF</sub> du signal IF généré avec l'harmonique 2 du signal de pompe LO. Cette valeur permet ensuite de préciser celle des pertes par conversion CL en réutilisant l'Équation 95 (encadré rose Figure 116). L'ensemble des équations établissant les puissances et les pertes du mélangeurs est rentré de manière similaire aux pertes par conversion CL avec des blocs *MeasEqu* (encadré violet Figure 116). Le bloc *MeasEqu* contribue à la réalisation du calcul de l'équation durant la simulation. Il évite une nouvelle saisie manuelle sur l'onglet *data display*, servant à afficher et traiter les résultats de simulation ADS. Les définitions de puissance en watt, puis converties en dBm, de l'encadré violet sont traduites par l'Équation 104 et l'Équation 105, où V et I\* où sont respectivement les valeurs RMS de la tension et du conjugué du courant.

$$P_{watt} = \frac{1}{2} \Re e(V \times I^*)$$
 Équation 104

 $P_{dBm} = 10Log(|P_{watt}|) + 30$ 

Équation 105

Les définitions des pertes d'insertions à l'accès RF IF et dans le plan de la paire de diode Schottky sont données par l'Équation 106, l'Équation 107 et l'Équation 108.

$$IL_{RF} (dB) = P_{RF} (dBm) - P_{APD} [f_{RF}] (dBm)$$

$$iL_{IF} (dB) = P_{APD} [f_{IF}] (dBm) - P_{IF} [f_{IF}] (dBm)$$

$$\acute{Equation 107}$$

$$\acute{Equation 108}$$

$$CL_{diodes}(dB) = P_{APD}[f_{RF}](dBm) - P_{APD}[f_{IF}](dBm)$$

 $P_{RF}$  (dBm) désigne la puissance injectée par l'utilisateur à l'accès RF, à une fréquence  $f_{RF}$ . L'ensemble des autres puissances sont de la forme  $P_x[f]$  où x représente le plan de calcul, et *f* la fréquence à laquelle le calcul de puissance est effectué. Le code d'équilibrage Harmonique HB (*Harmonic Balance*) est toujours utilisé pour cadencer la simulation du mélangeur 2xSHM, en tenant compte des puissance RF et LO injectées à leur fréquence respective (encadré cyan). Enfin, le dernier bloc *Optim* constitue un setup qui va permettre à l'utilisateur d'optimiser une ou plusieurs variables conjointement, afin d'attendre un objectif fixé par le bloc *goal*. Cet élément clé favorise une minimisation des pertes de conversion CL, en optimisant différentes variables (comme la puissance de LO, ou certaines dimensions et impédances) de manière conjointe.

#### IV.1.iii.b.2. Définir la paire de diodes Schottky optimale

Grâce à la définition de l'ensemble des équations et blocs de simulation, il est désormais possible de procéder à des simulations *Harmonic balance* de 2xSHM. Le schéma du 2xSHM idéal est saisi sous ADS et illustré par la Figure 117 (a). Il comporte des lignes parfaites (stub et diplexeur RF/IF) servant à réaliser l'ensemble du filtrage nécessaire au bon fonctionnement du mélangeur sous-harmonique de rang 2. Les ports RF et LO correspondant respectivement aux accès éponymes sont élaborés à l'aide de ports P\_1Tone, afin d'injecter les puissances P<sub>RF</sub> et P<sub>LO</sub> (noté POLv sur le Schéma) des signaux RF et LO à leur fréquence de fonctionnement respective. Le port IF utilise un terminal qui modélise la charge Z<sub>IF</sub> en sortie du mélangeur à l'accès IF. Les trois plans d'accès RF, IF et LO sont ainsi précisés, et contiennent chacun leurs propres impédances et puissances respectives à une valeur fréquence donnée. Le cœur du système réside dans l'utilisation de la paire de diodes Schottky en configuration APD (*Anti-Parallel Diodes*), œuvrant à la réalisation du mélangeur des signaux RF et LO et à la définition du produit IF en sortie.



Figure 117: (a) Schéma du mélangeur 2xSHM avec lignes idéales et (b) pertes de conversion CL opposées à la géométrie de la diode Schottky

Le premier objectif est dès lors de définir quelle paire de diodes Schottky est la plus à même de minimiser les pertes par conversion CL du 2xSHM. Pour ce faire, l'environnement mélangeur est figé dans son cas idéal et les impédances d'accès Z<sub>RF</sub>, Z<sub>IF</sub> et Z<sub>LO</sub> sont établies à 50 Ω. La puissance P<sub>RF</sub> est fixée à - 25 dBm, tandis que les fréquences RF et LO sont définies à 92 GHz et 45 GHz, afin d'obtenir un signal IF à 2 GHz en sortie du 2xSHM. La puissance P<sub>LO</sub> injectée pour pomper l'APD et les valeurs L<sub>anode</sub> W<sub>anode</sub> et N<sub>finger</sub> des diodes Schottky sont optimisées conjointement, dans la visée de réduire les pertes de conversion CL et permettre ainsi d'obtenir le Page **148** sur **199** 

tracé Figure 117 (b). Cette courbe illustre les pertes de conversion CL engendrées lorsque la puissance RF est convertie en un signal de sortie IF à 2 GHz, à la puissance LO optimale pour pomper l'APD à une géométrie (surface d'anode A) donnée. Un plateau des pertes de conversion CL à 13 dB est obtenu pour les surfaces d'anode A comprises entre 7 et 10  $\mu$ m<sup>2</sup>. En ce sens, l'APD contenant deux diodes Schottky ayant une surface d'anode de 7  $\mu$ m est choisie pour la suite de l'étude, puisque la puissance de pompe P<sub>LO</sub> optimale est la plus faible. Le puissance P<sub>LO</sub> est choisie la plus faible car il est compliqué de générer de fortes puissances si une montée en fréquence est envisagée. De plus à l'échelle d'un système complet sa consommation globale s'en trouvera réduite.

# IV.1.iii.b.3. Etablir la sensibilité des charges présentées aux différents accès et la répartition des pertes au sein du mélangeur

La paire APD ayant été retenue avec deux diodes Schottky de 7  $\mu$ m<sup>2</sup> de surface d'anode, il convient maintenant de s'intéresser à l'impact des charges présentées aux accès RF, IF et LO sur les pertes de conversion CL fixées actuellement à 13 dB. Les impédances d'accès vont être successivement modifiées afin de retrouver les trois cas de simulation illustrés sur les abaques de Smith de la Figure 118. Le premier cas met en exergue une situation où rien ne change et où les impédances des plans RF, IF et LO demeurent fixées à 50  $\Omega$ . Pour le second cas, seule l'impédance à l'accès RF est altérée, en vue de présenter la valeur Z<sub>RF</sub> optimale dans le plan RF et ainsi réduire les pertes par conversion CL du 2xSHM. Enfin, le dernier cas désigne celui où l'ensemble des impédances présentées dans les plans des trois accès RF, IF et LO est optimisée. Ce cas de figure permet également de réduire les pertes de conversion en dessous de 13 dB en présentant les impédances optimales Z<sub>RF</sub>, Z<sub>IF</sub> et Z<sub>LO</sub> dans les plans RF, IF et LO. Il est important de noter que les valeurs de Z<sub>RF</sub> optimales (comme illustré par la Figure 118) sont foncièrement différentes dans le deuxième et le troisième cas. Il est donc impossible d'obtenir une optimisation successive des trois accès, dans la mesure où la modification de l'un influerait obligatoirement sur les deux autres.



Figure 118: Impédance présentées dans les plans RF, IF et LO

Afin que les comparaisons des trois circuits aux impédances d'accès différentes puissent être menées de la façon la moins biaisée possible, la puissance  $P_{LO}$  est également optimisée pour chacun des cas. De ce fait, il est possible d'exprimer les pertes d'insertion dans le plan d'entrée du diplexeur IL<sub>RF</sub> (Équation 106), celles dans son plan de sortie IL<sub>IF</sub> (Équation 107), ainsi que les pertes de conversion dans le plan APD CL<sub>DIODES</sub> (Équation 106) et les pertes de conversion CL du mélangeur (Équation 95) en fonction des puissance P<sub>LO</sub> minimisant pour chaque cas les pertes de conversion CL. La Figure 119 souligne ces différentes pertes dans les plans respectifs considérés, et dans le plan d'ensemble 2xSHM.



Figure 119: Pertes engendrées dans les différents plans du mélangeur 2xSHM

Les pertes de conversion CL représentent la somme des pertes dans le plan RF (IL<sub>RF</sub>), associées à celles présentes dans le plan IF (IL<sub>RF</sub>) et dans le plan APD de l'accès des diodes Schottky (CL<sub>Diodes</sub>). Elles peuvent également être analysées comme la décomposition des contributions de pertes de la puissance (à l'intérieur de CL), contenue dans la raie RF (Figure 110) pour atteindre la valeur de la puissance de sortie IF. Quant aux pertes d'insertion IL<sub>FR</sub>, l'optimisation de la résistance d'accès Z<sub>RF</sub> favorise la réduction des pertes d'insertion d'au moins 1 dB. Les pertes d'insertion IL<sub>RF</sub> dans le plan de sortie sont fixées à 3 dB lorsque l'impédance Z<sub>IF</sub> est établie à 50  $\Omega$ . Par ailleurs, un gain de 1,7 dB est envisageable lorsque l'impédance Z<sub>RF</sub> seule ainsi que le triplé Z<sub>RF</sub>. Z<sub>IF</sub> et Z<sub>LO</sub> sont optimisés. L'optimisation seule de  $Z_{RF}$  permet ainsi, à ce stade, d'obtenir une réduction des pertes aux deux accès RF et IF, similaire à l'optimisation conjointe des impédances aux trois accès. Néanmoins, l'optimisation des impédances aux trois accès fait preuve de la plus grande efficacité dans le plan APD. En effet, les pertes  $CL_{Diodes}$  sont autour de 5,4 dB, contre 8,2 dB pour le cas ZRF optimal et 8,6 pour le cas 50  $\Omega$ . Cette différence a un impact sur les pertes de conversion CL du 2xSHM avec 7,5 dB pour le cas entièrement optimisé, 10 dB pour le cas RF optimisé et 13 dB pour le cas 50  $\Omega$ . Par conséquent, les impédances présentées aux accès doivent être prises en compte en vue de minimiser les pertes de conversion, listées dans le Tableau 20. Dans la pratique, les impédances optimisées aux trois accès conjoints se montrent impossibles à synthétiser sur un circuit MMIC. De ce fait, le cas avec l'accès Z<sub>RF</sub> optimisé est celui mis en avant dans la suite de l'étude.

Cas de simulation	Z <sub>RF</sub>	$\mathbf{Z}_{\mathbf{IF}}$	Z <sub>LO</sub>
Accès 50 Ω	50	50	50
Accès ZRF optimisé	30 + j54,3	43,25	50
Accès ZRF, ZIF et ZLO optimisé	22 + j49,95	8,1 + j60	386,15 + j144

Tableau 20: Valeurs des impédance présentées dans les plans RF, IF et LO

# IV.1.iii.b.4. Détail de la sensibilité de l'impédance Z<sub>RF</sub> opt à l'accès RF par simulation load pull

Le cas de simulation ayant seulement l'impédance  $Z_{RF}$  optimisée est ainsi retenu pour l'étude de sensibilité à la charge, puisqu'il permet de réduire les pertes de conversion CL de 3 dB par rapport au cas 50  $\Omega$ . Cependant, il est intéressant de déterminer la sensibilité à la charge afin de vérifier si une faible variation de l'impédance  $Z_{RF}$  autour de sa valeur optimale pourrait provoquer une forte chute des pertes de conversion CL du 2xSHM. Une simulation de type *load pull* comprenant la définition d'une charge variable  $Z_{ant}$  est en ce sens mise en place, comme le montre la Figure 120.



Figure 120: Simulation load pull appliquée à l'accès RF du 2xSHM

La charge variable  $Z_{ant}$  est générée grâce à la définition de l'impédance en fonction du coefficient de réflexion, dont les variations du module  $\rho$  et la phase  $\varphi$  contribuent à couvrir l'ensemble de l'abaque de Smith. La relation servant à définir cette charge variable est rappelée par l'Équation 109.

$$Z_{ant} = 50 \frac{1 + \rho e^{j\frac{2\pi}{360}\varphi}}{1 - \rho e^{j\frac{2\pi}{360}\varphi}}$$
 Équation 109

La charge variable Z<sub>ant</sub> est ensuite injectée à l'accès RF, et les pertes par conversion CL du 2xSHM peuvent être extraites pour chaque valeur d'impédance présentée dans le plan RF. L'ensemble de ces valeurs sont extraites du logiciel ADS puis transférées sous Excel afin que les iso-contours des pertes de conversion CL en fonction de la charge Z<sub>RF</sub> puissent être tracées sur un abaque de Smith (Figure 121).



Figure 121: Lieux d'impédance Z<sub>RF</sub> à présenter dans le plan du diplexeur pour minimiser les pertes de conversion CL

Chaque iso-contour de pertes de conversion CL admet une chute de 1 dB lorsque le cercle correspondant est atteint. La zone de 9,6 dB désigne l'endroit où l'impédance  $Z_{RF}$  est optimisée (cf Figure 118). De plus, les valeurs des pertes par conversion CL sont cohérentes avec celles données par la Figure 119. En effet, la configuration où  $Z_{RF}$  est fixée à 50  $\Omega$  montre des pertes de conversion autour de 13 dB (entre les iso-contours 12,8 dB et 13,8 dB), ce qui correspond à la configuration de simulations où les trois accès sont à 50  $\Omega$ . Enfin, les iso-contours des pertes de conversion CL montrent qu'une petite variation de l'impédance optimale  $Z_{RF}$  présentée dans le plan RF n'aura que très peu d'impact sur les pertes de conversion CL anticipées.

#### IV.1.iii.b.5. Design du transformateur d'impédance $Z_{RF}$ 50 $\Omega$ vers $Z_{RF}$ optimale

La sensibilité de la charge à présenter dans le plan du diplexeur ayant relativement peu d'influence, il est possible d'envisager le design d'un transformateur d'impédance. Il permet de transformer les 50  $\Omega$  présentés dans le plan RF par la valeur de Z<sub>RF</sub> optimale donnée dans le Tableau 20 dans le plan du diplexeur.



*Figure 122: Schéma du transformateur d'impédance*  $Z_{RF}$  50  $\Omega$  *en en*  $Z_{RF}$  *opt* 

La Figure 122 illustre le fonctionnement du transformateur d'impédance  $Z_{RF}$ . Il est composé d'un stub en circuit ouvert de longueur électrique Eco et d'une ligne série de longueur électrique  $E_{serie}$ . Les deux lignes seront dimensionnées afin de résonner à la fréquence RF. En revanche, elles n'auront pas obligatoirement une largeur fixant leurs impédances caractéristiques à 50  $\Omega$  dans le démonstrateur final. La longueur  $E_{serie}$  permet de faire varier la phase de la constellation d'impédance dans le plan du diplexeur (S(2,2)), alors que  $E_{co}$  change le module des impédances engendrées. Dès lors, il devient possible de retrouver, à l'aide de l'optimiseur, la dimension des longueurs Eco et  $E_{serie}$  correspondant aux pertes de conversion CL minimales de 2xSHM combinées aux lignes idéales. Le transformateur d'impédance  $Z_{RF}$  peut donc être inséré entre les plans RF et diplexeur, afin de retrouver des pertes de conversion CL de 10 dB lorsque 50  $\Omega$  sont présentés dans les plans RF, IF et LO.

## IV.1.iv. CONCEPTION SUR SILICIUM EN TECHNOLOGIES BICMOS 55 NM DU 2xSHM AUTOUR DE 100 GHZ

## IV.1.iv.a. ARCHITECTURE DES LIGNES DE TRANSMISSION

La simulation du mélangeur 2xSHM étant calibrée avec des éléments idéaux, la dernière étape consiste à préparer le design sur silicium avec des éléments réels. Ces éléments réels désignent les lignes de transmission permettant non seulement le filtrage mais aussi les interconnexions physiques présentes, non prises en compte dans la simulation électrique idéale du 2xSHM.



Figure 123: Ligne de transmission B55 9ML : (a) Vue en coupe ; (b) Vue layout

La Figure 123 met en exergue l'architecture des lignes de transmission développées en BiCMOS 55 nm. La partie conductrice de la ligne est réalisée à l'aide de la couche métallique supérieur M9 d'épaisseur T et son impédance caractéristique est fixée par la largeur  $W_{line}$ . Le retour de masse est effectué avec les couches empilées M1-M3. En pratique, une forte densité de courant est générée sous la ligne de transmission dans le plan de masse séparé par l'épaisseur H du substrat en dioxyde de silicium SiO<sub>2</sub>. Cette forte densité de courant a un impact sur les performances. De ce fait, l'empilement M1-M3 permet de diminuer sa valeur et l'utilisation de murs M1-M8 autour de la ligne favorise l'évacuation de cette surdensité dans le plan de masse du design global. Cependant, les murs M1-M8 peuvent créer un couplage parasite non désiré avec la ligne de transmission M9. Ce couplage transformerait la ligne microstrip en une ligne coplanaire. Dans le but d'éviter ce phénomène, une distance 2H entre les murs et la ligne de deux fois l'épaisseur du substrat doit être respectée. Afin que ces lignes soient réalisables sur silicium, seul le plan de masse M1-M3 et la ligne de transmission sont en métaux pleins, tandis que les murs M1-M8 et le reste du plan de masse sera réalisé avec des motifs évidés (plans patternés). Les composants *MLIN* seront utilisés pour simuler les lignes de transmission réelles sous ADS, car il est possible de définir le substrat BiCMOS 55 nm qui leur est associé avec le bloc *MSUB*.

## IV.1.iv.b. POINT DE FONCTIONNEMENT RETENU POUR LE DESIGN DU MELANGEUR SOUS-HARMONIQUE 2XSHM INTEGRE SUR SILICIUM

Le schéma idéal du 2xSHM est donc repensé pour prendre en compte toutes les interconnexions qui rendront possible la réalisation du circuit sur silicium. Il ne tenait initialement compte que des lignes de filtrage 50  $\Omega$  et du transformateur de l'impédance Z<sub>RF</sub>. Toutefois, pour une implémentation réelle, les lignes indispensables aux interconnections génèrent des pertes et doivent être également simulées et optimisées. La Figure 124 illustre donc l'ensemble des lignes à considérer pour le design et la simulation finale du 2xSHM.



Figure 124: Schéma du 2xSHM avec les contraintes d'assemblage réelles

L'ensemble des lignes de transmission correspondant au filtrage et à la transformation de l'impédance  $Z_{RF}$  est ainsi remplacé, sous ADS, par des lignes *MLIN* tenant compte de l'épaisseur de substrat BiCMOS 55 nm, tandis que de nouvelles sont ajoutées pour réaliser les interconnections au sein du 2xSHM. Les transitions entre les lignes et deux tapers d'accès pour l'APD sont également ajoutés au schéma initial. Le schéma ADS complet est présenté par la Figure 125. De plus, 4 configurations de simulation sont envisagées afin de rendre compte de l'impact des lignes MLIN sur les pertes de conversion CL. Un premier cas représente une situation où les lignes d'interconnexion sont toutes fixées à 50  $\Omega$ , et le second, une où elles sont conjointement optimisées. Pour chacun de ces deux cas, l'impact de l'inclusion ou non du taper d'accès à l'APD sera observé. Il est important de Page **153** sur **199** 

remarquer que la largeur de ligne  $W_{line}$  permettant d'obtenir une impédance caractéristique à 50  $\Omega$  se situe autour de 19  $\mu$ m. Par conséquent, les largeurs  $W_{line}$  des 2 cas optimisés seront compris entre 1 et 30  $\mu$ m puisque ce sont les limites de largeur de ligne autorisées par la technologie. Les 4 simulations *Harmonic Balance* sont donc effectuées successivement, et les pertes de conversion CL sont tracées sur la Figure 126 en fonction de la puissance P<sub>LO</sub> du signal de pompe injecté pour les 4 cas envisagés.



Figure 125:Schéma de simulation final du 2xSHM

Les tracés Figure 126 soulignent la tendance donnée par les lignes d'interconnexion sur les pertes de conversion CL. En effet, l'optimisation de leurs largeurs  $W_{line}$ , et donc de leurs impédances caractéristiques, permet d'obtenir 1 dB de plus par rapport à un design avec ces lignes à 50  $\Omega$ . Le taper d'accès APD présente un très léger impact sur la partie optimisée et permet d'économiser 0,3 dB. Son implémentation pratique n'étant pas extrêmement contraignante pour connecter l'ADS au 2xSHM, il sera donc ajouté à l'architecture retenue pour le design. L'inclusion des lignes réelles et des différentes interconnexions au sein du circuit mélangeur provoque une augmentation des pertes de conversion CL de 1,8 dB, qui passent de 10 dB pour le cas idéal à 11,8 dB dans le meilleur cas plus proche de la réalité.



Figure 126: Pertes de conversions CL (dB) associées au Schéma de simulation final du 2xSHM

## IV.1.iv.c. Architecture globale du melangeur sous-harmonique

Le circuit mélangeur, avec la topologie des lignes d'interconnections optimisées qui comporte un taper d'accès pour les diodes Schottky en configuration antiparallèle APD, est ensuite saisi sous cadence en vue d'une réalisation sur silicium en technologie BiCMOS 55 nm. Son jeu de masques global est donné sur la Figure 127.



Figure 127: Mélangeur 2xSHM intégré en technologie BiCMOS 55 nm

Aucune difficulté majeure en termes de conception n'a été préjudiciable pour concevoir ce jeu de masques. En effet, l'ensemble du dimensionnel était pris en considération dans le logiciel ADS car les contraintes limites fixées dans l'optimiseur sont celles induites par la technologie BiCMOS 55 nm. Un oubli d'ajustement sur l'augmentation de 10 % de l'ensemble des longueurs a cependant eu lieu pendant la conception. La technologie BiCMOS 55 nm étant une technologie « Shrinkée » (par réduction optique) du 65 nm, les dimensions réelles sont toutes réduites de 10 % de celles dessinées suivant chaque axe. Le temps ne permettant pas de redesigner l'ensemble du mélangeur, une rétro-simulation a été élaborée afin d'observer l'impact de cette erreur de layout. Les dimensions « Shrinkées » sont donc ajustées sous ADS, et une optimisation est redéfinie sur les fréquences  $f_{RF}$  et  $f_{LO}$ . La Figure 128 montre le setup et le résultat de la rétro-simulation.



Figure 128: (a) Paramétrage de la rétro-simulation ; (b) Perte de convertions CL définitives

La Figure 128 (a) met en lumière l'ensemble du dimensionnel en  $\mu$ m pour le mélangeur 2xSHM qui sera réalisé sur silicium. Après avoir réduit de 10 % les dimensions des blocs *Lignes 50 \Omega (filtrage)*, *Lignes d'interconnexion*, *Taper APD* et *ZRF transformateur*, le bloc *Fréquences* peut être optimisé afin de retrouver le décalage fréquentiel sur les entrées du mélangeur, induit par cette réduction. La Figure 128 (b) montre que les pertes de conversion CL suivent la même tendance que la précédente sans shrink. Un décalage provoquant une augmentation de 10 et 5 GHz sur les fréquences *f*<sub>RF</sub> et *f*<sub>LO</sub>, et de 0,5 dB sur les pertes de conversion CL, est notable. Pour une première étude de faisabilité de 2xSHM intégré sur silicium, cette erreur n'a aucune influence sur la démarche mise en place dans la mesure où le circuit conçu est fonctionnel avec des performances proches de celles simulées sous ADS et rappelées sur la Figure 127.

# IV.1.v. MESURES DU MELANGEUR SOUS-HARMONIQUE 2XSHM A 100 GHz

## IV.1.v.a. PLAN DE CARACTERISATION DU 2xSHM

Dans le but de vérifier le bon fonctionnement du démonstrateur incluant une paire de diode Schottky en BiCMOS 55 nm, une procédure de caractérisation itérative a été mise au point. Elle se base sur les cinq étapes résumées dans le Tableau 21.

Caractérisations	Résultats
Etape 1	Vérifier la fonctionnalité du mélangeur sous-harmonique 2
Etano 2	Définir la puissance LO optimisée pour le fonctionnement du 2xSHM (Tracé de CL (dB)
Ltape 2	en fonction de $P_{LO}(dBm)$
Etape 3	Définir la bande Passante disponible en sortie du mélangeur IF
Etono 4	Définir la linéarité du 2xSHM (Tracé du point de compression à 1dB et du point
Etape 4	d'intermodulation d'ordre 3)
Etopo 5	Essai de démodulation de signaux modulé pour vérifier la faisabilité d'une transmission
Ltape 5	haut débit.

Tableau 21: Etapes de caractérisation du mélangeur sous-harmonique 2xSHM

 $\blacktriangleright$  L'étape 1 consiste à balayer quelques points de fréquence RF autour de 102 GHz (de 92 à 106 GHz) en faisant varier la puissance du signal LO de 0 à 5 dBm et en modifiant légèrement la fréquence centrale du signal de pompe autour de 50 GHz. L'objectif est donc d'établir rapidement si des pertes de conversion CL sont possible à déterminer en relevant la puissance du signal de sortie IF P<sub>IF</sub> (dBm) dans l'intervalle de fréquence IF [0,1 ; 2] GHz. Cette phase a également vocation à mettre en évidence les fréquences de fonctionnement (RF et LO) offrant les pertes par conversion CL les plus faibles possibles.

 $\blacktriangleright$  L'étape 2 se base sur les fréquences  $f_{\rm RF}$  (102 GHz) et  $f_{\rm LO}$  (50 GHz) optimales retenues après la phase de débogage de l'étape 1. La puissance du signal RF P<sub>RF</sub> est fixée à – 25 dBm (comme vérifié lors de l'étape 1) et la fréquence de sortie IF est imposée à 2 GHz. L'objectif de cette étape est de mettre en exergue la puissance de LO optimum à injecter pour pomper la paire de diodes Schottky et doit déboucher sur le tracé des pertes de conversion CL (dB) en fonction de la puissance du signal de pompe P<sub>LO</sub> (dBm). Cette étape sera également utile pour opposer les performances attendues en simulation et celles obtenues en mesures.

 $\blacktriangleright$  L'étape 3 consiste à évaluer la largeur de bande disponible sur la sortie IF. Elle inclue donc deux étapes à réaliser de manière conjointe. L'idée étant, dans un premier temps, de faire varier la fréquence du signal RF à la puissance RF optimum (déterminée à l'étape 1 et utilisée à l'étape 2) en utilisant la puissance de LO optimum (définie à l'étape 2) et la fréquence F<sub>LO</sub> optimum (déterminée à l'étape 1) en vue du tracé les pertes de conversion CL en fonction de la fréquence de sortie IF. Dans un second temps, une manipulation analogue est effectuée en utilisant les paramètres de l'accès RF ainsi de la puissance P<sub>LO</sub> à leurs optimums et en faisant varier la fréquence F<sub>LO</sub> afin d'obtenir un second tracé des pertes de conversion CL en fonction de la fréquence de sortie IF. Lors de ces deux manipulations les fréquences RF (première manip) et LO (seconde manip) sont choisies pour que les largeurs de bande IF soient identiques sur chaque tracé.

Page 156 sur 199

 $\succ$  L'étape 4 se concentre sur l'étude de la linéarité du 2xSHM. Afin d'obtenir le point de compression à 1 dB, le signal de pompe LO est fixé à sa fréquence optimum (cf. étape 1) et sa puissance optimum (cf. étape 2). Le signal RF est conservé à sa fréquence optimale (cf. étape 1) cependant c'est sa puissance qui sera progressivement augmentée afin d'observer la compression en puissance du signal de sortie IF. Le tracé de puissance de sortie P<sub>IFout</sub> (dBm) en fonction de la puissance P<sub>RFin</sub> (dBm) est la courbe résultant de cette manipulation. Le tracé de du point d'interception d'ordre 3 IP3 nécessite la mise en place d'une seconde source RF en vue d'injecter un second signale RF en entrée du mélangeur à une fréquence proche de celle du premier signal RF et avec une puissance similaire en vue de faire apparaitre des recouvrements spectraux non désiré (cf. IV.1.i.c). Cependant cette manipulation plus délicate à mettre ouvre ne sera pas réalisé car la bande passante (cf. étape 3) et le manque de puissance des sources autour de 100 GHz ne permettront pas sa mise en pratique.

L'étape 5 (partie dit *Datacom*) a pour objectif de démontrer le fonctionnement de ce démonstrateur en réception avec des signaux modulés. Plusieurs types de modulation seront donc appliquées sur la voie RF du mélangeur afin de vérifier si une transmission haut débit peut être envisagée avec ce circuit jouant le rôle de *Down-Converter*.

## IV.1.v.b. BANC DE MESURES UTILISE POUR LA CARACTERISATION

Les outils de caractérisation utilisés pour réaliser les 5 étapes de caractérisation présentées dans IV.1.v.a sont illustrés sur le schéma de principe de la Figure 129 et Figure 130. Les 4 premières étapes de caractérisation s'appuient des mesures dites CW (*Continuous Wave*) car elles reposent sur l'injection d'une raie en continue à puissance et à fréquence fixe. Elles sont donc couvertes par le banc de mesure illustré sur la Figure 129.



Figure 129: Banc de caractérisation pour les mesures CW du 2xSHM

Afin d'injecter un signal RF correspondant à une raie à la fréquence et puissance désirées dans le domaine spectral, un synthétiseur de fréquence 16 GHz (PSG) est nécessaire. Il est ensuite relié par un câble coaxial à deux multiplieurs de fréquence cascadés pour obtenir une multiplication de la fréquence du signal d'entrée par 6. Le signal RF est ensuite transmis jusqu'aux sondes GSG par une transition guide WR10, puis injecté dans le mélangeur. Le signal de pompe LO est injecté avec un synthétiseur de fréquence 67 GHz pour obtenir le signal de pompe autour de 50 GHz. La sortie IF est connectée à un analyseur de spectre FSU afin de relever le signal IF résultant du produit de mélange entre les signaux RF et LO dans le domaine spectral. Une raie autour de 2 GHz, atténuée par les pertes de conversion CL, peut donc être observée. Ce premier banc de mesure permet donc de réaliser les 4 premières étapes de caractérisation CW du 2xSHM. La cinquième étape de caractérisation dite *Datacom* nécessite cependant des outils de caractérisation différents. En effet, l'objectif est d'établir si le 2xSHM est en mesure de réaliser une démodulation à très haut débit, la source RF doit être un signal modulé. Ce second setup de caractérisation est présenté sur la Figure 130.

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz



Figure 130: Banc de caractérisation pour les mesures Datacom du 2xSHM

Bien que la génération du signal de pompe LO reste inchangée par rapport au banc de caractérisation CW (Figure 129), les différences majeures sont les outils utilisés du côté des accès RF et IF pour le setup *Datacom* Figure 130). En effet, l'utilisation d'une photodiode est nécessaire afin d'obtenir un signal RF modulé avec des fréquences de fonctionnement de 103,5 et 106 GHz. Basée sur le principe du photo-mélange explicité dans I.1.iii.b, un signal modulé, dont la modulation est réglable et le débit également est disponible en sortie de photodiode. Ce signal est ensuite connecté via une transition guide à la sonde GSG de l'accès RF. L'accès IF est connecté à oscilloscope permettant de mettre en évidence les la réception des constellations et diagramme de l'œil donnés par les différentes modulations injectées dans le 2xSHM. Enfin les puissances mesurées pour les deux setups de caractérisation seront en dBm et dans le plan des sondes GSG sur les voies RF, IF et LO.

## IV.1.v.c. Resultats experimentaux et performances

La première étape de caractérisation du mélangeur 2xSHM intégré en technologie BiCMOS 55 nm a permis de confirmer le bon fonctionnement du démonstrateur pour un signal RF injecté avec une puissance de - 25 dBm à 102 GHz et un signal de pompe LO autour de 6 dBm à 50 GHz. Cependant, quelques différences sur les performances attendues en simulation sont mises en exergue pendant ce débogage. Il apparaît de fait que les pertes de conversion CL mesurées sont augmentées de 7 à 10 dB, et que la puissance de pompe  $P_{LO}$  nécessaire pour générer le produit du mélange à l'harmonique 2 doit être 2 à 3 dBm plus élevé. Malgré ces premières limitations, le 2xSHM demeure fonctionnel, et les étapes suivantes de caractérisation peuvent être envisagées.

#### IV.1.v.c.1. Mesure des pertes de conversion CL du 2xSHM

Les fréquences de fonctionnement obtenues à la suite de la première étape de caractérisation tendent à confirmer que celles prédites par la simulation sont valables. Concernant cette seconde partie de mesures, le signal RF imposé en entrée du mélangeur comporte une puissance de -25 dBm à une fréquence de 102 GHz, la fréquence de LO sera fixée à 50 GHz afin que la puissance du signal de sortie IF soit mesurée à 2 GHz. La puissance P<sub>LO</sub> du signal de pompe injecté sera dans la gamme [-0,7; 8,3] afin d'établir le tracé illustré sur la Figure 131.



Figure 131: Tracé des pertes de conversion CL(dB) en fonction de la puissance de pompe  $P_{LO}(dBm)$ 

La Figure 131 illustre le tracé des pertes de conversion CL (dB) opposées à la puissance PLO (dBm) imposé pour pomper la paire de diode Schottky au sein du 2xSHM. Il s'inscrit dans la lignée de la tendance donnée par la simulation ADS utilisée pour la conception (reprise de la Figure 128 (b)), celle corrigée après analyse de ses mesures et le tracé obtenu à la suite des caractérisations du 2xSHM. Avec des valeurs de pertes par conversion CL comprises entre 12,3 dB et 18,5 dB, la simulation ADS utilisée pour la conception montre des pertes relativement inférieures à celles mesurées sur l'ensemble des puissances PLO injectées. Du côté des mesures, les pertes de conversion CL sont strictement décroissantes avec l'augmentation de la puissance de pompe PLO et comprises entre 49,7 dB et 20,2 dB. En outre, les puissances optimales PLO diffèrent légèrement entre simulation et mesures. Du côté de la simulation, les puissances optimales PLO se situent dans l'intervalle [1,8; 3,5] dB avec des pertes de conversion autour de 12,3 dB, alors qu'en mesure les pertes de conversion CL minimum (20,3 dB) sont obtenues à partir de 5 dBm. Dans le but de comprendre cet écart, le tracé obtenu en simulation ADS corrigée a été mis en place. Il compte deux différences avec celui utilisé pour la conception du 2xSHM. La première réside dans le fait que les proportions des capacités de jonction  $C_{i0}$  (représentant 60 % de Ctot) et CBE (représentant 40 % de Ctot) se sont retrouvées inversées dans le modèle. Cette erreur n'a pas pu être corrigée avant la mise au point du 2xSHM, puisqu'elle repose sur les premières proportions de capacité au sein de la diode Schottky explicitées à l'aide des simulations TCAD. De ce fait, l'erreur de modélisation (qui proposait le ratio inverse pour les poids de Ci0/CBE) explicitée dans III.2.i.d n'était pas encore découverte à ce stade. Cette première différence modifie l'allure de la courbe en ajoutant 1.5 dB de pertes de conversion, toutefois l'ajout d'une contribution inductive série à chaque diodes Schottky permet de retrouver en simulation les 5,5 dB manquants pour obtenir un accord raisonnable avec les mesures du 2xSHM. La valeur d'instance série de 270 pH ajoutée en série de la diode est relativement élevée en ne devrait pas dépasser les 10 nH à l'échelle des métallisations d'accès backend du composant. Cette est donc potentiellement distribué sur l'ensemble du circuit et/ou induite par les appareils de mesures. Malgré cette piste, une étude plus approfondie de ses pertes supplémentaires ne pourra pas être réalisée par manque de temps suit à l'arrivée tardive de ses résultats.

#### IV.1.v.c.2. Estimation de la bande passante en sortie IF du 2xSHM

La puissance  $P_{LO}$  à utiliser pour pomper les diodes Schottky du 2xSHM a pu être établie à moins de 6 dBm pour donner suite à la seconde phase de la caractérisation CW. La différence de valeurs entre les pertes de conversion CL simulées lors de la conception et mesurées ont, par ailleurs, permis de confirmer que la modélisation analytique de la diode Schottky après correction semble en accord avec le comportement physique du composant. La troisième partie des caractérisations CW se concentre sur la mise en avant de la largeur de bande disponible en sortie IF. Les fréquences et puissances optimales côté RF et LO ont pu être obtenues à la suite des deux premières campagnes de mesures CW, et pourront être utilisées dans les deux caractérisations complémentaires servant à définir la bande passante en sortie IF. L'objectif de ces deux caractérisations est de faire varier la fréquence du signal de sortie IF en modifiant tantôt la fréquence du signal RF tout en conservant celle du signal LO fixe, tantôt en fixant la fréquence RF tout en modifiant celle du signal de pompe LO. Ces deux manipulations permettent d'établir les tracés illustrés sur la Figure 132.



Figure 132: Tracé des pertes par conversion CL(dB) en fonction de la fréquence en sortie IF: (a) Avec  $f_{RF}$ fixée ; (b) Avec  $f_{LO}$  fixée

Les graphiques de la Figure 132 illustre le tracé des pertes par conversion CL (dB) en fonction de la fréquence IF (GHz). Pour la Figure 132 (a) la fréquence du signal de pompe  $P_{LO}$  et sa fréquence sont respectivement fixées à 6 dBm et 50 GHz. La puissance du signal RF est fixée à -25 dBm sur la gamme de fréquences comprises dans l'intervalle [100,01 ; 112] GHz. Concernant la Figure 132 (b) c'est le signal RF qui est fixé ( $P_{RF} = -25$  dBm et  $f_{RF} = 102$  GHz) et la fréquence du signal de pompe qui varie dans l'intervalle [45 ; 50,95] à une puissance  $P_{LO}$  de 6 dBm. Les pas en fréquence des deux intervalles sont définis de façon à ce que des raies à la même fréquence soient obtenues et observées à l'analyseur de spectre FSU sur la sortie IF. En ce sens, la lecture conjointe des deux caractéristiques permet d'établir l'ensemble des fréquences IF pour lesquelles les pertes de conversion restent viables et si une action sur la fréquence  $f_{RF}$  ou  $f_{LO}$  est à privilégier en vue de maximiser la puissance de sortie  $P_{IF}$ . En d'autres termes, si les 23 dB de pertes par conversion sont considérés comme des pertes acceptables, alors la bande passante peut être estimée à un minimum de 12 GHz. (11,8 %)

#### IV.1.v.c.3. Mesure de linéarité du 2xSHM

A la suite de l'identification des fréquences et puissances de fonctionnement ainsi que de la bande passante en sortie du 2xSHM réalisé en BiCMOS 55 nm, il convient de s'intéresser à la linéarité du système. Cette quatrième étape consiste à définir à partir de quel niveau de puissance d'entrée  $P_{RFin}$  (dBm), la réponse obtenue en sortie  $P_{IFout}$  sature, et augmente de surcroît les pertes de conversion CL du système. Lors de cette mesure, une puissance  $P_{RFin}$  comprise dans l'intervalle [-36 ; 9] dBm sera injectée aux points de fréquences optimaux définis à la suite de l'étape 1 et 2 des caractérisations CW. La puissance  $P_{IFout}$  sera ensuite mesurée à 2 GHz et tracée en fonction de la puissance d'entrée  $P_{RFin}$ , tel qu'illustré sur la Figure 133 (b) après définition de la zone de régression linéaire illustrée sur la Figure 133 (a).



Figure 133: Tracé : (a) des pertes de conversion CL par rapport à la puissance d'entrée PRFin ; (b) de la puissance de sortie P<sub>IFout</sub> (dBm) en fonction de la puissance d'entrée P<sub>RFin</sub> (dBm)

La Figure 133 (a) illustre le tracé des pertes de conversion CL (dB) en fonction de la puissance  $P_{RFin}$  (dBm) injectée en entrée du 2xSHM. Cette tangente a pour objectif de montrer que les pertes de conversion CL sont relativement constantes autour de 20,2 dB sur l'intervalle  $P_{RFin} \in [-26; -11]$  dBm. Une légère augmentation des pertes de conversion CL jusqu'à 22,7 dB pour une puissance  $P_{RFin}$  de 9 dBm atteste du début du comportement non linéaire du mélangeur. De ce fait, la zone où les pertes de conversion CL sont constantes est utilisée pour établir la régression linéaire tracée sur la Figure 133 (b). La Figure 133 (b) se concentre sur la portion de la caractéristique  $P_{IFout}$  (dBm) = f( $P_{RFin}$  (dBm)) où les premières non-linéarités sont apparentes. Dès lors, il est pertinent de remarquer le début de la saturation du mélangeur 2xSHM, du fait de l'écartement de plus en plus prononcé des mesures avec la tendance linéaire. Le point de compression à 1 dB ( $P_{1dB}$ ), représentant une différence entre ces deux tendances de 1 dB, est atteint pour une puissance d'entrée  $P_{RFin}$  de 6 dBm. Il est donc possible de considérer que la réponse du mélangeur 2xSHM est linéaire jusqu'à une puissance injectée sur l'entrée RF de 6 dBm. Concernant les mesures de l'IP3, leurs exécutions n'ont pas pu être poursuivies du fait de leur complexité de mise en œuvre au vu du laps de temps alloué à la caractérisation du mélangeur 2xSHM.

#### IV.1.v.c.4. Détection de signaux modulés avec le 2xSHM

La dernière étape de caractérisation consiste à mettre en évidence le fonctionnement en démodulation du mélangeur sous-harmonique 2xSHM. En ce sens, 18 essais comprenant des modulations QPSK, QAM-16, QAM-32 et QAM-64 sont injectés à différents débits et aux fréquences porteurs de 103,5 GHz et de 106 GHz sur l'accès RF. La paire de diode Schottky sera pompée par un signal LO à 6 dBm avec une fréquence de 50 GHz. De ce fait, les signaux démodulés seront mesurés sur la voix IF à respectivement 3,5 GHz et 6 GHz. En vue de clarifier les débits et performances obtenues à l'aide des modulations complexes agissant sur la phase et/ou l'amplitude du signal RF modulé en mesure *Datacom*, il est de rigueur de rappeler le lien entre le débit de symbole D<sub>s</sub> (mots binaires) et le débit binaire D<sub>b</sub>. Il convient de définir l'efficacité spectrale Eff<sub>spectrale</sub> comme étant le nombre de bits contenus dans un symbole, et permettant ainsi de faire le lien entre débit binaire D<sub>b</sub> et débit de symbole D<sub>s</sub>. Le Tableau 22 regroupe donc les efficacités spectrales des modulations utilisées pour ces caractérisations *Datacom* tout en reprécisant la relation entre les deux débits par l'intermédiaire de Équation 110

Modulation	Eff <sub>spectrale</sub> (bit/s/Hz)		
QPSK	2		÷ 110
QAM-16	4	$D_{S} = Eff_{spectrale} \times D_{b}$	Equation 110
<b>QAM-32</b>	5		
QAM-64	6		

Tableau 22: Efficacité spectrale correspondant aux modulations utilisées en mesures Datacom du 2xSHM

Là où les débits de symbole Ds s'expriment en baud, l'efficacité spectrale Effspectrale s'exprime en bit/s/Hz et le débit binaire D<sub>b</sub> en bit/s. Deux autres facteurs de mérite seront également mesurés lors des caractérisations pour compléter l'étude en démodulation du 2xSHM. La première est le taux d'erreur binaire BER (Bit Error Rate). Il caractérise le nombre de bits erronés après la démodulation d'un signal modulé. Il est croissant avec la complexité de la modulation utilisée si le système de démodulation opère à rapport signal sur bruit constant. Le BER s'exprime en puissance négative et sa valeur doit être la plus faible possible. A titre d'exemple, si une valeur de BER de 10<sup>-3</sup> est obtenue, alors cela signifie qu'en moyenne un bit sur mille est erroné à la réception. Le second indicateur est l'EVM (Error Vector Magnitude). Il s'exprime en pourcentage et représente l'écart vectoriel entre les points de constellations obtenus en mesure et les points théoriques de la constellation. En d'autres termes, l'EVM donne la distance moyenne de décalage de la constellation observée en mesure par rapport à son plan de référence défini à son émission. Sa valeur doit être la plus faible possible car, plus cette dernière est élevée, plus la constellation sera bruitée, et plus l'identification des mots binaires inclus dans chaque point de constellation sera difficile. La Figure 134 (a) montre l'allure des cinq premiers symboles contenus dans un signal RF modulé en QAM-16. Pour ce type de modulation, chaque symbole d'une durée Ts contient un mot de 4 bits (car  $Eff_{spectrale} = 4$ ). Les mots (ou symboles) sont distingués par un changement de phase et d'amplitude du signal RF modulé. Ce seront donc des signaux RF de même allure qui seront utilisés pour les caractérisations Datacom.



Figure 134: (a) Signal RF modulé en QAM-16 ; (b) Constellation du signal IF démodulé en QAM-16

La Figure 134 (b) montre les 16 points de constellations obtenus par démodulation sur la voie IF d'un signal modulé en QAM-16. Elle permet de mettre en évidence l'EVM car ici pour l'exemple, la constellation est juste translatée, mais dans la pratique, c'est un nuage de points qui est obtenu et la valeur de l'EVM est une valeur RMS statistique. Après avoir explicité les éléments de base nécessaires pour la compréhension des caractérisations *Datacom*, 17 essais de démodulations avec le 2xSHM sont effectués. Les premières modulations utilisées sont de type QPSK (modulation de phase uniquement). Cependant, avant de se concentrer sur l'étude des constellations, il paraît intéressant de regarder l'allure des spectres observés sur la voie IF.



Figure 135: Spectres des signaux de sortie IF pour des fréquences RF de 103,5 et 106 GHz

La Figure 135 met en lumière les spectres des signaux reçus sur la voix IF lorsqu'une modulation QPSK est injectée à 103,5 et à 106 GHz. Il est possible de distinguer deux tendances par point de fréquence : une où le signal RF modulé est injecté dans le mélangeur, et une où le signal RF est éteint. Les courbes « RF OFF » sont utilisées afin de mettre en évidence le niveau de bruit de mesure, avant l'acquisition du signal (« RF ON »). Les courbes « RF ON » soulignent que les largeurs des bandes passantes ne dépendent pas du type de modulation mais bien de la fréquence de modulation (Baud-rate) à laquelle le signal RF est associé. La bande passante du signal modulé en QPSK à 103,5 GHz est de 4 GHz, tandis que celle du signal à 106 GHz est d'environ 10 GHz, en lien avec le Baud rate utilisé (4 GBaud pour l'un, 10 GBaud pour l'autre). De ce fait, nous pouvons déjà noter que les formes générales des spectres permettent de confirmer la bonne réception des signaux modulés par le 2xSHM.

Il convient maintenant de vérifier si la démodulation des différents signaux modulés s'effectue de manière correcte. Pour ce faire, l'analyseur de spectres FSU est remplacé par un oscilloscope permettant de retranscrire sur la sortie IF, à la fois la constellation et le diagramme de l'œil correspondant à la démodulation du signal RF injecté. Les résultats des 17 mesures obtenues pour l'ensemble des modulations utilisées sont répertoriées dans le Tableau 23. La Figure 136 propose d'illustrer les résultats mesurés pour les cas n°15 et n°17 du Tableau 23. Page **162** sur **199** 

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz



Figure 136: (a) Constellation reçue d'une modulation QAM-16 à 10 Gbaud ; (b) Diagramme de l'œil associé à la modulation QAM-16 à 10 Gbaud ; (c) Constellation reçue d'une modulation QAM-64 à 10 Gbaud ; (b) Diagramme de l'œil associé à la modulation QAM-64 à 10 Gbaud ;

La Figure 136 (a) et (b) illustre la constellation et le diagramme de l'œil en sortie IF obtenus pour la démodulation d'un signal RF modulé en QAM-16 avec une fréquence porteuse de 106 GHz injecté avec débit de 10 Gbaud (40 Gbit/s). La constellation 4x4 (Figure 136 (a)) reçue traduit le fait que la démodulation s'opère de manière correcte et qu'un faible EVM (6,6 %) est observable. Le diagramme de l'œil (Figure 136 (b)) montre une excellente ouverture à chaque période de réception et traduit donc un taux d'erreur binaire BER inférieur à 10<sup>-9</sup>. Le taux d'erreur est traduit sur le diagramme de l'œil à l'aide de l'histogramme bleu. En effet, ce taux est important dans le nœud de transmission entre deux ouvertures d'œil, mais nul quand l'œil est ouvert. La Figure 136 (b) montre les résultats des deux mêmes diagrammes, mais pour un signal RF modulé en QAM-64 avec une fréquence porteuse de 106 GHz injecté avec débit de 10 Gbaud (60 Gbit/s). Si la constellation 8x8 (Figure 136 (c)) reste bien lisible et partiellement bruitée (EVM à 8,2 %), le diagramme de l'œil (Figure 136 (d)) admet cependant un petit changement notable. Bien que l'œil ouvert reste visible sur une plus courte période, c'est la non-nullité du taux d'erreur qui est particulièrement intéressante dans cette ouverture. Cette faible valeur traduit un BER de 8,5.10<sup>-3</sup> et est illustrée par les faibles valeurs de l'histogramme bleu.



Figure 137: Tracé de l'EVM (%) en fonction du débit binaire D<sub>b</sub> (Gbit/s)

La Figure 137 illustre les tracés des EVM (%) des 17 mesures *Datacom* réalisées en fonction du débit binaire  $D_b$  en Gbit/s. Il dissocie pour chaque caractérisation la fréquence porteuse du signal RF utilisé ainsi que la modulation qui lui est associée. Concernant les modulations QPSK à 103,5 et 106 GHz, deux valeurs de l'EVM sont supérieures à 23 %. Cela est induit par la non-prise en compte des pertes liées au câble coaxial réalisant la liaison entre l'oscilloscope et la sortie IF. En effet, une bande passante allant de 4 à 9 GHz (illustrée sur la Figure 135) admet forcément des pertes sur ligne coaxiale. La non-compensation de ces pertes en sortie est induite par une non-égalisation en mesure de ces derniers sur l'ensemble de la bande passante du signal. Il est pertinent de noter que, si les pertes en sortie sont utilisées lors de la mesure, l'EVM chute en dessous des 10 %. Ainsi, pour l'ensemble des modulations testées, les valeurs de l'EVM restent relativement bonnes par rapport à la croissance du débit binaire  $D_b$ . De ce fait, si un débit de 24 Gbit/s est désiré, plusieurs solutions sont possibles. Ce sont donc les contraintes applicatives qui vont définir concrètement, en s'appuyant sur les taux d'erreur binaires (BER) ou EVM tolérées.

N°	f <sub>RF</sub> (GHz)	f <sub>IF</sub> (GHz)	Modulation	Baud-rate D <sub>S</sub> (Gbaud)	Data-rate D <sub>b</sub> (Gbit/s)	EVM %	BER	Post- processing
1	103,5	3,5	QPSK	4	8	22,9	< 10 <sup>-9</sup>	Non égalisé
2	103,5	3,5	QPSK	4	8	6	< 10 <sup>-9</sup>	Egalisé
3	103,5	3,5	<b>QAM-16</b>	4	16	4,75	< 10 <sup>-9</sup>	Egalisé
4	103,5	3,5	QAM-32	4	20	4,1	< 10 <sup>-9</sup>	Egalisé
5	103,5	3,5	QAM-64	4	24	4,7	< 10 <sup>-9</sup>	Egalisé
6	103,5	3,5	QPSK	6	12	9,8	< 10 <sup>-9</sup>	Egalisé
7	103,5	3,5	QAM-16	6	24	7,5	< 10 <sup>-9</sup>	Egalisé
8	103,5	3,5	QAM-32	6	30	6,6	< 10 <sup>-9</sup>	Egalisé
9	106	6	QPSK	6	12	6,2	< 10 <sup>-9</sup>	Egalisé
10	106	6	QAM-16	6	24	4,6	< 10 <sup>-9</sup>	Egalisé
11	106	6	QAM-32	6	30	4,2	< 10 <sup>-9</sup>	Egalisé
12	106	6	QAM-64	6	36	4,4	< 10 <sup>-9</sup>	Egalisé
13	106	6	QPSK	10	20	8,7	< 10 <sup>-9</sup>	Egalisé
14	106	6	QPSK	10	20	23,75	< 10 <sup>-9</sup>	Non égalisé
15	106	6	QAM-16	10	40	6,6	< 10 <sup>-9</sup>	Egalisé
16	106	6	QAM-32	10	50	5,7	5,00.10-4	Egalisé
17	106	6	QAM-64	10	60	8,2	<b>8,50.10</b> <sup>-3</sup>	Egalisé

Tableau 23: Synthèse de l'ensemble des caractérisations Datacom du 2xSHM. (La dernière colonne indique<br/>l'utilisation d'une égalisation lors de la détection du signal).

Le Tableau 23 synthétise les mesures *Datacom* qui ont été réalisées sur le 2xSHM en BiCMOS 55 nm. De fait, des débits de transmission allant de 8 à 40 Gbit/s ont pu être mesurés avec des taux d'erreur binaires (BER) et vectoriels (EVM) inférieurs à respectivement 10<sup>-9</sup> et 10 %. En ce sens, des applications temps réel peuvent être envisagées jusqu'à 40 Gbit/s car leurs BER non-corrigés demeurent satisfaisants. Néanmoins, une transmission jusqu'à 60 Gbit/s reste envisageable dans des applications où la latence n'est pas un compromis. Il est ainsi concevable d'utiliser des techniques de correction d'erreur, en mesure de ramener le taux d'erreur binaire BER à une valeur acceptable mais au prix d'une consommation énergétique plus importante et de latence temporelle. Ce premier concept de solution 2xSHM intégré sur silicium en BiCMOS 55 nm offre donc des résultats encourageants, et permet également d'affiner la compréhension du fonctionnement de la diode Schottky. Quant aux limitations, les pertes de conversion CL demeurent encore légèrement élevées (20,3 dB) tandis que la bande passante reste restreinte à 12 GHz à ce jour. Cependant, des perspectives d'améliorations seront proposées dans la section V.3 afin de développer une solution plus performante à plus haute fréquence, en s'inspirant de la mise en boîtier réalisée pour les mélangeurs en technologie III-V.

## **IV.2.** Systemes de detection pour imagerie terahertz

## IV.2.i. PRINCIPE DE FONCTIONNEMENT DES DETECTEURS RECTENNA AU-DESSUS ET EN-DESSOUS DE 1 THZ

Un circuit de type Rectenna est constitué d'une antenne associée à un élément capable de redresser un signal alternatif. L'antenne permet de collecter le rayonnement électromagnétique EM et de le convertir en un signal RF. Un élément redresseur non linéaire tel qu'une diode ou un transistor est placé directement après l'antenne afin de transformer ce signal RF en un signal DC. Le circuit Rectenna rend possible la conception d'une détection directe d'un signal EM émis. Deux topologies de circuits Rectenna sont présentes dans la littérature, et sont illustrées dans la Figure 138. Elles sont également associées à la conversion de signaux qu'elles réalisent.



Figure 138: Schéma : (a) du circuit Rectenna en desssous de 1 THz ; (b) du circuit Rectenna au dessus de 1 THz ; (c) de l'allure des signaux a l'intérieur du cicuit

La Figure 138 (a) schématise le circuit Rectenna utilisé pour générer une détection de signal en-dessous de 1 THz. Elle contient une antenne œuvrant à capter et transformer l'onde EM en signal RF. Le signal RF d'amplitude  $V_{RF}$  est ensuite acheminé jusqu'à la diode Schottky par l'intermédiaire de la ligne de transmission  $L_1$  dimensionnée pour laisser passer le signal RF. La diode Schottky redresse, par la suite, le signal  $V_{RF}$  afin de ne conserver que les alternances positives (signal  $V_D$ ). La ligne de transmission  $L_2$  est conçue et mise en œuvre afin de filtrer le signal RF et laisser passer le signal redressé  $V_D$  jusqu'à la capacité de lissage. La capacité de lissage linéarise la tension redressée  $V_D$  afin d'obtenir le signal lissé  $V_{capa}$ . Le signal DC est ensuite récupéré aux bornes de la charge résistive avec la tension  $V_{out}$ . Un transistor de commande peut servir à choisir si le redresseur doit permettre ou non la détection.

La Figure 138 (b) schématise le circuit Rectenna utilisé pour réaliser une détection de signal au-dessus de 1 THz. Il comporte également une antenne permettant d'effectuer la conversion d'un signal EM vers un signe RF. La diode Schottky est connectée dans le plan E au plus proche de l'antenne par l'intermédiaire de la ligne  $L_1$  afin de maximiser le transfert de puissance du signe RF vers la diode Schottky. Le signal  $V_D$  redressé par la diode retourne ensuite vers l'antenne, jusqu'à rencontrer la masse virtuelle RF créée à l'intersection des plans E et H au centre du patch. Cette masse virtuelle pour le signal RF existe grâce à l'annulation des courants au centre du patch dans le plan E. De ce fait, un chemin DC ( $L_2$ ) positionné au centre du plan E peut permettre de récupérer le signal  $V_{capa}$  lissé provenant du signal  $V_D$  lissé par le patch. De manière analogue, le signal DC sera ensuite accessible en sortie du détecteur aux bornes de la charge résistive où la tension  $V_{out}$  peut être prélevée. Le circuit Rectenna

fonctionnant au-dessus de 1 THz ne possède pas de capacité de lissage, car les valeurs mises en jeu sont proches du femtofarad et sont irréalisables dans la pratique. Il convient de noter qu'un transistor de commande peut être également ajouté en sortie du détecteur. Ces deux architectures de Rectenna forment donc des pixels unitaires qui seront par la suite matricées afin d'obtenir un système de détection complet. En imagerie, le pixel (unitaire) est l'unité de base qui permet de quantifier la définition d'une image numérique. Chaque pixel permet de d'apporter une colorimétrie à une image numérique constitué d'une matrice de points colorés où chaque point est un pixel unitaire. Cette juxtaposition matricielle permet donc la création de l'image.

## IV.2.ii. ETAT DE L'ART DES CIRCUITS RECTENNA

## IV.2.ii.a. ETAT DE L'ART DES ANTENNES PATCH INTEGREES SUR SILICIUM

L'antenne patch est l'élément clé dans la réalisation d'un détecteur Rectenna. En tant que premier élément de la chaine de détection, elle doit être en mesure de capter le maximum de puissance issue de l'onde électromagnétique incidente, afin de la convertir en un signal électrique RF. Cette opération est effectuée de préférence à la fréquence de résonnance de l'élément rayonnant. La Figure 139 offre donc une vue d'ensemble des antennes patch réalisées sur silicium et publiées dans des papiers scientifiques.



*Figure 139: Etat de l'art des antennes patches intégrées sur silicium : (a) Architecture ; (b) Grandeurs caractéristiques* 

La Figure 139 (a) présente l'architecture la plus utilisée des antennes patch recensées dans la littérature. L'élément rayonnant contribuant à capter (ou émettre) une onde électromagnétique est élaborée à l'aide d'une couche de métaux supérieurs (du procédé microélectronique) en aluminium [107] [109] [111] [86] [88] ou en cuivre [108] [110] [112] [113]. Le type de métal utilisé pour concevoir le patch n'influence pas de manière significative les performances de l'antenne car les conductivités des métaux mis en jeux sont considérées suffisamment importantes. En effet, la grandeur permettant de fixer la fréquence de résonnance est la longueur L du patch dans son plan E. La largeur W fixe, quant à elle, l'impédance d'entrée que présente le patch. Dans la pratique, les patchs réalisés sont carrés ou avec W (entre  $\lambda g/2$  et  $\lambda g$ ) très légèrement supérieur à L. La Figure 139 (b) montre le tracé des longueurs de patch L en fonction de leurs fréquences de résonnance. Elle permet d'illustrer

la faisabilité d'antenne fonctionnant dans les fréquences térahertz. En effet, il est possible de remarquer que la montée en fréquence est envisageable avec la diminution de la longueur L du patch. Néanmoins, le choix du niveau de métallisation supérieur pour le patch, associé à celui du plan de masse, dissimule en réalité un ajustement de la performance de l'antenne. Le plan de masse GND est, en effet, généralement conçu avec un empilement des couches de métaux fins en cuivre présent dans chaque technologie silicium. Bien que le fait d'empiler permette de diminuer l'accumulation du courant sous l'élément rayonnant, la principale raison réside dans l'ajustement de l'épaisseur du substrat H $\varepsilon$ . Cette épaisseur permet d'ajuster la bande passante de l'antenne qui augmentera conjointement avec l'épaisseur H $\varepsilon$ . Cependant, à très haute fréquence, une importante épaisseur He peut générer l'excitation d'ondes de surface (modes TE et TM d'ordre supérieur) pouvant perturber le fonctionnement de l'antenne et dégrader ses performances. En pratique, la permittivité relative de ce substrat  $\varepsilon$ doit être faible pour minimiser les pertes. Ce paramètre n'est cependant pas modifiable pour la technologie silicium car celle du SiO2 intrinsèque à ce type de technologie se situe autour de 4. Le tracé de l'épaisseur des substrat H $\varepsilon$  en fonction des fréquences de fonctionnement de chaque antenne est donné par la Figure 139 (b). Il est important de constater que des plages d'épaisseur de substrat allant de 8 à 2 µm sont exprimées pour la gamme de fréquences comprises entre 1 et 6 THz. Les épaisseurs de substrat H $\varepsilon$  illustrées par [110] traduisent toutefois une contrainte dissimulée, propre à chaque technologie silicium. Dans la mesure où l'empilement backend est fixe pour une technologie commerciale mature, l'ajustement de l'épaisseur H $\varepsilon$  ne peut être uniquement élaboré avec un pas d'épaisseur relatif qui tient compte des hauteurs et épaisseur des couches des métaux d'accès de partie frontend. Les performances relevées, reportées par des directivités se situant autour de 5 dB pour chaque antenne, sont données par la Figure 139 (b). Pour ce type d'antenne intégré, les valeurs de directivité sont souvent assimilées avec celle des gains de l'antenne. Néanmoins, la directivité représente la capacité de l'antenne à pointer dans une direction donnée, de manière plus ou moins focalisée, mais ne tient pas compte des pertes totales de l'antenne (ce que fait le gain).

## IV.2.ii.b. ETAT DE L'ART DES DETECTEURS TYPE RECTENNA

Cette partie met en lumière une vue d'ensemble des détecteurs Rectenna réalisés sur silicium au sein de la communauté scientifique. Bien que la majorité des circuits développés fonctionnent aujourd'hui autour de 1 THz, une tendance à la montée en fréquence afin d'augmenter la résolution des systèmes de détection commence à émerger dans l'état de l'art, comme l'illustre la Figure 140.



Figure 140: (a) Sensibilité R<sub>v</sub> et (b) NEP des circuits Rectenna relevés dans la littérature scientifique

La Figure 140 (a) montre l'évolution de l'ensemble des sensibilités Rv pour chaque détecteur conçu en technologie silicium. La tendance donnée par l'état de l'art est une pente décroissante avec une montée en fréquence. En effet, la montée en fréquence implique des puissances de travail de moins en moins élevées, or la sensibilité, bien que devant demeurer la plus grande possible, en résulte altérée. Les détecteurs à base de transistor [109] [110] [111] [86] [88] [112] [115] [62] [117] [118] offrent une meilleure sensibilité que ceux à diodes Schottky [107] [86] [114] en dessous du térahertz. En revanche, lorsque la barre des 4 THz est franchie, la tendance s'inverse et la sensibilité Rv des détecteurs à diode Schottky [119] se trouve supérieure à ceux conçus avec des transistors [112] [120]. La Figure 140 (b) met en évidence l'évolution du NEP, perçu comme le plancher de bruit, par rapport à la montée en fréquence des détecteurs. Inversement proportionnel à la sensibilité  $R_v$  (cf. Équation 27), il doit être le plus bas possible afin de maximiser la dynamique de détection des circuits Rectenna. Contrairement aux deux tendances marquées au-dessous et en dessous de 4 THz pour la sensibilité, il convient de remarquer que les détecteurs à diode ou à transistor ont des valeurs de NEP similaires, comme l'illustre [119] [120]. Concernant les circuits Rectenna développés avec des diodes Schottky fonctionnant légèrement en dessous de 1 THz [107] [86] [114], la topologie avec antenne et capacité de linéarisation, présentée par la Figure 138 (a), a été privilégiée. Elle montre des sensibilités équivalentes à la topologie à antenne directe (Figure 138 (b)) utilisé par [119] à 5 THz. De ce fait, l'architecture à diode est celle étudiée par la suite, afin de s'inscrire dans les tendances de sensibilités Rv et de NEP, établies et données par [119]. Les objectifs des travaux de développement de pixels Rectenna sont explicités par les encadrés en pointillé vert. Les fréquences visées sont 1,8 THz, 2,5 THz et 3,1 THz pour deux raisons majeures. En termes de faisabilité, cette gamme de fréquence apparait comme un premier point de départ, car peu de résultats ont été reportés dans cette bande. De plus, les pixels unitaires développés par la suite devront pouvoir être caractérisés. En ce sens, les trois fréquences retenues correspondent à celles pour lesquelles les puissances d'émission des signaux THz (utilisées pour illuminer les antennes des différents pixels) de la sources QCL (Quantum Cascade Lasers) seront maximum.

## **IV.2.iii.** CONCEPTION D'UN PATCH EN TECHNOLOGIE SILICIUM

A la suite de l'état de l'art évoqué précédemment, la faisabilité d'antennes, et par extension de détecteurs Rectenna intégrés sur silicium, est envisageable dans la gamme des fréquences térahertz. Cette partie met en évidence la stratégie de conception des antennes patch réalisées sur silicium en technologie BiCMOS 55 nm.

## IV.2.iii.a. DIMENSIONNEMENT DU PATCH INTEGRE SUR SILICIUM

Le fonctionnement d'une antenne patch, peut s'expliquer en considérant que ce sont à la fois les courants surfaciques sur le patch et le plan de masse sous ce dernier qui rayonnent. En effet, si l'un des deux bords est considéré comme « non rayonnant », la composante normale du champ électrique diminue progressivement, s'annule en son milieu et change de sens par la suite (Figure 141 (b)). De ce fait, la contribution au rayonnement à l'infini est nulle dans la direction normale du patch puisque les rayonnements engendrés par le champ le long de ce bord se compensent exactement. Un raisonnement analogue s'applique sur l'autre bord « non rayonnant », impliquant que le rayonnement engendré dans l'axe du pavé est lui aussi nul, et crée une masse RF virtuelle [122].

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz



Figure 141: Antenne Patch : (a) vue de dessus ; (b) vue en coupe

La Figure 141 (a) illustre une antenne patch en vue de dessus. Elle est formée de deux couches métalliques (Patch et GND), séparée par un substrat d'épaisseur H<sub> $\epsilon$ </sub> et de constance diélectrique  $\epsilon_r$  à travers lequel le champ électrique résonne (Figure 141 (b)). La taille du plan de masse GND est au moins 5 fois plus grande que celle du patch. Les plan E et H où les courants circulent sur le patch sont également indiqués et se situent respectivement dans la longueur L<sub>patch</sub> et la largeur W<sub>patch</sub> du patch. L'alimentation prévue est centrée par rapport à la largeur W<sub>patch</sub> pour l'antenne, et inclue dans la longueur L<sub>patch</sub> du patch. Elle est de type coaxial et est représentée par l'accès Coax. L'objectif est ainsi de dimensionner l'ensemble des patchs afin qu'il soit en mesure de résonner aux fréquences *f*<sub>res</sub> de 1,8 THz, 2,5 THz et 3,1 THz.

Pour ce faire, des méthodes analytiques issues d'une approche physique du phénomène ou des hypothèses simplificatrices favorisent l'obtention d'équations assez simples (Équation 111 à Équation 114). Cependant, des résultats approchés sont obtenus en contrepartie. Ces méthodes sont généralement fondées sur les courants magnétiques équivalents le long des bords du patch. En ce sens, la modélisation de l'élément rayonnant s'appuie sur le modèle de la ligne de transmission qui demeure valable, notamment pour un élément rectangulaire [122].

$$W_{patch} = \frac{C_0}{2f_{res}} \sqrt{\frac{2}{\varepsilon_r + 1}}$$
 Équation 111

L'Équation 111 définit la largeur W<sub>patch</sub> du patch. Elle dépend de la célérité C<sub>0</sub>, de la fréquence de résonnance du Patch  $f_{res}$  souhaitée et de la permittivité du substrat de l'antenne  $\varepsilon_r$ .

$$\varepsilon_{reff} = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \left( 1 + \frac{12H_{\varepsilon}}{W} \right)^{-\frac{1}{2}}$$
 Équation 112

L'Équation 112 définit la permittivité effective  $\varepsilon_{reff}$ . Cette grandeur représente la permittivité relative d'un diélectrique homogène fictif, dans lequel serait placé le patch étant perçu comme une ligne micro-ruban (équivalent à l'association du substrat diélectrique, de la permittivité  $\varepsilon_r$  et de l'air). Cette grandeur dépend de la permittivité du substrat  $\varepsilon_r$ , de son épaisseur H<sub> $\varepsilon$ </sub> et de la largeur du patch W<sub>patch</sub>.

$$\Delta L = 0.412 \mathrm{H}_{\varepsilon} \frac{(\varepsilon_{reff} + 0.3)}{(\varepsilon_{reff} - 0.258)} \times \frac{(\frac{W}{\mathrm{H}_{\varepsilon}} + 0.264)}{(\frac{W}{\mathrm{H}_{\varepsilon}} + 0.8)}$$
 Équation 113

L'Équation 113 définit l'extension de longueur  $\Delta L$ . Elle modélise le fait que les ligne de champ ne s'arrêtent pas de façon brutale aux extrémités de la longueur L du patch mais débordent, et permet ainsi une meilleure estimation de la longueur L<sub>patch</sub> de l'élément rayonnant. Elle découle de la permittivité effective  $\varepsilon_{reff}$ , de l'épaisseur H<sub> $\epsilon$ </sub> du substrat et de la largeur du patch W<sub>patch</sub>.

#### Page 169 sur 199

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz

$$L_{patch} = \frac{C_0}{2f_{res}\sqrt{\varepsilon_{reff}}} - 2\Delta L \qquad \qquad \acute{Equation 114}$$

L'Équation 115 définit la longueur du patch  $L_{patch}$ . Elle varie en fonction de la célérité  $C_0$ , de la fréquence de résonnance du Patch  $f_{res}$  et de la permittivité effective  $\varepsilon_{reff}$ , et de l'extension de longueur  $\Delta L$ . Dans la pratique, l'ajustement de la longueur  $L_{patch}$  permet de fixer la fréquence de résonnance  $f_{res}$ . De plus, les caractéristiques des diélectriques de permittivité  $\varepsilon_r$  et permittivité effective  $\varepsilon_{reff}$  sont déterminées par le substrat SiO<sub>2</sub> de la technologie BiCMOS 55 nm. Il est lui-même défini selon les couches de métallisation retenues pour effectuer le patch intégré et son plan de masse GND.

La ligne coaxiale illustrée sur la Figure 141 (a) procure une double utilisation. En simulation 3D électromagnétique sous HFSS, elle permet d'alimenter le patch afin de procéder à une optimisation plus fine de son dimensionnement. Cependant, dans les faits, elle sert à connecter la diode Schottky au plus proche de l'antenne afin de réaliser le pixel unitaire. Sa conception est élaborée avec l'empilement backend de la technologie BiCMOS 55 nm. L'architecture classique d'un câble coaxial comporte deux parties conductrices, isolées par une partie diélectrique, afin de transmettre le signal du brin central en minimisant les perturbations.



Figure 142: Alimentation coaxiale intégrée : (a) vue de dessus ; (b) vue en coupe

Le principe du portage d'un câble coaxial sur silicium est présenté dans la Figure 142. Le brin central utilisé pour transmettre le signal de l'antenne vers la diode Schottky (et inversement) est réalisé par l'empilement de métaux centraux nommé conducteur 1. Le blindage, isolant la partie de conducteur 2, est effectué par Si $_2$  et déposé entre le conducteur 1 (signal) et 2 (plan de masse). Le paramètre principal à fixer est son impédance caractéristique Z<sub>0</sub>. Elle est donnée pour un câble coaxial de section carrée par l'Équation 115 [123].

$$Z_0 = \frac{138}{\sqrt{\varepsilon_r}} Log\left(\frac{D}{d}\right)$$
 Équation 115

L'impédance caractéristique  $Z_0$  de la ligne coaxiale de section carrée résulte de la largeur d de la section du conducteur central, de celle du blindage D et de la permittivité de ce dernier  $\varepsilon_r$ . Dans les faits, les métaux inférieurs et supérieurs doivent former des enceintes autour des vias permettant la remontée du signal dans la partie backend. Dès lors, la distance d est déterminée par la largeur du via (couche Cb pour les antennes en aluminium et Via 8 pour l'antenne en métal M9), qui connecte l'antenne au conducteur central du coaxial (largeur de l'accès Coax illustrée par la Figure 141 (a)). Il est ensuite possible, en fixant la valeur d'impédance caractéristique  $Z_0$  à 50  $\Omega$ , de définir la largeur D diélectrique devant séparer le second conducteur du câble coaxial intégré en BiCMOS 55 nm.

#### <u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz

## IV.2.iii.b. SIMULATION ELECTROMAGNETIQUE SOUS HFSS DU PATCH THZ INTEGRE

La définition de l'architecture de l'antenne doit être menée à bien avant de pouvoir déterminer un premier dimensionnement, grâce aux formules analytiques présentées dans IV.2.iii.a. En ce sens, l'empilement backend de la technologie BiCMOS 55 nm joue un rôle crucial afin de fixer l'épaisseur de substrat H $\varepsilon$ , élément clé du bon fonctionnement de l'antenne. Selon [110], les épaisseurs de substrat H $\varepsilon$  permettant à une antenne de fonctionner entre 1 et 3 THz se situent autour de ~ 4 µm. Cette observation constitue un point de départ pour dimensionner cette épaisseur H $\varepsilon$ . Bien que l'augmentation de sa valeur élargisse la bande passante autour de la fréquence de résonnance  $f_{res}$  du patch, cet avantage se fait au détriment du gain du patch défini dans l'axe souhaité. Cette dégradation de gain est induite par la formation d'ondes de surface dans le substrat, créées par l'excitation de modes TEx et TMy avec x > 1 et y > 0 [124]. Au regard de l'ensemble des phénomènes liés à l'épaisseur H $\varepsilon$ , la Figure 143 propose trois architectures d'antenne patch réalisées avec les empilements des niveaux de métallisation BiCMOS 55 nm.



Figure 143 : Choix des architectures d'antenne BiCMOS 55 nm en fonction des épaisseurs de substrat (largeur non à l'échelle) : (a)  $H\varepsilon = 5,05 \ \mu m (SiO2)$  ; (b)  $H\varepsilon = 9,46 \ \mu m (SiO2)$  ; (c)  $H\varepsilon = 6,91 \ \mu m$ 

Les patchs illustrés par les Figure 143 (a) et Figure 143 (b) sont élaborés à l'aide de la couche d'aluminium AP servant à encapsuler la technologie silicium. Le choix des niveaux de métallisation M1-M8 (Figure 143 (a)) et M1-M7 (Figure 143 (b)) sert à appréhender le plan de masse GND, et ainsi définir les épaisseurs de substrat retenues (5,05 µm et 9,46 µm) pour chacun des patchs. La Figure 143 (c) met en lumière un patch conçu avec le niveau de métallisation supérieur M9 ainsi qu'un plan de masse résultant de l'association des niveaux M1-M7, offrant une épaisseur de substrat de 6,91 µm. La permittivité du substrat établie pour l'ensemble de ces trois architectures est  $\varepsilon_r = 4,26$ . Il est ainsi possible de définir le dimensionnement des trois éléments rayonnants intégrés avec l'aide des Équation 111 à Équation 114, pour une fréquence de résonance  $f_{res}$  égale à 2,5 THz.

Page 171 sur 199

<u>CHAPITRE 4 : ETUDE DE FAISABILITE POUR LA CONCEPTION DE CIRCUITES MELANGEURS SOUS-HARMONIQUES ET DE</u> PIXELS POUR IMAGERIE TERAHERTZ

Hε (μm)	L <sub>patch</sub> (μm)	W <sub>patch</sub> (μm)
5,05	27	38
9,46	24,2	38
6,91	25,8	38

Tableau 24: Dimensions théoriques correspondant aux trois architectures d'antenne patch intégrés

Le Tableau 24 propose les longueurs L<sub>patch</sub> et largeur W<sub>patch</sub>, calculées analytiquement pour que les trois antennes patch soient en mesure de résonner à une fréquence de 2,5 THz. La largeur W<sub>patch</sub> n'influençant pas la fréquence de résonnance  $f_{res}$ , seule la longueur L<sub>patch</sub> est ajustée avec précision grâce au simulateur HFSS (High Frequency Structure Simulator) afin de maximiser le gain de l'antenne à 2,5 THz alimenté par une ligne coaxial adaptée (Z<sub>0</sub> = 50  $\Omega$ ). Les trois antennes associées à leur accès coaxial sont ensuite simulées avec le logiciel de simulation 3D HFSS. La Figure 144 illustre l'antenne patch dessinée sous HFSS, en particulier celle ayant une épaisseur de substrat H $\epsilon$  = 9,46 µm.



Figure 144: Vue HFSS de l'antenne patch pour  $H\varepsilon = 9,46 \ \mu m$ : (a) en coupe plan E; (b) en vue 3D; (c) avec diagramme de rayounement 3D (directivité)

La Figure 144 (a) représente les différents matériaux utilisés sous HFSS pour réaliser les simulations électromagnétiques du fonctionnement de l'antenne patch. Les trois matériaux sont ceux proposés sous HFSS, incluant l'ensemble de leurs propriétés en termes de conductivité et de pertes propres à chacun. Il convient dès lors de retrouver les performances obtenues analytiquement pour le patch réalisé en aluminium, ainsi que son plan de masse GND conçu en cuivre. Dans le but de réduire le temps conséquent de simulations, et d'éviter des problèmes de convergence, le plan de masse sera façonné avec un pavé de cuivre plein. Dans la pratique, un plan patterné, similaire à celui utilisé pour les DOE de diodes Schottky, est privilégié afin que les densités imposées par la technologie soient incorporées lors de la fabrication de l'antenne. Les deux entités sont séparées par le diélectrique formé avec du dioxyde de silicium SiO<sub>2</sub>. L'accès coaxial reliant l'antenne à la diode Schottky est confectionné avec l'empilement backend du BiCMOS 55 nm, tel qu'il sera dans la réalité (incluant l'ensemble des dimensions des vias et métaux réels). Il est important de noter qu'un accès coaxial simplifié par un unique barreau de la largeur d du conducteur central du câble coaxial ne change en rien les performances obtenues en simulation. Dans la mesure où l'accès coaxial réel (non simplifié) a été également simulée et comparée avec la version simplifiée, la ligne coaxial réelle sera conservée pour le reste de l'étude sous HFSS. La Figure 144 (b) donne corps à une vue 3D de l'antenne patch avec une épaisseur de substrat H $\varepsilon$  = 9,46 µm. Elle rappelle également le dimensionnel W<sub>patch</sub> et L<sub>patch</sub> de l'élément rayonnant en complément. La Figure 144 (c) illustre l'ensemble de l'antenne patch associée à son diagramme de rayonnement 3D. Les deux paramètres mis en évidence sont la longueur L<sub>sub</sub> et la largeur W<sub>sub</sub> de la dimension du substrat retenu pour réaliser les simulations électromagnétiques. Afin de souligner la perturbation des modes d'ordre supérieurs générés dans le substrat en simulation sur le diagramme de rayonnement, le substrat doit avoir  $L_{sub} >> L_{patch}$  et  $W_{sub} >> W_{patch}$  [124]. De ce fait, les valeurs choisies pour les dimensions du substrat sont  $L_{sub} = 20L_{patch}$  et  $W_{sub} = 20W_{patch}$ . Le diagramme de rayonnement 3D donnant l'allure et la valeur de la directivité de l'antenne est également présent sur la Figure 144 (c). Sa valeur suivant l'axe z (normale au patch) est de 6,9 dB, et est en accord avec les tendances autour de 5 dB pour les antennes patchs intégrées sur silicium données dans la littérature. Son allure générale révèle toutefois une première information sur la génération des ondes de surface. En effet, son allure n'est ni proche d'une demisphère parfaite (antenne peu directive), ni d'un demi-ellipsoïde de révolution autour de l'axe z (antenne très

Page 172 sur 199

directive). La demi-sphère obtenue, représentée par la Figure 144 (c), étant fortement écrasée dans certaines directions, elle traduit un impact de l'excitation de modes d'ordre supérieurs dans le substrat.

Le centre du point d'accès coaxial connectant l'antenne à la diode Schottky est placé à 1/3 de la longueur  $L_{pacth}$ . Ce point doit normalement présenter une impédance adaptée à 50  $\Omega$  [122]. Bien que l'impédance de la diode soit différente de cette valeur, l'ensemble des simulations est constitué selon la configuration 1/3  $L_{patch}$ . Une étude d'impact de la variation d'impédance que présente l'antenne à la diode est régie par le déplacement de la ligne coaxiale. Elle est proposée par la Figure 145.



Figure 145: (a) Vue en coupe de l'alimentation coaxiale ; (b) S<sub>11</sub> correspondant au déplacement du point d'alimentation

La Figure 145 (a) permet de visualiser une vue en coupe de l'antenne où trois positionnements du centre de l'alimentation coaxiale sont étudiés. Le placement de référence  $(1/3 L_{patch})$  est rapproché, dans un cas, du centre  $(1/3 L_{patch} + 1/2 \text{ Cb})$ , et dans l'autre cas, du bord  $(1/3 L_{patch} - 1/2 \text{ Cb})$  du patch de 1,5 µm. La Figure 145 (b) illustre *de facto* le tracé du paramètre S<sub>11</sub> pour chaque position de l'accès coaxial entre 1 et 3 THz dans le plan complexe. Les boucles formées par les trois tracés sur l'abaque de Smith illustrent l'augmentation de la bande passante (plus précisément visible dans le tracé du gain broadside) de l'antenne qui se forment autour de la fréquence de résonnance *f*<sub>res</sub> à 2,5 THz. Les boucles ont tendance à s'élargir et se rapprocher du centre de l'abaque avec le décalage de l'accès coaxial au bord du patch, ce qui souligne le fait que la bande passante augmente. Un décalage du point d'accès coaxial vers le centre de l'antenne traduit l'effet inverse en resserrant les boucles et en les éloignant du centre, réduisant de ce fait la bande passante. Il est également important de noter que la plage de variation du placement du câble coaxial est fortement restreinte par les dimensions importantes du conducteur central (Cb) imposées par la technologie. L'information cruciale pour la mise au point du DOE de pixel est que le positionnement du micro-guide coaxial permet de faire varier l'impédance que présente l'antenne à la diode Schottky dans une gamme limitée.

Pour nos applications, le principal facteur de mérite servant à ajuster et à définir les dimensions et les performances de l'antenne est le gain broadside. Il représente le gain suivant l'axe z et est normal au plan dans lequel est inclus l'antenne patch si le diagramme de rayonnement n'est pas trop déformé. La Figure 146 illustre le gain broadside des antennes patch simulées sous HFSS ayant des épaisseurs de substrat H $\varepsilon$  = 5,05 µm et H $\varepsilon$  = 9,46 µm.

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz



*Figure 146: Gain Broadside : (a) Antenne patch avec*  $H\varepsilon = 5,05 \ \mu m$ *; (b) Antenne patch avec*  $H\varepsilon = 9,46 \ \mu m$ 

Le tracé du gain broadside favorise l'ajustement de la longueur de l'antenne patch L<sub>patch</sub>. En effet, la simulation HFSS (Figure 146) montre un décalage de 3 µm de la longueur L<sub>patch</sub> calculée pour les trois architectures de patch avec les équations analytiques (Tableau 24). En vue de préparer un DOE de pixels unitaire Rectenna, trois longueurs de patch L<sub>patch</sub> sont conservées pour l'implantation sur silicium de chaque architecture d'antenne présentée sur la Figure 143. Comme illustré sur la Figure 146 (a) et la Figure 146 (b), un pas de 3 µm a été simulé pour chaque antenne afin d'assurer la résonnance des patchs à 2,5 THz, dans au moins une des trois configurations imposées par la longueur L<sub>patch</sub>. Les gains selon l'axe z obtenus sont autour de 6 dB et une bande passante à Gain max – 3 dB autour de 400 GHz est observable pour chaque fréquence de résonance  $f_{res}$  imposée par la dimension L<sub>patch</sub>. Cette bande passante est estimée d'après des gains broadside supérieurs ou égaux à 5 dB. L'antenne patch, façonnée en couche M9 avec une épaisseur de substrat H $\varepsilon$  = 6,91 µm, montre des résultats en simulation 3D similaire au gain broadside de la Figure 146 (a). Le dimensionnel des trois d'antennes sélectionnées ainsi que leurs performances sont regroupées dans le Tableau 25.

Ηε (μm)	L <sub>patch</sub> (μm)	W <sub>patch</sub> (μm)	f <sub>res</sub> visées (THz)	f <sub>res</sub> simulées (THz)	Gain Broadside (dB)
5,05	21,5	38	2,5	2,7	6,26
5,05	24,5	38	2,5	2,5	6,28
5,05	27,5	38	2,5	2,3	5,83
9,46	18,2	38	2,5	2,5	5,58
9,46	21,2	38	2,5	2,25	6,48
9,46	24,2	38	2,5	2,1	6,61
6,91	17	38	2,5	2,75	5,2
6,91	20	38	2,5	2,5	3,7
6,91	23	38	2,5	2,35	5,45
6,91	16	30	3,1	3	2,77
6,91	19	30	3,1	2,8	4
6,91	22	30	3,1	2,6	4,6
9,46	29,9	52	1,8	1,8	6,4
9,46	32,9	52	1,8	1,7	6,74
9,46	35,9	52	1,8	1,6	6,4

Tableau 25 : Antennes patchs simulées sous HFSS

## **IV.2.iii.c.** Implementation de cavites resonnantes

Les dimensions des antennes patchs ont été précédemment définies en vue de résonner aux fréquences  $f_{\text{res}}$  où se situent les puissances maximales d'illumination IR de la source QCL envisagée pour caractériser les pixels Rectenna. Néanmoins, les épaisseurs de substrat H $\varepsilon$  mises au point impliquent l'excitation de modes TE et TM d'ordre supérieurs. Les techniques généralement mises en œuvre reposent sur la suppression de ces phénomènes. Cela est rendu possible soit par blocage de leur propagation avec des structures entourant l'antenne telles que les PGB (Photonic BandGap) [125], EGB (Electromagnetic BandGap) [126] ou une cavité, soit par la disposition de réseaux de source d'excitation permettant la recombinaison des modes de surface générés par ces dernières avec ceux produits par l'antenne se trouvant en phase [127]. Cependant, les cavités [128] utilisées pour le développement des antennes intégrées s'appuient sur les travaux de [124], à travers lesquels la puissance engendrée par les modes d'ordre supérieurs est convertie en puissance rayonnée puis réinjectée efficacement dans l'axe normal au patch à travers le rayonnement de l'antenne principale. Dans le cadre d'une première étude de faisabilité, le dimensionnement de la cavité se fondent sur les hypothèses établies dans [124], pour lesquelles les dimensions métallisées sont  $L_w \cong W_w \cong \frac{\lambda g}{2}$  et les dimensions de débordements sont  $L_s \cong W_s \cong \frac{\lambda T M_0}{2}$ .



Figure 147: Dimensionnement des cavités pour chaque antenne intégrée sur silicium

La Figure 147 illustre les grandeurs nécessaires pour établir les cavités pour chaque antenne intégrée. La solution privilégiée s'appuie ici sur 4 règles de trois ayant pour référence le dimensionnel de l'antenne patch carrée réalisée par [124]. Bien que cette méthode de calcul offre très rapidement un premier design de cavité, elle repose sur une étude rigoureuse permettant d'établir les modes générés pour une épaisseur de substrat H $\varepsilon$  donnée. Cette technique permet d'élaborer un premier point de fonctionnement pour les cavités résonnantes afin d'associer un design de ces dernières à leurs antennes patchs respectives. De ce fait, la dimension de chaque cavité est exprimée par les relations allant de l'Équation 116 à l'Équation 119 avec  $L_{patch [124]} = 520 \,\mu m$ ,  $L_w [124] = 680 \,\mu m$  et  $L_{s [124]} = 2000 \,\mu m$ . L'antenne conçue par [124] étant un patch carré, l'ensemble des largeurs W<sub>x</sub> sont identiques aux longueurs L<sub>x</sub>.

Une cavité par antenne, présentée dans le Tableau 25, est dès lors analytiquement dimensionnée afin de pouvoir simuler l'impact de l'implantation de ladite cavité sur les performances de l'antenne. Deux cavités sont ensuite simulées sous HFSS pour les antennes de références résonant à 2,5 THz avec une épaisseur de substrat  $H\varepsilon = 5,05 \ \mu m \ (L_{patch} = 24,5 \ \mu m)$  et  $H\varepsilon = 9,46 \ \mu m \ (L_{patch} = 21,1 \ \mu m)$ . La Figure 148 met en exergue la vue 3D de l'antenne patch associée à sa cavité, ainsi que le principe de propagation des ondes de surface à l'intérieur du substrat.

<u>CHAPITRE 4 : ETUDE DE FAISABILITE POUR LA CONCEPTION DE CIRCUITES MELANGEURS SOUS-HARMONIQUES ET DE</u> <u>PIXELS POUR IMAGERIE TERAHERTZ</u>



Figure 148: Implémentation de la cavité résonnante sous HFSS : (a) vue 3D ; (b) Coupe A-A plan H

La Figure 148 (a) met en évidence l'architecture de la cavité mise en place pour la simulation 3D électromagnétique. La cavité est conçue avec un anneau en cuivre autour de l'antenne patch à l'intérieur du substrat d'épaisseur H $\varepsilon$  et avec une couche supérieure en aluminium, afin d'être au même niveau de métallisation que l'élément rayonnant. Dans le but d'obtenir des calculs réalisables de la simulation HFSS, la cavité saisie est créée à l'aide de des métaux pleins. Dans la réalité, elle est agrémentée par des vias reliant les différents niveaux de métallisation, tandis que des plans patternés seront requis pour éviter les problèmes de surdensité rendant le process irréalisable. La Figure 148 (b) illustre la propagation des ondes de surface générées dans le substrat. Le mode de surface TM0 excité à l'intérieur du substrat se propage principalement dans les directions  $\pm y$  dans le plan E de l'antenne. Il est ensuite capté par la cavité rayonnante, à travers laquelle la majorité des courants formés sont collectés par la métallisation intérieure de l'anneau formant la cavité. Cette dernière fonctionne, du fait de son dimensionnement, comme l'association de deux autres antennes patchs par rapport à l'antenne initiale suivant les directions  $\pm y$ . Le couple antenne/cavité doit, par conséquent, se comporter comme un réseau de trois patchs suivant l'axe y. Ce réseau d'antennes permet de rayonner la puissance collectée par la cavité suivant l'axe z. Les résultats de simulations traduisant l'impact des cavités sont donnés par les différents gains présentés par la Figure 149, la Figure 150 et la Figure 151.



*Figure 149: Gain Broadside avec cavité : (a) Antenne patch avec*  $H\varepsilon = 5,05 \ \mu m$  *; (b) Antenne patch avec*  $H\varepsilon = 9,46 \ \mu m$ 

La Figure 149 (a) illustre l'impact de l'ajout de la cavité sur l'antenne patch ayant une épaisseur de substrat H $\varepsilon$  = 5,05 µm avec la dimension centrale L<sub>patch</sub> = 24,5 µm. La cavité œuvre à re-rayonner la puissance perdue dans le substrat, afin d'augmenter le gain suivant l'axe z de 1 dB. Concernant l'antenne patch ayant une épaisseur de substrat H $\varepsilon$  = 9,46 µm (Figure 149 (b)), le gain broadside peut être augmenté de 2,3 dB grâce à l'apport d'une cavité dimensionnée pour l'antenne de longueur L<sub>patch</sub> = 21,2 µm. Grâce à une optimisation fine du dimensionnement de la cavité, une augmentation du gain de l'axe d'en moyenne 3 à 4 dB peut être anticipée [124]. Cependant, les épaisseurs de substrat H $\varepsilon$ , liées aux fréquences de résonnance 10 fois supérieures à celles mise en jeu pour concevoir les antennes patch dans [124], empêchent d'affirmer que seul le mode TM<sub>0</sub> est généré

par les deux configurations proposées dans les Figure 149 (a) et Figure 149 (b). En ce sens, le re-rayonnement des puissances des modes de substrat excités pourrait ne pas être totalement réinjecté dans l'axe normal au patch. Un autre point de vue s'inscrit en contrepied pour expliquer l'augmentation de gain dans l'axe z de seulement 1 dB pour l'antenne de la Figure 149 (a). L'épaisseur de substrat H $\varepsilon$  = 5,05 µm pourrait ainsi ne pas suffire pour générer assez d'ondes de surface. En effet, en presque doublant l'épaisseur avec l'antenne de la Figure 149 (b) (H $\varepsilon$  = 9,46 µm), le gain broadside subit une hausse de 1,3 dB. En dépit du fait que les cavités pourraient être optimisées, elle fournit un premier point de fonctionnement valable en vue de réaliser une étude de faisabilité.



Figure 150: Diagramme de rayonnement pour l'antenne  $H\varepsilon = 5,05 \ \mu m$ : (a) Plan E; (b) Plan H



*Figure 151: Diagramme de rayonnement pour l'antenne*  $H\varepsilon = 9,46 \ \mu m$  : (a) *Plan E* ; (b) *Plan H* 

La Figure 150 et la Figure 151 illustrent les diagrammes de rayonnement simulés pour les deux antennes ayant des épaisseurs de substrat H $\epsilon$  = 5,05 µm et H $\epsilon$  = 9,46 µm. Dans les deux cas, les diagrammes de rayonnement du plan E (Figure 150 (a) et Figure 151 (b)) soulignent les perturbations induites par les ondes de surface générées dans les substrats respectifs de chaque antenne. Le lobe principal de la Figure 150 (a) étant moins perturbé que celui de la Figure 150 (b), il est possible de déduire que la génération d'ondes de surface demeure plus modérée dans le substrat d'épaisseur H $\epsilon$  = 5,05 µm, en comparaison de celui avec H $\epsilon$  = 9,46 µm. De plus, il est important de noter que les cavités, en plus d'augmenter le gain des lobes principaux, contribuent également à réduire l'ondulation des pics de chaque lobe. Elles semblent donc considérablement améliorer les performances de chaque antenne patch à la fréquence de résonnance  $f_{res}$  = 2,5 THz. Dans le plan H (illustré par la Figure 150 (b) et la Figure 151 (b)), les uniques lobes principaux sont fortement dégradés. Cette dégradation est d'autant plus marquée avec l'augmentation de l'épaisseur du substrat H $\epsilon$ . Par ailleurs, les cavités semblent ici peu influentes dans la correction des allures des lobes fortement chahutés. Par conséquent, une étude approfondie des designs de cavité, comprenant l'établissement des différents modes de substrat générés, pourra être envisagé par la suite afin de maximiser leur fonctionnement. Cependant, la faisabilité du développement de ces antennes en technologie BiCMOS 55 nm doit être actée afin d'en maximiser la pertinence.

Un dernier paramètre calculé en simulation permet de connaitre la puissance reçue dans toutes les directions de rayonnement possibles de l'antenne. Cette grandeur est l'efficacité *Eff*, définie par l'Équation 120 comme le ratio du gain par rapport à la directivité de l'antenne et s'exprime en pourcentage. En principe, une forte efficacité traduit le fait que la puissance présente à l'entrée de l'antenne est majoritairement rayonnée, tandis qu'une faible efficacité montre que la puissance absorbée par l'antenne est perdue ou réfléchie [129]. La définition de l'efficacité dite totale *Eff<sub>tot</sub>* est établie par l'Équation 121 comme le ratio de la puissance rayonnée P<sub>rayonnée</sub> par rapport à la puissance incidente P<sub>incidente</sub> de l'antenne. Elle demeure toujours inférieure à l'efficacité de rayonnement *Eff* puisqu'elle tient compte des pertes d'adaptation de l'antenne, et s'exprime également en pourcentage. La Figure 152 permet de visualiser le tracé de l'efficacité et de l'efficacité totale pour l'antenne L<sub>patch</sub> = 24,2 µm, ayant une épaisseur de substrat H $\varepsilon$  = 9,46 µm et étant entourée par sa cavité.



Figure 152: Efficacité de l'antenne intégrée

La Figure 152 illustre les tendances simulées sous HFSS de l'efficacité de l'antenne associée à sa cavité. L'efficacité totale  $Eff_{tot}$  obtenue à la fréquence de résonnance est proche de 80%, et décroît lorsque la fréquence d'utilisation s'écarte de la fréquence de résonnance  $f_{res}$  de l'antenne. Trois phénomènes non pris en considération dans le calcul de l'efficacité Eff peuvent dès lors être responsables de la chute de 20 % observée sur la Figure 152. Les pertes liées à la valeur de conductivité finie du métal formant l'antenne (contribution majoritaire selon [119]), à des phénomènes de conduction non désirés dans les parties diélectriques (SiO<sub>2</sub>) et à la désadaptation d'impédance, peuvent être responsables de la chute d'efficacité totale  $Eff_{tot}$ . L'ensemble des antennes simulées sous HFSS fournit des efficacités totales  $Eff_{tot}$  autour de 80 % aux fréquences de résonnance  $f_{res}$  pour lesquelles les gains broadside sont maximaux. Une forte efficacité totale  $Eff_{tot}$  est requise afin de maximiser les performances du pixel THz.

## IV.2.iv. CONCEPTION SUR SILICIUM EN TECHNOLOGIES BICMOS 55 NM DE PIXEL THZ

## IV.2.iv.a. Strategie de design et d'Assemblage des pixel THz

A la suite des simulations 3D électromagnétiques, les patchs qui composent les pixels THz ont pu être finement ajustés afin d'être les plus efficaces possible lors de leur dimensionnement sur silicium. Néanmoins, les contraintes imposées par les règles de densité propres à la technologie BiCMOS 55 nm n'ont pas pu bénéficier d'une étude d'impact. En effet, il n'est pas possible dans la pratique de réaliser des volumes importants complétement métallisés comme ceux simulés pour les cavités et plans de masse sous HFSS. De ce fait, les couche de vias servant à interconnecter l'ensemble des niveaux de métallisations introduisent forcément des espacements contenant du dioxyde de silicium SiO<sub>2</sub> dans la cavité et le plan de masse du DOE. La Figure 153 illustrant l'assemblage d'un pixel THz montre le principe de construction du plan de masse associé à la cavité pour former un pixel THz avec la technologie BiCMOS 55 nm.

<u>Chapitre 4 : Etude de faisabilite pour la conception de circuites melangeurs sous-harmoniques et de</u> pixels pour imagerie terahertz



Figure 153: Vue en coupe du pixel THz assemblé : (a) Plan E ; (b) Plan H

La Figure 153 (a) présente la vue en coupe du pixel assemblé dans le plan E. L'accès coaxial, pris au tiers de la longueur de l'antenne  $L_{patch}$ , est réalisé avec la largeur minimale admissible par les règles de dessin pour concevoir la colonne d'accès métallique. Il concède ainsi une connexion au plus proche entre l'élément rayonnant et la diode Schottky, afin de maximiser le transfert de puissance fourni par l'antenne à l'élément rectifieur. Cette solution demeure, dans les faits, peu modulable car l'épaisseur des métaux formant la longueur du câble coaxial est déterminé par la technologie. De plus, il est impossible de connaitre les impédances que présenteront l'antenne et la diode Schottky aux fréquences de résonnance  $f_{res}$  choisies. En ce sens, la conception d'un réseau d'adaptation d'impédance est proscrite.

La Figure 153 (a) illustre la vue en coupe du pixel assemblé dans le plan E. L'alimentation coaxiale apparait centrée par rapport à la largeur  $W_{patch}$  de l'antenne. Il convient de noter la présence de la ligne « Chemin DC » qui permet de récupérer le signal de sortie détecté, redressé et lissé par l'ensemble du pixel. Ce chemin est connecté sur le bord du patch dans sa largeur  $W_{patch}$  et dans le centre de de longueur  $L_{patch}$ , afin qu'il soit connecté à la masse virtuelle RF introduite par l'élément rayonnant. Ce chemin de sortie DC est majoritairement construit avec le niveau de métallisation supérieur M9, et passe sous la cavité avec les niveaux de métaux inferieurs M1-M5 empilés. Cette architecture de ligne permet d'éviter de « couper » la cavité, et donc de perturber la collecte et le re-rayonnement des ondes de surface générées dans le substrat d'épaisseur H $\epsilon$ . La ligne DC est élaborée selon la largeur de métallisation M9 minimale admissible par la technologie BiCMOS 55 nm. En effet, elle sert à acheminer un signal continu. Par conséquent, sa distance de reconnexion au plot de sortie est volontairement différente d'une multiple paire de  $\lambda/4$ . Cela permet de confirmer le bon fonctionnement de la masse virtuelle RF censée empêcher le signal haute fréquence de perturber la sortie DC. L'ensemble des dimensions clé pour la conception du pixel THz est également reporté sur les schémas de la Figure 153.



Figure 154: Vue layout du pixel THz mis en structure de test
#### <u>CHAPITRE 4 : ETUDE DE FAISABILITE POUR LA CONCEPTION DE CIRCUITES MELANGEURS SOUS-HARMONIQUES ET DE</u> <u>PIXELS POUR IMAGERIE TERAHERTZ</u>

La Figure 154 montre la vue layout d'un pixel THz unitaire après assemblage et mis en structure de test. Cette vue d'ensemble regroupe l'association de l'antenne connectée à sa diode Schottky par le biais d'un accès coaxial ainsi que l'agencement conjoint de la ligne de sortie DC et de la cavité rayonnante. Les plots de tests DC sont conçus sous forme de barrette afin de pouvoir récupérer les signaux de sortie avec un posé de carte à pointe. Cela contribue à facilement optimiser et automatiser le processus de mesure des pixels THz.

### IV.2.iv.b. DEFINITION DU DOE DES CIRCUITS RECTENNA

L'architecture du pixel THz, une fois complètement assemblée, étant compliquée à simuler, une validation expérimentale est nécessaire afin de figer un futur cadre de simulation, et donc un rationnel fiable de design pour une architecture de Rectenna intégré sur silicium. Cette validation expérimentale requiert, de fait, un cadre ayant un premier rationnel afin de restreindre le panel de choix offert au concepteur et pouvant ainsi influencer le fonctionnement du pixel THz. Le cadre défini pour ce DOE est mis en lumière par l'organigramme de la Figure 155.



Figure 155: Organigramme traduisant le choix stratégique d'implémentation du DOE

Dans le cadre de la stratégie de DOE mise en place et illustrée par la Figure 155, la définition de l'antenne patch régit la fréquence de fonctionnement du pixel. De ce fait, les trois empilements de métaux backend présentés par la Figure 143 seront employés en vue de concevoir un patch résonnant à 2,5 THz, avec un jeu de trois longueurs L<sub>patch</sub> espacées de 3 µm. Cela est crucial pour couvrir 700 GHz autour de cette fréquence de résonnance. Les essais à 3,1 THz sont uniquement effectués à l'aide du patch en couche M9 (H $\varepsilon$  = 6,91 µm), tandis que ceux à 1,8 THz le sont avec celui d'épaisseur H $\varepsilon$  = 9,46 µm. Ce choix permet de réduire le nombre de structures de test à embarquer sur silicium, afin de minimiser la surface totale nécessaire pour cette contribution. De plus, le patch en couche Alucap choisi pour le design à 1,8 THz rend possible de s'affranchir du problème de dimensionnement plus agressif fixé par la technologie pour métal M9. En effet, il n'est pas possible de dessiner des largeurs W<sub>patch</sub> supérieures à 50 µm sans utiliser un plan patterné de M9. Cela ne pose, en revanche, pas de problème avec la couche Alucap de la technologie. Par conséquent, le design d'antenne définit le point de fonctionnement principal du circuit Rectenna autour duquel le reste de l'algorithme Figure 155 gravite, afin de décorréler l'impact sur l'efficacité du pixel THz. Le second niveau de l'algorithme implique que, pour chaque antenne conçue, deux points d'accès du câble coaxial sont étudiés. Dans la mesure où les valeurs d'impédance présentées par le patch à la diode Schottky dépendent de son placement, les deux emplacements retenus sont au centre de la longueur du patch (0,5 μm) où l'impédance présentée par l'antenne sera la plus faible possible, et à un tiers de la longueur L<sub>patch</sub> (0,33  $\mu$ m) où l'impédance de l'antenne doit se rapprocher de 50  $\Omega$ . Le troisième niveau de l'algorithme met en évidence le fait que, pour chaque antenne associée à son alimentation coaxiale, une architecture de cavité est (ou non) implémentée, dans le but d'analyser ses conséquences sur le gain du patch de chaque pixel unitaire. Enfin, le dernier niveau de l'algorithme consiste à établir l'influence de l'impédance de la diode Schottky à l'antenne sur le fonctionnement du pixel THz. Etant donné que fréquences de coupure des diodes Schottky (de 1 à 8 µm) sont autour de 1 THz, leur compromis R<sub>s</sub>/C<sub>i0</sub> demeure toutefois pondéré différemment.

#### <u>CHAPITRE 4 : ETUDE DE FAISABILITE POUR LA CONCEPTION DE CIRCUITES MELANGEURS SOUS-HARMONIQUES ET DE</u> <u>PIXELS POUR IMAGERIE TERAHERTZ</u>

Plus les surfaces d'anode sont faibles, et plus les résistances série  $R_s$  seront élevées, et les capacités  $C_{j0}$  associées faibles. Le phénomène inverse est remarquable lorsque la surface d'anode est importante. De ce fait, les impédances présentées par les deux diodes sont rigoureusement différentes. En conclusion, cette stratégie de conception d'expérience contribue à facilement comprendre et à isoler les parties du circuit Rectenna qui devront être optimisées en vue d'une future conception d'un détecteur complet comprenant une matrice de plusieurs pixels unitaires.



Figure 156: Illustration du DOE de pixels unitaires Rectenna comprenant 96 structures de test

La Figure 156 rassemble l'ensemble des pixels THz inclus dans le DOE. Il regroupe un total de 96 pixels unitaires, et occupe une surface complète de 24 mm<sup>2</sup>. Les pixels ont été placés à une distance de 400 µm des plots de Test DC, afin que le posé de cartes à pointe servant à récolter la réponse DC ne masque pas l'éclairage de l'antenne par la source laser QCL. En outre, un plot sur deux de la barrette DC de chaque scribe (colonne contenant 11 pixels unitaires) est connecté au plan de masse, afin de rendre la circulation du courant la plus homogène possible à l'intérieur de ce dernier, ainsi que pour éviter un couplage entre les pixels côte à côte. La principale contrainte induite par cette conception d'expérience est la forte densité provoquée par la réalisation des cavités métalliques. Etant initialement conçu complétement métallisée pour être en accord avec le fonctionnement de celles simulées sous HFSS, un évidement de dernière minute a été nécessaire de manière ponctuelle dans chaque cavité afin qu'elles puissent être façonnées sans compromettre les cycles de dépôt de métallisation du processus de fabrication BiCMOS 55 nm. Par conséquent, cet aspect doit être pris en compte dans les prochains designs, dans le but de créer des cavités avec des plans paternés optimisés ne compromettant pas le déroulement du processus de fabrication commerciale BiCMOS 55 nm.

### IV.2.iv.c. Mesures des Pixels unitaires realises en technologie BiCMOS 55 nm

Les 96 pixels unitaires THz conçus en technologie BiCMOS 55 nm ne seront entièrement élaborés et prêts à l'emploi qu'à la fin du dernier trimestre de l'année 2020. De ce fait, les mesures des deux principaux facteurs de mérite, soit leur sensibilité Rv et leur plancher de bruit NEP, ne pourront être envisagées dans le contexte de fin du déroulement de ce sujet de thèse. Par ailleurs, l'instrumentation nécessaire à une caractérisation dans les gammes de fréquences [1,8 ; 3,1] THz n'est pas encore à ce jour totalement disponible, ni dans le laboratoire de STMicroelectronics, ni dans ceux du Polytech'Lab et de l'IEMN. Un projet commun entre les trois entités évoquées précédemment est toutefois en cours afin de pallier ce problème. A travers la mise au point de ce projet, un banc de mesures dédié dans la gamme de fréquences [1 ; 4] THz sera développé et totalement opérationnel d'ici 2024. Le schéma de principe de ce futur banc de mesures est donné par la Figure 157.



Figure 157: Schéma de principe du banc de mesures pour caractériser les pixels THz

Les éléments principaux composant le banc dédié à la mesure de pixel THz sont mis en exergue par la Figure 157. La source laser QCL œuvrera à illuminer le pixel unitaire (ou matricé) à caractériser. Elle sera cadencée par une source de courant générant un train d'impulsion, permettant de commander l'éclairement du détecteur THz. Un système optique pourra également être mis en place en vue de garantir un éclairage optimal de la partie rayonnante (antenne, cavité, etc...) du détecteur. Un amplificateur Lock-in pourra être utilisé en sortie pour mesurer le signal de sortie DC du détecteur. Ce type d'amplificateur offre l'avantage de pouvoir effectuer des mesures de très faibles tensions, en introduisant un abaissement conséquent du plancher de bruit pour réaliser la caractérisation. Enfin, un poste de commande sera requis dans l'objectif de réaliser l'acquisition des signaux de sortie de l'amplificateur lock-in, contenant la mesure utile du détecteur et participant à la commande de la source de courant qui cadence le laser QCL. De plus, cette station permettra l'ajustement du positionnement de détecteur à mesurer de manière précise suivant les axes x, y, z, afin que l'éclairement du détecteur soit optimal.

# **IV.3.** CONCLUSION

Ce chapitre a été dédié à la présentation de l'ensemble du travail concernant le développement de deux types de démonstrateurs intégrant les architectures de diode Schottky innovantes, réalisées en technologie BiCMOS 55 nm. Ces deux topologies s'inscrivent dans les problématiques actuelles liées à l'augmentation du trafic mondial de données, en proposant une solution couvrant à la fois les systèmes de commutation fonctionnant à haut débit (mélangeur 2xSHM) ainsi que le développement de nouveaux objets connectés (détecteur THz) dans le quotidien de chacun. L'objectif réside dans l'établissement de la faisabilité sur des technologies silicium commerciales, proposées chez STMicroelectronics, de ces circuits innovants, en vue d'envisager les solutions techniques les plus perfectionnées possibles tout en s'insérant dans les marchés répondant aux enjeux actuels.

Au sein de la première partie de ce chapitre, nous avons détaillé l'ensemble des travaux portant sur le développement d'un mélangeur sous-harmonique 2xSHM. À la suite de la présentation du fonctionnement général du mélangeur sous-harmonique et de ses principaux facteurs de mérite, une revue de l'état de l'art a été proposée afin d'orienter le développement d'une solution intégrée sur silicium en technologie BiCMOS 55 nm. En effet, la tendance proposée par ce benchmark montre que les solutions proposées en technologie III-V fonctionnent majoritairement dans la bande de fréquence [0,3; 1] THz, alors que les solutions en technologie silicium sont comprises dans la bande [30; 100] GHz. Mis à part l'excellente mobilité des porteurs au sein des matériaux III-V, la stratégie de mise en boitier constitue le principal facteur permettant aux mélangeurs III-V une telle montée en fréquence ainsi qu'un élargissement considérable des bandes passantes de ces circuits. Nous nous sommes orientés vers le développement d'une solution de mélangeur sous-harmonique de rang 2 intégré en technologie BiCMOS 55 nm, dans le but d'obtenir un premier fonctionnement de circuit à une fréquence de 100 GHz. Nous avons également proposé une stratégie de simulation incluant le modèle analytique de la diode Schottky développé dans le chapitre 3, contribuant à concevoir de manière itérative le circuit 2xSHM. Les performances de ce mélangeur offrent des pertes par conversion autour de 20,3 dB avec un fonctionnement en démodulation pouvant aller jusqu'à 40 Gbit/s sans besoin de correction du taux d'erreur binaire (60 Gbit/s avec un correcteur de BER). Enfin, ce premier développement met en lumière le fait que, afin d'envisager une montée en fréquence et un élargissement de la bande passante du mélangeur sous-harmonique 2xSHM, une solution mise en boitier doit être considérée pour s'affranchir des limitations introduites par les lignes d'accès du circuit. Cependant une application temps réelle avec une démodulation à 40 Gbit/s pourrait être envisagée avec ce 2xSHM.

Dans la seconde partie du chapitre 4, nous avons exposé la conception DoE mise au point de plusieurs pixels THz intégrant les architectures innovantes de diode Schottky développées au cours de ses travaux. Le principe de fonctionnement de ces pixels THz unitaires repose sur celui de l'antenne associée à un élément rectifiant. Une revue conséquente de l'état de l'art des détecteurs intégrés sur silicium a œuvré à définir l'architecture du circuit Rectenna, en vue d'envisager la détection d'un signal électromagnétique dans la plage de fréquence [1,8 ; 3,1] THz. La conception d'une antenne patch intégrée sur silicium a également été prise en considération, dans la mesure où les épaisseurs de substrat mises en jeu avec les technologies silicium intégrées sont compatibles avec la faisabilité d'éléments rayonnants dans les fréquences THz. Un premier dimensionnel analytique a été déterminé, afin d'être ensuite subtilement ajusté par l'intermédiaire de simulations 3D électromagnétique sous HFSS. En vue de maximiser les performances et l'efficacité de l'antenne intégrée, une cavité a été implémentée autour des patchs pour que la puissance perdue dans la génération d'ondes de surface à l'intérieur du substrat puisse être rerayonnée dans l'axe de l'antenne. Finalement, une première conception embarquant 96 pixels unitaires a été élaborée sur silicium en technologie BiCMOS 55 nm. Cette première réalisation ne pourra malheureusement pas être caractérisée au cours de ces travaux, puisqu'elle nécessite la mise au point d'un banc de mesure consacré, qui ne sera opérationnel que courant des trois prochaines années. A la suite de la future caractérisation de ce premier DOE, une optimisation de design des détecteurs THz pourra être considérée en matriçant un pixel unitaire.

# V. CONCLUSION GENERALE ET PERSPECTIVES DU TRAVAIL DE THESE



Page 184 sur 199

# **V.1. CONCLUSION GENERALE**

Les travaux de recherche réalisés tout au long de cette thèse s'inscrivent dans la dynamique des travaux de recherches actuelles dont l'objet est de favoriser l'augmentation des débits et fréquences de fonctionnement des MMICs. Poussée par l'arrivée massive des systèmes de communication sans fil, la tendance de nos jours contribue à l'amélioration du quotidien de chacun ainsi qu'à favoriser l'émergence de nouveaux marchés dynamiques comprenant la télécommunication très haut débit et de l'imagerie LiDAR. L'augmentation d'objets connectés pour le grand public apporte toutefois des défis de taille à l'échelle globale. C'est à travers ces nouveaux enjeux que les travaux de recherche, conduits par l'ensemble de la communauté scientifique et portant sur la mise au point de nouvelles générations de réseaux mobiles, prennent tout leur sens. Ces réseaux novateurs représentent le produit de nouvelles architectures capables d'exploiter les bandes de fréquences supérieures à 100 GHz. Dans le cadre de la 5G, dont le déploiement sur le territoire français est prévu d'ici la fin de l'année 2021, la densification de ce réseau inclut une augmentation exponentielle de nouveaux liens Backhaul/Fronthaul à très haut débit. Cela a stimulé le développement de nombreuses recherches visant à mettre au point et à commercialiser les premières solutions pour réaliser des communications sans fil dans les ondes millimétriques. Du fait de son débit utilisateur pouvant atteindre les 10 Gbit/s couplé à une latence inférieure à 10 ms, le réseau 5G ouvre la voie vers de nouveaux champs d'application. En effet, c'est lorsque le déploiement massif du réseau mobile 5G sera en vigueur à l'échelle globale que des objets connectés nécessitant des débits et latences incessibles avec le réseau actuel 4G pourront être mis au point et proposés au grand publique. C'est notamment le cas de la voiture autonome qui, grâce à cette faible latence, devrait être capable de détecter un obstacle et de réagir de manière plus efficace que ne le permet le temps de réaction humain.

Dans le cadre de cette thèse, plusieurs développements ont été nécessaires afin de s'imposer dans la dynamique scientifique actuelle. La conception d'une architecture de diode Schottky innovante sur plusieurs nœuds technologiques silicium a ainsi mise au point. Une stratégie de modélisation a également été développée, et a montré un accord raisonnable avec les meilleures candidates, permettant de surcroît d'entrevoir la mise au point de démonstrateurs. Parmi ces derniers, figure la réalisation de deux circuits MMIC. Le premier consiste en un mélangeur sous-harmonique avec un débit de réception allant jusqu'à 40 Gbit/s pour une modulation en QAM-16. Le second désigne une architecture de pixel unitaire, basée sur les dispositifs Rectenna et se concentrant sur la détection de signaux dans la gamme [1,8 ; 3,1] THz.

Par l'intermédiaire du Chapitre 1, nous avons dès lors pu expliciter le contexte de ces travaux de recherche. Ce cadre relève principalement des besoins liés aux communications mobiles, tout en soulignant les enjeux, les parts de marché et les opportunités favorisant la poursuite de ces travaux.

Fort de cet environnement global, le Chapitre 2 revient sur l'ensemble des développements d'une architecture de diode Schottky en technologies silicium proposées chez STMicroelectronics. Dans un premier temps, nous avons réalisé un état de l'art afin de prendre connaissance de l'ensemble des diodes Schottky issus des travaux de la communauté scientifique. Grâce à l'évolution et à la maîtrise croissante des procédés de fabrication, les diodes en technologie III-V ( $F_c \in [1,5;3]$  THz) ont su se démarquer drastiquement des diodes Schottky en technologie silicium ( $F_c \in [0,3; 1,5]$  THz). Malgré des différences d'architecture significatives, c'est avant tout la forte mobilité des porteurs majoritaires dans les matériaux III-V qui permet d'atteindre de telles performances. Les diodes Schottky développées sur silicium regroupent à la fois des architectures en technologies BiCMOS et CMOS. En tirant profit des imputations spécifiques liées au transistor bipolaire (BiCMOS) couplé à l'architecture à espaceur poly-silicium vue en CMOS, des diodes Schottky ont pu être développées en BiCMOS 55 nm avec des fréquences de coupure autour du THz. Ces développements ont également été portés sur trois autres nœuds technologiques où des performances similaires à celles en BiCMOS 55 nm ont pu être relevées en CMOS 65 nm sur substrat SOI. Des fréquences de coupure divisées par deux ont ainsi pu être extraites sur les portages effectués sur les deux nœuds 130 nm (BiCMOS et CMOS SOI). Ces premières réalisations permettent de fait d'établir une première faisabilité sur un processus de fabrication commercial, ainsi que d'offrir un composant à l'état sans impliquer de surcoût de manufacture. Bien que les essais de développement de composant aient couvert la majeure partie du champ des possibles en termes d'implantation, des axes d'amélioration demeurent envisageables et seront exposés dans la section V.2.

Afin de pérenniser et d'affiner notre compréhension du composant, le Chapitre 3 propose de détailler les hypothèses et la stratégie de modélisation mise en place de l'architecture innovante de diode Schottky. Ce modèle propose une estimation du chemin moyen parcouru par le courant à travers l'architecture de la diode. Nous avons retenu une modélisation analytique afin de prédire l'ensemble des contributions résistives et capacitives par l'intermédiaire de deux équations. S'appuyant à la fois sur la géométrie, en tenant compte du dimensionnel variable des surfaces d'anode et des métallisations d'accès, mais également sur les données process, ces équations permettent d'estimer les fréquences de coupure  $F_c$  de la majorité des dispositifs. Une erreur d'accord inférieure à 10 % est atteinte entre les paramètres des diodes modélisées et ceux extraits en mesure. Il est également important de noter que ce modèle est valide pour l'ensemble des diodes Schottky ayant une surface d'anode comprise dans l'intervalle [0,5 ; 32] µm<sup>2</sup> et dans les nœuds BiCMOS 55 nm et CMOS SOI 65 nm. Enfin, une implémentation de ce modèle a également été réalisée sous le logiciel ADS en vue d'entrevoir la simulation électrique d'un démonstrateur incluant ce nouveau composant. Ce modèle a également permis de mettre en évidence certains axes d'amélioration ainsi que certaines limitations sur la résistance série et la capacité de jonction, en plus d'initier le développement d'un circuit mélangeur sous-harmonique.

Le Chapitre 4, quant à lui, illustre l'élaboration de deux démonstrateurs incluant l'architecture innovante de diodes Schottky développées en technologie BiCMOS 55 nm. Pour la mise au point du premier, nous avons commencé par détailler le fonctionnement général du mélangeur sous-harmonique ainsi que d'énoncer l'ensemble des figures de mérite qui lui sont associées. Une revue de l'état de l'art a également été proposée afin de prendre en considération les solutions existantes. Côté III-V, les fréquences de fonctionnement s'articulent dans la bande [0,3; 1] THz pour des solutions mises en boitier. Concernant les technologies silicium, elles s'orientent vers des solutions intégrées et comprises dans la bande de fréquence [30; 100] GHz. Pour ce premier démonstrateur, nous avons opté pour la conception d'un mélangeur sous-harmonique 2 avec une fréquence de fonctionnement autour de 100 GHz. En vue de parvenir au circuit final, nous avons proposé dans ce chapitre une stratégie de simulation opérant de manière itérative afin de pouvoir comprendre et décorréler les effets liés aux trois accès du mélangeur, tout en choisissant la diode optimale limitant les pertes de conversion. Les performances obtenues en mesures CW ont montrées une légère hausse des pertes de conversion jusqu'à une valeur de 20,3 dB contre les 13 dB simulés. Néanmoins cette différence sur les pertes à permit de conforter notre stratégie de modélisation analytique de la diode Schottky ainsi que la non prise en compte en simulation électrique de contraintes de conception comme les plans paternés ou les raccords des lignes de transmission. De plus les caractérisations type Datacom du 2xSHM ont établi la faisabilité d'une réception d'un signal modulé QAM-16 à 40 Gbit /s ce qui offre un résultat encouragent pour ce premier développement. Les perspectives de développement de mélangeur à plus haute fréquence sont présentées dans la section V.3.

Le second démonstrateur utilisant les diodes Schottky conçues en BiCMOS 55 nm comprend le développement d'une architecture de pixel unitaire basée sur la topologie des circuits Rectenna. S'appuyant sur le principe de l'antenne rectifiante, ce dispositif permet de détecter une onde électromagnétique à haute fréquence par le biais d'une antenne. Convertie en signal THz par cette dernière, un circuit d'adaptation couplé à une diode Schottky permet de redresser et de lisser ce signal afin de fournir un signal DC en sortie du circuit attestant de la bonne détection de l'onde électromagnétique. En premier lieu, nous avons établi un dimensionnel d'antenne patch en accord avec les épaisseurs de substrat accessibles avec la technologie BiCMOS 55 nm. Cette géométrie a pour objectif de définir les fréquences de résonnance de l'antenne aux fréquences respectives de 1,8 ; 2,5 et 3,1 THz. Une fois ce premier dimensionnel défini, un ajustement plus fin de la taille de l'antenne patch est obtenu par simulation 3D électromagnétique sous HFSS afin de maximiser le gain suivant l'axe normal au patch. Conscients que les épaisseurs de substrat disponibles avec l'empilement métallique de la technologie BiCMOS 55 nm sont à même de générer une excitation des ondes de surface du patch avec des modes d'ordre supérieur, nous avons également intégré une cavité rayonnante pour pallier ce problème. Elles ont pour rôle de capturer les ondes de surface générées dans le substrat par ces modes d'ordre supérieur ainsi que de rerayonner cette puissance perdue suivant l'axe normal de l'antenne. Les cavités assurent ainsi un gain dans l'axe de l'antenne proche de 10 dB en réinjectant 1,2 à a 3 dB de pertes selon les différentes architectures de patch simulées. Après un important travail d'optimisation de l'antenne, qui constitue l'élément influençant majoritairement les performances du détecteur, nous avons établi un premier plan d'expérience DoE comprenant 96 pixels unitaires sur silicium en technologie BiCMOS 55 nm. Cette première étude de faisabilité représente la brique de base de la mise au point d'un capteur fonctionnant dans le domaine infrarouge. La continuité de cette étude sera abordée dans la partie V.4.

## **V.2. PERSPECTIVES CONCERNANT LE DEVELOPPEMENT DE L'ARCHITECTURE SCHOTTKY EN TECHNOLOGIE SILICIUM**

Les développements de diodes Schottky réalisés au cours de ces travaux ont montré des performances à l'état de l'art, en s'appuyant sur les procédés de fabrication silicium proposés chez STMicroelectronics. Avec des fréquences de coupure de l'ordre du THz, les architectures Schottky conçues sur le nœud BICMOS 55 nm ont permis d'envisager sereinement le développement d'un circuit mélangeur sous-harmonique à 102 GHz. Cependant, des axes d'amélioration de l'architecture actuelle demeure à ce jour envisageable. En effet, nous nous sommes concentrés sur les technologies commerciales déjà présentes chez STMicroelectronics afin de minimiser le coût de développement de ce composant. Eu égard à cette restriction, nous avons effectué des essais avec l'ensemble des implantations disponibles sur ces procédés commerciaux. De ce fait, il parait naturel d'envisager la mise au point d'un jeu de masque dédié à la fabrication de la diode Schottky en vue d'obtenir les fréquences de coupure les plus élevées possibles. La Figure 158 illustre des propositions d'implantations supplémentaires, qui pourraient permettre un gain significatif en termes de fréquence de coupure afin de se rapprocher des 2 THz.



Figure 158: Vue en coupe d'implantations sur des procédés non-commerciaux qui permettraient d'améliorer la diode Schottky (a) BiCMOS 55 nm ; (b) CMOS SOI 65 nm

En technologie BiCMOS 55 nm (Figure 158 (a)), deux implantations judicieuses pourraient contribuer à la réduction conjointe de la résistance série R<sub>s</sub> et la capacité de jonction C<sub>i0</sub>. En effet, l'étude sur l'implantation NBuried présentée dans la section II.4.ii.b nous permet d'affirmer que la circulation du courant de diffusion s'effectue au maximum dans les 100, voire les 50, premiers nanomètres d'épaisseur du caisson Nwell. Dès lors, l'usage d'une implantation HBuried (concentration similaire au NBuried mais plus en surface) pourrait présenter un atout majeur en vue de diminuer la résistivité du chemin parcouru par le courant, et donc de R<sub>s</sub>. Côté capacité de jonction C<sub>i0</sub>, le siliciure est très difficilement modifiable à processus de fabrication et de résolution donnés, et ne représente donc pas une variable d'optimisation du composant dans ces conditions. Dans la mesure où la capacité de jonction est inversement proportionnelle à la hauteur de barrière, il parait, à première vue, raisonnable d'envisager une modification du siliciure afin d'augmenter cette hauteur. Néanmoins un remaniement du siliciure, dont le but premier est d'assurer un contact ohmique faiblement résistif, reste très complexe du fait des différents matériaux utilisable à une résolution donnée. De ce fait, l'axe d'optimisation de Ci0 ne pouvant pas drastiquement influencer la valeur de R<sub>s</sub>, réside dans l'implantation d'un masque de type LVT P à l'interface métal/semiconducteur. Doté d'un très faible dopage P, le rôle de ce masque serait de contre-doper le caisson Nwell afin d'observer un gradient d'atomes donneurs dans les 20 premiers nanomètres situés sous le dépôt de siliciure. Autorisant ainsi un dopage moyen à l'interface inférieurs à 3.8  $10^{17}$  cm<sup>-3</sup>, les capacités de jonction C<sub>i0</sub> seraient inférieures à celles extraites dans la partie II.4.ii pour une même surface d'anode.

En technologie CMOS SOI 65 nm, les implantations Nsinker et NBuried dédiées à la fabrication des transistors bipolaires sont inexistantes. Du fait de la faible épaisseur du caisson Nwell (~100 nm pour le CMOS 65 nm) pour les technologies sur substrat SOI, les caissons sont naturellement plus résistifs, car moins concentrés en atomes donneurs. Tel qu'il a été détaillé dans la section II.4.ii.a, les résistances série  $R_s$  extraites en mesure sont 45 % plus importantes, et la capacité de jonction 50 % plus faible que celles des diodes Schottky en BiCMOS 55 nm. La perspective d'amélioration majeure pourrait porter sur une implantation similaire au Nsinker dans la technologie CMOS SOI 65 nm (Figure 158 (b)). Grâce à un placement judicieux sous les contacts de cathode, cette implantation serait à même de réduire la résistance série  $R_s$  d'une valeur de 60 % à une surface d'anode donnée.

Ces essais d'implantation demeurent ainsi l'un des dernières possibilités en vue d'obtenir des fréquences de coupure  $F_c$  plus élevées que le térahertz avec cette architecture de diode en technologies BiCMOS 55 nm et CMOS SOI 65 nm. Il est toutefois important de noter que le coût de fabrication serait fortement augmenté du fait de la nécessité d'étapes (implantations et traitement thermique) et du nombre de jeux de masques supplémentaires. De plus, étant donné les faibles échelles comprises entre 20 et 50 nm, la diffusion de ces implantations pourrait devenir difficilement contrôlable à la suite des différents recuits nécessaires à la fabrication de l'ensemble du wafer.

L'arrivée d'un nouvelle technologie intitulée B55X offre également d'intéressantes perspectives de développement pour des architectures innovantes de diodes Schottky. En effet, l'objectif premier de cette technologie étant d'augmenter les Ft/Fmax du transistor bipolaire déjà développé en BiCMOS 55 nm, le B55X peut constituer une nouvelle base solide permettant d'entrevoir une augmentation de la fréquence de coupure  $F_c$  des diodes Schottky. En ce sens, deux nouvelles architectures de diodes Schottky ont été conçues et envoyées en fabrication pour donner suite à cette perspective d'évolution du composant. Les vues en coupes des architectures Schottky B55X sont détaillées sur la Figure 159.



(a) (b) Figure 159: Vue en coupe de futurs essais B55X : (a) Schottky poly ; (b) Schottky SSTI

La Figure 159 (a) représente les portages de l'architecture Schottky avec espaceur poly-silicium dans la nouvelle technologie B55X. Dans cette nouvelle technologie, seule la partie frontend est modifiée. A l'exception de la couche fortement dopée NBuried (ImCo pour *Implented Colector*), la majeure partie des couches d'implantation ont conservé leurs dénominations initialement tirées du BiCMOS 55 nm. L'implantation ImCo désigne l'équivalent du NBuried, avec une concentration et une profondeur optimisée pour maximiser les performances du transistor bipolaire. De ce fait, nous pouvons envisager des fréquences de coupure  $F_c$  au moins similaires, et potentiellement accrues pour les diodes Schottky portées en B55X. Un masque LVT P a également été implanté pour étudier l'impact de ce faible contre-dopage sous la surface d'anode sur la capacité de jonction  $C_{j0}$ . Dans cette technologie, il est également possible que les concentrations et les étapes de fabrication du Nsinker, servant à connecter le collecteur enterré, diffèrent du BiCMOS 55 nm. Cela peut s'avérer être aussi bien un atout qu'un handicap à prendre en compte concernant les futurs développements de diode Schottky en B55X.

La Figure 159 (b) illustre une nouvelle architecture de diode Schottky. Similaire à la diode Schottky à espaceur poly-silicium (Figure 159 (a)) en termes d'implantation, l'unique différence réside dans l'isolation entre anode et cathode réalisée par SSTI (*Small Shallow Trench Insulation*). Deux fois plus fin et deux fois moins profond que le STI du BiCMOS 55 nm, le SSTI peut constituer un équivalent comparable au poly-silicium pour

obtenir des fréquences de coupures  $F_c$  similaires, tout en apportant une plus-value sur le fonctionnement du composant en inverse. En effet, l'impact sur la résistance ne devait pas être très significatif dans la mesure où l'implantation ImCo assure une réduction de la résistivité du chemin résistif. Le SSTI rallonge la distance entre anode et cathode de deux fois 150 nm en verticale et 195 nm en latérale. Toutefois, c'est à travers la circulation du courant de fuite inverse I<sub>leak</sub> que le SSTI permettrait une réduction de sa valeur et d'assurer une tension de claquage  $B_v$  légèrement plus élevée. Le plan d'expérience embarquant les nouvelles architectures Schottky réalisées en B55X devrait être disponible d'ici la fin de l'année 2020.

## V.3. PERSPECTIVES CONCERNANT LE DEVELOPPEMENT DE CIRCUITS MELANGEURS SOUS-HARMONIQUE POUR LES ONDES MILLIMETRIQUES

Le mélangeur sous-harmonique conçu au cours de ces travaux présente des performances très encourageantes pour cette première étude de faisabilité. Malgré des pertes de conversion légèrement plus importantes qu'estimées en simulation, une première faisabilité de réception d'un signal modulé avec un débit pouvant atteindre les 40 Gbit/s à 106 GHz en QAM-16 a pu être établi. Cependant, envisager une montée en fréquence, afin de garantir une augmentation du débit en démodulation et d'élargir la bande passante de réception, semble difficile avec une architecture de mélangeur 2xSHM tout intégré sur silicium.

Une perspective à court terme serait dès lors de s'inspirer des topologies de mélangeurs sous-harmoniques réalisés en technologie III-V. Comme illustré sur la Figure 160 (a), des accès guides d'onde sont réalisés par le boitier micro-usiné. Ils incluent seulement la paire de diode Schottky ainsi que les filtres permettant d'extraire le signal de sortie IF généré sur l'harmonique 2, en s'affranchissant des perturbations du signal RF et LO. Du fait de la propriété large bande des accès guides d'onde, il paraît raisonnable de concevoir les parties d'accès de RF et de LO en guide WR3.4 par micro-usinage afin d'assurer un filtrage autorisant de plus larges bandes dans la gamme de fréquence [220; 330] GHz. Cette perspective de réalisation pourrait s'inscrire dans les développements des travaux de Elsa Lacombe [16] qui proposent des transitions de type ligne micro-ruban suspendu, et qui pourraient maximiser les performances de transfert des signaux entre les guides d'accès et la partie silicium contenant la paire Schottky du mélangeur mis en boitier. Concernant la partie boitier, une étude conduite dans le cadre de la thèse de Victor Fiorese, portant sur la mise au point d'un packaging dédié à l'intégration de sources de bruit, est en développement. Privilégiant un assemblage de type split-block, la source de bruit intégrant une diode Schottky par flip-chip sera incluse au centre de deux parties métalliques dans l'enceinte formée dans un substrat organique. Il semble dès lors intéressant de s'appuyer sur ce développement, devant aboutir d'ici fin 2021, pour envisager la conception d'un boiter consacré à l'intégration d'un mélangeur sous-harmonique en technologie silicium et ciblant les fréquences de 300 GHz.



Figure 160: (a) Mélangeur SHM mis en boitier en technologie III-V [104]; (b) Architecture d'un récepteur hétérodyne type "mixer first receiver"

La seconde perspective principale s'inscrit dans une visée à plus long terme. Elle a vocation à supporter le développement d'une architecture de récepteur hétérodyne visant les communications point-à-point sans fil, avec un débit pouvant atteindre les 25 Gbit / s à l'aide d'une modulation d'amplitude type OOK (*ON Off Keying*).

Cette perspective s'inscrit donc dans la tendance actuelle guidée par le standard IEEE802.15.3d. Cette architecture de récepteur pourrait comporter deux canaux de 26 GHz pour assurer les 52 GHz de bandes passantes désirées dans l'intervalle [252 ; 304] GHz. Ce récepteur intègre un oscillateur local LO capable de pomper les diodes Schottky inclues dans les deux mélangeurs sur leurs canaux respectifs. Des amplificateurs transimpédance (TIA) seront placés à la sortie IF de chaque mélangeur en vue d'amplifier leur courant de sortie (atténués par les pertes de conversion de chacun) en une tension. Les tensions en sortie des TIA seront basés sur les niveaux de signal IF entre 0 et 26 GHz, et constitueront par la suite deux signaux créneaux avec un débit unitaire de 12,5 Gbit/s. Les deux canaux ont pour rôle d'optimiser la consommation énergétique du récepteur hétérodyne.

## V.4. PERSPECTIVES CONCERNANT LE DEVELOPPEMENT DE PIXELS POUR IMAGERIE DANS LES FREQUENCES TERAHERTZ

Les premières conceptions de pixels THz basés sur des architectures de circuit Rectenna ont vocation à établir la faisabilité de systèmes de détection fonctionnant dans l'infrarouge lointain (VLWIR). Ces travaux n'étant qu'à leurs prémices, un panel de perspectives peut être entrevu, aussi bien sur le plan des développements de l'architecture du pixel que sur celui de la mise en place des dispositifs de mesures. Concernant les cavités rayonnantes réalisées sur ce premier DOE, nous nous sommes appuyés sur le dimensionnel extrait des résultats des travaux réalisés par Aimeric Bisognin [124]. Cependant, ces premières dimensions des cavités rayonnantes vues dans [124] ont été adaptées à la taille respective de nos antennes sans être finement réoptimisées. De faite, il est possible de s'attendre à une bonne efficacité de la part de ces cavités si les mêmes modes de substrat TE et TM sont excités pour nos antennes. En vue d'améliorer les gains d'antenne obtenus en amont de la caractérisation du DOE de pixels fabriqués, une estimation plus fine des modes excités dans le substrat doit être envisagée. A l'aide de la méthodologie de calcul proposée dans [124], il devient possible d'établir les valeurs des constantes de propagation  $\beta$  pour chaque mode TE et TM à une fréquence donnée dans un substrat à constante diélectrique donnée et en fonction de son épaisseur HE. La Figure 161 (a) propose un exemple de tracé pour différents modes générés dans un substrat de constante diélectrique relative  $\varepsilon_r = 4,3$  et à une fréquence de 2 THz en fonction de son épaisseur normalisée par rapport à la longueur d'onde. A la lecture de ce graphe, nous pouvons déduire que si la valeur de de l'épaisseur du substrat H $\epsilon$  normalisé par rapport à la longueur d'onde dans l'air  $\lambda_0$  est de 0,3, alors les modes TM0, TE1 et TM1 peuvent être excités et se propager dans le substrat avec des constantes de propagation normalisées de 1,95 ; 1,7 et 1. De ce fait, trois différents modes peuvent être excités et se propager dans le substrat, ce qui nécessite un concept de cavité différent par rapport à cette excitation de modes.



Figure 161: (a)Tracé de la constante de propagation  $\beta$  normalisée par rapport au nombre d'onde dans l'air  $k_0$  en fonction de l'épaisseur du substrat H $\varepsilon$  normalisé par rapport à la longueur d'onde dans l'air  $\lambda_0$ ; (b) Architecture d'antenne pour un rayonnement backside en technologie CMOS SOI 65 nm [113]

Une seconde perspective envisageable pourrait concerner le développement de pixels à base des circuits Rectenna développés au cours de ces travaux sur un substrat SOI (Figure 161 (b)). Tel que présenté dans [113],

la mise au point d'une antenne rayonnant dans le substrat silicium offre des propriétés intéressantes si le silicium est composé d'un substrat SOI. En effet, l'oxide enterré a pour impact d'augmenter la permittivité ainsi que de réduire les pertes à l'intérieur du silicium. Les ondes électromagnétiques émises par le rayonnement de l'antenne sont donc canalisées à l'intérieur du silicium à haute permittivité. Une lentille optique peut ensuite être directement usinée dans le silicium afin de maximiser le gain, la directivité. Ces nouveaux développements en technologie SOI représentent une perspective intéressante, dans la mesure où ils pourraient s'avérer plus performants en termes d'efficacité à l'échelle du détecteur global, tout en ayant une excellente capacité d'intégration.

La troisième perspective donnant suite aux premiers développements de pixels THz unitaires consiste en la mise en place d'un projet commun entre STMicroelectronics, l'IEMN et le Polytech'Lab. A travers ce projet, un banc de mesures dédié à la caractérisation de circuit imageurs dans la gamme de fréquences [1; 4] THz. Ce dispositif de mesure devrait être opérationnel d'ici 2024.

# REFERENCES

- [1] D. Mercer, «Global Connected and IoT Device Forecast Update,» 14 Mai 2019. [En ligne]. Available: https://news.strategyanalytics.com/press-releases/press-release-details/2019/Strategy-Analytics-Internetof-Things-Now-Numbers-22-Billion-Devices-But-Where-Is-The-Revenue/default.aspx.
- [2] J. D. Chimeh, «Compelling Services for 5G Creation,» chez *IEEE Wireless Communications and Networking Conference Workshops (WCNCW)*, Seoul, Corée du sud, 2020.
- [3] F. Tariq et al., «A Speculative Study on 6G,» ResearchGate, 2020. [En ligne]. Available: https://www.researchgate.net/publication/331159423\_A\_Speculative\_Study\_on\_6G.
- [4] Arcep, «Parlons 5G : toutes vos questions sur la 5G,» 11 Juin 2020. [En ligne]. Available: https://www.arcep.fr/nos-sujets/la-5g.html.
- [5] K. David et H. Berndt, «6G Vision and Requirements,» *IEEE vehicular technology magazine*, vol. 13, n° %13, pp. 72-80, 2018.
- [6] ANFR, «Point 1.13 : harmonisation des bandes millimétriques pour la 5G,» 2020. [En ligne]. Available: https://www.anfr.fr/international/negociations/cmr-19/point-113-harmonisation-des-bandesmillimetriques-pour-la-5g/.
- [7] European Commission website, «Horizon Europe the next research and innovation framework programme,» 2020. [En ligne]. Available: https://ec.europa.eu/info/horizon-europe-next-research-andinnovation-framework-programme\_en.
- [8] Commission Européenne, 8 Mars 2019. [En ligne]. Available: https://ec.europa.eu/commission/presscorner/detail/fr/IP\_19\_1600.
- [9] M. Xu et al., «Bidirectional Fiber-Wireless Access Technology for 5G Mobile Spectral Aggregation and Cell Densification,» *IEEE/OSA Journal of Optical Communications and Networking*, vol. 8, n° %112, pp. B104 - B110, 2016.
- [10] M. Peng et al., «Fronthaul-Constrained Cloud Radio Access Networks: Insights And Challenges,» IEEE Wireless Communications, vol. 22, n° %12, pp. 152-160, 2015.
- [11] D. Camps-Mur et al., «5G-XHaul: A Novel Wireless-Optical SDN Transport Network to Support Joint 5G Backhaul and Fronthaul Services,» *IEEE Communications Magazine*, vol. 57, n° %17, pp. 99-105, 2019.
- [12] E Band communications LLC, «E-Link 1000Q-FP,» E Band communications LLC, 2019. [En ligne]. Available: https://e-band.com/products/e-link-1000q-fp/.
- [13] Siklu, «MaxLinear 20 Gbps Millimeter MXL85110 MODEM Enables Backhaul Connectivity for Siklu EtherHaul<sup>™</sup> Product Family,» Siklu, 21 4 2020. [En ligne]. Available: https://www.siklu.com/pressrelease/maxlinear-modem-enables-backhaul-connectivity-for-siklu-etherhaul-product-family/.
- [14] CableFree, «Products: Millimeter Wave (MMW) Wireless Links 10Gbps+,» CableFree, 2020. [En ligne]. Available: https://www.cablefree.net/cablefree-millimeter-wave-mmw/.
- [15] Deutsche Telekom et Ericsson, «Deutsche Telekom and Ericsson top 100Gbps over microwave link,» 10 05 2019. [En ligne]. Available: https://www.ericsson.com/en/press-releases/2019/5/deutsche-telekomand-ericsson-top-100gbps-over-microwave-link.
- [16] E. Lacombe, «Evaluation of silicon photonic technology for the development of innovative 40 Gbps wireless link above 200 GHz,» Université Côte d'Azur, Nice-Sophia, France, 2018.
- [17] IEEE Computer Society, «IEEE Standard for High Data Rate Wireless Multi-Media Networks Amendment 2: 100 Gb/s Wireless Switched Point-to-Point Physical Layer,» 2017. [En ligne]. Available: https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8066476.

- [18] T. Kürner et S. Rey, «IEEE 802.15.3d and other activities related to THz Communications. Where to go next?,» 7 Mars 2018. [En ligne]. Available: http://terapod-project.eu/wp-content/uploads/2018/03/THzstandards-IEEE802\_15\_3d-Where-next.pdf.
- [19] Electronic Communications Committee, «The European table of frequency allocations and applications in the frequency range 8.3 kHz to 3000 GHz (ECA table),» chez *European Conference of Postal and Telecommunications Administrations*, 2019.
- [20] S. Priebe et al., «Interference Investigations of Active Communications and Passive Earth Exploration Services in the THz Frequency Range,» *IEEE Transactions on Terahertz Science and Technology*, vol. 2, n° %15, pp. 525-537, 2012.
- [21] H. J. Song et T. Nagatsuma, Terahertz Technologies Devices and applications, Boca Raton, Floride: Pan Stanford Publishing, 2015.
- [22] H. B. Jo et al., «Lg = 25 nm InGaAs/InAlAs high-electron mobility transistors with both fT and fmax in excess of 700 GHz,» *Applied Physics Express*, vol. 12, n° %15, pp. 1 4, 2019.
- [23] W. R. Deal et al, «Recent Progress in Scaling InP HEMT TMIC Technology to 850 GHz,» chez IEEE MTT-S International Microwave Symposium (IMS2014), Tampa, FL, USA, 2014.
- [24] S. Koening et al, «Wireless Sub-THz Communication System with High Data Rate Enabled by RF Photonics and Active MMIC Technology,» chez *IEEE Photonics Conference*, San Diego, CA, USA, 2014.
- [25] M. Micovie et al, «Ka-band LNA MMIC's realized in fmax > 580 GHz GaN HEMT Technology,» chez *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, Austin, TX, USA, 2016.
- [26] G. Formicone et al., «A Study for Achieving High Power and Efficiency based on High Bias Operation in C- and X-band GaN Power Amplifiers,» chez IEEE Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR), Anaheim, CA, USA, 2018.
- [27] U. Rüddenklau et al., «mmWave Semiconductor Industry Technologies: Status and Evolution,» ETSI White Paper No. 15, pp. 1-53, 2018.
- [28] V. T. Vu et al., «Advanced Si/SiGe HBT architecture for 28-nm FD-SOI BiCMOS,» chez IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), New Brunswick, NJ, USA, 2016.
- [29] M. H. Eissa et al., «Wideband 240-GHz Transmitter and Receiver in BiCMOS Technology With 25-Gbit/s Data Rate,» *IEEE Journal of Solid-State Circuits*, vol. 53, n° %19, pp. 2532-2542, 2018.
- [30] H. Ito et al., «Uni-Traveling-Carrier Photodiodes for High-Speed Detection and Broadband Sensing,» chez Proceedings of SPIE - The International Society for Optical Engineering, 2007.
- [31] T. Ishibashi et al., «Unitraveling-Carrier Photodiodes for Terahertz Applications,» *IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS*, vol. 20, n° %16, 2014.
- [32] H. Shams et al., «Photonic generation for multichannel THz wireless communication,» Optics Express, vol. 22, n° %119, pp. 23465-23472, 2014.
- [33] J. Antes et al., «Transmission of an 8-PSK modulated 30 Gbit/s signal using an MMIC-based 240 GHz wireless link,» chez IEEE MTT-S International Microwave Symposium Digest (MTT), Seattle, WA, USA, 2013.
- [34] I. Kallfass et al., «64 Gbit/s transmission over 850 m fixed wireless link at 240 GHz carrier frequency,» J
  *Infrared Millim Terahertz Wave*, vol. 36, n° %12, pp. 221-233, 2015.
- [35] E. Lacombe et al., «10-Gb/s Indoor THz Communications Using Industrial Si Photonics Technology,» *IEEE Microwave and Wireless Components Letters*, vol. 28, n° %14, pp. 362-364, 2018.
- [36] H. J Song et al., «24 Gbit/s data transmission in 300 GHz band for future terahertz communications,» *Electronics Letters*, vol. 48, n° %115, pp. 953-954, 2012.
- [37] C. Belem-Goncalves et al., «300 GHz quadrature phase shift keying and QAM16 56 Gbps wireless data links using silicon photonics photodiodes,» *Electronics Letters*, vol. 55, n° %114, pp. 808-810, 2019.

- [38] I. Kallfass et al., «Towards MMIC-Based 300 GHz Indoor Wireless Communication,» IEICE Trans. Electron, vol. 98, n° %112, pp. 1081-1090, 2015.
- [39] Valuates Reports, «LIDAR Market Size to Reach USD 2.90 Billion by 2027,» 2020. [En ligne]. Available: https://www.prnewswire.com/news-releases/lidar-market-size-to-reach-usd-2-90-billion-by-2027---valuates-reports-301052943.html.
- [40] R. Burger, «What's Changing in Autonomous Vehicle Investments Worldwide and Why?,» 2019. [En ligne]. Available: https://www.slideshare.net/embeddedvision/whats-changing-in-autonomous-vehicleinvestments-worldwideand-why-a-presentation-from-woodside-capital-partners.
- [41] M. E. Shacklett, «LiDAR: Promise and Challenge in Autonomous Vehicles,» 15 Novembre 2019. [En ligne]. Available: https://www.pobonline.com/blogs/23-geodatapoint-blog/post/101923-lidar-promiseand-challenge-in-autonomous-vehicles.
- [42] ZEISS, «Spectroscopie du proche infrarouge (NIRS),» [En ligne]. Available: https://www.zeiss.fr/spectroscopy/solutions-et-applications/principes-de-mesure/spectroscopie-duproche-infrarouge.html#la-science.
- [43] A. M. Joshi et S. Datta, «Ultrafast detectors: InGaAs photodiodes tackle nonlinearity and win,» Laser Focus World, 2010.
- [44] B. Li et al., «Low Dark Current Mesa-Type InGaAs/InAlAs Avalanche Photodiode,» IEEE Photonics Technology Letters, vol. 27, n° %11, pp. 34-37, 2015.
- [45] P. Norton, «HgCdTe infrared detectors,» Opto-Electronics Review, vol. 10, 2002.
- [46] A. Rogalski, «Recent progress in infrared detector technologies,» *Infrared Physics & Technology*, vol. 54, n° %13, pp. 136-154, 2011.
- [47] N. Cohen et al., «LWIR/SWIR switchable two color device based on InP/InGaAs integrated HBT/QWIP,» Fourth Int. Workshop Quantum Well Infrared Photodetectors, vol. 50, n° %12, pp. 253-259, 2007.
- [48] B. P. Figueroa et al., «Effect of doping on the figures of merit for quantum-well infrared photodetectors based on InGaAs/InAlAs,» chez 28th Symposium on Microelectronics Technology and Devices (SBMicro 2013), Curitiba, Brésil, 2013.
- [49] A. Rogalski, «Infrared Detectors for the Future,» Optical and Acoustical Methods in Science and Technology, vol. 116, n° %13, pp. 389-406, 2009.
- [50] J. L. Tissot, «IR Detection with uncooled focal plane arrays. State-of-the art and trends,» *Opto-electronics review*, vol. 12, n° %11, pp. 105-109, 2004.
- [51] M. Jutzi et al., «Ge-on-Si vertical incidence photodiodes with 39-GHz bandwidth,» IEEE Photonics Technology Letters, vol. 17, n° %17, pp. 1510-1512, 2005.
- [52] P. Pouvil, «Composants RF,» Ecole Supérieure de l'Electronique et de ses Applications (ENSEA), Cergy, 2011.
- [53] O. Bllaouhamou, «Chapitre 4: Le contact metal/semiconducteur,» Formation, 13 Janvier 2017. [En ligne]. Available: https://fr.slideshare.net/omarbllaouhamou1/cours-master-phys-sc-chap-4-2015.
- [54] B. BOITTIAUX, «La structure Métal-Semiconducteur 5.3 Le contact Métal-Semiconducteur,» Polytech Lille, 30 Mars 2004. [En ligne]. Available: http://www.polytech-lille.fr/cours-atome-circuitintegre/unip/unip533.htm.
- [55] C. Koeniguer, «Composants et capteurs: Contact Schottky,» IFIPS Université Paris-Sud 11, 2008. [En ligne]. Available: http://cedric.koeniguer.free.fr/polytech/phc/documents/cours/schottky.pdf.
- [56] B. BOITTIAUX, «La structure Métal-Semiconducteur 5.4 La diode SCHOTTKY,» Polytech Lille, 30 Mars 2004. [En ligne]. Available: http://www.polytech-lille.fr/cours-atome-circuitintegre/unip/unip550.htm..
- [57] B. BOITTIAUX, «La structure Métal-Semiconducteur 5.5 Le contact ohmique.,» Polytech Lille, 30 Mars 2004. [En ligne]. Available: http://www.polytech-lille.fr/cours-atome-circuit-integre/unip/unip550.htm..

- [58] X. N. Wang et al, «RF modeling of integrated RF CMOS Schottky diodes for rectifier designs,» chez 9th International Conference on Solid-State and Integrated-Circuit Technology, Pékin, China, 20-23 Oct. 2008.
- [59] A. Tang et al, «Analytical extraction of a schottky diode model from broadband S-parameters,» IEEE Transactions on Microwave Theory and Techniques, vol. 61, n° %15, pp. 1870-1878, 2013.
- [60] «Chapitre 2: Jonction pn et diode à jonction,» [En ligne]. Available: http://www.nicd.net/accusphp/forum/docjoints/ID99\_notes-chap2.pdf.
- [61] G. Chagnon, «Caractéristique électrique et définitions,» 2000-2010. [En ligne]. Available: https://www.gchagnon.fr/cours/courlong/3\_2\_5\_3.html.
- [62] C. Hu, «Chapter 9 Metal-Semiconductor Contacts,» [En ligne]. Available: https://inst.eecs.berkeley.edu/~ee130/sp06/chp9.pdf.
- [63] Saraswat, «Interconnections: Silicides».
- [64] G. Liu et al., «420 GHz subharmonic mixer based on heterogeneous integrated Schottky diode,» IEEE Transactions on Microwave Theory and Techniques, vol. 50, n° %13, pp. 910-928, 2002.
- [65] J. Lee et al., «A new resistance model for a Schottky barrier diode in CMOS including N-well thickness effect,» *Journal of Semiconductor Technology and Science*, vol. 13, n° %14, pp. 381-386, 2013.
- [66] J. L. Hesler et al., «Responsivity and Noise Measurements of Zero-Bias Schottky Diode Detectors,» chez *International Symposium on Space Terahertz Technology*, Tokyo, Japon, 2012.
- [67] J. C. Azevedo Goncalves, «Développemet de bancs de caractérisation pour la mesure de bruit et la détection de puissance entre 130 et 320 GHz,» 2019.
- [68] C. Coillot, «Bruit dans les circuits,» 2013. [En ligne]. Available: https://cel.archives-ouvertes.fr/cel-01062802/document.
- [69] C. Lin et al, «Darmstadt, From Honey-Comb to SMMIC: Schottky Diodes at TU,» chez *International Conference on Terahertz Electronics*, Darmstadt, Germany, 28-29 Septembre 2000.
- [70] I. Mehdi et al., «THz Diode Technology: Status, Prospects, and Applications,» Proceedings of the IEEE, vol. 105, n° %16, pp. 990-1007, Juin 2017.
- [71] S. Sankaran et al., "Schottky Barrier Diodes for Millimeter Wave Detection in a Foundry CMOS Process," *IEEE ELECTRON DEVICE LETTERS*, vol. 26, no. 7, pp. 492-494, 2005.
- [72] V. P. Trivedi et al., «A Novel Integration of Si Schottky Diode for mmWave CMOS, Low-Power SoCs, and More,» *IEEE ELECTRON DEVICE LETTERS*, vol. 32, n° %13, pp. 258-260, 2011.
- [73] M. K. Matters-Kammerer et al., "RF Characterization of Schottky Diodes in 65-nm CMOS," IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 57, no. 5, pp. 1063-1068, 2010.
- [74] Q. Li et al., «Fabrication of Schottky Diode in Standard CMOS Process,» 2004. [En ligne]. Available: http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.124.8452&rep=rep1&type=pdf.
- [75] J. Shi et al., «A CMOS Schottky barrier diode with the four-sided cathode,» Proceedings of 2016 IEEE International Conference on Integrated Circuits and Microsystems, ICICM 2016, vol. 0, n° %11, pp. 103-107, 2017.
- [76] E. Seok and al, «Progress and Challenges Towards Terahertz CMOS Integrated Circuits,» *IEEE Journal of Solid-State Circuits*, vol. 45, n° %18, pp. 1554-1564, August 2010.
- [77] V. Jain et al., "Schottky Barrier Diodes in 90nm SiGe BiCMOS," in *IEEE BiCMOS Circuits and Technology Meeting (BCTM)*, Bordeaux, France, 2013.
- [78] U. R. Pfeiffer et al, "Schottky barrier diode circuits in silicon for future millimeter-wave and terahertz applications," *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, vol. 56, no. 2, pp. 364-371, February 2008.
- [79] T. W. Crowe et al., «GaAs Schottky Diodes for THz Mixing Applications,» Proceedings of the IEEE, vol. 80, n° %111, pp. 1827-1841, 1992.

- [80] B. J. Rizzi et al., «Planar Varactor Diodes for Submillimeter Applications,» [En ligne]. Available: https://www.nrao.edu/meetings/isstt/papers/1993/1993297311.pdf.
- [81] T. W. Crowe et al, «GaAs Schottky Barrier Diodes for Space Based Applications at Submillimeter Wavelengths,» chez International Symposium on Space Terahertz Technology (ISSTT), Oxford and Didcot, UK, 23-25 March 2010.
- [82] C. Liu et al., «A 340 GHz MMIC 4× Sub-harmonic Mixer Using Silicon-based Schottky Barrier Diodes,» chez IEEE International Wireless Symposium (IWS 2015), Shenzhen, Chine, 30 Mars - 1 Avril 2015.
- [83] X. N. Wang et al., «A Novel Model for An Integrated RF CMOS Schottky Diode,» chez 7th International Conference on ASIC, Guilin, Chine, 22-25 Octobre 2007.
- [84] J. C. Azevedo Goncalves et al., «On wafer millimetre wave power detection using a PN junction diode in BiCMOS 55 nm for in-situ large signal characterization,» chez 48th European Microwave Conference (EuMC), Madrid, Espagne, 2018.
- [85] J. L. Hesler et T. W. Crowe, «NEP and responsivity of THz zero-bias Schottky diode detectors,» chez 2007 Joint 32nd International Conference on Infrared and Millimeter Waves and the 15th International Conference on Terahertz Electronics, Cardiff, Royaume Uni, 2007.
- [86] R. Han et al., «A 280-GHz Schottky Diode Detector in 130-nm Digital CMOS,» IEEE Journal of Solid-State Circuits, vol. 46, n° %111, pp. 2602-2612, 2011.
- [87] S. Nadar et al., «High Performance Heterostructure Low Barrier Diodes for Sub-THz Detection,» IEEE Transactions on Terahertz Science and Technology, vol. 7, n° %16, pp. 780-788, 2017.
- [88] Z. Ahmad et Kenneth K. O., «THz Detection Using p + / n-Well Diodes Fabricated in 45-nm CMOS,» IEEE Electron Device Letters, vol. 37, n° %17, pp. 823-826, 2016.
- [89] J. C. Azevedo Goncalves et al., «Investigating the potential of SiGe Diode in BiCMOS 55nm for power,» chez 2018 43rd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz), Nagoya, Japon, 2018.
- [90] S. Aydogana et al., «Extraction of electronic parameters of Schottky diode based on an organic Indigotindisulfonate Sodium (IS),» *Solid State Communications*, vol. 150, pp. 1592-1596, 2010.
- [91] F. Parlaktürk et al., «Current-Voltage (I-V) and Capacitance-Voltage (C-V),» *G.U. Journal of Science*, vol. 20, n° %14, pp. 97-102, 2007.
- [92] W. Chang et al., «SBD Layout Optimization with Effect of N-well to p-Substrate pn Junctions in 0.18 μm CMOS Process,» chez Asia-Pacific Microwave Conference, New Delhi, Inde, 2016.
- [93] P. Butterworth, «Méthode de conception des mélangeurs millimétriques. Application à la réalisation MMIC d'un mélangeur sous-harmonique à FET froid [42-43.5 GHz],» Limoges, France, 2003.
- [94] Elsevier, «Intermodulation,» ScienceDirect, 2020. [En ligne]. Available: https://www.sciencedirect.com/topics/engineering/intermodulation.
- [95] B. Thomas, «Etude et réalisation d'une tête de réception hétérodyne en ondes submillimétriques pour l'étude des atmosphères et surfaces de planètes,» Observatoire de Paris, Paris, 2009.
- [96] R. Gawande et al, «W-band IQ sub-harmonic mixers with low LO power for cryogenic operation in large arrays,» chez 9th European Microwave Integrated Circuits Conference, Rome, Italie, 2014.
- [97] E. Schlecht et al., «Schottky Diode Based 1.2 THz Receivers Operating at Room-Temperature and Below for Planetary Atmospheric Sounding,» *IEEE TRANSACTIONS ON TERAHERTZ SCIENCE AND TECHNOLOGY*, vol. 4, n° %16, pp. 661-669, 2014.
- [98] Virginia Diodes, «Subharmonic Mixers (SHM),» Virginia Diodes, Inc., 2004-2020. [En ligne]. Available: https://www.vadiodes.com/en/products/mixers-shm-ehm-and-fm.
- [99] Z. Chen et al, «Design of a novel 170GHz–260GHz sub-harmonic mixer based on planar Schottky diodes,» 2016 IEEE 9th UK-Europe-China Workshop on Millimetre Waves and Terahertz Technologies (UCMMT), pp. 186-188, 2016.

- [100] Y. Hwang et al., «W-Band GaAs HEMT MMIC Subharmonically Pumped Diode Mixers with 20 GHz IF Bandwidth,» chez 32th European Microwave Conference / GAAS, Milan, Italie, 2002.
- [101] B. R. Jackson, «Subharmonic Mixers in CMOS Microwave Integrated Circuits,» Ontario, Canada, 2009.
- [102] M. Morschbach et al, «Integrated Silicon Schottky Mixer Diodes With Cutoff Frequencies Above 1 THz,» IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, vol. 53, n° %16, pp. 2013-2018, 2013.
- [103] S. Raman et al., «A High-Performance W-Band Uniplanar Subharmonic Mixer,» IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, vol. 45, n° %16, pp. 955-962, 1997.
- [104] P. R. Wilkinson, «Development of 664GHz Sub-harmonic Mixers,» Thesis Report, April 2014. [En ligne]. Available: http://etheses.whiterose.ac.uk/8079/1/Thesis%201.31.pdf.
- [105] H. J. Siweris et al., «A mixed si and gaas chip set for millimeter-wave automotive radar front-ends,» chez *IEEE Radio Frequency Integrated Circuits Symposium*, Boston, Massachusetts, 2000.
- [106] A. Grubl et al., «76.5 GHz transceiving mixer using flip-chip mounted silicon Schottky-diodes for automotive radar applications,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, n° %12, pp. 364-371, 2008.
- [107] R. Han et al., «Active Terahertz Imaging Using Schottky Diodes in CMOS : Array and 860-GHz Pixel,» *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 48, n° %110, pp. 2296-2308, 2013.
- [108] C. Jiang et al., «A Fully Integrated 320 GHz Coherent Imaging Transceiver in 130 nm SiGe BiCMOS,» IEEE Journal of Solid-State Circuits, vol. 51, n° %111, pp. 2596-2609, 2016.
- [109] T. Smith et al., «A Hybrid THz Imaging System With a 100-Pixel CMOS Imager and a 3 . 25 3 . 50 THz Quantum Cascade Laser Frequency Comb,» *IEEE Solid-State Circuits Letters*, vol. 2, n° %19, pp. 151-154, 2019.
- [110] J. Zdanevicius et al., «Field-Effect Transistor Based Detectors for Power Monitoring of THz Quantum Cascade Lasers,» IEEE TRANSACTIONS ON TERAHERTZ SCIENCE AND TECHNOLOGY, vol. 8, n° %16, pp. 613-621, 2018.
- [111] D. Kim et al., «Design and Demonstration of 820-GHz Array Using Diode-Connected NMOS Transistors in 130-nm CMOS for Active Imaging,» *IEEE Transactions on Terahertz Science and Technology*, vol. 6, n° %12, pp. 306-317, 2016.
- [112] S. Boppel et al., «CMOS integrated antenna-coupled field-effect-transistors for the,» *IEEE Microwave Magazine*, vol. 12, n° %17, pp. 77-80, 2012.
- [113] E. Öjefors et al., «Terahertz Imaging Detectors in a 65-nm CMOS SOI Technology,» chez European Solidstate Circuits and Devices Conference (ESSCIRC), Madrid, Espagne, 2010.
- [114] R. Han et al., «280GHz and 860GHz Image Sensors Using Schottky-Barrier Diodes in 0.13μm Digital CMOS,» IEEE International Solid-State Circuits Conference, vol. 46, n° %111, pp. 254-256, 2012.
- [115] R. Al Hadi et al., «A Broadband 0.6 to 1 THz CMOS Imaging Detector with an Integrated Lens,» chez IEEE MTT-S International Microwave Symposium, Baltimore, MD, USA, 2011.
- [116] H. Sherry et al., «Lens-Integrated THz Imaging Arrays in 65nm CMOS Technologies,» chez IEEE Radio Frequency Integrated Circuits Symposium, Baltimore, MD, USA, 2011.
- [117] F. Schuster et al., «A Broadband THz Imager in a Low-Cost CMOS Technology,» chez IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, 2011.
- [118] R. Al Hadi et al., «A 1 k-pixel video camera for 0.7–1.1 terahertz imaging applications in 65-nm CMOS,» *IEEE Journal of Solid-State Circuits*, vol. 47, n° %112, pp. 2999 3012, 2012.
- [119] Z. Ahmad et al., «9.74-THz Electronic Far-Infrared Detection Using Schottky Barrier Diodes in CMOS,» chez *IEEE International Electron Devices Meeting*, San Francisco, CA, USA , 2014.
- [120] R. Jain et al., «A Terahertz Direct Detector in 22nm FD-SOI CMOS,» chez European Microwave Integrated Circuits Conference (EuMIC), Madrid, Espagne, 2018.

- [121] M. Uzunkol et al., «Millimeter-Wave and Terahertz Sources and Imaging Systems Based on 45nm CMOS Technology,» chez IEEE/MTT-S International Microwave Symposium Digest, Montreal, QC, Canada, 2012.
- [122] C. Luxey, R. Staraj, G. Kossiavas et A. Papiernik, «Antennes imprimées: Bases et principes,» Laboratoire d'Électronique, Antennes et Télécommunications, Nice-Sophia Antipolis, France.
- [123] Orange, «Calculs sur une ligne coaxiale,» [En ligne]. Available: https://f5zv.pagespersoorange.fr/RADIO/RM/RM07/RM07d/RM07d03.htm.
- [124] A. BISOGNIN, «Evaluation de technologies organiques faibles pertes et d'impression plastique 3D afin de contribuer au développement de solutions antennaires innovantes dans la bande 60 GHz – 140GHz,» Université de Nice-Sophia Antipolis, Nice-Sophia, France, 2015.
- [125] Y. J. Park et al., «A photonic bandgap (PBG) structure for guiding and suppressing surface waves in millimeter-wave antennas,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, n° %110, p. 1854–1859, 2001.
- [126] W.E. McKinzie et al., «60 GHz patch antenna in LTCC with an integrated EBG structure for antenna pattern improvements,» chez *IEEE Antennas and Propagation Society International Symposium (APSURSI)*, Memphis, TN, 2014.
- [127] M. Uzunkol et al., «A 0.3 THz 4 × 4 cold-FET imaging array in 45 nm CMOS SOI,» chez *IEEE MTT-S International Microwave Symposium (IMS)*, Tampa, FL, 2014.
- [128] J. H. Lee et al., «60 GHz high-gain aperture-coupled microstrip antennas using soft-surface and stacked cavity on LTCC multilayer technology,» chez *IEEE Antennas and Propagation Society International Symposium (APSURSI)*, Albuquerque, NM, 2006.
- [129] antenna-theory.com, «Antenna Efficiency,» 2009-2016. [En ligne]. Available: http://www.antenna-theory.com/basics/efficiency.php.
- [130] Cisco, «Mobile VNI Forecast,» 09 February 2017. [En ligne]. Available: https://www.cisco.com/c/en/us/solutions/service-provider/visual-networking-index-vni/vniinfographic.html.
- [131] F. Stein and al, «Advanced Extraction Procedure for Parasitic Collector Series Resistance Contributions in High-Speed BiCMOS Technologies,» chez *BiCMOS Circuits and Technology Meeting (BCTM)*, Bordeaux, France, September 30 to October 3.
- [132] Polytech Nice, «Contact métal semi-conducteur Diode Schottky,» [En ligne]. Available: http://users.polytech.unice.fr/~lorenz/Contact\_Metal\_SC.pdf.
- [133] «La structure Métal-Semiconducteur 5.4 La diode SCHOTTKY,» Bernard BOITTIAUX, 30 Mars 2004. [En ligne]. Available: http://www.polytech-lille.fr/cours-atome-circuit-integre/unip/unip550.htm..
- [134] E. Lacombe et al., «300 GHz OOK Transmitter Integrated in Advanced Silicon Photonics Technology and Achieving 20 Gb/s,» chez *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Philadelphia, PA,USA, 10-12 June 2018.
- [135] V. Gidel et al, «Scalable analytical model of 1.7 THz cut-off frequency,» chez Radio Frequency Integrated Circuits Symp. (RFIC), Boston, 2019.
- [136] V. K. Chinni et al., "Single-channel 100 Gbit/s transmission using III–V UTC-PDs for future IEEE 802.15.
  3d wireless links in the 300 GHz band," *IET Electronics Letters 54 (10)*, vol. 54, no. 10, pp. 638-640, 17th May 2018.
- [137] X. N. Wang et al., «RF modeling of integrated RF CMOS Schottky diodes for rectifier designs,» chez 9th International Conference on Solid-State and Integrated-Circuit Technology, Pékin, China, 20-23 Oct. 2008.

# **LISTE DES PUBLICATIONS**

### **CONGRES NATIONAUX AVEC COMITE DE LECTURE ET ACTES**

**V. Gidel**, F. Gianesello, P. Chevalier, G. Avenier, N. Guitard, M. Buczko, C. Luxey & G. Ducournau "Diode Schottky intégrée en technologie BiCMOS 55 nm visant les applications THz" *XXI*<sup>èmes</sup> Journées Nationales Microondes (JNM), 14-17 mai 2019, Caen, France

### CONGRES INTERNATIONAUX AVEC COMITE DE LECTURE ET ACTES

J. C. Azevedo Goncalves, I. Alaji, D. Gloria, **V. Gidel**; F. Gianesello; S. Lepilliet, G. Ducournau, F. Danneville, C. Gaquiere "On Wafer Millimetre Wave Power Detection Using a PN Junction Diode in BiCMOS 55 nm for In-Situ Large Signal Characterization" *2018 48th European Microwave Conference (EuMC)*, 23-27 Septembre. 2018, Madrid, Espagne

**V. Gidel**, F. Gianesello, P. Chevalier, G. Avenier, N. Guitard, V. Milon, M. Buczko, C. A. Legrand, C. Luxey & G. Ducournau "Scalable Analytical Model of 1.7 THz Cut-off Frequency Schottky Diodes Integrated in 55nm BiCMOS Technology" *2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2-4 Juin 2019, Boston, MA, USA.

C. Belem-Goncalves, E. Lacombe, V. Gidel, C. Durand, F. Gianesello, D. Gloria C. Luxey & G. Ducournau "300 GHz-band 50 Gbit/s Dual Channel Link Using Industrial Silicon Photonics Technology" 2019 44rd International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz), 1-6 Septembre 2019, Paris, France, 2019.

**V. Gidel**, F. Gianesello, P. Chevalier, G. Avenier, N. Guitard, M. Buczko, C. Luxey & G. Ducournau "Smart Way to Adjust Schottky Barrier Height in 130 nm BiCMOS Process for sub-THz Applications" *2020 IEEE Radio and Wireless Symposium (RWS)*, 26-29 Janvier 2020, San Antonio, TX, USA.

### ARTICLE

C. Belem-Goncalves, E. Lacombe, V. Gidel, C. Durand, F. Gianesello, D. Gloria C. Luxey & G. Ducournau "300 GHz quadrature phase shift keying and QAM16 56 Gbps wireless data links using silicon photonics photodiodes." *Electronics Letters*, vol. 55, no. 14, pp. 808 – 810, 11 Juillet 2019.