



HAL
open science

Intégration de dispositifs passifs 3D compacts et performants. Application à la réalisation d'une matrice de Butler 4x4 en bande Ka.

Audrey Cayron

► **To cite this version:**

Audrey Cayron. Intégration de dispositifs passifs 3D compacts et performants. Application à la réalisation d'une matrice de Butler 4x4 en bande Ka.. Micro et nanotechnologies/Microélectronique. INSA de Toulouse, 2020. Français. NNT : 2020ISAT0006 . tel-03186003v1

HAL Id: tel-03186003

<https://theses.hal.science/tel-03186003v1>

Submitted on 30 Mar 2021 (v1), last revised 25 Jan 2021 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National des Sciences Appliquées de Toulouse (INSA de Toulouse)

Présentée et soutenue par :

Audrey CAYRON

le vendredi 23 octobre 2020

Titre :

Intégration de dispositifs passifs 3D compacts et performants. Application à la réalisation d'une matrice de Butler 4x4 en bande Ka.

École doctorale et discipline ou spécialité :

ED GEET : Électromagnétisme et Systèmes Haute Fréquence

Unité de recherche :

LAAS CNRS - Laboratoire d'Analyse et d'Architecture des Systèmes

Directeur/trice(s) de Thèse :

Thierry PARRA, Professeur, Université Toulouse 3 Paul Sabatier
Christophe VIALON, Maître de Conférences, Université Toulouse 3 Paul Sabatier

Jury :

Damienne BAJON, Professeur, ISAE-Supaero, Présidente et Examinatrice
Philippe FERRARI, Professeur, Université Grenoble Alpes, Rapporteur
Cédric QUENDO, Professeur, Université de Bretagne Occidentale, Rapporteur
Emmanuelle BOURDEL, Maître de Conférences, ENSEA, Examinatrice
Thierry PARRA, Professeur, Université Toulouse 3 Paul Sabatier, Directeur
Christophe VIALON, Maître de Conférences, Université Toulouse 3 Paul Sabatier, Directeur
Ayad GHANNAM, Docteur et CEO de 3DiS Technologies, Membre Invité

Remerciements

La thèse est une aventure avec son lot de péripéties et de belles rencontres. Celle rapportée dans ce manuscrit réunit de nombreuses personnes, qui ont contribué de près ou de loin à mon travail et à mon épanouissement.

Sans le savoir, cette aventure a débuté il y a près de sept années, lorsque l'équipe MOST et la société 3DiS Technologies, alors naissante, m'ont accueilli à bras ouverts pour mon stage d'études techniques. L'intérêt suscité par ce travail et par l'énergie du groupe m'a poussé à revenir. Je suis resté près de six années parmi eux... ils m'ont finalement vu un peu grandir.

J'exprime ma plus profonde gratitude ainsi que mon plus grand respect à mes deux directeurs de thèse Thierry PARRA et Christophe VIALON, pour leur confiance, pour leur sollicitude, et pour m'avoir tant apporté lors de cette thèse. Leurs nombreux conseils m'ont aidé à orienter mes travaux, et m'ont appris à améliorer ma rigueur scientifique. Ils m'ont aussi poussée à m'affirmer et m'ont encouragée lorsque j'en avais besoin. Ces conseils et ce soutien, j'ai notamment pu en mesurer la portée à travers les nombreux retours positifs en conférences. Ces moments représentent une récompense précieuse de mon apprentissage et des efforts communs que nous avons donnés sur ce travail de thèse.

Mais tout cela n'aurait pas été possible sans les membres de la société 3DiS Technologies. J'adresse donc un immense merci à Ayad GHANNAM et Alessandro MAGNANI. Mes circuits n'auraient pu voir le jour sans leur aide, et je n'aurais jamais pu goûter à tous ces délicieux mets dont le Liban et l'Italie regorgent. Je les remercie pour leur gentillesse, leur écoute et leur présence rassurante. J'adresse également un grand merci à David BOURRIER pour son aide précieuse en salle blanche, et son écoute patiente à mes questions qui n'en finissaient toujours pas.

Je remercie l'ensemble de l'équipe MOST : les docteurs, les docteurs en devenir, les stagiaires... j'adresse un grand merci à Jean-Guy TARTARIN pour sa bonne humeur communicative. Merci à tous les doctorants et post-doctorants de l'équipe, issus de tous les horizons, qui font la richesse du groupe. Merci à Olga BUSHUEVA et Napoléon GUTIERREZ, mais aussi à Alexandre FLETE, Alexis BOUGAUD, Aliou LY, Arnaud COLLET, David CHAUDY, Mokhtar KORTI, Pierre LABRUNEE, Ramin KHAYATZADEH, Vincent AUROUX, Zeina ABDALLAH... et tous les autres. Un grand merci à Oana LAZAR, Julien KIEFFER, Damien SAUGNON, Boris BERTHELOT et Bastien PINAULT, qui ont partagé avec moi le bureau G19. Merci également aux stagiaires que j'ai croisés, et à qui je souhaite le meilleur. Je tiens également à remercier Ahmet LALE, Adem LALE et Fabien ESCUDIE pour leur écoute et leur soutien.

Je remercie également toutes les personnes qui ont rendu mon quotidien au LAAS si agréable. Merci à Alexandre RUMEAU, à Nicolas MAURAN et à l'ensemble de l'équipe

TEAM. Sans leur aide, je n'aurais pas pu fabriquer et caractériser mes circuits, et finalement si bien mettre en valeur ce travail de thèse.

Je remercie mes rapporteurs et examinatrices, Philippe FERRARI, Cédric QUENDO, Damienne BAJON et Emmanuelle BOURDEL, pour l'intérêt qu'ils ont porté à mes travaux et tous leurs retours positifs. Leur intervention compte énormément et m'a fait prendre conscience du chemin parcouru pendant la thèse. J'exprime plus particulièrement ma reconnaissance à Damienne BAJON, qui m'avait accueilli à l'ISAE pendant un an. Elle m'a vu entrer en thèse et je suis heureuse que ce soit elle qui ait clôturé la soutenance en prononçant cette fameuse phrase qu'attendent tous les futurs docteurs.

J'adresse maintenant mes remerciements à tous mes amis et collègues du campus de Rangueil, qui ont contribué à mon épanouissement durant cette thèse.

Je remercie les doctorants du LAPLACE que j'ai pu rencontrer, et plus particulièrement Flora CARRASCO. Je remercie également tous mes collègues enseignants de l'Université Paul Sabatier : merci à Gérald LEDRU, Marc TERNISIEN, Pierre FRETON, Shahram HOSSEINI, Mathieu MASQUERE, Florence BENOIT-MARQUIE, Pascale LAURENS... Un grand merci à Carlos SANCHEZ et Chaymae BARHDADI pour toutes les fois où ils sont venus à ma rescousse lorsque j'étais perdue, que j'avais besoin d'une salle ou d'un petit café.

Je termine cette parenthèse universitaire en adressant mes plus chaleureux remerciements à tous les étudiants qui ont croisé ma route, et que j'espère avoir aidés d'une manière ou d'une autre. Eux m'ont apporté beaucoup, même s'ils ne l'ont pas forcément réalisé.

Merci à mes amis de toujours, Amani, Benoît, Carole, Elodie, Jerry, Marie, Coryse, Sandrine, Célia, Valentin et Valentin, Jérémy, qui ont toujours été là pour me soutenir et m'encourager. Ils ont énormément participé à la réussite de cette thèse grâce à tous ces moments de partage, de soutien énergétique et de rigolade qu'ils ont apportés.

Je remercie ma famille qui m'entoure depuis toujours et qui, sans le savoir, me rappelle ce qui compte le plus. Merci à mes parents Thierry et Anne-Marie, à ma sœur Aurélie et à mon frère Cédric, qui m'ont toujours encouragée et soutenue. Merci à Charles, dont la douceur et la bienveillance m'ont accompagnée durant la thèse.

Merci à vous tous et à tous ceux que j'ai oublié de citer d'avoir construit avec moi cette belle aventure.

Résumé

Intégration de dispositifs passifs 3D compacts et performants.

Application à la réalisation d'une matrice de Butler 4×4 en bande Ka.

La complexité des systèmes RF intégrés pour les applications sans fil grand public s'accroît, et exige de revisiter l'intégration des circuits passifs RF et microondes. De nouvelles solutions offrant plus de compacité et de performance doivent être recherchées, avec un coût de fabrication qui doit rester faible. Parmi celles-ci, une filière technologique 3D de type « Integrated Passive Devices » (IPD) est développée au LAAS-CNRS et par la société 3DiS Technologies depuis plusieurs années. Après avoir démontré les capacités de la technologie pour l'intégration de solénoïdes extrêmement compacts et performants, le travail présenté dans ce manuscrit ajoute l'intégration des condensateurs pour faire évoluer la technologie vers la fabrication de fonctions passives RF complexes.

Le manuscrit s'articule en trois chapitres. Une première partie dresse une revue des procédés technologiques existants pour la fabrication de systèmes RF et met en évidence l'importance de disposer de composants passifs compacts et performants pour pouvoir intégrer les circuits MMIC. Dans ce contexte, nous présentons les avantages apportés par une solution d'intégration 3D bas coût telle que celle proposée. Dans une deuxième partie, nous présentons le développement de condensateurs Métal-Isolant-Métal (MIM). Les caractérisations montrent que les condensateurs présentent des performances équivalentes à celles recensées dans la littérature avec de très bons coefficients de qualités. Nous appliquons ensuite la technologie 3D complète à la réalisation de deux transformateurs adaptés en impédance 50 Ω en utilisant des condensateurs. Le procédé technologique de fabrication des deux circuits est décrit. Dans la bande d'adaptation, les circuits fabriqués et caractérisés affichent des pertes en transmission équivalentes aux pertes théoriques minimales estimées à partir du gain disponible maximum des transformateurs. Ces résultats confirment les bonnes performances des condensateurs MIM développés qui introduisent des pertes minimales pour les circuits fabriqués. Aucun problème de fabrication n'est relevé pour les transformateurs adaptés, ce qui permet de valider le procédé technologique complet pour l'intégration de condensateurs et de solénoïdes.

Sur la base de ces résultats, le dernier chapitre est consacré au développement d'une matrice de Butler 4×4 destinée à piloter un faisceau de quatre éléments rayonnants en visant la 5G comme contexte applicatif. Des pertes en transmissions inférieures à -3,5 dB et un écart sur les déphasages en sorties de 16° sont relevés pour une large bande passante de 24-29 GHz. Ces résultats de mesure sont à l'état de l'art et surpassent les solutions existantes, en particulier au niveau de la surface occupée de seulement 0,84 mm². Ces résultats démontrent le potentiel de la technologie 3D à réaliser un compromis innovant entre densité d'intégration et performances.

Mots clés : Technologie 3D, Integrated Passive Device IPD, Condensateurs MIM, Transformateurs, Coupleurs 3 dB 90°, Matrice de Butler, Beamforming, 5G, Épluchage de mesures (De-embedding), Caractérisation d'un multipôle.

Abstract

3-D integration of compact and high-performance passive devices.

Application to the development of a 4×4 Butler matrix operating in Ka band

The complexity of embedded RF systems in consumer wireless applications is increasing, and requires to improve the integration of RF and microwave passive circuits. New solutions that offer more compactness and performance have to be developed, while maintaining a low manufacturing cost. Among Integrated Passive Devices (IPD) technologies, a 3-D technology has been developed at the LAAS-CNRS and by 3DiS Technologies for several years. Results demonstrate that the manufactured solenoids exhibit high compactness and high-performance. This PhD thesis aims to develop the integration process of capacitors in order to evolve the technology towards the fabrication of complex passive RF functions.

The manuscript is divided into three chapters. The first chapter reviews the technological processes that enable the manufacture of RF systems and highlights the challenges for integrating high-performance passive components. It also presents the advantages of a low-cost 3-D integration solution such as the one proposed. In the second chapter, we present the development of Metal-Insulator-Metal (MIM) capacitors. The characterization result show that capacitors present performances equivalent to those identified in the literature with high quality factors. We then manufacture two transformers matched to 50Ω using capacitors. The technological process is described. The manufactured and measured circuits show that transmission losses are close to those obtained at the maximum available gain of the transformers. These results confirm the good performance of the developed capacitors since they introduce minimal losses for the manufactured circuits. No technological problems are encountered during the manufacturing of the two transformers, which validates the complete technological process for the integration of capacitors and solenoid.

Based on these results, we present in the last chapter the development of a 4×4 Butler matrix dedicated to 5G beamforming applications. In a large bandwidth ranging from 24 GHz to 29 GHz, insertion losses for the four outputs of the matrix are under 3.5 dB and the phase difference between the outputs are reached with a deviation of less than 16° . The measured results are at the state of the art and overcome those of the existing IPD solutions, in particular for the occupied area that does not exceed 0.84 mm^2 . These performances allow us to conclude on the potential of 3-D-IPD technology to achieve an excellent compromise between integration density and performance.

Keywords : 3-D technology, Integrated Passive Devices IPD, MIM Capacitors, Transformers, 3dB quadrature couplers, Butler Matrix, Beamforming, 5G Applications, De-embedding, Characterization of a Multiport device.

Table des matières

Introduction générale.....	1
Chapitre I : Intégration des circuits passifs	5
1 Introduction	5
2 Contexte.....	6
2.1 Évolution des applications sans fil.....	6
2.2 Performances requises pour les circuits passifs	7
3 Intégration de circuits passifs performants	11
3.1 Rappel des principaux phénomènes de pertes dans les lignes	11
3.1.1 Pertes dans les métallisations.....	11
3.1.2 Pertes dans le substrat	13
3.1.3 Facteur de qualité.....	13
3.2 Limitations des composants passifs intégrés sur une puce en silicium MOS	14
3.3 Intégrations IPD dédiées	18
3.3.1 Substrats pour l'intégration IPD	19
3.3.2 Technologies d'intégration 3D	21
3.3.3 Intégration sur les couches de redistribution d'un système SiP.....	25
3.4 Technologie IPD-3D développée au LAAS-CNRS	31
3.4.1 Présentation.....	32
3.4.2 Positionnement de la technologie parmi les solutions IPD existantes	34
4 Poursuite du développement de la technologie IPD-3D.....	38
5 Conclusion.....	39
6 Références	41
Chapitre II : Fabrication et caractérisation de condensateurs MIM et de transformateurs 3D	51
1 Introduction	51
2 Développement des condensateurs MIM	52
2.1 Cahier des charges.....	52
2.2 Choix du type de condensateur développé et des matériaux.....	53

2.2.1	Réalisation de capacités	53
2.2.2	Choix des matériaux	54
2.3	Topologie des condensateurs	56
2.4	Caractérisation des condensateurs MIM	60
2.4.1	Caractéristiques extraites des mesures hyperfréquences	61
2.4.2	Caractérisation de la couche diélectrique Si_xN_y par des mesures I(V)	64
2.4.3	Extraction du modèle électrique équivalent des condensateurs.....	66
2.5	Conclusion relative à la fabrication des condensateurs MIM	69
3	Réalisation de transformateurs adaptés par des condensateurs MIM.....	70
3.1	Présentation des transformateurs 3D utilisés	71
3.2	Conception des transformateurs adaptés par des condensateurs MIM	72
3.2.1	Adaptation de l'impédance d'entrée des transformateurs avec ADS	73
3.2.2	Simulations des transformateurs adaptés avec HFSS	75
4	Procédé d'intégration 3D.....	78
4.1	Fabrication de l'électrode inférieure des condensateurs MIM.....	79
4.2	Dépôt de la couche isolante Si_xN_y	79
4.3	Réalisation du premier niveau de cuivre	80
4.4	Dépôt de la résine de protection du cuivre	82
4.5	Dépôt de la résine 3D constituant les noyaux des solénoïdes	82
4.6	Réalisation du niveau métallique 3D	83
5	Caractérisation des transformateurs adaptés de 4 et 8 tours	84
6	Conclusion	88
7	Références	90
Chapitre III : Conception, fabrication et caractérisation d'une matrice de Butler 3D.....		93
1	Introduction	93
2	Justification du démonstrateur.....	93
2.1	Conséquence de la montée en fréquence sur le bloc antenne	93
2.2	Circuits de distribution de signaux vers un réseau d'éléments rayonnants.....	95
2.3	Matrice de Butler.....	98

3	Conception de la matrice de Butler 3D	100
3.1	Coupleur 3 dB et 90°	100
3.1.1	Optimisation du transformateur central du coupleur	101
3.1.2	Coupleur complet.....	105
3.1.3	Validation expérimentale	106
3.1.4	Comparaison avec l'état de l'art	107
3.2	Croisement	108
3.3	Déphaseur -45°	111
4	Intégration de la matrice et résultats simulés.....	114
4.1	Disposition des éléments	115
4.2	Résultats de simulation de la matrice de Butler complète	119
5	Caractérisation de la matrice de Butler.....	121
5.1	Méthode de caractérisation et d'épluchage des accès de mesure.....	122
5.2	Résultats de caractérisation	130
5.3	Comparaison avec l'état de l'art.....	134
6	Conclusion.....	135
7	Références	137
	Conclusion générale	141
	Liste des publications et conférences	143

Introduction générale

Depuis l'émergence des marchés de masse visant des applications sans fil grand public dans les années 90, le volume de données échangées par liaisons hyperfréquences ne cesse de croître. Le très gros volume de données à transmettre dans le cas de la téléphonie mobile et du développement rapide des applications liées à « l'Internet des objets » exige de très forts débits et conduit à une quasi-saturation du spectre radiofréquence dans la gamme 0,5-5 GHz. Ce constat pousse maintenant toute l'industrie derrière ces marchés à évoluer vers les fréquences millimétriques. On citera l'exemple de la 5G, dont le déploiement autour de 6 GHz les premières années devrait ensuite évoluer vers les bandes K (18-26,5 GHz) et Ka (26,5-40 GHz). Citons également le cas du WIFI pour lequel des fréquences situées autour de 60 GHz sont envisagées depuis plusieurs années.

Cette montée en fréquence n'est toutefois pas évidente pour deux raisons. La première concerne la propagation du signal qui s'affaiblit rapidement avec l'augmentation de la fréquence sous les effets cumulés de l'humidité et de l'oxygène présents dans l'atmosphère. Pour pallier cet affaiblissement, la solution la plus simple consiste à accroître la puissance d'émission, mais on se heurte très rapidement aux limites de ce qu'il est possible d'envisager avec les technologies actuelles et à venir. L'autre possibilité consiste à créer des systèmes d'émission-réception capables de focaliser les faisceaux hertziens, ce qui n'est pas la norme aux fréquences plus basses. Cette nouvelle contrainte accroît la complexité de l'électronique RF pour former les faisceaux et pour gérer les nouvelles bandes millimétriques, avec de nouvelles problématiques de coût, de consommation et d'encombrement.

Cela mène à la seconde raison, celle de la disponibilité de technologies capables de répondre à ces nouvelles contraintes. De nombreuses solutions technologiques sont proposées, mais elles ne parviennent pas encore à remplir tous les critères de performances exigés.

Du fait de l'utilisation massive de circuits actifs pour implémenter les différentes fonctions électroniques destinées aux applications numériques, les transistors bénéficient d'efforts technologiques importants visant à améliorer leurs performances et leur densité d'intégration. Ces efforts se manifestent en particulier par une course à la miniaturisation effrénée où les industriels ne cessent d'annoncer des finesses de gravure inédites. Les concepteurs disposent aujourd'hui de différentes filières technologiques pour l'intégration de transistors performants, qui peuvent être sélectionnées en fonction des caractéristiques recherchées pour les fonctions RF. De plus, les forts gains disponibles pour les transistors permettent de diminuer les largeurs de grille permettant ainsi d'augmenter la densité d'intégration. En revanche, les technologies d'intégration des composants passifs ont peu évolué. De plus, les solutions pour intégrer des

lignes distribuées et les topologies existantes pour implémenter des composants passifs localisés restent limitées à des intégrations planaires classiques. Il en résulte que les circuits passifs présentent des niveaux de pertes et des surfaces occupées en retrait par rapport aux critères requis par les applications RF. L'intégration distincte des composants passifs à l'aide d'une technologie dédiée de type « Integrated Passive Devices » (IPD) permet de relâcher ces contraintes et d'améliorer les performances RF, notamment à travers le choix d'une intégration en 3D de composants passifs.

La technologie IPD-3D développée au LAAS-CNRS depuis 2006 et par la société 3DiS Technologies exploite la troisième dimension pour atteindre une très forte compacité des circuits passifs sans compromettre les performances. Elle repose sur un procédé de fabrication faible coût et faible température, et permet d'intégrer des lignes d'interconnexions 3D et des solénoïdes. L'objectif de ce travail de thèse est de poursuivre le développement de cette technologie 3D pour pouvoir fabriquer des circuits passifs plus complexes composés de condensateurs et d'inductances, et d'évaluer son potentiel à répondre aux contraintes concernant les futures applications sans fil millimétriques.

Le premier chapitre de cette thèse débute par une présentation du contexte des applications sans fil en bandes millimétriques, et de l'importance de disposer de circuits passifs à faibles pertes et compacts pour pouvoir adresser ces applications. Nous exposons les technologies IPD qui existent pour intégrer des circuits passifs, en soulignant leurs avantages, mais aussi leurs limites. Nous introduisons ensuite la technologie 3D développée au LAAS-CNRS. Nous la positionnons parmi les solutions existantes en comparant les performances et la compacité de composants inductifs fabriqués par rapport à celles issues des autres technologies IPD. Les caractéristiques des procédés d'intégration de chaque technologie IPD sont également comparées. Nous mettons ainsi en évidence le très bon compromis atteint entre compacité et performances sur les composants inductifs et les degrés de liberté offerts par la technologie IPD-3D proposée, qui ont encouragé à poursuivre son développement.

Dans le deuxième chapitre, nous abordons la fabrication de condensateurs Métal-Isolant-Métal (MIM), en vue de les associer aux solénoïdes afin de fabriquer des circuits passifs. Il faut alors que le procédé d'intégration développé présente les mêmes caractéristiques que celui des lignes 3D, à savoir un coût de fabrication réduit et l'utilisation de procédés de fabrication standards et à faible température. Nous fabriquons un ensemble de condensateurs de test ainsi que deux transformateurs 3D adaptés sur 50Ω en utilisant des condensateurs. Nous vérifions ainsi à travers la fabrication de ces deux transformateurs adaptés que nous atteignons de bonnes performances et que les procédés d'intégration des condensateurs et des lignes 3D sont compatibles.

Nous utilisons ensuite la technologie pour proposer un circuit 3D fonctionnant aux fréquences millimétriques. En l'occurrence, la focalisation du faisceau émis à ces fréquences

est possible par l'intégration d'un réseau d'éléments rayonnants qui sont alimentés par des signaux RF dont la variation en phase permet d'agir sur le pointage de l'ensemble. Le contrôle de la phase des signaux peut être réalisé à l'aide d'un circuit de distribution de signaux passifs, tel que la matrice de Butler. C'est sur ce type de circuit que nous nous tournons pour notre démonstrateur. Le troisième chapitre est donc consacré à la conception, la fabrication et la caractérisation d'une matrice de Butler 3D, destinée à fonctionner entre 20 GHz et 30 GHz et à piloter quatre éléments rayonnants. Nous détaillons la conception de chaque composant de la matrice, et leur disposition pour construire le circuit final. Nous décrivons la procédure de caractérisation du circuit, qui permet d'accéder à l'ensemble des paramètres S de la matrice à partir de plusieurs mesures partielles. L'épluchage des huit accès de mesures est également détaillé. Nous terminons en présentant les performances de la matrice de Butler 3D fabriquée. Nous les comparons à celles obtenues pour des réalisations récentes de la littérature afin de voir les avantages apportés par la solution d'intégration 3D développée.

Chapitre I : Intégration des circuits passifs

1 Introduction

L'amélioration de la qualité d'expérience conduit à intégrer de nouvelles fonctionnalités au sein de nombreux appareils utilisés au quotidien, et dont les échanges de données sont basés sur des communications sans fil. Cela a conduit à une augmentation importante du volume de données transmises ces dernières années, qui a poussé les acteurs du marché des télécommunications à se tourner vers les bandes millimétriques pour les prochaines générations d'applications sans fil.

Pour exploiter ces bandes, des chaînes de traitements de l'information dédiées doivent être intégrées au sein des terminaux RF, qui sont souvent de petites tailles afin de rester légers et maniables. Afin de continuer à assurer un fonctionnement multibande et multistandard, l'appareil conserve aussi les chaînes de traitements des signaux transmis dans les bandes de fréquences déjà déployées en dessous de 6 GHz. Ainsi les concepteurs doivent fournir des solutions d'intégration de plus en plus complexes et avec une forte densité d'intégration. Par ailleurs, la plupart des applications visées dans les bandes millimétriques étant destinées au grand public, la fabrication des systèmes RF doit se faire à faible coût.

Afin de traiter correctement et rapidement les signaux transmis, les circuits intégrés dans la chaîne d'émission-réception doivent présenter des performances élevées. Il faut donc pouvoir intégrer des circuits passifs et des interconnexions qui présentent de faibles niveaux de pertes. De nombreuses solutions technologiques de type « Integrated Passive Devices » (IPD) sont actuellement développées pour tenter de répondre à ce besoin. La technologie IPD-3D développée au LAAS-CNRS et par la société 3DiS Technologies est une des solutions proposées, et permet d'intégrer à bas coût des composants inductifs tridimensionnels. Les travaux de thèse présentés ici ont porté sur la poursuite du développement technologique de cette filière IPD-3D afin de pouvoir intégrer des fonctions passives présentant un compromis innovant entre densité d'intégration et performance.

Dans la première partie de ce chapitre, nous détaillons le contexte des applications sans fil actuel et à venir. Nous montrons que la montée vers les fréquences millimétriques s'accompagne d'une complexification des fonctions électroniques du module émission-réception. Il faut disposer de composants passifs et d'interconnexions à très faibles pertes pour assurer le traitement convenable de l'information transmise/reçue au niveau de l'étage émission-réception des terminaux RF. Dans une deuxième partie, nous exposons les

solutions d'intégration « Integrated Passive Devices » IPD existantes pour pouvoir fabriquer des circuits passifs tentant de répondre à ces contraintes. Nous y soulignons les avantages et les inconvénients de l'utilisation de chacune des technologies. Nous terminons en présentant la technologie IPD-3D qui est développée depuis quelques années au LAAS-CNRS et par la société 3DiS Technologies. Nous la comparons aux solutions d'intégration IPD présentées par la littérature. Cette étape est importante, car elle permet de mettre en avant les avantages de la technologie proposée, et justifie l'intérêt de continuer son développement, qui constitue le cœur de cette thèse.

2 Contexte

2.1 Évolution des applications sans fil

Le développement des moyens de télécommunications visant les marchés de masse a favorisé leur utilisation dans de nombreux domaines d'applications. L'amélioration de la qualité d'expérience « QoE » pousse les industriels à inclure dans les terminaux sans fil un nombre croissant de fonctionnalités et des réseaux de capteurs afin d'améliorer l'interaction entre les personnes et leur environnement. Le smartphone est par exemple devenu un appareil à usage multiple. On y trouve une grande diversité de services associés aux communications sans fil comme le partage de données utilisant le standard WIFI, 2G, 3G, 4G++, Bluetooth, la géolocalisation (GPS, GLONASS) ou encore le paiement sans contact (NFC). Ces différents standards fonctionnent souvent sur plusieurs bandes de fréquences en fonction de leurs évolutions et pour rester compatibles avec toutes les allocations spectrales internationales, notamment. Par exemple, le WIFI est déployé pour des fréquences autour de 2,4 GHz et de 5,8 GHz. Pour que le smartphone gère l'ensemble de ces bandes, il faut intégrer une chaîne de communication pour chaque bande exploitée. Par ailleurs, l'internet des objets « IoT » (« Internet of Things ») se base sur l'utilisation intensive de transmissions sans fil pour assurer les communications au sein de réseaux complexes constitués de capteurs et d'appareils interconnectés. Ici aussi, il faut donc implanter les systèmes de communication et de traitement de l'information au sein d'une multitude d'objets.

À terme, les communications sans fil associées à toutes ces applications vont engendrer un flux de données de plusieurs dizaines de Gigabits par seconde [1] [2]. Or, la saturation des bandes actuelles, inférieures à 6 GHz, ne peut permettre de supporter de tels débits [2]. En considérant uniquement les communications en téléphonie mobile, la croissance du flux de données augmente de 50 % chaque année [1].

La montée en fréquence est donc devenue incontournable pour pouvoir disposer de largeurs de bandes suffisantes pour la transmission de données sans fil avec de forts débits, d'où le grand intérêt porté aux bandes millimétriques comprises entre 20 GHz [1] [3] et 100 GHz [2]. Les

principales applications, dont le déploiement est prévu sur ces bandes, concerneront les prochaines générations de télécommunications par satellites, la téléphonie mobile (5G) ou encore les réseaux locaux et personnels. L'utilisation des bandes dans cette gamme de fréquences devrait permettre d'assurer des débits au moins dix fois supérieurs aux débits actuels [4]-[7] avec des latences proches ou inférieures à la milliseconde [2] [7]. Par exemple, les débits associés à la future téléphonie 5G seront supérieurs à 1 Gb/s en n'importe quelle localisation [4]-[8].

Cependant, la montée en fréquence s'accompagne d'une atténuation du signal en espace libre au-delà de 10 GHz liée à l'humidité et à l'oxygène présents dans l'air (Figure I-1) [2]-[5] [9].

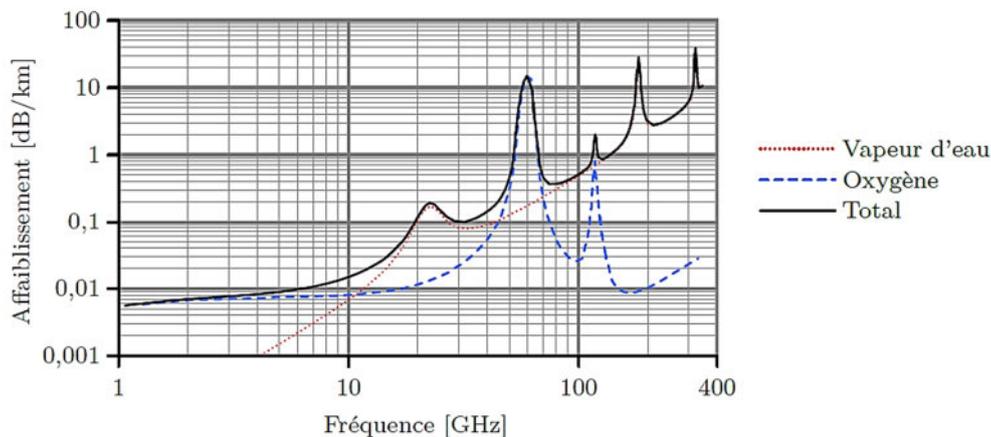


Figure I-1 : Affaiblissement dans l'atmosphère d'une onde électromagnétique [10].

Ce phénomène est particulièrement important dans la bande 20-30 GHz [1] [2] [4], avec un pic situé à 24 GHz [2]. Par exemple, les pertes en transmission à 28 GHz, toutes conditions environnementales confondues, sont plus élevées de 20 dB, en moyenne, que celles de la bande « 4G LTE 41 » située à 2,6 GHz [4]. Cela conduit à réviser le fonctionnement des modules émission-réception pour pouvoir pallier efficacement cet affaiblissement [11]-[14]. Une solution possible, que nous abordons dans le troisième chapitre, consiste à utiliser plusieurs éléments rayonnants pour former des faisceaux directs et émettre la majeure partie de la puissance dans un angle solide réduit (« beamforming ») [1] [3]-[5].

Finalement, le déploiement de nouvelles bandes aux fréquences millimétriques et la mise en place de protocoles de communications multipoint devraient permettre d'assurer une qualité de service en adéquation avec les contraintes posées par les prochaines générations d'applications sans fil.

2.2 Performances requises pour les circuits passifs

Afin de pouvoir assurer un traitement convenable des signaux émis ou reçus, les circuits MMIC des chaînes de communication doivent présenter des niveaux de performances élevés.

Cela se traduit par un fort gain pour les composants actifs, et de faibles pertes en transmission pour les composants passifs et les lignes d'interconnexions. De plus, les terminaux RF doivent rester ergonomiques. Ils sont souvent de petites tailles, pour être légers et facilement transportables. Il faut alors pouvoir intégrer dans ces appareils, en maintenant leur taille, les nouveaux systèmes assurant les communications en bandes millimétriques. Les circuits MMIC doivent donc répondre à une contrainte en compacité importante. Enfin, la fabrication des circuits doit être réalisée à faible coût, étant donné que la plupart des applications s'adressent au grand public.

Grâce aux nombreux travaux d'optimisation menés sur les circuits actifs, nous disposons aujourd'hui de différentes filières technologiques pour l'intégration de transistors performants qui peuvent être sélectionnées en fonction des caractéristiques recherchées pour la fonction RF. De plus, les forts gains des transistors permettent de réduire les largeurs de grille et autorisent une plus forte densité d'intégration.

L'évolution des composants passifs n'a pas été aussi marquée. Les dimensions des lignes utilisées pour concevoir les circuits passifs à constantes distribuées dépendent de la longueur d'onde associée à la fréquence de travail. Cela conduit à des surfaces occupées importantes, et engendre des pertes RF élevées qui pénalisent l'ensemble des circuits. De plus, compte tenu des difficultés technologiques d'intégration, les solutions pour intégrer des lignes distribuées dans un espace réduit et les topologies existantes pour implémenter des composants passifs localisés ont peu évolué, et restent surtout limitées à des intégrations planaires classiques. Par conséquent, les performances RF des circuits passifs et leurs densités d'intégration sont le plus souvent pénalisantes, et ce quel que soit le type d'intégration envisagé.

Les composants passifs sont pourtant indispensables, car ils sont à la base de l'ensemble des circuits pour assurer les fonctions d'adaptation, de filtrage, de distribution des signaux... Ils sont aussi nécessaires dans la construction de circuits utilisant des composants actifs. Ils doivent donc susciter une attention particulière pour permettre de maintenir un haut niveau de performance des circuits et garantir un fonctionnement fiable de l'ensemble des fonctions des systèmes RF.

Cette problématique se rencontre au niveau de l'étage d'émission-réception des terminaux RF. La Figure I-2 montre l'exemple d'un module d'émission-réception intégré dans un smartphone 5G. L'exploitation des bandes millimétriques conduit à une forte modification des deux modules entourés en bleu et en rouge.

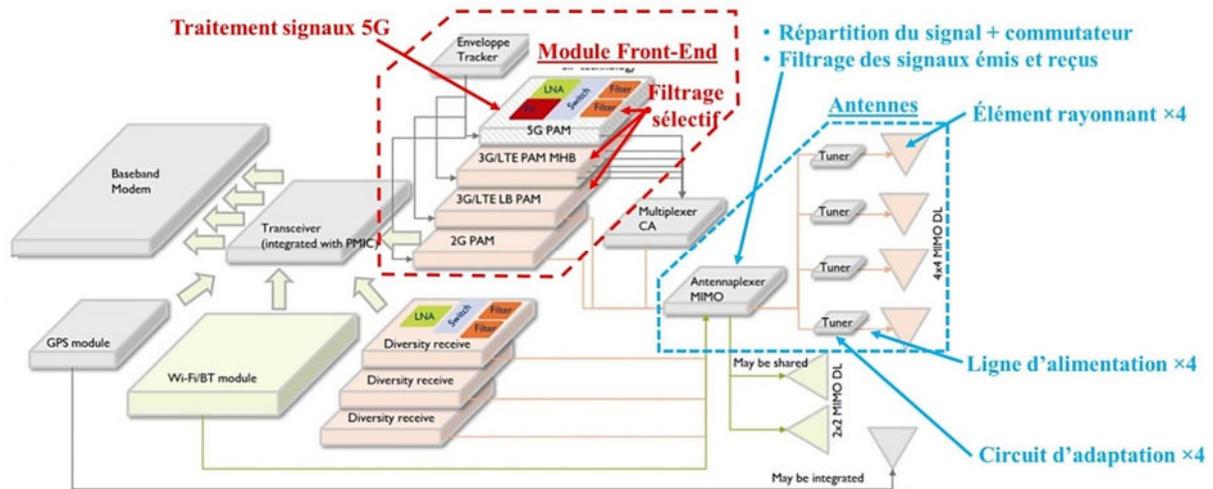


Figure I-2 : Architecture front-end d'un smartphone 5G [14].

La partie antenne subit des évolutions importantes (en bleu sur la Figure I-2), puisque l'utilisation d'une antenne unique est abandonnée au profit de l'intégration de plusieurs éléments rayonnants pour former un faisceau directif. Pour assurer le dépointage du faisceau, un dispositif passif (répartiteur) permet de distribuer le signal émis aux différents éléments (cas des smartphones) en contrôlant son amplitude et sa phase. En plus des faibles pertes en transmission, les composants passifs utilisés doivent permettre un bon équilibre en amplitude et une très faible dispersion en phase entre les différentes sorties du répartiteur. Les entrées du répartiteur doivent aussi être isolées pour éviter la dégradation des signaux en amont. Les composants passifs utilisés dans les circuits d'adaptation (« tuner ») et les lignes d'alimentation des antennes (« feedline ») placés avant chaque élément rayonnant doivent aussi s'accompagner de faibles pertes. À ce niveau, disposer d'une technologie permettant d'intégrer des connectiques de faibles longueurs pour les lignes d'alimentation permet de minimiser les pertes en transmission et améliore significativement la compacité du bloc antenne.

Le module « front-end », entouré en rouge sur la Figure I-2, et assurant le filtrage des signaux reçus/émis et leur amplification est aussi modifié. Il faut dans un premier temps inclure les chaînes de traitements relatives aux bandes millimétriques. Au total, le module « front-end » doit être capable de traiter un ensemble de signaux dans plus de cinquante bandes de fréquences [11] [12]. La proximité de ces bandes nécessite de multiplier les circuits de filtrages pour les discrétiser précisément et éliminer les perturbations inter-bande. Des filtres avec une très forte sélectivité sont choisis pour garantir une grande pureté spectrale des signaux. Les performances des filtres jouent aussi un rôle important pour conserver un fonctionnement en régime linéaire des amplificateurs (transistors CMOS) du module « front-end » à haute fréquence [1].

Nous voyons donc que le fonctionnement de l'étage d'émission-réception est conditionné par l'utilisation de circuits passifs aux performances élevées. Par ailleurs, des circuits ont été progressivement rajoutés dans ces modules afin de garantir une compatibilité avec les différents

standards de communication. Il faut maintenant y rajouter les fonctions RF associées à l'exploitation des bandes millimétriques. Afin de limiter l'encombrement dans les terminaux, il faut donc être en mesure de proposer des solutions d'intégration encore plus compactes. Ici encore, les composants passifs sont largement concernés, puisqu'ils occupent la majorité des surfaces des circuits MMIC.

Pour finir, l'intégration des interconnexions entre les circuits constituant les systèmes RF doit aussi susciter une attention importante, en raison de l'augmentation des pertes en transmission avec la fréquence. Ce phénomène est souligné par les auteurs de [15] et [16], qui mettent en évidence les pertes en transmission élevées engendrées par l'utilisation de fils microsoudés (Figure I-3(a)). Par exemple, les pertes en transmission de trois fils microsoudés disposés en parallèle excèdent 0,5 dB à 50 GHz [15]. Dans [16], ce sont plusieurs dizaines de fils microsoudés qui sont intégrés, ce qui aboutit à des pertes en transmission qui excèdent 0,5 dB à partir de 23 GHz. Ils montrent alors qu'intégrer des interconnexions de longueurs réduites permet de limiter significativement ces pertes. Les fils microsoudés sont remplacés par des ponts à air dans [15] (Figure I-3(b)) ou des billes microsoudées dans [16] (Figure I-3(c)). Les pertes en transmission pour les deux types d'interconnexions restent inférieures à 0,5 dB jusqu'à 85 GHz.

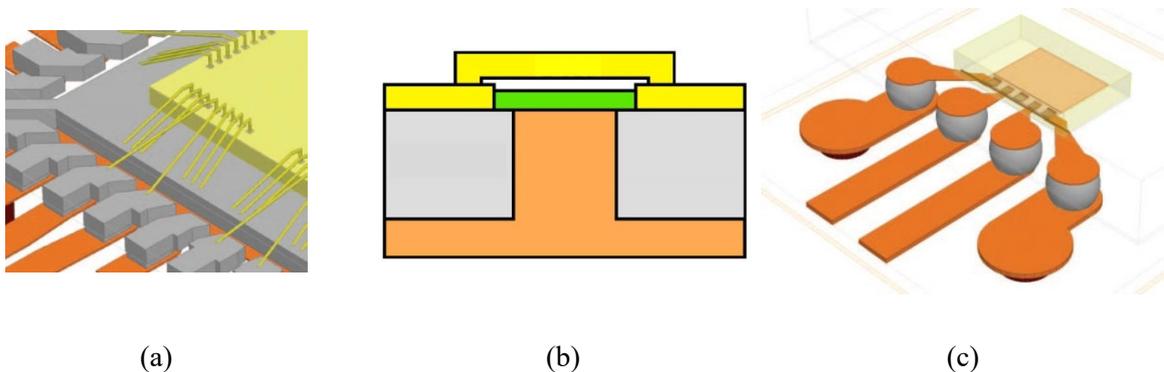


Figure I-3 : (a) Interconnexions par fils microsoudés [16], (b) par un pont à air [15] et (c) par billes microsoudées [16].

En conclusion, disposer de circuits passifs et d'interconnexions à faibles pertes est incontournable pour pouvoir adresser les futures applications sans fil. Pour répondre aux contraintes de performances, de compacité et de coût, de nombreuses solutions technologiques sont proposées afin de fabriquer des circuits passifs et des lignes de transmission répondant à ces critères. Nous présentons dans la partie suivante les techniques d'intégration de composants passifs et d'interconnexions existantes, pour pouvoir atteindre cet objectif.

3 Intégration de circuits passifs performants

3.1 Rappel des principaux phénomènes de pertes dans les lignes

Il existe différents phénomènes de pertes pour les lignes de transmission, à l'origine des limitations des performances des circuits passifs intégrés et des interconnexions : les pertes résistives dans les métallisations, les pertes diélectriques liées à la résistivité finie du substrat, les pertes par rayonnement, ou encore les pertes par couplage. Nous rappelons brièvement dans cette partie les différents phénomènes associés aux pertes résistives et diélectriques. Ces pertes sont plus ou moins élevées en fonction de la technologie et des techniques d'intégration utilisées. Nous n'abordons pas les pertes par rayonnement et par couplage, qui dépendent davantage de la topologie des lignes, de leurs dimensions et de leur éloignement du plan de masse. S'assurer que ces dernières pertes sont de niveaux limités revient au concepteur, une fois la technologie choisie.

3.1.1 Pertes dans les métallisations

3.1.1.1 Résistivité du métal

Tout conducteur métallique possède une conductivité finie qui entraîne des pertes d'énergie par effet Joule. Ces pertes sont directement liées à la résistivité ρ plus ou moins élevée du métal, et aux dimensions du composant. Elles peuvent se traduire par la résistance R_{DC} :

$$R_{DC}(\Omega) = \rho \frac{l}{S} = \rho \frac{l}{t \cdot w} \quad (\text{I-1})$$

où l est la longueur du conducteur, S sa section, t son épaisseur, et w sa largeur.

3.1.1.2 Effet de peau

Lorsqu'un conducteur est parcouru par un courant alternatif $i(t)$, un champ magnétique $H(t)$ est généré autour du conducteur. Du fait de la conductivité finie du métal, une partie du champ magnétique est présente à l'intérieur du conducteur, et induit la création de courants de Foucault. Il en résulte une modification de la répartition de la densité de courant dans la section du conducteur. En effet, les courants de Foucault vont circuler dans le sens opposé à celui du courant principal au centre du conducteur, et dans le même sens en périphérie. Le courant résultant voit son amplitude diminuée au centre du conducteur et circule donc majoritairement à la périphérie de ce dernier, comme mis en évidence par le graphique de la Figure I-4.

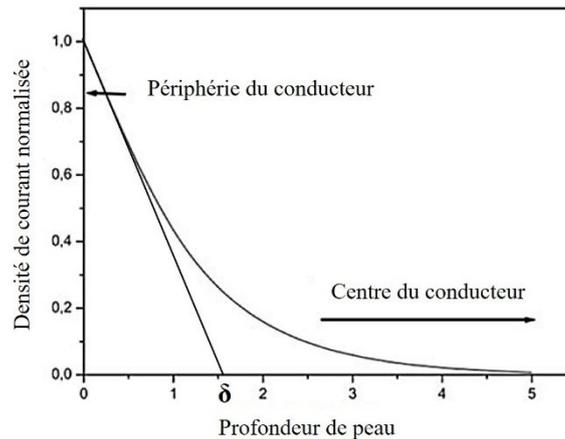


Figure I-4 : Densité de courant en fonction de la distance dans la section du conducteur.

Cette répartition du courant permet de définir une grandeur nommée « épaisseur de peau » δ , qui quantifie la profondeur du conducteur (et par extension la section du conducteur) dans laquelle la majorité du courant est concentrée. Sa valeur est définie par :

$$\delta = \sqrt{\frac{\rho}{\pi f \mu_0 \mu_r}} \quad (I-2)$$

où ρ est la résistivité du métal constituant le conducteur ($1,7 \times 10^{-8} \Omega.m$ pour le cuivre), f est la fréquence du signal (Hz), μ_0 la perméabilité magnétique du vide ($4\pi \times 10^{-7} H.m^{-1}$) et μ_r la perméabilité magnétique relative du métal (1 pour le cuivre). L'épaisseur de peau définit une nouvelle section du conducteur, ce qui se traduit par une résistance dynamique R_{AC} dont la valeur augmente avec la fréquence. La valeur de cette résistance R_{AC} peut être définie comme $R_{AC} = \alpha \times R_{DC}$, avec α un coefficient lié au conducteur qui dépend de la fréquence et suit une variation en \sqrt{f} .

3.1.1.3 Effet de proximité

L'effet de proximité résulte de l'interaction entre plusieurs conducteurs proches parcourus chacun par un courant. Pour chaque conducteur, les champs magnétiques créés par les conducteurs voisins s'ajoutent ou se retranchent à celui déjà présent à l'intérieur du conducteur. Il en résultera une augmentation ou une diminution de la résistance dynamique R_{AC} , respectivement.

3.1.2 Pertes dans le substrat

3.1.2.1 Pertes par induction magnétique

Le champ magnétique créé par la circulation d'un courant alternatif dans un conducteur induit la création d'un courant image dans le substrat. Ce phénomène est illustré dans le cas d'un enroulement inductif sur le schéma de la Figure I-5.

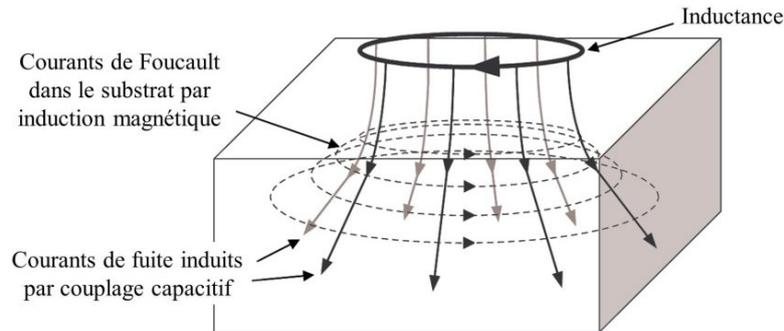


Figure I-5 : Représentation des pertes diélectriques dans le substrat [17].

Ce courant de Foucault s'oppose à celui du conducteur, et génère un champ magnétique s'opposant au champ principal. La conséquence est notamment une diminution de la valeur d'inductance du conducteur. De plus, de l'énergie magnétique est convertie en chaleur par effet Joule dans le substrat. Ce phénomène est d'autant plus important que la résistivité du substrat diminue.

3.1.2.2 Pertes électriques

L'énergie stockée sous forme électrique dans un ruban métallique est couplée avec le substrat par l'intermédiaire d'un condensateur équivalent. Les armatures de ce condensateur sont constituées par le ruban métallique et le plan de masse inférieur situé sous le substrat. Le substrat constitue l'isolant. Il en résulte des courants de conduction dans le substrat qui sont engendrés par le déplacement des charges vers la masse la plus proche. (Figure I-5).

3.1.3 Facteur de qualité

Toute ligne de transmission est caractérisée par sa constante de propagation γ et par son impédance caractéristique Z_0 . L'expression de la constante γ est :

$$\gamma = \alpha + j\beta \quad (\text{I-3})$$

où β est la constante de phase associée à la longueur d'onde guidée λ_g dans le conducteur ($\lambda_g = 2\pi/\beta$). α est l'atténuation du signal dans le conducteur due aux pertes diélectriques et aux pertes du conducteur citées précédemment [18]. Dans l'idéal, une ligne sans pertes présente un coefficient d'atténuation α nul. Les performances d'une ligne de transmission sont généralement quantifiées à travers la valeur du coefficient de qualité Q , défini par [19] :

$$Q = \frac{\beta}{2\alpha} \quad (\text{I-4})$$

Une ligne avec moins de pertes présentera un coefficient de qualité plus élevé. La performance des composants passifs et des interconnexions est souvent évaluée à l'aide de ce critère. Cela permet par extension d'évaluer la qualité de la solution technologique développée.

3.2 Limitations des composants passifs intégrés sur une puce en silicium MOS

Pour obtenir un système RF, une première option est d'intégrer les circuits passifs et actifs sur une même puce. Le système obtenu est très compact et les connectiques entre les circuits sont de faibles longueurs, ce qui permet une transmission rapide du signal.

Lorsqu'une intégration de type système sur puce (« System-On-Chip » (SoC)) est choisie, les niveaux métalliques présents dans le BEOL (« Back-End Of Line ») des puces MOS sont exploités pour intégrer tous les composants passifs du système. Ces niveaux sont représentés dans le schéma de la Figure I-6.

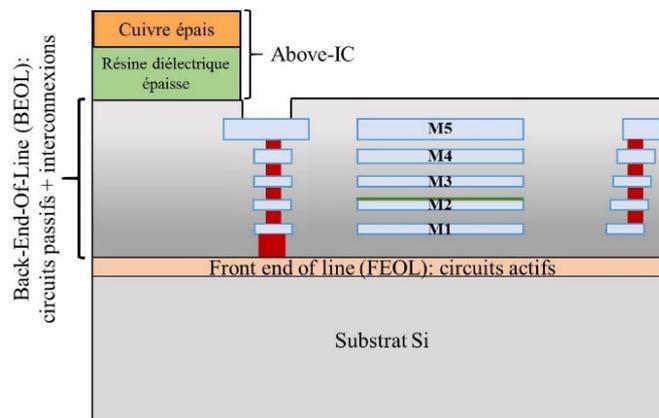


Figure I-6 : Niveaux d'intégration sur une puce BiCMOS.

L'utilisation d'un substrat silicium de faible résistivité est bénéfique pour maintenir les performances des composants actifs intégrés, car elle permet de limiter le déclenchement de thyristors parasites entre les portes logiques CMOS intégrées (phénomène de « latch-up »). La résistivité du silicium se situe aux alentours de 0,01 $\Omega \cdot \text{cm}$ pour les filières CMOS haute densité et de 10 $\Omega \cdot \text{cm}$ pour les filières BiCMOS RF [20]. Mais dans le cas des composants passifs, la résistivité médiocre du silicium engendre des pertes diélectriques conséquentes.

Pour limiter ces pertes, les composants passifs et les interconnexions sont généralement intégrés sur le dernier niveau de métal disponible dans le BEOL des puces CMOS, qui est le plus éloigné du substrat silicium. De plus, l'épaisseur de métal disponible est plus élevée que pour les couches inférieures, ce qui laisse plus de liberté pour optimiser la section effective des

lignes conductrices dans laquelle le courant circule. L'effet recherché par cette optimisation est de réduire les pertes résistives des pistes pour améliorer leurs coefficients de qualité. De plus, augmenter l'épaisseur pour diminuer la largeur de ligne permet de réduire davantage les pertes diélectriques [21], en particulier lorsque des lignes coplanaires sont intégrées. Mais malgré ces leviers d'optimisation, les performances des composants passifs restent faibles, en particulier pour les inductances mobilisant de fortes longueurs de lignes. Les inductances planaires intégrées sur une puce CMOS présentent des coefficients de qualité maximum Q_{max} qui excèdent rarement 10 à des fréquences de quelques gigahertz [22]-[24].

Certaines solutions existent pour améliorer les performances des lignes des composants passifs à constantes distribuées et des lignes d'interconnexions intégrées dans un SoC. Une première repose sur l'utilisation de couches disposant de résistivités plus élevées que le silicium afin de réduire davantage les pertes diélectriques. Il est par exemple possible d'utiliser des couches épitaxiées N-épi faiblement dopées (résistivité ρ entre 1 et 30 $\Omega.cm$), qui sont déposées sur un substrat massif fortement dégénéré (résistivité ρ entre 0,01 et 0,02 $\Omega.cm$) [25] [26]. D'autres concepteurs disposent des plans de masse structurés sous les lignes afin de confiner le champ électrique dans l'épaisseur de la couche située entre les lignes et ce plan de masse [27]. Pour réduire les pertes résistives, il est possible d'utiliser plusieurs couches métalliques présentes dans le BEOL pour intégrer des lignes plus épaisses. Enfin, il est également possible de recourir à des techniques de miniaturisation des dimensions des lignes. En réduisant la surface des pistes métalliques au contact du substrat, il en résulte une diminution des pertes diélectriques. Cette miniaturisation présente également l'avantage de réduire les surfaces occupées sur les puces et par suite son coût global. Il existe plusieurs manières de réduire les dimensions d'une ligne intégrée. Nous pouvons citer :

- La synthèse par éléments localisés, qui consiste à remplacer en partie ou totalement une ligne de transmission par un réseau électrique équivalent (en π ou en T), constitué par des éléments inductifs (inductances spirales) et/ou capacitifs (stubs, condensateurs...) de taille réduite. La ligne est raccourcie, car les éléments localisés ajoutés augmentent l'inductance L et la capacité C de cette dernière, ce qui a pour effet de retarder la propagation du signal qui y circule ($\lambda_g = \frac{1}{f} \times \frac{1}{\sqrt{LC}}$ ou λ_g est la longueur d'onde guidée dans le conducteur et f la fréquence de travail) [18]. De forts degrés de miniaturisation sont obtenus pour les circuits passifs (semi-localisés ou localisés) en utilisant ce type d'intégration [28]-[30]. Par exemple, le coupleur à lignes couplées de la (Figure I-7(a)) est intégré sous la forme d'un transformateur composé de deux inductances spirales couplées. Il occupe une surface réduite de plus de 90 % par rapport à un coupleur conventionnel intégré sur le même type de substrat et fonctionnant à plus haute fréquence [31]. Néanmoins, la synthèse par éléments localisés peut aboutir à des bandes de fréquences de fonctionnement réduites par rapport aux topologies classiques basées sur des lignes distribuées. En effet, plusieurs facteurs peuvent accroître le niveau de pertes,

comme la contribution des éléments parasites associés à chaque composant localisé, les pertes liées aux discontinuités ou bien encore à une désadaptation au niveau des connexions entre les différents composants ;

- L'exploitation du mode d'ondes lentes. Ce mode de propagation repose sur l'utilisation d'un plan de masse structuré par des motifs périodiques, placé entre la ligne et le substrat (Figure I-7(b)). La ligne est généralement intégrée sur le niveau métallique le plus élevé (M5 sur la Figure I-6 par exemple) et le plan de masse sur un niveau inférieur [32] [33]. Le champ électrique est confiné dans la couche diélectrique séparant le plan de masse et les lignes. Ce type de structure permet d'augmenter artificiellement la permittivité diélectrique effective du substrat, ce qui accroît la valeur de la constante de phase β de la ligne. La longueur physique de la ligne l est réduite pour une même longueur électrique θ ($\theta = \beta \cdot l$) [34] [35]. L'utilisation de cette technique permet de réduire de plus de deux fois les dimensions des circuits, en moyenne [36] [37].

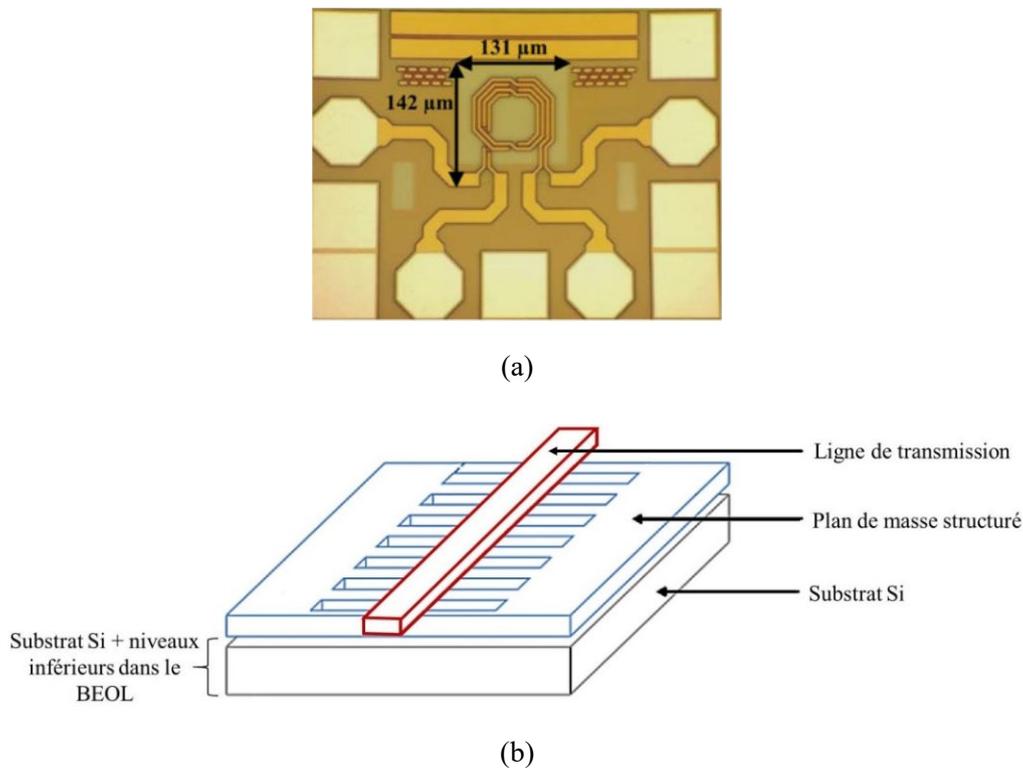


Figure I-7 : Techniques de miniaturisation de lignes sur un SoC en utilisant (a) une synthèse des lignes avec des éléments localisés [28], ou (b) des lignes à onde lente [32].

Enfin, une dernière solution consiste à implémenter les circuits passifs au-dessus de la puce MOS en effectuant une intégration de type « above-IC » (littéralement « au-dessus du circuit intégré ») (Figure I-6). On sort ici du cadre d'intégration d'un SoC, où les composants sont intégrés exclusivement dans les couches présentes dans le BEOL des puces. Cette option contraint cependant de rajouter des étapes supplémentaires en plus de celles de fabrication des

puces, mais aux bénéfices de performances RF plus élevées pour les circuits passifs. L'intégration « above-IC » consiste souvent à intégrer les composants passifs sur une couche épaisse de résine diélectrique permanente (plusieurs dizaines de micromètres), qui est déposée sur les puces MOS (Figure I-6). Les résines utilisées sont de type polyimide [38], BCB (Benzocyclobutene) [39] ou époxy [40] (Figure I-8). Il est alors possible d'intégrer des épaisseurs de métal plus élevées pour diminuer les pertes résistives. Des plans de masse structurés sont souvent implémentés sous les composants afin de confiner le champ électrique dans la couche de résine située entre le plan de masse et les circuits passifs [40] [41], et ainsi limiter les pertes diélectriques.

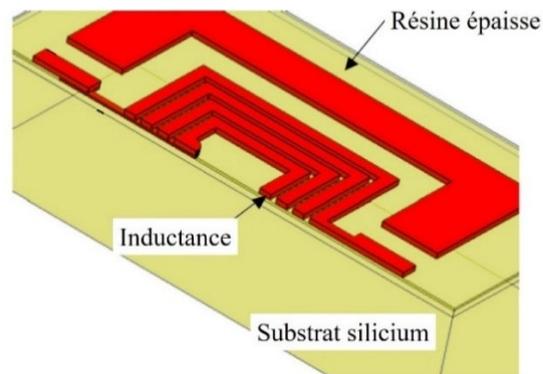


Figure I-8 : Représentation d'une intégration « above-IC » d'une inductance sur une couche de résine épaisse [39].

Nous faisons figurer sur le graphique de la Figure I-9 les coefficients de qualité maximaux Q_{max} extraits de mesures sur des inductances planaires intégrées sur des puces en silicium MOS par les procédés cités précédemment.

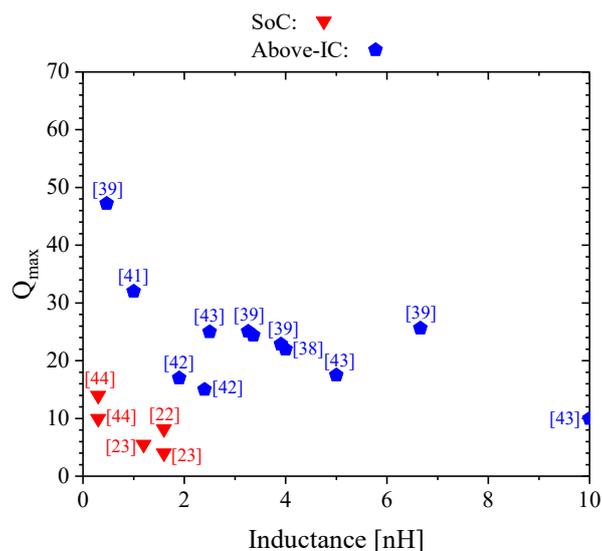


Figure I-9 : Coefficient de qualité maximum Q_{max} d'inductances planaires intégrées sur une puce en silicium MOS.

La combinaison d'une ou de plusieurs solutions technologiques permet généralement d'arriver à des coefficients de qualité maximum Q_{max} jusqu'à 25, mais difficilement au-delà. Les coefficients les plus élevés sont atteints pour des intégrations « above-IC », ce qui implique donc d'ajouter des étapes au procédé de fabrication initial de la puce, augmentant ainsi le temps et le coût de fabrication. Par ailleurs, les dimensions importantes des composants passifs, en particulier inductifs, contribuent à augmenter la surface d'intégration nécessaire sur les puces et donc leur coût.

Les systèmes RF sur puce MOS sont largement utilisés pour des petits appareils compacts et faible coût fonctionnant à courte portée, qui sont notamment utilisés pour les applications grand public ou les communications sont assurées par les standards WIFI, Bluetooth, ou Zigbee. Au-delà, les performances des composants passifs intégrés dans ces systèmes sont trop pénalisantes pour assurer un fonctionnement acceptable des systèmes RF. Les concepteurs se tournent alors vers l'utilisation de filières « Integrated Passive Devices » (IPD) pour intégrer les composants passifs critiques à l'extérieur des puces en silicium.

3.3 Intégrations IPD dédiées

Les filières « Integrated Passive Devices » (IPD) regroupent un ensemble de solutions d'intégration permettant d'implémenter des fonctions passives sur des substrats dédiés.

Il devient possible d'utiliser des épaisseurs de métal plus importantes que celles disponibles dans le BEOL des technologies MOS, ce qui laisse plus de liberté sur l'optimisation de la section conductrice effective des lignes, en vue d'accroître leur coefficient de qualité [20] [21]. Cela permet également d'adresser des applications de puissance.

Les substrats utilisés pour ce type d'intégration présentent tous un angle de pertes $\tan \delta$ faible ($\tan \delta = \frac{\varepsilon''}{\varepsilon'} = \frac{1}{\rho \cdot \varepsilon \cdot \omega}$ où ρ est la résistivité du matériau, ε est sa permittivité, et ω est la pulsation de travail). Cette caractéristique est notamment liée à leur résistivité élevée, qui est bien supérieure à celle du silicium des technologies MOS, ce qui permet de limiter les pertes diélectriques des composants passifs intégrés. De plus, les substrats utilisés présentent souvent des permittivités plus faibles que celle du silicium (pour le silicium, $\varepsilon_r=11,7$ [18] [20] [45]). Les composants passifs intégrés en utilisant une filière IPD présentent des fréquences de résonance plus élevées. En revanche, les dimensions (largeurs et longueurs) des lignes intégrées sont plus grandes pour des impédances caractéristiques et des constantes de phase identiques. Il faut alors que les technologies IPD autorisent le développement de solutions d'intégration suffisamment compactes.

Nous présentons dans cette partie les différentes intégrations IPD existantes. Nous introduisons d'abord les substrats faibles pertes utilisés pour ces intégrations. Nous verrons que les lignes de transmission et les composants intégrés sous forme planaire sur ces substrats présentent des performances élevées. Puis nous détaillons ensuite les technologies d'intégration

IPD qui existent pour intégrer des composants passifs en 3D. Enfin, nous nous intéressons à l'assemblage des puces (passives et actives) pour construire le système RF complet. Nous verrons comment il est possible d'utiliser les couches de redistribution, qui servent à assembler les puces et à intégrer leurs interconnexions, pour intégrer aussi des composants passifs.

3.3.1 Substrats pour l'intégration IPD

3.3.1.1 Verre

Le verre présente un angle de pertes autour de 0,003 et sa permittivité diélectrique relative se situe autour de 5 [46] [47]. L'utilisation du verre permet d'intégrer des lignes à très faibles pertes comme montré dans les travaux présentés en [48] et [49]. Les auteurs de [48] comparent notamment les mesures en transmission réalisées entre 0,1 GHz et 20 GHz sur des lignes coplanaires et des lignes micro-rubans qui sont intégrées sur du verre et sur du silicium. Les pertes en transmission des deux types de lignes intégrées sur le verre n'excèdent pas 0,6 dB sur toute la bande, alors que celles obtenues pour les lignes intégrées sur du silicium sont supérieures à 0,9 dB dès 1 GHz. De même, la référence [49] présente une ligne coplaire de 200 μm de longueur intégrée sur verre pour laquelle les pertes en transmission sont inférieures à 0,5 dB à 10 GHz. Le même type de ligne intégrée sur silicium présente des pertes en transmission de 2 dB à la même fréquence.

Les bonnes performances obtenues avec le verre sont aussi démontrées à travers l'intégration de nombreux circuits mobilisant de fortes longueurs de ligne inductives, comme les inductances [50], les coupleurs [51] ou les filtres [47] [52]. Les auteurs de [50] montrent notamment que l'intégration d'une inductance spirale de 1,6 nH sur du verre permet d'atteindre aisément des facteurs de qualité maximum de 45, bien supérieurs à ceux d'inductances de valeurs proches intégrées dans un SoC qui n'excèdent pas 20 [22] [23]. Pour maintenir une forte densité d'intégration tout en maintenant les bonnes performances pour les circuits, les longueurs et les largeurs des lignes sont souvent réduites en utilisant les stratégies de miniaturisation énoncées dans la partie 3.2 (éléments localisés, méandres...). Les branches du coupleur de la Figure I-10 sont intégrées par un réseau localisé en T , ce qui permet de réduire sa surface par un facteur 3 par rapport à un coupleur conventionnel [51].

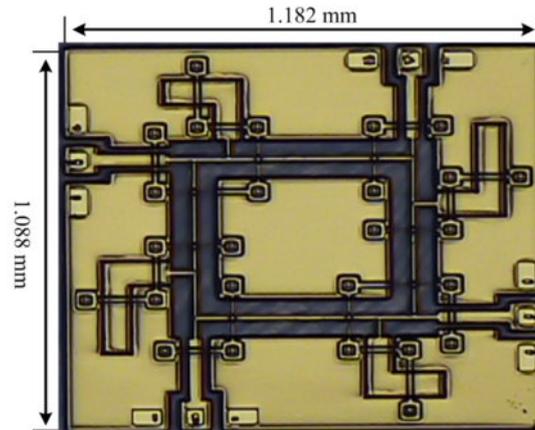


Figure I-10 : Coupleur 3 dB intégré sur verre, dont les branches sont constituées par des lignes artificielles coplanaires basées sur un modèle en T asymétrique [51].

Au-delà de ses bonnes performances diélectriques, le verre suscite un fort attrait du fait de son faible coût de fabrication [48] [53]-[55]. Des panneaux avec une large gamme d'épaisseurs (épaisseur minimum de 50 μm [56]) et de largeurs différentes peuvent être fabriqués [48] [55] [56]. Enfin, la fabrication de panneaux larges, de dimensions supérieures à 50 cm, facilite l'utilisation du verre à l'échelle industrielle [55].

3.3.1.2 Céramique

Les céramiques utilisées pour les applications haute fréquence présentent un angle de perte se situant autour de 0,001 [57]-[59]. La permittivité diélectrique diffère selon la composition des céramiques, en particulier en fonction du pourcentage de la phase de verre par rapport à la phase cristalline (dont les constituants diffèrent d'une céramique à l'autre) [60].

Tout comme le verre, d'excellentes performances sont relevées pour les lignes intégrées sur ce type de substrat. Dans [61], les mesures entre 40 GHz et 70 GHz de lignes micro-rubans et coplanaires entre 3 mm et 4 mm de longueur ont permis de relever des pertes en transmission inférieures à 1 dB jusqu'à 55 GHz. [62] et [63] soulignent également la faible dispersion en phase obtenue pour les lignes intégrées sur des substrats céramiques, ce qui justifie le grand intérêt de ces technologies notamment pour des applications radars ou dans des systèmes de déphasage (lignes à retard, antennes...).

Cependant, ces excellentes performances RF sont en partie dues aux larges sections des métallisations utilisées, qui contribuent à réduire les pertes résistives des pistes. Lorsqu'un seul niveau métallique est disponible, les lignes sont souvent intégrées sous forme de méandres afin de réduire les surfaces occupées [62]-[64]. Dans [65], un coupleur est aussi intégré en utilisant des lignes artificielles basées sur un réseau en T.

3.3.2 Technologies d'intégration 3D

Dans la majorité des cas, les contraintes de fabrication liées aux technologies IPD commerciales limitent le choix des lignes et circuits inductifs aux topologies planaires. Leur intégration est faible coût et le procédé de fabrication extrêmement simple et rapide. Mais les composants occupent des surfaces importantes.

Lorsqu'un seul de niveau de métal est disponible, les inductances sont intégrées sous forme de méandres afin de réduire les surfaces occupées. Cependant, les couplages mutuels négatifs entre les lignes tendent à réduire la valeur d'inductance par unité de longueur, et obligent alors à intégrer des lignes plus longues.

Lorsque la technologie permet d'utiliser deux couches métalliques, les inductances sont souvent intégrées sous la forme de spirales. Or, cette topologie est loin d'être optimale en raison des effets de proximité inter-spire importants (cf. partie 3.1.1). En effet, le champ magnétique se concentre dans les spires situées le plus au centre d'une inductance spirale. Les courants de Foucault induits par l'effet de proximité s'ajoutent à celui de l'inductance dans la partie intérieure des spires centrales. Ils se retranchent dans la partie extérieure des spires. La concentration de courant vers la partie intérieure des spires centrales contribue à une forte augmentation de la résistance dynamique des pistes. Par ailleurs, le champ $H(t)$ généré par les courants de Foucault s'oppose à celui des pistes de l'inductance, ce qui conduit à une diminution de la valeur d'inductance avec la fréquence [21] [66].

L'utilisation de composants 3D permet de contourner le problème des effets de proximité. En effet, l'intégration d'un solénoïde favorise une répartition uniforme du champ magnétique à l'intérieur de ce dernier. Ainsi, les pertes résistives dans le conducteur sont réduites en utilisant cette topologie par rapport à une topologie planaire, tout en conservant un fort couplage magnétique mutuel positif entre les spires (qui s'accompagne d'une valeur élevée de l'inductance par unité de longueur). L'utilisation d'un niveau 3D permet également de réduire les surfaces occupées par les composants.

Néanmoins, les procédés de fabrication des composants 3D s'avèrent bien plus complexes que ceux qui permettent des intégrations planaires. Il convient donc de disposer de procédés technologiques dont les coûts de fabrication sont minimisés et qui autorisent la fabrication de circuits à l'échelle industrielle. Nous présentons dans les paragraphes suivants les technologies IPD utilisées pour la réalisation de composants passifs 3D performants.

3.3.2.1 Technologie LTCC

Le procédé technologique LTCC (« Low Temperature Co-fired Ceramic ») consiste à empiler des feuilles de céramiques sur chacune desquelles les interconnexions et les composants passifs sont intégrés par diverses techniques de fabrication (couche mince, sérigraphie...) [58] [59] [67] [68]. Les feuilles sont déposées les unes sur les autres par lamination. Une fois les

couches empilées, l'ensemble est recuit à haute température, entre 850 et 1000°C [57] [69], afin de joindre les couches céramiques entre elles et de former un bloc compact [69].

La technologie LTCC offre le choix d'intégrer des composants sous formes planaire ou 3D. Dans le dernier cas, plusieurs feuilles de céramiques sont empilées pour intégrer les différents niveaux des composants. Les lignes intégrées sur chaque niveau possèdent les topologies classiques adoptées pour des intégrations planaires (enroulements, méandres ...) [62] [63] [68]. Elles sont interconnectées par des vias traversant les feuilles de céramiques qui sont usinés à l'aide d'un laser [57]. Les images de la Figure I-11 montrent l'intégration d'une inductance solénoïdale sur deux feuilles de céramique.

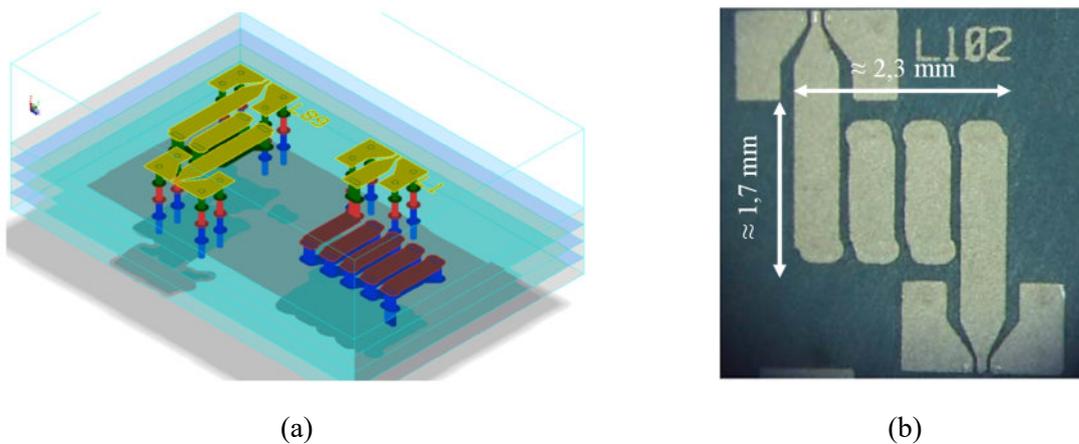


Figure I-11 : (a) Modèle d'inductances 3D intégrées en technologie LTCC et (b) photographie d'une inductance 3D (vue de dessus) [68].

Un autre exemple est donné dans [70] où les auteurs utilisent huit couches de céramiques pour intégrer verticalement un réseau de condensateurs MIM. Les électrodes des condensateurs sont superposées. Dans [65], un coupleur hybride est intégré sur six couches céramiques empilées. Les exemples d'inductances intégrées en utilisant une technologie LTCC affichent des facteurs de qualité extrêmement élevés. Ils excèdent notamment 50 pour des valeurs d'inductances jusqu'à 10 nH [58] [59] [67] [68].

Cependant, les dimensions des composants intégrés en utilisant une technologie LTCC restent assez élevées. Les feuilles de céramique présentent souvent de fortes épaisseurs (supérieures à 100 μm [61] [62] [64]) et les largeurs des pistes métalliques excèdent souvent 100 μm [58] [62] [64].

De plus, la température de recuit élevée du procédé de fabrication exclut son utilisation éventuelle pour des intégrations sur des matériaux de type polymère. De même, son utilisation pour intégrer des composants au-dessus de niveaux comportant des composants actifs n'est pas possible. Au-delà d'une température de 400°C, il peut survenir un phénomène de diffusion de cuivre dans les couches inférieures ce qui peut dégrader leurs performances [71]. Afin d'éviter l'utilisation d'un procédé haute température, une solution technologique consiste à empiler des

couches épaisses de polymères de type époxy (« Laminated Multi-Chip Module » (MCM-L)) [72] [73]. Les résines exigent de plus faibles températures de recuit pour être durcies. Les performances en termes de facteur de qualité obtenues pour des inductances sont équivalentes à celles des technologies LTCC [72] [73].

3.3.2.2 Intégration 3D à l'aide de vias traversants TEVs

Les vias traversants TEVs (« Through-Encapsulant Via ») sont des trous métallisés verticaux qui traversent un matériau solide, comme montré dans la Figure I-12.

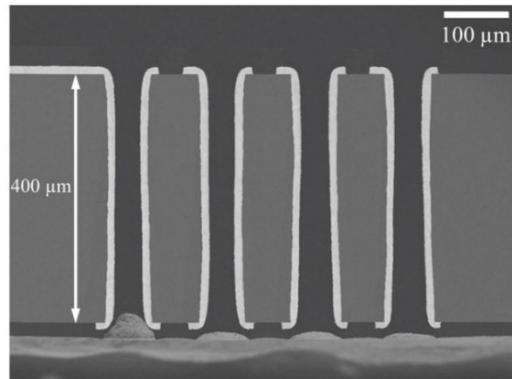
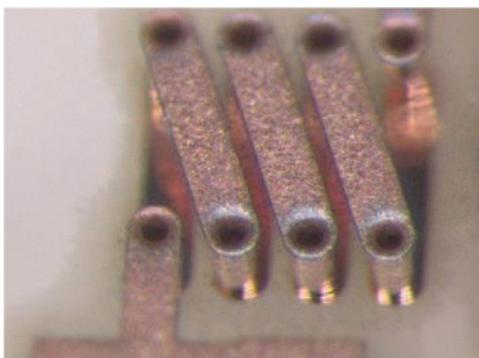
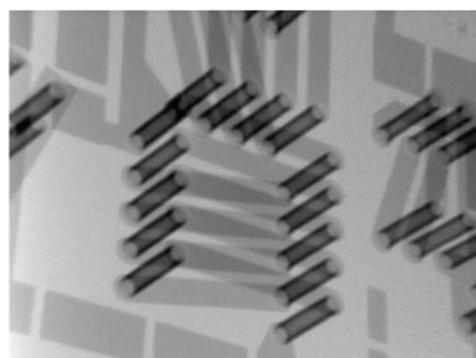


Figure I-12 : Vue en coupe de vias verticaux TGVs de 80 µm de diamètre traversant un panneau de verre de 400 µm d'épaisseur [55].

Leur utilisation permet d'intégrer des interconnexions verticales dans les substrats en silicium (« Thru-Silicon Via » TSV) ou en verre (« Thru-Glass Via » TGV). L'utilisation de ces vias permet de fabriquer des enroulements inductifs sous la forme de solénoïdes tels que l'inductance présentée dans la Figure I-13. Les pistes métalliques horizontales sont intégrées sur les deux faces du substrat en utilisant des procédés standards comme la photolithographie, et sont reliées par des transitions verticales TEVs.



(a)



(b)

Figure I-13 : (a) Photographie optique d'une inductance 3D intégrée en utilisant une technologie TGV dans un substrat verre et (b) photographie par rayons X de vias de cuivre dans le verre [54].

La complexité du procédé de fabrication des vias verticaux réside essentiellement sur l'étape de perçage des trous dans les substrats. Dans le cas des substrats verre, ils sont le plus souvent réalisés par un laser UV ou infrarouge de forte puissance dont l'ajustement des paramètres demande une étape d'optimisation [74]. L'étape de métallisation des trous est souvent réalisée par croissance électrolytique, et n'est pas problématique [54] [75].

Les solénoïdes intégrés dans le verre grâce à ce procédé présentent des coefficients de qualité élevés. Les auteurs de [76]-[78] et [79] rapportent le cas de coefficients de qualité mesurés supérieurs à 60 pour des inductances comprise entre 1 nH et 6 nH. Ces coefficients de qualité dépendent fortement des dimensions des vias et de l'espacement des spires, et varient d'une réalisation à une autre.

Tout comme les technologies LTCC, les intégrations utilisant des vias TEVs présentent des surfaces occupées importantes, malgré une intégration en 3D [48] [54] [78]-[80]. En effet, les diamètres des vias sont compris entre 50 μm et 150 μm . L'espacement inter-spire reste également élevé, entre 100 μm et 300 μm , afin de ne pas fragiliser mécaniquement le substrat hôte.

3.3.2.3 Solénoïde 3D par stress métallique ou micro-usinage

Les solénoïdes fabriqués par stress métallique se composent de spires suspendues dans l'air, qui sont formées à partir de lignes métalliques mécaniquement contraintes. Le métal est d'abord déposé sur une résine sacrificielle à l'aide d'un dépôt métallique sous vide. La variation de la pression dans la chambre de dépôt génère la formation de rubans métalliques contraints en tension. Lors de la dissolution de la résine sacrificielle, les rubans situés face à face vont se courber et entrer en contact afin de former les enroulements de solénoïdes [81]. Les solénoïdes obtenus présentent d'excellentes performances RF. En effet, les pertes diélectriques y sont minimales du fait de la suspension des spires dans le substrat fortement isolant qu'est l'air. L'inductance de 2 nH présentée dans la Figure I-14(a) présente notamment un coefficient de qualité maximal mesuré de 66 à 8 GHz [81].

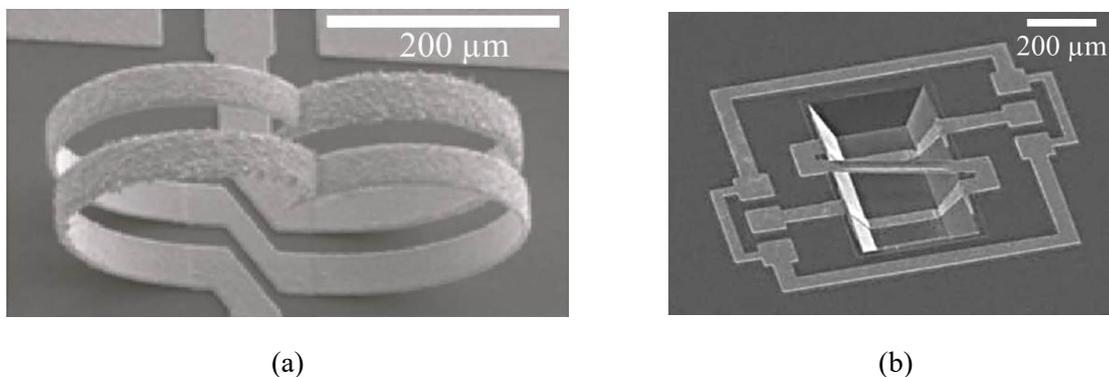


Figure I-14 : (a) Solénoïde fabriqué par stress métallique de rubans de chrome et d'or [81] et (b) solénoïde intégré dans une cavité micro-usinée dans du silicium [82].

Cependant, les structures fabriquées en utilisant cette technique sont fragiles et leur intégration avec d'autres circuits dans les systèmes RF est complexe (nécessité de les isoler dans des cavités à air).

Le micro-usinage constitue une autre technique d'intégration des solénoïdes [82] [83]. Le procédé consiste à graver partiellement une cavité dans le substrat pour y intégrer un solénoïde, comme montré sur la photographie de la Figure I-14(b). La plupart du temps, les prototypes sont réalisés sur silicium. Des plasmas fluorés abrasifs sont utilisés pour la gravure du silicium [82] [84] [85].

Les coefficients de qualité sont variables d'une réalisation à l'autre, principalement en raison de la résistivité du substrat de silicium utilisé et de la proportion des pistes intégrées en contact avec le substrat. Les auteurs de [82], [83] et [86] présentent notamment des réalisations de solénoïdes inductifs intégrés sur du silicium, dont les coefficients de qualité maximums varient entre 15 [83] et 45 [86] pour des inductances entre 1 nH et 4 nH. Ces coefficients sont équivalents à ceux obtenus lorsque des inductances planaires spirales sont intégrées au-dessus de cavités gravées dans des substrats de silicium [87] [88]. Ce procédé 3D reste donc complexe aux vues des améliorations apportées.

3.3.3 Intégration sur les couches de redistribution d'un système SiP

Pour disposer de performances maximisées pour un système RF, les concepteurs utilisent les procédés IPD cités dans la partie précédente pour intégrer les circuits passifs sur des puces dédiées en dehors des puces en silicium MOS. L'ensemble du système RF est ensuite reconstitué en assemblant les puces actives et passives entre elles de façon à former un seul bloc compact et en intégrant des interconnexions pour relier les différents circuits entre eux. L'ensemble des puces et des interconnexions, et donc le système RF, est ensuite encapsulé dans un boîtier disposant d'un nombre d'entrées et de sorties minimisé pour être connecté avec d'autres systèmes électroniques.

L'étape d'assemblage des puces est délicate, car il faut maintenir les pertes à un faible niveau et assurer une grande compacité pour l'ensemble du système. La façon dont sont disposées les puces les unes par rapport aux autres ou le nombre et le type d'interconnexion utilisés sont des paramètres importants à considérer pour y parvenir. L'assemblage des puces au sein de systèmes encapsulés peut être réalisé de plusieurs manières différentes qui sont résumées par la Figure I-15.

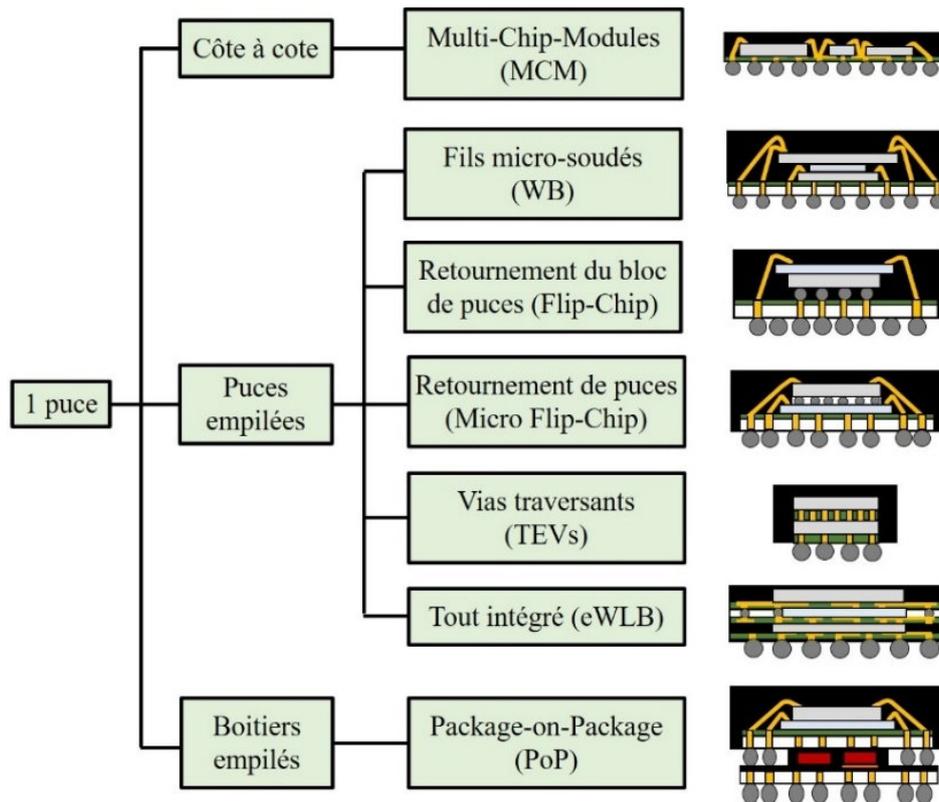
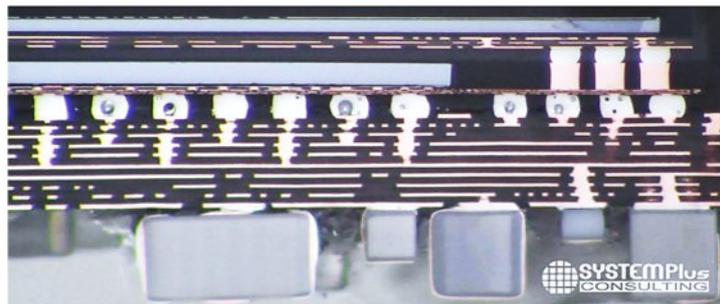


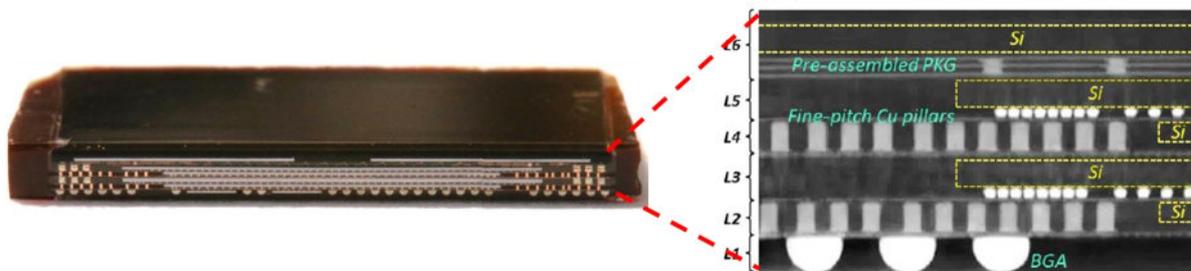
Figure I-15 : Principales architectures d'intégration « System-in-Package » SiP.

Deux types d'architectures se distinguent. Dans un premier cas, les puces sont disposées les unes à côté des autres (« Multi-Chip-Modules » MCM). Dans le deuxième cas, elles sont empilées les unes sur les autres. Les puces de ces différentes architectures sont collées entre elles à l'aide de couches polymères, ou sont reportées sur des supports solides (interposeurs). Parmi les différents assemblages verticaux, nous distinguons le système « Package-on-Package » (PoP) qui consiste à empiler non pas des puces, mais plusieurs systèmes déjà encapsulés les uns sur les autres. Les autres types d'architectures sont basés sur un empilement de puces, et se distinguent essentiellement par les types d'interconnexions utilisées. Les puces peuvent être interconnectées en utilisant des fils microsoudés (WB pour « Wire-Bond »). Mais la longueur des fils et leur couplage engendrent de pertes élevées, comme nous l'avons mentionné dans la partie 2.2. De plus, les dimensions des plots de connexion de chaque fil microsoudé ($30\ \mu\text{m} \times 30\ \mu\text{m}$ minimum [89]) et leur grand nombre conduisent à des surfaces occupées importantes autour des puces. Les interconnexions basées sur des réseaux de billes microsoudées de cuivre et/ou des vias traversants TEVs sont de longueurs bien plus réduites que les fils microsoudés et présentent des niveaux de pertes en transmission bien plus faibles. Les billes microsoudées sont notamment utilisées lorsque qu'une connexion par une technique de « Flip-Chip » est envisagée. Dans ce cas, elles sont disposées sur le bloc de puces empilées ou sur une puce seule, qui est ensuite retourné(e) pour être interconnecté(e) (respectivement « Flip-Chip » et « Micro Flip-Chip » sur la Figure I-15).

Les interconnexions par vias traversants TEVs ou billes microsoudées sont intégrées dans des couches de redistribution (RDL) situées entre les puces (zone « fan-in ») et autour des puces (zone « fan-out »). Ces couches sont constituées par les couches polymères et/ou les interposeurs qui présentent de bonnes propriétés diélectriques à haute fréquence afin de maintenir un niveau de pertes faible. Les images de la Figure I-16 montrent des exemples de ces deux types d'interconnexions dans les couches de redistribution de systèmes SiP de type eWLB (« Embedded Wafer Level Ball Grid Array »). Elles sont intégrées en utilisant des procédés d'intégrations similaires à ceux utilisés pour les intégrations IPD de composants passifs planaires ou en 3D.



(a)



(b)

Figure I-16 : (a) Détails d'interconnexions intégrées dans un système SiP : (a) [90] et (b) [91].

Ces caractéristiques ont encouragé de nombreux concepteurs à se tourner vers l'implémentation de circuits passifs dans les couches de redistribution. Une intégration n'est toutefois envisageable que si la fabrication se fait à basse température, et ce pour plusieurs raisons. Il s'agit d'une part d'éviter une dégradation des composants ou des puces intégrés sur le même niveau et sur les couches inférieures (en particulier les composants actifs). Il faut d'autre part minimiser les contraintes thermomécaniques en tension aux interfaces entre les différentes couches du système SiP, et limiter les phénomènes de déformation, de décollement, de fissuration... Ces considérations sont d'autant plus importantes que l'industrie microélectronique tend à traiter de grandes surfaces.

Dans les deux parties suivantes, nous présentons les types de couches de redistribution qui peuvent être exploités pour intégrer des lignes et circuits passifs faibles pertes. Nous montrons

aussi, à travers des exemples, les technologies IPD qui sont explorées pour pouvoir implémenter les composants passifs sur ces couches.

3.3.3.1 Couche de redistribution à base d'une résine polymère

Les résines polymères utilisées dans les couches de redistribution sont sélectionnées en fonction de deux paramètres. D'une part, les couches intégrant les lignes de routage entre les puces disposent de bonnes propriétés diélectriques à haute fréquence. D'autre part, elles présentent une bonne résistance aux contraintes thermomécaniques afin de limiter le risque de rupture des lignes due à la déformation des couches sous l'effet de la chaleur [91].

Des résines thermostables de type époxy ou polyimide [87] sont utilisées pour façonner ces couches. Les résines époxy de type *SU8* présentent des angles de perte variables compris entre 0,01 et 0,03, et une permittivité moyenne de 3,3 [92] [93]. Les résines polyimides disposent d'un angle de pertes plus faible autour de 0,001 et une permittivité de 3 [94]. Il existe également des résines dont l'angle de perte est réduit grâce à l'ajout de particules. Les auteurs de [95] présentent notamment un composite constitué d'une résine polymère photosensible et de particules en céramique. Un autre composite présenté dans [96] affiche un angle de perte compris entre 10^{-4} et 5×10^{-3} , ce qui est équivalent au verre (0,003 [18] [47]) ou aux céramiques (0,001 [57]-[59]) et une permittivité diélectrique relative comprise entre 2 et 2,4.

Le façonnage de ces résines est relativement simple et peu coûteux. Les motifs des pistes métalliques intégrés sur chaque couche de résine sont réalisés en utilisant des procédés standards de photolithographie (si la résine est photosensible) ou d'ablation laser [96] [97]. Les pistes métalliques sont ensuite formées, souvent par croissance électrolytique.

Les pistes intégrées sur ces couches affichent des performances RF relativement intéressantes. Les auteurs de [98] rapportent des mesures en transmission réalisées jusqu'à 30 GHz pour des lignes micro-rubans de plus de 4 mm de longueur intégrées sur des films de résine époxy. Ils montrent que les pertes en transmission sur la ligne restent inférieures à 1 dB. Des pertes en transmission faibles de 0,034 dB sont également relevées pour un via vertical de 9 μm de hauteur traversant une couche de résine époxy.

La simplicité des procédés d'intégration et les bonnes performances obtenues pour les lignes poussent les concepteurs à intégrer des circuits passifs sur ces supports polymères. L'exemple de la Figure I-17 montre le prototype d'un étage émission-réception intégré dans un système SiP qui est destiné à piloter quatre éléments rayonnants.

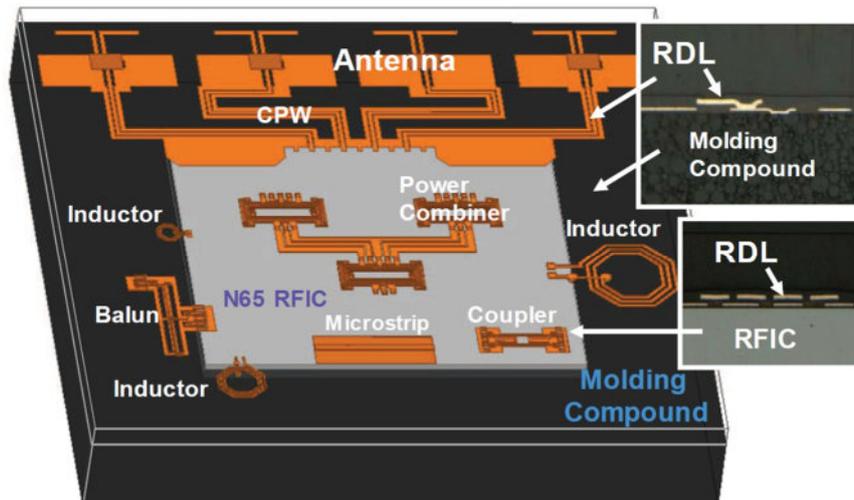


Figure I-17 : Schéma d'un système de communication aux fréquences millimétriques incluant une puce RFIC et des composants passifs intégrés autour de la puce [99].

Les composants sont intégrés directement autour de la puce active RFIC, ce qui permet de minimiser la longueur des interconnexions reliant les différents circuits. Des composants passifs sont aussi intégrés sur la couche de redistribution située au-dessus de la puce RFIC (zone « fan-in »). L'inductance de 0,3 nH présente notamment un coefficient de qualité maximum mesuré de 45 à 25 GHz et le coupleur hybride intégré dans la zone « fan-in » de la couche de redistribution présente des pertes d'insertion réduite de 1 dB par rapport à un coupleur identique qui serait intégré sur la puce CMOS [99].

D'autres exemples rapportent les très bonnes performances obtenues pour des inductances spirales [99]-[104], dont les coefficients de qualité maximums excèdent 30 (valeurs d'inductances inférieures à 4 nH).

Par ailleurs, l'utilisation de plusieurs couches fines superposées permet d'intégrer des composants en 3D, et offre une solution d'intégration compacte. Il est possible d'y transposer des procédés d'intégration 3D comme ceux des technologies par couches empilées MCM-L, ou utilisant des vias traversants TEVs. Les réalisations de [105] et [106] montrent notamment l'intégration de condensateurs et de résistances verticales sur plusieurs couches de résine BCB (Figure I-18(a)). Dans les travaux présentés dans [77], [80] et [107], les auteurs utilisent une technologie TEVs pour intégrer des solénoïdes (Figure I-18(b)). Les couches de redistribution polymères suscitent aussi un très grand intérêt pour l'intégration d'antennes directement au-dessus des puces ou dans les zones « fan-out » autour des puces (« Antenna-in-Package ») [16] [99] [108] [109]. Un exemple d'intégration est notamment proposé dans la Figure I-17.

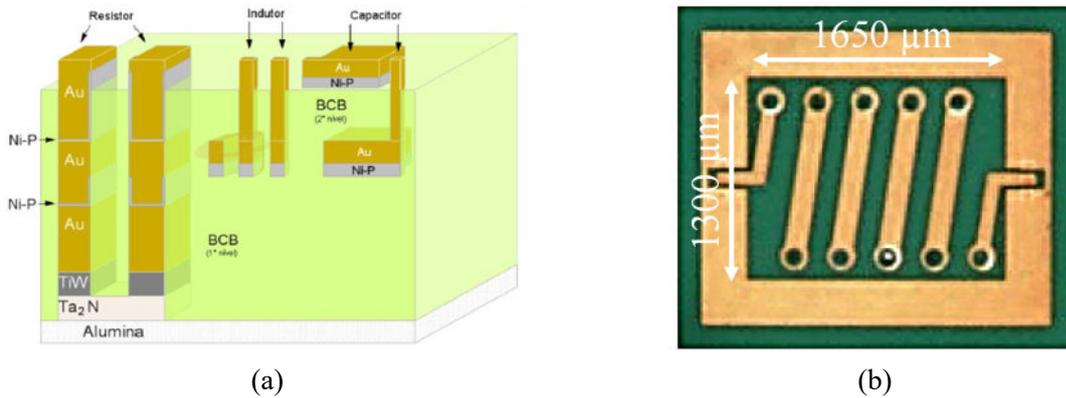


Figure I-18 : (a) Modèle d'intégration MCM de composants passifs verticaux [105] et (b) vue de dessus d'une inductance solénoïdale intégrée dans une couche de résine polymère [80].

Néanmoins, l'intégration IPD de composants passifs sur ces supports polymères n'est possible que si les technologies choisies présentent de faibles températures de fabrication. En effet, les résines des couches de redistribution présentent des températures de transition vitreuse T_g faibles (stade caoutchouteux où le matériau devient mou et flexible) souvent comprises entre 200 °C et 300°C. C'est le cas de certaines résines époxy [21] [110]. Les résines polyimides présentent des températures T_g un peu plus élevées, entre 300°C et 400°C [93]. Ces températures peuvent être critiques, en particulier lors de la fabrication de condensateurs. Les dépôts des couches diélectriques utilisées dans ces composants requièrent souvent le dépôt par plasmas gazeux de films minces diélectriques de types PECVD (Si_3N_4 et SiO_2 notamment) à des températures supérieures à 350°C [111] [112].

3.3.3.2 Interposeur

Les interposeurs se présentent sous la forme de plaques rigides en silicium ou en verre, et leur épaisseur est égale ou supérieure à celle des puces qu'ils entourent. Comme montré dans la Figure I-19, les puces sont placées dans des cavités percées dans les interposeurs.

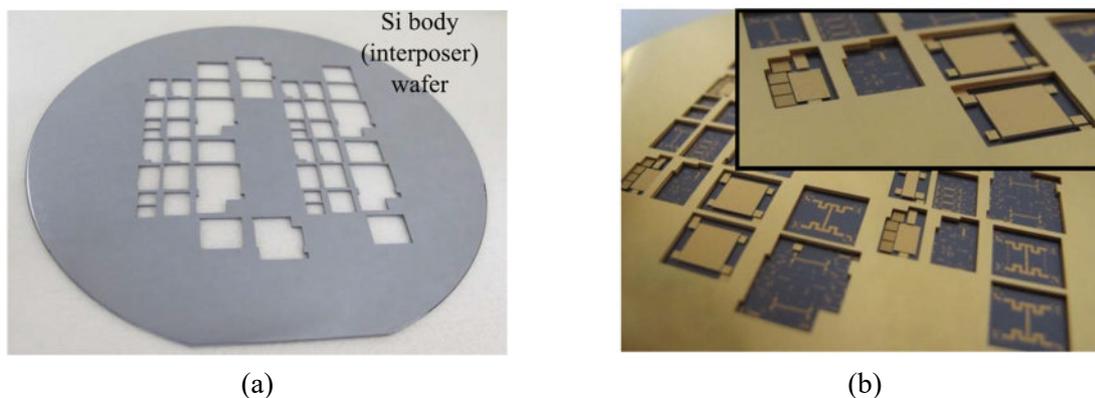


Figure I-19 : Photographies (a) d'un interposeur en silicium et (b) de puces insérées au sein de l'interposeur [15].

L'ensemble puces-interposeur est assemblé à l'aide d'une résine ou d'un métal (dissipateur thermique). Les interposeurs comprenant les puces sont ensuite empilés pour former le système SiP. Ils sont fixés entre eux par thermocompression ou par collage à l'aide d'un film mince polymère adhésif.

Dans le cas des interposeurs silicium, la résistivité médiocre du silicium exclut l'intégration des circuits passifs directement au contact de ce support. Il est en revanche possible d'utiliser des procédés de micro-usinage, basés sur des plasmas fluorés pour creuser des cavités dans le silicium et intégrer des composants suspendus. Des coefficients de qualité proches de 40 sont obtenus pour des inductances jusqu'à 6 nH [87] [113]. Néanmoins, ces structures suspendues restent fragiles et peuvent poser des problèmes pour la fiabilité des circuits [113]. D'autres solutions d'intégration proposent d'utiliser du silicium haute résistivité [114] afin de diminuer les pertes diélectriques des composants intégrés. Sa résistivité est 10000 fois plus élevée (entre 5×10^3 et $10^4 \Omega \cdot \text{cm}$) que celle du silicium utilisé dans les filières MOS. L'inconvénient de l'utilisation du silicium SiHR reste son coût de fabrication relativement élevé.

Les interposeurs en verre suscitent un grand intérêt pour l'intégration de composants IPD en bordure des puces actives. Les intégrations TEVs en particulier sont utilisées pour intégrer des interconnexions verticales et des solénoïdes sur plusieurs niveaux. En plus d'une résistivité élevée (cf. partie 3.3.1), le verre présente également des caractéristiques thermomécaniques intéressantes permettant de minimiser les contraintes de déformation des pistes intégrées dans les couches de redistribution d'un système SiP [15] [48] [53] [54]. Cet aspect favorise notamment son utilisation comme support pour le développement de systèmes hétérogènes fortement intégrés [48] [53] [90]. Un exemple est montré dans la Figure I-20, qui propose l'intégration des fonctions électroniques d'un smartphone sur un support en verre.

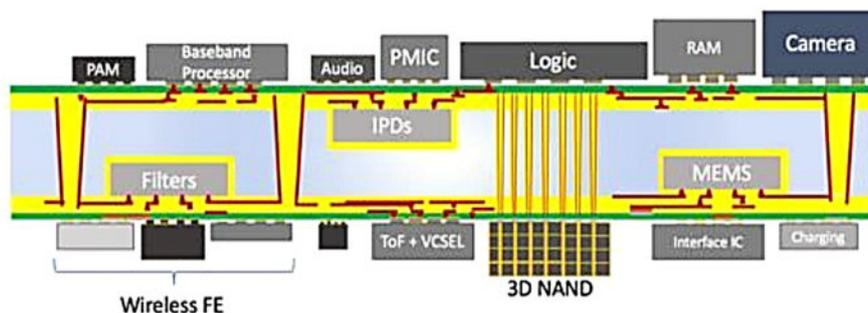


Figure I-20 : Vue d'artiste montrant l'intégration de modules constituant un « Smartphone-On-Package » [53].

3.4 Technologie IPD-3D développée au LAAS-CNRS

Nous venons de présenter une vue d'ensemble des solutions IPD existantes pour l'intégration de circuits passifs et de lignes faibles pertes. Nous présentons dans cette partie la technologie

développée au LAAS-CNRS, et comparons ses caractéristiques à celles des technologies IPD présentées précédemment.

3.4.1 Présentation

Une filière technologique 3D de type « Integrated Passive Devices » (IPD) est développée depuis plusieurs années au LAAS-CNRS et par la société 3DiS Technologies. Elle permet la fabrication d'interconnexions et de solénoïdes inductifs compacts. Les photographies de la Figure I-21 montrent une inductance de 9,5 nH intégrée sur un substrat verre en utilisant le procédé de fabrication IPD-3D.

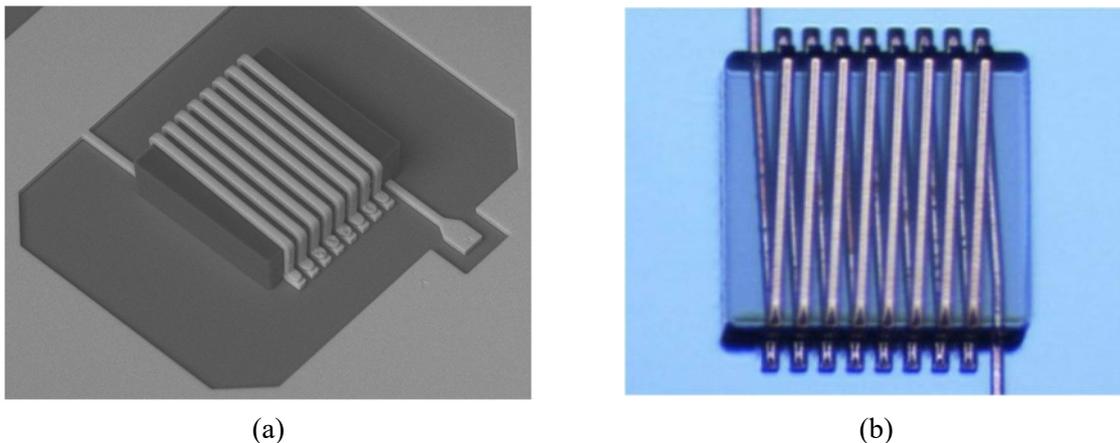


Figure I-21 : Inductance solénoïdale de 9,5 nH composée de 8,4 spires: (a) Vue 3D au MEB et (b) vue de dessus par microscopie optique [115] [116].

Le caractère 3D est obtenu à partir d'un plot de résine diélectrique époxy *SU8* sur lequel est intégré le niveau métallique supérieur. La résine *SU8* permet d'obtenir un bon compromis entre les niveaux de pertes diélectriques des lignes 3D et la facilité de mise en œuvre du procédé de fabrication IPD-3D sur des substrats de grandes dimensions. En effet, la résine *SU8* utilisée pour le noyau 3D dispose d'un module de Young de 2,0 GPa [21] [110]. Ce module est notamment plus faible que celui d'une résine BCB (2,9 GPa [21]) ou de polyimide (2,5 GPa [117]). Cela garantit une contrainte en tension plus faible lorsque les solénoïdes sont fabriqués sur des substrats de grandes dimensions.

Le procédé de fabrication repose sur l'utilisation d'étapes technologiques simples qui sont la photolithographie et la croissance électrolytique. Le nombre d'étapes de fabrication est minimisé. En effet, les pistes verticales et les pistes intégrées sur le plot de résine sont fabriquées en une seule étape de métallisation. Ces caractéristiques du procédé conduisent ainsi à un coût de fabrication réduit.

De plus, la température maximale du procédé technologique n'excède pas 150°C, ce qui rend possible son utilisation sur de nombreux types de substrats, et plus particulièrement sur les couches de redistribution polymères. La technologie a notamment été utilisée dans différents

contextes d'intégration. Des réalisations d'inductances 3D telles que celles de la Figure I-21 ont été intégrées sur verre [115] [116] et sur du silicium haute résistivité SiHR [116]. Les auteurs de [118] ont également utilisé le procédé IPD-3D pour intégrer des inductances planaires en « above-IC » sur une couche de résines époxy *SU8*, utilisées pour la préadaptation de transistors LDMOS de puissance RF [21] [40]. De très bonnes performances sont relevées pour l'ensemble de ces réalisations [40] [115] [116]. Par exemple, les inductances 3D intégrées sur verre, dont les valeurs sont comprises entre 1 nH et 9,5 nH, présentent des coefficients de qualité maximaux supérieurs à 40 [115] [116].

Par ailleurs, les résolutions en largeur et en espacement des pistes intégrées en utilisant cette technologie autorisent une forte densité d'intégration des composants. En effet, il est possible d'intégrer des transitions verticales jusqu'à 160 μm de hauteur avec des pistes métalliques dont la résolution en largeur et en espacement est de 15 μm [119]. Pour comparaison, ces largeurs de lignes sont trois fois plus faibles que celles disponibles en utilisant une technologie TEV (diamètre minimum des vias de 50 μm) (cf. partie 3.3.2). Quant aux espacements, ils sont sept fois plus faibles que l'espacement minimum d'une technologie TEV, qui est de 100 μm (cf. partie 3.3.2). De plus, ces faibles espacements entre les pistes peuvent être aussi utilisés pour obtenir un couplage inter-spire élevé et pour accroître la valeur d'inductance par unité de longueur [115] [116]. Pour une même valeur d'inductance, la longueur de ligne inductive peut être ainsi réduite. Les inductances de 1 nH à 9,5 nH intégrées sur verre occupent de faibles surfaces qui sont inférieures à 0,15 mm^2 [115] [116]. Le procédé a aussi permis d'intégrer des transformateurs, des filtres, ou encore des baluns très faibles pertes fonctionnant jusqu'à 20 GHz, et occupant des surfaces inférieures à 1 mm^2 [120] [121]. Enfin, la possibilité de réaliser des pistes de cuivre d'une épaisseur supérieure à 35 μm offre de la flexibilité quant à l'optimisation des sections conductrices, et surtout une possibilité d'utilisation pour des applications microondes de puissance [21] [40].

La technologie est aussi utilisée pour implémenter des interconnexions 3D sur la face supérieure de puces, sans aucune dégradation des éléments intégrés sur ces dernières. Une démonstration a été présentée dans [119], où des interconnexions de 15 μm de largeur sont intégrées directement au contact d'une puce de 150 μm d'épaisseur. Cette solution d'intégration est présentée dans la Figure I-22(a). Dans le système SiP de la Figure I-22(b), le procédé technologique est utilisé pour intégrer l'ensemble des interconnexions horizontales et verticales entre les trois puces, en utilisant seulement deux étapes de métallisations [122].

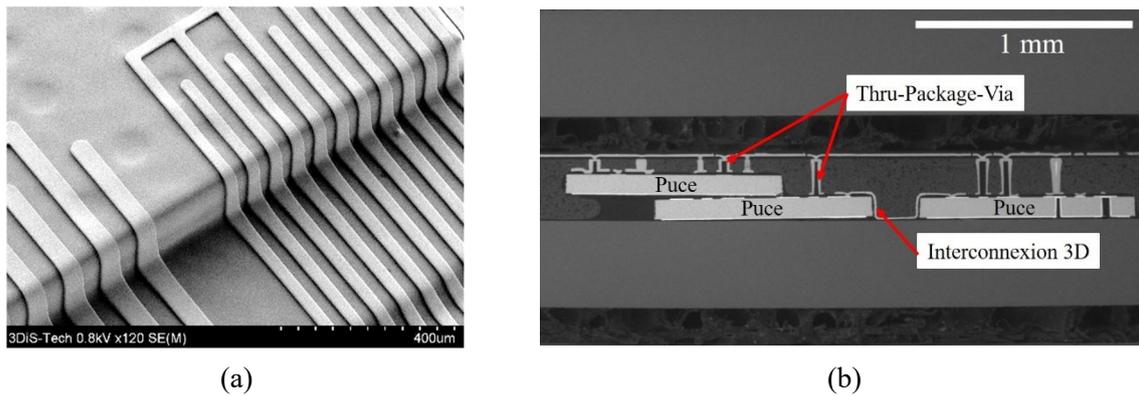


Figure I-22 : (a) Interconnexions réalisées en utilisant la technologie IPD-3D sur une puce [119] et (b) intégrées dans des couches de redistribution [122].

3.4.2 Positionnement de la technologie parmi les solutions IPD existantes

Nous proposons dans cette partie de comparer la technologie IPD-3D développée avec les technologies IPD existantes, et présentées dans la partie 3.3. Dans un premier temps, nous confrontons les performances d'inductances intégrées sur des substrats faibles pertes ou sur des couches de redistribution en utilisant les différentes technologies. Dans un second temps, les caractéristiques des procédés d'intégration sont comparées. L'objectif est d'évaluer quels sont les avantages apportés par l'utilisation de la technologie IPD-3D par rapport aux autres solutions IPD.

3.4.2.1 Comparaison des performances d'inductances intégrées

Parmi les composants passifs, l'inductance est probablement l'élément le plus problématique à intégrer du fait des fortes longueurs de lignes nécessaires. Elle occupe une grande surface et présente souvent les pertes résistives et diélectriques les plus élevées parmi les composants qui constituent un circuit passif. Pour ces raisons, comparer les caractéristiques d'inductances permet d'évaluer de façon assez précise les avantages que peut apporter une technologie pour l'intégration de composants passifs faibles pertes et compacts.

Dans le graphique de la Figure I-23(a) sont affichées les valeurs maximales des coefficients de qualité extraits de mesures d'inductances de 0,1 nH à 10 nH, fabriquées en utilisant différentes technologies d'intégration IPD. Les fréquences auxquelles sont relevés les coefficients de qualité maximaux sont affichées sur la Figure I-23(b). Les surfaces occupées par les inductances sont affichées dans le graphique de la Figure I-23(c). Les résultats obtenus pour les inductances 3D fabriquées sur verre en utilisant la technologie IPD-3D sont affichés par les symboles verts, et reliés par un trait.

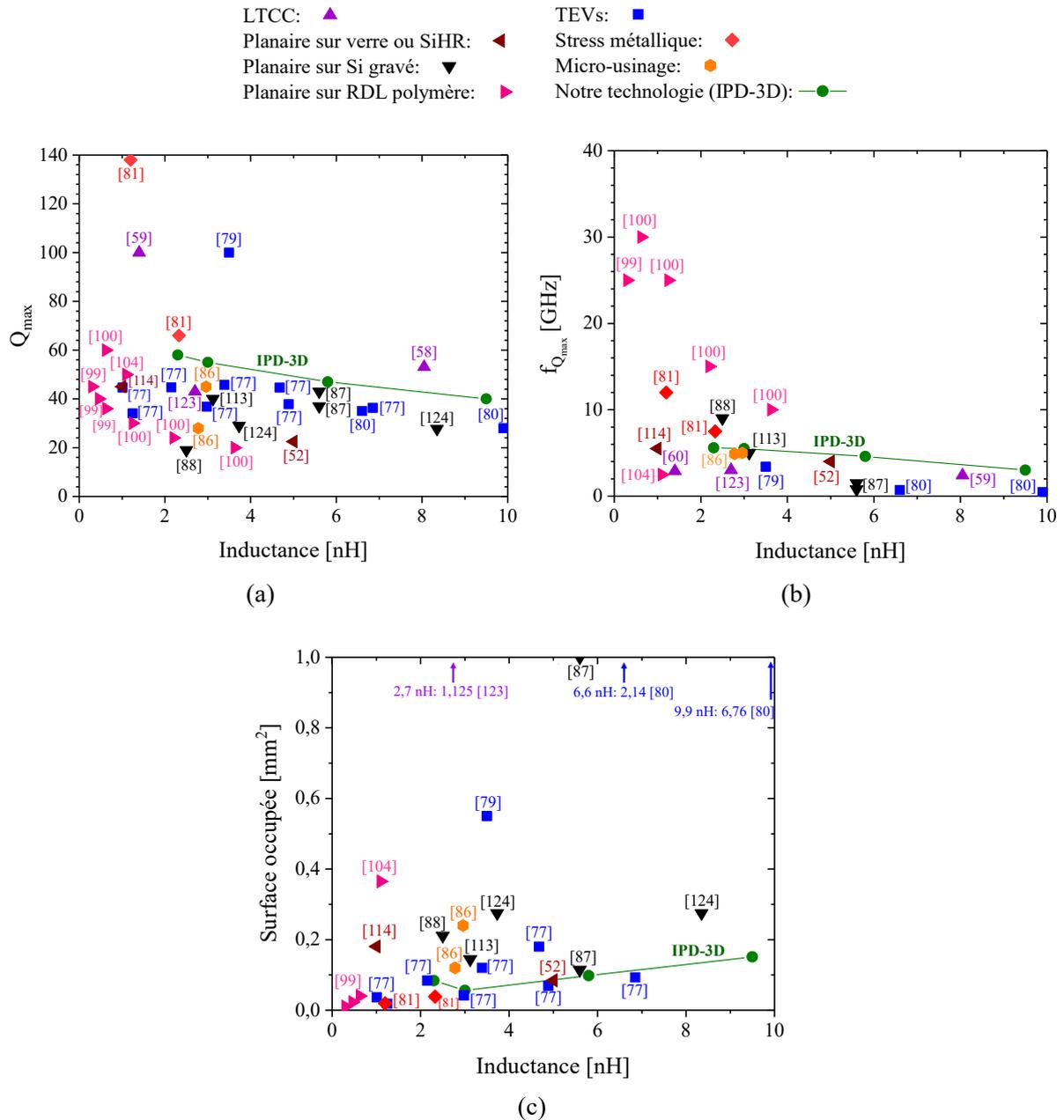


Figure I-23 : (a) Valeurs maximales des coefficients de qualité Q_{max} , (b) fréquences d'obtention de Q_{max} , et (c) surfaces occupées par des inductances IPD planaires et 3D.

Les inductances spirales présentent des coefficients de qualité maximaux compris entre 20 et 40 pour la majorité des intégrations. Ces valeurs varient en fonction de la nature du substrat utilisé (polymère, verre, SiHR...). Mais dans la majorité des cas, ces coefficients de qualité restent en retrait par rapport à ceux affichés par les intégrations 3D. Ce constat souligne l'avantage de l'utilisation d'une topologie 3D.

Nous voyons que les coefficients de qualité maximaux les plus élevés sont atteints pour des inductances intégrées en utilisant des procédés TEVs, LTCC ou par stress métallique. Cependant, les excellentes performances obtenues pour les réalisations TEVs et LTCC

s'expliquent par l'utilisation de substrats faibles pertes, mais également par les grandes largeurs des pistes qui contribuent à diminuer les pertes résistives. Par conséquent, les inductances qui présentent les meilleurs coefficients de qualité occupent aussi les surfaces les plus élevées (Figure I-23(c)). Nous le voyons notamment pour l'inductance de 3,5 nH présentée dans [79] qui est intégrée par un procédé TEV. Son coefficient de qualité maximal Q_{max} est de 100 (Figure I-23(a)), mais la surface de 0,5 mm² qu'elle occupe est parmi les plus élevées (Figure I-23(c)). Nous observons aussi que l'inductance de 2,7 nH intégrée en utilisant une technologie LTCC présente un coefficient Q_{max} de 43 (Figure I-23(a)) et occupe une surface de 1,125 mm² [58] (Figure I-23(c)).

Les coefficients de qualité décroissent avec la diminution des dimensions des pistes. Cela explique notamment les forts écarts observés entre les différentes réalisations utilisant une technologie TEV. Par exemple, l'inductance de 4,7 nH présentée dans [77] occupe une surface de 0,18 mm², alors que celle de 3,5 nH présentée dans [79] est de 0,55 mm² (Figure I-23(b)). En revanche, son coefficient de qualité est de 45 [77], contre 100 pour celle présentée dans [79] (Figure I-23(a)). Toujours dans les travaux présentés dans [77], les inductances fabriquées pour lesquelles le diamètre des vias est de 40 µm présentent des coefficients de qualité supérieurs à 40, alors que des coefficients plus proches de 30 sont obtenus avec des vias dont le diamètre est de 20 µm.

Nous voyons donc que les composants IPD des technologies LTCC et TEVs peinent à atteindre simultanément des très bonnes performances et une grande compacité.

Les inductances fabriquées par stress métallique présentent des coefficients de qualité maximaux extrêmement élevés et des surfaces occupées parmi les plus faibles. Ces très bons coefficients de qualité s'expliquent par le fait que les spires des inductances sont en grande partie au contact de l'air, ce qui a pour effet de réduire significativement les pertes diélectriques. Cependant, la complexité du procédé de fabrication et la fragilité des inductances limitent fortement l'utilisation de cette technologie.

Les inductances intégrées en utilisant la technologie IPD-3D présentent un très bon compromis entre compacité et performance. D'une part, les inductances présentent des coefficients de qualité parmi les plus élevés, et qui sont intermédiaires à ceux des réalisations utilisant des technologies TEVs et LTCC. Comme la majorité des spires sont au contact de l'air et du plot de résine 3D, les performances sont moins dépendantes des caractéristiques des substrats qu'elles ne le sont pour les technologies TEVs ou LTCC. De plus, les coefficients de qualité maximaux sont atteints à des fréquences plus élevées que pour les technologies LTCC et TEVs. À valeur d'inductance égale, il est donc possible de travailler dans une bande de fonctionnement optimale située à plus haute fréquence, ce qui s'avère bénéfique lorsque des applications millimétriques sont visées. Enfin, les inductances fabriquées grâce à la technologie

IPD-3D occupent des surfaces parmi les plus faibles, et ce pour des valeurs d'inductances jusqu'à 9,5 nH.

Finalement, l'excellent compromis entre compacité et performances RF obtenu pour les composants passifs inductifs montre le grand intérêt de la technologie proposée par le LAAS-CNRS et la société 3DiS Technologies.

3.4.2.2 Caractéristiques des technologies IPD

Pour pouvoir envisager une intégration IPD sur différents supports, il est préférable d'éviter l'utilisation de procédés abrasifs ou nécessitant de hautes températures. Ils sont en effet susceptibles d'abîmer les matériaux et/ou les éléments intégrés sur les couches inférieures dans le cas d'un système SiP. Nous proposons de comparer en fonction de ces deux aspects le procédé d'intégration IPD-3D à ceux des autres technologies IPD. Les différentes technologies d'intégration IPD sont comparées dans le Tableau I-1. Un autre critère de comparaison est également introduit, qui est la complexité du procédé de fabrication. Ce critère est important, car l'utilisation de procédés simples et peu coûteux permet de rester compétitif pour les applications à visées industrielles et commerciales.

Tableau I-1 : Comparaison des technologies IPD en fonctions des caractéristiques des procédés de fabrication.

Technologie	Thermique	Abrasivité	Complexité du procédé
LTCC [57] [69]	Recuit		Lamination et recuit
TEV [54] [74] [75]		Gravure	Paramètres de gravure des vias
Stress métallique [81]			Paramètres du dépôt métallique
Micro-usinage [82] [83]		Gravure	Paramètres de gravure en fonction du substrat
Notre technologie (IPD-3D)			

En rouge sont renseignés les inconvénients majeurs liés à chaque procédé. En orange sont signalés les procédés dont les difficultés de réalisation sont variables. La complexification des procédés peut-être due à l'augmentation du nombre de couches utilisées, ou des difficultés de gravure ou de formation des pistes métalliques en fonction du type de substrat.

Les procédés par micro-usinage ont recours à des gravures des substrats par plasma, et leur utilisation est surtout justifiée lorsque des intégrations sur des supports de silicium sont envisagées (comme les interposeurs Si). Si les composants sont intégrés en 3D, un certain nombre d'étapes après la gravure peut s'ajouter pour former les pistes tridimensionnelles, ce qui augmente la complexité du procédé.

Les technologies TEVs ont aussi recours à des procédés de gravure. L'utilisation d'un laser permet de réaliser des gravures localisées dans les substrats de types polymères ou verre [77] [80] [107], ce qui limite les risques de dégradation des couches ou des composants situés à proximité.

Les procédés LTCC travaillent exclusivement avec des céramiques et leurs procédés de fabrication comprennent une ou plusieurs étapes de recuit à très haute température. Leur utilisation est donc limitée lorsque d'autres supports que les céramiques sont visés, et justifiée lorsque des performances RF très élevées sont requises pour les composants passifs.

Enfin, la fabrication par stress métallique n'utilise pas de procédé de gravure et ne nécessite pas forcément une haute température. Mais la fabrication de spires mécaniquement contraintes est complexe. Les spires suspendues à l'air sont fragiles, ce qui limite les supports d'intégration. Certains concepteurs explorent la possibilité de les inclure dans les cavités creusées dans les interposeurs [81].

La technologie 3D-IPD dont nous disposons présente finalement la plus grande souplesse d'intégration parmi les solutions étudiées. Le procédé de fabrication est réalisé à faible température et autorise une intégration de composants et d'interconnexions sur tous types de supports. Nous avons pu le constater à travers l'intégration d'inductances et d'interconnexions sur différents substrats (cf. partie 3.4.1). La fabrication de circuits sur ces divers types de substrats montre également qu'un report du procédé peut être réalisé sans aucune difficulté. Enfin, la simplicité du procédé de fabrication facilite une adaptation à l'échelle industrielle.

4 Poursuite du développement de la technologie IPD-3D

Dans ce qui précède, nous avons vérifié que la technologie IPD-3D développée présente de nombreux avantages, autant au niveau de son procédé technologique que par le compromis entre performances et compacité atteint pour les composants 3D fabriqués. Ces caractéristiques correspondent aux critères exprimés pour l'intégration de circuits passifs RF, qui ont été énoncés en début de chapitre. À partir de ce constat et de l'excellente place qu'occupe la technologie par rapport aux solutions d'intégration existantes, nous pouvons projeter ses potentialités pour l'intégration de fonctions passives fortement intégrées dans des architectures SiP, ou pour le packaging.

La technologie IPD-3D permet d'intégrer des inductances solénoïdales [115] [116] et des lignes de transmission 3D. Pour pouvoir envisager l'intégration de fonctions passives complètes, telles que des circuits de filtrage, d'adaptation, de distribution de signaux (coupleur, diviseur ou combineur de puissance, baluns...), il est nécessaire de disposer de condensateurs.

Par suite, les objectifs des travaux présentés dans ce manuscrit sont de poursuivre le développement de la technologie IPD-3D pour fabriquer des condensateurs robustes, et étendre l'utilisation de la technologie pour implémenter des circuits passifs.

Les condensateurs développés doivent présenter des performances supérieures à celles des solénoïdes, afin de maintenir un niveau de performances élevé pour les circuits qui seront ensuite fabriqués. Le procédé technologique doit être compatible avec celui des solénoïdes, et

présenter une faible température de fabrication, afin de pouvoir conserver les nombreuses possibilités d'intégrations dans les systèmes SiP.

Nous utilisons ensuite la technologie IPD-3D pour montrer les solutions qu'elle peut apporter dans un contexte d'intégration difficile. Nous nous tournons pour cela vers les systèmes RF fonctionnant aux fréquences millimétriques. En effet, nous avons vu que l'extension des applications vers les hautes fréquences engendre une pression extrêmement élevée sur le bloc antenne des terminaux RF. Les circuits de distribution (ou répartiteurs) doivent contrôler précisément les amplitudes et les phases des signaux transmis aux différents éléments rayonnants. Cette condition est essentielle pour assurer une bonne formation du faisceau et un dépointage précis. Ces circuits font actuellement l'objet d'efforts technologiques importants pour présenter à la fois des performances RF élevées et une forte densité d'intégration. Nous exploitons la technologie IPD-3D pour proposer une matrice de Butler, qui est un des circuits de distribution passifs possibles. La matrice développée doit être fortement miniaturisée, performante, et facilement intégrable dans un système SiP. Finalement, la conception, la fabrication et la caractérisation de ce démonstrateur permettront de mettre en avant les bénéfices de notre solution technologique d'intégration.

5 Conclusion

Ce premier chapitre introduit les principales contraintes auxquelles sont soumis les circuits passifs RF pour les nouvelles applications de communications sans fil, et il recense les solutions technologiques développées pour tenter d'intégrer des dispositifs passifs au plus près des besoins.

Nous avons d'abord présenté un aperçu du contexte de l'intégration des circuits passifs RF, qui tend à devenir de plus en plus complexe avec la migration des applications sans fil vers les fréquences millimétriques, applications pour la plupart dans le domaine grand public. Ces circuits doivent donc présenter de très faibles pertes, une grande compacité et un faible coût.

L'intégration CMOS sur silicium ne permet pas de fournir des solutions satisfaisantes pour les composants passifs, au moins en termes de pertes. De nombreuses solutions d'intégration IPD sur puces dédiées sont alors explorées. Nous présentons ensuite les principaux types de substrats faibles pertes utilisés pour l'intégration IPD et les diverses technologies dédiées qui sont proposées pour l'intégration des fonctions passives.

Nous avons introduit la technologie développée par le LAAS-CNRS et la société 3DiS Technologies, qui permet l'intégration 3D d'interconnexions et de composants passifs inductifs faibles pertes. En comparant cette technologie par rapport aux solutions d'intégrations proposées par la littérature, nous montrons ainsi qu'elle présente un des meilleurs compromis entre performances et compacité. De surcroît, les caractéristiques du procédé technologique, à

savoir une faible température, un nombre minimisé d'étapes, et l'utilisation de procédés relativement simples, permettent d'aboutir à une grande flexibilité d'intégration.

L'utilisation de cette technologie permet d'intégrer des circuits passifs fortement miniaturisés et dotés de très hautes performances, à tous les niveaux d'un système SiP.

La thèse présentée ici a pour objectif de réaliser les développements technologiques nécessaires pour permettre de disposer d'une filière complète pour l'intégration de fonctions passives innovantes. Cela conduit à compléter le procédé précédent en développant les étapes à basse température pour la fabrication des condensateurs. Nous intégrerons ensuite un circuit de distribution des signaux pour un réseau d'éléments rayonnants, de type matrice de Butler, afin de réaliser la démonstration des potentialités de la technologie IPD-3D obtenue.

6 Références

- [1] J. Madden, « mmWave Will Be The Critical 5G Link », in *Microwave Journal*, Vol. 62, no. 5, p. 24-38, 2019.
- [2] A. Osseiran et al., « 5G mobile and wireless communications technology », Cambridge University Press, 2016.
- [3] A. Buritica, « From Waveforms to MIMO : 5 Things for 5G New Radio », *Microwave Journal*, Vol. 62, no. 5, p. 142-150, 2019.
- [4] Y. Huo, et al., « 5G Cellular User Equipment: From Theory to Practical Hardware Design », *IEEE Access*, vol. 5, p. 13992-14010, 2017.
- [5] W. Roh et al., « Millimeter-wave beamforming as an enabling technology for 5G cellular communications: theoretical feasibility and prototype results », *IEEE Communications Magazine*, vol. 52, n° 2, p. 106-113, 2014.
- [6] R. Vannithamby, et al. « Towards 5G: Applications, Requirements and Candidate Technologies », John Wiley & Sons, Ltd, 2016.
- [7] L. Getto, « The Challenges of 5G Network Densification », *Microwave Journal*, Vol. 62, no. 5, p. 24-38, 2019.
- [8] E. Dahlman, et al., « 4G LTE/LTE-advanced for mobile broadband », Second edition. Elsevier, 2014.
- [9] Z. Pi, et al. « An introduction to millimeter-wave mobile broadband systems », *IEEE Communications Magazine*, vol. 49, n°6, p. 101–107, 2011.
- [10] C. Viallon, « Contribution à l'intégration des circuits micro-ondes et millimétriques pour les télécommunications », Habilitation à diriger des recherches HDR, Université Toulouse III Paul Sabatier, 2016.
- [11] F. Balteanu, et al., « 5G RF Front End Module Architectures for Mobile Applications », 49th European Microwave Conference (EuMC), Paris, France, 2019.
- [12] F. Balteanu, « RF Front End Module Architectures for 5G », in 2019 IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS), Nashville, TN, Etats-Unis, 2019.
- [13] S. Caporal Del Barrio, et al., « Novel Architecture for LTE World-Phones », *Antennas and Wireless Propagation Letters*, vol. 12, p. 1676-1679, 2013.
- [14] Yole Développement, « Advanced RF System-in-Package for Cellphones 2019 », *i-Micronews*, 2019. Disponible sur : <https://www.i-micronews.com/products/advanced-rf-sip-for-cellphones-2019/?cn-reloaded=1>.
- [15] J. A. Estrada, et al., « Metal-Embedded Chip Assembly Processing for Enhanced RF Circuit Performance », *IEEE Transactions on Microwave Theory and Techniques*, p. 1-10, 2019.

- [16] A. Hagelauer, et al., « Integrated Systems-in-Package: Heterogeneous Integration of Millimeter-Wave Active Circuits and Passives in Fan-Out Wafer-Level Packaging Technologies », IEEE Microwave, vol. 19, n° 1, p. 48-56, 2018.
- [17] G. Haobijam, et al., « Design and Analysis of spiral inductors », Ed Springer, 2013.
- [18] D. M. Pozar, « Microwave Engineering », 4th ed., John Wiley, 2012.
- [19] H. P. Hsu, « On the General Relation between α and Q (Correspondence) », IEEE Transactions on Microwave Theory and Techniques, vol. 11, no. 4, p. 258-258, 1963.
- [20] I. Bahl, « Lumped Elements for RF and Microwave Circuits », Artech House Microwave Library, 2003.
- [21] A. Ghannam, « Conception et intégration « above IC » d'inductances à fort coefficient de surtension pour applications de puissance RF », thèse de doctorat, Université Toulouse III Paul Sabatier, Toulouse, France, 2010.
- [22] S. Chang, et al., « Low-loss inductors built on PECVD intrinsic amorphous silicon for RF integrated circuits », Canadian Journal of Electrical and Computer Engineering, vol. 30, n° 4, p. 179-182, 2005.
- [23] A. Maric, et al., « A simple approach for modelling and simulation monolithic inductors », International Semiconductor Conference CAS, Sinaia, Roumanie, 2009.
- [24] J. H. He, et al., « Fabrication and simulation of copper spiral on-chip inductors for RF wireless communication », 3rd International Conference on Microwave and Millimeter Wave Technology (ICMMT), Beijing, Chine, 2002.
- [25] C. P. Yue et al., « A study on substrate effects of silicon-based RF passive components », IEEE MTT-S International Microwave Symposium, Anaheim, CA, Etats-Unis, 1999.
- [26] C. Viallon, « Optimisation de structures différentielles en technologie SiGe pour applications en bande millimétrique. Application à la conception d'un mélangeur doublement équilibré en bande K », thèse de doctorat, Université Toulouse III Paul Sabatier, Toulouse, France, 2003.
- [27] J. N. Burghartz, « Progress in RF inductors on silicon-understanding substrate losses », International Electron Devices Meeting, San Francisco, CA, Etats-Unis, 1998.
- [28] F. Tabarani, et al., « Compact monolithic spiral quadrature coupler design », 13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), Giardini Naxos - Taormina, Italie, 2017.
- [29] C.-H. Tseng, et al., « New compact Ka-band CPW rat-race coupler using GaAs MMIC technology », Electronics Letters, vol. 49, n° 19, p. 1227-1229, 2013.
- [30] C.-C. Huang, et al., « Miniaturization of Broadband Stub Bandpass Filters Using Bridged-T Coils », IEEE Access, vol. 6, p. 20164-20173, 2018.

- [31] S. Wane, et al., « Design of Lange Couplers with local ground references using SiGe BiCMOS technology for mm-Wave applications », IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Phoenix, AZ, Etats-Unis, 2015.
- [32] M. Gastaldi, et al., « Microstrip slow-wave line for phase shifting cells », Electronics Letters, vol. 51, n° 20, p. 1589-1591, 2015.
- [33] T. S. D. Cheung, et al., « On-chip Interconnect for mm-Wave Applications Using an All-copper Technology and Wavelength Reduction », International Solid-State Circuits Conference (ISSCC), San Francisco, CA, Etats-Unis, 2003.
- [34] X. Tang, « Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée », thèse de doctorat, Université de Grenoble, Grenoble, France, 2012.
- [35] D. L. Luong, « Aide à la conception de lignes microrubans à onde lente sur substrat structuré dans les bandes RF et millimétriques: applications aux coupleurs et dispositifs passifs non-réciproques », thèse de doctorat, Université Jean Monnet, Saint-Étienne, France, 2018.
- [36] G. Wang, et al., « Novel low-cost on-chip CPW slow-wave structure for compact RF components and mm-wave applications », 58th Electronic Components and Technology Conference, Lake Buena Vista, FL, Etats-Unis, 2008.
- [37] P. Sarafis, et al., « High-Performance On-Chip Low-Pass Filters Using CPW and Slow-Wave-CPW Transmission Lines on Porous Silicon », IEEE Transactions on Electron Devices, vol. 63, n° 1, p. 439-445, 2016.
- [38] Y. Aoki, et al., « Novel Symmetric High Q Inductors Fabricated Using Wafer-Level CSP Technology », European Microwave Integrated Circuit Conference, Munich, Allemagne, 2007.
- [39] H.-A. Yang, et al., « On-chip high-Q inductor using wafer-level chip-scale package technology », International Microsystems, Packaging, Assembly and Circuits Technology, Taipei, Taiwan, 2007.
- [40] A. Ghannam, et al., « High-Q SU8 based above-IC inductors for RF power devices », IEEE 11th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, Phoenix, AZ, Etats-Unis, 2011.
- [41] X. Sun, et al., « Experimental analysis of above-IC inductor performance with different patterned ground shield configurations and dummy metals », European Microwave Conference, Manchester, Grande-Bretagne, 2006.
- [42] B. Xinhai, et al., « Fabrication and measurement of Si-based inductors integrated in WLP », in 2013 14th International Conference on Electronic Packaging Technology, Dalian, Chine, 2013.

- [43] K. Itoi et al., « On-chip high-Q spiral Cu inductors embedded in wafer-level chip-scale package for silicon RF application », IEEE MTT-S International Microwave Symposium, Fort Worth, TX, Etats-Unis, 2004.
- [44] X. Li, C. et al., « On-Chip Inductor for Millimeter-wave Regime », IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Nanjing, China, 2019.
- [45] K.C. Gupta, et al., « Microstrip Lines and Slotlines », 2nde edition, Artech House Microwave Library, 1996.
- [46] Schott, « AF 32 Eco thin Glass », documentation technique, disponible sur: https://www.schott.com/advanced_optics/english/products/optical-materials/thin-glass/thin-glass-af-32-eco/index.html.
- [47] S.-C. Hsieh, et al., « Fabrication challenge, device characterization and modeling of 4G passives on glass and silicon », 6th Electronic System-Integration Technology Conference (ESTC), Grenoble, France, 2016.
- [48] A. B. Shorey, et al., « Progress and application of through glass via (TGV) technology », in 2016 Pan Pacific Microelectronics Symposium (Pan Pacific), Big Island, HI, Etats-Unis, 2016.
- [49] Y. Kim, et al., « Electrical Performance Analysis of Glass Interposer Channel and Power Distribution Network », IEEE 27th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS), San Jose, CA, Etats-Unis, 2018.
- [50] M. S. Kim, et al., « Ultrathin High-Q 2-D and 3-D RF Inductors in Glass Packages », IEEE Transactions on Components, Packaging and Manufacturing Technology, vol 8, n° 4, p. 643-652, 2018.
- [51] C. L. Chang, et al., « Design of 38-GHz branch-line coupler in glass-substrate integrated passive device technology », IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Taipei, Taiwan, 2016.
- [52] P. Sun, et al., « Design and Fabrication of Glass-based Integrated Passive Devices », 19th International Conference on Electronic Packaging Technology (ICEPT), Shanghai, Chine, 2018.
- [53] R. Tummala, et al., « Heterogeneous and homogeneous package integration technologies at device and system levels », Pan Pacific Microelectronics Symposium (Pan Pacific), Waimea, HI, Etats-Unis, 2018.
- [54] S. Onitake, et al., « TGV (Thru-Glass Via) Metallization by Direct Cu Plating on Glass », IEEE 66th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, Etats-Unis, 2016.
- [55] A. B. Shorey, et al., « Through Glass Via (TGV) Technology for RF Applications », International Symposium on Microelectronics, Orlando, FL, Etats-Unis, 2015.

- [56] C. Buch et al., « Design and Demonstration of Highly Miniaturized, Low Cost Panel Level Glass Package for MEMS Sensors », IEEE 67th Electronic Components and Technology Conference (ECTC), Orlando, FL, Etats-Unis, 2017.
- [57] A. Khalil, « Technologies LTCC et stéréolithographie céramique 3D appliquées à la conception de dispositifs millimétriques et sub-millimétriques », thèse de doctorat, Université de Limoges, Limoges, France, 2010.
- [58] M. Blanes et al., « A Low Temperature Cofired Ceramic (LTCC) technology platform for heterogeneous integrated systems », 8th Spanish Conference on Electron Devices, CDE, Palma de Mallorca, Espagne, 2011.
- [59] A. Sutono, et al., « High-Q LTCC-based passive library for wireless system-on-package (SOP) module development », IEEE Transactions on Microwave Theory and Techniques, vol. 49, n° 10, p. 1715-1724, 2001.
- [60] J. Zhou, « Towards rational design of low-temperature co-fired ceramic (LTCC) materials », Journal of Advanced Ceramics, vol. 1, n° 2, p. 89-99, 2012.
- [61] M. F. Amiruddin et al., « Low loss LTCC passive transmission line at Millimeter-wave frequency », IEEE Asia-Pacific Conference on Applied Electromagnetics (APACE), Port Dickson, Malaisie, 2010.
- [62] Hu Jiang, et al., « X-band 3D meander stripline delay line using multilayer LTCC », IEEE MTT-S International Microwave Symposium, Boston, MA, Etats-Unis, 2009.
- [63] Y. Yao, et al., « Ka-band 3D meander stripline delay line using LTCC », IEEE International Workshop on Electromagnetics: Applications and Student Innovation Competition, Chengdu, Sichuan, Chine, 2012.
- [64] I. Piekarcz, et al., « Meandered coupled-line single-section directional coupler designed in multilayer LTCC technology », 20th Telecommunications Forum (TELFOR), Belgrade, Serbie, 2012.
- [65] T.-N. Kuo, et al., « A compact LTCC branch-line coupler Using Modified-T equivalent-circuit model for transmission line », IEEE Microwave and Wireless Components Letters, vol. 16, n° 2, p. 90-92, 2006.
- [66] J. M. López-Villegas et al. « Improvement of the Quality Factor of RF integrated Inductors by Layout Optimization », IEEE Transactions on Microwave Theory and Techniques, vol. 48, n°1, p. 76-83, 2000.
- [67] C. Karnfelt, « Passive component development in LTCC », 21st European Microelectronics and Packaging Conference (EMPC) & Exhibition, Varsovie, Pologne, 2017.
- [68] S. Aliouane, et al., « Very high-Q solenoid RF inductors for SiP LTCC integration », IEEE MTT-S International Microwave Symposium, Baltimore, MD, Etats-Unis, 2011.

- [69] K. H. Rida, « Packaging of Microwave Integrated Circuits in LTCC Technology », thèse de doctorat, Université de Bretagne Occidentale, Brest, France, 2013.
- [70] B. Zhou, et al., « Miniaturized Lumped-Element LTCC Filter With Spurious Spikes Suppressed Vertically-Interdigital-Capacitors », *IEEE Microwave Wireless Components Letters*, vol. 24, n° 10, p. 692-694, 2014.
- [71] M. Nongaillard, « Elements passifs intégrés », *Techniques de l'ingénieur*, 2012, disponible sur : <https://www.techniques-ingenieur.fr/base-documentaire/energies-th4/composants-passifs-et-transformateurs-statiques-42246210/elements-passifs-integres-d3057/>
- [72] L. Hwan Hee, et al., « Q-Factor Improvement of FR-4 Embeeded RF Inductors using Meshed Ground Plane », *Asian Pacific Microwave Conference (APMC)*, Bangkok, Thaïlande, 2007.
- [73] S. Dalmia, et al., « Design of inductors in organic substrates for 1-3 GHz wireless applications », *IEEE MTT-S International Microwave Symposium*, Seattle, WA, Etats-Unis, 2002.
- [74] R. Delmdahl, et al., « Laser Drilling of High-Density Through Glass Vias (TGVs) for 2.5D and 3D Packaging », *Journal of the Microelectronics and Packaging Society*, vol. 21, n° 2, p. 53-57, 2014.
- [75] G.-S. Kim, « Integrated passive device for TSV (Through-Silicon-Via) interposer », *International Conference on Electronics Packaging (ICEP)*, Yamagata, Japon, 2017.
- [76] Y.-C. Hsieh, et al., « Characterization of through glass via (TGV) RF inductors », *11th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, Taipei, Taiwan, p. 87-90, 2016.
- [77] C.-Y. Kung, et al., « 3D-IPD with High Aspect Ratio Cu Pillar Inductor », *IEEE 68th Electronic Components and Technology Conference (ECTC)*, San Diego, CA, Etats-Unis, 2018.
- [78] J. Kim, et al., « High-Q 3D RF solenoid inductors in glass », *IEEE Radio Frequency Integrated Circuits Symposium*, Tampa, FL, Etats-Unis, 2014.
- [79] T. C. Lee, et al., « Glass Based 3D-IPD Integrated RF ASIC in WLCSP », *IEEE 67th Electronic Components and Technology Conference (ECTC)*, Orlando, FL, Etats-Unis, 2017.
- [80] M. Wojnowski, et al., « 3D eWLB-Horizontal and vertical interconnects for integration of passive components », *IEEE 63rd Electronic Components and Technology Conference*, Las Vegas, NV, Etats-Unis, 2013.
- [81] L. Katehi, et al., « Heterogeneous Wafer-Scale Circuit Architectures », *IEEE Microwave magazine*, vol. 8, n° 1, p. 52-69, 2007.

- [82] I. Zine-El-Abidine, et al., « An Embedded Suspended Micromachined Solenoid Inductor », IEEE MTT-S International Microwave Symposium, San Francisco, CA, Etats-Unis, 2006.
- [83] L. Gu, et al., « High-Performance CMOS-Compatible Solenoidal Transformers With a Concave-Suspended Configuration », IEEE Transactions on Microwave Theory and Techniques, vol. 55, no 6, p. 1237-1245, 2007.
- [84] A. M. Niknejad, « Analysis, Simulation, and Applications of passive Devices on Conductive Substrate », thèse de doctorat, University of California at Berkeley, CA, Etats-Unis, 2000.
- [85] X. Mellhaoui, « Mécanismes physico-chimiques dans le procédé de gravure plasma du Silicium », thèse de doctorat, Université d'Orléans, Orléans, France, 2006.
- [86] L. Gu et al., « Concave-Suspended High-Q Solenoid Inductors With an RFIC-Compatible Bulk-Micromachining Technology », IEEE Transactions on Electron Devices, vol. 54, no 4, p. 882-885, 2007.
- [87] M. Han, et al., « Suspended of high-Q integrated inductors using wafer level packaging technologies », 14th International Conference on Electronic Packaging Technology, Dalian, Chine, 2013.
- [88] L. Hu, et al., « Design and Process Technology for High Q Integrated Inductor on Interposer with TSV », International Conference on Microwave and Millimeter Wave Technology (ICMMT), Chengdu, Chine, 2018.
- [89] A. Lancaster, M. Keswani, « Integrated circuit packaging review with an emphasis on 3D packaging », Elsevier Integration, vol. 60, p. 204-212, 2018.
- [90] T. Shi, et al., « First Demonstration of Panel Glass Fan-Out (GFO) Packages for High I/O Density and High Frequency Multi-chip Integration », IEEE 67th Electronic Components and Technology Conference (ECTC), Orlando, FL, Etats-Unis, 2017.
- [91] F.-C. Hsu et al., « 3D Heterogeneous Integration with Multiple Stacking Fan-Out Package », IEEE 68th Electronic Components and Technology Conference (ECTC), San Diego, CA, Etats-Unis, 2018.
- [92] A. Ghannam, et al., « Dielectric Microwave Characterization of the SU-8 Thick Resin Used in an Above-IC Process », European Microwave Conference (EuMC), Rome, Italie, 2009.
- [93] M. Khalil, et al. « Properties of Binary Polyimide Blends Containing Hexafluoroisopropylidene Group », Journal of Macromolecular Science, Part A, vol. 44, n° 1, p. 55-63, 2007.
- [94] O. Talon, « Propriétés des polyimides- Polyimides linéaires (PI) », Techniques de l'Ingénieur, 2007. Disponible sur : <https://www.techniques-ingenieur.fr/base-documentaire/materiaux-th11/matieres-thermoplastiques-monographies->

2147210/polyimides-lineaires-pi-am3398/proprietes-des-polyimides-am3398niv10002.html

- [95] K. K. Samanta, « 3D/multilayer heterogeneous integration and packaging for next generation applications in millimeter-wave and beyond », IEEE MTT-S International Microwave and RF Conference (IMaRC), Ahmedabad, Inde, 2017.
- [96] C. Song, et al., « Study of polysilsesquioxane dielectric for the use of multi-structured redistribution layers in fan-out wafer level packaging applications », IEEE 20th Electronics Packaging Technology Conference (EPTC), Singapore, Singapour, 2018.
- [97] D. Muller, et al., « Structuring redistribution layers down to 2 micron line spacing with laser direct ablation », China Semiconductor Technology International Conference (CSTIC), Shanghai, Chine, 2018.
- [98] A. O. Watanabe, et al., « Design and demonstration of ultra-thin 3D glass-based 5G modules with low-loss interconnects », International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), Mie, Japon, 2018.
- [99] C.-H. Tsai, et al., « High performance passive devices for millimeter wave system integration on integrated fan-out (InFO) wafer level packaging technology », IEEE International Electron Devices Meeting (IEDM), Washington, DC, Etats-Unis, 2015.
- [100] M. Sato, et al., « A 77 GHz CMOS power amplifier module using multi-layered redistribution layer technology », 3rd IEEE CPMT Symposium Japan, Kyoto, Japon, 2013.
- [101] T.-C. Tang, et al., « High Q-factor 3D Solenoid Inductor on InFO Package for RF System Integration », Electrical Design of Advanced Packaging and Systems (EDAPS), Kaohsiung, Taiwan, 2019.
- [102] M. Wojnowski, et al., « High-Q Inductors Embedded in the Fan-Out Area of an eWLB », IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 2, n° 8, p. 1280-1292, 2012.
- [103] S. M. Chen, et al., « High-performance inductors for integrated fan-out wafer level packaging (InFO-WLP) », Symposium on VLSI Technology, Kyoto, Japon, 2013.
- [104] C. Durand, et al., « High performance RF inductors integrated in advanced Fan-Out wafer level packaging technology », IEEE 12th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, Santa Clara, CA, Etats-Unis, 2012.
- [105] C. B. Adamo, et al., « Multi-Chip Module (MCM-D) using thin film technology », 29th Symposium on Microelectronics Technology and Devices (SBMicro), Aracaju, Brésil, 2014.
- [106] K. K. Samanta, et al., « High Performance Compact Multilayer Circular Spiral Inductors in Advanced Photoimageable Technology », IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 4, n° 12, p. 1981-1988, 2014.

- [107] H.-J. Timme, et al., « Interconnect technologies for system-in-package integration », IEEE 15th Electronics Packaging Technology Conference (EPTC), Singapore, Singapour, 2013.
- [108] Z. Chen, et al., « Integration of mm-wave Antennas on Fan-Out Wafer Level Packaging (FOWLP) for Automotive Radar Applications », IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Chengdu, Chine, 2019.
- [109] C.-Y. Ho, et al., « A 77GHz Antenna-in-Package with Low-Cost Solution for Automotive Radar Applications », IEEE 68th Electronic Components and Technology Conference (ECTC), San Diego, CA, Etats-Unis, 2018.
- [110] Datasheet SU8-3000, Kayaku Advanced Material, disponible sur : <https://kayakuam.com/wp-content/uploads/2019/09/SU-8-3000-Data-Sheet.pdf>.
- [111] K. Elgaid, « Low temperature high density Si₃N₄ MIM capacitor technology for MMMIC and RF-MEMs applications », Microelectronic Engineering, vol. 73-74, p. 452-455, 2004.
- [112] A. Kshirsagar, et al., « Deposition and characterization of low temperature silicon nitride films deposited by inductively coupled plasma CVD », Applied Surface Science, vol. 257, n° 11, p. 5052-5058, 2011.
- [113] J.-M. Yook, et al., « Suspended Spiral Inductor and Band-Pass Filter on Thick Anodized Aluminum Oxide », IEEE Microwave and Wireless Components Letters, vol. 19, no 10, p. 620-622, 2009.
- [114] V. Vähä-Heikkilä, et al., « Integrated Passive Device process for high quality factor passive components and modules », 36th European Microwave Conference, Nuremberg, Allemagne, 2013.
- [115] A. Cayron, et al., « High-Performance Compact 3-D Solenoids for RF Applications », IEEE Microwave and Wireless Components Letters, vol. 28, n° 6, p. 479-481, 2018.
- [116] O. Bushueva, « Conception, réalisation et caractérisation d'inductances et de transformateurs tridimensionnels pour applications RF et microondes », thèse de doctorat, Université Toulouse III Paul Sabatier, Toulouse, France, 2016.
- [117] Dupont, Kapton Polyimide Film General Specifications, Bulletin GS-96-7". <http://www.dupont.com/kapton/general/H-38479-4.pdf>
- [118] A. Ghannam, et al., « Efficient low cost process for single step metal forming of 3D interconnected above-IC inductors », European Solid-State Device Research Conference (ESSDERC), Helsinki, Finlande, 2011.
- [119] A. Ghannam et al., « Ultra-Thin QFN-Like 3D Package with 3D Integrated Passive Devices », IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, Etats-Unis, 2019.

- [120] A. Cayron, et al., « Transformateurs d'impédance 3D compacts adaptés pour applications RF et microondes », 20èmes Journées Nationales Microondes, Saint-Malo, France, 2017.
- [121] A. Ghannam, et al., « Ultra-Compact, High-Performance, 3D-IPD Integrated Using Conformal 3D Interconnects », IEEE 68th Electronic Components and Technology Conference (ECTC), San Diego, CA, Etats-Unis, 2018.
- [122] 3Dis Technologies, « 3DiS Technologies : winner of 3D InCites “Process of the year” award », disponible sur: <https://www.3dis-tech.com/3dis-winner-of-3dincites-process-of-the-year-award/>
- [123] K. C. Eun, et al., « Fully embedded LTCC spiral inductors incorporating air cavity for high Q-factor and SRF », 54th Electronic Components and Technology Conference, Las Vegas, NV, Etats-Unis, 2004.
- [124] C.-M. Tai et al., « Multilevel Suspended Thin-Film Inductors on Silicon Wafers », IEEE Transactions on Electron Devices, vol. 54, no 6, p. 1510-1514, 2007.

Chapitre II : Fabrication et caractérisation de condensateurs MIM et de transformateurs 3D

1 Introduction

Nous avons vu dans le premier chapitre les nombreux avantages associés à l'utilisation de la technologie IPD-3D dont nous disposons, à savoir la fabrication de solénoïdes à la fois compacts et performants, et la possibilité de les intégrer sur de nombreux types de supports, dont les polymères.

Pour envisager la fabrication de circuits plus complexes, nous nous sommes tournés vers le développement de condensateurs performants. En effet, ces composants sont incontournables dans la réalisation de circuits tels que les réseaux d'adaptation d'impédance, les filtres, les baluns, ou encore les coupleurs. De plus, pour pouvoir conserver une grande souplesse d'intégration, nous avons cherché à développer un procédé de fabrication à basse température, compatible avec la technologie utilisée pour l'intégration des solénoïdes. Enfin, le maintien d'un nombre d'étapes minimisé et l'utilisation de procédés de fabrication standards permettent de conserver un faible coût de fabrication.

Nous présentons dans ce chapitre le développement de condensateurs Métal-Isolant-Métal (MIM). Nous introduisons tout d'abord les critères auxquels doivent répondre les condensateurs. Nous justifions le choix d'une topologie MIM et des matériaux retenus pour les fabriquer. Nous donnons les caractéristiques des condensateurs testés. Nous présentons enfin les résultats de caractérisation des condensateurs. Leurs performances sont comparées aux résultats de la littérature.

Dans une deuxième partie, nous intégrons deux transformateurs 3D, composés de deux solénoïdes imbriqués, qui sont adaptés à 50Ω par des condensateurs MIM. L'objectif est ici de vérifier que les condensateurs utilisés présentent un niveau de pertes suffisamment faible pour maintenir de hautes performances pour les deux circuits. Le deuxième objectif est d'observer à travers la fabrication des circuits que l'enchaînement du procédé d'intégration des condensateurs et des solénoïdes ne fait pas apparaître de contrainte d'ordre technologique. Nous introduisons d'abord les caractéristiques des deux transformateurs 3D sélectionnés. Nous

présentons ensuite l'étape de conception des transformateurs adaptés par des condensateurs, et montrons les résultats de simulations électromagnétiques. Nous détaillons en suivant le procédé d'intégration de ces circuits. Nous terminons en présentant les performances extraites des caractérisations hyperfréquences des transformateurs adaptés.

2 Développement des condensateurs MIM

Cette partie aborde la conception, la fabrication et la caractérisation des condensateurs Métal-Isolant-Métal (MIM). Nous fixons tout d'abord les critères à remplir concernant les performances des condensateurs et leur procédé de fabrication. Nous présentons la topologie des condensateurs, et justifions le choix des matériaux utilisés pour les électrodes et l'isolant. Nous donnons également les caractéristiques des différents condensateurs testés. Nous terminons par les résultats de caractérisation des condensateurs fabriqués.

2.1 Cahier des charges

Comme nous l'avons vu dans le premier chapitre, la technologie 3D développée jusque-là présente de nombreux avantages. Le premier est l'intégration de composants inductifs 3D présentant un compromis innovant entre compacité et performances. Le deuxième est son utilisation sur de nombreux types de supports grâce à un procédé basse température. Enfin, le nombre d'étapes minimisé et l'utilisation de procédés standards permettent d'obtenir un faible coût de fabrication. Il faut donc faire en sorte que ces caractéristiques soient maintenues pour les condensateurs et leur procédé d'intégration. En se basant sur ce constat, nous fixons les critères essentiels que doit satisfaire l'intégration des condensateurs, et qui sont :

- Obtenir des performances équivalentes, voire plus élevées que les condensateurs de topologies identiques recensées dans la littérature ;
- Obtenir une densité d'intégration suffisamment élevée pour disposer de condensateurs dont les dimensions sont plus faibles ou équivalentes aux condensateurs de topologies identiques recensées dans la littérature. L'analyse de ce critère et du précédent nous permet de situer les condensateurs fabriqués par rapport aux réalisations récentes ;
- Lors de l'association de condensateurs avec les solénoïdes pour fabriquer un circuit, les condensateurs utilisés doivent présenter des coefficients de qualité Q bien supérieurs à ceux des transformateurs et/ou des inductances 3D pour une même bande de fréquences de fonctionnement. Ce critère permet de garantir des circuits présentant un niveau de performance élevé, avec des condensateurs qui n'apportent pas de pertes supplémentaires en plus de celles introduites par les solénoïdes ;

- Développer un procédé technologique dont les matériaux et les techniques de fabrication sont compatibles avec ceux utilisés pour l'intégration des solénoïdes ;
- Maintenir une température maximale du procédé d'intégration inférieure à 150°C. Cette limite correspond à la température maximale de fabrication des solénoïdes 3D. Ce critère garantit la compatibilité du procédé pour des intégrations de type « above-IC », sur des couches polymères, ou encore sur des PCB (pour « Printed Circuit Board) de type FR4 par exemple ;
- Recourir à des procédés de fabrication simples et un nombre d'étapes minimisé pour la fabrication des condensateurs afin de maintenir un faible coût pour la technologie complète.

Notons que pour mener nos développements, nous travaillons sur une série de condensateurs de test balayant une large gamme de capacités comprises entre 0,07 pF et 15 pF. Les capacités peuvent cependant être étendues au-delà de cet intervalle, pourvu que leurs dimensions soient compatibles avec les résolutions maximales du procédé technologique.

2.2 Choix du type de condensateur développé et des matériaux

2.2.1 Réalisation de capacités

Plusieurs topologies de composants existent pour créer une capacité. Nous distinguons trois grandes catégories simples, qui sont :

- Les stubs capacitifs ;
- Les peignes métalliques inter-digités, et séparés par un isolant ;
- Les condensateurs Métal-Isolant-Métal (MIM), composés de deux armatures métalliques (électrodes) séparées par un isolant. Leur topologie classique est donnée dans la Figure II-1.

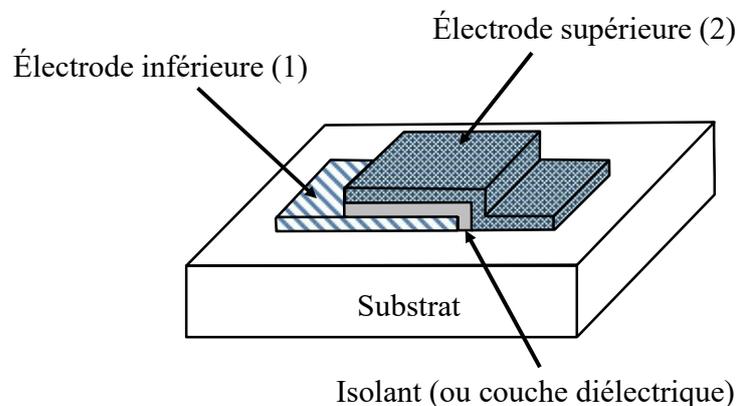


Figure II-1 : Topologie d'un condensateur Métal-Isolant-Métal MIM.

Il existe des topologies plus complexes qui sont en cours de développement comme les capacités 3D ou encore Métal-Oxyde-Métal (MOM). Les condensateurs de type MOM sont intégrés dans le BEOL des puces MOS, et ne rentrent pas dans la catégorie des intégrations IPD [1]. Les condensateurs 3D sont encore à l'état de prototypes et manquent de maturité pour être considérés comme une solution IPD à part entière [2].

Les stubs et les peignes inter-digités sont particulièrement adaptés pour de faibles capacités n'excédant pas 0,5 pF [3]. Au-delà, leurs dimensions importantes affectent la compacité du circuit. Les condensateurs MIM constituent des composants localisés extrêmement compacts et présentant de fortes performances. En effet, leurs faibles dimensions permettent de minimiser la résistance et l'inductance série des métallisations (électrodes), ainsi que les pertes diélectriques dans le substrat hôte [4]. Les caractéristiques de l'isolant ont également un impact sur les performances. Un isolant de forte résistivité permet notamment de minimiser les courants de fuite entre les deux électrodes.

Les fortes densités d'intégration obtenues pour les condensateurs MIM permettent d'obtenir de fortes capacités avec des électrodes de faibles dimensions, ce qui facilite leur implémentation dans les circuits. Nous pouvons notamment envisager d'intégrer les condensateurs sous les métallisations des composants avec lesquels ils sont associés. De plus, les condensateurs MIM ont une topologie simple et les matériaux sont classiquement utilisés pour des intégrations IPD (métaux et couche diélectrique). Le choix d'un métal tel que le cuivre et d'un isolant de dioxyde de silicium SiO_2 ou de nitrure de silicium Si_3N_4 , largement utilisés dans l'industrie de la microélectronique, permet d'aboutir à un procédé standard et peu coûteux.

La formule (II-1) permet de calculer la capacité approximative d'un condensateur MIM :

$$C (F) = \frac{\varepsilon_0 \cdot \varepsilon_r \cdot S}{e} \quad (\text{II-1})$$

S est l'aire capacitive délimitée par la surface des deux électrodes en regard, e est l'épaisseur de l'isolant (ou diélectrique) qui sépare les électrodes et ε_r est la permittivité diélectrique relative de l'isolant.

2.2.2 Choix des matériaux

2.2.2.1 Isolant

La formation de la couche diélectrique (isolant) constitue une étape critique de la fabrication d'un condensateur MIM. Elle est généralement formée à partir d'un dépôt plasma. Les éléments constituant l'isolant sont injectés en phase gazeuse dans un réacteur sous vide. Ce mélange gazeux est ensuite ionisé, permettant la croissance de couches minces sur les surfaces situées à proximité du plasma.

Le dépôt chimique en phase vapeur assisté par plasma PECVD reste le plus utilisé (« Plasma Enhanced Chemical Vapor Deposition »). Il permet d'obtenir des couches isolantes denses et pures. Cependant, les températures de dépôt excèdent souvent 250°C. Cela compromet alors la réalisation de condensateur MIM sur certains substrats polymères, notamment utilisés pour les couches de redistribution, ou pour des intégrations « above-IC » [4] [5].

La contrainte thermique a encouragé le développement de dépôts plasma à des températures plus basses. Ces températures sont généralement inférieures aux températures de transition vitreuses T_g des polymères utilisés dans les substrats PCB ou pour les couches de redistribution. Par exemple, celles des matériaux de types FR4 et Téflon utilisés pour fabriquer des PCB se situent respectivement autour de 135°C et 210°C [6]. Les résines époxy, notamment utilisées dans les couches de redistribution, présentent des températures T_g proches de 200°C [7]. Le procédé de dépôt devient aussi compatible avec une intégration « above-IC » où une température de fabrication basse doit être maintenue pour ne pas dégrader les circuits intégrés sur les niveaux inférieurs de la puce.

Afin de garantir une compatibilité du procédé avec la technologie IPD-3D, nous choisissons de former la couche isolante par un dépôt assisté par plasma de type ICPCVD (« Inductively Coupled Plasma Chemical Vapor Deposition ») à 100°C. Cette technique se distingue du dépôt par PECVD par le mode d'activation du plasma, et permet d'effectuer des dépôts à des températures comprises 50°C à 150°C [8]. Les couches obtenues sont d'épaisseurs uniformes et leurs caractéristiques sont proches des celles déposées par des techniques PECVD [8].

Le dépôt par ICPCVD est largement utilisé pour la formation de couche de dioxyde de silicium SiO_2 et de nitrure de silicium Si_3N_4 , qui rentrent dans la fabrication de condensateurs MIM. En pratique, les couches de nitrure de silicium déposées par des dépôts ICPCVD ne sont jamais totalement pures, et sont plutôt notées Si_xN_y . Ces deux matériaux possèdent une résistivité élevée, supérieure à $10^{12} \Omega \cdot \text{cm}$, en moyenne [3] [10]. Le nitrure de silicium Si_xN_y présente une permittivité relative « moyenne » comprise entre 6 et 8, qui est fonction de la pureté du matériau [3] [9]. Celle du SiO_2 varie entre 3,9 et 5 [3] [10]. Les condensateurs MIM basés sur un isolant de nitrure de silicium Si_xN_y sont donc plus intéressants pour ce qui concerne les densités d'intégration [11]. De plus, le nitrure de silicium Si_xN_y présente, entre autres, une bonne stabilité thermique, une forte tension de claquage ainsi qu'une forte linéarité en tension. Nous choisissons donc le nitrure de silicium Si_xN_y comme isolant pour nos condensateurs MIM.

2.2.2.2 Électrodes

Nous choisissons de fabriquer l'électrode supérieure en cuivre (Figure II-1) qui est relativement simple à fabriquer. De plus, le choix de ce matériau facilite l'intégration des condensateurs avec les solénoïdes. En effet, comme nous le montrerons lors du procédé d'intégration que nous décrivons plus tard, cela rend possible la fabrication des électrodes

supérieures des condensateurs et des pistes du premier niveau des solénoïdes en utilisant une seule étape de dépôt de cuivre.

Nous utilisons de l'aluminium pour fabriquer l'électrode inférieure (Figure II-1). Nous excluons l'utilisation du cuivre en raison d'une incompatibilité avec le dépôt de nitrure de silicium Si_xN_y par ICPCVD. En effet, lors d'un dépôt de nitrure de silicium par ICPCVD sur un substrat cuivre, l'activation de phénomènes de diffusions à l'interface cuivre/diélectrique dégrade le caractère isolant du diélectrique [12]. De nombreux procédés d'intégration ont alors recours à une étape supplémentaire de dépôt d'une couche d'interface sur le cuivre avant le dépôt plasma, qui est souvent un alliage de nitrure et de tantale. Certains concepteurs décident également de remplacer la couche diélectrique par un autre matériau isolant qui ne présente pas ce problème, mais qui est plus coûteux à fabriquer [12]. Leur fabrication peut en effet mobiliser des techniques de dépôt par couche atomique ALD (« Atomic Layer Deposition ») qui sont plutôt onéreuses [13].

Afin de s'affranchir de l'utilisation de procédés complexes, nous choisissons l'aluminium qui est un matériau peu coûteux à fabriquer et qui ne présente pas de problème de diffusion. Sa résistivité ($28 \times 10^{-9} \Omega \cdot \text{m}$) reste l'une des plus faibles après le cuivre ($17 \times 10^{-9} \Omega \cdot \text{m}$) et l'or ($22 \times 10^{-9} \Omega \cdot \text{m}$). De cette manière, nous pouvons fabriquer l'isolant des condensateurs en une seule étape de dépôt d'une couche de Si_xN_y , ce qui permet de minimiser d'autant plus le temps et le coût de fabrication. Il est à noter que le problème de diffusion du cuivre n'est pas présent dans le cas contraire où du cuivre est déposé sur du nitrure. L'électrode supérieure en cuivre surmontant le nitrure de silicium n'est donc pas concernée par ce problème.

2.3 Topologie des condensateurs

Le modèle des condensateurs MIM développés est présenté dans la Figure II-2. L'électrode inférieure est constituée par une couche mince d'aluminium de 500 nm (couche rose sur la Figure II-2), qui est déposée par évaporation métallique à basse pression et basse température. La couche de nitrure de silicium Si_xN_y constitue l'isolant (couche bleue sur la Figure II-2). Son épaisseur est de 200 nm ou 440 nm selon le type de condensateur fabriqué. Elle est déposée à 100°C en utilisant un procédé par plasma ICPCVD. L'isolant recouvre totalement l'électrode d'aluminium, ce qui permet de la protéger durant la suite du procédé de fabrication de l'électrode supérieure en cuivre et des solénoïdes. En effet, les solutions chimiques utilisées pour façonner les moules de résines durant les étapes de photolithographie ou pour graver les couches métalliques peuvent partiellement graver la surface de l'aluminium, la rendant ainsi plus rugueuse. Un via de connexion est ouvert dans la couche diélectrique afin d'accéder à l'électrode inférieure en aluminium (Figure II-2(b)). Enfin, l'électrode supérieure est constituée par une couche de cuivre d'une épaisseur de $15 \mu\text{m}$ (en orange sur la Figure II-2) fabriquée par un procédé de croissance électrolytique.

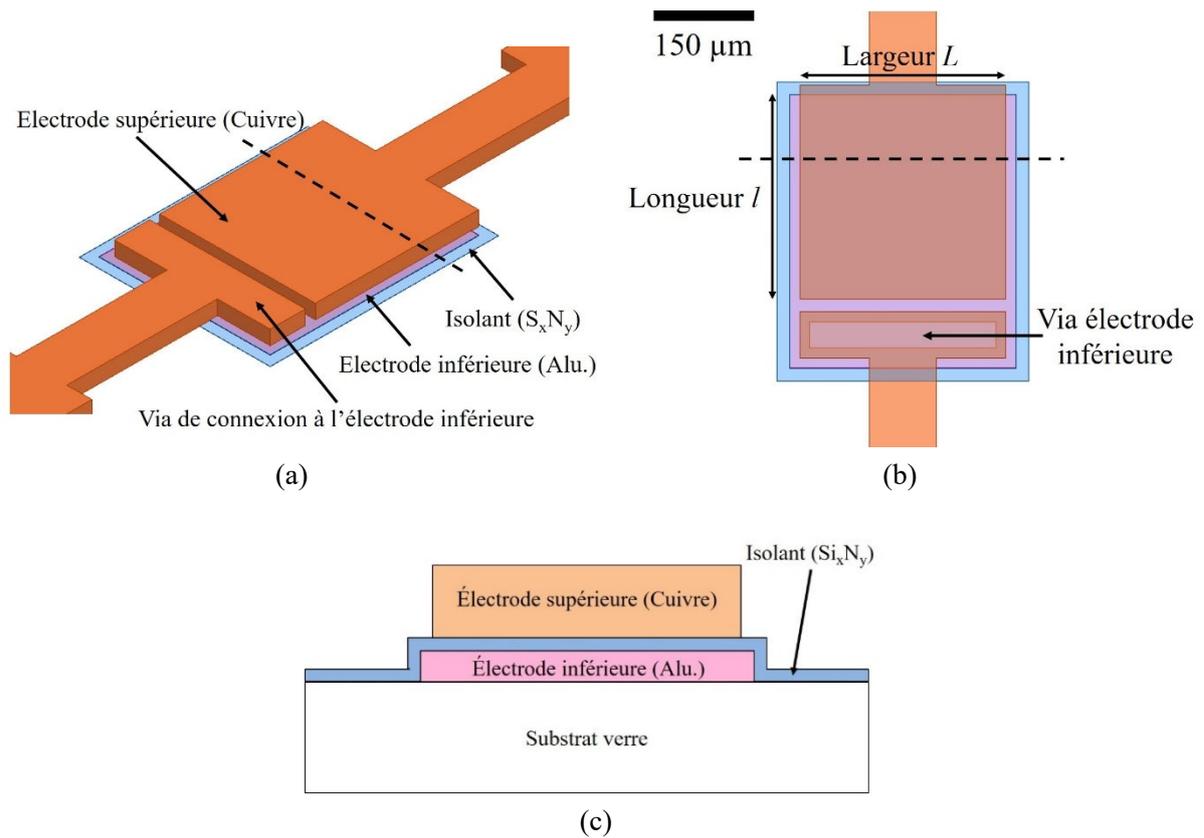


Figure II-2 : Modèle d'un condensateur MIM développé : (a) vue 3D et (b) de dessus du modèle HFSS et (c) représentation de la section délimitée en pointillé sur les images (a) et (b).

Deux configurations de condensateur sont testées. Les deux types de condensateurs se distinguent par les dimensions des deux électrodes métalliques, et sont présentés dans la Figure II-3.

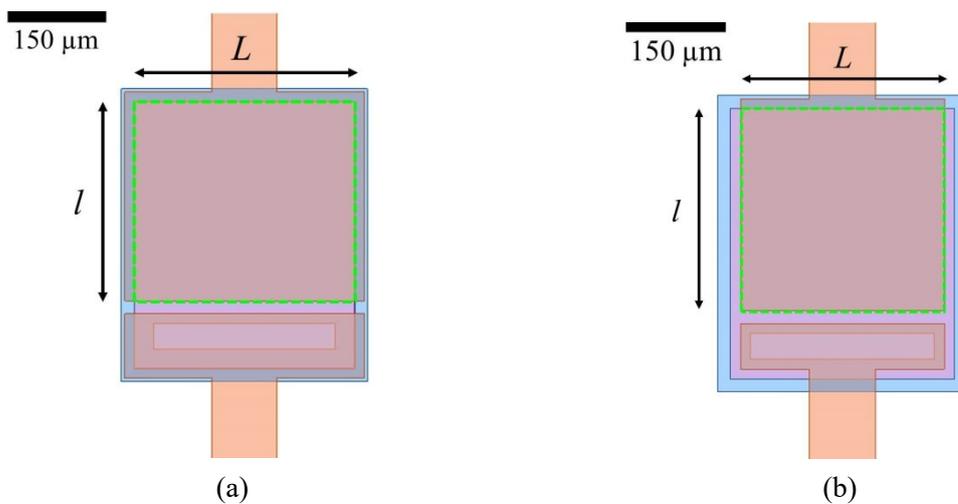


Figure II-3 : Modèles des deux configurations de condensateur MIM développés : (a) condensateur de type 1 et (b) condensateur de type 2.

La Figure II-3(a) correspond au modèle pour lequel la surface capacitive S est fixée par les dimensions de l'électrode inférieure en aluminium, qui est en regard de celle en cuivre (en pointillé vert sur la Figure II-3(a)). Autour de cette surface S , les flancs verticaux de l'électrode d'aluminium sont recouverts par l'isolant puis l'électrode de cuivre, comme indiqué sur la Figure II-4. Cette topologie n'est pas optimale en termes de fiabilité, car la concentration des lignes de champs au niveau des flancs de l'électrode d'aluminium définissent ici une zone de claquage. Ce phénomène peut être accentué dans le cas où, dans ces zones, le recouvrement de la couche isolante Si_xN_y serait insuffisant, c'est-à-dire que l'épaisseur de diélectrique e serait plus faible que la valeur théorique. Un autre risque à considérer est le cas où les flancs de l'électrode ne seraient pas recouverts par l'isolant, ce qui aboutirait à la formation de courts-circuits. Néanmoins, cette topologie présente un avantage. En effet, l'électrode d'aluminium définissant la surface capacitive S est protégée des attaques chimiques durant les étapes suivantes du procédé de fabrication. Les dimensions de l'électrode d'aluminium sont ainsi totalement préservées et, par extension, la surface capacitive S l'est aussi. Nous définirons par type 1 cette première configuration de condensateur.

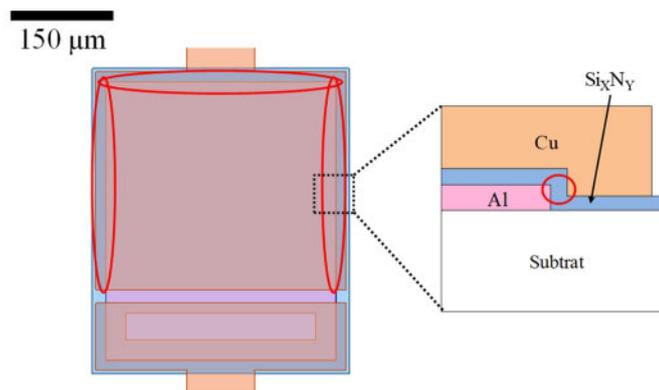


Figure II-4 : Zones de claquage et/ou de court-circuit pour un condensateur MIM de type 1.

La deuxième configuration de condensateur est présentée sur la Figure II-3(b), et ne comporte pas les risques de claquage ou de court-circuit de la topologie précédente. La surface capacitive S est fixée par les dimensions de l'électrode supérieure en cuivre (en pointillé vert sur la Figure II-3(b)), qui ne recouvre pas les flancs de l'électrode d'aluminium. Cependant, l'électrode supérieure est exposée à des gravures chimiques durant le procédé de fabrication, ce qui peut réduire les dimensions de l'électrode. Nous définirons par type 2 cette configuration de condensateur.

Nous testons ces deux types de condensateurs afin de voir si les risques technologiques associés à chacune des deux configurations surviennent durant la fabrication. Dans le cas où ces risques sont limités et n'ont pas d'impact sur les performances, nous conserverons la configuration présentant les capacités les plus proches des valeurs théoriques et les meilleurs coefficients de qualité.

Les caractéristiques des condensateurs de type 1 testés sont résumées dans le Tableau II-2. Celles des condensateurs de type 2 sont présentées dans le Tableau II-3. Les valeurs de capacités sont estimées en utilisant la formule (II-1) pour une permittivité relative ϵ_r du diélectrique S_xN_y estimée à 7, et dont l'épaisseur e est de 200 nm ou 440 nm.

Tableau II-2 : Caractéristiques des condensateurs de type 1 conçus.

Dimensions de la surface capacitive $l \times L$ ($\mu\text{m} \times \mu\text{m}$)	Épaisseur S_xN_y (nm)	Condensateur type 1 (pF)	Densité intégration (fF/ μm^2)
21 × 26	200	0,17	0,311
36 × 36	200	0,40	0,313
46 × 51	200	0,72	0,310
61 × 61	200	1,14	0,309
71 × 71	200	1,55	0,310
96 × 101	200	2,99	0,310
141 × 141	200	6,14	0,310
156 × 156	200	7,52	0,310
171 × 171	200	9,03	0,310
196 × 201	200	12,18	0,310
211 × 231	200	15,07	0,310

La lettre l correspond à la longueur de la surface capacitive et L à sa largeur (cf. Figure II-3(a)).

Tableau II-3 : Caractéristiques des condensateurs de type 2 conçus.

Dimensions de la surface capacitive $l \times L$ ($\mu\text{m} \times \mu\text{m}$)	Épaisseur S_xN_y (nm)	Condensateur type 2 (pF)	Densité intégration (fF/ μm^2)
20 × 25	440	0,070	0,137
20 × 25	200	0,16	0,312
45 × 50	440	0,32	0,141
35 × 35	200	0,38	0,306
45 × 50	200	0,70	0,308
70 × 70	440	0,73	0,141
85 × 85	440	1,05	0,140
60 × 60	200	1,12	0,308
70 × 70	200	1,53	0,310
120 × 120	440	2,07	0,142
95 × 100	200	2,96	0,310
155 × 155	440	3,42	0,141
170 × 170	440	4,11	0,141
195 × 200	440	5,53	0,141
140 × 140	200	6,09	0,310
210 × 230	440	6,84	0,141
155 × 155	200	7,47	0,310
170 × 170	200	8,98	0,310
195 × 200	200	12,12	0,310
210 × 230	200	15	0,310

La lettre l correspond à la longueur de la surface capacitive et L à sa largeur (cf. Figure II-3 (b)).

Pour les condensateurs de type 1, nous avons inclus dans les dimensions de la surface capacitive S la contribution apportée par les flancs verticaux de l'électrode d'aluminium, qui sont recouverts par l'isolant et l'électrode en cuivre. Ces flancs sont entourés en rouge dans la

Figure II-4. Les densités d'intégration des condensateurs de type 1 et de type 2 dont l'épaisseur d'isolant est de 200 nm sont autour de $0,310 \text{ fF}/\mu\text{m}^2$.

Nous implémentons également des condensateurs avec une épaisseur d'isolant plus élevée, de 440 nm. Ces condensateurs ont été fabriqués sur une autre plaquette que les autres condensateurs testés, où nous avons intégré des condensateurs de type 2 uniquement. Pour les composants intégrés sur cette plaquette, nous avons augmenté l'épaisseur d'isolant afin d'implémenter des condensateurs dont les capacités sont de plus faibles valeurs. En effet, pour une épaisseur d'isolant fixée, les capacités sont limitées par les dimensions minimales des électrodes qui sont de $15 \mu\text{m} \times 15 \mu\text{m}$ pour rester compatible avec la résolution maximale du procédé technologique. Pour une même surface capacitive S , augmenter l'épaisseur d'isolant est un moyen simple qui permet de diminuer la valeur de capacité (cf. formule (II-1)). Par ailleurs, pour une même capacité, augmenter l'épaisseur de l'isolant s'accompagne d'une augmentation de l'aire capacitive S , et permet d'intégrer des électrodes de plus grandes dimensions. Cela permet de réduire l'impact des déviations technologiques sur la capacité, à savoir une gravure de l'électrode en cuivre pour les condensateurs de type 2. Pour vérifier ce dernier point, nous testons également ce type de condensateur.

2.4 Caractérisation des condensateurs MIM

Les condensateurs sont fabriqués et caractérisés. Un condensateur MIM fabriqué est montré dans la Figure II-5. Le procédé de fabrication de ces condensateurs est détaillé lors de la présentation du procédé complet IPD-3D dans la partie 4 de ce chapitre.

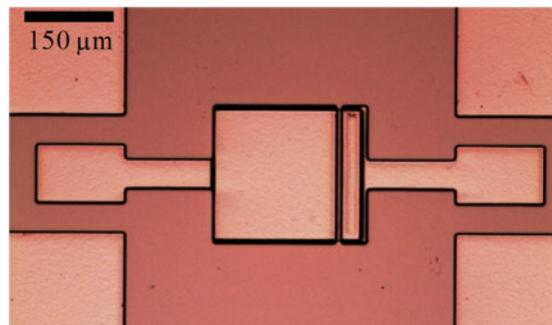


Figure II-5 : Photographie au microscope optique d'un condensateur MIM de capacité 7,44 pF fabriqué (vue de dessus).

Pour caractériser les condensateurs, nous rajoutons des accès de mesure constitués par des lignes de transmission de $150 \mu\text{m}$ de longueur qui sont terminées par des plots de mesure « Ground-Signal-Ground ». Chaque condensateur testé est entouré d'un anneau de masse.

2.4.1 Caractéristiques extraites des mesures hyperfréquences

Nous caractérisons les condensateurs MIM dans une bande de 200 MHz à 20 GHz en utilisant l'analyseur de réseau vectoriel Keysight N5247A PNA-X. Deux pointes coplanaires Cascade Infinity « Ground-Signal-Ground » (GSG) (pitch de 150 μm) sont utilisées. Les accès de mesure sont épluchés par une méthode « short-open » à partir de la caractérisation de deux motifs de test intégrés sur la plaquette (accès de mesure court-circuité (« short ») et ouvert (« open »)).

2.4.1.1 Capacités

La capacité C est extraite de la mesure de chaque condensateur à partir de la matrice d'admittance Y (déduite de la mesure des paramètres S à l'aide de formules de conversion matricielles [14]), par la relation suivante :

$$C (F) = \frac{-1}{\text{Im} \left(\frac{-1}{Y_{21}} \right) \times 2\pi f} \quad (\text{II-2})$$

Nous relevons la capacité à basse fréquence, ici 0,5 GHz. Les capacités calculées à partir des mesures en utilisant la formule (II-2) et les écarts relatifs des valeurs obtenues par rapport aux valeurs théoriques apparaissent dans les graphiques de la Figure II-6(a) et (b), respectivement.

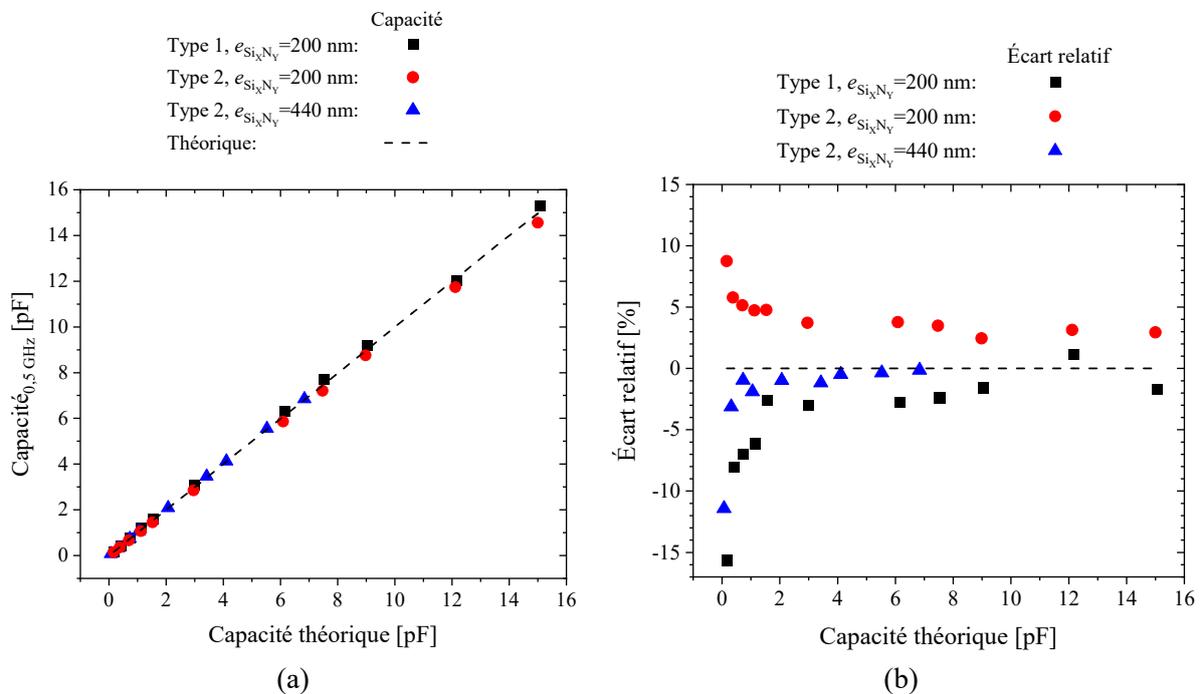


Figure II-6 : (a) Capacités pour les condensateurs caractérisés et (b) écarts relatifs par rapport aux valeurs théoriques.

Les résultats relatifs aux condensateurs de type 1, dont la surface capacitive est déterminée par les dimensions de l'électrode en aluminium, apparaissent en noir. Ceux associés aux condensateurs de type 2, dont la surface capacitive est déterminée par les dimensions de l'électrode supérieure en cuivre, sont affichés en rouge (épaisseur d'isolant de 200 nm) et bleu (épaisseur d'isolant de 440 nm).

Nous constatons sur le graphique de la Figure II-6(a) que les valeurs de capacités extraites des mesures sont conformes aux valeurs attendues. Pour une épaisseur d'isolant de Si_xN_y de 200 nm, les condensateurs de type 1 présentent des capacités avec des écarts inférieurs à 16 %. Pour les condensateurs de type 2, ces écarts sont bien plus faibles en restant inférieurs à 9 %.

Ces écarts entre les capacités mesurées et théoriques augmentent avec la diminution de la valeur de capacité. Cela s'explique par les faibles dimensions des électrodes, dont les variations dues au procédé technologique ont une influence plus importante sur la capacité. En outre, les écarts relevés pour les condensateurs de type 1 sont dus à une contribution des flancs de l'électrode d'aluminium plus importante qu'estimée pour les valeurs théoriques. À cet endroit, une observation par microscopie électronique à balayage nous a permis de mesurer une épaisseur de l'isolant e de 120 nm, contre les 200 nm théoriques. L'épaisseur de diélectrique étant plus faible à cet endroit, la capacité apportée par les flancs de l'électrode d'aluminium augmente par rapport à celle prévue (cf. formule (II-1)). Enfin, le léger écart relevé pour les condensateurs de type 2 peut s'expliquer par une faible sur-gravure de la couche d'accrochage, située sous l'électrode de cuivre, et qui diminue légèrement la surface capacitive de l'électrode au contact de l'isolant.

Pour une épaisseur de l'isolant de 440 nm, les condensateurs de type 2 présentent des valeurs très proches de celles attendues avec des écarts inférieurs à 5,3 %, exception faite du condensateur de 0,07 pF dont l'écart est de 11 %. À valeurs de capacités égales, les dimensions des électrodes de cuivre sont plus élevées que celles des condensateurs avec une épaisseur d'isolant de 200 nm. Une sur-gravure sous les électrodes de cuivre a donc un impact moindre sur la valeur de capacité (en termes de pourcentage d'erreur sur la capacité). Pour la suite des réalisations, nous privilégions donc une épaisseur d'isolant de 440 nm, ce qui nous permet aussi d'intégrer des condensateurs avec de plus petites capacités.

Dans tous les cas, nous voyons que les condensateurs de type 2 présentent des capacités plus proches des valeurs théoriques que les condensateurs de type 1, ce qui privilégie le choix de cette configuration pour la fabrication de circuits RF.

2.4.1.2 Coefficients de qualité

Pour chaque condensateur, le coefficient de qualité Q est extrait de la mesure en utilisant la formule :

$$Q = \frac{Im(Y_{11})}{Re(Y_{11})} \quad (II-3)$$

Dans les graphiques de la Figure II-7(a) et (b) sont affichés les coefficients de qualité des condensateurs aux fréquences de 1 GHz et 6 GHz, respectivement.

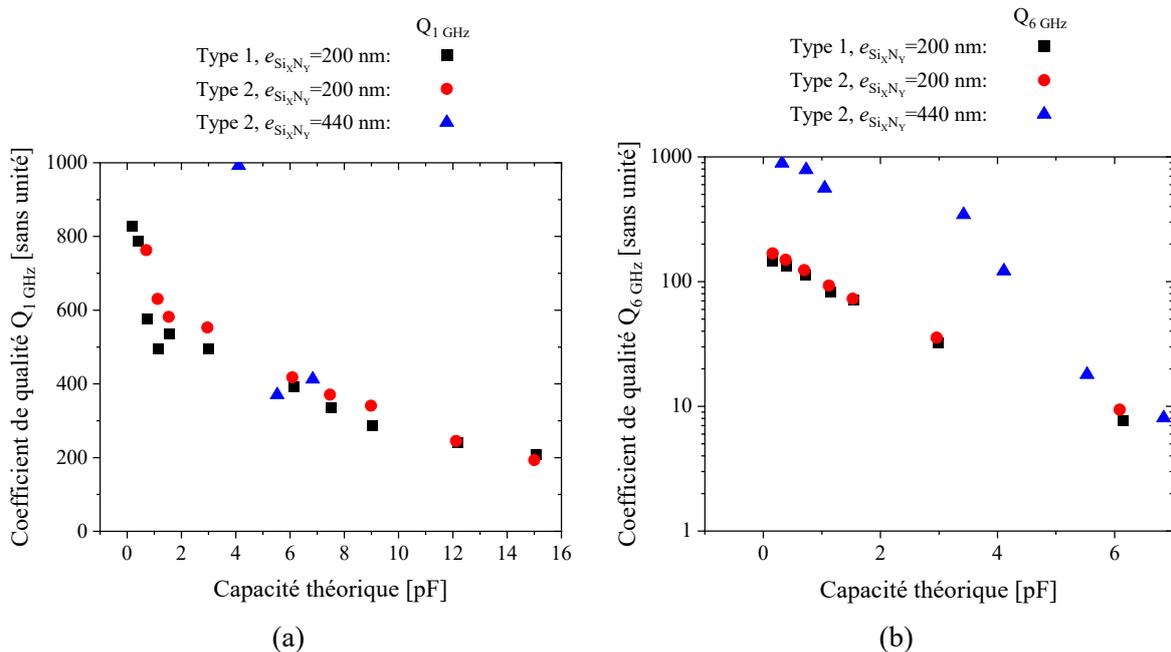


Figure II-7 : Coefficients de qualité extraits à (a) 1 GHz et (b) 6 GHz pour les condensateurs caractérisés.

À 1 GHz, des coefficients de qualité supérieurs à 193 sont obtenus pour tous les condensateurs testés (Figure II-7(a)). À 6 GHz, nous faisons figurer les coefficients pour des condensateurs dont les capacités sont entre 0,07 pF et 7 pF. Les coefficients de qualité restent supérieurs à 50 pour des condensateurs de capacités inférieures à 2 pF, tous types de condensateurs confondus. Au-delà, les larges dimensions des électrodes amènent des pertes résistives et un comportement inductif (longueur des électrodes) plus marqués qui tendent à faire baisser rapidement le coefficient de qualité. Par ailleurs, pour des condensateurs dont les capacités sont de fortes valeurs, l'expression (II-3) utilisée pour estimer le coefficient de qualité de chaque condensateur ne permet pas de tenir compte de l'inductance série associée aux larges dimensions des électrodes, ce qui aboutit à des coefficients de qualité sous-estimés [15]. Les condensateurs dont les capacités sont élevées sont davantage utilisés pour des applications basse

fréquence. Or nous voyons que les condensateurs de capacités supérieures à 7 pF présentent d'excellents coefficients de qualité supérieurs à 193 pour des fréquences inférieures à 1 GHz.

Pour une épaisseur du diélectrique de 200 nm, les coefficients de qualité relevés pour les condensateurs de type 2 sont légèrement plus élevés que ceux des condensateurs de type 1. Cela conforte le choix de ce type de configuration pour les prochaines réalisations de circuits RF.

Les coefficients de qualité les plus élevés sont obtenus pour des condensateurs dont l'épaisseur du diélectrique est de 440 nm. Ces résultats s'expliquent en partie par une amélioration du procédé technologique lors de la fabrication de ces condensateurs. Ces améliorations ont été réalisées après la fabrication des condensateurs dont l'épaisseur de diélectrique est de 200 nm. Elles ont porté sur les procédés de désoxydation de l'aluminium et de gravure humide des couches d'accrochage, qui a permis de réduire la rugosité des métaux constituant les électrodes, et par suite leurs pertes résistives. Nous avons également obtenu une résistance de contact plus faible au niveau du via de connexion entre l'électrode d'aluminium et la piste d'accès en cuivre.

2.4.2 Caractérisation de la couche diélectrique Si_xN_y par des mesures I(V)

Afin de valider le procédé de dépôt de la couche isolante à basse température, nous vérifions que la couche de nitrure de silicium formée présente un caractère isolant aussi élevé que celles obtenues avec d'autres procédés de dépôts par PECVD ou ICPCVD. L'objectif est aussi de vérifier que l'isolant présente de faibles courants de fuite. Dans le cas des condensateurs MIM, un courant traversant l'isolant se traduit notamment par une diminution du facteur de qualité Q à basse fréquence. Ce type de pertes peut être représenté électriquement par une résistance de conduction R_c placée en parallèle du condensateur C . L'influence de cette résistance disparaît progressivement avec l'augmentation de la fréquence au profit du caractère capacitif du composant [16].

L'ensemble de ces caractéristiques peuvent être déduites par des mesures I(V) menées sur les condensateurs. Le principe d'une mesure I(V) est de relever le courant traversant un condensateur MIM lorsqu'un signal continu de tension croissante est injecté à ses bornes. Ce courant correspond au courant de fuite I qui circule à travers l'isolant du condensateur. Le caractère isolant du matériau diélectrique est conservé tant que la tension qui lui est appliquée n'excède pas la tension de claquage. Cette tension dépassée, le champ électrique est d'amplitude suffisante pour que des atomes du matériau soient ionisés. Un arc électrique se crée correspondant au passage d'un courant très intense qui traverse l'isolant. Ce phénomène est visible lors de la mesure par une augmentation brutale du courant de fuite I . Il est dû à la rupture de la couche isolante et à la création d'un court-circuit entre les électrodes de la structure MIM.

L'obtention de la tension de claquage permet de calculer le champ de claquage E qui est défini par :

$$E \left(\frac{MV}{cm} \right) = \frac{V_{claq}}{e} \quad (II-4)$$

où V_{claq} est la tension de claquage, et e est l'épaisseur de la couche diélectrique. Ce paramètre est classiquement utilisé pour évaluer la capacité de la couche diélectrique à supporter un fort champ électrique avant qu'elle ne devienne conductrice, et permet par extension de juger de la qualité isolante du matériau fabriqué.

Nous caractérisons les condensateurs en utilisant un banc de mesure I(V). Le signal continu est appliqué aux accès des condensateurs grâce à des pointes. Le courant maximum est fixé à 1 mA. Nous mesurons le courant de fuite I pour des valeurs de tension croissantes comprises entre 0 V à 200 V.

Sur la Figure II-8 est retracée l'évolution caractéristique du courant I en fonction de la tension pour un condensateur de capacité 7,44 pF (épaisseur de nitrure de 200 nm). Avant 60 V, nous constatons que le courant de fuite est quasi-nul. Il augmente légèrement à partir de 40 V jusqu'à une valeur de 0,11 mA obtenue à 140 V. Cette augmentation correspond à l'activation d'un courant de fuite véhiculé par des d'impuretés dans la couche Si_xN_y . Nous observons un saut de courant à une tension de claquage de 140 V. Une fois la tension de 140 V dépassée, le courant I est limité à sa valeur maximum de 1 mA.

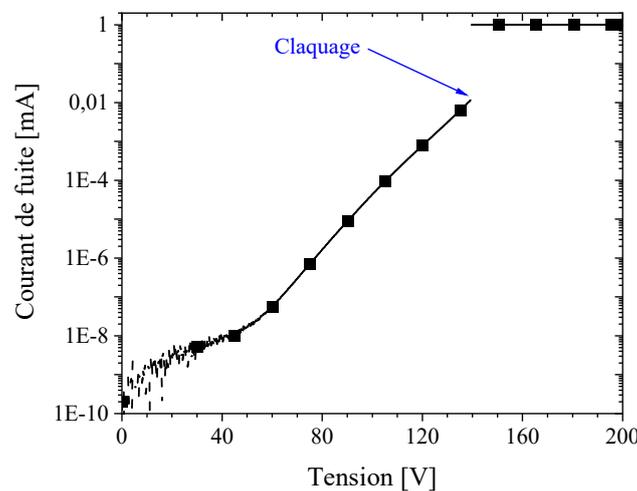


Figure II-8 : Variation du courant de de fuite I dans l'isolant en fonction de la tension appliquée aux bornes d'un condensateur de type 2 de capacité 7,44 pF.

Les condensateurs de type 1 testés présentent des tensions de claquage variables entre 80 V et 140 V. Au niveau des flancs des électrodes d'aluminium, le dépôt du nitrure de silicium est d'épaisseur plus faible et varie d'un condensateur à l'autre. Il en résulte que les tensions de claquage mesurées sont de plus faibles valeurs (du fait d'une épaisseur plus faible) et variables,

et traduisent un défaut de fiabilité pour cette catégorie de condensateur. De plus, cela ne permet pas d'évaluer avec précision le champ de claquage relatif au nitrure de silicium. Ce problème n'est pas relevé pour les condensateurs de type 2, ce qui confirme en plus des mesures hyperfréquences le choix de cette configuration de condensateur pour les prochaines réalisations.

La caractérisation de l'ensemble des condensateurs MIM de type 2 permet d'extraire une valeur du champ électrique moyen E de $6,81 \text{ MV.cm}^{-1}$ en utilisant la formule (II-4). Cette valeur est proche des données de la littérature reportant des valeurs de rigidités diélectriques obtenues sur des films Si_xN_y déposés par ICPCVD dans des conditions expérimentales similaires [13] [17]. De plus, cette rigidité diélectrique est supérieure à celles obtenues pour des films réalisés par PECVD, et dont les valeurs se situent autour de 5 MV.cm^{-1} [18]. Ce résultat atteste de la qualité de la couche diélectrique de nitrure de silicium Si_xN_y déposée, et permet finalement de valider le procédé de dépôt à basse température de l'isolant des condensateurs.

2.4.3 Extraction du modèle électrique équivalent des condensateurs

En nous basant sur les résultats extraits des mesures, nous avons développé un modèle équivalent des condensateurs MIM afin d'estimer rapidement leurs pertes et de mieux interpréter leurs comportements hyperfréquences. Les condensateurs MIM développés peuvent être modélisés par le modèle de la Figure II-9 [19].

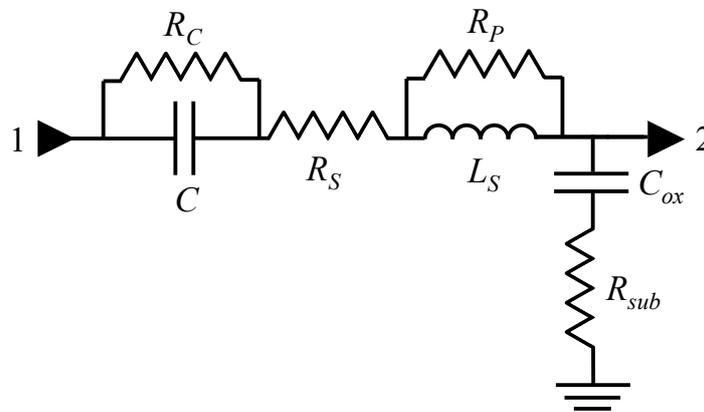


Figure II-9 : Modèle électrique d'un condensateur MIM.

C correspond à la capacité extraite de la mesure d'un condensateur et estimée à l'aide de la formule (II-2). La résistance R_c représente les pertes associées au courant de conduction dans l'isolant. L'inductance série L_s et la résistance série R_s représentent les pertes associées aux électrodes métalliques. L'inductance L_s est déduite à basse fréquence (bf) des mesures par la formule suivante [20] :

$$L_S(H) = \left(\frac{1}{\omega}\right)^2 \times \frac{1}{C_S} \Big|_{bf} = \frac{\text{Im}\left(-1/Y_{12}\right)}{\omega} \Big|_{bf} \quad (\text{II-5})$$

où ω est la fréquence angulaire. La résistance série R_S correspond à la valeur aux basses fréquences de la résistance définie par :

$$R_{\text{sér}}(\Omega) = \text{Re}\left(\frac{-1}{Y_{12}}\right) \quad (\text{II-6})$$

Les pertes résistives à haute fréquence, dues à l'effet de peau, peuvent être simplement modélisées en associant une résistance indépendante de la fréquence R_p en parallèle de l'inductance L_S [21]. Le condensateur C_{ox} représente le couplage entre les électrodes et le substrat, et la résistance R_{sub} rend compte des pertes d'origine électrique dans le substrat.

Du fait de la résistivité élevée du verre dans le cas du travail sur lequel nous rapportons ici, nous négligeons la branche parallèle contenant C_{ox} et R_{sub} . Par ailleurs, nous avons relevé un courant de fuite quasiment nul lors des mesures I(V) pour de faibles valeurs de tensions. Nous négligeons donc la résistance de conduction R_c représentant les pertes par conduction dans l'isolant.

Nous appliquons ce modèle pour le condensateur de type 2 fabriqué dont la capacité est de plus forte valeur, à savoir 15 pF. Les graphiques de la Figure II-10 présentent en pointillé et symboles vides les paramètres S du modèle simulé avec ADS. En traits et symboles pleins figurent les paramètres S extraits de la mesure du condensateur.

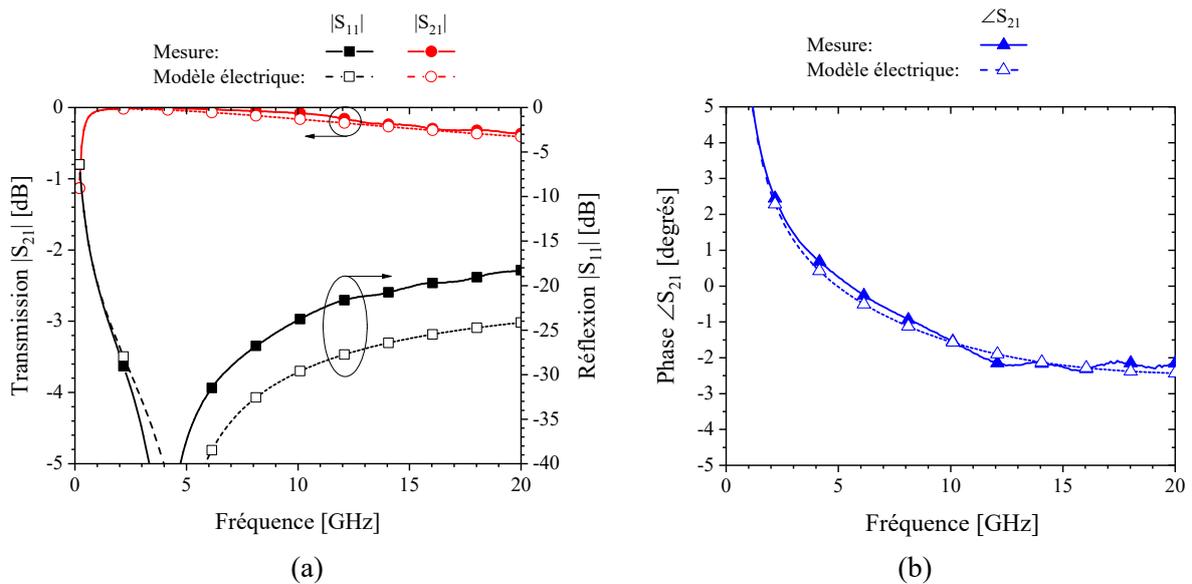


Figure II-10 : (a) Modules et (b) phase des paramètres S d'un condensateur de capacité 15 pF mesuré et simulé en utilisant le modèle de la Figure II-9.

Le graphique de la Figure II-11(a) présente les valeurs extraites pour le condensateur C et la résistance $R_{sér}$. Celui de la Figure II-11(b) présente le coefficient de qualité du condensateur.

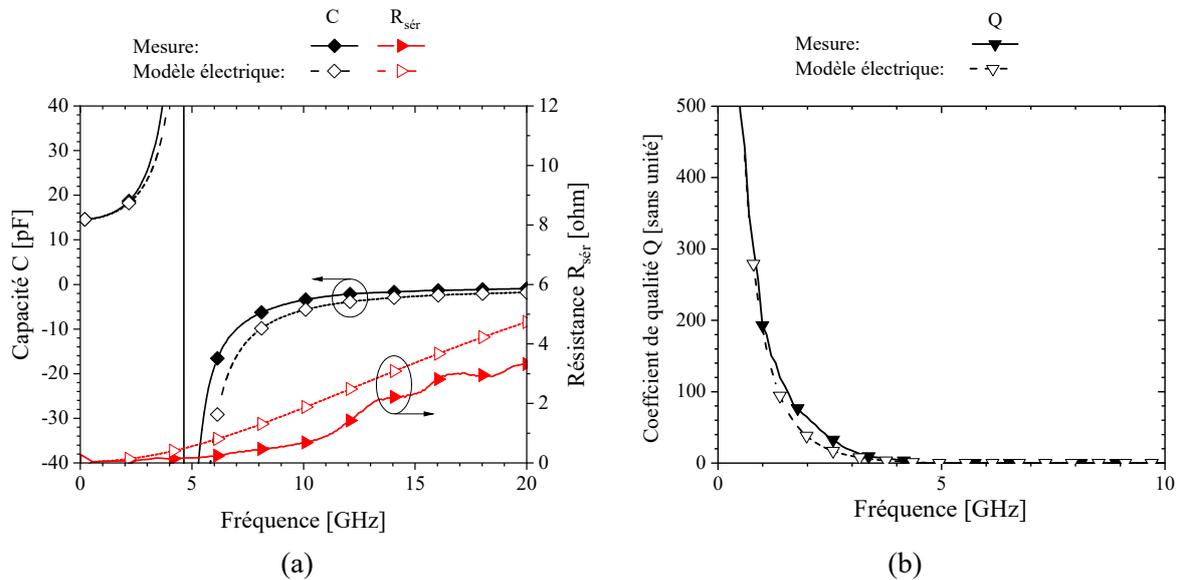


Figure II-11 : (a) Capacité C , résistance série R_s et (b) coefficient de qualité Q d'un condensateur de capacité 15 pF mesuré et simulé en utilisant de modèle de la Figure II-9.

Le bon accord relevé entre les mesures et le modèle montre que les différents phénomènes de pertes sont correctement identifiés. Nous pouvons donc valider l'hypothèse de départ consistant à négliger les pertes dans le substrat qui sont représentées par la résistance R_{sub} et le condensateur C_{ox} (dans le cas du verre), et les pertes par conduction dans l'isolant représentées par R_c . Les valeurs des différents éléments du modèle de la Figure II-9 pour le condensateur de 15 pF sont les suivantes :

$$C = 14,6 \text{ pF}$$

$$R_s(\text{à } 1 \text{ GHz}) = 0,034 \text{ } \Omega$$

$$R_p = 10 \text{ } \Omega$$

$$L_s = 75 \text{ pH}$$

Nous constatons que les pertes dans les métallisations restent assez faibles. La qualité des métaux constituant les électrodes (granulosité inférieure au nanomètre) permet d'obtenir une résistance série R_s faible et de limiter l'effet de peau. Cela explique en particulier les coefficients de qualité élevés obtenus à basse fréquence (1 GHz) dans la Figure II-7(a). Ces coefficients élevés sont aussi à relier au caractère isolant du nitrure de silicium, qui minimise la résistance de fuite R_c .

En conclusion, le bon accord entre le modèle et les mesures ainsi que les faibles pertes relevées confirment la maîtrise du procédé développé pour la fabrication des condensateurs.

2.5 Conclusion relative à la fabrication des condensateurs MIM

Nous résumons dans le Tableau II-4 les caractéristiques pour quatre condensateurs fabriqués, et dont la capacité varie entre 0,38 pF et 7,44 pF. Nous listons ici les valeurs obtenues pour des condensateurs de type 2 (surface capacitive définie par les dimensions de l'électrode de cuivre), et fabriqués avec une épaisseur d'isolant Si_xN_y de 200 nm. Sur les quatre dernières lignes du tableau, nous avons reporté les performances de condensateurs recensés dans la littérature qui sont intégrés en utilisant un isolant Si_xN_y déposé par une technique PECVD.

Tableau II-4 : Caractéristiques de condensateurs MIM mesurés et comparaison avec des résultats de la littérature.

Réf.	$C_{\text{théo}}$ (pF)	$C@0,5 \text{ GHz}$ (pF)	Écart relatif (%)	$Q@1 \text{ GHz}$	$Q@6 \text{ GHz}$	Aire capacitive ($\mu\text{m} \times \mu\text{m}$)	Densité intégration (fF/ μm^2)
Ce travail	0,38	0,36^m	5,3^m	NC	150^m	35 × 35	0,310
Ce travail	0,70	0,66^m	5,7^m	763^m	124^m	45 × 50	0,293
Ce travail	1,53	1,46^m	4^m	582^m	73^m	70 × 70	0,310
Ce travail	7,47	7,21^m	3,5^m	371^m	5^m	155 × 155	0,309
[22]	1,69	NC	NC	50 ^m	0 ^m	100 × 50	0,338
[22]	3,27	NC	NC	60 ^m	≈ 3 ^m	100 × 100	0,327
[22]	4,86	NC	NC	50 ^m	≈ 12 ^m	150 × 100	0,324
[23]	0,7	NC	NC	225 ^m	≈ 55 ^m	25 × 25	1,12

Les performances mesurées sont distinguées par l'indice ^m

Nous remarquons que les coefficients de qualité que nous obtenons sont supérieurs à ceux des condensateurs MIM de travaux récents. Nous maintenons également des densités d'intégration proches de celles obtenues par le travail présenté dans [22]. L'ensemble de ces caractéristiques valide ainsi les bonnes performances des condensateurs MIM par rapport à des réalisations équivalentes.

Par ailleurs, la tension de claquage élevée obtenue pour l'isolant nous permet de valider le procédé de dépôt à basse température de 100 °C. La fabrication des condensateurs n'excédant pas cette température, nous respectons bien la limite de 150°C imposée par le cahier des charges. De plus, seulement trois étapes sont nécessaires pour fabriquer les condensateurs. Nous le rappelons, le choix d'une électrode inférieure d'aluminium permet de déposer directement la couche de nitrure de silicium par ICPCVD sans avoir besoin de déposer des couches d'interfaces supplémentaires.

Finalement, nous validons bien les critères du cahier des charges relatif au procédé de fabrication des condensateurs, à savoir le maintien d'une température de fabrication inférieure à 150°C, un nombre d'étapes de fabrication minimisé et l'utilisation de procédés de fabrication classiques.

Il nous faut maintenant vérifier que le procédé de fabrication des condensateurs est bien compatible avec celui des solénoïdes. De plus, lors de la conception d'un circuit, les

condensateurs utilisés doivent présenter des coefficients de qualité supérieurs à ceux des solénoïdes auxquelles ils sont associés. Ces deux points sont examinés à travers la réalisation de deux circuits simples qui sont des transformateurs 3D (constitués par deux solénoïdes) adaptés à 50Ω en utilisant des condensateurs MIM. Dans la partie suivante, nous détaillons la conception, la fabrication et la caractérisation de ces deux démonstrateurs.

3 Réalisation de transformateurs adaptés par des condensateurs MIM

La technologie IPD-3D a permis de fabriquer des solénoïdes qui ont été introduits dans le premier chapitre. Des transformateurs ont ensuite été fabriqués en imbriquant deux solénoïdes de sorte à favoriser un couplage magnétique entre les deux enroulements. Les transformateurs sont incontournables dans la réalisation de circuits tels que les réseaux d'adaptation d'impédance, les filtres, les baluns ou encore les coupleurs. Des transformateurs 3D ont été développés durant un précédent travail de thèse mené par Olga Bushueva, qui a abouti à la caractérisation hyperfréquence de plusieurs transformateurs présentant des performances à l'état de l'art en termes de gain maximum disponible et de densité d'intégration [24].

Nos deux démonstrateurs sont constitués à partir de deux transformateurs 3D. Nous avons à notre disposition les performances mesurées des deux transformateurs (sans condensateurs) qui nous permettent de déterminer leurs gains disponibles maximums réels (minimums de pertes théoriques). Nous ajoutons pour chaque enroulement des transformateurs un réseau de condensateurs MIM pour les adapter à une impédance de 50Ω . Les transformateurs finaux ont une topologie symétrique, c'est-à-dire que les enroulements primaire et secondaire sont identiques et sont adaptés par le même réseau de condensateurs MIM. Nous pouvons alors accéder simplement et précisément aux performances de chacun des circuits, pour lequel les pertes en transmission sont équivalentes entre les deux enroulements. Nous pouvons comparer les performances obtenues pour ces démonstrateurs avec les gains disponibles maximums des transformateurs, et ainsi voir la contribution apportée par les condensateurs sur leurs niveaux de pertes.

La fabrication de transformateurs adaptés à 50Ω permet de vérifier le bon déroulement des différentes étapes technologiques. En effet, cette réalisation se base sur l'enchaînement du procédé de fabrication des condensateurs puis celui des solénoïdes. Nous vérifions ainsi qu'aucun problème d'adhésion, de diffusion entre deux matériaux, ou de délamination n'intervient lors de la superposition des différentes couches formant les composants. Cela permet aussi de contrôler qu'aucune attaque chimique ne vient altérer une couche déjà fabriquée. En cas d'apparition d'un de ces phénomènes, le procédé technologique complet est compromis.

Nous détaillons dans cette partie la conception, la fabrication et la caractérisation des deux démonstrateurs. Nous présentons rapidement les caractéristiques des deux transformateurs 3D utilisés. Nous détaillons ensuite la conception des transformateurs adaptés, et montrons leurs performances issues de simulations électriques et électromagnétiques. Nous décrivons le procédé de fabrication des condensateurs et des transformateurs. Nous finissons par les résultats de caractérisation des transformateurs adaptés. Cette dernière étape nous permettra de conclure sur le potentiel des condensateurs à maintenir de hautes performances pour les circuits testés.

3.1 Présentation des transformateurs 3D utilisés

Le modèle d'un transformateur 3D constitué de deux enroulements identiques imbriqués est présenté dans la Figure II-12. L'enroulement primaire P apparaît en bleu, et l'enroulement secondaire S en rouge. Comme les inductances 3D introduites dans le premier chapitre, les solénoïdes sont structurés sur deux niveaux métalliques superposés et séparés par un plot de résine diélectrique $SU8$ d'une épaisseur de $130\ \mu\text{m}$. La largeur W_n du noyau de résine est de $320\ \mu\text{m}$ (Figure II-12).

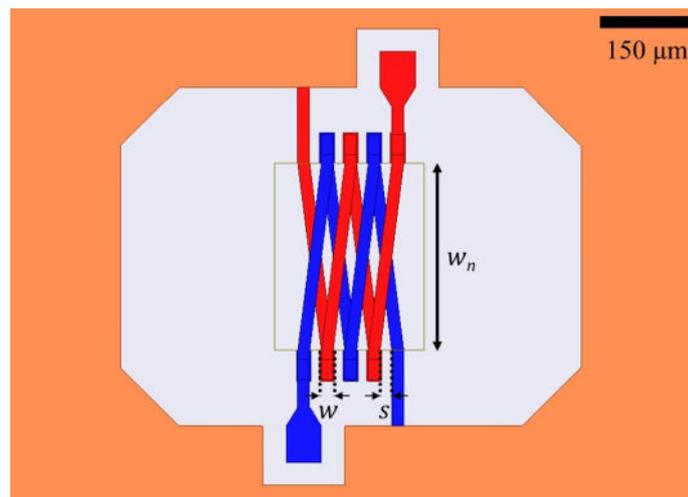


Figure II-12 : Modèle d'un transformateur symétrique 1:1, composé de deux enroulements de deux spires (vue de dessus).

Basés sur ce modèle, deux transformateurs symétriques 1:1 constitués par deux enroulements de 4 et 8 spires ont été conçus. Ils ont été fabriqués sur un substrat verre, en utilisant le procédé technologique IPD-3D détaillé dans la partie 4. Pour la suite du chapitre, nous désignerons les transformateurs en « tours » qui se rapportent au nombre de spires qui composent chacun des deux enroulements (qui sont identiques).

Les caractéristiques des transformateurs, extraites des mesures hyperfréquences, sont récapitulées dans le Tableau II-5. L_p est l'inductance de l'enroulement primaire, qui est identique au secondaire L_s . M est l'inductance mutuelle caractérisant le couplage magnétique, et K est le coefficient de couplage entre les deux enroulements.

Tableau II-5 : Paramètres géométriques des transformateurs fabriqués sur verre et performances extraites des mesures RF.

Transformateur	T ₁	T ₂
Nombre de spires	4	8
Largeur w (μm)	15	20
Épaisseur métal t (μm)	15	15
Espacement s (μm)	20	20
$Q_{pmax}@f_{Q_{pmax}}$ [GHz]	26@3,3	19@1,3
L_p à $f_{Q_{pmax}}$ [nH]	2,7	5,2
Fréq. rés. f_{srf} [GHz]	6,6	3
Ind. mut. M à $f_{Q_{pmax}}$ [nH]	1,7	3,4
Couplage K à $f_{Q_{pmax}}$	0,63	0,66
$G_{max}@$ fréquence [GHz]	0,91@6,1	0,89@3,3
G_{max} [dB]@fréquence [GHz]	-0,39@6,1	-0,50@3,3

Pour la suite, nous nous intéressons plus particulièrement aux coefficients de qualité maximaux Q_{pmax} des enroulements des deux transformateurs et à leur gain disponible maximum respectif G_{max} . Le coefficient de qualité maximal des enroulements du transformateur de 4 tours est de 26 à 3,3 GHz et celui des enroulements du transformateur de 8 tours est de 19 à 3,1 GHz. Il faudra alors vérifier que les condensateurs utilisés pour adapter ces composants présentent des coefficients de qualité supérieurs à la même fréquence.

Le gain disponible maximum G_{max} pour un transformateur correspond au gain théorique lorsque les entrées et les sorties du transformateur sont parfaitement adaptées à 50Ω [3] [25]. Ce gain est donné par l'expression :

$$G_{max} = \left| \frac{S_{21}}{S_{12}} \right| \left(k_s - \sqrt{k_s^2 - 1} \right) \quad (\text{II-7})$$

Où k_s est le coefficient de Rollet [25] [14], calculé en utilisant la formule :

$$k_s = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad (\text{II-8})$$

La variation de la valeur de ce gain en fonction de la fréquence permet de remonter au niveau de pertes en transmission minimum théorique du transformateur lorsque celui-ci est parfaitement adapté à 50Ω . En effet, la valeur du coefficient $1/G_{max}$ correspond au niveau de perte en transmission théorique d'un transformateur adapté à 50Ω .

3.2 Conception des transformateurs adaptés par des condensateurs MIM

Nous utilisons dans un premier temps le logiciel Keysight ADS pour déterminer par simulation électrique les capacités des condensateurs utilisés pour l'adaptation ainsi que leur disposition dans le circuit. Les modèles complets des transformateurs adaptés sont ensuite simulés en utilisant le logiciel de simulation électromagnétique Ansys HFSS.

3.2.1 Adaptation de l'impédance d'entrée des transformateurs avec ADS

Le modèle électrique d'un transformateur adapté simulé avec ADS est donné par la Figure II-13. Afin de nous rapprocher le plus possible du cas réel, nous utilisons des boîtes de fichiers S2P contenant les données mesurées des transformateurs (fichiers *Touchstone.s2p*) fabriqués et caractérisés lors d'un précédent travail de thèse [24]. Nous utilisons un modèle électrique idéal pour les condensateurs MIM.

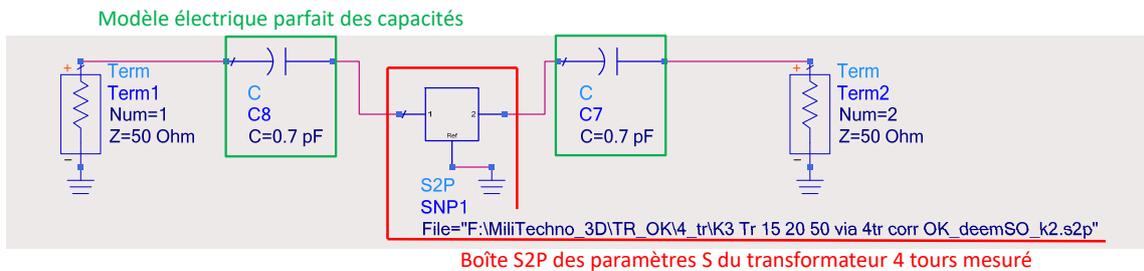


Figure II-13 : Modélisation ADS du transformateur adapté en ajoutant deux condensateurs en série aux accès du transformateur.

Les modules des paramètres S pour le transformateur de 4 tours (sans condensateurs) sont donnés en traits pleins et symboles vides dans le graphique de la Figure II-14(a).

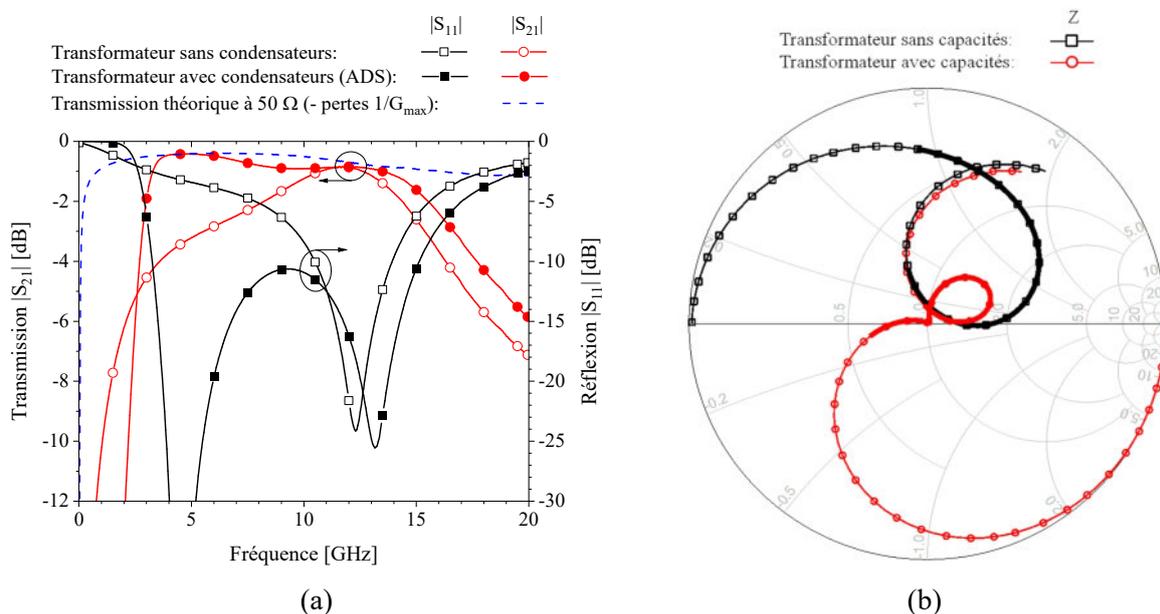


Figure II-14 : Modules des paramètres S pour le transformateur de 4 tours adapté avec des condensateurs MIM et le même transformateur sans condensateurs, et transmission théorique pour une adaptation à 50Ω du transformateur (sans condensateurs).

Nous y faisons également figurer en pointillé bleu les pertes minimales théoriques du transformateur lorsque ses entrées et ses sorties sont parfaitement adaptées à 50Ω . Elles sont estimées à partir du gain maximum disponible mesuré, et sont données par $1/G_{max}$.

Les pertes théoriques ($1/G_{max}$) indiquent que des pertes minimales, inférieures à 1 dB, peuvent être atteintes dans la bande 0,8-16,1 GHz lorsque le transformateur est parfaitement adapté à 50Ω (Figure II-14(a)). Nous adaptons donc le transformateur dans cette bande de fréquence afin de bénéficier de performances optimales. Dans cette bande, le transformateur sans condensateurs présente des pertes plus élevées que les pertes théoriques, car l'impédance vue en entrée du transformateur est éloignée de 50Ω , sauf dans la bande entre 10,7 GHz et 12,7 GHz où le coefficient de réflexion est inférieur à -15 dB. En effet, les enroulements présentent un comportement inductif (réactance positive) sur l'ensemble de la bande 1-20 GHz, comme cela est visible sur l'abaque de Smith de la Figure II-14(b). L'insertion d'un condensateur disposé en série (réactance négative) sur chaque entrée du transformateur nous permet de ramener la valeur de l'impédance vue en entrée des enroulements proche de 50Ω dans la bande 0,8-16,1 GHz. La capacité des deux condensateurs est de 0,7 pF.

Nous affichons en traits et symboles pleins dans la Figure II-14(a) les résultats obtenus après ajout des condensateurs au transformateur. Les résultats de la Figure II-14(a) montrent que dans la bande 3,4-13,6 GHz, les pertes en transmission $|S_{21}|$ relevées sont inférieures à 0,9 dB, et proches du minimum des pertes théoriques ($1/G_{max}$). Les pertes théoriques de 0,42 dB sont atteintes à 4,9 GHz. Le module de la réflexion $|S_{11}|$ reste inférieur à -11 dB.

Nous procédons de la même manière pour le transformateur de 8 tours. Les modules des paramètres S pour le transformateur qui n'est pas adapté par les condensateurs sont donnés en traits pleins et symboles vides dans le graphique de la Figure II-15(a). La transmission théorique du transformateur pour une adaptation à 50Ω apparaît en pointillé bleu.

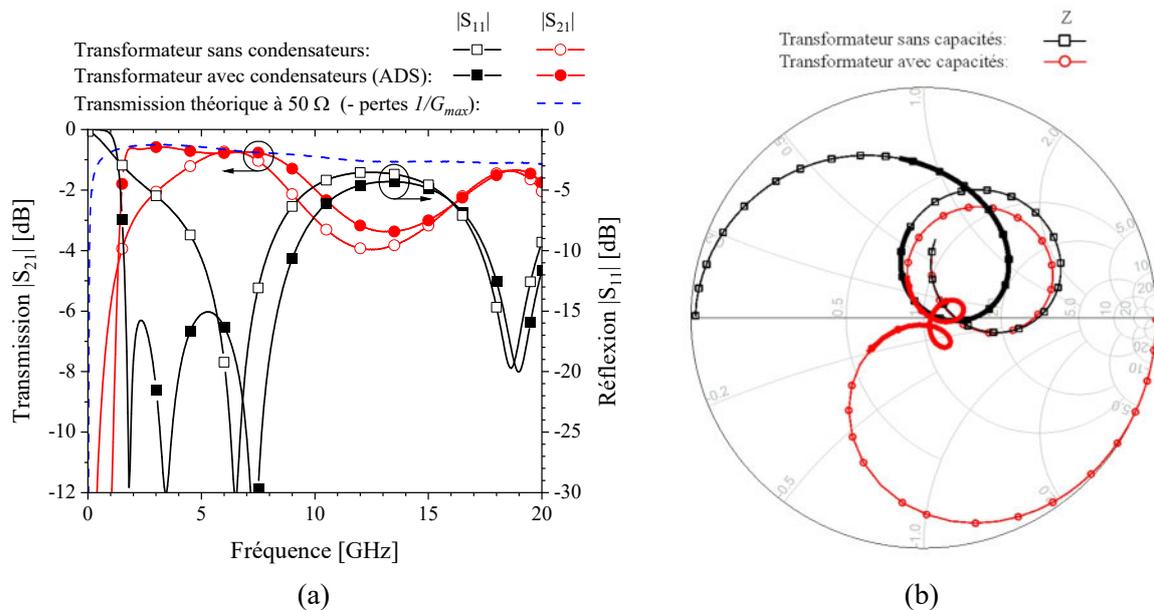


Figure II-15 : Modules des paramètres S pour le transformateur de 8 tours adapté avec des condensateurs MIM et le même transformateur sans condensateurs, et transmission théorique pour une adaptation à 50Ω du transformateur (sans condensateurs).

Nous voyons que les pertes en transmission pour une adaptation à 50Ω sont minimales dans la bande 1-9 GHz. Le transformateur est adapté sur 50Ω dans cette bande de fréquences en disposant des condensateurs de capacité 1,5 pF en série aux entrées du transformateur.

Les résultats de simulation pour le transformateur adapté sont affichés en traits et symboles pleins dans le graphique de la Figure II-15(a). L'ajout de condensateurs permet d'aboutir à des pertes inférieures à 1 dB dans la bande 1,6-8,4 GHz (surlignée en rouge sur l'abaque de Smith de la Figure II-15(b)). La réflexion reste en dessous de -15 dB dans cette bande. Le minimum de pertes de 0,73 dB est atteint à 7 GHz, et correspond aux minimums de pertes théoriques en transmission qu'il est possible d'atteindre pour le transformateur à cette fréquence.

3.2.2 Simulations des transformateurs adaptés avec HFSS

Une fois la disposition des condensateurs et leurs capacités définies, ceux-ci sont intégrés au niveau des accès des transformateurs. La Figure II-16 présente le modèle 3D simulé des transformateurs (ici le transformateur 4 tours) en utilisant le logiciel Ansys HFSS. Les condensateurs sont fabriqués avec une épaisseur d'isolant de 200 nm et sont intégrés en entrées des transformateurs.

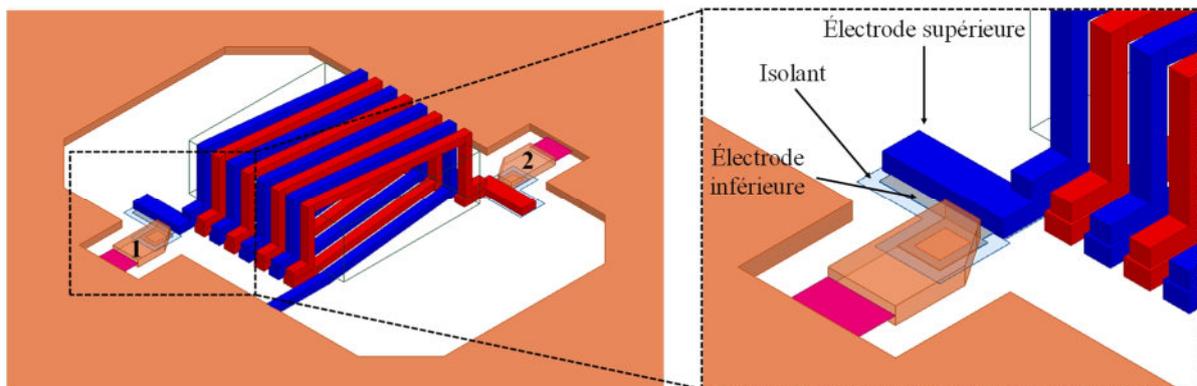


Figure II-16 : Modèle 3D du transformateur de 4 tours simulé avec HFSS et détail d'un condensateur de capacité de 0,7 pF utilisé pour l'adaptation en impédance et intégré sous l'accès de l'enroulement primaire.

Les modules des paramètres S simulés avec HFSS pour le transformateur adapté de 4 tours sont affichés en traits et symboles pleins sur le graphique de la Figure II-17. En traits pleins et symboles vides figurent les modules des paramètres S du transformateur sans les condensateurs. Le minimum de pertes en transmission théoriques pour le transformateur ($1/G_{max}$) est affiché en pointillé bleu.

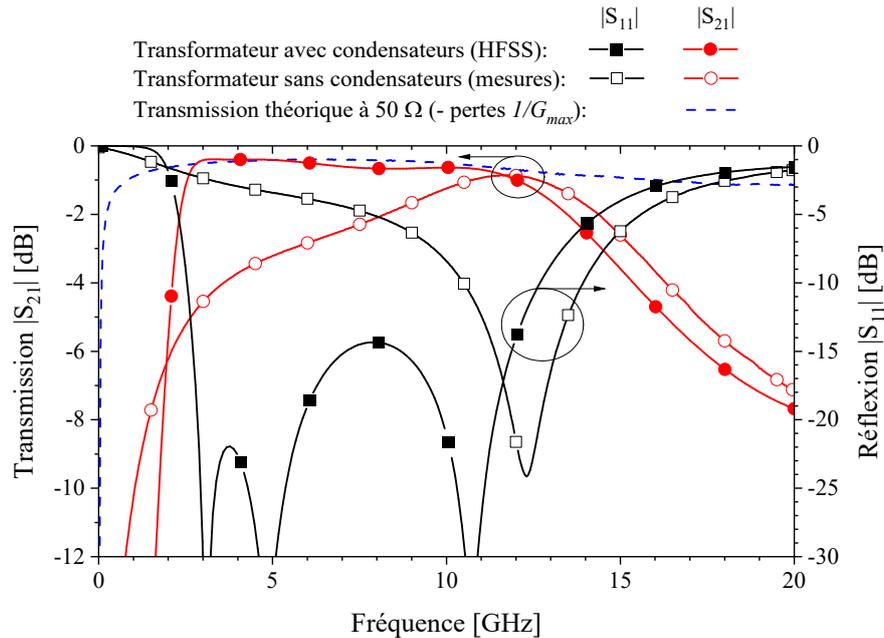


Figure II-17 : Modules des paramètres S simulés avec le logiciel HFSS pour le transformateur 4 tours adapté grâce à deux condensateurs MIM de 0,7 pF, et paramètres S mesurés et transmission théorique pour une adaptation à 50 Ω du transformateur (sans condensateurs).

Pour le transformateur adapté, nous relevons des pertes en transmission inférieures à 1 dB et proches des pertes théoriques en I/G_{max} sur une bande de fréquence de 2,5 GHz à 11,9 GHz. Un décalage de 1 GHz environ est relevé par rapport à la bande de fréquence déterminée avec ADS (3,4-13,6 GHz). Cette différence peut s'expliquer par l'utilisation d'un fichier de mesure du transformateur pour la simulation avec ADS alors que le transformateur simulé avec HFSS est basé sur un modèle 3D. En effet, nous ne prenons pas en compte dans le modèle 3D les déviations technologiques survenues durant la fabrication des transformateurs. À moindre mesure, une interaction des pointes de mesures avec le transformateur caractérisé peut aussi contribuer à décaler les fréquences de résonance des transformateurs [24] [26], ce qui n'est pas pris en compte dans la simulation électromagnétique.

Pour des condensateurs de 0,7 pF, les légères différences entre le transformateur mesuré et simulé peuvent expliquer que la bande de fréquence est légèrement réduite de 0,8 GHz pour la simulation HFSS par rapport à celle déterminée sous ADS. Nous conservons néanmoins ces valeurs de capacités car elles nous permettent d'aboutir à de meilleures performances dans la bande 2,5-11,9 GHz. En effet, un minimum de pertes de 0,39 dB à 3,3 GHz est atteint dans ce cas, contre 0,42 dB à 4,9 GHz pour la bande 3,4-13,6 GHz simulée en utilisant ADS. Cette valeur correspond aux pertes théoriques minimums à cette fréquence. La réflexion se situe en dessous de -14 dB dans la bande 2,5-11,9 GHz, contre -11 dB pour ADS.

Les modules des paramètres S simulés avec HFSS pour le transformateur de 8 tours sont affichés sur la Figure II-18. En traits pleins et symboles vides figurent les modules des paramètres S du transformateur sans condensateurs.

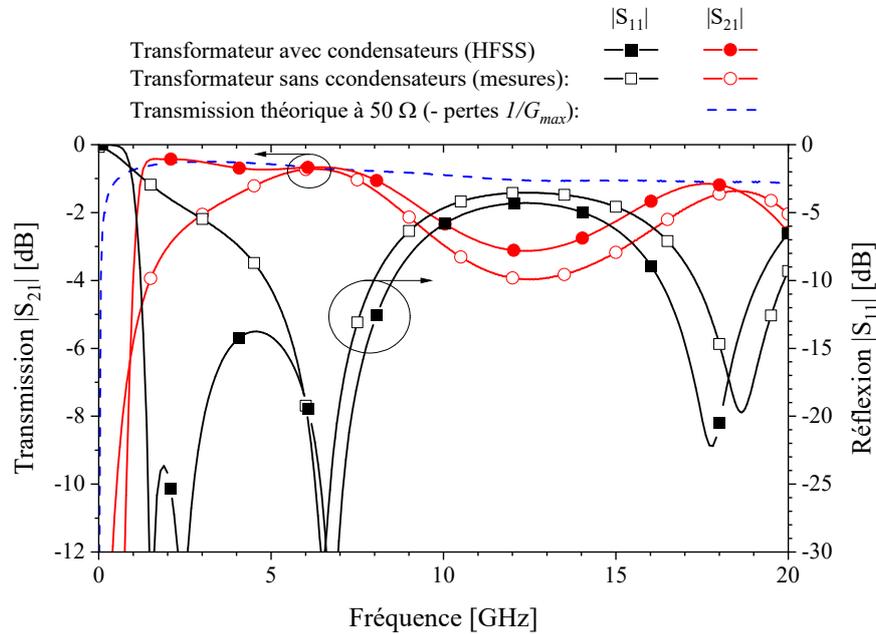


Figure II-18 : Modules des paramètres S simulés avec le logiciel HFSS pour le transformateur 8 tours adapté grâce à deux condensateurs MIM de 1,77 pF, et paramètres S mesurés et transmission théorique pour une adaptation à 50 Ω du transformateur (sans condensateurs).

Contrairement au transformateur de 4 tours précédent, nous modifions ici la capacité des condensateurs afin d'optimiser les performances dans la bande 1,3-7,8 GHz. Les valeurs de capacités sont ajustées à 1,77 pF. Nous obtenons des performances proches de celles simulées avec ADS.

Le transformateur adapté présente des pertes en transmission inférieures à 1 dB dans une bande de fonctionnement de 1,3 GHz à 7,8 GHz, proche de la bande de 1,6-8,4 GHz obtenue avec ADS. Des pertes égales aux pertes théoriques (I/G_{max}) sont atteintes à 1,7 GHz (0,42 dB) et 7 GHz (0,73 dB). La valeur relevée à 7 GHz est identique à celle obtenue avec ADS. Nous notons que le minimum de pertes relevé à 1,7 GHz est légèrement plus élevé que les pertes minimales théoriques tracées en pointillé bleu pour cette même fréquence (0,57 dB). Cet écart est dû à l'utilisation d'un modèle pour le transformateur dans HFSS, alors que les pertes théoriques sont estimées à partir du gain G_{max} mesuré. Enfin, la réflexion $|S_{11}|$ reste en dessous de -14 dB dans cette bande, contre -15 dB relevé pour la simulation électrique réalisée avec ADS.

Finalement, nous vérifions pour les deux transformateurs que l'ajout des condensateurs permet d'atteindre le gain maximum pour certaines fréquences, ce qui montre la valeur élevée

du coefficient de qualité de ces condensateurs. Ces résultats sont confortés par le fait que les condensateurs utilisés pour l'adaptation présentent des coefficients de qualité supérieurs aux coefficients de qualité maximaux des enroulements des transformateurs (à la fréquence d'obtention de ces coefficients). En effet, les condensateurs de capacité 0,7 pF utilisés pour adapter le transformateur de 4 tours disposent de coefficients de qualité supérieurs à 124 pour des fréquences entre 1 GHz et 6 GHz. Le coefficient de qualité maximal des enroulements du transformateur de 4 tours (primaire et secondaire) est de 26 à 3,3 GHz (cf. Tableau II-5). De même, les condensateurs de 1,77 pF présentent des coefficients de qualité supérieurs à 80 entre 1 GHz et 6 GHz (Figure II-7), alors que les coefficients de qualité maximaux des enroulements du transformateur de 8 tours sont de 19 à 1,3 GHz pour (cf. Tableau II-5).

4 Procédé d'intégration 3D

Le procédé de fabrication des solénoïdes a été développé durant la thèse de Olga Bushueva [24]. Nous avons fait évoluer la technologie afin de permettre la fabrication de condensateurs MIM et de ponts métalliques. En outre, les ponts métalliques offrent une solution d'intégration compacte lorsque deux pistes se croisent. Dans notre cas, il permet d'intégrer une portion d'une des pistes sur un niveau métallique supérieur, afin d'enjamber le deuxième conducteur sans risque de court-circuit.

Nous présentons dans cette partie le procédé technologique complet qui permet de fabriquer des condensateurs, des solénoïdes et des ponts métalliques.

Six niveaux de masques sont nécessaires pour réaliser les motifs des différentes couches constituant les condensateurs et les solénoïdes. Ces six niveaux correspondent à :

- La formation de l'électrode inférieure d'aluminium des condensateurs ;
- Le dépôt de la couche diélectrique de nitrure de silicium des condensateurs ;
- Le premier niveau de cuivre, pour former simultanément la deuxième électrode des condensateurs et les pistes inférieures des solénoïdes ;
- Le dépôt d'une résine de protection du cuivre ;
- La formation du noyau de résine des solénoïdes ;
- Le deuxième niveau de cuivre, qui constitue les métallisations verticales et supérieures des solénoïdes.

Les étapes de fabrication de ces différents niveaux sont détaillées dans les parties suivantes. Le procédé commence par la réalisation des condensateurs MIM. Nous utilisons ici un substrat verre de quatre pouces d'une épaisseur de 500 μm . Nous rappelons cependant que le procédé est compatible avec d'autres types de substrats.

4.1 Fabrication de l'électrode inférieure des condensateurs MIM

Les étapes de fabrication de l'électrode inférieure des condensateurs MIM sont schématisées dans la Figure II-19.

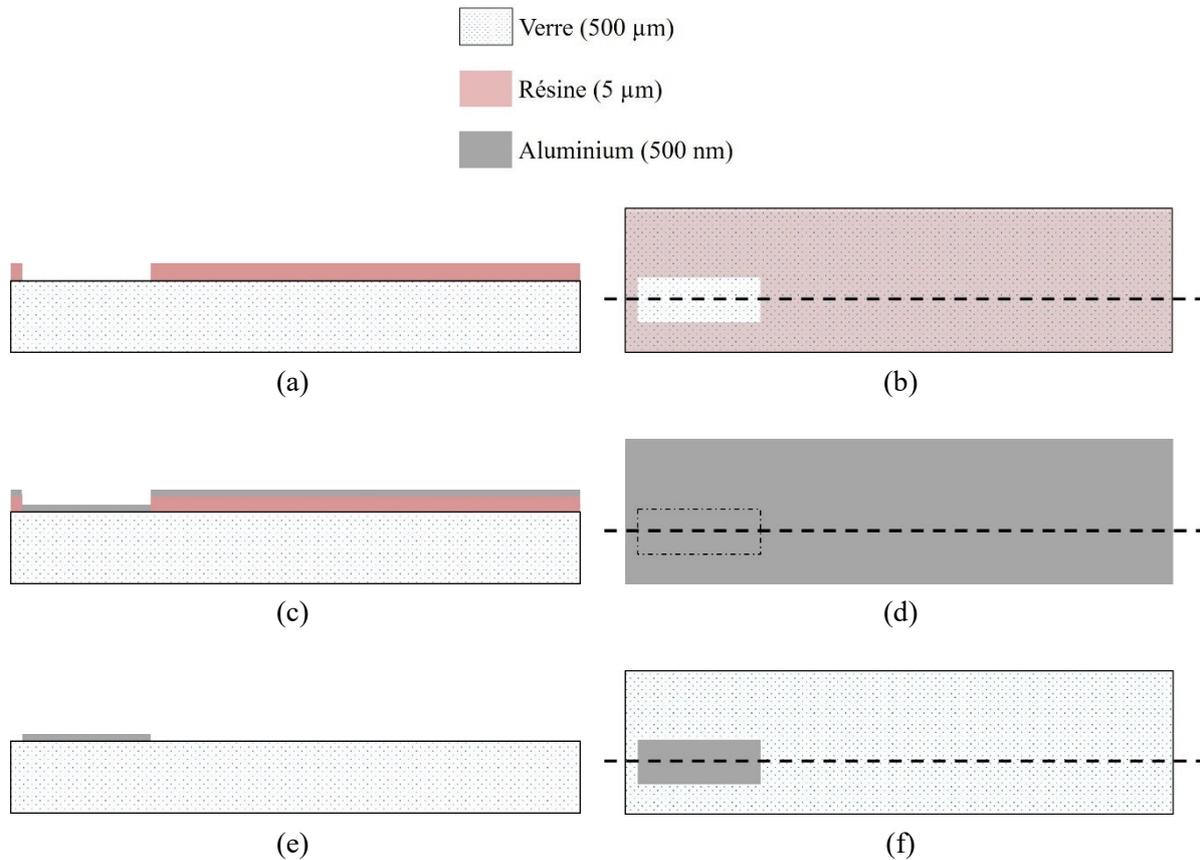


Figure II-19 : Fabrication de l'électrode en aluminium des condensateurs. Pour chaque étape, une vue de dessus est présentée dans la colonne de droite. Une vue en coupe est présentée dans la colonne de gauche (section délimitée en pointillé).

Afin de façonner les motifs des électrodes, une résine de 5 µm est déposée par centrifugation à l'aide d'une tournette. Elle est insolée sous une lumière UV monochromatique à travers le premier masque. La résine est recuite afin de la sécher et la durcir, en vue de l'étape de dépôt métallique (Figure II-19 (a) et (b)). Une couche de 50 nm de chrome et de 500 nm d'aluminium est déposée sur toute la surface de la plaquette par évaporation métallique (Figure II-19 (c) et (d)). Enfin, une étape de « lift-off » dans un bain d'acétone permet de dissoudre la résine et de révéler les motifs des électrodes d'aluminium (Figure II-19 (e) et (f)).

4.2 Dépôt de la couche isolante Si_xN_y

Les étapes de fabrication des motifs de la couche isolante sont décrites dans la Figure II-20.

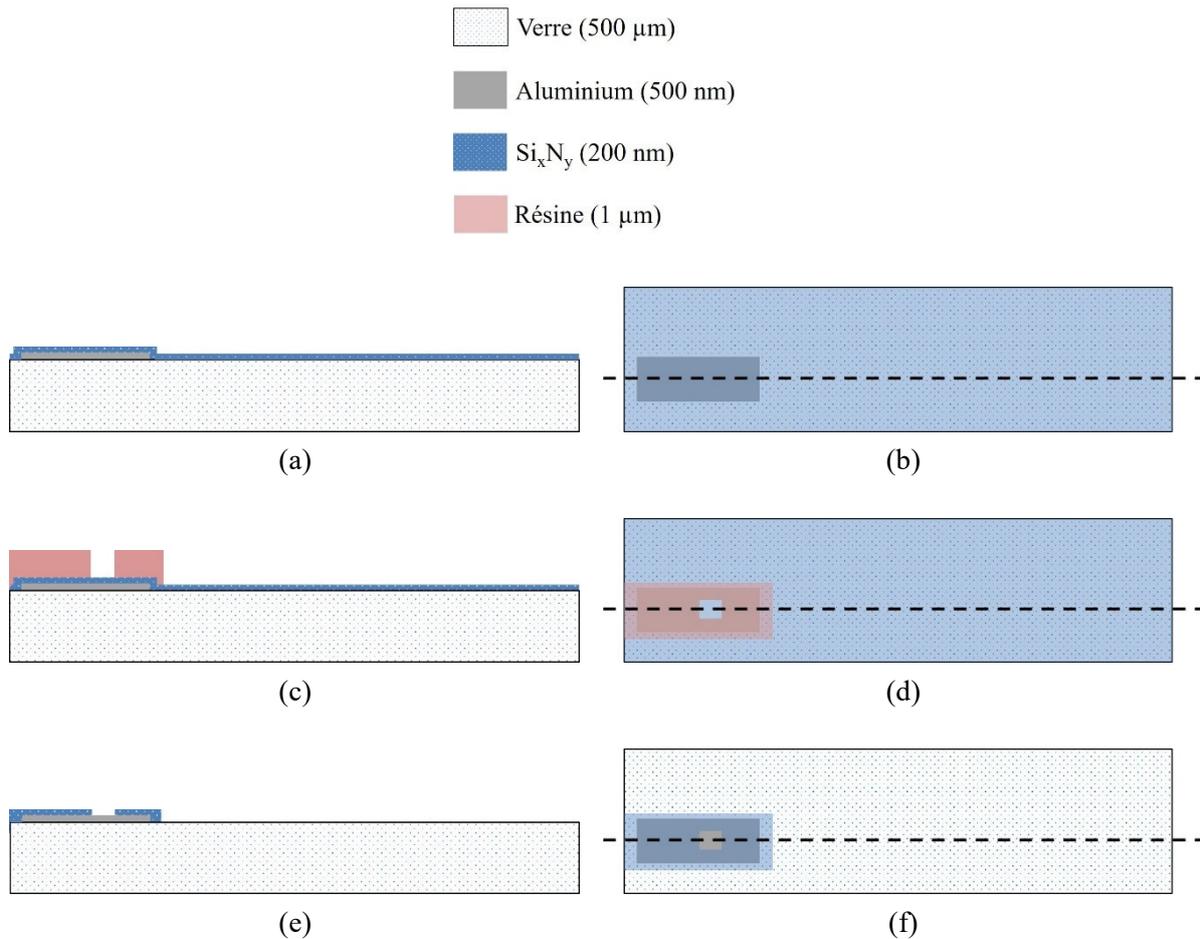


Figure II-20 : Intégration de l'isolant Si_xN_y des condensateurs.

Avant le dépôt de cette couche, la surface des électrodes en aluminium est désoxydée en utilisant un plasma Argon. Le nitrure de silicium Si_xN_y est formé par un dépôt plasma ICPCVD à 100°C à partir d'un mélange gazeux de silane SiH_4 et de diazote N_2 . Une pression faible dans la chambre de dépôt et une vitesse lente de dépôt permettent d'obtenir une couche d'épaisseur uniforme de 200 nm (ou de 440 nm) sur toute la surface de plaquette (Figure II-20(a) et (b)). Une résine d'une épaisseur de $1\ \mu\text{m}$ est ensuite déposée puis insolée avec une lumière UV à travers le deuxième masque afin de définir les motifs de l'isolant des condensateurs (Figure II-20(c) et (d)). Le nitrure de silicium qui n'est pas protégé par la résine est gravé par un mélange plasma de tétrafluorure de carbone CF_4 . La résine est enfin dissoute dans de l'acétone (Figure II-20(e) et (f)).

4.3 Réalisation du premier niveau de cuivre

Les électrodes supérieures des condensateurs et les métallisations inférieures des solénoïdes sont fabriquées en une seule étape de dépôt d'une couche de cuivre électrolytique de $15\ \mu\text{m}$. Cette solution permet de réduire le nombre d'étapes du procédé technologique et le coût de

fabrication. Les schémas de la Figure II-21 illustrent les étapes de fabrication de ce niveau métallique.

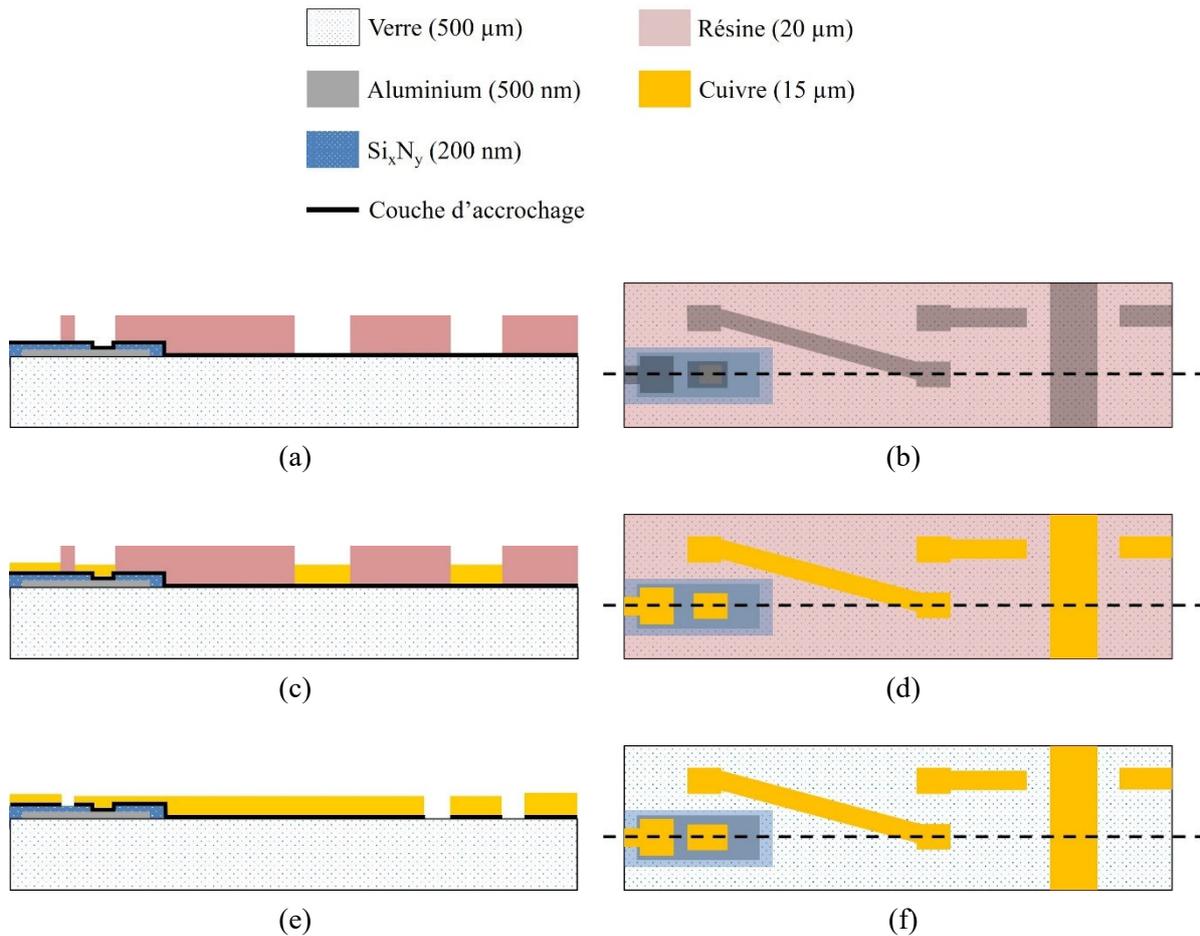


Figure II-21 : Fabrication de premier niveau métallique de cuivre.

Avant le dépôt de cuivre, une fine couche conductrice d'accrochage, composée de 50 nm de titane et de 50 nm de cuivre, est déposée. Cette couche constitue une électrode conductrice où les ions cuivre de la solution électrolytique se déposeront. La couche d'accrochage doit être la plus conductrice possible pour que la répartition du courant sur la surface de la plaquette soit homogène. Cela permet d'obtenir une épaisseur de cuivre uniforme sur toute la plaquette. L'uniformité de l'épaisseur de la couche de cuivre dépendra aussi d'une répartition homogène des motifs sur la plaquette et de la vitesse de croissance du cuivre.

Une résine d'une épaisseur de 20 μm est déposée puis insolée avec le troisième masque afin de façonner un moule pour la croissance des motifs de cuivre (Figure II-21(a) et (b)). Puis la plaque est immergée dans une solution ionique de cuivre (solution électrolytique). Une différence de potentiel est appliquée entre la plaquette (via la couche d'accrochage) et une électrode de référence afin de fixer par électrolyse les ions cuivre en surface des motifs du moule de résine. La couche de cuivre croît par réduction des ions cuivre Cu^{2+} en surface de la plaquette (Figure II-21(c) et (d)). À la fin de cette étape, le moule de résine est dissout dans un

bain d'acétone. La couche d'accrochage en cuivre est gravée par une solution composée de 98 % d'eau, de 1 % d'eau oxygénée et de 1 % d'acide chlorhydrique. La couche d'accrochage en titane est gravée par une solution d'acide fluorhydrique à 5 % (Figure II-21(e) et (f)).

4.4 Dépôt de la résine de protection du cuivre

Afin de protéger le premier niveau de cuivre de tout phénomène d'oxydation ou de gravure durant la suite du procédé, une résine de protection d'une épaisseur de 20 μm est déposée sur toute la surface de la plaquette. Cette étape est illustrée par les schémas de la Figure II-22.

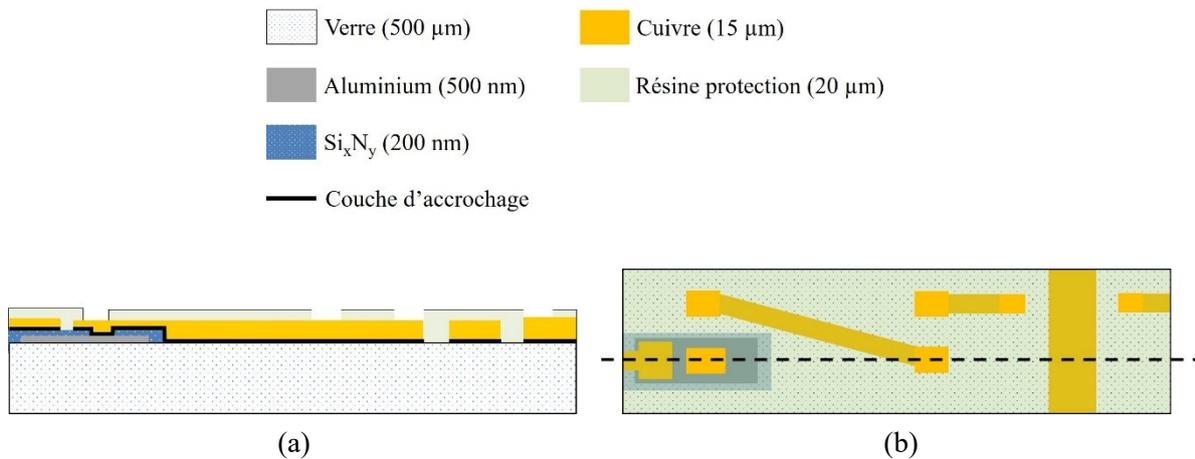


Figure II-22 : Dépôt de la résine de protection.

Cette résine est insolée avec le quatrième masque afin de réaliser des ouvertures permettant de connecter les métallisations du premier niveau métallique des pistes des solénoïdes et les pistes du niveau 3D. Des ouvertures sont également réalisées pour permettre la réalisation des ponts métalliques.

4.5 Dépôt de la résine 3D constituant les noyaux des solénoïdes

Une couche épaisse de résine époxy *SU8* est déposée sur toute la surface de la plaquette pour former le plot 3D. Il est possible de faire varier son épaisseur entre 100 et 130 μm . Dans le cas des transformateurs adaptés présentés dans ce chapitre, l'épaisseur est de 130 μm .

Pour commencer, un promoteur d'adhérence est déposé sur la plaquette afin de faciliter l'adhérence de la résine *SU8* sur la résine de protection. Le dépôt de la couche de résine *SU8* est réalisé en deux enductions afin d'obtenir une meilleure uniformité de l'épaisseur. Dans le cas d'un plot d'épaisseur de 110 μm par exemple, une première couche de 50 μm est déposée sur toute la plaquette par enduction dynamique (rotation de la plaquette pendant le dépôt de la résine liquide). La plaquette est ensuite pré-recuite à 95°C pour évaporer les solvants de la couche de résine et la solidifier. Puis une deuxième couche de 60 μm d'épaisseur est déposée par enduction dynamique. La plaquette est recuite une deuxième fois à 95°C. À l'issue de ces

étapes, la résine est insolée à travers le cinquième masque en utilisant une lumière UV. Les motifs (les noyaux des solénoïdes) sont révélés en immergeant la plaquette dans une solution de Propylène Glycol Methyl Ether Acetate PGMEA. La résine est enfin recuite à 150°C afin d'évaporer l'ensemble des solvants. Cette étape confère au plot de résine *SU8* un caractère permanent, ce qui lui permet de résister aux attaques des solutions chimiques utilisées durant les dernières étapes du procédé. Nous obtenons finalement les motifs dessinés en violet sur les schémas de la Figure II-23.

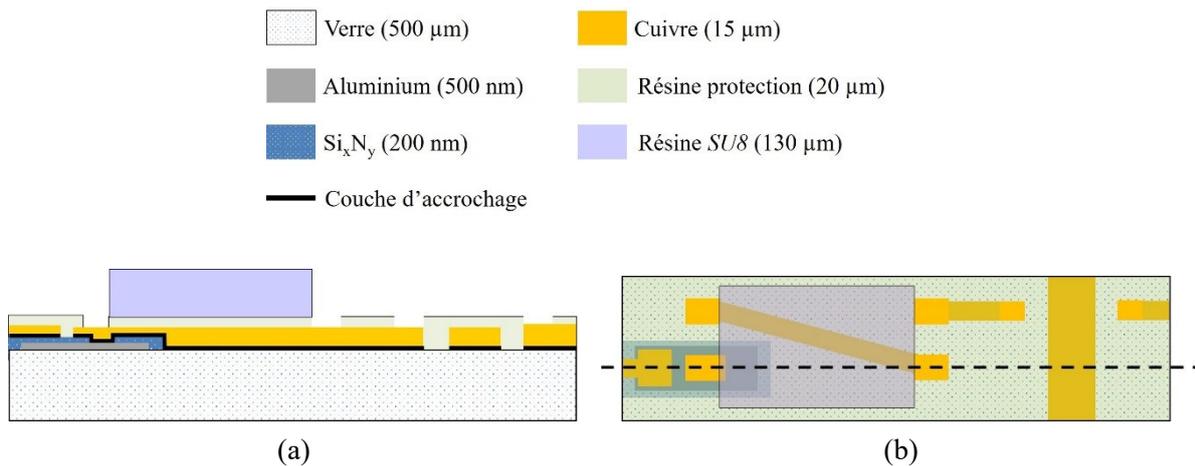


Figure II-23 : Fabrication des noyaux des solénoïdes.

4.6 Réalisation du niveau métallique 3D

Les dernières étapes du procédé concernent la réalisation des métallisations 3D des solénoïdes et des ponts métalliques. Elles sont réalisées par la société 3DiS Technologies, qui exploite le procédé de fabrication permettant de former les interconnexions 3D. Les étapes de fabrication sont schématisées dans la Figure II-24.

Une couche conductrice d'accrochage est d'abord déposée sur l'ensemble de la plaquette. Une résine épaisse est déposée puis insolée à l'aide du sixième masque. Son épaisseur est supérieure à celle des noyaux des solénoïdes. Les motifs des pistes 3D des solénoïdes et des ponts métalliques sont ensuite ouverts par une étape de révélation des motifs dans la résine en la plongeant dans un solvant dédié (Figure II-24(a) et (b)). Une fois l'étape de révélation des motifs terminée, les pistes métalliques sont formées à partir d'un dépôt de cuivre électrolytique (Figure II-24(c) et (d)). Le moule de résine est ensuite dissout dans un solvant spécifique. Enfin, la couche d'accrochage est gravée (Figure II-24(e) et (f)).

L'optimisation du procédé de fabrication des interconnexions 3D permet d'obtenir un rapport de forme de 1 :10 en moyenne pour le moule de résine permettant la croissance des pistes en cuivre. Ce paramètre correspond au rapport entre la largeur et l'espacement minimal des pistes métalliques qu'il est possible de fabriquer par rapport à l'épaisseur du moule de

résine. Dans notre cas, une épaisseur de résine de 150 μm est déposée, et il est donc possible ici d'intégrer des pistes dont la résolution maximale en largeur et en espacement des rubans métalliques est de 15 μm . Il est possible de faire varier cette épaisseur en fonction de la hauteur de la piste 3D à intégrer.

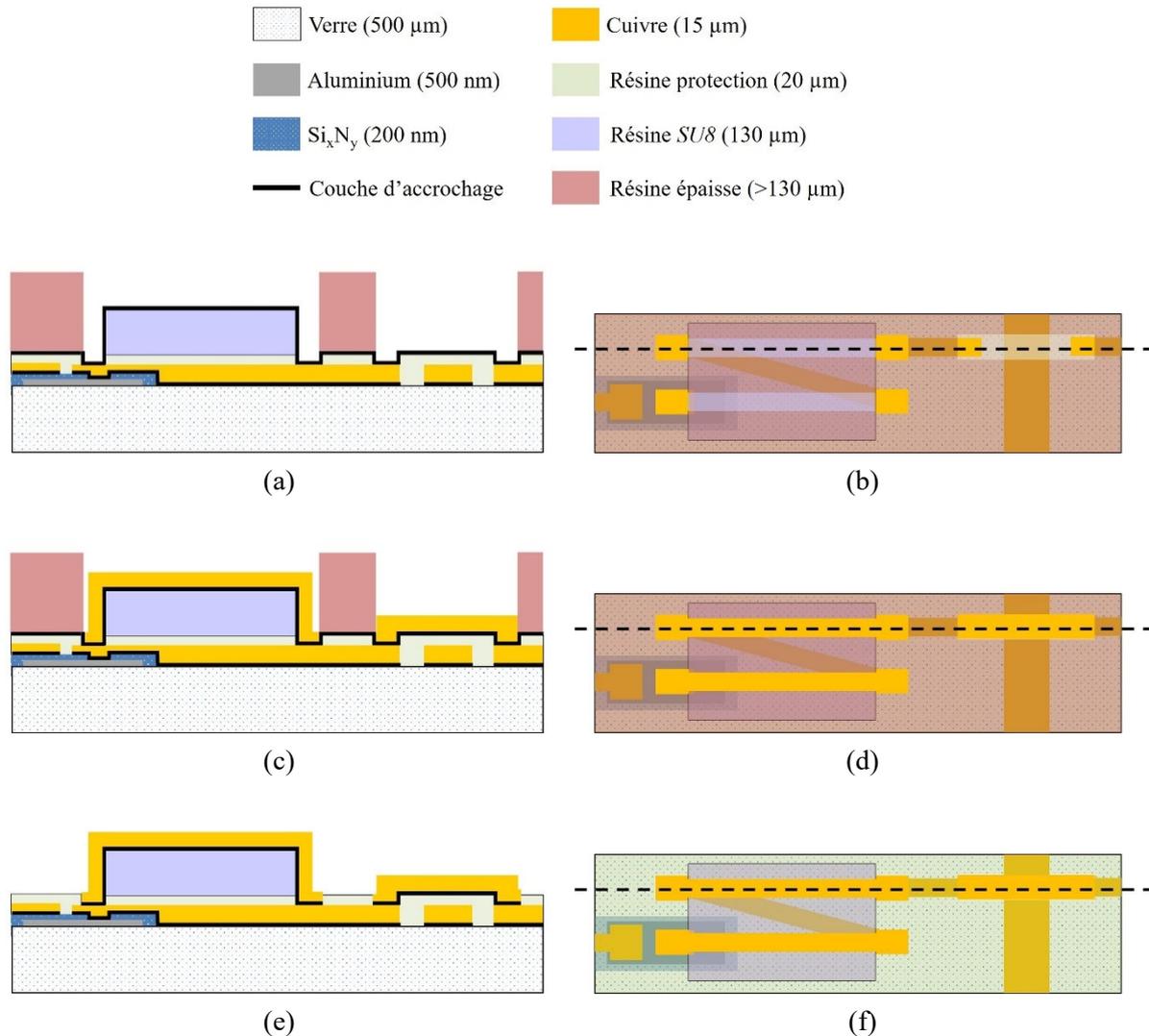


Figure II-24 : Fabrication du deuxième niveau de cuivre.

5 Caractérisation des transformateurs adaptés de 4 et 8 tours

Les transformateurs de 4 et 8 tours adaptés à 50 Ω à l'aide de condensateurs MIM sont fabriqués en utilisant le procédé technologique décrit précédemment. Aucun problème n'a été identifié lors des contrôles effectués durant la fabrication.

Ils sont caractérisés en utilisant un analyseur de réseau vectoriel Keysight N5247A PNA-X sur une bande de fréquence qui s'étend de 200 MHz à 20 GHz. Deux pointes coplanaires

Cascade Infinity GSG (pitch de $150\ \mu\text{m}$) sont utilisées. Les accès de mesure sont épluchés en utilisant une méthode « Short-Open » basée sur les données extraites des mesures de deux motifs de test (accès de mesure en court-circuit et ouvert).

La Figure II-25 présente le transformateur de 4 tours adapté sur $50\ \Omega$ par deux condensateurs MIM de $0,7\ \text{pF}$ après fabrication.

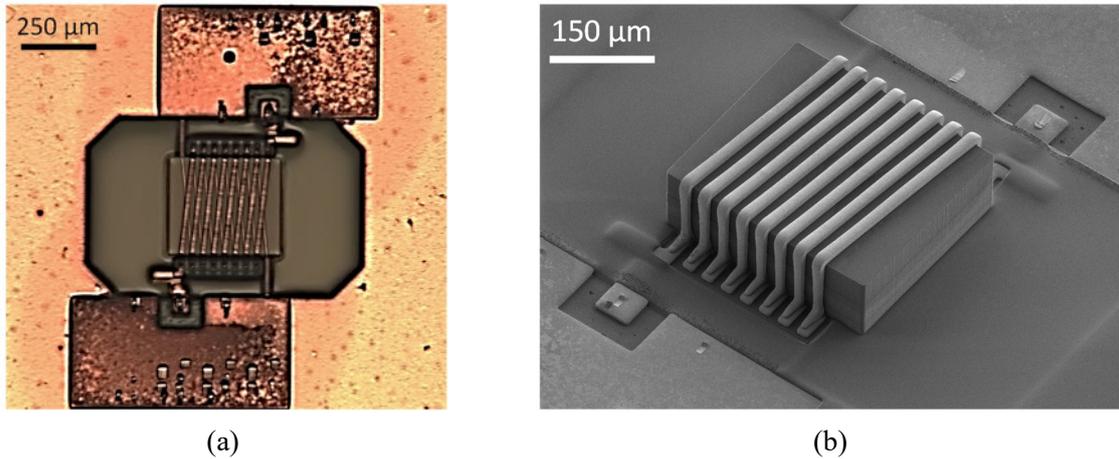


Figure II-25 : (a) Photographie optique, et (b) photographie MEB du transformateur de 4 tours adapté à $50\ \Omega$.

Les modules des paramètres S, extraits des mesures du transformateur, sont présentés en traits et symboles pleins dans le graphe de la Figure II-26. Nous affichons également en pointillé la transmission théorique du transformateur estimée à partir de la mesure du G_{max} .

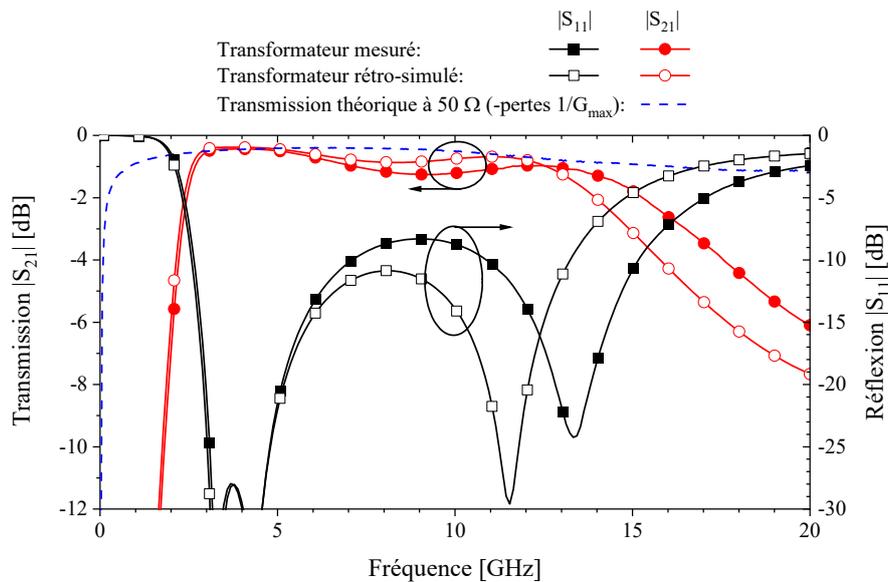


Figure II-26 : Paramètres S mesurés, rétro-simulés du transformateur 4 tours adapté à $50\ \Omega$ et transmission théorique du transformateur pour une adaptation à $50\ \Omega$.

En traits pleins et symboles vides apparaissent les modules des paramètres S du modèle du transformateur rétro-simulé. Ce modèle électromagnétique rétro-simulé prend en compte les caractéristiques réelles du composant qui ont été mesurées lors du procédé de fabrication, à savoir :

- D'une augmentation de 5 μm de la hauteur du noyau 3D du transformateur, qui induit une légère augmentation des inductances L_s et L_p des enroulements ;
- Une épaisseur du diélectrique Si_xN_y estimée à 190 nm au lieu de la valeur théorique de 200 nm (variation standard de 5% des couches formées par ICPCVD pour des conditions de dépôts identiques). Cette variation conduit à une modification de 0,04 pF (5,7 %) de la capacité des condensateurs utilisés pour l'adaptation du transformateur de 4 tours.

Nous constatons un très bon accord entre les résultats de mesures et la rétro-simulation aux basses fréquences, ce qui atteste de la fidélité du modèle électromagnétique simulé par rapport au cas réel. Deux origines peuvent expliquer l'écart observé entre les mesures et les simulations aux hautes fréquences. D'une part, des résidus de la couche d'accrochage déposée pour la croissance des pistes de cuivre du niveau 3D peuvent subsister, et induire un faible couplage capacitif entre les enroulements. Ce phénomène introduit un condensateur parallèle de capacité faible entre les enroulements, et induit un fonctionnement à une fréquence légèrement plus basse. D'autre part, une interaction électromagnétique entre le composant et les pointes de mesures contribue à modifier la répartition des lignes de champs [24] [26], ce qui peut expliquer un décalage de la fréquence de résonance des enroulements du transformateur au-delà de 11 GHz.

Le bon accord entre les simulations et les mesures confirme également qu'en dehors de ces variations, aucun autre problème technologique non-identifié ne vient perturber la mesure, ce qui atteste finalement du déroulement correct du procédé d'intégration.

Nous constatons que le transformateur de 4 tours adapté à 50 Ω présente des pertes en transmission inférieures à 1 dB et proches des pertes évaluées à partir de $1/G_{max}$ sur deux bandes de fréquences : 2,7-7 GHz et 11-12,8 GHz. L'accord entre les résultats de mesure et ceux du modèle rétro-simulé confirme que la majorité des pertes observées dans ces bandes sont liées aux dérives technologiques énoncées plus haut, et non à des pertes générées par les condensateurs. Nous observons qu'un minimum de pertes en transmission de 0,43 dB est relevé à 4,1 GHz, ce qui correspond aux pertes minimales théoriques qu'il est possible d'obtenir à cette fréquence. L'ensemble de ces résultats nous permet de conclure que les condensateurs présentent un très faible niveau de pertes, et que celui-ci n'est pas visible sur les performances obtenues pour ce circuit. Dans ces bandes, la réflexion reste inférieure à -10 dB.

La Figure II-27 présente le transformateur composé de deux enroulements de 8 tours fabriqué, et adapté à 50Ω par deux condensateurs MIM de $1,77 \text{ pF}$.

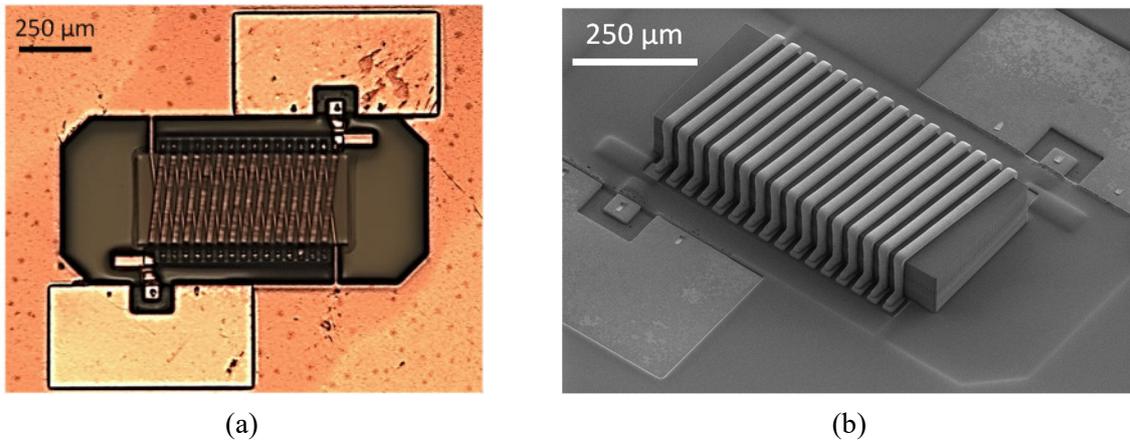


Figure II-27 : (a) Photographie optique, et (b) photographie MEB du transformateur de 8 tours adapté à 50Ω .

Le transformateur de 8 tours présentant des pertes théoriques plus élevées que le transformateur de 4 tours, les pertes introduites par les condensateurs pour ce circuit devraient normalement avoir un impact encore plus réduit sur les performances. Nous nous en assurons en caractérisant ce transformateur. La Figure II-28 reporte en traits pleins et symboles pleins les modules des paramètres S du transformateur adapté par des condensateurs MIM. La transmission théorique pour une adaptation à 50Ω parfaite des enroulements du transformateur est reportée en pointillé. Tout comme le transformateur de 4 tours, une rétro-simulation tenant compte des dérives technologiques a été réalisée.

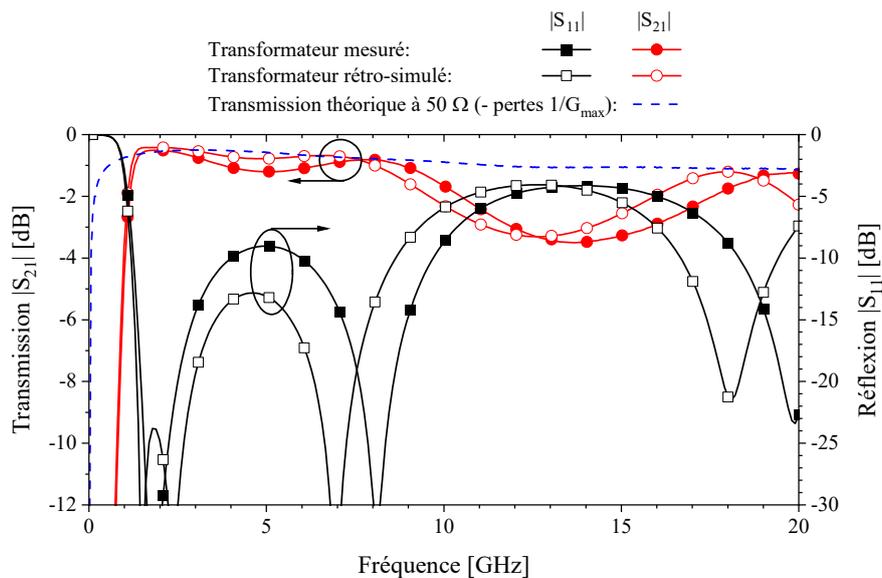


Figure II-28 : Paramètres S mesurés, rétro-simulés du transformateur 8 tours adapté à 50Ω et transmission théorique du transformateur pour une adaptation à 50Ω .

Pour des fréquences inférieures à 7 GHz, nous relevons un bon accord entre les résultats du modèle électromagnétique rétro-simulé et les mesures pour le transformateur. Un décalage de 2 GHz subsiste sur les valeurs des paramètres S en réflexion pour les fréquences comprises autour de 18 GHz, et peuvent s'expliquer par l'interaction du champ électromagnétique du transformateur avec les pointes de mesures.

Comme attendu, nous relevons ici aussi une transmission mesurée proche de la transmission théorique du transformateur. Le circuit présente des pertes en transmission inférieures à 1 dB sur la bande de fréquence 1,3- 3,0 GHz ainsi que sur la bande 7,0-8,8 GHz. Le minimum de pertes s'élève à 0,5 dB à 1,9 GHz, et correspond au minimum de pertes théoriques qu'il est possible d'obtenir à la même fréquence.

Ces résultats expérimentaux permettent de valider les deux derniers critères du cahier des charges (cf. partie 2.1). En effet, le procédé technologique des condensateurs est bien compatible avec celui des solénoïdes, et les performances des condensateurs sont suffisamment élevées pour pouvoir autoriser leur association avec des solénoïdes dans l'implémentation de fonctions passives.

6 Conclusion

Ce deuxième chapitre traite du développement du procédé technologique dédié à la fabrication de condensateurs MIM. Le travail s'est focalisé sur l'élaboration d'un procédé compatible avec la technologie de fabrication des solénoïdes 3D, notamment pour ce qui concerne la température d'opération. Cette contrainte nous a orienté vers le dépôt d'une couche de Si_xN_y par ICPCVD à 100°C qui permet d'obtenir un niveau de qualité de dépôt comparable à ce qu'il est possible d'obtenir par un procédé plus classique PECVD faisant appel à des températures bien supérieures.

Deux topologies de condensateur sont comparées au niveau de leur aptitude à minimiser les déviations technologiques et donc les déviations sur les performances RF. Sur ce dernier point, les deux solutions retenues présentent des résultats très proches. Le type 2, pour lequel la capacité est fixée par l'électrode supérieure, apparaît plus intéressant pour ce qui concerne les déviations des capacités des condensateurs liées au procédé de fabrication. De plus, l'augmentation de l'épaisseur de Si_xN_y à une valeur de 440 nm améliore encore ce point. Ce type de condensateur associé à une épaisseur d'isolant de 440 nm est par conséquent privilégié pour la suite du travail. Par ailleurs, les forts champs de claquage extraits de mesures I(V) sont supérieurs à ceux qui sont obtenus pour des dépôts de nitrure de silicium par PECVD. Ce résultat confirme la qualité des couches minces de nitrure de silicium Si_xN_y déposées à basse température.

Enfin, nous intégrons le procédé de fabrication des condensateurs MIM à celui de la technologie IPD-3D utilisée pour fabriquer les solénoïdes. Deux transformateurs 3D adaptés en impédance par des condensateurs ont été fabriqués. Aucun problème de fabrication n'a été relevé et le déroulement des étapes technologique a montré une parfaite compatibilité des deux procédés. La caractérisation RF des transformateurs adaptés montre que les condensateurs ne dégradent pas les performances de l'ensemble, en permettant en particulier d'atteindre le gain disponible maximum des transformateurs seuls pour les fréquences où l'adaptation en impédance est assurée.

7 Références

- [1] B. Landgraf, « MOM Capacitance Measurements in a 130 nm CMOS Node », Austrian Workshop on Microelectronics, Vienne, Autriche, 2015.
- [2] C. R. Neve, et al., « High-density and low-leakage novel embedded 3D MIM capacitor on Si interposer », IEEE International 3D Systems Integration Conference (3DIC), San Francisco, CA, Etats-Unis, 2016.
- [3] I. Bahl, « Lumped elements for RF and Microwave Circuits », Ed Artech House, 2003.
- [4] K. Elgaid, « Low temperature high density Si₃N₄ MIM capacitor technology for MMMIC and RF-MEMs applications », Microelectronic Engineering, vol. 73-74, p. 452-455, 2004.
- [5] A. Kshirsagar, et al., « Deposition and characterization of low temperature silicon nitride films deposited by inductively coupled plasma CVD », Applied Surface Science, vol. 257, n° 11, p. 5052-5058, 2011.
- [6] Buy Manager, « Tout ce qu'il vous faut savoir sur le Tg des PCBs », 2019. Disponible sur : <https://buymanager.biz/fr/tout-ce-qu'il-vous-faut-savoir-sur-le-tg-des-pcb/>.
- [7] Datasheet SU8-3000, Kayaku Advanced Material. Disponible sur : <https://kayakuam.com/wp-content/uploads/2019/09/SU-8-3000-Data-Sheet.pdf>.
- [8] J. Grym, «Semiconducteur Technologies», Intech Open, 2010.
- [9] A. Piccirillo et al., « Physical-Electrical Properties of Silicon Nitride Deposited by PECVD on III-V Semiconductors » Journal of the Electrochemical Society, vol 137, n° 12, p 3910-3917, 1990.
- [10] I. Idris et al., « Film Characteristics of Low-Temperature PECVD SiO₂ using tetraisocyanatesilane and O₂ », Japanese Journal of Applied Physics, vol. 37, part 1, N°12A, 1998.
- [11] T. Bertaud, « Élaboration et caractérisation large bande de matériaux « high-k » en structure « MIM » », thèse de doctorat, Institut National Polytechnique de Grenoble, Grenoble, France, 2010.
- [12] M. Schrenk, et al., « Integration of metal insulator metal capacitors (MIM-Caps) with low defectivity into a copper metallization », Elsevier Microelectronic Engineering, vol. 82, n° 3-4, p. 514-520, 2005.
- [13] J. Pointet, « Elaboration et caractérisation de structures métal-isolant-métal à base de TiO₂ déposé par Atomic Layer Deposition », thèse de doctorat, Université Grenoble Alpes, Grenoble, France, 2015.
- [14] D.M. Pozar, « Microwave Engineering », 4th ed., John Wiley, 2012.
- [15] K. O, « Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies », IEEE Journal of Solid-State Circuits, vol. 33, n° 8, p. 1249-1252, 1998.

- [16] A. Farcy, et al., « Integration of high-performance RF passive modules (MIM capacitors and inductors) in advanced BEOL », *Microelectronic Engineering*, vol. 85, n° 10, p. 1940-1946, 2008.
- [17] Source Oxford Instruments Plasma Technology, « Deposition of High Quality Films by the Inductively Coupled Plasma CVD Process », AZO Materials, 2012.
- [18] O. Thomas, « Inductively coupled plasma chemical vapour deposition » Document Technique, Oxford Instruments Plasma Technology, 2010.
- [19] H. Do Ky, et al., « Physical Lumped Modelling of Thin-Film MIM Capacitors », 20th European Microwave Conference, Budapest, Hongrie, 1990.
- [20] C. Zhen, et al., « A study of MIMIM on-chip capacitor using Cu/SiO₂ interconnect technology », *IEEE Microwave and Wireless Components Letters*, vol. 12, n° 7, p. 246-248, 2002.
- [21] S.-S. Song, et al., « Simple Wide-Band Metal-Insulator-Metal (MIM) Capacitor Model for RF Applications and Effect of Substrate Grounded Shields », *Japanese Journal of Applied Physics*, vol. 43, part 1, n° 4B, p. 1746-1751, 2004.
- [22] T. Zheng, et al., « Design and fabrication of wafer level suspended high Q MIM capacitors for RF integrated passive devices », *Microsystem Technology*, vol. 23, n° 1, p. 67-73, 2017.
- [23] M. C. King, et al., « Comparison of MIM Performance with Various Electrodes and Dielectric in Cu Dual Damascene of CMOS MS/RF Technology », *Journal of The Electrochemical Society*, vol. 153, n° 12, p. 1032-1034, 2006.
- [24] O. Bushueva, « Conception, réalisation et caractérisation d'inductances et de transformateurs tridimensionnels pour applications RF et microondes », thèse de doctorat, Université Toulouse III Paul Sabatier, Toulouse, France, 2016.
- [25] D.C. Laney, et al., « Lateral microwave transformers and inductors implemented in a Si/SiGe HBT process », *IEEE MTT-S International Microwave Symposium*, Anaheim, CA, Etats-Unis, 1999.
- [26] O. Bushueva, et al., « On-Wafer Measurement Errors Due to Unwanted Radiations on High-Q Inductors », *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, n° 9, p. 2905-2911, 2016.

Chapitre III : Conception, fabrication et caractérisation d'une matrice de Butler 3D

1 Introduction

Au cours du deuxième chapitre, nous avons présenté un procédé de fabrication de condensateurs MIM compatible avec celui des enroulements 3D. Les résultats obtenus, extrêmement satisfaisants, montrent qu'il est à présent possible d'envisager la conception de fonctions plus complexes. Dans cette partie, nous visons l'intégration d'une matrice de Butler 4×4 prévue pour fonctionner entre 20 GHz et 30 GHz. L'application visée correspond alors à la prochaine génération de réseaux sans fil 5G.

Dans un premier temps, nous présentons les possibilités d'intégration offertes par la technologie 3D à travers la description et l'optimisation de chacun des circuits passifs qui constituent la matrice. La mise en commun de ces circuits ainsi que les résultats de simulations électromagnétiques de la matrice de Butler sont ensuite reportés et expliqués.

Le chapitre se termine avec la partie expérimentale. La matrice de Butler comporte un nombre d'accès (8) trop important pour que la caractérisation sous-pointe puisse se faire en une seule fois. Nous avons donc développé une méthode permettant de reconstituer les caractéristiques de la matrice de Butler en regroupant plusieurs mesures partielles. Cette méthode est également mise à profit et complétée pour pouvoir retirer des mesures brutes la contribution des éléments extérieurs au circuit. Les caractéristiques électriques de la matrice de Butler 3D sont finalement comparées à la littérature.

2 Justification du démonstrateur

2.1 Conséquence de la montée en fréquence sur le bloc antenne

Sur une décennie d'existence, les applications du standard 4G actuel ont progressivement bénéficié de plusieurs optimisations des protocoles de communications, regroupées sous le terme de « Long Term Evolution Solutions » (LTE), afin d'accroître les débits de données. Comme nous l'avons mentionné dans le premier chapitre, la montée en fréquence est devenue nécessaire du fait de la saturation du spectre de fréquences actuellement exploité, entre 700 MHz et 6 GHz. La prochaine génération de réseaux sans fil, connue sous le dénominateur de

5G, devrait inaugurer l'utilisation de fréquences millimétriques. Avec ce nouveau standard, des bandes de plusieurs gigahertz de large entre 20 GHz et 50 GHz se détachent comme l'illustre le graphe de la Figure III-1 : la bande 24-30 GHz et la bande 37-44 GHz.

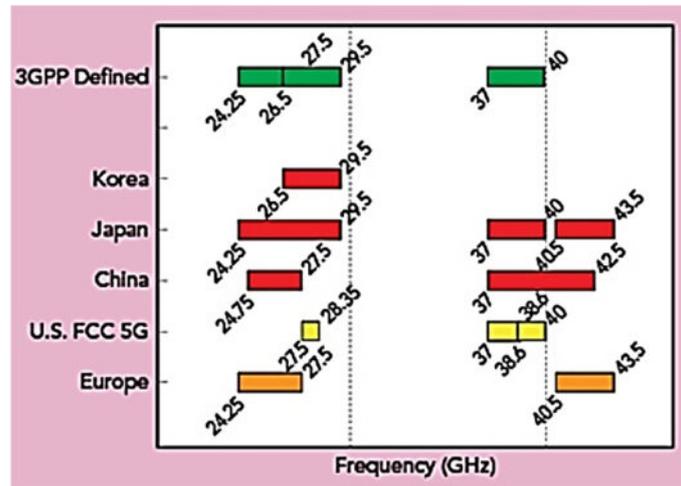


Figure III-1 : Allocation des fréquences pour les applications radio 5G [1].

Les architectures radio pourront difficilement compenser les pertes en propagation au-delà de 20 GHz par une augmentation de la puissance des émetteurs RF, en particulier lorsque l'on considère les terminaux mobiles (faibles puissances disponibles et mauvais rendements associés). La meilleure solution consiste alors à focaliser le signal émis dans une direction donnée contrairement à ce qui est pratiqué aux fréquences basses actuellement exploitées. Cette focalisation peut s'effectuer à l'aide d'antennes compactes constituées par des réseaux d'éléments rayonnants [1]-[3]. La directivité du faisceau dépend du nombre d'éléments rayonnants utilisés pour former l'antenne. Un gain théorique de $10 \times \log(N)$ (en dBi) peut être obtenu en plaçant N éléments rayonnants sur un accès d'excitation par rapport à l'intégration d'une antenne unique [4]. Le gain moyen résultant permet ainsi de réduire les interférences dans le canal de transmission [3] et de propager un signal avec des pertes en propagations (libre « Light of Sight » LoS ou encombrée « No Light of Sight » NLoS) équivalentes, voire réduites par rapport aux bandes inférieures à 6 GHz.

Les auteurs de [4] montrent notamment qu'un réseau de 64 antennes patch miniaturisées permet de propager un signal à 30 GHz avec des pertes équivalentes à celles d'une antenne patch fonctionnant à 3 GHz. Du fait de la réduction des longueurs d'onde avec la montée en fréquence, les 64 éléments rayonnants de la Figure III-2(b) peuvent tous être intégrés sur la même surface que l'antenne patch de la Figure III-2(a).

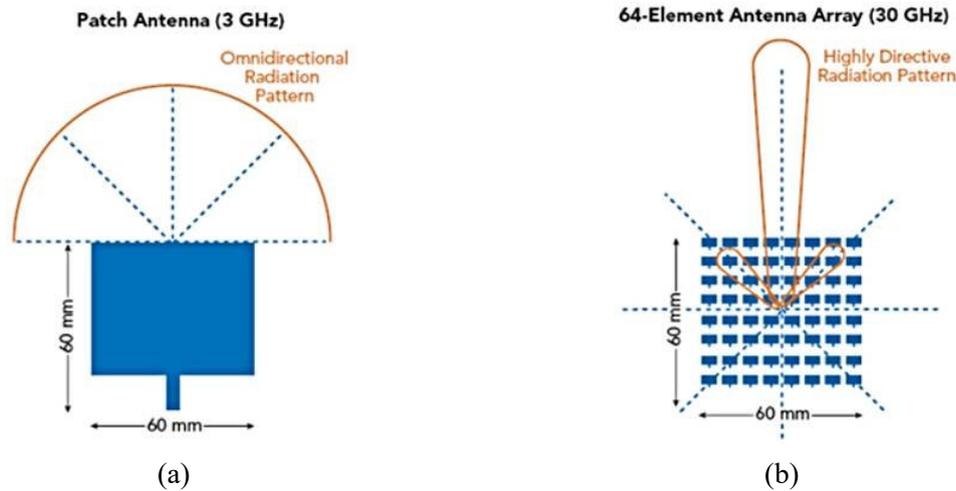


Figure III-2 : (a) Antenne patch utilisée pour les applications mobiles, fonctionnant à 3 GHz et (b) antenne fonctionnant à 30 GHz et basée sur un réseau de 64 éléments rayonnants [1].

Dans le cas d'une antenne formée par un réseau d'éléments rayonnants, la focalisation du faisceau, plus connue sous l'anglicisme « beamforming », est obtenue grâce à une distribution précise en amplitude et en phase du signal à émettre entre chaque élément rayonnant. Un balayage du faisceau rayonné de la Figure III-2(b) sur un angle d'ouverture équivalent à celui de l'antenne de la Figure III-2(a) [1] peut être obtenu en ajoutant un déphasage dynamique du signal appliqué sur chaque élément rayonnant du réseau. (« beamsteering » [2]).

2.2 Circuits de distribution de signaux vers un réseau d'éléments rayonnants

Il existe plusieurs types de répartiteurs permettant de distribuer les signaux sur chaque élément rayonnant. Deux types de fonctionnements sont possibles. Dans un premier cas, les signaux issus d'un diviseur de puissance sont contrôlés par des déphaseurs, qui sont chacun placés sur un élément rayonnant. Dans un deuxième cas, un seul circuit de distribution disposant de plusieurs sorties est placé devant le réseau d'éléments rayonnants. Ce répartiteur comprend plusieurs entrées. La relation de phase établie entre chacune des sorties du dispositif, et donc le dépointage du faisceau créé, dépend de l'entrée par laquelle la source est appliquée. Des commutateurs sont utilisés pour connecter la source vers l'entrée désirée.

Un premier type de répartiteur consiste à contrôler le niveau et la phase du signal injecté sur chacun des éléments rayonnants en utilisant un corechip à commande numérique. Ce type de système peut bénéficier d'une excellente résolution spatiale en disposant d'un grand nombre de bits et d'un angle de balayage du faisceau très large [5]-[7]. Néanmoins, la multiplication du nombre d'éléments actifs utilisés pour réaliser ces répartiteurs augmente sévèrement le coût et la consommation en puissance du bloc antenne [6] [8] [9]. Par ailleurs, les déviations en amplitude et la phase des réseaux peuvent varier avec la multiplication des états de phases

générés et de l'augmentation en température des transistors [10]. La forte résolution disponible pour les répartiteurs de faisceaux basés sur des circuits actifs oriente davantage leur utilisation pour les équipements de stations de base ou de relais multipoint [7] [11] qui sont équipés d'un très grand nombre d'éléments rayonnants. Ils peuvent être aussi utilisés dans des répéteurs pour l'amélioration de la connectivité dans le transport ferroviaire, maritime, aéronautique et automobile [7].

Un répartiteur constitué de circuits passifs présente une solution dont la consommation énergétique est bien plus faible et la fabrication moins coûteuse [11] [12]. Ce type de dispositif dispose de plusieurs entrées qui sont excitées grâce à un commutateur (« switch ») et de plusieurs sorties, chacune connectée à un élément rayonnant. Il existe plusieurs catégories de répartiteurs passifs qui sont les lentilles ou qui sont basés sur des circuits passifs MMIC.

La lentille de Rotman est une lentille métallique pourvue de sorties qui sont connectées aux différents éléments rayonnants. Les entrées sont disposées du côté opposé de la lentille. L'avantage de ce répartiteur réside dans l'utilisation d'un composant unique pour connecter les entrées et les sorties. Le balayage du faisceau est indépendant de la fréquence de travail [13]. Cependant, une lentille est un dispositif lourd et massif. Son utilisation reste réservée au domaine des communications par satellite et de l'automobile [10].

Les répartiteurs basés sur des circuits passifs MMIC sont beaucoup plus compacts et intégrables en utilisant des solutions IPD standards dans les terminaux légers. Plusieurs topologies existent. Les plus connues sont les matrices de Blass, les matrices de Nolen et les matrices de Butler, qui sont présentées dans la Figure III-3.

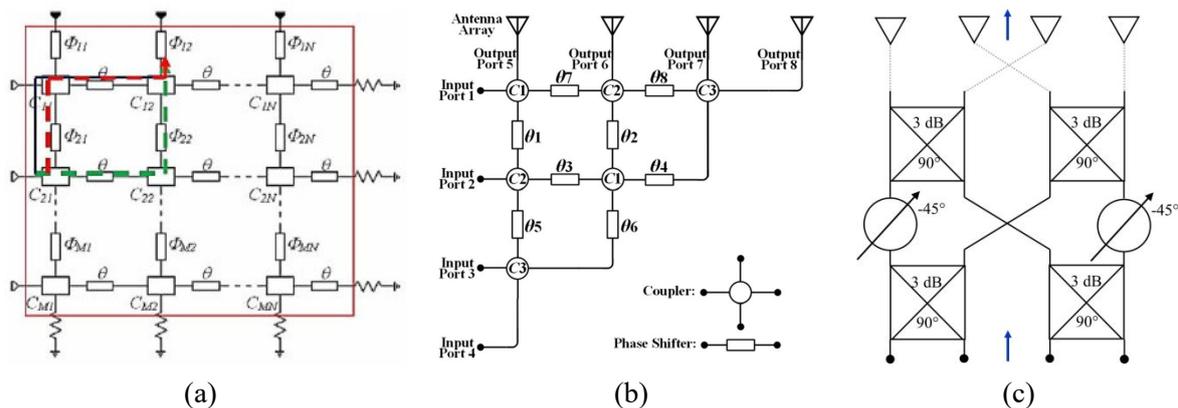


Figure III-3 : Diagramme d'une matrice (a) 3×3 de Blass [17], (b) d'une matrice 4×4 de Nolen [18] et (c) d'une matrice 4×4 de Butler.

Elles intègrent deux types d'éléments passifs qui sont des coupleurs assurant la division du signal d'entrée vers les différents éléments rayonnants, et des déphaseurs contrôlant les déphasages en sortie. Il est possible d'associer plusieurs matrices pour créer un balayage de

l'azimut et de l'élévation du faisceau, pour accroître la capacité du canal et la couverture de balayage par exemple [6] [14].

La matrice de Blass, dont le diagramme est donné dans la Figure III-3(a), offre le choix d'intégrer un nombre de sorties N différents du nombre d'accès d'entrées M [15]. Cependant, ce répartiteur présente des pertes importantes en raison des nombreuses terminaisons 50Ω connectées en sorties des lignes d'alimentation [15] [16], ce qui le limite à des utilisations en bande étroite. La topologie induit également des couplages entre les lignes d'alimentation des différents niveaux [15]. Enfin, la matrice de Blass intègre un nombre élevé de coupleurs si on la compare aux deux autres types de répartiteurs basés sur des circuits passifs [15].

La matrice de Nolen dispose d'une topologie simplifiée, et permet surtout de s'affranchir de l'utilisation de terminaisons 50Ω [5] [15]. Son diagramme est donné dans la Figure III-3(b). Les signaux en sortie présentent cependant une dispersion en phase importante [15].

La matrice de Butler (Figure III-3(c)) présente l'avantage de disposer d'un nombre d'éléments passifs réduit par rapport aux deux topologies précédentes. C'est notamment l'argument mis en avant par leurs concepteurs Jesse Butler et Ralph Lowe lors de la présentation du système en 1961 [14].

Le Tableau III-1 est résumé le nombre de composants nécessaires au pilotage de quatre éléments rayonnants pour les trois types de matrices.

Tableau III-1 : Comparaison du nombre de composants passifs nécessaire pour implémenter une matrice 4x4 de Blass, de Nolen et de Butler.

Type de matrice 4x4	Blass	Nolen	Butler
Types de composants	<ul style="list-style-type: none"> • 15 coupleurs • 12 déphaseurs minimum 	<ul style="list-style-type: none"> • 6 coupleurs • 7 déphaseurs 	<ul style="list-style-type: none"> • 4 coupleurs • 2 déphaseurs • 2 croisements
Total de composants passifs	27	13	8

Nous voyons que la matrice de Butler possède un nombre de composants passifs bien plus réduit que les deux autres systèmes. Ce constat est également mentionné dans [10], qui rapporte l'utilisation de 192 coupleurs hybrides pour intégrer une matrice de Butler 64×64 , contre 4096 coupleurs pour une matrice de Blass. De plus, la matrice de Butler est un système symétrique et réciproque, qui dispose d'un schéma de conception dans sa forme standard bien plus simple que les matrices de Nolen ou de Blass [6] [12]. Toutes ces caractéristiques permettent d'obtenir un faible niveau de pertes, une faible dispersion en phase entre les sorties et une bande passante élargie par rapport aux autres solutions passives.

La limitation de ce répartiteur réside dans le choix du nombre d'accès, qui est égal à une puissance de deux. Par ailleurs, ce système travaille avec un nombre d'entrées et de sorties identiques. L'inconvénient lié à son utilisation est que la surface occupée et la complexité du

système croissent rapidement avec l'élévation du nombre d'éléments rayonnants à piloter. Par exemple, le schéma de la Figure III-4(a) montre une matrice de Butler classique à huit entrées et pilotant huit éléments rayonnants. Le schéma de la Figure III-4(b) montre une matrice de Butler classique 16×16.

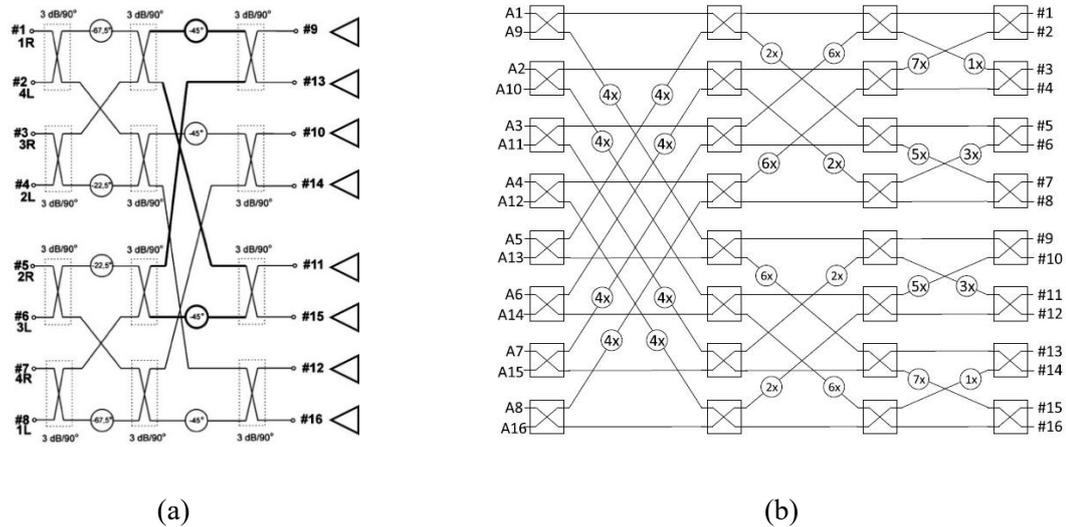


Figure III-4 : Diagramme d'une matrice de Butler (a) 8×8 [20] et (b) 16×16 [21].

Les nombreuses interconnexions entre les coupleurs exigent des solutions d'intégration optimisées. Certains concepteurs implémentent les éléments sur plusieurs niveaux pour pouvoir organiser les circuits de telle sorte à minimiser les croisements [19]. Disposer d'une solution 3D compacte peut s'avérer bénéfique dans cette situation. D'autres travaux proposent des matrices dont le nombre d'entrées est différent du nombre de sorties, au détriment de l'utilisation d'un très grand nombre de coupleurs pour démultiplier les signaux en sortie du répartiteur, et d'une complexité encore plus importante. De par ces aspects, la matrice de Butler est pertinente lorsque le nombre d'éléments rayonnants à alimenter ne dépasse pas 16, ce qui devrait être le cas d'une majorité de terminaux légers et portables tels que les téléphones mobiles [5]. Dans ce cas, le nombre d'antennes est volontairement réduit au profit d'une grande compacité et d'un angle d'ouverture du faisceau important [3] [5].

2.3 Matrice de Butler

Si l'on se place dans le contexte de la conception d'un terminal mobile 5G, l'implémentation d'un répartiteur doit se faire à faible coût. La solution doit également rester simple, avec une faible consommation énergétique, et compacte à cause des limitations évidentes sur les dimensions de l'objet. Nous venons de voir dans le paragraphe précédent que les répartiteurs passifs offrent une plus grande simplicité pour l'implémentation d'une antenne basée sur un réseau d'éléments rayonnants. De par ses caractéristiques, la matrice de Butler est de loin la

plus explorée dans la littérature. C'est donc vers ce type de répartiteur que nous nous sommes tournés. Les principales caractéristiques d'une matrice de Butler sont :

- Un nombre d'entrées et de sorties N identiques permettant de piloter N antennes distinctes ;
- Les entrées sont isolées les unes des autres ;
- Deux circuits passifs distincts composent la matrice de Butler : le coupleur et le déphaseur. Former une matrice $N \times N$ requiert l'utilisation de $N/2 \times \log(2N)$ coupleurs 3 dB / 90° et $N/2 \times \log(2N - 1)$ déphaseurs [13]. Les coupleurs cascadés assurent la répartition du signal aux différentes sorties. Les déphaseurs assurent une compensation de phase lors de la division du signal pour maintenir un écart de phase constant entre les sorties de la matrice.

En choisissant $N = 4$, la matrice de Butler 4×4 se résume au circuit de la Figure III-5.

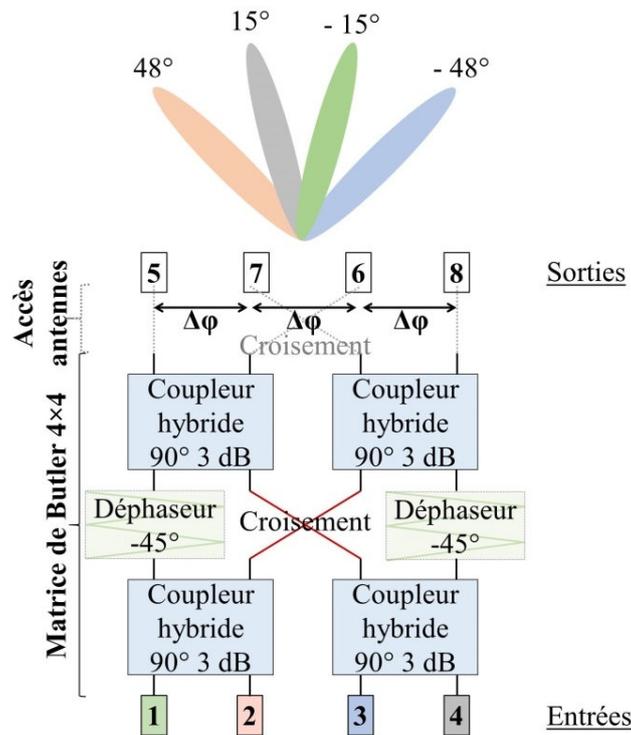


Figure III-5 : Diagramme détaillé d'une matrice de Butler 4×4 .

L'écart de phase obtenu entre chaque sortie de la matrice dépend de l'entrée excitée est résumé dans le Tableau III-2.

Tableau III-2 : Déphasage $\Delta\phi$ théorique entre les sorties de la matrice de Butler en fonction de l'accès excité.

Accès excité	1	2	3	4
Déphasage $\Delta\phi$ (degrés)	-45	135	-135	45

En reprenant les formules précédentes, nous retrouvons quatre coupleurs hybrides 90° , deux déphaseurs -45° et un voire deux croisements (Figure III-5). Le croisement de sortie est à positionner pour placer les sorties dans le bon ordre, c'est-à-dire pour bénéficier du même écart de phase entre chaque sortie. Il est dans de nombreux cas inclus dans la partie de dimensionnement des lignes d'alimentation des éléments rayonnants plutôt que dans la matrice [19] [22]-[24]. Nous choisissons de centrer la matrice de Butler sur la première bande 24-30 GHz prévue pour la 5G (cf. Figure III-1). Sa conception est focalisée sur la recherche du meilleur compromis entre performance et compacité. La prochaine partie est dédiée à la conception de la matrice de Butler 4×4 en mettant à profit des solutions d'intégration possibles avec la technologie IPD-3D.

3 Conception de la matrice de Butler 3D

3.1 Coupleur 3 dB et 90°

Les coupleurs directionnels forment une famille de circuits aux fonctionnalités similaires, mais construits de différentes façons : coupleur à lignes couplées, coupleur à embranchement, coupleur de Lange.... Tous ces circuits ont pour point commun d'être constitués de plusieurs tronçons de ligne de longueur $\lambda/4$, où λ est la longueur d'onde guidée. Cette longueur définit l'encombrement et la fréquence centrale de fonctionnement. Dans le cas du coupleur à lignes couplées, le couplage est électromagnétique, c'est-à-dire inductif et capacitif. Ce fonctionnement accroît la directivité et la bande passante du coupleur comparé au coupleur à embranchement [25]. L'utilisation de ce type de coupleur constitue donc un bon point de départ pour maximiser la bande passante de la matrice de Butler.

Les coupleurs à lignes couplées restent cependant encombrants. De nombreuses solutions existent pour réduire les dimensions des lignes (toutes catégories de coupleurs confondues), telles que l'utilisation de stubs, de méandres, ou d'ondes lentes. Les coupleurs fonctionnant en bande K bénéficiant de ces stratégies de réduction conservent de bonnes performances (pertes d'insertion inférieures à 1 dB et bande passante supérieure à 10 GHz), mais leurs surfaces occupées restent encore élevées (au-dessus de $0,5 \text{ mm}^2$) [26]. L'utilisation d'éléments localisés permet d'obtenir des coupleurs encore plus miniaturisés [27]. [27]. Cependant, le recours à cette technique réduit la bande passante (cf. premier chapitre) [27]. En conclusion, les coupleurs proposés peinent encore à réunir compacité et large bande passante.

Afin d'obtenir un compromis entre ces deux solutions d'intégration, nous cherchons à implémenter un coupleur à lignes couplées en utilisant des éléments semi-localisés. Deux lignes couplées classiques peuvent être représentées par le schéma électrique équivalent de la Figure III-6 [28] [29].

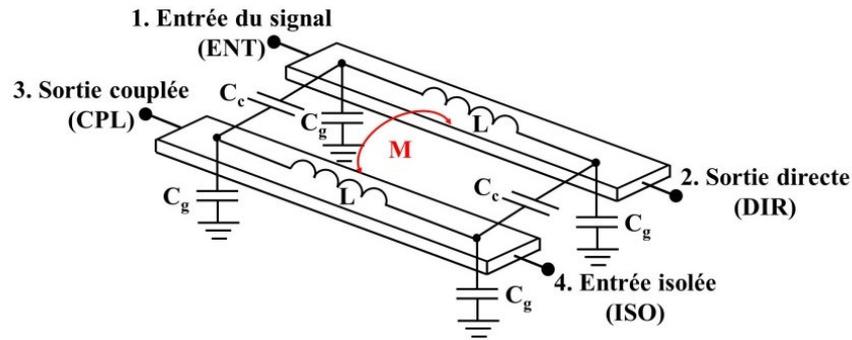


Figure III-6 : Réseau électrique équivalent d'un coupleur à lignes couplées.

Chaque ligne est représentée par un réseau LC en π (inductance L et condensateur C_g). Les couplages inductif et capacitif entre les deux lignes couplées sont respectivement représentés par l'inductance mutuelle M et les condensateurs C_c . Nous voyons à travers le schéma électrique que la topologie définie par les deux lignes couplées s'apparente à celle d'un transformateur.

3.1.1 Optimisation du transformateur central du coupleur

L'utilisation de la technologie 3D permet d'intégrer un transformateur 3D 1:1 sur une faible surface et fonctionnant dans la bande 20-30 GHz. La différence avec le coupleur à lignes couplées de la Figure III-6 est que les lignes sont enroulées autour d'un noyau diélectrique.

Les caractéristiques des couplages inductif et capacitif sont alors liées à la géométrie du transformateur, à savoir l'épaisseur et la largeur des spires et l'espacement entre ces spires. La longueur totale des enroulements primaire et secondaire qui constituent le transformateur détermine la fréquence de fonctionnement centrale du coupleur final.

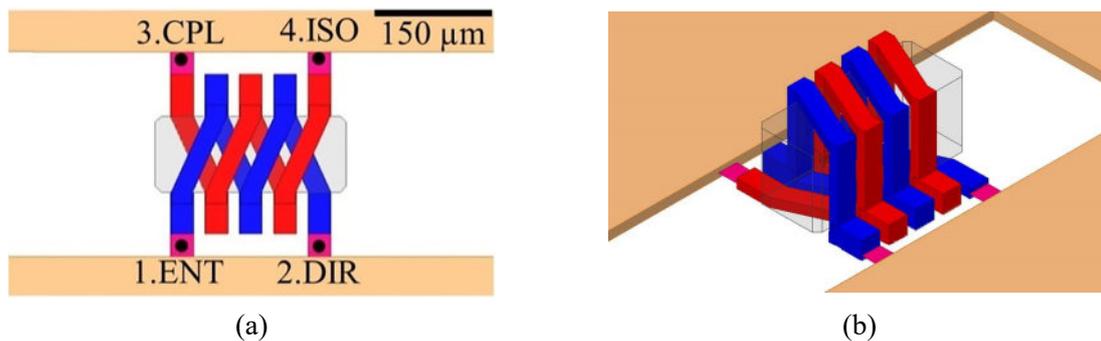


Figure III-7 : Modèle des enroulements 3D couplés : (a) vue de dessus et (b) vue 3D.

Pour concevoir le coupleur, nous étudions d'abord la façon dont les lignes du transformateur se couplent [30]. Nous construisons un transformateur parfaitement symétrique constitué par deux solénoïdes identiques imbriqués (Figure III-7). Cette topologie symétrique est conforme au schéma électrique de la Figure III-6. L'entrée (1) et la sortie directe (2) du premier solénoïde

(en bleu) sont situées du même côté, tandis que l'accès couplé (3) et l'entrée isolée (4) du second solénoïde (en rouge) sont placés du côté opposé du transformateur.

Les deux enroulements sont construits autour d'un noyau de résine diélectrique *SU8*, de section $110 \mu\text{m} \times 110 \mu\text{m}$. Cette topologie permet de maximiser la valeur de l'inductance mutuelle positive entre les spires, ce qui réduit considérablement la longueur de ruban métallique nécessaire pour atteindre le facteur de couplage désiré. De plus, le flux magnétique confiné dans le noyau du solénoïde accroît l'inductance linéique des rubans, ce qui réduit davantage la longueur requise des lignes couplées. Le nombre de tours de chaque enroulement est fixé à 2, ce qui correspond à une longueur totale (ligne déroulée) de $920 \mu\text{m}$ ($\approx \lambda_{27 \text{ GHz}}/12$) pour chaque ligne. Cette longueur maximise le couplage pour une fréquence de 27 GHz (fréquence centrale dans la bande ciblée de 24-29 GHz), une fois que les condensateurs d'adaptation sont rajoutés. Nous le verrons dans la partie suivante. La largeur et l'espacement des conducteurs sont fixés à $30 \mu\text{m}$ et $15 \mu\text{m}$, respectivement. Ces valeurs correspondent au meilleur compromis entre limites technologiques et coefficient de qualité Q des enroulements du transformateur dans la bande K. En outre, l'espacement inter-spire de $15 \mu\text{m}$ correspond à la résolution maximale disponible pour la technologie IPD-3D. Nous choisissons cette limite basse pour rapprocher au maximum les enroulements et ainsi maximiser le couplage.

Les résultats de la simulation électromagnétique (Ansys HFSS) pour un signal appliqué à l'entrée 1 sont présentés dans le graphique de la Figure III-8.

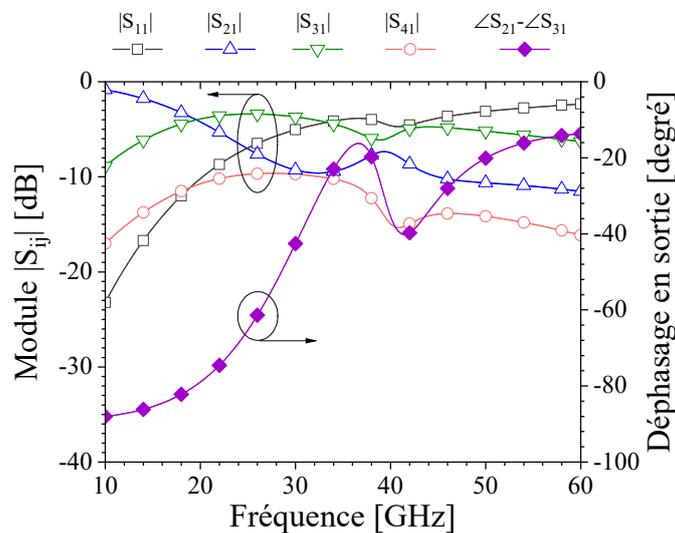


Figure III-8 : Modules des paramètres S simulés et déphasage entre l'accès 2 et 3 pour un signal appliqué à l'entrée 1 du transformateur de la Figure III-7.

Nous notons que le couplage est atteint pour une fréquence ponctuelle de 20 GHz, où la transmission directe $|S_{21}|$ et couplée $|S_{31}|$ se croisent. À cette fréquence, nous relevons un couplage de -4 dB, ce qui correspond à des pertes de 1 dB par rapport à la valeur théorique de -3 dB. De plus, nous observons au-delà de 20 GHz un écart de phase entre les sorties de plus

de 10° par rapport à la valeur de référence de -90° . Pour finir, l'isolation $|S_{41}|$ et le coefficient de réflexion $|S_{11}|$ observés sur toute la bande de fréquences simulée sont élevés, ce qui indique que le coupleur résultant de l'intégration de ce transformateur n'est pas bien équilibré.

L'origine de ce déséquilibre dans le cas du transformateur, pourtant géométriquement symétrique, peut se comprendre en observant la disposition des rubans couplés l'un par rapport à l'autre. Les enroulements du transformateur de la Figure III-7 sont simplement modélisés par une représentation en 2D dans la Figure III-9(a), qui met davantage en évidence la façon dont ils sont disposés autour du noyau du transformateur. Dans ce schéma, les lignes couplées sont regroupées en deux sous-ensembles : la partie gauche correspond aux métallisations verticales et à celles du niveau supérieur des enroulements et la partie droite correspond aux métallisations du premier niveau de cuivre. Cette représentation met en évidence l'inhomogénéité du couplage électromagnétique produit entre les deux lignes en dépit de la symétrie géométrique de la structure. En effet, l'accès couplé (3) et l'entrée (1) sont décalés d'une longueur de $0,38 \times l$, où l est la longueur complète d'un enroulement. De même, l'entrée isolée (4) est décalée de $0,11 \times l$ par rapport à la sortie directe (2). Ces décalages ont pour conséquence de déséquilibrer le couplage, ce qui se discerne en particulier sur le déphasage entre les sorties directe et couplée reporté sur le graphique de la Figure III-8.

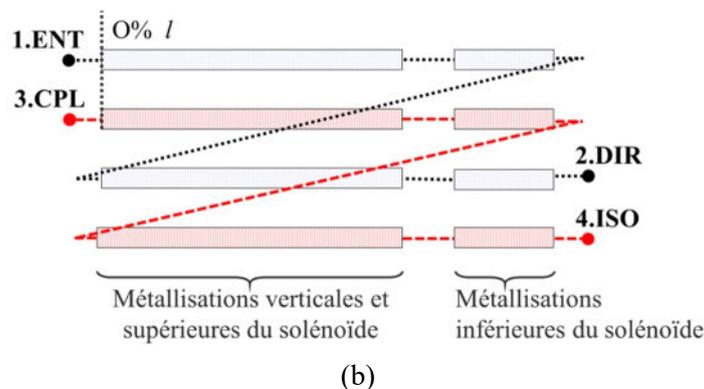
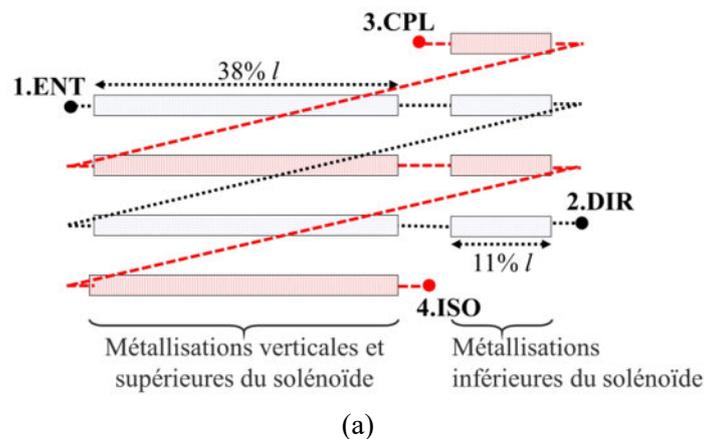


Figure III-9 : Modèle équivalent du transformateur 3D de la (a) Figure III-7 et de la (b) Figure III-10.

Afin de supprimer ces décalages et de retrouver un couplage électromagnétique homogène sur toute la longueur des deux lignes, le transformateur est modifié pour correspondre au modèle équivalent de la Figure III-9(b). Le modèle 3D du transformateur corrigé est représenté en Figure III-10. La différence avec la version précédente se situe dans l'alignement des quatre accès du même côté du circuit. Les autres caractéristiques géométriques du transformateur 3D sont conservées, à savoir la section du noyau 3D, la largeur et l'épaisseur des métallisations, leur espacement, et la longueur des enroulements. Les résultats de la simulation électromagnétique menée sur cette nouvelle structure sont présentés sur la Figure III-11.

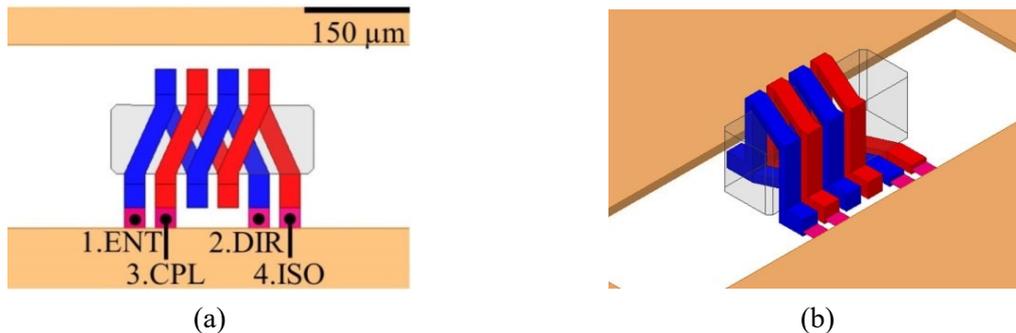


Figure III-10 : Nouveau modèle des enroulements 3D couplés : (a) vue de dessus et (b) vue 3D.

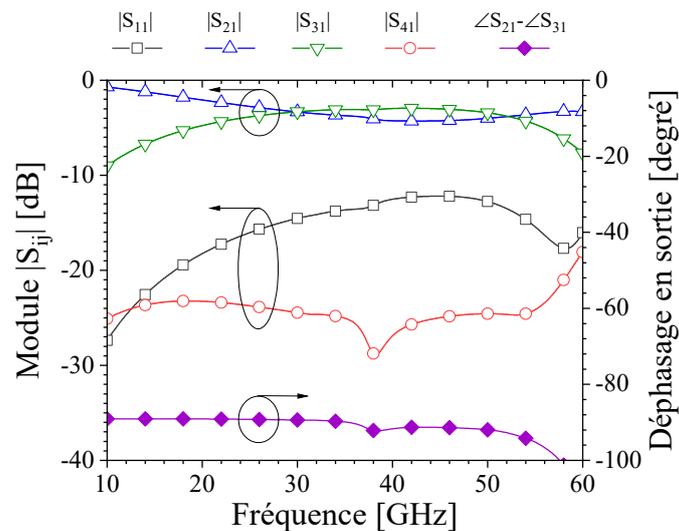


Figure III-11 : Modules des paramètres S simulés et déphasage entre l'accès 2 et 3 pour une excitation appliquée à l'entrée 1 du transformateur de la Figure III-10.

Cette nouvelle topologie améliore significativement les performances par rapport à la version précédente. Sur une large bande de fréquence de 30 GHz à 50 GHz, le déphasage est maintenant d'environ -90° avec une déviation inférieure à 2° . La directivité est largement améliorée, avec une transmission vers l'accès isolé $|S_{41}|$ abaissée de 10 dB par rapport à celle du modèle de la Figure III-7. Elle se situe maintenant en dessous de -25 dB. Un couplage d'environ -3 dB est relevé. Les transmissions relevées vers la sortie directe $|S_{21}|$ et couplée $|S_{31}|$

montrent un léger sur-couplage dû à la proximité des solénoïdes. Nous relevons notamment à 42,4 GHz un déséquilibre d'amplitude de -1,35 dB ($|S_{21}| - |S_{31}|$). Le sur-couplage peut être éliminé en augmentant l'espacement des lignes jusqu'à 17 μm pour atteindre un couplage parfaitement équilibré de -3 dB sur les deux sorties. Le module du coefficient de réflexion $|S_{11}|$ est inférieur à -12 dB.

3.1.2 Coupleur complet

Le coupleur final est implémenté à partir du transformateur de la Figure III-10. Le modèle HFSS du coupleur est montré dans la Figure III-12. Malgré le sur-couplage dû à un espacement inter-spire de 15 μm , nous conservons cette solution pour maintenir des dimensions les plus compactes possibles pour le coupleur. L'effet du sur-couplage est corrigé à l'aide de deux condensateurs C_c de 70 fF qui sont placés entre les enroulements du transformateur (Figure III-12). Celles-ci n'affectent pas l'adaptation en impédance du coupleur. Elles sont intégrées sous les accès des enroulements.

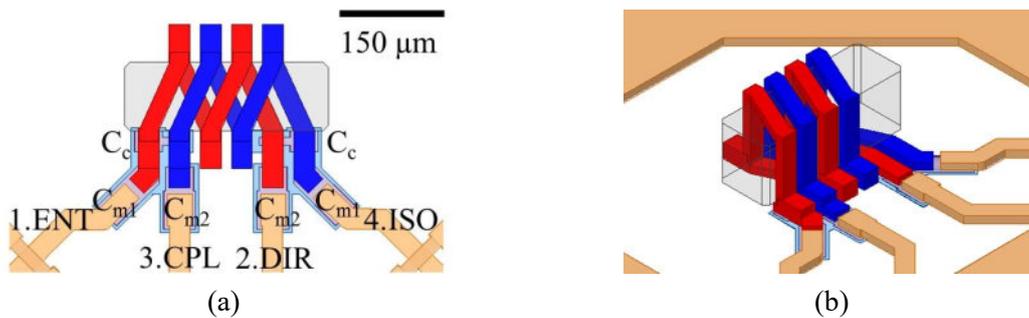


Figure III-12 : Modèle du coupleur 3D: (a) vue de dessus et (b) vue 3D.

Dans le graphique de la Figure III-11, nous relevons un coefficient de réflexion $|S_{11}|$ inférieur à -12 dB pour le transformateur central du coupleur. Cette valeur est en partie due à l'utilisation des lignes couplées de faible largeur (30 μm) qui présentent des impédances élevées aux fréquences les plus hautes. Les lignes présentent une réactance positive autour de 27 GHz, qui est compensée par l'ajout des condensateurs $C_{m1} = 215$ fF et $C_{m2} = 254$ fF en série avec les accès du transformateur (Figure III-12) de façon à ramener les impédances des accès à proximité de 50 Ω .

Les performances simulées avec HFSS du coupleur sont reportées sur la Figure III-13. Le coupleur présente un couplage de -3 dB et une différence de phase de -90° sur une large bande de fréquences qui s'étend de 22 GHz à 30 GHz. Sur cette même bande de fréquence, les pertes en transmission vers les deux sorties $|S_{21}|$ et $|S_{31}|$ restent inférieures à 0,6 dB. Le coefficient de réflexion $|S_{11}|$ et l'isolation $|S_{41}|$ restent inférieurs à -15 dB. La différence de phase de -90° entre les sorties est obtenue avec un écart inférieur à $2,2^\circ$. Par ailleurs, en considérant une différence de phase de $90 \pm 5^\circ$ et un déséquilibre d'amplitude ($|S_{21}| - |S_{31}|$) inférieur à 1 dB, la bande

passante du coupleur s'étend sur une bande de 21 GHz à 32,5 GHz. Le coupleur couvre ainsi toutes les bandes de fréquence du standard 5G déployées entre 20 GHz et 30 GHz.

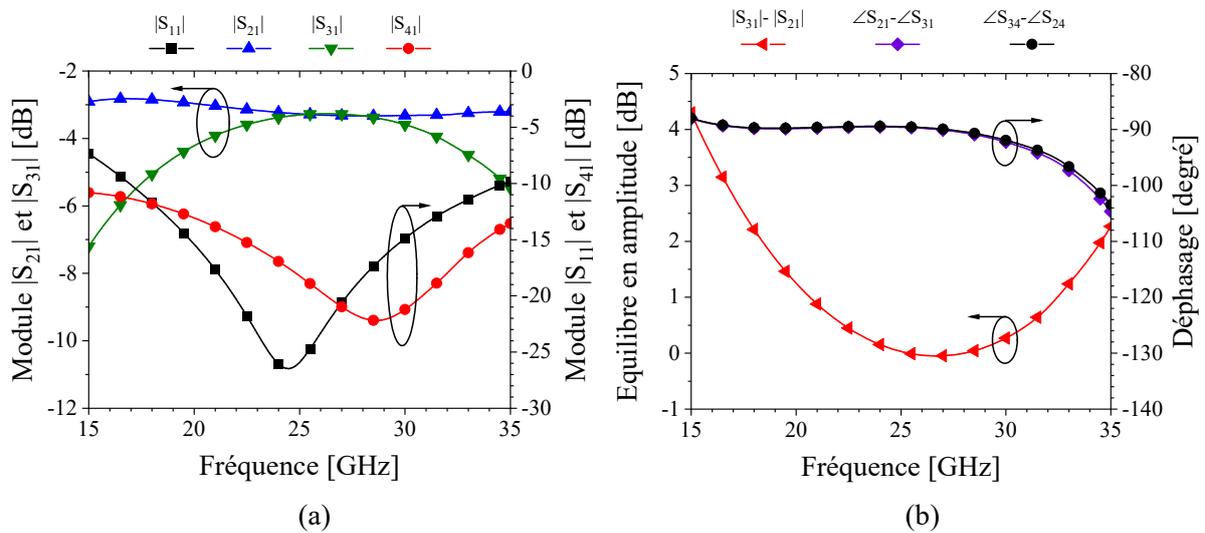


Figure III-13 : (a) Module des paramètres S du coupleur de la Figure III-12 pour un signal appliqué à l'entrée 1, et (b) équilibre du couplage et déphasages entre les sorties.

3.1.3 Validation expérimentale

Le coupleur est fabriqué sur un substrat verre à partir du procédé décrit dans le deuxième chapitre, et est présenté dans la Figure III-14.

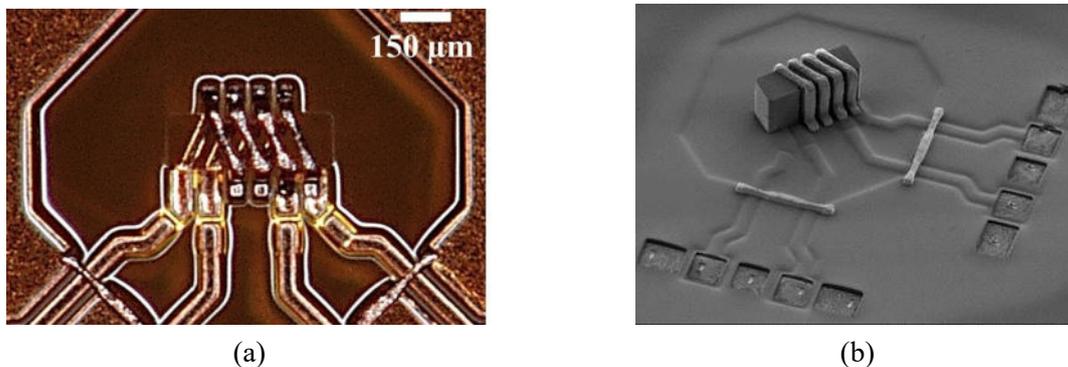


Figure III-14 : (a) Microphotographie au MEB et (b) photographie optique du coupleur 3D fabriqué.

Pour caractériser le circuit, nous ajoutons des accès de mesure constitués de quatre lignes coplanaires 50Ω reliées à deux paires de plots de mesure « Ground-Signal-Ground-Signal-Ground » (GSGSG), disposés à 90° l'un par rapport à l'autre. Les mesures sont effectuées à l'aide d'un analyseur de réseau vectoriel Keysight N5247A PNA-X comportant quatre accès, sur une bande de fréquence de 10 GHz à 40 GHz. Nous utilisons deux pointes RF Cascade Infinity GSGSG avec un pitch de $150 \mu\text{m}$.

Les performances du coupleur après épluchage des accès de mesure sont reportées sur la Figure III-15 (traits pleins). Les performances du coupleur simulé de la Figure III-12 sont ajoutées en pointillé. Les décalages en fréquence constatés par rapport aux simulations initiales sont principalement dus aux pistes de $123\ \mu\text{m}$ et de $186\ \mu\text{m}$ de long qui sont rajoutées aux extrémités du coupleur pour le connecter aux lignes d'accès coplanaires (Figure III-14). La contribution de ces lignes étant difficile à évaluer expérimentalement en raison des discontinuités du plan de masse des accès, nous n'avons pas cherché à les évaluer. Ces lignes sont par contre rajoutées dans les rétro-simulations (traits pleins et symboles vides). Nous constatons à présent un très bon accord entre les mesures et les rétro-simulations.

Un couplage de $-3\ \text{dB}$ avec un écart inférieur à $1\ \text{dB}$ est atteint pour une bande de fréquence qui s'étend de $20,5\ \text{GHz}$ à $29\ \text{GHz}$. Cet écart par rapport à la valeur théorique est dû à un léger sous-couplage, qui s'explique par un espacement entre les enroulements légèrement plus élevé ($20\ \mu\text{m}$ environ) que les $15\ \mu\text{m}$ prévus sur le dessin des masques. La réflexion $|S_{11}|$ et l'isolation $|S_{41}|$ restent inférieures à $-11\ \text{dB}$ et $-15\ \text{dB}$, respectivement. Lorsque l'entrée 1 (ou l'entrée isolée 4) est excitée, la différence entre les phases entre les sorties 2 et 3 est de -90° , avec un écart inférieur à 7° . Le déséquilibre en amplitude est inférieur à $0,8\ \text{dB}$.

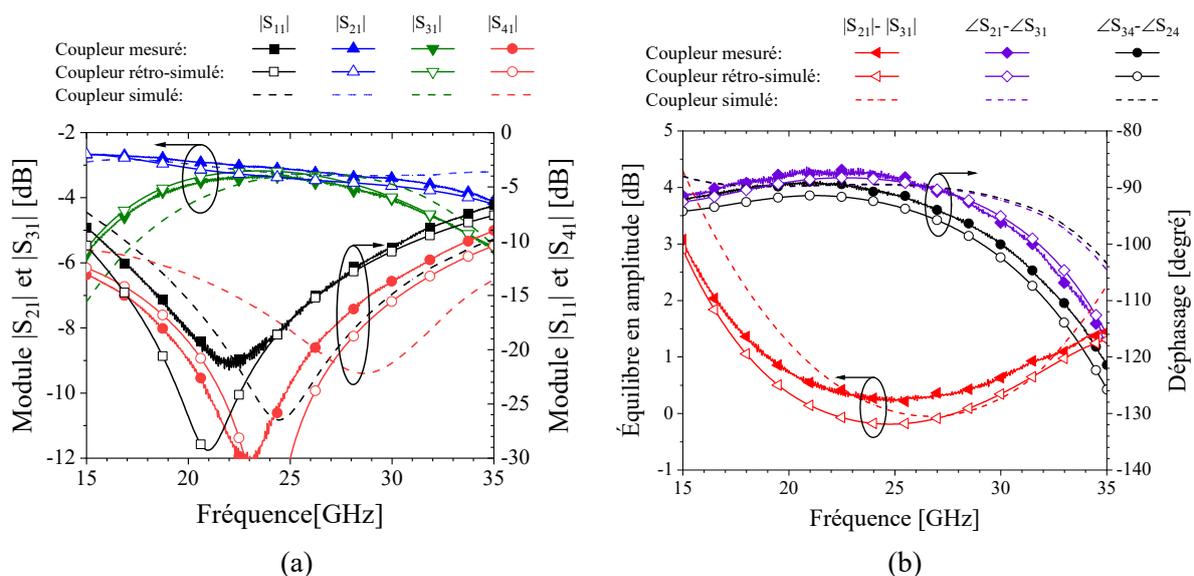


Figure III-15 : (a) Modules des paramètres S du coupleur 3D mesurés pour un signal appliqué à l'entrée 1, et (b) équilibre en amplitude et déphasages entre les sorties.

3.1.4 Comparaison avec l'état de l'art

Nous comparons les performances du coupleur 3D fabriqué avec les performances de coupleurs directionnels 90° fonctionnant dans les bandes K et Ka. Les performances de ces coupleurs sont référencées dans le Tableau III-3.

Tableau III-3 : Caractéristiques de coupleurs en bande K et Ka.

Réf.	Substrat	Bande fréq. (GHz)	Bande pass. Relative (%)	Éq. ampl. (dB)	Écart phase (°)	Max. pertes en transmission (dB)	Surface (mm ²)
[31]	SiGe BiCMOS	25	0	NC	1.2	0.2	0,60
[32]	Si HR	33,3-53,9	46	2 ^m	6,5 ^m	2,3 ^m	0,50
[26]	Verre	36,6-45,6	22	1.4 ^m	5 ^m	4 ^m	1,3
[27]	SiGe BiCMOS	18,8-22,7	19	0,5 ^m	2,6 ^m	0,9 ^m	0,02
Ce travail	Verre	20,5–29	34	0,8 ^m	7 ^m	1 ^m	0,11

Les données mesurées et simulées sont identifiées par les indices ^m et ^s respectivement

Ce tableau montre que le coupleur 3D intégré en utilisant la technologie IPD-3D maintient de très bonnes performances sur une bande passante plus large que celles de coupleurs planaires miniaturisés. À largeur de bande équivalente, le coupleur présenté dans [26] affiche par exemple des pertes mesurées en moyenne quatre fois plus élevées que la solution proposée ici. De plus, l'intérêt de la technologie 3D est également démontré face aux technologies planaires silicium BiCMOS dont les bandes sont plus réduites.

Enfin, la réduction des dimensions des lignes couplées et leur enroulement autour d'un noyau diélectrique épais permettent d'occuper une faible surface. Ainsi, le coupleur occupe une surface douze fois plus faible qu'un coupleur classique intégré sur du verre [26] et quatre fois plus faible que ceux présentés dans [31] et [32], intégrés sur du silicium.

3.2 Croisement

Le croisement permet de relier les signaux issus des deux coupleurs de l'étage d'entrée aux coupleurs de l'étage de sortie (Figure III-5). Il peut être intégré de deux manières différentes au sein de la matrice de Butler. La première option consiste à former un coupleur 0 dB en cascade de deux coupleurs hybrides 90°, comme illustré dans la Figure III-16(a). Idéalement, cette configuration permet de transmettre l'intégralité du signal appliqué en 1 vers la sortie 2 sans aucun couplage vers les accès 3 et 4. Il en est de même pour la transmission d'un signal appliqué en 3 vers la sortie 4. La seconde option est présentée dans la Figure III-16(b). Ici, le croisement est effectué le plus simplement possible à l'aide de deux lignes de transmission. Il faut néanmoins que la technologie utilisée permette le chevauchement des deux lignes.

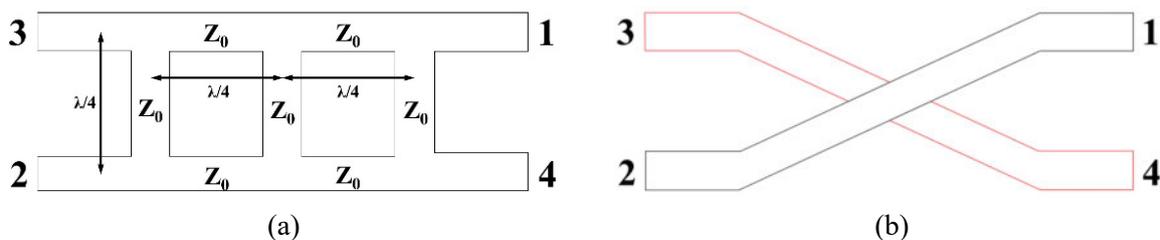


Figure III-16 : Schéma de deux types de croisement : (a) coupleur 0 dB et (b) croisement simple entre les deux lignes de transmission.

Puisque la technologie IPD-3D nous permet de croiser les lignes sans difficulté en utilisant un pont métallique, nous choisissons la deuxième option pour bénéficier de sa plus grande compacité en s'affranchissant de la mise en cascade de deux coupleurs hybrides 90°. Le dessin du croisement et son positionnement entre les quatre coupleurs de la matrice de Butler est illustré dans la Figure III-17.

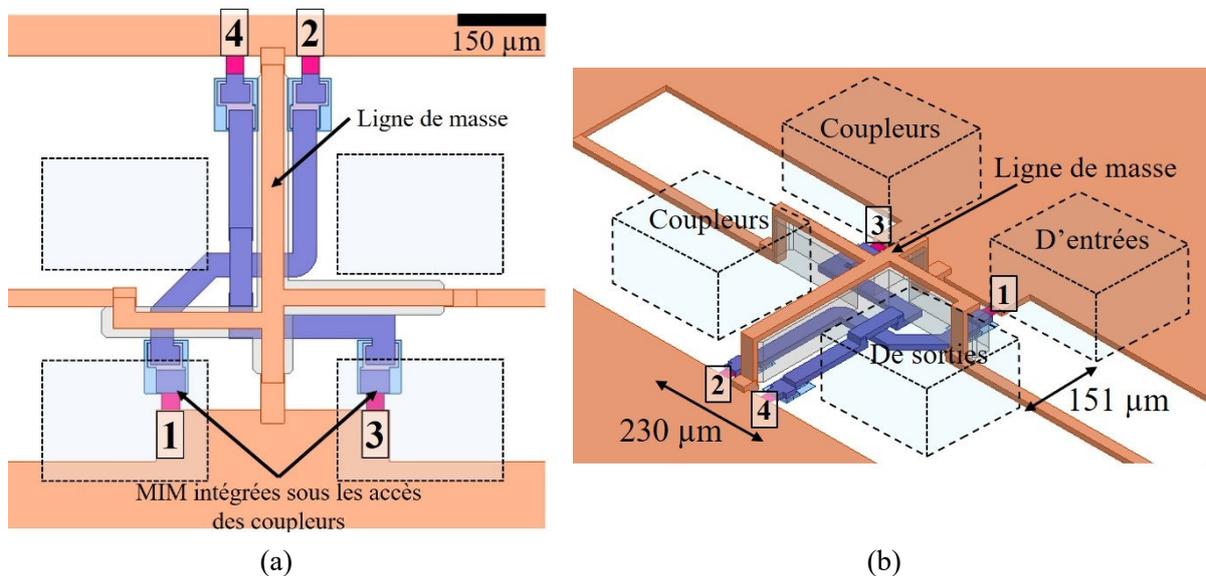


Figure III-17 : Modèle du croisement de la matrice de Butler : (a) vue de dessus et (b) vue 3D.

Le croisement est réalisé à partir de deux pistes de 40 µm de large dont la longueur (854 µm) est contrainte par la distance qui sépare les coupleurs à interconnecter. De façon à maintenir une grande compacité pour l'ensemble (croisement + coupleurs), l'espace disponible entre les quatre coupleurs est volontairement réduit (151 µm × 230 µm) (Figure III-17). Pour intégrer les deux lignes dans cet espace réduit, des concessions sont faites sur la symétrie de la structure. Nous verrons plus bas que ces concessions ont un impact très limité sur la dissymétrie électrique du circuit dans la gamme de fréquences d'intérêt. Pour maintenir des impédances d'accès non loin de 50 Ω sur toute la bande de fréquence spécifiée, des condensateurs sont rajoutés en série au niveau des accès des deux pistes qui forment le croisement. Enfin, une piste reliée à la masse est positionnée entre les deux pistes du croisement.

Dans un premier temps, la ligne de masse visible sur la Figure III-17 n'est pas implémentée. La simulation électromagnétique effectuée sur cette structure amène des résultats qui sont reportés en pointillé sur la Figure III-19. Premièrement, nous vérifions que la symétrie électrique du circuit n'est pratiquement pas impactée par l'asymétrie géométrique entre les deux lignes avec $S_{21} \approx S_{43}$, $S_{41} \approx S_{23}$ et $S_{11} \approx S_{33}$. En revanche, nous constatons que les transmissions dans la bande 24-30 GHz présentent une atténuation non négligeable avec des valeurs comprises entre -1,9 dB et -1,5 dB. De même, l'isolation entre les deux lignes n'est pas satisfaisante, avec des coefficients $|S_{41}|$ et $|S_{23}|$ se situant autour de -14,5 dB. Comme le

croisement entre les deux pistes n'amène qu'un condensateur équivalent de capacité 22 fF, cette mauvaise isolation est principalement due à la proximité des deux lignes (70 μm) sur toute la partie inférieure du circuit, soit une distance de 336 μm .

Espacer les rubans n'est pas envisageable puisque cela revient à les rapprocher des coupleurs au risque d'engendrer un couplage plus important avec ces derniers. Afin d'améliorer l'isolation $|S_{41}|$ et $|S_{23}|$, la meilleure stratégie consiste à placer une ligne de masse entre les deux pistes du croisement. En considérant l'espacement minimum de 15 μm permis par la technologie, il est alors possible d'intégrer un ruban de masse de 40 μm de large. Placer ce ruban sur le même niveau métallique que les pistes du croisement devrait améliorer l'isolation au détriment de la symétrie électrique à cause des couplages électriques inhomogènes entre la ligne de masse et chacune des deux lignes du croisement, illustrés en Figure III-18.

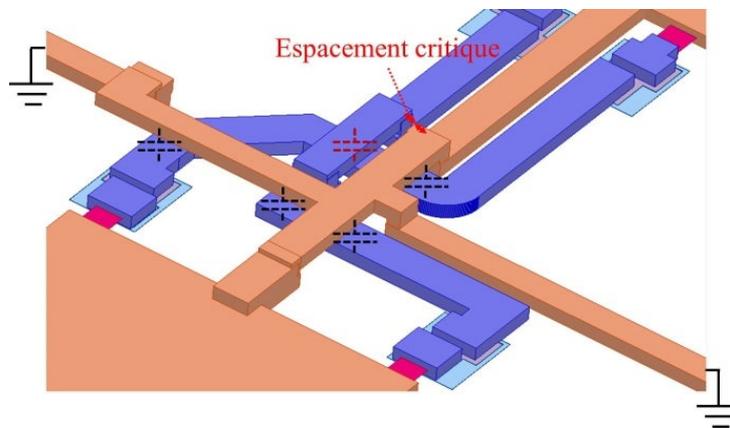


Figure III-18 : Modèle 3D de la ligne de masse intégrée sur le même niveau métallique que les lignes du croisement.

En outre, la proximité entre le ruban de masse et le pont du croisement pose un problème d'ordre technologique. En effet, à cet endroit, le moule de résine épais définissant les motifs des pistes pour la croissance électrolytique du cuivre présente une faible largeur et est fragilisé. Il peut alors se rompre lors de la formation des pistes métalliques. Le risque de formation d'un court-circuit est alors à considérer. Pour toutes ces raisons, nous avons opté pour la solution illustrée en Figure III-17.

Le nouveau croisement est adapté dans la bande 24-30 GHz en ajustant à 300 fF les valeurs des condensateurs disposés en série aux accès des lignes du croisement. Les résultats des simulations électromagnétiques sont affichés en traits pleins dans les graphiques de la Figure III-19.

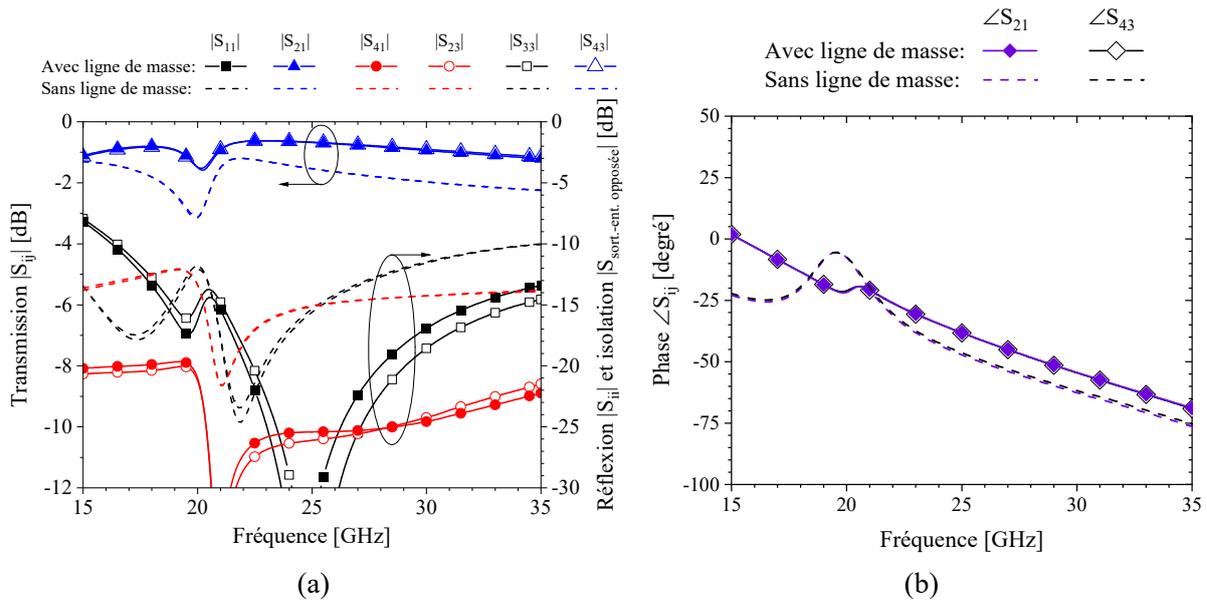


Figure III-19 : (a) Module des paramètres S du croisement de la Figure III-17 et (b) phase de la transmission $\angle S_{21}$ et $\angle S_{43}$.

Nous voyons tout d'abord que les caractéristiques des deux lignes du croisement sont toujours pratiquement confondues. Dans la bande 24-29 GHz, la transmission est améliorée à -0,8 dB pour les deux lignes. Il en est de même pour l'isolation $|S_{41}|$ et $|S_{23}|$, qui se trouvent à présent en dessous de -20 dB. Enfin, le coefficient de réflexion pour chaque ligne est inférieur à -18 dB.

3.3 Déphaseur -45°

La conception des deux déphaseurs est indissociable de celle du croisement. En effet, les pertes en transmission et le déphasage θ° introduits par les deux lignes du croisement doivent être pris en compte dans la conception des déphaseurs, dont le déphasage total doit viser $\theta^\circ - 45^\circ$ (Figure III-20). Il en est de même pour les temps de propagation de groupe associés à chacun de ces deux circuits. Ceux-ci doivent être les plus proches possible de façon à maximiser la largeur de la bande de fréquence à l'intérieur de laquelle les écarts de phase restent proches de -45°.

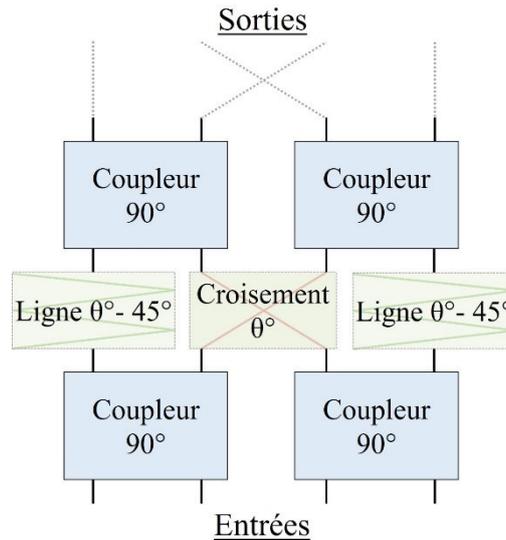


Figure III-20 : Disposition des lignes à retard « $\theta^\circ - 45^\circ$ » qui compensent la phase θ° des lignes du croisement.

La Figure III-19(b) montre que le croisement déphase le signal d'environ -45° à 27 GHz pour une longueur de ligne de $854 \mu\text{m}$, et que le temps de propagation de groupe du signal est de 9,1 ps. Pour réaliser un déphasage supplémentaire de -45° à cette fréquence, la longueur totale de ligne que doit supporter le déphaseur est d'environ $1708 \mu\text{m}$. La principale difficulté de ce travail consiste donc à trouver une structure compacte équivalente à cette longueur de piste qui préserve le temps de propagation de groupe.

Le critère de compacité exclut immédiatement toute intégration planaire de la ligne et nous nous orientons naturellement vers un enroulement 3D. Pour optimiser la compacité de la structure, des condensateurs MIM sont ajoutés en série avec les accès de la ligne à retard, comme pour le croisement. Une simulation électrique simple effectuée sous ADS permet de fixer la valeur de départ des condensateurs à 1,4 pF. Pour la ligne à retard, nous choisissons d'enrouler un ruban de $50 \mu\text{m}$ de large autour d'un noyau en résine *SU8* et en fixant l'espacement inter-spire à sa valeur minimale de $15 \mu\text{m}$. Pour conserver un temps de propagation de groupe voisin de celui du croisement, l'induction mutuelle inter-spire est volontairement limitée en intercalant une ligne de masse de $30 \mu\text{m}$ de large entre chaque tour de la ligne. Le dessin du déphaseur complet est illustré en Figure III-21. Les deux condensateurs MIM sont disposés le long des lignes d'accès des lignes à retard pour ne pas accroître la surface occupée par l'ensemble.

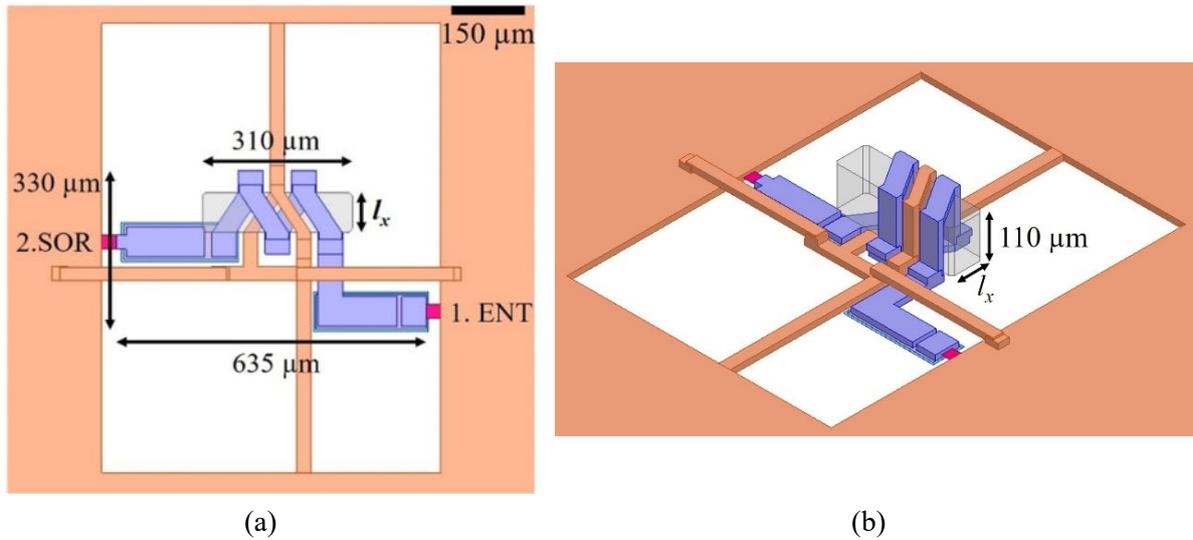


Figure III-21 : Modèle de la nouvelle ligne à retard 3D : (a) vue de dessus et (b) vue 3D.

Afin d'obtenir le déphasage souhaité, plusieurs simulations électromagnétiques sont menées en faisant varier la longueur l_x du noyau de la ligne à retard comme illustré en Figure III-21. Les résultats sont reportés sur la Figure III-22 à la fréquence centrale de 27 GHz et pour des longueurs l_x allant de 60 μm à 160 μm .

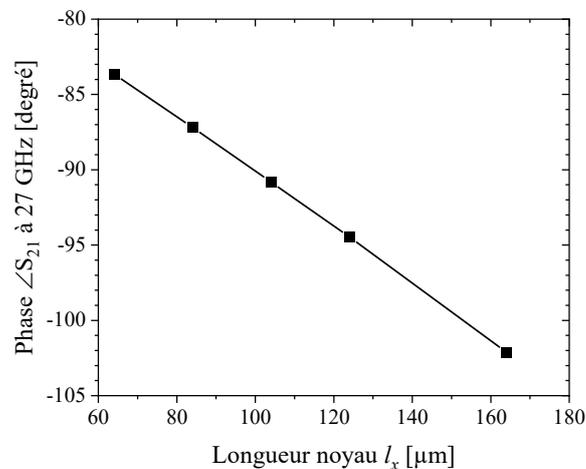


Figure III-22 : Phase de la ligne à retard en fonction de la longueur du noyau diélectrique l_x .

À la fréquence de 27 GHz, l'évolution de la phase en transmission de la ligne à retard est proportionnelle à la variation de l_x . Elle augmente de $3,7^\circ$ lorsque la longueur du noyau l_x augmente de 20 μm . Cela nous permet d'ajuster facilement la longueur du noyau, c'est-à-dire la longueur de la ligne à retard, pour obtenir le déphasage souhaité. Sachant que les lignes du croisement amènent chacune un déphasage de -45° à 27 GHz, le déphasage total de $-45^\circ - 45^\circ = -90^\circ$ que doit engendrer chacune des lignes à retard est trouvé pour une longueur l_x du noyau de SU8 de 84 μm , ce qui correspond à une ligne enroulée de 1004 μm de long.

Les paramètres S de la nouvelle ligne à retard sont donnés par les courbes en traits et symboles pleins dans les graphiques de la Figure III-23.

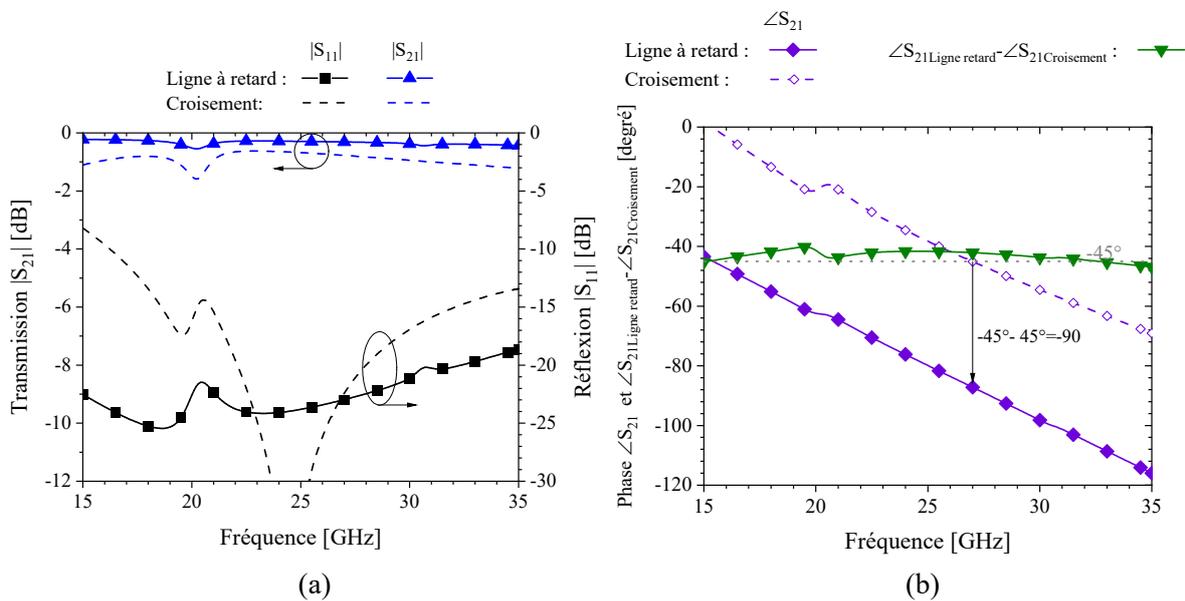
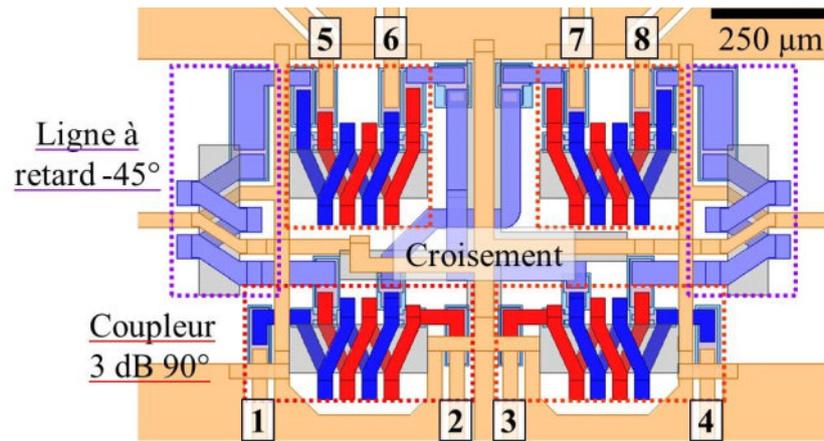


Figure III-23 : (a)-(b) Paramètres S des lignes à retard de la Figure III-21 et du croisement de la Figure III-17 et (b) déphasage entre les lignes et le croisement $\angle S_{21 \text{ ligne}} - \angle S_{21 \text{ Croisement}}$.

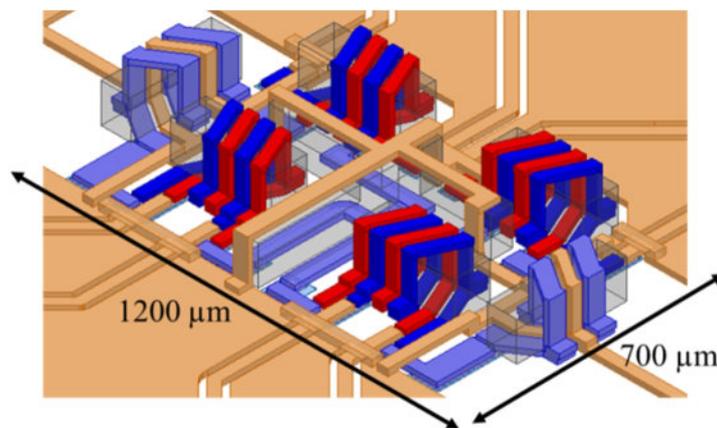
Les paramètres S de la nouvelle ligne à retard sont donnés par les courbes en traits et symboles pleins dans les graphiques de la Figure III-23. Dans la bande 24-29 GHz, les pertes en transmission sont comprises entre 0,2 et 0,3 dB, soit un peu plus faibles que celles du croisement (0,8 dB). La vitesse de groupe de la ligne à retard est de 10 ps, ce qui reste assez proche de celle du croisement (9,1 ps). L'écart de phase obtenu entre le croisement et le déphaseur atteint -45° avec une déviation inférieure à 2° . Enfin, le coefficient de réflexion est inférieur à -21 dB.

4 Intégration de la matrice et résultats simulés

Cette partie discute du regroupement des quatre coupleurs, du croisement et des deux déphaseurs -45° décrits plus haut pour former la matrice de Butler. Cette opération nécessite de légèrement modifier les circuits pour maintenir la compacité de l'ensemble tout en préservant au maximum leurs caractéristiques. Le dessin de la matrice de Butler est donné dans la Figure III-24.



(a)



(b)

Figure III-24 : Modèle de la matrice de Butler 3D : (a) vue de dessus et (b) vue 3D.

4.1 Disposition des éléments

La disposition des quatre coupleurs de la matrice doit satisfaire trois critères essentiels qui sont :

- Une compacité maximale ;
- Une interaction minimale entre coupleurs ;
- Des performances identiques pour les coupleurs de chaque étage de la matrice de Butler pour garantir l'équilibre de la répartition du signal dans la matrice.

Les deux étages de coupleurs sont alignés avec un espace de $151 \mu\text{m}$ entre eux. Cet espace suffit à intégrer le croisement et les lignes de connexions des coupleurs et des déphaseurs -45° .

Pour des raisons liées à l'utilisation du circuit, les accès de la matrice de Butler doivent être regroupés et alignés, avec les entrées disposées sur un côté du circuit et les sorties sur le côté opposé. Les coupleurs hybrides 90° planaires classiques bénéficient d'une topologie qui tend à

présenter naturellement les entrées et les sorties à l'opposé du composant. Dans le cas des coupleurs 3D développés ici, les entrées et les sorties sont toutes situées du même côté du circuit. L'alignement des accès de la matrice impose alors de modifier l'orientation d'une partie des accès des coupleurs.

Nous modifions la disposition de deux des quatre accès des coupleurs du premier étage (coupleurs d'entrée) comme suggéré par le dessin de la Figure III-25.

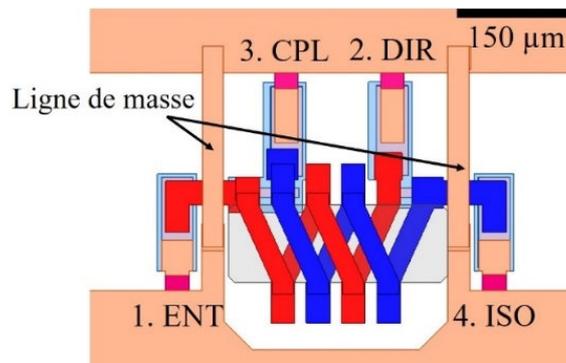


Figure III-25 : Modèle du coupleur composant l'étage d'entrée de la matrice de Butler (vue de dessus).

Les tronçons de ligne ajoutés aux accès 1 et 4 doivent être les plus faibles possible, 140 μm ici, pour ne pas trop perturber l'équilibrage en module et en phase du coupleur. Les lignes de masses également ajoutées le long de ces lignes d'accès ont pour objectif d'abaisser au maximum l'inductance parasite équivalente. La perturbation des caractéristiques du coupleur est d'abord évaluée à travers le tracé du coefficient de réflexion de l'accès 1 (Figure III-26).

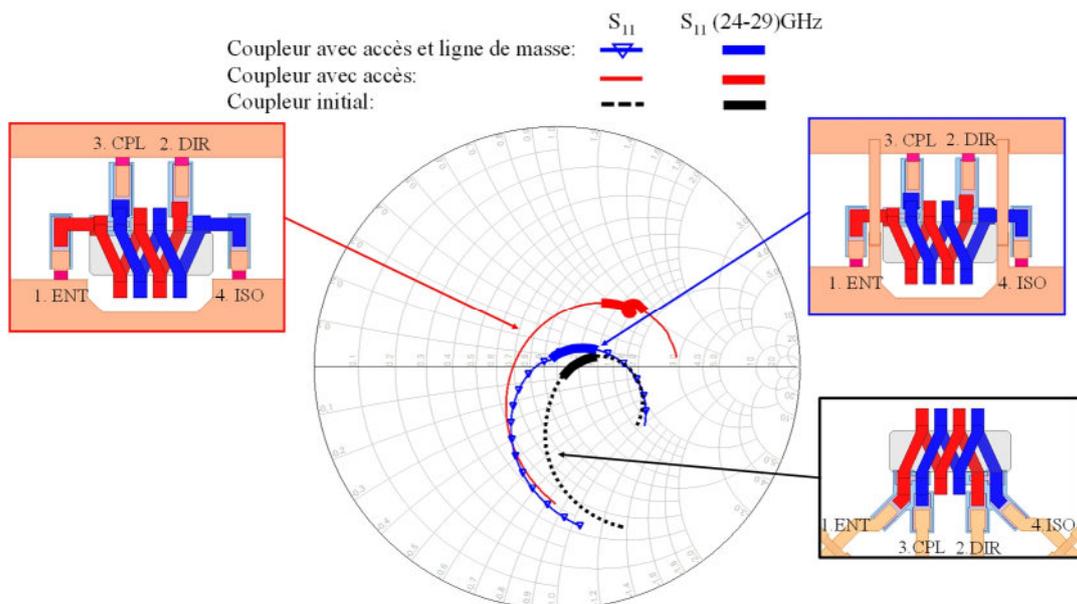


Figure III-26 : Impédance vue en entrée 1 du coupleur d'entrée avec (bleu) et sans ligne de masse (rouge), et en entrée du coupleur initial (noir).

Dans la bande 24-29 GHz, les coefficients de réflexion du coupleur original (en noir) et du coupleur corrigé (en bleu) restent proches du centre de l'abaque de Smith, ce qui est positif. Ce résultat est obtenu grâce aux lignes de masse verticales ajoutées contre les lignes d'accès, sans lesquelles l'inductance parasite rajoutée déplace toute la courbe d'impédance (en rouge).

Dans la pratique, lorsque les deux coupleurs d'entrée sont raccordés aux déphaseurs -45° et au croisement pour former la matrice de Butler, nous avons remarqué qu'une des lignes de masse des coupleurs ne pouvait pas être reliée à la ligne de masse centrale de la matrice de Butler à cause de sa trop grande proximité ($5\ \mu\text{m}$) avec l'une des pistes du croisement (Figure III-27(a)). La solution trouvée, présentée en Figure III-27(b), qui consiste à implémenter des lignes de masse coudées raccordées au niveau de l'anneau de masse de la matrice de Butler, résout ce problème sans grand impact sur les résultats.

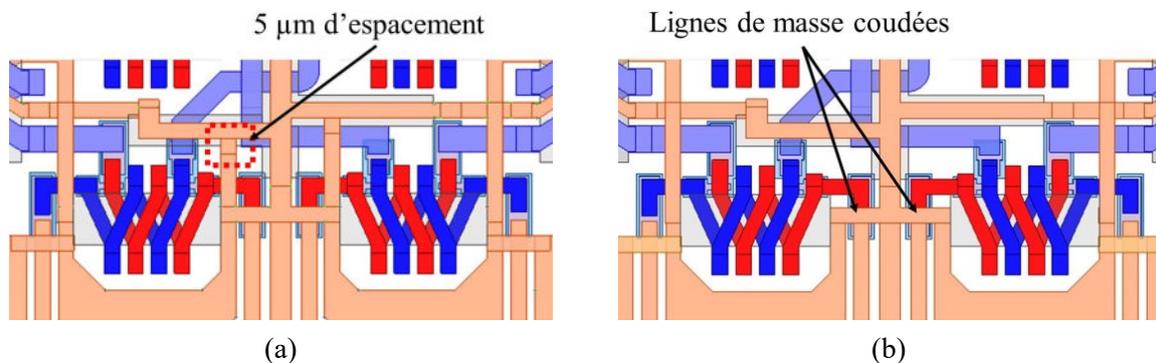


Figure III-27 : (a) mise en évidence de la contrainte technologique liée à la connexion d'un des fils de masse et (b) version finale fabriquée.

L'ensemble des modifications faites sur le coupleur initial contribuent malheureusement à déséquilibrer le circuit, comme nous pouvons le constater sur les résultats de simulation de la Figure III-28. Ces graphes montrent que malgré le centrage du coefficient de réflexion dans la bande de fréquence souhaitée, les différences en amplitude et en phase des transmissions atteignent respectivement 2,2 dB et 11° dans la bande 24-29 GHz. Ces écarts sont principalement dus au fait que les tronçons de ligne rajoutés sur les accès 1 et 4 présentent une impédance caractéristique trop éloignée de $50\ \Omega$. Malgré ces résultats, et compte tenu de l'ampleur des modifications qu'il faudrait apporter au dessin de masque et du manque de temps pour corriger le problème, nous avons décidé d'intégrer le circuit tel quel dans la matrice de Butler présentée dans ce manuscrit. Toutefois, les constatations tirées nous servent à mieux définir l'intégration des coupleurs sur les sorties de la matrice de Butler, que nous abordons à présent.

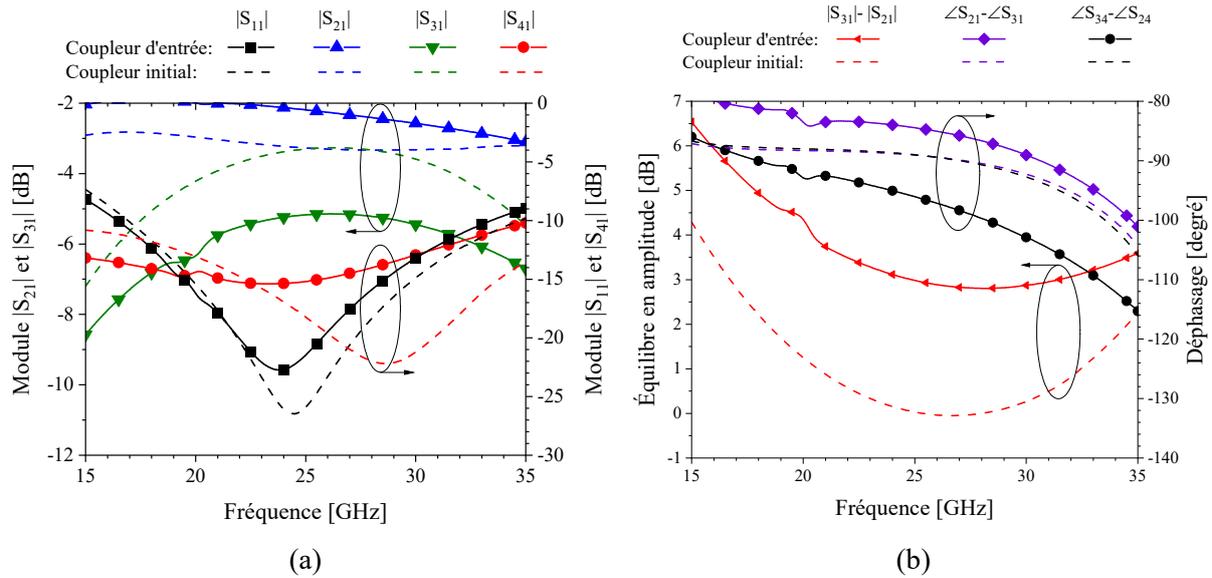


Figure III-28 : (a) Modules des paramètres S du coupleur d'entrée final inséré dans la matrice de Butler et du coupleur initial de la Figure III-12 pour un signal appliqué à l'entrée 1, et (b) équilibre en amplitude et déphasages entre les sorties.

Comme pour les coupleurs d'entrée, les coupleurs de sortie doivent être modifiés pour faciliter leur connexion aux lignes à retard et au croisement, toujours avec la même contrainte d'encombrement minimal. Le dessin final est illustré en Figure III-29. La sortie de la matrice se positionne sur les accès 2 et 3. Le déphaseur et le croisement arrivent par les accès extérieurs du coupleur (1 et 4). Les valeurs des condensateurs d'adaptation (C_{m1} dans la Figure III-12) sont légèrement modifiées par rapport au coupleur initial afin de conserver une adaptation dans la bande 24-29 GHz (215 pF au lieu de 254 pF). Les condensateurs sont intégrés le long des lignes d'accès. Les performances d'un coupleur de sortie, une fois disposé dans la matrice de Butler, sont présentées dans les graphiques de la Figure III-30.

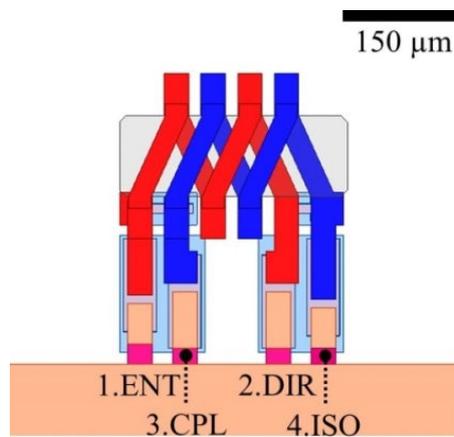


Figure III-29 : Modèle du coupleur composant l'étage de sortie de la matrice de Butler (vue de dessus).

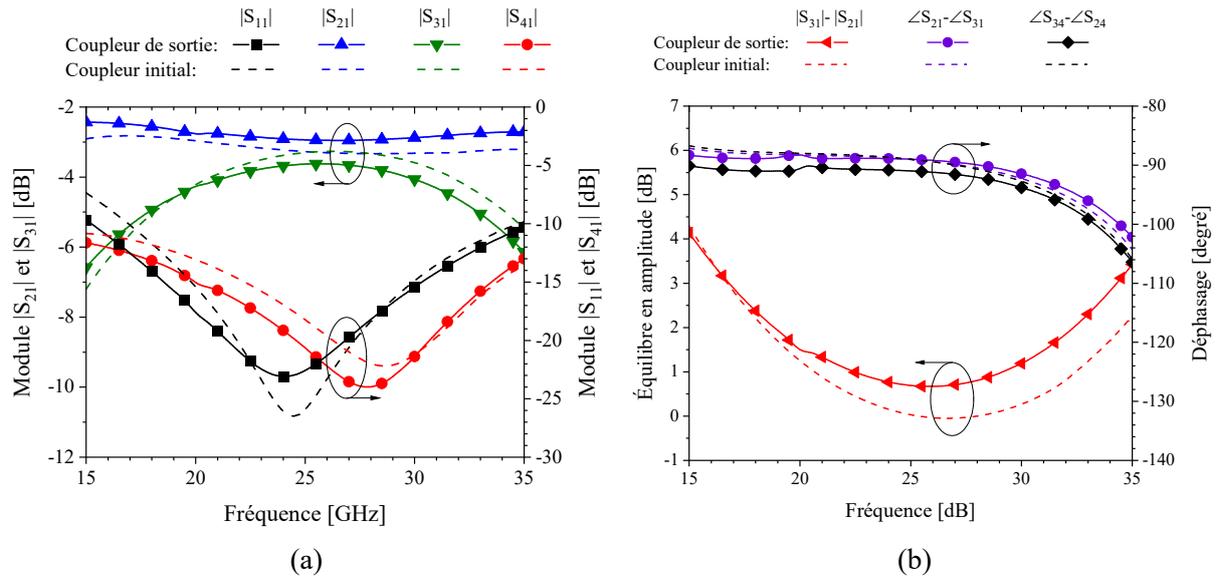


Figure III-30 : (a) Modules des paramètres S du coupleur de sortie la Figure III-29 inséré dans la matrice de Butler et le coupleur initial de la Figure III-12 pour un signal appliqué à l'entrée 1, et (b) équilibre en amplitude et déphasages entre les sorties.

Les performances obtenues sont à présent très proches du coupleur initial présenté dans la partie 3.1.2, avec un léger sous-couplage d'environ 0,8 dB. Les transmissions directe et couplée restent stabilisées à -3 dB avec un écart qui reste inférieur à 0,5 dB. La réflexion et l'isolation restent inférieures à -16 dB. Le déphasage entre les sorties reste maintenu à -90° avec une déviation inférieure à 3° .

4.2 Résultats de simulation de la matrice de Butler complète

Les caractéristiques de la matrice de Butler sont déduites des simulations électromagnétiques conduites avec HFSS. Les résultats sont présentés dans les graphiques de la Figure III-31 et III-32.

Dans la bande 24-29 GHz, nous observons que les transmissions pour toutes les sorties de la matrice de Butler sont comprises entre -5,4 dB et -8,4 dB. Les modules des paramètres S des entrées et des sorties de la matrice pour un signal appliqué à l'accès 1 sont tracés dans le graphique de la Figure III-31(a). Les transmissions relevées vers les quatre sorties (accès 5 à 8) sont comprises entre -5,7 dB et -8,4 dB sur toute la bande, ce qui est proche de la valeur théorique de -6 dB. Le coefficient de réflexion à l'accès 1 est inférieur à -15,7 dB et l'isolation vers les autres entrées 2,3 et 4 est inférieure à -11,5 dB. Les modules des paramètres S lorsque le signal est appliqué à l'accès 2 sont tracés dans le graphique de la Figure III-31(b). Les transmissions relevées vers les quatre voies de sortie sont comprises entre -5,4 dB et -8,1 dB. Le coefficient de réflexion est inférieur à -10,6 dB et les isolations obtenues vers les autres accès d'entrée sont inférieures à -16,8 dB. Les différences relevées pour une excitation à l'accès

1 et 2 s'expliquent par les imperfections relevées plus haut concernant les coupleurs lorsqu'ils sont intégrés dans la matrice. La structure de la matrice de Butler étant symétrique, les réponses pour un signal appliqué sur l'accès 4 ou 3 sont identiques à celles relevées pour une excitation appliquée sur l'accès 1 ou 2, respectivement.

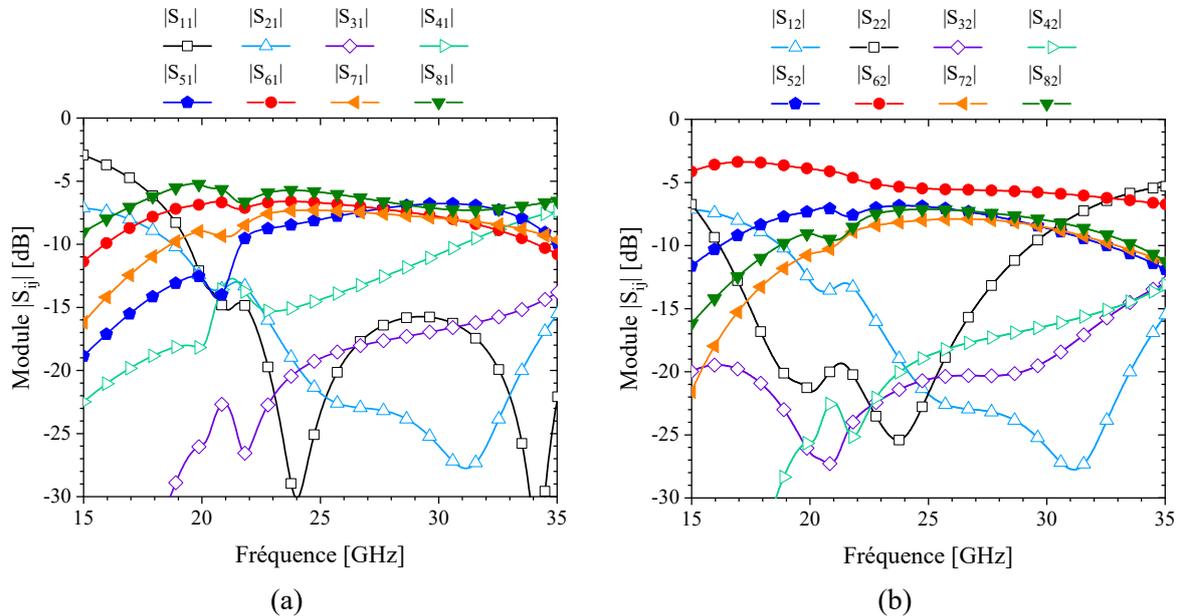


Figure III-31 : Modules des paramètres S de la matrice de Butler 3D pour un signal appliqué à l'accès (a) 1 puis en (b) 2.

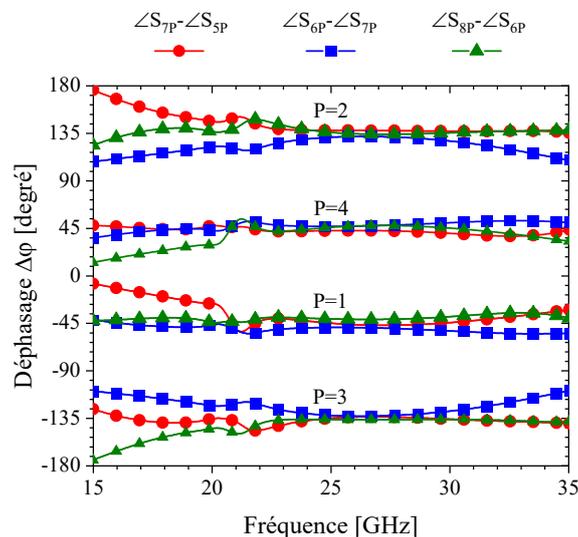


Figure III-32 : Déphasages $\Delta\varphi$ entre les sorties pour un signal appliqué à une entrée P ($P=1$ à 4).

Les déphasages entre les sorties de la matrice sont présentés dans la Figure III-32. Tous atteignent les valeurs théoriques du Tableau III-2 avec un écart inférieur à 5° . En considérant un écart inférieur à 10° , les déphasages en sorties sont maintenus sur une large bande de fréquences de 22,5 GHz à 31 GHz.

5 Caractérisation de la matrice de Butler

La matrice de Butler 4×4 fabriquée est montrée dans les photographies de la Figure III-33.

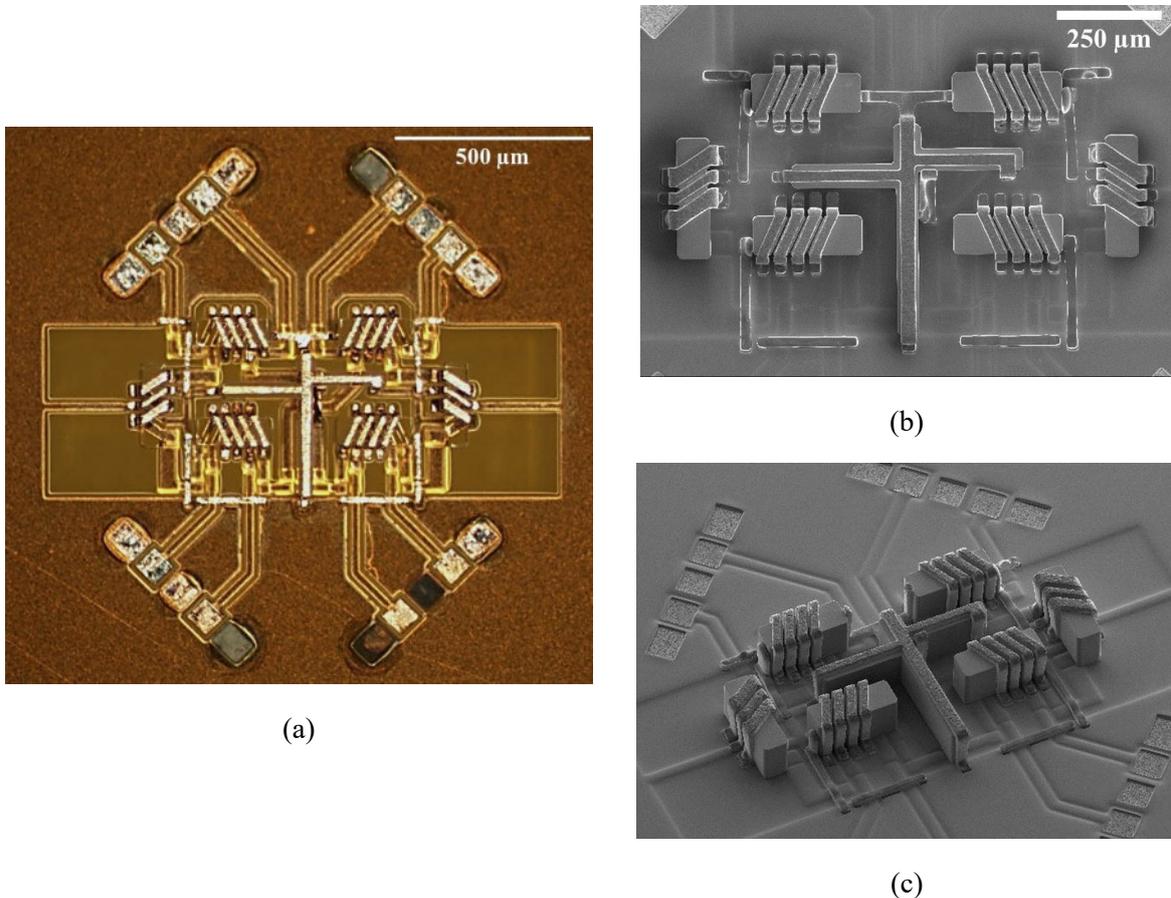


Figure III-33 : (a) Photographie au microscope optique et (b)-(c) photographies au MEB de la matrice de Butler 3D fabriquée.

Comme déjà précisé, la matrice de Butler 4×4 comporte huit accès (Figure III-33(a)). La caractérisation sous pointes ne peut pas se faire en une seule étape puisqu'il n'existe pas d'analyseur de réseau vectoriel (ARV) commercial à huit accès. Par conséquent, la mesurabilité du circuit doit être étudiée avant d'envisager le dessin des masques.

Des lignes coplanaires 50Ω sont intégrées pour relier les contacts des pointes RF jusqu'aux accès internes de la matrice de Butler. La contribution de ces lignes et des plots de contact doit être retranchée de la mesure brute pour ne conserver que résultats relatifs à la matrice de Butler.

Par ailleurs, il faut reconstituer une matrice de paramètres S de taille 8×8 en utilisant plusieurs mesures effectuées depuis un ARV à deux ou quatre accès. Nous disposons au LAAS-CNRS d'ARVs à quatre accès. Dans ce cas, la caractérisation est possible en utilisant deux pointes RF doubles, de type « Ground-Signal-Ground-Signal-Ground » (GSGSG).

5.1 Méthode de caractérisation et d'épluchage des accès de mesure

La plupart des bancs de mesure de paramètres S s'appuient sur des ARVs dont le nombre d'accès m (m est généralement pair) est inférieur ou égal à 4. Dans ce cas, la caractérisation complète d'un dispositif à n accès avec $n > m$ est généralement effectuée à partir de plusieurs mesures partielles, où seule une partie des accès est connectée à l'ARV. Les accès restants sont connectés à des charges adaptées à 50Ω . La caractérisation du dispositif sous test nécessite alors $n \cdot (2n - m) / m^2$ mesures partielles pour acquérir l'ensemble des paramètres S de la matrice $n \times n$. Dans le cas de la caractérisation d'un dispositif à huit accès, 28 mesures partielles sont nécessaires lorsqu'un ARV à deux accès est utilisé. Ce nombre se réduit à 6 mesures partielles dans le cas d'un ARV à quatre accès. Cependant, la précision de cette technique souffre de l'imperfection des charges adaptées disposées sur les accès non-connectés à l'ARV. En effet, chaque accès d'une pointe RF est fermé sur une charge adaptée de précision et amène un coefficient de réflexion non nul qui fluctue avec la fréquence, et qui diffère d'une pointe RF et d'une charge de précision à l'autre.

Sachant que la matrice de Butler est un multipôle passif, il n'est pas nécessaire de fermer chaque accès non utilisé par une charge de 50Ω . La technique qui consiste à enlever les charges adaptées des accès non utilisés pour les laisser en circuits ouverts est séduisante pour plusieurs raisons : plus de problèmes dus aux dispersions de caractéristiques entre pointes RF et charges 50Ω de précisions qui ne sont plus nécessaires, excellente répétabilité des caractéristiques des circuits ouverts, réduction du nombre de pointes RF requis. La principale difficulté associée à cette méthode vient du fait que les mesures effectuées souffrent des réflexions multiples provenant des accès laissés ouverts. Les sous-matrices S acquises ne peuvent pas être immédiatement regroupées pour former la matrice complète sans procéder auparavant à de multiples étapes de transformation des impédances de normalisation [33]. Il faut alors parfaitement connaître la valeur de l'impédance ramenée par les accès inutilisés [34]. Lorsque les sous-matrices S sont corrigées, les paramètres S originaux du multipôle peuvent être retrouvés.

La méthode de caractérisation de la matrice de Butler est résumée par le diagramme de la Figure III-34.

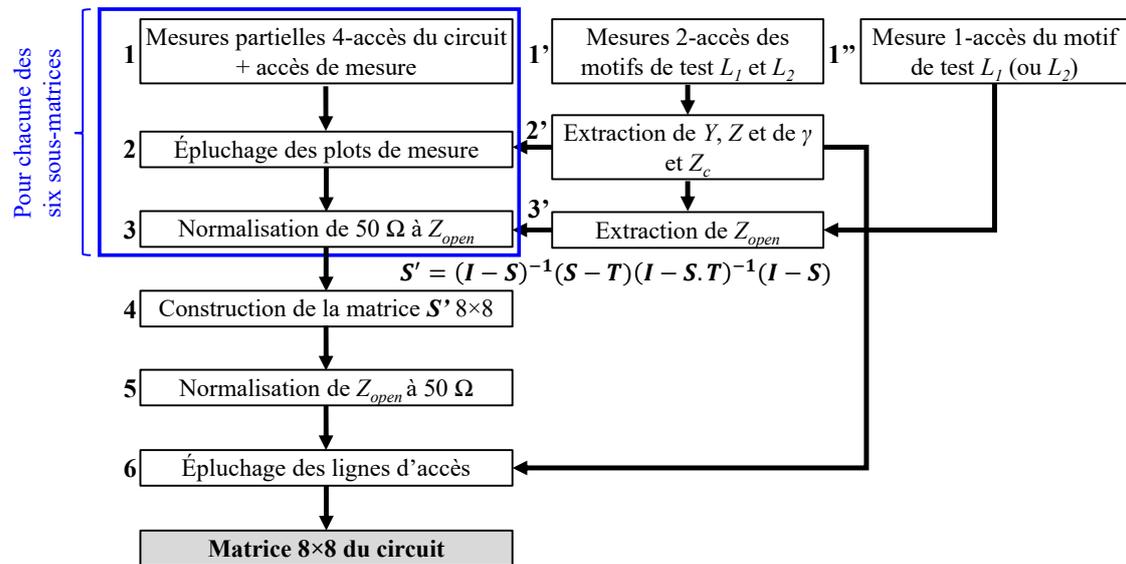


Figure III-34 : Diagramme de la procédure d'épluchage des accès de mesure.

Cette méthode peut être appliquée à tout dispositif passif, quel que soit son nombre d'accès n [35]. Quatre longueurs de ligne différentes sont nécessaires (A_1 à A_4) pour connecter les plots de mesure P aux accès de la matrice de Butler. Les accès de la matrice sont localisés au niveau du plan de référence P_2 dans la Figure III-35.

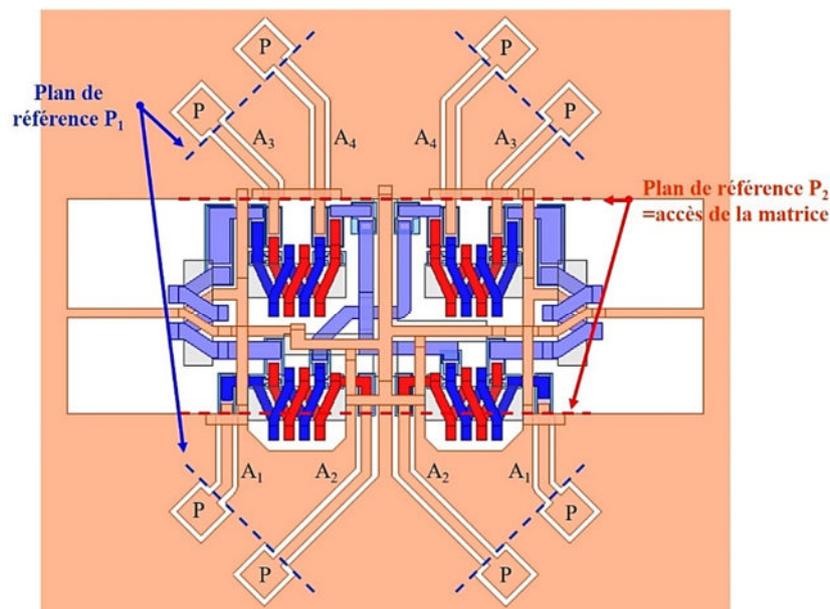


Figure III-35 : Modèle de la matrice de Butler 3D avec les accès de mesure.

Nous utilisons l'analyseur de réseau vectoriel avec quatre accès Keysight N5247A PNA-X et deux pointes GSGSG Cascade Infinity (pitch de $150 \mu\text{m}$) pour mesurer les paramètres S de

la matrice de 10 GHz à 40 GHz. Dans ces conditions, six sous-matrices 4×4 issues de six mesures partielles sont acquises pour pouvoir reconstituer la matrice 8×8 correspondant aux paramètres S de la matrice de Butler. Trois mesures sont également effectuées sur les deux motifs de test L_1 et L_2 représentés dans la Figure III-36. Les plots d'accès et la ligne coplanaire utilisés pour ces motifs présentent les mêmes caractéristiques géométriques que ceux de la matrice de Butler. Les longueurs l_1 et l_2 de ces deux lignes sont de $1600 \mu\text{m}$ et de $400 \mu\text{m}$, respectivement.

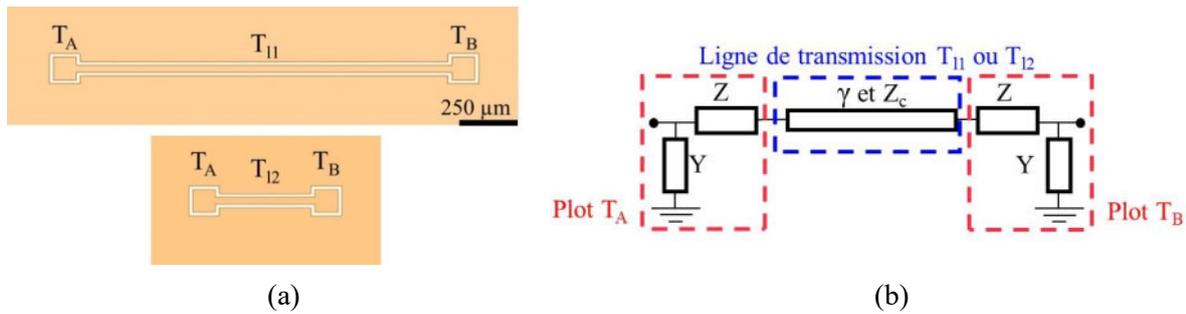


Figure III-36 : (a) Schéma des lignes L_1 et L_2 incluant des plots P (motifs de test), et (b) leur modèle équivalent.

Nous définissons par Z_{open} l'impédance d'un plot inutilisé (non connecté lors d'une mesure partielle). À l'issue de l'étape de caractérisation, nous avons mentionné plus haut qu'il n'était pas possible de reconstruire directement la matrice 8×8 en utilisant les six sous-matrices 4×4 . En effet, les sous-matrices sont incohérentes les unes par rapport aux autres à cause de la contribution des accès non utilisés. Pour chaque mesure, les accès de mesure qui sont localisés au niveau des plots GSGSG se situent dans deux plans différents. Ces plans sont identifiés par P_0 et P_1 dans la Figure III-37.

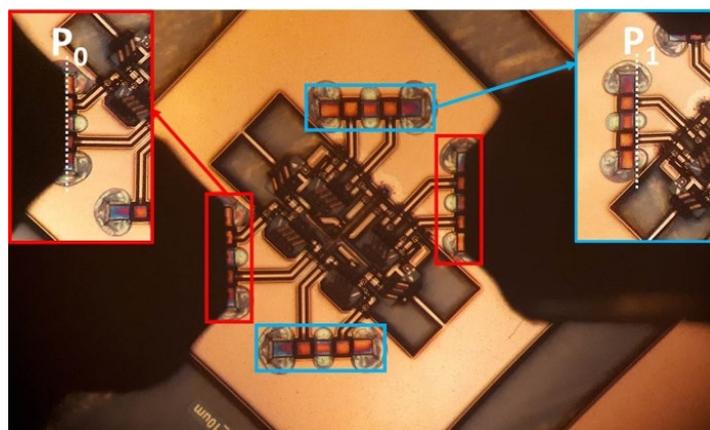


Figure III-37 : Photographie d'une mesure partielle de la matrice de Butler. Le plan P_0 correspond à l'interface entre les plots connectés à une pointe GSGSG, et le plan P_1 à l'interface entre une ligne d'accès et un plot inutilisé (non connecté).

Pour chaque sous-matrice, les accès utilisés pour la mesure sont normalisés à 50Ω dans le plan de référence P_0 défini entre le milieu du plot et l'extrémité des pointes RF connectées (Figure III-37). Les autres accès, non connectés, sont fermés par l'impédance Z_{open} repérée au niveau du plan de référence P_1 .

La procédure démarre donc par une normalisation de tous les accès de la matrice de Butler à la même valeur d'impédance dans un plan de référence identique. Pour cela, et pour chacune des six sous-matrices, le plan de référence de la mesure est déplacé de P_0 à P_1 par une procédure d'épluchage des plots d'accès (étape 2 de la Figure III-34). L'impédance de normalisation des six sous-matrices est ensuite changée de 50Ω à la valeur Z_{open} (étape 3 de la Figure III-34). Cette opération est réalisée en utilisant l'expression suivante [33] :

$$\mathbf{S}' = (\mathbf{I} - \mathbf{S})^{-1}(\mathbf{S} - \mathbf{T})(\mathbf{I} - \mathbf{S} \cdot \mathbf{T})^{-1}(\mathbf{I} - \mathbf{S}) \quad (\text{III-1})$$

où \mathbf{S} est la matrice des paramètres S initiale normalisée à 50Ω . \mathbf{S}' est la matrice des paramètres S normalisée à Z_{open} . \mathbf{I} est la matrice identité 4×4 . \mathbf{T} est une matrice diagonale 4×4 contenant les coefficients de réflexion t_{ii} référencés à 50Ω des charges Z_{open} [33]. Une fois les six sous-matrices renormalisées à l'impédance Z_{open} , la matrice de paramètres S 8×8 de la matrice de Butler peut être reconstruite (étape 4 de la Figure III-34). Cette matrice représente la mesure du dispositif référencé au niveau du plan P_1 . Une nouvelle étape de renormalisation permet de transformer l'impédance de référence de Z_{open} à 50Ω (III-1) (étape 5 de la Figure III-34) [33].

À ce stade, la nouvelle matrice $\mathbf{S} 8 \times 8$ obtenue comporte toujours la contribution des lignes d'accès coplanaires. La dernière étape consiste à supprimer l'influence des lignes A_1 à A_4 . L'épluchage est réalisé en utilisant les mesures supplémentaires effectuées sur les lignes de transmission L_1 et L_2 de la Figure III-36(a) (étape 1' de la Figure III-34). Ces deux motifs suffisent pour recueillir l'ensemble des données qui permettront d'éplucher toutes les parties des accès (plots P et lignes d'accès coplanaires) (étape 2' de la Figure III-34). Les mesures de ces deux motifs permettent d'extraire successivement :

- La constante de propagation γ et l'impédance caractéristique Z_c des lignes de transmission des accès (ici les lignes coplanaires) ;
- Le modèle par éléments localisés des plots de mesure lorsqu'ils sont en contact avec la pointe RF (Figure III-37) ;
- L'impédance Z_{open} d'un plot non connecté (Figure III-37).

Nous décrivons ci-dessous l'extraction de ces paramètres. La méthode utilisée, et présentée dans [35] et [36], s'appuie sur le travail publié en [37] et le généralise. Les paramètres S mesurés des deux motifs de la Figure III-36(a) sont convertis en matrices chaînes \mathbf{M}_1 et \mathbf{M}_2 :

$$\mathbf{M}_1 = \begin{pmatrix} m_{11} & m_{12} \\ m_{21} & m_{22} \end{pmatrix} = \mathbf{T}_A \mathbf{T}_{l1} \mathbf{T}_B \quad (\text{III-2})$$

$$\mathbf{M}_2 = \begin{pmatrix} p_{11} & p_{12} \\ p_{21} & p_{22} \end{pmatrix} = \mathbf{T}_A \mathbf{T}_{l2} \mathbf{T}_B \quad (\text{III-3})$$

\mathbf{T}_{l1} et \mathbf{T}_{l2} sont les matrices chaines des lignes coplanaires de longueur l_1 et l_2 respectivement. \mathbf{T}_A et \mathbf{T}_B sont les matrices chaines des plots de mesure disposés à droite et à gauche des deux lignes respectivement. En utilisant le modèle à éléments localisés de la Figure III-36(b), les matrices chaines des deux plots \mathbf{T}_A et \mathbf{T}_B peuvent être écrites sous la forme :

$$\mathbf{T}_A = \begin{pmatrix} 1 & Z \\ Y & YZ + 1 \end{pmatrix} \quad (\text{III-4})$$

$$\mathbf{T}_B = \begin{pmatrix} YZ + 1 & Z \\ Y & 1 \end{pmatrix} \quad (\text{III-5})$$

Comme les deux lignes L_1 et L_2 ne diffèrent que par leur longueur, elles présentent toutes deux la même constante de propagation γ et la même impédance caractéristique Z_c . Les matrices chaines respectives \mathbf{T}_{l1} et \mathbf{T}_{l2} s'expriment par :

$$\mathbf{T}_{l1} = \begin{pmatrix} \cosh(\gamma l_1) & Z_c \sinh(\gamma l_1) \\ \frac{1}{Z_c} \sinh(\gamma l_1) & \cosh(\gamma l_1) \end{pmatrix} \quad (\text{III-6})$$

$$\mathbf{T}_{l2} = \begin{pmatrix} \cosh(\gamma l_2) & Z_c \sinh(\gamma l_2) \\ \frac{1}{Z_c} \sinh(\gamma l_2) & \cosh(\gamma l_2) \end{pmatrix} \quad (\text{III-7})$$

De plus, comme les deux motifs sont symétriques, nous pouvons aisément déduire que $m_{11} = m_{22}$ dans la matrice \mathbf{M}_1 , et que $p_{11} = p_{22}$ dans la matrice \mathbf{M}_2 . En nous basant sur cette caractéristique, et en ré-écrivant les expressions (III-2) et (III-3) sous la forme :

$$\mathbf{M}_1 \mathbf{T}_B^{-1} = \mathbf{T}_A \mathbf{T}_{l1} \quad (\text{III-8})$$

et

$$\mathbf{M}_2 \mathbf{T}_B^{-1} = \mathbf{T}_A \mathbf{T}_{l2} \quad (\text{III-9})$$

Nous sommes maintenant capables d'extraire les coefficients m_{12} , m_{21} , p_{12} and p_{21} en fonction des coefficients des matrices \mathbf{T}_{l1} , \mathbf{T}_{l2} , \mathbf{T}_A et \mathbf{T}_B :

$$\mathbf{M}_1 \mathbf{T}_B^{-1} = \mathbf{T}_A \mathbf{T}_{l1} \quad (\text{III-10})$$

$$\rightarrow \begin{pmatrix} m_{11} & m_{12} \\ m_{21} & m_{11} \end{pmatrix} \cdot \begin{pmatrix} 1 & -Z \\ -Y & 1 + YZ \end{pmatrix} = \begin{pmatrix} 1 & Z \\ Y & YZ + 1 \end{pmatrix} \cdot \begin{pmatrix} \cosh(\gamma l_1) & Z_c \sinh(\gamma l_1) \\ \frac{1}{Z_c} \sinh(\gamma l_1) & \cosh(\gamma l_1) \end{pmatrix}$$

et

$$\mathbf{M}_2 \mathbf{T}_B^{-1} = \mathbf{T}_A \mathbf{T}_{l_2}$$

$$\rightarrow \begin{pmatrix} p_{11} & p_{12} \\ p_{21} & p_{11} \end{pmatrix} \cdot \begin{pmatrix} 1 & -Z \\ -Y & 1 + YZ \end{pmatrix} = \begin{pmatrix} 1 & Z \\ Y & YZ + 1 \end{pmatrix} \cdot \begin{pmatrix} \cosh(\gamma l_2) & Z_c \sinh(\gamma l_2) \\ \frac{1}{Z_c} \sinh(\gamma l_2) & \cosh(\gamma l_2) \end{pmatrix} \quad (\text{III-11})$$

En développant chaque coefficient, nous obtenons finalement :

$$m_{12} = [\cosh(\gamma l_1) + m_{11}] \cdot \frac{Z}{1+YZ} + \frac{Z_c}{1+YZ} \cdot \sinh(\gamma l_1) \quad (\text{III-12})$$

$$m_{21} = [\cosh(\gamma l_1) + m_{11}] \cdot Y + \frac{1+YZ}{Z_c} \cdot \sinh(\gamma l_1) \quad (\text{III-13})$$

$$p_{12} = [\cosh(\gamma l_2) + p_{11}] \cdot \frac{Z}{1+YZ} + \frac{Z_c}{1+YZ} \cdot \sinh(\gamma l_2) \quad (\text{III-14})$$

$$p_{21} = [\cosh(\gamma l_2) + p_{11}] \cdot Y + \frac{1+YZ}{Z_c} \cdot \sinh(\gamma l_2) \quad (\text{III-15})$$

Pour plus de clarté, nous proposons de regrouper ces quatre équations sous forme matricielle comme suit :

$$\begin{pmatrix} m_{21} & m_{12} \\ p_{21} & p_{12} \end{pmatrix} = \begin{pmatrix} \cosh(\gamma l_1) + m_{11} & \sinh(\gamma l_1) \\ \cosh(\gamma l_2) + p_{11} & \sinh(\gamma l_2) \end{pmatrix} \begin{pmatrix} Y & \frac{Z}{1+YZ} \\ \frac{1+YZ}{Z_c} & \frac{1}{1+YZ} \end{pmatrix} \quad (\text{III-16})$$

Nous définissons par A la matrice $\begin{pmatrix} \cosh(\gamma l_1) + m_{11} & \sinh(\gamma l_1) \\ \cosh(\gamma l_2) + p_{11} & \sinh(\gamma l_2) \end{pmatrix}$. En inversant A dans l'expression (III-16), nous obtenons finalement le système d'équations (III-17) :

$$\begin{pmatrix} m_{21} & m_{12} \\ p_{21} & p_{12} \end{pmatrix} \cdot \begin{pmatrix} \cosh(\gamma l_1) + m_{11} & \sinh(\gamma l_1) \\ \cosh(\gamma l_2) + p_{11} & \sinh(\gamma l_2) \end{pmatrix}^{-1} = \begin{pmatrix} Y & \frac{Z}{1+YZ} \\ \frac{1+YZ}{Z_c} & \frac{1}{1+YZ} \end{pmatrix} \quad (\text{III-17})$$

La résolution de ce système d'équations nous permet de retrouver les paramètres Y , Z et Z_c à partir des coefficients de \mathbf{M}_1 et \mathbf{M}_2 (issus de la mesure des deux motifs L_1 et L_2), de la longueur l_1 et l_2 des deux lignes, et de la constante de propagation γ . La constante de propagation γ est

extraite au préalable en utilisant les mesures de M_1 et M_2 , et en appliquant la méthode proposée dans [38].

Grâce à ces paramètres, nous pouvons construire la matrice chaîne d'un plot de mesure et l'éplucher des mesures partielles à quatre accès (étape 2 de la Figure III-34). Connaissant Z_c , γ , et la longueur des lignes A_1 à A_4 (Figure III-35), nous sommes également capables de reconstruire leur matrice chaîne respective pour éplucher leur contribution des mesures brutes (étape 6 de la Figure III-34).

Le coefficient de réflexion associé à l'impédance Z_{open} d'un plot non connecté est déterminé à partir de la mesure d'un coefficient de réflexion supplémentaire effectué sur le motif L_1 (ou L_2) (étape 1'' de la Figure III-34). Dans ces conditions, Z_{open} est alors l'impédance de terminaison d'un réseau à deux accès, constitué par le plot de mesure où est posée la pointe (modélisé en utilisant Y et Z), suivi par une ligne de transmission (caractérisée par γ , Z_c et sa longueur l_1 (ou l_2)) (Figure III-38).

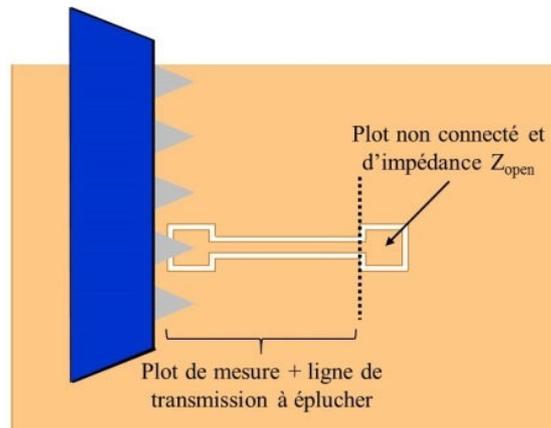


Figure III-38 : Schéma de la mesure du coefficient de réflexion sur le motif L_2 .

Ce réseau à deux accès peut être exprimé par la matrice chaîne T suivante :

$$T = T_A T_{l1} = \begin{pmatrix} t_{11} & t_{12} \\ t_{21} & t_{22} \end{pmatrix} \quad (\text{III-18})$$

Grâce aux paramètres extraits des mesures sur les deux lignes L_1 et L_2 , nous sommes capables de reconstruire cette matrice. Z_{open} est donc déduite de la mesure Z_{mes} en supprimant la contribution de ce réseau à deux accès T telle que :

$$Z_{open} = \frac{t_{22}Z_{mes} - t_{12}}{t_{11} - t_{21}Z_{mes}} \quad (\text{III-19})$$

À l'issue de cette opération (étape 3' de la Figure III-34), nous pouvons retrouver le coefficient de réflexion associé à l'impédance Z_{open} d'un plot non connecté, qui est utilisé pour effectuer l'étape de renormalisation 3 du diagramme de la Figure III-34.

Afin de valider la méthode avant application sur les mesures, nous effectuons un premier test à partir de plusieurs simulations électromagnétiques faites sur le modèle de 3D la matrice de Butler (Ansys HFSS). Conformément au protocole de mesure, nous simulons le modèle de la matrice de Butler de la Figure III-35 de 1 GHz à 40 GHz de sorte à acquérir les six sous-matrices de paramètres S. Nous réalisons également des simulations à deux accès des lignes de la Figure III-36 ainsi qu'une simulation à un accès du motif L_2 . Les performances de la matrice de Butler extraites en appliquant la méthode présentée précédemment sont affichées par des symboles dans les graphiques de la Figure III-39. Elles sont comparées aux résultats issus d'une simulation effectuée sur les huit accès internes de la matrice (excitation des accès au niveau du plan P_2 de la Figure III-35). Ces performances apparaissent en traits pleins sur les graphiques de la Figure III-39.

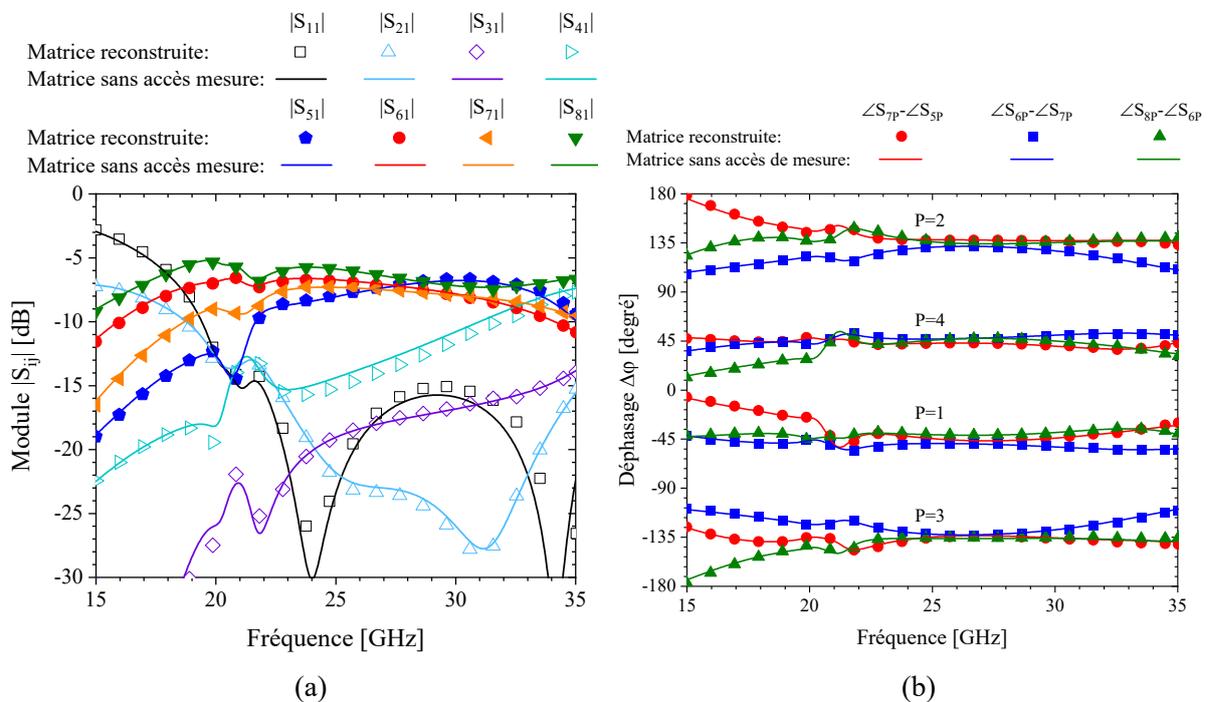


Figure III-39 : (a) Modules des paramètres S pour un signal appliqué à l'accès 1 et (b) déphasage entre les sorties pour un signal appliqué à l'accès P de la matrice de Butler reconstruite en utilisant la méthode décrite dans la Figure III-34 et simulée sans accès de mesures.

Les résultats pour les deux matrices de Butler simulées sont pratiquement confondus. Pour l'ensemble des transmissions, nous obtenons une précision meilleure que 0,1 dB. La différence entre les deux simulations pour toutes les phases est inférieure à 2° . Pour les réflexions et les isolations, nous relevons une différence inférieure à 0,4 dB. Ces légères différences sont dues à des maillages différents du circuit entre les deux groupes de simulations électromagnétiques, imputées à l'ajout des accès pour la première matrice. En effet, les approximations apportées sur la méthode d'épluchage ne sont pas significatives sur les performances, aux fréquences étudiées.

Ces simplifications sont :

- La modélisation du plot de mesure par des éléments localisés. Cette approximation reste raisonnable puisque les dimensions du plot sont bien inférieures à $\lambda_g/20$ à 40 GHz (λ_g est la longueur d'onde guidée de la ligne coplanaire) ;
- La reconstruction des lignes de mesure coplanaires néglige les coudes présents sur les accès de la matrice de Butler. La comparaison d'une ligne droite et de la même ligne coudée n'a montré aucune différence sur les paramètres S simulés ;
- La reconstruction des lignes de mesure coplanaires néglige la contribution des ponts métalliques disposés au niveau des accès de la matrice de Butler et destinés à garantir l'équipotentialité du plan de masse (dans le plan P_2 sur la Figure III-35). Chaque pont peut être représenté par un condensateur de 5 fF environ, placé en court-circuit à l'extrémité de chaque accès de mesure. La comparaison des caractéristiques des lignes d'accès avec et sans ces ponts de masse n'a montré aucune différence sur les paramètres S simulés de la matrice de Butler.

Ce test nous permet donc de valider la méthode développée, que nous appliquons sur les mesures de la matrice de Butler.

5.2 Résultats de caractérisation

Les paramètres S mesurés de la matrice de Butler sont extraits à partir de la procédure que nous venons de décrire. Ils sont présentés en Figure III-40.

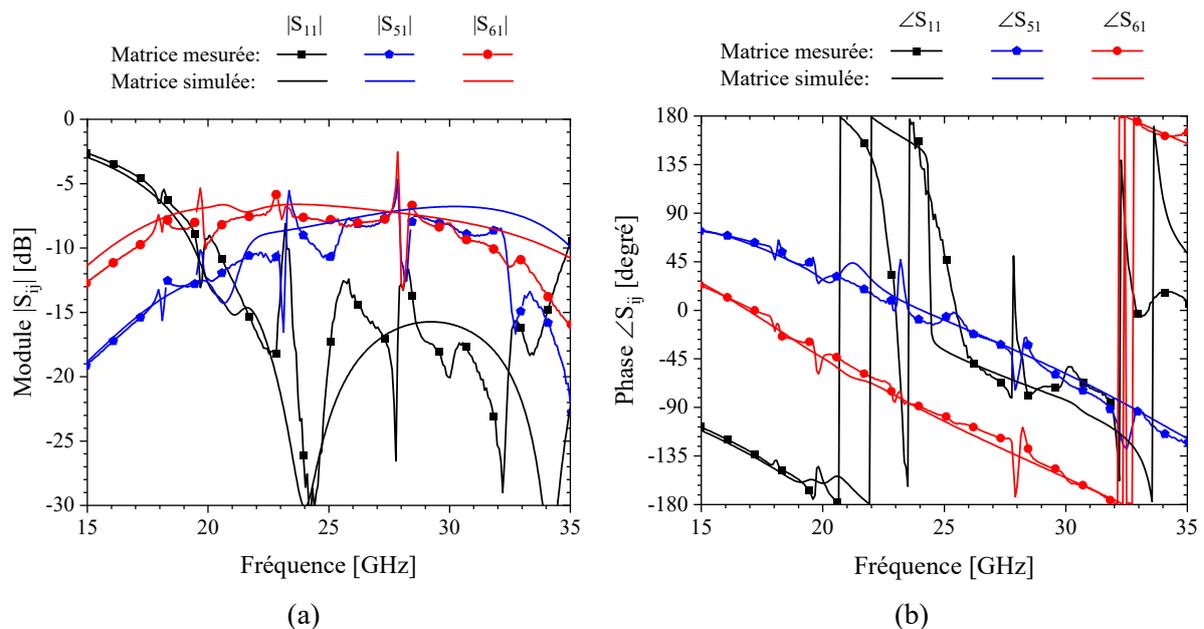


Figure III-40 : Paramètres S_{51} , S_{61} et S_{11} à l'issue de la procédure d'épluchage des mesures.

Les modules des paramètres S tracés montrent un accord satisfaisant entre simulations et mesures. Cependant, à certaines fréquences, les performances s'écartent brutalement des simulations en formant des pics dont l'origine n'est pas physique. Ces aberrations, d'origine numérique, proviennent principalement des erreurs de mesure, et dans une moindre mesure, des arrondis dans les calculs numériques. Leur importance est liée au choix de l'impédance présentée sur les accès inutilisés [39]. Elles sont générées au sein des calculs matriciels non-linéaires utilisés dans les étapes de renormalisation des accès. La question sous-jacente du conditionnement d'une matrice de données et de son incidence sur l'erreur commise durant la procédure de renormalisation de matrice S a été étudiée dans [39]-[42]. Quelques solutions sont proposées pour tenter de réduire ces problèmes et ainsi améliorer la précision des résultats. Nous pouvons citer l'utilisation d'une méthode de moyennage exploitant plusieurs variantes du dispositif sous test [40], ou encore l'utilisation d'un coefficient de réflexion variable sur l'un des accès non connectés du multipôle [42].

Nous n'avons malheureusement pas eu le temps de tester ces solutions et la solution choisie ici consiste à supprimer les points de mesure correspondant à des aberrations numériques. Les performances mesurées de la matrice de Butler après cette étape sont affichées par des symboles sur les graphiques de la Figure III-41 et III-42.

Les performances simulées de la matrice de Butler apparaissent en traits pleins. Nous pouvons maintenant bien mieux appréhender le bon accord qui existe entre mesures et simulations.

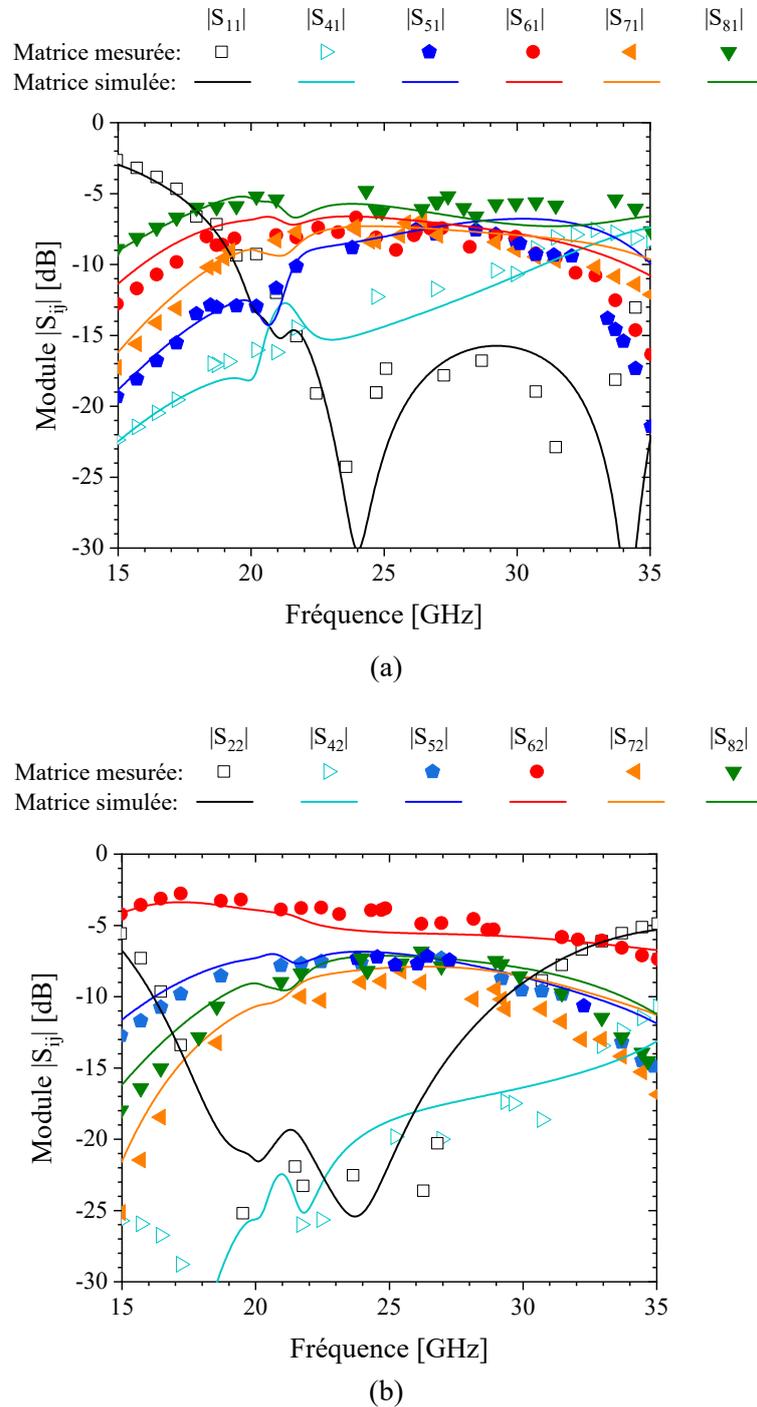


Figure III-41 : Module des paramètres S de la matrice de Butler mesurée et simulée pour une excitation à l'accès (a) 1 et (b) 2.

Le meilleur accord entre mesures et simulations est observé sur la bande de 15 GHz à 29 GHz. En effet, les différences entre les transmissions mesurées et simulées sont inférieures

à 1,3 dB. Pour l'ensemble des déphasages entre les sorties, les valeurs mesurées restent également proches de celles simulées avec des différences inférieures à 8°.

Comme montré sur le graphique de la Figure III-41(a), sur la bande 24-29 GHz et pour un signal appliqué à l'accès 1, les transmissions sont comprises entre -5 dB et -8,5 dB pour les accès de sortie 6 à 8 (par rapport aux -6 dB théoriques). La transmission vers la sortie 5 est comprise entre -7,5 dB et -9,3 dB. La réflexion $|S_{11}|$ est maintenue en dessous de -15 dB, et les autres entrées 3 à 4 restent isolées puisque leurs transmissions restent inférieures à -11 dB. Ces performances sont maintenues pour une excitation appliquée à l'accès 2 (Figure III-41(b)). En effet, sur la bande 24-29 GHz, les transmissions sont comprises entre -4 dB et -8,7 dB pour les sorties 5, 6 et 8. La transmission $|S_{72}|$ est légèrement plus faible, est comprise entre -7 dB et -9,5 dB. La réflexion $|S_{22}|$ est inférieure à -15 dB et les isolations restent en dessous de -11,5 dB.

Les déphasages entre les sorties de la matrice sont reportés sur le graphique de la Figure III-42 pour un signal successivement appliqué sur les accès 1 à 4. Nous reportons ici aussi un très bon accord entre mesures et simulations. Dans la bande 24-29 GHz, les déphasages atteignent les valeurs de référence du Tableau III-2 avec un écart toujours inférieur à 16°. Pour une excitation à l'accès 1 et 4, correspondant à un déphasage théorique de -45° et 45°, l'écart observé est en dessous de 8° et de 7°, respectivement. Pour une excitation à l'accès 2 et 3, correspondant à un déphasage théorique de 135° et -135°, l'écart observé est en dessous de 16° et de 15°, respectivement.

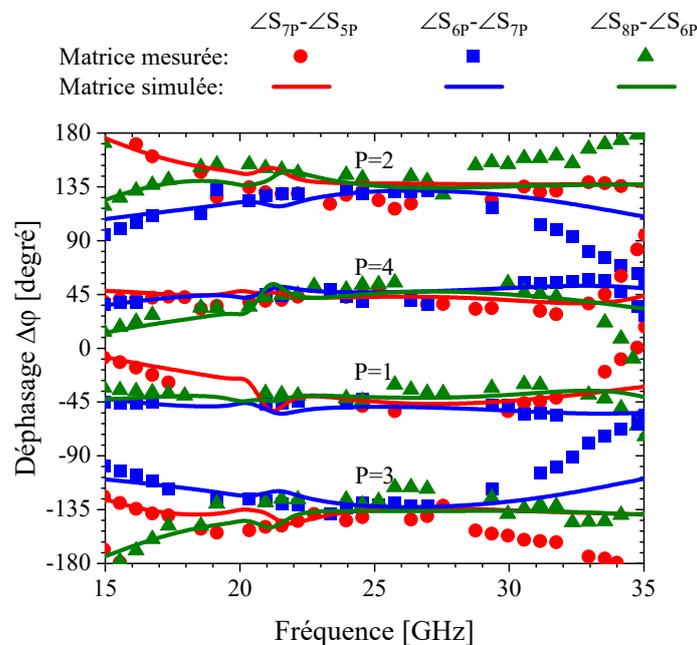


Figure III-42 : Déphasages entre les sorties pour un signal appliqué à l'accès P ($P=1$ à 4).

5.3 Comparaison avec l'état de l'art

Le Tableau III-4 résume les performances de la matrice de Butler et les compare à d'autres réalisations centrées sur des gammes de fréquences similaires et exploitant des technologies différentes. En bleu figurent les données relevées pour les matrices intégrant le premier croisement uniquement. Pour toutes les matrices, la surface occupée affichée n'inclut pas la surface du deuxième croisement quand celui-ci est intégré à la structure.

Tableau III-4 : Performances de Matrice de Butler fonctionnant dans la bande K et Ka.

Réf.	Techno.	Fréq. (GHz)	Bande passante relative (%)	Surf. (mm ²)	Max. pertes trans. (dB)	Min. réflexion et isol. (dB)	Dev. phase (degrés)
[19]	IPD ¹	26-29	10,9	176,6	4,8 ^s	/	/
[22]	IPD ¹	24-26	8	4,2	4 ^m	-8 ^m	17,5 ^m
[43]	IPD ¹	27,5-28,3	2,9	≈ 640	2,9 ^s	-20 ^s	14,51 ^s
[44]	IPD ¹	28,7-30,6	6,4	5,5	1 _{RMS} ^m	NC	22,5 ^m
[6]	SIW ²	30	0	1035,7	0,6 ^s	-20 ^s	6 ^s
[23]	SIW ²	27-29	7,1	3150	≈3 ^s	-12,5 ^s	≈12,5 ^s
[45]	SIW ²	28-32	13,3	1617,8	1,5 ^s	-12 ^s	13 ^s
[46]	SIW ²	28-32	13,3	/	1,5 ^s	-12 ^s	13 ^s
[47]	FCSIW ⁴	28-32	13,3	383,7	0,8 ^s	-16 ^s	/
[48]	SISL ³	24,5-26,5	7,8	1190	2,1 ^m	-11 ^m	8 ^m
Ce travail	IPD-3D	24-29	18,9	0,84	3,5 ^m	-11 ^m	16 ^m
		25-27	7,7		3 ^m	-16,4 ^m	8,7 ^m

¹ IPD: Integrated Passive Device;

² SIW: Substrate Integrated Waveguide;

³ SISL: Substrate Integrated Suspended Line;

⁴FCSIW: C-Type Substrate Integrated Waveguide;

Les données mesurées et simulées sont identifiées par les indices ^m et ^s.

La littérature nous montre que deux technologies dominent pour ce genre de réalisation. L'utilisation de technologies IPD planaires permet d'intégrer des matrices de Butler de dimensions réduites dont la surface est au mieux de quelques millimètres carrés. D'un autre côté, de nombreux travaux se concentrent sur la technologie par guide d'onde SIW, qui suscite un attrait depuis 2016 avec la 5G comme objectif. Les prototypes proposés en utilisant cette technologie obtiennent les meilleures performances RF (simulées) parmi les solutions d'intégration existantes, mais au prix d'un encombrement important. Des solutions récentes proposent des matrices SIW plus compactes [47], mais qui restent bien plus encombrantes que les technologies IPD. D'autres technologies originales comme le SISL sont également étudiées dans l'idée de concilier performances et compacité.

En nous basant sur les résultats de simulations, l'ajout d'un deuxième croisement en sortie de la matrice fabriquée apporterait des pertes supplémentaires de 1 dB pour le circuit. Pour la bande 25-27 GHz, les pertes en transmission maximales se situeraient alors à 4 dB au lieu de

3 dB. Nous estimons que le déphasage entre les sorties augmenterait de 3° environ, passant de $8,7^\circ$ à $11,7^\circ$. Compte tenu de ces valeurs, et en comparant les résultats pour des largeurs de bande équivalentes, nous voyons que la matrice de Butler que nous proposons présente toujours de très bonnes performances, proches de celles des modèles simulés en utilisant des technologies SIW.

Dans ce contexte, nous constatons que la matrice Butler intégrée à l'aide de la technologie 3D du LAAS-CNRS présente le meilleur compromis entre densité d'intégration et performances RF. D'une part, elle occupe une surface cinq fois plus faible que la matrice de Butler IPD la plus compacte [22]. Pour des largeurs de bandes équivalentes, elle présente des performances proches de ce qu'il est possible d'atteindre à l'aide des technologies SIW ou SISL.

Enfin, la matrice fabriquée offre un fonctionnement optimal sur une très large bande de fréquence de 4,7 GHz couvrant la quasi-totalité du spectre prévu par le consortium 3GPP dans la bande 20-30 GHz (Figure III-1).

6 Conclusion

Dans ce chapitre, nous avons présenté le développement d'une matrice de Butler 4×4 ciblant la bande 24-29 GHz.

Nous avons d'abord détaillé la conception des différents éléments constituant la matrice, en mettant à profit les degrés de liberté offerts par la technologie 3D. Nous avons présenté un coupleur basé sur deux enroulements 3D couplés. La disposition des enroulements 3D garantit un couplage sur une bande de fréquence extrêmement large. La caractérisation du circuit a montré que des performances supérieures aux technologies IPD planaires peuvent être obtenues, et qui sont maintenues sur des largeurs de bande de fréquences plus élevées. Nous avons également introduit le croisement de la matrice, pour lequel de bonnes performances RF sont obtenues. Enfin, le déphaseur est basé sur une ligne à retard intégrée sous forme d'un solénoïde, dont l'inductance mutuelle inter-spire est réduite au maximum en ajoutant une ligne de masse. Les deux lignes à retard de la matrice de Butler compensent et ajoutent -45° au déphasage introduit par les lignes du croisement avec une déviation de seulement 3° sur la bande 24-29 GHz.

Pour caractériser la matrice de Butler qui comporte huit accès, une méthode employant un analyseur de réseau vectoriel disposant de quatre accès est présentée. Celle-ci est basée sur l'acquisition de six mesures partielles en laissant ouverts les accès non connectés. La méthode d'épluchage proposée permet de reconstruire la matrice des paramètres S 8×8 à partir de ces mesures partielles et d'éplucher l'ensemble des accès de mesure du circuit à l'aide de seulement deux motifs de test. Si la méthode de mesure nous permet d'accéder aux performances précises

du circuit, des améliorations doivent encore être apportées pour éliminer les aberrations numériques qui entachent les paramètres S extraits.

Finalement, la matrice de Butler caractérisée affiche un fonctionnement large bande de 24 GHz à 29 GHz, avec des pertes en transmission inférieures à 3,5 dB. Les déphasages entre les sorties, et qui dépendent de l'entrée excitée, atteignent tous les valeurs théoriques avec un écart inférieur à 16°. Finalement, une comparaison des performances de la matrice avec des travaux récents nous permet de constater que le circuit dépasse les avantages de compacité des technologies IPD planaires avec une surface occupée totale de seulement 0,84 mm². Les caractéristiques électriques mesurées montrent que la solution proposée ici se situe au niveau des solutions en technologie SIW. Ce résultat nous permet d'obtenir un compromis entre compacité et performances inédit à ce jour. Enfin, son fonctionnement large bande lui permet de recouvrir l'ensemble des spectres internationaux de la bande 5G compris dans la bande Ka.

7 Références

- [1] A. Buritica, « From Waveforms to MIMO : 5 Things for 5G New Radio », *Microwave Journal*, Vol. 62, no. 5, p. 142-150, 2019.
- [2] W. Roh, et al., « Millimeter-wave beamforming as an enabling technology for 5G cellular communications: theoretical feasibility and prototype results », *IEEE Communications Magazine*, vol. 52, n° 2, p. 106-113, 2014.
- [3] Y. Huo, et al., « 5G Cellular User Equipment: From Theory to Practical Hardware Design », *IEEE Access*, vol. 5, p. 13992-14010, 2017.
- [4] A. Hagelauer, et al., « Integrated Systems-in-Package: Heterogeneous Integration of Millimeter-Wave Active Circuits and Passives in Fan-Out Wafer-Level Packaging Technologies », *IEEE Microwave Magazine*, vol. 19, n° 1, p. 48-56, 2018.
- [5] W. Hong, et al., « Study and prototyping of practically large-scale mmWave antenna systems for 5G cellular devices », *IEEE Communications Magazine*, vol. 52, n° 9, p. 63-69, 2014.
- [6] Q.-L. Yang, et al., « SIW Multibeam Array for 5G Mobile Devices », *IEEE Access*, vol. 4, p. 2788-2796, 2016.
- [7] A. Lohou, « Conception de circuits intégrés pour antenne à pointage électronique destinée aux télécommunications par satellite en bande Ka », thèse de doctorat, Université de Limoges, Limoges, France, 2018.
- [8] C. Viallon, « Contribution à l'intégration des circuits micro-ondes et millimétriques pour les télécommunications », Habilitation à diriger des recherches HDR, Université Toulouse III Paul Sabatier, France, 2016.
- [9] A.K. Bhattacharyya, « Phased Array Antennas: Floquet Analysis, Synthesis, BFNs, and Active Array Systems », John Wiley & Sons, Inc., 2005.
- [10] W. Hong et al., « Multibeam Antenna Technologies for 5G Wireless Communications », *IEEE Transactions on Antennas and Propagation*, vol. 65, n° 12, p. 6231-6249, 2017.
- [11] R. Flamini, et al., « Millimeter-wave phased arrays for 5G: An industry view on current issues and challenges », *IEEE International Symposium on Phased Array System & Technology (PAST)*, Waltham, MA, Etats-Unis, 2019.
- [12] N. Turker Tokan, « Array Antenna Feeding Network Design for 5G MIMO Applications », *Electrica*, vol. 19, n° 2, p. 120-127, 2019.
- [13] A. Rahimian, « Enhanced RF steerable beamforming networks based on butler matrix and rotman lens for ITS applications », *IEEE Region 8 International Conference on Computational Technologies in Electrical and Electronics Engineering (SIBIRCON)*, Irkutsk, Russie, 2010.

- [14] J. Butler et al., « Beam-forming Matrix Simplifies Design of Electronically Scanned Antennas », *Electronic Design*, Vol. 9, p. 170-173, 1961.
- [15] T. Djerafi, et al., « Broadband Substrate Integrated Waveguide 4×4 Nolen Matrix Based on Coupler Delay Compensation », *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, n° 7, p. 1740-1745, 2011.
- [16] J. Blass, « Multidirectional antenna - A new approach to stacked beams », *International Convention Record (IRE)*, New York, NY, Etats-Unis, 1960.
- [17] F. Casini, et al., « A Novel Design Method for Blass Matrix Beam-Forming Networks », *European Radar Conference (EuRad)*, Munich, Allemagne, 2007.
- [18] H. Ren, et al., « A Novel Planar Nolen Matrix Phased Array for MIMO Applications », *IEEE International Symposium on Phased Array System & Technology (PAST)*, Waltham, MA, Etats-Unis, 2019.
- [19] X. Wang, et al., « Compact 2-D Multibeam Array Antenna Fed by Planar Cascaded Butler Matrix for Millimeter-Wave Communication », *Antennas and Wireless Propagation Letters*, vol. 18, n° 10, p. 2056-2060, 2019.
- [20] K. Wincza, et al., « Broadband Planar Fully Integrated 8×8 Butler Matrix Using Coupled-Line Directional Couplers », *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, n° 10, p. 2441-2446, 2011.
- [21] Q. Yang et al., « A Low Complexity 16×16 Butler Matrix Design Using Eight-Port Hybrids », *IEEE Access*, vol. 7, p. 177864-177873, 2019.
- [22] I. Haroun, et al., « A Compact 24-26 GHz IPD-Based 4x4 Butler Matrix for Beam Forming Antenna Systems », *Asia Pacific Microwave Conference (APMC)*, Kaohsiung, Taiwan , 2012.
- [23] C. Lee, et al., « Wideband 5G beamforming printed array cluttered by LTE-A 4×4-multiple-input–multiple-output antennas with high isolation », *IET Microwaves, Antennas & Propagation*, vol. 12, n° 8, p. 1407-1413, 2018.
- [24] A. M. Zaidi, et al., « A Novel Dual Band Branch Line Coupler and its Application to Design a Dual Band 4 × 4 Butler Matrix », *IEEE Access*, vol. 8, p. 65104-65115, 2020.
- [25] D. Ozis, et al., « Integrated Quadrature Couplers and Their Application in Image-Reject Receivers », *IEEE Journal of Solid-State Circuits*, vol. 44, n° 5, p. 1464-1476, 2009.
- [26] C.L. Chang, et al., « Design of 38-GHz branch-line coupler in glass-substrate integrated passive device technology » *IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, Taipei, Taiwan, 2016.
- [27] F. Tabarani, et al., « Compact monolithic spiral quadrature coupler design »” *13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, Giardini Naxos - Taormina, Italie, 2017.

- [28] G. Breed, « Transmission Line and Lumped Element Quadrature Couplers », High Frequency Electronics, p. 44-48, 2009.
- [29] D.M. Pozar, « Microwave Engineering », 4th ed., John Wiley, 2012.
- [30] A. Cayron, et al., « Wideband and Compact 3-D Quadrature Coupler for 5G Applications », 49th European Microwave Conference (EuMC), Paris, France, 2019.
- [31] S. Wane, et al., « Design of Lange Couplers with local ground references using SiGe BiCMOS technology for mm-Wave applications », IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Phoenix, AZ, Etats-Unis, 2015.
- [32] C.H. Tseng, et al., « Design and Implementation of New 3-dB Quadrature Couplers Using PCB and Silicon-Based IPD Technologies » IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 6, no. 5, p. 675–682, 2016.
- [33] J.C. Tippet, et al., « A Rigorous Technique for Measuring the Scattering Matrix of a Multiport Device with a 2-Port Network Analyzer », IEEE Transactions on Microwave Theory and Techniques, vol. 30, n° 5, p. 661-666, 1982.
- [34] D.G. Kam, et al., « Multiport Measurement Method Using a Two-Port Network Analyzer With Remaining Ports Unterminated », IEEE Microwave and Wireless Components Letters, vol. 17, n° 9, p. 694-696, 2007.
- [35] A. Cayron, et al., « Measurement and Deembedding Technique for the on-wafer Characterization of Multiport Devices », IEEE 20th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SIRF), San Antonio, TX, Etats-Unis, 2020.
- [36] L. Marigo-Lombart et al., « Electro-Absorption Modulator vertically integrated on a VCSEL: microstrip-based high-speed electrical injection on top of a BCB layer », Journal of Lightwave Technology, vol 37, n° 15, p. 3861 - 3868, 2019.
- [37] J.E. Zúñiga-Juárez, et al. « An improved two-tier L-L method for characterizing symmetrical microwave test fixtures » Measurement, vol. 44, no. 9, p. 1491–1498, 2011.
- [38] J.A. Reynoso-Hernandez, et al. « Computation of the Wave Propagation Constant γ in Broadband Uniform Millimeter Wave Transmission Line », Asia Pacific Microwave Conference (APMC), Singapor, Singapour, 1999.
- [39] C.-J. Chen, et al., « An Error Analysis of the Scattering Matrix Renormalization Transform », IEEE Transactions on Microwave Theory and Techniques, vol. 57, no. 4, p. 863-868, 2009.
- [40] C.-J. Chen, et al., « Measurement of Noncoaxial Multiport Devices Up to the Intrinsic Ports », IEEE Transactions on Microwave Theory and Techniques, vol. 57, no. 5, p. 1230-1236, 2009.
- [41] C.-J. Chen, et al., « Accuracy Criterion for S-Matrix Reconstruction Transforms on Multiport Network », IEEE Transactions on Microwave Theory and Techniques, vol. 59, no. 9, p. 2331-2339, 2011.
- [42] C.-J. Chen, et al., « Multiport Network Measurement using a Three-Port VNA », Asia Pacific Microwave Conference (APMC), Seoul, Corée du Sud, 2013.

- [43] S. Trinh-Van, et al., « A Sidelobe-Reduced, Four-Beam Array Antenna Fed by a Modified 4×4 Butler Matrix for 5G Applications », *IEEE Transactions on Antennas and Propagation*, vol. 67, n° 7, p. 4528-4536, 2019.
- [44] W.-C. Lee, et al., « A compact switched beam-forming network using silicon IPD technology for low-cost 5G communication », *IEEE MTT-S International Microwave Symposium (IMS)*, San Francisco, CA, Etats-Unis, 2016.
- [45] Q.-L. Yang, et al., « SIW Butler Matrix with Modified Hybrid Coupler for Slot Antenna Array », *IEEE Access*, vol. 4, p. 9561-9569, 2016.
- [46] Q. Yang, et al., « Antenna Array Antenna Array Driven by Broadband Integrated Multibeam Network With Flat Amplitudes and Phases », *Loughborough Antennas & Propagation Conference (LAPC)*, Loughborough, Royaume-Uni, 2018.
- [47] Q. Sun, et al., « Folded C-Type SIW Butler Matrix », *IEEE MTT-S International Wireless Symposium (IWS)*, Guangzhou, Chine, 2019.
- [48] Y. Wang, et al., « A Low-Loss Butler Matrix Using Patch Element and Honeycomb Concept on SISL Platform », *IEEE Transactions on Microwave Theory and Techniques*, vol. 66, n° 8, p. 3622-3631, 2018.

Conclusion générale

Le travail présenté dans ce manuscrit est orienté vers la démonstration d'une matrice de Butler 4×4 fonctionnant dans la bande 24-29 GHz, une des bandes millimétriques prévues pour le futur standard 5G. Le démonstrateur a été intégré à l'aide d'une filière technologique IPD-3D développée par 3DiS Technologies et le LAAS-CNRS depuis plusieurs années. Pour parvenir au résultat présenté, un procédé de fabrication de condensateurs MIM a été développé et fait maintenant partie intégrante de la technologie.

Le premier chapitre s'attache à décrire les différentes solutions technologiques actuellement disponibles sur le marché pour l'intégration de circuits passifs lorsque l'application visée nécessite de les intégrer indépendamment des circuits actifs. Le contexte actuel tend vers la complexification et/ou vers la montée en fréquence des applications sans fil grand public qui nécessite d'inventer de nouvelles solutions technologiques toujours plus efficaces et bas coût pour maintenir la compacité et les performances des systèmes. Différents types de substrats faibles pertes et plusieurs technologies IPD sont explorées pour atteindre cet objectif. Les technologies 3D sur céramiques LTCC et les technologies TEVs sont comparées sur les procédés de fabrication et à travers l'exemple des inductances qui sont parmi les composants passifs les plus encombrants. La technologie IPD-3D au centre de ce travail est également intégrée au comparatif. De par son caractère tridimensionnel, cette dernière semble offrir un excellent compromis entre performances électriques, compacité et simplicité du procédé de fabrication.

Le second chapitre aborde les développements effectués en salle blanche pour doter la technologie IPD-3D de condensateurs miniatures et ouvrir ainsi la voie vers l'intégration de circuits passifs plus élaborés. Pour répondre au critère de compacité, notre choix s'est orienté vers le développement de condensateurs Métal-Isolant-Métal (MIM). La topologie du condensateur se compose d'une électrode inférieure d'aluminium, d'un isolant de nitrure de silicium déposé à une température de 100°C , et d'une électrode supérieure est en cuivre. Les étapes de fabrication et leur insertion dans le procédé IPD-3D sont décrites à travers l'exemple de la fabrication de deux transformateurs adaptés en impédance par deux condensateurs placés en série à ses accès. La caractérisation des dispositifs permet de confirmer les performances mesurées sur les condensateurs seuls. Elle valide donc le bon déroulement de chaque étape de la technologie ainsi que la compatibilité du procédé de fabrication des condensateurs dans le procédé complet.

La conception, la fabrication puis la caractérisation de la matrice de Butler 4×4 fait l'objet du troisième chapitre. Les caractéristiques de ce circuit sont d'abord présentées. Puis l'ensemble des étapes de conception de chaque composant de la matrice, à savoir le coupleur, le croisement et le déphaseur 45°, sont décrits. La technologie IPD-3D est mise à profit pour minimiser les surfaces occupées et optimiser les performances. Le coupleur est basé sur un transformateur 3D composé de deux enroulements couplés, et adapté dans la bande 20-30 GHz par des condensateurs MIM. Les résultats extraits des mesures de ce composant montrent qu'un couplage de -3 dB est maintenu sur une bande de fréquence comprise entre 20 GHz et 30 GHz avec un écart inférieur à 1 dB. Une phase de 90° est atteinte avec un écart inférieur à 7°. Le croisement est composé de deux lignes de transmission qui se chevauchent grâce à un pont métallique. Une troisième piste reliée à la masse est disposée entre les deux lignes pour limiter le couplage. Le déphaseur -45° est basé sur une ligne à retard qui se présente sous la forme d'un solénoïde et dont la longueur est réduite grâce à l'ajout de deux condensateurs MIM ajoutés en série sur les de la ligne. L'optimisation de la ligne à retard permet d'obtenir un déphasage de -45° sur toute la bande de fréquence 24-29 GHz avec une déviation inférieure à 2°.

La dernière partie de ce chapitre aborde la caractérisation de cette matrice de Butler, qui comporte huit accès. Ce grand nombre d'accès nécessite plusieurs mesures partielles. Une méthode permettant de simplifier cette étape de caractérisation est présentée. Celle-ci permet en outre d'effectuer l'épluchage des accès au démonstrateur à partir de la mesure de deux motifs de test seulement. Les résultats expérimentaux montrent finalement que la bande de fréquence initialement prévue (24-29 GHz) est couverte, avec des résultats très proches de la simulation, validant par là même l'ensemble des étapes de la conception. Dans cette bande, les caractéristiques extraites de la mesure du démonstrateur affichent des transmissions en sorties entre -5 dB et 9,5 dB. Les déphasages entre les sorties sont maintenus aux valeurs théoriques avec des écarts inférieurs à 16°. Ces résultats sont finalement confrontés aux réalisations relevées dans la littérature et les performances affichées se situent au niveau de l'état de l'art. Il est en effet remarquable de noter que les performances RF sont du même ordre que les réalisations effectuées en technologie SIW, alors que l'encombrement est réduit d'un facteur 450. Par rapport aux technologies IPD classiques, les dimensions sont réduites d'un facteur cinq, au minimum.

En conclusion, l'ensemble des développements effectués durant cette thèse permet de situer le potentiel de la technologie IPD-3D développée pour l'intégration de circuits passifs RF. Les perspectives extrêmement favorables peuvent être envisagées pour l'intégration complète de systèmes complexes de type « System-in-Package » (SiP). L'utilisation de la technologie offre en effet la possibilité d'intégrer des circuits passifs sur tous les types de support disponibles dans ces systèmes et à interconnecter des puces empilées sans avoir à recourir à des fils microsoudés. Elle peut notamment être mise à profit pour explorer une intégration « Antenna-in-Package » incluant la matrice de Butler et les quatre éléments rayonnants.

Liste des publications et conférences

Articles et lettres dans des revues internationales avec comité de lecture

- A. Cayron, C. Viallon, O. Bushueva, A. Ghannam, T. Parra, « High-Performance Compact 3-D Solenoids for RF Applications », IEEE Microwave and Wireless Components Letters, vol. 28, n°6, pp. 479-481, juin 2018.

Communications dans des conférences internationales avec comité de lecture

- A. Cayron, C. Viallon, A. Ghannam, A. Magnani, T. Parra, « Wideband and Compact 3-D Quadrature Coupler for 5G Applications », 49th European Microwave Conference (EuMC), Paris, France, octobre 2019.
Communication orale récompensée par le prix « EuMC Young Engineer Prize »
- A. Cayron, C. Viallon, A. Ghannam, A. Magnani, et T. Parra, « Measurement and Deembedding Technique for the on-wafer Characterization of Multiport Devices », 20th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), San Antonio, TX, Etats-Unis, janvier 2020.

Communications scientifiques dans des conférences nationales avec comité de lecture

- A. Cayron, O. Bushueva, A. Ghannam, A. Magnani, C. Viallon, T. Parra, « Transformateurs d'impédance 3D adaptés en fréquence pour applications RF », 20^{èmes} Journées Nationales Microondes, JNM, Saint-Malo, France, mai 2017.
- A. Cayron, C. Viallon, A. Ghannam, A. Magnani, T. Parra, « Matrice de Butler 3D compacte et large bande pour applications aux fréquences 5G », 21^{èmes} Journées Nationales Microondes, JNM, Caen, France, mai 2019.

Autres congrès nationaux

- A. Cayron, C. Viallon, A. Ghannam, A. Magnani, T. Parra, « Matrice de Butler 3D compacte et large bande pour applications aux fréquences 5G », Journées Nationales du Réseau Doctoral en Microélectronique, JNRDM, Montpellier, France, juin 2019.