



HAL
open science

Étude des contraintes électromagnétiques induites par les composants SIC d'une chaîne de conversion d'énergie en vue d'une optimisation pour des applications HF.

Jean-Marie Larbaig

► To cite this version:

Jean-Marie Larbaig. Étude des contraintes électromagnétiques induites par les composants SIC d'une chaîne de conversion d'énergie en vue d'une optimisation pour des applications HF.. Energie électrique. Université de Pau et des Pays de l'Adour, 2021. Français. NNT : 2021PAUU3007 . tel-03263864

HAL Id: tel-03263864

<https://theses.hal.science/tel-03263864>

Submitted on 17 Jun 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THESE

UNIVERSITE DE PAU ET DES PAYS DE L'ADOUR
ECOLE DOCTORALE DES SCIENCES EXACTES ET APPLIQUEES (ED 211)

Présentée et soutenue le 8 mars 2021

par **Jean-Marie LARBAIG**

Pour obtenir le grade de docteur
de l'Université de Pau et des Pays de l'Adour

Spécialité : Génie Electrique

Etude des contraintes électromagnétiques induites par les composants SiC dans une chaîne de conversion d'énergie en vue d'une optimisation en haute fréquence

Devant le jury composé de :

Rapporteurs :	Laurent BERQUEZ	Professeur, Université de Toulouse III
	Nicolas GINOT	Professeur, Université de Nantes
Examineurs :	Geneviève DUCHAMP	Professeure, Université de Bordeaux
	Laurent COURTOIS	Docteur Ingénieur CEA CESTA, Bordeaux
	Ioav RAMOS	Docteur Ingénieur NOVATEM SAS, Toulouse
Co-directeur de thèse	Robert RUSCASSIE	Maître de Conférences, Université de Pau et des Pays de l'Adour
Co-directeur de thèse	Jean-Marc DIENOT	Professeur, Université de Toulouse III

*« Étudier, non pour savoir plus,
mais pour savoir mieux »
Sénèque*

Papiris.

Remerciements

La thèse est un exercice auquel nous ne pouvons parvenir seul. Je tiens donc à remercier l'équipe encadrante qui se compose de mes 2 co-directeurs de thèse, Monsieur le Maître de conférences Robert Ruscassié et Monsieur le Professeur Jean-Marc Diénot, qui pendant 3 ans ont su m'encadrer sur de nouveaux projets du laboratoire, mais surtout pour m'avoir supporté ! Un beau projet a été construit et je suis fier d'y avoir contribué.

Je remercie également Monsieur M. Caron, Monsieur L. Voisin, Monsieur L. Courtois et Monsieur B. Cadilhon, équipe haute tension pulsée du CEA CESTA de nous avoir soutenu tout au long de cette thèse en proposant leurs projets, et en partageant leurs connaissances et leurs compétences sur les différentes problématiques que nous avons rencontrés.

Je tiens à remercier les chercheurs de l'entreprise NOVATEM SAS, B. Nogarède et I. Ramos pour la confiance que vous m'avez porté tout au long de ce parcours, pour l'apport de votre expertise dans le domaine de la mécatronique et surtout de votre amitié à mon égard. Sans oublier Maxime, Alex, Kavi, Steven, etc. je vous remercie également pour les quelques moments que nous avons pu passer sans « parler boulot » !

À ce jour, cela fait maintenant 6 ans que je vadrouille dans les locaux du laboratoire SIAME et cela n'aurait pas été possible sans l'aide de quelques personnes et tout particulièrement, le Professeur L. Pecastaing, les Maîtres de Conférence T. Reess et M. Rivaletto et le Docteur A. Silvestre de Ferron. Vous m'avez fait confiance, aidé, conseillé et dirigé concernant ma progression professionnelle depuis mon premier stage ont sein du laboratoire et maintenant, je suis en grande partie diplômé docteur grâce à vous. Je vous en suis reconnaissant.

J'ai pu également me former à la pratique de l'électronique de puissance durant mon passage dans la société EFFITECH. Je tiens donc à remercier Sylvain Paquet de m'avoir encadré durant cette année d'alternance et pour tous ces débats technologiques et constructifs que nous avons eu pendant ces 4 années.

Je n'oublie pas mes « collègues » de bureau avec qui j'ai pu partager des moments conviviaux. Cela m'a permis d'avancer paisiblement, et tout ça dans une très bonne ambiance. Nous ne le dirons jamais assez, mais tout seul, on peut aller vite, à plusieurs, on peut aller loin. Robin, Fatima, Tony, Roman, Yoan, Njomza, Camille et bien d'autres. Mais également les « anciens » doctorants qui ont vu mon évolution, Ernesto, Florian et Sonia. Merci.

Et bien sûr, je n'oublie pas mes amis du « QG », mes amis d'enfance du village de Bordères sur l'Échez et mes amis du « CrossFit », que ce soit ATP ou Bordes. Merci à vous tous de m'avoir soutenu et supporté, dans mes moments de crises de bêtises passagères ou bien à cause de mes absences.

Cette thèse est avant tout la réussite de deux personnes qui me soutiennent depuis que je suis « minot » comme on dirait dans le sud et ceci, quel que soit le projet que j'entreprends. Ce sont mes parents, Christine & Serge, et sachez que vous êtes les premiers acteurs de ma réussite. Depuis tout petit, que ce soit pour ma sœur ou pour mon frère, vous croyez toujours en nous et votre bienveillance nous permet d'avancer, quel que soit les embuches ou bien les projets farfelus que nous avons. Cette thèse est avant tout la vôtre et je tiens à vous la dédier.

Géraldine et Lucien, ma sœur et mon frère, les épreuves d'une vie sont parfois différentes en fonction de notre entourage. Grâce à vous deux et à votre soutien permanent, j'ai pu arriver à atteindre ce grade. Je tiens tout de même à indiquer que cela ne fera pas évoluer la question de qui est le plus grand ou le plus petit ! Mais votre place dans ma vie et dans mon cœur demeurera éternelle.

Ma famille, mes oncles et tantes, que ce soit proches ou ceux de « coussay les bois », ma grand-mère charentaise et mes grands-pères bigourdans, tous à votre échelle, vous avez contribué à ma réussite et je vous en remercie du fond du cœur.

On m'avait promis un futur sans étude et sans passion, voici l'une de mes meilleures réponses.

Table des matières

Table des illustrations.....	15
Table des tableaux.....	26
I. Chapitre 1 – État de l’art	41
I.1. Introduction	42
I.2. De la chaîne de conversion d’énergie à sa charge	42
I.2.A. Les convertisseurs de puissance – généralités.....	42
I.2.B. Les composants de puissances Si & SiC	48
a. Les composants en Silicium (Si).....	48
b. Les composants en Carbure de Silicium (SiC)	49
b.i. Étude comparative des caractéristiques de composants Si et SiC	52
c. Estimation des pertes de puissance dans les composants SiC	52
c.i. Pertes en conduction.....	54
c.ii. Pertes en commutation	55
d. Intégrations des composants à grand gap dans les systèmes actuels	55
e. Charge : Constitution d’un moteur – agencement de ses bobinages.....	56
f. Simulation et détection d’un défaut dans une machine tournante	58
I.2.C. Conception & Réalisation : aspects électroniques de puissance	60
a. Chaîne de pilotage d’un composant de puissance	60
b. Éléments caractéristiques d’un PCB	61
I.2.D. Développement d’un système de supervision numérique moderne	62
a. Définition du cahier des charges pour le choix de la plateforme de commande	63
b. Architecture des modules	64
b.i. Entité « état du système »	65
b.ii. Entité « modulation de la largeur d’impulsion »	68
b.iii. Entité « acquisition »	70
b.iii.i. Procédure d’acquisition, de stockage et de traitement des données	70
b.iii.ii. Performances des convertisseurs A/N en fonction de leurs protocoles de communication.....	71
b.iv. JESD204B : Interface de communication à haute vitesse.....	74
b.v. Entité « utilisateur »	76
b.v.i. Construction de la mise en page	76
b.v.ii. Protocole de communication entre plateformes	77
c. Les Framework disponibles pour le développement d’une interface homme-machine.	

c.i. Framework Django	78
I.2.E. Les plateformes numériques et leurs fonctionnalités	80
a. Les microcontrôleurs	80
b. Le Field Programmable Grille Array – FPGA	81
b.i. Présentation des plateformes FPGA-SoC.....	82
I.2.F. Conception & Réalisation : aspect informatique industrielle	85
a. Solutions existantes pour le pilotage des composants en électronique de puissance avec mise en œuvre de la variabilité des paramètres d’une MLI échantillonnée par le biais d’une plateforme FPGA.....	85
b. Solutions existantes pour l’acquisition des données en hautes fréquences	86
II. Chapitre 2 – Développement d’un banc de test modulaire dédié à la caractérisation de bobinages.....	90
II.1. Introduction	91
II.2. Développement de la partie électronique de puissance.....	94
II.2.A. Cahier des charges et caractéristiques des éléments de la chaîne de conversion d’énergie établis en fonction de la modularité souhaitée	94
II.2.B. Développement de la chaîne de puissance	98
a. Choix du matériau semi-conducteur	98
b. Dimensionnement de la commande associée au bras de puissance	102
c. Dimensionnement de la détection de défaut	106
d. Dimensionnement de la variation du dV/dt	107
e. Dimensionnement des alimentations de la chaîne de commande	108
e.i. Choix des alimentations	108
e.ii. Dimensionnement du filtre EMI contre les perturbations électromagnétiques induites par les convertisseurs à découpage	110
e.iii. Dimensionnement de la mise à l’arrêt des alimentations à l’apparition d’un défaut.	111
f. Dimensionnement thermique.....	111
II.3. Dimensionnement du dispositif de mesure non invasif.....	117
II.3.A. Simulation de la sonde avec le solveur CST High Frequency Time Domain	119
II.4. Conception de la carte de puissance.....	124
II.4.A. Identification des zones à fort risque de perturbations.....	124
II.4.B. Agencement des couches	125
II.4.C. Positionnement des sondes de champ proche.....	130
II.4.D. Modélisation des modules de puissance.....	133
a. Module de puissance – Mesure des paramètres S.....	143

II.4.E. Module de puissance – Assemblage.....	147
II.5. Essais en puissance – validation du pilotage des composants de puissance	148
II.6. Améliorations et intégrations futures – Perspectives	150
II.6.A. Intégration de fibres différentielles – dissociation des défauts	151
II.6.B. Essais à vide du générateur – mesure des sondes traversantes	151
II.6.C. Intégration d’une amélioration de la modulation du dv/dt :	153
II.7. Conclusion.....	156
III. Chapitre 3 – Développement d’un système de commande modulaire pour la gestion de la commande, de l’acquisition et de l’interface homme-machine.....	161
III.1. Introduction	162
III.2. Développement d’une chaîne d’acquisition isolée haute vitesse	163
III.2.A. Dimensionnement des caractéristiques d’acquisition en fonction des caractéristiques des sondes électromagnétiques intégrées sur les modules de puissances	163
a. Choix du convertisseur A/N.....	165
b. Agencement de la carte d’acquisition	166
c. Conditionnement du signal d’acquisition	167
d. Déterminations des caractéristiques de transfert du protocole JESD204B	168
e. Dimensionnement de l’implantation des fibres optiques pour les cartes d’acquisition .	170
f. Adaptation des terminaisons des lignes de transmission présentes sur la chaîne d’acquisition	173
g. Dimensionnement des alimentations analogiques et numériques.....	175
III.2.B. Plan de routage : établissement des dimensions de la carte, respect des règles d’impédance et de séparation des masses analogiques et numériques	177
a. Conception et réalisation finales de la carte d’acquisition.....	183
III.2.C. Conclusion et perspectives d’amélioration de la chaîne d’acquisition.....	184
III.3. Développement du système de commande basé sur une technologie microcontrôleur - μC ..	186
III.3.A. Diagramme fonctionnel du μC	186
a. Gestion du pilotage de la conversion de puissance.....	188
b. Gestion de l’acquisition par le μC	192
c. Gestion de l’interface utilisateur pour le contrôle du μC dsPic33FJ64GS610.....	192
d. Carte d’interface développée pour la platine de développement explorer16	194
III.3.B. Conclusion	195
III.4. Développement d’un système de commande sur une plateforme FPGA SoC DE0-Nano-SoC ..	197

III.4.A. Présentation générale de la première version du système de commande.....	197
III.4.B. Étude du synoptique fonctionnel du principe de contrôle commande souhaitée	197
a. Gestion du pilotage de la conversion de puissance.....	198
b. Gestion de l'acquisition	203
c. Gestion de l'utilisateur	203
d. Carte d'interface réalisée pour la platine de développement DE0-Nano-SoC	204
e. Description des ressources de la platine DE0 Nano SoC	206
f. Conclusion du développement sur la platine DE0 Nano SoC	206
III.4.C. Développement d'un système de commande sur une plateforme FPGA SoC - SoC-Kit	207
a. Présentation générale de la deuxième version du système de commande	207
b. Étude du synoptique fonctionnel du logiciel pour la platine de développement SoC-Kit	208
c. Gestion de la partie acquisition de la plateforme SoC-Kit.....	209
d. Gestion de l'interface entre l'utilisateur et le système de commande SoC-Kit	213
e. Développement de la carte interface pour la platine de développement SoC-Kit....	216
f. Ressources nécessaires pour le développement logiciel avec la platine SoC-Kit	219
g. Conclusion du développement pour la platine SoC-Kit.....	220
III.4.D. Développement d'un système de commande sur une plateforme FPGA SoC - Han Pilot ..	220
a. Présentation générale de la troisième version du système de commande.....	220
b. Étude du synoptique fonctionnel de la carte de développement Han Pilot.....	222
c. Gestion de l'acquisition pour le développement logiciel avec la platine Han Pilot ...	223
d. Carte d'interface dédiée à la platine Han Pilot.....	224
e. Ressources utilisées pour le développement logiciel sur la plateforme Han Pilot....	230
f. Conclusion du développement logiciel entrepris sur la plateforme Han Pilot	231
III.4.E. Conclusion des développements pour les platines de développement FPGA.....	231
III.5. Évolutions à venir et perspectives de développement	232
III.6. Conclusion et comparaison des performances entre le μ C et le FPGA	232
IV. Chapitre 4 - Expérimentation et analyse d'un défaut au sein d'un moteur	235
IV.1. Introduction	236
IV.2. Simulation d'un défaut de vieillissement au sein du moteur.....	236
IV.2.A. Présentation du plan d'expérimentation	236
IV.2.B. Établissement et calibration du protocole expérimental dédié au vieillissement des stators.....	237
a. Étape pré expérimentation – relevé de référence ST00	237

a.i. Caractérisation fréquentielle passive	237
a.ii. Caractérisation temporelle en régime nominal	243
b. Simulation d'un défaut entre une phase et neutre – référence STP01	246
c. Simulation d'un défaut entre deux phases du moteur – référence STP01	252
d. Amélioration du processus de traitement.....	256
e. Étape de post expérimentation – référence STP02	259
IV.3. Expérimentation d'un vieillissement accéléré de bobinages sur une durée de 96h	263
IV.3.A. Traitement post-expérimentation de l'accélération de vieillissement.....	265
IV.3.B. Endommagement de la phase 1 du premier stator.	273
IV.4. Expérimentation sur un second stator	274
IV.4.A. Présentation de l'expérimentation	274
IV.4.B. Analyse des paramètres S est impédances Z – référence STP00	275
a. Caractérisation fréquentielle passive	275
b. Caractérisation temporelle.....	276
IV.4.C. Exploitation des résultats et traitement – référence STP01	278
IV.4.D. Simulation des paramètres S avec un défaut – référence STP02.....	285
IV.5. Conclusion des expérimentations et perspectives	287
IV.6. Annexe 1	298
IV.6.A. General Scheme to study conduction and switching loss [49]	298
a. Conduction Loss	298
b. Pertes en commutation.....	298
IV.6.B. Comparison of SiC voltage source inverters using synchronous rectification and freewheeling diode [48]	299
a. Pertes en conduction	299
b. Pertes en conduction pendant le temps mort (DeadTime loss).....	300
c. Pertes en conduction de la résistance « Reverse »	300
d. Pertes en conduction de la diode SBD	300
a) Pertes par commutation.....	302
IV.7. Annexe 2	304
IV.8. Annexe 3	305
Références.....	307

Table des illustrations

Figure 1 : Evolution du monde de la téléphonie de 1990 à nos jours	32
Figure 2 : Évolution du nombre de voiture électrique et hybride rechargeable [5]	33
Figure 4 : Implémentation de Carbure de silicium (SiC) dans les voitures électriques et hybrides dans le monde en 2018 et 2020 (en millions de dollars US) [7]	34
Figure 5 : Évolution d'un module électrique en SiC [6]	34
Figure 6 : Chaîne énergétique typique pour l'alimentation d'un moteur asynchrone	35
Figure 7 : Création d'un signal pseudo sinusoïdal à partir d'un pilotage	36
Figure 8 : Imbrication du stator et du rotor	36
Figure 9 : Agencement d'un bobinage	37
Figure 10 : Étapes d'une conversion d'une chaîne d'énergie [9]	43
Figure 11 : Convertisseur statique – les 4 types de conversion [15]	44
Figure 12 : Schéma de principe d'un onduleur triphasé	45
Figure 13 : Principe de fonction d'une modulation de la largeur d'impulsion (MLI) [22]	46
Figure 14 : Classification des différentes stratégies de MLI (PWM) en fonction du signal porteur [23]	47
Figure 15 : Influence de la fréquence de découpage sur les signaux sinusoïdaux de sortie [23] : a) $f_{SW} \gg f_{MOD}$ b) $f_{SW} > f_{MOD}$ c) $f_{SW} \approx f_{MOD}$	48
Figure 16 : Classifications des composants de puissance en fonction de la tension de blocage, du courant et de la fréquence de commutation	49
Figure 17 : Principaux bénéfices du changement de matériau Si vs SiC pour les composants de puissance [42]	50
Figure 18 : Comparaison de la mise en conduction des diodes aux bornes d'un IGBT - Si (a) et SiC (b)	51
Figure 19 : Comparaison de l'arrêt de la conduction des diodes Si (a) et SiC (b)	51
Figure 20 : Comparaison des énergies perdues à la commutation et à la conduction entre un IGBT Si vs MOSFET SiC [43]	52
Figure 20 : Fonctionnement d'une diode de roue libre [45]	54
Figure 22 : caractéristiques (Courant tensions des composants MOSFET SiC et diode SBD [47]	
55	
Figure 23 : Comparaison des caractéristiques d'un système à composants Si vs SiC [54]	56
Figure 24 : Évolution de la densité de puissance des systèmes depuis 1970 [55]	57

Figure 25 : Influence d'un bobinage aléatoire sur l'apparition du phénomène des capacités parasites	58
Figure 26 : Composition des matériaux diélectriques dans un câble	58
Figure 27 : Comparaison des signaux fréquentiels par la méthode RMSE. (a) isolant très peu endommagé (b) isolant très endommagé [62]	59
Figure 28 : Illustration du placement de la capacité de défaut [62]	60
Figure 29 : Placement des indicateurs de vieillissement en fonction des phases du moteur [62]	60
Figure 30 : Chaîne d'adaptation du pilotage du composant électronique de puissance	61
Figure 31 : Procédure d'export d'une modélisation d'un PCB	62
Figure 32 : Domaines de compétence compris dans la plateforme de gestion	65
Figure 33 : Architecture du système de commande avec les principales fonctions	66
Figure 34 : Diagramme de fonctionnement de l'entité « État système »	67
Figure 35 : Principe de fonctionnement d'une interruption	68
Figure 36 : Principe de la MLI à variation sinusoïdale	69
Figure 37 : Diagramme fonctionnel de l'utilisation de l'entité acquisition	72
Figure 38 : Performances des convertisseurs analogiques/numériques en fonction de la résolution et de la vitesse d'acquisition [82]	73
Figure 39 : Exemple d'une sortie d'interface parallèle [83]	73
Figure 40 : Trame de données d'une communication série [85]	74
Figure 41 : Illustration des paramètres par bus de données JESD204 [89]	75
Figure 42 : Illustration des horloges FRAME, SYSREF, CLK et LMFC	76
Figure 43 : Modèle d'interface comprenant l'ensemble des données nécessaires pour l'utilisateur	77
Figure 44 : Fonctionnement des protocoles de communication SPI (a) et I²C (b)	78
Figure 45 : Architecture MVT du Framework Django	79
Figure 46 : Chaîne protocole - interface - connecteur	83
Figure 47 : illustration de la combinaison ARM (HPS) - FPGA	84
Figure 48 : Domaines de compétences développés pour le banc de test	93
Figure 49 : Synoptique du banc de vieillissement développé	95
Figure 50 : Synoptique de la carte demi-pont	96
Figure 51 : Modélisation d'une piste cuivrée sur PCB en éléments électriques passifs	96
Figure 52 : modèle RL couplage étoile de la charge	100

Figure 53 : Schéma de simulation du point de simulation sous le logiciel Gecko Circuit.....	100
Figure 54 : Résultats de la simulation du fonctionnement à régime nominal pour l'observation de la tension aux bornes de la charge et du neutre et du courant circulant dans les composants de puissance.....	101
Figure 55 : Synoptique de la commande numérique et puissance de la carte PCB.....	103
Figure 56 : Diagramme temporel de l'évolution des différents temps du driver de commande ED020I12.....	104
Figure 57 : Dimensionnement de la détection du défaut.....	106
Figure 58 : Schéma électrique des modulations du paramètre dV/dt – a) modulation du dV/dt à l'ouverture – b) modulation du dV/dt à la fermeture.....	107
Figure 59 : Commutation du composant de puissance de l'état fermé à l'état ouvert.....	108
Figure 60 : Commutation du composant de puissance de l'état ouvert à l'état fermé.....	108
Figure 61 : Illustration des alimentations dédiées aux drivers de commande et de puissance...	109
Figure 62 : Illustration du filtre EMI et du contournement des perturbations en amont des alimentations à découpage [134].....	109
Figure 63 : Analyse fréquentielle du filtre cellule double π en parallèle utilisé pour le filtrage des perturbations électromagnétiques produites par les alimentations à découpage.....	111
Figure 64 : Évolution des pertes moyennes d'un seul MOSFET et de l'ensemble des MOSFETs .	113
Figure 65 : Évolution temporelle des pertes induites par les MOSFETs d'après les éléments fournis par le fabricant.....	113
Figure 66 : Dimensions du radiateur FOXCONN.....	115
Figure 67 : Carte de l'évolution de la température à travers le radiateur FOXCONN suivant ses dimensions.....	116
Figure 68 : Configuration d'une analyse de paramètre S avec les ports discrets du solveur CST MicroWave.....	119
Figure 69 : Configuration des ports discrets de la sonde planaire.....	120
Figure 70 : Configuration des ports discrets de la sonde traversante.....	120
Figure 71 : Configuration des ports discrets de la sonde traversante – vue traversante.....	121
Figure 72 : Impédances des sondes planaire et traversante.....	121
Figure 73 : Facteur d'antenne et du couplage magnétique des sondes planaire et traversante .	122

Figure 74 : Schéma électrique des modules de puissance	124
Figure 75 : Vue de dessus du module de puissance	127
Figure 76 : Vue de dessous du module de puissance	127
Figure 77 : Technique dû via Shielding	127
Figure 78 : Capot d'isolation pour l'implantation du via Shielding	128
Figure 79 : Visualisation due via Shielding sur les cartes de puissance	129
Figure 80 : Sens de circulation des courants traversants le plan de puissance Vbus +	131
Figure 81 : Placement des sondes de champs H proche des plans de puissance / Placement des sondes à champs H à travers le drain et la source des MOSFETs haut et bas respectivement	131
Figure 82 : Exemple d'une configuration d'une mesure expérimentale de modélisation via un VNA	133
Figure 83 : Configuration des connecteurs SMA pour les sondes de champ électromagnétique	133
Figure 84 : Plan d'étude de la disposition des connecteurs SMA pour la modélisation du PCB ..	134
Figure 85 : Séparation des différents domaines électriques pour la modélisation des modules de puissance	135
Figure 86 : Modélisation du module de puissance sur Q3D – Emplacement des connecteurs ...	135
Figure 87 : Placement des sources et des sinks sur le solveur Q3D en fonction des plans de puissance et des deux types de sondes	136
Figure 88 : Évolution du modèle inductif des plans de puissance +/-VBUS et du point milieu ...	136
Figure 89 : Évolution des inductances des lignes des sondes de champ proche	137
Figure 90 : Différence de longueur sur les longueurs de piste les sondes de champs proches ...	137
Figure 91 : Évolution des capacités entre les plans de puissance et les sondes de champs proches	137
Figure 92 : Illustration d'un port discret	139
Figure 93 : Mise en place des ports discrets sur nos modules de puissance avec l'outil MICROWAVE	139

Figure 94 : Comparaison des résultats de paramètres S obtenus avec les solveurs Q3D et MICROWAVE	140
Figure 95 : Impédances d'entrée, couplage magnétique et facteurs d'antennes des sondes positionnées du côté VBUS +	141
Figure 96 : Impédances d'entrée, couplage magnétique et facteurs d'antennes des sondes positionnées du côté VBUS-	141
Figure 97 : Positionnement des ports SMA sur le module de puissance – vue de face	142
Figure 98 : Positionnement des ports SMA sur le module de puissance – vue de dessous	143
Figure 99 : Mesure des paramètres S est des impédances Z de chaque plan de puissance ..	143
Figure 100 : Comparaison des mesures et des simulations de paramètres S est des impédances Z des sondes électromagnétiques du côté V_{BUS} +	144
Figure 101 : Comparaison des mesures et des simulations de paramètres S est des impédances Z des sondes électromagnétiques du côté V_{BUS} –	145
Figure 102 : Illustration du module de puissance assemblé	146
Figure 103 : 2 façons d'enroulement des ferrites [163]	146
Figure 104 : banc de puissance assemblé et câblé	147
Figure 105 : Visualisation des dV/dt du bras N°1 et N°2 - acquisition sur front montant	148
Figure 106 : Visualisation des dV/dt du bras N°1 et N°2 – acquisition sur front descendant ..	148
Figure 107 : Visualisation des puissances transitant à travers le stator EMOD à 20% du coefficient de modulation	149
Figure 108 : Visualisation des tensions de commande VG1 et VG2 et des tensions de sonde traversants TR1M et TR1P sur une durée de 100µs	151
Figure 109 : Visualisation des tensions de commande VG1 et VG2 et des tensions de sonde traversantes TR1M et TR1P lors d'un front descendant de VG1	151
Figure 110 : Visualisation des tensions de commande VG1 et VG2 et des tensions de sonde traversantes TR1M et TR1P lors d'un front montant de VG1	152
Figure 111 : Schéma de simulation du contrôle dV/dt	153
Figure 112 : Illustration des paramètres pour la variation du temps et de la tension intermédiaire	154
Figure 113 : Résultats des simulations par contrôle AGVC avec composant C2M0080120D ..	154
Figure 114 : Schéma fonctionnel pour la variation de V_{int} et T_{int}	155
Figure 115 : Agencement de la carte d'acquisition avec les éléments complémentaires	166
Figure 116 : Schéma électrique de la chaîne d'acquisition	167

Figure 117 : Synoptique détaillé des lignes de transmission entre les convertisseurs et les connecteurs fibres optiques	170
Figure 118 : Synoptique du composant ADCLK925, tampon d'horloge des deux voies des convertisseurs ADC	171
Figure 119 : Synoptique de la carte acquisition - agencement des connecteurs fibres optiques	172
Figure 120 : Synoptique des terminaisons de chaque composant possédant des lignes haute vitesse	173
Figure 121 : Adaptation d'une ligne LVPECL 3.3V vers une terminaison LVPECL 3.3V	173
Figure 122 : Adaptation d'une ligne CML vers une terminaison HCSL	174
Figure 123 : Adaptation d'une ligne HCSL vers une terminaison LVDS	174
Figure 124 : Synoptique des alimentations de la carte d'alimentation	176
Figure 125 : 1re couche de la carte d'acquisition ; couche dédiée aux lignes de transmission ...	179
Figure 126 : 2e couche de la carte d'acquisition ; couche dédiée aux plans de masse analogiques et numériques	180
Figure 127 : 3e couche de la carte d'acquisition ; couche dédiée aux plans des alimentations analogiques et numériques	181
Figure 128 : zoom sur l'agencement d'une voie d'acquisition	182
Figure 129 : Vue de l'assemblage du premier prototype de la carte d'acquisition	183
Figure 130 : Diagramme fonctionnel du μC dédié au pilotage de l'électronique de commande.	186
Figure 131 : Diagramme fonctionnel de chaque état du système de commande	187
Figure 132 : Visualisation des trois stratégies de modulation permises par le μC	188
Figure 133 : Procédure de calcul de la MLI dans le μC	189
Figure 134 : Observation des effets de la limite de la fréquence de découpage sur le signal de sortie	190
Figure 135 : Vue de l'interface de commande Raspberry Pi2 pour le contrôle du μC	193
Figure 136 : Carte d'interface pour le pilotage du convertisseur de puissance	194
Figure 137 : Platine de développement explorer16 accueillant un dsPic33FJ64GS610 et une carte d'interface isolée pour le pilotage des interrupteurs de puissance	194
Figure 138 : Synoptique fonctionnel de la première version du système de commande avec la plateforme DE0-Nano-SoC	197

Figure 139 : Synopsis de la gestion de l'électronique de puissance à partir d'une platine FPGA-SoC	198
Figure 140 : Principe de fonctionnement de notre MLI échantillonnée	199
Figure 141 : Temps de mise en arrêt du système lors de la détection d'un défaut	200
Figure 142 : Visualisation de la fréquence de découpage à 250 kHz	200
Figure 143 : Visualisation d'une période du signal modulant à 2 kHz	201
Figure 144 : Visualisation de la fréquence de découpage à 5 MHz	201
Figure 145 : Première version de l'Interface personne-machine pour une connexion par le réseau Ethernet	203
Figure 146 : Connecteurs présents sur la plateforme de développement DE0-Nano-SoC	204
Figure 147 : Plateforme de développement et carte d'interface assemblés	204
Figure 148 : Platine de développement SoC-Kit	206
Figure 149 : Synoptique fonctionnel de la deuxième version du système de commande avec la plateforme SoC-Kit	207
Figure 150 : Organisation du traitement des données reçues après le composant JESD204B	210
Figure 151 : a) synoptique de la carte de développement DEV-ADC34J22 ; b) carte d'acquisition de développement DEV-ADC34J22	211
Figure 152 : phénomène d'empiétement de la mémoire FIFO	211
Figure 153 : Interface visuelle développée sur le Framework Django	213
Figure 154 : Différence entre le fonctionnement des deux interfaces personne-machine ...	214
Figure 155 : Schéma électrique pour la création de l'horloge d'échantillonnage	216
Figure 156 : Développement de la carte d'interface – visualisation de quelques lignes de transmission	217
Figure 157 : Assemblage de la nouvelle carte d'interface à la platine de développement SoC-Kit	217
Figure 158 : Assemblage de la carte interface, carte fille et platine de développement SoC-Kit	218
Figure 159 : Platine de développement Han Pilot	220
Figure 160 : Synoptique fonctionnel du système de commande sous la platine de développement Han Pilot	221
Figure 161 : Synoptique du fonctionnement de la gestion de l'acquisition sur la platine de développement Han Pilot	222

Figure 162 : Schéma électrique des translateurs de niveaux NVT2006	224
Figure 163 : Routage de la carte interface dédiée à la plateforme Han Pilot	225
Figure 164 : Visualisation globale de la carte interface Han Pilot	226
Figure 165 : Visualisation de la face avant de la carte interface Han Pilot et des cartes filles MLI et SPI	226
Figure 166 : Visualisation de la face de dessous de la carte interface Han Pilot	227
Figure 167 : Signal SYSREF mesuré à la sortie des fibres optiques de la chaîne d'acquisition	228
Figure 168 : Signal SYSREF mesuré à l'entrée des fibres optiques de la carte interface	228
Figure 169 : Signal F_ADC mesuré à la sortie des fibres optiques de la chaîne d'acquisition	229
Figure 170 : Procédure de mesure des paramètres S avec un analyseur de réseaux	237
Figure 171 : Structure du câblage du premier stator	237
Figure 172 : Résultats des paramètres S (a) et des impédances Z (b) des 3 phases-neutre du premier stator	239
Figure 173 : schématique du modèle électrique pour la caractérisation des paramètres S du stator	240
Figure 174 : Résultats des extractions et des comparaisons des paramètres S et des impédances Z des 3 phases du premier stator	241
Figure 175 : Schéma électrique de l'expérimentation « simulation d'un vieillissement moteur »	243
Figure 176 : Traitement par transformée de Fourier et présentation des spectres d'amplitudes des signaux acquis par les sondes planaires EL (a) et traversantes TR (b)	244
Figure 177 : Corrélation entre la transformée de Fourier et son enveloppe	245
Figure 178 : Placement du condensateur de défaut dans le branchement du moteur entre le neutre et phase 1	246
Figure 179 : Réponses fréquentielles des sondes électromagnétiques suite à l'ajout des condensateurs entre une phase et le neutre	247
Figure 180 : Relevé détaillé du spectre d'amplitude aux bornes de la sonde EL_M	247
Figure 181 : Croisement des pistes entre la sonde de champ proche TR_p et la grille du MOSFET SiC	248
Figure 182 : Évolution du coefficient de déviation en fonction des sondes EL_P, TR_P, EL_M et TR_M	

Figure 183 : Évolution du coefficient RMSE en % des sondes planaires et traversantes en fonction des capacités	250
Figure 184 : Comparaison des sondes E_{LM} et T_{RM} aux courants I_1 et I_{COM}	251
Figure 185 : Placement du condensateur défaut entre deux phases du moteur	251
Figure 186 : Réponses fréquentielles des sondes électromagnétiques suite à l'ajout des condensateurs défauts entre deux phases	252
Figure 187 : Evolution de la déviation fréquentielle de la sonde E_{LM} entre 1 et 100MHz	253
Figure 188 : Évolution du coefficient RMSE en fonction du niveau de chaque sonde	253
Figure 189 : Évolution du coefficient RMSE en pourcentage	254
Figure 190 : Comparaison des valeurs entre les sondes électromagnétiques E_{LM} et T_{RM} et les sondes de courants I_1 et I_{COM}	255
Figure 191 : Superposition de 40 FFT par trames de 10 périodes des signaux de références des sondes électromagnétiques	256
Figure 192 : Superposition de 40 FFT par trames de 10 périodes des sondes électromagnétiques avec un condensateur de 100pF	257
Figure 193 : Superposition de 40 FFT par trames de 10 périodes des sondes électromagnétiques avec un condensateur de 470pF	257
Figure 194 : Superposition de 40 FFT par trames de 10 périodes des sondes électromagnétiques avec un condensateur de 1nF	258
Figure 195 : schéma post-expérimentation sur le logiciel de traitement ADS	259
Figure 196 : Résultats des paramètres S et impédances Z de chaque phase en fonction de la variation du condensateur de défaut placé entre la phase 1 et le neutre	259
Figure 197 : Résultats des paramètres S et impédances Z de chaque phase en fonction de la variation du condensateur de défaut placé entre la phase 1 et 2	260
Figure 198 : Résultats des paramètres S et impédances Z entre chaque phase en fonction de la variation du condensateur de défaut placé entre la phase 1 et 2	261
Figure 199 : Plan d'expérimentation du vieillissement accéléré	263
Figure 200 : Placement des ventilateurs pour la stabilisation de la température du stator ..	263
Figure 201 : Évolution du spectre d'amplitude aux bornes des 4 sondes électromagnétiques par jour suivant la durée de 96h du premier module de puissance	265
Figure 202 : Évolution des spectres d'amplitude (FFT) des courants et des tensions mosfets par jour suivant la durée de 96h du premier module	266

Figure 203 : Évolution des spectres d’amplitudes (FFT) des tensions des sondes électromagnétiques par jour suivant la durée de 96h du second module de puissance	266
Figure 204 : Évolution des spectres d’amplitude (FFT) des courants et des tensions mosfets par jour suivant la durée de 96h du second module	267
Figure 205 : Évolution des spectres d’amplitudes (FFT) des tensions des sondes électromagnétiques par jour suivant la durée de 96h du second module de puissance	268
Figure 206 : Évolution des spectres d’amplitude (FFT) des courants et des tensions mosfets par jour suivant la durée de 96h du second module	268
Figure 207 : Évolution par jour des coefficients RMSE lors du vieillissement accéléré du stator	269
Figure 208 : Résultats post expérimentation des paramètres S et des impédances Z de chaque mesure phase-neutre du stator	270
Figure 209 : Comparaison des variations d’impédances des 3 phases pré et post expérimentation face à une phase endommagée.	272
Figure 210 : Evolution des paramètres S est des impédances Z des trois phases du second stator	274
Figure 211 : Références des spectres d'amplitudes des modules de puissance 1 (a), 2 (b) et 3 (c) des 4 sondes électromagnétiques	276
Figure 212 : Réponses fréquentielles des sondes électromagnétiques du premier module de puissance suite à l’ajout des condensateurs défauts entre deux phases	277
Figure 213 : Réponses fréquentielles des courants I_{COM}, I_{BUS1} et des tensions V_{DS1} et V_{DS2} du premier module de puissance suite à l’ajout des condensateurs défauts entre deux phases	278
Figure 214 : Réponses fréquentielles des sondes électromagnétiques du second module de puissance suite à l’ajout des condensateurs défauts entre deux phases	279
Figure 215 : Réponses fréquentielles des courants I_{COM}, I_{BUS2} et des tensions V_{DS3} et V_{DS4} du second module de puissance suite à l’ajout des condensateurs défauts entre deux phases	280
Figure 216 : Réponses fréquentielles des sondes électromagnétiques du troisième module de puissance suite à l’ajout des condensateurs défauts entre deux phases	281
Figure 217 : Réponses fréquentielles des courants I_{COM}, I_{BUS3} et des tensions V_{DS5} et V_{DS6} du second module de puissance suite à l’ajout des condensateurs défauts entre deux phases	282
Figure 218 : Évolution de l’indicateur ISI en fonction des capacités de défaut et des sondes électromagnétiques	283

Figure 219 : Evolution des paramètres S et des impédances Z des trois phases du second stator avec l'ajout d'un défaut entre chaque phase	285
Figure 220 : IGBT - $I_c = f(V_{ce})$	296
Figure 221 : MOSFET SiC - $I_d = f(V_{ds})$	296
Figure 222 : Pertes en commutation du C2M0080120D	297
Figure 223 : Caractéristique inverse Mosfet-SiC	298
Figure 224 : Comportement du Mosfet-SiC entre l'utilisation d'une diode interne (haut) et d'une diode externe (bas)	299
Figure 225 : Etude de la conduction de la diode SBD du composant C2M0080120D	299
Figure 226 : Caractéristique de l'énergie consommée à l'ouverture et à la fermeture du MOSFET SiC	300
Figure 227 : Schéma de commande du module de puissance	301

Table des tableaux

Tableau 1 : Comparaison des caractéristiques électriques entre Si IGBT / SiC MOSFET	52
Tableau 2 : Variables présentes dans le bus de données entre l'IHM et la plateforme de gestion	67
Tableau 3 : Comparaison des interfaces LVDS et JESD204 [86]	73
Tableau 4 : Caractéristiques du dsPic33FJ64GS610	80
Tableau 5 : Caractéristiques des platines de la partie FPGA	81
Tableau 6 : Caractéristiques des platines de la partie HPS	84
Tableau 7 : Caractéristiques des stators fournis par NOVATEM SAS	93
Tableau 8 : Établissement des minima et maxima des performances du système de conversion d'énergie	96
Tableau 9 : Mesure des paramètres RLC du moteur SRM à 800Hz	98
Tableau 10 : Point de fonctionnement du système pour le régime nominal	99
Tableau 11 : Performances du MOSFET SiC C2M0080120D	101
Tableau 12 : Performances des drivers de commande 1ED020I12 et 2ED020I12	103
Tableau 13 : Tableau récapitulatif des performances de commutation et de délais des drivers de commande IXYS	104
Tableau 14 : point de fonctionnement extrême du banc de vieillissement	111
Tableau 15 : Comparaison des différentes pertes calculées issues de plusieurs méthodes d'estimation des pertes	113
Tableau 16 : Comparaison des pertes totales issues des méthodes et des simulations	113
Tableau 17 : synthèse des avantages et inconvénients des options de refroidissement envisagées	114
Tableau 18 : Comparaison des avantages et inconvénients des différentes structures proposées	124
Tableau 19 : Agencement de la carte de puissance	125
Tableau 20 : couplage magnétique entre les sondes et les plans de puissance respectifs à 1MHz	137
Tableau 21 : Configuration du solveur LTSpice	152
Tableau 22 : Comparatif des performances des convertisseurs A/N. dans la gamme des convertisseurs haute fréquence	164

Tableau 23 : Comparatif des caractéristiques des amplificateurs opérationnels différentiels.....	
166	
Tableau 24 : Paramètres pour la communication entre une plateforme de contrôle et le convertisseur AD9250 pour l'utilisation des deux voies d'acquisition.....	167
Tableau 25 : Bilan des puissances concernant la partie commune.....	174
Tableau 26 : Bilan des puissances concernant la partie analogique.....	174
Tableau 27 : Bilan des puissances concernant la partie numérique.....	174
Tableau 28 : Agencement des couches de la carte acquisition.....	177
Tableau 29 : Fréquence de découpage maximale obtenue par les différentes stratégies de modulation de la largeur d'impulsion développées pour le μC.....	188
Tableau 30 : Comparaison des débits de données des protocoles de communication existants dans le dsPic33FJ64GS610.....	191
Tableau 31 : Ressources utilisées du FPGA par rapport aux ressources disponibles de la platine DE0 Nano SoC.....	204
Tableau 32 : Paramètres pour l'IP JESD204B pour l'utilisation du convertisseur aux performances maximales.....	207
Tableau 33 : Paramètres de l'IP JESD204B pour la communication entre le SoC-Kit et le convertisseur suivant une ou deux voies d'acquisition.....	208
Tableau 34 : Agencement des couches pour la carte d'interface adaptée à la platine SoC-Kit ...	
216	
Tableau 35 : Pourcentage des ressources utilisées de la platine SoC-Kit en fonction des ressources disponibles.....	217
Tableau 36 : Paramètre de l'IP JESD204B pour la platine Han Pilot.....	221
Tableau 37 : Ressources utilisées du FPGA par rapport aux ressources disponibles de la platine Han Pilot.....	228
Tableau 38 : Comparaison des ressources utilisées entre chaque platine de développement ...	
229	
Tableau 39 : Liste des mesures à effectuer à chaque relevé.....	242
Tableau 40 : Point de fonctionnement du banc de vieillissement établi en fonction des caractéristiques du stator.....	242
Tableau 41 : Point de fonctionnement de l'étude de vieillissement.....	261
Tableau 42 : Point de fonctionnement de la caractérisation temporelle en régime normal.....	273
Tableau 43 : Liste des variables provenant du HPS vers le FPGA.....	302

Introduction générale

Depuis les années 1950 avec notamment l'invention de la télévision à base de transistors bipolaires jusqu'à aujourd'hui avec l'encapsulation de ces mêmes transistors dans des puces microélectroniques ayant des dimensions nanométriques, l'évolution technologique est au cœur de nombreux objets du quotidien dont les téléphones et les ordinateurs. En effet, ces outils ont vu leurs performances évoluer d'année en année jusqu'à atteindre, pour beaucoup d'entre eux, des caractéristiques extrêmement intéressantes.

Comme l'indique la figure 1, depuis les années 1990, la téléphonie a évolué sur différents aspects tels que le réseau de communication, les dimensions des systèmes, leurs fonctionnalités et leur design. Elle a été marquée à partir de 2010 par l'apparition du tactile et du réseau 3G, repoussant ainsi plus loin les limites des vitesses de communication et d'accès à internet depuis un téléphone. En 2020, les téléphones sont principalement devenus des smartphones et permettent d'avoir un mini-ordinateur dans notre poche au quotidien en proposant parfois plus de 1000 applications. De plus, le réseau 4G est en train d'être supplanté par le réseau 5G actuellement en cours de déploiement.

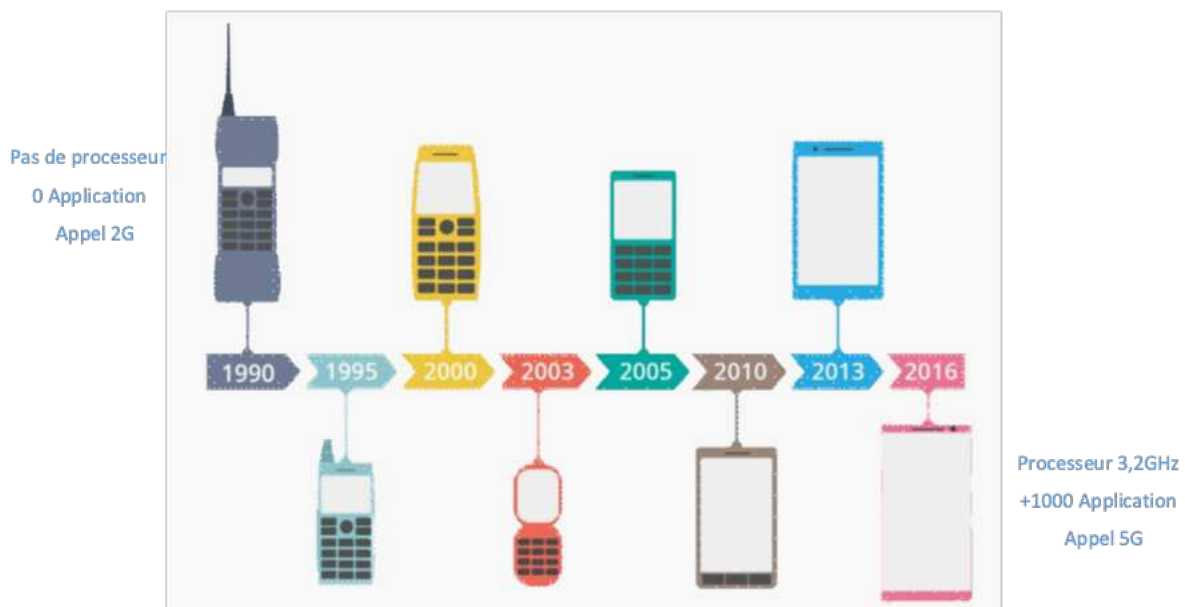


Figure 1 : Évolution du monde de la téléphonie de 1990 à nos jours

Bien que nous profitons largement des avantages liés à cette évolution, celle-ci entraîne cependant des inconvénients liés notamment à des problématiques électromagnétiques. Cet aspect est en particulier présent dans les diverses polémiques liées aux actualités de la téléphonie mobile. Deux exemples populaires ont été ou sont actuellement sujets à différents débats sur leur dangerosité potentielle : nous avons la création de la norme du débit d'absorption spécifique (DAS) qui est, maintenant, obligatoire pour la commercialisation d'un téléphone de nouvelle génération. Celle-ci a pour but de limiter la puissance électromagnétique qu'il dégage [1] afin de minimiser l'exposition du corps humain aux ondes électromagnétiques. Un autre débat est aussi très présent actuellement : il concerne l'installation du réseau 5G qui, d'un point de vue technologique est une réelle révolution grâce à une évolution importante des vitesses de transmission des données aux alentours de 1 Gb/s [2]. Cependant, d'un point de vue environnemental, cette évolution pourrait être une source de problème, non seulement en matière de consommation énergétique, mais aussi vis-à-vis des données météorologiques puisque celles-ci communiqueraient à travers les mêmes bandes de fréquences [3]. Cela provoquerait potentiellement un dysfonctionnement des deux réseaux concernés. En effet, un système électrique aussi performant soit-il, peut potentiellement mettre en

cause la fonctionnalité et la sécurité d'autres systèmes associés et entraîner un impact non négligeable sur l'intégrité des personnes et des utilisateurs de ces systèmes.

Dans un autre domaine, celui des transports terrestres, aériens ou maritimes, les nouvelles technologies s'orientent progressivement vers une intégration poussée d'une nouvelle génération de composants dits à grand gap dans leurs moyens de transport respectifs. Cette orientation a pour but final de favoriser la réduction de l'impact de l'homme sur le réchauffement climatique via la réduction des besoins énergétiques et l'utilisation prioritaire des énergies renouvelables aux dépens de l'utilisation des énergies fossiles [4]. Aussi, les voitures, les trains, les avions, les bateaux et même les vélos suivent actuellement ce mouvement.

Par exemple, le monde de l'automobile a observé un accroissement exponentiel du nombre de véhicules électriques depuis 2010 (Figure 2). Cet engouement est notamment lié aux nouvelles performances des composants de puissance et à celles des batteries qui présentent des autonomies de plus en plus intéressantes. S'ajoute à cette évolution la volonté d'apporter de nouvelles fonctionnalités importantes telles que celles liées à la voiture autonome.

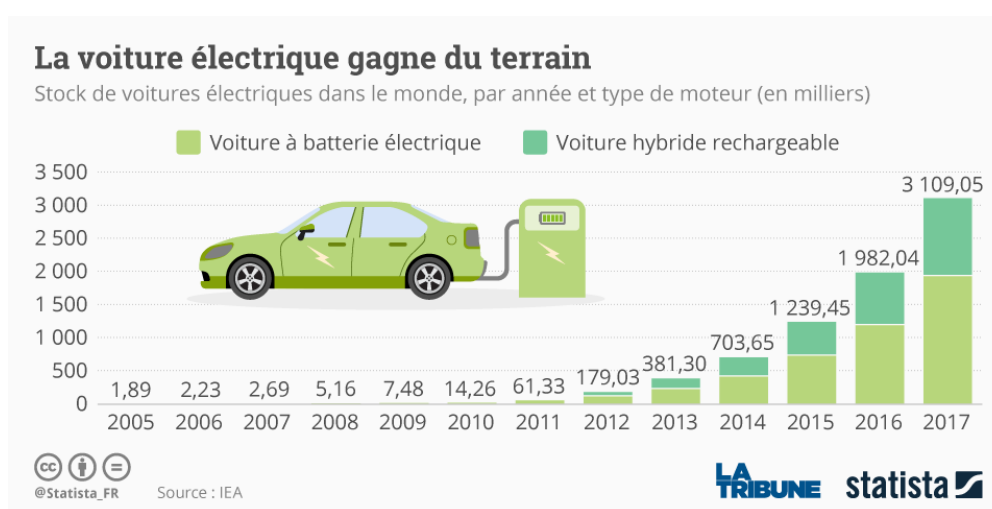


Figure 2 : Évolution du nombre de voiture électrique et hybride rechargeable [5]

Depuis 1960, le Silicium, matériau semi-conducteur de la colonne IV de la classification périodique des éléments, reste majoritaire dans les processus de fabrication des composants électroniques. Il a été combiné depuis quelques années à du Carbone, également semi-conducteur de la colonne IV dans le but d'améliorer les performances intrinsèques des composants. Ainsi est née la solution basée sur le Carbure de Silicium (SiC), qui a permis à ces nouveaux composants du domaine de l'électronique de puissance d'atteindre des performances jusque-là difficiles à obtenir avec le Silicium classique.

Cette amélioration a été assez significative pour que, par exemple, les constructeurs automobiles spécialisés dans les voitures électriques du championnat Formula E conçoivent leurs convertisseurs de puissance sur la base de cette nouvelle technologie, ce qui a permis d'améliorer les rendements et les performances [6]. Nous constatons aussi l'évolution de cette intégration sur la **Erreur ! Source du renvoi introuvable.** qui met en perspective l'évolution du recours à ces composants SiC au sein des voitures électriques et hybrides entre 2018 et 2020 [7].

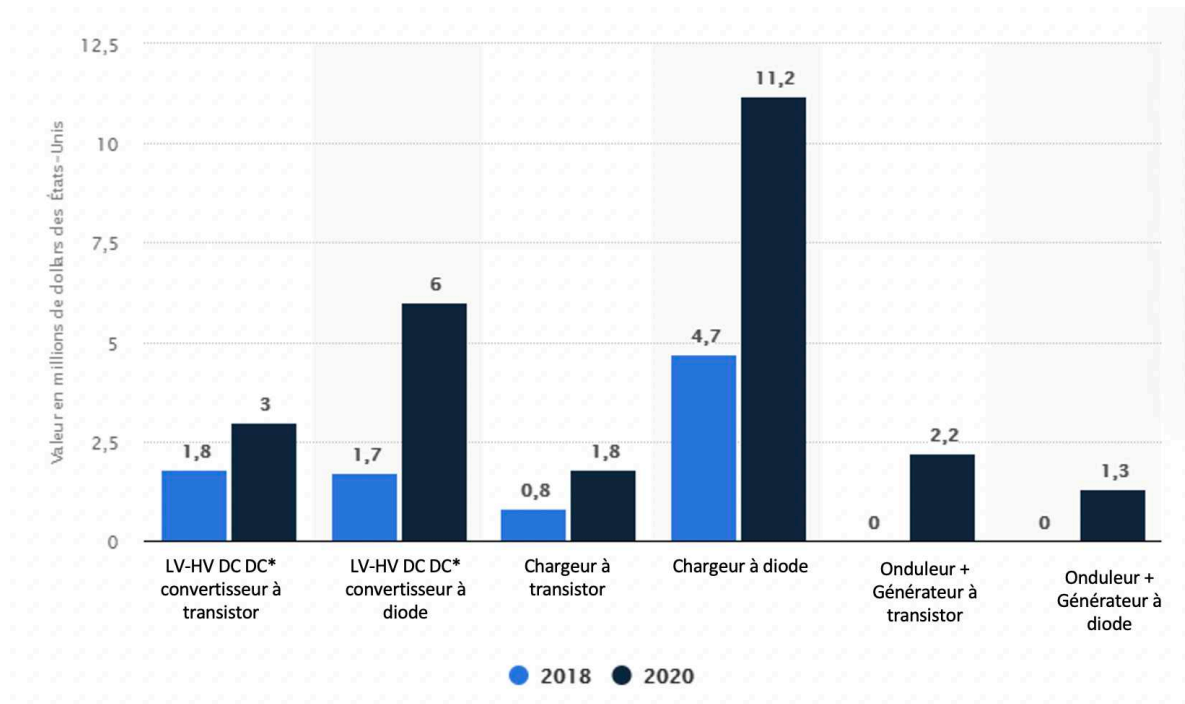


Figure 3 : Implémentation de Carbure de silicium (SiC) dans les voitures électriques et hybrides dans le monde en 2018 et 2020 (en millions de dollars US) [7]

La Figure 4 ci-dessous illustre l'évolution progressive des caractéristiques d'un module de puissance lorsque les composants en Silicium ont été remplacés par étapes par des SiC. Le poids ainsi que le volume ont diminué de -6 kg et de -43% respectivement tout en augmentant la puissance de 20 kW. Ce changement permet de diminuer la puissance perdue par les modules de puissance aux bornes du moteur tout en les intégrant plus facilement dans les structures.



Figure 4 : Évolution d'un module électrique en SiC [6]

Cette évolution est souvent quantifiée à partir d'un paramètre représentatif nommé : « densité de puissance ». En comparant le volume et la puissance des modules ou des appareils électriques, nous pouvons analyser leurs évolutions. Ainsi, nous avons une idée de l'ampleur des gains apportés sur un produit vis-à-vis de sa compacité et de son encombrement suivant ses caractéristiques électriques à puissance nominale :

$$dP = \frac{\text{Puissance (W)}}{\text{Volume (m}^3\text{)}} \#(1)$$

Cette diminution de l'encombrement est en soit un avantage puisqu'elle permet de réduire la taille des systèmes de conversion d'énergie en améliorant la compacité des composants tout en conservant leurs puissances. Ainsi la densité de puissance que nous venons d'évoquer sera améliorée. Cependant, cette démarche devient problématique lorsque le concepteur est confronté aux limites de certains matériaux diélectriques. En effet, l'utilisation de ces nouveaux modules de puissance plus performants peut entraîner l'apparition de nouvelles contraintes électromagnétiques (CEM), notamment dans les machines tournantes.

Afin de mieux comprendre l'impact potentiel de ce changement d'alimentation sur la fiabilité de ces moteurs, nous allons par la suite, introduire le principe de la conversion d'énergie électrique ainsi que des éléments relatifs à la constitution des moteurs électriques. Les exemples illustrés seront principalement liés à une configuration triphasée permettant de bien comprendre nos travaux.

Le système de conversion illustré en Figure 5 est composé de 3 éléments constitutifs : le redresseur et le filtre de lissage sont nécessaires pour redresser le signal sinusoïdal d'entrée de manière à obtenir du continu aux bornes du troisième élément : l'onduleur. Ce dernier fournit en sortie l'équivalent d'un signal sinusoïdal construit à partir d'un signal continu. Bien qu'ils soient d'une forme pseudo sinusoïdale, la différence entre les signaux d'entrée et les signaux de sortie se trouve dans leurs amplitudes et leurs fréquences qui deviennent ainsi facilement variables et ajustables. Tandis que le signal triphasé d'entrée est généré avec une amplitude de 350 V et une fréquence fixe de 50 Hz conformément aux critères de notre réseau électrique, le second en sortie est modulé suivant les spécificités et les besoins du moteur.

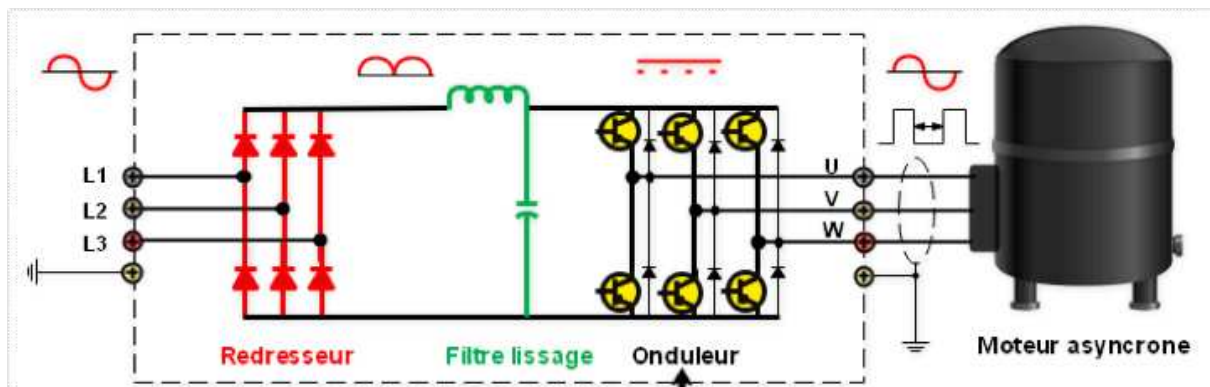


Figure 5 : Chaîne énergétique typique pour l'alimentation d'un moteur asynchrone

Les signaux de sorties sont modulés via le pilotage des composants de puissance. Ils fonctionnent comme des interrupteurs, soit en position ouverte et le courant ne les traverse pas, soit en position fermée et le courant passe. En fonction d'une logique de commande pré établie, les composants génèrent, grâce à des impulsions de largeurs variables, un signal pseudo sinusoïdal ajustable (Figure 6).

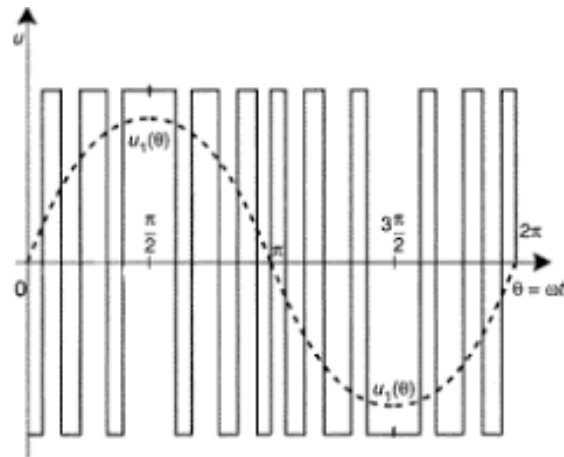


Figure 6 : Création d'un signal pseudo sinusoïdal à partir d'un pilotage

Le signal que nous retrouvons aux bornes des bobinages est donc ce signal de forme impulsionnelle si, en amont du moteur aucun filtre n'est présent. Après avoir introduit les systèmes de conversion ainsi que leurs différents fonctionnements, nous nous intéressons aux machines tournantes :

Ces dernières sont composées de deux éléments principaux : le stator et le rotor (Figure 7). L'imbrication de ces deux éléments permet au rotor de tourner grâce à l'effet d'un champ électromagnétique engendré par le stator. Ce dernier sera créé suivant les caractéristiques des signaux de sortie de l'onduleur. Par conséquent l'élément principal se trouvant à la suite des modules de puissance est qui jouera le rôle de charge sera dans notre cas le stator.

Suivant sa configuration, un moteur peut être composé d'une ou plusieurs phases. Celui-ci est formé d'un bobinage pour chaque phase qui est répartie dans des encoches suivant la configuration souhaitée par le fabricant. Le rotor peut être placé soit à l'intérieur, soit à l'extérieur par rapport au stator. Chaque bobinage est alimenté sur une des phases par des signaux impulsionnels pseudo-sinusoïdaux fournis par le système de conversion.

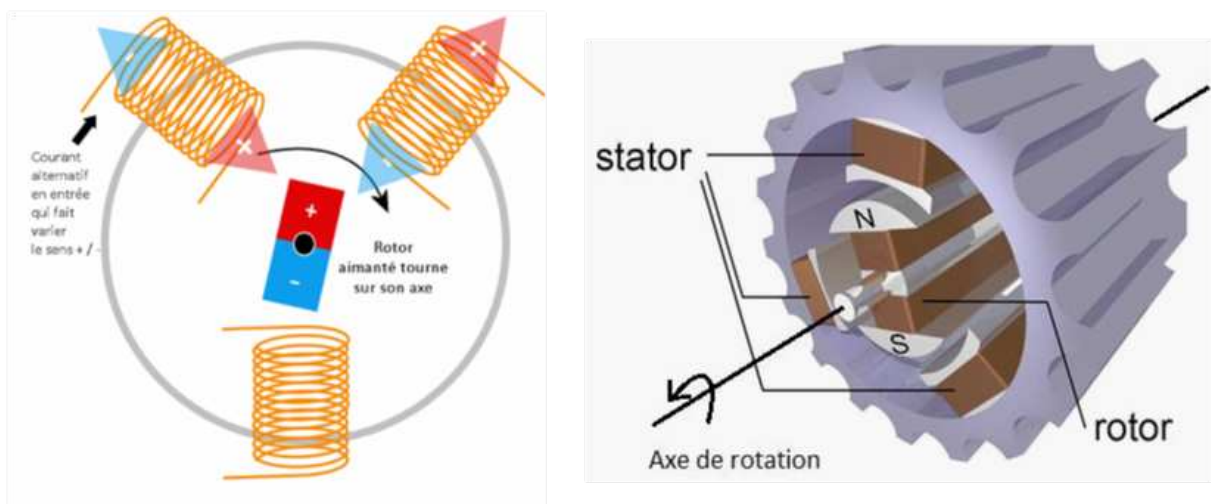


Figure 7 : Imbrication du stator et du rotor

Le bobinage d'un stator est constitué de l'enroulement de plusieurs fils mis côte à côte et permettant de créer le champ électromagnétique (Figure 8). Afin de ne pas créer de court-circuit, les conducteurs des fils sont recouverts d'un matériau isolant prévu à cet effet.

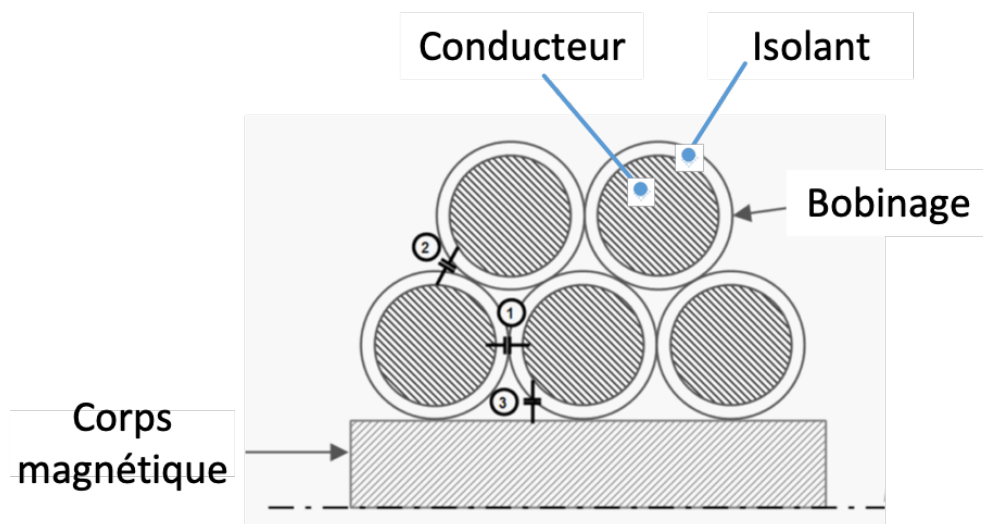


Figure 8 : Agencement d'un bobinage

Les matériaux isolants de ces bobinages doivent pouvoir atteindre des durées de vie bien établies en fonction d'un besoin défini ainsi que d'un point de fonctionnement de référence fixé par le fabricant. Les résultats obtenus grâce à des campagnes d'essais fournissent des retours d'expérience qui permettent idéalement d'anticiper la dégradation d'un câble et donc, par suite, la prédiction de sa durée de vie potentielle.

Cependant, ce point de fonctionnement est généralement établi dans des conditions de fonctionnement « douces » où l'alimentation génère peu de contraintes. En tenant compte de cette remarque, si les composants à base de silicium (Si) sont remplacés par des composants au Carbure de silicium (SiC), les contraintes induites vis-à-vis de la tenue diélectrique d'un isolant des bobinages vont être modifiées, impactant ainsi significativement à la baisse, la durée de vie de l'isolant.

L'origine de cette modification de point de fonctionnement est notamment liée à un paramètre qui caractérise les performances du composant de puissance, le $\frac{dV}{dt}$. Il nous indique le rapport entre le temps que met le composant de puissance à atteindre soit la tension de blocage depuis 0 V soit l'inverse. Plus la valeur de ce paramètre est grande, plus son impact ou agression sur le matériau diélectrique est important. En remplaçant les composants de puissance actuels par ceux à grand gap, nous augmentons donc ce paramètre.

Ainsi, la conséquence de ces changements consistera principalement à faire évoluer au fil du temps les capacités différentielles que nous pouvons retrouver au sein des bobinages suivant les numéros (1) (2) et (3) de la Figure 8. Les deux premières capacités sont dites « inter spire ». La première est induite sur la même rangée de spires, la seconde entre 2 rangées superposées. La troisième est une capacité que nous retrouvons entre l'âme conductrice du fil et le corps magnétique du moteur (souvent utilisé comme référence de potentiel).

Pour toutes ces raisons, le changement de type de composants dans le domaine de l'électronique de puissance peut devenir un inconvénient si une étude des conséquences de leurs intégrations n'est pas effectuée en amont.

L'étude que nous avons menée pendant 3 ans tente de répondre à cette problématique d'intégration des nouveaux composants SiC dans le milieu des machines tournantes. Notre but principal a été de concevoir un banc de puissance complet, utilisant pour la partie convertisseur des semi-conducteurs SiC, afin de l'utiliser pour des processus de vieillissement accélérés. Au cours de ce manuscrit, nous allons vous présenter les travaux que nous avons entrepris sur les différents aspects de l'électronique de puissance en lien avec ce sujet : les composants de puissance à grand gap, l'architecture des

convertisseurs d'énergie électrique, l'informatique industrielle dédiée au pilotage puis enfin l'acquisition et la gestion de la supervision via une interface utilisateur.

Notre but étant de rendre le fonctionnement de ce banc autonome et modulaire selon les demandes de l'utilisateur, les développements associés aux différents domaines que nous venons d'exposer vont nous permettre d'automatiser les fonctionnalités afin que les résultats provenant des acquisitions puissent nous renseigner vis-à-vis des facteurs de vieillissement de l'isolant d'un bobinage.

L'autonomie du banc sera principalement liée à son mode de fonctionnement et à la détection périodique des phénomènes susceptibles d'engendrer des décharges partielles qui seront, au fil du temps, de plus en plus présents dans le stator. La modularité du banc est liée à plusieurs aspects : le premier concerne la possibilité de modifier la structure du banc sans avoir à réélaborer les cartes de puissance. Le second aspect est lié à la facilité de changement des paramètres de fonctionnement du système en fonction des besoins du moment.

Dans un premier temps, nous introduirons les caractéristiques des isolants utilisés dans les stators ainsi que les études de vieillissement qui ont déjà été réalisées jusqu'ici afin de mieux comprendre les processus de défaut des isolants mis en jeu. Dans un second temps, nous listerons les fonctionnalités que devra intégrer le banc de puissance à construire par rapport aux 3 axes que nous avons précédemment exposés.

Une fois la problématique et le sujet introduits, nous présenterons les différents axes de développement que nous avons retenus pour mener à bien la conception de notre banc de puissance. Notre principal souhait est de développer un banc de puissance intégrant de manière optimale les 3 compétences suivantes : l'électronique de puissance, le système de commande et l'acquisition.

La première compétence comprend tout le processus de développement d'une carte de conversion versatile à base de composants de puissance à grand gap. Notre priorité est de développer un module de puissance qui puisse être transposé dans plusieurs architectures de convertisseurs. Après l'étude de l'état de l'art, nous verrons que la structure qui nous permettra de répondre à ce souhait est de concevoir un module de puissance ne comprend que 2 composants de puissance : un « bras ».

Cette première réflexion nous a permis de commencer le dimensionnement par le choix du composant de puissance, puis des drivers de puissance et enfin des alimentations, etc. Une fois l'étape de dimensionnement définie, nous approfondirons notre dimensionnement en menant une étude de caractérisation/modélisation sur une gamme de fréquence donnée, en analysant le comportement passif du PCB. Pour confronter les résultats obtenus à des outils de simulation, nous aurons recours à deux types de solveur, CST et Q3D, dont nous extrairons les paramètres S et les impédances Z des pistes parcourant les modules de puissance. Une fois les mesures finalisées, nous effectuerons un test en puissance nous permettant de valider le bon fonctionnement du système de conversion d'énergie.

Durant cette étape, nous intégrerons dans les modules de puissance, des sondes de champ proche qui seront utilisées dans l'optique de pouvoir détecter le vieillissement d'un isolant de bobinage. Elles opéreront en hautes fréquences (1 MHz à 1 GHz) puisque des études complémentaires nous ont permis d'identifier les gammes de fréquences concernées par l'apparition des phénomènes de vieillissement. Ces dernières seront aussi caractérisées et modélisées afin de bien connaître les couplages magnétiques entre les sondes et les pistes de puissance.

Ces sondes seront idéalement accompagnées par une chaîne d'acquisition spécifiquement dimensionnée pour nos propres besoins. Pour pouvoir acquérir et analyser les signaux obtenus par ces sondes tout en restant isolés, nous avons mené une réflexion sur le développement d'une chaîne d'acquisition à haute fréquence d'échantillonnage (250MSPS) isolée par fibres optiques. Nous verrons que l'utilisation d'un nouveau protocole de communication, le JESD204B, nous permettant de réduire le nombre de voies lors de la transmission des données acquises a été explorée.

Puis, une fois que nous aurons présenté les modules de puissance et les chaînes d'acquisition, nous présenterons le développement de la plateforme numérique qui leur a été associée. Cette dernière compétence a été construite en comparant 2 types de technologie : le μ C et le FPGA - SoC-. Après avoir fait une étude comparative des fonctionnalités et des performances de chacune de ces 2 solutions, nous exposerons le développement des différentes évolutions de notre système numérique qui gèrera les fonctions de commande des composants à grand gap, de la partie acquisition et d'interface homme-machine. Nous verrons que les performances des nouvelles platines FPGA - SoC- que nous avons retenu permettent d'avoir la possibilité de centraliser toutes ces fonctions dans une seule platine.

Ainsi, les différentes compétences précédemment évoquées seront présentées en 2 chapitres distincts. La particularité principale de ce développement est que ce banc de test a eu pour objectif d'être modulable vis à vis des paramètres tels que la fréquence de modulation, la fréquence de découpage, le coefficient de modulation et le temps mort à la commutation pour que l'utilisateur puisse avoir le choix concernant les caractéristiques de commande. Ce sera donc un banc de vieillissement conçu pour pouvoir être adapté à plusieurs moteurs.

Pour finaliser et valider le concept développé dans le cadre de cette thèse, nous effectuerons 2 expérimentations avec le banc de vieillissement que nous avons élaboré et développé : nous mettrons sous test 2 stators différents mis à disposition par notre partenaire industriel, Novatem SAS [8].

Ces expérimentations auront pour but de développer une méthode d'analyse basée sur l'évolution des mesures d'impédance à haute fréquence. Chaque référence sera premièrement obtenue par la mesure des paramètres S qui seront ensuite, convertis en impédance Z. Ces premières mesures serviront de comparatif pour la suite des essais qui seront réalisés soit grâce à la simulation d'un défaut avec l'aide d'un condensateur externe ajouté aux bornes d'une des phases du moteur, soit par la mise sous tension du stator dans une configuration d'alimentation stressante durant une longue durée. Puis, ensuite, nous réanalyserons les paramètres S et les impédances Z du moteur pour les comparer avec les signaux de références obtenus lors de la première étape.

Ces essais nous permettront d'obtenir les caractéristiques temporelles et fréquentielles des stators, mais aussi d'autres éléments significatifs du banc de vieillissement, et ce, suivant une gamme de fréquence que nous aurons circonscrite grâce à une méthodologie que nous aurons échafaudé tout au long de nos études préliminaires. Cette démarche finale nous permettra ainsi de démontrer le potentiel de notre banc et de conclure vis-à-vis de ses perspectives d'évolution.

I. Chapitre 1 – État de l'art

I.1. Introduction

Les importantes avancées technologiques de ces dernières années dans le domaine des générateurs à base de composants SiC (Carbure de Silicium) permettent aujourd'hui d'envisager des applications d'alimentation haute puissance avec de meilleures performances : commutations rapides, pilotage à fréquence élevée, rendements et gestion thermiques améliorés et ceci avec des capacités d'intégration beaucoup plus compactes.

Cependant, ces nouvelles formes d'alimentation engendrent parallèlement de nouveaux problèmes complexes vis-à-vis du système dans lequel elles sont insérées, et ce, en plus des charges qu'elles alimentent. En effet, ces nouveaux convertisseurs plus rapides provoquent sur l'ensemble de la chaîne de puissance une augmentation flagrante des excitations et des interactions électromagnétiques, et ce, en mode conduit comme en mode rayonné. Dans le cas des moteurs électriques, qui représentent la grande majorité des charges alimentées par ce type de générateurs, une conséquence importante est l'augmentation des phénomènes de décharges partielles apparaissant notamment sur leurs bobinages constitutifs. Ceux-ci engendreront un vieillissement prématuré de leurs matériaux isolants, ce qui se traduira par une destruction de ces bobinages à court ou moyen terme. Cette problématique peut aujourd'hui atteindre tout type de machine électrique haute performance quel que soit le domaine d'application : véhicule électrique, aéronautique, processus industriel, médical, etc.

Au cours de cette thèse, nous souhaitons étudier expérimentalement, analytiquement puis par modélisation ces phénomènes électromagnétiques pour établir clairement les limites des techniques d'isolation existantes en HF pour les structures et bobinages des machines électriques. Cette étude permettra la recherche et la proposition de nouvelles solutions afin de pouvoir profiter pleinement des bénéfices des nouvelles technologies d'alimentation SiC, en essayant d'observer et de minimiser au mieux les risques pour les machines alimentées.

I.2. De la chaîne de conversion d'énergie à sa charge

I.2.A. Les convertisseurs de puissance – généralités

Le monde de la conversion d'énergie peut être vaste suivant les applications visées. En effet, une énergie peut aussi bien être une source du domaine chimique que de celui du nucléaire. En fonction de celle-ci, nous faisons appel à des convertisseurs spécifiques pour obtenir l'énergie de sortie souhaitée. Cette chaîne générale de conversion d'énergie est répartie en plusieurs étapes sur la Figure 9 ci-dessous [9] :

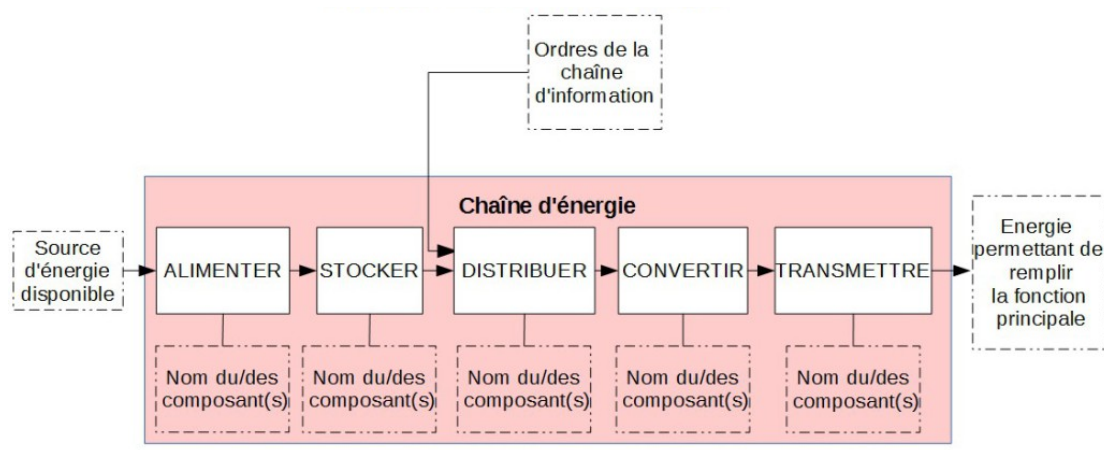


Figure 9 : Étapes d'une conversion d'une chaîne d'énergie [9]

Plus spécifiquement dans le domaine électrique, les sources d'entrées peuvent provenir des sources d'énergie renouvelable telles que l'éolien, l'hydraulique, le solaire, la biomasse, etc. [10] ou bien d'une source d'électricité plus conventionnelle du réseau domestique ou industriel.

Par le biais d'une source d'énergie électrique d'origine quelconque, nous alimenterons la chaîne d'énergie à l'aide de composants de puissance qui « moduleront » l'énergie transmise via un convertisseur afin de permettre son transfert vers des « réservoirs » prévus à cet effet (condensateurs), pour ensuite être distribuée à la charge. Suivant le type d'énergie de sortie, les machines tournantes doivent être alimentées par des convertisseurs de puissance modulant la tension en fonction de leurs besoins.

Ces convertisseurs sont classifiés suivant 4 structures distinctes :

La première structure se nomme hacheur et permet de faire varier la valeur efficace d'un signal de sortie continu en fonction d'un signal continu présent en entrée (DC-DC). Nous utilisons cette structure généralement pour faire fonctionner un moteur à courant continu ou bien pour réguler la décharge et la recharge des batteries [11].

Le deuxième type de conversion est celui de la structure redresseur (AC-DC) permettant de convertir un signal d'entrée alternatif en un signal continu. Cette structure est généralement composée de diodes ou de thyristors et nous la retrouvons dans presque toutes les chaînes d'énergie dont la source d'entrée est un signal alternatif provenant du réseau électrique [12].

La troisième structure est celle du gradateur (AC-AC) dédié à la conversion de signaux d'entrée alternatifs en un signal de sortie alternatif sans changement de fréquence, mais à une valeur de tension efficace différente. Elle est très souvent utilisée pour faire varier la puissance aux bornes d'un appareil électrique, par exemple dans les variateurs de lumière [13].

Enfin, la quatrième structure est l'onduleur (DC-AC) qui permet de moduler un signal d'entrée continu en signal de sortie alternatif. Les composants de puissance qui sont principalement utilisés sont les composants de puissance contrôlable à l'ouverture et à la fermeture tels que les mosfets, les IGBTs ou les transistors bipolaires. L'onduleur est à la base des variateurs de vitesse des moteurs électriques alternatifs [14].

Toutes ces structures sont récapitulées dans la Figure 10 [15].

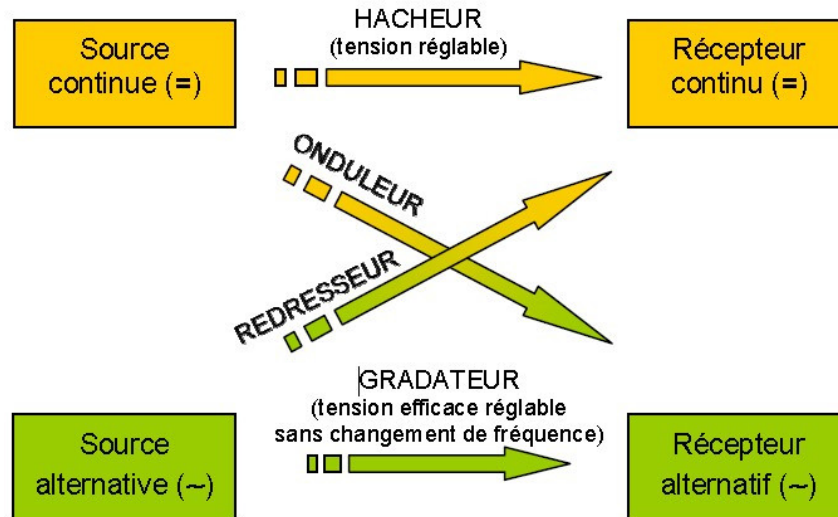


Figure 10 : Convertisseur statique – les 4 types de conversion [15]

Nos travaux concernent donc l'intégration de ces nouveaux composants à grand gap (SiC) dans ces convertisseurs dont la charge de sortie est une machine tournante. L'onduleur étant le convertisseur le plus répandu dans cette configuration, nous allons plus spécifiquement rentrer dans les détails le concernant pour pouvoir bien comprendre la suite de nos travaux.

La structure d'un onduleur de puissance dépend de la charge qu'il a à alimenter. Elle peut être soit monophasée, soit triphasée et suivant les spécificités de cette structure, les caractéristiques de la charge et les besoins de l'utilisateur, nous modulons le signal de sortie à partir du pilotage des composants de puissance.

Les onduleurs de tension sont évolutifs quant à leurs architectures et peuvent être déclinés notamment en onduleurs multiniveaux. Cette architecture consistera simplement à accumuler des composants de puissance situés sur 1 seul bras. Ainsi, nous aurons alors accès à divers avantages tels que la fréquence de fonctionnement résultante doublée ou bien la possibilité d'augmenter la tension globale en maintenant la tension aux bornes de chaque composant [16]–[19].

Dans notre cas, les moteurs qui seront sous tests sont en configuration triphasée. Nous utiliserons donc un onduleur triphasé [12] [13]. Un schéma de principe de cette architecture est présenté à la Figure 11, où les composants de puissance sont remplacés par des interrupteurs idéaux. Ces composants peuvent être commandés soit en tension, soit en courant. La logique de fonctionnement ne doit jamais déroger à une règle : les composants de puissance de la même branche ne peuvent être fermés en même temps, à défaut de provoquer un court-circuit entraînant une probable destruction du convertisseur.

Dans l'exemple type ci-dessous, la charge de sortie est résistive et la source d'entrée est une tension continue appelée « E ».

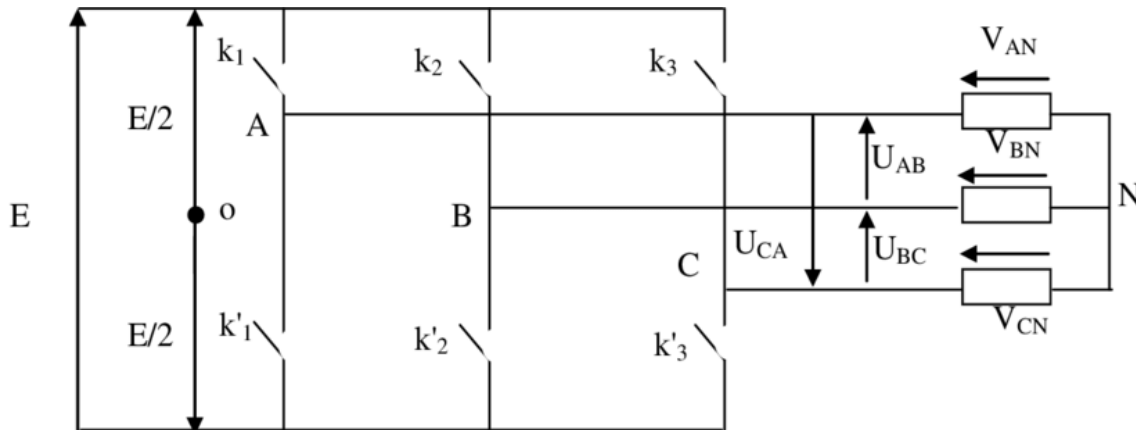


Figure 11 : Schéma de principe d'un onduleur triphasé

Les caractéristiques de sortie de l'onduleur sont différentes suivant les références de tension que nous appliquons. Nous prenons en exemple la Figure 11 qui précise tous les potentiels aux bornes des charges ainsi que les potentiels entre chaque ligne de sortie. Nous avons donc :

- Les tensions simples V_{AN} , V_{BN} , V_{CN} . Des potentiels qui se trouvent entre le point de neutre et les sorties de l'onduleur
- Les tensions composées U_{AB} , U_{BC} , U_{CA} . Ces tensions se trouvent entre les phases de l'onduleur.
- Les courants I_A , I_B et I_C ou bien I_1 , I_2 et I_3 définis comme étant la notation des courants de chaque phase.

En fonction des caractéristiques de la charge, ce type de structure est pilotée par des techniques de modulation de la largeur d'impulsion (MLI ou Pulse Width Modulator pour PWM en anglais). Pour cela, nous allons moduler la tension et le courant de sortie suivant 4 paramètres : la fréquence (f_{MOD}), le coefficient de modulation (C_{MOD}), la fréquence de découpage (f_{SW}) et le temps mort à la commutation (t_{DD}). Pour illustrer ces paramètres, nous prenons pour exemple la Figure 12. Nous avons en premier, le signal « porteuse » de forme triangulaire (V_p), et le signal « modulant » de forme sinusoïdale (V_m). La génération du signal de sortie (V_s), représentant des impulsions rectangulaires à deux états et de différentes largeurs, est obtenue par une comparaison successive des valeurs du signal porteur et du signal modulant. Lorsque la valeur du signal modulant est supérieure à celle de la porteuse, le signal rectangulaire est à l'état haut, l'inverse se produit lorsque la modulante est inférieure à la porteuse.

Les deux fréquences que nous pouvons distinguer sur cette figure correspondent, pour la première, à la fréquence de découpage (f_{MOD}), pour la seconde, à la fréquence de modulation (f_{SW}). La fréquence de découpage est l'image de la vitesse de commutation des composants de puissances au sein du système. La fréquence de modulation est celle que l'on « verra » aux bornes du moteur. En effet, la modulation de la largeur d'impulsion (MLI) que nous retrouvons sur la Figure 12 engendre aux bornes du moteur une variation de tension qui est du point de vue harmonique, très proche du sinusoïdal. Par conséquent, si nous observons le courant aux bornes du moteur, nous obtenons un signal quasi sinusoïdal.

Le coefficient de modulation est lié à l'amplitude de la modulante. Lorsque celui-ci est modifié, nous obtenons une variation de la valeur efficace de l'amplitude de sortie. Le dernier paramètre, le temps mort à la commutation, est représentatif du retard d'action lorsque la comparaison des deux signaux est effectuée. Ce paramètre permet d'éviter un court-circuit entre deux composants de puissance lors de leurs changements d'état respectifs.

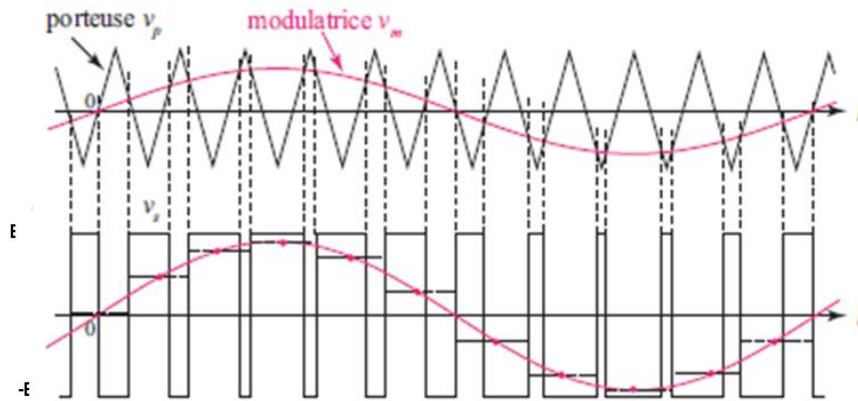


Figure 12 : Principe de fonction d'une modulation de la largeur d'impulsion (MLI) [22]

La MLI peut être générée par différentes logiques de commande que nous appelons stratégies de commande. Les types de modulation utilisés aujourd'hui en fonction de l'application de puissance et des pilotages dédiés peuvent être classés suivant la génération ou pas d'une porteuse, comme synthétisée à la Figure 13 [23].

Dans le premier cas, deux types de MLI avec porteuse sont à distinguer : celles que nous générons via l'association de composants analogiques, dénommées MLI « naturelles », qui diffèrent de celles utilisant plutôt des composants numériques, dénommées MLI régulières ou bien échantillonnées.

Que ce soit en numérique ou en analogique, ces stratégies « modulantes/dent de scie » ont pour but de comparer le signal triangulaire au signal sinusoïdal pour obtenir les impulsions de commande. Cependant, cette solution reste contraignante puisque nous devons faire appel à deux signaux externes et cela ajoute un dimensionnement de plus à la conception du système de commande. De plus, la variabilité des paramètres de la MLI ne peut se faire que par la variation de plusieurs potentiomètres dimensionnés pour effectuer cette action. Par conséquent, cette solution peut être envisagée pour des applications n'ayant pas vraiment de degrés de liberté sur les paramètres, ce qui n'est pas notre cas.

Le second type de stratégie, dites « sans porteuse » comme indiqué à la Figure 13 concerne les méthodes qui ne font pas appel à un signal porteur. Parmi ces stratégies, nous retrouvons notamment une méthode connue dans le milieu industriel pour sa simplicité d'intégration dans un système de commande. C'est celle qui fait appel à des vecteurs spatiaux prédéfinis, dont le cadencement se réduit à seulement une dizaine de cas. L'inconvénient de cette approche est de ne pas pouvoir produire un signal proche d'une forme sinusoïdale. Cela induit donc à de nombreuses harmoniques dans le spectre d'amplitude du signal de sortie [24].

La MLI contrôlée en courant est aussi une stratégie que nous retrouvons dans de nombreux systèmes, car elle a l'avantage de pouvoir réguler le courant de sortie via l'asservissement du courant de pilotage. Cependant, elle nécessite d'avoir une chaîne d'acquisition dédiée pour chaque courant de sortie. Pour une structure triphasée, ce nombre de chaînes d'acquisition se porte à trois ce qui peut compliquer la tâche en matière d'asservissement et de dimensionnement.

La stratégie « MLI précalculée ou memory based » est une stratégie que nous retrouvons dans de nombreux systèmes comprenant une ou plusieurs plateformes numériques et induisant une variation sinusoïdale de leurs courants de sortie. En effet, elle permet de recréer par un calcul arithmétique, une variation sinusoïdale de la largeur d'impulsion. Les valeurs de modulation peuvent être stockées dans une mémoire allouée sur la plateforme numérique pour optimiser leurs utilisations.

C'est cette dernière méthode qui se rapproche le plus de notre vision. Nous avons décidé de l'utiliser, car, en plus d'éviter la création de deux signaux externes, nous verrons lors de la présentation de

notre méthode de calcul, que nous pouvons alors ajuster plus finement les 4 paramètres f_{MOD} , C_{MOD} , f_{SW} et t_{DD} pour la gestion de la MLI.

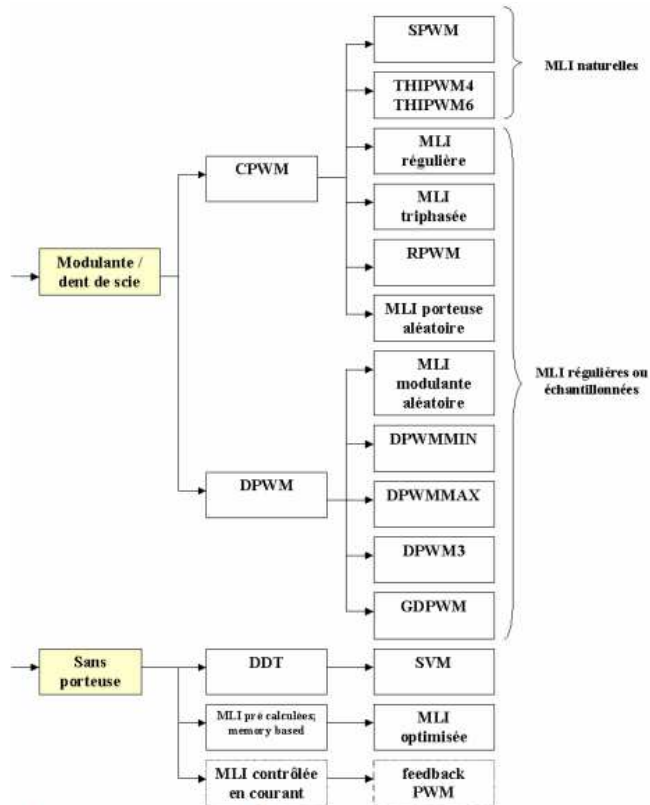


Figure 13 : Classification des différentes stratégies de MLI (PWM) en fonction du signal porteur [23]

Lors du réglage de la MLI avec le paramétrage des fréquences, nous devons prendre en compte la proximité des valeurs de fréquence de découpage (f_{SW}) et de modulation (f_{MOD}). Cette influence de la fréquence de découpage sur les signaux sinusoïdaux de sortie, critique pour éviter des variations importantes du courant de sortie est expliquée à l'aide de la Figure 14, d'après [23]. En effet, étant un signal recomposé par le biais d'une MLI, cette fréquence de découpage doit être élevée comparativement à la fréquence de modulation (Figure 14-a) afin d'éviter des variations trop importantes du courant lors des commutations des composants de puissance. A contrario, si cette fréquence devient trop basse (Figure 14-c), le temps de commutation, lui, devient plus long ce qui entraîne une variation plus importante du courant de sortie.

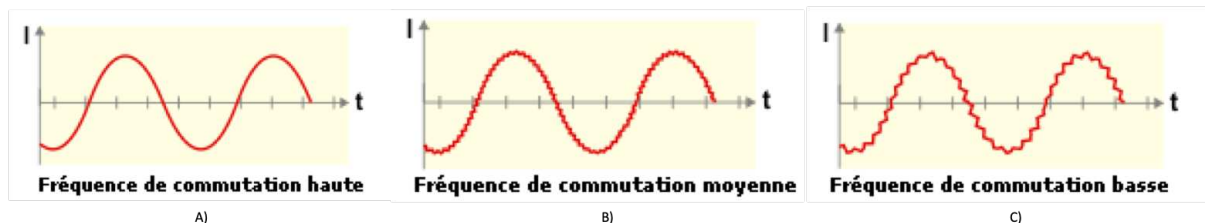


Figure 14 : Influence de la fréquence de découpage sur les signaux sinusoïdaux de sortie [23] : a) $f_{SW} \gg f_{MOD}$ b) $f_{SW} > f_{MOD}$ c) $f_{SW} \approx f_{MOD}$

C'est en partie pourquoi les fréquences de découpage dans le domaine de l'électronique de puissance augmentent d'année en année. Les systèmes actuels possèdent des fréquences de découpage maximales généralement établies aux alentours des dizaines de kilohertz [12] [16]–[18]. Concernant la fréquence de modulation qui est spécifique à chaque type de charge présente en sortie des convertisseurs, elle est dépendante de chaque moteur.

Toutefois, l'intérêt d'augmenter la fréquence de découpage n'est pas seulement dû au souhait de diminuer la variation du courant en sortie des convertisseurs. Nous avons présenté durant l'introduction le facteur qui représente la densité de puissance d'un système électrique. Celui-ci permet d'évaluer le rapport puissance/volume du système en question.

Pour pouvoir réduire ce facteur, deux possibilités peuvent être envisagées par le concepteur de systèmes électriques : soit optimiser les volumes des systèmes en réduisant au mieux leurs espaces perdus, soit augmenter la puissance nominale qu'ils peuvent délivrer à une charge donnée. En soi, l'optimisation simultanée des deux facteurs serait la meilleure option.

La réduction du volume d'un système dépend de la compacité des composants, de leurs agencements sur un substrat ou support et des techniques de connexion et de routage. Elle dépend aussi fortement des volumes et de la taille des moyens de refroidissement pour la stabilité thermique. En effet, pour aider à la dissipation de la puissance stockée dans les composants de puissance, les convertisseurs de puissance sont amenés à avoir généralement des radiateurs. Les composants Si entraînent des pertes de puissance non négligeables tout en ayant besoin d'un radiateur aux dimensions plus importantes pour les aider à dissiper. L'avantage attendu des nouveaux composants de puissance à grand gap est de réduire ces pertes en puissance tout en conservant leurs performances, et ce, avec des structures plus compactes.

Concernant l'augmentation de la puissance d'un module, elle dépend de sa capacité à fournir simultanément des tensions et des courants élevés, en transitoire et en régime permanent. La première caractéristique va dépendre de la tenue diélectrique du matériau du composant, la seconde de la tenue thermique du matériau à un échauffement pour un flux de courant important. Un des paramètres essentiels liés à l'augmentation de la puissance délivrée est le pilotage de ces composants à des fréquences de commutation de plus en plus élevées, à condition que les composants le tolèrent [19] [20].

Atteindre des valeurs de fréquence élevées demande aux composants de puissance des temps d'ouverture et de fermeture relativement rapides. Les composants réalisés en Silicium peuvent atteindre aujourd'hui des fréquences proches des 100kHz [30]. Cependant, à vouloir augmenter ces performances via l'augmentation de leurs fréquences de fonctionnement, nous engendrons également plus de pertes causées par l'augmentation de l'énergie perdue à la commutation [31].

L'utilisation de ces composants dans le domaine de la conversion d'énergie sera donc limitée par leurs rendements et leurs caractéristiques intrinsèques, qui ne leur permettent pas d'aller au-delà d'un certain seuil de puissance transitant via ces systèmes de conversion.

C'est pourquoi l'intérêt d'implanter ces nouveaux composants à grand gap (SiC) dans les systèmes de conversion devient de plus en plus important, du fait de leurs caractéristiques particulières. Nous allons voir durant la prochaine partie que leur intégration dans les convertisseurs va pouvoir répondre à l'objectif d'optimisation du facteur lié à la densité de puissance d'un système, optimisation aujourd'hui limitée par la technologie Silicium seul.

I.2.B. Les composants de puissances Si & SiC

a. Les composants en Silicium (Si)

Le domaine de l'électronique de puissance comprend différentes gammes de composants semi-conducteurs régulièrement utilisés notamment pour les 4 types de conversion que nous retrouvons dans les applications industrielles DC-DC, AC-DC, DC-AC et AC-AC.

Parmi ces composants, il y a ceux qui sont contrôlés en tension : MOSFET, IGBT et JFET ; et celui qui est contrôlé en courant : transistor bipolaire. Il y a également ceux qui sont contrôlés seulement à la fermeture tel que les thyristors. Les systèmes de conversion d'énergie actuels utilisent des composants IGBT (Insulated Grille Bipolar Transistor) ou des composants mosfets (Metal-Oxyde-

Semiconductor Field Effect Transistor) qui ont l'avantage d'être contrôlables à la fermeture et à l'ouverture. Le premier doit être contrôlé en courant, le second en tension.

Le choix entre l'un de ces deux composants va dépendre de l'application visée. Une classification des composants IGBT, Thyristor, Thyristor à extinction par la gâchette (Grille Turn-Off, GTO), et MOSFET en fonction de la fréquence de commutation, du courant admissible et de la tension maximale à leurs bornes est représentée à la Figure 15. L'utilisation d'un IGBT est préférée sur des applications à moyenne fréquence, pour une puissance nominale pouvant aller jusqu'aux alentours de ~ 1 MW, tandis que le MOSFET peut opérer à des fréquences plus rapides, mais avec une puissance plus réduite, soit autour de 100 kW [30]

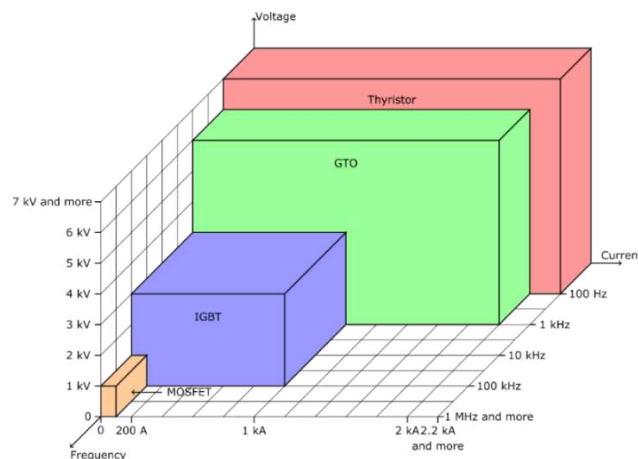


Figure 15 : Classifications des composants de puissance en fonction de la tension de blocage, du courant et de la fréquence de commutation

Toutefois, un inconvénient majeur apparaît lorsque nous utilisons des IGBTs dans des modules de puissance de forte puissance : la puissance conséquente perdue en commutation et en conduction. Ces deux paramètres sont influencés par le matériau de fabrication à partir duquel le composant de puissance a été fabriqué qui est en l'occurrence, pour un IGBT, le Silicium (Si) [32].

De nombreuses études ont été menées afin de connaître les performances des nouveaux composants SiC [33]–[36] et d'avoir une comparaison entre eux et les IGBTs [37]–[39].

b. Les composants en Carbone de Silicium (SiC)

Le composant en Carbone de Silicium se différencie du composant de puissance en Silicium par certaines propriétés physiques particulières autorisant un comportement électrique plus performant lors de son fonctionnement en commutation de puissance [40] :

- Une augmentation de la limite de rupture diélectrique qui permet aux composants SiC de disposer d'un niveau de tension de blocage semblable à celui des IGBTs
- Une conductivité thermique plus importante qui permet un transfert plus efficace de la chaleur générée.
- Une résistance à l'état passant plus faible, entraînant une diminution des pertes en conduction.

Un exemple de comparaison des paramètres intrinsèques de ces 2 matériaux, Si et SiC, se retrouve, dans les références de base [41] et [42], et est illustré à la Figure 16 pour le changement structurel du passage Si vers SiC au sein d'un composant MOSFET.

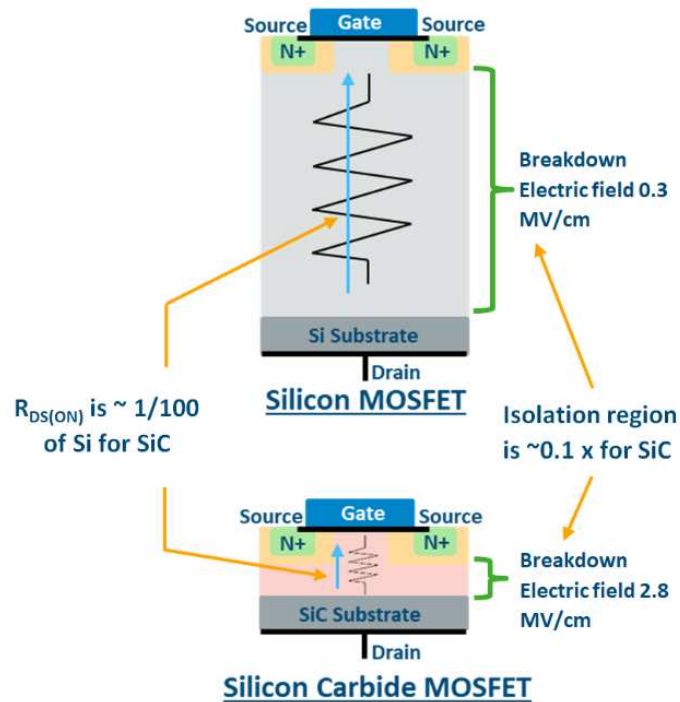


Figure 16 : Principaux bénéfices du changement de matériau Si vs SiC pour les composants de puissance [42]

D'autres différences importantes observées lors du fonctionnement des composants issus de ces matériaux sont apparentes notamment lors de la comparaison des étapes de mise en conduction d'une diode en silicium et en Carbure de silicium. La Figure 17 représente les tensions, courants et puissances de la mise en conduction d'une diode aux bornes d'un IGBT lors que celui est commandé. La Figure 18 représente les mêmes grandeurs lors de l'arrêt de la conduction. Sur les courbes représentées, les zones hachurées en rouge correspondent aux énergies perdues à chaque commutation [40]. Nous remarquons que ces zones sont considérablement diminuées avec un courant I_{diode} bénéficiant des caractéristiques du matériau SiC.

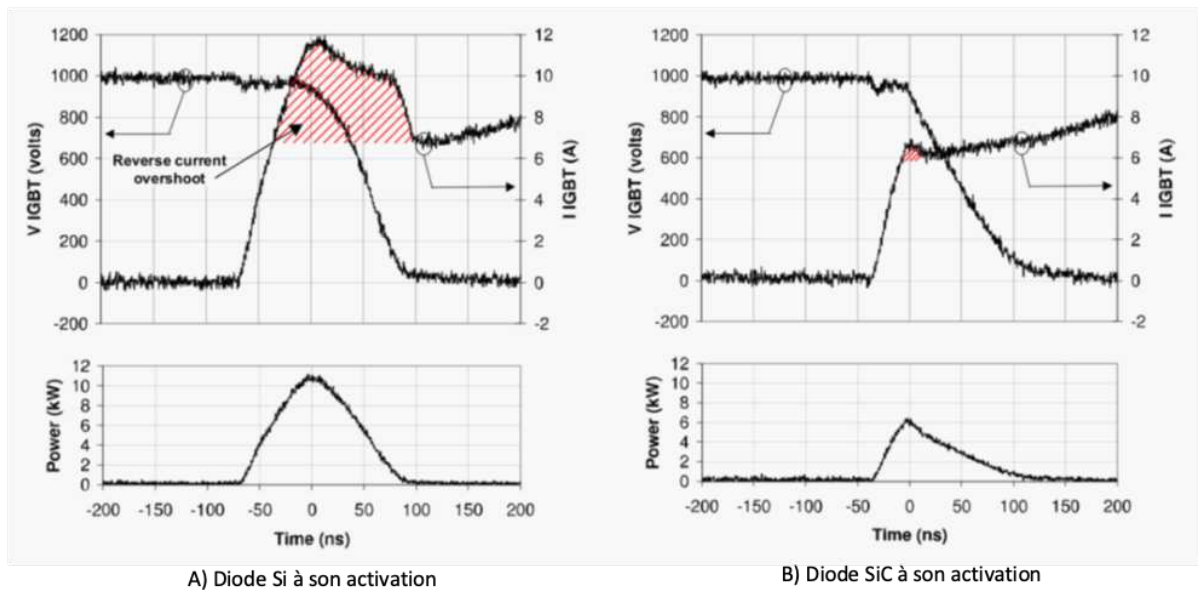


Figure 17 : Comparaison de la mise en conduction des diodes aux bornes d'un IGBT - Si (a) et SiC (b)

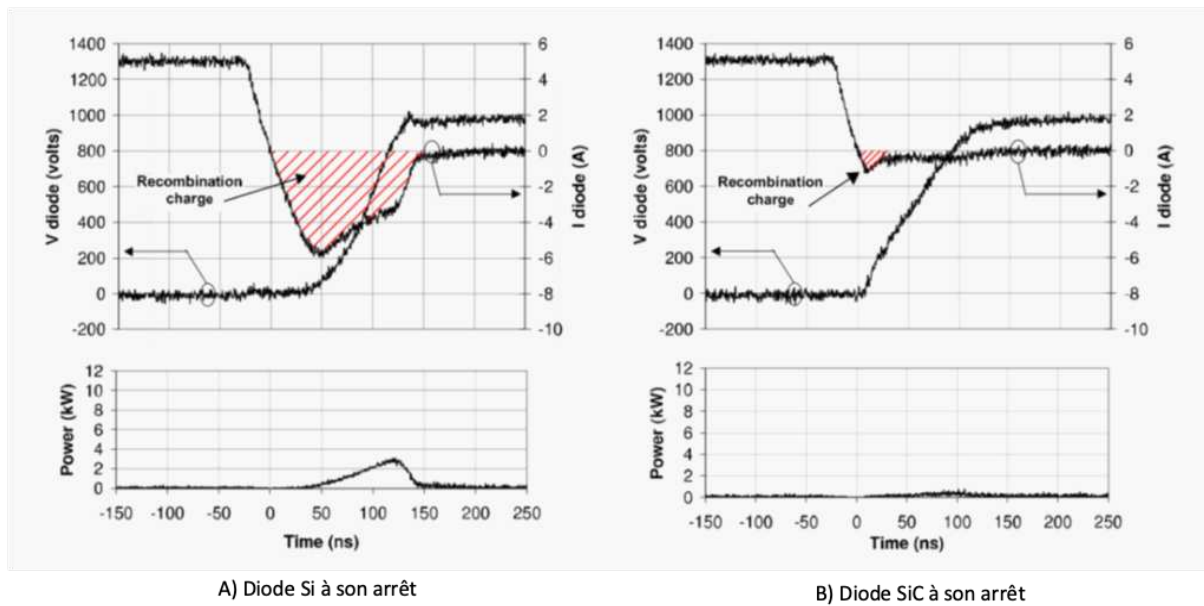


Figure 18 : Comparaison de l'arrêt de la conduction des diodes Si (a) et SiC (b)

Nous retrouvons également des études sur la comparaison de la dissipation de l'énergie à la commutation entre des composants MOSFETs SiC et IGBT Si (Figure 19). Cette comparaison, issue de [43], a été effectuée pour les deux structures à la même fréquence de commutation de 30 kHz. À ces conditions de fonctionnement, le composant MOSFET SiC affiche des pertes significativement plus faibles (-73%) que celles du composant IGBT Si. On voit bien que cette réduction est conséquente sur les pertes en commutation, notamment lors de l'étape de fermeture du composant « Turn Off ».



Figure 19 : Comparaison des énergies perdues à la commutation et à la conduction entre un IGBT Si vs MOSFET SiC [43]-

Actuellement, les IGBTs restent encore les composants les plus utilisés de par leur maturité et leur présence importante dans les différentes applications industrielles et commerciales. Leurs tenues en tension sont élevées tout en proposant un courant nominal important. Cependant, les performances de l'IGBT restent limitées par la fréquence de fonctionnement maximale qu'il supporte et par les pertes qu'il occasionne.

b.i. Étude comparative des caractéristiques de composants Si et SiC

À partir du cas d'étude précédent, nous allons développer légèrement plus en détail la comparaison des différentes caractéristiques électriques des 2 composants IGBT Si et MOSFET SiC. Le Tableau 1 résume les caractéristiques principales que nous pouvons trouver dans la fiche constructeur de chaque composant.

Caractéristiques électriques	Si IGBT	SiC MOSFET
Tension maximale	1200 V	1200 V
Courant maximal	31 A	36 A
$R_{DS(on)}$	120 m Ω	80 m Ω
$E_{on} (I=200A)$	600 μ J	265 μ J
$E_{off} (I=200A)$	800 μ J	135 μ J
$t_{on} + t_{rise}$	20 ns + 15 ns	11 ns + 20 ns
$t_{off} + t_{fall}$	180 ns + 35 ns	23 ns + 19 ns
Temps d'impulsion min	250 ns	73 ns
Diode SBD		
Vd	2.2 V	3.1 V
Rd	---	56 m Ω
Mécanique		
Package	TO 247-3	TO 247-3
Résistance thermique R_{thJA}	50 °C/W	40 °C/W
Puissance dissipée	155 W	192 W
Prix	6.81 € (RS - 2018)	17.50 € (RS-2018)

Tableau 1 : Comparaison des caractéristiques électriques entre Si IGBT / SiC MOSFET

Grâce à ce tableau, nous remarquons que les performances supérieures apportées par le composant MOSFET SiC par rapport à un IGBT Si sont notamment visibles sur les charges à la commutation E_{ON} et E_{OFF} ainsi que sur leurs temps de commutation. Également, nous pouvons voir qu'il y a une meilleure dissipation de la puissance ainsi qu'une résistance $R_{DS(on)}$ plus faible à l'état passant. Les seuls inconvénients minimes sont la tension de conduction de la diode et le prix d'achat.

Les diminutions des charges à la commutation ainsi que de la résistance à l'état passant que nous venons de présenter vont permettre une amélioration significative du rendement des systèmes de conversion électrique via l'utilisation des composants de puissance SiC. Néanmoins, ce type de composant présente malgré tous des inconvénients, le plus important étant la probabilité d'accroître les problèmes de compatibilité électromagnétique induits par son fonctionnement rapide à plus hautes fréquences et sa tenue en tension élevée. La combinaison de ces 2 facteurs augmente le paramètre dV/dt et ses conséquences électromagnétiques situées dans les hautes fréquences [44]. Fortement liée à la stratégie de commande du composant de puissance, elle peut augmenter significativement les pertes de puissance en commutation du système. Cette évaluation est discutée dès maintenant.

c. Estimation des pertes de puissance dans les composants SiC

L'étude thermique des composants électroniques reste encore un problème majeur pour les concepteurs de convertisseurs de puissance. Le but étant dans l'idéal d'avoir un rendement proche des 100%, les pertes engendrées par les composants de puissance doivent être le moins élevées possible. Comme nous l'avons rappelé, les composants de puissance engendrent toujours des pertes non négligeables, et plusieurs études montrent clairement une différence significative entre les pertes dues à un IGBT Si et celles d'un MOSFET SiC [43].

Intéressons-nous maintenant aux pertes dans les structures de puissance. Nous avons classiquement 2 types de pertes en puissance :

- Les pertes en conduction : lorsque le composant est à l'état passant, le courant traversant la résistance interne du composant, $R_{DS(on)}$, provoque un effet Joule qui peut ne pas être négligeable. Il est donc important de faire attention à la valeur de cette résistance.
- Les pertes en commutation : lorsque le composant va commuter de l'état ouvert à l'état fermé et vice-versa des transitoires importants de courant circulent dans la branche de sortie, des $\frac{dI}{dt}$, dont la valeur efficace et donc la puissance équivalente dissipée augmente avec le dt du composant et la fréquence de répétition des commutations.

Il est donc important de faire attention à la fréquence de fonctionnement du commutateur afin de limiter l'échauffement qu'il induit.

De plus, les composants mosfets utilisés dans des applications de conversion d'énergie sont généralement associés à des diodes de roue libre, dont le principe de fonctionnement est rappelé à la Figure 20. Celles-ci permettront de conduire le courant restant à l'ouverture du commutateur. Elles font aussi parfois parties intégrantes du commutateur. Pour les mosfets SiC, cela est généralement le cas. Ces diodes-là sont principalement des diodes Schottky, diodes à réponse rapide et faible résistance de conduction.

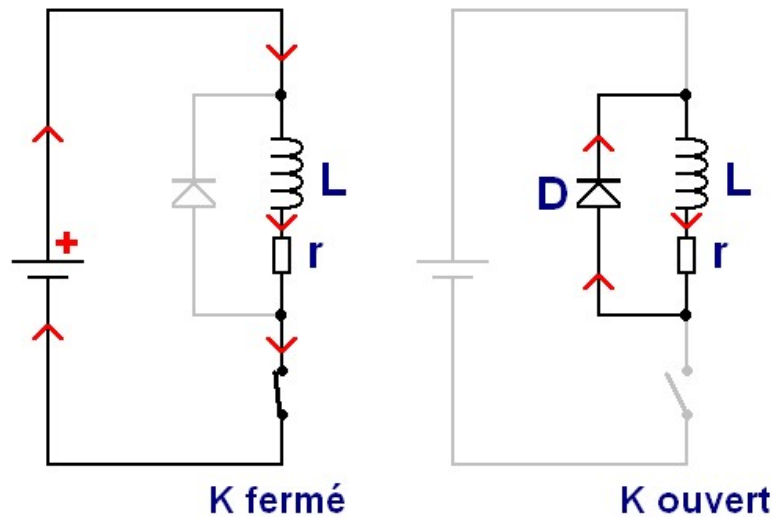


Figure 20 : Fonctionnement d'une diode de roue libre [45]

Le courant se dissipera par le biais de la diode et des éléments passifs mis en parallèle/série. Les méthodes qui vont vous être présentées ci-dessous intègrent les pertes de puissance engendrées également par cet élément. Elles seront appelées diode à barrière Schottky (SBD).

Dans notre étude, l'onduleur triphasé comprendra 6 composants de puissance et va donc cumuler et engendrer des pertes significatives, impactant la valeur du rendement. Cherchant à évaluer

correctement et optimiser la valeur de ce paramètre, nous étudierons les pertes du composant de puissance choisi pour notre banc de test : le MOSFET SiC C2M0080120D Cree [46].

Plusieurs publications [47]–[51] permettent de calculer théoriquement les pertes causées par les composants de puissance que ce soit en conduction ou en commutation. Parmi ces publications, celle de [47] est très intéressante de par la similarité de ses résultats avec nos propres calculs d'estimations de pertes réalisés par simulation. En effet, l'auteur propose un calcul des pertes de puissance pour des architectures d'onduleurs à commande SPWM à base de MOSFET SiC 1200 V avec diode à barrière Schottky (Diode de roue libre) (les 2 autres méthodes qui n'ont pas été retenues sont présentées en annexe 1).

c.i. Pertes en conduction

Dans cette publication [47], l'auteur caractérise les pertes en conduction spécifiques à un SiC et à sa diode de roue libre associée SBD [52]. On peut retrouver ce phénomène en comparant les deux courbes caractéristiques (Figure 21). Le courant traversant chaque composant est calculé à partir des équations suivantes :

$$I_{MOS} = \frac{R_{SBD} \times I + V_T}{R_{MOS} + R_{SBD}} \quad \#(2)$$

$$I_{SBD} = \frac{R_{MOS} \times I - V_T}{R_{MOS} + R_{SBD}} \quad \#(3)$$

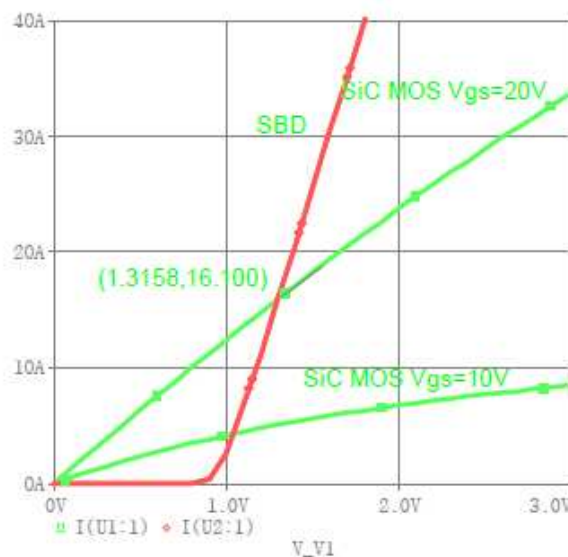


Figure 21 : caractéristiques (Courant tensions) des composants MOSFET SiC et diode SBD [47]

L'équation suivante prend en compte les pertes calculées en fonction de plusieurs éléments spécifiques à des convertisseurs de tension utilisant une modulation SPWM (Sinusoidal Pulse Width Modulation). Nous retrouvons l'amplitude du courant I_{DS} , la résistance à l'état passant R_{MOS} , le coefficient de modulation m , l'angle de déphasage du courant de ligne par rapport à la tension de charge, la tension de seuil dite tension Threshold de la diode SBD et de la résistance R_{SBD} de la diode à l'état passant également.

$$P_{con-MOS} = I_M^2 R_{MOS} \left(\frac{1}{8} + \frac{m}{3\pi} \cos\theta \right)$$

$$+ \frac{R_{MOS}}{(R_{SBD} + R_{MOS})^2} \times \left\{ I_M^2 R_{SBD}^2 \times \left(\frac{1}{8} - \frac{m}{3\pi} \cos\theta \right) + I_M V_T R_{SBD} \times \left(\frac{1}{\pi} - \frac{m}{4} \cos\theta \right) + V_T^2 \times \left(\frac{1}{4} - \frac{m}{2\pi} \cos\theta \right) \right\} \#(4)$$

$$P_{con-SBD} = \frac{R_{MOS}}{(R_{SBD} + R_{MOS})^2} \times \left\{ I_M^2 R_{MOS} R_{SBD} \left(\frac{1}{8} - \frac{m}{3\pi} \cos\theta \right) + I_M V_T (R_{MOS} - R_{SBD}) \times \left(\frac{1}{\pi} - \frac{m}{4} \cos\theta \right) + V_T^2 \times \left(-\frac{1}{4} + \frac{m}{2\pi} \cos\theta \right) \right\} \#(5)$$

Ces deux premières équations vont être introduites dans un tableur dans le but de calculer les pertes à la conduction pour un composant MOSFET SiC et pour une diode SBD dans une architecture triphasée. Cela nous permettra d'extraire précisément les pertes en conduction. Nous faisons la même manipulation avec les pertes en commutation.

c.ii. Pertes en commutation

Les pertes en commutation sont obtenues en fonction de la fréquence de découpage comme nous l'avons précédemment présenté. Pour pouvoir les calculer, suivant la méthode proposée par [47], nous introduisons aussi d'autres paramètres tels que le courant de ligne I_{DS} , la tension de ligne V_{DS} , la résistance de grille « Grille » R_G , le coefficient de transconductance g_{fs} , la tension de grille « grille » pour la fermeture du composant, la tension de seuil Threshold du MOSFET SiC, les capacités C_{iss} , (capacité formée entre la grille et la source) et C_{GD} , (capacité formée entre la grille et le drain).

$$P_{SW} = f \times (E_{off} + E_{on})$$

$$E_{off} + E_{on} = I_D V_{DS} R_G \left[\frac{I_D C_{iss}}{g_{fs}(V_{GS} - V_{TH})} + \frac{V_{DS} C_{GD}}{V_{GS} - V_{TH} - \frac{I_D}{g_{fs}}} \right] \#(6)$$

À l'aide de ces équations (des pertes en conduction et en commutation) que nous avons implémentées, nous avons maintenant un outil de calcul et dimensionnement réaliste pour évaluer les pertes causées par les composants choisis pour notre banc, comme nous le verrons au chapitre 2.

d. Intégrations des composants à grand gap dans les systèmes actuels

Nous avons vu jusqu'à maintenant les avantages et les inconvénients des composants SiC comparés à ceux des composants Si. Nous l'avons précédemment évoqué, leurs intégrations dans des systèmes actuels pour remplacer les composants Si permet d'améliorer considérablement leurs performances.

Cette évolution a permis à certains onduleurs dimensionnés au départ avec des IGBT, d'augmenter leurs performances à de meilleurs niveaux. Nous citons par exemple, l'équipe de l'université de Zurich qui a modifié l'un de ses onduleurs de Si à SiC [53]. Leurs conclusions, que nous retrouvons sur la Figure 22, nous indiquent les résultats de l'étude multicritères de leur générateur avant et après changement. Nous avons dans un premier temps, l'avantage d'avoir de meilleures tolérances aux surtensions, une meilleure conduction thermique, une meilleure conductivité, une densité de

puissance doublée et une diminution de l'espace occupé en fonction du coût engendré. Le seul inconvénient lié à leur intégration semble être le coût.

Cependant, ces résultats sont datés de 2011 et la démocratisation de ces nouveaux composants a été accélérée depuis 2019. Cela a provoqué une diminution de leur prix lorsque les fabricants de composants ont pu atteindre des volumes de ventes et des caractéristiques plus importantes [54].

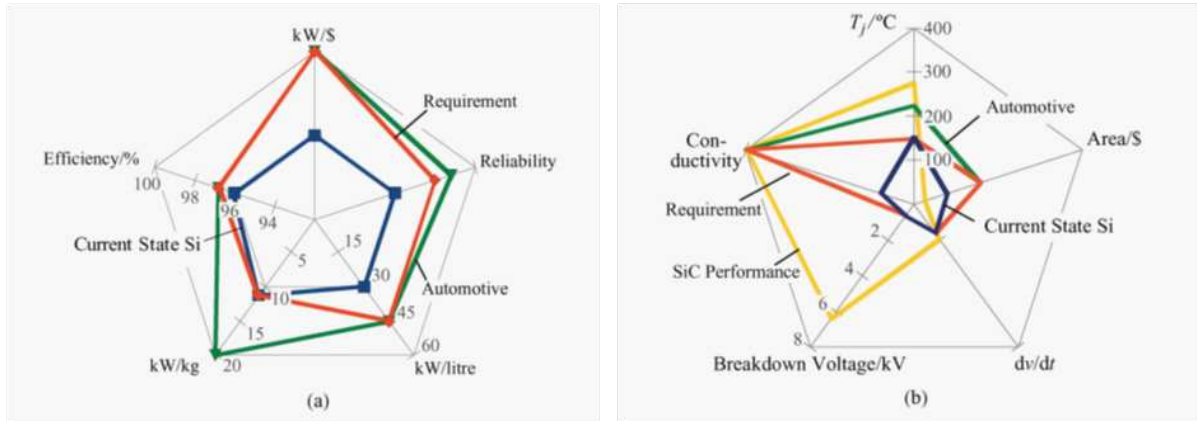


Figure 22 : Comparaison des caractéristiques d'un système à composants Si vs SiC [54]

Pour argumenter vis-à-vis des raisons de cette intégration, nous avons précédemment introduit la densité de puissance d'un système qui est le rapport entre le volume et la puissance d'un système. Ce paramètre est un indicateur pour l'intégration des convertisseurs de puissance dans des systèmes quelconques. La Figure 23 expose l'évolution de ce facteur depuis les années 1970 et nous pouvons nous apercevoir que ce chiffre est en hausse. Cela indique que les systèmes deviennent plus compacts tout en intégrant plus de puissance.

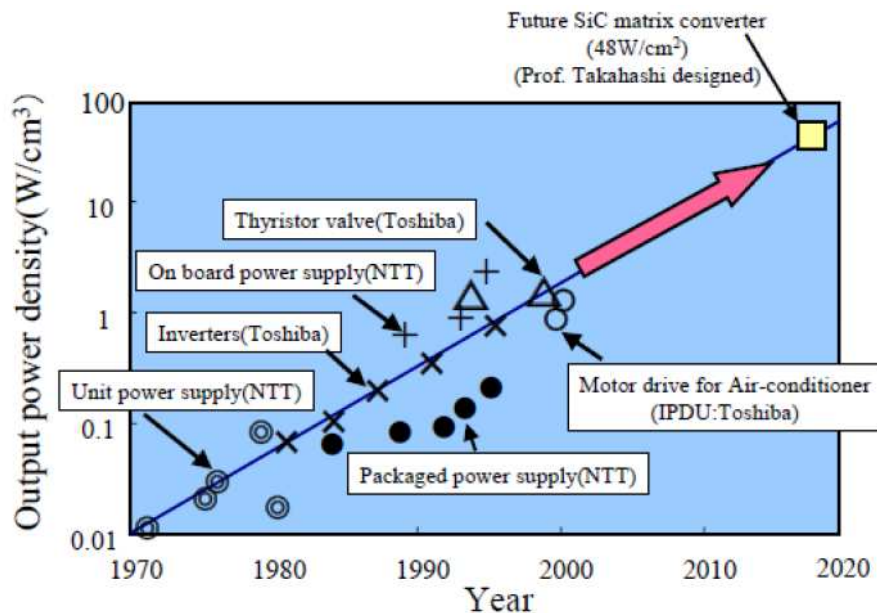


Figure 23 : Évolution de la densité de puissance des systèmes depuis 1970 [55]

- e. Charge : Constitution d'un moteur - agencement de ses bobinages

Nous avons précédemment introduit les moteurs suivant les deux éléments qui les composent, le stator et le rotor. En nous intéressant de plus près au premier élément, le stator, nous avons pu découvrir comment celui-ci était composé. Le processus de fabrication d'un bobinage peut être résumé par l'imbrication de nombreuses spires mises en série pour former des bobinages et créer un champ magnétique.

L'isolation des câbles est obtenue par la mise en œuvre d'isolants à partir de matériaux polymères qui sont constitués de la répétition d'un grand nombre de structures chimiques de base appelées monomères. Les polymères sont des molécules organiques comprenant une structure de base composée d'atomes de carbone reliés entre eux par des liaisons covalentes. Il existe beaucoup de polymères différents, qui ont des propriétés mécaniques diverses.

Les isolants des machines électriques sont constitués de polymères techniques sélectionnés pour leurs propriétés mécaniques, leurs tenues diélectriques et leurs tenues aux températures élevées. Ils remplissent leurs fonctions pendant de nombreuses années, mais se dégradent de façon irréversible au cours du temps. Le vieillissement de ces matériaux est dû à des ruptures de liaisons dans la constitution chimique des isolants.

L'isolation électrique dans les enroulements statorique d'une machine se décompose en trois grandes familles : l'isolation entre les phases (1 sur la Figure 24), l'isolation entre l'enroulement et la carcasse métallique de la machine (2) et l'isolation inter spires (3). [55]. L'isolation des bobinages est réalisée en deux fois, elle comprend l'isolation du conducteur (émail) ainsi que le vernis d'imprégnation qui permet la tenue mécanique du bobinage [56], [57].

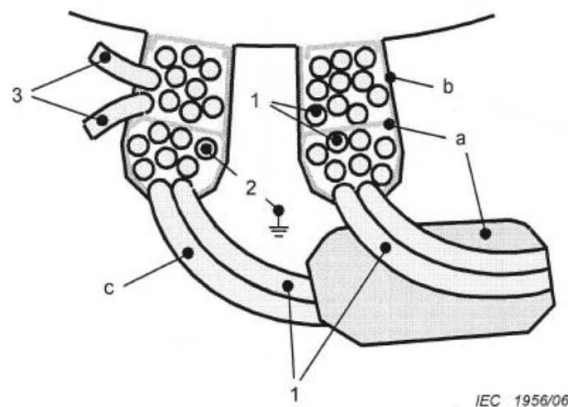


Figure 24 : Influence d'un bobinage aléatoire sur l'apparition du phénomène des capacités parasites

Le maintien mécanique des spires des bobines est obtenu par un traitement thermique qui colle les spires entre-elles. Une représentation schématique de ce type de fil est donnée à la Figure 25.

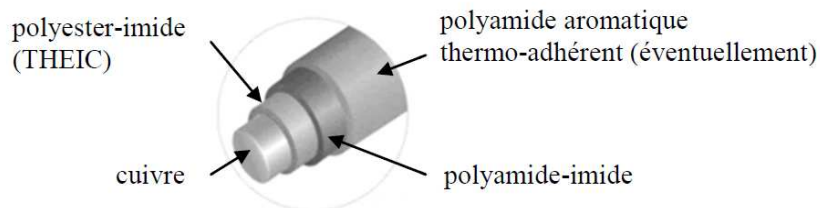


Figure 25 : Composition des matériaux diélectriques dans un câble

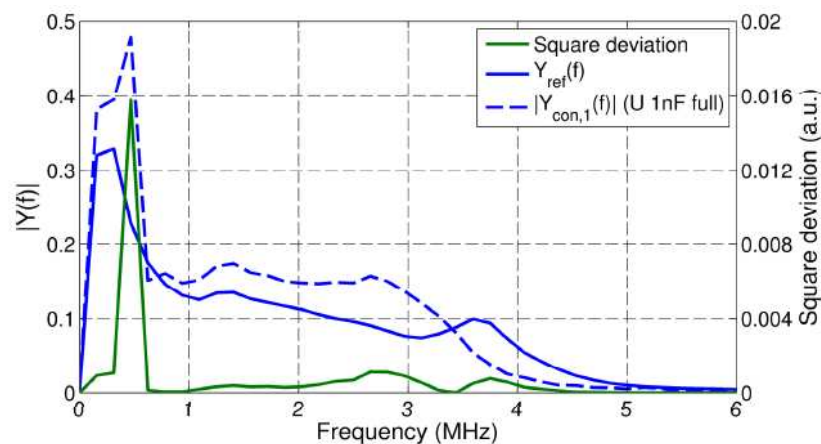
La nature des polymères utilisés dépend de la classe thermique recherchée. Par exemple, sur la Figure 25, l'isolation est composée d'une couche de polyester imide elle-même recouverte de

polyamide imide et d'une couche externe de polyamide aromatique si l'on veut que le fil soit thermo adhérent [58]. Les principaux polymères utilisés se distinguent par leurs caractéristiques diélectriques c'est-à-dire par la valeur maximale du champ électrique que peut subir le matériau avant rupture, généralement de l'ordre de la centaine de kV/mm ainsi que par leur classe de température qui correspond à la température de travail nominale à laquelle le polymère peut être utilisé en conservant une durée de vie adéquate [55].

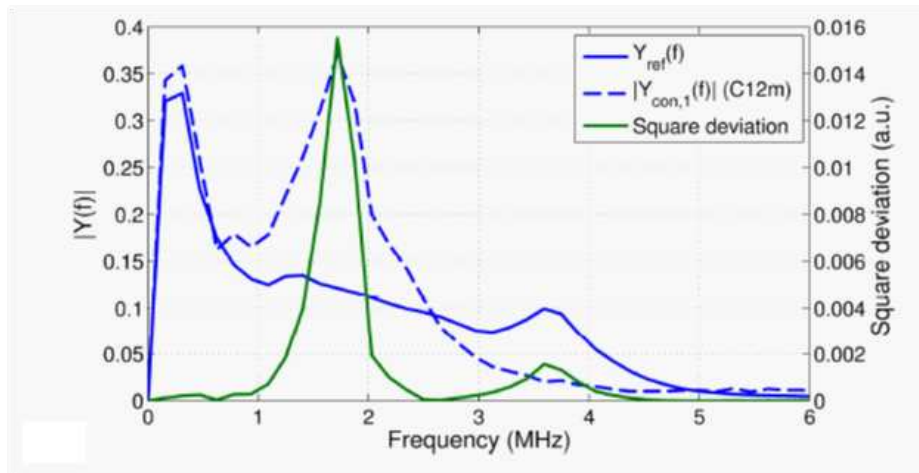
f. Simulation et détection d'un défaut dans une machine tournante

Mesurer l'état de dégradation d'un isolant peut s'avérer complexe et long si nous devons à chaque fois traiter directement le matériau qui constitue le câble isolé. La procédure consisterait à emprunter une partie de l'isolant pour pouvoir l'analyser à travers des outils spécialement dédiés. Seulement, une fois que l'échantillon est obtenu directement depuis le câble, nous effectuons une dégradation de notre propre câblage. Cette solution n'étant pas souhaitable, une équipe de l'institut des systèmes d'énergies et des drivers électriques de l'université de Vienne, a mis au point une méthode d'analyse électrique alternative [59], [60].

Cette méthode d'analyse consiste à extraire un indicateur de dégradation « Insulation State indicator » ISI [61] à partir de plusieurs acquisitions d'un signal d'excitation d'une ou de toutes les phases du moteur. La procédure de traitement est telle que nous comparons deux signaux : le premier est celui de l'acquisition de référence, lorsque l'isolant est neuf, et le second, lorsque l'isolant est dégradé. Chacun d'entre eux est transformé par la méthode de Fourier afin d'obtenir une caractéristique fréquentielle. À ce stade de la procédure, les deux signaux peuvent être comparés en appliquant la méthode de la déviation de la moyenne au carré (Root Mean Square Deviation - RMSE) [60] (Figure 26).



(a)



(b)

Figure 26 : Comparaison des signaux fréquentiels par la méthode RMSE. (a) isolant très peu endommagé (b) isolant très endommagé [62]

Nous pouvons aussi observer à partir de ces relevés que la plage de fréquence d'apparition de ces défauts est ici aux alentours du mégahertz. Cette précision nous permettra par la suite de définir les plages de fréquences que nous devons prendre en compte lors du dimensionnement des chaînes d'acquisition et des sondes de mesure.

Pour pouvoir simuler le défaut d'une machine tournante et ainsi, valider le modèle vis-à-vis des caractéristiques d'un vieillissement, la méthode préconisée est d'implanter des condensateurs en parallèle aux bornes d'une des 3 phases afin de simuler le changement de propriétés des matériaux diélectriques dans l'isolant [62]. Un exemple de placement de cette capacité, dénommée C_{fault} est illustrée à la Figure 27, avec, dans notre cas, les valeurs suivantes : 1 nF, 500 pF et 200 pF représentant trois configurations évolutives de défauts possibles.

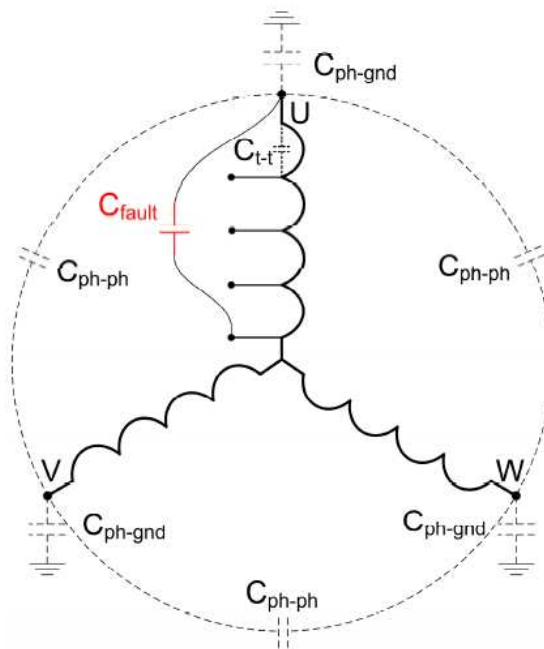


Figure 27 : Illustration du placement de la capacité de défaut [62]

En fonction des paramètres d'acquisitions et de l'emplacement de cette capacité aux bornes de la machine tournante, nous pouvons identifier le défaut à partir des variations de nos mesures électriques sur la phase considérée du moteur.

La Figure 28 illustre ce principe sur un exemple issu de [62] et représente les valeurs complexes (Partie réelle, Partie Imaginaire) des tensions U, V et W des phases du moteur que nous avons mesurées en fonction de la valeur de la capacité placée aux bornes du moteur. Nous observons que l'indicateur ISI de la tension U comparée à celles de V et de W, a fortement varié suite à l'apparition du défaut.

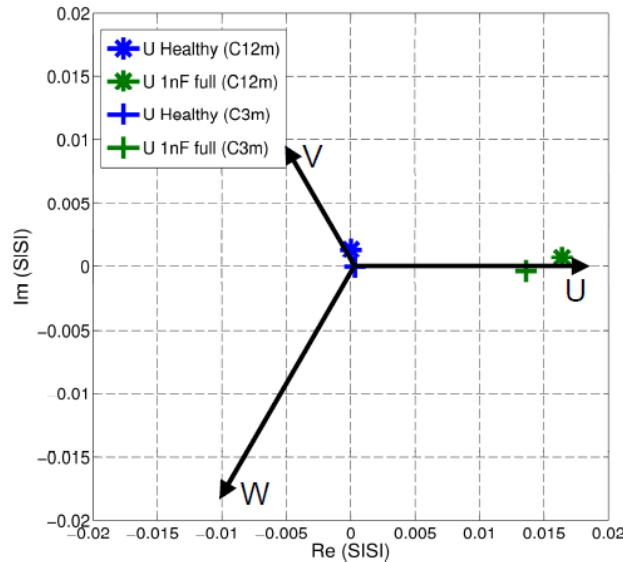


Figure 28 : Placement des indicateurs de vieillissement en fonction des phases du moteur [62]

Cette méthode va donc nous permettre de simuler rapidement et efficacement le changement de comportement d'un moteur lié à des variations de son état. C'est cette approche qui sera présentée au chapitre 4 sur les éléments de test de notre étude afin de définir nos propres indicateurs de vieillissement pour nos échantillons.

1.2.C. Conception & Réalisation : aspects électroniques de puissance

a. Chaîne de pilotage d'un composant de puissance

Le pilotage d'un composant de puissance est lié à l'application que le système de conversion devra alimenter. Dans notre cas, nous avons opté pour la stratégie MLI que nous mettrons en œuvre à travers des plateformes numériques programmables. Néanmoins, le pilotage d'un composant directement via les signaux de sortie de cette plateforme n'est pas possible et nécessite une adaptation d'impédance et de puissance.

Les signaux de sortie des plateformes de contrôle sont généralement à niveaux de tension situés entre 0 et 5 V et ne délivrent pas suffisamment de courant pour ouvrir ou fermer rapidement le composant de puissance. De ce fait, nous avons recours à des solutions d'interface : les « Drivers » qui nous permettent de remplir cette fonction.

Ces éléments vont être placés entre la plateforme de commande et le composant de puissance et vont générer un signal de commande à un niveau plus important et adapté au composant. Par exemple, Figure 29, les niveaux de tension des signaux de sortie des plateformes de commande vont être situés entre 0 et 5 V. Or, la gamme de composants mosfets que nous souhaitons utiliser ne prend

en compte que des signaux de commande dont les niveaux de tension sont situés entre 10 et 20 V à la fermeture et -5 V à l'ouverture. Pour pouvoir répondre à cette contrainte, nous intégrons donc un driver prenant en compte le signal de commande issu de la plateforme de gestion pour ensuite élever les niveaux de tension et les acheminer jusqu'au composant de puissance.

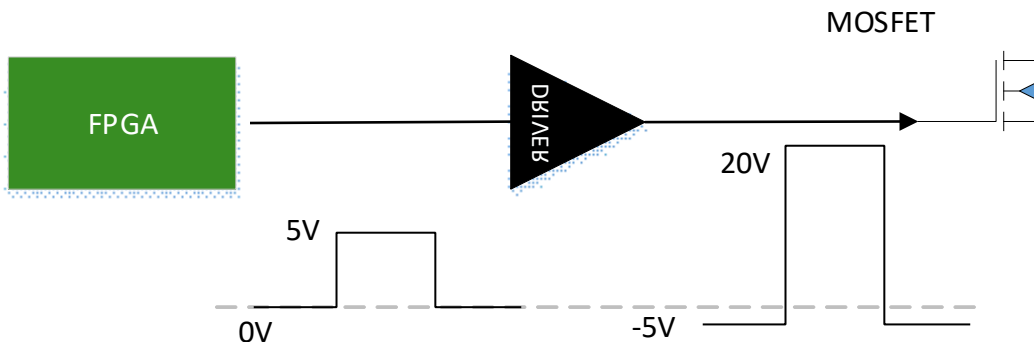


Figure 29 : Chaîne d'adaptation du pilotage du composant électronique de puissance

Ce type d'adaptation est de plus en plus fréquente et les fabricants produisent de plus en plus de variantes afin d'avoir des solutions simples et rapides à intégrer. Nous pouvons retrouver chez le fournisseur Wolfspeed, différents développements d'interfaces dont certaines sont utilisées pour la commande de 2 composants SiC [63], [64] ou bien une interface dédiée pilotage d'un onduleur triphasé [65].

L'utilisation de ces modules d'adaptation est pratique pour effectuer des tests de composants de puissance sans avoir à développer une carte spécifique pour chacun d'entre eux. Cependant, celles-ci ne peuvent pas être précisément modélisées puisque nous avons que très rarement accès aux fichiers de routage. De ce fait, une fois que les tests préliminaires ont été réalisés, nous avons choisi de router nos propres modules de puissance afin qu'ils soient pleinement exploitables en simulation par les solveurs prévus à cet effet, mais aussi pour pouvoir optimiser notre système en ajoutant ou en enlevant des fonctions inutiles pour notre développement.

b. Éléments caractéristiques d'un PCB

Les différents sujets que nous avons traités jusqu'à maintenant nous permettent de mieux comprendre les notions de partie commande et de partie puissance d'un convertisseur. D'un côté, nous avons les signaux de commande dont les niveaux de tensions sont situés entre 0 et 5 V. Ceux-ci sont bien souvent des signaux logiques TTL permettant soit, de piloter un driver de puissance, soit de renvoyer des informations telles qu'un défaut à l'utilisateur. Puis nous avons les signaux de puissance, ceux dont les tensions peuvent atteindre plus de 1000 V.

Ces signaux sont proches des composants de puissance puisque ce pilotage permet de les faire commuter. En fonction de leurs durées d'ouverture ou de fermeture, des contraintes électromagnétiques peuvent apparaître. Celles-ci sont très souvent liées au niveau d'amplitude du

paramètre $\frac{dV}{dt}$.

De nos jours, le recours à des cartes multicouches est de plus en plus fréquent. Ceci est dû à la miniaturisation des composants, des pistes et des dimensions totales de la carte. En ayant la possibilité de concevoir des cartes électroniques en multicouche, nous pouvons router toutes les pistes à l'intérieur des cartes et laisser place aux composants en surface. Bien sûr, l'objectif principal est de pouvoir avoir la carte la plus petite possible tout en étant performant. Cependant, ceci engendre des contraintes électromagnétiques puisque, tous les composants sont très proches les uns des autres.

Pour pouvoir anticiper ces contraintes, une procédure de modélisation est bien souvent effectuée en amont de la conception afin d'observer le comportement des cartes que nous développons. Cela nous permet aussi de caractériser des phénomènes que nous ne pourrions simuler tels que les chutes de tension que retrouvons sur une même ligne, mais à deux endroits différents ou bien les couplages que nous pourrions avoir entre différentes pistes.

La procédure d'analyse d'un PCB peut être différente suivant les logiciels de conception que l'on utilise. Actuellement, des formats d'exportation existent pour permettre à un logiciel d'extraire en 3D la carte PCB que nous venons de concevoir dans un format spécifique tel que le ODB++ pour ensuite, l'importer dans des logiciels tels que CST ou la suite d'ANSYS. Ces logiciels sont spécifiques pour nos besoins de modélisation (Figure 30).

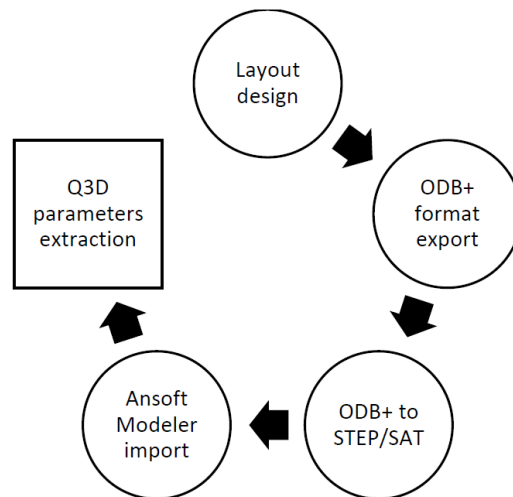


Figure 30 : Procédure d'export d'une modélisation d'un PCB

Ansoft Q3D® est un logiciel de calcul électromagnétique sur la base d'une méthode hybride de Méthode des Moments (MoM) et de Méthode des Éléments finis (FEM). Q3D® est un solveur complet d'analyse multi matériaux tenant compte de la disposition géométrique et électrique d'une structure. Les solutions électromagnétiques d'un problème donné sont ainsi interprétées en termes de distribution de courant ou de charge de surface puis en termes d'éléments partiels [66].

CST Studio Suite® est une solution logicielle d'analyse EM 3D haute performance dédiée à la conception, à l'analyse et à l'optimisation des composants et des systèmes électromagnétiques (EM) [67]. Quelques études ont été menées sur ces deux solveurs que nous pouvons retrouver parmi ces publications [68]–[72].

Une fois que le modèle 3D a pu être importé dans les solveurs, nous pouvons alors extraire les paramètres des éléments partiels RLCG du PCB. Ces paramètres nous permettent également d'obtenir les paramètres S des PCB afin de pouvoir les comparer à des mesures réelles obtenues grâce à l'analyseur de réseaux. Cette opération sera présentée durant le chapitre 4.

1.2.D. Développement d'un système de supervision numérique moderne

Un système de conversion d'énergie est composé au minimum de 2 parties : d'une structure d'électronique de puissance et d'un système de commande qu'on lui associe dans le but de piloter les composants de puissance qui lui sont attribués. Nous avons vu jusqu'à présent les différents aspects de l'électronique de puissance : des chaînes de conversion d'énergie au moteur. Nous avons

également observé que ces composants de puissance devaient être pilotés par des moyens nous permettant de moduler la tension aux bornes des moteurs.

Une loi de commande va donc être déterminée par le pilotage que l'on intègre aux modules de puissance. Ainsi, en reprenant les différents besoins de modularité que nous souhaitons intégrer dans notre système, un cahier des charges a été constitué pour obtenir une commande numérique modulaire. Cela a orienté notre réflexion vers 2 variantes de plateformes technologiques dont la logique de fonctionnement est différente : les microcontrôleurs (μC) et les Fields Programmables Grille Array (FPGA).

Ce cahier des charges prend en compte plusieurs critères de sélection vis-à-vis des fonctions que les plateformes doivent gérer. Nous avons la logique et le langage de programmation, la maturité de la technologie, la vitesse de fonctionnement, les fonctions intégrées à la plateforme liées à l'acquisition ou le pilotage des composants de puissance, et nous prenons également en compte l'interaction avec l'utilisateur et la simplicité d'intégration d'une interface externe.

Pour circonscrire le choix des différentes plateformes répondant à notre demande, nous nous focalisons dans un premier temps sur les interactions entre les différentes fonctions que la plateforme devra gérer.

La première fonction concerne l'interaction entre le pilotage des composants et l'utilisateur et doit comprendre 2 fonctionnalités : obtenir un retour d'information en temps réel des défauts potentiels du système et permettre à l'utilisateur de modifier numériquement les paramètres d'une MLI échantillonnée. Les paramètres variables de cette MLI sont la fréquence de découpage, la fréquence et le coefficient de modulation et le temps mort à la commutation.

La deuxième fonction concerne le lien entre l'acquisition et l'utilisateur. Elle doit avoir la possibilité de recevoir et de stocker en très peu de temps (quelques ns) les nombreuses données générées par les chaînes d'acquisition dans des mémoires internes ou/et externes associée à la plateforme.

La dernière fonction concerne la communication et l'interface entre l'utilisateur et la plateforme. Nous verrons que les développements actuels ont recours à différentes plateformes afin de pouvoir communiquer avec les plateformes de commande.

Ces trois aspects font intervenir plusieurs domaines de compétence qui, pour certains types de plateformes, ne seront pas envisageables pour différentes raisons telles que leurs vitesses limites de fonctionnement, ou l'espace alloué aux mémoires internes ou bien aux fonctions internes.

Pour conclure, afin de simplifier le processus de développement prévu pour chaque plateforme, nous avons défini une trame de conception reprenant les fonctions principales afin qu'elles soient transposables suivant l'évolution de la plateforme utilisée. C'est pourquoi, nous définissons maintenant notre cahier des charges.

a. Définition du cahier des charges pour le choix de la plateforme de commande

Le choix de la plateforme numérique est orienté suivant les performances du système que nous souhaitons. Afin de procéder au choix des plateformes, nous avons défini les différentes tâches auxquelles elle devra répondre en fonction des fonctions que nous venons de définir. La Figure 31 rassemble les compétences nécessaires au développement du système que l'on souhaite élaborer.

La première compétence, état du système, assure un déroulement correct des étapes de fonctionnement. Sa priorité est de surveiller les états des défauts potentiels qui apparaissent pendant ou hors fonctionnement. En fonction des événements, la plateforme met en sécurité le système entier en agissant sur les modules évoqués ci-dessous. Cette fonction est l'élément principal de sécurité en charge de la supervision.

La deuxième, concernant la modulation de la largeur d'impulsion, est l'élément lié à la gestion de la commutation des interrupteurs de puissance. C'est par cette routine que les largeurs d'impulsion sont paramétrées et générées en fonction du type de signal souhaité en sortie du convertisseur.

La troisième, vis-à-vis de l'acquisition, pilote comme son nom l'indique l'ensemble des convertisseurs analogique/numérique présents sur le banc de test : leur mise en marche, leurs défauts éventuels et le transfert des données vers la plateforme. Celles-ci sont stockées dans des mémoires pour pouvoir les transmettre par la suite à l'utilisateur.

La quatrième compétence concerne l'affichage des données reçues par plusieurs biais : les données d'acquisitions, les retours d'informations de l'état du système, le contrôle des valeurs de la modulation et le pilotage du système par l'utilisateur.

L'interface utilisateur est la dernière partie nécessaire au contrôle des autres sous modules. Elle a pour but de commander l'ensemble du système via une interface homme-machine développée en adéquation avec les besoins spécifiques du système. Pour le développement de cette partie, plusieurs architectures sont possibles. Nous les évoquerons une fois les différentes entités présentées.

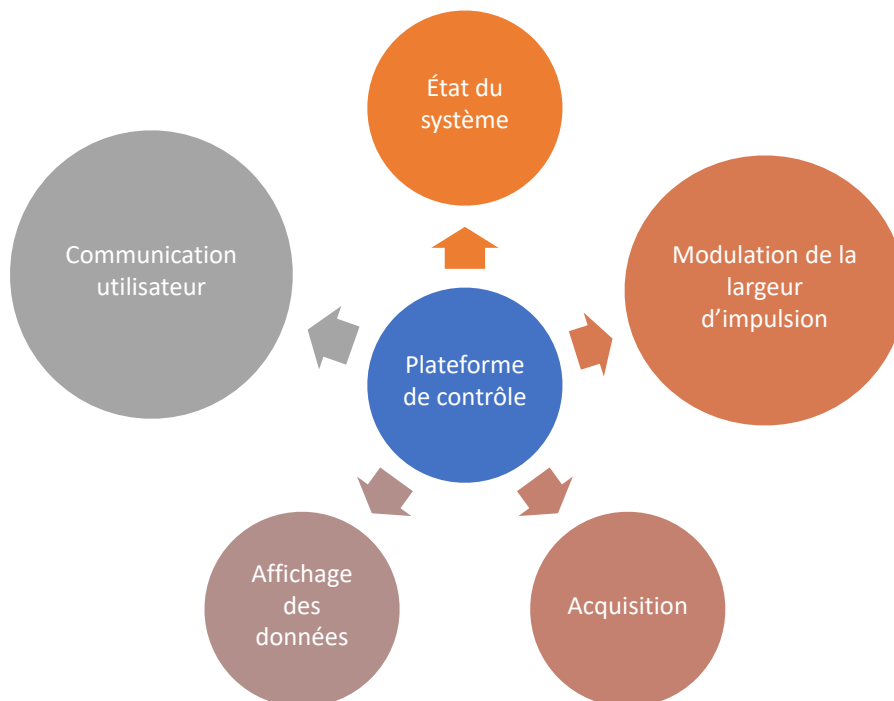


Figure 31 : Domaines de compétence compris dans la plateforme de gestion

Cinq entités ont donc été identifiées pour répondre aux besoins du système. Cependant, leurs logiques de fonctionnement restent à établir.

b. Architecture des modules

Établir les besoins fonctionnels de la plateforme de contrôle commande numérique permet d'établir l'architecture de fonctionnement globale d'un système de pilotage. C'est également cette étape qui nous permet de structurer les développements qui vont être portés sur les plateformes numériques choisies.

L'agencement de la Figure 32 montre plus en détail le lien entre chaque fonction telle que : « affichage des données » et « communication utilisateur » qui sont dédiées à l'interaction avec l'utilisateur. Cette interaction est gérée par l'état du système qui est établi sur le principe d'une machine à état. Bien que cette interaction puisse être matérielle et ne posséder que des boutons poussoirs pour contrôler le système, ayant défini une fonction « affichage », l'interaction avec

l'utilisateur sera préférentiellement visuelle. Cette spécificité demande aux plateformes envisagées d'avoir un moyen d'affichage propre ou d'avoir recours à un autre moyen externe pour accomplir cette tâche.

Les deux autres fonctions « MLI » et « Acquisition » ont pour but de traduire les données en signaux numériques entre la plateforme et les E/S. Divisée en deux fonctions : la première est la couche logicielle et intègre le code de fonctionnement tandis que la seconde est l'interface physique entre le logiciel et les E/S. Cette dernière peut être différente d'une plateforme à l'autre. Ces dernières seront présentées lors de leurs conceptions au chapitre 3.

Cette architecture met en évidence trois entités : l'utilisateur, la MLI et l'acquisition. Toutes trois sont esclaves d'une seule entité « État du système ». Cette dernière est la machine à état du programme et est associée aux informations provenant des modules de puissance, des chaînes d'acquisitions et de l'interface utilisateur. Lorsqu'elle traite la demande de l'utilisateur, suivant les données recueillies, elle effectue ses tâches en suivant un protocole sécurisé. La sécurité de ce protocole est liée à la mise en sécurité du système, en particulier si un des sous-modules logiciels ou physiques (module de puissance, chaîne d'acquisition) est mis en état de défaut. Ces informations sont également affichées en même temps sur l'interface utilisateur.

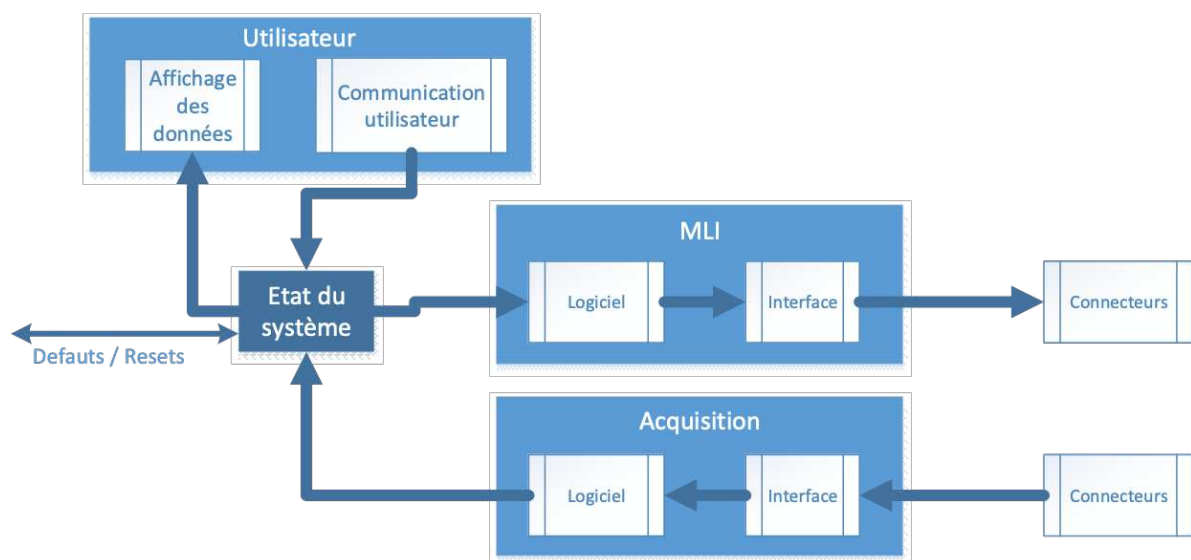


Figure 32 : Architecture du système de commande avec les principales fonctions

Chacune de ces parties possède des contraintes différentes auxquelles la plateforme doit répondre. Afin d'optimiser au mieux le temps de programmation et de s'astreindre à des structures de développement similaires entre chaque plateforme, nous avons décidé d'établir une procédure fonctionnelle pour chaque entité.

b.i. Entité « état du système »

Précédemment introduite, cette entité est l'interface logicielle et communicative qui fait le lien entre chaque sous-partie et l'utilisateur. Nous assignons ce fonctionnement à une machine à état qui se cadence suivant la vitesse de fonctionnement intrinsèque de la plateforme. L'avantage de cette méthodologie est de pouvoir mettre les sous-parties en arrêt de manière sécurisée lorsqu'un défaut apparaît par le retour d'information centralisé.

Présenté en Figure 33, cette machine à état gère huit procédures : l'initialisation, la mise en marche, la mise en arrêt et la remise à zéro de l'entité modulations de la largeur d'impulsion ; l'initialisation, la mise en marche, la mise en arrêt et la remise à zéro de l'entité acquisition ; et enfin la détection des défauts/mise en sécurité du système. Ils sont tous commandés par l'utilisateur et leurs procédures internes sont construites suivant la plateforme utilisée.

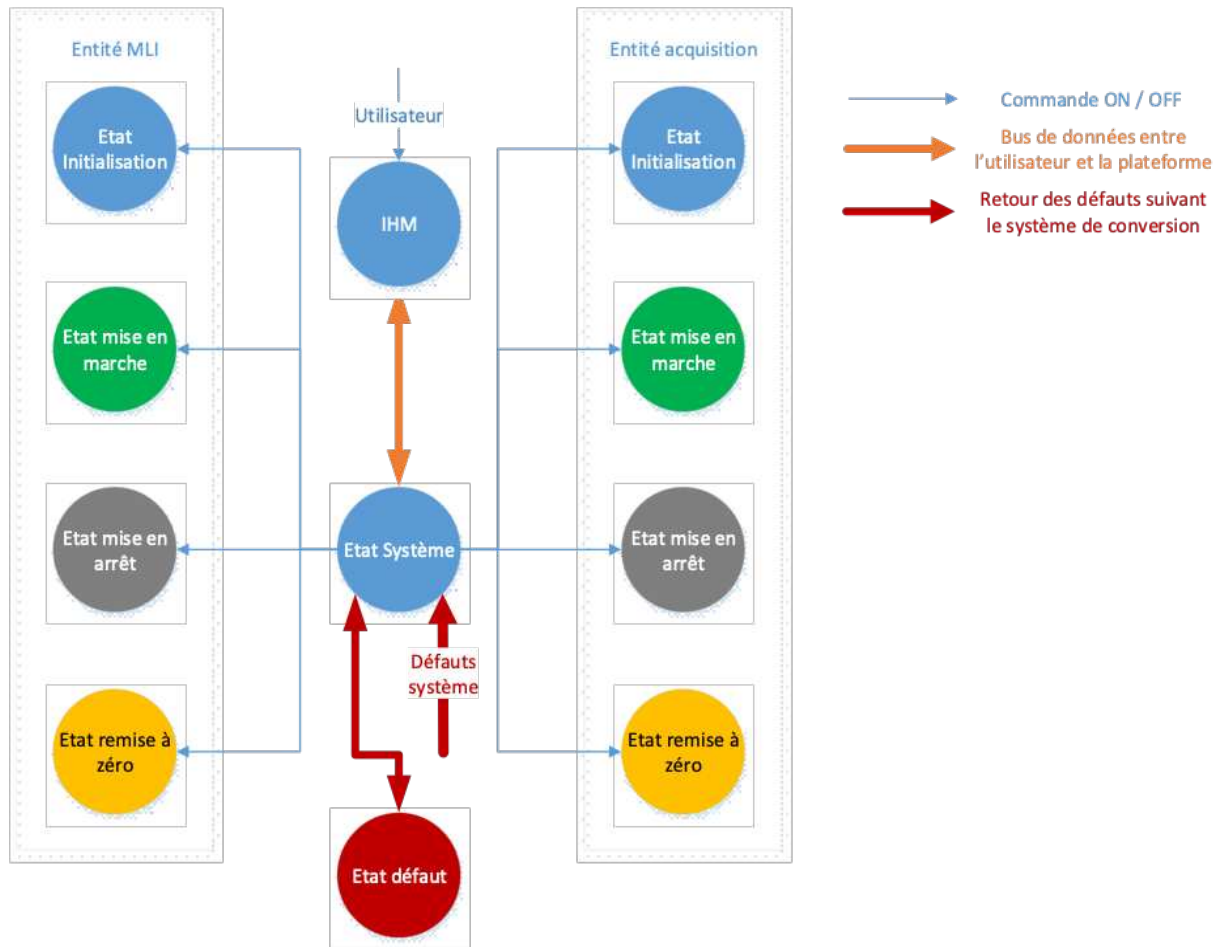


Figure 33 : Diagramme de fonctionnement de l'entité « État système »

Une fois que la machine a été définie vis-à-vis des entités acquisition et pilotage, l'état auquel l'utilisateur souhaite recourir est envoyé via une variable d'état. Cette variable nommée « ETAT_MACHINE » est accompagnée d'une série d'autres variables que nous présentons en Tableau 2. Celles-ci sont utilisées pour véhiculer les informations entre le système et l'entité respective.

Cette liste nous permet de justifier notre intention de vouloir rendre notre système modulaire en réfléchissant au préalable à toutes les variables qui joueront un rôle important dans cette démarche.

ENTITÉ	VARIABLES	DESCRIPTION	DEPUIS	VERS
MLI	MLI_FMOD	Fréquence de modulation	IHM	SYSTÈME
	MLI_FSW	Fréquence de découpage	IHM	SYSTÈME
	MLI_CMOD	Coefficient de modulation	IHM	SYSTÈME
	MLI_DDTIME	Temps mort à la commutation	IHM	SYSTÈME
MACHINE	ETAT_USER	État demandé à la plateforme	IHM	SYSTÈME
	ETAT_MACHINE	État réel de la plateforme	SYSTEME	IHM
	DEF_SYSTEM	Retour des défauts	SYSTEME	IHM
ACQ	ACQ_NBR_VOIES	Nombre de voies d'acquisition	IHM	SYSTÈME
	ACQ_F_ADC	Vitesse des acquisitions	IHM	SYSTÈME
	ACQ_N_BITS	Résolution des acquisitions	IHM	SYSTÈME
	ACQ_DATA	Données des acquisitions	SYSTEME	IHM

Tableau 2 : Variables présentes dans le bus de données entre l'IHM et la plateforme de gestion

Afin de rendre notre système réactif et rapide lorsqu'une demande de l'utilisateur surgit ou bien lorsqu'un défaut dans le système apparaît, nous structurons les échanges de données entre programmes de façon indépendante pour chaque entité. Nous allons ainsi faire appel à des routines d'interruption [73], [74]. Elles indiquent à la plateforme de prioriser des procédures lorsque celles-ci sont appelées pendant le fonctionnement du programme normal. (Illustration Figure 34).

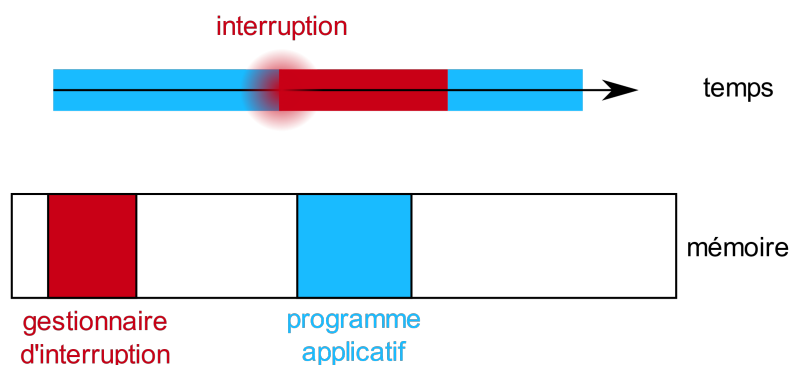


Figure 34 : Principe de fonctionnement d'une interruption

Parmi ces routines, deux types d'interruptions sont développées :

- Interruption principale liée à la détection d'un défaut situé sur les modules de puissance ou les centrales d'acquisitions
- Interruption secondaire lorsque l'utilisateur interroge et envoie des données depuis l'IHM

En agissant ainsi, nous nous assurons que notre fonctionnement priorisera les étapes lorsque l'utilisateur communiquera avec la plateforme ou bien lorsqu'une détection d'un défaut apparaîtra. La mise en sécurité des modules de puissance sera de ce fait, quasi instantanée.

Nous avons défini toutes les fonctions ainsi que leurs agencements par rapport au système. Les questions relatives aux intégrations de l'interface, de la gestion du pilotage ou bien de la gestion des acquisitions ont été traitées. Chacune des entités a été organisée en permettant d'avoir un fonctionnement indépendant. Nous allons maintenant poursuivre avec le descriptif détaillé de chaque entité.

b.ii. Entité « modulation de la largeur d'impulsion »

Cette entité a pour but de synthétiser un signal de sortie en fonction des performances souhaitées par l'utilisateur. Dans notre cas, la modulation de la largeur d'impulsion doit générer un signal sinusoïdal paramétrable par 4 variables grâce à une plateforme numérique. Ces 4 variables sont les deux fréquences de découpage et de modulation, le coefficient de modulation et le temps mort à la commutation.

Grâce à la variation de ces paramètres, le réglage des conditions des futurs essais sera facilité pour l'utilisateur. Ainsi, il sera possible d'augmenter ou de diminuer le niveau de l'agression aux bornes de la charge.

Pour calculer nos largeurs d'impulsion, nous nous sommes basés sur le principe illustré en Figure 12 démontrant que la MLI est produite par la comparaison de deux signaux : l'un triangulaire et l'autre sinusoïdal. Cette comparaison permet d'obtenir un signal carré cadencé par les temps d'ouverture et de fermeture des interrupteurs de puissance.

Pour transposer le même principe d'un point de vue numérique, la Figure 35 présente la modulation de la largeur d'impulsion en fonction d'un signal sinusoïdal modulant. Nous pouvons par ce biais construire notre équation en prenant plusieurs références de construction :

- Le 0V du signal modulant correspond à la moitié de la modulation. Notre point « 0 » est référencé à 50 % de la modulation.
- Ce point 0 sera aussi la référence de la modulation sinusoïdale
- Le coefficient de modulation est un coefficient appliqué juste à la partie modulation
- La discrétisation de la modulation est liée à un nombre de points qui définit le nombre de fois où le signal carré change d'état. Ce nombre est le ratio entre la fréquence de découpage et la fréquence de modulation.

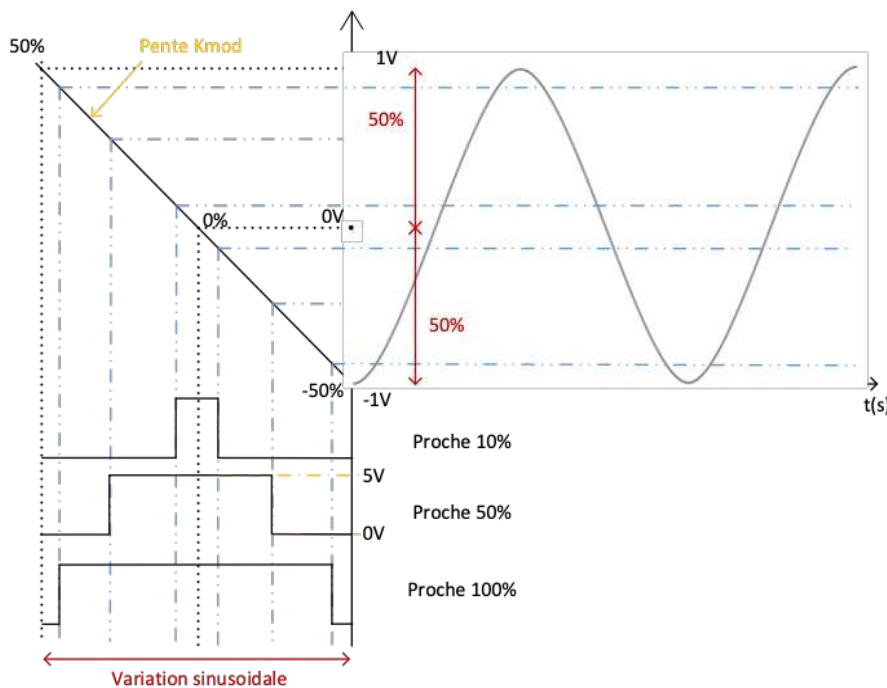


Figure 35 : Principe de la MLI à variation sinusoïdale

En plus de traduire mathématiquement la variation de la Figure 35, nous ajoutons les variables auxquelles l'utilisateur aura accès pour modifier les valeurs :

$$Duty[x] = \frac{F_{pwm}}{2} + \left(\frac{F_{pwm}}{2} * K_{mod} * \sin\left(\frac{2\pi * x}{nb_{points}}\right) \right) \#(7)$$

$$F_{pwm}(Hz) = \frac{F_{works}}{F_{sw}} - 1 \#(8)$$

$$nb_{points} = \frac{F_{sw}}{F_{mod}} \#(9)$$

Les variables précédemment présentées sont prises en compte : la fréquence de modulation F_{mod} , la fréquence de découpage F_{sw} , la fréquence de fonctionnement de la plateforme F_{works} , le coefficient de modulation K_{mod} , et le nombre de points nb_{points} . Ce dernier paramètre est lié à la discrétisation du nombre de périodes $\frac{1}{F_{sw}}$ pendant une période $\frac{1}{F_{mod}}$.

On procède par à un premier calcul $\frac{F_{pwm}}{2}$ Qui permet de référencer notre modulation au point 0V du signal modulant. Ensuite, autour de cette référence, le calcul procède à une variation sinusoïdale en faisant intervenir l'opérateur sinus sur l'expression suivante : $\left(\frac{F_{pwm}}{2} * K_{mod} * \sin\left(\frac{2\pi * x}{nb_{points}}\right) \right)$.

Celui-ci variera ainsi en fonction du coefficient de modulation et du rapport entre la variable x et le nb_{points} . La valeur maximale de x est limitée au maximum à nb_{points} .

L'implantation de la variation du temps mort dépend de la plateforme. Cet aspect sera évoqué durant la présentation des fonctionnalités propres à chacune d'elles.

Suivant les performances de la plateforme, ce calcul peut être effectué durant le fonctionnement des interrupteurs de puissance. Les valeurs de la largeur d'impulsion sont continuellement calculées par la plateforme. Cependant, pour deux raisons, ce raisonnement peut être simplifié : Si la plateforme ne possède pas les performances nécessaires pour effectuer un calcul complexe durant le pilotage des interrupteurs de puissance ou bien si nous voulons justement simplifier cette étape avec un stockage des valeurs de modulation, nous commençons alors la mise en marche du convertisseur par une étape d'initialisation.

Cette phase d'initialisation intervient pour calculer l'ensemble des points de la modulation via l'équation et pour les stocker, dans le même temps, dans un tableau en amont de la mise en marche des interrupteurs de puissance. Le système applique la largeur d'impulsion précalculée et incrémente suivant la fréquence de découpage définie par l'utilisateur. Ainsi, nous réduisons le nombre de tâches à effectuer durant la mise en marche du convertisseur et par conséquent, nous pouvons augmenter la vitesse de découpage des interrupteurs de puissance. Cette solution peut toutefois être limitée par la vitesse d'accès au tableau et de ce fait à la mémoire.

Cette dernière solution est celle utilisée dans chacun de nos développements. En plus d'augmenter la vitesse de découpage, nous réduisons de ce fait le taux d'utilisation du processeur lors de la phase de fonctionnement des interrupteurs de puissance. En réduisant ce temps, nous augmentons la vitesse de réaction du processeur pour traiter quasi instantanément les interruptions.

Une fois la procédure de calcul effectuée et la diminution des ressources obtenue, une problématique mettant en lien l'architecture du convertisseur d'énergie et le déphasage des signaux de sortie apparait. L'architecture a été définie comment étant triphasée dans notre cas d'étude, le déphasage entre chaque signal doit donc être obligatoirement de 120° afin de respecter l'équilibre du courant dans les charges.

Ce besoin amène à une problématique de taille : doit-on initialiser et construire trois tableaux différents afin que chaque phase soit indépendante ?

Cette question dépend du stockage interne de chaque plateforme numérique. Une fois de plus, dans notre cas, nous allons économiser au maximum les ressources en mémoire pour ce type de fonction. Nous avons fait le choix d'utiliser un seul tableau pour les 3 phases. Ainsi, chaque phase est indexée suivant un nombre synthétisant notre déphasage de 120° . Enfin, ce nombre est incrémenté en fonction de la fréquence de découpage.

En prenant l'exemple d'un seul tableau de 90 valeurs contenant toutes les valeurs de la modulation sinusoïdale, pour le décliner en 3 phases décalées de 120° , nous allons créer 3 variables attribuées à chaque phase. La phase 1 démarrera à la case mémoire [0], la phase 2 à la case mémoire [30] et la phase 3 à la case mémoire [60]. Cela correspond à décaler de $\frac{\pi}{3}$ et de $\frac{2\pi}{3}$. Pour poursuivre ce déphasage, chaque variable sera incrémentée en fonction de la fréquence de découpage des composants de puissance. Ces variables seront donc générées par les valeurs des points du tableau.

Nous avons vu jusqu'à maintenant le principe de fonctionnement d'une MLI numérique à partir des paramètres qui la définissent. Cependant, l'intégration de ce principe peut être différente suivant la plateforme qu'on utilise ou bien l'agencement de notre système. Nous allons voir en suivant des développements entrepris par plusieurs auteurs nous permettant d'avancer vers un axe bien précis lors de la partie a.

b.iii.Entité « acquisition »

Le développement de l'acquisition dans notre système est une compétence qui nous permettra d'obtenir les données formatées nécessaires à nos futures études. L'objectif de ce développement est d'obtenir des acquisitions liées au phénomène physique de la dégradation d'un isolant via des indicateurs que nous extrairons à partir de ces acquisitions.

Bien sûr, les outils actuels tels qu'un oscilloscope ou une centrale d'acquisition pourraient répondre à cette problématique. Cependant, notre objectif durant cette thèse est de développer un système combinant le pilotage de l'électronique de puissance à une métrologie modulaire tout en minimisant le nombre d'appareillages ou d'interfaces externes.

La problématique actuelle est que, en fonction des performances demandées pour chacune de ces tâches, les ressources au sein des anciennes plateformes numériques ne sont pas en adéquation. Ainsi, ces deux domaines sont très souvent dissociés en plusieurs plateformes.

De plus, le dernier point à respecter durant notre développement est d'avoir une liaison isolée similaire à celle de la commande des interrupteurs de puissance afin que notre système entier soit isolé des perturbations électromagnétiques. La solution à fibre optique est donc aussi à implémenter sur notre acquisition.

Afin de répondre à ces problématiques, nous allons premièrement nous concentrer sur l'élaboration d'un diagramme nous permettant de reproduire une procédure d'acquisition, du signal d'acquisition jusqu'à sa mise en mémoire. En utilisant le même principe que pour l'entité précédente, nous avons construit un diagramme fonctionnel pour obtenir un développement commun à chaque plateforme.

Nous analyserons dans un second temps les performances des convertisseurs analogiques numériques en fonction de leurs protocoles de communication ainsi que de leurs interfaces d'E/S.

b.iii.i.Procédure d'acquisition, de stockage et de traitement des données

La construction du diagramme fonctionnel d'une procédure d'acquisition est fonction des performances souhaitées. Plusieurs étapes sont à réaliser entre l'acquisition du signal et le traitement des données (Figure 25).

Premièrement, l'étape d'initialisation qui consiste à la récupération des informations saisies par l'utilisateur pour ensuite initialiser la chaîne d'acquisition en fonction du paramétrage. Nous allons retrouver comme paramètre, la résolution d'acquisition, la fréquence d'échantillonnage (F_{ECH}), le positionnement du trigger, le temps d'acquisition (T_{ACQ}) et l'amplitude maximale d'acquisition.

Une fois les paramètres d'acquisition établis, nous procédons dans un deuxième temps à la mise en marche des chaînes d'acquisition afin d'obtenir une séquence d'enregistrement. Le nombre de données d'acquisition engendré sera en fonction du ratio $\frac{T_{ACQ}}{F_{ECH}}$.

Troisièmement, nous stockons chaque valeur dans une mémoire tampon spécifique à chaque chaîne d'acquisition telles que des mémoires « First In First Out » (FIFO) [75]–[77]. En fonction du nombre d'acquisitions que nous souhaitons (N), de la fréquence d'écriture dans la mémoire (f_{wr}) et de la fréquence de lecture des valeurs (f_{rd}), nous pouvons calculer notre profondeur de mémoire tampon (P) nécessaire à partir de l'équation suivante :

$$P = N - \frac{\frac{1}{f_{wr}} * N}{\frac{1}{f_{rd}}} \#(10)$$

Effectuée simultanément avec l'étape 3, la quatrième étape consiste à lire les valeurs de la mémoire tampon tout en les regroupant dans une seule mémoire. Ainsi, nous récoltons l'ensemble des valeurs sur une seule et même mémoire telle qu'un disque dur par exemple.

Pour finir, nous pouvons effectuer la mise à l'arrêt des chaînes d'acquisition et traiter les séquences d'enregistrement en fonction des indicateurs que nous recherchons.



Figure 36 : Diagramme fonctionnel de l'utilisation de l'entité acquisition

Une fois la procédure établie, nous pouvons définir les critères d'acquisition qui nous permettront de dimensionner les convertisseurs.

b.iii.ii. Performances des convertisseurs A/N en fonction de leurs protocoles de communication

La numérisation d'un signal analogique est obtenue par des composants nommés convertisseurs A/N. Ce type de composant est dimensionné en fonction de plusieurs paramètres tels que sa fréquence d'échantillonnage qui représente le temps entre deux acquisitions ; sa bande passante qui représente sa largeur fréquentielle d'acquisition ; sa résolution qui représente la précision d'acquisition de l'amplitude du signal numérisé ; son architecture de numérisation et son protocole de communication pour le transfert des valeurs acquises.

En tenant compte de l'application, nous pouvons identifier quel type de convertisseur nous devons choisir. La Figure 37 nous indique les 3 types de convertisseurs existants en fonction de la résolution et de la fréquence d'échantillonnage. Dans notre cas, nous avons établi précédemment que les défauts d'isolation des bobinages apparaissent aux alentours de quelques centaines de MHz. La fréquence d'échantillonnage va donc se situer dans ces ordres de grandeur. Ainsi, le type d'architecture de convertisseur sur lequel nous nous dirigeons est le « pipeline ».

Les convertisseurs Sigma-Delta [78], [79] sont basés sur le principe de suréchantillonnage du signal d'entrée. L'intérêt de ce type de convertisseur est de pouvoir acquérir des signaux avec une résolution très importante (Figure 37). Cependant, leur inconvénient est de ne pas pouvoir acquérir des signaux à très hautes fréquences. Ce type de convertisseur est utilisé pour des applications audio à cause de leurs faibles bandes passantes.

Les convertisseurs SAR – à approximations successives [80] sont basés sur le processus de la dichotomie pour traduire numériquement le signal d'entrée. Ce processus fait la comparaison du signal d'entrée suivant une tension de référence. En fonction de cette comparaison, il complète les bits en partant du poids fort et en descendant progressivement jusqu'au poids faible.

Les convertisseurs pipeline [81] permettent d'acquérir des signaux à haute vitesse de par leurs structures spécialisées. Basées sur des échantillonneurs bloqueurs, leurs utilisations sont généralement orientées pour des acquisitions à haute vitesse tout en conservant une résolution correcte.

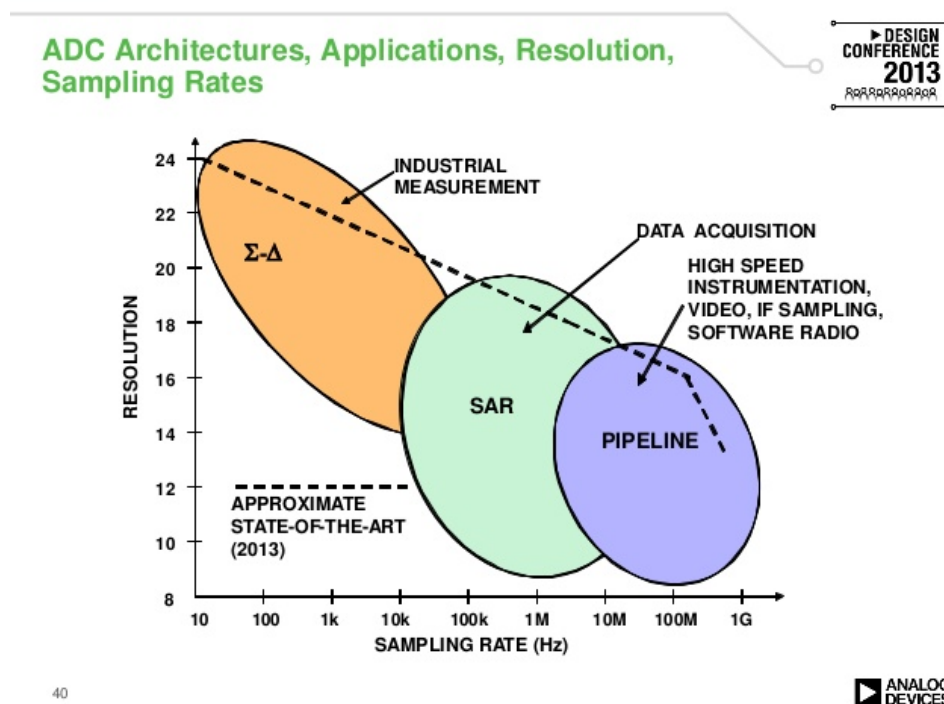


Figure 37 : Performances des convertisseurs analogiques/numériques en fonction de la résolution et de la vitesse d'acquisition [82]

Le protocole de communication des convertisseurs pipeline est typiquement établi en transmettant les données de manière parallèle. Pour illustrer ce fonctionnement, nous prenons pour exemple un convertisseur A/N de 12 bits de résolution et de 100 MSPS de fréquence d'échantillonnage. Le nombre de voies qui relie la plateforme au composant pour transférer les données d'acquisition sera fonction de la valeur de la résolution : 12 bits = 12 voies. Sa vitesse de fonctionnement dépendra de la vitesse d'acquisition : 100 MHz. Son fonctionnement est représenté Figure 38 : chaque voie change de valeur à chaque période d'acquisition. Le stockage des données du côté plateforme se fera donc à cette vitesse.

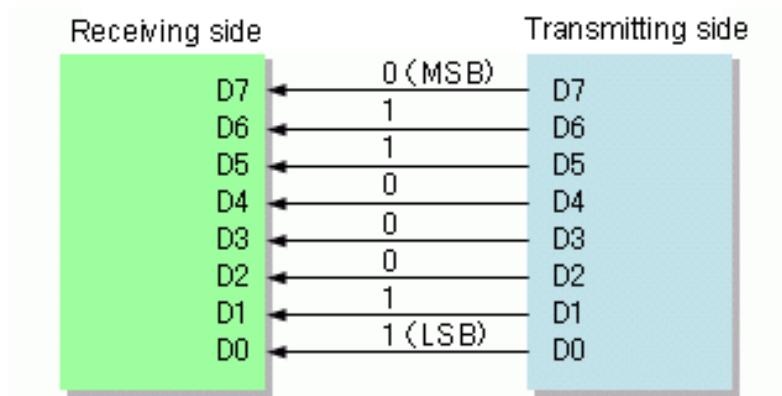


Figure 38 : Exemple d'une sortie d'interface parallèle [83]

L'intégration de ce protocole simplifie la logique de fonctionnement du côté de la plateforme. Cependant, son nombre de sorties est lié à sa résolution et ce, pour une seule voie d'acquisition. Face au nombre de sorties nécessaire côté ADC, le nombre d'entrées requis côté plateforme devient trop important même pour l'acquisition d'une seule sonde.

Afin de pouvoir combiner l'avantage d'un fonctionnement parallèle tout en diminuant le nombre de voies de sortie, un second protocole a été développé dans le but de « sérialiser » les données d'acquisition à travers N voies. Ce procédé est illustré Figure 39 où nous retrouvons la mise en série des données avant la transmission, ainsi que l'étape de « désérialisation » lors de la réception. Ce protocole est appelé SerDes [84]. L'intégration de ce protocole apporte aussi d'autres avantages tels que la diminution de la puissance consommée due à la réduction du nombre de voies de données, mais aussi une robustesse plus importante vis-à-vis des contraintes électromagnétiques. Cependant, son usage peut ajouter de la latence entre la transmission et la réception.

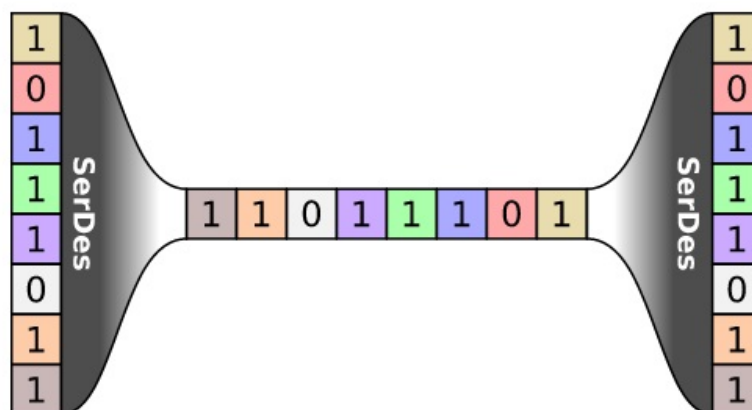


Figure 39 : Trame de données d'une communication série [85]

L'utilisation de ce protocole se fait via deux types d'interfaces, soit par l'interface « Low Voltage Differential Signaling » (LVDS), soit par le protocole « JESD204 ». Ce dernier est décliné suivant une lettre A ou B. Ces deux types d'interfaces diffèrent sur les bandes passantes de leurs fréquences de fonctionnement. Tandis que l'interface LVDS va permettre de faire transiter des informations jusqu'à 1 Gbits/s, le JESD204 permet lui d'atteindre des vitesses de transmission jusqu'à 12,5 Gbits/s. D'autres différences existent et sont présentées dans le Tableau 3.

FONCTION	SERIAL LVDS	JESD204	JESD204A	JESD204B
DATE D'INDUSTRIALISATION	2001	2006	2008	2011
VITESSE DE COMMUNICATION MAXIMALE	1,0 Gb/s	3,125 Gb/s	3,125 Gb/s	12,5 Gb/s
MULTIPLE SORTI	NON	NON	OUI	OUI
SYNCHRONISATION DES SORTIES	NON	NON	OUI	OUI
SYNCHRONISATION DE MULTIPLE ADC	NON	OUI	OUI	OUI
LATENCE DÉTERMINÉE	NON	NON	NON	OUI
SIGNAL D'HORLOGE COMMUN	NON	NON	NON	OUI

Tableau 3 : Comparaison des interfaces LVDS et JESD204 [86]

En fonction du composant que nous choisirons au chapitre 3, nous aurons à utiliser soit une interface LVDS soit une interface JESD204. L'un comme l'autre aura recours à l'utilisation d'un protocole de type SerDes. Toutefois, nous devons prendre en compte 2 aspects : Le premier concerne la vitesse de communication limitée par chaque interface et le second concerne notre souhait d'instrumenter notre système et de pouvoir communiquer les données d'acquisition par le biais de fibres optiques. Par conséquent, l'ADC ainsi que les fibres optiques devront être compatibles avec chaque interface pour pouvoir faire transiter correctement les signaux et remplir cet objectif d'isolation.

b.iv.JESD204B : Interface de communication à haute vitesse

L'interface JESD204 est de plus en plus intégrée dans des développements comprenant de la conversion analogique numérique. Atteignant des fréquences d'échantillonnage proches des 2,5 Gch/s, cette interface a permis à de nombreuses applications d'avoir des performances proches de celles des oscilloscopes de nouvelle génération [87]. Cette intégration s'explique notamment par l'évolution des caractéristiques des FPGA surtout concernant leurs vitesses de fonctionnement.

En effet, l'interface JESD204B impose des fréquences de fonctionnement élevées. Nous allons voir que, pour que celle-ci fonctionne correctement tout en étant synchronisée avec la plateforme de gestion, nous devons créer plusieurs horloges spécifiques à haute vitesse.

Le JESD204 est une interface qui regroupe 6 avantages principaux que nous pouvons retrouver dans la note d'application [88]. Comme indiqué, l'un des principaux avantages liés à son utilisation est de pouvoir réduire significativement le nombre d'entrées ou de sorties, mais également de pouvoir augmenter les vitesses d'échantillonnage des convertisseurs.

Cette interface est programmée suivant plusieurs paramètres :

- L : le nombre de voies d'entrées ou de sortie du convertisseur
- M : le nombre de convertisseurs présent dans chaque composant
- N : la résolution de chaque acquisition
- F : le nombre d'octets par trame de données
- K : le nombre de trames dans multiples trames
- S : le nombre d'échantillons par convertisseur par temps de cycle d'acquisition
- CS : le nombre de bits de contrôle par échantillon

Nous retrouvons ces paramètres lors de la synthèse des trames de communications illustrée Figure 40.

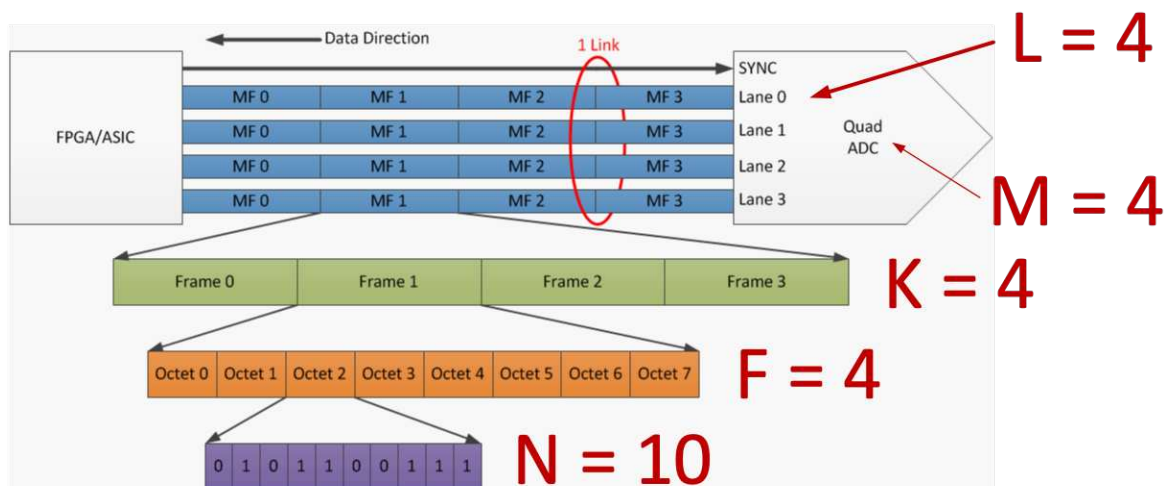


Figure 40 : Illustration des paramètres par bus de données JESD204 [89]

S'ajoute à ces paramètres celui de la Subclass qui détermine la procédure de synchronisation entre les convertisseurs et la plateforme de contrôle. Celui-ci se décline en 3 choix possibles [90] : soit le choix 0 où il n'y a aucune prise en charge de la latence entre la transmission et la réception des trames de données ; soit le choix 1 où nous prenons en compte ce paramètre par le biais du signal SYSREF ; soit le choix 2 où nous prenons en compte ce paramètre par le biais du signal SYNC~. Bien que le Subclass 0 soit le plus simple pour faire fonctionner rapidement le JESD204B, celui-ci ne possède pas la capacité de synchroniser de multiples convertisseurs tandis que le Subclass 1 et 2 le peuvent. L'ensemble de leurs différences est résumé dans le document [91].

Ainsi, afin de pouvoir extraire les données provenant des trames en fonction de l'interface JESD204B située sur la plateforme de gestion, nous avons une série de calculs préliminaires à effectuer afin de déterminer les différentes horloges nécessaires à la mise en œuvre de l'interface.

Physiquement, seules les horloges d'échantillonnages et le signal SYSREF seront nécessaires. Cependant, l'horloge d'échantillonnage va créer deux autres horloges par le biais d'une PLL, les horloges LINK et FRAME. La première : LINK va permettre à l'interface d'être référencée par rapport à la fréquence d'échantillonnage. La deuxième, FRAME, est l'horloge des trames de données que l'interface décode. Celles-ci créent aussi une troisième horloge « Local Multi Frame Clock » LMFC. Cette horloge est un compteur généré par l'horloge LINK et dépend des paramètres F et K. Elle permet de définir lorsque plusieurs trames de données prévues pour un convertisseur sont transmises (Figure 41).

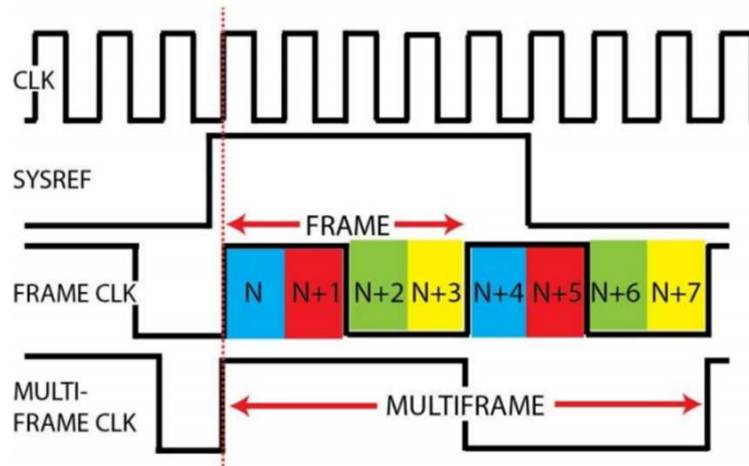


Figure 41 : Illustration des horloges FRAME, SYSREF, CLK et LMFC

Pour déterminer leurs valeurs, nous allons calculer suivant les paramètres de la fréquence d'échantillonnage que nous souhaitons, F_{ADC} . Les équations suivantes sont à appliquer pour cette procédure :

$$Data\ Rate = \frac{F_{ADC} \times M \times K \times \frac{10}{8}}{L} \#(11)$$

$$Link\ clk = \frac{Data\ Rate}{40} \#(12)$$

$$Frame\ clk = \frac{Data\ Rate}{10 \times F} \#(13)$$

$$LMFC = \frac{Frame\ clk}{K} \#(14)$$

$$SYSREF\ frequency = \frac{LMFC}{n} ; (n = integer; 1, 2, \dots) \#(15)$$

$$LMFC\ counter = F \times \frac{K}{4} \#(16)$$

Toutes ces équations ont été reprises de la description de l'interface spécialement conçue pour son intégration dans le logiciel Quartus [92].

b.v. Entité « utilisateur »

La dernière entité : « utilisateur » est l'entité qui permet de relier les actions et les choix de l'utilisateur à la plateforme de contrôle. C'est par ce biais que les informations sont affichées sur l'interface en complément des possibilités de paramétrage que l'utilisateur peut actionner. Une fois encore, nous procédons par étapes. Cette partie a pour but de mettre en place une structure visuelle ainsi qu'une logique de fonctionnement transposable entre toutes les plateformes choisies.

Pour pouvoir établir les bases d'une interface homme machine, nous créons une structure visuelle comprenant les besoins de l'utilisateur pour communiquer et interagir rapidement avec la plateforme numérique.

b.v.i. Construction de la mise en page

Afin de rendre les interfaces compatibles entre-elles, nous définissons un modèle qui servira de référence. Le retour d'information des défauts, des états de la machine et des données des chaînes

d'acquisition sont donc pris en compte. Les données à saisir par l'utilisateur sont : l'état souhaité, la fréquence de découpage, la fréquence et le coefficient de modulation, le temps mort à la commutation, le nombre de voies d'acquisition et l'intervalle de temps d'acquisition.

Une fois les requêtes établies, nous dessinons le modèle d'interface comprenant les données précédemment évoquées. Elle est illustrée en Figure 42:

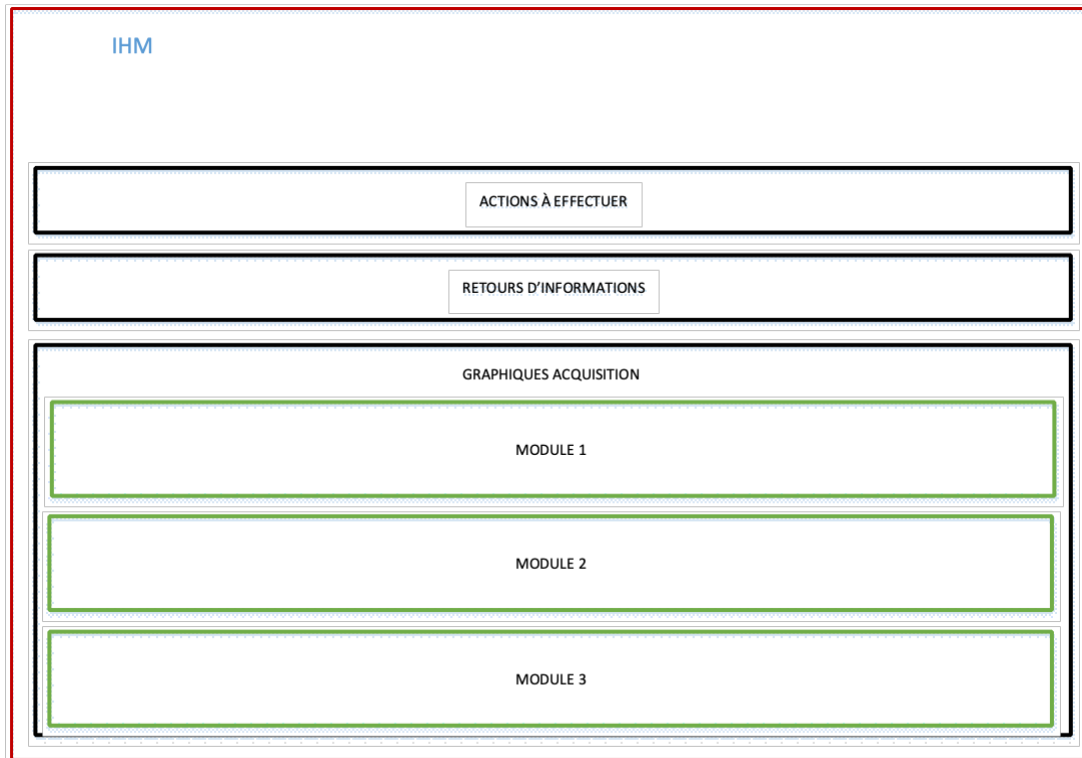


Figure 42 : Modèle d'interface comprenant l'ensemble des données nécessaires pour l'utilisateur

Nous retrouvons les 4 éléments principaux qui sont : les informations à saisir, les actions à effectuer et les retours d'informations précédemment listées ainsi que les graphiques d'acquisition correspondant aux sondes d'acquisition intégrées à chaque module de puissance

La conception d'une interface peut être obtenue à partir de l'utilisation de différents langages de programmation : C#, Python, HTML, TypeScript, etc. Nous verrons, lors des présentations des différentes plateformes, que 3 d'entre eux ont été utilisés dans le cadre de nos développements.

b.v.ii. Protocole de communication entre plateformes

Plusieurs protocoles de communication sont intégrés dans les μ C. Les plus connus sont le SPI, l'UART, le CAN et l'I²C. Le protocole SPI (Serial Peripheral Interface) et le protocole I²C (Inter-Integrated Circuit) communiquent selon le schéma « maître-esclave », c'est-à-dire qu'une première trame est envoyée depuis le maître jusqu'à l'esclave et lorsque l'esclave a reçu la trame, il renvoie une autre trame. Celle-ci n'est pas émise automatiquement. Leurs différences se retrouvent sur leurs nombres d'entrées/sorties et sur leurs vitesses de fonctionnement.

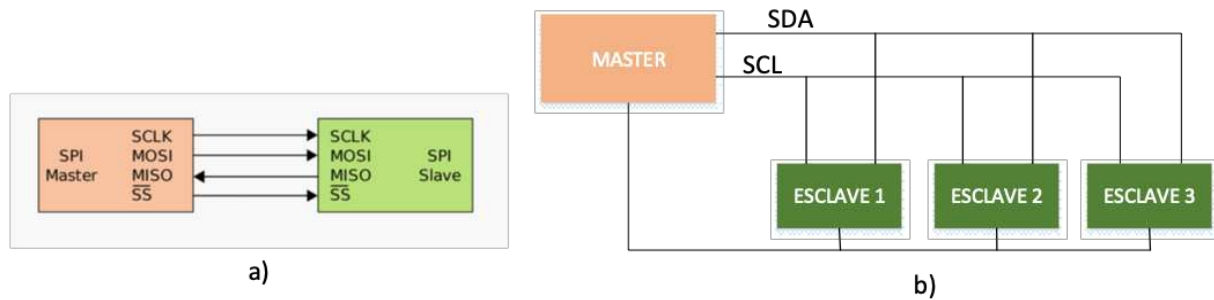


Figure 43 : Fonctionnement des protocoles de communication SPI (a) et I²C (b)

Un autre protocole est utilisé pour faire transiter des informations entre différents μ C. Celui-ci est le CAN (Controlled Area Network) qui est reconnu dans le milieu automobile, car il n'a pas besoin d'hôte pour pouvoir communiquer. Ainsi, chaque module peut transmettre des données de façon indépendante [93].

Le choix du bus de communication est tout aussi important pour transmettre et recevoir les données de l'interface à la plateforme. Appliquant le même principe que pour l'entité « Gestion MLI », pour optimiser ce temps de procédure, nous avons fait le choix de le développer via des interactions asynchrones prioritaires. Ainsi, à chaque demande de l'utilisateur, l'information sera traitée directement.

Dans notre cas, nous surveillons 2 retours d'informations : le premier est l'apparition d'un des 3 défauts provenant des modules de puissance. Le second est la communication entrante entre l'utilisateur et la plateforme. La Figure 43 illustre notre principe de fonctionnement.

Cette pré étude de mise en place de l'architecture du domaine informatique industrielle nous a permis d'orienter nos choix sur deux plateformes numériques à logique de fonctionnement différente. La première est le microcontrôleur, μ C, technologie mature dans le domaine de la conversion d'énergie, elle dispose d'un large panel de composants disponibles proposant des solutions adaptées à nos besoins.

Le deuxième est le Field Programmable Grille Array, FPGA, technologie en plein essor dans le domaine de l'électronique de puissance puisque celle-ci propose diverses fonctionnalités qui sont bien adaptées dans le domaine de la puissance. Également, elle a l'avantage de répondre à d'autres besoins ce qui lui donne l'avantage de pouvoir combiner le contrôle de plusieurs applications via une seule plateforme.

c. Les Framework disponibles pour le développement d'une interface homme-machine

Le développement d'une interface utilisateur est bien souvent réalisé à partir de plusieurs langages en fonction des Framework que nous utilisons. Deux d'entre eux ont été utilisés ici pour le contrôle de nos systèmes. Le premier est construit suivant la logique de programmation C#, le second suivant la logique de programmation Python. Le premier n'étant que très peu utilisé, nous allons nous intéresser au second qui est l'une des solutions retenues pour notre architecture de développement.

c.i. Framework Django

Le Framework Django utilise 4 langages de programmation, 3 d'entre eux sont le HTML, le CSS et le JavaScript. Ils permettent aux développeurs de construire le frontend, l'interface sur laquelle les informations seront affichées ou bien contrôlées par l'utilisateur. C'est la partie « visible » de l'interface. Le dernier langage est le Python, qui traite les informations dans la partie « backend ». Elle gère donc les serveurs et les bases de données [94]–[96].

C'est un Framework MVT : Modèle ; Vue ; Template [97]. Il est organisé comme illustré en Figure 44 : nous avons 4 principaux éléments dont le modèle des données [98], le Template de visualisation sur une page web, la Vue mettant en lien le modèle et le Template, le Contrôleur pour combiner les données à l'affichage, la Base de données comprenant l'ensemble des données fournies à et par l'utilisateur et enfin, l'interaction avec l'utilisateur [99].

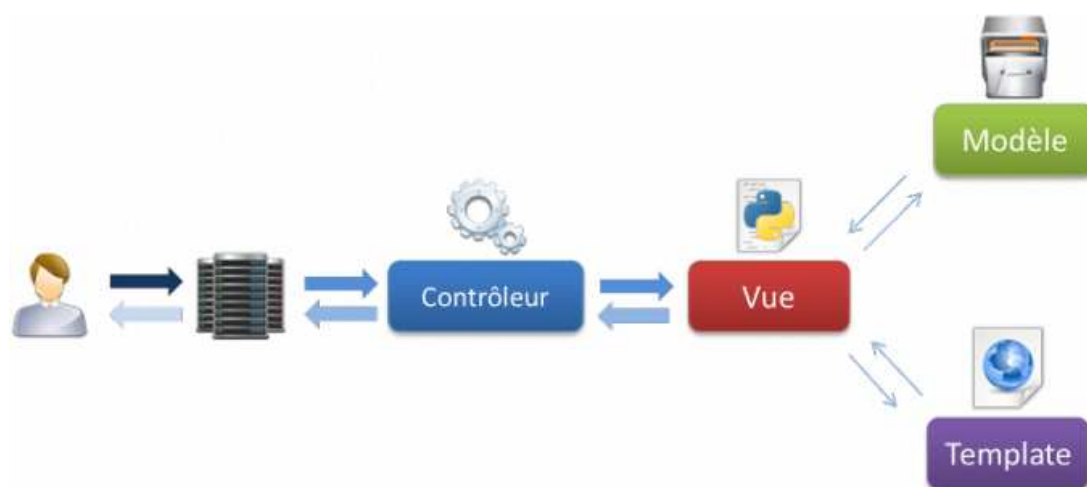


Figure 44 : Architecture MVT du Framework Django

L'utilisation d'un Framework comme Django requiert un processeur et un système d'exploitation Linux, Windows ou Macintosh, car celui-ci est installé comme un outil python dans le système d'exploitation. Dans notre cas, nous verrons par la suite que les nouvelles platines FPGA comprennent des processeurs ARM pouvant contenir un Linux embarqué. Par conséquent, il nous sera possible d'y installer le Framework Django et de contrôler les blocs construits dans la partie FPGA à partir de ce type d'interface utilisateur.

Ces architectures permettent à l'utilisateur de créer des fichiers pythons pour le contrôle de la partie FPGA, tout cela indépendamment du Framework Django. En tenant compte du fait que ce Framework se compose d'une interface construite avec les langages HTML/CSS/JS et d'un contrôle en backend des données avec le langage Python, nous pouvons contrôler directement notre platine à travers une interface web.

Cette démarche d'intégration n'est pas encore démocratisée dans le milieu de la commande d'électronique de puissance. Nous ne trouvons aujourd'hui que quelques exemples réalisés avec des plateformes FPGA telles que le projet ICCApt [100] ou le Framework propose une interface pour reprogrammer le FPGA dynamiquement en choisissant la logique de fonctionnement avec des portes logiques.

Nous avons pu accélérer notre développement en utilisant l'image d'un Linux embarqué préconçue contenant l'ensemble des outils nécessaires au développement d'une interface Django au sein des platines FPGA. Des fonctionnalités complémentaires sont aussi ajoutées à ce Linux personnalisé comme le fait de pouvoir reprogrammer dynamiquement notre FPGA via le téléchargement d'un fichier généré par le logiciel de programmation. Ce projet est basé sur le système yocto [101] et nous pouvons le retrouver sur la plateforme GitHub du nom de RSYocto [102]. Cette image n'est conçue que pour les plateformes DE0 Nano SoC, DE10 Nano SoC et Han Pilot.

I.2.E. Les plateformes numériques et leurs fonctionnalités

a. Les microcontrôleurs

Le monde numérique dans le domaine de l'électronique de puissance est souvent associé au microcontrôleur. Organe principal de nombreux systèmes de conversion d'énergie, il est l'un des composants le plus utilisés dans ce domaine de par sa facilité de programmation et d'intégration pour le pilotage des interrupteurs de puissance. Pour appuyer cet argument, il existe de nombreuses gammes spécifiques à différentes applications dédiées à la gestion d'énergie. Elles sont généralement spécifiques en fonction des composants ou des fonctions de régulation/supervision souhaitées.

Les composants μC ont aussi une spécificité particulière : les ports E/S assignés à des fonctions ne peuvent pas être utilisés pour d'autres fonctions. Ceci impacte la maniabilité ou l'évolution du système vers une structure plus complexe. Nous devons donc faire attention au choix du composant afin qu'il y ait la possibilité, à l'avenir, d'intégrer aussi les futurs développements. Si toutefois ce n'est pas possible, l'ajout d'un second μC est envisageable pour augmenter les possibilités en matière de fonctions.

Cet aspect est à prendre en compte suite au descriptif présenté précédemment. Nous ajoutons à nos critères la possibilité de faire évoluer notre commande : du pilotage d'un onduleur triphasé à celui d'un onduleur multi niveaux. Nous devons donc choisir un microcontrôleur ayant la possibilité d'effectuer toutes ces fonctions, notre besoin étant bien spécifique.

L'une des priorités dans notre développement est d'intégrer les fonctions de modulation de la largeur d'impulsion. Dans notre cas, nous avons donc fait le choix d'un μC spécialement conçu pour le pilotage d'architectures d'électronique de puissance à plusieurs niveaux : le dsPic33FJ64GS610 [103, p. 33] . Ce composant possède des fonctionnalités liées à la gestion des modulations de la largeur d'impulsion, à la sécurisation d'un système sous tension et à l'acquisition de signaux analogiques.

Le Tableau 4 résume les caractéristiques et les fonctionnalités que possède ce μC . Les caractéristiques affichées nous permettent de visualiser les informations importantes pour la suite du développement. Ce μC a la possibilité de contrôler jusqu'à 11 paires d'interrupteurs de puissance. Par conséquent, il peut être envisagé pour le contrôle d'onduleurs multiniveaux.

Il a également un nombre important de voies d'acquisition analogiques/numériques utilisables pour instrumenter le banc. Toutefois, leurs performances affichées ne sont pas en phase avec celles que nous attendons. De plus, l'intégration de l'interface JESD204B est ici, inenvisageable et sa faible taille mémoire de 9kB limite drastiquement le nombre de valeurs potentiellement stockables provenant des chaînes d'acquisition. Pour conclure, nous avons dans ce cas le choix entre plusieurs protocoles de communication tels que l'UART ou bien le SPI pour transmettre les données à l'interface utilisateur.

Caractéristiques	dsPic33FJ64GS610
Architecture	16 bits
Fréquence de fonctionnement maximale	40 MHz
Nombre d'instructions opérées par seconde	50 MIPS
Taille de la mémoire programmable	64 KB
Taille de la mémoire de stockage	9 KB
Sorties paires MLI	11
Nombre de bases de timer MLI	3
Résolution MLI	1.04 ns
Périphérique analogique/numérique	24*10 bits @4 MSPS
Périphériques de communications	2*UART / 2*SPI / 1*ECAN / 2*I ² C
Périphériques d'aide au stockage	4 Canaux DMA

Tableau 4 : Caractéristiques du dsPic33FJ64GS610

Nous pouvons notamment les retrouver dans une étude plus précise pour le contrôle des onduleurs avec des μC [104] ou bien dans des configurations ayant fait le choix d'utiliser des vecteurs spatiaux pour le contrôle des interrupteurs de puissance [105] ou bien encore pour le contrôle d'un convertisseur multiniveaux [105].

Nous avons vu jusqu'à présent les performances et les principes liés à l'utilisation des μC dans le monde de l'électronique de puissance. La problématique contraignante liée à la solution du μC dans notre système est de ne pas offrir la possibilité d'ajouter directement d'autres fonctions complémentaires telles que celles initialement prévues dans l'hypothèse de l'implantation d'une interface homme-machine complètement intégrée. De plus, le frein principal concernant l'acquisition est de ne pas avoir les performances nécessaires pour intégrer l'interface JESD204B.

Par conséquent, nous allons maintenant introduire et comparer différentes plateformes FPGA afin de savoir si leurs critères d'intégration dans le monde de l'électronique de puissance sont aujourd'hui intéressants.

b. Le Field Programmable Grille Array – FPGA

Parallèlement au μC , des plateformes basées sur une logique booléenne ont été développées : les « fields programmable grille array » dit FPGA. En termes d'utilisation, elles sont de plus en plus recommandées dans de nombreux domaines tels que l'acquisition, le traitement de l'audio, celui de la vidéo, dans l'accélération des traitements mathématiques et scientifiques, dans la gestion des données, dans l'analyse de systèmes en temps réel, dans la gestion de l'électronique numérique ou même de l'électronique de puissance, etc.

L'une des différences fondamentales vis-à-vis du μC est que le FPGA peut effectuer des routines de façon synchrone. Le FPGA est constitué d'une multitude de portes logiques. Par conséquent, son fonctionnement peut-être établi par l'association de portes logiques, et par le séquençement d'étapes lié à un signal d'horloge généré par la plateforme [107]. Ces possibilités de fonctionnement permettent au développeur d'avoir une plateforme réellement multitâche.

Les langages de programmation des platines peuvent être différents. Le développeur a le choix entre le VHDL ou le Verilog pour les plus connus. Leurs logiques de programmation sont proches de celle du langage C ce qui facilite les développements.

Depuis quelques années, la combinaison de deux technologies a vu le jour : l'ARM associé au FPGA dit FPGA SoC-, System-on-Chip. L'ARM est une technologie connue dans le monde de l'informatique. C'est un processeur hautes performances dépassant les performances d'un μ C. De cette combinaison, des plateformes numériques initialement purement FPGA ont vu leurs fonctionnalités s'étoffer grâce à la mise en commun de ces 2 technologies. Ainsi, cela a permis d'obtenir un nouveau type de plateforme beaucoup plus intéressante.

b.i. Présentation des plateformes FPGA-SoC

Nos travaux ont été réalisés sur 3 platines différentes. Leurs performances ont évolué graduellement. La première est la DE0-Nano-SoC comprenant des fonctions de premier ordre et un nombre de 40 E/S. Elle nous a permis de réaliser la gestion de la modulation de la largeur d'impulsion qui a ensuite été utilisée pour les deux autres développements.

La deuxième plateforme : le SoCKit est une évolution de la première de par ses performances et de par la taille de ses mémoires embarquées, et qui permet de plus l'accès à un connecteur spécifique à l'acquisition haute vitesse. Ainsi, la gestion d'une première acquisition a pu être développée. Ces deux platines fonctionnent avec un FPGA CYCLONE 5 du fabricant Intel.

La troisième et dernière plateforme utilisée possède des performances encore plus importantes que les autres. La Han Pilot Platform, développée avec un ARRIA 10 de Intel, a comme principal avantage d'avoir une vitesse de fonctionnement augmentée comparativement à un CYCLONE V, une mémoire embarquée bien plus importante et un large panel de fonctionnalités, dont un nombre de voies hautes vitesses élevé.

Cette dernière caractéristique est à prendre en compte lors du développement des chaînes d'acquisition, car, par le biais de celle-ci, nous pourrions potentiellement gérer les données de toutes les chaînes d'acquisition implantées avec une seule plateforme.

Les principales caractéristiques de la partie FPGA de chaque platine sont résumées dans le Tableau 5 :

Nom platine	DE0 Nano SoC	SoCKit	HanPilot
Socket	Cyclone V	Cyclone V	Arria 10
Référence	5CSEMA4U23C6N	5CSXFC6D6F31C6N	10AS066K3F40E2SG
Logic Programmable	15.880 k	41.910 k	251.680 k
SDRAM - FPGA	0	1GB	1GB – DDR4
Socket Memory	0	0	1 * DDR4 SO-DIMM
Embedded Memory	2.764 k	5.140 k	43.642 k
Connecteurs	GPIO	HSMC	FMC + SATA
Vitesse Ethernet	10/100/1000 Mbits	1 Gbits	1 Gbits
Voies transceivers	0	6 paires	11 paires
Vitesses voies d'acquisition	0	3.125 Gbits	40 Gbits

Tableau 5 : Caractéristiques des platines de la partie FPGA

Les éléments que nous observons dans le Tableau 5 nous font remarquer que les platines choisies ont des performances en constante évolution. Que ce soit sur le nombre de portes logiques programmables, représentant la capacité disponible afin de synthétiser le programme, sur la taille des mémoires embarquées ou sur les différents connecteurs disponibles. Ces éléments sont à

prendre en compte à des degrés divers en fonction de l'application pour laquelle la plateforme est utilisée.

Les notions de connecteur, de protocole et d'interface doivent être bien établies afin de bien comprendre la suite de nos développements. La Figure 45 illustre leurs interactions. Nous retrouvons le composant de base FPGA dont le type dépend de la puce que les fabricants ont implantée dans la plateforme numérique.

Le protocole de communication ou les interfaces définissent les caractéristiques de la trame de données traduisant la transmission ou la réception des signaux provenant de l'interface. Par exemple, lorsque nous avons une trame de données provenant d'une interface USB, nous utiliserons le protocole USB pour les décoder. Bien sûr, pour pouvoir extraire ou importer ces données, nous utilisons des connecteurs spécifiques à chaque protocole. La liaison entre le connecteur et l'interface est obtenue par le routage de lignes de transmissions. Ces lignes de transmissions seront différentes suivant les spécificités des signaux transmis par l'interface ou par le connecteur.

Nous pouvons citer quelques exemples tels que les signaux CMOS, LVDS, PECL ou bien CML. Chaque signal est spécifique, et a donc des caractéristiques propres de tension, de fréquence, d'impédance et d'usage. Par exemple, les signaux CMOS sont utilisés avec des lignes simples (Single Ended) et les signaux LVDS, PECL et CML sont routés avec des lignes différentielles [108]. Une adaptation doit donc être effectuée lorsque nous devons utiliser ces derniers. En effet, les lignes différentielles à haute fréquence doivent être adaptées si celles-ci sont différentes des terminaisons des composants [109], [110].

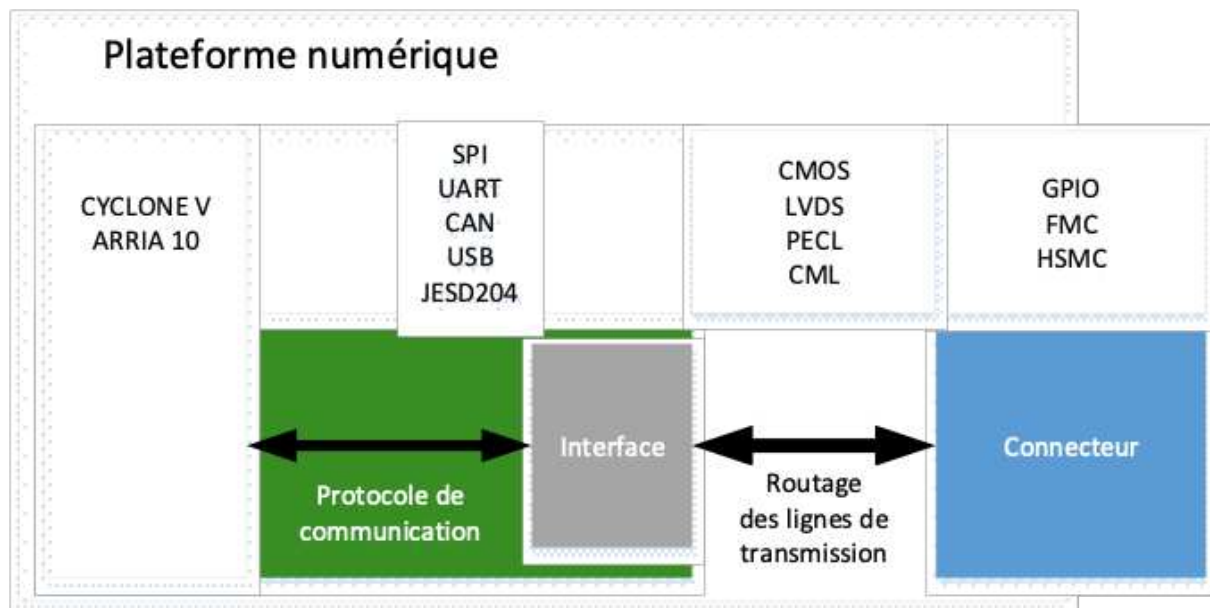


Figure 45 : Chaîne protocole - interface - connecteur

Un connecteur est l'élément placé sur une carte afin de l'interfacer à un élément externe. Comme nous l'avons précisé sur le Tableau 5, nous avons plusieurs possibilités avec des connecteurs GPIO, HSMC, FMC et SATA. Chacun d'entre eux a des limites d'utilisation. Par exemple, la première platine, DE0-Nano-SoC, ne comprend que des connecteurs GPIO [111] qui peuvent très bien être utilisés pour des applications dont les vitesses ne dépassent pas les 100 MHz. Lorsque celles-ci sont atteintes ou dépassées, nous devons recourir à d'autres connecteurs tels que les « High Speed Mezzanine Card » (HSMC) [112] que nous avons sur la platine SoCKit ou encore les FPGA Mezzanine Card (FMC) [113] qui ont des limites de bande de fréquence plus élevée (+ de 10 Gb/s).

Dans notre cas, nous devons prendre en compte ces caractéristiques en fonction de leur présence dans le développement des chaînes d'acquisition implémentées puisque les signaux qui seront transmis ne peuvent opérer correctement qu'à travers ce type de connexion.

Il a été question durant l'introduction de la nouvelle combinaison FPGA- ARM (ce dernier pouvant aussi être nommé HPS pour Hard Processor System). La technologie ARM est l'évolution du microprocesseur (μP) intégrant des performances plus intéressantes en termes de vitesse de fonctionnement et de fonctions multitâches.

Cette association FPGA- ARM a permis de revoir entièrement la structure des programmes FPGA et de procéder à des délégations de tâches spécifiquement liées à chacune des deux entités incluses. De plus, pour simplifier la communication entre ces deux systèmes, nous observons Figure 46 que la communication entre elles est faite par une interface interne spécifique HPS-FPGA.

Elle nous permet également de visualiser que les deux technologies sont à la fois combinées, mais aussi dissociées, laissant le choix au développeur de fonctionner soit uniquement avec la partie FPGA, soit uniquement avec la partie ARM ou bien les deux.

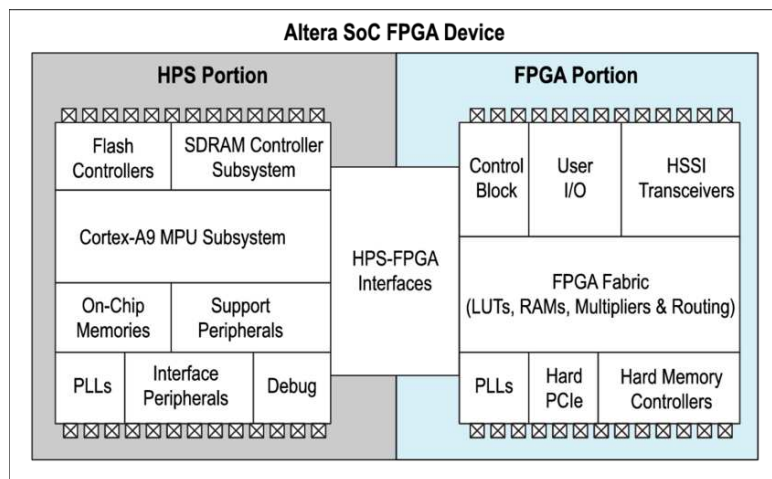


Figure 46 : illustration de la combinaison ARM (HPS) - FPGA

Il existe deux possibilités pour fonctionner avec un système ARM : soit par l'intégration d'un système d'exploitation, soit par le développement d'un code de programmation « brut ». Durant nos travaux, nous n'avons travaillé qu'avec un système d'exploitation Linux en y intégrant les codes sources afin de communiquer et de pouvoir contrôler la partie FPGA.

Les principales caractéristiques de la partie HPS de chaque platine sont résumées dans le Tableau 6 :

Nom platine	DE0 Nano SoC	SoCKit	HanPilot
Socket	Cyclone V	Cyclone V	Arria10
Processeur	ARM Cortex A9	ARM Cortex A9	ARM Cortex A9
Nombre de cœur	2	2	2
Fréquence Processeur	925 MHz	925 MHz	1.5 GHz
SDRAM - HPS	1 GB	1 GB	1 GB – DDR4

Tableau 6 : Caractéristiques des platines de la partie HPS

L'évolution des performances n'est ici pas aussi concrète que pour la comparaison des caractéristiques FPGA, mise à part pour la fréquence de fonctionnement du processeur. Nous

noterons que l'ajout d'une RAM de 1 GB peut contribuer significativement au stockage des données des différentes acquisitions.

Pour simplifier et accélérer la création des routines que nous souhaitons intégrer dans notre projet, nous disposons de blocs déjà conçus par les développeurs du logiciel Quartus pour des éléments de base tels que des mémoires embarquées, des PLL, des protocoles SPI ou UART [114]. Ainsi, nous pouvons aussi retrouver le bloc correspondant à l'interface JESD204 [115]. Ceci nous permettra d'accélérer le développement logiciel de nos projets comme exposé lors de leurs présentations en chapitre 3.

1.2.F. Conception & Réalisation : aspect informatique industrielle

a. Solutions existantes pour le pilotage des composants en électronique de puissance avec mise en œuvre de la variabilité des paramètres d'une MLI échantillonnée par le biais d'une plateforme FPGA

Les deux familles de plateformes numériques que nous venons de présenter se différencient par leurs degrés de maturité technologique et fonctionnelle dans des domaines d'application spécifiques tels que la conversion d'énergie. La première, le μC , est spécifique à ce type de projet, car elle intègre des fonctions prédéfinies pour la gestion des MLI. Toutefois, nous avons vu les limites existant dans l'intégration d'autres compétences sur ce type de plateforme. Nous ne retrouvons pas cette problématique sur les plateformes FPGA que nous avons listées puisque celles-ci possèdent beaucoup plus d'espace alloué à la logique programmable et aux mémoires embarquées. Seulement, le FPGA n'a pas été démocratisé dans le domaine de l'électronique de puissance et leurs prix n'ont été considérablement réduits que depuis quelques années. Bien que les tendances soient en train de changer quant à leur utilité dans le milieu industriel, le μC reste encore aujourd'hui la première référence.

De ce fait, le FPGA n'étant pas un système spécifiquement dédié au pilotage d'interrupteurs de puissance, la création d'une architecture de blocs logiques adéquate est nécessaire. Qui plus est, cette démarche peut se trouver compliquée lorsque la routine doit être facilement ajustable par l'utilisateur. En effet, dans la synthèse par des circuits logiques, l'accès aux nombres à virgule peut être compliqué. L'opérateur « sinus » introduit durant la présentation de l'entité « Gestion MLI » devient également problématique. Cependant, plusieurs solutions pour répondre à cette problématique sont étudiées.

La première est développée par M. Lakka [116] dont la modulation est fournie par un tableau prédéfini (LookUp Table) stocké dans une mémoire embarquée lors de la compilation du programme. Le tableau est obtenu après un traitement effectué sur le logiciel MATLAB [117]. Bien qu'elle soit efficace lorsque les valeurs sont fixées en amont du développement et de ce fait, ne prend pas un excédent de ressources inutile, elle reste problématique du point de vue de la modularité. Dès lors que les valeurs du coefficient de modulation, de la fréquence de modulation et de découpage doivent être changées, le processus de traitement et de compilation est à exécuter avant de reprogrammer.

La deuxième solution est aussi développée par les mêmes auteurs [118]. Cette fois-ci, ils ont opté pour la création des blocs logiques pour accéder à l'utilisation des chiffres à virgules afin d'intégrer la modulation sinusoïdale via l'application d'une variable. Ils ont donc ainsi accès à la variation des différentes fréquences et du coefficient de modulation.

La troisième solution que nous avons développée au début de nos travaux est l'intégration d'un bloc logique nommé NIOS II, proposé par le logiciel de programmation, qui simule le fonctionnement d'un

μ C [119]. Par ce biais, de nombreuses fonctions complexes sont possibles et la transposition du programme en C développé sur la plateforme μ C peut facilement s'opérer. De plus, afin d'optimiser l'ensemble du développement, une solution multiprocesseur a été explorée. Ce fonctionnement nous a permis de séparer les tâches d'acquisition des tâches dédiées à la gestion MLI [120].

Cependant, les mêmes problématiques que celles obtenues avec le μ C sont réapparues : une fréquence de découpage limitée à quelques centaines de kilohertz, une faible taille de la mémoire embarquée pour contenir tous les points de la modulation ainsi qu'un recours à l'utilisation d'un protocole de communication CAN ou/et SPI pour la communication avec l'utilisateur. Cette solution a alors été abandonnée.

De par nos souhaits en matière de modularité et d'évolutivité, nous nous sommes intéressés à la solution HPS et aux avantages qu'elle peut apporter. Ce développement sera présenté lors du chapitre 3.

b. Solutions existantes pour l'acquisition des données en hautes fréquences

Nous avons présenté durant la partie I.2.D.b.iv, l'interface de communication JESD204B haute vitesse dédiée à certains ADC. Son utilisation est de plus en plus répandue car elle permet de proposer des performances d'acquisition intéressantes tout en réduisant le nombre de voies de transfert de données. Le développement de ce protocole a permis de rendre possible la conception de chaînes d'acquisition intégrées tout en proposant des performances proches de celles des oscilloscopes.

Nous avons fait le choix d'intégrer notre propre chaîne d'acquisition au lieu d'avoir recours à un oscilloscope, car nous souhaitons centraliser au sein d'une même plateforme les fonctions de contrôle et d'acquisition. Cela nous permettra d'être le plus efficace possible concernant le traitement des signaux acquis pour l'arrêt du système lorsque celui-ci détecte une dégradation trop importante. Mais également, c'est aussi un avantage intéressant de pouvoir développer en propre un module d'acquisition embarqué à haute performance. Pour résumer, cela nous permettra d'avoir un système d'acquisition et de contrôle associé en un seul package.

L'utilisation d'une interface telle que le JESD204 ne permet pas de remplacer de manière équivalente un instrument d'acquisition des données en mode temporel tel que les oscilloscopes, ou en mode fréquentiel tel que les analyseurs de spectre, mais cette solution est celle qui permet le plus facilement l'intégration de systèmes équivalents pour la mesure et la surveillance des données avec des plateformes telles que celles présentées précédemment. Suite à des recherches bibliographiques, nous avons listé quelques solutions proches de nos besoins que d'autres équipes de recherche ont déjà entreprises.

Nous retrouvons tout d'abord la conception d'une carte d'acquisition à 1 GS/s [121]. Leur développement concerne la détection d'un scintillement rapide du matériau LaBr₃(Ce). L'utilisation du protocole est prévue pour la mesure spectroscopique de l'hydrogène. La carte d'acquisition qu'ils nomment GSPS héberge deux ADC échantillonnant à 1 GS/s chacun avec une résolution de 12 bits sur chaque voie d'acquisition.

La deuxième étude concerne une mesure dans le domaine de l'astronomie. L'équipe d'astrophysique de l'Université de Cornell a développé le projet « Digi-Cam » qui est basé sur la conception d'un système combinant un appareil photo innovant et compact avec l'intégration d'un déclenchement entièrement numérique et embarqué. Afin de produire cette dernière fonctionnalité, ils ont eu recours à l'utilisation de l'interface JESD204B [122].

Le troisième exemple est le produit d'une des cartes de développement que nous pouvons retrouver dans le catalogue du fabricant Analog Device : L'EVAL-AD9250 [123]. C'est une carte d'acquisition qui s'associe seulement à une plateforme comprenant un connecteur FMC. Celle-ci ne possède qu'un

seul convertisseur AD9250, composant que nous avons choisi pour notre étude. Cependant, celle-ci est liée à la platine de développement via le connecteur FMC et ne propose pas la possibilité d'isoler les communications.

Les 3 solutions décrites ici ne nécessitent pas spécifiquement une isolation entre la chaîne d'acquisition et la plateforme numérique. Une quatrième solution [124] répond à cette problématique d'isolation en proposant une architecture entre les convertisseurs, les fibres optiques et la plateforme numérique. En tenant compte de leurs indications, la longueur d'isolation maximale atteignable est de plus de 100 m.

La cinquième solution que nous avons identifiée est très proche de notre idée de développement, seulement, les caractéristiques d'acquisition ne sont pas celles que nous souhaitons. L'entreprise Amphenol a en effet conçu un connecteur comprenant 4 voies d'acquisition et une sortie de transmission de données par fibre optique [125]. Le connecteur se nomme ADC-4CH-160M-14-F et utilise le composant ADL34J45 avec une fréquence d'échantillonnage maximale de 160 MHz.

Pour conclure sur cet ensemble de solutions potentielles pour notre étude, citons le brevet d'une entreprise située aux USA qui propose d'associer l'utilisation de l'interface JESD204B à des fibres optiques [126].

Suite à l'analyse de ces solutions, nous verrons lors la présentation de nos travaux, qu'une architecture spécifique a été développée par nos soins. Nous avons mis en œuvre une chaîne d'acquisition comprenant deux parties, la carte d'acquisition qui sera proche des sondes que nous placerons au sein du système de puissance et la carte d'interface qui sera liée à la plateforme numérique. Ces deux parties sont reliées par des fibres optiques évitant ainsi des perturbations provenant de la partie puissance. Ces cartes d'interface sont conçues en fonction du logiciel que nous avons également développé comme nous le préciserons durant le chapitre 3.

Nous allons maintenant nous intéresser à la première étape du développement de notre banc de puissance, avec le chapitre suivant qui concerne le dimensionnement des aspects liés à l'électronique de puissance. Nous allons dans un premier temps, sélectionner les composants qui nous permettront de former la chaîne de commande et de puissance de notre onduleur. Dans un deuxième temps, nous ajouterons les sondes de champs proches qui nous permettront de recueillir des informations sur les courants traversant les PCB de puissance. Puis dans un troisième temps, nous assemblerons et testerons ce module pour valider son fonctionnement.

II. Chapitre 2 - Développement d'un banc de test modulaire dédié à la caractérisation de bobinages

II.1. Introduction

Durant ce chapitre, plusieurs aspects relatifs à la conception des modules de puissance destinés à notre banc de vieillissement seront évoqués. Les études bibliographiques que nous avons menées durant le chapitre 1 nous ont permis de constater la pertinence fonctionnelle d'une méthode de diagnostic. Grâce à ces premières études, nous avons pu identifier différentes gammes de fréquences aux alentours desquelles les phénomènes de vieillissement sont susceptibles d'être visibles. De ce fait, le dimensionnement d'un convertisseur de puissance spécifiquement conçu afin d'exciter l'échantillon dans les gammes de fréquences souhaitées a été nécessaire.

Suite à cela, notre problématique principale s'est dessinée tout au long des premières études pour en arriver à une question principale :

Comment accélérer le vieillissement d'un isolant de bobinage en se maintenant aussi proche que possible des conditions similaires à celles d'une alimentation réelle ?

Dans le but de compléter nos futurs travaux et d'y associer des compléments d'information, nous associons à celle-ci d'autres problématiques :

Quelles caractéristiques électriques auront le plus d'influence sur le vieillissement des bobinages moteurs ?

Quel indicateur sera le plus pertinent pour la détection d'une caractéristique de vieillissement dans le traitement des mesures ?

Ces premières problématiques nous permettent de conduire nos travaux vers un but précis : aboutir à une procédure de détection de vieillissement avec un banc spécifique à cet usage. Ainsi, viennent s'ajouter d'autres problématiques qui seront axées sur le choix technologique des différents éléments qui constitueront le banc. Pour pouvoir commencer le dimensionnement d'un banc de puissance, nous devons répondre à celles qui sont listées ci-dessous :

Comment déterminer la structure de l'architecture du banc de puissance en fonction d'un panel d'échantillon de moteur ?

Quels seront les matériaux semi-conducteurs les plus efficaces pour pouvoir accélérer le vieillissement d'un isolant de bobinage ?

Quelle technologie doit-on adopter idéalement pour le pilotage haute vitesse d'un banc d'électronique de puissance ?

L'instrumentation de ce banc doit-elle être intrusive ou non vis-à-vis de la possibilité de modification du comportement du système ?

C'est à partir de ces dernières problématiques que nos travaux se sont échafaudés. Notre réflexion a été orientée suivant trois axes fondamentaux :

Le chapitre 2 aura pour but de présenter le premier axe de développement, celui menant à différentes réflexions et dimensionnements liés à la partie puissance du banc de vieillissement. Les choix technologiques et les topologies souhaitées et notamment ceux dédiés à l'électronique de puissance en décrivant le processus de réflexion que nous nous sommes appropriés. Viendra par la suite, la présentation des sous-modules présents dans sa commande associée. De la commande des composants de puissance aux phénomènes de compatibilité électromagnétique engendrés, les différentes problématiques potentiellement identifiées et les choix mis en œuvre pour les repousser seront décrits et commentés.

Se rajoute à ce dimensionnement, le choix technologique de la métrologie. Nous avons adapté et caractérisé un dispositif non invasif de mesure de manière à pouvoir être attentifs aux signaux caractérisant ces phénomènes de dégradation. Les différentes études préliminaires [62], [127], [128] prouvent que cette caractéristique peut s'obtenir avec l'analyse du courant traversant les bobinages.

Souhaitant développer un moyen de mesure in situ « dans le PCB », nous avons intégré des sondes de mesure de champ électromagnétique à plusieurs endroits précis. Initialement développées dans le but d'obtenir les caractéristiques transitoires des composants d'électronique de puissance [129], elles seront dans notre cas, analysées suivant des spectres d'amplitude ajustés pour la détection d'une caractéristique de vieillissement au sein des bobinages moteurs.

Cette intégration s'accompagnera également d'une modélisation électrique afin de connaître les différents couplages que nous aurons entre les sondes et les plans de puissance constituant le PCB. Pour pouvoir prétendre à cette étape, une fois que les modules de puissance étaient routés, nous les avons modélisés avec l'aide de 2 solveurs parallèlement à des mesures effectuées avec un analyseur de réseaux. Cette procédure nous a permis de confronter chaque résultat afin de connaître les caractéristiques intrinsèques des sondes embarquées ainsi que leurs plages de validité.

Une fois cette étape finalisée, nous pourrons tester le banc à une puissance élevée afin de valider notre dimensionnement, le bon fonctionnement des composants de puissance ainsi que la métrologie embarquée.

Le chapitre 2 a pour but de dimensionner 2 axes : les chaînes d'acquisition accouplées aux sondes de champ proche ainsi que le logiciel de pilotage des composants de puissance. Concernant le premier axe, toujours dans un souhait d'obtenir des indicateurs de vieillissement à travers les signaux émis par des sondes intégrées aux modules de puissance, nous avons réfléchi à une chaîne de mesure adaptée aux gammes de fréquences où nous pouvions observer des caractéristiques de vieillissement. Ayant seulement des besoins de mesure à hautes fréquences, les composants d'acquisition analogique / numérique (DAC / ADC) seront dimensionnés pour acquérir des signaux dans la bande de fréquence des dizaines de mégahertz. Seuls quelques composants d'acquisition ont la possibilité de réaliser ce type de mesure. Accompagnés d'une étude sur l'adaptation des lignes de transmissions nécessitées par leurs hautes vitesses, nous verrons que l'utilisation d'une plateforme de type FPGA est primordiale pour l'acquisition de ce type de signaux.

Le deuxième axe sera exclusivement lié au dimensionnement du pilotage de l'électronique de puissance. Les technologies utilisées aujourd'hui sont forcément numériques de par leurs fonctionnalités qui évoluent année après année. Celles clairement confirmées et mûries dans le domaine de la conversion d'énergie concernent le μC qui a été très utilisé ces dernières années avec souvent l'association additionnelle d'un coprocesseur DSP (Digital Signal Processing) facilitant l'acquisition et le traitement des signaux. Seulement, ses limites de fonctionnement nous ont obligés à rechercher d'autres solutions potentiellement intégrables à notre banc. C'est le cas de la technologie FPGA qui sera exposée en détail pour en découvrir les avantages et les inconvénients. Cela permettra aussi d'avoir une vision des champs d'actions possibles dans ce milieu, que ce soit pour la partie contrôle commande, pour l'acquisition et le contrôle d'une chaîne de mesure ou bien encore pour le développement d'une interface homme-machine. De plus, nous verrons la nouvelle association d'un μP et d'un FPGA nous a permis de dépasser les limites imposées soit par un FPGA ou soit par un μC . Cela nous a aussi permis d'intégrer d'autres fonctionnalités jusqu'alors, impossibles à mettre en œuvre.

Cependant, le recours à des solutions numériques haute vitesse dans un environnement soumis à des commutations de puissance à haute fréquence engendre des contraintes de compatibilité électromagnétiques (CEM) entre les divers éléments constitutifs du banc.

Que ce soit par l'apparition de perturbations électromagnétiques liées à la commutation de fortes puissances à haute vitesse, par l'étude des éléments parasites au sein d'une carte de puissance ou par le filtrage des signaux parasites en mode commun, la combinaison de différents domaines tels

que l'électronique de puissance, la métrologie ou l'informatique industrielle entraîne la considération de nombreuses adaptations. Par conséquent, une architecture permettant de répondre à ces problématiques sera proposée en début de ce chapitre 2.

Pour finir, nous calibrerons et expérimenterons à partir de deux types de stators, le premier usé, le second neuf, afin d'extraire des indicateurs de vieillissement des signaux acquis par les sondes de champs proches. Cela nous permettra aussi de valider le positionnement des sondes et leur efficacité à acquérir des phénomènes de vieillissement.

Les réflexions et les dimensionnements amenés tout le long des 2 prochains chapitres ont fait intervenir un large panel de domaines de compétences qui sont illustrés en Figure 47 :

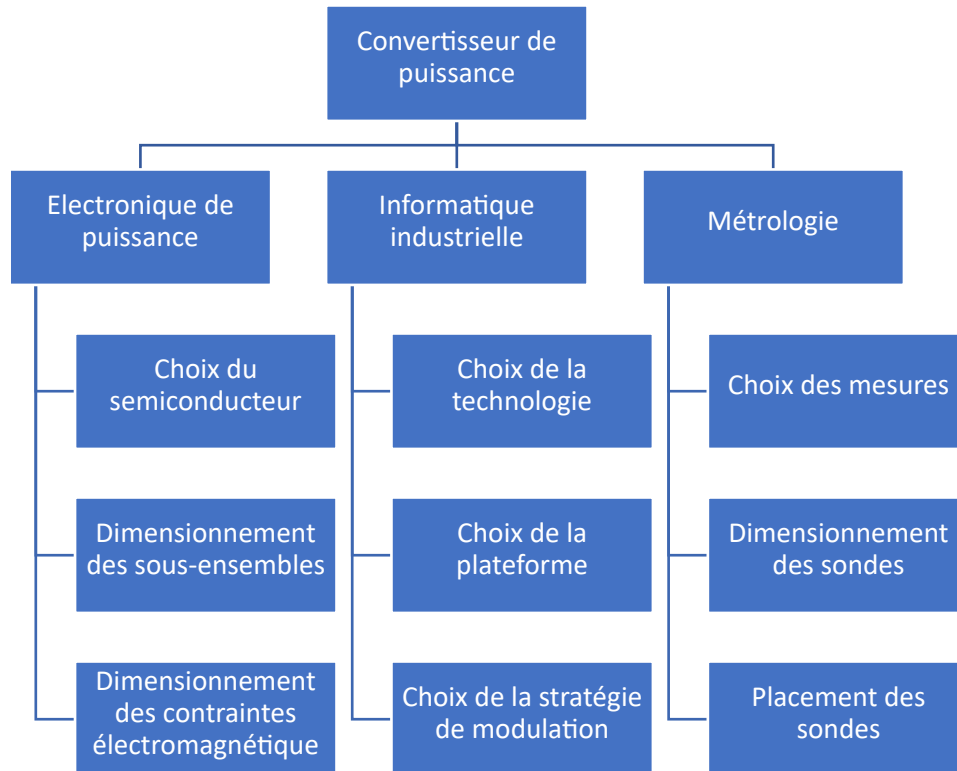


Figure 47 : Domaines de compétences développés pour le banc de test

Pour conclure, afin d'être à même de répondre à un large spectre de tests ayant des configurations totalement différentes de ceux présentés ici, nous avons fait le choix de conduire l'ensemble des développements en gardant à l'esprit les trois critères clés suivants :

- Modularité
- Adaptabilité
- Versatilité

Nous allons donc maintenant, commencer le dimensionnement de la partie puissance du banc de vieillissement.

II.2. Développement de la partie électronique de puissance

II.2.A. Cahier des charges et caractéristiques des éléments de la chaîne de conversion d'énergie établis en fonction de la modularité souhaitée

Le développement de notre banc de vieillissement a été réfléchi en fonction des paramètres préétablis par les besoins vis-à-vis de la charge. Fourni par notre partenaire industriel, NOVATEM SAS, ces éléments seront deux moteurs (stator seul dans un 1^{er} temps, puis ensemble stator-rotor à terme) ayant les caractéristiques suivantes :

Nom	Tension de bus maximale	Courant de phase maximal	Puissance apparente nominale	Fréquence de modulation	Couplage
EMOD	600 V V _{DC}	5 A _{eff}	3 kVA	800 à 2000 Hz	Étoile
EMOD EVO	1000 V V _{DC}	3 A _{eff}	3 kVA	800 à 2000 Hz	Etoile

Tableau 7 : Caractéristiques des stators fournis par NOVATEM SAS

Ces grandeurs de dimensionnement nous ont permis d'établir un premier cahier des charges. Pour la suite des travaux, les caractéristiques de EMOD étant moins contraignantes que celles de EMOD EVO, nous ne prenons en compte que les caractéristiques de ce dernier. Avant de présenter le cahier des charges, plusieurs éléments sont à prendre en compte :

Cette charge sera alimentée par une cellule de conversion d'énergie située en amont du stator. Étant donné que ce premier échantillon est un moteur triphasé, le système de conversion devra obligatoirement être configuré en onduleur triphasé à modulation sinusoïdale. Il sera alimenté par une alimentation continue iso puissance 0-1000 V de 10 kW.

Cet onduleur triphasé sera piloté par un système de commande développé par nos soins, et par conséquent, adapté au besoin et à la stratégie de modulation que nous souhaitons. Ayant défini la structure du convertisseur, la plateforme de contrôle intégrera une stratégie de modulation triphasée. Les informations qu'elle retournera : telles que les apparitions de défauts des cartes de puissance seront à prendre en considération.

Nous souhaitons ajouter à ce système une ou plusieurs chaînes de mesures permettant l'acquisition des signaux souhaités afin de pouvoir mener notre campagne de caractérisation des phénomènes de vieillissement. La transmission de ces acquisitions est gérée par le système de commande affichant les données à l'utilisateur via une interface homme-machine web. Le synoptique du banc de vieillissement, Figure 48, permet de mieux cerner les liens entre les différentes entités constitutives du banc :

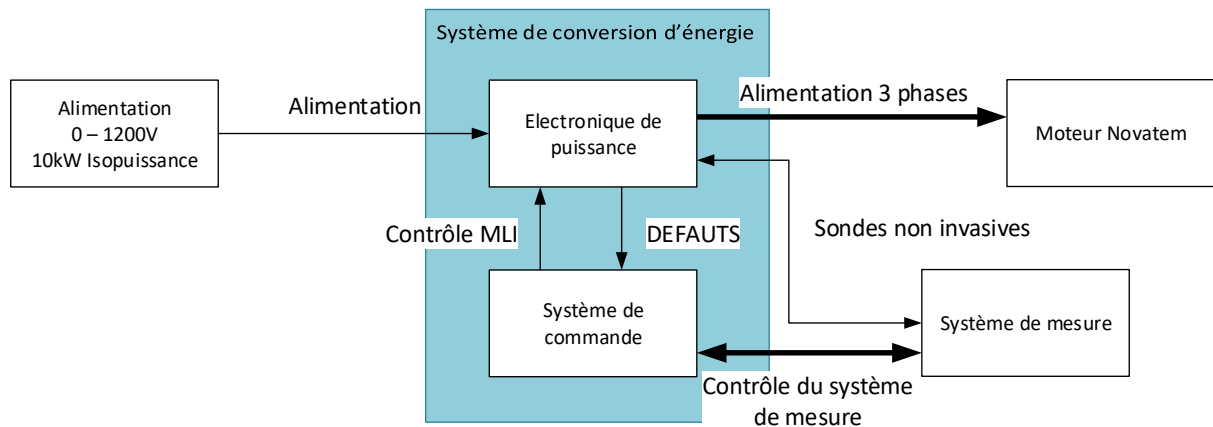


Figure 48 : Synoptique du banc de vieillissement développé

Ces premières considérations permettent de circonscrire une architecture globale du système. De plus, le banc de vieillissement dédié aux moteurs électriques triphasés sera constitué d'éléments modulaires, adaptables et versatiles qui permettront l'adaptation du banc à différentes configurations de bobinages.

Pour répondre à cette problématique, nous avons mené une réflexion sur une configuration aussi modulaire et versatile que possible. De ce fait, nous avons choisi de développer un bras d'onduleur triphasé (Figure 49) dont 2 MOSFETs ont été agencés en série pour fournir une sortie de puissance située au point milieu. Cette structure sera notre brique de construction unitaire.

L'avantage de ce type d'architecture basée sur des bras indépendants est de pouvoir ré agencer facilement la structure du convertisseur d'énergie souhaité. Les configurations envisageables avec des structures demi-pont sont des configurations telles que le buck ou boost, l'onduleur monophasé, l'onduleur triphasé ou des onduleurs multi-niveaux comme le Neutral Point Clamp dit NPC.

Ce dernier onduleur, le NPC à trois niveaux est structuré avec 2 commutateurs de puissance mis en série à chaque demi-bras [16], [130]. L'avantage de cette disposition est de pouvoir augmenter la tension bus V_{DC} à deux fois la tension de blocage admissible par le commutateur [131]. Cette architecture ne sera pas traitée dans ce manuscrit, toutefois, elle fera l'objet de futures études.

Étant donné que les problèmes liés à la CEM sont de plus en plus prédominants lorsque les hautes fréquences sont atteintes dans le domaine de l'électronique de puissance, les dimensionnements ont été réfléchis de façon à limiter autant que possible toute perturbation interne ou externe impactant le fonctionnement général du système.

Pour assurer au maximum la sécurité du système, les liaisons entre chaque module de puissance et leur pilotage sont assurées par des fibres optiques, diminuant ainsi notablement les problèmes de perturbations électromagnétiques.

De plus, la détection des défauts aux bornes des composants de puissance a été implantée assurant ainsi la mise en sécurité du système. Cette détection permet aussi la mise à l'arrêt de l'ensemble des alimentations présentes sur la carte de puissance.

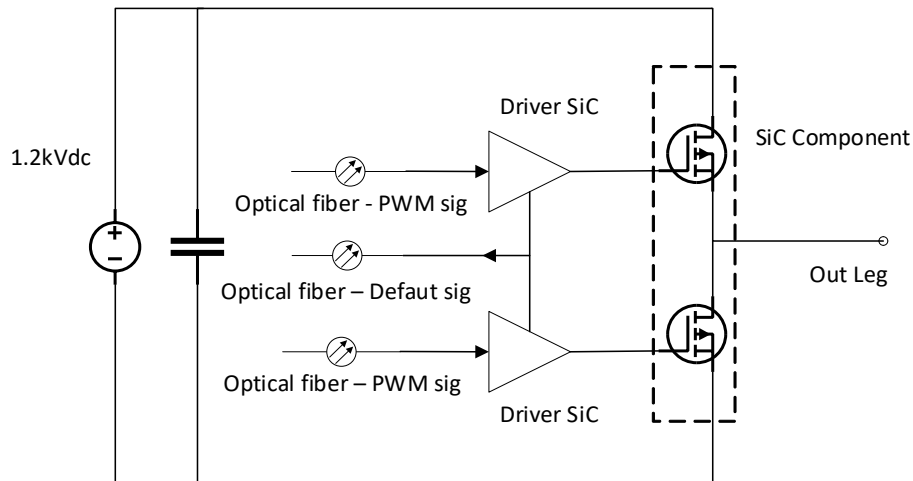


Figure 49 : Synoptique de la carte demi-pont

Plusieurs avantages accompagnent ce choix de structure. Nous verrons plus tard que cela nous permettra de simplifier la procédure d'évaluation des éléments parasites de la carte de puissance. Lors d'une simulation, les éléments de conception d'un PCB (pistes, plans de puissance, isolant FR4, etc.) sont représentés par des modèles de matrices d'impédances passives tels que des inductances, résistances et condensateurs comme indiqué Figure 50 [71]. En faisant ce choix, nous avons la possibilité d'analyser finement, grâce à la caractérisation et à la simulation, le comportement réel et l'intégrité des signaux et forme d'ondes du système. Cette méthodologie de modélisation sera exposée plus tard dans le chapitre (II.4.D).

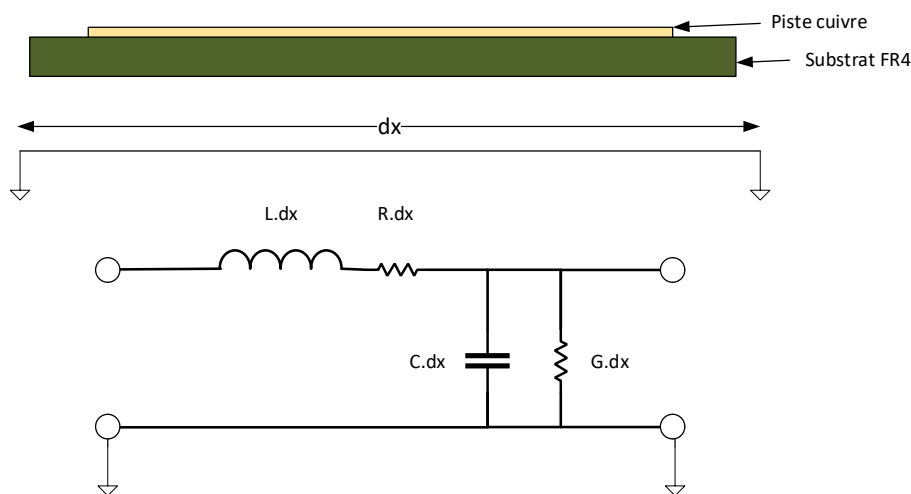


Figure 50 : Modélisation d'une piste cuivrée sur PCB en éléments électriques passifs

Nous allons maintenant mener une réflexion liée aux processus de génération des tensions sinusoïdales nécessaires au fonctionnement du moteur. Ces tensions sont créées par le pilotage des composants de puissance suivant la modulation de la largeur d'impulsion (MLI) (chapitre 1).

Pour rappel, la modulation de la largeur d'impulsion d'un composant fait intervenir 4 paramètres : une fréquence de modulation (F_{MOD}), fréquence du signal apparent sur la charge, une fréquence de découpage (F_{SW}), fréquence à laquelle les interrupteurs de puissance fonctionneront pour obtenir le signal présent aux bornes de la charge, le coefficient de modulation (C_{MOD}) variant entre 0 et 100% et ajuste l'amplitude de la valeur efficace de la tension de sortie et le temps mort à la commutation (T_{DD}), qui détermine le temps d'intervalle présent entre 2 commutations des interrupteurs de puissance. Celui-ci doit être paramétré afin d'éviter les courts-circuits potentiels.

Avant d'identifier à quel choix de stratégie de modulation nous devons recourir, intéressons-nous au principe du processus de vieillissement accéléré :

Indiqué par P. Werynski [132] le phénomène de vieillissement apparaît à la suite d'un stress engendré par un cumul de nombreux fronts de fortes tensions rapides présents aux bornes de la charge. Ces nombreux fronts sont produits par l'ouverture et la fermeture des composants de puissance suivant la stratégie de modulation. La tension caractérisant ces fronts sera la tension V_{DC} du bus d'alimentation. Cela se traduit par l'accumulation de charges dans les isolants des bobinages proportionnellement à l'apparition de dV/dt élevés. Souhaitant atteindre des effets relatifs à ce phénomène aussi rapidement que possible, notre objectif sera d'obtenir un maximum de fronts en très peu de temps.

De ce fait, pour atteindre cet objectif, nous avons choisi une stratégie de modulation permettant l'augmentation de la fréquence d'apparition de ces fronts, ce qui implique une augmentation de la fréquence de découpage à une valeur aussi élevée que possible.

Suivant les stratégies de modulation numérique sans porteuse que nous avons listées chapitre 1 résumant les différentes modulations possibles au pilotage d'un composant de puissance [23], nous avons opté pour la MLI sinusoïdale échantillonnée numérique pour plusieurs raisons. C'est une stratégie prévue pour être intégrée dans une plateforme numérique suivant une formule mathématique pour l'obtention des points de modulations (Chapitre 1), elle ne nécessite pas de boucle de régulation [133] et ses paramètres de modulation sont variables numériquement, c'est-à-dire que nous pouvons varier les paramètres tels que la fréquence de modulation ou de découpage, le coefficient de modulation ou le temps mort à la commutation depuis une interface homme-machine.

Remarque : le choix de cette stratégie de modulation ne tient compte que de notre besoin actuel. Une fois de plus, ce banc de vieillissement se veut d'être évolutif. D'autres stratégies de modulation seront envisagées ultérieurement.

Après avoir mis en parallèle les premières contraintes du système liant le convertisseur de puissance à son système de commande, nous avons pu établir le cahier des charges suivant (Tableau 8) :

Performances	Fsw (Hz)	Fmod (Hz)	Cmod (%)	DeadTime (μ s)	dV/dt
Minimum	10k	25	0	0.005	10kV/ μ s
Maximum	250k	20k	100	1	50kV/ μ s

Tableau 8 : Établissement des minima et maxima des performances du système de conversion d'énergie

Le choix de ces valeurs minimales et maximales est lié à différentes raisons.

La fréquence maximale de découpage est liée à la fréquence maximale de commutation des composants de puissance. Elle sera limitée par les caractéristiques intrinsèques des composants de puissance choisis.

La fréquence maximale de modulation est liée à l'évolution des conceptions des moteurs. De nombreux éléments ferromagnétiques peuvent être réduits si leurs fréquences apparentes sont d'ordre plus élevé que la centaine de hertz. Certaines applications fonctionnent à de telles fréquences telles que des transformateurs haute fréquence.

La réduction du coefficient de modulation permettra de limiter l'amplitude de la valeur efficace de la tension sinusoïdale (et donc l'échauffement résultant) tout en appliquant l'agression recherchée sur le bobinage. Les fronts de tension liés à la commutation des composants de puissance seront présents aux bornes de la charge tout en limitant le courant débité dans l'échantillon.

Le paramètre de temps mort est arbitré en fonction des paramètres présentés en amont, plus la fréquence de commutation est élevée, moins le temps mort aura la possibilité d'être long.

Remarque : avec l'utilisation des composants de puissance à grand gap, ce temps peut être optimisé afin d'obtenir un meilleur rendement [125] [126].

Le paramètre $\frac{dV}{dt}$ est la conséquence de l'adéquation entre le composant de puissance et la charge. En effet, ces valeurs seront modifiées en fonction du composant choisi ainsi que, le cas échéant, lorsque la stratégie de modulation de $\frac{dV}{dt}$ intégrée à la carte de puissance sera différente.

Pour ce qui nous concerne, nous avons souhaité développer une commande dont les performances vont largement au-delà des vitesses de commutation atteintes par les composants que nous avons sélectionnés. Ce choix peut être justifié de plusieurs manières : d'une part il était important pour nous de démontrer concrètement l'intérêt de la technologie FPGA en poussant les performances au maximum. D'autre part les MOSFETs SiC que nous avons choisis dans un premier temps, existent également en version compatible avec des performances supérieures. Enfin, nous envisageons également l'éventualité d'avoir recours à de nouvelles générations de composants qui pourraient être plus performants à l'avenir [136].

Souhaitant développer un système versatile, d'utilisation abordable et gérant à la fois le pilotage de la partie puissance et la partie acquisition, les caractéristiques concernant les spécifications dédiées à la métrologie seront également dimensionnées. Il sera également nécessaire de vérifier la compatibilité des 2 tâches en matière de performance et de stockage vis-à-vis de la plateforme choisie. Cette réflexion croisée sera évolutive en fonction de la complexification graduelle des contraintes rencontrées et de la prise en compte des contraintes liées à l'intégration dans les différentes plateformes choisies.

L'aspect important lié au développement de la partie métrologie sera donc détaillé dans le chapitre 3. Toutefois, durant le cheminement de la thèse, nous avons fait graduellement évoluer la gamme des plateformes numériques que nous avons utilisé afin d'aboutir à l'objectif d'intégration souhaité concernant le pilotage des composants de puissance grâce à une stratégie de modulation variable, au contrôle et à l'acquisition des données d'une chaîne de mesure, à l'usage d'un post traitement des données acquises et à un affichage homme-machine indiquant les paramètres variables du pilotage des composants de puissance ainsi que des données traitées.

Nous allons voir à présent, le développement de la chaîne de puissance.

II.2.B. Développement de la chaîne de puissance

a. Choix du matériau semi-conducteur

Le processus de vieillissement que nous avons mis au point implique la notion « d'accélération du temps ». Cette accélération provoque une augmentation du stress sur les isolants des bobinages. Comparé à une utilisation en processus normal, nous espérons que notre banc permettra de réduire significativement leurs périodes de fonctionnement (par exemple de quelques mois à des périodes d'essai de quelques jours). Leurs durées de vie originelles se comptant en dizaine de milliers d'heures, soit en années de fonctionnement. Les durées de vieillissement seront ainsi diminuées pour permettre une caractérisation de l'évolution tendancielle des durées de vie plus rapide.

En tenant compte de la stratégie de modulation souhaitée, il en résulte que ce processus implique l'augmentation du nombre de fronts ascendants et descendants générés par les composants de puissance et appliqués aux bornes de la charge. C'est pour cette raison que le choix du type de composant semi-conducteur est le premier élément déterminant de notre configuration.

Comme nous l'avons précédemment démontré dans le chapitre 1, ces dernières années, un accroissement significatif des performances des composants de puissance a pu être observé par les concepteurs de systèmes de puissance. Cette évolution est principalement due à la démocratisation croissante de composants basés sur de nouveaux matériaux semi-conducteurs : SiC, GaN, etc.

Dans cette nouvelle gamme, nous avons préféré opter pour la technologie SiC, et ce, pour différentes raisons : une meilleure maturité d'usage du matériau (retour d'expérience plus vaste présent dans la bibliographie) ; abordable techniquement et mieux adapté à une première expérience de mise en œuvre au sein de notre laboratoire ; une technologie SiC suffisamment mature et performante pour notre usage actuel ainsi que pour les évolutions potentielles souhaitées dans nos futures études au sein du laboratoire ; et aussi la possibilité de changer le type de composant grâce à une architecture du système pensée en conséquence.

Grâce au recours à cette technologie, les performances en termes de vitesse seront augmentées ce qui nous permettra d'optimiser le processus de vieillissement souhaité. Cependant, un aspect essentiel lié au remplacement des composants Si par des SiC se doit d'être abordé : leurs tensions de blocage. Les onduleurs actuels présents dans les applications citées dans le chapitre 1 sont équipés, surtout, de composants à semi-conducteurs silicium, choix technologique le plus éprouvé depuis longtemps. Les composants les plus fréquents sont des IGBTs de par leur robustesse et leur tension de blocage élevée : 1200 V [137, p. 4].

Cette dernière caractéristique est à prendre en compte vis-à-vis de l'objectif d'agression souhaité sur le bobinage. En effet, souhaitant augmenter la fréquence de découpage qui est l'image de la fréquence de fonctionnement du composant de puissance, celle-ci sera limitée si nous devons prendre un composant IGBT. De ce fait, nous avons pris un MOSFET SiC ayant une tension de blocage similaire. De plus, si nous souhaitons augmenter ultérieurement cette valeur, les dernières générations de composant de puissance à base de SiC peuvent atteindre les 1700 V de tension de blocage.

Une fois le matériau choisi vient le choix du modèle de composant. En tenant compte du fait que nous souhaitons simuler le comportement de notre système à l'aide d'un solveur électrique, nous avons pu nous diriger vers une gamme de composants offrant cette possibilité. Certains fabricants proposent les fichiers de simulation de leurs composants. Proposant un large panel de composants potentiellement intégrables à notre système, mais ayant des performances différentes, le fournisseur CREE WOLFSPEED [46], acteur important du développement de ces familles de composants a été retenu.

Toujours dans une idée de polyvalence, le composant choisi nous imposera une contrainte vis-à-vis de son boîtier. Pour éviter de reprendre l'ensemble de l'étude des modules de puissance et permettre à l'utilisateur de changer rapidement et simplement le composant, nous avons choisi le boîtier TO-247.

Les caractéristiques du composant choisi seront principalement guidées par les performances souhaitées. Comme indiqué dans le cahier des charges, le courant nominal traversant le moteur EMOD est de 5 Aeff. Une mesure d'impédance de l'échantillon réalisée avec le RLC mètre Hioki IM3536¹ à sa fréquence de modulation a été effectuée (Tableau 9) pour permettre d'élaborer une simulation comportementale du système sous le logiciel Gecko Circuit afin d'obtenir les caractéristiques prévisionnelles des courants traversant les composants de puissance (Figure 52) :

	800Hz	Phase 1 - N	Phase 2 - N	Phase 3 - N
RxN	468.10mΩ	466.34 mΩ	461.80 mΩ	
LxN	651.56 μH	653.91 μH	654.98 μH	

¹ BP : 4Hz - 8MHz, erreur de mesure estimée à 0.05%

Tableau 9 : Mesure des paramètres RLC du moteur SRM à 800Hz

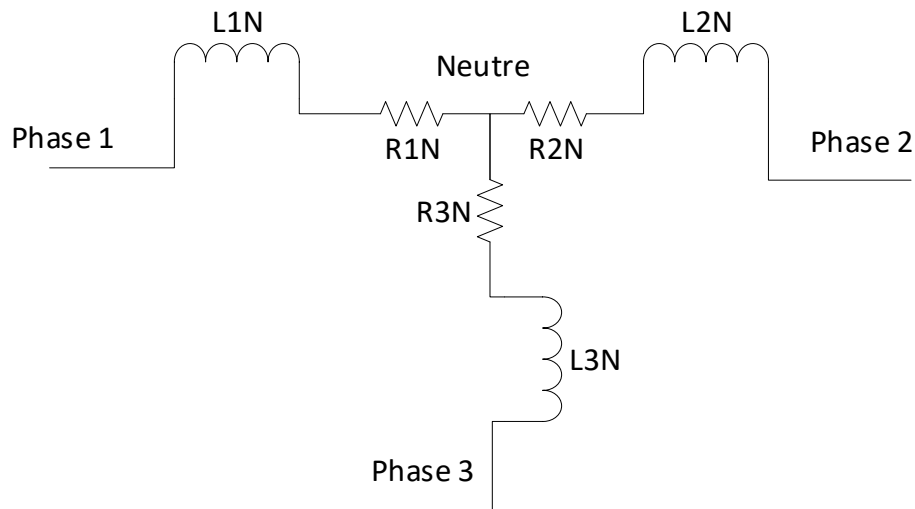


Figure 51 : modèle RL couplage étoile de la charge

Les paramètres de la stratégie de modulation sont fixés en fonction du régime nominal du moteur évoqué précédemment. Le courant de phase a été ajusté via le paramètre du coefficient de modulation pour obtenir $I_{NOM} = 5$ A. C'est pourquoi ce paramètre est fixé ici à 8%. Le point de fonctionnement est illustré en Tableau 10 :

F_{MOD}	F_{SW}	C_{MOD}	V_{DC}
800 Hz	250 kHz	8 %	600 V

Tableau 10 : Point de fonctionnement du système pour le régime nominal

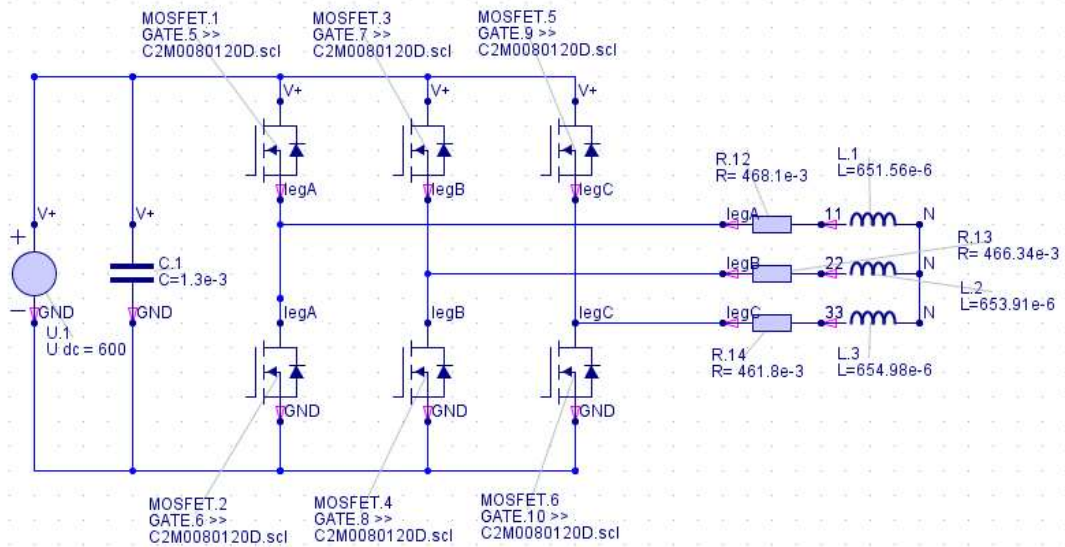


Figure 52 : Schéma de simulation du point de simulation sous le logiciel Gecko Circuit

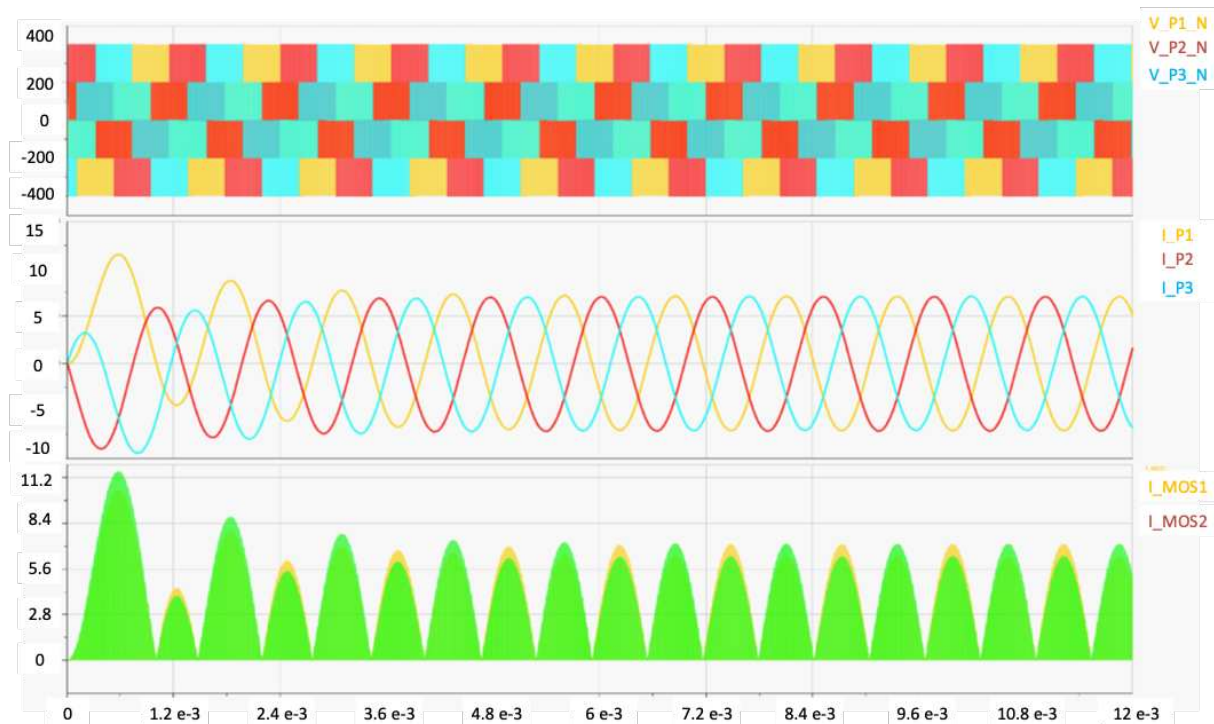


Figure 53 : Résultats de la simulation du fonctionnement à régime nominal pour l'observation de la tension aux bornes de la charge et du neutre et du courant circulant dans les composants de puissance

1er et 2ème graphiques, tensions et courants correspondants entre chaque phase et neutre respectivement :

- V_P1_N et I_P1 = Phase 1 – Neutre
- V_P2_N et I_P2 = Phase 2 – Neutre
- V_P3_N et I_P3 = Phase 3 - Neutre

3° graphique, courant traversant les composants MOSFETs du premier bras :

- I_M1 = Courant circulant dans le MOSFET 1 (MOSFET du haut de la voie de droite)
- I_M2 = Courant circulant dans le MOSFET 2 (MOSFET du bas de la voie de droite)

Les résultats de la Figure 53 permettent de vérifier les différentes valeurs obtenues lors du fonctionnement nominal du moteur. Les deux régimes de fonctionnement apparaissent :

- Le régime transitoire dont le courant de phase traversant le composant de puissance atteint ~11 A
- Le régime établi dont le courant de phase traversant le composant de puissance est égal à 6,92 A

Le courant du composant MOSFET maximal sera conditionné par le courant de phase nominal qui est de 5 Aeff.

En regroupant ces critères, plusieurs choix parmi les différentes gammes de MOSFET SiC s'offraient à nous. La référence que nous avons retenue pour notre étude est le C2M0080120D [46] proposant les performances affichées en Tableau 11 ci-dessous :

	C2M0080120D	Unit
V_{ds}	1200	V
I_D	36	A
P_D	192	W
$R_{D S (on)}$	80	mΩ
t_r	22	ns
$T_{d(ON)}$	15	ns
t_f	14	ns
$T_{d(OFF)}$	24	ns
Prix	15.00	€

Tableau 11 : Performances du MOSFET SiC C2M0080120D

Les caractéristiques présentées dans le Tableau 11 permettent de vérifier que le MOSFET choisi peut répondre à nos contraintes, dont premièrement la fréquence de découpage maximale, estimée théoriquement de manière très simpliste et optimiste par l'accumulation des temps d'ouverture et de fermeture ainsi que de leurs retards associés :

$$f_{SW_{max}} = \frac{1}{T_{PDON} + T_{RISE} + T_{PDOFF} + T_{FALL}}$$

$$f_{SW_{max}} = \frac{1}{22 \text{ ns} + 15 \text{ ns} + 24 \text{ ns} + 14 \text{ ns}}$$

$$f_{SW_{max}} = 13,3 \text{ MHz}$$

De plus, d'autres avantages sont apparus en prenant ce composant. Le premier est d'avoir la possibilité de combiner deux cycles de fonctionnement dont le premier est le « cycle normal » à fréquence de fonctionnement normale (~50 kHz) et le cycle « agressif » à une fréquence de fonctionnement élevée (~250 kHz). Ce deuxième régime permet d'avoir une agression plus importante aux bornes de la charge. Le second nous permet de conserver l'idée de la versatilité du banc en ayant la possibilité de remplacer le composant par un modèle plus performant possédant le même boîtier (T0-247). Le troisième avantage est d'assurer une tension de blocage indiquée à deux fois la tension de bus du moteur. Pour conclure, tous ces avantages nous ont dirigés vers cette référence qui nous a semblé être un bon compromis entre coût et performances requises.

Toutefois, ce type de composant requiert l'utilisation d'un driver de commande dans le but de le piloter via un signal numérique. Venons-en maintenant au dimensionnement de sa chaîne de commande.

b. Dimensionnement de la commande associée au bras de puissance

Suite à la détermination de la référence du composant semi-conducteur qui va intégrer la chaîne de conversion d'énergie, nous avons procédé au dimensionnement de la partie commande intégrée aux cartes de puissance. Étroitement liée aux performances de la partie puissance, la partie commande devra respecter plusieurs contraintes :

- Une fréquence de fonctionnement maximale importante

- Une rapide mise en sécurité du système en cas de défaut potentiel détecté
- Une remise à zéro commandable
- Être isolé galvaniquement et électromagnétiquement de la commande
- Être alimenté par des convertisseurs isolés de la partie numérique à la partie puissance
- Ne posséder que des packages CMS. Cette contrainte est liée dans un premier temps à la simplification de la modélisation des PCB. Nous verrons par la suite que la partie commande de puissance sera modélisée afin d'en obtenir les éléments passifs équivalents. L'utilisation de composants traversants rend ce processus plus complexe. Deuxièmement, d'un point de vue CEM, les pattes des composants traversants se comportent comme des antennes et sont généralement sujettes à émission ou à réception de perturbations électromagnétiques.
- Limiter au maximum le nombre de composants

Cette partie puissance est divisée en deux sous-domaines illustrés Figure 54 : la partie commande numérique 0 V / +5 V avec les entrées et sorties fibres optiques, et puis la partie commande de puissance -5 V / +20 V interfaçant les signaux numériques avec les signaux de puissance.

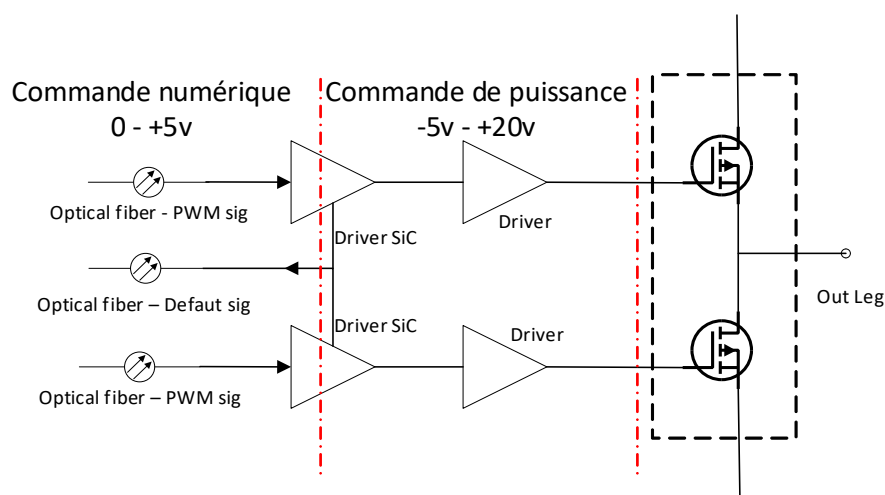


Figure 54 : Synoptique de la commande numérique et puissance de la carte PCB

Cette adaptation en tension est réalisée grâce à un composant clé spécifiquement dédié à la commande de composant d'électronique de puissance : le driver de puissance. Les seuils de tension de commande d'un MOSFET SiC sont établis entre -5 V et +20 V. Ayant des tensions de sortie des émetteurs et récepteurs fibres optiques établies entre 0 V et +5 V, l'adaptation de ces niveaux de tensions sera gérée par ce type de composant.

Certaines fonctionnalités sont fréquemment intégrées dans ce type de composant telles que la gestion de la mise en sécurité en cas de court-circuit, une isolation galvanique entre les signaux de commande numérique et la partie puissance, une supervision des défauts d'alimentation, etc. Ayant établi la liste des contraintes précédemment, une gamme de drivers répondant à nos besoins a été identifiée. Deux types d'architecture du même modèle Infineon peuvent être envisagés :

- Le driver de puissance 1 voie de commande : 1ED020I12
- Le driver de puissance 2 voies de commande : 2ED020I12

Leurs performances sont similaires et sont illustrées Tableau 12. Leurs différences se trouvent dans leurs nombres de voies de commande qui peut être, soit une seule pour le premier, soit deux pour le second.

		MIN	MAX	Unité
Tension d'alimentation positive		13	20	V
Tension d'alimentation négative		-12	0	V
Courant de sortie		-	2.4	A
Délai de propagation à l'ouverture	T_{PDON}	145	195	ns
Délai de propagation à la fermeture	T_{PDOFF}	145	190	ns
Temps de montée	T_{RISE}	10	800	ns
Temps de descente	T_{FALL}	10	600	ns

Tableau 12 : Performances des drivers de commande 1ED020I12 et 2ED020I12

Grâce à ce type de composant, nous aurons la possibilité de commander l'électronique de puissance par des fibres optiques placées en début de chaîne de contrôle, mais aussi de retourner les défauts potentiels lors du fonctionnement du système, d'utiliser différentes logiques de commande et d'isoler la commande numérique de la commande de puissance. D'autre part, nous reprenons l'équation calculant f_{SWmax} pour calculer à nouveau les caractéristiques temporelles en fonction des limites du driver (Figure 55).

$$f_{SWmax} = \frac{1}{T_{PDON} + T_{RISE} + T_{PDOFF} + T_{FALL}}$$

$$f_{SWmax} = \frac{1}{195\text{ ns} + 800\text{ ns} + 190\text{ ns} + 600\text{ ns}}$$

$$f_{SWmax} = 560\text{ kHz}$$

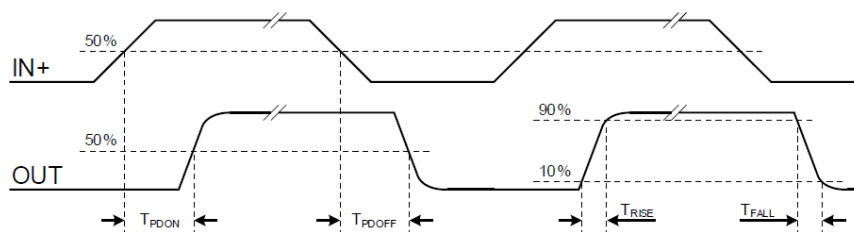


Figure 55 : Diagramme temporel de l'évolution des différents temps du driver de commande ED020I12

Deux raisons nous ont orienté sur le choix du composant 1ED020I12. Nous souhaitions dissocier les voies de commande pour en obtenir 2 distinctes, que ce soit pour simplifier la modélisation ou pour éviter des problèmes potentiels d'agencement lors d'une restructuration ultérieure du convertisseur.

Puis nous avons voulu également augmenter le niveau d'immunité aux perturbations électromagnétiques externes. En effet, certains des fabricants de composant fournissent un paramètre indiquant leurs susceptibilités face aux contraintes électromagnétiques ainsi que leurs limites de fonctionnement avant l'apparition d'une défaillance. Ce paramètre est appelé « Common Mode Transient Immunity » (CMTI) [138]. Il indique la valeur maximale du paramètre $\frac{dV}{dt}$ que ne doit pas

dépasser l'environnement externe du composant avant la défaillance du driver. Le 1ED020I12 est caractérisé pour un niveau à 100 kV/μs. Celui-ci est supérieur au 2ED020I12 qui est de 50 kV/μs.

Néanmoins, comme indiqué dans le Tableau 12, les points faibles vis-à-vis de notre usage sont le courant de sortie du driver de commande I_s , courant qui alimente le composant lors de sa fermeture avec la capacité de Miller qui équivaut à 2 A, en plus des temps d'ouverture et de fermeture maximale² [139, p. 12]. Afin de pallier à ces précédentes limitations, des composants spécifiques peuvent s'intégrer facilement en série dans une chaîne de commande afin d'aplanir ces obstacles.

Le constructeur IXYS propose une gamme de 3 composants répondant à ce besoin : le IXD609, le IXD614 et le IXD630. La principale différence entre ces composants n'est autre que le courant de sortie qui est en lien avec la puissance disponible à la commutation du composant de puissance. En plus de leur souplesse de commande et de leur intégration simplifiée, ces 3 composants présentent l'avantage d'être facilement interchangeables de par leur correspondance sur le package utilisé : TO-263.

Dans un premier temps, nous avons décidé d'intégrer le IXD609. Les changements avec le IXD614 ou IXD630 seront envisagés plus tard pour analyser les variations qu'ils induiront sur la commande dans des configurations de fonctionnement extrêmes.

Ayant un courant et une capacité d'entrée négligeable, les temps de commutation présentés par le précédent driver sont à réviser. Seuls les temps minimaux de propagation, de montée et de descente sont conservés. Le cas correspondant aux valeurs maximales a été effectué avec des condensateurs de 34 nF. Le Tableau 13 résume les différents temps de commutation et de délais pour chaque driver de puissance.

	IXD609	IXD614	IXD630	UNIT
I_D	9	14	30	A
T_{R-MAX}	35	35	20	ns
T_{D(ON)}	60	70	65	ns
T_F	25	25	18	ns
T_{D(OFF)}	60	70	65	ns

Tableau 13 : Tableau récapitulatif des performances de commutation et de délais des drivers de commande IXYS

Ainsi, la limite de fréquence de découpage est liée au temps de commutation et de propagation des trois composants mis en séries : le MOSFET SiC C2M0080120D et les drivers 1ED020I12 et IXD609.

$$1ED020I12, T_{SW1ED} = 405 \text{ ns}$$

$$IXD609, T_{SWIXD} = 180 \text{ ns}$$

$$C2M0080120D, T_{SWC2M} = 75 \text{ ns}$$

$$f_{SWmax} = \frac{1}{T_{SW1ED} + T_{SWIXD} + T_{SWC2M}}$$

$$f_{SWmax} = 1.51 \text{ MHz}$$

Le calcul théorique de la chaîne située entre le signal de commande numérique et le signal de commande de puissance nous permet donc de confirmer la possibilité de commuter la chaîne de commande à la fréquence visée de 250 kHz.

² Cas maximal atteint lorsque le condensateur présent aux bornes du composant de puissance est de 34nF

Une fois la mise en place des composants de la partie commande opérée, comme illustré annexe 2, il reste à finaliser le dimensionnement de la détection de défaut, de la modulation du $\frac{dV}{dt}$, des alimentations de puissance et du refroidissement thermique.

c. Dimensionnement de la détection de défaut

Comme indiqué auparavant lors de la description du driver de commande, la détection de deux types de défauts est réalisable via ce composant.

La première, appelée « Active Miller Clamp » [140], permet d'éviter tout signal parasite influent sur la grille du composant de puissance. Une comparaison du niveau de tension V_{GS} en fonction du niveau V_{EE} est effectuée à chaque commutation. Si V_{GS} est inférieur à V_{EE} de plus de 2 V, le driver se met en défaut.

La seconde, appelée « Désaturation » [141], détecte l'apparition d'un court-circuit éventuel du composant de puissance.

Notre configuration fait intervenir une tension de commande négative et positive -5 V/+20 V, et étant donné les recommandations de configuration du constructeur relatives à la mise en place des différentes détections, seule la deuxième option a été dimensionnée (Figure 56) :

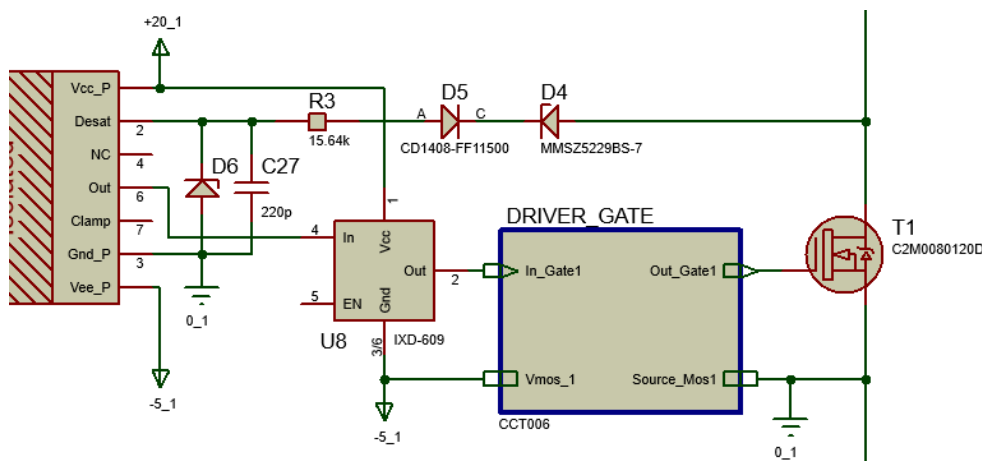


Figure 56 : Dimensionnement de la détection du défaut

La boucle de détection de court-circuit est composée des éléments suivants :

D6	Diode zener de protection contre les surtensions de +9 V
C27	Capacité de charge « désaturation »
R3	Résistance image de la tension
D5	Diode redresseur
D4	Diode zener

Chacun de ces éléments va jouer un rôle important dans la détection de défaut. La description du comportement donnée par le constructeur (INF_AP_1 [142]) est telle que lorsque la commutation du driver est enclenchée, la boucle formée par les éléments cités précédemment permet d'obtenir aux bornes du condensateur C27 une image du courant présent aux bornes du MOSFET. Si cette valeur

est plus grande que la valeur de référence V_{REF_DESAT} (9 V), alors le driver détecte l'apparition d'un court-circuit.

Ce dimensionnement nous permet de fixer la détection de défaut lorsque le courant de drain $I_{D_{MAX}}$ est supérieur à 36 A, courant maximal encaissé par le composant. La résistance R_{23} est déterminée en fonction des paramètres V_{REF_DESAT} , tension de comparaison du driver donnée par le fabricant, I_{DESAT} , courant fourni par la connexion DESAT du driver, V_{D_CD1408} , tension inverse de la diode CD1408, V_{DMMSZ5} , tension directe de la diode MMSZ5229 et R_{ON} , résistance du MOSFET à l'état passant :

$$R_{23} = \frac{V_{REF_DESAT} - V_{DMMSZ5} - (R_{ON} * I_{D_{max}}) - V_{D_CD1408}}{I_{DESAT}} \quad \#(17)$$

$$R_{23} = \frac{9 \text{ V} - 4.3 \text{ V} - (80 \text{ m}\Omega * 36 \text{ A}) - (-6 \text{ V})}{500 \mu\text{A}}$$

$$R_{23} = 15,64 \text{ k}\Omega$$

d. Dimensionnement de la variation du dV/dt

Souhaitant intégrer un système de variation du dV/dt opérant sur chaque composant de puissance, notre choix initial s'est porté sur une modulation typique via l'ajout de résistances placées entre la sortie du driver de puissance et l'entrée « Gate » du composant de puissance. Cinq résistances de 20 Ω sont routées en parallèle comme illustré sur la Figure 57.

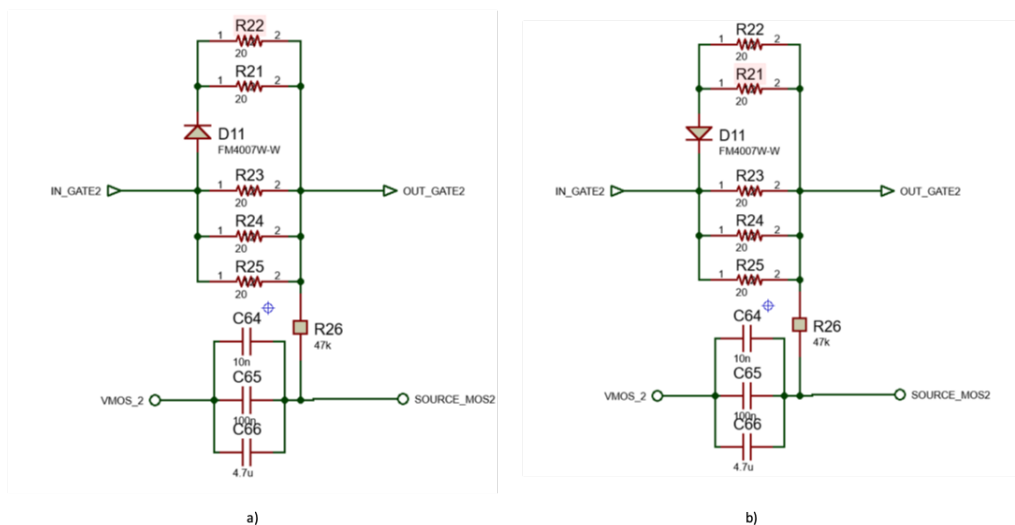


Figure 57 : Schéma électrique des modulations du paramètre dV/dt – a) modulation du dV/dt à l'ouverture – b) modulation du dV/dt à la fermeture

Nous avons fait le choix de ne souder que 3 résistances pour une valeur équivalente à 6,67 Ω durant les premiers essais de la campagne de vieillissement qui sera présentée chapitre 4. Nous justifions ce choix par le souhait de ne pas faire intervenir la variation du $\frac{dV}{dt}$ sur les effets de vieillissement et de le fixer à une valeur proche du maximum exploitable par le composant choisi.

Les caractéristiques données par le constructeur avec cette valeur de résistance de grille nous permettront d'obtenir théoriquement un temps de montée $t_{d(ON)} = 23 \text{ ns}$ et un temps de descente $t_{d(OFF)} = 12 \text{ ns}$. Des simulations relatives à notre dimensionnement ont été menées permettant ainsi de

comparer les valeurs $\frac{dV}{dt}$ fournis par le fabricant à celles des simulations que nous entreprenons avec le modèle équivalent du composant :

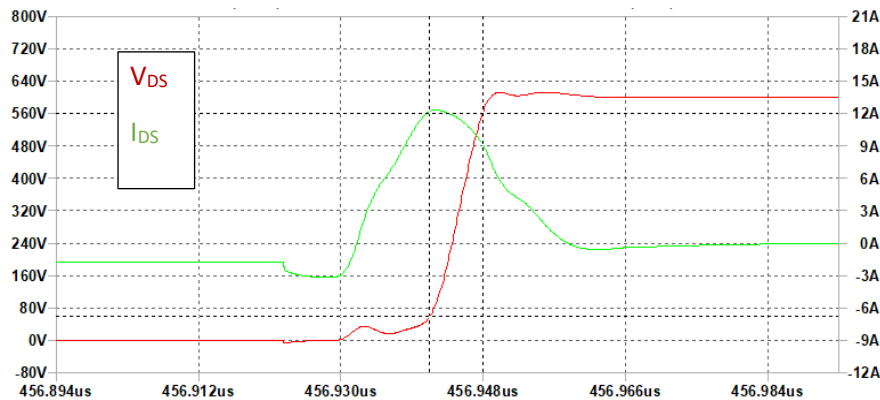


Figure 58 : Commutation du composant de puissance de l'état fermé à l'état ouvert

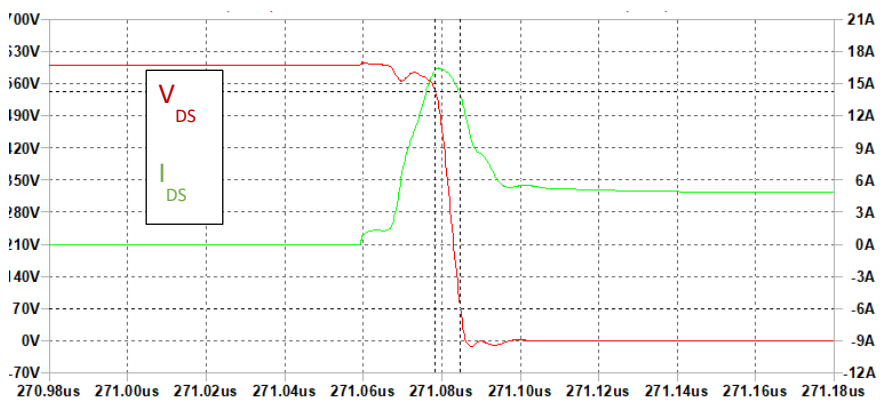


Figure 59 : Commutation du composant de puissance de l'état ouvert à l'état fermé

La Figure 58 et la Figure 59 indiquent l'évolution du comportement du MOSFET choisi d'un état à un autre. Les valeurs de la montée et de la descente sont plus rapides que celles données par le constructeur.

$$t_{d(on)} = 6,3 \text{ ns}, t_{d(off)} = 6,3 \text{ ns}$$

Cette simulation est effectuée avec les critères suivants : une tension de bus à 600 V, une charge RL dont la valeur de la résistance est de 0.5 Ω et celle de l'inductance est de 650 μH . Ces valeurs d'inductance sont représentatives du stator que nous exploiterons dans le chapitre 4.

Nous verrons durant la partie II.5 les caractéristiques réelles du paramètre $\frac{dV}{dt}$ que nous obtiendrons après l'assemblage PCB de puissance.

e. Dimensionnement des alimentations de la chaîne de commande

e.i. Choix des alimentations

Comme indiqué précédemment, le composant de puissance est commandable en tension entre -5 V à l'état bloqué et +20 V à l'état passant. Ces niveaux seront fournis par les alimentations des drivers

de puissance. En plus de ces niveaux, la puissance maximale fournie doit être calculée en fonction de la fréquence de découpage maximale souhaitée.

Cette puissance est proportionnelle à la fréquence de découpage souhaitée par l'utilisateur (P_{SW}) et à la charge induite à la commutation du composant de puissance (Q_G) :

$$P_{SW} = Q_G \times F_{SW} \times \Delta V_{GD} \quad \#(18)$$

Cherchant à obtenir des commutations à une fréquence maximale de 250 kHz, avec des niveaux de tension V_{GS} variants entre -5 V et $+20$ V et la charge du composant à l'ouverture donnée par le constructeur évaluée à 62 nC³ [46], la valeur de la puissance maximale est de :

$$P_{SW} = 387.5 \text{ mW}$$

Les alimentations proposées par le constructeur MURATA répondent spécifiquement à ce type de problématique. Notre choix s'est porté sur le modèle MGJ6T24150505MC. Dimensionnées à 6 W par module, nous avons fait le choix de largement surdimensionner cette puissance afin d'éviter le changement d'alimentations lors d'une sollicitation ultérieure à plus haute fréquence. Ainsi, elles permettront d'atteindre largement les objectifs de modularité et de dimensionnement fixés (Figure 60).

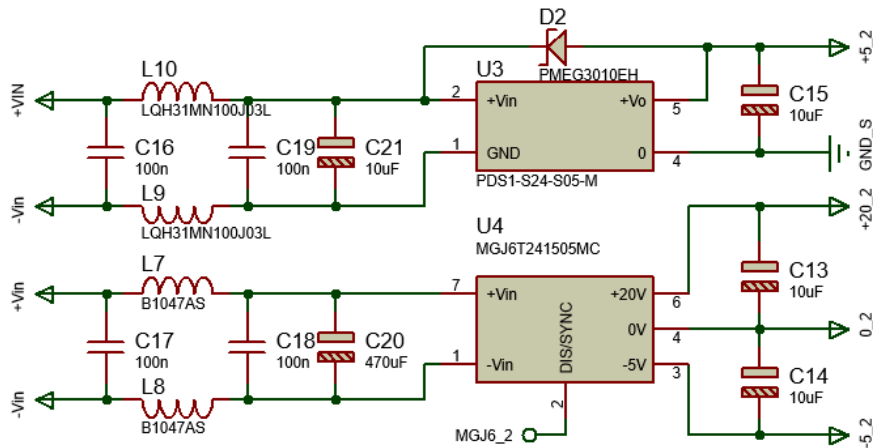


Figure 60 : Illustration des alimentations dédiées aux drivers de commande et de puissance

Ce type de convertisseur de tension fonctionne en régime de découpage. Il y a deux problématiques mises en exergue par ce type de fonctionnement : premièrement, sa fréquence de fonctionnement interne proche de 100 kHz qui devra donc être prise en considération lors des caractérisations fréquentielles qui seront exposées ultérieurement. Deuxièmement, le fonctionnement de l'alimentation à découpage provoque un appel de courant incessant. Ce phénomène induit des problèmes CEM qui doivent être circonscrits en amont de l'alimentation des drivers et des composants de puissance pour éviter une transmission dans la partie puissance. L'ajout d'un filtre EMI en entrée de chaque alimentation comme illustré en Figure 61 et en Figure 62, est obligatoire de manière à minimiser toutes les perturbations provoquées par le mode conduit [143].

³ Conditions d'essai : $V_{DC} = 800$ V, $V_{GS} = -5$ V / 20 V, $I_D = 20$ A

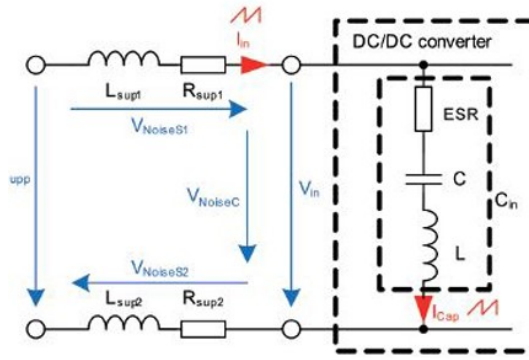


Figure 61 : Illustration du filtre EMI et du contournement des perturbations en amont des alimentations à découpage [134]

e.ii. Dimensionnement du filtre EMI contre les perturbations électromagnétiques induites par les convertisseurs à découpage

Un filtre EMI est généralement composé d'une inductance bobinée et d'un condensateur monté en filtre passe-bas. Pour les dimensionner, nous devons respecter une règle fondamentale :

$$f_c = \frac{f_{sw}}{10} \quad \#(19)$$

De ce fait, la fréquence de coupure du filtre est obtenue à partir de l'équation de la fréquence de coupure d'un circuit LC :

$$f_c = \frac{1}{2\pi \cdot \sqrt{L_f \cdot C_f}} \quad (20)$$

Après avoir défini l'inductance de ligne L_f en fonction du courant la traversant, le condensateur de filtrage a été calculé suivant l'équation précédente [143]:

$$C_f = \frac{1}{(2\pi \cdot 0.1 \cdot f_{sw})^2 \cdot L_f} \quad (21)$$

Les courants des alimentations variant entre 24 mA et 250 mA, (pour des alimentations de 1 W et 6 W respectivement), nous avons sélectionné les inductances suivantes :

- LQH31MN100J03L, muRata, 10 μ H, courant maximal 100 mA, package 1210, destinées aux alimentations PDS1-S24-S05-M
- B1047AS-100M=P3, muRata, 10 μ H, courant maximal 2.9 A, package 2929, destinées aux alimentations MGJ6T24150505MC

Nous pouvons alors calculer les valeurs des condensateurs :

$$C_f = \frac{1}{(2\pi \cdot 0.1 \cdot 100 \text{ kHz})^2 \cdot 10 \mu H} = 25 \mu F$$

Souhaitant au maximum prévenir les perturbations provenant de la partie commande de puissance, nous avons augmenté la valeur du condensateur d'entrée à 470 μ F pour stocker de l'énergie aux bornes du MGJ6T24150505MC et éviter les appels de courant depuis la source d'alimentation et nous avons aussi ajouté un condensateur multicouche en parallèle pour conduire les parasites HF :

$$f_c = \frac{1}{2\pi * \sqrt{10\mu H * 470,1\mu F}} = 23,21kHz$$

En indiquant les valeurs équivalentes de la résistance série, appelé ESR, du condensateur et de l'inductance et en ajoutant une inductance sur les deux lignes d'alimentation afin de combiner deux cellules PI en parallèle, une simulation a été opérée pour déterminer sa fréquence de coupure réelle (Figure 62). Cette structure de filtre EMI permet d'obtenir une fréquence de coupure à 3 kHz.

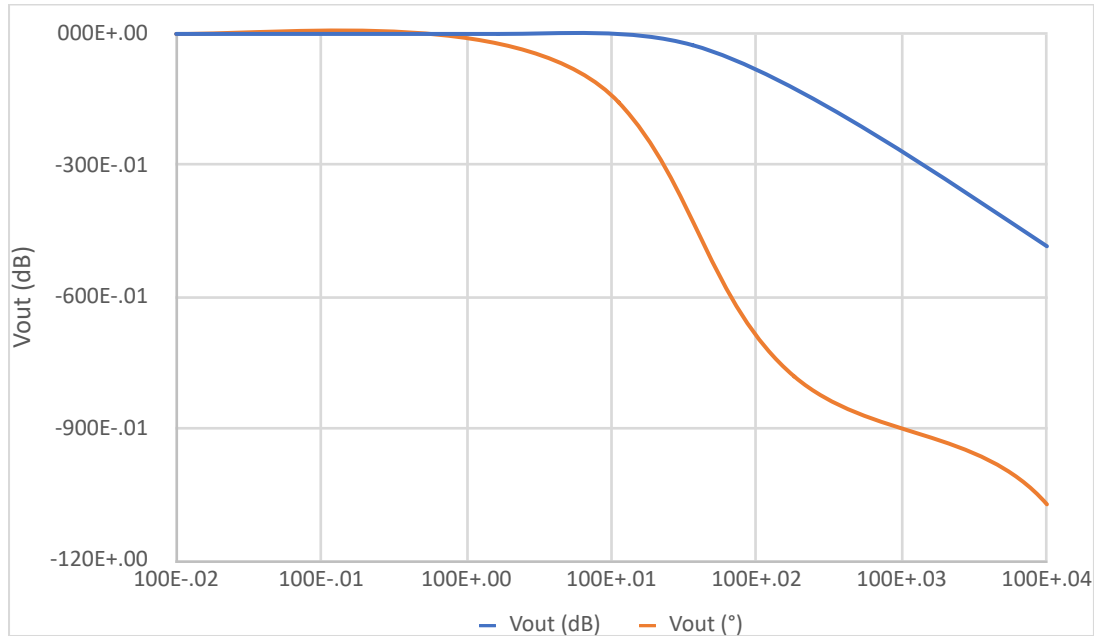


Figure 62 : Analyse fréquentielle du filtre cellule double π en parallèle utilisé pour le filtrage des perturbations électromagnétiques produites par les alimentations à découpage

La mise à l'arrêt des alimentations est une option intégrée à ces convertisseurs. Nous avons indiqué auparavant que nous automatiserions la mise en arrêt du système lors d'une détection de défaut. Par conséquent, nous ajoutons cette faculté via cette fonctionnalité.

e.iii. Dimensionnement de la mise à l'arrêt des alimentations à l'apparition d'un défaut.

Les convertisseurs MGJ6T24150505MC intègrent la possibilité d'arrêter sur demande, l'alimentation du -5 V / +20 V. Cette fonction a été couplée à l'apparition d'un défaut provenant des drivers de commande précédemment dimensionnée. Nous avons donc relié la sortie défaut des drivers de commande à la commande ON/OFF des alimentations de puissance par le biais d'un MOSFET et d'un circuit RC mis en parallèle. Le temps de réaction du circuit RC est lié au temps de fermeture du transistor 2N2007 :

$$R_{ON-2N2007} = 5,3 \Omega$$

$$C = 10 \text{ nF}$$

$$5 \times \tau = 265 \text{ ns}$$

Ce temps de détection est suffisant face au temps de découpage maximal du convertisseur et de sa tension de basculement du driver, située aux alentours de 3τ .

f. Dimensionnement thermique

Nous rappelons que ce banc d'essai a pour objectif de vieillir des bobinages pour, in fine, cumuler en un laps de temps minimal un stress suffisant pour engendrer une évolution observable et, par conséquent, une différenciation entre les différentes techniques d'isolement pouvant être mises en œuvre. Cela se traduit par l'utilisation du composant de puissance sur des durées de fonctionnement très longues et des intervalles de découpage très rapides.

Le dernier dimensionnement de la partie électronique de puissance que nous allons exposer maintenant est lié aux caractéristiques des composants de puissance ainsi qu'aux logiques de commande qui leur sont attribuées : leurs pertes thermiques et leurs échauffements en fonctionnement.

L'utilisation de ce type de semi-conducteur à base SiC réduit drastiquement les pertes et l'échauffement qu'un composant semi-conducteur peut produire. Cependant, il est indispensable de calculer les pertes qu'il engendre à chacune des commutations ainsi qu'à la conduction du courant pour connaître leurs valeurs réelles.

Deux types de pertes sont généralement étudiées dans les structures de puissance :

- Les pertes en conduction : liées au courant traversant le composant lorsque celui-ci est en régime saturé. Sa résistance interne dissipe la puissance via l'effet Joule :

$$P_{con} = R_{ON} * I^2$$

- Les pertes en commutation : à chaque commutation du composant, la tension présente à ses bornes ainsi que le courant le traversant change d'état. À leur croisement, une énergie est dissipée par le composant pour chacune des commutations. Ces pertes sont proportionnelles à l'énergie de commutation du composant (donné par le constructeur) ainsi qu'à sa fréquence de découpage :

$$P_{sw} = (E_{ON} + E_{OFF}) * F_{SW}$$

Les caractéristiques intrinsèques de n'importe quel composant de puissance sont profondément liées à leurs températures. L'échauffement du composant induit par sa commutation à haute fréquence engendre un niveau de pertes qui affectera le rendement de la chaîne de conversion de manière non négligeable. Étant donnée l'évolution future de notre point de fonctionnement, la puissance dissipée par les composants de puissance augmentera en conséquence.

Prenons ici une hypothèse de fonctionnement extrême suivant le Tableau 14 :

Performances	F _{sw} (Hz)	F _{mod} (Hz)	C _{mod} (%)	DeadTime (μs)	V _{dc} (V)	Courant (A)	dV/dt (kV/μs)
Maximum	250 k	40 k	100	1	1200	20A	50

Tableau 14 : point de fonctionnement extrême du banc de vieillissement

La grandeur la plus contraignante vis-à-vis de ces caractéristiques est la fréquence de découpage. En effet, si en première approximation, celle-ci est mise en relation avec les énergies perdues à chaque transition (données constructeurs 1), nous obtiendrons :

$$P_{loss} = P_{sw} + P_{con}$$

$$P_{loss} = \left((E_{ON} + E_{OFF}) * F_{SW} \right) + (R_{ON} * I^2)$$

$$P_{loss} = \left((265 \mu J + 135 \mu J) * 250 KHz \right) + (0,08 * 20 A)$$

$$P_{loss} = 100 W + 1,6 W$$

De ce fait, la dissipation de cette puissance transitoire doit être prise en compte lors du choix du dissipateur. Cependant, ce calcul est basé sur l'utilisation d'un composant de puissance à courant constant et non variant. Le courant de ligne à chaque point milieu varie sinusoïdalement entre $-5 A_{eff}$ et $+5 A_{eff}$ dans notre cas.

Ayant préalablement présenté la méthode de modulation des sinusoides numériques choisie pour la commande de l'onduleur, son utilisation engendra une variation résultante de l'échauffement du composant commandé qui sera différente. Le recours à une évaluation des pertes liées à l'utilisation de notre stratégie de commande et de nos conditions de fonctionnement est par conséquent obligatoire.

Afin de pouvoir évaluer préalablement les pertes susceptibles d'être obtenues par les MOSFETs SiC choisis à fonctionnement nominal et en fonction de la stratégie de modulation adoptée, nous avons effectué dans un premier temps une simulation sous le logiciel Gecko Circuit en incluant les données fournies par le constructeur sur l'évolution des pertes en conduction et en commutation dans un module spécifique du logiciel. Dans la Figure 63, nous visualisons l'évolution temporelle moyenne des pertes en conduction et transitoire :

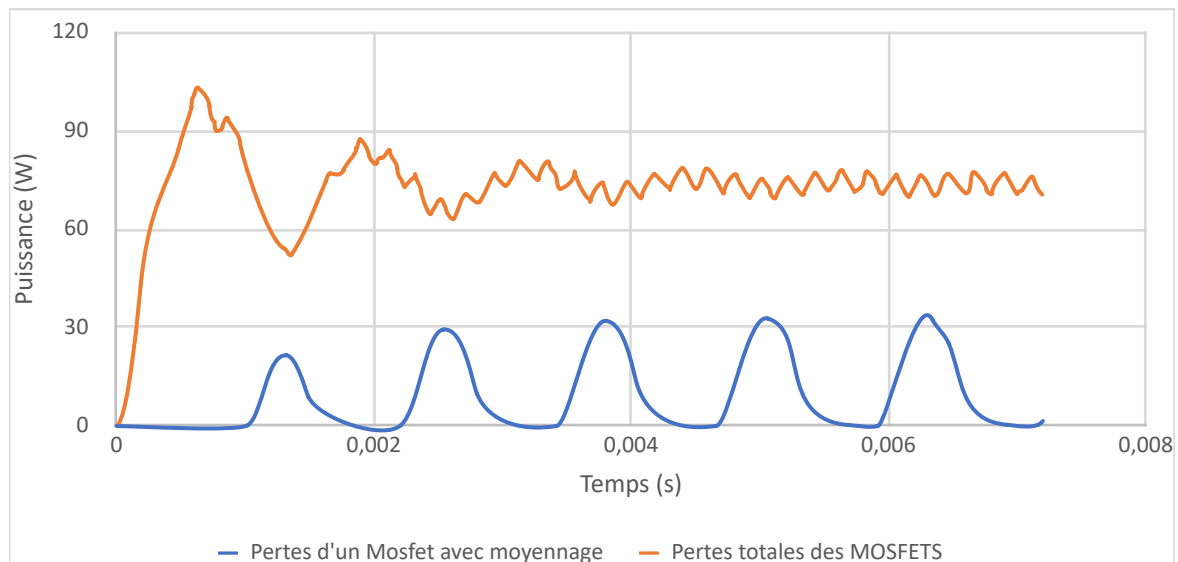


Figure 63 : Évolution des pertes moyennes d'un seul MOSFET et de l'ensemble des MOSFETS

Après un post traitement de la simulation des résultats sont obtenus vis-à-vis de la valeur moyenne des pertes d'un MOSFET SiC : les pertes potentielles d'un seul composant de puissance en fonctionnement nominal sont estimées à 14.99 W

Détenant le fichier de simulation du composant choisi, nous avons pu dans un second temps, réaliser une simulation de ce même point de fonctionnement sous le logiciel LTSpice, illustré Figure 64, avec les fichiers de simulation du composant C2M0080120D.

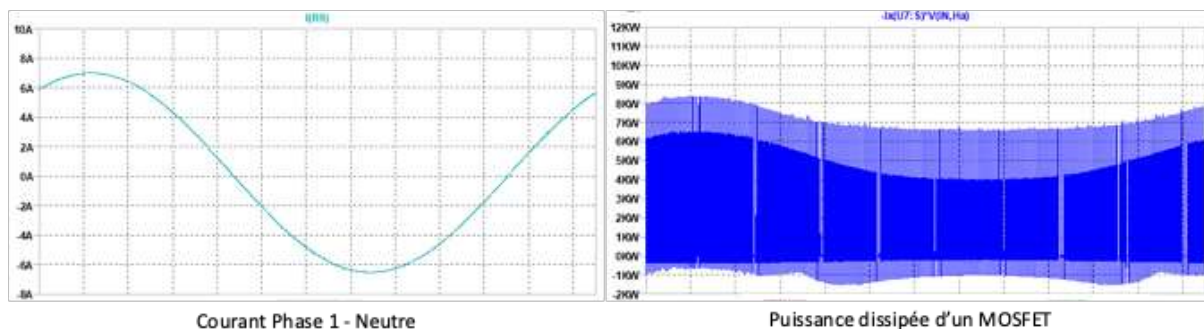


Figure 64 : Évolution temporelle des pertes induites par les MOSFETs d'après les éléments fournis par le fabricant

La valeur moyenne des pertes obtenues sur la même période de fonctionnement est de 22.12 W. La différence entre le logiciel Gecko Circuit et le logiciel LTSpice est de 7.13 W pour chacun des MOSFETs ce qui représente environ ~32% d'erreur. Cette différence provient des composants que nous avons choisis lors des simulations. En effet, la simulation LTSpice intègre le modèle réel du composant que nous utilisons tandis que dans Gecko circuit ce n'est qu'un composant générique dont nous avons modifié les valeurs de pertes de conduction et de commutation par les valeurs fournies par la fiche constructeur.

Dès à présent, pour appuyer ces résultats de simulation, les recherches bibliographiques précédemment évoquées (durant le chapitre 1, annexe 3) nous ont permis d'identifier 3 méthodes de pré détermination. Nous les avons appliqués à notre dimensionnement et les résultats ainsi obtenus sont présentés Tableau 15 :

	MÉTHODE XIE	MÉTHODE KOLAR	MÉTHODE YIN	UNITS
P_{COND}	17,16	4,45	0,91	W
P_{SW}	1,05	2,63	2,80	W
P_{DIODE}	5,75	0,03		W
P_{DEADTIME}			0,51	W
P_{TOTALES}	23,96	7,11	4,23	W

Tableau 15 : Comparaison des différentes pertes calculées issues de plusieurs méthodes d'estimation des pertes

Ces premiers résultats nous permettant, premièrement d'indiquer que les méthodes incluent ou excluent différents calculs de puissance suivant le point de fonctionnement choisi. Par exemple, les méthodes Xie [47] et Kolar [49], excluent seulement les pertes liées au temps mort à la commutation. Inversement, la méthode Yin [48] exclut seulement les pertes liées à la diode de roue libre intégrée des MOSFET SiC. Parmi les résultats, seule la méthode Xie se rapproche des pertes obtenues par la simulation LTSpice.

La comparaison entre les différentes méthodes et les différentes simulations est nécessaire. Elle est représentée par le Tableau 16 :

	Méthode XIE	Méthode Kolar	Méthode yin	Simulation Gecko Circuit	Simulation LTSpice	Unit
P_{TOTALES}	23,96	7,11	4,23	14,99	22,12	W

Tableau 16 : Comparaison des pertes totales issues des méthodes et des simulations

Cette étude met en évidence la similitude des résultats entre le résultat issu de la méthode Xie et la simulation LTSpice opérée avec le modèle physique du MOSFET choisi. L'explication de cette

différence par rapport aux autres méthodes et à la simulation est due au calcul spécifique lié au type de stratégie de modulation pour un composant SiC.

Nous pouvons ainsi conclure que nous avons abouti à une bonne estimation de ces pertes pour notre système. Malgré ces faibles valeurs, il reste nécessaire de dissiper l'échauffement généré via un système de refroidissement en vue d'une application nécessitant plus de puissance. Différentes options de refroidissement sont envisageables dans le domaine de l'électronique de puissance :

- Le refroidissement par radiateur, solution généralement utilisée et retrouvée dans de nombreuses applications de par sa simplicité. Le composant est vissé et pressé contre le radiateur permettant un contact franc pour optimiser le transfert thermique conductif causé par l'échauffement. L'amélioration de l'échange thermique peut être assurée par l'usage de pâte thermique. Cependant, cette solution aux performances thermiques limitées peut être contraignante du point de vue CEM, à cause de l'ajout d'éléments parasites tels que les capacités formées entre le composant de puissance et le radiateur [144].
- Le refroidissement par plaque à eau est constitué d'un bloc de métal (conducteur thermique) dont l'intérieur contient un conduit permettant de faire circuler un liquide de refroidissement, ce qui augmente le transfert thermique comparativement au radiateur [145], [146]. Par simplicité, l'eau (éventuellement glycolée) est souvent préférée en tant que fluide calorporteur. Les composants sont placés et vissés, comme lors de l'utilisation d'un radiateur classique.
- Le refroidissement à bain d'huile par immersion complète est une solution plus encombrante, car elle nécessite une cuve et de l'huile spécifique. L'huile est une solution envisagée pour certains développements étant donné qu'elle permet la dissipation de l'échauffement qui se crée tout en augmentant la rigidité diélectrique du système.

Suite aux différentes options de refroidissement émises précédemment, nous synthétisons les avantages et les inconvénients de chacune dans le Tableau 17 :

Solutions	Radiateurs	Plaques à eau	Bain d'huile
Efficacité / Rendement	++	+++	++
Facilité de mise en œuvre	+++	-	---
Diminution des risques de claquage	-	-	++

Tableau 17 : synthèse des avantages et inconvénients des options de refroidissement envisagées

La première solution a été choisie pour sa facilité de mise en œuvre tout en ayant une versatilité qui convient à un refroidissement à hauteur d'une vingtaine de watts que nous avons calculé en Tableau 15. La solution du radiateur métallique à ailettes a ainsi été préférée dans notre configuration.

Nous avons à notre disposition des radiateurs FOXCONN, dont les dimensions sont illustrées en Figure 65 :

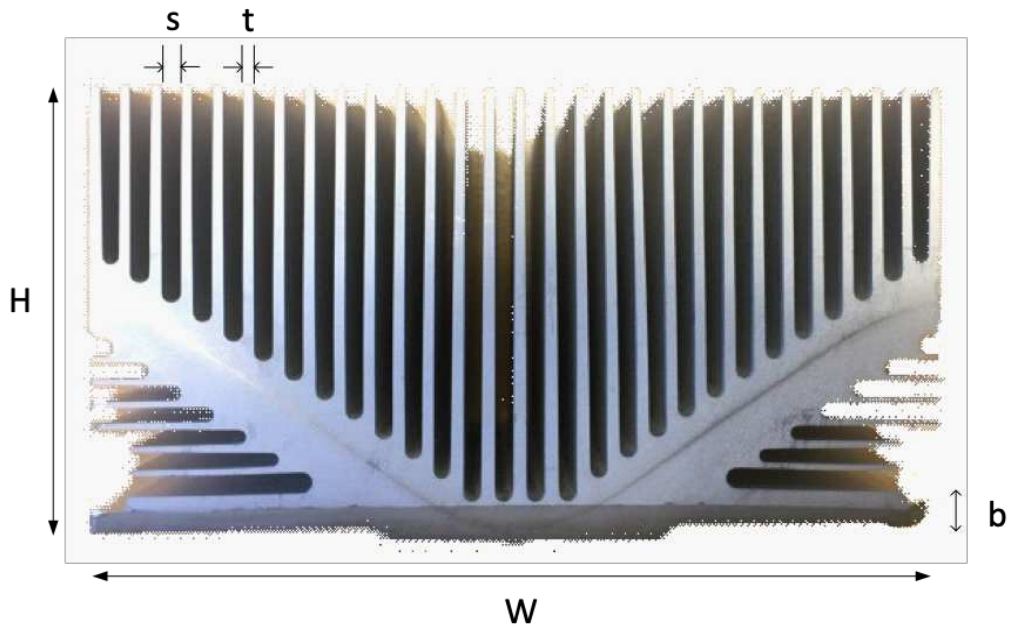


Figure 65 : Dimensions du radiateur FOXCONN

Les caractéristiques de ce modèle n'étant plus disponibles, nous avons décidé de les retrouver grâce à des outils de modélisation. Avec l'utilisation d'un outil développé pour ce type de problématique, nous avons pu vérifier les caractéristiques de dissipation en lien avec les dimensions intrinsèques du radiateur.

Celles demandées sont affichées en Figure 65. Nous avons la longueur (W) à 110 mm, la hauteur (H) de 62 mm, la largeur (L) de 90 mm (non affichée), l'épaisseur de la base (b) de 5 mm, l'épaisseur d'une ailette (t) de 1.2 mm et un nombre d'ailettes de 29. Notre matériau est du type aluminium et la convection est naturelle dans le sens haut-bas. La température ambiante est fixée à 30°C. Nous prenons la face dessus du radiateur et nous localisons les emprises des composants de puissance sur le radiateur (Figure 66). La puissance de chaque Mosfet au régime nominal est fixée à 23,96 W, valeur précédemment calculée et visible sur le Tableau 16.

Nous obtenons alors une convection de la puissance de 33.3 W ainsi qu'une radiation de 14.7 W. L'efficacité des ailettes est estimée à 97,5%.

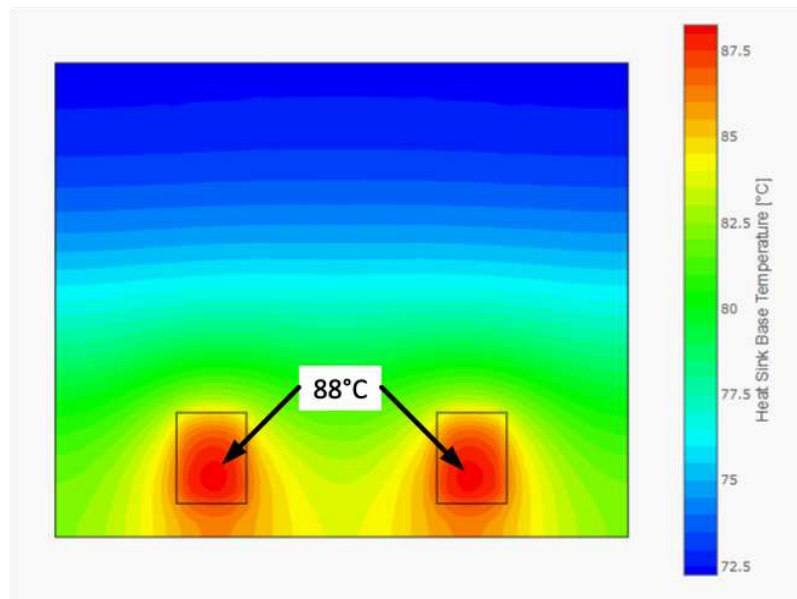


Figure 66 : Carte de l'évolution de la température à travers le radiateur FOXCONN suivant ses dimensions

La Figure 66 permet de visualiser le gradient de température sur la face du radiateur. La chaleur est vite dissipée à travers le radiateur pour atteindre les 77°C.

En effectuant deux tests dont le premier est la mise en défaut d'un composant de puissance (court-circuit) et un second en fonctionnement normal, nous avons obtenu des températures convenables : 110°C et 40°C respectivement. Ce modèle de radiateur a donc été validé et intégré à notre banc de puissance.

II.3. Dimensionnement du dispositif de mesure non invasif

Nous retrouvons souvent dans les bancs d'électronique de puissance des éléments complémentaires liés à l'électronique de puissance. La métrologie intégrée y est de plus en plus souvent associée et permet d'avoir des acquisitions de phénomènes significatifs à des endroits spécifiques. Cette compétence métrologique est souvent obtenue par l'utilisation d'outils de mesure externes vérifiés et calibrés tels qu'un oscilloscope [147], des instruments traditionnels d'analyse, ou bien des centrales d'acquisition de type National Instruments [148] ou Keysight [149].

Nous retrouvons dans ces moyens de mesures, des sondes du commerce dédiées pour la mesure de tensions telles que les sondes de mesure actives [150], les sondes différentielles de tension [151] ou les sondes numériques [152]. Parmi celles mesurant le courant, nous retrouvons des sondes à effet hall [153][154], des résistances de shunt, des sondes électromagnétiques, etc.

La mesure du vieillissement étant principalement liée à la mesure du courant dans notre cas de figure, nous nous intéressons seulement à ce type de mesure. Nous allons voir que l'intégration de ces moyens de mesure peut se complexifier suivant l'environnement de notre étude, et notamment, vis à vis de leurs intégrations sur des cartes de puissance prédéfinies.

Le principe de la résistance de shunt est de faire passer le courant à travers une résistance de très faible valeur afin de mesurer le courant. Nous avons alors les caractéristiques du courant en fonction des caractéristiques de la résistance. Bien que ce soit une solution simple à intégrer, elle ajoute une faible résistance à notre circuit. En fonction de ses paramètres, de sa conception et de son intégration, celle-ci peut être une source de perturbation pour le système qu'elle mesure et dans ce cas, modifier son comportement.

La deuxième possibilité serait d'intégrer des sondes de courant à effet Hall qui sont décorréliées du système. Elles mesurent le courant à travers l'acquisition du champ magnétique d'un câble, d'une piste ou bien d'une patte de composant et de ce fait, leur présence ne provoque aucune modification comportementale du circuit. Cependant, les dimensions proposées par les fabricants de sondes peuvent être problématiques pour une intégration dans des cartes de puissance.

La troisième solution intégrable est la sonde électromagnétique. Ce type de sonde est comparable à la sonde à effet hall, car elle acquiert, en fonction de son dimensionnement, le champ électromagnétique proche ou lointain. Dans notre cas, nous nous intéressons au champ proche car nous cherchons à relever le courant traversant le bobinage et donc, le courant traversant aussi les cartes de puissance.

Leur intégration dans des systèmes est bien souvent facilitée par le fait qu'elles soient non intrusives. Toutefois, nous devons étudier leurs positionnements afin de réduire au maximum les acquisitions non souhaitées des différents émetteurs de champs électromagnétiques tels que les composants de puissance ou les alimentations à découpage.

Mis à part son intégration, du point de vue performance, leurs caractéristiques techniques sont intéressantes car nous pouvons atteindre des fréquences de coupure de l'ordre de la centaine de MHz.

Remarque : nous retrouvons Également dans ces gammes de sondes, les sondes Rogowski qui sont souvent conseillées pour la mesure d'impulsions de courant à haute fréquence. Bien que nous n'ayons pas opté pour cette solution, différentes études ont été menées pour les intégrer dans des PCB [155][156][157].

Notre banc a pour but de détecter le vieillissement d'un isolant via des indicateurs que nous mesurerons par le biais d'une démarche métrologique. Cette mesure peut être établie de deux façons différentes : soit nous faisons appel à des outils déjà conçus, mais limités vis-à-vis de leurs possibilités d'intégration, soit nous développons spécifiquement les sondes liées à notre besoin.

Nous reviendrons à cette discussion lorsque nous aurons défini le nombre d'acquisitions nécessaire pour notre étude de vieillissement.

L'état de l'art du chapitre 1 nous indique que ce vieillissement est détectable grâce à la signature fréquentielle du courant des phases du moteur. En appliquant un traitement mathématique, nous retrouvons une déviation fréquentielle en fonction de la dégradation de l'isolant. Cette déviation est visible sur les gammes de fréquences situées aux alentours des 1 à 100 MHz [62].

En fonction du dimensionnement de la carte, nous avons dû mener une réflexion sur le type de sonde qui sera la mieux adaptée à notre demande.

Notre souhait est avant tout d'équiper le banc d'un moyen de mesure ne perturbant pas le comportement du système, le récapitulatif précédent nous a permis d'orienter notre réflexion sur le choix d'une sonde électromagnétique. Leur intégration est facilitée suivant la liaison performances – dimensions car nous pouvons dimensionner une sonde électromagnétique pour des acquisitions à haute fréquence tout en ayant des sondes de petite taille.

Pour toutes ces raisons, notre choix s'est porté sur l'intégration d'une sonde de champ électromagnétique développée lors des études menées par Guillaume Viné sur différentes sondes électromagnétiques à haute fréquence [129]. Ses études pour observer le champ magnétique émis par un composant tel qu'un IGBT associé à une diode SiC sont très similaires à notre cas. Cette sonde est placée au-dessus du composant et via une étude paramétrique de la position du capteur sur un plan 2D (longueur et largeur), il est possible d'obtenir une cartographie de la variation du flux magnétique à proximité d'un composant de puissance lors d'une commutation.

L'avantage de cette sonde réside dans sa simplicité de conception. Elle a été dessinée et routée sur un PCB d'une dimension de 6 mm de large et 10 mm de long, ce qui permet de l'intégrer facilement à

différents endroits. Plusieurs études ont été menées en déclinant la conception sous 3 formats : PGV1, PGV2, PGV3. La première version ne comprend qu'une seule piste de routage et forme la sonde à partir d'une boucle. La seconde, reprend la première tout en incluant un anneau de garde. La troisième comprend un plan de masse sur la deuxième couche du PCB.

Dans notre cas, nous avons seulement souhaité nous intéresser à la première version. Ce choix est dû à sa facilité de conception et d'intégration sur tous types de PCB. En tenant compte des valeurs de dimensionnement apporté par Guillaume Viné, nous avons pu effectuer quelques simulations afin de confirmer leurs compatibilités et leur pertinence sur nos cartes de puissance.

II.3.A. Simulation de la sonde avec le solveur CST High Frequency Time Domain

Avant de procéder à son intégration dans nos modules de puissance, nous avons repris les dimensions de la sonde afin de la simuler à partir d'un solveur dédié à ce type d'analyse : le solveur dédié au domaine des hautes fréquences de CST [67]. Ainsi, nous avons pu obtenir ses caractéristiques d'acquisition en fonction de différentes positions.

Ces simulations ont eu pour but de comparer les résultats obtenus par les études menées par Guillaume Viné aux nôtres afin de confirmer la configuration du solveur. Ainsi, ils nous permettront dans un second temps d'effectuer une caractérisation de l'ensemble du module de puissance.

Dans notre cas, nous avons proposé deux zones de positionnement de la sonde sur notre PCB : la première est définie horizontalement (Plan XY) sur la couche supérieure du PCB et à proximité d'une piste ou d'un plan de puissance. Cette configuration sera dite planaire (EL). La seconde est placée également dans le plan Horizontal XY, mais sur la deuxième couche du PCB. Cette disposition nous permet d'entourer complètement une connexion du composant actif, traversant le PCB multicouche. Nous la dénommons configuration traversante (TR). Cette configuration est proche de celle d'une sonde de Rogowski [157] ou d'une sonde de courant à effet hall.

Pour notre étude en simulation du comportement fréquentiel des configurations de sondes proposées, nous nous basons sur la gamme de 100 kHz à 1 GHz. Ceci pour répondre à notre cahier des charges de sondes intégrées avec la plus large bande possible et également afin de pouvoir comparer les valeurs obtenues lors des différentes caractérisations expérimentales.

Un point important pour ce type de simulation est la définition de la référence de potentiel. Dans notre cas, la référence de potentiel des pistes conductrices sera le radiateur que nous placerons en dessous du PCB. La distance entre les deux correspond à l'épaisseur du composant C2M0080120D, soit 4,5 mm.

Pour l'utilisation de ce type de solveur, nous devons prendre en compte l'attribution des ports d'entrées et de sortie (I/O), en cohérence avec le régime de fonctionnement le plus réaliste de notre configuration. Cette attribution des ports I/O est effectuée via l'utilisation de trois ports discrets. Le premier port est positionné entre l'entrée de la piste et un point de référence. Le deuxième port est situé entre la sortie de la piste et le point de référence. Le point de référence peut être soit similaire, soit différent. Cela dépend de la configuration réelle. La Figure 67 fait office d'exemple pour illustrer le cas d'un plan de puissance ou d'une piste.

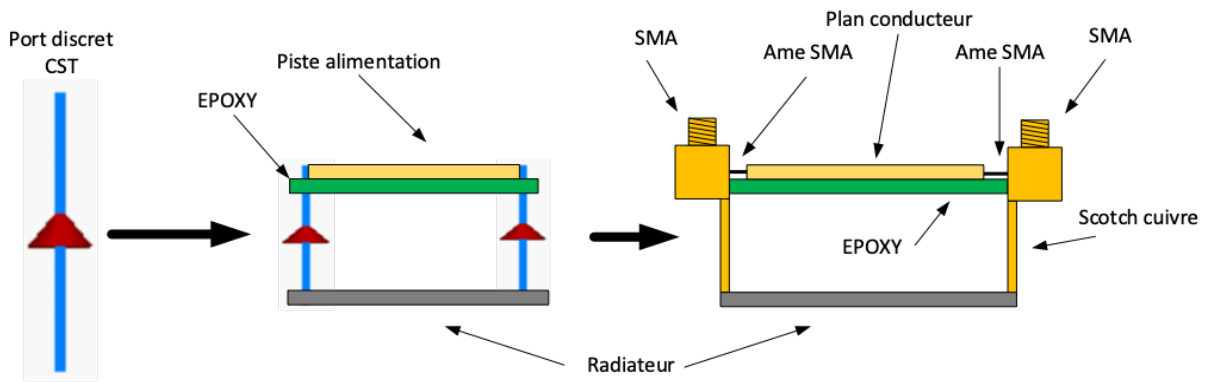


Figure 67 : Configuration d'une analyse de paramètre S avec les ports discrets du solveur CST MicroWave

Cette configuration est similaire à l'implantation des connecteurs SMA pour pouvoir mener une analyse comparative des paramètres S. Nous avons établi une référence de masse qui sera reliée à la masse du SMA. L'âme du connecteur SMA est reliée à la piste conductrice.

Une fois la piste reliée aux ports discrets, nous analysons la sonde électromagnétique. Ayant une entrée et une sortie sur la même piste, mais dont la sortie est le point de référence de notre sonde, nous prenons l'entrée comme piste conductrice et la sortie comme référence (Figure 68, Figure 69, Figure 70).

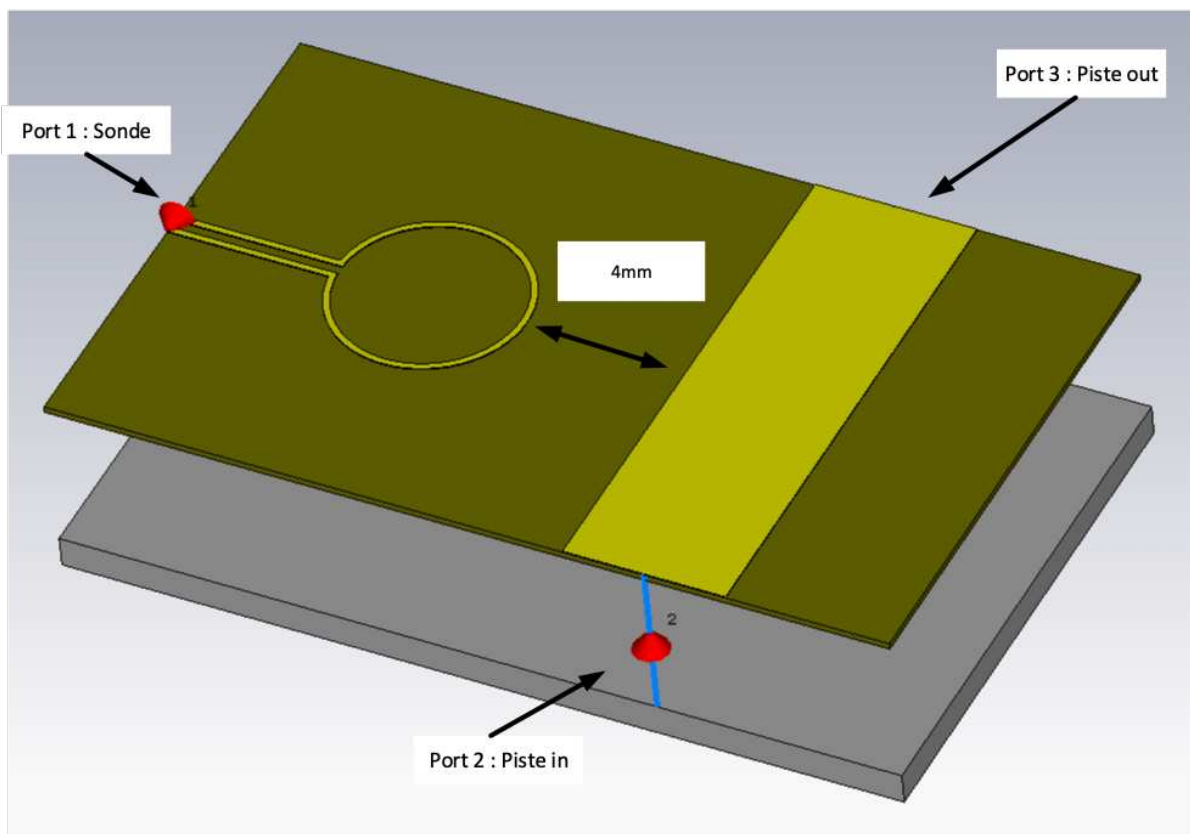


Figure 68 : Configuration des ports discrets de la sonde planaire

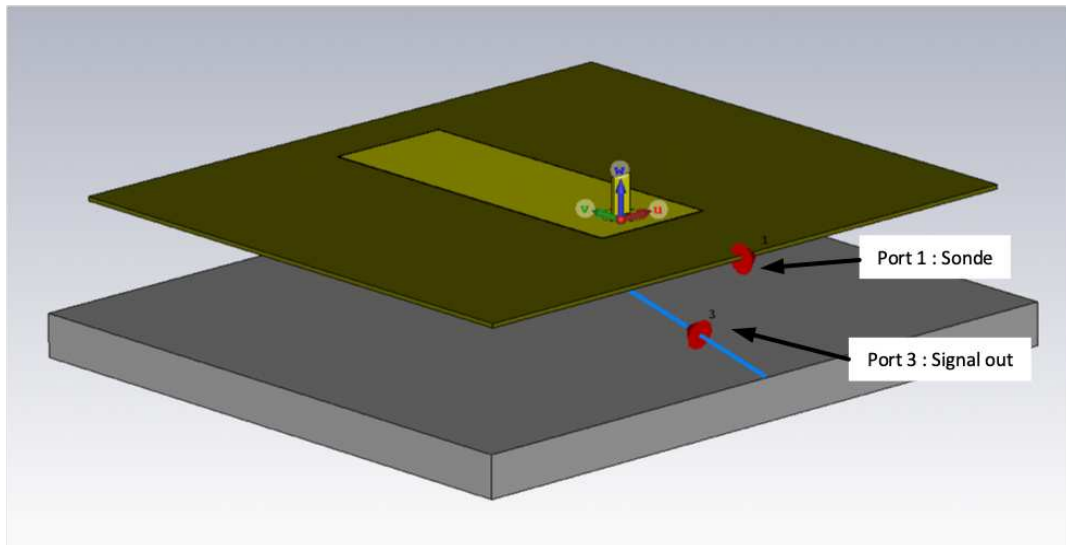


Figure 69 : Configuration des ports discrets de la sonde traversante

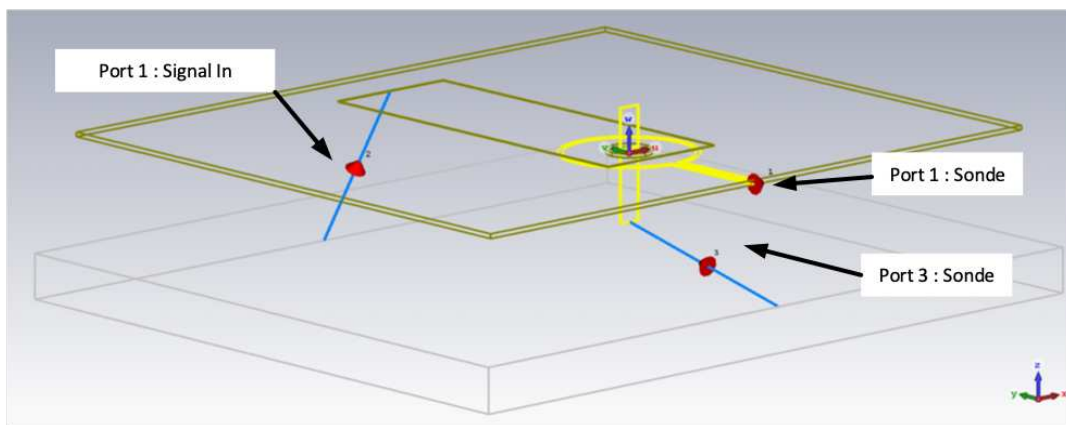


Figure 70 : Configuration des ports discrets de la sonde traversante – vue traversante

Les résultats des simulations qui vont suivre illustrent seulement les résultats de réflexion de chaque sonde et ceux des transmissions entre pistes et sondes. Les premières courbes caractérisent l'impédance de la sonde afin de connaître son comportement jusqu'à 1 GHz. On obtiendra ensuite leurs bandes de fréquence d'acquisition. Ces résultats seront comparés à ceux obtenus lors des simulations entreprises par Guillaume Viné sur le solveur Q3D.

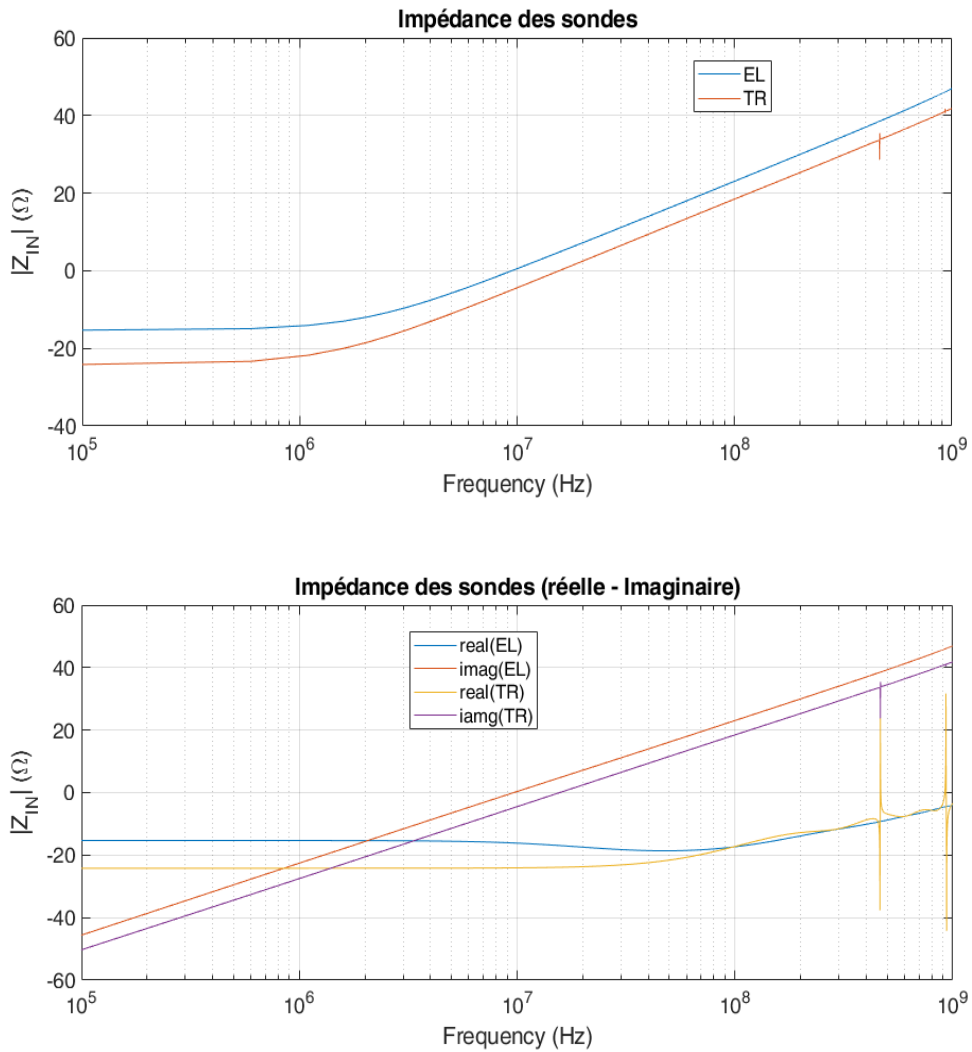


Figure 71 : Impédances des sondes planaire et traversante

Les impédances obtenues grâce aux simulations (Figure 71) sont proches de celles obtenues lors de leurs caractérisations jusqu'à 1 GHz durant les études de G. Viné [129]. Souhaitant élargir au maximum notre caractérisation, nous avons pu compléter les analyses de la sonde sur la bande de fréquence allant de 10^5 à 10^7 Hz. Par conséquent, la bande de fréquence de la sonde est maintenant établie entre 1 MHz et 1 GHz.

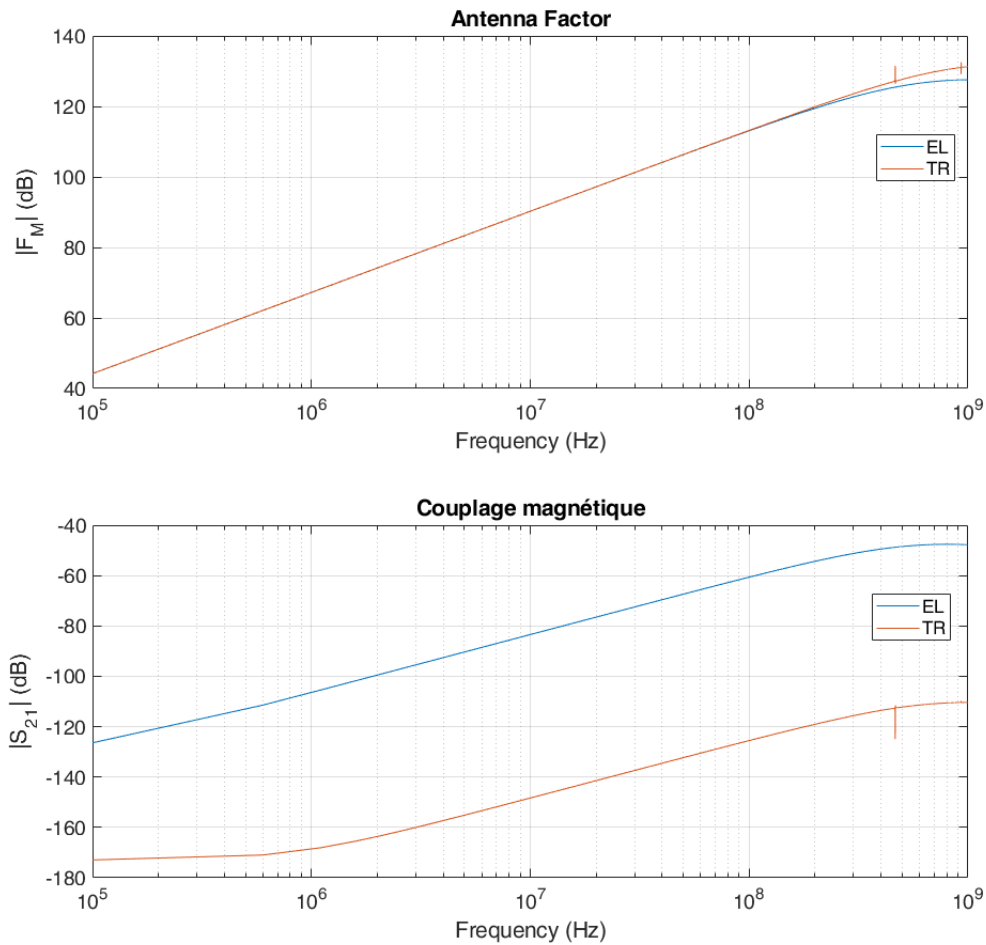


Figure 72 : Facteur d'antenne et du couplage magnétique des sondes planaire et traversante

Le facteur d'antenne ainsi que le couplage magnétique sont extraits et calculés à partir des simulations que nous avons obtenu par les différents solveurs (Figure 72). Les facteurs d'antenne que nous observons sont comparés à ceux obtenus par l'étude de Guillaume Viné. Leurs tendances sont similaires jusqu'à 300 MHz pour la sonde planaire. La fréquence d'acquisition maximale du champ magnétique est de 700 MHz, fréquence à laquelle la courbe planaire atteint les -3 dB de différence par rapport à sa tangente initiale. Même cas pour la sonde traversante où nous atteignons les 1 GHz.

Le couplage magnétique entre les sondes et les pistes est linéaire pour la sonde planaire entre 100 kHz et 500 MHz et entre 1 kHz et 500 Mhz pour la sonde traversante. Cette comparaison démontre que l'acquisition d'un signal via une sonde planaire aura des niveaux d'amplitude plus importants qu'à travers une sonde traversante. À 10⁷ Hz, le couplage de la première sonde est de -85 dB contre -147 dB pour la seconde. Si nous avons un signal de 1 V sur les pistes conductrices, nous aurons 56,23 μV depuis la sonde planaire et 44,66 nV pour la sonde traversante. Une différence significative que nous devons prendre en compte pour les acquisitions à venir.

Jusqu'à maintenant, nous avons observé le comportement et les caractéristiques de la sonde électromagnétique développée par Viné [129]. Le principe de celle-ci a été intégré tel quel en première approche puis adapté par son redimensionnement et ses placements sur notre PCB de puissance en fonction de notre cahier des charges particulier. Par conséquent, nous avons choisi deux types de sondes, la première en configuration planaire, proche d'un plan de puissance. Notre curiosité nous a amenés à ajouter une deuxième sonde, mais avec une configuration particulière. Cette dernière est placée au milieu d'une patte de composant traversant. Ainsi, nous avons une sonde concentrée sur-le-champ électromagnétique circulant dans le composant.

Ces deux types de sondes vont être intégrées à des endroits stratégiques lors de la procédure de routage effectuée une fois la mise en place et le routage des composants finalisés.

II.4. Conception de la carte de puissance

II.4.A. Identification des zones à fort risque de perturbations

Le pilotage du système à une fréquence élevée peut induire dans notre système des perturbations électromagnétiques provoquées par ses propres éléments. En fonction de notre pré étude de routage, ces agressions pourront être diminuées. Avant de procéder à cette démarche, nous étudions le placement des composants en fonction de leurs susceptibilités de perturbation.

Pour mener à bien cette étape, nous allons retrouver sur nos modules de puissance, 3 types d'éléments constitutifs : Le premier est celui des composants de puissance et sont compris dans cette catégorie, les composants de puissance ainsi que leurs drivers associés. Le deuxième est celui associé à l'électronique numérique, les commandes des composants de puissance ainsi que les retours de défauts sont compris dans ce domaine. Le troisième contient les alimentations, il inclut tous les composants qui alimentent les drivers.

La Figure 73 reprend le schéma électrique des modules de puissance en classifiant chaque élément dans une catégorie spécifique. Les trois zones sont identifiées en couleur. Nous allons lister, pour chacune d'entre-elles, les éléments à prendre en compte pour le routage de nos cartes de puissance. Cette étape permettra par la suite de définir le placement stratégique de chaque composant.

Une 1^{re} zone (verte) spécifique aux alimentations : Nous avons 1 alimentation principale +24 V - 75 W isolée et à faible bruit. Celle-ci se nomme TRACO POWER TXM 075-124 – 200 mV_{p-p} max. S'ajoute à celle-ci 5 alimentations à découpage isolées dont 3 sont des alimentations +5 V – 1 W dédiées aux fibres optiques, aux circuits logiques et aux drivers de commande (partie logique) ; fréquence de fonctionnement à 100 kHz et tension d'isolation de 1500 V_{DC}. Deux autres alimentations -5 V - +20 V – 6 W sont dédiées aux drivers de commande et de puissance avec une fréquence de fonctionnement de 100 kHz et une tension d'isolation à 5.2 kV.

Une 2nd zone (Rouge) dédiée au contrôle commande : Elle est constituée de 4 fibres optiques 0-5 V combinées à leurs logiques de mise en sécurité. Nous avons 2 entrées MLI, 1 entrée RESET, 1 sortie DÉFAUT qui est la combinaison des deux défauts obtenus par les deux drivers via l'association de 2 portes logiques NOR 74HC00 et 4 MOSFETS 2N7002. Ainsi, nous respectons une logique de mise en sécurité.

Une 3^{ème} et dernière zone (Bleu) relative à l'Électronique de puissance : Nous avons 2 voies de commande que nous avons précédemment dimensionnées. Sont ajoutés 3 connecteurs forte puissance (Visserie M3 – 50 A_{MAX} – CMS) ayant chacun une position spécifique : 1 placé au drain du MOSFET-haut, 1 placé à la source du MOSFET -bas et 1 placé à la sortie de la source du MOSFET -haut et au drain du MOSFET -bas. Nous finalisons avec l'intégration de 7 condensateurs de découplage. Nous avons choisi les C2225C104KFRACAUTO d'une valeur de 0,1 uF et d'une tension maximale de 1500 V. Ils sont de type X7R en Package 2225. Positionnés entre les deux plans de puissance VBUS+ et VBUS-, ils permettront, en plus d'un condensateur placé en début de chaîne, le découplage des alimentations lors des appels de courant importants qui auront lieu au cours des nombreuses commutations (condensateurs réservoirs). Le nombre de condensateurs a été ajusté en fonction de la surface du PCB et du radiateur. En effet, nous avons fait le choix d'étendre au maximum les deux plans de puissance V_{BUS} + et – selon la surface du radiateur. Cela nous a permis d'étendre également la concentration du courant dans les plans de puissance et de ce fait, de diminuer leurs contraintes thermiques. En fonction de cette surface, nous avons pu ajuster 7 condensateurs de découplage type

CMS permettant d'optimiser au maximum le découplage de la tension de bus à proximité des zones de commutations.

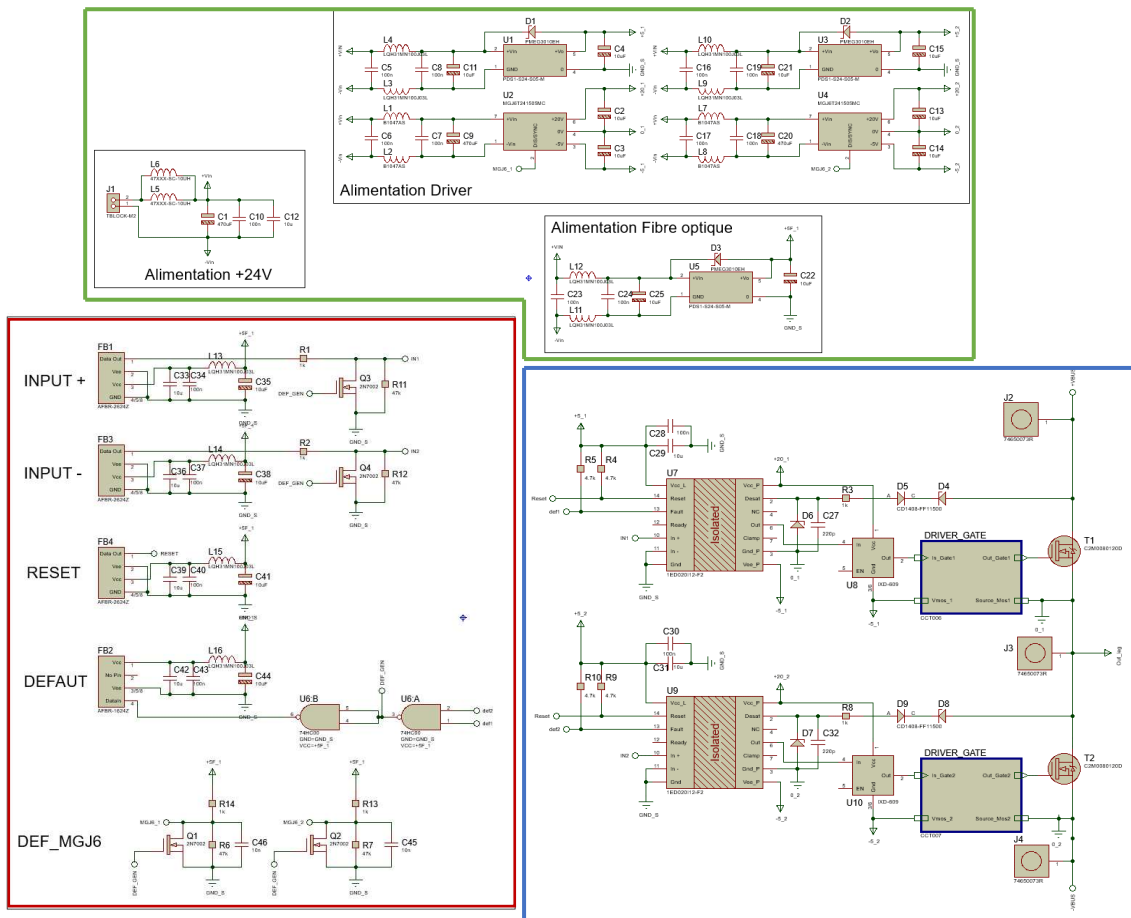


Figure 73 : Schéma électrique des modules de puissance

Cette répartition nous permet de différencier chaque partie en dispatchant chaque composant en fonction de sa catégorie. Ces différentes étapes nous permettent maintenant de mener une réflexion sur l'agencement et la fonction de chaque partie lors du routage du module de puissance.

II.4.B. Agencement des couches

Nous avons précédemment listé les composants qui constituent les modules de puissance. En fonction d'eux, nous avons établi 3 catégories distinctes qui ont permis de positionner les composants de puissance ainsi que les condensateurs de découplage. Par conséquent, nous pouvons, à cette étape, réfléchir au nombre de couches préférable pour la conception des modules de puissance.

Ce nombre est défini en fonction de la complexité du routage et des contraintes de dimensions que nous avons. Toujours dans un but de minimiser les dimensions de la carte ainsi que les distances entre chaque composant afin d'obtenir un système compact, le nombre de couches a été fixé à 4. Nous pouvons dès à présent comparer les différentes configurations possibles pour l'agencement des plans de puissance.

La configuration à 1 seule couche, que ce soit interne ou externe à l'avantage de n'utiliser qu'une seule couche et simplifie la modélisation. Un second avantage est de pouvoir mettre le composant Mosfet-SiC en configuration CMS. Cela nous permettrait de réduire les antennes créées par les

composants traversants. Cependant, la présence de plusieurs capacités parasites entre les plans de puissance $V_{BUS+/-}$ par rapport au plan de puissance POINT_MILIEUX est possible.

La configuration à 2 couches situées en interne à l'avantage de pouvoir optimiser les valeurs des capacités parasites, elle nous oblige à avoir des trous traversants pour atteindre les plans de puissance situés entre chaque couche.

La dernière configuration envisagée est celle à 2 couches, mais situées sur les couches externes. L'avantage de cette configuration est d'avoir la possibilité une fois de plus de mettre le composant MOSFETs SiC en CMS, mais également de diminuer la capacité parasite entre les plans de puissance. Le dernier avantage est de pouvoir diminuer les risques de claquage entre les plans de puissance.

Ces trois configurations présentent des avantages et des inconvénients différents. Pour choisir la configuration la plus adaptée à notre étude, nous prenons les axes principaux qu'elle devra respecter.

Notre premier objectif est de diminuer les contraintes électromagnétiques au sein de notre PCB de puissance. Celles-ci sont potentiellement initiées à partir des antennes que nous créons à nos dépens, via des soudures de pattes traversantes. S'ajoute également, le risque de claquage que nous voulons diminuer au maximum pour sécuriser le système. Bien sûr, pour éviter toute perturbation électrique ou un fonctionnement anormal, nous augmentons au maximum les distances entre chaque plan de puissance.

En fonction des configurations et des contraintes qui y sont liées, nous avons résumé l'intégralité des avantages et des inconvénients des différentes configurations que nous venons de proposer dans le Tableau 18. Lorsque le nombre de « + » est élevé, cela indique que l'agencement pour ce paramètre est approprié, inversement pour le signe « - ».

	Trous traversants	Nombre de couches	Risques de claquage	Configuration CMS MOSFET	Capacité parasite
1 couche	+++	+++	---	+++	---
2 couches Int	---	++	++	-	+
2 couches ext	+	++	+++	++	+++

Tableau 18 : Comparaison des avantages et inconvénients des différentes structures proposées

En prenant en compte toutes les remarques, la configuration la plus adaptée à notre étude a été identifiée comme étant celle à deux couches externes : les plans de puissance sont situés sur les deux couches externes (Top et Bottom). $V_{BUS+/-}$ sur la couche top, le point milieu étant sur la couche bottom.

Toutefois, comme nous l'avons signalée plus haut (II.2.A) concernant une des contraintes imposées vis-à-vis du choix des composants, nous priorisons ici les packages CMS pour les composants. Par conséquent, n'ayant pas de packages CMS pour les composants de puissance, la configuration de placement de celui-ci a été ajustée suivant nos besoins spécifiques. Souhaitant au maximum éviter les trous traversants, il a été configuré de manière à n'avoir qu'une seule patte traversante par MOSFET. Un drain pour l'un, une source pour l'autre. Les deux autres pattes ont été courbées afin d'obtenir une soudure de type CMS.

Remarque : Ce trou traversant sera utilisé par la sonde traversante que nous placerons lors de la prochaine étape.

Les épaisseurs ainsi que les types des matériaux utilisés dans cette configuration 4 couches sont imposées par le fabricant auquel nous sous-traitons la production. Suite à la réflexion menée précédemment ainsi qu'à nos choix de minimisation des dimensions, nous avons choisi cet agencement :

Layer constructeur	Layer Projet		Matériaux	Épaisseur (mm)
	Numérique	Puissance		
Top Solder mask			Solder Mask	0,5mil
Top Layer 1	Piste d'alimentation		Cuivre	0,035
Prepeg			7628	0,2
Inner Layer 2	DGND	AGND	Copper	0,0175
Core			Core	1,065
Inner Layer 3	+5 V	-5 V	Copper	0,0175
Prepeg			7628	0,2
Bottom Layer 4	DGND + Commande numérique	Commande Puissance	Copper	0,035
Bottom Solder Mask			Solder Mask	0,5mil

Tableau 19 : Agencement de la carte de puissance

Le Tableau 19 indique une différenciation des couches en fonction de leurs domaines de puissance. La première couche est réservée aux pistes d'alimentations ainsi qu'aux composants qui la constituent. Cette couche d'alimentation aura deux références de masse. La première DGND, correspond aux signaux numériques, la seconde AGND, correspondant aux signaux analogiques.

La troisième couche sera principalement dédiée au plan d'alimentation +5 V pour la partie numérique et -5 V pour la partie analogique.

La partie numérique ainsi que la partie commande de la puissance seront principalement routées sur la dernière couche conductrice. Celles-ci seront séparées et isolées par les drivers de commande. C'est ainsi que les références de masses sont respectivement attribuées.

Suivant les différentes remarques et configurations que nous avons discutées jusqu'à maintenant, le processus de routage est entrepris. Les Figure 74 et Figure 75 sont des visualisations du module de puissance en vue 3D et indiquent la localisation des différentes zones décrites précédemment sur notre PCB : rouge pour les signaux d'alimentation, vert pour les signaux de commande numérique et bleu pour les signaux de commande puissance. Chaque zone est définie en fonction des couleurs que nous avons précédemment attribuées. Les dimensions des plans de puissance sont en partie liées à celles du radiateur. Ainsi, nous profitons de tout l'espace occupé par ce dernier. Les connecteurs de puissance sont placés à chaque extrémité des plans.

Nous pouvons nous apercevoir que les sondes de champ électromagnétique sont présentes. Les choix en lien avec elles seront discutés par la suite.

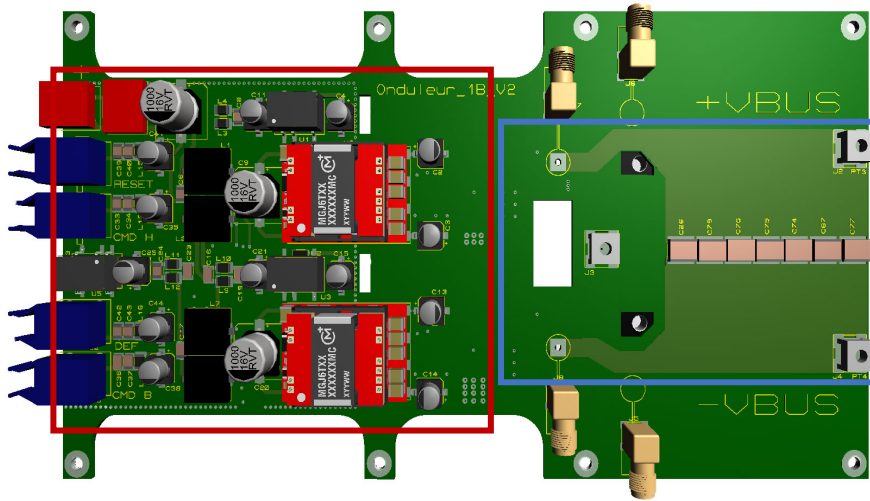


Figure 74 : Vue de dessus du module de puissance

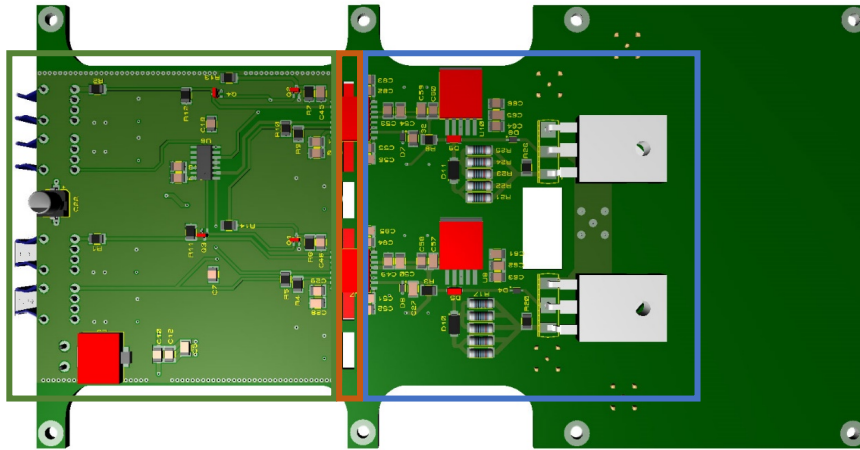


Figure 75 : Vue de dessous du module de puissance

La zone verte (zone des drivers et de leurs commandes) qui, par conséquent, est une zone très critique en matière de perturbations EM a fait l'objet d'une démarche de protection contre les perturbations externes. Une « cage de faraday » a été générée par routage spécifique aux abords de la partie commande numérique. Ce développement est une technique de conception appelée « via Shielding ». Son principe est de placer soit sur les bords d'une zone, soit le long d'une ligne qu'on souhaite protéger, des via connectés à deux plans de masse issus de différentes couches pour permettre la création d'une cage de Faraday équivalente. Ainsi, les signaux situés sur les couches intermédiaires et entre les deux couches de masse reliées sont protégés (Figure 76).

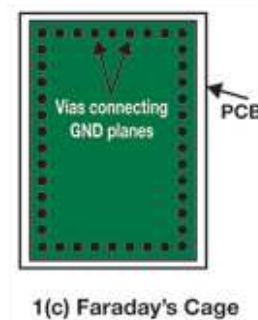


Figure 76 : Technique du via Shielding

L'ajout d'une cage métallique en surface de la carte située dans la zone de protection souhaitée est préconisé pour protéger également les composants de surface si l'agencement le permet (Figure 77).



Figure 77 : Capot d'isolation pour l'implantation du via Shielding

La configuration de l'implantation de blindage « Shielding » est fonction de la longueur d'onde maximale atteignable par les différentes sources de fréquences présentes sur le PCB [158].

$$l_{\text{via-via}} = \text{longueur entre via (m)}$$

$$c = \text{célérité de la vitesse du son}$$

$$\epsilon_R = \text{constante diélectrique du matériau FR4}$$

$$l_{\text{via-via}} = \frac{\lambda_{\text{max}}}{20} = \frac{c}{20 * f_{\text{max}} * \sqrt{\epsilon_R}} \quad \#(22)$$

Plusieurs fréquences sont distinguées dans notre configuration :

- Fréquence de découpage du système de conversion = 250 kHz
- Fréquence de découpage des alimentations = 100 kHz
- Fréquence induite à la commutation des composants de puissance = $\frac{0,35}{t_{\text{rise max}} \text{ ou } t_{\text{fall max}}}$

- $f_{\text{rise}} = \frac{0,35}{14 \text{ ns}} = 25 \text{ MHz}$

- $f_{\text{fall}} = \frac{0,35}{24 \text{ ns}} = 14,58 \text{ MHz}$

- Fréquence induite à la commutation des signaux numériques provenant des fibres optiques

- $f_{\text{rise}} = \frac{0,35}{5 \text{ ns}} = 70 \text{ MHz}$

- $f_{\text{fall}} = \frac{0,35}{5 \text{ ns}} = 70 \text{ MHz}$

Le calcul de la longueur minimale peut alors être établi :

$$l_{\text{via-via}} = 0,103 \text{ m} = 103 \text{ mm}$$

La limite de séparation entre vias doit obligatoirement être inférieure à 10,3 cm. Si cette valeur est diminuée, nous augmenterons la protection contre les perturbations propagées par des fréquences supérieures à 70 MHz.

Bénéficiant l'avantage de pouvoir réduire cette valeur, nous la diminuons à 50 th (1,27 mm), valeur correspondant aux limites du fabricant de PCB.

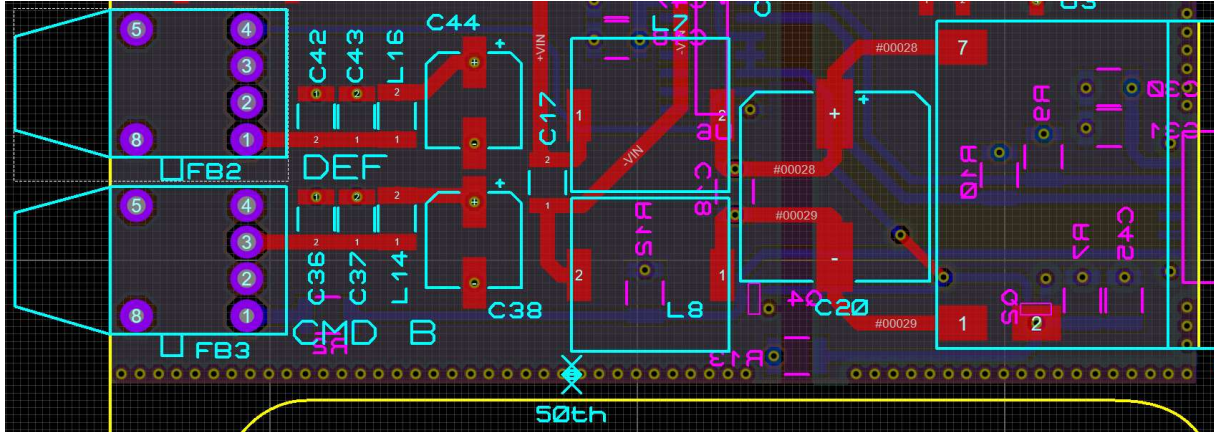


Figure 78 : Visualisation due via Shielding sur les cartes de puissance

Cette distance nous permet d'obtenir une fréquence « barrière » à :

$$f_{max} = \frac{3.10^8}{20 * 1,27mm * \sqrt{4,3}} = 5,69 \text{ GHz}$$

Même si cette valeur est très élevée par rapport aux fréquences circulants à l'intérieur et hors PCB, nous verrons par la suite que les fréquences issues de la chaîne de mesure peuvent l'atteindre.

Cette méthode de prévention contre les problèmes CEM ne permet pas d'immuniser parfaitement le circuit, mais elle permet de diminuer les risques de perturbation.

Remarque : cette méthode de protection ne prend pas en compte l'énergie électromagnétique dégagée par les commutations. En effet, les perturbations électromagnétiques d'un composant de puissance commutant une forte tension en un temps très faible seront toujours plus impactantes que celles d'un composant numérique commutant à même fréquence, mais à faible tension.

Dû au fait que nous étions dans le cadre de l'élaboration préliminaire d'un prototype et souhaitant avoir facilement accès aux signaux de commande numérique en cas d'apparition d'un problème (diagnostic), les signaux de commande ont été placés sur une des couches du plan de masse numérique.

Parmi les améliorations à venir, nous envisagerons le changement de l'agencement des couches afin de permettre l'optimisation de la protection de cette zone.

N'ayant aucune piste traversant de la zone de commande numérique à la zone de commande de puissance, des séparateurs (fentes interstitielles) ont été placés au niveau des drivers de commande et de l'alimentation de la zone de puissance (zone Orange). Ils auront pour rôle de prévenir les éventuels claquages par contournements d'arc.

Ayant effectué la mise en place des différents éléments concernant la commande numérique et les éléments de puissance, la réflexion concernant les différentes configurations possibles des moyens de mesure sur PCB a ensuite été menée.

II.4.C. Positionnement des sondes de champ proche

La contrainte principale que nous avons fixée à l'intégration d'un moyen de mesure est qu'il soit non invasif vis-à-vis des éléments précédemment dimensionnés de l'onduleur. L'utilisation d'une résistance de shunt pour obtenir l'image du courant placé sur les plans de puissance aurait obligé à remanier l'étude des plans de puissance ainsi que la position des MOSFETs. C'est pour cela que le choix d'une sonde électromagnétique à champ proche répond bien à nos souhaits.

Nous avons repris les caractéristiques des sondes précédemment établies. Maintenant, par le biais de ces résultats, nous pouvons étudier leurs positionnements. Cette partie a été un enjeu critique qui a dû être établi au cours du développement de notre module de puissance. En effet, de nombreuses informations sont potentiellement mesurables avec ce type de sonde, ce qui peut être à la fois une bonne et une mauvaise chose.

En fonction des 3 plans de puissance V_{BUS} +, - et du Point Milieu, des différentes distances entre eux et de leurs caractéristiques intrinsèques que nous verrons lors de leurs modélisations, des contraintes de positionnement apparaissent. Notre objectif était d'obtenir prioritairement la signature du champ électromagnétique correspondant au courant traversant les plans de puissance, comme précisés durant le chapitre 1, les syndromes de dégradation d'un isolant sont observables dans la gamme des hautes fréquences : 1 MHz – 100 MHz [62].

Présentant des caractéristiques d'acquisition de champ H entre 2 MHz et 800 MHz [159] ce type de sondes permettra la mesure de la signature électromagnétique des champs mesurés, et de pouvoir idéalement remonter à l'identification de phénomènes liés à l'apparition de dégradations des isolants au sein des bobinages en fonction du courant généré par l'onduleur.

Nous avons volontairement étendu les deux plans de puissance afin de pouvoir mieux positionner nos condensateurs de découplage. Nous avons également dû faire le choix de diminuer la taille du passage du courant sur une section moins large afin d'obtenir une meilleure concentration locale des courants circulants.

Nous avons établi précédemment les caractéristiques des sondes non invasives que nous avons retenues ainsi que le routage des plans de puissance. Nous avons pu procéder au placement des sondes pour en placer 4 correspondants à une symétrie de mesure.

Les deux premières sont placées proches de la concentration du courant que nous avons routé à chaque plan de puissance (Figure 79, Figure 80). Nous aurons ainsi l'image du champ magnétique créé par le courant entrant dans le MOSFET haut et de celui sortant par le MOSFET bas.

Les deux dernières ont été placées à travers une des pattes du composant de puissance qui traverse le PCB (Figure 79). En effet, nous avons vu lors de leurs caractérisations une deuxième configuration dite traversante. Celle-ci restait encore à tester afin de valider son potentiel réel. Ayant accès à une patte du composant sur chaque plan, nous avons décidé de les placer dans ces zones.

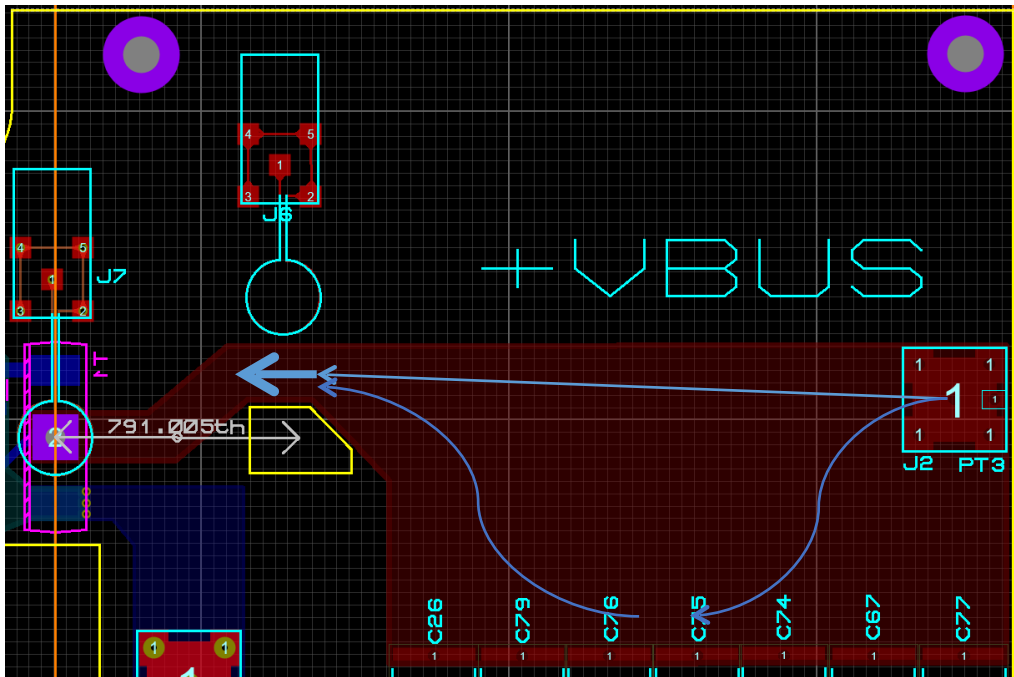


Figure 79 : Sens de circulation des courants traversants le plan de puissance Vbus +

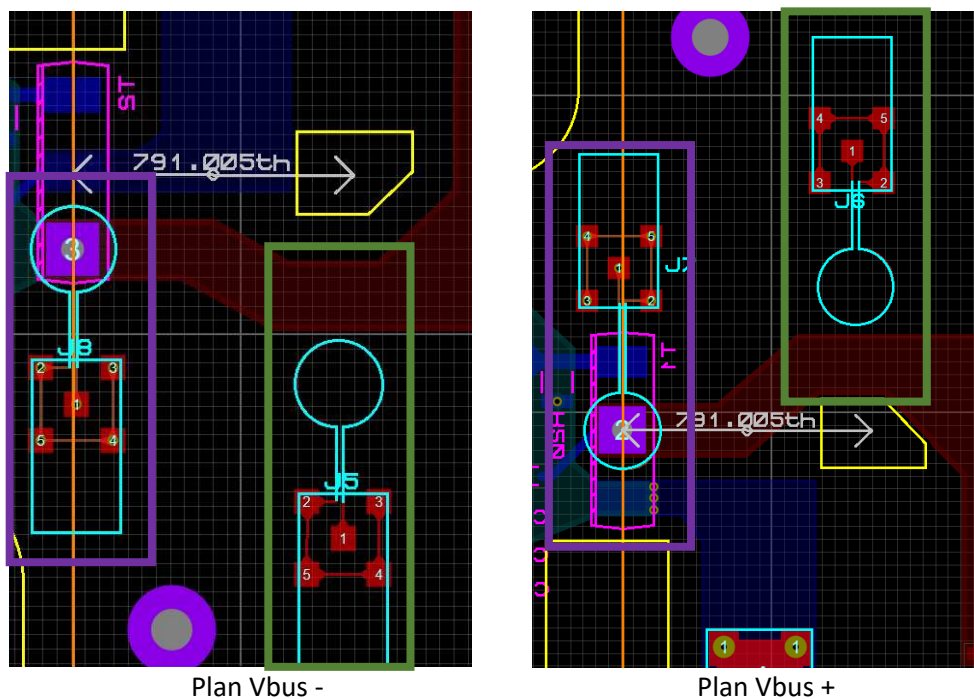


Figure 80 : Placement des sondes de champs H proche des plans de puissance / Placement des sondes à champs H à travers le drain et la source des MOSFETS haut et bas respectivement

La mise en place et l'ajustement des sondes de champ électromagnétique à champ proche nous ont permis de valider le concept de mesure locale via deux types de sondes. Cette configuration est spécifique à nos placements de MOSFETS.

Nous avons ici fini de dimensionner et de router notre module de puissance. Avant d'assembler le module, nous nous arrêtons à une étape de modélisation préalable afin d'avoir de plus amples connaissances sur le comportement fréquentiel de notre PCB ainsi que sur ses caractéristiques passives. Cette étape est primordiale pour vérifier le couplage entre les plans de puissance et les

sondes. Mais également pour savoir si notre étude de modélisation est cohérente avec les mesures de paramètres S. Nous allons l'étudier via l'utilisation de 2 solveurs, CST et Q3D. Lors de cette étape, nous observerons le changement du comportement des sondes que nous avons caractérisées sans environnement externe (II.3II.3) et celui des sondes que nous avons intégrées aux PCB de puissance.

II.4.D. Modélisation des modules de puissance

Une fois le dimensionnement et le routage des cartes finalisés, notre objectif suivant sera de pouvoir observer leur comportement lorsque celles-ci seront mises en route. Leur comportement va être lié à celui des nombreuses impédances que nous retrouvons sur les différents plans de puissance. Par conséquent, afin d'obtenir un aperçu préalable de ce comportement, de le maîtriser et de l'expliquer notamment en comparaison des caractérisations expérimentales, nous nous proposons de modéliser ces impédances le plus finement possible, avec des modèles circuits type éléments répartis (RLCG). Nous allons nous focaliser sur la partie puissance et la captation du champ électromagnétique qui est la plus significative.

Ces modélisations sont possibles via l'utilisation d'outils développés pour ce type d'opération : les acquis du laboratoire nous permettent d'en utiliser deux : le solveur Q3D de la suite ANSYS et l'outil MICROWAVE de la suite CST. Ce choix d'utiliser 2 outils est lié à leurs différentes approches. Le premier, Q3D, est plus spécifique aux basses fréquences à contrario du second, plus dédié aux hautes fréquences. Grâce à leurs utilisations conjointes, nous allons comparer les différents résultats obtenus afin d'avoir un résultat tangentiel et de conclure vis-à-vis d'un modèle final. Ce modèle sera exclusivement constitué d'éléments passifs tels que des condensateurs, des inductances, des résistances, et des conductances. Cette étape nous permettra d'avoir une simulation complète de notre PCB de puissance sur un solveur SPICE.

Cette double approche est proposée ici, car elle a été validée depuis plusieurs années pour des simulations fiables du comportement physique et électrique des structures PCB de puissance [55], [68], [70], [160], [161].

Toutefois, pour obtenir une modélisation correcte, nous établissons notre plan de mesures expérimentales suivant les ressources bibliographiques et les logiciels de modélisation pour pouvoir accoler les simulations au modèle réel plus facilement. Cette procédure nous permettra d'avoir une comparaison très proche entre les mesures obtenues par l'analyseur de spectre et les solveurs. Une étude similaire a été menée par I. Ramos [55] ; étude dont nous reprenons la méthodologie ici tout en l'adaptant à notre configuration.

Notre première étape est d'attribuer les ports d'entrées et de sorties des pistes que nous souhaitons étudier afin que la configuration de la simulation soit en lien avec les mesures avec l'analyseur de réseaux. Dans notre cas, nous utiliserons le VNA TTR506A, ceci entre 100 kHz et 1 GHz comme indiqué précédemment.

Les mesures des paramètres S d'un plan conducteur avec un outil tel que le VNA sont la plupart du temps, référencées à une masse commune. Nous prenons en exemple l'entrée et la sortie d'un plan de puissance. En souhaitant faire une mesure avec un connecteur SMA, notre configuration est telle que celle présentée à la Figure 81 :

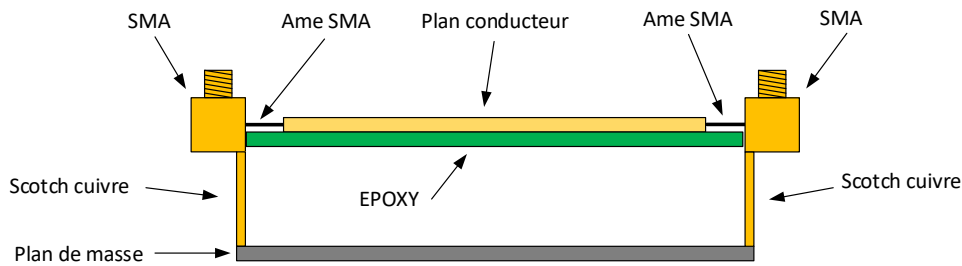


Figure 81 : Exemple d'une configuration d'une mesure expérimentale de modélisation via un VNA

Les âmes des connecteurs SMA sont connectées aux entrées et aux sorties du plan conducteur. Une masse commune est obtenue par la soudure des deux carcasses des connecteurs à un plan commun.

Suivant nos besoins, dans un premier temps, nous nous concentrons sur la partie puissance. Afin d'optimiser la simulation, nous ne prenons que les pistes essentielles, celles dont le courant traverse également le bobinage du moteur. Nous réduisons donc notre étude aux plans $V_{BUS+/-}$ et POINT_MILIEU. Le plan de masse associé à ces plans de puissance est le radiateur placé en dessous des modules et qui est directement relié à la terre. En définissant une entrée et une sortie pour les plans $V_{BUS+/-}$ ainsi qu'une entrée et deux sorties au POINT_MILIEU, nous aurons un total de 7 ports liés aux plans de puissance. Concernant les mesures expérimentales, nous aurons donc 7 connecteurs SMA.

Dans un second temps, nous nous concentrons sur la partie acquisition. L'association de ces sondes aux plans de puissance est requise pour obtenir le coefficient de couplage entre chaque élément. De ce fait, notre procédure de référencement de masse est différente de la précédente. Nous reprenons le même procédé que précédemment concernant la modélisation des sondes de champ proche comme illustré dans notre cas, Figure 82.

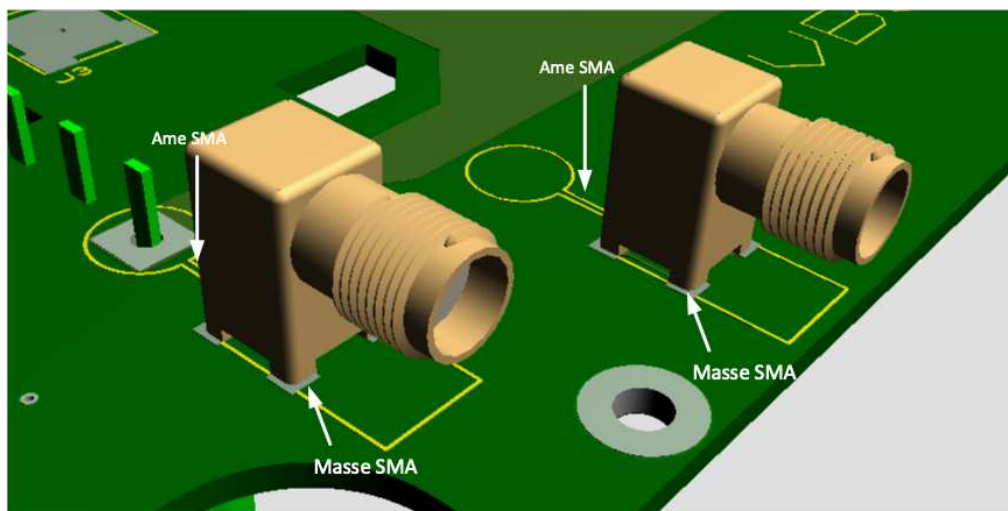


Figure 82 : Configuration des connecteurs SMA pour les sondes de champ électromagnétique

Pour résumer notre configuration, le placement des connecteurs SMA est illustré Figure 83 et Figure 86. Nous y retrouvons tous les connecteurs SMA que nous allons placer lors de la mesure des paramètres S avec l'analyseur de réseaux. Nous avons ceux numérotés de 1 à 7, connectés aux extrémités des plans de puissance et dont l'âme du connecteur est soudée au plan de puissance tandis que la carcasse du connecteur est-elle, reliée au radiateur par l'intermédiaire d'un scotch cuivré. Les connecteurs SMA numérotés de 8 à 11 sont reliés aux sondes de champs électromagnétiques. L'âme du connecteur est reliée à l'entrée de la sonde, son extrémité est reliée à la masse du connecteur officiant comme référence de la mesure.

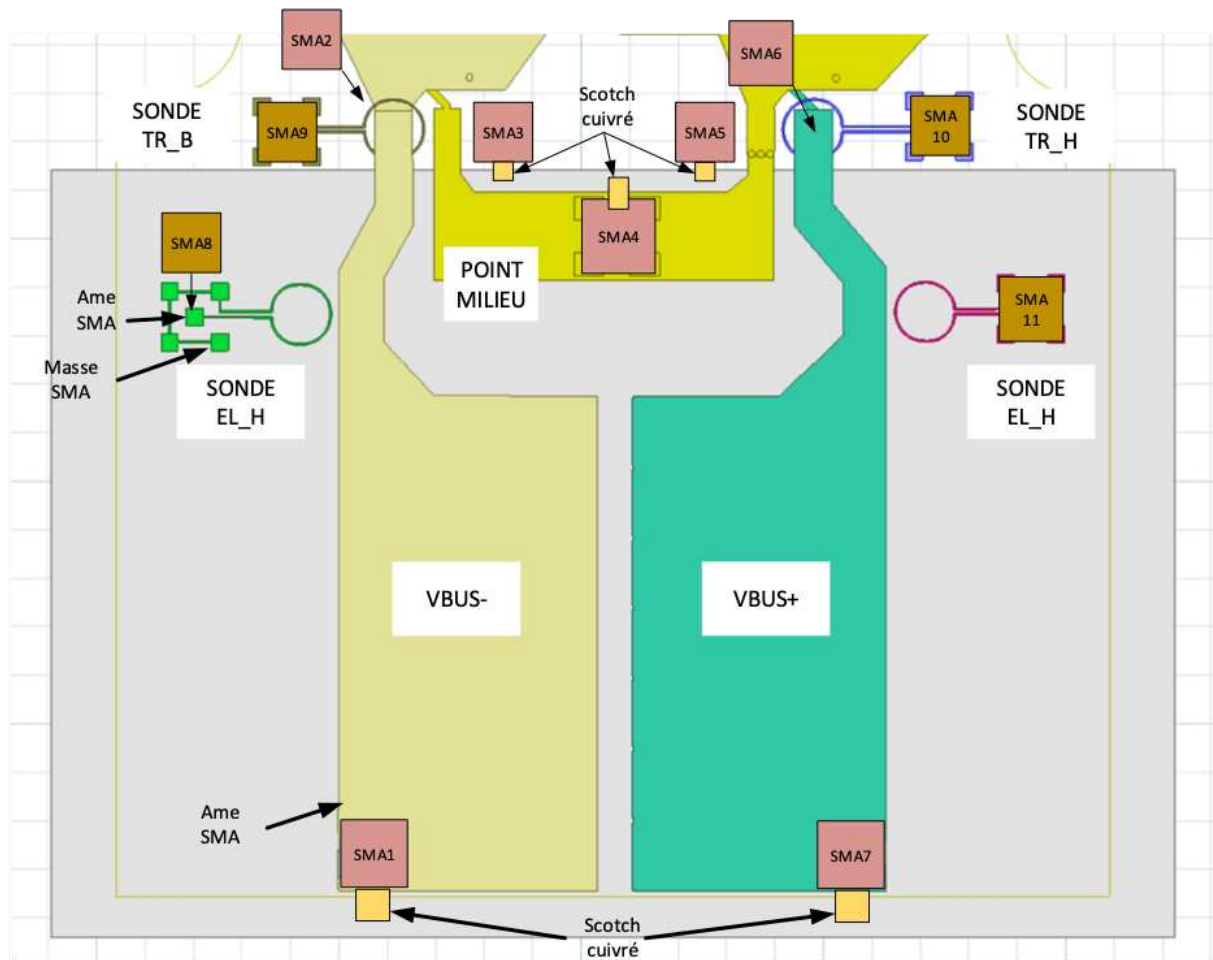


Figure 83 : Plan d'étude de la disposition des connecteurs SMA pour la modélisation du PCB

Ce placement nous permet maintenant de paramétrer les deux solveurs de modélisation que nous avons précédemment choisis.

Le processus de modélisation commence par une importation de notre module de puissance conçu sur le logiciel de routage dans l'outil choisi à partir d'un format recommandé. À cette étape, nous définissons les différentes caractéristiques physiques de la carte tels que le type des matériaux utilisés pour les couches, leurs épaisseurs et les références de plans de masse. Suite à ça, nous procédons à l'attribution des entrées et des sorties des pistes ayant un intérêt pour notre étude. Les solveurs vont en extraire les différentes valeurs d'impédance passive exprimées suivant la gamme de fréquence demandée. À ce point du traitement, nous pouvons extraire le modèle RLCG du modèle importé.

Dans notre cas, nous utilisons le format d'import ODB++, pour obtenir toutes les caractéristiques de la carte telles que les placements des vias ou bien les épaisseurs et les types des couches. Une fois l'import effectué, nous définissons les plans de masse et les plans de puissance de notre module importé. Afin de diminuer les temps de calcul des solveurs, seule une partie du module est prise en compte. Nous faisons ainsi le choix de ne traiter que les pistes comprises dans la partie puissance. Les pistes comprises dans la partie numérique sont négligées. Nous retrouvons cette différenciation en Figure 84.

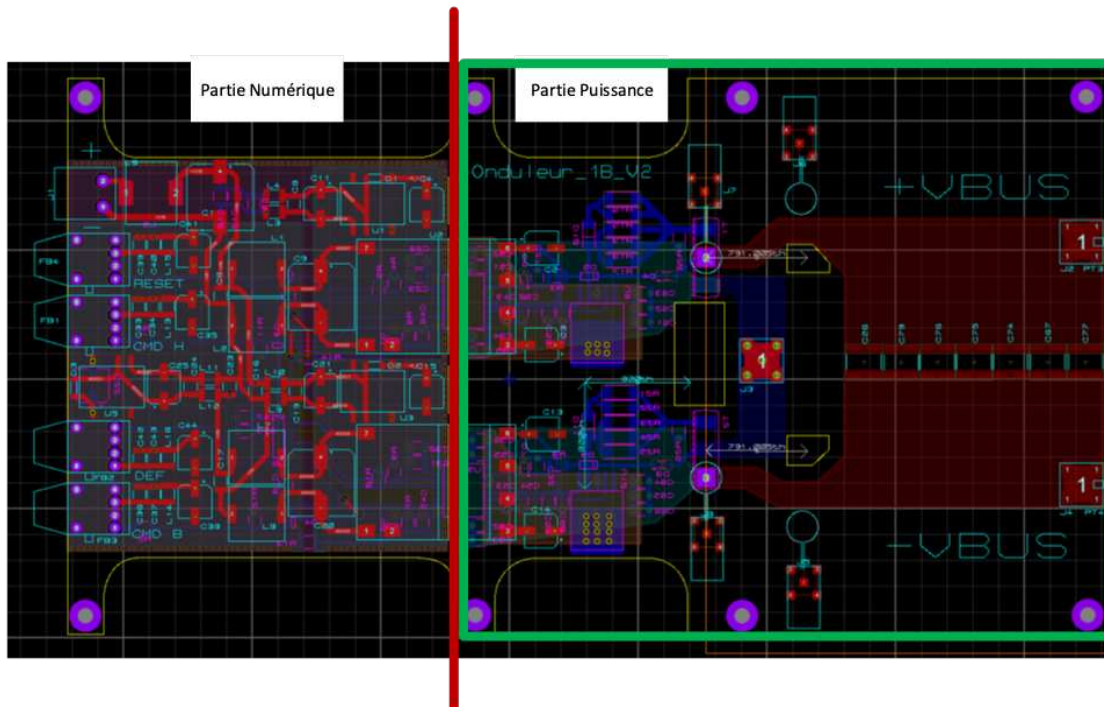


Figure 84 : Séparation des différents domaines électriques pour la modélisation des modules de puissance

Toujours dans un but d'optimiser le temps de calcul des solveurs, les pistes présentant un intérêt pour notre étude sont celles où transitera le courant à travers les charges, $V_{BUS+/-}$ et la piste POINT_MILIEUX. Nous ajoutons à celles-ci les sondes électromagnétiques à champ proche EL_M , EL_P , TR_M , TR_P .

Notre première modélisation se fait sur le solveur Q3D. La Figure 85 ci-dessus, illustre le module suite à sa procédure d'import. On y retrouve toutes les pistes listées précédemment. Nous définissons nos entrées (Sources) et nos sorties (Sink) comme celles définies durant notre étude de placement auparavant. Nous nous rapprochons au maximum de la réalité en ajoutant le radiateur placé en dessous du module. Tout en respectant ses dimensions, le radiateur sera utilisé comme référence de masse. Ainsi, notre processus de modélisation peut débuter. La Figure 86 illustre le placement de ces ports sur le côté +VBUS du module.

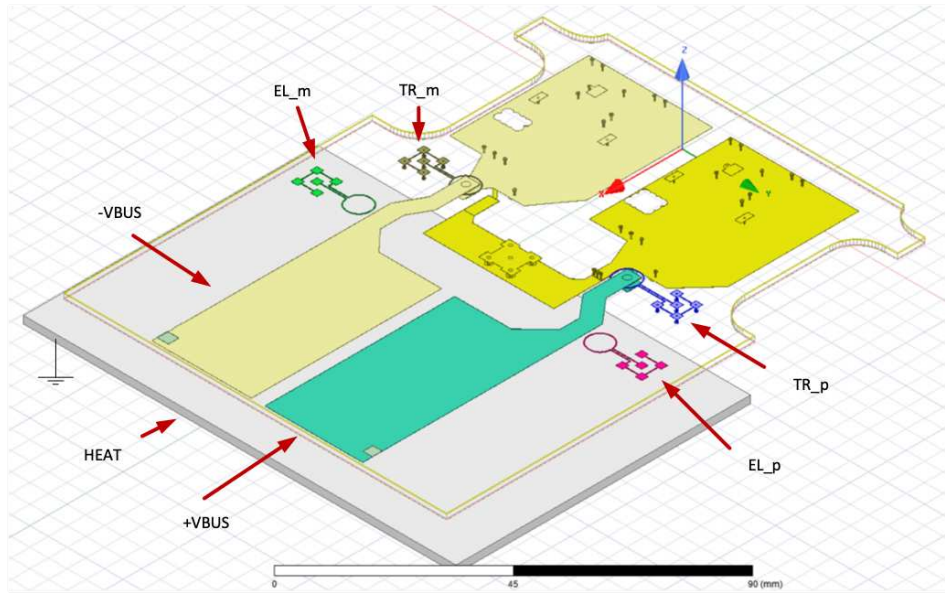


Figure 85 : Modélisation du module de puissance sur Q3D – Emplacement des connecteurs



Figure 86 : Placement des sources et des sinks sur le solveur Q3D en fonction des plans de puissance et des deux types de sondes

La procédure de référencement des masses ainsi que le placement des ports étant terminés, nous lançons la modélisation afin d'en extraire le modèle RLCG du module de puissance. La gamme de fréquence de notre étude est située entre 100 Hz et 1 GHz suivant un pas logarithmique et par interpolation de 50 solutions maximales avec une tolérance d'erreur de 0.5% [55].

En fonction de la fréquence de modélisation, des phénomènes tels que l'effet de peau [162] peuvent apparaître sur la variation des valeurs des éléments passifs équivalents. Afin de les observer, nous allons nous intéresser à leurs modèles inductifs et capacitifs.

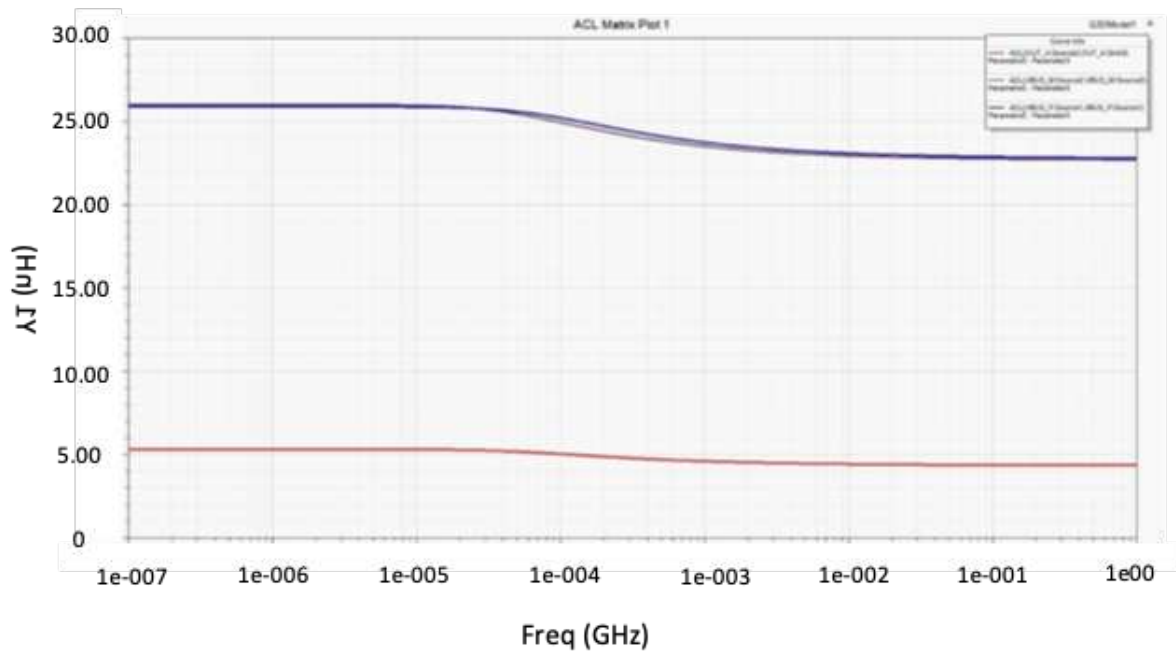


Figure 87 : Évolution du modèle inductif des plans de puissance +/-VBUS et du point milieu

Nous observons, suivant la Figure 87, l'évolution de l'inductance entre les ports des entrées et des sorties des plans de puissance $V_{BUS\pm/}$ et du POINT_MILIEU. Leurs inductances à basse fréquence sont aux alentours de 26 nH et de 5 nH respectivement. La variation que nous observons à partir de 50 kHz prend en compte l'effet de peau subi par le matériau conducteur cuivre.

Nous observons le même phénomène sur les sondes de champ proche, Figure 88.

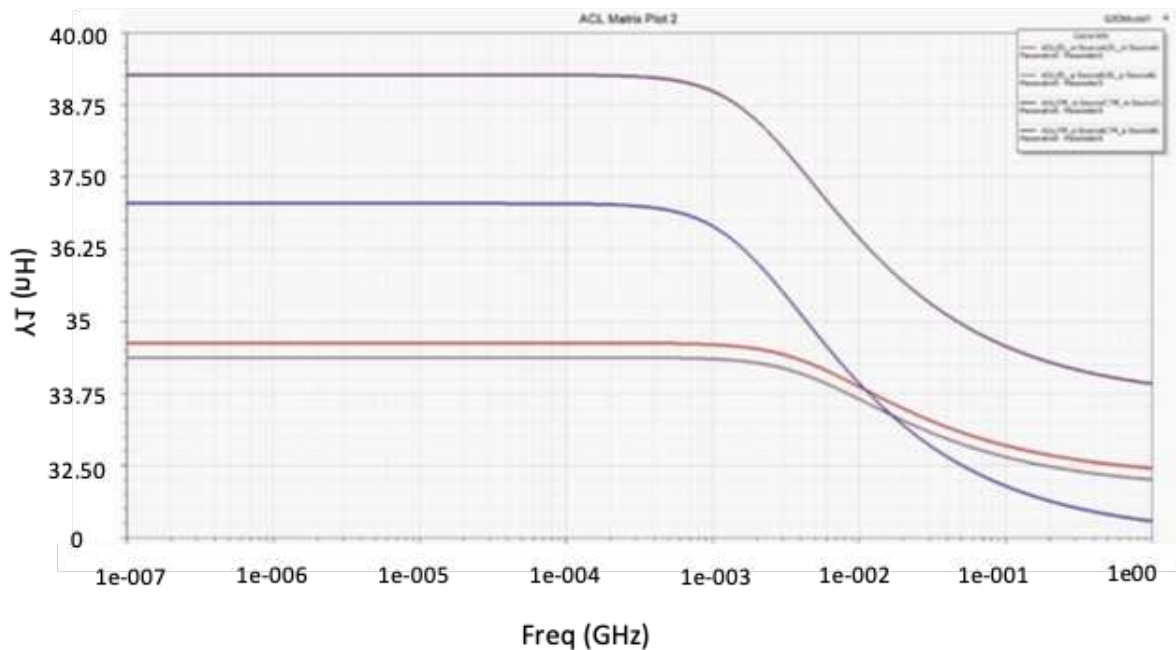


Figure 88 : Évolution des inductances des lignes des sondes de champ proche

Cette même figure nous indique également une différence de valeur de l'inductance entre les sondes TR_P et TR_M qui est expliquée par une différence des longueurs des lignes. La ligne TR_P étant plus longue, l'inductance de ligne voit sa valeur monter (Figure 89).



Figure 89 : Différence de longueur sur les longueurs de piste les sondes de champs proches

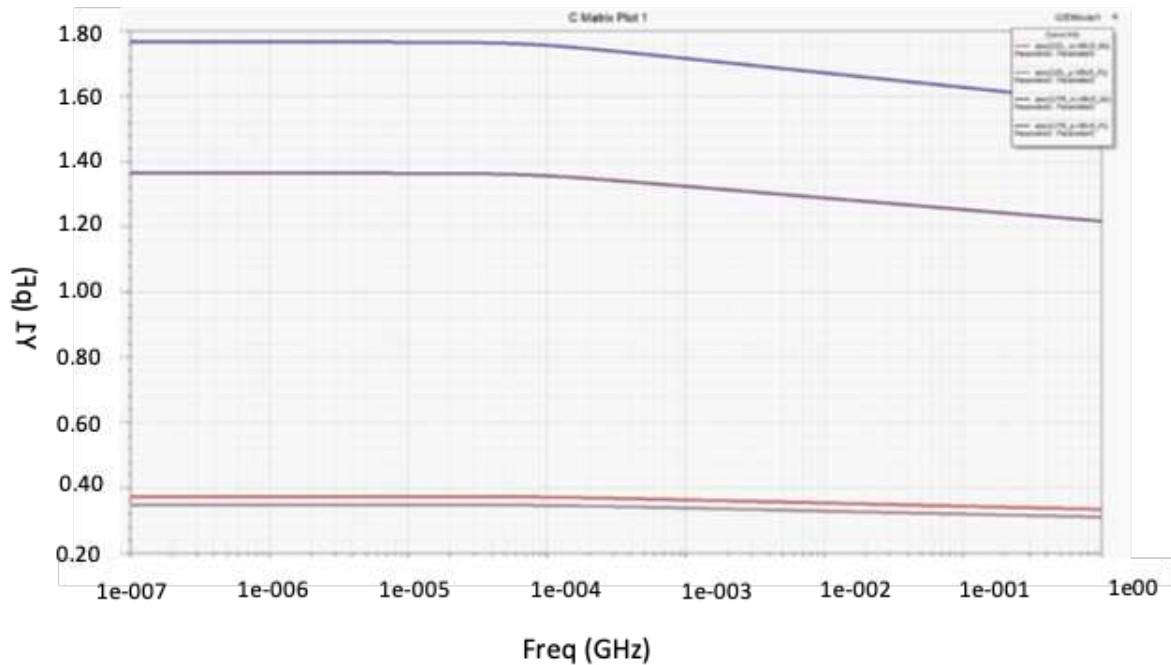


Figure 90 : Évolution des capacités entre les plans de puissance et les sondes de champs proches

L'évolution de la valeur de la capacité entre les plans de puissance et les sondes de champs proches est représentée Figure 90. Les capacités des sondes EL_M et EL_P ou bien TR_M et TR_P ont pour valeurs 1.5 pF et 0.40 pF respectivement. Cette capacité est représentative de l'espace que nous avons entre les sondes et les plans de puissance.

Se rajoutent à ces courbes, les résultats de couplage entre les sondes et leurs plans de puissance respectifs. Ce paramètre est à prendre en compte pour exploiter les résultats que nous obtiendrons durant le chapitre 4. Le Tableau 20 ci-dessous affiche les couplages entre les 4 sondes de champs électromagnétiques placées sur le PCB et les plans de puissance $V_{BUS+/-}$ et le Point Milieu. Nous avons vu durant le chapitre 1 que les phénomènes de dégradation sont visibles aux alentours de 1 MHz. Nous nous plaçons à cette fréquence pour extraire les couplages demandés. Seuls les couplages respectifs sont indiqués.

Ceux des sondes planaires EL_P et EL_M sont proches. Cette légère différence est causée par les distances entre les sondes et les plans de puissance qui ne doivent pas être similaires. Cependant, les sondes traversantes TR_P et TR_M ont une différence de couplage non négligeable. De plus, le couplage est plus important avec le plan de puissance du POINT_MILIEU qu'avec les deux autres plans $V_{BUS+/-}$. Cela nous permet de savoir que les sondes traversantes sont aussi susceptibles d'acquérir les phénomènes électriques situés entre les deux composants de puissance. Nous verrons lors des expérimentations au chapitre 4 que cette différence est visible sur le traitement des résultats d'acquisition.

	V_{BUS+}	V_{BUS-}	Point Milieu
EL_P	0,02538	-	0,00211

TR_P	0,00063	-	0,00482
EL_M	-	0,02826	0,00176
TR_M	-	0,00141	0,00214

Tableau 20 : couplage magnétique entre les sondes et les plans de puissance respectifs à 1MHz

Ces relevés peuvent être suffisamment convenables pour s'assurer de la pertinence de nos résultats de modélisation. Toutefois, pour amener une cohérence à cette étude, nous allons faire de même avec le second solveur que nous avons précédemment introduit, MicroWave de CST. Une fois cette procédure effectuée, nous allons extraire pour chaque solveur, les paramètres S entre chaque port afin de les comparer.

L'importation dans le solveur MicroWave s'obtient de façon similaire à celle de Q3D. Nous définissons notre plage d'étude comme étant entre 100 kHz et 1 GHz afin de pouvoir comparer les résultats entre les deux outils. Le radiateur est une fois de plus intégré pour être la référence vis-à-vis de tous les plans de puissance.

La différence engendrée par le solveur MicroWave CST est due à l'intégration des ports d'entrées et de sorties. Chaque port discret correspond à une entrée ou une sortie. Leurs dispositions dépendent du placement des connecteurs SMA que nous avons précédemment défini. Ainsi, dans un port discret est intégré une entrée et une sortie, comme pour un connecteur SMA, ce qui est illustré Figure 91.

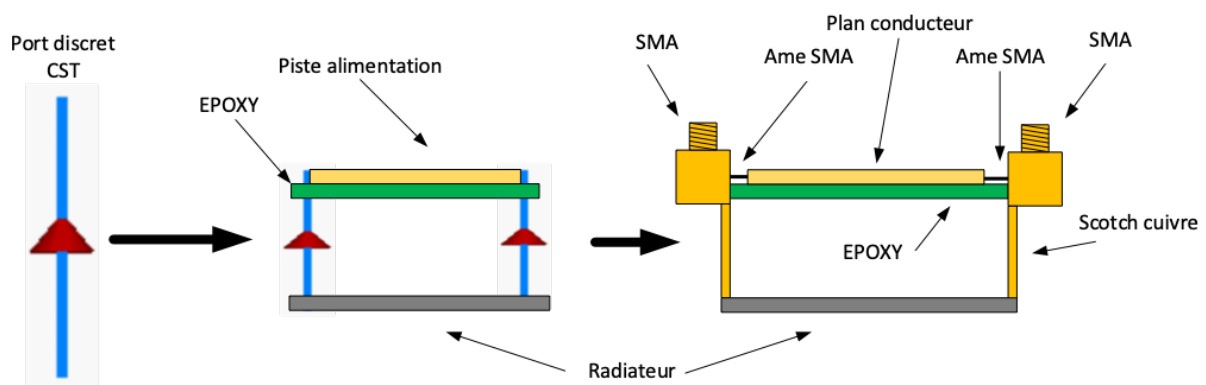


Figure 91 : Illustration d'un port discret

Par rapport à cette configuration, nous reprenons notre plan de mesure pour l'intégrer aussi au solveur. Tout en maintenant la même méthodologie de modélisation que celle des sondes de champ proche, nous obtenons alors la disposition des ports discrets ci-dessous :

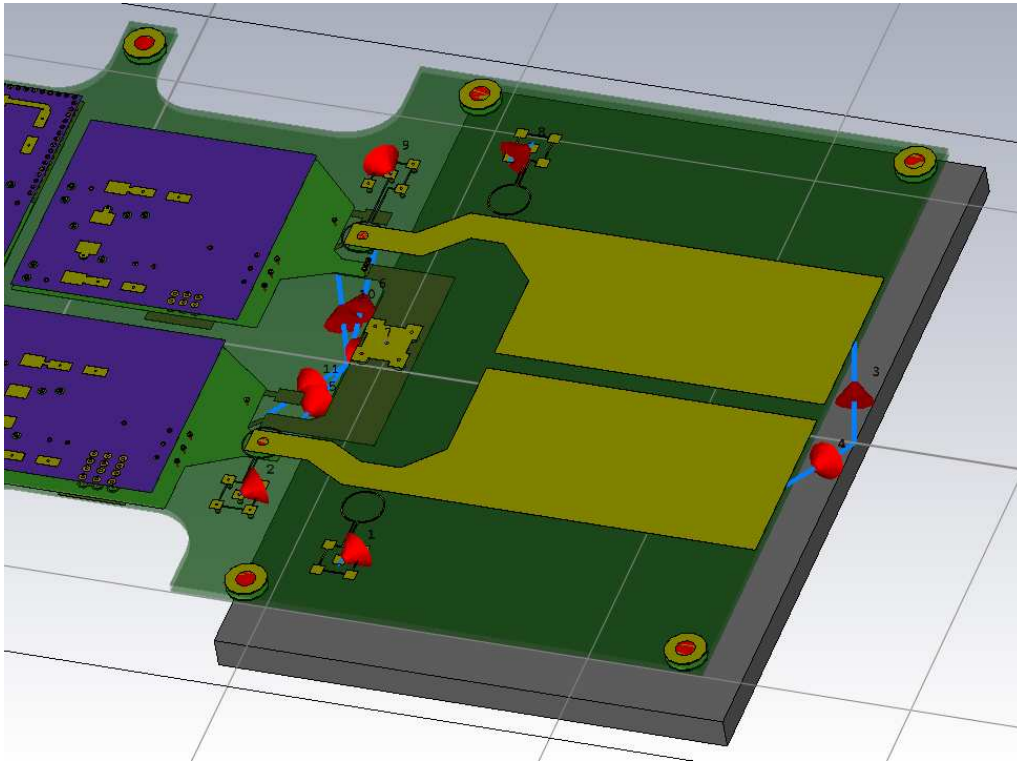


Figure 92 : Mise en place des ports discrets sur nos modules de puissance avec l'outil MICROWAVE

Une fois cette modélisation exécutée, nous comparons les résultats obtenus entre chaque solveur pour les 3 plans de puissance ainsi que pour les 4 sondes. Nous commençons ci-dessous avec les résultats des plans des puissances, Figure 93.

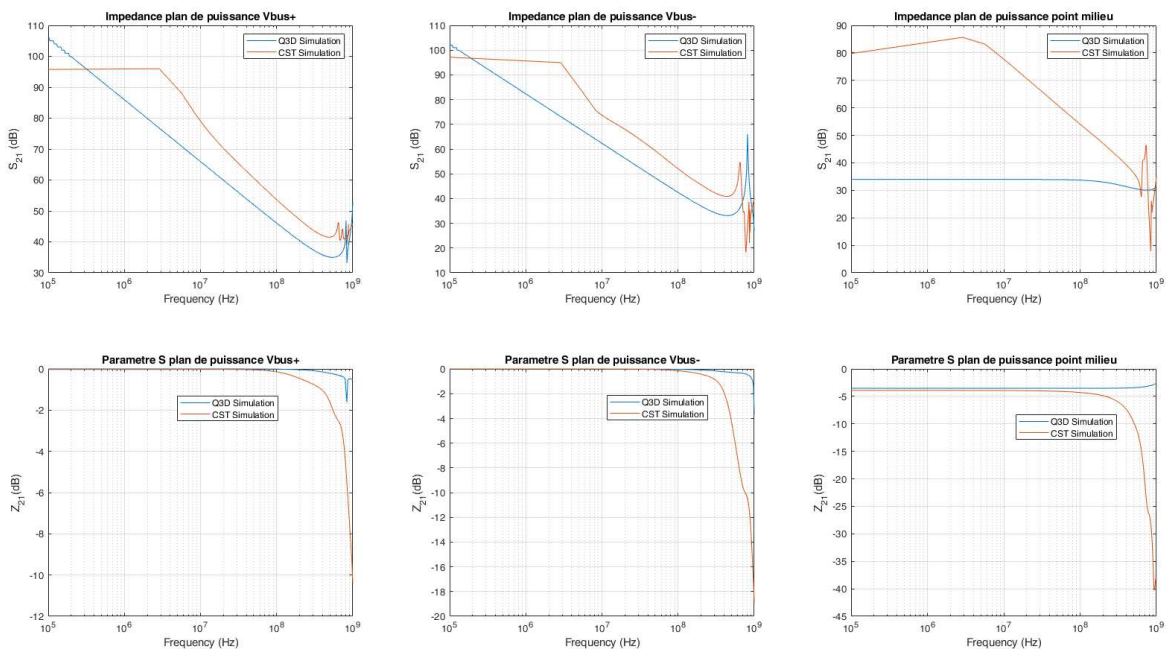


Figure 93 : Comparaison des résultats de paramètres S obtenus avec les solveurs Q3D et MICROWAVE

Dans un premier temps, nous observons le comportement des impédances. Nous voyons alors que les tendances des plans de puissance $V_{BUS+/-}$ ne sont similaires qu'à partir de 10 MHz. Cette différence provient d'une mauvaise configuration du maillage du solveur CST. En prenant le solveur Microwave, nous avons fait le choix de nous intéresser aux fréquences HF. N'étant pas un solveur

dédié aux basses fréquences, sa pertinence sur les résultats ne peut être valable que lorsque la finesse du maillage est maîtrisée. Même remarque pour le plan POINT_MILIEU ne fournissant pas de résultats similaires. L'une des solutions que nous préconisons est de différencier chaque piste et plan de puissance. En proposant un maillage plus grossier sur les plans de puissance et un maillage plus fin sur les sondes de champ proche, cela nous permet d'optimiser le temps de simulation et les résultats obtenus tendent à être proches des mesures.

Nous continuons l'exploitation des résultats avec ceux provenant des sondes de champs électromagnétiques. Les Figure 94 et Figure 95 comparent les couplages magnétiques, les facteurs d'antennes et les impédances de chaque sonde. La première figure correspond aux sondes positionnées du côté V_{BUS+} , la seconde, aux sondes positionnées du côté V_{BUS-} .

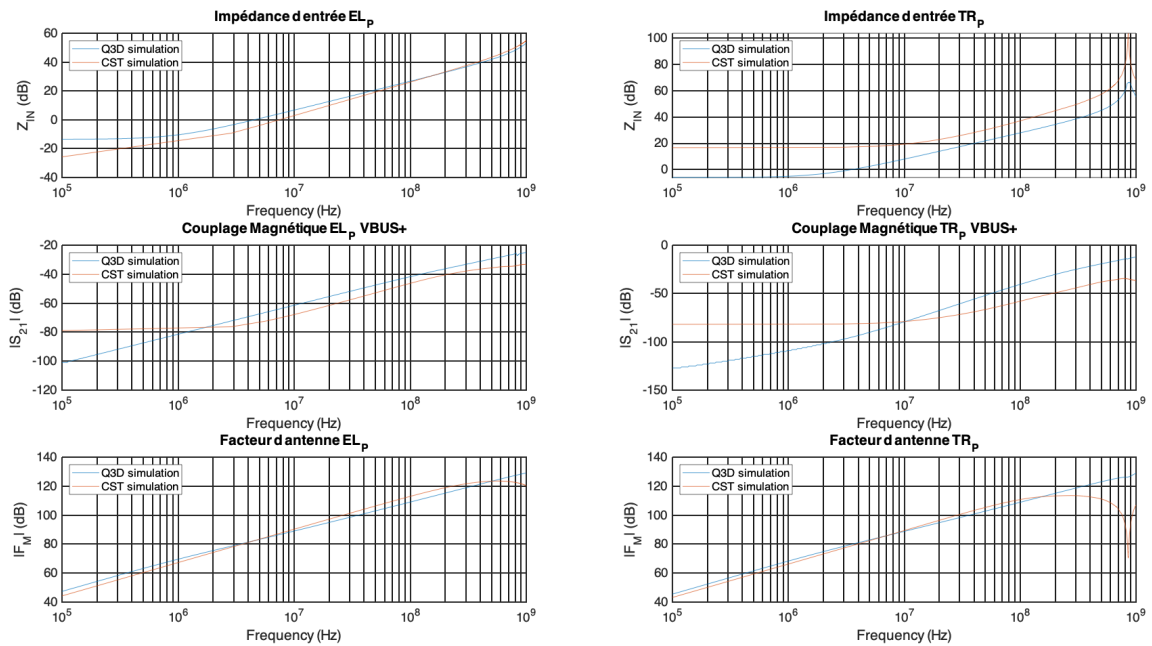


Figure 94 : Impédances d'entrée, couplage magnétique et facteurs d'antennes des sondes positionnées du côté V_{BUS+}

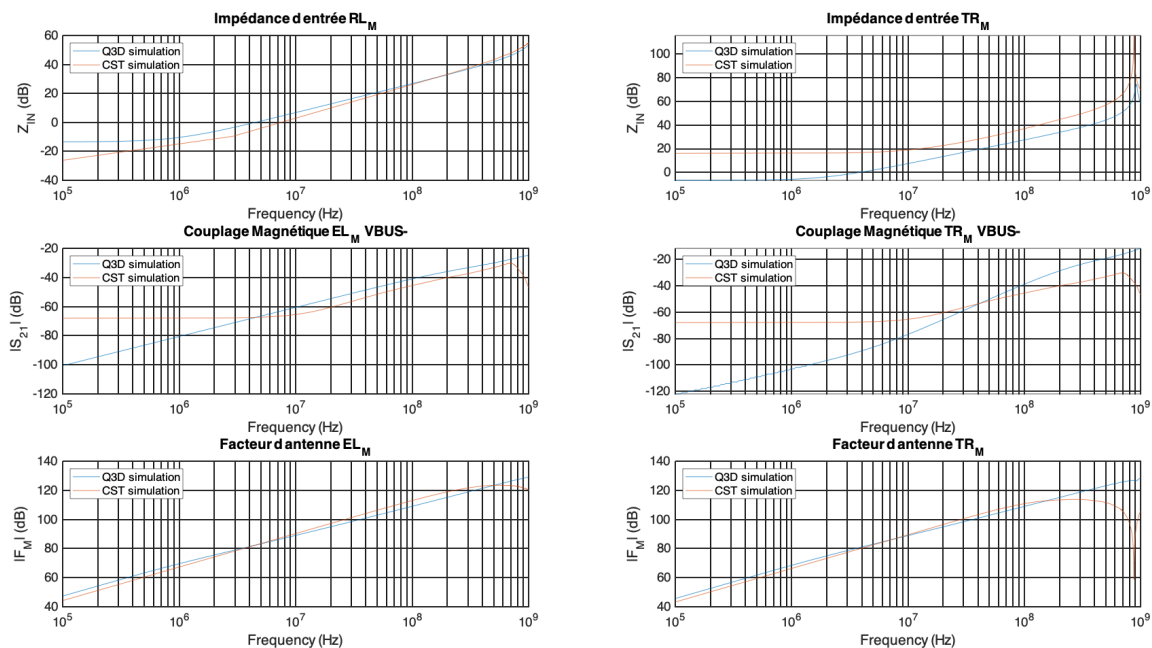


Figure 95 : Impédances d'entrée, couplage magnétique et facteurs d'antennes des sondes positionnées du côté V_{BUS-}

Les comparaisons entre les simulations Q3D et CST nous indiquent donc des écarts non négligeables. Prenons l'exemple du couplage magnétique de chaque sonde, bien que proches pour certaines plages de fréquences, les sondes planaires sont quasi similaires sur les pentes, cependant nous apercevons des différences notables à basse fréquence. Une fois de plus, nous avons tendance à expliquer cet écart par un maillage non maîtrisé et le fait que celui-ci n'était pas adapté à ce type de fréquence.

Les impédances de toutes les sondes sont similaires et respectent les mêmes tendances concernant leurs pentes. Celles des sondes traversantes des simulations CST ont une fréquence de résonance plus importante à 900 MHz.

L'analyse des différents facteurs d'antenne montre également des similarités sur les pentes jusqu'aux centaines de mégahertz. Les sondes traversantes ne sont plus linéaires à partir de 200 MHz comparativement aux planaires qui dévient à partir de 500 MHz.

Ces différents résultats nous permettent d'obtenir une pré étude du comportement des modules de puissance. À partir de ces résultats, il est possible d'extraire en amont leurs impédances en modèles équivalent RLCG. Nous les avons comparés à des mesures réelles, pour connaître le degré de précision des résultats obtenus par les simulations.

a. Module de puissance – Mesure des paramètres S

Nous avons précédemment introduit les méthodes de simulation via des ports discrets. L'implantation de ces ports discrets est similaire à l'intégration des connecteurs SMA dans les PCB pour effectuer des mesures réelles. Ainsi, avec le plan proposé en Figure 83, nous pouvons placer les connecteurs SMA et mesurer les paramètres S des modules. La Figure 96 illustre le positionnement des connecteurs SMA établi lors du positionnement des ports discrets.

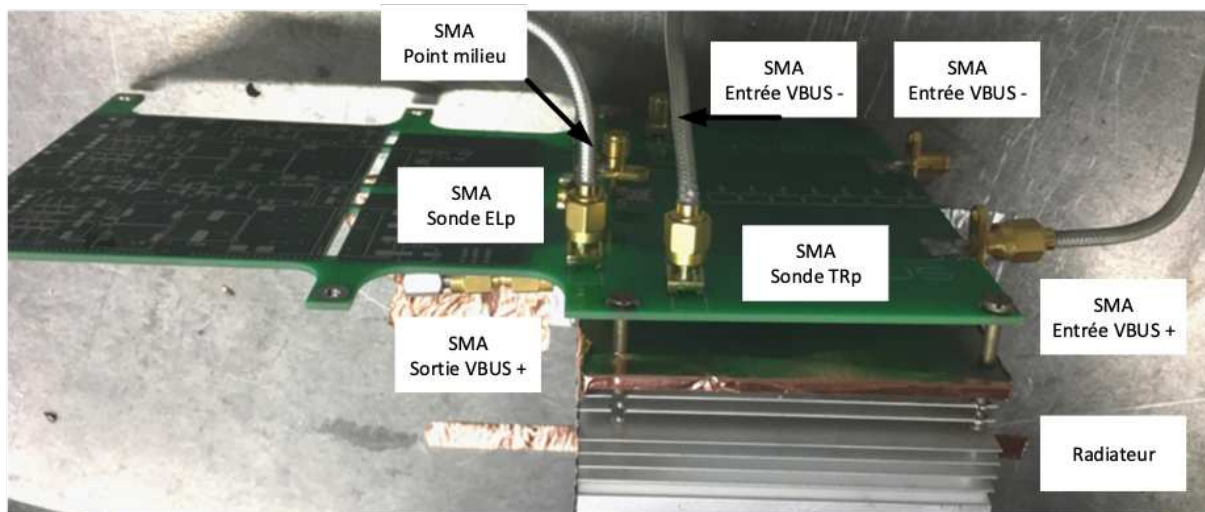


Figure 96 : Positionnement des ports SMA sur le module de puissance – vue de face

La Figure 96 nous permet de visualiser un exemple de procédure d'analyse de paramètre S. Le VNA TTR506A dispose de 2 ports de connexion. Notre module de puissance en contient 11. Pour éviter toute dispersion du signal vers des ports non connectés, nous mettons à chacun d'entre eux, des terminaisons 50 Ω .

La Figure 97 montre également un autre point de vue de la configuration précédente. Nous ajoutons cette photo pour visualiser le lien entre la carcasse des connecteurs SMA et le radiateur. C'est un lien électrique et mécanique, nous pouvons voir son maintien avec du scotch cuivré. Nous procédons au même maintien entre la table métallique et le radiateur.

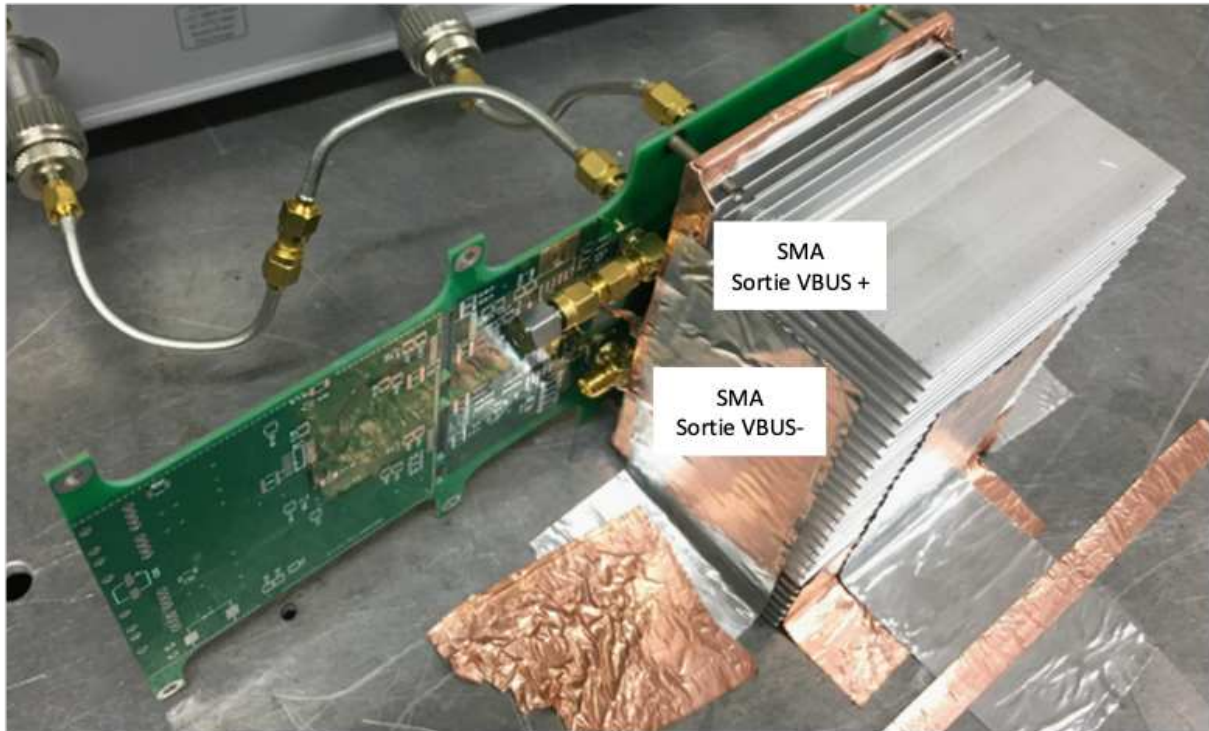


Figure 97 : Positionnement des ports SMA sur le module de puissance – vue de dessous

Les résultats des mesures ainsi obtenus sont illustrés sur la Figure 98, la Figure 99 et la Figure 100. Nous illustrons premièrement les impédances des plans de puissance tout en les comparant aux simulations.

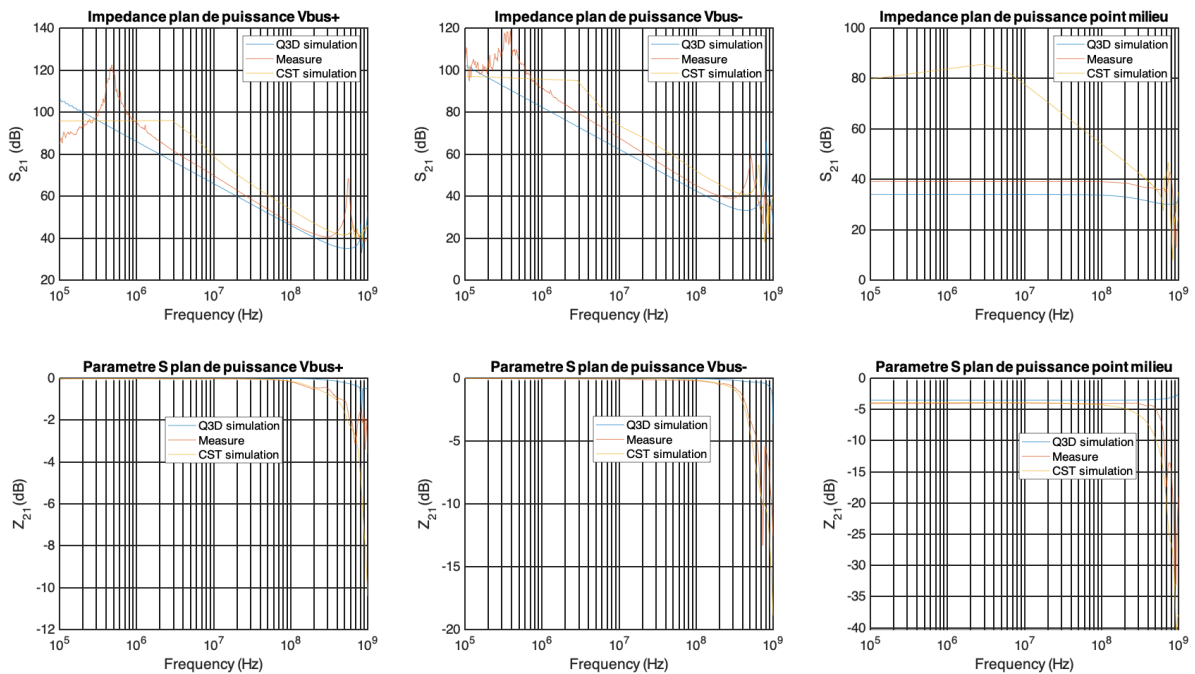


Figure 98 : Mesure des paramètres S et des impédances Z de chaque plan de puissance

La Figure 98 nous indique des résultats proches entre les mesures et les simulations pour certains d'entre-deux. C'est le cas pour les résultats des paramètres S des 3 plans de puissance provenant des simulations CST. Inversement, nous avons de meilleurs résultats avec le solveur Q3D sur l'ensemble

des impédances. La différence que nous observons entre l'un et l'autre est sûrement due, une fois de plus, à notre configuration de maillage qui n'est pas adaptée aux dimensions que nous avons.

Nous retrouvons une différence d'un point de vue tendance des impédances des plans de puissance en basse fréquence. Une fois atteint les 10 MHz, la simulation CST correspond à la mesure pour les plans de puissance $V_{BUS+/-}$.

Ces différentes analyses permettent d'avoir les premières caractéristiques de nos modules de puissance. Nous allons maintenant voir les mesures obtenues avec les sondes afin d'effectuer le même processus, à savoir, les comparer aux mesures.

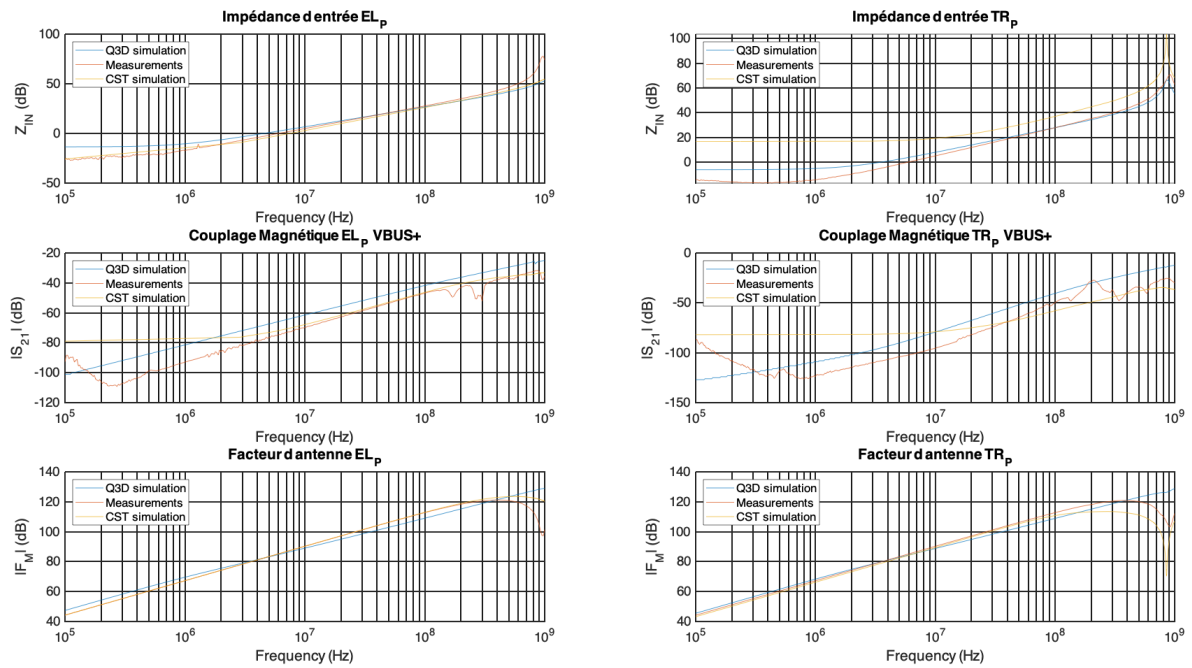


Figure 99 : Comparaison des mesures et des simulations de paramètres S et des impédances Z des sondes électromagnétiques du côté V_{BUS+}

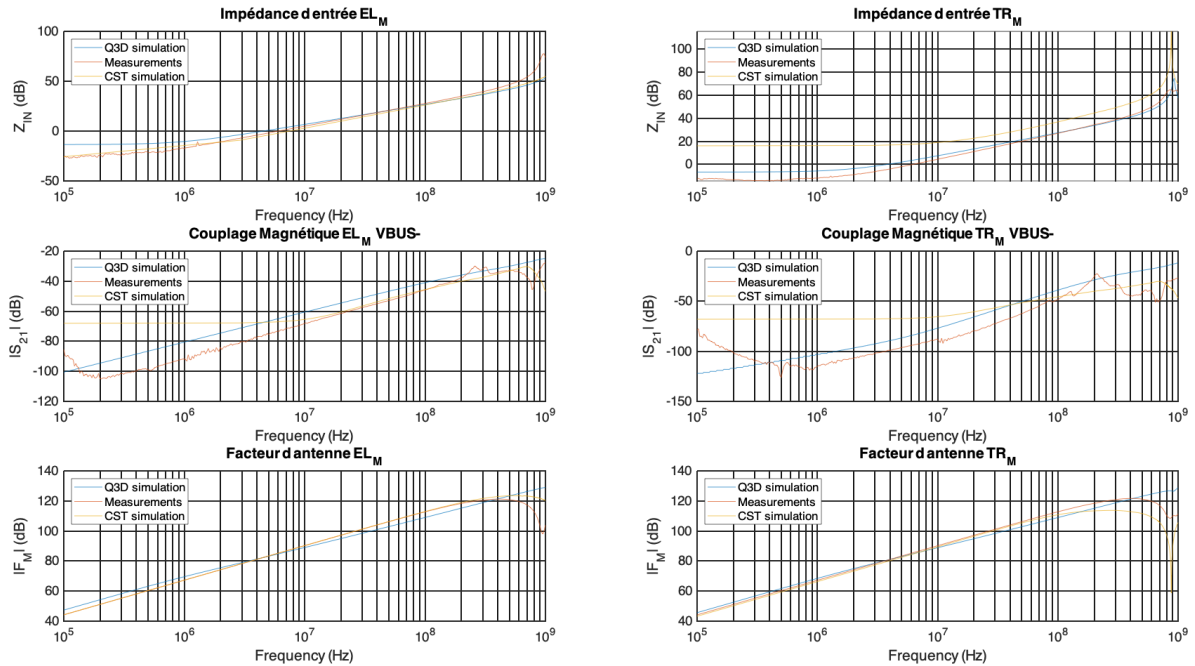


Figure 100 : Comparaison des mesures et des simulations de paramètres S et des impédances Z des sondes électromagnétiques du côté V_{BUS} –

Les Figure 99 et Figure 100 comparent les simulations des solveurs CST et Q3D aux mesures des modules de puissance. Nous remarquons que les courbes sont proches l'une de l'autre pour la majorité des caractéristiques.

Toutefois, nous visualisons une différence notable, encore une fois, en basse fréquence, pour les sondes traversantes des deux côtés. Une légère différence des niveaux est aussi à noter sur les simulations Q3D. Celles obtenues par les simulations CST sont très proches des mesures.

Toutes ces analyses et remarques nous permettent d'indiquer que ces simulations sont à améliorer afin d'obtenir les mêmes tendances sur l'ensemble des fréquences. Nous voyons que certaines gammes de fréquences sont encore indéterminées probablement. Si nous focalisons un solveur sur chaque domaine de fréquence adéquat, nous pourrions probablement obtenir des tendances et des paramètres plus proches des mesures.

L'utilisation d'un solveur tel que le MicroWave de CST est très fiable lorsque des fréquences plus hautes que 10Mhz sont atteintes. Inversement pour le solveur Q3D ou, à défaut de ne pas être adapté en haute fréquence, il donne de bons résultats en basse fréquence.

Toutefois, l'utilisation d'un solveur haute fréquence demande de bien maîtriser le maillage qu'il effectue. En effet, nous avons vu des problèmes de convergence menant à une mauvaise interprétation de la simulation. Nous le remarquons avec le plan de puissance du Point Milieu dont les résultats obtenus n'ont pas été proches des mesures.

L'ensemble de ces études et de ces comparaisons montre bien la difficulté actuelle et les verrous toujours d'actualité sur la simulation et la caractérisation large bande des circuits et des modules de puissance modernes. Depuis l'apparition des composants de puissance rapides (IGBT Si, JFET/MOS SiC) et des techniques d'intégration sur des PCB de taille de plus en plus réduite, l'enjeu des concepteurs et des chercheurs consiste bien à combiner et à valider des approches de modélisation des impédances réelles avec le spectre le plus large possible.

Ces différentes analyses et mesures, malgré leurs limites, vont cependant nous permettre d'extraire les éléments passifs RLCG de la modélisation afin d'obtenir un modèle équivalent de nos PCB. Cette

étape sera l'objet de futures études que nous mènerons pour obtenir un modèle de simulation du banc de vieillissement.

Nous pouvons à présent, assembler le module de puissance afin de réaliser le banc de vieillissement.

II.4.E. Module de puissance – Assemblage

Notre banc de puissance dédié au vieillissement va contenir 3 modules de puissance (1 par bras afin d'obtenir un onduleur triphasé) qui sont chacun similaires à celui que nous venons de dimensionner, router et caractériser. Nous pouvons ainsi, assembler les modules de puissance afin de constituer entièrement le banc de puissance.

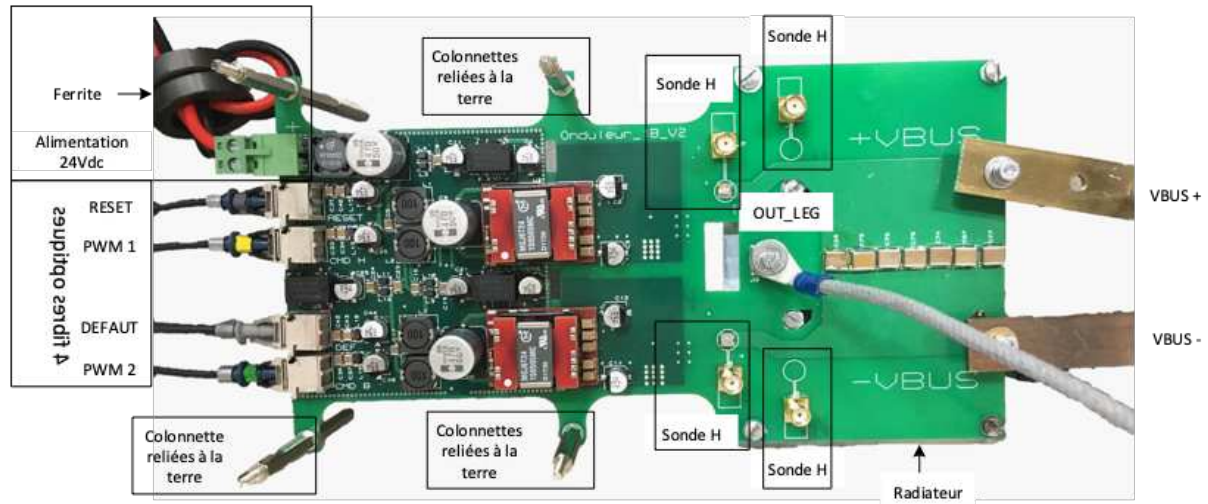


Figure 101 : Illustration du module de puissance assemblé

Une fois les 3 bras assemblés (Figure 101), nous nous permettons d'ajouter quelques améliorations pour diminuer les contraintes électromagnétiques. Deux éléments additionnels ont été ajoutés dont une ferrite enroulée de 2 tours par le câble d'alimentation 24 V_{DC}. Cette ferrite est de type - Manganese Zinc Spinel (MnZn). Elle accentue les moyens de prévention et/ou de limitation concernant les potentielles perturbations CEM en mode conduit. Nous avons opté pour le bobinage « 2 fils en main » à cause de sa réduction de la self de fuite à une valeur inférieure à 0,1 % de la mutuelle entre les deux câbles d'alimentation [163] (figure 52).

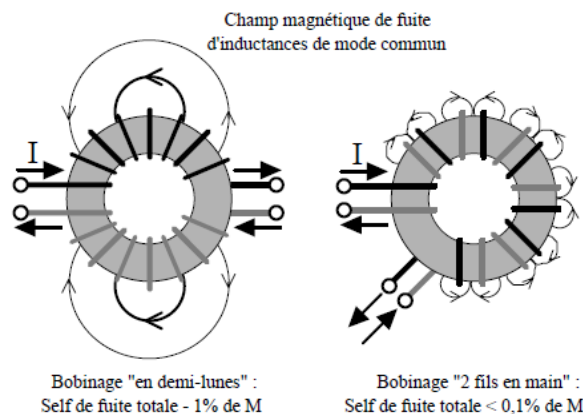


Figure 102 : 2 façons d'enroulement des ferrites [163]

Le deuxième élément, servant de support, mais aussi de mise à la terre, concerne les colonnettes vissées et reliées à la masse numérique par l'intermédiaire d'un condensateur 100 pF. Cette solution

permet de réaliser l'anneau de garde et évite une masse flottante. Ainsi, nous optimisons les trajets de fuite des courants parasites HF [163], [164].

Le câblage entre chaque module est obtenu par des bus-bars dont l'inductance varie entre 75 et 250 μH . Leurs résistances sont en dessous des 4 m Ω . Notre agencement est le suivant : les 3 modules de puissance sont placés en parallèle les uns des autres (figure 53).

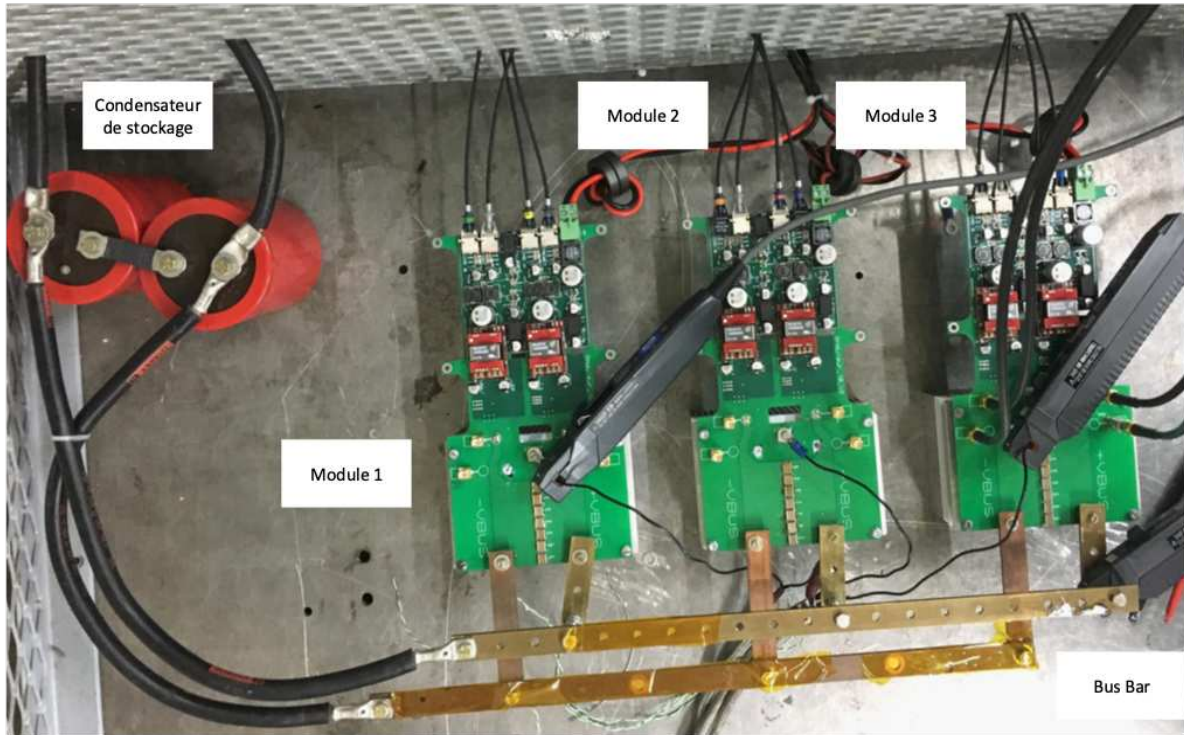


Figure 103 : banc de puissance assemblé et câblé

Nous pouvons apercevoir sur la Figure 103 l'agencement de nos modules ainsi que celui des bus-bars connectés à chacun d'entre eux. Leurs alimentations 24 V sont toutes protégées par des ferrites comme expliqué précédemment. Nous apercevons la couche TOP réservée aux plans d'alimentation sur laquelle nous visualisons les condensateurs de découplage placés entre les deux plans de puissance de chaque module. Chaque sonde possède un connecteur SMA afin de pouvoir la connecter rapidement à un appareil d'acquisition. Les bus-bars sont connectés via des connecteurs à vis. Nous avons laissé de la place afin de pouvoir placer facilement les sondes de courant externes.

Notre banc de puissance étant opérationnel, nous pouvons maintenant effectuer quelques relevés de puissance afin de valider son fonctionnement.

II.5. Essais en puissance – validation du pilotage des composants de puissance

Avant d'observer le comportement en puissance de l'onduleur triphasé, nous prenons les valeurs des temps de montée et de descente de quatre MOSFETs SiC situés sur deux bras. Cette étape nous permettra de connaître approximativement les valeurs que nous pourrions atteindre à une tension significative. Les Figure 104 et Figure 105 illustrent les résultats obtenus au point de fonctionnement suivant : une tension de bus VBUS de 300 V, un coefficient de modulation à 20%, une fréquence découpage de 250 kHz et une fréquence de modulation de 800 Hz. La charge utilisée est le stator EMOD.

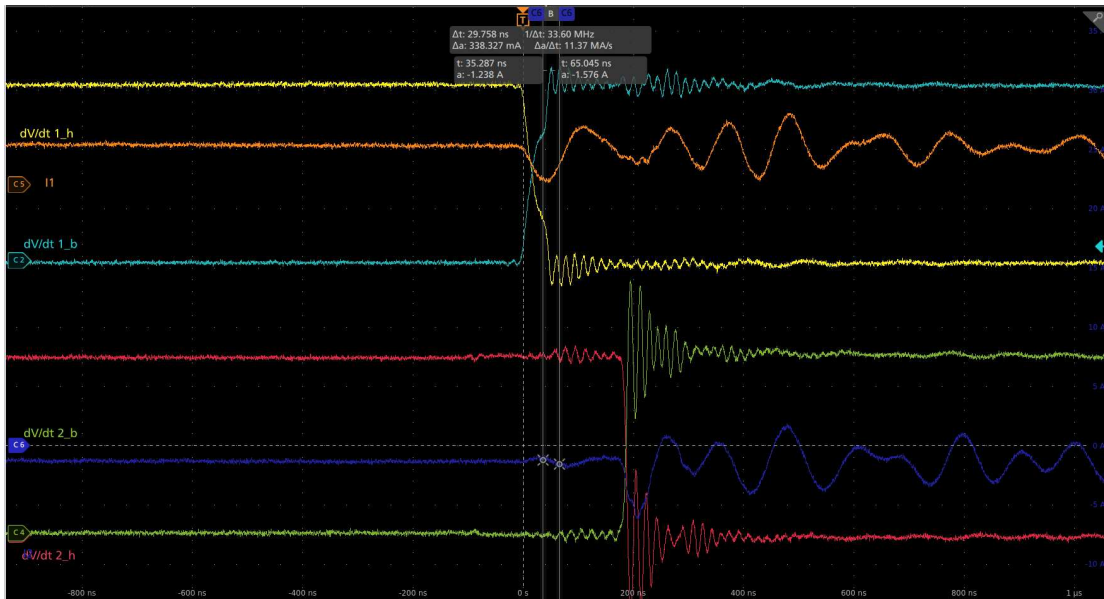


Figure 104 : Visualisation des dV/dt du bras N°1 et N°2 - acquisition sur front montant

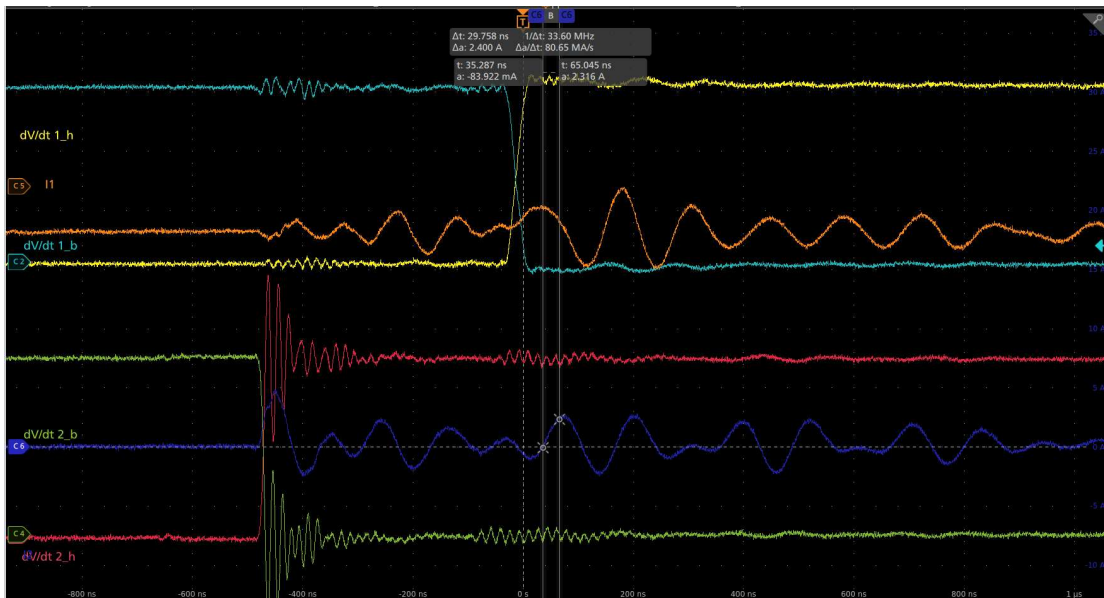


Figure 105 : Visualisation des dV/dt du bras N°1 et N°2 – acquisition sur front descendant

L'oscilloscope MSO56 dispose de nombreux outils d'analyse dont un concernant les analyses de puissances ainsi que des $\frac{dV}{dt}$. Suite à l'utilisation de cette fonction de mesure sur les voies

correspondantes, nous obtenons pour les tensions $\frac{dV}{dt}$ 1h, $\frac{dV}{dt}$ 1b, $\frac{dV}{dt}$ 2h et $\frac{dV}{dt}$ 2b les valeurs respectives suivantes : 18 kV/μs ; 23 kV/μs ; 12 kV/μs ainsi que 24 kV/μs.

Les temps de commutations moyens des tension $\frac{dV}{dt}$ 1h, $\frac{dV}{dt}$ 1b sont de 6,17 ns à l'ouverture et de 36,55 ns à la fermeture. Ceux des tensions $\frac{dV}{dt}$ 2h, $\frac{dV}{dt}$ 2b sont autour de 5,82 ns à l'ouverture moyenne et autour de 37,80 ns à la fermeture moyenne. Nous avons une bonne correspondance des valeurs de commutations sur 2 des 3 modules, cela indique que l'agression sera quasi-similaire sur

chaque phase. Nous pouvons dès à présent observer le comportement des MOSFETs SiC en puissance.

Dans un premier temps, nous avons pour objectif de faire fonctionner le banc avec une puissance de transit minimale (en réduisant au minimum le coefficient de modulation). Cependant, comme nous envisageons ensuite d'augmenter la puissance fournie, nous voulons valider son fonctionnement en ayant 1 kVA sur chaque phase. De ce fait, nous allons observer dans ce cas les tensions entre phases et neutre du stator ainsi que les courants associés. Le résultat de cette expérimentation est visible Figure 106.

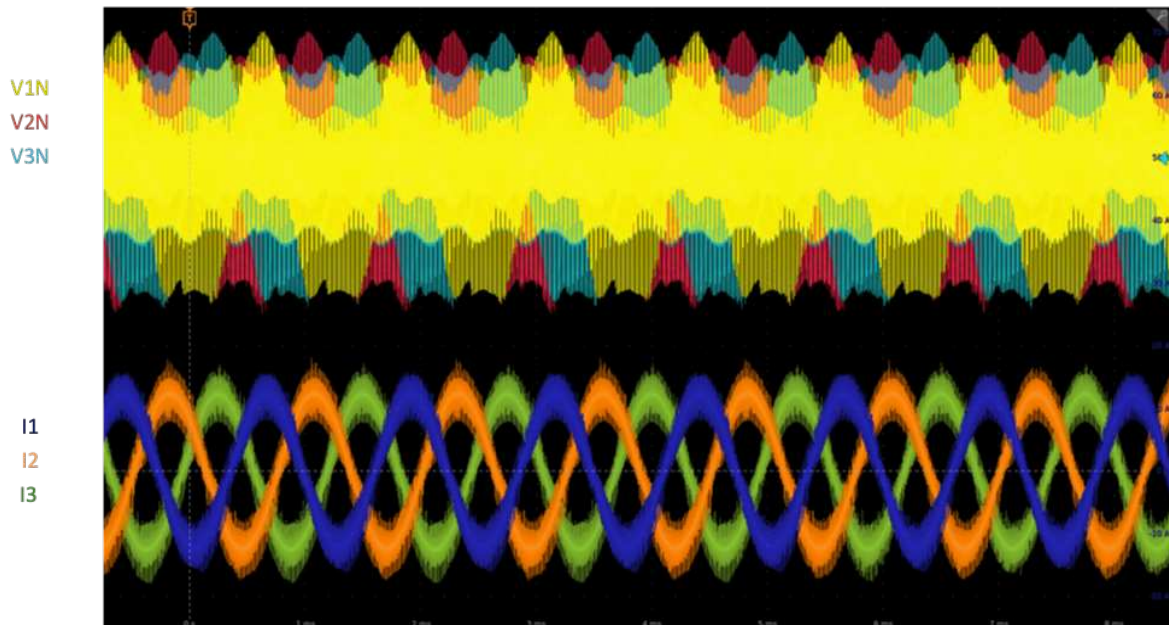


Figure 106 : Visualisation des puissances transisant à travers le stator EMOD à 20% du coefficient de modulation

Nous avons donc relevé les tensions V_{1N} , V_{2N} et V_{3N} entre chaque phase et le neutre du stator en tenant compte de leurs courants associés. Grâce à l'utilisation d'un module de mesure de puissance spécifique à l'oscilloscope, nous avons mesuré la puissance transisant.

Notre première phase consomme une puissance de 1,163 kVA pour une valeur de tension RMS de 131,9 V et un courant de 8,816 A. La seconde phase consomme une puissance de 1,154 kVA dont une valeur de tension RMS à 131,2 V et un courant de 8,507 A. La troisième et dernière phase consomme une puissance de 1,151 kVA pour une tension de 133,4 V et un courant de 8,632 A. La puissance totale développée au sein de ce système est de 3,468 kVA. Les courants sont bien sinusoïdaux et déphasés entre eux de 120° .

Ce dernier essai valide le fonctionnement de l'onduleur en structure triphasée associée au stator EMOD. La température du moteur a atteint les 90°C avec convection naturelle, et 66°C avec convection forcée. Les puissances transisant à travers le moteur ont été vérifiées. Nous pouvons donc maintenant entreprendre les dimensionnements des compléments de cette chaîne de puissance qui sont la chaîne de commande et la chaîne d'acquisition.

Suite à la mise en œuvre de ces dimensionnements au cours du temps qui nous a été imparti, de nombreux points peuvent encore être améliorés. Une liste des améliorations et des intégrations futures est dressée dans la partie suivante.

II.6. Améliorations et intégrations futures – Perspectives

II.6.A. Intégration de fibres différentielles – dissociation des défauts

Les voies de commande que nous avons dimensionnées jusqu'à maintenant entre les fibres optiques et les terminaisons des drivers sont formatées en tant que « ligne seule ». Elles sont référencées à une masse soit dans notre cas, la masse numérique. Cependant, le routage de ces lignes seules peut engendrer des contraintes liées aux phénomènes électromagnétiques. En effet, l'émission ou la réception des lignes numériques sont sujettes à des perturbations si celles-ci ne sont pas protégées. L'intégration des fibres optiques dans la commande des systèmes de conversion d'énergie n'est pas nouvelle. Le connecteur FO est bien souvent constitué d'un récepteur et d'un émetteur fibre optique pour ligne seule. Cet agencement peut entraîner quelques problèmes concernant les contraintes électromagnétiques.

Pour répondre à cette problématique, le développement [165] propose de réduire les contraintes électromagnétiques en utilisant des lignes LVDS pour la commande des drivers de composants de puissance. Ayant une chaîne de commande composée d'une fibre optique et du driver, nous devons avoir recours à une fibre optique à sortie ligne LVDS. Ces fibres optiques différentielles supportent des vitesses plus importantes allant jusqu'à la dizaine de MHz et sont construites différemment de celles à ligne seule. Appelées transceivers, nous y retrouvons une entrée et une sortie sur un seul connecteur. Celles-ci, étant dédiées à la haute fréquence, elles doivent obligatoirement être associées à des lignes différentielles afin de limiter les perturbations CEM.

L'objectif d'amélioration proposé ici serait de remplacer les fibres actuelles par des connecteurs fibres optiques différentiels. Ainsi, les lignes différentielles nous permettront d'assurer la transmission du signal, car le signal n'est valide que lorsque les signaux sont symétriques. Dans le cas où une perturbation externe provoquerait une impulsion sur une des lignes, l'impulsion ne serait pas prise en compte.

En plus de ce premier avantage, nous pourrions combiner une voie de transmission à une voie de commande et une voie de réception à une voie des défauts retournés par les drivers de commande. Chacun pourrait envoyer indépendamment son retour de défaut et nous pourrions ainsi simplifier la logique numérique au sein du PCB.

II.6.B. Essais à vide du générateur – mesure des sondes traversantes

Nous avons observé lors de nos différents essais expérimentaux, des comportements liant les sondes de champs électromagnétiques au signal de commande des composants de puissance. Tout particulièrement le signal de commande « Gate » des MOSFETS SiC aux sondes traversantes. La Figure 107 ci-dessous illustre ce phénomène lorsque le banc de vieillissement pilote seulement les composants de puissance, mais qu'aucune alimentation n'est présente aux bornes des $V_{BUS+/-}$.

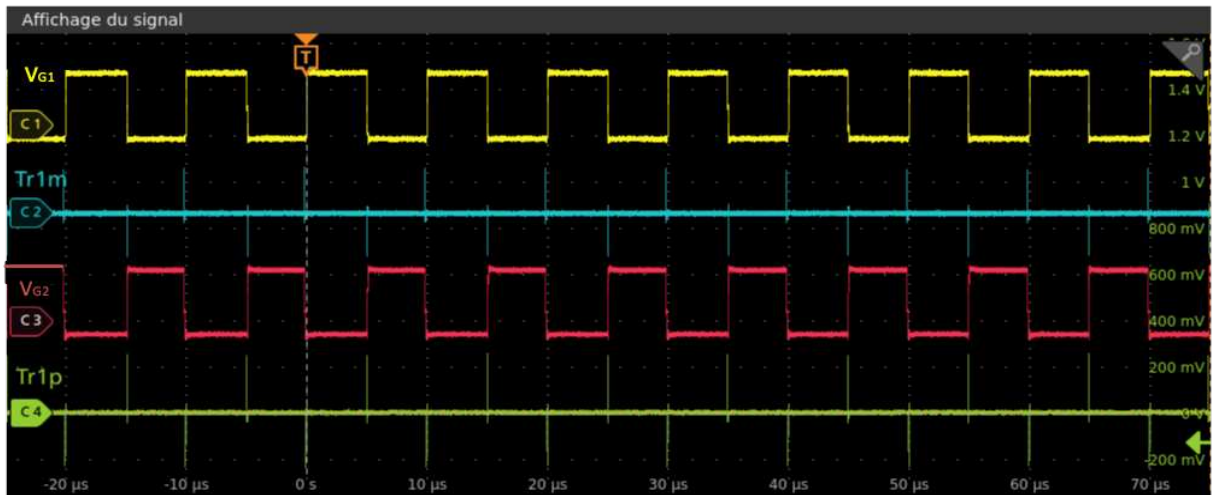


Figure 107 : Visualisation des tensions de commande V_{G1} et V_{G2} et des tensions de sonde traversantes TR_{1M} et TR_{1P} sur une durée de $100\mu s$

Les signaux TR_{1M} et TR_{1P} représentent respectivement des impulsions rapides à chaque déclenchement des signaux V_{G1} et V_{G2} . En agrandissant l'intervalle de temps d'un front descendant de la tension de commande V_{G1} , nous pouvons nous apercevoir que les impulsions des sondes sont liées l'une et l'autre aux tensions de commande.

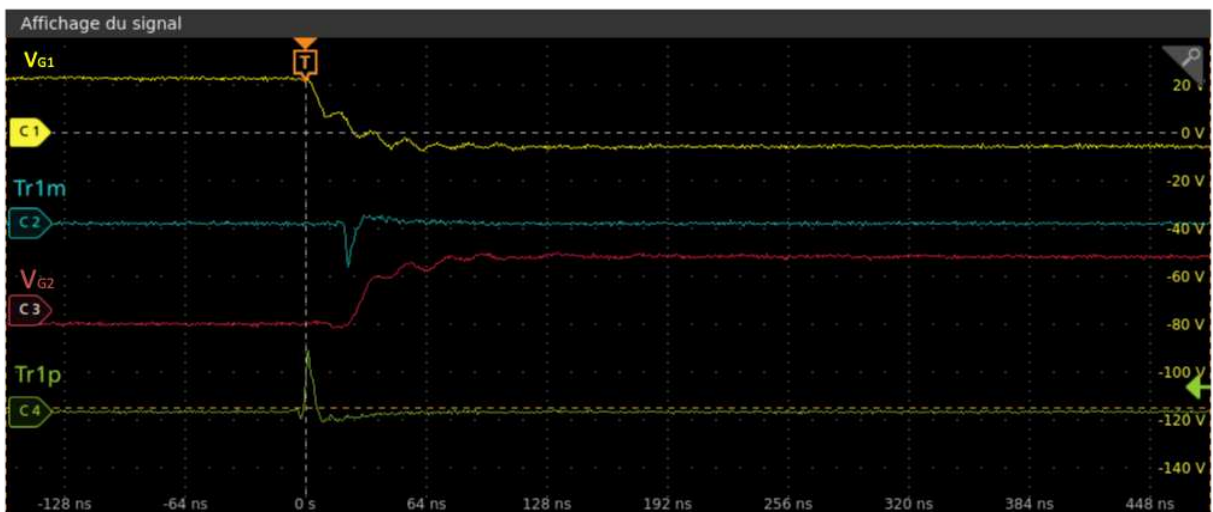


Figure 108 : Visualisation des tensions de commande V_{G1} et V_{G2} et des tensions de sonde traversantes TR_{1M} et TR_{1P} lors d'un front descendant de V_{G1}

La Figure 108 illustre le cas lorsque le signal V_{G1} commute à un front descendant. Le signal TR_{1P} commute alors en même temps. Puis vient la commutation du second signal V_{G2} lorsque le signal TR_{1M} commute à son tour.

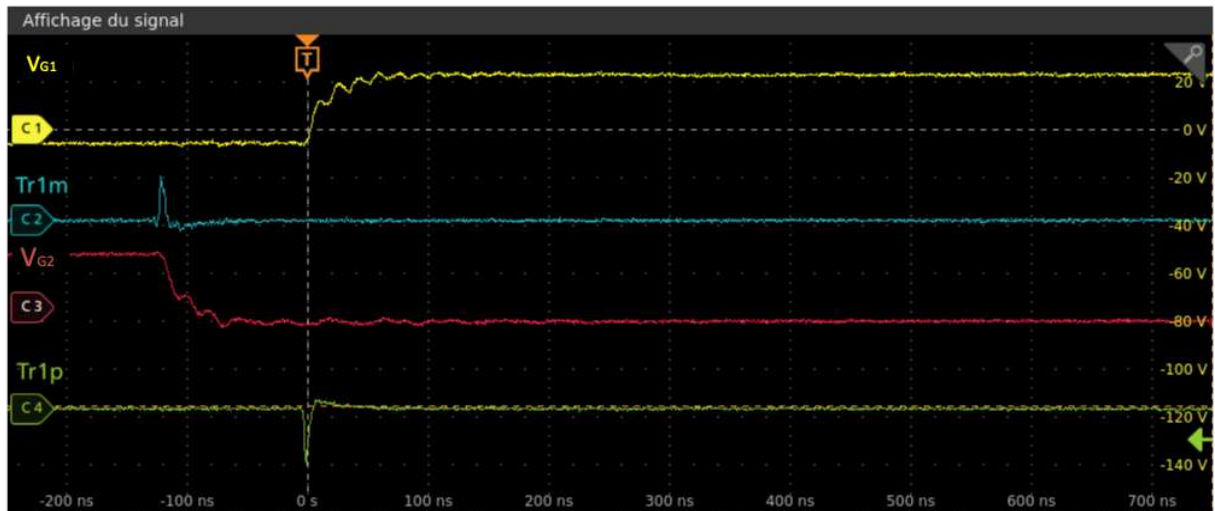


Figure 109 : Visualisation des tensions de commande V_{G1} et V_{G2} et des tensions de sonde traversantes $TR1M$ et $TR1P$ lors d'un front montant de V_{G1}

Même cas à la Figure 109 où nous mesurons un front montant de la tension de commande V_{G1} . Chacune des sondes est respectivement liée aux tensions de commande.

Captant ces profils de champ magnétique à partir des sondes traversantes, nous émettons l'hypothèse que le signal observé est l'image de la charge traversant les MOSFET-SiC à chaque commutation. Cette idée se base sur le fait que les allures des signaux ressemblent fortement à des signaux de charge. Si cette hypothèse s'avère être le cas, c'est-à-dire que les sondes électromagnétiques permettent de mesurer la charge traversant les composants de puissance lors de leurs phases d'ouverture et à de fermeture, cette méthode peut être un moyen de diagnostic supplémentaire pour la détection de panne. Ainsi, lorsque des anomalies interviendraient, les allures des signaux des sondes traversantes permettraient de contrôler également le fonctionnement des composants de puissance.

II.6.C. Intégration d'une amélioration de la modulation du dv/dt :

Une deuxième possibilité pour moduler numériquement ce paramètre a été étudiée avec l'intégration d'un système de conversion numérique/analogique. La méthode n'a pu être mise en œuvre pour des essais expérimentaux, cependant, des simulations ont été réalisées pour, pouvoir l'intégrer dans la chaîne de commande. Ces tests préliminaires ont permis une utilisation pertinente du modèle de composant de puissance fourni en fichier de simulation par le fabricant sur la variation

du $\frac{dV}{dt}$ par le biais de la méthode AGVC [166].

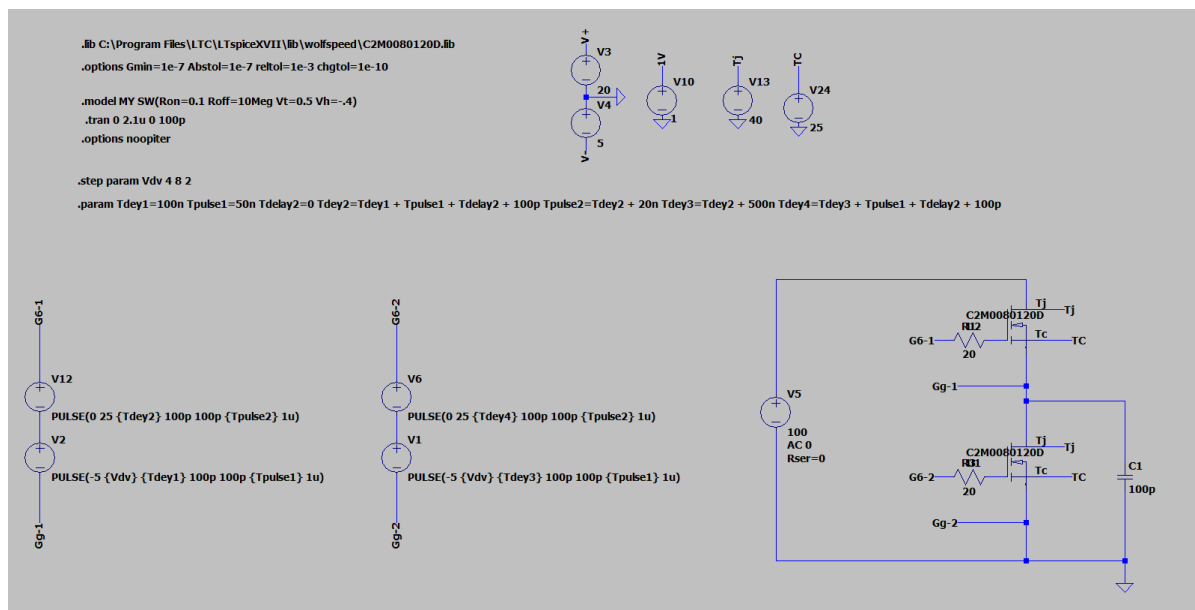


Figure 110 : Schéma de simulation du contrôle dV/dt

La configuration des paramètres de simulation du logiciel LTSpice donnée par le fabricant du composant pour assurer le fonctionnement des composants de puissance est donnée sur le Tableau 21. Les paramètres de simulation sont les suivants : transitoire durant un temps de simulation de 2,1 μ s et un pas de simulation à 100 ps.

Gmin	Abstol (pA)	Reltol	Chgtol (fC)
Conductivité	Tolérance de l'erreur du courant	Tolérance de l'erreur relative	Tolérance de la charge absolue
1e-7	1e-7	1e-3	1e-10

Tableau 21 : Configuration du solveur LTSpice

Deux cas de simulation ont été traités, car nous varions deux paramètres qui sont la tension intermédiaire et le temps intermédiaire. Cette étape intermédiaire est placée lors de la génération de la tension de commande pilotant le composant de puissance (Figure 111). En fonction d'une étude paramétrique, nous apercevons sur la Figure 112, les résultats des simulations.

Notre étude paramétrique est la suivante :

- Première étape : variation de la tension V_{int}
 - 4 V à 8 V par palier de 1 V avec un temps constant T_{int} de 60 ns
- Deuxième étape : variation du temps T_{int}
 - 50 à 150 ns par palier de 20 ns à une tension V_{int} de 5 V

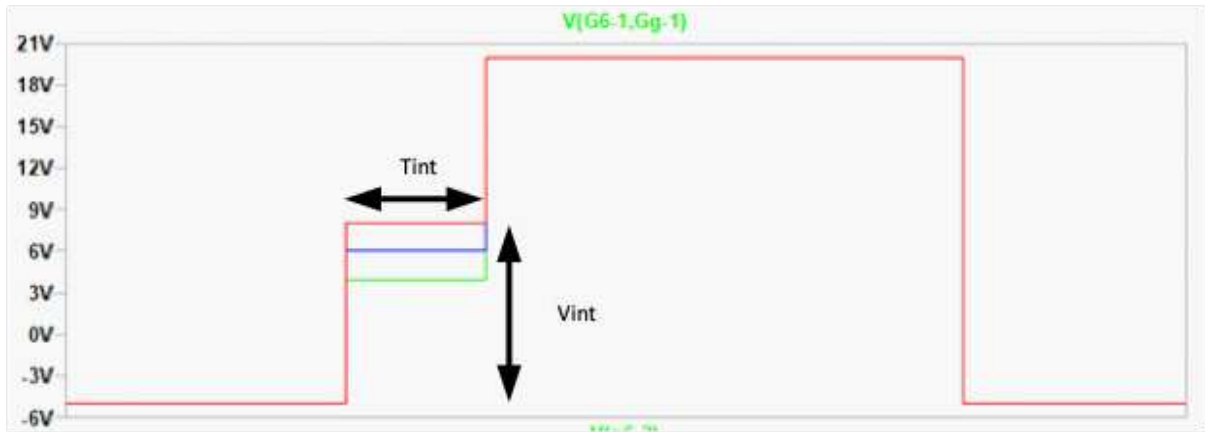


Figure 111 : Illustration des paramètres pour la variation du temps et de la tension intermédiaire.

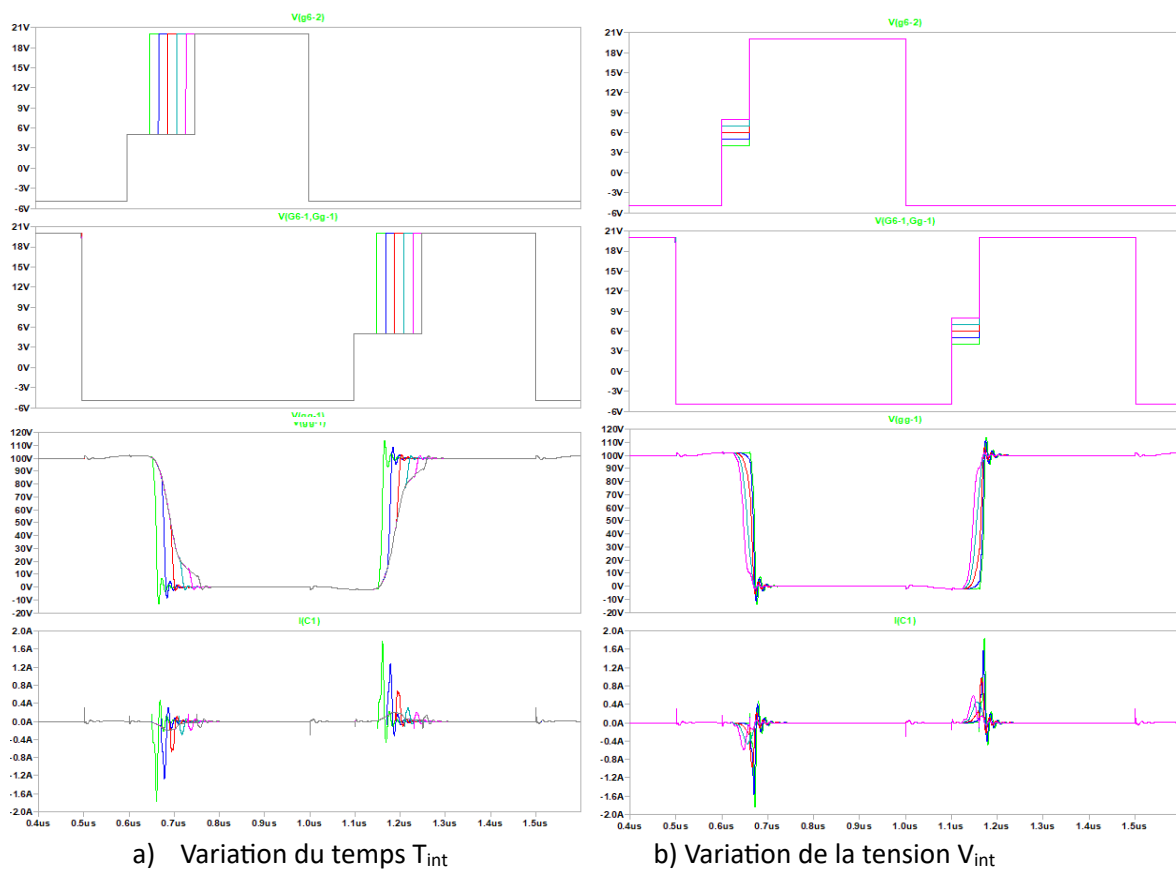


Figure 112 : Résultats des simulations par contrôle AGVC avec composant C2M0080120D

Les résultats obtenus grâce à ces premières simulations permettent d'en déduire 3 remarques : premièrement, l'utilisation des modèles Spice fournis par le constructeur permet d'obtenir un comportement cohérent des composants de puissance sur leurs états d'ouverture et de fermeture. Les différents résultats nous permettent de conclure que la méthode AGVC est fonctionnelle d'un point de vue simulation. Nous voyons également les différentes variations des $\frac{dV}{dt}$ aux bornes du MOSFET auquel on applique la méthode.

Deuxièmement, nous avons démontré avec la méthode de simulation la possibilité d'intégrer la variation AGVC dans une chaîne de commande spécifique à un MOSFET-SiC. Pour pouvoir implanter

cette nouveauté, nous devons maintenant étudier comment intégrer la variation de ce temps et de cette tension durant la phase pilotage du composant de puissance à des fréquences de découpage élevées.

Troisièmement et pour conclure, cette méthode nous permet d'avoir la possibilité de calibrer les paramètres T_{int} et V_{int} en fonction d'un composant fourni par le fabricant et non d'un modèle parfait. Nous pouvons envisager de reproduire cette opération avec d'autres modèles de composant afin de trouver la meilleure configuration pour la variation du $\frac{dV}{dt}$ au sein de notre banc de vieillissement.

Nous illustrons dans la Figure 113, le schéma fonctionnel de la méthode AGVC adapté pour la commande des composants SiC avec des pilotes dédiées à cette fonction. Le principe est simple : le driver SiC est alimenté par une alimentation qui est généralement celle du niveau haut de la tension de commande. Dans notre cas, nous avons dimensionné cette tension à 20 V, car la tension de commande maximale du composant de puissance est de 20 V. De ce fait, pour pouvoir varier la tension V_{INT} , nous devons varier cette tension d'alimentation.

C'est pourquoi nous avons pensé à ajouter un convertisseur numérique analogique qui permettrait de simplement moduler la tension intermédiaire V_{INT} . Ce CI est accompagné d'un transistor bipolaire polarisé T1 qui permet d'amplifier le courant d'alimentation pour pouvoir fournir la puissance d'alimentation du driver de puissance. Le transistor T2 agit en tant qu'interrupteur idéal pour pouvoir délivrer la tension d'alimentation 20 V lorsque le temps intermédiaire T_{INT} est écoulé.

Ce dernier paramètre est fixé en fonction d'une seconde fibre que nous plaçons pour le pilotage du transistor T1. Le signal est envoyé depuis la plateforme de commande et est modifiable de façon logicielle. Ainsi nous pourrions régler précisément le temps intermédiaire que nous souhaitons avant la mise en marche des expérimentations. On ajoute une porte logique NAND à la commande des 2 transistors bipolaires pour sécuriser afin de s'assurer qu'une seule tension sera présente à l'alimentation du driver.

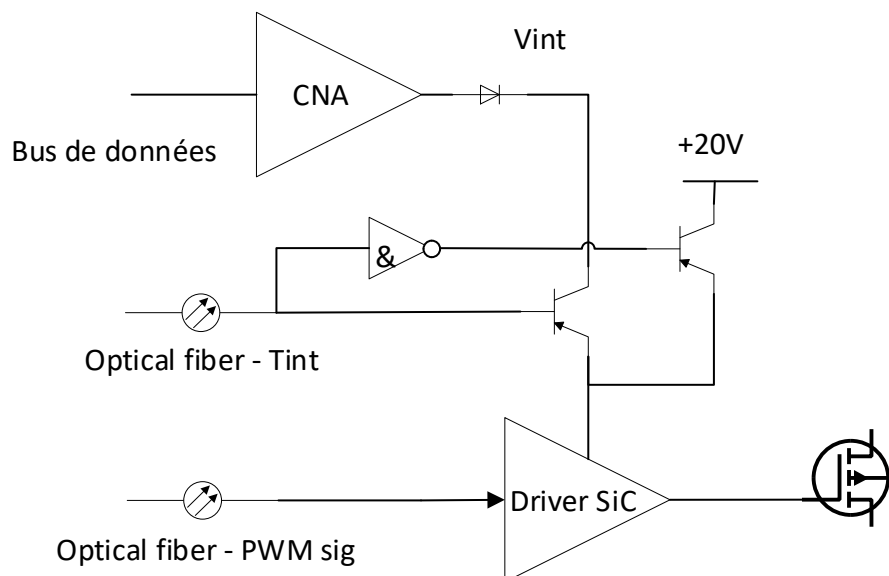


Figure 113 : Schéma fonctionnel pour la variation de V_{int} et T_{int}

Cette solution reste tout de même à valider à travers la conception d'un module ne comprenant que ce mode de fonctionnement. Ce sera l'occasion d'une itération de validation du principe de fonctionnement et d'amélioration du principe actuel.

II.7. Conclusion

Du dimensionnement de la chaîne de puissance jusqu'à sa validation, en passant par l'intégration d'une instrumentation embarquée ainsi que par la modélisation des éléments de puissance, de nombreux points ont été étudiés jusqu'à maintenant. Pour pouvoir accomplir chacune des tâches et développer le banc de vieillissement, nous devons prendre en compte la charge présente en sortie. Dans notre cas, il nous a été fourni 2 échantillons de moteur triphasé, dont un usé et un autre neuf. Seul le moteur usé a été pris en compte durant le développement du banc, le second nous ayant été fourni plus tardivement.

N'ayant pas les mêmes limites en matière de caractéristiques électriques, nous avons développé un banc de vieillissement modulaire afin de nous adapter à plusieurs types de moteurs. Pour répondre à cet objectif, nous sommes partis d'un constat simple, plusieurs architectures de conversion triphasée peuvent être formées suivant l'agencement des modules de puissance. Ayant besoin d'un convertisseur DC/AC, nous avons séparé chaque « bras » dans le but d'obtenir un module de puissance comprenant 2 composants de puissance mis en association. Ainsi, suivant l'architecture série/parallèle nécessaire, nous pouvons réorganiser le banc de vieillissement en un convertisseur multiniveaux.

Une fois que nous avons fait le choix de notre architecture, afin de pouvoir continuer le dimensionnement au mieux, nous devons choisir le type de matériaux et le type de composant de puissance que nous allons utiliser. Une première sélection a été faite en fonction des caractéristiques que nous souhaitons atteindre. La combinaison d'une tension de blocage élevée à une fréquence de fonctionnement importante nous dirige vers le choix des nouveaux matériaux semiconducteurs à grand gap, et notamment le carbure de silicium : SiC. Hormis le fait que sa tension de blocage et sa fréquence de fonctionnement sont élevées, l'intégration de ce nouveau matériau dans les modules de puissance présente aussi d'autres avantages tels que la baisse de la résistance de conduction et de l'énergie consommée lors des commutations. Cependant, ce matériau semiconducteur n'est pas déployé sur tous les composants de puissance. Afin de pouvoir constituer un onduleur triphasé, seuls les JFETs et les MOSFETs pouvaient être un choix. Nous avons opté pour les MOSFETs de par leur maturité technologique et grâce au large panel de composants que proposaient divers constructeurs.

Ainsi, la suite du dimensionnement a été concentrée sur le pilotage matériel de ces interrupteurs de puissance. Le choix de la chaîne de commande constituée des fibres optiques, des drivers de commande couplés aux drivers de puissance, de la détection des courts-circuits et de la logique de combinaison des défauts renvoyés. Toute cette procédure nous a permis d'arriver à l'étape du dimensionnement de la métrologie. Pour pouvoir répondre à cette problématique, nous avons étudié un type de sonde de champ proche qui a été intégré dans les PCB de puissance. Suite à des simulations et une modélisation par deux solveurs différents, nous avons pu démontrer que nous aurions la possibilité, durant de futures expérimentations, d'acquérir à des fréquences élevées les caractéristiques fréquentielles du courant.

Une fois l'étape de dimensionnement finalisée, nous avons procédé au routage des modules de puissance qui ont été mis en lien avec les différents éléments que nous retrouvons dans l'assemblage d'un banc tels que les radiateurs, les connecteurs de puissance et les plans de puissance. En tenant compte de tous ces éléments ainsi que du placement spécifique des diverses sondes de champ proche, nous sommes arrivés à une première version de prototype du module de puissance. Celui-ci a été modélisé sur deux solveurs différents afin d'en extraire les caractéristiques du PCB ainsi que des couplages entre les sondes de champ proche et les plans de puissance respectifs.

Suite à cette étape et dans le but de valider les simulations, cette modélisation a été comparée aux mesures provenant de l'analyseur de réseaux. Cette comparaison nous a permis de nous rendre compte que chaque solveur avait son lot d'erreur en fonction de la plage de fréquence d'étude. L'un étant à plus basse fréquence et l'autre, comme la sonde à plus haute fréquence, le contrôle et le paramétrage des maillages doivent être optimaux afin d'être proches des mesures. Cela nous a également permis de connaître les caractéristiques réelles des sondes de champ proche ainsi que les

couplages que nous avons avec les plans de puissance. Notre module de puissance a été de ce fait, caractérisé et rendu prêt à l'emploi.

Pour pouvoir le valider en état de fonctionnement, nous avons configuré notre banc de vieillissement en onduleur triphasé afin d'alimenter seulement le stator du moteur EMOD. Nous avons donc programmé notre pilotage aux points de fonctionnement fixés par la charge et nous avons pu monter progressivement à une puissance de 1kVA sur chaque phase du moteur. Les paramètres de $\frac{dV}{dt}$ ont été observés en même temps que les courants circulant dans les charges. Le banc de vieillissement a été de ce fait, validé et nous pouvons maintenant nous intéresser aux parties acquisition et informatique industrielle associées.

III. Chapitre 3 – Développement d'un système de commande modulaire pour la gestion de la commande, de l'acquisition et de l'interface homme-machine

III.1. Introduction

Le domaine de l'électronique de puissance est souvent accompagné d'un système numérique qui permet de faire le lien entre l'utilisateur et la commande des composants de puissance [107] [109] [158]–[160]. Nous avons vu jusqu'à présent le dimensionnement du convertisseur de puissance prévu pour un banc de vieillissement de bobinage. Ce convertisseur comprend 2 modules de puissance agencés et modulables selon la structure du convertisseur que l'utilisateur souhaite. Ces modules comprennent également des sondes de champ électromagnétique placées à des endroits stratégiques dans le but d'obtenir les informations et les caractéristiques des courants qui traversent les plans et les composants de puissance. L'objectif étant d'acquérir lors des phases d'excitation, nous réalisons l'acquisition de manière à pouvoir visualiser chaque commutation d'un composant de puissance. Ainsi, pour pouvoir contrôler et commuter ces composants, acquérir en même temps et obtenir un système autonome, nous avons étudié l'intégration d'un système de commande comprenant 3 fonctionnalités : la gestion des interactions entre l'utilisateur et la machine, la gestion des paramètres de commutation et la gestion des acquisitions au sein du banc de puissance.

Ce système de commande est un élément clé de notre banc pour atteindre les objectifs que nous avons établis à l'introduction de cette étude. Le vieillissement d'un matériau isolant d'un câble est lié à différents paramètres comprenant la tension de commutation d'un composant de puissance ainsi que le courant transitant dans les modules de puissance [62], [170]. À chaque commutation, nous dégradons petit à petit le matériau isolant jusqu'à l'apparition de décharges partielles. Ce phénomène peut être visualisé si nous faisons la comparaison du spectre d'amplitude du courant d'excitation entre un matériau isolant neuf et un usé. Afin de comprendre le rôle des facteurs qui accélèrent ce vieillissement, de nombreux paramètres peuvent être mis en jeu. Nous retrouvons en particulier, la fréquence de découpage et de modulation du système, le coefficient de modulation, le temps mort à la commutation et la tension d'alimentation. C'est pourquoi, le développement de notre futur système de commande intégrera la variation potentielle de tous ces paramètres pour permettre à l'utilisateur de moduler les causes de la dégradation et d'en tirer des conclusions à partir d'une étude paramétrique.

En complément de ce système de pilotage numérique, l'acquisition de ces phénomènes est un enjeu primordial de notre réalisation. Cependant, acquérir à plus d'une centaine de mégahertz n'est pas une tâche évidente. La mise en œuvre d'une chaîne d'acquisition dédiée à cette fonction est complexe. De plus, pour assurer le bon fonctionnement de cette chaîne d'acquisition tout en recevant et traitant les données qu'elle acquiert, nous devons dimensionner une plateforme numérique traitant ces fonctions. C'est pourquoi nous allons vous présenter ces 2 parties dans le chapitre suivant.

Nous retrouverons dans la première partie le dimensionnement d'une chaîne d'acquisition isolée dont la particularité est d'acquérir des signaux haute fréquence (~200 MHz). L'enjeu principal de ce développement et de combiner des fonctionnalités d'isolation et de minimisations de l'encombrement. En effet, des solutions actuellement existantes nous permettraient d'atteindre ces objectifs. Seulement, soit elles ne répondraient pas à notre critère d'isolation, soit elles n'étaient pas envisageables de par leurs dimensions. Pour pouvoir répondre à cette demande, nous avons utilisé un nouveau protocole de communication transmettant les données en série et à haute vitesse. L'utilisation de ce protocole nous permet à la fois de garder notre fréquence d'échantillonnage tout en minimisant le nombre de voies de sortie.

Une compétence de plus a été apportée à l'étude de ce module d'acquisition : sa modularité. Tout au long du chapitre 2, nous avons émis notre souhait de dimensionner un banc de test modulaire selon la configuration choisie par l'utilisateur. Ceci inclut aussi la modularité de la plateforme de commande afin qu'elle soit adaptée à la configuration du convertisseur. Ainsi, nous avons conçu ce système de façon modulable afin qu'il puisse s'intégrer à de nombreuses expérimentations.

Pour atteindre ces objectifs de développement, nous allons vous présenter le processus de développement que nous avons entrepris pour aboutir à une plateforme numérique complète et modulable comprenant la gestion de l'électronique de puissance, la gestion d'une interface homme-machine et la gestion des acquisitions. Chacune des parties a été réfléchi de manière à être facilement transférable d'une platine à une autre. Nous retrouverons des contrôles menant à la modification des fréquences de modulation et de découpage, du coefficient de modulation et du temps mort à la commutation. Également, nous aurons la possibilité de contrôler les états du système de puissance tout en visualisant son état de fonctionnement. Toutes ces possibilités seront accompagnées d'une logique d'acquisition propre à chaque module d'acquisition.

La contrainte principale de ce développement a été de regrouper ces 3 domaines différents dans une seule plateforme. Nous verrons au fur et à mesure des évolutions des plateformes que de nouvelles contraintes de conception ont vu le jour et nous ont obligés à orienter différemment nos projets.

Plusieurs cartes d'interface ont été réalisées afin de pouvoir communiquer avec les modules de puissance et les chaînes d'acquisition. Souhaitant qu'elles restent isolées entre chaque plateforme, nous les avons conçues avec différents connecteurs fibre optiques en fonction des fréquences des signaux les traversants. Par conséquent, nous nous sommes protégés au maximum des contraintes électromagnétiques.

Enfin, l'étude de 2 interfaces homme-machine a été entreprise dans le but d'optimiser l'interaction et la communication entre le système de puissance et l'utilisateur. C'est pour cela qu'une première interface a été développée pour obtenir des fonctions minimales. Puis, au fil du temps, nous avons détecté des contraintes telles que l'accessibilité sur n'importe quel poste de travail ou support numérique dont nous souhaitons y remédier. C'est pour cela qu'une deuxième interface a été conçue dans un but d'être accessible sur navigateur web sécurisé et par authentification de l'utilisateur.

III.2. Développement d'une chaîne d'acquisition isolée haute vitesse

III.2.A. Dimensionnement des caractéristiques d'acquisition en fonction des caractéristiques des sondes électromagnétiques intégrées sur les modules de puissances

Le développement et la réalisation de la partie électronique de puissance de notre banc, qui seront dédiés aux études de vieillissement des bobinages des machines tournantes, ont été présentés précédemment. Afin de les compléter, nous présentons maintenant la partie acquisition. Celle-ci peut être utilisée à des fins différentes : soit pour maîtriser une régulation du courant traversant les bobinages du stator, soit pour disposer de moyens de supervisions.

Les moyens d'acquisition autour des systèmes d'électronique de puissance peuvent être nombreux suivant le type de mesure souhaitée. Actuellement, il est possible d'utiliser un panel d'appareillages pour réaliser ces mesures via des oscilloscopes numériques, des analyseurs de spectre (AS) [171], des analyseurs de réseau vectoriel (VNA) [172], des Power meters HF [173, p. 5680], etc. Nous verrons dans le chapitre 4 que pour observer une dégradation d'un bobinage, nous devons observer la réponse fréquentielle du signal. Seulement certains de ces appareils permettent d'effectuer cette tâche, mais une fois de plus, leurs usages ne sont pas dimensionnés pour ce type d'analyse.

C'est pourquoi nous avons voulu concevoir un ensemble d'outils de mesure, ceci dans le but de proposer une expertise contenant les différents indicateurs de dégradation d'un bobinage mis sous test par une seule chaîne d'acquisition dimensionnée pour ce type d'application. Par conséquent, en

fonction de l'implantation des sondes et des méthodes d'analyses que nous utiliserions, nous pourrions obtenir des expertises décelant les endroits dégradés.

Les résultats provenant de [60] démontrent que des effets dus à des dégradations sont visibles lors de l'excitation d'une ou plusieurs phases d'une machine tournante. Ces effets sont générés par l'excitation induite par la commutation des composants de puissance placés en amont du moteur. À chaque commutation, le courant traversant la phase comprend une signature de la dégradation.

Notre objectif étant d'observer le comportement de l'isolant lors de la mise en œuvre du stator, nous adaptons notre banc aux différentes mesures que nous souhaitons obtenir. Bien que la plupart des outils de mesure soient très efficaces et précis, ils en restent souvent difficilement intégrables dans des systèmes de puissance.

S'ajoute à cette problématique, les performances d'acquisition élevées répondant aux besoins caractéristiques du banc. La mesure du champ électromagnétique, lors des commutations des composants de puissance, peut s'avérer compliquée pour plusieurs raisons :

La première étant la génération des contraintes électromagnétiques dans un milieu mêlant de fortes tensions analogiques à de faibles tensions numériques. La gestion des plans de masse, des plans de puissance et des couplages peut se révéler également compliquée à maîtriser.

La deuxième complication provient de l'adaptation des performances d'acquisition à celle des sondes de champ. Les phénomènes de dégradation des machines tournantes se produisent souvent entre 1 et 100 MHz [60], [170]. Afin de réaliser une acquisition numérique adaptée à nos capteurs, nous devons respecter le théorème de Shannon en échantillonnant obligatoirement à une fréquence deux fois supérieure à la fréquence maximale utile des signaux mesurés.

La troisième complication vient de la définition du nombre de voies de communication de la chaîne d'acquisition. En effet, les protocoles de communication actuels pour des acquisitions à très hautes vitesses comprennent un nombre conséquent de voies de sortie. Ce nombre est lié à la résolution d'acquisition. Si nous avons une seule voie d'acquisition à une résolution de 10 bits, nous aurons minimum 10 voies simultanées de transfert de données.

Pour répondre à cette problématique, nous proposons le développement d'une chaîne d'acquisition adaptée aussi bien à nos modules de puissance qu'à d'autres systèmes de conversion. Elle sera isolée de la plateforme de commande numérique grâce à l'utilisation de fibres optiques à transmission de données haute vitesse. Cette chaîne d'acquisition sera principalement dédiée pour la mesure des différentes sondes électromagnétiques dont le dimensionnement a été présenté au chapitre 2. En effet, un des apports de nos travaux a été de répondre à la problématique de mesure et d'observation des courants dans un système de puissance en minimisant les conséquences et les effets dus à l'insertion. Pour cela, nos sondes électromagnétiques ont été intégrées sur le PCB à proximité des pistes de puissance dans le but d'obtenir leurs caractéristiques fréquentielles de manière fine, et en particulier, vis-à-vis de leurs commutations.

Ayant défini leur placement particulier et leurs paramètres de mesures (bande passante, sensibilité, facteur de couplage) nous pouvons développer les chaînes d'acquisition intégrées qui sont nécessaires en fonction de leurs caractéristiques et des spécificités du banc de vieillissement.

Dans un premier temps, nous allons choisir le convertisseur analogique/numérique, dont dépendra le respect des contraintes et des performances d'acquisition souhaitées. La technologie du composant choisi impliquera également, le cas échéant, un protocole de communication particulier. Ce protocole de communication est le paramètre qui détermine le nombre de voies isolées nécessaires entre la chaîne d'acquisition et la plateforme de contrôle.

La deuxième étape pour le dimensionnement de la chaîne d'acquisition est principalement liée aux calculs et techniques de conditionnement du signal d'acquisition, ainsi qu'aux différentes calibrations des alimentations et de leurs niveaux dans le cadre du développement d'une plateforme numérique.

Nous concluons ce dimensionnement et ce développement de notre chaîne d'acquisition par le bilan de cette réalisation, ses apports dans nos travaux et ses perspectives pour d'autres applications.

a. Choix du convertisseur A/N.

Afin de déterminer correctement le convertisseur lié à notre besoin, nous reprenons ici la description de l'agencement de notre système. Chaque carte de puissance est équipée de 4 sondes électromagnétiques. Ces cartes de puissance sont complètement indépendantes. Elles seront reliées entre elles et agencées lors de la conception d'une structure de conversion d'énergie.

De ce fait, l'agencement de la partie acquisition est construit en fonction de celui des cartes de puissance : une carte d'acquisition est dédiée à une carte de puissance correspondant à un bras et doit pouvoir gérer l'acquisition de quatre sondes de mesure. Cela implique donc un nombre maximal de quatre voies d'acquisition par carte de puissance.

Nous rappelons que la bande passante de nos sondes se situe entre 1 et 800 MHz pour les sondes planaires et 1MHz et 600MHz pour les traversantes. Les effets transitoires que nous souhaitons observer se situent entre 1 et 100 MHz. Par conséquent, nous pouvons définir notre premier paramètre, le taux d'échantillonnage. Celui-ci doit être plus élevé que la fréquence maximale à laquelle nous souhaitons observer un phénomène. La fréquence maximale de visibilité du phénomène étant à 100MHz, nous décidons de nous placer à deux fois cette fréquence, 200 MSPS pour définir notre taux d'échantillonnage minimal.

Le deuxième paramètre à déterminer est la résolution de l'acquisition. Souhaitant l'optimiser au maximum, nous établissons une résolution maximale et minimale. Après avoir effectué quelques tests par le biais d'une sonde similaire à notre développement, nous connaissons leurs tensions de sortie maximales. La tension maximale de sortie des sondes est située aux alentours de 5 V. Notre résolution minimale fixée à 8 bits nous permet d'obtenir une tension minimale de 19,60 mV.

$$résolution = \frac{5V}{2^8 - 1} = 19,60 mV$$

Ayant défini les caractéristiques nécessaires pour l'acquisition aux bornes des sondes, nous pouvons sélectionner des convertisseurs CAN susceptible de satisfaire nos critères de sélection et de performance (Tableau 22). Les paramètres principaux proposés par les différents constructeurs de convertisseurs sont : le taux ou la fréquence d'échantillonnage (S/s), la résolution du convertisseur (Unités), la bande passante d'acquisition (Hz), le nombre de voies d'acquisition et de transfert de données, le type de protocole de transfert de données (différents protocoles), et enfin le prix du composant.

Parmi ces paramètres, nous souhaitons en priorité nous focaliser sur le nombre de voies de transfert de données, afin de réduire l'encombrement causé par le nombre de fibres optiques. En tenant compte des différents protocoles de communication que nous retrouvons dans les convertisseurs A/N (chapitre 1), nous tenons à réduire au maximum le nombre de voies de sortie qui par conséquent, réduira l'encombrement des fibres optiques dans le système. Ce critère de choix sera associé au protocole JESD204B, nécessaire pour obtenir une réduction du nombre de voies de sortie conséquente [84].

Référence	Bande Passante (MHz)	Résolution	Taux d'échantillonnage	Nbr de Chanel	Prix	Bus de transfert de données	Nbr voit de sortie
AD9234 - 1000	2000	12	1000	2	454,05 €	JESD204B	4

AD9234 - 500	2000	12	500	2	293,37€	JESD204B	4
ADC16DX370RMET	800	16	370	2	53,95 €	JESD204B	4
AD9250 - 250	1000	14	250	2	144,98 €	JESD204B	2
AD9642 - 170	350	14	170	2	57,57 €	Parallèle	16
ADC32J44	450	14	125	2	29,94 €	JESD204B	2
MCP37D10 - 200	650	12	200	2	31,26 €	Série/Parallèle	12

Tableau 22 : Comparatif des performances des convertisseurs A/N. dans la gamme des convertisseurs haute fréquence

Suivant la synthèse proposée par le Tableau 22, les convertisseurs AD9642 et ADC32J44 sont exclus, car ils ne répondent pas aux exigences de la fréquence minimale d'échantillonnage (Théorème De Shannon) [174]. Concernant les paramètres de la résolution, tous les convertisseurs du Tableau 22 sont compatibles.

Les convertisseurs AD9250 et ADC32J44 sont les seuls à satisfaire le nombre de voies requis (deux). Cependant, le convertisseur ADC32J44, ne possédant pas les performances nécessaires pour répondre aux performances d'acquisition, seul le convertisseur AD9250 semble convenir. Les deux convertisseurs AD9234-x000 ont des performances supérieures à celles de notre cahier des charges, critères non nécessaires par rapport à leurs prix. Enfin, le convertisseur ADC16DX propose un nombre de voies important, qui augmente son impact d'encombrement sur le dimensionnement de la carte d'acquisition.

À la vue de ces comparaisons, le meilleur compromis entre les critères de performances technologiques de nos caractéristiques d'acquisition et le prix du convertisseur nous oriente sur le convertisseur AD9250 ayant les caractéristiques suivantes :

- Taux d'échantillonnage 250 MSPS
- Deux voies d'acquisition
- Bande passante 1 GHz

Nous pouvons maintenant mener notre réflexion sur l'agencement des parties complémentaires.

b. Agencement de la carte d'acquisition

Le choix du convertisseur nous permet maintenant d'agencer au mieux la carte d'acquisition en fonction de la configuration de la carte de puissance. Disposant de 4 sondes de part et d'autre du module de puissance, nous attribuons 1 convertisseur pour 1 sonde planaire et 1 sonde traversante, soit 2 convertisseurs par carte. Ainsi, un convertisseur sera dédié aux 2 sondes du côté VBUS- (EL_M et TR_M) et 1 autre convertisseur aux 2 sondes du côté VBUS+ (EL_P et TR_P). Ces voies d'acquisition sont dimensionnées suivant les caractéristiques du convertisseur. La Figure 114 représente le schéma de fonctionnement des cartes d'acquisition séparées en plusieurs blocs. Ces blocs sont des ensembles de composants tels que des alimentations ou des conditionneurs de mesure. En fonction des liaisons entre chaque sous-ensemble de composants, des couplages sont à étudier.

Viennent donc s'ajouter à ces sous-éléments les connecteurs fibres optiques pour la transmission des informations d'acquisition, le conditionnement du signal acquis par les sondes EM, le protocole SPI pour la configuration des convertisseurs et les alimentations dimensionnées pour chaque composant. Chacun d'entre eux est primordial pour assurer le bon fonctionnement des AD9250, ainsi que pour réaliser les liens entre l'acquisition du signal et la transmission des données par isolation optique. Ayant deux convertisseurs par carte, nous avons fait le choix d'attribuer une voie à un « sous-élément ». Ainsi, un amplificateur opérationnel (AOP) double et un jeu de connecteurs fibres optiques seront exclusivement dédiés à un convertisseur.

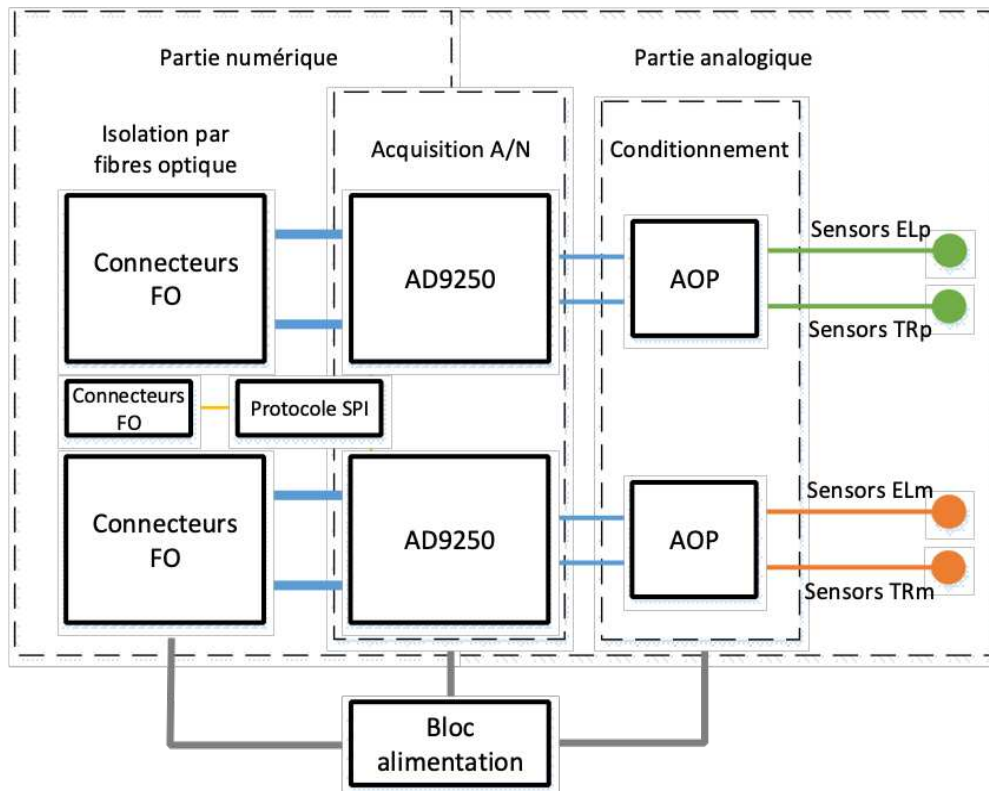


Figure 114 : Agencement de la carte d'acquisition avec les éléments complémentaires

Afin de procéder au développement du système d'acquisition, nous dimensionnons chaque sous-élément de façon individuelle. Dans un premier temps, nous allons commencer par la partie analogique comprenant l'amplificateur opérationnel (AOP) opérant en tant que conditionneur du signal analogique d'acquisition. Dans un second temps, nous définirons les connecteurs fibres optiques qui ont pour but d'isoler l'acquisition de la plateforme numérique. Pour conclure, après avoir rassemblé toutes les caractéristiques des tensions et des courants requis pour le fonctionnement de chaque partie, nous dimensionnerons les alimentations.

c. Conditionnement du signal d'acquisition

Une chaîne d'acquisition est généralement composée d'une première partie concernant le conditionnement. Celle-ci peut être obtenue de différentes façons comme énoncé au chapitre 1. En fonction de notre moyen de mesure, nous adaptons cette étape. Dans notre cas, nous devons adapter les impédances des entrées des chaînes de conditionnement afin que les signaux des sondes haute fréquence soient adaptés à leurs impédances de 50 Ω .

Nous avons fait le choix de réaliser cette étape par le biais d'un AOP situé entre le signal d'acquisition et le convertisseur. L'adaptation d'impédance est obtenue par l'association de deux résistances d'entrées (chapitre 1) [175] et suivant les amplitudes du signal, nous contrôlons l'amplification ou l'atténuation du signal d'acquisition par un changement des résistances de contre-réactions. Les tensions d'acquisition sont limitées à 3,3 V.

Afin de faire correspondre au mieux l'amplificateur opérationnel avec le convertisseur, nous spécifions la limite fréquentielle d'acquisition, le nombre de voies ainsi que la plage d'entrée des tensions de ce dernier. Le convertisseur AD9250 possède une bande passante de 1 GHz dédiée à deux voies d'acquisition à entrées différentielles. La tension d'alimentation est de 3,3 V.

Suivant ces données, le comparatif présenté dans le Tableau 23 nous permet de sélectionner, parmi différents amplificateurs opérationnels, celui ou ceux susceptibles de correspondre aux critères de notre chaîne d'acquisition. Le meilleur compromis est réalisé par la référence ADA4930-2.

RÉFÉRENCES	BANDE PASSANTE	NOMBRE VOIES	PRODUITES GAIN-BP	TENSION D'ALIM	PRIX
ADA4937-2	1.9 GHz	2	2900 V/ μ s	3.3 V	10.76 €
ADA4938-2	1 GHz	2	4700 V/ μ s	3.3 V	10.76 €
ADA4930-2	1.35 GHz	2	3400 V/ μ s	3.3 V	11,89 €

Tableau 23 : Comparatif des caractéristiques des amplificateurs opérationnels différentiels

En choisissant l'ADA4930-2, nous pouvons réaliser le schéma électrique de la chaîne d'acquisition comprenant l'AOP et le CAN précédemment choisis (Figure 115).

L'amplificateur opérationnel ADA4930 est relié au convertisseur par les voies ADC1_VINX. Les entrées du signal sont faites par des connexions coaxiales SMA sur les voies CHANNEL 1 et CHANNEL 2. L'AOP sera configuré dans un premier temps en fonctionnement suiveur. Ceci pourra être modifié suivant le besoin, par exemple pour amplifier ou atténuer le signal d'entrée, en changeant les valeurs des résistances R23, R24, R26, R27, R29 et R30.

Ce schéma répondant aux critères particuliers de l'acquisition de signaux large bande aux bornes de capteurs intégrés sur PCB sera un élément générique pour ce type de caractérisation [129], [161].

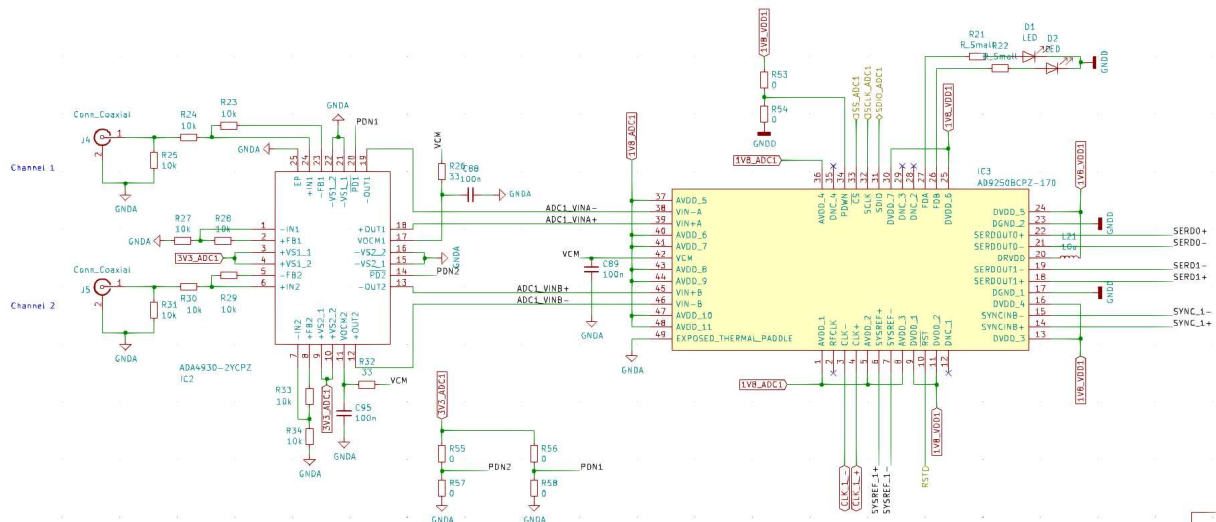


Figure 115 : Schéma électrique de la chaîne d'acquisition

Les choix liés au conditionnement du signal sont validés par la conception du schéma électrique de la Figure 115. Nous présentons maintenant le dimensionnement des connecteurs associés aux fibres optiques, celles-ci devant assurer le transfert des données d'acquisition à la plateforme numérique. Toutefois, avant de procéder à cette action, nous présentons comment déterminer les vitesses de transfert de données ainsi que les fréquences de fonctionnement de chaque signal les traversants en lien avec le protocole choisi.

d. Déterminations des caractéristiques de transfert du protocole JESD204B

Comme expliqué au chapitre 1, nous avons opté pour le protocole de communication JESD204B qui utilise les paramètres dits LMNF suivants : le nombre de voies de transfert (L), le nombre de voies d'acquisition (M), la résolution (N), le nombre de trames par octet (F) ainsi que le paramètre dénommé SUBCLASS, fixant le mode de synchronisation entre le convertisseur et la plateforme de

contrôle. Ce dernier paramètre comprend deux configurations différentes proposées par le convertisseur AD9250 pour faire intervenir un ou plusieurs signaux de synchronisation.

Avec la première configuration, SUBCLASS 0, le signal de synchronisation noté SYNC~ sortant de la plateforme numérique établit une synchronisation par l'action d'un état bas lorsqu'une trame de données est transmise. Ainsi, lorsque chaque trame de données est obtenue, le convertisseur recommence une conversion. Cependant, il est nécessaire de spécifier le délai de la transmission entre la plateforme de contrôle et la chaîne d'acquisition afin qu'ils puissent être synchrones. Les conséquences d'une mauvaise estimation de ce temps engendrent une perte des données acquises suite à une désynchronisation.

La deuxième configuration, SUBCLASS 1, comprend un signal supplémentaire comparativement à la première. Nous avons donc le signal SYNC~ et le signal SYSREF. Ces deux signaux ont l'avantage d'être synchronisés l'un avec l'autre [86], [176]. Cette configuration nous permet d'avoir une synchronisation permanente entre le convertisseur et la plateforme de contrôle.

L'avantage d'utiliser le « Subclass 1 » pour notre développement est lié à la disposition des cartes de contrôle et d'acquisition. Le fait de les découpler nous interroge sur les durées de transmission entre le transmetteur et le récepteur de données. L'utilisation de deux signaux de synchronisation nous permet de minimiser l'erreur de synchronisation tout en minimisant aussi les risques de pertes de données.

Un second avantage est qu'il soit défini par défaut à la mise en marche du convertisseur. Ainsi lorsque le développement sera finalisé, nous obtiendrons un convertisseur opérationnel dès sa mise en marche.

Cette décision nous oblige à intégrer les signaux SYNC~ et SYSREF dans le dimensionnement des fibres optiques afin d'être en constante synchronisation avec la plateforme numérique. Leurs fréquences de synchronisation sont établies à partir des paramètres intrinsèques du convertisseur (LMNF) ainsi que de la fréquence d'acquisition F_{ADC} et du taux de transfert de données $F_{BITRATE}$.

Avec la série des équations présentes durant le chapitre 1 pour le calcul des différentes fréquences de fonctionnement du JESD204B, nous calculons la vitesse de transfert de données requise pour une utilisation optimale du convertisseur. Nous y intégrons les caractéristiques internes du convertisseur ainsi que sa vitesse d'acquisition maximale. Ce dimensionnement est présenté dans le Tableau 24 :

$F_{BITRATE}$	F_{ADC}	L	M	F	N	N_PRIME	SYSREF	SYNC~	SUBCLASS
5 Gb/s	250 MHz	2	2	2	14	16	7,39 MHz	15,625 MHz	1

Tableau 24 : Paramètres pour la communication entre une plateforme de contrôle et le convertisseur AD9250 pour l'utilisation des deux voies d'acquisition

Le débit de données requis pour une utilisation optimale du convertisseur est de 5Gbit/s avec l'utilisation des 2 voies de transferts (L), des 2 voies d'acquisition (M) ainsi que deux trames par octet (F). Les signaux de synchronisation SYSREF et SYNC~ ont une fréquence de 7,39 MHz et 15,625 MHz respectivement. Ce dimensionnement prend aussi en compte l'horloge d'échantillonnage F_{ADC} dont la fréquence est égale à 250MHz.

Nous voulons insister sur un point important : pour des performances concernant le transfert de données, le protocole JESD204B reste adapté uniquement à certaines plateformes numériques spécifiques, du fait des vitesses de communication élevées nécessaires à son fonctionnement. Comme expliqué durant le chapitre 1, ce protocole est basé sur le processus de mise en série des données d'acquisition. Ainsi son nombre de voies d'acquisition est considérablement réduit.

Toutefois, son débit de données est augmenté afin de transférer l'ensemble des points relevés par les composants ADC durant un intervalle d'acquisition. Le choix de la platine de développement est donc aussi fonction de la possibilité d'intégrer ce protocole et son environnement. Nous verrons dans la partie 3 que seules certaines d'entre elles peuvent nous permettre d'obtenir les performances d'acquisition souhaitées.

Toutes les caractéristiques précédemment calculées nous permettent maintenant de sélectionner les connecteurs fibres optiques associés à chaque signal.

e. Dimensionnement de l'implantation des fibres optiques pour les cartes d'acquisition

Afin de dimensionner les liens entre chaque sous-élément, nous listons l'ensemble des signaux nécessaires au fonctionnement de la chaîne d'acquisition.

En fonction du nombre de convertisseurs (M), du nombre de voies (L), des différents signaux de synchronisation (SYSREF et SYNC_N), des voies de sortie appelées SERDOUT et des signaux SPI servant à la configuration du convertisseur, nous établissons une synthèse fonctionnelle des différents protocoles de transmissions, comme illustré dans la Figure 116.

Nous avons reporté sur ce synoptique les fréquences, les couplages, les types et les impédances de chaque ligne précédemment dimensionnée. Afin d'optimiser le nombre de connecteurs FO (Fibres Optiques), nous avons fait le choix de n'utiliser qu'une seule fibre optique commune pour l'horloge d'échantillonnage et pour les signaux de configuration SPI. Ainsi, les lignes autres que « BUS SPI » et « F_{ADC} » sont spécifiques à chaque convertisseur.

Les canaux dédiés à la synchronisation, à la fréquence d'acquisition et aux transferts de données sont différentiels et doivent être couplés en terminaisons LVDS et CML respectivement, c'est-à-dire « Low Voltage Differential Signaling » et « Current Mode Logic ». La différence de ces couplages vient des niveaux de tension de fonctionnement. L'un est entre 1,025 V et 1,375 V, le second est entre 0,3 V et 1,2 V [109], [110], [177]. Tous deux sont dimensionnés pour une impédance de ligne de 100 Ω. Les signaux de configuration, ceux utilisés pour le protocole SPI, sont des lignes uniques et ne présentent pas de particularité relative à l'impédance des lignes.

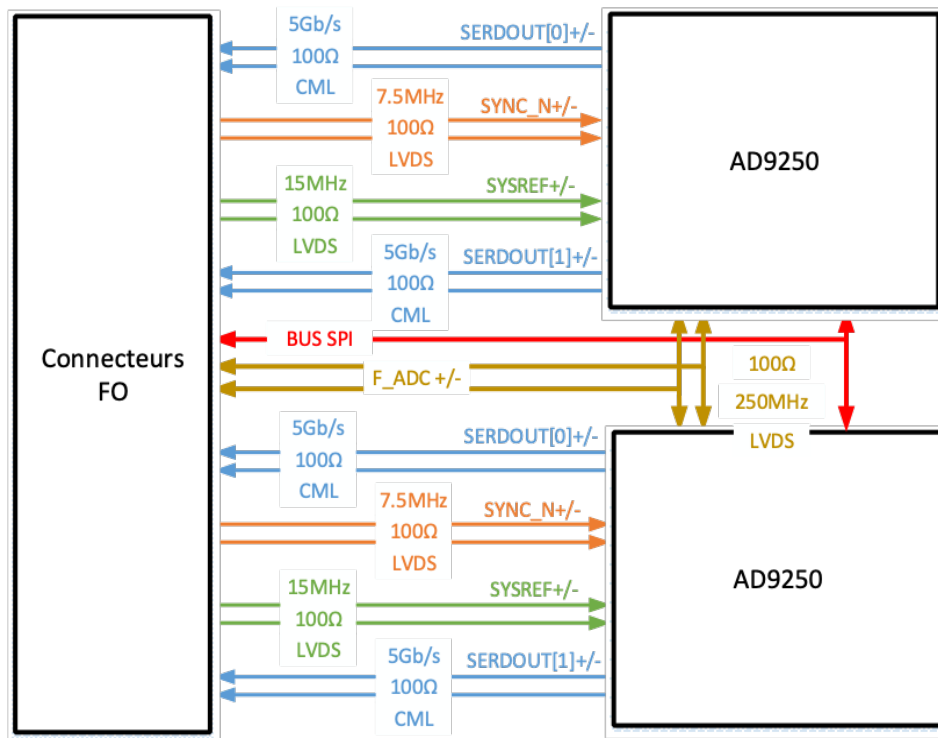


Figure 116 : Synoptique détaillé des lignes de transmission entre les convertisseurs et les connecteurs fibres optiques

Ces caractéristiques nous permettent maintenant de dimensionner l'implantation des connecteurs fibres optiques et par la suite, d'adapter les terminaisons afin qu'elles soient compatibles vis-à-vis de leurs niveaux de tension.

Les lignes que nous venons de présenter sont différentielles et doivent être couplées à des connecteurs fibres optiques spécifiquement étudiés pour les accueillir. Pour choisir ces connecteurs, nous prenons en compte les types des lignes ainsi que leurs types de couplage : nous les avons mentionnées précédemment, ce sont des lignes LVDS et CML. En fonction de leurs caractéristiques, nous pouvons déterminer les différents connecteurs dont nous avons besoin : ceux portant le préfixe « AFBR 57XX » ou « AFBR 59XX » permettront de faire transiter les données à des vitesses élevées et sont typiquement appelés « transceivers ». Ils combinent une paire d'entrées et une paire de sorties différentielles dans le même composant. Ainsi, nous pourrions avoir une voie de réception (RX) et une voie de transmission (TX) avec un seul composant. Cette subtilité nous permet de diminuer le nombre de connecteurs fibres optiques.

Chaque convertisseur possède 4 lignes différentielles uniques dont 2 transmettrices dédiées au transfert de données et de 2 réceptrices de synchronisation. Nous regroupons une ligne transmettrice et une ligne réceptrice par connecteur fibre optique. Nous choisissons la référence AFBR 57XX des connecteurs fibre optique pour isoler les transmissions. Ayant une voie au besoin plus élevée en termes de vitesse pour la transmission des données, nous pouvons utiliser le même composant pour la réception des signaux de synchronisations provenant de la plateforme de contrôle. La vitesse maximale des fibres optiques est définie par le débit de données, que nous avons calculé à partir du Tableau 24, 5 Gb/s. Le connecteur fibre optique dimensionné pour ce type de vitesse est le connecteur AFBR 57J9AMZ [178]. Atteignant un débit maximal de 6.144 Gb/s, il permettra non seulement la transmission des données d'acquisition, mais aussi des signaux de synchronisation SYSREF et SYNC~. Nous allons maintenant dimensionner le connecteur par lequel transitera l'horloge d'échantillonnage, le signal « F_{ADC} ».

Fonctionnant à une fréquence de 250MHz, il n'est pas nécessaire ici d'avoir recours au connecteur AFBR57J9AMZ. Le modèle adéquat pour cette valeur de fréquence est le AFBR-59F3Z [179]. Il

combine toujours une réception et une transmission sur le même composant. Son impédance de terminaison est adaptée à celle de la ligne 150 Ω et son couplage est de type LVDS.

Une fois le signal F_{ADC} transmis à travers la fibre optique et reçu sur la carte d'acquisition, l'horloge d'échantillonnage doit cadencer les deux convertisseurs CAN présentés sur la carte. Pour séparer ce signal haute fréquence en deux voies, nous introduisons un composant supplémentaire : le tampon d'horloge ADCLK925 [180, p. 925]. Inséré entre la sortie de la fibre optique et les convertisseurs CAN, ce composant permet de dupliquer les horloges jusqu'aux convertisseurs. Ses caractéristiques primordiales sont sa fréquence maximale, de l'ordre de 7.5 GHz, son retard mesuré à 60 ps et un jitter de 60fs. Son schéma fonctionnel est présenté en Figure 117 :

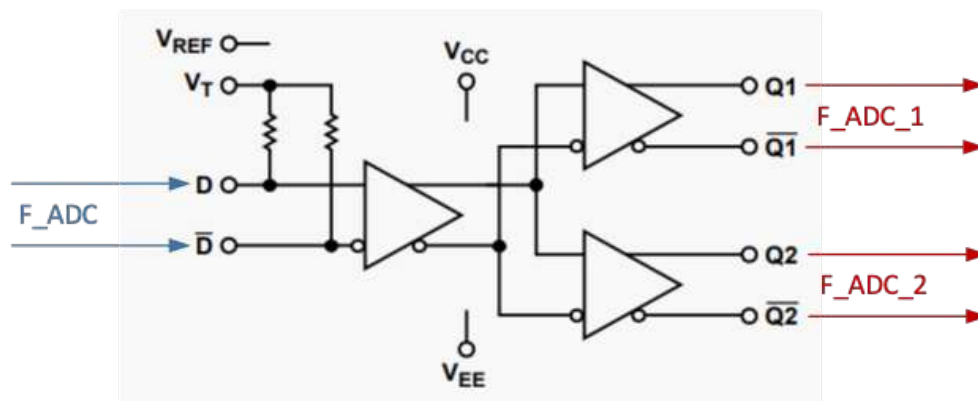


Figure 117 : Synoptique du composant ADCLK925, tampon d'horloge des deux voies des convertisseurs ADC

L'horloge d'échantillonnage est donc distribuée par l'intermédiaire de ce composant, et sécurise le fonctionnement des deux convertisseurs.

Nous terminons la calibration de notre chaîne par le dimensionnement des signaux de configuration SPI. En souhaitant isoler le transfert de données entre les deux plateformes, nous devons aussi prendre en compte les signaux annexes servant à configurer les convertisseurs. N'ayant pas de recommandation particulière sur leurs impédances et étant des lignes isolées, nous choisissons les connecteurs fibres optiques que nous avons utilisés pour le pilotage des cartes de puissance : les connecteurs référencés AFBR 16xx et AFBR 26xx. La configuration des convertisseurs, depuis un protocole SPI, est également isolée.

À la suite de ces études et calculs de dimensionnements, nous reprenons le synoptique précédent en y ajoutant les références des connecteurs fibres optiques (Figure 118).

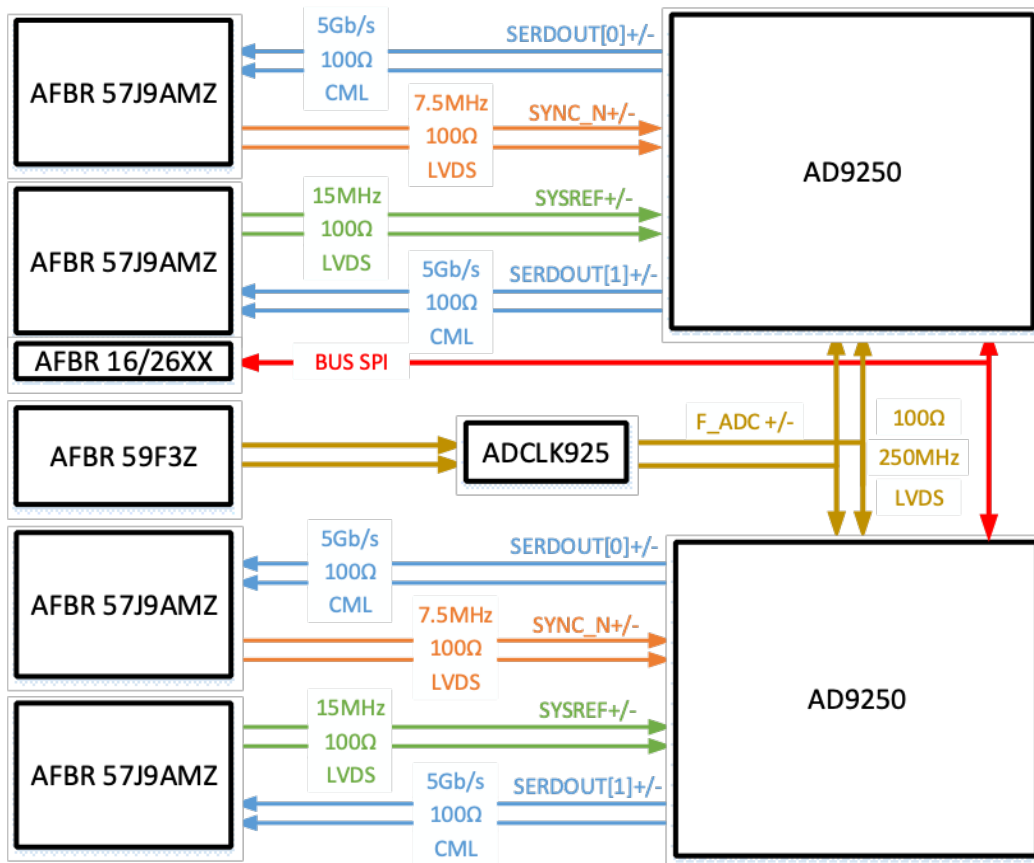


Figure 118 : Synoptique de la carte acquisition - agencement des connecteurs fibres optiques

Toujours dans un but d'optimiser le nombre d'éléments disposés sur la carte d'acquisition, nous avons décidé d'avoir la possibilité de dissocier les fibres optiques dédiées au protocole SPI afin d'optimiser l'encombrement. Étant donné que la configuration des convertisseurs via le protocole SPI n'est que temporaire, une carte complémentaire est prévue pour y implanter seulement ses connecteurs. Les autres connecteurs fibres optiques étant spécifiques pour chaque ligne de transmission, nous configurons les terminaisons en fonction de leurs différents couplages. Entre LVDS, CML ou HCSL, ce dimensionnement est nécessaire pour faire correspondre leurs niveaux de tension.

f. Adaptation des terminaisons des lignes de transmission présentes sur la chaîne d'acquisition

Chaque composant possède intrinsèquement différents couplages spécifiques aux lignes E/S hautes vitesses. Prenons en exemple le convertisseur AD9250 qui en contient 5 dont 3 entrées et 2 sorties. En tenant compte des indications du constructeur, les entrées différentielles SYNC_N et SYSREF se coupleront à des lignes LVDS, tandis que l'entrée différentielle CLK+/-, dédiée à la fréquence d'acquisition aura la possibilité de se coupler à des lignes LVPECL, LVDS ou CMOS.

Nous synthétisons l'ensemble des caractéristiques de ces terminaisons en Figure 119, représentée ci-dessous, en reprenant une seule partie des synoptiques précédents. Ayant deux fois la même structure, seul un convertisseur CAN est représenté.

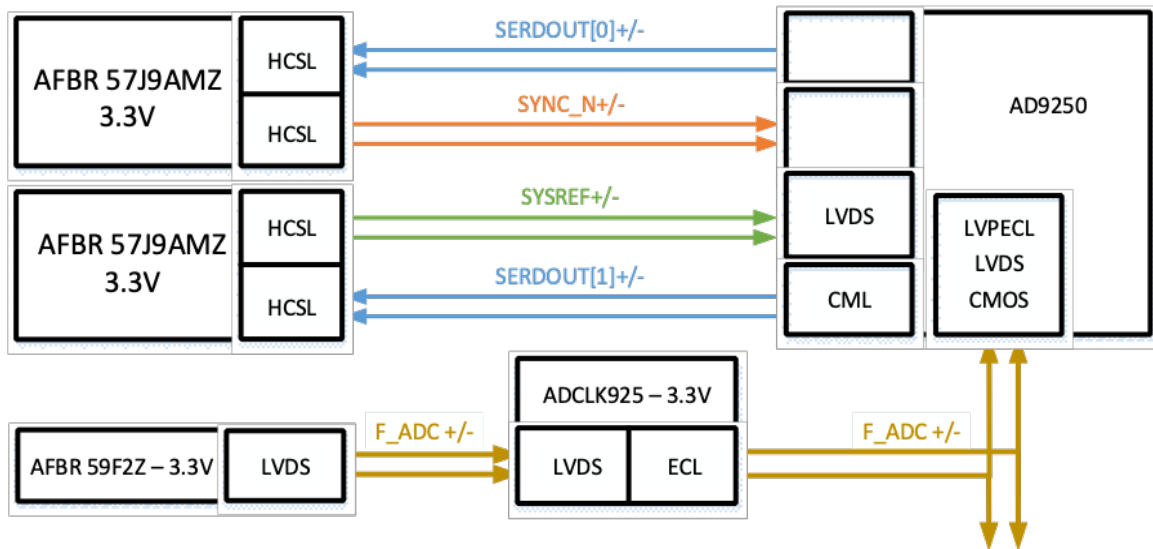


Figure 119 : Synoptique des terminaisons de chaque composant possédant des lignes haute vitesse

Plusieurs adaptations ont été nécessaires afin de coordonner chaque terminaison à chaque ligne de transmission. La première est le cas du signal d'horloge d'acquisition : $F_{ADC} +/-$. Le signal transmis entre le composant AFBR59F2Z et le tampon d'horloge ADCLK925 ne nécessite pas d'adaptation étant donné que les deux couplages sont de types LVDS. Cependant, la transmission du signal du tampon d'horloge jusqu'au convertisseur AD9250 en nécessite une. Par conséquent, l'adaptation d'une ligne ECL vers une terminaison LVPECL s'obtient via l'ajout de 2 résistances de $200\ \Omega$ placées à proximité du composant ADCLK [110].

Même remarque pour les lignes HCSL qui vont transitées des connecteurs fibres optiques AFBR57J9 aux convertisseurs AD9250 et donc comme les lignes de synchronisation $SYNC\sim$ et $SYSREF$, elles nécessitent un couplage LVDS et CML pour les lignes SERDOUT. Pour subvenir à ce besoin, nous plaçons un étage de résistances adaptant les niveaux de tensions pour chaque ligne de transmission.

Nous présentons dans les Figure 120, la Figure 121 et la Figure 122 les différentes adaptations que nous avons intégrées :

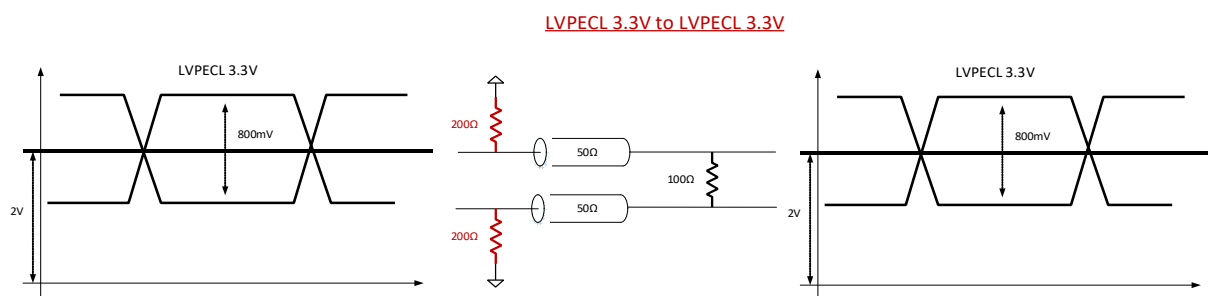


Figure 120 : Adaptation d'une ligne LVPECL 3.3V vers une terminaison LVPECL 3.3V

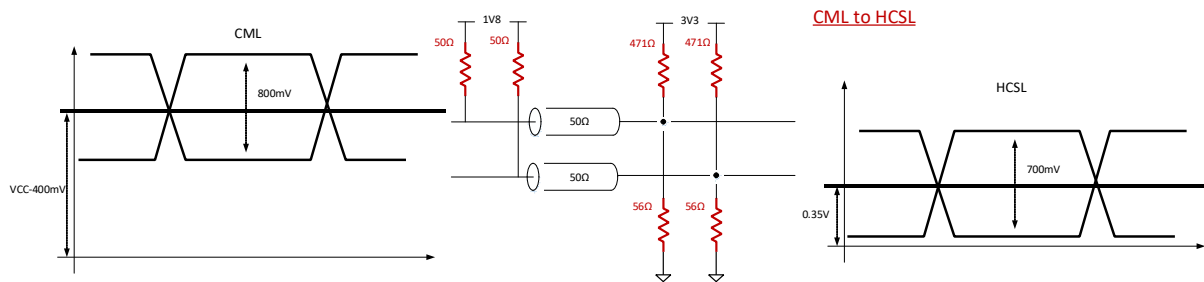


Figure 121 : Adaptation d'une ligne CML vers une terminaison HCSSL

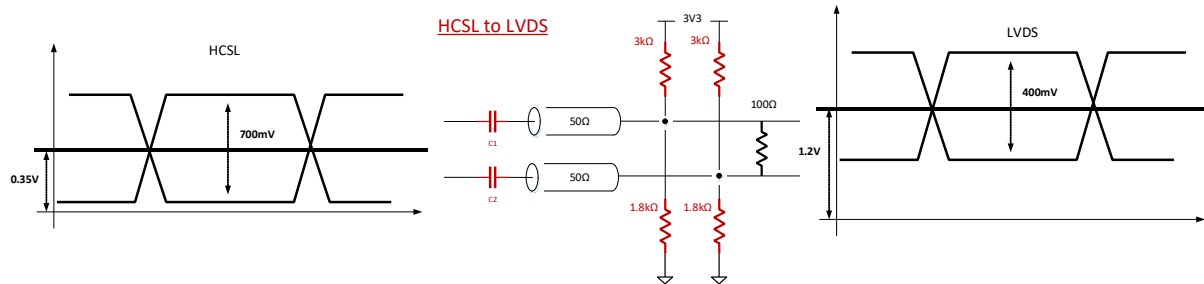


Figure 122 : Adaptation d'une ligne HCSSL vers une terminaison LVDS

Les différentes valeurs de résistances sont calculées pour réajuster les niveaux de tension de mode commun, à l'état haut et à l'état bas des lignes de transmission.

Une fois les adaptations intégrées entre les différents étages des composants, il nous reste à dimensionner les alimentations des composants. La prise en compte des recommandations relatives au convertisseur CAN est primordiale. En effet, celui-ci étant un composant mêlant à la fois de l'analogique et du numérique, la séparation des masses ainsi que des lignes d'alimentation est des critères de conception et de mise en œuvre critique.

g. Dimensionnement des alimentations analogiques et numériques

Le schéma de la Figure 114 représente l'agencement de la carte d'acquisition et fait apparaître deux zones distinctes : une zone numérique incluant la première partie du convertisseur avec des connecteurs fibres optiques ; une zone analogique, incluant la seconde partie du convertisseur et le conditionnement du signal. Cette différenciation met en lumière certaines contraintes, concernant la gestion des alimentations et des masses numériques, ainsi que de celles existantes côté analogique.

Comme nous l'avons déjà explicité au chapitre 1, afin de minimiser les perturbations liées à la proximité des masses et des alimentations, l'étude de leurs dimensionnements et de leurs séparations doit être maîtrisée. Dans cette partie, nous allons traiter dans un premier temps la sélection des alimentations. La séparation des masses ne sera établie que lors du processus de routage des cartes d'acquisition.

En listant les tensions de fonctionnement des éléments complémentaires des convertisseurs, nous obtenons deux ensembles à alimenter. Le premier, la partie analogique et le second, la partie numérique. Tous les deux ont des tensions d'alimentation similaires toutefois, ils ne doivent pas être alimentés par la même ligne d'alimentation [181], [182]. Les côtés analogique et numérique doivent être alimentés à deux niveaux de tension : 1,8 V et 3,3 V. En fonction du composant, la puissance demandée est, elle, différente.

Nous avons donc évalué et réalisé le bilan des puissances pour chaque partie, comme présenté dans les tableaux suivants (Tableau 25, Tableau 26 et Tableau 27) :

P A R T I E NUMÉRIQUE COMMUNE	QUANTITÉ	TENSION (V)	COURANTE(A)	PUISSANCE (W)	PUISSANCE TOTALE
AFBR 59F2Z	1	3,3	20 m	0,066	3.3 V
AFBR 57XX	2	3,3	210 m	1,386	
ADCLK 925	1	3,3	97 m	0,32	347 mA
LEVEL TRL		NÉGLIGEABLE			1,814 W
AFBR X2XX	5	3,3	20 m	0,330	

Tableau 25 : Bilan des puissances concernant la partie commune

P A R T I E ANALOGIQUE	QUANTITÉ	TENSION (V)	COURANTE (A)	PUISSANCE (W)	PUISSANCE TOTALE
ADA4930	1	3,3	40 m	0,132	0,636 W
ADC9250	1	1,8	280 m	0,504	

Tableau 26 : Bilan des puissances concernant la partie analogique

P A R T I E NUMÉRIQUE	QUANTITÉ	TENSION (V)	COURANTE (A)	PUISSANCE (W)	PUISSANCE TOTALE
ADC9250	1	1,8	160 m	0,288	0,288 W

Tableau 27 : Bilan des puissances concernant la partie numérique

La partie numérique va avoir plusieurs alimentations en commun : la partie fibre optique dédiée à l'horloge d'acquisition, les fibres optiques dédiées à la configuration SPI, un driver translatant les niveaux logiques de 3.3 V à 1,8 V et de 1,8 V à 3,3 V et le buffer d'horloge ADCLK925.

À partir de ces tableaux, nous avons construit une chaîne d'alimentation comportant un seul point d'alimentation, comme illustré Figure 123. Avec une alimentation 24 V déjà présente sur les modules de puissance, nous avons repris celle-ci afin de fournir la puissance nécessaire aux cartes d'acquisition. Pour des raisons liées à l'isolation, nous avons également attribué une chaîne d'alimentation propre à chaque convertisseur et à ses éléments associés. Nous rappelons ici que le convertisseur AD9250, est associé à un convertisseur ADA4930, un amplificateur opérationnel différentiel, et à deux transceivers fibres optiques AFBR57J9A. Ces derniers partagent donc la même alimentation que la partie numérique commune.

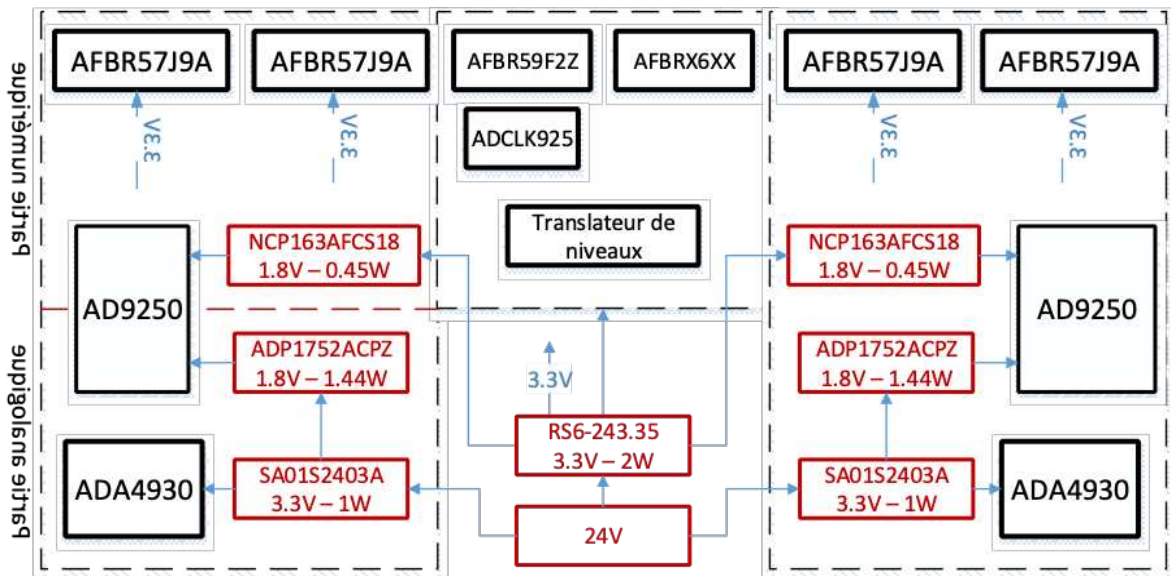


Figure 123 : Synoptique des alimentations de la carte d'alimentation

Nous retrouvons dans la Figure 123, les alimentations RS6-243.35 3,3 V isolées dédiées au côté numérique pour alimenter le translateur de niveaux, le tampon d'horloge ADCLK925, les fibres optiques AFBR59F2Z et AFRBR24XX. L'alimentation SA01S2403A est isolée et est dédiée au côté analogique alimentant l'amplificateur opérationnel AD4930. S'ajoute à celles-ci, les alimentations 1,8 V pour alimenter la partie numérique du convertisseur AD9250.

Les éléments implantés dans la carte d'acquisition ont été présentés et dimensionnés en fonction de leurs besoins. La procédure de routage peut donc être effectuée. Toutefois, certaines recommandations spécifiques des fabricants des composants sont à prendre en compte pour de telles vitesses de fonctionnement [183]. Le respect des règles de routage est primordial pour obtenir une acquisition propre et un fonctionnement correct.

III.2.B. Plan de routage : établissement des dimensions de la carte, respect des règles d'impédance et de séparation des masses analogiques et numériques

Un plan de routage et l'étude de conception d'une carte électronique ont déjà été réalisés auparavant durant le dimensionnement des cartes de puissance. Lors de cette étude, nous avons pris en compte toutes les contraintes afin d'agencer au mieux les couches en fonction de leurs rôles dans le routage de la carte. De ce fait, nous allons reprendre ici ce même processus afin d'optimiser au mieux la nouvelle conception.

Cependant, avant d'attribuer les rôles de chaque couche, nous listons d'abord les contraintes rencontrées : celles prises en compte dans le précédent développement ne provenaient que des

perturbations $\frac{dV}{dt}$ provoquées par les transitions rapides des interrupteurs de puissance. Dans le cas de la carte d'acquisition, les vitesses sont plus importantes avec des transitions rapides, mais à faible niveau. Dans ce cas, deux types de contraintes interviennent : la maîtrise des impédances de ligne et celle des plans de masse et de puissance.

En effet, comme expliqué au chapitre 1, les lignes d'horloges fonctionnant au-delà de la centaine de MHz se doivent d'avoir une impédance de ligne maîtrisée. Ces recommandations sont liées aux phénomènes de transmission d'ondes provoquant des détériorations et des déformations du signal transmis le long de la ligne. Il est donc impératif de les router en contrôlant leurs impédances afin

qu'elles puissent être conservées jusqu'à leurs terminaisons respectives. Ces impédances sont ajustées suivant les différents éléments physiques de la ligne de cuivre, l'emplacement de la masse de référence et l'organisation des couches de routage. Dans notre cas, la complexité des signaux à router et le souhait de minimiser la taille de la carte nous orientent naturellement vers un substrat PCB 4 couches.

S'ajoute à cela, l'étude des différentes masses provenant des composants dits mixtes. Ils sont dénommés ainsi du fait qu'ils comprennent une partie analogique et une partie numérique. Si nous faisons référence au convertisseur(s) CAN, nous aurons donc une partie dédiée à l'acquisition du signal analogique, une autre partie concernant le numérique, avec notamment les transferts de données.

Ces composants mixtes sont critiques lors de l'application de règles de routages. Nous allons donc définir prioritairement en fonction d'eux les critères d'agencements et de développements de la carte d'acquisition. Comme ils font intervenir deux masses distinctes pour chaque domaine, cette différenciation sera effective notamment lors du fonctionnement du convertisseur A/N. qui, lorsque les acquisitions atteignent la gamme des centaines de mégahertz, travaille avec deux masses distinctes.

L'importance de cette contrainte est tout aussi forte que celle des impédances de ligne. Sa prise en compte permet d'éviter les retours de perturbations d'un plan à un autre. Toutefois, afin de ne pas laisser les différentes masses vacantes, nous les combinons à travers un seul canal de masse appelé « star ground » [184]–[188]. Ce point de masse commun sera la seule liaison entre les différentes masses que requiert ce dimensionnement. Ainsi, nous pourrions diminuer les potentielles perturbations provenant des différents raccords de plans de masse.

Nous avons donc choisi de combiner les deux références électriques par le biais des convertisseurs CAN. Les parties numériques et analogiques sont à dimensionner suivant les besoins des composants. Nous nous sommes efforcés de différencier celle alimentant le domaine numérique de celle du domaine analogique. Par conséquent, nous séparons les plans de masses et de puissance.

Avec la prise en compte de l'ensemble de ces contraintes, nous proposons l'attribution de chaque couche et l'agencement complet de la carte d'acquisition, tel que présenté au Tableau 28 :

Layer constructeur	Layer Projet		Matériaux	Épaisseur (mm)
	Numérique	Analogique		
Top Solder mask			Masque de soudure	0,5mil
Top Layer 1	Lignes de transmission		Cuivre	0,035
Prepeg			7628	0,1
Inner Layer 2	DGND	AGND	Cuivre	0,0175
Core			Corp	1,065
Inner Layer 3	3,3 V / 1,8 V	3,3 V / 1,8 V	Cuivre	0,0175
Prepeg			7628	0,1
Bottom Layer 4	Piste alimentation		Cuivre	0,035
Bottom Solder Mask			Masque de soudure	0,5mil

Tableau 28 : Agencement des couches de la carte acquisition

Nous avons différencié les lignes de transmission haute vitesse de celles dédiées aux lignes d'alimentation. Les plans de masse sont intercalés entre les plans de puissance et les lignes de transmission avec pour but d'obtenir une masse de référence à chaque couche. Nous diminuons également l'épaisseur du matériau diélectrique disposé entre chaque couche afin d'obtenir l'impédance de ligne souhaitée. Cette dernière caractéristique est en lien avec les dimensions imposées par le constructeur du CAN quant aux lignes de transmissions.

En effet, nous avons précédemment vu que nous obtiendrons une valeur d'impédance maîtrisée en fonction de la dimension de ces lignes et de leurs distances vis à vis du plan de masse de référence. Avec l'agencement des couches proposé au Tableau 28, nous fixons la distance entre le plan de masse et la ligne (d_{LM}) à 4 mm et l'épaisseur de piste (e_L) à 35 μm . Nous pouvons ensuite calculer la largeur des pistes correspondantes (w_L) ainsi que l'espacement entre les deux lignes différentielles (e_{DIF}).

Le fabricant de cartes électroniques, utilisant des matériaux isolants propres à sa conception, met à disposition un outil de calcul afin d'obtenir les dimensions des lignes en fonction de l'impédance souhaitée. Nous y attribuons ainsi les paramètres suivants :

- Espacement entre pistes $E_{DIF} = 0,1 \text{ mm}$
- 4 couches
- Lignes différentielles situées sur le dessus du PCB
- Impédance de Ligne Z_0 ou $Z_c = 100 \Omega$

Avec ce type de calcul, nous obtenons une largeur de piste w_L de 0,1 mm.

Ces recommandations étant prises en compte, le processus de routage de la carte d'acquisition est entrepris. Nous retrouvons sur les figures suivantes les plans de routage des différentes couches : celle dédiée aux lignes hautes fréquences (Figure 124), celle concernant les plans de masse (Figure 125) et la troisième avec l'agencement des plans de puissance (Figure 126).

Dans la Figure 124 plus particulièrement, ci-dessous, ainsi que sur les deux suivantes, on peut remarquer dans certaines zones une multitude de points de vias groupés en un maillage resserré. Ils sont tous raccordés entre les plans de masse. Cette technique, appelée le "Via Stitching", permet de minimiser les variations du potentiel de référence de masse entre les différents plans similaires des 4 couches [189].

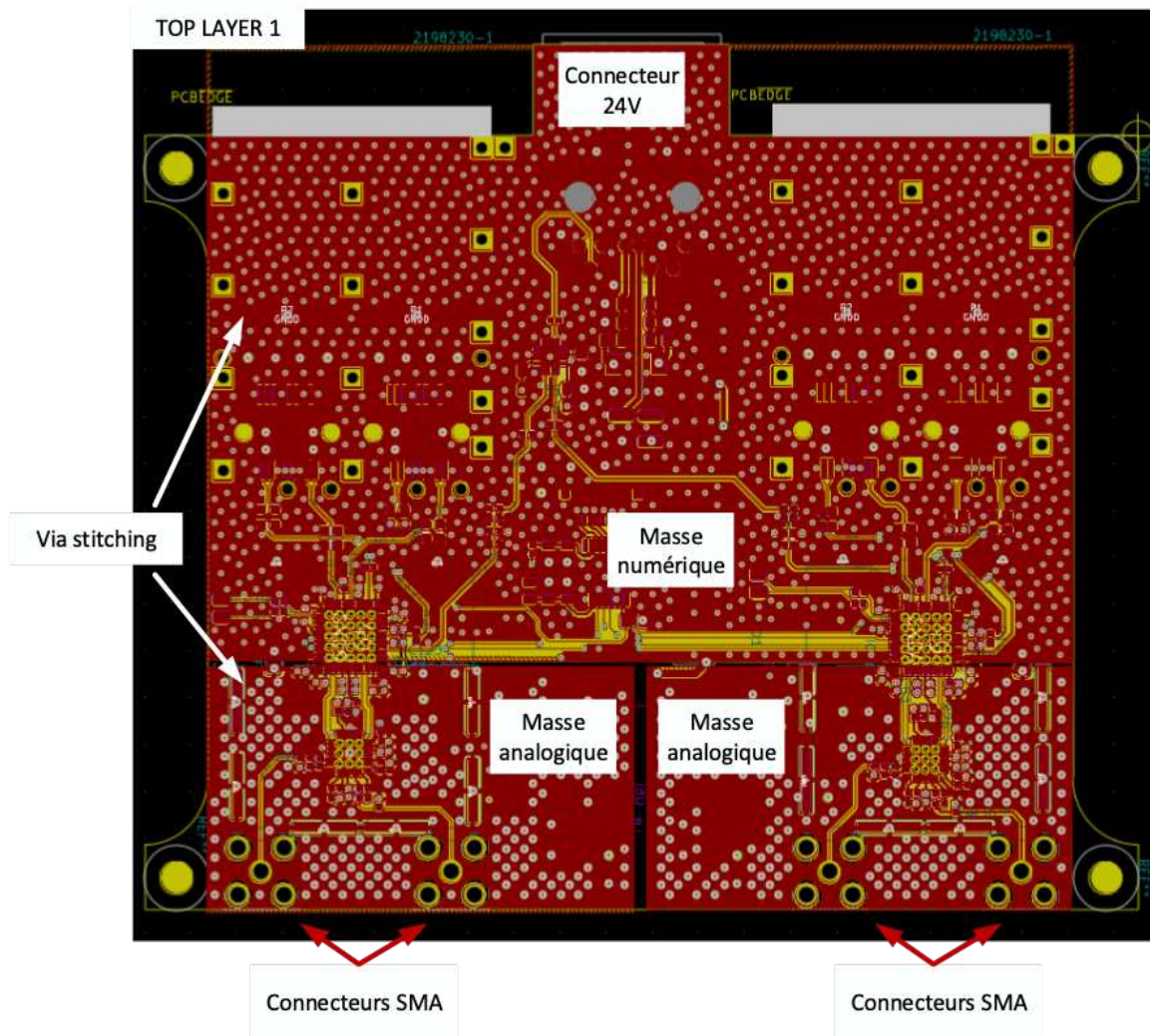


Figure 124 : 1re couche de la carte d'acquisition ; couche dédiée aux lignes de transmission

Une technique de protection électromagnétique est ajoutée et est visible dans la Figure 125 et la Figure 126. Ce sont des protections à zone de Faraday implantées pour des parties sensibles de la carte pouvant être soumises à d'éventuelles perturbations. Cette technique a été déjà utilisée lors du routage des modules de puissance (Chapitre 2). Elle consiste à former des "petites" cages de Faraday à partir de clips soudés sur des pistes et reliés au plan de masse. Nous avons notamment repris ce principe ici pour protéger les composants sensibles tels que les convertisseurs AD9250 et les amplificateurs opérationnels ADA4930.



Figure 125 : 2e couche de la carte d'acquisition ; couche dédiée aux plans de masse analogiques et numériques

Nous retrouvons sur la troisième couche (Figure 126), les plans de puissance 1,8 V et 3,3 V pour les deux parties analogiques et numériques. Le placement des composants nous a permis de réduire au minimum les plans de puissance 1,8 V. Cette minimisation restreint les perturbations au sein du composant en rapport avec de faibles tensions d'alimentation. Les plans d'alimentations 3,3 V sont quant à eux, élargis dans un but de minimiser leurs inductances et éviter le couplage à des éléments perturbateurs externes.

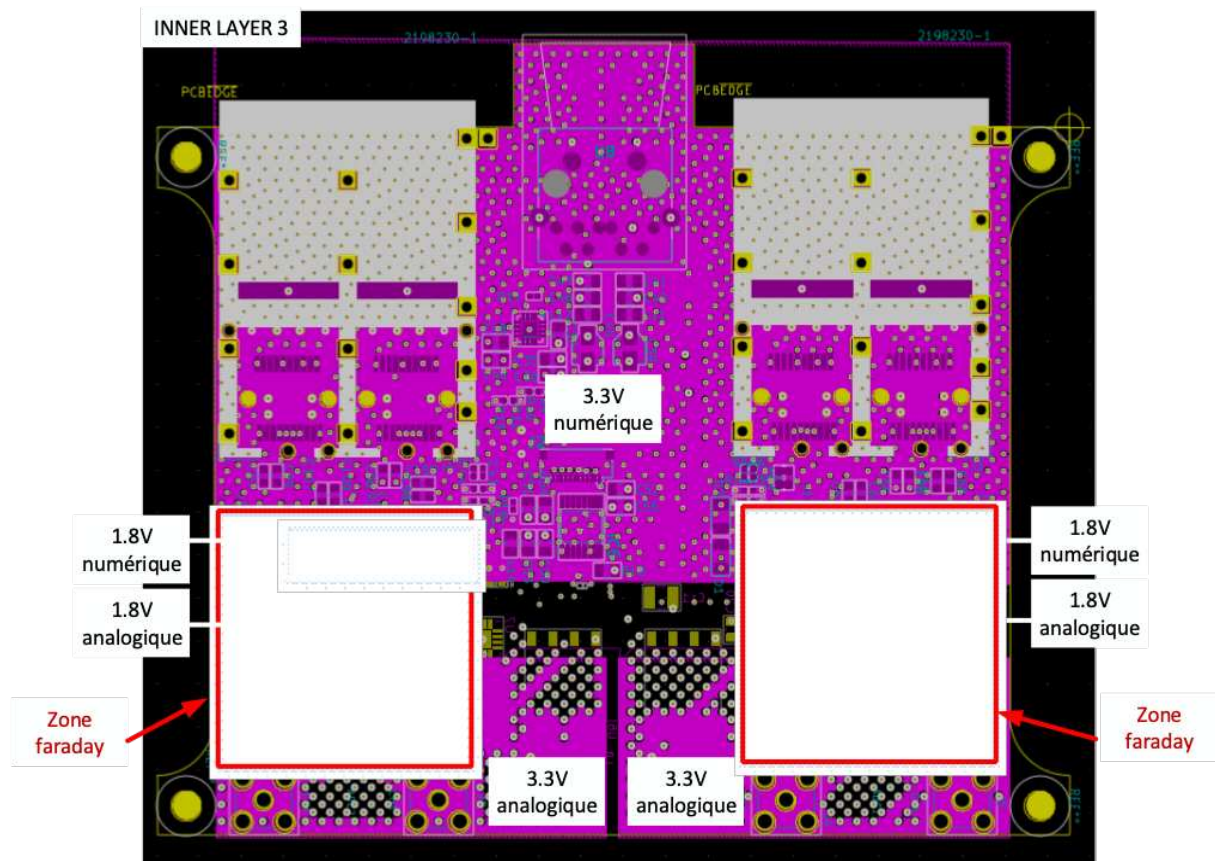


Figure 126 : 3e couche de la carte d'acquisition ; couche dédiée aux plans des alimentations analogiques et numériques

Les dimensions de la carte ont été déterminées en fonction des dimensions des modules de puissance. Chaque ouverture circulaire visible aux quatre coins de la carte d'acquisition (Figure 126) correspond exactement à celles placées sur les modules de puissance. Nous pourrions ainsi disposer nos deux PCB l'un au-dessus de l'autre, ceci à l'aide de colonnettes. En réalisant cet agencement particulier des cartes, les connecteurs SMA sont placés au plus près des capteurs électromagnétiques. Ainsi, nous minimisons la longueur des câbles coaxiaux qui vont être utilisés pour relier les sondes électromagnétiques aux connecteurs SMA des cartes d'acquisition.

Nous retrouvons à la Figure 127 (ci-dessous) une zone de notre PCB correspondant aux voies d'acquisition. Cette figure permet d'illustrer la complexité du routage et des contraintes que nous nous sommes fixées. En effet notre priorité était de minimiser les longueurs, notamment celles véhiculant de la haute fréquence. Les packages très réduits utilisés pour nos composants nécessitent un soin particulier pour leur routage lors de la réalisation des cartes. Par exemple, le convertisseur AD9250 utilise un boîtier de type LFCSP_WQ – 48 pins (Lead Frame Chip Very Thin Quad⁴), dont les dimensions sont de 7 mm x 7 mm. Celui de l'amplificateur opérationnel ADA4930 est un boîtier de type LFCSP-24 pins (Lead Frame Chip Scale Package⁵), dont les dimensions sont de 4 mm x 4 mm. Nous retrouvons à la Figure 127, les dimensionnements entrepris pour le respect des impédances de lignes ainsi que des couplages liés aux nombreuses terminaisons.

Les vias sont très peu recommandés lors du routage des lignes haute vitesse et par conséquent, les voies dont la vitesse de communication est supérieure à 1GHz n'en possèdent pas. Dans le but de prévenir un quelconque problème d'adaptation d'impédance lié à leurs implantations, nous avons

⁴ https://fr.wikipedia.org/wiki/Quad_Flat_No-leads_package

⁵ <https://www.analog.com/en/design-center/packaging-quality-symbols-footprints/package-index/csp-chip-scale-package/lfcsp.html>

pris en compte les recommandations des applications notes [190], [191]. Elles préconisent l'ajout de vias supplémentaires à proximité des vias implanté pour les pistes pour éviter la coupure du couplage de la masse de référence lors du passage du signal.

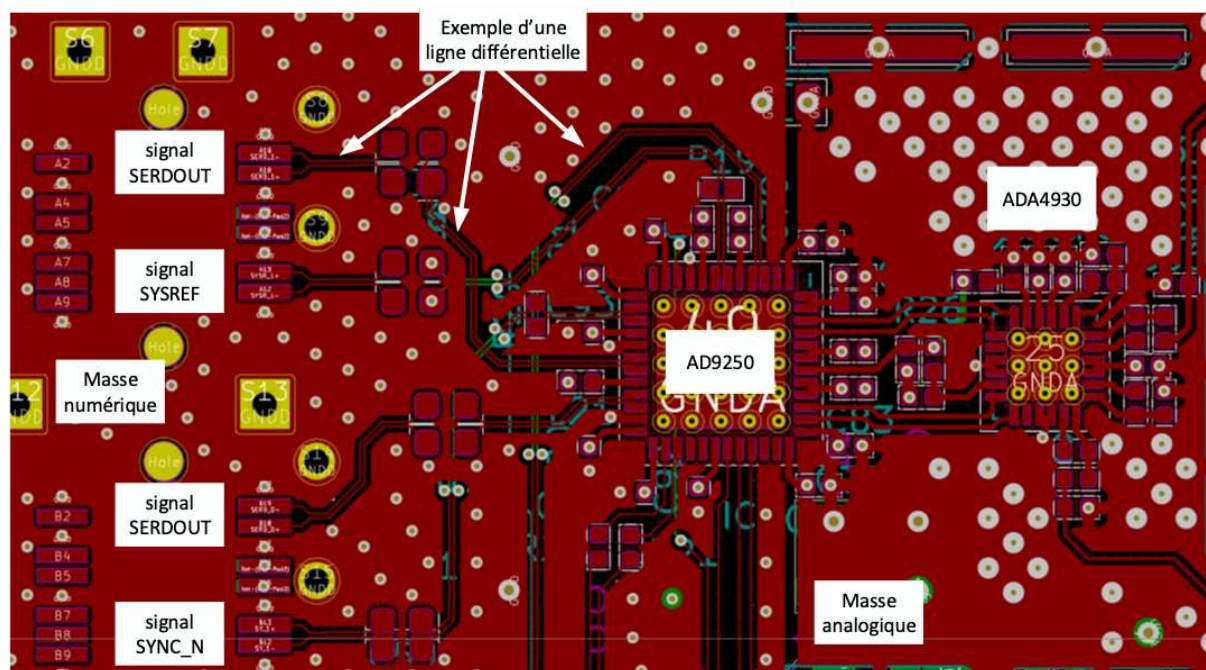


Figure 127 : zoom sur l'agencement d'une voie d'acquisition

Après avoir décrit et présenté tout ce processus de développement et de conception des plans de routage de notre carte d'acquisition, nous allons maintenant passer au descriptif de sa réalisation et de sa mise en œuvre.

a. Conception et réalisation finales de la carte d'acquisition

La carte d'acquisition comprend 4 voies d'acquisition disposées deux à deux sur chacun des bords opposés de la carte (droit et gauche). Sur la Figure 128, qui représente le prototype final de notre carte assemblée, nous pouvons retrouver les points significatifs de notre architecture ; nous avons en bord de carte les deux connecteurs SMA conduisant le signal analogique à l'AOP, puis le convertisseur AD9250 qui suit pour la numérisation. Ce signal numérisé est ensuite orienté vers les connecteurs fibres optiques, qui vont accueillir les câbles de liaison par fibre optique prévus. L'horloge d'acquisition est reçue par la fibre optique AFBR 59F2Z et sera par la suite divisée en deux par le tampon d'horloge ADCLK925 pour fournir ce signal simultanément aux deux convertisseurs.

Nous avons précédemment émis le souhait de déporter les connecteurs fibres optiques prévus pour les signaux de configuration. Dans le but d'optimiser l'espace occupé par les voies d'acquisition et les alimentations, nous avons conçu, une carte fille SPI placée sur un bord de la carte d'acquisition, comprenant les fibres optiques dédiées à la communication du protocole SPI. La connexion s'obtient via une nappe FFC.

Les alimentations dimensionnées pour chaque composant logique sont placées proches d'eux pour limiter les contraintes électromagnétiques potentielles [164]. Des condensateurs de découplage ont aussi été placés à proximité de tous les composants potentiellement perturbables [164]. Enfin, nous avons fait le choix de ne pas encore implanter les cages de faraday dans cette première réalisation, ceci afin de faciliter les ajustements et réglages techniques ultérieurs.

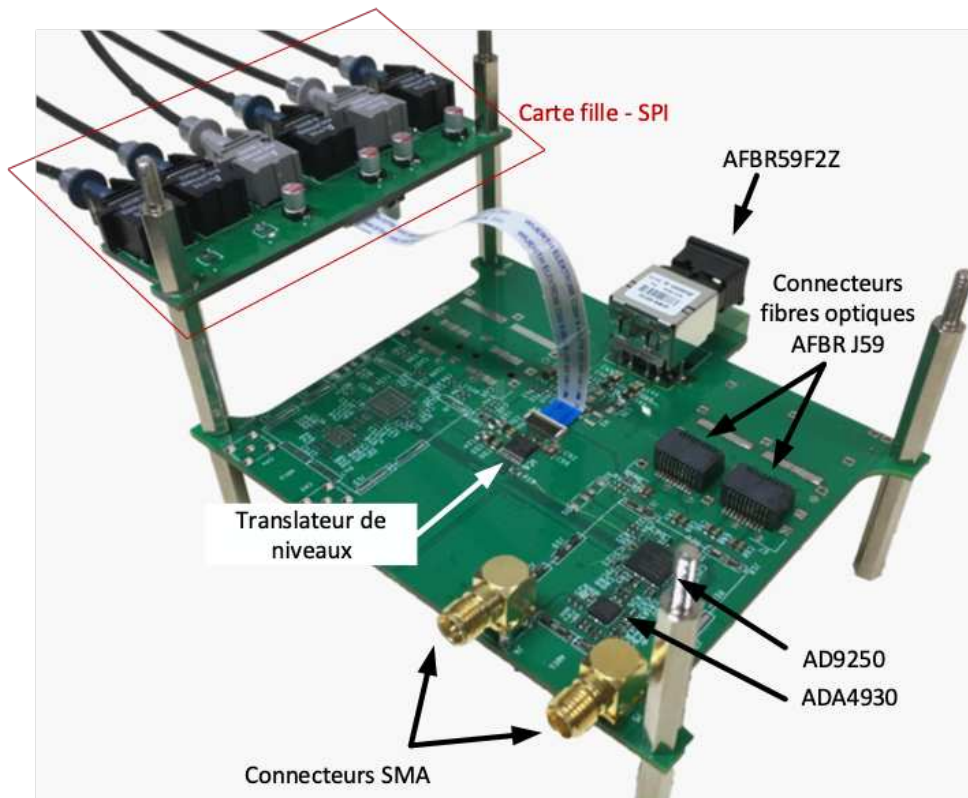


Figure 128 : Vue de l'assemblage du premier prototype de la carte d'acquisition

Étant en phase de prototypage, nous avons seulement assemblé une voie d'acquisition afin de la valider ou de corriger, si besoin, les dernières erreurs de développement. La conception de cette chaîne d'acquisition est toujours en cours de débogage.

Pour l'instant, le signal SYNC \sim provenant de la fibre optique AFBR57J9A n'est pas correctement transmis et contraint donc le convertisseur à ne pas fonctionner. Nous verrons lors des tests de la carte d'interface du côté de la plateforme de contrôle (III.4.D.c), que ces niveaux de tension ne sont pas correctement adaptés par rapport à la terminaison du connecteur fibre optique. Cela induit à de mauvais niveaux de tension. Toutefois, des améliorations de ce prototype sont envisagées et sont exposées à la suite.

III.2.C. Conclusion et perspectives d'amélioration de la chaîne d'acquisition

Nous avons présenté tout le processus d'analyse, de développement et de réalisation pour la conception d'une chaîne d'acquisition numérique contrainte par un cahier des charges et des critères de performance particuliers. L'originalité de ce développement réside notamment dans l'isolation de la communication entre la plateforme de contrôle et cette carte d'acquisition, en faisant appel à un protocole de communication en plein essor, le JESD204B. La chaîne d'acquisition présentée jusqu'à maintenant introduit aussi la mise en œuvre de convertisseurs analogique/numérique performants en matière de vitesse d'acquisition et de résolution, celui que nous avons présenté atteignant une fréquence d'échantillonnage maximale de 250 MSPS.

L'objectif principal de son utilisation particulière dans nos travaux était de pouvoir réduire considérablement le nombre de voies de communication d'une carte à une autre tout en conservant une résolution et une fréquence d'échantillonnage importante. Nous avons mené à bien ce développement en proposant un prototype qui a été présenté durant la partie III.2.B.a. Cependant, bien que nous ayons amené à bout cette conception et que son utilisation nous a contraints à

complexifier le routage des cartes, nous nous sommes confrontés à des adaptations entre fibres optiques et convertisseurs que nous avons résumés III.2.A.f.

En effet, le processus de sérialisation amène ce convertisseur à augmenter sa vitesse de communication afin de transmettre les données acquises à chaque séquence d'échantillonnage. Dans notre cas, nous atteignons la vitesse maximale de transmission à 5 Gb/s. Le dimensionnement et le routage des pistes véhiculant ces signaux ont dû être soigneusement étudiés afin de ne pas dégrader le signal de transmission et de risquer de perdre en partie ou intégralement les données d'acquisition.

Au final, l'intégrité de ces signaux et des données est critique pour un bon fonctionnement du convertisseur. Comme nous avons précisé que ces horloges haute vitesse avaient des couplages et des terminaisons différentes, un effort conséquent lors des études et de la conception de notre carte a été mené afin de considérer ces contraintes comme prioritaires. Par conséquent, l'agencement que nous avons proposé a permis d'isoler la chaîne d'acquisition au maximum dans le but de pouvoir l'amener au plus proche des agressions électromagnétiques.

À ce jour et à ce stade de nos travaux de thèse, un prototype a été entièrement réalisé, celui présenté à la Figure 128. Cependant, ce prototype est toujours en phase de test puisque nous devons premièrement finir le débogage des signaux des données pour qu'ils puissent les communiquer à la plateforme numérique. Les perspectives de ce travail sont donc évidemment de terminer ses phases de test et de finaliser un prototype complet, suivant toutes les indications et les modifications que nous noterons lors de son débogage, mais aussi des perspectives d'amélioration.

La première perspective d'évolution concerne les alimentations des chaînes d'acquisition. Celles alimentées par du 24 V pour fournir du 3,3 V sont isolés, mais ne sont pas spécifiques pour de la conversion analogique numérique à haute vitesse et à faible tension d'alimentation. La conséquence d'une alimentation qui n'est pas spécifique au domaine de l'acquisition et notamment celle pour les hautes fréquences est d'être contraint à avoir du bruit dans les acquisitions. Pour résoudre cette problématique, nous suggérons de les remplacer par des alimentations linéaires à faible bruit limitant ainsi le bruit dans les mesures [192].

Le deuxième point serait de faire évoluer le module d'acquisition afin qu'il soit autonome sur une longue durée de fonctionnement. Cette possibilité est envisageable en dimensionnant une chaîne de puissance basée sur une batterie 3,7 V que nous pouvons retrouver dans nos téléphones portables. Celle-ci serait couplée à des composants gérant la charge et la décharge de la batterie telle que des circuits de gestion d'alimentation. Également, nous pouvons les coupler aux détecteurs des fibres optiques que nous retrouvons aux bornes des connecteurs. Cette voie d'activation serait reliée à une fonction de désactivation de la mise en veille du CI de gestion d'alimentation pour ensuite, activer la mise marche automatique des composants de la chaîne d'acquisition. Cette solution nous permettrait d'économiser de l'énergie lorsque les modules ne sont pas utilisés.

Ceci fera l'objet de travaux de recherche complémentaires déjà initiés pour le développement définitif de cette carte d'acquisition.

Nous allons maintenant voir les différentes plateformes numériques mises en œuvre pour gérer les différentes entités du banc de puissance. Nous commencerons par détailler le développement que nous avons réalisé avec la technologie μ C tout en concluant sur ses avantages et ses inconvénients. Nous introduirons ensuite la technologie FPGA et les trois développements que nous avons réalisés afin de répondre à nos contraintes.

III.3. Développement du système de commande basé sur une technologie microcontrôleur - μC

Pour le système de commande de notre banc, le développement de la solution de type microcontrôleur (μC) a été choisi dans un premier temps, car ses performances et ses possibilités dans le monde de la conversion d'énergie sont bien établies. De plus, la connaissance et la maîtrise de cette technologie au sein de notre laboratoire d'accueil nous ont permis de développer rapidement une plateforme répondant à nos besoins en matière de pilotage de notre conversion d'énergie.

Le μC que nous avons choisi est spécialement dédié au contrôle d'interrupteurs de puissance, car ses fonctionnalités internes permettent de générer 12 paires de signaux PWM (Pulse Width Modulation) simultanément, et de les combiner potentiellement avec des fonctions d'acquisition pour l'asservissement des machines tournantes. Sa référence est le dsPIC33FJ64GS610 [103] et l'ensemble de ses performances ont été présentées et comparées à d'autres composants du même type au chapitre 1.

Afin de maîtriser rapidement le développement réalisé avec ce composant, nous avons utilisé la platine de développement dédiée, Explorer 16. Celle-ci comprend des composants d'interfaçage tels qu'un afficheur LCD, des boutons poussoirs, des connecteurs GPIO, etc. Cette platine est accompagnée du programmeur ICD3.

En prenant en compte les fonctionnalités relatives au composant μC , nous étudions dans un premier temps le diagramme fonctionnel de ce système en fonction des spécifications du chapitre 1 et de nos besoins exprimés en début de ce chapitre. Nous rappelons que nous voulons développer un système numérique de commande modulaire, comprenant le pilotage des composants de puissance suivant les paramètres MLI définis par l'utilisateur, la réception des données provenant des chaînes d'acquisition et pour finir, une interface homme machine pour communiquer avec le système de commande.

III.3.A. Diagramme fonctionnel du μC

Le principe d'un synoptique fonctionnel est de pouvoir interpréter et formaliser les fonctions générales de notre développement. Nous y ajoutons aussi l'optimisation des processus pour agencer au mieux toutes les tâches présentes. Ayant déjà développé les principaux diagrammes établis pour chaque fonction dans le chapitre 1, nous développons à présent ceux qui sont spécifiques pour la plateforme μC .

Nous proposons tout d'abord, à la Figure 129, le processus fonctionnel du μC concernant le pilotage de l'électronique de puissance :

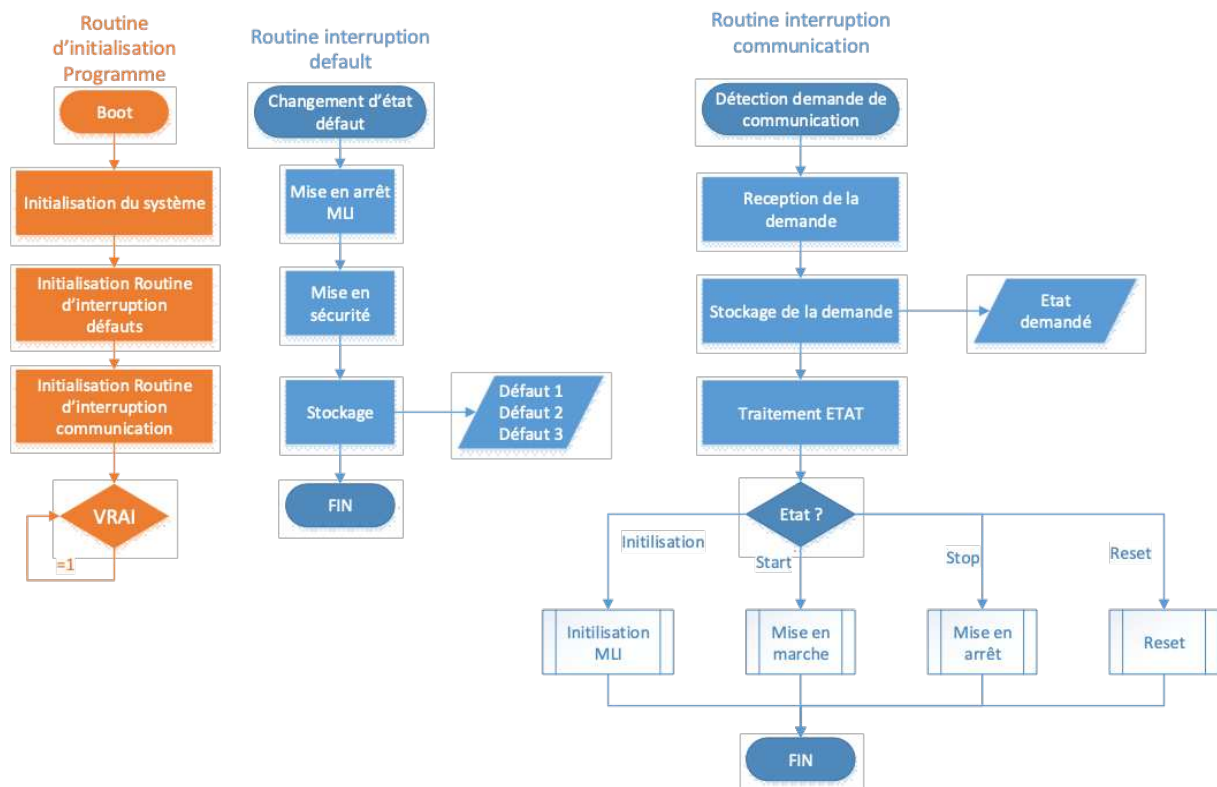


Figure 129 : Diagramme fonctionnel du µC dédié au pilotage de l'électronique de commande

Ce diagramme est divisé en trois parties :

La première partie est dénommée : « **routine d'initialisation programme** ». Elle contient toutes les fonctions d'initialisation de nos fonctions, des interruptions et de la communication du composant. À la suite, le programme bascule dans une boucle infinie laissant le système esclave des interruptions.

La deuxième partie est nommée : « **routine interruption défaut** ». Elle concerne l'interruption programmée lorsqu'un défaut est détecté au sein des modules de puissance stoppant immédiatement le pilotage en cours. Cette routine est prioritaire devant les autres.

La troisième partie s'intitule : « **routine interruption communication** ». C'est l'interruption prévue lorsque l'utilisateur souhaite communiquer avec le µC. Cette routine intègre les différents états en lien à la première et deuxième routine.

Grâce à cet agencement, le µC est complètement autonome vis-à-vis des directives fixées : gestion automatique de la communication avec l'utilisateur et gestion automatique des défauts.

Nous allons maintenant décrire les différents états que l'utilisateur peut potentiellement demander. Quatre états sont possibles avec, en prémisses de l'initialisation et du lancement de la modulation, et un test de présence d'un des défauts afin d'assurer, la sécurité du système (Figure 130).

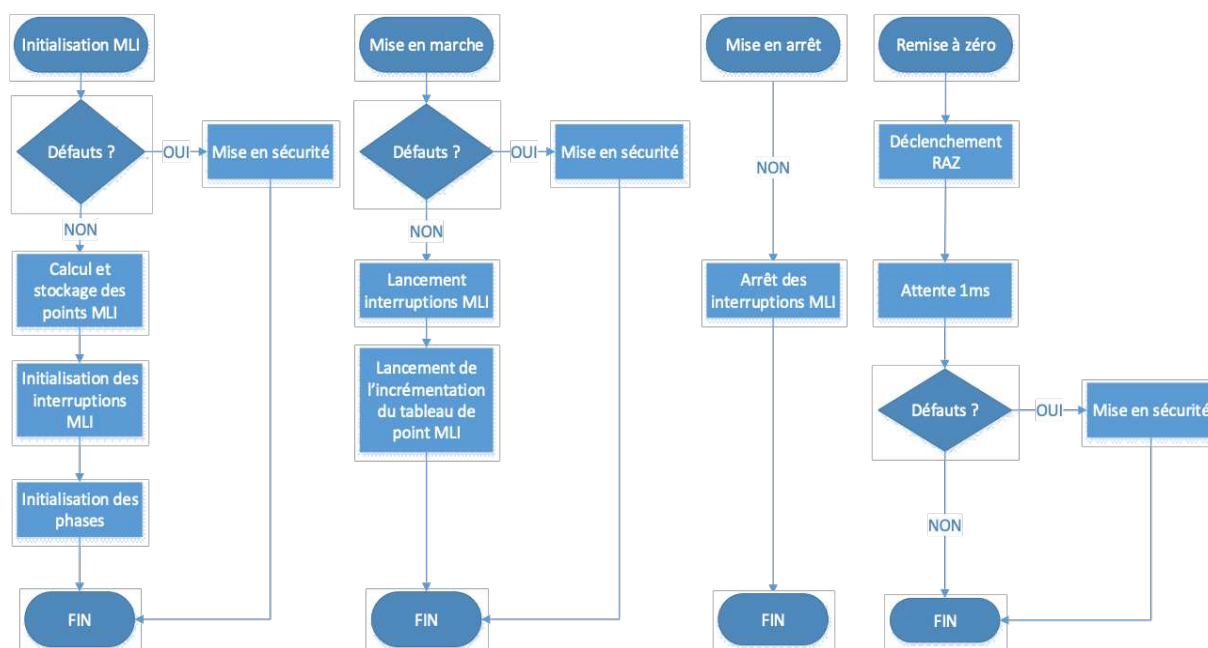


Figure 130 : Diagramme fonctionnel de chaque état du système de commande

L'étape d'initialisation de la modulation de la largeur d'impulsion MLI résumée « initialisation » a pour but de calculer et de stocker tous les points obtenus par l'équation présentée dans l'entité « gestion MLI » du chapitre 1. Elle va créer ainsi une forme d'onde sinusoïdale en fonction des paramètres indiqués par l'utilisateur. À la suite de cette opération, les interruptions liées à la MLI sont initialisées en plus de l'indexage des phases correspondant au déphasage de 120°.

L'étape de « mise en marche » du convertisseur correspond au lancement des interruptions liées à la MLI ainsi qu'à l'incréméntation de l'index du tableau MLI. Lors de l'activation de cette étape, la modulation de la tension de sortie du convertisseur est obtenue.

La « mise en arrêt » du convertisseur a pour but d'arrêter le fonctionnement de la modulation.

L'état de « remise à zéro » déclenche des triggers directement reliés aux modules de puissance pour les réinitialiser matériellement en plus de la remise à zéro du logiciel. Cette fonction nous dispensera de remettre à zéro de façon matérielle, un même état.

La structure de fonctionnement du μC choisi est développée suivant les besoins du pilotage de l'électronique de puissance. Concernant l'intégration complémentaire du processus d'acquisition, des possibilités étaient envisageables, mais celles-ci n'étaient pas conformes à nos attentes. Nous reviendrons à la fin de ce chapitre.

a. Gestion du pilotage de la conversion de puissance

Le μC étant un composant dédié à la gestion de convertisseur, nous avons utilisé les fonctions spécialement conçues pour le pilotage de la modulation des interrupteurs de puissance. Conformément au descriptif de l'entité « gestion MLI » fait précédemment, la procédure d'initialisation est obtenue par la création d'un tableau contenant les valeurs de la largeur d'impulsions calculées en fonction des paramètres souhaités par l'utilisateur.

Pour pouvoir moduler les valeurs entre-elles, 3 solutions différentes ont été développées dans le but d'identifier leurs limitations dans le rapport fréquence de modulation / fréquence de découpage.

Premièrement, l'utilisation de 3 interruptions dédiées à la modulation des 3 phases pendant une période d'horloge. Deuxièmement, l'utilisation de 3 autres interruptions dédiées à la modulation des 3 phases pendant 3 périodes d'horloge. Troisièmement, l'utilisation d'un temps synchrone (timer)

pour la gestion des trois phases. Les principes de ces 3 stratégies sont représentés ci-dessous, Figure 131 :

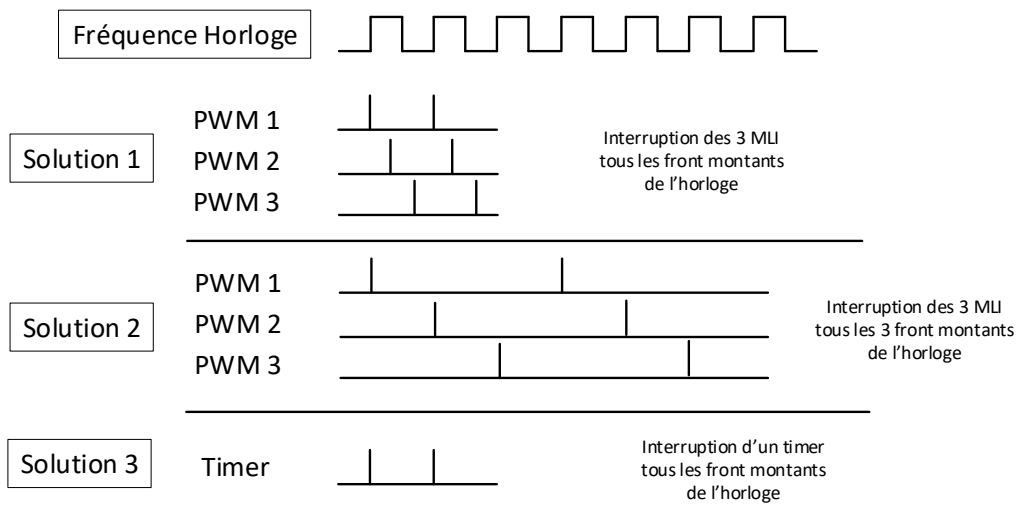


Figure 131 : Visualisation des trois stratégies de modulation permises par le µC

La première et la seconde stratégie sont associées à des interruptions propres à chaque canal MLI. La MLI numéro 1 changera de valeur lorsque l'interruption de la MLI 1 se sera déclenchée. Leurs différences sont visibles au moment du changement de la valeur MLI [103, p. 610]. La première met à jour la MLI des 3 canaux durant 1 seule période du signal d'horloge. Avec la seconde, chaque MLI est mise à jour successivement à chaque front montant du signal d'horloge.

Un des avantages liés à leur utilisation est d'avoir une détection de défaut mettant en sécurité le fonctionnement intégral du système. Toutefois, une fréquence de fonctionnement élevée est nécessaire pour nos utilisations, car le µC doit pouvoir gérer les défauts très rapidement.

La troisième stratégie est construite à partir d'un timer programmé pour se redéclencher toutes les périodes de découpage et actualiser les valeurs des MLI. La gestion des défauts est toujours gérée par les interruptions précédemment présentées. Elles ne seront déclenchées que lorsqu'un défaut est détecté.

Suivant ces stratégies, en fonction de la modulation que nous souhaitons, des limites de fonctionnement peuvent être atteintes. Dans notre cas, nous voulons obtenir une variation sinusoïdale de notre signal de sortie. Les valeurs des largeurs de modulation sont calculées par une fonction numérique que nous créons et que nous implantons au sein du composant. Elle va calculer les valeurs de modulation de chaque point déterminé par le ratio fréquence de découpage / modulation. Lorsque nous nous plaçons dans le cas extrême d'une fréquence de découpage de 250 kHz et d'une modulation de 50 Hz, nous avons besoin de 5000 valeurs pour produire la modulation sur une période entière.

En plaçant ces valeurs dans un tableau numérique du µC pour éviter de les calculer à chaque déclenchement, nous aurons un tableau de 5000 valeurs maximum. Toutefois, la taille de la mémoire allouée par le composant pour la donnée est de 9 bytes, donc 72 kbits. En sachant qu'une seule valeur varie entre 0 et 65534 ce qui correspond à une occupation de 2 octets dans la mémoire (16 bits), nous pouvons calculer l'occupation d'un tableau de 5000 valeurs à 2 octets :

$$\text{Espace occupée (kB)} = 16 \text{ bit} * 5000 \text{ valeurs} = 80 \text{ kbits}$$

La limite étant dépassée de 8 kbits, nous ne pourrions pas obtenir un tableau avec autant de valeur. Si nous ne tenions pas compte des autres variables dont nous avons besoin pour le bon fonctionnement de notre programme, le nombre de valeurs aurait pu augmenter à 4500. Dans notre cas, en tenant

compte de la mémoire occupée par d'autres variables, la limite a été obtenue à 4100 valeurs. Cela impacte le ratio et donc la fréquence de découpage. En pratique, nous obtenons dans notre configuration une fréquence de découpage maximale de 82 kHz, insuffisante pour notre développement.

Comme nous sommes limités par la taille de la mémoire embarquée du composant, nous modifions la procédure de calcul pour obtenir un tableau contenant le quart de la forme d'onde sinusoïdale. Par conséquent, nous implantons une machine à 4 états pour recréer la variation sinusoïdale en changeant le sens d'incréméntation du tableau, comme illustré à la Figure 132.

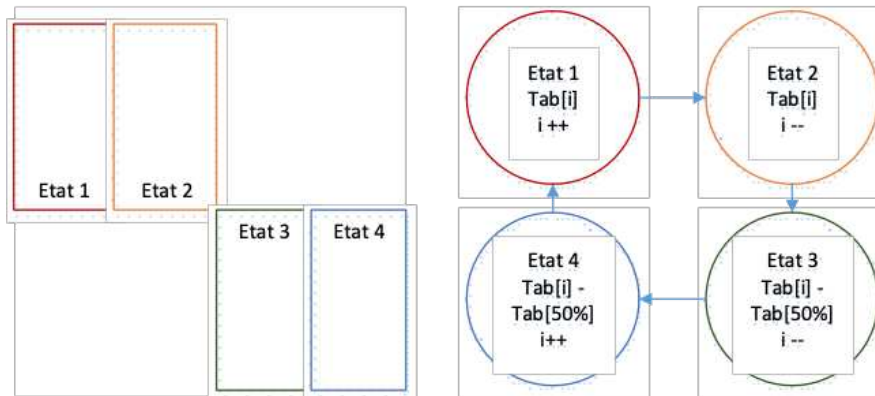


Figure 132 : Procédure de calcul de la MLI dans le μC

Cette solution nous permet de diminuer l'espace mémoire occupé dans le composant, tout en conservant notre modulation. Ainsi, avec la même fréquence de modulation, nous obtenons une fréquence de découpage de :

$$F_{sw} = nb_{points} * F_{mod} * 4 \quad \#(23)$$

$$F_{sw} = 320 \text{ kHz}$$

Cet agencement met en lumière les limites du ratio entre les fréquences de modulation et de découpage. Suivant la stratégie que nous optons, des limites en fréquence sont atteintes. Nous pouvons augmenter ce ratio si nous ajoutons une mémoire externe, ce qui est une solution alternative pour répondre à ce problème. Cependant, en se plaçant dans ce cas, nous devons augmenter, la vitesse de transfert des données, qui devra être plus rapide (kHz \rightarrow MHz).

Dans le but de déterminer la plus grande fréquence de découpage possible en fonction de la stratégie de modulation avec sa solution de mise en forme, nous prenons en compte tous les critères indispensables et optionnels de la modulation. Par exemple, ne souhaitant connaître que la vitesse de découpage maximale pouvant être générée par le μC , nous choisissons une valeur de fréquence de modulation plus importante. Ainsi le ratio peut être fortement réduit en plus du nombre de points de 5000 à 100 valeurs. En prenant ce cas, nous simplifions le processus de mise en forme de la modulante en entraînant une réduction du ratio découpage/modulante.

Le tableau contiendra ainsi la totalité des valeurs de la forme sinusoïdale, et non plus le quart. Nous reportons le résultat de la détermination de cette fréquence de découpage maximale dans le tableau suivant (Tableau 29) :

Stratégie d'interruption	Interruption 1 cycle d'horloge	Interruption 3 cycles d'horloge	Timer
F _{sw}	300 kHz	330 kHz	370 kHz

Tableau 29 : Fréquence de découpage maximale obtenue par les différentes stratégies de modulation de la largeur d'impulsion développées pour le μC

Nous obtenons ces valeurs suite à une série d'essais d'augmentation de la fréquence de découpage. La limite de la fréquence de découpage est visualisée lorsque nous apercevons des décrochages des signaux de commande comme on peut le visualiser Figure 133.

Les voies 1 et 2 en orange et bleu correspondent aux phases 1 et 2 des sorties MLI spécifiques au μC . Le signal CH4, en vert, est un signal de sortie que nous activons lorsque le programme effectue la mise à jour de la valeur MLI de la phase 3. Nous observons que ce signal n'est pas périodique. Cela indique que le μC n'a pas le temps d'effectuer la mise à jour des 3 valeurs MLI en 1 seul cycle.

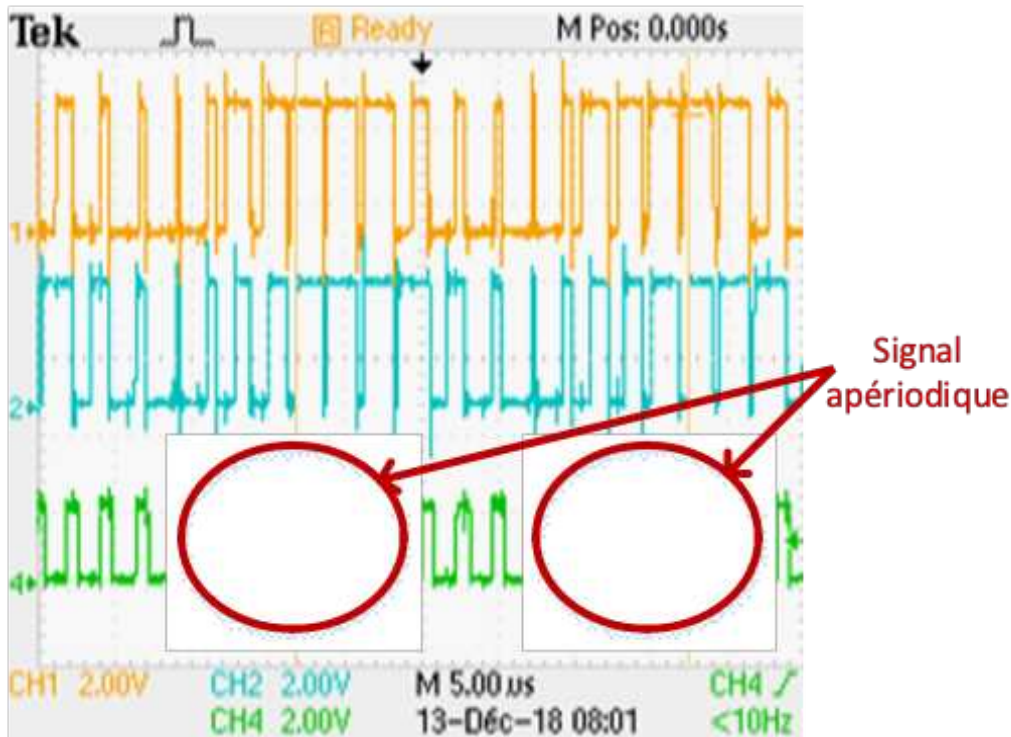


Figure 133 : Observation des effets de la limite de la fréquence de découpage sur le signal de sortie

Nous pouvons aussi connaître les limites de la fréquence de découpage en calculant le nombre de largeurs d'impulsion durant une période. Si ce nombre correspond au ratio découpage/modulant, alors le signal découpage est toujours correct. Si nous avons une différence, cela indique que le μC n'a plus le temps nécessaire, durant une période de l'horloge de fonctionnement, de mettre à jour la largeur d'impulsion.

La comparaison de ces résultats nous permet de conclure concernant les valeurs des fréquences de découpage. Celles-ci sont proches lorsque la première et la deuxième stratégie sont utilisées, cependant, elles sont inférieures à celle de la troisième stratégie, affichant une fréquence maximale de découpage à 370 kHz. Nous expliquons cette différence, car cette dernière stratégie est liée à l'utilisation d'un seul et unique timer utilisé pour le contrôle des 3 phases.

Toutefois, bien que ces fréquences de découpage soient supérieures à celles nécessitées par nos composants de puissance actuels, nous avons souhaité pousser au maximum les performances du μC afin de connaître ses limites de fonctionnement.

L'utilisation d'un μC pour ce type d'usage et le choix d'un fonctionnement élevé de la fréquence de découpage engendrent une contrainte importante : une fois la fréquence de découpage maximale atteinte par n'importe quelle stratégie, le temps restant au μC pour effectuer une fonction supplémentaire est réduit à quelques μs voir quelques ns. Cette problématique nous ne permet

d'assurer un fonctionnement fiable du système, car, le temps restant disponible pour le traitement des autres fonctions est quasi nul. Ainsi, lorsque nous communiquons au système une demande d'arrêt, celle-ci ne sera pas traitée à temps.

Pour conclure, dans le but de tirer au maximum profit des fonctionnalités du μC pour la modulation de la largeur d'impulsion dédiée à une architecture d'onduleur triphasé, nous avons comparé trois stratégies. Elles ont révélé certains avantages (composant spécifiquement dédié à ce type de système, fréquence de découpage importante, défaut spécifique à chaque bras, etc. ...) et des inconvénients (mémoire embarquée faible, limite du ratio modulation/découpage).

Ces essais nous ont aussi indiqué que les fonctions de modulation dédiées pour ce type d'application ne nous permettraient pas d'obtenir la plus haute fréquence de découpage possible (50 Hz/250 kHz). En complément, nous ajoutons qu'une fois la limite atteinte, le temps restant pour traiter les autres demandes de l'utilisateur est « hasardeux ». Le système devient donc dangereux.

La solution du μC pour une modulation sinusoïdale peut être envisagée comme une solution efficace et simple si toutefois l'utilisateur ne souhaite pas une large valeur du ratio découpage/modulation.

b. Gestion de l'acquisition par le μC

Dans un système de conversion de puissances, l'acquisition des signaux analogiques est une fonctionnalité qui peut être effectuée de différentes façons : soit par le biais de convertisseurs analogiques/numériques internes au μC s'il en dispose, soit par l'utilisation de convertisseurs A/N externes implantés sur des cartes filles. Les performances d'acquisition dépendent évidemment des caractéristiques des convertisseurs analogiques/numériques que nous choisissons. Ces dernières peuvent varier de l'acquisition d'un signal continu à celle d'un signal de quelques dizaines de mégahertz. La combinaison entre un μC et une chaîne d'acquisition est souvent recherchée pour obtenir des fonctions de régulation et de modulation que certains μC proposent.

Dans notre cas, le μC dsPic33FJ64GS610 possède 24 voies analogiques/numériques opérant la conversion par approximations successives. Chacune de ces voies à une résolution de 10 bits ainsi qu'un échantillonnage de 4 MSPS. En tenant compte des performances affichées lors du dimensionnement de la chaîne d'acquisition (III.2.A), les performances attendues concernant la fréquence d'échantillonnage ne sont pas en adéquation avec nos objectifs. Nous nous orientons donc vers une solution de convertisseurs A/N externes, avec le développement d'une carte fille.

Nous avons le choix d'ajouter une chaîne d'acquisition externe en la connectant au μC , par un protocole de communication au choix : CAN, SPI ou I2C. Ce sont des protocoles reconnus dans le milieu de l'acquisition pour communiquer avec plusieurs modules. Cependant, même si nous développons une carte externe prenant en compte les performances de la chaîne d'acquisition et du protocole de communication JESD204B, le μC ne possède pas les spécificités nécessaires pour communiquer avec ce protocole.

Par conséquent, la gestion de l'acquisition n'a pas été développée avec cette plateforme. Ce choix est justifié par les raisons évoquées précédemment, le faible stockage interne de 9 kb du μC menant à une saturation rapide du stockage des acquisitions et par son impossibilité à effectuer des tâches supplémentaires lorsque la fréquence de découpage est proche du maximum.

c. Gestion de l'interface utilisateur pour le contrôle du μC dsPic33FJ64GS610

Après avoir traité les premières parties « gestion de la largeur d'impulsions » et « gestion de l'acquisition » avec un μC , nous voici maintenant orientés sur le développement de l'interface utilisateur. À la suite des développements décrits précédemment, nous disposons maintenant d'un tour d'horizon des données et des modes de contrôles à gérer par l'opérateur (Utilisateur). Les grandeurs des paramètres comme la fréquence de modulation, la fréquence de découpage et le

coefficient de modulation doivent être modulables et sont prises en compte pour établir le contrôle du signal PWM.

Cette gestion d'interface utilisateur au sein d'un μC est une problématique récurrente pour les développeurs de solutions embarquées. En effet, le composant que nous avons choisi ne permet pas de développer et d'afficher une interface visuelle via des fonctions internes au composant. Une des solutions envisagées est de lui ajouter une plateforme externe supplémentaire qui permettra l'interfaçage. Nous pouvons citer comme exemple un ordinateur fixe ou portable via une communication USB. Pour échanger d'une plateforme à une autre, les données sont transmises par un protocole de communication compatible établi entre les deux entités.

En fonction de la plateforme choisie, seuls quelques protocoles peuvent être envisagés. Notre choix est établi en fonction du débit de transmission et de réception maximal des données qui est potentiellement atteignable.

Nous proposons dans le Tableau 30 une comparaison de quatre protocoles de communication utilisés couramment pour la gestion d'une interface utilisateur : UART, SPI, ECAN et I²C .

Protocole de communication	UART	SPI	ECAN	I ² C
Nbr de modules	2	2	1	2
Débit (MBaud)	15,625	18,75	1	1

Tableau 30 : Comparaison des débits de données des protocoles de communication existants dans le dsPic33FJ64GS610

Nous avons retenu ceux ayant le débit le plus important : les protocoles SPI et UART.

La différence entre ces 2 protocoles réside dans leurs fonctionnements. Le protocole SPI procède en tant que maître/esclave : le maître envoie la première trame de communication que l'esclave réceptionne puis il renvoie à son tour une autre trame en direction du maître pour la réception. L'UART par contre, engendre un fonctionnement en émetteurs-récepteurs asynchrones : toutes les plateformes connectées à ce bus de données peuvent transmettre et recevoir des données indépendamment les unes et des autres.

Le choix de ce protocole de communication doit aussi s'accorder avec les caractéristiques liées à la plateforme supportant l'interface. Souhaitant pouvoir utiliser ces deux protocoles de communication, nous avons opté pour la plateforme Raspberry Pi2 comme plateforme supplémentaire de supervision de l'interface. En plus d'intégrer les deux protocoles souhaités, de par sa compacité, elle peut s'intégrer à proximité du μC en réduisant ainsi la distance entre les deux plateformes.

Dans cette configuration, nous avons développé en code C# avec l'outil de programmation QtCreator [193] fourni avec la plateforme Raspberry Pi2 une première interface minimaliste, présentée à la Figure 134. Cette interface permet d'envoyer, d'une plateforme à une autre, les données suivantes : la fréquence de découpage F_{SW} (kHz), la fréquence de modulation F_{MOD} (Hz), le coefficient de modulation C_{MOD} (%) et l'état souhaité (Initialisation / Mise en marche / Arrêt / Remise à zéro).

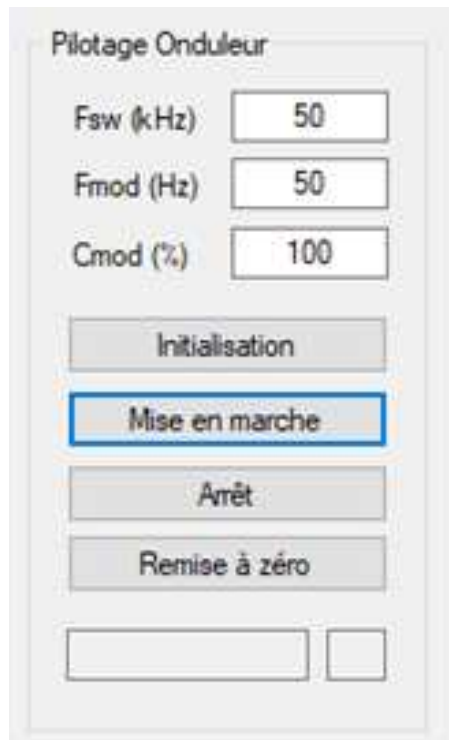


Figure 134 : Vue de l'interface de commande Raspberry Pi2 pour le contrôle du μC

Bien qu'elle soit fonctionnelle, deux problèmes subsistent dans le processus de gestion utilisateur de notre interface :

Le premier concerne le choix du protocole SPI : la transmission des données s'opère de façon maître/esclave. Lorsqu'un défaut intervient à la plateforme de contrôle, étant l'esclave du Raspberry Pi2, aucune transmission ne sera effectuée. L'information ne sera transmise que lorsque la plateforme maître redemandera une communication. Nous avons donc changé le protocole de communication pour passer à l'UART. Ainsi, les plateformes peuvent envoyer des informations de façon indépendante. Néanmoins, cette modification entraîne une légère chute du débit qui est liée aux performances maximales de ce protocole.

La deuxième problématique est liée à l'impossibilité de gérer deux tâches simultanément. Comme évoqué précédemment, lorsque le μC fonctionne à la fréquence de découpage maximale atteignable et que l'utilisateur souhaite transmettre un ordre via le protocole de communication, son traitement devient hasardeux. Le temps restant après le traitement de la mise à jour de la modulation devient quasi nul. En fonction des priorités d'interruption, le traitement de la communication n'est plus pris en compte. Par conséquent, lorsque l'utilisateur appuie sur un bouton et transmet la trame à travers le protocole de communication, celle-ci peut ne pas être prise en compte. Cette contrainte est dangereuse si l'état demandé est « STOP » et l'arrêt ne peut pas être activée sans retard. Pour préserver la sécurité du système de conversion, nous devons éviter ce type de fonctionnement.

d. Carte d'interface développée pour la platine de développement explorer16

Dans le but de piloter le convertisseur de puissance à partir du logiciel programmé sur le μC , le développement d'une interface est obligatoire. De ce fait, nous avons réalisé une carte d'interface composée principalement de fibres optiques dans le but de respecter l'isolement souhaité. Présentée à la Figure 135, elle possède 12 voies isolées dont 6 pour le pilotage des interrupteurs de puissance, 3 pour la réception des défauts et 3 pour la mise à zéro des modules. Sa connexion au μC est obtenue par le biais d'une carte de développement nommée « explorer16 », illustrée Figure 136. Cette carte

permet à l'utilisateur de disposer de composants périphériques et d'interfaces complémentaires qui facilitent le développement. Dans notre cas, seuls les connecteurs nous importent. Les fibres optiques sont alimentées en 5 V. Le PCB de la carte est de type deux couches et ne présente pas de complexité particulière.

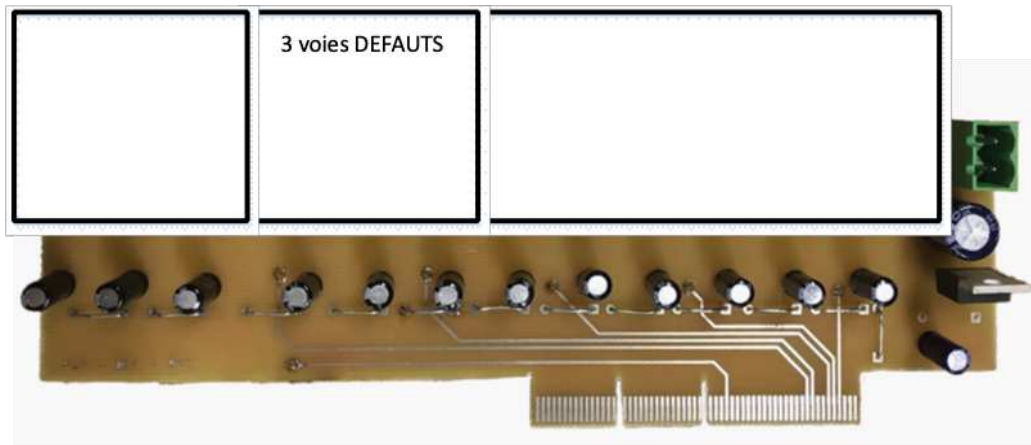


Figure 135 : Carte d'interface pour le pilotage du convertisseur de puissance

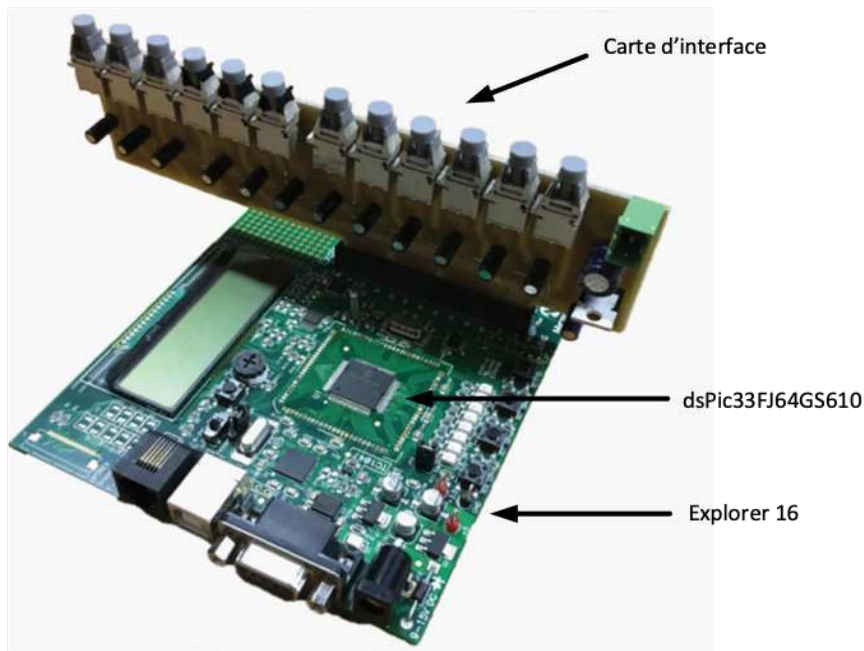


Figure 136 : Platine de développement explorer16 accueillant un dsPic33FJ64GS610 et une carte d'interface isolée pour le pilotage des interrupteurs de puissance

Cette carte a permis de valider le fonctionnement du convertisseur ainsi que ses limites que ce soit sur la fréquence de découpage (Figure 133) ou sur le nombre de valeurs permises par la mémoire embarquée. Cette première étape nous permet également de tirer des conclusions, les avantages et les inconvénients relatifs à l'utilisation d'un μC pour le pilotage d'un convertisseur d'énergie.

III.3.B. Conclusion

Ces travaux nous ont permis d'identifier les limites liées à l'utilisation d'un μC dans le cadre de la supervision complète d'un banc d'essai à haute vitesse de fonctionnement et de la gestion des différents domaines associés. Les domaines concernés sont le contrôle de la modulation de la largeur

d'impulsion à variation sinusoïdale et paramétrable par l'utilisateur et la gestion de l'interface utilisateur pour communiquer les données requises au contrôle du système.

Concernant le pilotage, dans la configuration triphasée de référence que nous avons étudiée, nous avons pu augmenter la fréquence maximale de découpage des interrupteurs de puissance à hauteur de 370 kHz. Toutefois, l'association de ce fonctionnement (pilotage des interrupteurs) à d'autres fonctions reste problématique. En effet, l'intégration d'une fonction d'acquisition en plus des gestions des aspects MLI et IHM durant le peu de temps restant disponible côté processeur est difficilement envisageable. En limitant les performances de chaque entité, cette gestion pourrait tout de même être possible via les fonctions internes du μ C. Toutefois, les performances d'acquisition ne seraient pas suffisantes comparativement à la chaîne d'acquisition que nous avons développée précédemment.

Cette solution s'accompagne de l'utilisation d'une plateforme supplémentaire pour pouvoir obtenir un contrôle visuel du convertisseur. Nous avons associé la plateforme Raspberry Pi2 au contrôle du μ C via une communication SPI ou UART. Les transferts de données étant réalisés à partir de protocoles de communication aux débits faibles, ils permettent seulement d'obtenir des valeurs d'acquisition lentes et à faible résolution.

Pour essayer au mieux de répondre à toutes ces problématiques tout en conservant la technologie du μ C, nous aurions pu développer le système via l'agencement de trois plateformes : une maîtresse et deux esclaves. La première prendrait la fonction de machine à état afin de commander les deux esclaves dédiées à la gestion de la MLI pour la première et à l'acquisition pour la seconde. Une fois de plus, l'acquisition n'aurait été possible que via l'utilisation des fonctions internes du μ C. Nous excluons donc de ce scénario l'intégration de la chaîne d'acquisition. Seule la plateforme maîtresse gérerait la communication avec l'utilisateur afin de faciliter la délégation des tâches.

Même si cette solution est envisageable, nous recherchons idéalement un système complet en minimisant le recours à des plateformes complémentaires. De plus, le développement d'un tel agencement aurait tout de même été limité en termes de vitesse de transfert et complexe à mettre en œuvre.

Par conséquent, l'accumulation de ces nombreuses problématiques nous a confortés dans l'objectif de rechercher une autre plateforme en meilleure adéquation à nos critères de développement.

Durant la suite des travaux, nous présenterons les différents développements entrepris avec une technologie différente basée sur de la logique programmable : le FPGA. Par le biais de celle-ci, nous réussissons à assembler « sous le même toit » les trois fonctions précédemment définies sans avoir recours à des ajouts de plateformes supplémentaires, et avec des performances supérieures.

Suivant les performances des plateformes que nous avons choisies, plusieurs développements ont été entrepris afin de répondre à nos demandes. Premièrement nous avons débuté par l'intégration de la gestion de la modulation de la largeur d'impulsion puis ensuite par l'intégration de la gestion des acquisitions et enfin par l'intégration d'une interface personne-machine embarquée.

III.4. Développement d'un système de commande sur une plateforme FPGA SoC DE0-Nano-SoC

III.4.A. Présentation générale de la première version du système de commande

Le précédent développement nous a permis de programmer une première partie de la gestion des interrupteurs de puissance. Cependant, l'impossibilité de gérer une acquisition en plus des limitations sur la fréquence de découpage nous a obligé à réfléchir à une solution alternative basée sur une nouvelle plateforme de développement, mais également sur une nouvelle technologie de programmation.

À partir de maintenant, et pour la suite de ce manuscrit, nous avons fait le choix de développer notre système de commande et d'acquisition sur des plateformes basées sur la technologie FPGA. Ayant présenté les spécificités des SoC FPGA au chapitre 1, nous allons nous appuyer sur elles pour concevoir un système opérationnel et rapide conforme à nos spécifications.

Pour effectuer ce développement, différents diagrammes fonctionnels ont été construits. En fonction de l'évolution des plateformes et de leurs performances, nous y ajoutons les fonctionnalités correspondant à nos contraintes de développement précédemment établies grâce à l'étude sur le μ C. Le premier prototype de fonctionnement a été réalisé avec la platine DE0-Nano-SoC ne pouvant intégrer, de par ses capacités limitées, que la gestion MLI et une première version de la gestion utilisateur. La gestion de l'acquisition n'a pu être développée étant donné que les spécificités de cette plateforme ne pouvaient prendre en compte le protocole de communication JESD204B.

Afin de tirer au mieux les avantages et les spécificités des deux parties SoC et FPGA, nous avons réfléchi à une structure permettant à chacune de ces parties de tirer profit des fonctions que nous souhaitons implanter à notre développement. Pour synthétiser chacune d'entre elles, la partie FPGA met en œuvre les circuits à logique booléenne tels que les comparateurs, la machine à états, les calculs arithmétiques simples, le séquençement des processus, les mémoires, les compteurs, etc. La partie SoC, quant à elle, présente l'avantage, de par la puissance de l'ARM, de pouvoir procéder à des calculs et des traitements complexes.

En complément, nous allons aussi avoir la possibilité d'ajouter des fonctionnalités similaires à celle d'un système d'exploitation allégé : connexion à des protocoles complexes et sécurisés, intégration directe d'applications et de logiciels embarqués, etc.

III.4.B. Étude du synoptique fonctionnel du principe de contrôle commande souhaitée

En prenant en compte les avantages des parties SoC et FPGA, nous développons un synoptique fonctionnel pour cette plateforme, représenté à la Figure 137, qui met en évidence la répartition des tâches suivant chaque partie composant la platine SoC FPGA ; la gestion de l'interface utilisateur est orchestrée par le système HPS ; la gestion de la partie puissance est exécutée par la logique FPGA.

Nous avons construit ce diagramme de manière à prendre en compte l'évolution des plateformes. Ainsi, lorsque nous changerons de platine de développement, l'implantation de ce diagramme sera reproductible et pourra être rapidement mise en œuvre.

L'avantage de travailler avec de la technologie FPGA ou SoC FPGA est également de pouvoir lui ajouter des modules complémentaires sans perturber la synchronisation et le fonctionnement initial des routines antérieures.

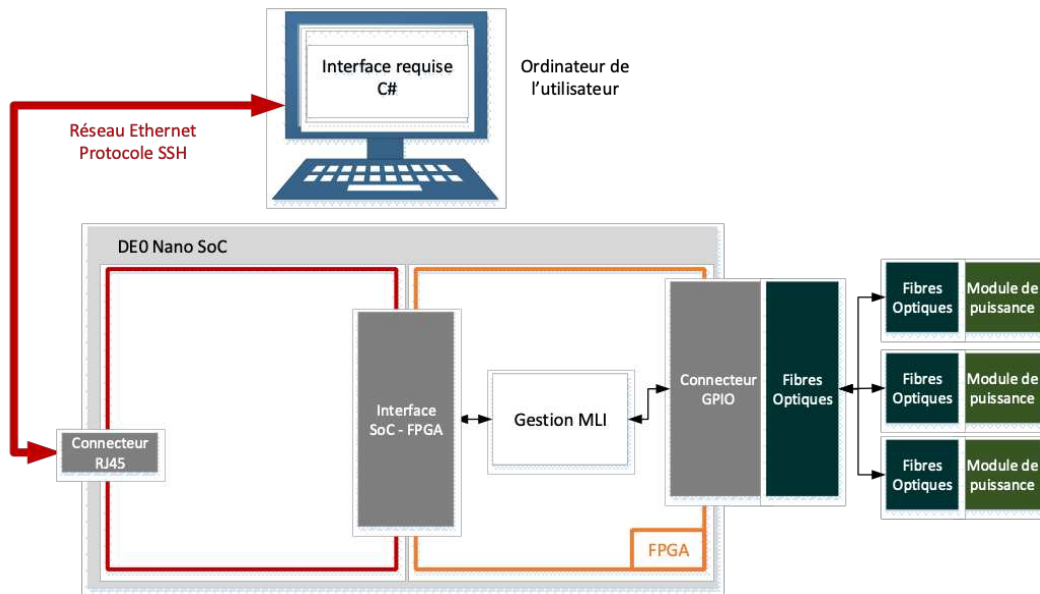


Figure 137 : Synoptique fonctionnel de la première version du système de commande avec la plateforme DE0-Nano-SoC

Le diagramme ci-dessus (Figure 137) apporte quelques informations supplémentaires. Premièrement, nous devons être connectés au réseau local via un protocole Ethernet à partir d'un support tel qu'un ordinateur afin de piloter la plateforme. Deuxièmement, nous différencions les tâches entre le système SoC et le système FPGA.

Le premier a la charge de faire fonctionner une application en langage C traitant les données d'entrées transmises au FPGA. Le FPGA a lui la charge de piloter les interrupteurs de puissance tout en ajustant les paramètres en fonction des informations reçues par le HPS. Ainsi, par le biais de composants logiques, ces informations seront converties en signaux de commande envoyés à travers des fibres optiques reliées aux composants pilotant les modules de puissance.

Cette répartition des tâches permet à chaque partie de simplifier le fonctionnement tout en augmentant les possibilités de développement. En effet, d'un point de vue de l'espace mémoire utilisé par cette intégration, nous ne sommes qu'à 13% d'occupation de la mémoire, laissant ainsi place à d'autres intégrations. D'un point de vue de la multiplication des voies de sorties, nous pouvons les multiplier comme bon nous semble jusqu'à la limite induite par le nombre maximal de connexions GPIO de notre plateforme. Cet avantage nous permet, dans un avenir proche, d'explorer la commande des onduleurs multiniveaux dus à la mobilité des connecteurs.

Grâce à la construction de ce schéma, nous pouvons maintenant approfondir le fonctionnement de la « Gestion MLI ».

a. Gestion du pilotage de la conversion de puissance

L'application principale de notre étude est de pouvoir piloter les interrupteurs de puissance suivant une modulation souhaitée, sinusoïdale dans notre cas. Nous avons précédemment identifié par le biais des μC , des limitations en matière de vitesse, apparaissant en fonction de la stratégie de modulation choisie. Avec l'utilisation du FPGA, nous allons pouvoir repousser ces limites puisque leurs logiques de fonctionnement sont cadencées à des centaines de mégahertz.

Afin de pouvoir intégrer le fonctionnement que nous recherchons dans une structure FPGA, nous avons découpé chaque « sous-fonction » en composant logique. Chacun d'entre eux est lié suivant une ou plusieurs variables leur fournissant des données ou un signal d'activation. La Figure 138 illustre cette architecture.

Elle est basée sur la combinaison des deux parties par l'utilisation de l'interface FPGA SoC. En effet, premièrement, toutes les données envoyées depuis le support de l'utilisateur seront stockées par l'application C. Cette première étape permet à la partie HPS de différencier chacune des données envoyées par l'utilisateur pour ensuite, les adresser à chaque composant logique à travers le pont d'interface FPGA-SoC. Elle permet aussi de calculer à bord du HPS, les différentes valeurs de la modulation sinusoïdale. Les valeurs qui nous intéressent comprenant des chiffres à virgule lors de ce calcul, nous contournons ce problème en formatant les données en amont avant d'être envoyées et stockées dans une mémoire embarquée intégrée dans la partie FPGA. Une fois cette étape finalisée, la partie HPS prendra en compte chaque demande de l'utilisateur tout en transmettant la commande à la partie FPGA. La partie FPGA sera ainsi dépendante d'une variable d'état contrôlant le système.

Cet agencement permet à chaque variable de correspondre à un bus de données dédié, permettant aux composants logiques d'interpréter le fonctionnement souhaité (Figure 138) :

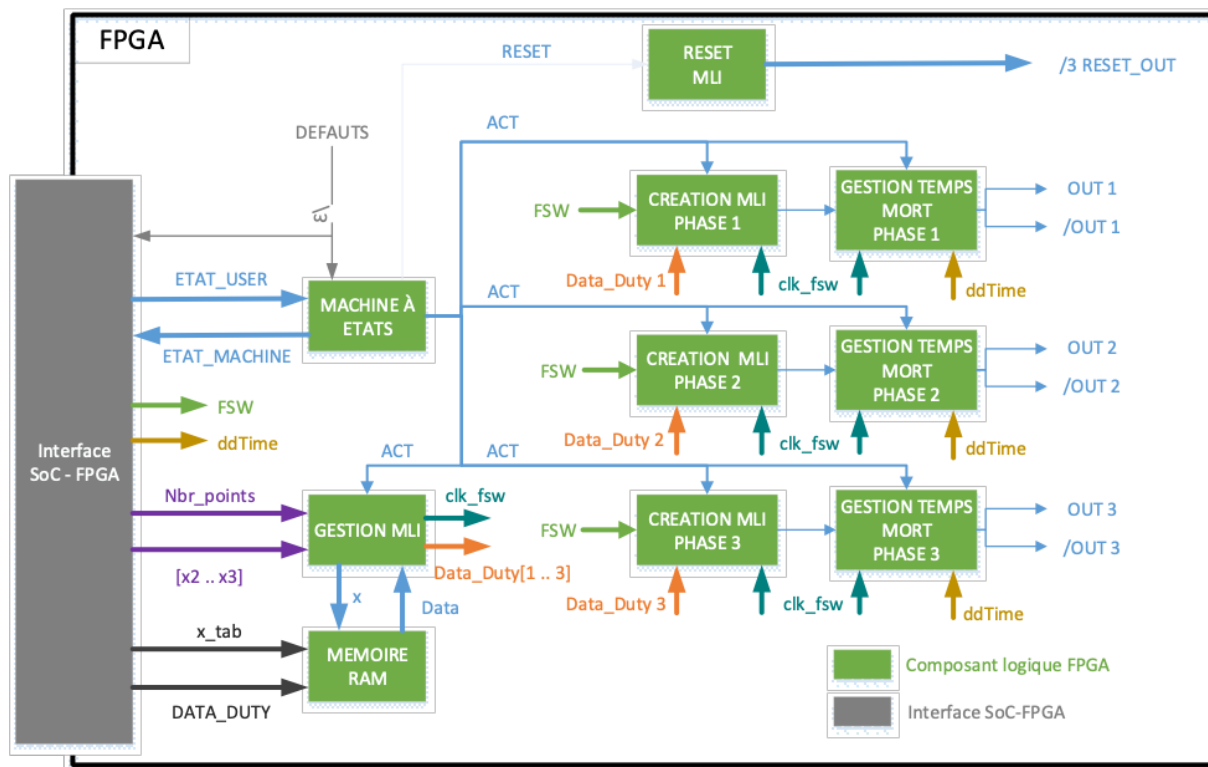


Figure 138 : Synopsis de la gestion de l'électronique de puissance à partir d'une platine FPGA-SoC

Chaque composant logique correspond à un fonctionnement précis permettant par la suite de les agencer comme bon nous semble. Dans notre cas, nous avons un composant logique lié à la machine à état, reprenant les souhaits de l'utilisateur : un composant pour gérer la modulation de la largeur d'impulsion ; une mémoire embarquée de type RAM et une vitesse de transfert de 300 MHz spécifique à notre plateforme contenant tous les points de modulation ; un composant activant la remise à zéro des modules de puissance puis deux composants logiques liés l'un à l'autre dont le premier permet d'interpréter les données envoyées par le système pour créer un signal logique créant la modulation sinusoïdale et un composant associé en série permettant d'obtenir les temps morts à la commutation de chaque interrupteur de puissance.

Le noyau de fonctionnement de la partie FPGA est la machine à état. Celle-ci autorise ou non, l'activation des sorties OUT en fonction de « ETAT_USER », l'état que souhaite l'utilisateur, et des « DEFAULTS » retournés par les modules de puissance. En complément, elle gère leurs remises à zéro.

Le bloc logique dédié à la création de la MLI est implanté en fonction du nombre de sorties nécessaires dans l'architecture pilotée. Le bloc crée une sortie MLI en plus de son complément, nous en utiliserons 3 pour obtenir le nombre total permettant le pilotage d'un onduleur triphasé.

Ces blocs vont recevoir les données provenant du bloc « gestion MLI » permettant de piloter chaque phase. Le principe de fonctionnement est simple (Figure 139). À chaque front montant du signal de découpage f_{sw} , la valeur de la modulation « PWM data » provenant de la mémoire embarquée RAM [114] est transmise vers le bloc « GESTION MLI » en fonction de la variable « n » qui est le nombre correspondant à la case mémoire. Ce bloc attribue les valeurs de modulation à chaque signal « MLI x ». Ainsi, chaque phase à sa propre valeur assurant le déphasage continu de 120° .

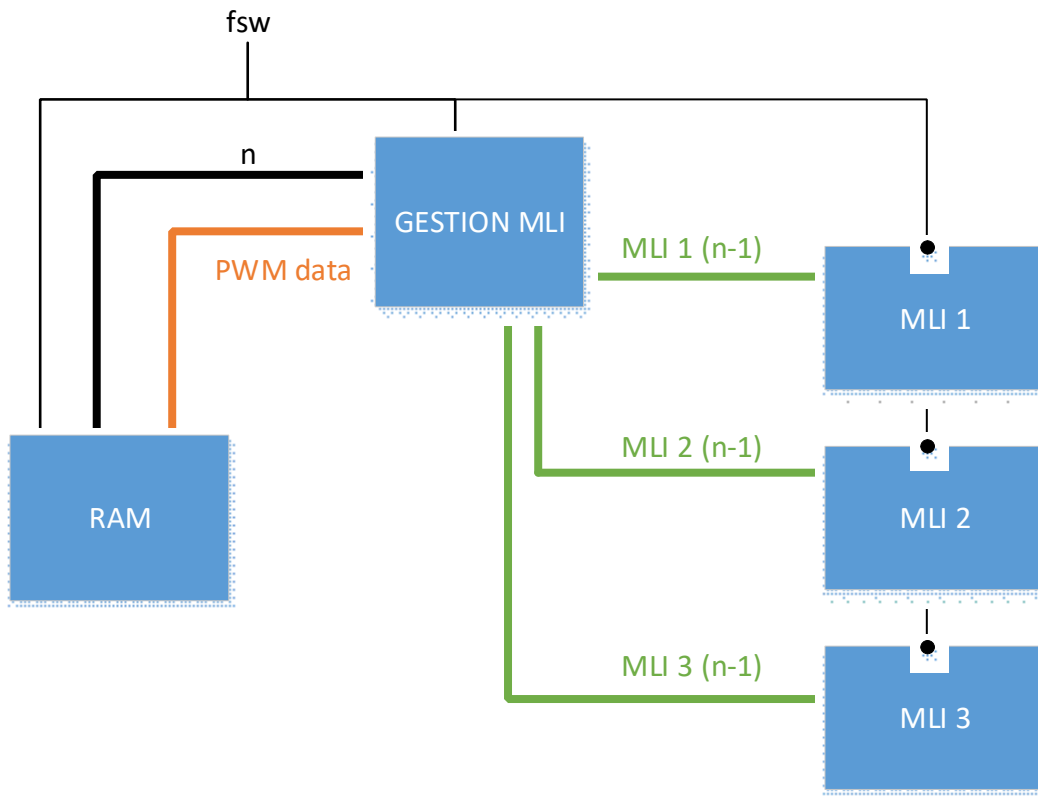


Figure 139 : Principe de fonctionnement de notre MLI échantillonnée

Nous définissons un emplacement maximal de 16385 cases mémoires dans la configuration de la mémoire, ce qui nous fait autant de valeurs MLI. Chacune de ces valeurs est défini à 2 octets (0 à 65534) et cette mémoire occupe donc un 32,738 kBytes. La carte DE0-Nano-SoC possède 345,6 kBytes d'emplacements mémoire. L'intégration de notre tableau ne représentera donc que 10% de sa mémoire totale.

Afin d'ajuster les différentes horloges pour chaque bloc, nous dissocions l'écriture et la lecture de la mémoire embarquée afin que la fréquence d'écriture soit la fréquence de fonctionnement du HPS (800 MHz) et que la fréquence de lecture soit la fréquence de fonctionnement de la partie FPGA (250 Mhz). Par conséquent, nous synchronisons chaque composant à leurs vitesses respectives.

Cette mémoire embarquée est initialement remplie à travers la création d'un programme en C intégré dans le système d'exploitation Linux situé dans la partie HPS. En effet, le fonctionnement du HPS est similaire à un PC ou un Raspberry, nous pouvons lancer des programmes C, C++ ou bien Python et communiquer et piloter la partie FPGA depuis la partie HPS (Chapitre 1). Le programme C lance une fonction qui, lorsque celle-ci reçoit l'ordre d'initialiser la mémoire, une boucle de calcul s'effectue en envoyant à chaque itération, la valeur du rapport cyclique d'une modulation sinusoïdale. Cette itération incrémente le nombre x liant la case mémoire à la valeur calculée. Cette boucle continue

jusqu'à ce que la variable « x » atteigne la valeur de la variable « nbr_point ». Nous rappelons que celle-ci indique le nombre de points total durant une période de modulation.

Du côté HPS, nous y intégrons le programme en C nécessaire pour piloter la partie FPGA par une connexion sécurisée SSH [194]. Cette même connexion nous permet de communiquer par l'intermédiaire de l'interface homme-machine que nous avons développé depuis un système d'exploitation Windows. Nous reviendrons sur cette IHM plus tard.

Les différentes variables ainsi que leurs dimensions sont présentées situées en annexe 3.

Afin de valider notre développement logiciel, nous allons voir ci-dessous, différents essais provenant directement des connecteurs GPIO assignés aux fonctions DEFAULT, RESET et MLI. Les figures suivantes sont obtenues à l'aide d'une sonde logique. C'est pour cela que les fronts de montée et de descente ne seront pas illustrés, seulement les états logiques 0 et 1. La Figure 140, ci-dessous, illustre le temps de réaction lors de la détection d'un défaut et de l'arrêt des MLI. Nous avons 20 ns d'écart entre chaque événement. Cette valeur est liée à la fréquence d'horloge du système : 50 MHz. Le déclenchement du défaut s'effectue en une période de fonctionnement.

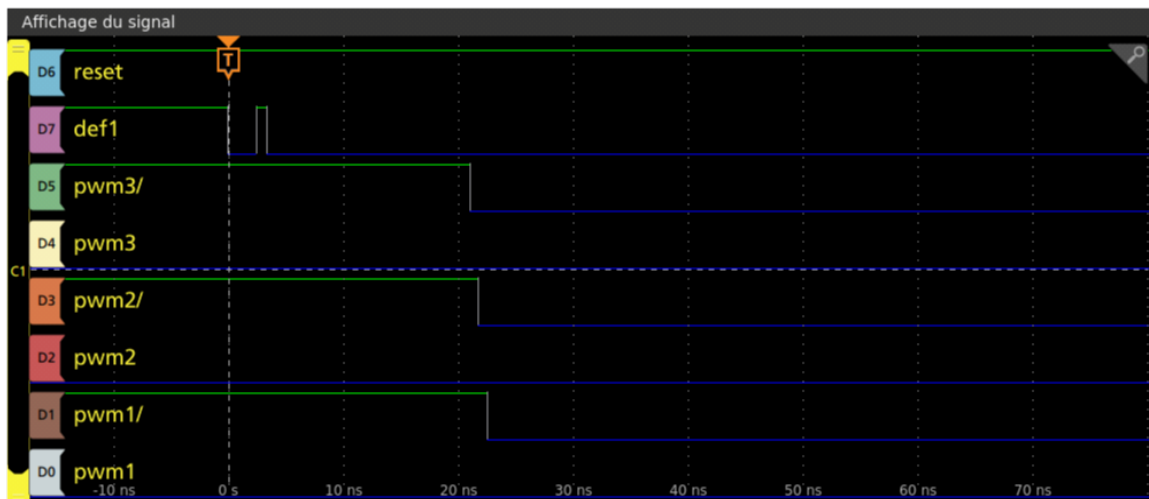


Figure 140 : Temps de mise en arrêt du système lors de la détection d'un défaut

Le fonctionnement de la MLI est illustré sur les Figure 141, Figure 142, Figure 143. Les relevés de validation sont obtenus avec une fréquence de découpage de 250 kHz et de modulation 2 kHz, un coefficient de modulation fixé à 100% et un temps mort à la commutation à 5 ns.

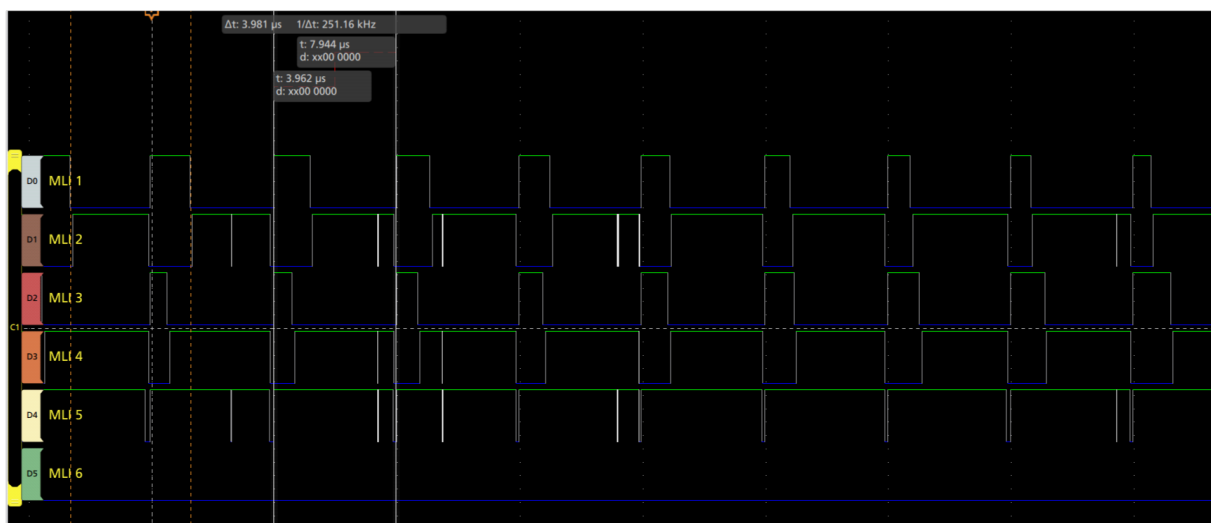


Figure 141 : Visualisation de la fréquence de découpage à 250 kHz

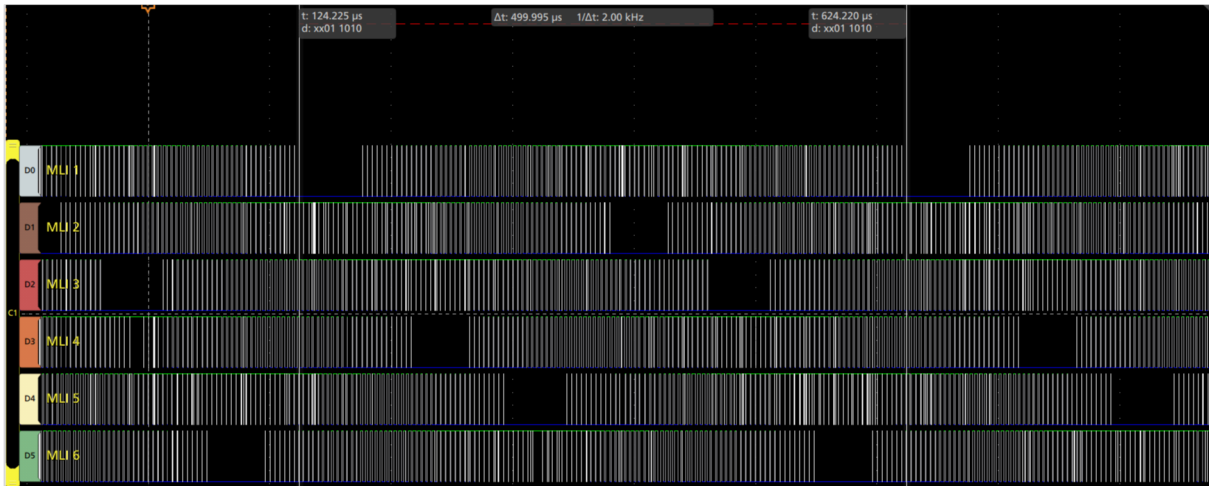


Figure 142 : Visualisation d'une période du signal modulant à 2 kHz

La Figure 141 nous montre en précision la synchronisation des MLI et du signal de découpage à une fréquence de 250 kHz. Les 3 paires MLI dont la MLI 1 associée à la MLI 2, MLI 3 à MLI 4 et MLI 5 à MLI6 sont chacune complémentaire. Cette vérification évite la mise en défaillance des composants de puissance.

Nous visualisons suite à la Figure 142 une période entière de modulation. Le nombre d'impulsions total est de 125, équivalent au nombre obtenu par le ratio découpage/modulation. En fonction de ce nombre, nous savons si la précision de la modulation est proche de la valeur souhaitée. Plus nous avons de points, plus la précision de la période de modulation est bonne. Le relevé nous indique une fréquence de modulation de 2 kHz.

Nous avons précédemment introduit que notre fréquence de découpage a été augmentée jusqu'à 5 MHz lors de la présentation des variables constituant le fonctionnement de la partie FPGA. Nous retrouvons, Figure 143 et Figure 146, la modulation des signaux de sortie lorsque nous atteignons cette valeur. La fréquence de modulation est fixée à 50 kHz, le coefficient de modulation à 100% et le temps mort à la commutation à 80 ns. Ce paramètre est visible sur la première et la deuxième paire des MLI.



Figure 143 : Visualisation de la fréquence de découpage à 5 MHz

Même si les interrupteurs de puissance ne peuvent actuellement atteindre ces vitesses, nous avons souhaité définir une limite supérieure qui puisse servir de référence en prévision de leur augmentation future.

Le paramétrage de la gestion de la modulation de la largeur d'impulsion nous permet de moduler et d'atteindre des valeurs importantes telles que nous avons démontré Figure 143 sur la fréquence de découpage ou encore sur la fréquence de modulation à 50 kHz. Le coefficient de modulation est quant à lui variable de 0 à 100%. Même si certains de ces paramètres ne seront pas acceptés par les composants de puissance tels que la fréquence de découpage à 5MHz, nous validons par cette étude une structure nous permettant de varier les paramètres d'une MLI sans que les ressources internes du FPGA soient limitantes.

Cette latitude de variation est cependant limitée par la capacité de la mémoire contenant les valeurs de la MLI. Nous verrons par la suite que ce paramètre interviendra lors du dernier développement afin que la profondeur de variation soit plus importante.

L'un des avantages à l'utilisation d'une platine FPGA est de pouvoir rapidement translater les blocs d'une platine à une autre. Nous verrons également par la suite que nous allons faire évoluer les plateformes numériques afin qu'elles puissent répondre aux fonctionnalités souhaitées. Par conséquent, ayant validé les blocs servant au pilotage des composants de puissance, nous pouvons les conserver durant le reste de l'étude pour les réintroduire aux futurs développements.

b. Gestion de l'acquisition

Comme indiqué au chapitre 1, les connecteurs de cette platine sont de type GPIO (General Purpose Input Output) et conditionnés à des fréquences maximales de 300 Mbps. Par conséquent, ils ne peuvent pas être utilisés pour l'usage d'un protocole rapide comme le JESD204B.

N'ayant pas la possibilité de déployer une solution de protocole d'acquisition haute vitesse avec cette platine, le choix d'une autre platine est rapidement devenu nécessaire.

c. Gestion de l'utilisateur

Afin que l'expérience utilisateur soit correcte en matière d'usage, le développement de l'interface homme-machine suivant une procédure adaptée aux besoins utilisateurs est fortement recommandé. L'intégration des éléments de contrôle ainsi que la visualisation des données retournées par la plateforme sont donc prioritaires.

Nous avons précédemment construit une première version du visuel de l'interface lors du développement effectué avec la plateforme μ C en intégrant les différentes parties liées à la commande et à l'observation des événements du système. Par ce biais-là, nous avons développé une première nouvelle version de l'interface en langage C# sous le logiciel Visual Basic, et présentée à la Figure 144. Elle permet de se connecter à partir d'une adresse IP définie sur la plateforme via un protocole sécurisé SSH.

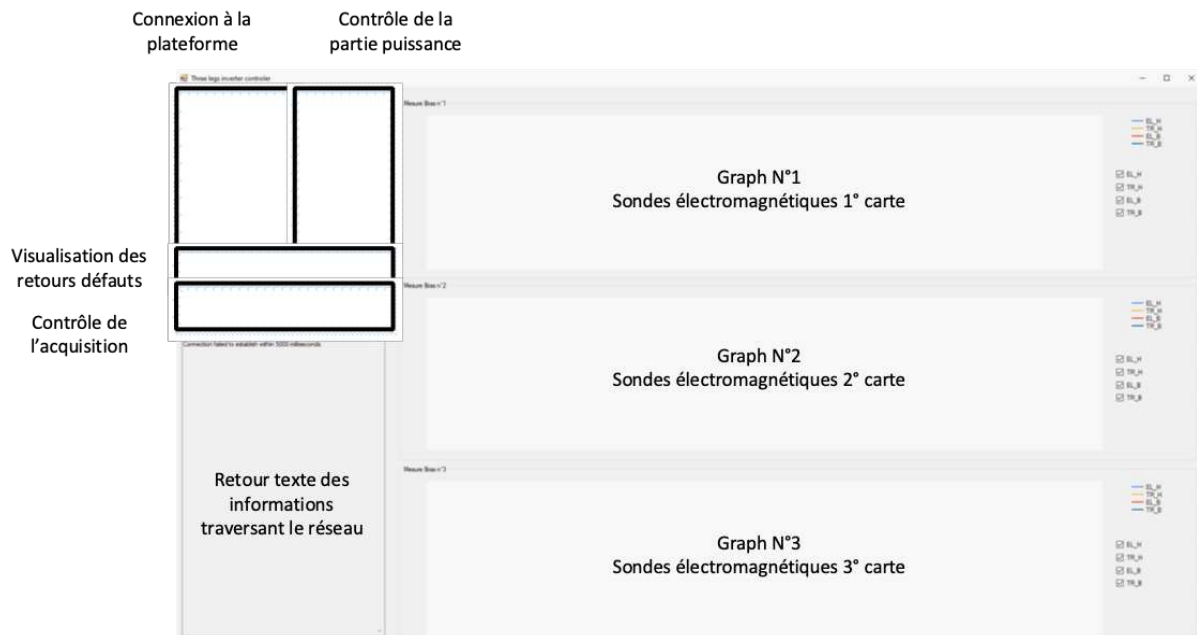


Figure 144 : Première version de l'Interface personne-machine pour une connexion par le réseau Ethernet

Afin de pouvoir prévisualiser les acquisitions dans un futur développement, nous avons intégré dans l'interface 3 graphiques qui afficheront les données renvoyées par les acquisitions. Cette étape de développement nous a permis d'optimiser les emplacements de chaque zone afin d'obtenir une meilleure liaison entre le contrôle de la partie puissance et la visualisation des futures acquisitions.

L'inconvénient principal de ce développement est d'obliger l'utilisateur à posséder l'exécutable de l'application et le fait qu'il ne peut être ouvert que sur des systèmes d'exploitation Windows. Nous ajoutons à ces contraintes, la nécessité de connaître l'adresse IP ainsi que le besoin d'être en permanence connecté à la plateforme. Sans la réunion de toutes ces conditions, aucune action n'est possible.

Bien que cette interface fonctionne et nous permette d'avoir une première interaction avec la plateforme, ses principales contraintes de logiciel exécutable et de connexion la rendent peu agréable pour la suite. Notre souhait étant de contrôler notre système à partir de tout type de support tel qu'un ordinateur, un téléphone portable ou une tablette, nous allons recourir à une autre solution lors du développement de la deuxième platine SoC FPGA.

d. Carte d'interface réalisée pour la platine de développement DE0-Nano-SoC

Les E/S précédemment présentées dans le schéma fonctionnel de la MLI sont reliées par le biais de 2 connecteurs GPIO pouvant interfacier la plateforme numérique aux modules de puissance. Nous avons repris ici le même principe que celui développé pour la carte d'interface conçue pour la plateforme μ C, et les fibres optiques sont donc ici aussi les principaux éléments intégrés dans ce développement.

La platine DE0-Nano-SoC possède 2 connecteurs GPIO comme indiqué sur la Figure 145. Chacun possède la même structure : 1 voie +5 V ; 1 voie +3.3 V ; 2 voies GND ; 36 voies E/S. S'ajoute un connecteur RJ45 pour faire la liaison à l'interface utilisateur située sur un autre support informatique via le réseau Ethernet.

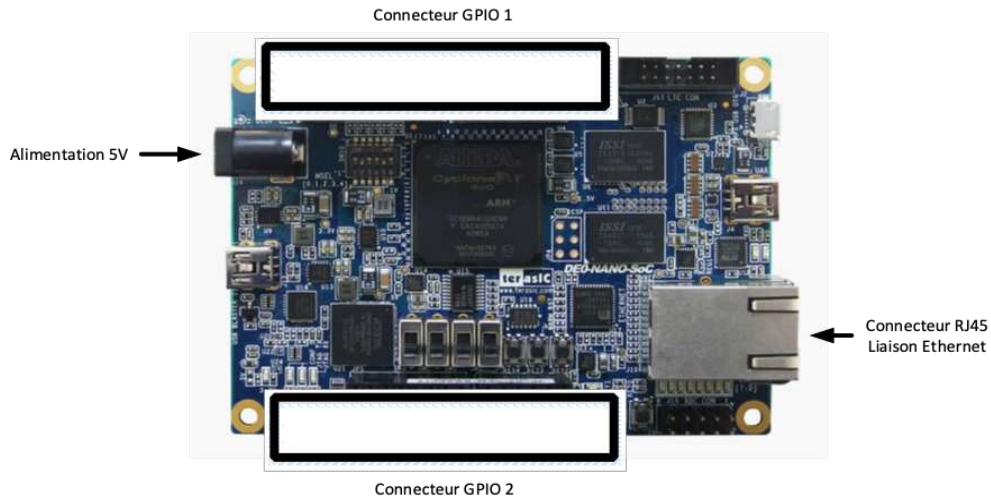


Figure 145 : Connecteurs présents sur la plateforme de développement DEO-Nano-SoC

Afin de lier la plateforme à la carte d'interface, nous reprenons une fois de plus les spécificités des modules de puissance ainsi que de leurs architectures. La carte d'interface doit contenir au minimum 6 voies pour le contrôle des interrupteurs de puissance, 3 pour les remises à zéro et 3 pour la réception des défauts provenant des modules. Un total de 12 voies est donc utilisé sur les 36 voies possibles.

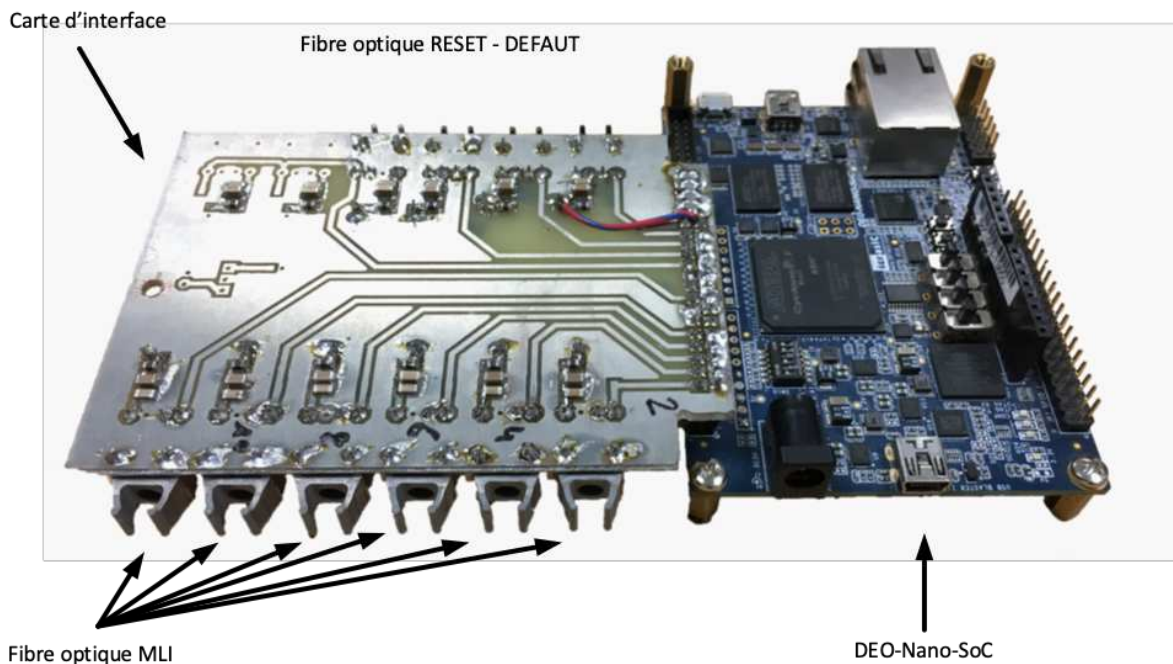


Figure 146 : Plateforme de développement et carte d'interface assemblés

La Figure 146 illustre l'assemblage final de la carte d'interface conçue et de la plateforme DEO-Nano SoC à travers la connexion d'un des connecteurs GPIO. Nous y retrouvons les 6 voies de pilotage des interrupteurs de puissance, 3 autres pour la remise à zéro et 3 entrées pour la détection d'un défaut. Elle est alimentée par les tensions fournies par la plateforme numérique et ne requière aucune autre alimentation externe.

Son intégration facile à opérer permet de mettre en fonctionnement le convertisseur d'énergie. La connexion entre l'interface et les modules de puissance est réalisée par des fibres optiques assurant une isolation galvanique des données transmises. Ainsi, avec le même principe que pour l'utilisation

du μC , nous pouvons déporter la plateforme de contrôle à une distance importante du convertisseur afin de nous éloigner de toutes les agressions provoquées par le système de conversion d'énergie.

e. Description des ressources de la platine DE0 Nano SoC

Lors de la compilation et de la programmation de l'ensemble du projet, il est intéressant de vérifier le taux d'utilisation des ressources dont la platine aura besoin pour faire fonctionner le programme. Nous avons en effet besoin de différents types de ressources dont le nombre de portes logiques requises, les registres de données ainsi que les blocs de mémoires associés.

Chaque bloc ou module peut être synthétisé lors de la compilation, avec l'aide du logiciel de développement QUARTUS, dédié pour le développement d'applications FPGA [195]. Celui-ci convertit nos différents blocs numériques en portes logiques et en blocs de mémoires. Cette étape de synthèse ne fait intervenir que le nombre de portes logiques ainsi que le nombre de blocs mémoires associés.

À partir des spécifications constructrices, nous disposons du nombre maximal de portes logiques ainsi que de la taille mémoire dédiée pour chaque platine et en fonction de ces valeurs, nous pouvons prévoir leurs taux de remplissage en fonction du projet et des composants que nous y avons intégrés.

Afin de faciliter cette tâche fastidieuse, le logiciel Quartus calcule ses indicateurs à partir du composant sur lequel nous travaillons. Cela nous permet d'avoir des indicateurs vis-à-vis des ressources restantes pour le pilotage d'autres convertisseurs plus complexes ou d'effectuer d'autres tâches.

Une synthèse de ces ressources appliquée à notre platine est présentée dans le Tableau 31.

Types de ressources	R e s s o u r c e s utilisées	R e s s o u r c e s maximales	Taux de remplissage
Utilisation des portes logiques	5674	15880	30%
Registre de données	12170		
Bloc de mémoire (bits)	133120	2764800	4,81%
Bloc de mémoire (bytes)	16M	345 M	
Block de RAM	20	270	23%

Tableau 31 : Ressources utilisées du FPGA par rapport aux ressources disponibles de la platine DE0 Nano SoC

Grâce à cette synthèse, nous pouvons nous rendre compte des faibles taux de remplissage obtenus à l'issue de notre développement. Cependant, même si nous aurions pu continuer à faire évoluer la commande du système avec l'utilisation de cette platine, sa principale contrainte de ne pas pouvoir intégrer l'aspect acquisition nous oblige à basculer sur une nouvelle platine de développement : la plateforme SoC-Kit.

f. Conclusion du développement sur la platine DE0 Nano SoC

Suite à ce premier développement, nous avons mis en évidence les problèmes de compatibilité entre cette première plateforme et nos besoins spécifiques. Bien qu'elle soit opérationnelle pour le contrôle de la partie puissance, elle ne possède pas les fonctionnalités requises pour la mise en œuvre de la partie acquisition. Par le biais de son utilisation, nous avons déjà développé une première version de l'IHM. Cela a mis en lumière la complexité du processus de communication et le besoin de rendre l'interface multiplateforme que possible.

Nous entendons par multiplateforme, qu'elle soit à la fois utilisation sur un système d'exploitation Linux, Apple ou Windows, ou bien encore contrôlable depuis un support tels qu'un portable ou une tablette. Par conséquent, nous nous orientons maintenant vers une version plus aboutie en termes de fonctionnalité. C'est-à-dire que nous souhaitons proposer une plateforme adaptative afin qu'on puisse l'utiliser sans fichier exécutable et que le chemin d'accès soit simplifié entre l'utilisateur et la mise en œuvre.

Ces différents axes d'amélioration nous ont conduits à faire évoluer notre développement sur une gamme supérieure de platine. Nous avons choisi la platine dénommée « SoC-Kit », en ayant toujours une combinaison ARM – FPGA sur la base du processeur FPGA Cyclone V. Avec cette platine, un connecteur dédié aux voies hautes vitesses est disponible, pouvant donc nous mener au développement de la partie acquisition, avec, de plus, des capacités mémoires supplémentaires.

III.4.C. Développement d'un système de commande sur une plateforme FPGA SoC - SoC-Kit

a. Présentation générale de la deuxième version du système de commande

Suite au premier développement entrepris sur la plateforme DE0-Nano-SoC, nous avons mis en lumière son manque de connecteurs spécifiques pour atteindre nos objectifs de développement vis-à-vis de la partie acquisition. La problématique portant principalement sur l'usage des voies hautes vitesses. Ces voies sont nécessaires pour envisager l'intégration des chaînes d'acquisition puisque les voies de transfert de données sont envisagées avec une vitesse proche de 5 Gbps. La vitesse maximale atteignable par la platine SoC-Kit est de 3.125 Gbps. Celle-ci sera largement suffisante pour un premier test d'intégration avant de déboucher sur une platine permettant d'augmenter cette vitesse à 5 Gbps. Ce choix est aussi porté par le fait que nous sommes sur la même gamme de composant à logique programmable que celle que nous avons sur la platine DE0-Nano-SoC, le Cyclone V. S'ajoute à ces avantages : une allocation de l'espace mémoire alloué à la plateforme plus conséquente, ce qui est intéressant au vu du nombre d'acquisitions potentielles à réaliser.

Les deux anciens connecteurs GPIO ont été remplacés par un seul connecteur High Speed Mezzanine Connector dit HSMC que nous retrouvons à la Figure 147. Son intégration dans des développements, comme rappelés au chapitre 1, permet à l'utilisateur de router des voies basses et hautes fréquences. L'augmentation de la mémoire embarquée de 345,6 kb à 1 Gb a permis d'obtenir un espace plus important pour conserver les données provenant des voies d'acquisition.

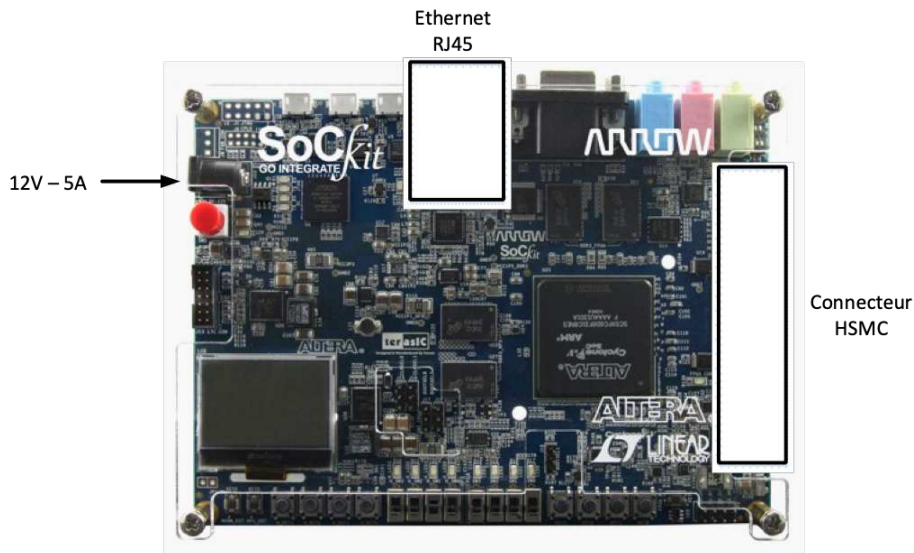


Figure 147 : Platine de développement SoC-Kit

Nous avons ainsi pu nous re concentrer sur l'implémentation de notre partie acquisition via la première étape : restructurer le synoptique fonctionnel du logiciel.

b. Étude du synoptique fonctionnel du logiciel pour la platine de développement SoC-Kit

La structure proposée pour cette deuxième version est modifiée des deux côtés, que ce soit côté FPGA ou côté HPS. Dans le premier côté, FPGA, la gestion de l'acquisition vient s'ajouter sans pour autant perturber le fonctionnement de la gestion MLI précédemment développée. Dans le second, nous avons souhaité améliorer l'expérience utilisateur en modifiant notre précédente application développée en C.

En effet, l'ancien développement oblige l'utilisateur à posséder l'application C# pour piloter la plateforme. Cette solution n'étant pas réellement pratique lorsque le support de l'utilisateur devrait être différent d'un ordinateur, son remplacement par une solution plus adaptée à notre demande a été mis en œuvre par l'intégration du Framework Django, présenté au chapitre 1 [196]. Ce dernier nous a permis de développer une nouvelle interface utilisateur implantée directement dans la platine. Cette intégration nous permet de contrôler directement les composants de la partie FPGA via le pont HPS-FPGA. Cette interface est accessible via un réseau local et l'adresse IP de la plateforme SoC-Kit. Son intégration permet aussi à l'utilisateur de se connecter depuis des supports différents tels qu'un ordinateur, une tablette ou même un téléphone portable, tant que celui-ci possède un navigateur web. Nous avons ainsi une application adaptative, et les barrières des différents systèmes d'exploitation sont repoussées.

La Figure 148 illustre le nouveau module côté FPGA, avec une représentation de la gestion des acquisitions qui va être détaillées durant cette partie. Elle vient en supplément de la gestion MLI précédemment intégrée tout en ne perturbant pas son fonctionnement.

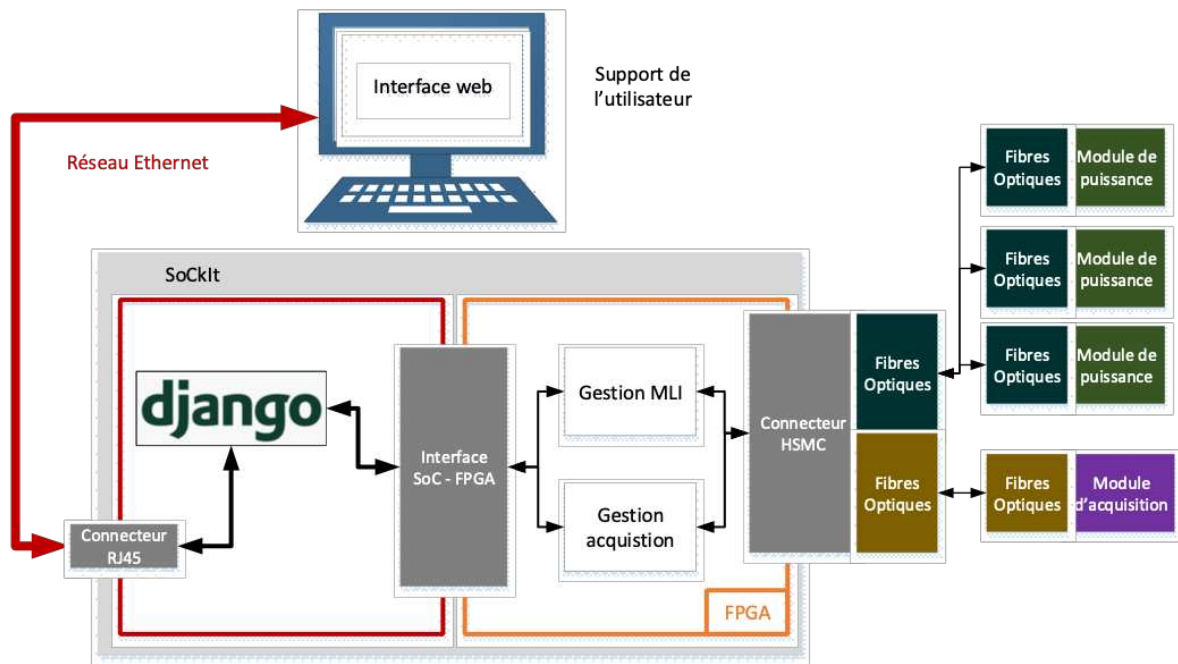


Figure 148 : Synoptique fonctionnel de la deuxième version du système de commande avec la plateforme SoC-Kit

Le connecteur HSMC est le remplaçant du GPIO et comprend trois rangées distinctes. Les trois rangées sont utilisées pour l'ensemble des modules que nous développons : 2 pour l'acquisition, 1 pour la MLI. Son utilité est principalement liée à ses voies hautes vitesses. Cette deuxième platine va nous permettre dans un premier temps de développer une première version de la plateforme de contrôle des chaînes d'acquisition. Cependant, pour gérer toutes les chaînes d'acquisition et donc les 6 convertisseurs de données, ayant chacun 2 voies hautes vitesses, la plateforme de commande doit donc en posséder 12 voies. La plateforme SoC-Kit n'en possédant que 7, nous verrons dans un second temps à remplacer cette plateforme par une nouvelle répondant à cette contrainte.

Nous soulevons ici un point supplémentaire, qui concerne la vitesse maximale en matière de débit de données de la plateforme SoC-Kit. Ayant une vitesse maximale de 3.125 GS/s imposée par la platine de développement, celle-ci limite théoriquement les performances du convertisseur que nous avons dimensionné lors de la conception des chaînes d'acquisition.

Concernant le développement de la partie gestion de puissance, ayant développé une solution transposable pour les différentes plateformes choisies précédemment, aucune modification n'a été entreprise par rapport à la version précédente. Seule la partie acquisition a été ajoutée.

c. Gestion de la partie acquisition de la plateforme SoC-Kit

Le développement de l'acquisition est l'une des parties maîtresses de notre concept d'un système visant à détecter le plus finement possible le vieillissement des bobinages. Grâce à son intégration, nous pourrions prétendre à avoir un banc autonome sur le point de vue de la détection d'un vieillissement tout en étant isolé par des fibres optiques excluant ainsi les risques de perturbation du système de commande. Nous aurons aussi la possibilité, à terme, d'y ajouter le développement logiciel d'indicateurs de surveillance du vieillissement, nous permettant d'être avertis lorsqu'un isolant commence à être sérieusement dégradé.

L'intégration de la partie acquisition est faite en fonction des convertisseurs A/N que nous utilisons dans nos chaînes d'acquisition ainsi que de son protocole de communication de données. Nous avons précédemment présenté les convertisseurs AD9250 durant le développement de la chaîne d'acquisition. Ces convertisseurs A/N communiquent leurs données via le protocole JESD204B que nous intégrons dès à présent dans la partie FPGA en plus de leurs paramètres.

De par la complexité de ce protocole série haute vitesse, son traitement et sa mise en œuvre logicielle sont surtout abordables par les spécialistes familiers de ce système. De ce fait, il est mis à disposition des développeurs, par les fabricants, versions d'évaluation des Intellectual Property dit « IP » afin de simplifier la phase de prototypage et d'intégration. Les « IP » sont des blocs numériques que nous intégrons au logiciel de programmation pour simuler le comportement du composant que nous souhaitons avoir [197].

Le fonctionnement de cet IP requiert des paramètres que nous retrouvons à la configuration du convertisseur A/N. Pour configurer au mieux cet IP, nous prenons les paramètres tels que le nombre de voies (L), le nombre de convertisseurs (M), le nombre d'octets/frame (F), sa résolution (N) et sa vitesse de débit maximale (F_{BITRATE}). Ils sont définis en fonction des spécifications du convertisseur choisi, mais aussi des souhaits de l'utilisateur.

Les valeurs exposées par la suite font référence aux différentes équations que nous rappelons au chapitre 1 lors de la présentation du protocole JESD204B.

L'utilisation à pleine performance du convertisseur AD9250 est possible via la configuration de l'IP JESD204B avec le paramétrage récapitulé dans le Tableau 32 :

F_{BITRATE}	F_{ADC}	L	M	F	N	N'	F_{SYSREF}	Subclass
5 Gb/s	250 MHz	2	2	2	14	16	7.8125 MHz	1

Tableau 32 : Paramètres pour l'IP JESD204B pour l'utilisation du convertisseur aux performances maximales

Cependant, le connecteur HSMC de la plateforme SoC-Kit limite la vitesse maximale des voies haute vitesse à 3.125 Gb et nous oblige à revoir nos performances d'acquisition à la baisse. L'IP et les convertisseurs sont donc configurés suivant les paramètres indiqués au Tableau 33 :

F_{BITRATE}	F_{ADC}	L	M	F	N	N'	F_{SYSREF}	Subclass	F_{bitrate}
3.125 Gb/s	156.25 MHz	2	2	2	14	16	32	32	4.8828 MHz
2.5 Gb/s	250 MHz	2	1	2	14	16	32	32	7.8125 MHz

Tableau 33 : Paramètres de l'IP JESD204B pour la communication entre le SoC-Kit et le convertisseur suivant une ou deux voies d'acquisition

Les comparaisons de la ligne 1 et 2 du Tableau 32 ci-dessus nous indiquent que, en fonction du nombre de voies d'acquisition et de la limite du débit de données de 3.125 Gb/s, nous avons le choix d'avoir une acquisition à 250 MSPS à une seule voie ou bien 2 voies d'acquisition à 156.25 MSPS.

La configuration du convertisseur en « Subclass 1 » indique l'utilisation de deux signaux de synchronisations supplémentaires. Le premier nommé SYSREF fait office de référence pour le convertisseur. Le second nommé SYNC_N permet de resynchroniser l'envoi des données du convertisseur du côté chaîne d'acquisition à la réception des données du côté JESD204B. Ces signaux sont primordiaux vis-à-vis du bon déroulement des séquences d'envois des trames d'acquisition et sont donc à prendre particulièrement en compte lors de la conception de la carte interface.

Du point de vue de la configuration des convertisseurs tels que l'AD9250, l'ajout d'un protocole SPI est obligatoire. Cet ajout est avant tout souhaitable pour configurer et lire les paramètres internes des convertisseurs. Ayant six ADC sur trois cartes d'acquisition, nous devons agencer la structure de configuration tout en minimisant l'ajout de composants supplémentaires.

Durant le développement des cartes d'acquisition, nous avons souhaité restreindre au maximum l'ajout des fibres optiques concernées pour le protocole SPI pour minimiser la taille du système dans la partie III.2.A.d. Celles-ci pourront configurer les deux convertisseurs en même temps puisque nous

divisons les signaux SS, CLK et MOSI en deux. Les signaux MISO provenant des convertisseurs sont envoyés à la plateforme de commande à travers deux fibres optiques différentes.

Grâce à cette solution d'agencement, une seule voie de configuration SPI est intégrée à la carte d'interface et au développement du logiciel.

Une fois les étapes d'intégration de l'IP JESD204B et du protocole SPI réalisées, nous ajoutons deux signaux d'horloge supplémentaire « f_{FRAME} » et « f_{LINK} » que nous avons présentés au chapitre 1. Nécessaires au bon fonctionnement de l'IP, ces signaux doivent provenir d'une PLL dont le signal d'horloge est celui de la fréquence d'échantillonnage. Leurs valeurs dépendent des paramètres LMFN fixés pour les convertisseurs. Toutefois, ces fréquences sont généralement similaires à la fréquence d'échantillonnage pour le premier et la moitié de cette valeur pour le second. Leur implantation permet de générer les signaux de référence SYSREF et de synchronisation SYNC~.

La création de ces signaux finalise l'intégration de l'IP. Nous ajoutons des blocs First In, First Out (FIFO) opérant en tant que passerelle entre les données obtenues par les convertisseurs et les mémoires contenant l'intégralité des données. En effet, l'intégration de l'IP ne permet que d'extraire les données reçues par les convertisseurs et de les transférer en une seule trame. Dans le but de différencier les données de chaque voie contenue dans cette trame, nous ajoutons à la suite de cette étape un réagencement des données de la trame commune.

Une fois les données désolidarisées, elles sont stockées momentanément dans une mémoire FIFO spécifique à chaque voie. Lorsque cette étape est en cours de procédure, le logiciel développé du côté SoC structure les données et les agence dans un format csv pouvant être intégré dans un tableau. La profondeur de la mémoire peut être calculée en fonction de la vitesse d'extraction, de la fréquence d'indexation des données de la FIFO et du nombre de points maximal souhaité. Le calcul est détaillé lors de la présentation des mémoires FIFO au chapitre 1.

L'agencement finalisé du développement logiciel de l'acquisition du côté du FPGA est présenté à la Figure 149 :

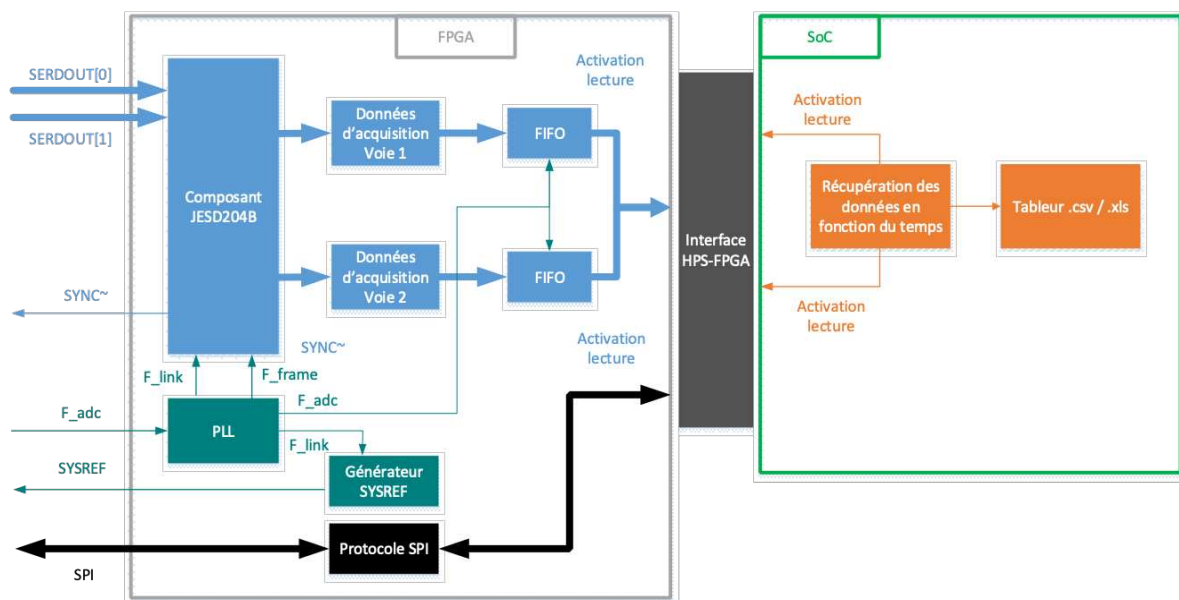


Figure 149 : Organisation du traitement des données reçues après le composant JESD204B

Une fois la procédure de développement du logiciel finalisée, nous concevons l'interface liant la plateforme aux chaînes d'acquisition. Cependant, nous verrons lors de sa présentation qu'un problème est intervenu durant le processus de développement de la carte d'interface et nous a contraints à ne pas valider son fonctionnement. En effet, le connecteur fibre optique ainsi que le

signal SYNC~ n'ont pas été ajoutés à cette carte et cette problématique ne nous permet pas de synchroniser l'IP au convertisseur A/N.

Malgré tout, nous avons pu valider une partie du fonctionnement logiciel à travers l'utilisation d'une autre carte d'acquisition commerciale que nous relierons directement par le connecteur HSMC et non par des fibres optiques. La carte de développement se nomme DEV-ADC34J22.

Cette interface d'acquisition, présentée à la Figure 150, propose 4 voies d'acquisition ayant chacune une résolution de 12 bits et une fréquence d'acquisition maximale de 100 MHz. Sur les 4 voies, seulement 2 sont couplées à des amplificateurs opérationnels basse fréquence permettant une adaptation d'impédance et l'acquisition de la composante continue des signaux. Les 2 voies supplémentaires sont couplées à des transformateurs d'isolement ayant une bande passante dédiée à l'acquisition des hautes fréquences.

La Figure 150 montre également que la carte intègre un oscillateur interne permettant de créer l'horloge d'échantillonnage F_{ADC} . Celui-ci crée aussi le signal de synchronisation SYSREF par le biais du composant LMK04828B. L'utilisateur a aussi la possibilité de brancher son propre signal d'horloge d'acquisition par le connecteur SMA « Clock_{IN} ».

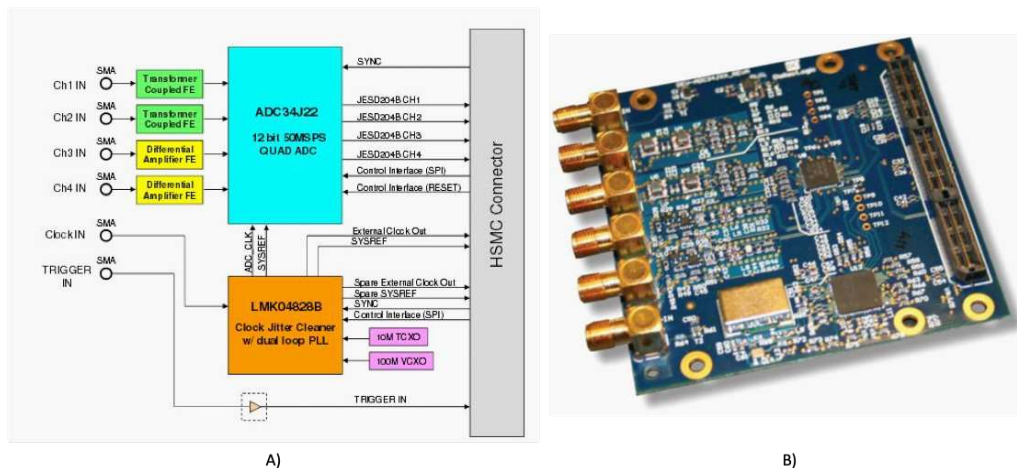


Figure 150 : a) synoptique de la carte de développement DEV-ADC34J22 ; b) carte d'acquisition de développement DEV-ADC34J22

Afin de valider sa mise en œuvre et l'utilisation du protocole JESD204B, nous en avons extrait un exemple de relevé (Figure 151) provenant d'une acquisition de 20 000 points (que nous avons volontairement réduits à 10 000 points pour la présentation) d'un signal sinusoïdal de 125 kHz à une amplitude de $1 V_{pk-pk}$. Une seule voie d'acquisition a été relevée. Nous pouvons apercevoir que cette mesure est valide jusqu'à 162 μs , le phénomène que nous apercevons en suivant est dû à un empiètement dans la mémoire FIFO.

En effet, afin de transiter toutes les données provenant des chaînes d'acquisition aux mémoires embarquées, nous avons placé entre ces deux, une mémoire tampon FIFO permettant de transiter les informations sans perdre des données d'acquisition. Celle-ci a pour rôle de stocker momentanément les valeurs d'acquisition en attendant que la mémoire effectue son opération de stockage [76].

Dans notre cas, étant toujours en procédure de prototypage, le nombre de points n'a pas encore été figé. Par conséquent, nous avons fixé la profondeur de la mémoire à 2048 points. Ce nombre nous a permis de tester plusieurs configurations.

Dans le but de montrer les conséquences d'une calibration incorrecte de cette profondeur mémoire, nous faisons une acquisition d'un nombre de valeurs plus important que la mémoire FIFO peut stocker. Nous apercevons que le signal acquis au bout de 160 μs ne maintient plus la même

fréquence. Ce changement est dû à une saturation de la mémoire FIFO qui enregistre 1 point d'acquisition sur 2. La fréquence du signal acquis à partir de ce phénomène est de 250 kHz au lieu de 125 kHz initialement.

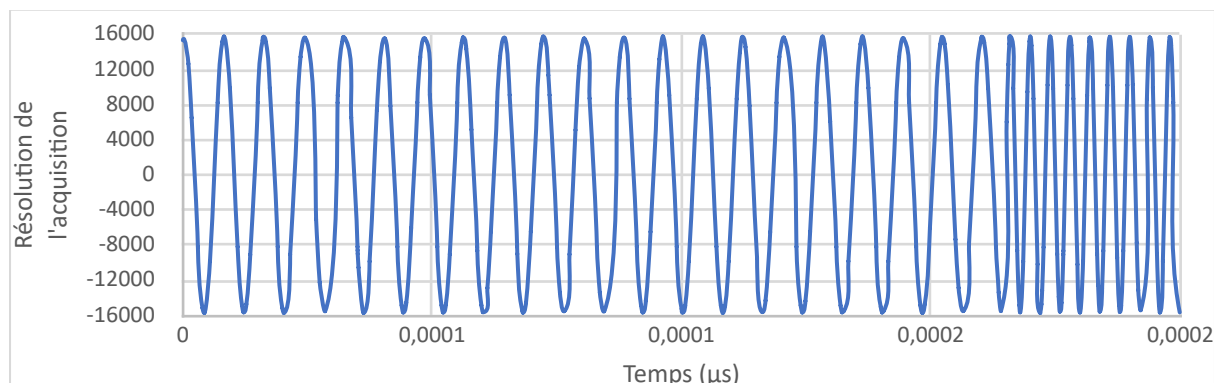


Figure 151 : phénomène d'empiètement de la mémoire FIFO

Pour conclure cette partie, nous avons intégré d'un point de vue logiciel le protocole JESD204B ainsi que son logiciel IP associé en complément de la partie puissance que nous avons précédemment validée. Seulement, afin de pouvoir valider le fonctionnement de celui-ci avec notre carte d'interface, plusieurs points restent encore à corriger dont l'intégration de la fibre optique dédiée au signal SYNC~. Parmi les points à développer, le dimensionnement des chaînes de mémoires afin qu'elles reçoivent et stockent correctement les données sans créer de phénomène d'empiètement sera également un point important à traiter ultérieurement.

Actuellement, les paramètres d'acquisition ne peuvent être changés à part lors de la recompilation du projet. Toujours dans le but d'avoir un système de commande modulaire, nous émettons la possibilité de rendre toute cette procédure d'acquisition modulable en fonction des souhaits de l'utilisateur. Ceci permettrait d'avoir accès aux paramètres tels que la fréquence d'échantillonnage, la résolution des voies d'acquisition, de la profondeur des mémoires FIFO, du nombre de données qu'on souhaite acquérir ou bien du nombre de voies d'acquisition que nous souhaiterions activer. L'ajout de cette fonctionnalité permettrait à l'utilisateur d'acquérir précisément le phénomène qu'il souhaite observer sans avoir recours à un oscilloscope.

En tenant compte de la contrainte du nombre de voies ainsi que de la vitesse limitée des voies haute vitesse en fonction des performances maximales du convertisseur, nous avons décidé de nous consacrer au développement de la prochaine platine de développement. Celle-ci aura les capacités numériques et structurelles de prendre compte toutes les chaînes d'acquisition que nous souhaitons intégrer à ce projet.

d. Gestion de l'interface entre l'utilisateur et le système de commande SoC-Kit

Durant le développement de cette deuxième version, nous avons entrepris des modifications concernant le logiciel de développement, le protocole de communication ainsi que le rôle du HPS dans notre système. Nous avons apporté des modifications supplémentaires sur l'aspect expérience utilisateur permettant à l'utilisateur de travailler avec une interface tout-en-un.

Nous commençons par les nouveaux rôles du système d'exploitation Linux. Étant un système très ouvert et portant la philosophie d'être modulable, de nombreux projets web ont pu émerger autour de ces nouvelles plateformes FPGA-SoC en lien avec ce système d'exploitation [198], [199]. C'est le cas de l'outil Django, présenté durant le chapitre 1 et qui permet aujourd'hui, de développer une application web adaptative en s'articulant sur plusieurs langages de programmation tels que le HTML/CSS/JavaScript du côté web et le python pour le côté système [196].

Cette dernière spécificité est très importante pour le reste du développement. En effet, l'intégration de cet outil évite la détention d'applications ou l'installation de logiciels spécifiques sur des supports informatiques. Ainsi, l'utilisateur a la possibilité de contrôler directement la plateforme via l'interface web développée depuis une adresse IP assignée à la plateforme de développement. L'avantage supplémentaire réside dans la combinaison des différents langages précédemment évoqués. Les premiers langages web sont utilisés pour l'interaction avec l'utilisateur tandis que le dernier, python, est utilisé pour l'interaction avec le système et de ce fait, l'interface HPS-FPGA. C'est à partir de ce langage que nous avons pu transposer la précédente application C/C++.

Dans un premier temps, nous avons construit l'interface visuelle autour d'un modèle de base définissant les blocs généraux de toutes les pages. Nous y retrouverons la structure des pages, leurs contenus et leurs formes ainsi que le menu et l'en-tête comprenant toutes les pages de l'application telles que des tableaux de données, des graphiques d'acquisition et bien d'autres modules. Une fois la structure définie, nous ajoutons le contenu détaillé de chaque page : les boutons d'action, les visualisations, les entrées numériques, etc. Ces composants sont assemblés pour ne former qu'une seule page visible telle que celle présentée Figure 152.

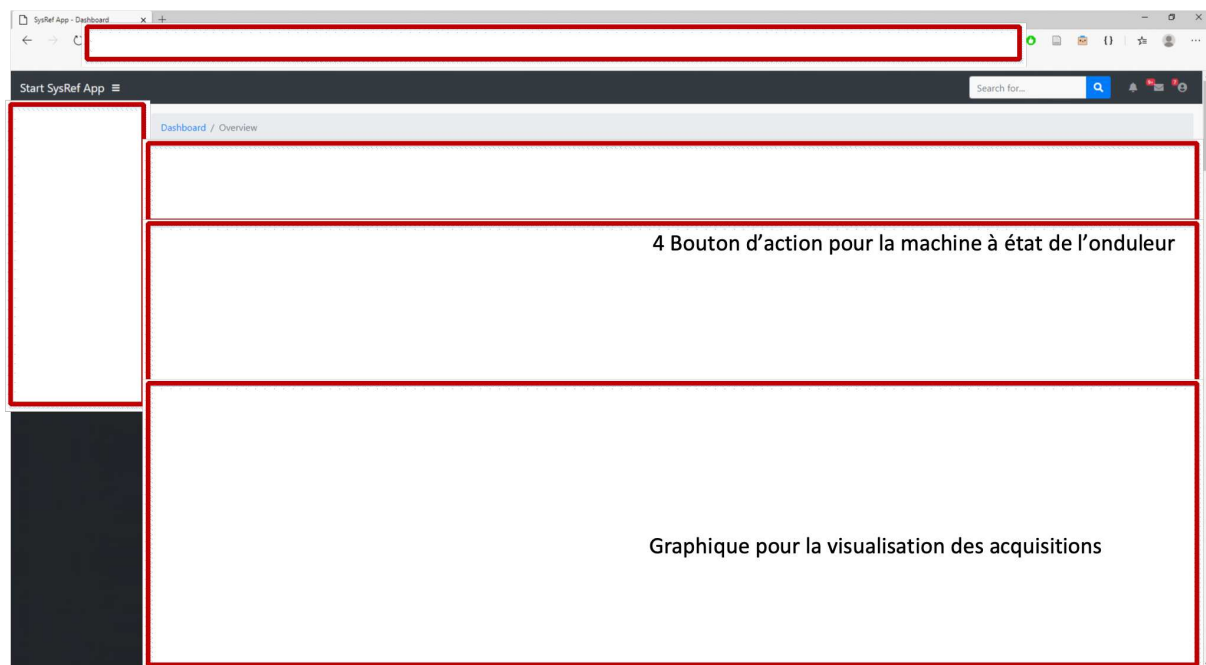


Figure 152 : Interface visuelle développée sur le Framework Django

La figure ci-dessus représente la page principale de l'application : le tableau de bord dit « Dashboard ». Nous y retrouvons les éléments de contrôle concernant la partie puissance avec 4 entrées numériques correspondant à la fréquence de découpage, la fréquence de modulation, son temps mort à la commutation et son coefficient de modulation ; 4 boutons d'action correspondants aux états précédemment énumérés qui sont l'étape d'initialisation, de mise en marche et de mise en arrêt du système ainsi que de sa remise à zéro ; 3 visualisations sont également ajoutées : la première affiche l'état de la machine, une autre affiche les défauts présents dans les modules de puissance et une dernière affiche l'heure à laquelle le système a été mis en route.

Ces entrées numériques ainsi que ces boutons interagissent avec la fonction AJAX du langage JavaScript. Cette fonction est très souvent utilisée pour éviter d'actualiser la page web à chaque événement. Ainsi, nous restons sur la même page sans devoir la réactualiser, ce qui est un avantage.

Un troisième bandeau est intégré pour la manipulation du chronomètre qui se lance soit à la mise en route du système (appui sur le bouton start), soit manuellement.

Un quatrième bandeau est dédié aux étapes d'acquisition et à la configuration des convertisseurs A/N. Pour finir, nous avons fait le choix d'ajouter un graphique représentant la sinusoïde de sortie en fonction des paramètres initialisés par l'utilisateur.

Une fois l'interface construite, nous assignons à chaque bouton leurs fonctions dédiées. Cependant, la différence par rapport au précédent développement apparaît plus clairement lors de son processus de traitement des tâches :

Avec l'application précédente, le traitement de l'action lors d'un appui sur un bouton quelconque se fait une première fois à travers le langage C#, puis le système procède à une requête SSH avant d'atteindre l'application en C située sur la plateforme pour effectuer un autre traitement de cette même action.

Avec l'utilisation du Framework Django, la requête SSH est remplacée par une requête HTML, et le traitement de l'action lors de ce même appui est directement effectué depuis la plateforme à partir du langage python. Ainsi, l'accès à la machine à états du côté FPGA est obtenu de façon directe et non par l'intermédiaire d'un protocole de communication. Nous raccourcissons donc le temps de traitement tout en améliorant l'interaction avec l'utilisateur. Cette différence de procédure est illustrée Figure 153.

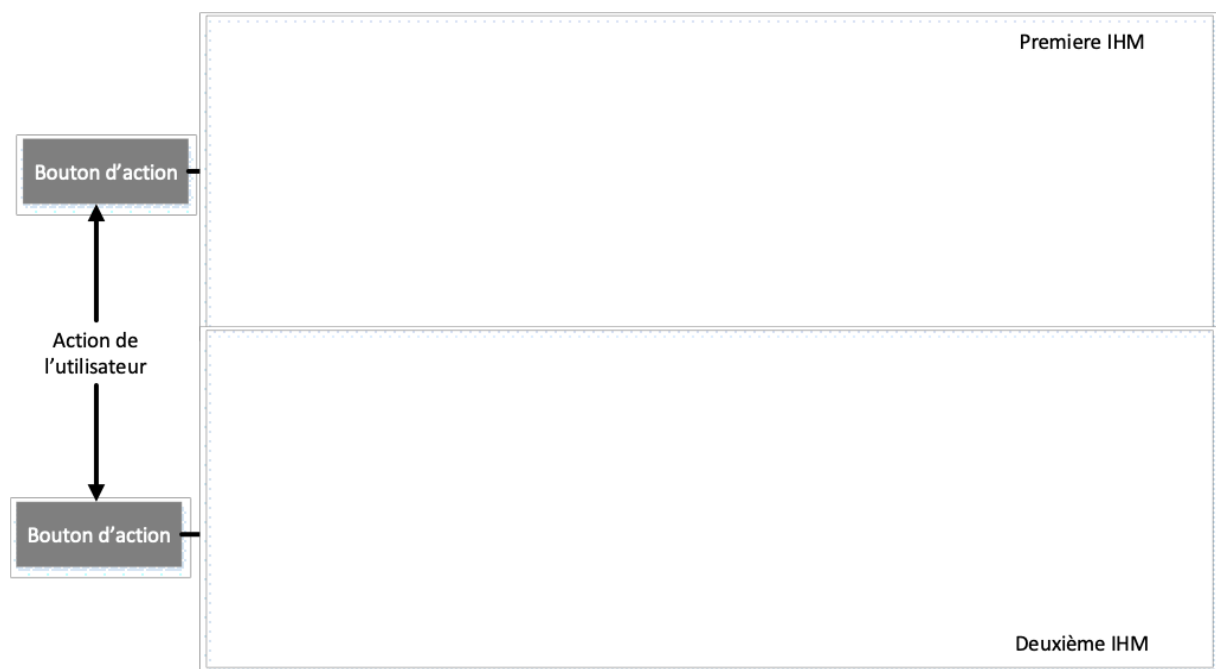


Figure 153 : Différence entre le fonctionnement des deux interfaces personne-machine

Cette amélioration s'accompagne d'une centralisation de tous les fichiers sources au sein de la plateforme. Ainsi, la connexion à l'interface peut s'effectuer depuis différents types de supports tels qu'un ordinateur, une tablette ou bien même un téléphone. Nous avons par conséquent obtenu une interface-application adaptative.

En comparant la précédente interface à la nouvelle, nous avons pu améliorer plusieurs points, dont le premier, la création d'un circuit court pour le traitement des demandes de l'utilisateur. Lorsque celui-ci actionne un bouton, il est directement considéré au sein de la partie HPS et contrôle à la suite la partie FPGA. Par conséquent, nous augmentons la vitesse d'exécution de la commande tout en réduisant le risque d'un potentiel problème entre l'utilisateur et la plateforme de commande comme le mauvais traitement d'une fonction d'interfaçage que nous avons dans le premier et deuxième développement de l'IHM (III.3.A.c, III.4.B.c).

Cette première évolution nous a permis d'améliorer l'architecture des informations dans une interface en établissant une stratégie du contenu logique grâce à l'ajout de plusieurs pages différenciant les modules du système tel que le pilotage et l'acquisition. Grâce ce développement, nous obtenons une interface optimisée en fonction des besoins de l'utilisateur.

Enfin, nous avons apporté une dernière évolution portant plus sur le langage de l'interface. Le design graphique et l'interaction de l'utilisateur sont simplifiés et améliorés suite à l'ajout des modules tels que Bootstrap pour le moteur graphique et JavaScript pour la manipulation d'objets. Le premier est un moteur graphique qui est ajouté à chaque composant que nous visualisons sur l'interface. Beaucoup de sites « modernes » l'utilisent. Le second, le JavaScript langage orienté manipulation des objets, permet de faire le lien entre le langage HTML, langage de programmation dédié à la construction des pages web, et le code python, langage de programmation orienté au contrôle du système Linux. Via son utilisation, nous utilisons le principe des fonctions AJAX et l'affichage des données provenant des sources d'acquisition.

À ce stade du développement, nous possédons tous les éléments nécessaires pour concevoir une nouvelle interface matérielle tout en prenant en compte les contraintes du fabricant pour l'adaptation à un connecteur HSMC.

e. Développement de la carte interface pour la platine de développement SoC-Kit

Suite au changement de plateforme de développement, les connecteurs GPIO précédemment utilisés ne sont plus disponibles. Le développement et la conception d'une nouvelle carte d'interface deviennent donc prioritaires. Le connecteur haute vitesse HSMC, pour High Speed Mezzanine Card, présent sur cette platine de développement, a été préféré suite à notre souhait d'avoir à disposition un processus d'acquisition haute vitesse.

Ce connecteur est d'une conception spécifique : il ne permet pas d'attribuer n'importe quelle voie pour n'importe quelle utilisation. Certaines d'entre-elles sont uniquement dédiées aux voies haute vitesse SERDOUT [0...1] tandis que d'autres peuvent être utilisées soit en signal d'horloge/synchronisation différentiel LVDS, présenté lors du chapitre1, soit comme des voies normales d'entrées/sorties E/S.

Seulement 7 paires de voies hautes vitesses sont disponibles sur la SoC-Kit. Or, dans l'hypothèse où nous souhaiterions prendre en charge toutes les cartes d'acquisition de notre banc avec une seule plateforme, nous devrions alors utiliser simultanément 12 voies minimum. Deux solutions peuvent alors être envisagées. La première est de changer de platine de développement pour une alternative comprenant un nombre plus important de voies hautes vitesses. La seconde serait d'agencer 2 platines de développement SoC-Kit afin que chacune d'entre elles prenne en charge 6 cartes d'acquisition.

Nous prévoyons d'intégrer à cette interface, des voies hautes et basses vitesses. Concernant les premières, nous avons 6 voies de réception, 1 voies de transfert pour le signal d'échantillonnage et 6 voies en paires concernant les signaux de synchronisation SYNC~ et SYSREF.

N'ayant pas de signal d'échantillonnage directement intégré à cette platine de développement, nous dimensionnons la chaîne d'horloge pour le fournir. À partir de notre limite de vitesse imposée par la platine, ce signal est fonction du nombre de voies souhaitées pour chaque convertisseur. En conséquence, nous fixons le nombre maximal que peut atteindre la platine SoC-Kit. Nous avons assemblé une horloge à une PLL pour obtenir les signaux f_{frame} et f_{Link} .

Le dimensionnement de la chaîne d'horloge permet, par la modulation de différents niveaux de tension, une division ou une multiplication de la fréquence d'horloge de sortie. De ce fait, la fréquence d'échantillonnage que nous obtenons est facilement ajustable.

Cette chaîne est constituée d'un premier composant fournissant la première horloge, le quartz SI545AAA622M08BAGR. Sa fréquence maximale de sortie est de 622MHz. À la suite, celle-ci est transmise au tampon d'horloge AD9515 opérant en tant que diviseur de fréquence. La valeur de division est obtenue suivant les valeurs des tensions des entrées S0 à S10. Le signal de sortie de l'AD9515 est le signal d'échantillonnage divisé. Le schéma électrique pour finaliser la conception et la réalisation de cette structure est présenté à la Figure 154.

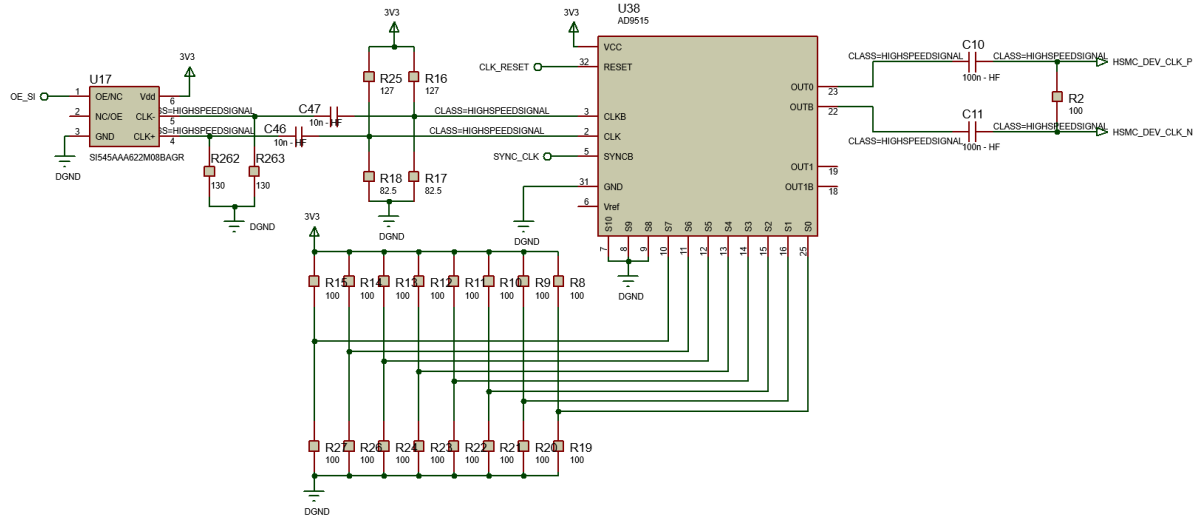


Figure 154 : Schéma électrique pour la création de l'horloge d'échantillonnage

Des adaptations des lignes pour respecter les terminaisons de chaque composant ont été prévues à la sortie du quartz et à l'entrée de l'AD9515. Même cas pour la sortie de ce dernier. Les résistances modulant les tensions configurant le diviseur d'horloge ont été remplacées par un dispositif à interrupteurs permettant un accès direct à l'utilisateur à la configuration du composant.

Les voies à basse vitesse sont composées de 6 voies MLI, 3 voies de retours de défauts, 3 voies de remise à zéro des modules de puissance et le bus du protocole SPI communiquant à 1 MHz.

Une fois de plus, en anticipant l'évolution future de la platine de développement, nous avons conçu la carte fille de manière à ce qu'elle comprenne le pilotage MLI, les retours des défauts, les voies de remise à zéro et le protocole SPI. Dans l'optique de pouvoir facilement transiter d'une interface développée pour la platine SoC-Kit à une future autre, ces cartes sont reliées de la même façon que la carte fille des cartes d'acquisition, par une nappe FFC.

Nous avons opté pour un développement basé sur un PCB 4 couches en définissant l'agencement de chacune d'entre elles comme illustré dans le Tableau 34 :

Layer constructeur	Layer Projet	Matériaux	Épaisseur (mm)
Top Solder mask		Masque de soudure	0,5mil
Top Layer 1	SPI / MLI	Cuivre	0,035
Prepeg		7628	0,1
Inner Layer 2	DGND	Cuivre	0,0175
Core		Corps	1,065
Inner Layer 3	3.3 V	Cuivre	0,0175
Prepeg		7628	0,1

Bottom Layer 4	Lignes de transmissions	Cuivre	0,035
Bottom Solder Mask		Masque de soudure	0,5mil

Tableau 34 : Agencement des couches pour la carte d'interface adaptée à la platine SoC-Kit

Nous isolons les voies hautes fréquences des voies standard dédiées au pilotage de l'électronique de puissance et du protocole SPI par l'intermédiaire de couches dédiées aux plans de masses et de puissance. Nous avons pris les mêmes dimensions des pistes que pour le développement de la carte d'acquisition afin d'essayer de respecter l'impédance des lignes de transmission de 100 Ω. Le routage de ces lignes est visible sur la Figure 155.

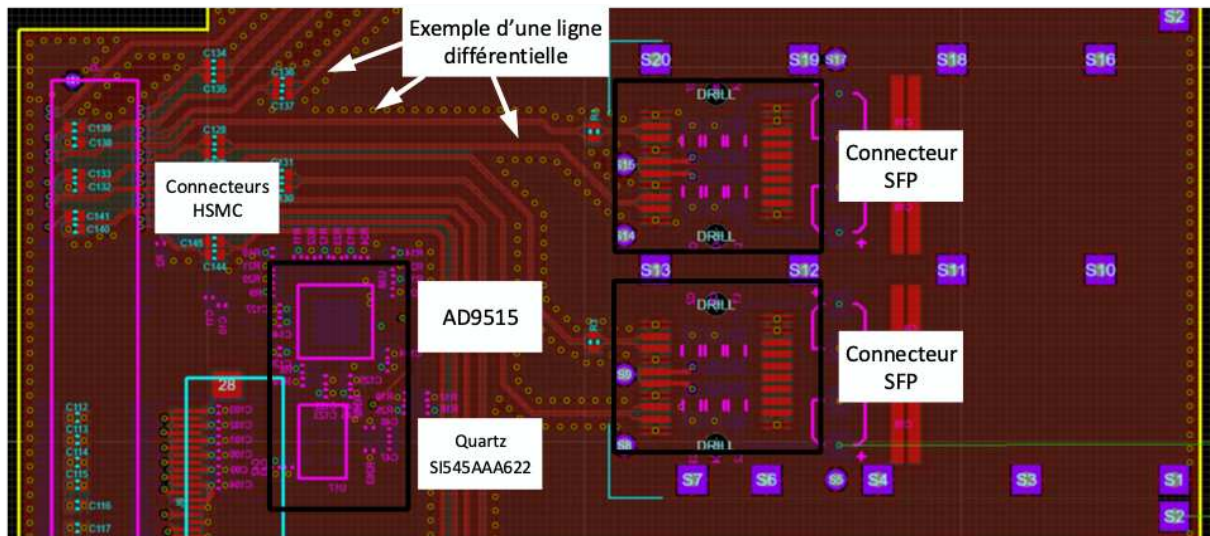




Figure 157 : Assemblage de la carte interface, carte fille et platine de développement SoC-Kit

Au cours de l'avancée de notre développement, l'oubli de l'intégration du signal SYNC~ a mis la validation de l'interface et de la carte d'acquisition en pause. N'ayant pas de possibilité d'ajouter ce signal autrement que par une nouvelle étude et conception de la carte interface, nous avons revu notre développement en changeant de plateforme suite à la contrainte du nombre de voies hautes vitesses.

Toutefois, ce prototype d'interfaçage est opérationnel pour la gestion du système de conversion de puissance et la configuration des chaînes d'acquisition par le protocole de communication SPI.

f. Ressources nécessaires pour le développement logiciel avec la platine SoC-Kit

Les ressources nécessaires au développement pour la plateforme SoC-Kit sont évaluées de la même façon que pour la plateforme DE0-NanoSoC, lors de la compilation de notre programme. En fonction des ressources de la platine SoC-kit, nous pouvons estimer un pourcentage de taux de remplissage nous indiquant ainsi nos limites de développement. Les ressources de la platine de développement concernant le nombre de portes logiques, les registres de données, l'usage des mémoires embarquées et le nombre de blocs de mémoire que nous utilisons sont présentées ici. Le Tableau 35 résume les données obtenues post-compilation du logiciel.

Types de ressources	R e s s o u r c e s utilisées	R e s s o u r c e s maximales	Taux de remplissage
Utilisation des portes logiques	11639	41910	27%
Registre de données	12957		
Bloc de mémoire (bits)	1349504	5662720	
Bloc de mémoire (bytes)	168 M	707 M	23,83%
Block de RAM	217	553	39%

Tableau 35 : Pourcentage des ressources utilisées de la platine SoC-Kit en fonction des ressources disponibles

En comparant les résultats obtenus entre le tableau précédent correspondant à la platine DE0-Nano SoC (Tableau 31) et celui-ci (Tableau 35), nous remarquons que les taux de remplissage sont plus élevés pour la platine SoC-Kit. Cela s'explique sur la différence des développements logiciels. En effet, le précédent développement ne contient que le pilotage du convertisseur. Ayant besoin de plus de

mémoire pour contenir les acquisitions, le développement pour la platine SoC-kit fait face à une augmentation de la mémoire requise ainsi que du nombre de portes logiques utilisées suite à l'implantation de l'IP JESD204B. Suite à cette étude, nous pouvons ici conclure à propos de notre développement sur la platine SoC-Kit.

g. Conclusion du développement pour la platine SoC-Kit

Nous avons vu jusqu'à maintenant 2 développements basés sur 2 plateformes FPGA ne comprend pas les mêmes ressources. La première plateforme est la DE0-Nano-SoC et la seconde, la plateforme SoC-Kit. La différence logicielle entre ces 2 plateformes nous a permis de développer la gestion des acquisitions. La partie physique de l'acquisition doit encore être améliorée et testée via les fibres optiques haute vitesse. La partie logicielle a été validée partiellement via l'utilisation d'une autre platine fille de développement. Nous avons pu prendre en compte les différents dimensionnements concernant les mémoires embarquées afin que la récupération des données soit optimale.

Nous avons pu aussi étudier et implanter une nouvelle interface utilisateur comprenant moins de contraintes que celles développées lors des deux premières plateformes. En effet, nous avons pu concevoir et mettre en forme une interface web via le Framework Django [196] nous permettant de nous authentifier via la plateforme de commande à distance sans pour autant avoir besoin de détenir un quelconque exécutable logiciel. De plus, cette solution nous permet de facilement ajouter des fonctionnalités grâce à la large communauté développée autour de cet outil.

Cependant, des problèmes de conception des cartes interfaces nous ont contraints à revoir son déploiement et par conséquent, la procédure de validation sous cette plateforme. Bien que ce problème ait impacté l'avancée du développement, nous avons précédemment indiqué que la plateforme SoC-Kit ne comprenait pas le nombre de voies hautes vitesses nécessaires pour gérer toutes les chaînes d'acquisition prévues avec une seule plateforme. C'est pourquoi nous avons décidé de nous orienter vers une nouvelle plateforme plus puissante appelée Han Pilot [200] que nous allons décrire dans la partie suivante.

III.4.D. Développement d'un système de commande sur une plateforme FPGA SoC - Han Pilot

a. Présentation générale de la troisième version du système de commande

Afin de pallier aux manques de ressources provenant de la plateforme SoC-Kit, nous devons tôt ou tard changer cette dernière. En effet, les limitations là concernant étaient principalement liées à l'intégration de l'acquisition. L'une des deux principales contraintes était la limite de la vitesse à 3.125 Gb/s des voies haute vitesse. Celles-ci ne nous permettaient pas d'exploiter les performances optimales du convertisseur en fonctionnant à une fréquence d'échantillonnage moins importante. La seconde contrainte a été le nombre de voix haute vitesse. Afin de subvenir à la réception des 3 chaînes d'acquisition, nous devons nous munir d'une deuxième platine SoC-Kit. Souhaitant centraliser l'ensemble des données sur une seule plateforme et éviter les problèmes liés à l'interfaçage de 2 SoC-Kit, nous avons fait le choix de nous orienter vers une autre gamme de plateformes.

La nouvelle plateforme que nous avons choisie est appelée Han Pilot et fonctionne sur la base d'un SoC FPGA plus performant de type Arria10. Ce nouveau composant FPGA représente une évolution significative par rapport au Cyclone V comme le précise la comparaison de leurs performances présentée dans le chapitre 1. Toutefois, cette amélioration ne nécessite pas de changer les composants logiciels déjà développés pour le Cyclone V. Nous pouvons ainsi opérer de la même façon

que pour le changement entre la première et la seconde platine de développement, soit en transposant directement nos programmes. Seulement une modification mineure de la mémoire embarquée a dû être réactualisée pour l'intégrer au nouveau composant. Même cas que la précédente intégration, les blocs de la gestion de la puissance et de l'acquisition sont réintégrés au fichier projet.

Nous avons aussi profité de cette amélioration pour modifier les limites du ratio découpage/modulante afin de permettre à l'utilisateur de diminuer ou d'augmenter la fréquence de modulation ou la fréquence de découpage du système. La nouvelle limite du nombre de valeurs est de 16284 valeurs. Par conséquent, si nous souhaitons découper notre modulation à une fréquence de 250 kHz, nous pourrions atteindre la fréquence de modulation minimale à 16 Hz maximum comparés à 25 Hz précédemment. Atteindre cette faible valeur de modulation reste intéressant pour des systèmes où l'on souhaite augmenter petit à petit la fréquence de modulation avant d'atteindre le régime nominal.

Les différences majeures entre l'ancienne platine de développement et celle-ci résident dans le nombre de voies hautes vitesses, le type de connecteur E/S associé et la limitation du débit de données des voies hautes vitesses.

Concernant les deux premiers, il va de soi que le nombre de voies possibles est aussi fonction du connecteur utilisé. Précédemment, nous avons utilisé le connecteur HSMC comprenant 3 banques de voies. Celui qui contient la nouvelle platine de développement est le connecteur spécifique FPGA Mezzanine Card (FMC) comme le précise la Figure 158. Celui-ci a un nombre de voies plus important que ce soit en haute vitesse ou en vitesse normale, paires ou voies simples. Nous procédons de la même façon que lors de l'assignation des voies pour la platine SoC-Kit : des voies hautes vitesses sont déjà attribuées et de ce fait, ces agencements doivent être respectés lors de la conception de la carte d'interface.

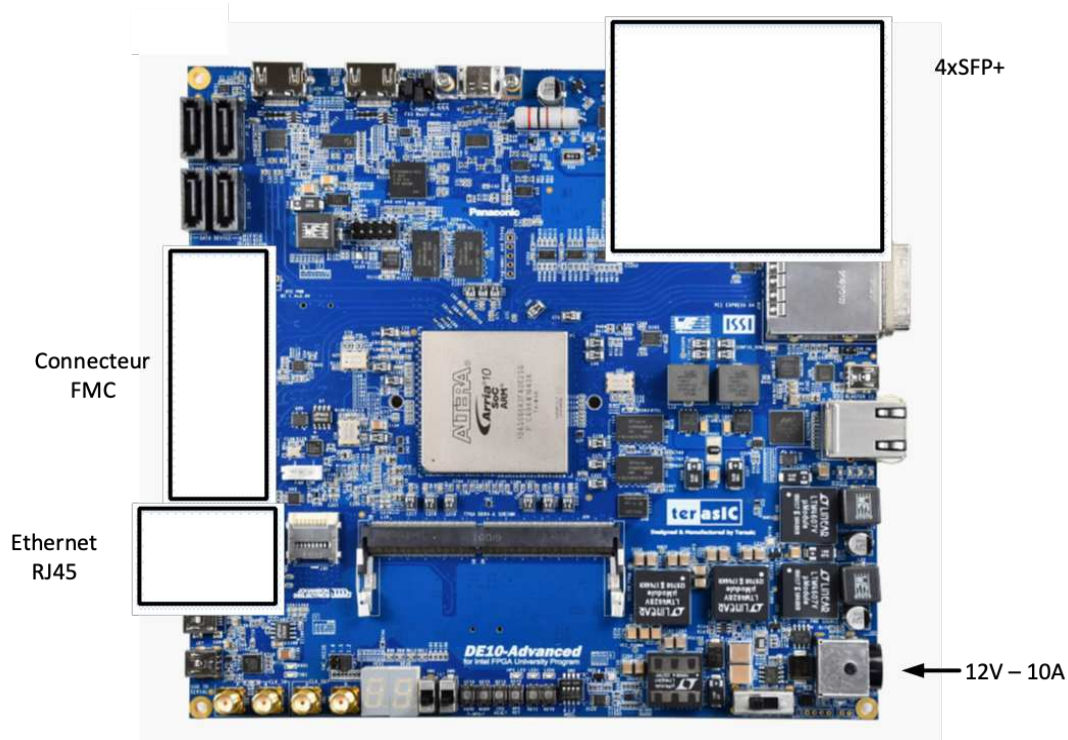


Figure 158 : Platine de développement Han Pilot

En complément de ce connecteur FMC, 4 connecteurs SFP+ sont disponibles sur la platine. Cette précision aura son importance lors du dimensionnement de la carte d'interface.

Leurs limitations en vitesse de transmissions et de réceptions sont repoussées à 6.144 Gb/s. Les performances optimales du convertisseur étant à 5 Gb/s, nous pourrions ici potentiellement exploiter la pleine vitesse d'échantillonnage des convertisseurs A/N.

Cependant, un inconvénient intervient concernant les niveaux de tension des signaux logiques d'entrées ou de sorties. Les signaux de type "single-ended," comme ceux de la gestion de puissance ou bien de la communication SPI, ont un niveau maximal de 1,8 V. Le niveau de déclenchement « de seuil » des fibres optiques AFBR 16/26XX étant de 2 V, ces dernières ne sont pas adaptées pour cette utilisation. Nous verrons lors du développement de la carte d'interface, la solution qui a été choisie afin de remédier à ce problème.

Appliquant la même méthodologie que pour les précédentes études, nous décrivons ci-dessous le nouveau synoptique de fonctionnement de la partie contrôle commande.

b. Étude du synoptique fonctionnel de la carte de développement Han Pilot

Le nouveau développement n'apporte pas de modification majeure en comparaison avec le précédent. Ayant des performances plus élevées, nous avons pu intégrer lors du développement de la carte d'interface plus de voies hautes vitesses pour centraliser l'acquisition sur une seule platine de développement portant ainsi la gestion globale.

Nous avons précédemment émis la remarque que le changement de plateforme numérique ait impacté positivement les mémoires embarquées suite à une augmentation significative de leurs espaces alloués. Par conséquent, nous en profitons augmenter la mémoire allouée aux données d'acquisition afin de pouvoir profiter d'une profondeur d'enregistrement plus importante. Celle-ci limitera le nombre d'acquisitions à 50k valeurs. À titre de comparaison, la profondeur mémoire d'une voie des oscilloscopes peut-elle atteindre les 5 millions d'échantillons. Bien que la différence soit très grande, nous verrons que nous ne remplissons pas entièrement la mémoire embarquée disponible sur la plateforme. De plus, cette mémoire sera dupliquée 12 fois pour 12 voies d'acquisition au lieu de 4 comme nous pouvons avoir avec des oscilloscopes d'entrées de gammes.

La gestion de la partie puissance est inchangée, de même pour la gestion de l'interface utilisateur. Le synoptique fonctionnel est illustré à la Figure 159.

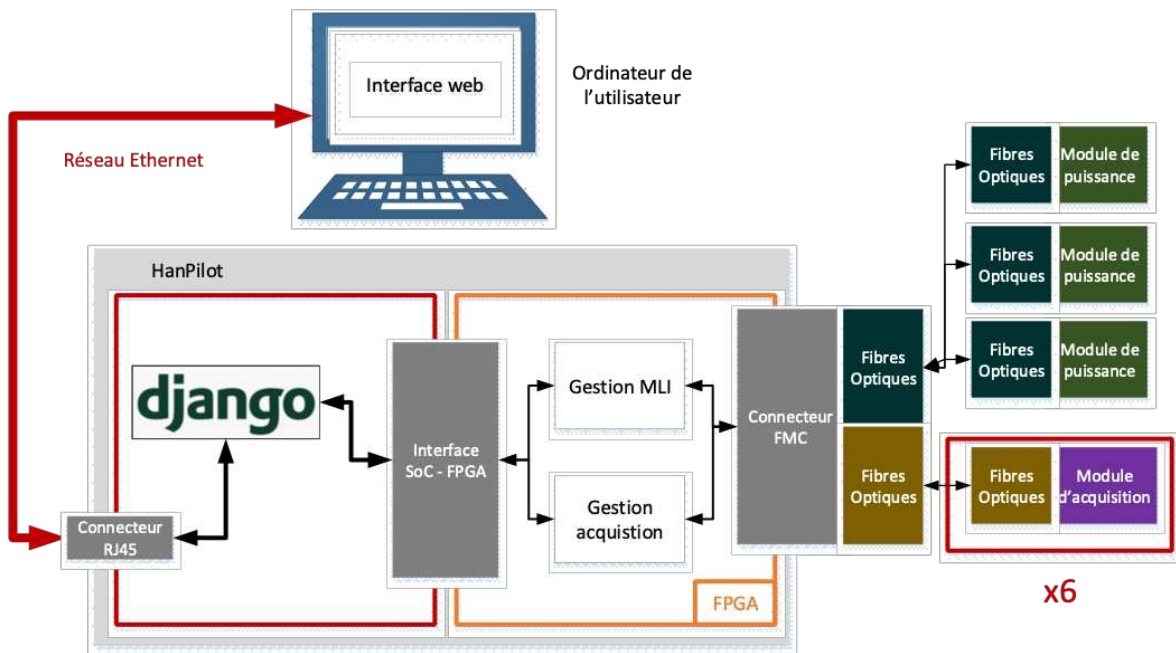


Figure 159 : Synoptique fonctionnel du système de commande sous la platine de développement Han Pilot

Nous sommes dans le même cas que la précédente version : la gestion de la partie puissance n'a pas été modifiée dans sa structure. Seul l'espace alloué à la mémoire contenant les valeurs MLI a été augmenté nous permettant d'obtenir un ratio découpage/modulation plus intéressant.

c. Gestion de l'acquisition pour le développement logiciel avec la platine Han Pilot

La gestion de l'acquisition a subi de légères modifications suite au changement de la limite de la vitesse des voies haute vitesse. Une autre modification a été apportée lors de ce développement. Nous avons choisi d'utiliser un signal d'horloge que la plateforme produit par ses propres moyens. Cette fonctionnalité n'étant pas disponible avec la plateforme SoC-Kit, nous avons maintenant l'avantage d'avoir un signal de sortie généré par un signal d'horloge de référence de 125 MHz. L'horloge d'échantillonnage, les horloges f_{Frame} et f_{Link} ainsi que les signaux de synchronisation SYNC~ et SYSREF sont générés par une PLL dont le signal d'entrée dépend du signal de référence de 125 MHz.

Lors du développement de la carte d'interface, nous avons dimensionné toute une chaîne d'horloges d'échantillonnage afin de créer l'horloge destinée aux chaînes d'acquisition. Par souci de redondance, nous l'avons tout de même conservée suite aux validations que nous avons obtenues lors du développement de la plateforme SoC-Kit.

Nous reprenons les paramètres de l'IP JESD204B que nous avons précédemment dimensionné lors du développement de la gestion d'acquisition avec la platine SoC-Kit. Ces paramètres sont synthétisés dans le Tableau 36 ci-dessous :

F_bitrate	F _{ADC}	L	M	F	N	N'	SYSREF	SYNC~	Subclass
5 Gb/s	250 MHz	2	2	2	14	16	7.8125 MHz	15.625 MHz	1

Tableau 36 : Paramètre de l'IP JESD204B pour la platine Han Pilot

Une fois ces paramètres définis, nous procédons à la construction logicielle de la gestion de la partie acquisition que nous retrouvons schématisée à la Figure 160 :

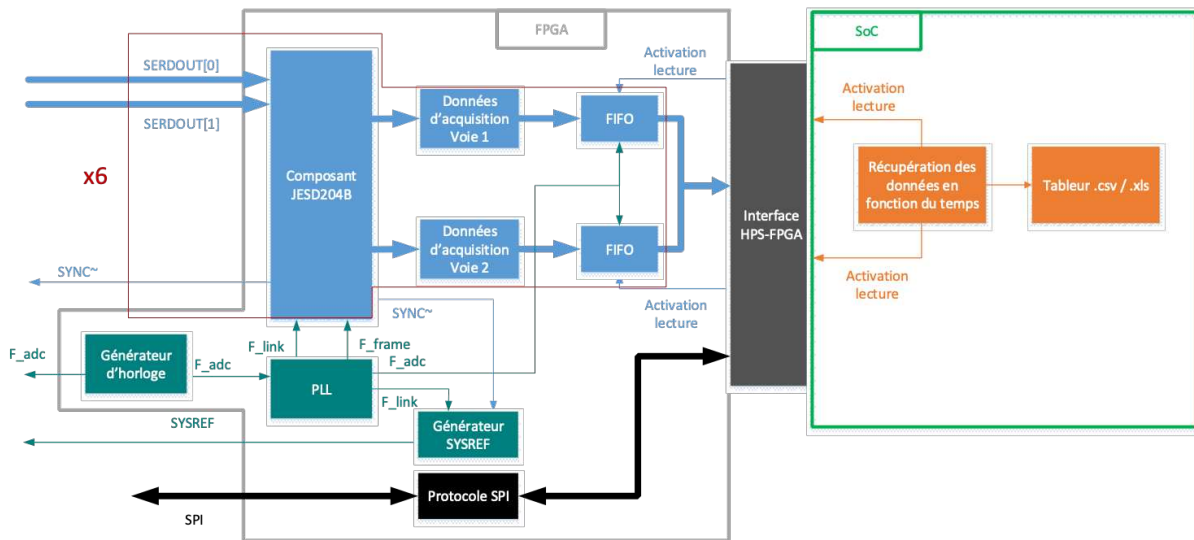


Figure 160 : Synoptique du fonctionnement de la gestion de l'acquisition sur la platine de développement Han Pilot

Nous avons sensiblement la même structure que lors du précédent développement. Le contrôle des signaux est obtenu par une interface spécialement conçue pour.

Cette structure vient s'ajouter en parallèle de la gestion de la puissance. Seul le changement d'horloge est notable en plus du nombre de composants JESD204B intégrés supplémentaires.

La gestion de l'interaction entre l'utilisateur et le système a été reprise et validée par la précédente configuration ainsi que lors de l'agencement des différents modules développés pour la deuxième version (avec Framework Django), ce développement nous a convaincus de poursuivre avec cette même solution. C'est pourquoi nous avons ici simplement réintégré l'application dans la plateforme Han Pilot ce qui s'est fait sans difficulté.

d. Carte d'interface dédiée à la platine Han Pilot

Le changement de la platine de développement (et surtout le connecteur haute vitesse) a engendré une nouvelle étude de conception pour la carte d'interface. Cette nouvelle étude doit prendre en compte le changement du connecteur HSMC à un connecteur FMC. Ce changement nous a permis d'augmenter le nombre de voies hautes vitesses afin de piloter potentiellement tous les convertisseurs ADC présents sur le banc de test avec cette platine. S'ajoute à cela la possibilité d'utiliser le signal de référence interne à la platine pour créer l'horloge d'échantillonnage.

Cependant, avant de la développer nous allons résoudre la problématique énoncée lors de l'introduction de ce chapitre. Elle est liée à des niveaux de tension E/S du connecteur FMC. Pour rappel, la tension de déclenchement des fibres optiques (située à 2 V) est trop élevée par rapport au niveau des tensions E/S qui sont de 1.8 V.

Afin de contourner ce problème, plusieurs solutions sont possibles. Soit procéder au changement des fibres optiques pour un nouveau modèle ayant un niveau de déclenchement. Soit translater les niveaux de tension de 1.8 V à 3.3 V pour atteindre les niveaux des déclenchements souhaités. Toutefois, les limites technologiques ne nous permettent pas de nous diriger vers la première solution. De plus, ayant déjà eu recours à la deuxième solution lors du développement de la carte d'acquisition, nous avons opté pour celle-ci.

Les translateurs de niveau NVT20XX que nous retrouvons Figure 161, répondent à cette problématique en translatant la tension de 1.8 V à 3.3 V, et ce quelle que soit l'entrée ou la sortie.

D'un point de vue vitesse, ces translateurs de niveau opèrent jusqu'à des fréquences de fonctionnement de 33 MHz. Nous avons fait le choix de ce translateur de niveaux NVT2006, car il peut gérer 6 voies d'entrées/sorties. Ainsi, nous avons pu mettre 3 translateurs de niveaux à intégrer sur la carte d'interface, dont 1 pour les signaux MLI, un autre pour les remises à zéro et les retours de défauts des modules de puissance et un dernier pour le protocole SPI des cartes d'acquisition. L'ajout de résistances Pull-Up est obligatoire afin de polariser correctement les ports d'E/S.

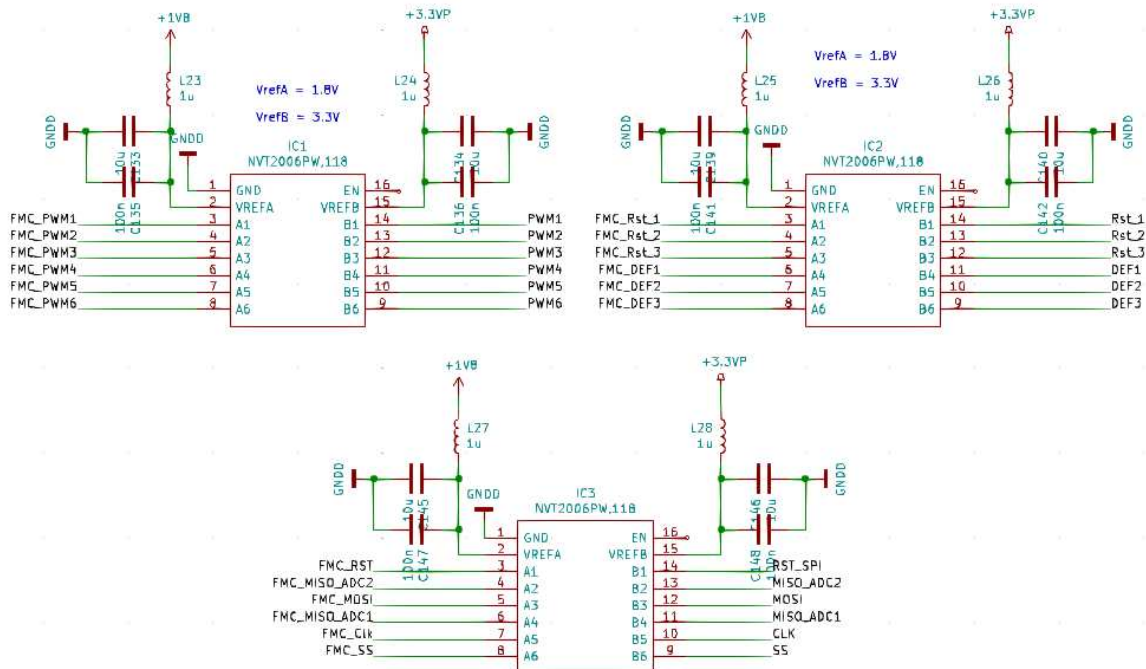


Figure 161 : Schéma électrique des translateurs de niveaux NVT2006

Ces translateurs de niveaux vont fournir les niveaux de tension nécessaires pour faire transiter les données à travers les fibres optiques. Celles-ci vont être placées sur des cartes filles afin de laisser un maximum de place aux fibres optiques dédiées à l'acquisition. Nous aurons 2 cartes filles dont l'une a été reprise du précédent développement avec la platine SoC-Kit. Une troisième carte a été conçue pour être placée au-dessus des 2 premières, celle-ci correspondant aux fibres optiques dédiées au protocole SPI pour la configuration des convertisseurs A/N. Ces cartes filles sont reliées par des nappes et des connecteurs FFC placés sur la carte interface principale. L'assemblage de ces cartes est visible Figure 163.

Du point de vue acquisition, nous avons besoin de 12 voies hautes vitesses pour recevoir l'ensemble des données des 3 chaînes d'acquisition contenant chacun 2 ADC. Nous routons donc autant de voies hautes vitesses que nécessaire sur notre carte d'interface par rapport au connecteur FMC, soit 8 voies haute vitesse correspondant à 2 chaînes d'acquisition et 4 ADC. Chaque ADC fera transiter ses données à travers 2 voies hautes vitesses. La dernière chaîne d'acquisition manquante transmettra ses données à partir des 4 voies SFP+ de la platine de développement.

Nous implantons également sur cette carte d'interface les fibres optiques AFBR 59F2Z dédiées à la transmission de l'horloge d'échantillonnage.

L'étude de cette nouvelle carte interface fait intervenir ici un routage similaire à celui de la précédente carte d'interface dédiée à la plateforme SoC-Kit. Ainsi, en ayant déjà étudié les techniques de via shielding, de cages de faraday, des impédances de couplage et des terminaisons à adapter, nous reprenons un développement similaire sur une carte 4 couches en assignant les couches aux mêmes fonctions que celles que nous avons définies dans le Tableau 34.

Toutefois, le routage de cette carte interface a été plus complexe. En effet, ayant un nombre de voies haute vitesse important, nous avons dû agencer au mieux les connecteurs fibres optiques afin qu'ils ne puissent pas être s'entrecouper les uns les autres. De plus, l'intégration d'un connecteur complexe tel que le connecteur FMC a rendu la tâche plus difficile, que ce soit pour le routage ou bien lors de l'assemblage au four à refusions.

La Figure 162 ci-dessous présente le routage de la carte interface prévue pour la plateforme Han Pilot. En tenant compte des préconisations d'un routage haute vitesse [183], [191], [201], nous avons évité les coupures des voies haute vitesse à plus de 1Gb/s en étudiant l'agencement des composants sur l'interface. Ceci nous a permis d'éviter l'utilisation des via sur les voies haute vitesse. Seules les pistes SYNC~ et SYSREF en possèdent malgré tout. Même cas que lorsque nous avons développé la chaîne d'acquisition, nous avons mis à leurs proximités des via supplémentaire pour la coupure des plans de masse (III.2.B) [201]. Notre choix est justifié par leurs fréquences amoindries à des centaines de MHz comparativement aux signaux de données fonctionnant à 5 GHz.

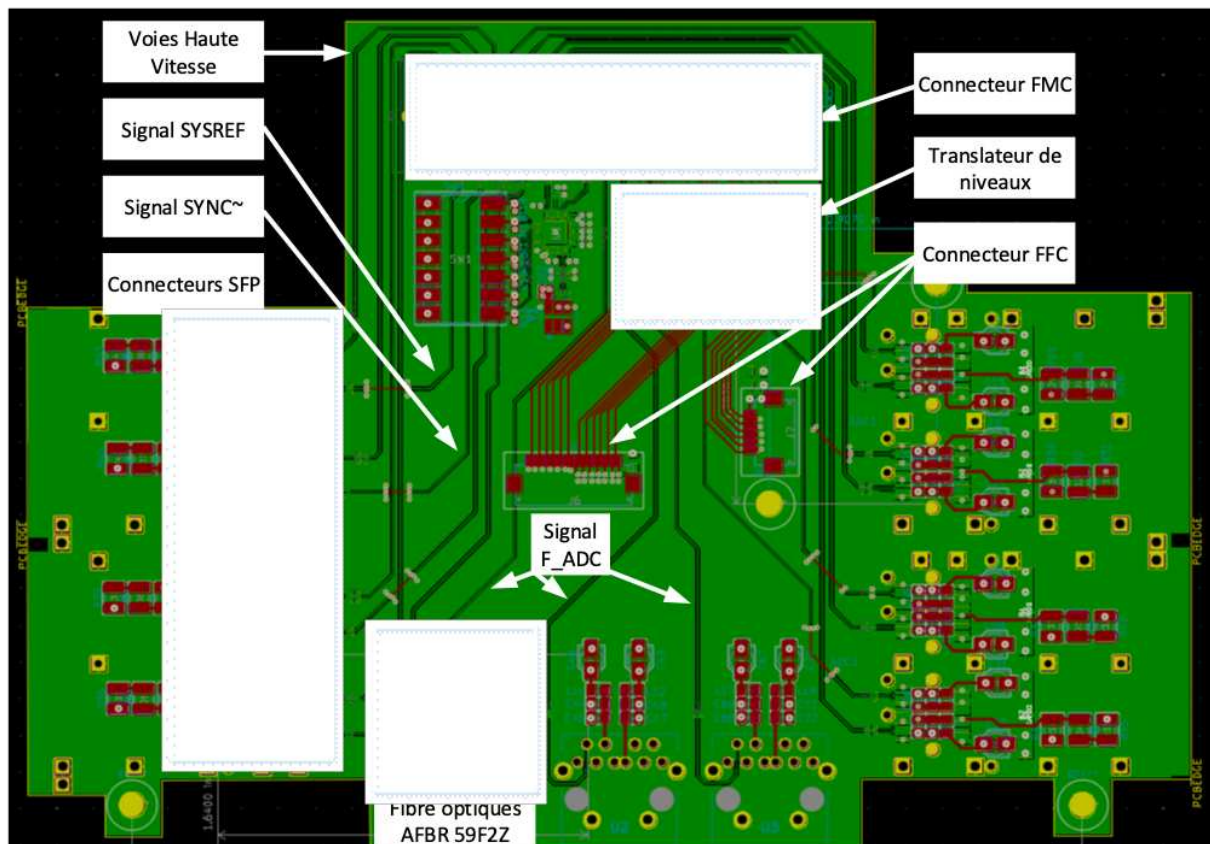


Figure 162 : Routage de la carte interface dédiée à la plateforme Han Pilot

La répartition des couches est telle que deux couches sont attribuées aux lignes HF pour l'une et aux voies MLI/SPI pour l'autre. Elles sont séparées par les deux couches correspondant aux plans de masse et de puissance.

Tout en maintenant les adaptations des lignes de transmissions et les couplages entre chaque voie, nous avons procédé à la conception, au routage et l'assemblage de ces cartes. Nous retrouvons le prototype réalisé sur les figures suivantes :

La Figure 163 illustre l'assemblage final de la carte interface prévue pour la plateforme Han Pilot.

Sur la Figure 164, nous retrouvons la visualisation de la face avant de la carte interface Han Pilot avec ses cartes filles MLI et SPI ainsi que les connexions des fibres optiques et leurs cages de protection EMI.

Enfin, la Figure 165 illustre une visualisation de la face de dessous de la carte interface Han Pilot ou l'on retrouve, en plus des éléments visibles aux figures précédentes, l'implantation des connecteurs FMC et SFP+, ainsi que le C.I du générateur d'horloge.

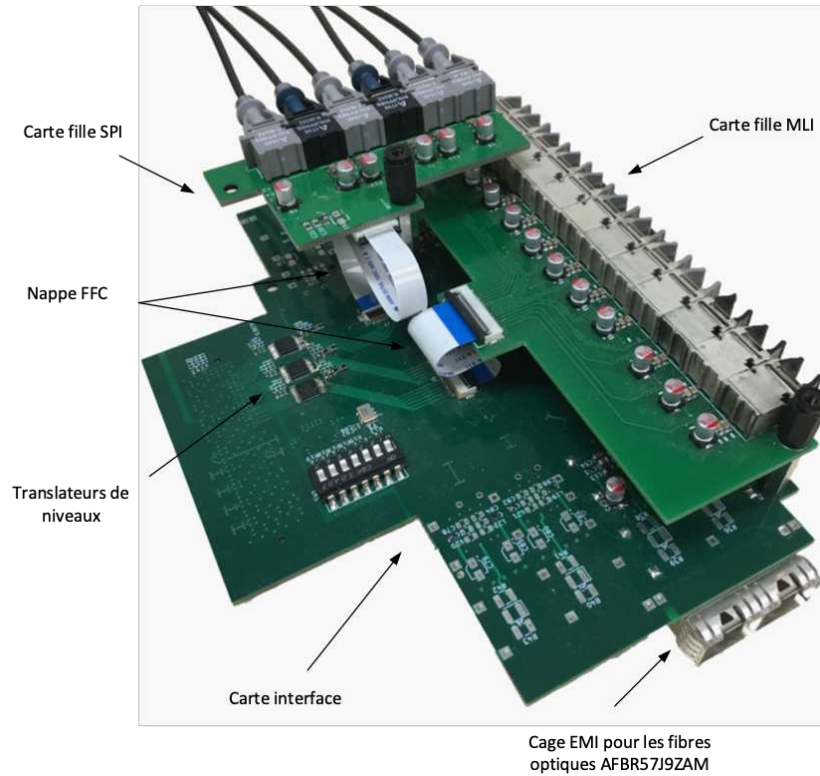


Figure 163 : Visualisation globale de la carte interface Han Pilot

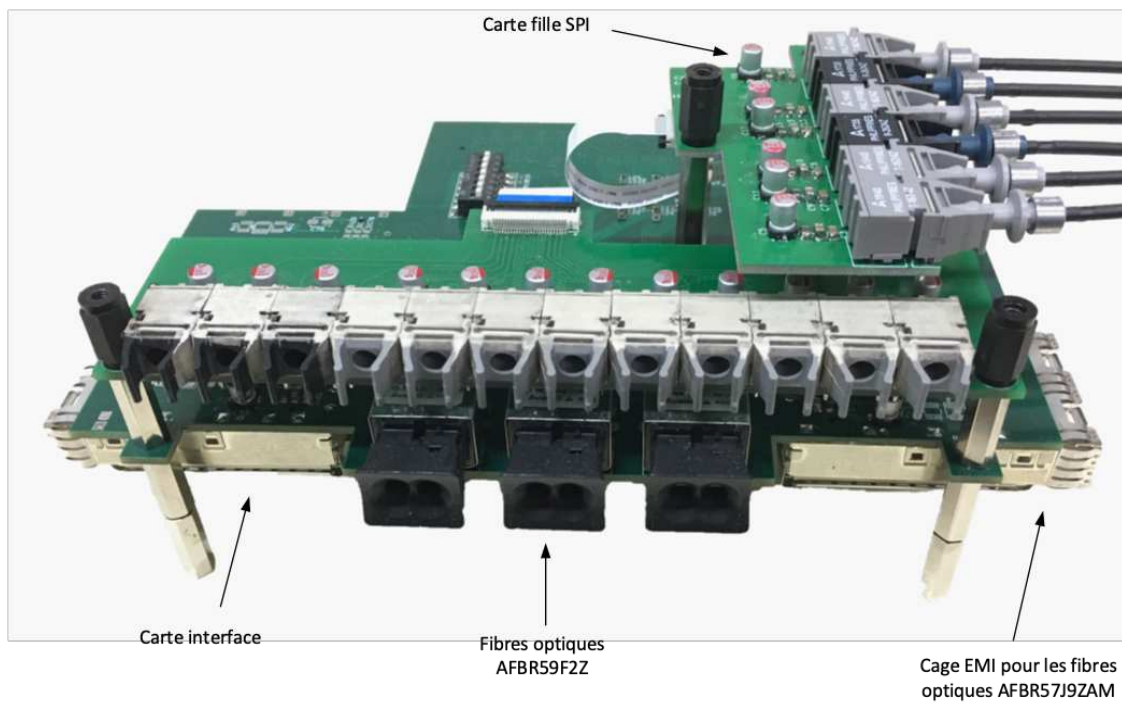


Figure 164 : Visualisation de la face avant de la carte interface Han Pilot et des cartes filles MLI et SPI

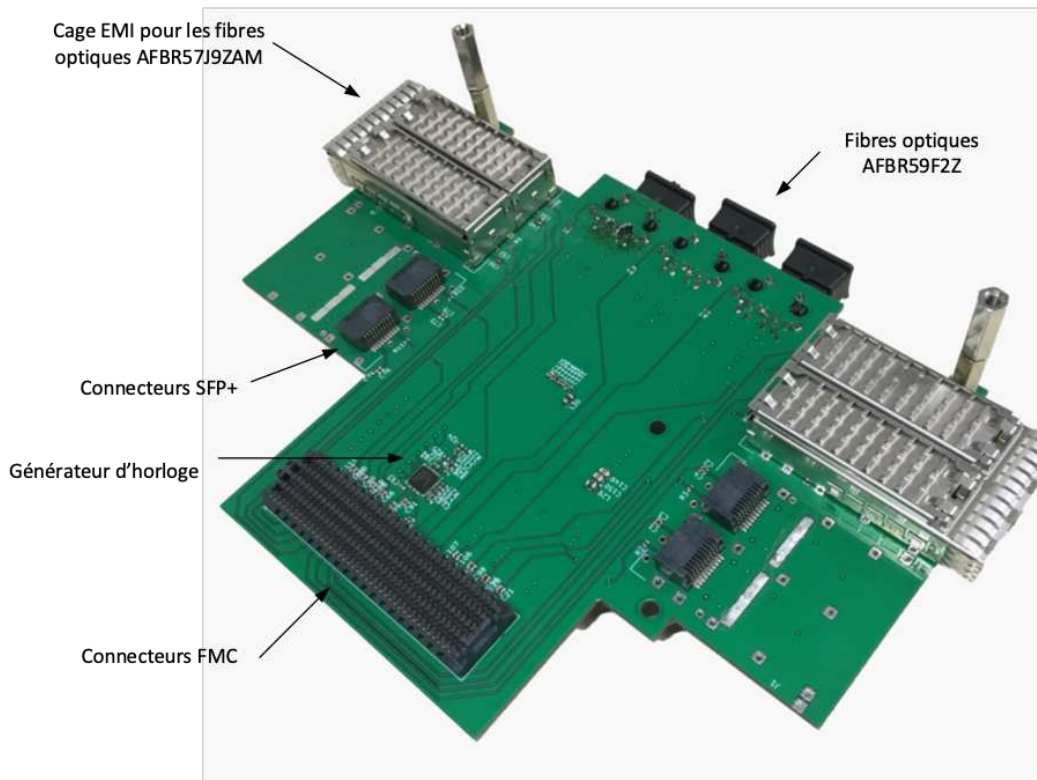


Figure 165 : Visualisation de la face de dessous de la carte interface Han Pilot

Pendant la phase de test et de validation, nous avons identifié plusieurs problèmes provenant sur le choix des composants et des procédures de routage.

La première erreur identifiée provient de la valeur de débit maximal de transmission de données à travers les fibres optiques AFBR59F2Z. La fréquence limite de transmission étant 250 Mbits/s mais de 200 MHz, la fréquence d'échantillonnages de 250 MHz ne peut être transmise. Toutefois, nous avons pu valider notre fonctionnement à 125 MHz.

Pour résoudre à ce problème, nous avons la possibilité de changer de composant en remplaçant par un connecteur fibre optique proche. Le connecteur AFBR59F3Z a une limitation de débit de données à 800 MHz, une valeur bien au-delà des performances souhaitées. Cependant, leurs impédances de ligne doivent être de 150 Ω , car leurs terminaisons sont adaptées à cette valeur [179]. Cette contrainte nous obligerait à reprendre le routage des lignes de transmission afin qu'elles soient adaptées.

Une seconde possibilité serait d'échanger un des signaux de synchronisation à l'horloge d'échantillonnage. Étant donné que les signaux SYSREF et SYNC~ sont à plus faible fréquence, nous pourrions intervertir avec un signal de l'un d'entre eux.

Cet échange nous permettrait aussi de rendre synchrones les différentes chaînes d'acquisitions. Comme le recommande cette recommandation [202, p. 20], l'utilisation du signal commun SYNC~ permettrait de synchroniser les chaînes d'acquisition utilisant le protocole JESD204B à chaque acquisition. Ainsi, nous aurions un système d'acquisition performant.

Toutefois, même si cette solution reste la plus intéressante, nous devons encore reprendre le routage des cartes ce qui ne nous est plus possible dans le délai imparti. Pour conclure, quelle que soit la solution pour corriger cette problématique de transmission d'horloge par fibre optique, nous devons reprendre dans les deux cas, le routage des cartes d'interface.

Afin d'avancer malgré tout dans la validation des chaînes d'acquisition, mais aussi de la carte interface, nous avons décidé de limiter le signal d'horloge à 125 MHz. Cependant, nous avons été

contraints à arrêter du fait que nous étions face à un problème d'adaptation des niveaux de tension des signaux de synchronisation. En effet, le signal SYNC~ émis à travers l'une des fibres optiques AFBR57J ne soit pas symétrique sur les niveaux de tensions et par conséquent, le signal ne peut être correctement transmis jusqu'au convertisseur. Cette contrainte est toujours en cours de débogage. Nous émettons l'hypothèse que les résistances servant à adapter les niveaux de tension des lignes hautes vitesses ne soient pas correctement dimensionnées. Pour vérifier si cela est correct, nous pouvons, soit simuler cette panne sur un solveur tel que LTSpice, soit échanger les résistances à des valeurs correspondantes à la bonne adaptation.

Nous pouvons constater ce problème d'adaptation sur les Figure 166 et Figure 167 que nous comparons. La Figure 166 représente le signal SYREF mesuré avant le découplage des condensateurs et la Figure 167, une fois aux bornes de la fibre optique. Une mauvaise corrélation entre ces 2 signaux nous contraint à reprendre le routage des cartes. Un exemple d'une correcte adaptation du signal est illustrée à la Figure 168 qui mesure la tension de l'horloge d'échantillonnage en amont des fibres optiques.

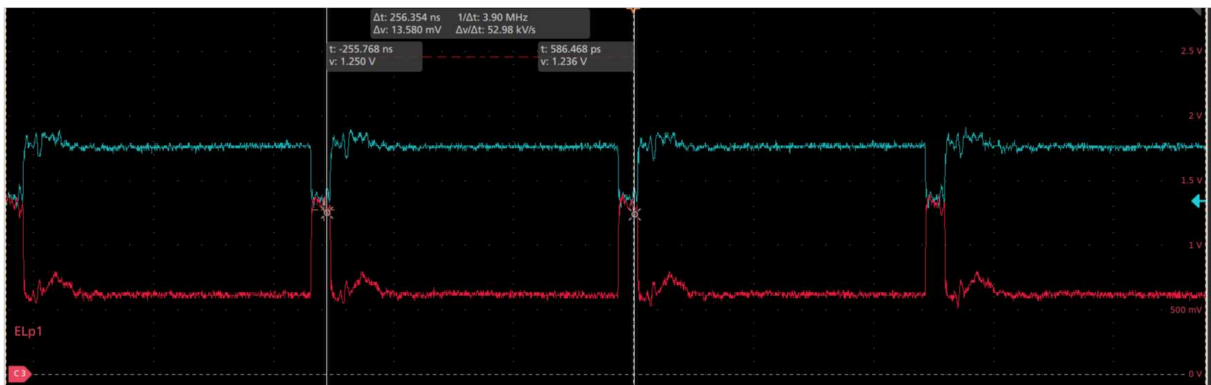


Figure 166 : Signal SYREF mesuré à la sortie des fibres optiques de la chaîne d'acquisition

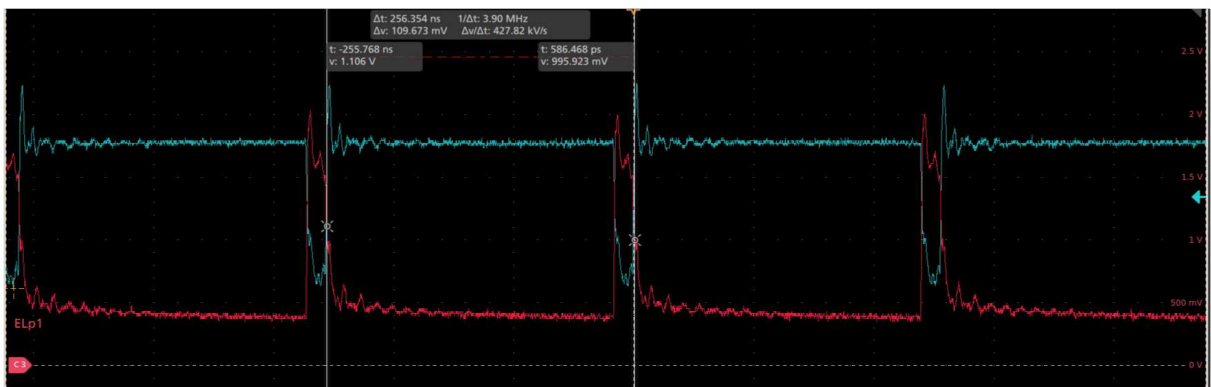


Figure 167 : Signal SYREF mesuré à l'entrée des fibres optiques de la carte interface

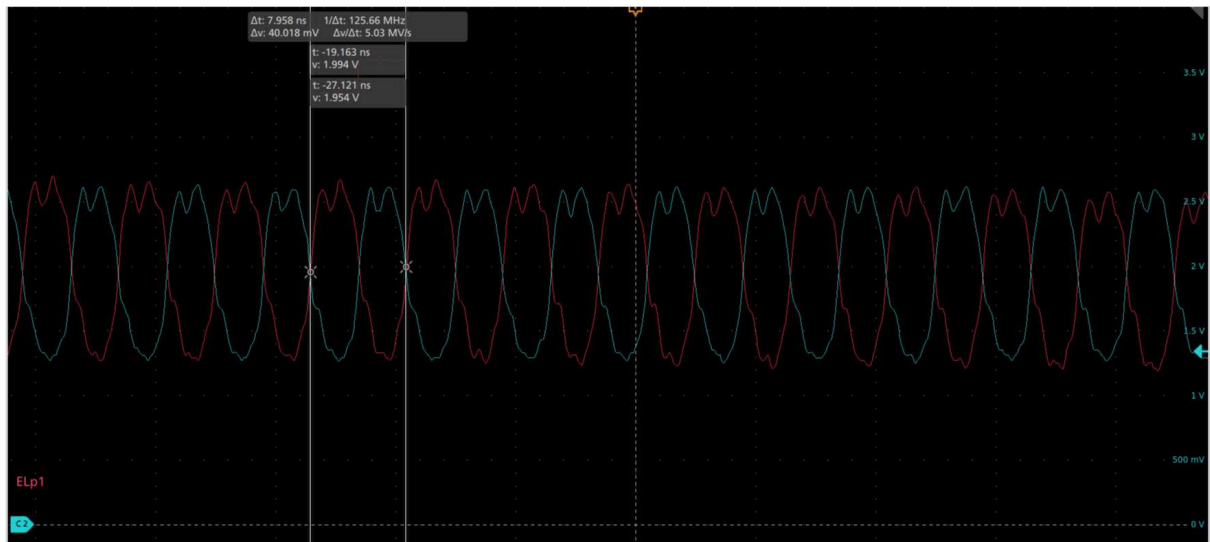


Figure 168 : Signal F_ADC mesuré à la sortie des fibres optiques de la chaîne d'acquisition

Cette mauvaise adaptation entraîne une désynchronisation du convertisseur AD9250 avec l'IP JESD204B. Cette problématique nous oblige à reprendre les schémas d'adaptation des lignes hautes vitesses afin de comprendre d'où peut provenir la panne. Sans cette modification, aucune donnée ne peut être envoyée avec succès.

Bien que cette problématique ne soit pas résolue, nous avons quand même pu valider le fonctionnement des signaux MLI et SPI. L'interface utilisateur est opérationnelle et il nous est possible d'utiliser cette plateforme pour le contrôle du banc de puissance. Nous allons vérifier à présent, le taux de remplissage de ce dernier développement par rapport aux ressources maximales de la plateforme Han Pilot.

e. Ressources utilisées pour le développement logiciel sur la plateforme Han Pilot

Nous allons ici nous intéresser, pour cette troisième et dernière solution, aux ressources utilisées pour le développement logiciel dédié à ce programme. Les ressources requises sont présentées Tableau 37.

Types de ressources	Ressources utilisées	Ressources maximales	Taux de remplissage
Utilisation des portes logiques	12131	251680	30 %
Registre de données	23391		
Bloc de mémoire (bits)	3233688	43642880	7,40 %
Bloc de mémoire (bytes)	404 M	5455 M	
Block de RAM	251	2131	11,78 %

Tableau 37 : Ressources utilisées du FPGA par rapport aux ressources disponibles de la platine Han Pilot

Au vu du développement proposé, seulement 7,40% d'espace mémoire sera occupé pour 12 mémoires de 500 kb chacune. Le faible pourcentage d'utilisation des mémoires embarquées par rapport à la capacité maximale nous permet donc d'envisager une augmentation de l'espace alloué à

chaque acquisition. Nous agencions en supplément de ces mémoires, des mémoires FIFO servant de solution intermédiaire de stockage et de mise en forme des données (III.4.C.c).

Nous envisageons, en plus d'augmenter l'espace alloué aux mémoires embarquées, d'ajouter des fonctionnalités telles que la transformée de fourrier d'un signal, la vérification de la mesure par l'intégration d'un gabarit spécifique ou bien encore le contrôle de différents modules de conversion d'énergie.

f. Conclusion du développement logiciel entrepris sur la plateforme Han Pilot

Ce développement met en lumière, une fois de plus, la complexité de l'intégration de lignes hautes vitesses dans une carte où il est obligatoire de respecter leurs contraintes en matière d'impédances et de couplages. À l'issue de ces travaux, nous avons pu développer et acquérir une bonne maîtrise sur une plateforme différente de celle du Cyclone V. Cela nous a également permis de mettre en œuvre des composants plus performants en termes de vitesse et de mémoires ainsi que de nouvelles fonctions telles que celles liées au nombre de voies hautes vitesses disponibles pour l'intégration du protocole JESD204B.

Le développement matériel de l'interface prévue pour la plateforme Han Pilot est en cours de débogage par rapport à la dernière contrainte rencontrée, le problème d'adaptation des niveaux de tension. Toutefois, le pilotage des composants de puissance, les signaux de configuration SPI et l'interface utilisateur sont déjà validés.

Des améliorations pourront être apportées à cette plateforme Han Pilot sur des aspects tels que l'alimentation ou bien l'interfaçage des voies hautes vitesses aux fibres optiques. Ces possibilités seront expliquées lors de la conclusion de ce chapitre.

III.4.E. Conclusion des développements pour les platines de développement FPGA

Nous avons vu tout le long de ces développements FPGA-SoC que nous avons pu évaluer les limites des ressources de ces platines. En fonction de notre programmation logicielle pour chaque platine, nous avons établi un bilan reflétant le taux d'utilisation de la ressource visée. Le Tableau 38 résume ces trois développements en faisant apparaître le taux de remplissage de chaque platine sur les ressources telles que l'utilisation des portes logiques, le remplissage des registres de données, le nombre de blocs mémoires occupés et le nombre de blocs de RAM requis.

Types de ressources	DE0 Nano SoC	SoC-Kit	Han Pilot
Utilisation des portes logiques	5674 (30 %)	11639 (27 %)	12131 (4,82 %)
Registre de données	12170	12957	23391
Bloc de mémoire (bytes)	16 M (4,81 %)	168 M (23,83 %)	404 M (7,40 %)
Block de RAM	20 (23 %)	217 (39 %)	251 (11,78 %)

Tableau 38 : Comparaison des ressources utilisées entre chaque platine de développement

Bien que chaque plateforme possède des capacités différentes et un logiciel différent, nous pouvons remarquer que les ressources de la platine Han Pilot comparée aux développements logiciels que nous avons effectués sont très intéressantes. En effet, ce pourcentage étant minime, cette solution nous permettrait d'augmenter l'espace mémoire alloué à chaque chaîne d'acquisition pour obtenir une grande durée d'acquisition.

Ce tableau nous permet aussi d'illustrer les possibilités des deux autres plateformes. En effet, la platine DEO-Nano SoC peut potentiellement être amenée à contrôler deux systèmes en parallèle. Au vu du taux de remplissage, cette possibilité serait envisageable. Suivant les performances de la plateforme SoC-kit, nous pourrions envisager d'en avoir une dédiée à une chaîne d'acquisition. Cela reviendrait à gérer 3 plateformes SoCKit pour 3 chaînes d'acquisition.

Ces nombreuses possibilités nous amènent à conclure que l'agencement et la modularité des platines FPGA nous permettent d'envisager la gestion, dans bon nombre de cas, de plusieurs systèmes de conversion d'énergie.

Bien que 2 des 3 éléments que nous avons développés soient fonctionnels, il reste tout de même des points d'amélioration. Nous allons les évoquer à la suite.

III.5. Évolutions à venir et perspectives de développement

Les différentes évolutions progressives du système de commande que nous avons exposé jusqu'à maintenant nous ont permis d'intégrer au fur et à mesure de nouvelles fonctionnalités. Cependant, d'autres sont encore intégrables et nous allons décrire celles que nous envisageons.

Nous avons tout d'abord une perspective de développement matériel concernant les signaux d'horloges F_{ADC} et $SYNC^{\sim}$. Nous avons précédemment introduit cette possibilité. Ils seront inversés suite aux limites fréquentielles de fonctionnement des connecteurs fibres optiques qui ont été identifiées. De plus, l'intérêt de les échanger est de pouvoir rendre synchrone l'ensemble de nos chaînes d'acquisition [202]. Ainsi, les données de toutes les chaînes d'acquisition transitant jusqu'à la plateforme numérique seront toutes synchronisées par un seul et même trigger.

D'un point de vue logiciel, nous avons intégré une interface homme machine comprenant une combinaison allant du langage Python au langage HTML/CSS et JS. L'utilisation de ce premier langage comprend de nombreuses bibliothèques scientifiques nous permettant d'envisager le post traitement des signaux acquis. Par conséquent, notre système serait alors en mesure d'obtenir directement des indicateurs de vieillissement de bobinage.

Pour finir sur les perspectives de développement, l'espace mémoire maximal des acquisitions a été fixé et ne peut plus être modifié à part lors de la recompilation de l'ensemble du projet. Cette caractéristique engendre un problème d'acquisition et de choix utilisateur. Afin de poursuivre dans notre idée de modularité et pour que l'utilisateur ait le choix de configurer son acquisition comme il le souhaite, un bloc numérique additionnel pour répondre à cette contrainte peut aussi être envisagé.

III.6. Conclusion et comparaison des performances entre le μC et le FPGA

Les travaux que nous avons présentés jusqu'à maintenant ont été exclusivement concentrés sur le développement d'un système de commande comprenant trois modules de gestion. Le premier est destiné à la gestion du système de conversion, notamment le pilotage des composants de puissance, avec une modulation de largeur d'impulsion variable selon les paramètres définis par l'utilisateur. Le deuxième est la gestion des acquisitions à haute fréquence au sein d'un banc de puissance en lien avec des sondes de champs électromagnétiques. Le troisième est la gestion de l'interface homme-machine implantée entre les plateformes numériques et le support pour l'utilisateur.

Ces développements ont été entrepris sur deux technologies différentes, l'un sur une plateforme μC et les 3 autres sur des plateformes FPGA-SoC. Ainsi, nous avons pu comparer les différences entre ces deux types de technologies et mettre en avant les avantages et les inconvénients de chacune.

Nous savons dès à présent que certaines gammes de μC sont spécialisées dans le pilotage des composants de puissance. Seulement, l'accumulation d'une autre fonction telle que l'acquisition au pilotage semble être limitée lorsque celle-ci doit effectuer l'acquisition des signaux à haute fréquence. Par conséquent, la combinaison d'un pilotage de composants de puissance à la commande d'une chaîne d'acquisition pour des signaux de haute fréquence est souvent inenvisageable via ce type de plateforme.

Une deuxième limite est atteinte suite à l'utilisation de ces technologies et elle est souvent liée à la gestion de l'interface personne-machine. Les μC n'ont pas été conçus pour intégrer une interface visuelle. L'interaction entre l'utilisateur et le système de commande est bien souvent obtenue par l'utilisation d'un protocole de communication tel que la communication UART, CAN ou SPI. Bien que cette solution fonctionne, le risque d'une erreur de communication lors d'une étape critique est élevé.

Après avoir étudié les différentes fonctions qui nous ont fait atteindre les limites de fonctionnement du μC , nous avons continué nos développements sur des plateformes FPGA-SoC dont la logique de fonctionnement est différente (Chapitre 1). Trois plateformes ont été choisies au fur et à mesure des évolutions de la programmation afin de répondre aux différentes contraintes que nous rencontrons.

Le premier développement ne comprend que la gestion des modulations de la largeur d'impulsions et de l'interface homme-machine puisque des soucis de performance liée à cette première plateforme FPGA-SoC ne nous ont pas permis de répondre à la gestion des acquisitions. Par conséquent, nous avons validé deux des trois fonctions recherchées.

L'avantage des plateformes FPGA est de pouvoir transvaser le programme d'un projet à un autre facilement tout en changeant la plateforme initialement prévue. Ainsi, ayant déjà deux des trois fonctionnalités développées lors de la première phase, nous avons pu reprendre rapidement notre programme d'une plateforme à une autre afin de nous consacrer à la gestion des acquisitions. Les performances d'acquisition que nous avons définies lors du dimensionnement de la chaîne d'acquisition sont liées au protocole de transmission des données défini par le convertisseur. Le protocole utilisé est le JESD204B et seules quelques plateformes ont les éléments nécessaires pour le décoder. De ce fait, les deux autres plateformes FPGA-SoC que nous avons choisies en font partie et par conséquent, nous l'avons intégré à nos développements logiciels.

En tenant compte de notre souhait initial de regrouper toutes les acquisitions sur une seule plateforme, nous devrions forcément avoir un nombre conséquent de voies hautes vitesses. La différence entre ces 2 plateformes se trouve justement dans ces aspects. La seconde plateforme ne permettait que de gérer 3 convertisseurs à la fois tandis que la troisième peut en gérer 6. Ce changement de type de plateforme nous a permis aussi d'augmenter les ressources des mémoires embarquées et de ce fait, d'envisager une augmentation de la mémoire allouée à chaque voie d'acquisition.

Nous avons maintenant un banc de vieillissement fonctionnel nous permettant de faire vieillir n'importe quel moteur en fonction de 4 paramètres variables que nous avons précédemment présenté. Bien que les chaînes d'acquisition ne soient pas opérationnelles, nous pouvons tout de même acquérir via l'aide d'un instrument de mesure tel que l'oscilloscope. Grâce à cette possibilité, nous allons voir dans le chapitre suivant, les différentes expérimentations qui nous ont permis de caractériser le vieillissement d'un isolant via les sondes de champs proches.

IV.Chapitre 4 - Expérimentation et analyse d'un défaut au sein d'un moteur

IV.1. Introduction

De ce fait, l'assemblage de chaque élément nous a permis d'obtenir un banc de vieillissement pour nous permettre de commencer à expérimenter les différents échantillons de stator fourni par Novatem SAS. Notre but étant de comprendre les paramètres influant sur la dégradation des isolants, nous allons nous intéresser à ce processus de vieillissement des isolants dans un moteur triphasé afin de conclure sur la possibilité de développer une technique d'accélération et potentiellement de prévision.

Afin de savoir les défauts potentiellement observables dans un moteur triphasé, nous étudions leurs vulnérabilités. Le vieillissement d'un bobinage peut être provoqué par plusieurs facteurs tels que des liaisons électriques endommagées provoquant un court-circuit ou bien le mauvais dimensionnement mécanique entraînant des lésions internes. Ceux de type électrique peuvent être provoqués par un échauffement thermique important, à une exposition d'un gradient de champ électrique trop intense ou bien par un stress électrique(s) de fort niveau délivré par le système de conversion.

Dans le but d'observer et de comparer différentes séquences de vieillissement ou de simulation de vieillissement au sein d'un bobinage de stator, le vieillissement et la dégradation d'un moteur peuvent être observés et quantifiés par plusieurs méthodologies.

Soit nous procédons à une mesure acoustique et électrique permettant de détecter les décharges partielles au sein des isolants polymères [203]. Cela consiste à transmettre une impulsion à travers le bobinage endommagé afin d'observer sa réponse en sortie pour en déduire si la forme initiale a été modifiée ou non [204]. Soit nous analysons la signature fréquentielle du courant lors de l'excitation du stator pour observer si un changement est notable via la comparaison avec un signal de référence [62]. Pour des raisons de simplicité, nous allons prioriser cette deuxième méthode.

Puis pour nous permettre d'éviter le fonctionnement durant de nombreuses heures d'un échantillon afin d'atteindre l'état de vieillissement souhaité, nous allons combiner cette deuxième méthode avec la simulation d'un vieillissement d'un moteur via l'insertion de capacités de valeurs différentes, pour vérifier qu'il apparaît bien des différences visibles sur les mesures des grandeurs électriques lors du fonctionnement du moteur [170].

C'est cette méthode que nous allons utiliser. Nos éléments de mesures intégrés sur le banc, sondes de courant, sondes de tension et sondes électromagnétiques nous serviront d'outils d'observation et d'indicateurs effectifs du vieillissement simulé.

IV.2. Simulation d'un défaut de vieillissement au sein du moteur

IV.2.A. Présentation du plan d'expérimentation

Les effets de dégradation ou de vieillissement des bobinages d'un moteur sont provoqués tout au long de son utilisation au sein d'un environnement stressant. En pratique, la durée d'apparition d'un de ces effets peut atteindre plusieurs mois ou des années. Nous allons donc chercher à reproduire artificiellement ces effets en les simulant par l'ajout d'éléments passifs aux bornes du moteur.

En effet, la traduction électrique de l'équivalent d'un défaut est obtenue grâce à l'implantation d'une ou de plusieurs capacités, selon une configuration spécifique, entre une phase et le neutre du moteur. Des essais de ce type ont notamment été initiés et validés par Nussbaumer et Al. [60], [170]. Ils ont permis de démontrer que l'ajout d'un condensateur de faible valeur, suivant les deux configurations précédemment évoquées, permettait de simuler de manière significative un vieillissement ou un défaut du moteur.

D'après ces études, nous établissons un protocole expérimental propre à notre banc de pilotage de moteurs sous fortes contraintes, qui permettra de reproduire les effets du vieillissement sur un stator quelconque. Ce protocole a aussi pour but de calibrer et de vérifier la validité de nos outils en fonction des acquisitions obtenues. Nos premières expérimentations sont effectuées sur un stator fourni par notre partenaire industriel [8]. Avec la construction de ce premier protocole expérimental, nous serons dans un premier temps en mesure d'apporter des réponses à deux problématiques : la première sera de valider la pertinence des sondes de champs électromagnétiques implantées sur nos PCB de puissance vis-à-vis de la détection d'un changement temporel ou fréquentiel lié à l'apparition d'un défaut sur le stator. Si cela se vérifie et que des différences notables entre plusieurs expérimentations de simulation de défaut sont apparentes, l'intérêt de la mise en œuvre de ce type de sonde sera démontré pour pouvoir envisager des solutions de diagnostic et de surveillance des défauts et du vieillissement dans ces structures.

Par la suite, nous pourrons plus finement analyser les résultats obtenus et en extraire des indicateurs et des interprétations sur l'origine des défauts et sur les effets du vieillissement qui en découlent.

IV.2.B. Établissement et calibration du protocole expérimental dédié au vieillissement des stators

Ce protocole expérimental précisera la procédure que nous suivrons lorsque des échantillons « stators » seront amenés à être testés sur notre banc de puissance dans une optique de vieillissement. Trois étapes seront à distinguer lors de la procédure de caractérisation :

La première étant l'étape de référence STP00. Celle-ci a pour objectif de définir les signaux de référence, qui serviront de base de comparaison lorsque le stator en test aura atteint les seuils de vieillissement prévus.

Pour la deuxième étape, STP01, nous établissons une procédure de surveillance et de mesures pendant le processus de vieillissement accéléré du stator dont on relèvera régulièrement les caractéristiques en les archivant, et qui permettra donc de disposer de références de comparaison régulières entre chaque intervalle de processus de vieillissement.

Pour la 3e étape de ce protocole, nommée STP03, une fois le processus de vieillissement finalisé, l'ensemble des mesures (initiales, finales) sont mises en forme et exploitées afin de pouvoir détecter des évolutions significatives.

a. Étape pré expérimentation – relevé de référence ST00

Nous avons précédemment introduit cette étape comme étant celle établissant les signaux de référence lors de notre post traitement. Par conséquent, nous allons définir et relever un nombre de mesures relatives à notre protocole, ceci dans le but de caractériser au mieux le comportement du stator. Ce protocole s'appuie sur deux modes de caractérisations, qui sont complémentaires, mais pas nécessairement couplées ou dépendantes dans leurs réalisations. La première caractérisation est fréquentielle et passive : le stator en test est non alimenté. La seconde caractérisation est réalisée dans le domaine temporel, et sera active, lorsque le moteur est en fonctionnement et piloté par le banc de puissance à certains points de fonctionnement.

a.i. Caractérisation fréquentielle passive

Cette procédure de caractérisation est similaire à celle de la caractérisation du PCB de puissance que nous avons présenté au chapitre 1. Dans ce cas, nous mesurerons les paramètres S (Scattering Parameters, Paramètres de dispersion) [205] de chaque phase du stator pour en extraire leurs impédances. Celui-ci reste donc non alimenté en mode fonctionnel (déconnecté du banc de pilotage). La bande de fréquence des mesures qui nous intéresse se trouvera entre 100 kHz et 1 GHz. Ce type de caractérisation, assez particulier sur des éléments de puissance et leurs connexions

électriques propres nécessite des précautions spécifiques liées à la caractérisation fréquentielle large-bande de paramètres S qui sera menée avec un analyseur de réseaux VNA.

Afin que les relevés soient insensibles aux variations externes du moteur, nous disposons les câbles des phases le long d'un plan métallique (Figure 169). Ceux-ci sont agencés de façon triangulaire dans le but de minimiser les espacements entre les phases et de ce fait les capacités résultantes. Ils sont mis côte à côte grâce à du scotch cuivré pour deux raisons : créer une cage de faraday entre le scotch et le plan, puis maintenir cette disposition entre l'étape STP01 de mise en marche et l'étape ST02 de post-traitement. Il est primordial de conserver cette structure tout le long de l'expérimentation, car le changement de cette disposition entraînerait un changement des signaux de référence, rendant ainsi les comparaisons peu exploitables.

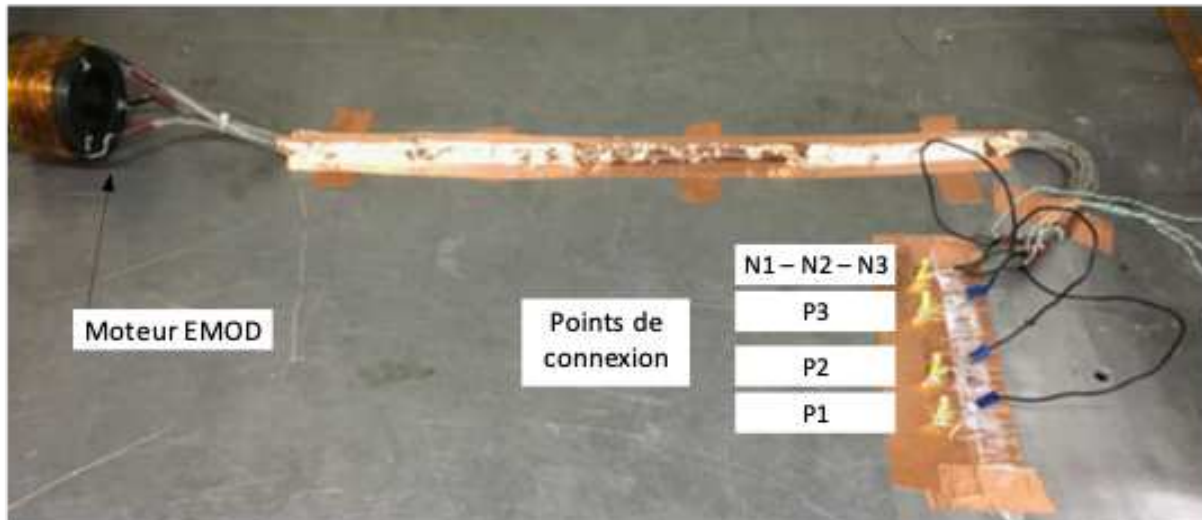


Figure 169 : Procédure de mesure des paramètres S avec un analyseur de réseaux

Lors de sa conception, le stator a été équipé d'une gaine blindée pour chaque phase (Figure 170). Nous avons ici une phase et un neutre la traversant. Le type de connexions sur ces structures est de type cosse de puissance à visser. Les 3 neutres sont reliés ensemble et soudés à un seul connecteur SMA, tandis que les phases sont indépendantes et soudées chacune à un connecteur SMA dédié (Figure 169). Ce type de connecteur, comme déjà explicité au chapitre 2 lors de la caractérisation du PCB ou des sondes électromagnétiques, est nécessaire pour assurer une bonne caractérisation HF et large bande des paramètres S.

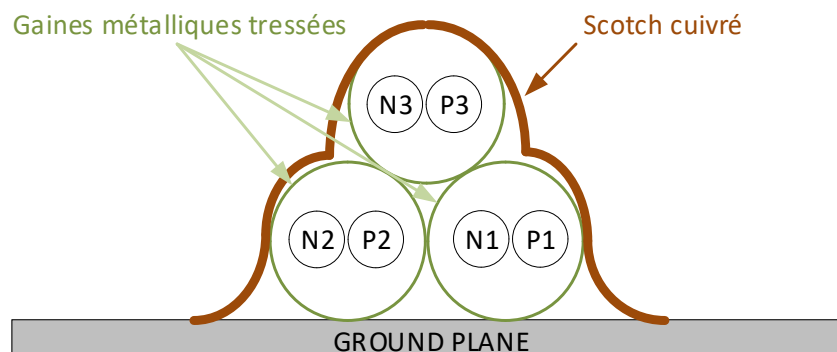


Figure 170 : Structure du câblage du premier stator

Avec cette configuration, nous disposons donc de 4 ports pour l'évaluation des paramètres S :

PORT1 : phase du stator P1

PORT2 : phase du stator P2

PORT3 : phase du stator P3

PORT4 : neutre N1-N2-N3

En ayant connaissance du nombre de ports et du moyen de mesure que nous prenons, nous pouvons suivre l'équation suivante [55] qui nous permet de connaître le nombre de mesures que nous devons effectuer. Cette équation est seulement valable avec l'utilisation d'un analyseur de spectre effectuant la transmission et la réception des paramètres S.

$$N_{meas} = \frac{n(n-1)}{2} = \frac{4(4-1)}{2} = 6 \#(24)$$

Parmi toutes les évaluations possibles de paramètres S avec 4 ports, nous choisissons les échanges de transmission les plus significatifs possible sur les accès électriques du moteur.

- les échanges entre phases et neutre successivement : $S_{P1-N} = S(1,4)$

$S_{P2-N} = S(2,4)$

$S_{P3-N} = S(3,4)$

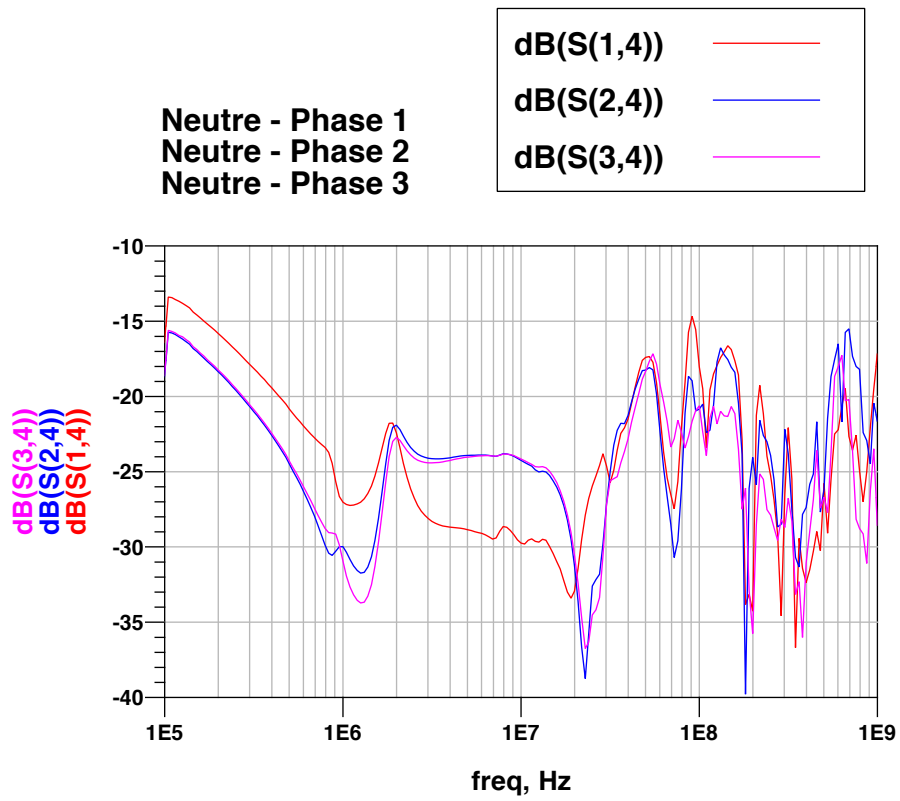
-les échanges entre phases successivement : $S_{P1-P2} = S(1,2)$

$S_{P2-P3} = S(2,3)$

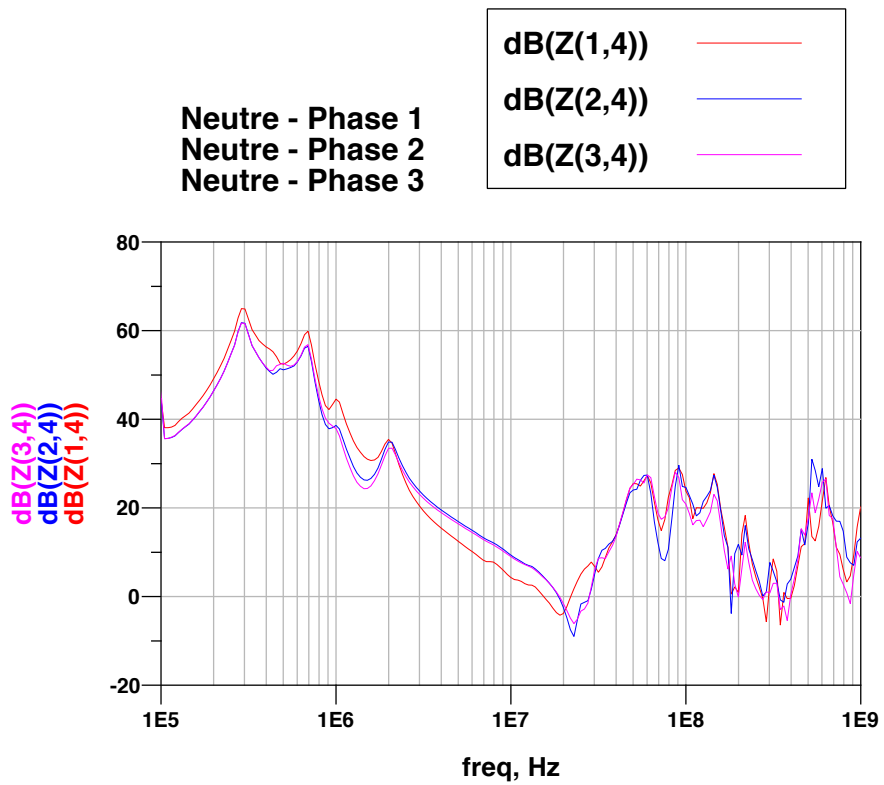
$S_{P3-P1} = S(3,1)$

Les ports non excités lors de chaque évaluation de paramètres S_{i-j} sont successivement adaptés sur des charges d'impédance 50Ω pour inhiber leurs contributions (réflexions). Le VNA est configuré pour des acquisitions à 90 points/décades de fréquence. L'ensemble de ces mesures des matrices de paramètres S est ensuite traité pour afficher leurs modules en dB, ainsi nous obtenons le module des matrices d'impédance Z correspondantes à chaque port excité [205].

La Figure 171 nous présente les paramètres S (figure 171-a) entre chaque phase et neutre: $S_{P1-N} = S(1,4)$, $S_{P2-N} = S(2,4)$ et $S_{P3-N} = S(3,4)$ ainsi que les impédances (figure 171-b) équivalentes $Z(1,4)$, $Z(2,4)$ et $Z(3,4)$.



a) Paramètre S



b) Impédance Z

Figure 171 : Résultats des paramètres S (a) et des impédances Z (b) des 3 phases-neutre du premier stator

Les courbes d'impédance Z présentées à la Figure 171-b permettent de constater une variation similaire en fréquence des 3 phases. Nous observons une différence de module de l'ordre de 2 dB à 4 dB entre les impédances de la phase 1 et des phases 2 et 3 sur certaines bandes de fréquences, 100 kHz-1 MHz et 2 MHz - 30 MHz respectivement. Cet écart de module est plus apparent sur la représentation des modules des paramètres S des 3 phases (Figure 171-a) : 5 à 6 dB sur la bande de fréquence 3 MHz – 20 MHz.

Nous notons avec ces courbes de paramètres S et d'impédance Z , plusieurs caractéristiques importantes, dont notamment un premier pic de fréquence à 300 kHz. En amont de ce pic, nous observons une variation positive du module de l'impédance, indiquant un comportement inductif. À partir du pic à 300 kHz, nous observons globalement pour les impédances des 3 phases un comportement capacitif jusqu'à la fréquence de 20 MHz. Ensuite, à partir de cette fréquence, des variations d'impédances assez conséquentes et sensibles sont visibles, probablement dues aux comportements de plus en plus HF des bobinages sur les 3 phases. Ce comportement HF et les difficultés des mesures des paramètres S sur les bobinages de moteur dans cette gamme de fréquences (> 100 MHz) ont déjà été étudiés expérimentalement et analytiquement par [55], [206].

La dernière étape de cette procédure de caractérisation consiste à extraire un modèle circuit à partir de ces impédances de bobinages, afin de l'implanter dans des solveurs de type circuit (LTSpice). Cette opération permettra d'affiner par la simulation la compréhension du comportement des impédances du stator, mais également de pouvoir utiliser des simulations circuits plus fiables et pertinentes afin d'appréhender le comportement physique réel de notre banc associé aux moteurs, et des effets de vieillissement induits.

À partir des fichiers de mesure des paramètres S , dont le format normalisé issu des analyseurs de réseaux vectoriels (VNA) est de type «.s2p», nous pouvons convertir ces données afin de générer un fichier de type circuit pour les solveurs, dont le format courant est de type «.cir». Ceci est réalisé grâce à des commandes de conversion de matrices, implantées dans le logiciel MATLAB. Nous obtenons ainsi un modèle équivalent pour chaque phase, que nous implantons dans le solveur circuit LTSpice (Figure 172). Chaque modèle comporte deux connexions circuits, correspondant aux deux ports excités pendant la procédure de caractérisation de paramètres S . Pour reproduire complètement cette caractérisation, nous complétons le schéma électrique par l'ajout d'une source de tension RF et de charges adaptées (50 Ω) sur chaque port de chaque connexion réelle (phase, neutre).

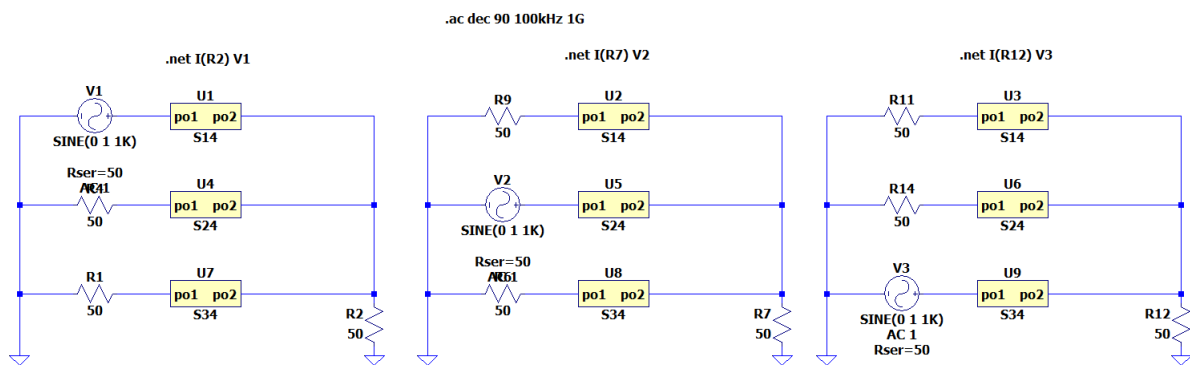
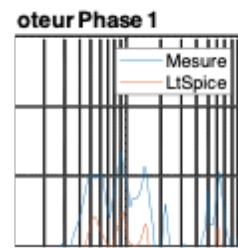
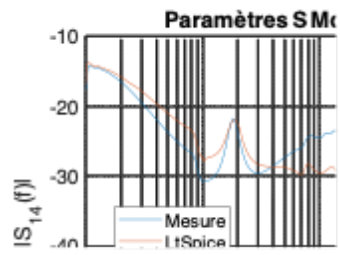
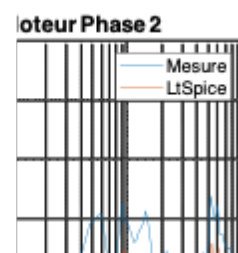
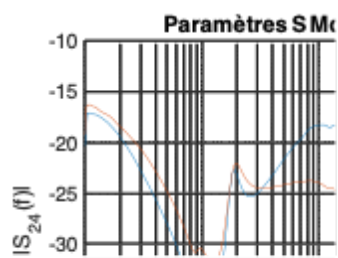


Figure 172 : schématisation du modèle électrique pour la caractérisation des paramètres S du stator

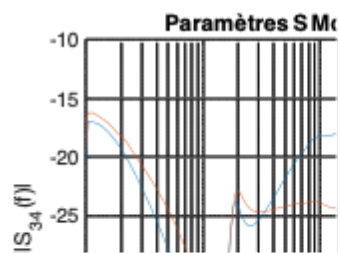
À partir de ces circuits électriques, nous pouvons simuler la mesure des paramètres S et des modules d'impédance Z pour chaque phase. En les comparant avec les mesures réelles (Figure 173), nous pouvons constater tout d'abord la bonne conversion de nos mesures en modèles électriques qui valide le processus de caractérisation fréquentielle et le comportement de ces modèles pour leur utilisation dans des simulations circuit du stator avec d'autres éléments de notre banc.



A) Phase 1



B) Phase 2



C) Phase 3

Figure 173 : Résultats des extractions et des comparaisons des paramètres S et des impédances Z des 3 phases du premier stator

a.ii. Caractérisation temporelle en régime nominal

Le second processus de caractérisation consiste à récupérer le maximum d'informations du système lors de son fonctionnement dans des conditions potentiellement proches du nominal. Le stator échantillon est donc mis en situation par le biais d'un point de fonctionnement défini par les paramètres de pilotage, et nous relevons des séries de signaux temporels, aux bornes de nos éléments de mesures implantés sur le banc, et notamment des capteurs et des sondes électromagnétiques.

Cette étape a pour but d'engranger une série de signaux suffisants pour ensuite, les traiter afin de mettre en évidence les différences notables pouvant apparaître pendant l'évolution de la durée d'utilisation d'un moteur. Deux étapes d'acquisition et de traitement vont être formalisées pour cette étude : une évaluation du stator à un état initial de référence (stator neuf ou peu sollicité), une évaluation du stator après un cycle d'utilisation établi pendant un nombre d'heures défini (96h pour notre première étude). Lors de ces différentes évaluations et acquisitions de signaux, pour observer plus finement d'éventuelles différences qui peuvent être significatives, mais peu apparentes en régime temporel, nous traitons toutes les mesures dans le domaine fréquentiel (spectres d'amplitude et de phase) directement à partir d'une fonction dédiée (Spectrum View) de notre appareil de mesure, l'oscilloscope MSO-56.-

Comme illustré à la Figure 174, nous avons à prévoir dans nos relevés :

- L'acquisition des 3 courants provenant de chaque carte de puissance : I_{BUS1} , I_{BUS2} , I_{BUS3}
- L'acquisition des courants des 3 phases : I_1 , I_2 et I_3
- L'acquisition du courant de mode commun I_{COM}
- L'acquisition des tensions V_{DS} en sortie de chaque SiC MOSFET : V_{DS1} , V_{DS2} , V_{DS3} , V_{DS4} , V_{DS5} et V_{DS6}
- L'acquisition des tensions entre chaque phase et neutre V_{1N} , V_{2N} et V_{3N}
- L'acquisition aux bornes des sondes électromagnétiques placées sur les 3 bras du convertisseur de puissance. Sachant qu'il y a 4 sondes implantées pour chaque bras : 2 traversantes (Sondes TR), 2 planaires (sondes EL) et qu'elles sont groupées par paire (TR, EL) de chaque côté du module.

L'acquisition des courants est effectuée à l'aide de sondes de courants HIOKI dont les performances de résolutions en calibre et de bande passante ont été rigoureusement sélectionnées pour le besoin de nos études [154].

De même, l'acquisition des tensions est réalisée à l'aide de sondes différentielles, elle aussi calibrée pour détecter finement les variations en fréquence et les amplitudes de nos signaux sur le banc [207].

Enfin, les sondes électromagnétiques, qui sont une partie importante de notre ensemble de mesures et de surveillance du banc, sont reliées directement aux entrées de l'oscilloscope numérique HF MSO56 [147], dont les entrées sont adaptées à 50 Ω , pour profiter pleinement de leurs plages de résolution large-bande.

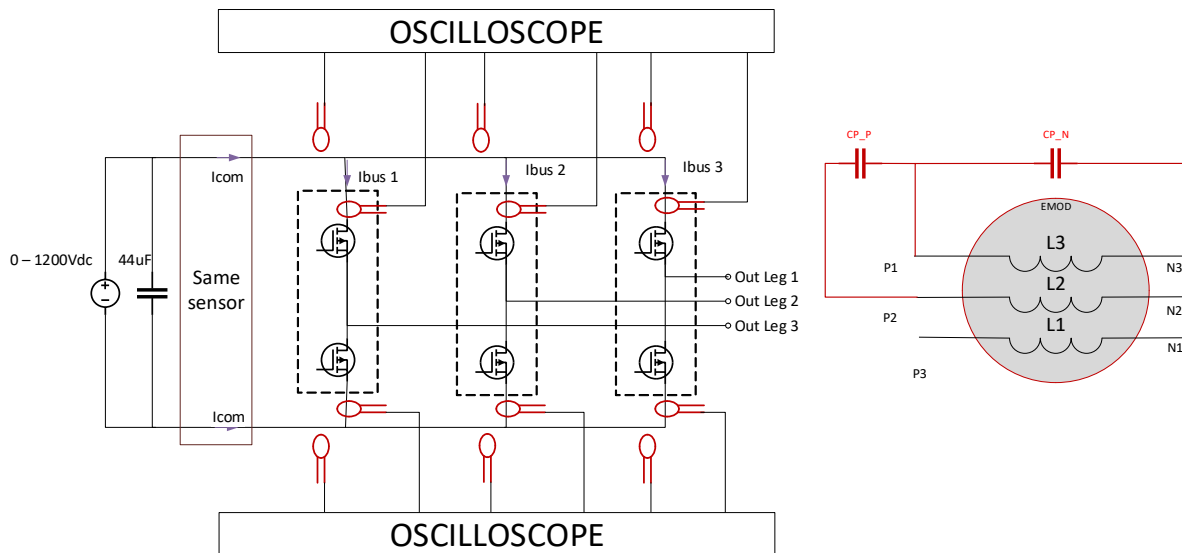


Figure 174 : Schéma électrique de l'expérimentation « simulation d'un vieillissement moteur »

Après cette description de notre expérimentation nécessitant un nombre assez conséquent de mesures et générant une grande quantité de données à traiter, nous établissons un plan d'expérimentation que nous visualisons Tableau 39, permettant un suivi rigoureux et méthodique des acquisitions. L'oscilloscope numérique MS056 comprenant 6 voies d'acquisition, chacune pouvant être soit à haute impédance soit à 50Ω, et ayant un taux d'échantillonnage maximal de 6,25 GS/S et une bande passante à 2GHz, toutes les sondes précédemment évoquées peuvent être associées ensemble à l'oscilloscope. Les mesures à effectuer sont classées par rangée de « SET ».

N° SET	CH1	CH2	CH3	CH4	CH5	CH6
SET 1 – Bras N°1	Sondes EL _M	Sondes TR _M	Sondes EL _P	Sondes TR _P	V _{DS_MOSFET 1}	V _{DS_MOSFET 2}
SET 2 – Bras N°2	Sondes EL _M	Sondes TR _M	Sondes EL _P	Sondes TR _P	V _{DS_MOSFET 3}	V _{DS_MOSFET 4}
SET 3 – Bras N°3	Sondes EL _M	Sondes TR _M	Sondes EL _P	Sondes TR _P	V _{DS_MOSFET 5}	V _{DS_MOSFET 6}
SET 4	V _{1-N}	V _{2-N}	V _{3-N}	I ₁	I ₂	I ₃
SET 5	I _{COMMUN}	I _{BUS-1}	I _{BUS-2}	I _{BUS-3}		

Tableau 39 : Liste des mesures à effectuer à chaque relevé

Afin d'optimiser la pertinence de nos résultats, nous configurerons notre durée d'acquisition sur une période de 2 ms à une fréquence d'échantillonnage de 3.125 GS/s. Cela représente 400 périodes de découpage et un minimum de 1 période du signal modulant. La résolution d'acquisition est de 14 bits.

Ce plan d'expérimentation est accompagné de la définition d'un point de fonctionnement du moteur défini par les caractéristiques et les limites propres du moteur choisi (Tableau 40). Nous assignons la tension de bus V_{DC}, la fréquence de découpage F_{sw}, la fréquence de modulation F_{MOD}, le coefficient de modulation C_{MOD} et le temps mort à la commutation t_{dd}.

V _{DC}	F _{sw}	F _{MOD}	C _{MOD}	t _{dd}
350 V	200 kHz	2000 Hz	10 %	10 ns

Tableau 40 : Point de fonctionnement du banc de vieillissement établi en fonction des caractéristiques du stator

Lors de la mesure et de l'acquisition par les sondes électromagnétiques, la mise en forme des données de mesures est primordiale pour la compréhension et l'analyse fine de leurs résultats. Pour ce faire, nous faisons le choix de nous intéresser en priorité à la réponse fréquentielle, en traitant les signaux temporels soit directement grâce à la FFT de notre oscilloscope numérique, soit en post traitement à l'aide d'un logiciel de traitement type MATLAB.

Afin de mieux exploiter ces données et les appréhender dans le domaine fréquentiel, nous effectuons finalement une conversion du niveau de tension des sondes en décibels Volts (dBV) puis en décibel mVolts (dBmV). Cette présentation des données et des spectres d'amplitude, illustrée Figure 175, permet de comparer et de visualiser plus clairement les enveloppes des différentes réponses fréquentielles des sondes EL_M , EL_P , TR_M et TR_P du premier module de puissance.



a) sondes planaires EL_M et EL_P



b) sondes traversantes TR_M et TR_P

Figure 175 : Traitement par transformée de Fourier et présentation des spectres d'amplitudes des signaux acquis par les sondes planaires EL (a) et traversantes TR (b)

Nous observons sur la Figure 175, une différence de niveau concernant les sondes EL_M et EL_P . Cela s'explique par la différence de distance entre les sondes et les plans de puissance $V_{BUS+/-}$. La sonde EL_P étant légèrement plus éloignée que son homologue, cette dernière présente un niveau plus faible.

Cette différence est accompagnée d'une signature fréquentielle similaire pour chaque type de sonde. Les sondes EL_M et EL_P présentent des pics de fréquence à 4,2, 18,8 et 61 MHz tandis que les sondes

TR_M et TR_P présentent des pics de fréquence à 4,3, 30 et 69 MHz. La raison de cette différence peut provenir d'une différence des caractéristiques des composants de puissance. En effet, les fréquences entre 18,8 MHz et 69 MHz correspondent aux caractéristiques des fronts de montée et de descente. Nous verrons par la suite que nous retrouvons cet aspect dans les mesures des V_{DS} des mosfets SiC.

Pour nous assurer que l'enveloppe est correctement ajustée, nous superposons le signal brut de la transformée de Fourier à son enveloppe extraite en spécifiant la méthode peak (Figure 176). Cette méthode prend seulement en compte les amplitudes maximales d'un nombre d'échantillons spécifié. Après différents essais, nous avons obtenu les meilleurs résultats avec un nombre optimum de points « peak » de l'ordre de 1000 points.

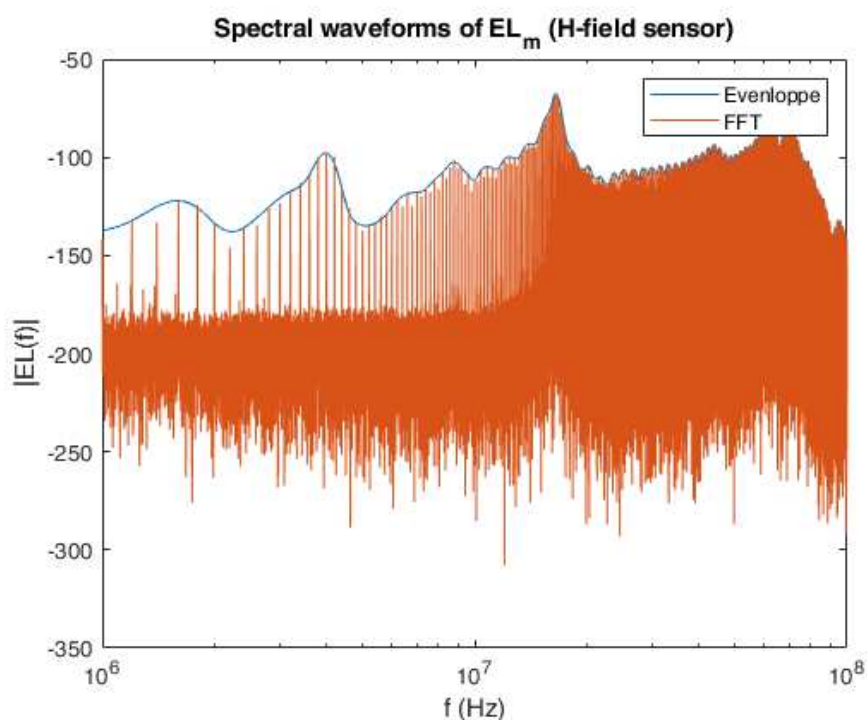


Figure 176 : Corrélation entre la transformée de Fourier et son enveloppe

Après avoir validé tout ce processus d'acquisition en régime temporel et de traitement fréquentiel des données, nous avons effectué l'ensemble de cette caractérisation pour le premier stator échantillon EMOD, ce qui correspondra à l'étape de référence pour ce premier essai de validation.

L'étape suivante est donc maintenant de reprendre l'ensemble de ces caractérisations, fréquentielles et temporelles après avoir fait fonctionner le stator pendant un certain nombre d'heures, simulant alors la phase de vieillissement accéléré.

Toutefois, avant de lancer cette expérimentation coûteuse en temps, et afin de mieux préparer les analyses et conclusions possibles à l'issue de ce test, nous présentons ici une expérimentation préliminaire, qui consiste à générer virtuellement un défaut qui serait représentatif de la dégradation des performances dans le temps au sein du stator. Ceci afin de vérifier et de valider simplement la fonctionnalité de nos capteurs de mesures et notamment des sondes électromagnétiques.

b. Simulation d'un défaut entre une phase et neutre – référence STP01

Pour cette partie, nous nous sommes basés sur des travaux menés par et Al. [62], qui ont montré la possibilité de simuler de façon expérimentale un défaut dans les bobinages. En suivant cette méthode, nous nous proposons d'introduire plusieurs capacités, de faibles valeurs, entre une des trois phases du moteur et son neutre. En fonction des caractéristiques de notre stator de test, nous

avons choisi des valeurs qui nous semblent significatives de 100 pf, 470 pf et 1000 pF. Dans notre cas, les condensateurs sont placés entre la phase 1 et le neutre, comme illustré à la Figure 177. L'ajout d'un condensateur sur une des phases du moteur engendre un changement d'impédance sur la phase en question.

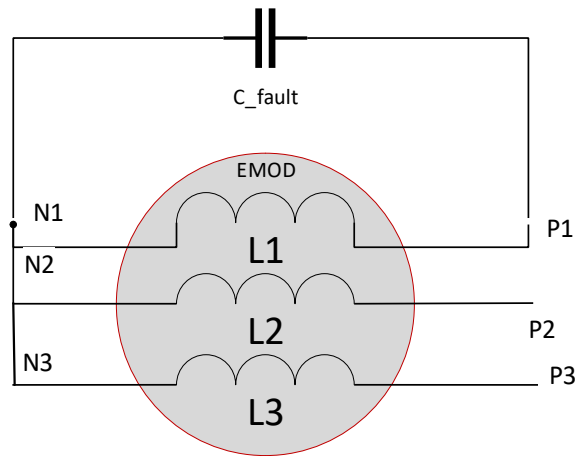
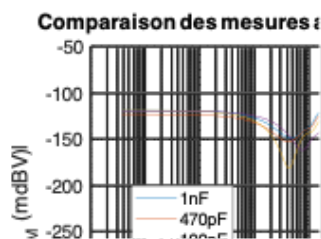


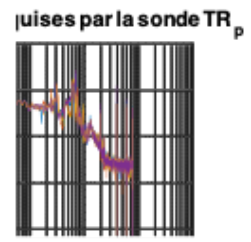
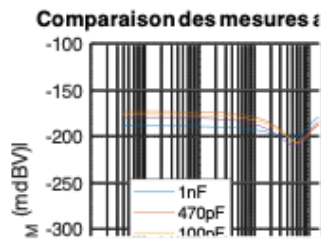
Figure 177 : Placement du condensateur de défaut dans le branchement du moteur entre le neutre et phase 1

Dans la précédente publication citée [62], les auteurs ont introduit un indicateur de défaut d'isolation nommé « Insulation State Indicator – ISI ». Cet indicateur est défini de la façon suivante : on effectue la somme d'une moyenne de 400 périodes de découpage contenant un défaut afin de s'assurer des mesures effectuées, puis on la soustrait à la moyenne des signaux référents. Cette opération est la résultante de l'erreur au carré, qui représente le coefficient de déviation des deux signaux soustraits. Le résultat obtenu évolue dans le temps si la déviation du signal devient plus importante. Cela indique donc une augmentation de la dégradation de l'isolant. Les valeurs de ce coefficient sont faibles, de l'ordre de 10^{-3} . Étant un coefficient, cet indicateur est sans unité.

Pour utiliser ce coefficient dans notre approche, nous introduisons tout d'abord successivement les différents condensateurs dans notre expérimentation, ceci afin de simuler les défauts. Nous relevons ainsi, avec le moteur en régime de fonctionnement normal, les différents signaux acquis (mode temporel), puis nous les traitons pour déterminer leurs comportements fréquentiels, comme décrits au paragraphe précédent. La Figure 178 présente les résultats obtenus, principalement aux bornes des sondes électromagnétiques planaires et traversantes, en fonction des trois valeurs de condensateurs choisies, simulant chacune un défaut de plus en plus prononcé.



a) sondes planaires ELM et ELp



B) sondes traversantes TRm et TRp

Figure 178 : Réponses fréquentielles des sondes électromagnétiques suite à l'ajout des condensateurs entre une phase et le neutre

La superposition de ces signaux, pour une sonde donnée en fonction des différentes valeurs de condensateurs, met en évidence une déviation fréquentielle plus ou moins prononcée en fonction de la valeur du condensateur et du défaut simulé. En observant plus précisément ces déviations (Figure 179), notamment autour des pics de fréquence, nous pouvons constater une proportionnalité de déviation de fréquence, vers les fréquences basses en fonction de la valeur croissante du condensateur. La ou les fréquences de résonance (pics d'amplitude maximums) étant fonction de l'association entre le bobinage et le condensateur et des valeurs de leurs éléments passifs repartis ou discrets, la variation de la valeur du condensateur agit donc bien sur l'évolution résultante de ces fréquences principales.

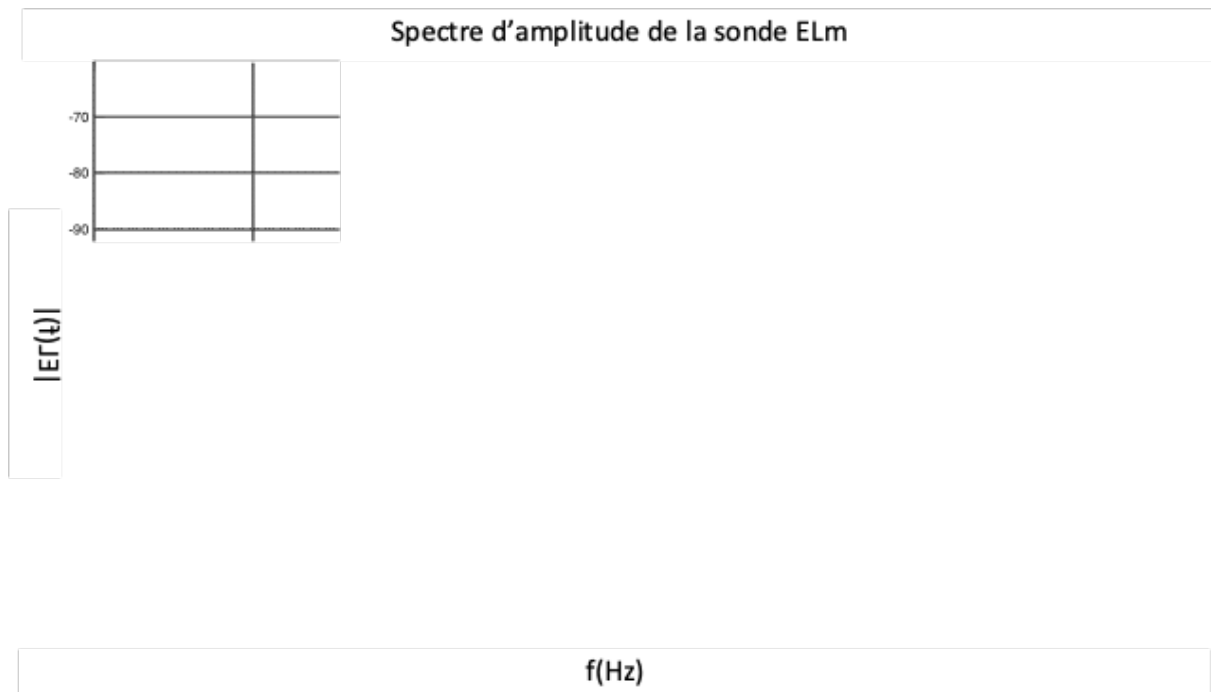


Figure 179 : Relevé détaillé du spectre d'amplitude aux bornes de la sonde EL_M

Ainsi, cette première étude met bien en évidence une déviation fréquentielle significative, visible principalement à 3 fréquences de résonances situées à 16,63 MHz, 17,73 MHz et 18,77 MHz (Figure 179). Cette évolution est aussi présente et bien visible sur les spectres d'amplitude des sondes EL_P et

TR_M. Le spectre d'amplitude de la sonde TR_P ne semble pas présenter de variations en fréquence aussi sensible avec les différents défauts simulés par les valeurs de capacités.

Si nous reprenons le schéma d'implantation des sondes de type TR_x, nous rappelons premièrement qu'elles ont été initialement prévues pour être proches ou au-dessus d'un plan de puissance. Ces deux sondes TR_M et TR_P ont donc dû être placées à travers une patte du composant SiC MOSFET, la TR_M à travers la source, la TR_P à travers le drain. Le courant traversant ces pattes crée un champ magnétique qui est sur le même plan que les sondes traversantes. Par conséquent, le couplage magnétique entre ces sondes traversantes et les pistes est lié à cette disposition. Les sondes dites planaires, EL_M et EL_P étant sur le même plan que les plans de puissance, le couplage avec le champ magnétique généré par les variations de courant traversant ces plans de puissance peut être considéré comme optimum.

En complément de cette première analyse, nous reprenons la conception du PCB et le placement des sondes en fonction des composants et des pistes de puissance (Figure 180). Nous pouvons apercevoir que nous avons une intersection entre la sonde TR_P et la pastille métallique de la grille du MOSFET SiC. Bien que cette intersection soit séparée par un agencement des plans en multicouche, cette pastille peut provoquer un couplage capacitif avec la ligne de la sonde qui provoquerait une déformation du signal acquis.

Ceci pourrait être une explication supplémentaire sur la faible déviation fréquentielle observée par les résultats obtenus jusqu'à maintenant.

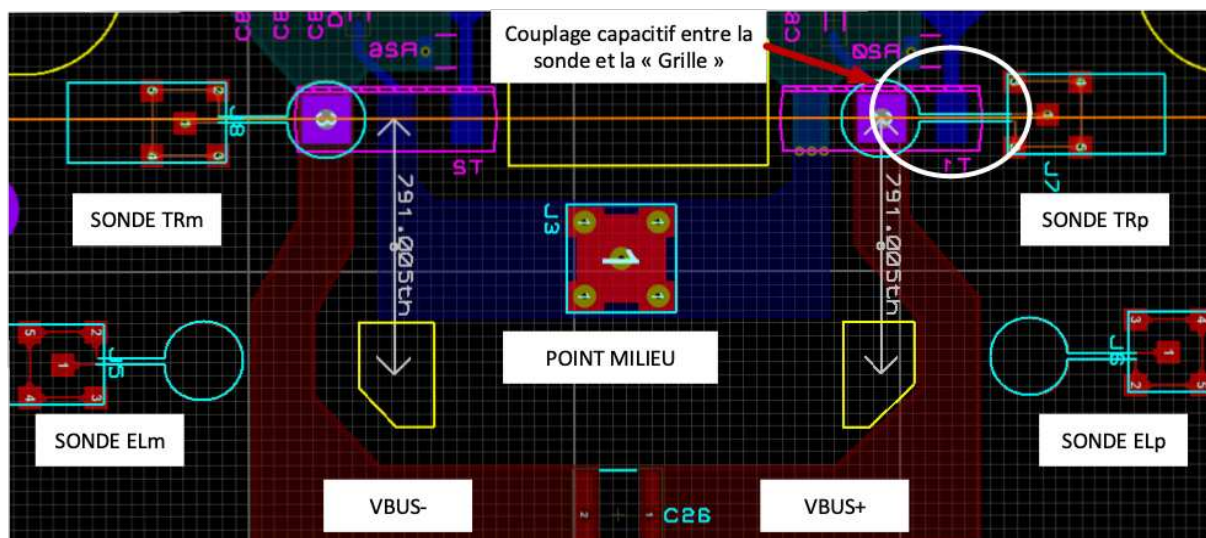


Figure 180 : Croisement des pistes entre la sonde de champ proche TR_p et la grille du MOSFET SiC

D'où les différences de mesure et de sensibilité pouvant être constatées entre les différents capteurs EM positionnés sur notre PCB de puissance.

A partir de ces différentes acquisitions et une fois l'enveloppe du signal traitée, nous définissons la plage de fréquence à analyser. Les déviations fréquentielles seront principalement localisées dans la gamme comprise entre 1MHz et 100 MHz dans le cas de notre premier stator testé.

Nous procédons ensuite au calcul RMSE, qui nous permet d'obtenir un coefficient nommé indicateur ISI dans la bibliographie. RMSE est le diminutif de « Root Mean Square Error » [62] signifiant l'écart quadratique moyen. Nous calculons donc l'écart quadratique moyen entre le spectre d'amplitude de référence et chaque spectre d'amplitude ayant un défaut. Cela nous permettra d'en extraire un coefficient qui sera l'image de la dégradation de l'isolant.

Pour effectuer cette opération, nous avons fait le choix de faire la moyenne des 400 périodes par trame de 10 périodes. Cette configuration est fixée suite à plusieurs essais que nous avons entrepris pour trouver un point de fonctionnement liant rapidité et efficacité des traitements. Nous avons donc

un nombre d'échantillons réduit à 40. Nous reprenons le calcul de l'indicateur en ne prenant compte que de ces dernières valeurs. Ainsi, nous pouvons mesurer et évaluer ce coefficient, dont nous présentons les résultats et le comportement à la Figure 181 :

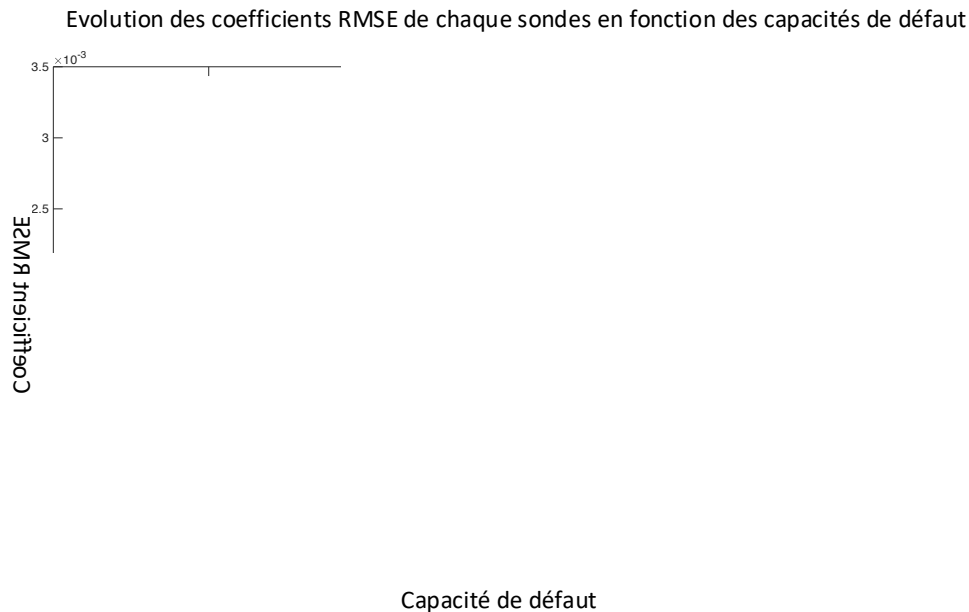


Figure 181 : Évolution du coefficient de déviation en fonction des sondes EL_P , TR_P , EL_M et TR_M

L'évolution de ce coefficient est plus significative pour la sonde EL_M , comparée aux 3 autres sondes. Cela s'explique par les niveaux de tension différents et plus faibles obtenus à travers l'acquisition de 3 autres sondes.

Le problème de ce principe de traitement concerne le niveau des mesures. Comme nous l'avons indiqué lors de la présentation des signaux de références : les sondes EL_M , EL_P et TR_P ont des niveaux d'acquisitions variants de -25 et -50 dBV. Cette différence fait apparaître un écart trop important pour pouvoir comparer les sondes entre elles.

Nous avons donc modifié le mode de calcul afin que la déviation soit traitée différemment. Nous considérons que chaque sonde doit être référencée par rapport à une moyenne de la déviation portée. Nous calculons donc dans un premier temps, la déviation moyenne des signaux référents de chacune des sondes. Nous obtenons pour ce faire, l'équation suivante :

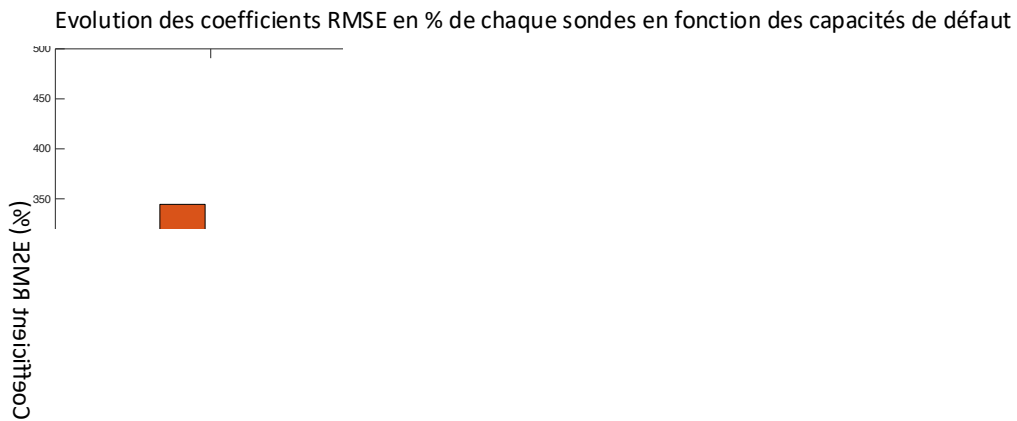
$$RMSE_{TOT} = \frac{\sqrt{\sum_0^j (|Y_{ref}(g)| - |Y_{con}(g)|)^2}}{j} \quad \#(25)$$

$$RMSE_{PERIODE}(i) = \frac{\sqrt{\sum_0^m (|Y_{ref}(g)| - |Y_{con}(g)|)^2}}{m} \quad \#(26)$$

$$RMSE_{PERIODE}^- = \frac{\sum_n RMSE_{PERIODE}(i)}{n} \quad \#(27)$$

$$RMSE_{\%} = \frac{RMSE_{TOT} * 100}{RMSE_{PERIODE}^-} \quad \#(28)$$

Les résultats de ce traitement correctif sont représentés à la Figure 182 :



Capacité de défaut

Figure 182 : Évolution du coefficient RMSE en % des sondes planaires et traversantes en fonction des capacités

En réalisant et en complétant notre présentation de l'indicateur de défaut par ces deux mises en forme, nous montrons que l'évolution du coefficient RMSE est significative seulement avec 3 sondes de champ proche suivant les 3 valeurs de capacités ajoutées à la phase 1. Les 3 sondes EL_M , EL_P et TR_M démontrent la possibilité de détecter cette déviation, que ce soit par le calcul de l'indicateur ou par notre variante établissant la moyenne de l'indicateur sur un nombre de période définie.

Cette première expérience nous permet donc de conclure sur l'utilité des sondes citées précédemment. La sonde TR_P ne portant pas de résultats aussi explicites que les 3 autres est toujours en pourparlers pour savoir si le placement de cette sonde est efficace ou non.

Ayant réalisé en parallèle l'acquisition par le biais des sondes électromagnétiques, des courants sur la phase I_1 et des courants de mode commun I_{COM} , nous les comparons aux évolutions précédentes afin d'observer de possibles corrélations. Un exemple et présentation de résultats de cette comparaison est illustré à la Figure 183 :





Figure 183 : Comparaison des sondes E_{LM} et T_{RM} aux courants I_1 et I_{COM}

Avec cette comparaison et l'ensemble des résultats précédents, nous pouvons valider notre approche et montrer que la détection d'un défaut au sein d'un bobinage par une méthode de simulation à capacité est non seulement pertinente, mais fortement améliorée par l'ajout de sondes électromagnétiques sur un PCB. Même si leurs niveaux de sensibilité sont parfois faibles, lorsque le traitement du coefficient de déviation est effectué, nous pouvons observer des évolutions de déviations fréquentielles porteuses d'informations et d'indicateurs des effets de défaut dans notre structure.

Pour accompagner ces résultats et cette conclusion, nous décidons de placer un défaut entre deux phases. La simulation de ce défaut serait similaire à un manque d'isolant au sein des bobinages très proches les uns des autres. Nous étudions cette possibilité dans la partie suivante.

c. Simulation d'un défaut entre deux phases du moteur – référence STP01

Après avoir simulé et démontré un changement fréquentiel grâce à l'ajout d'un défaut entre une phase et le neutre d'un moteur, nous changeons notre structure en simulant un défaut entre deux phases (Figure 184). La même séquence de mesure que lors de la partie b est reproduite, nous observons le comportement des sondes en fonction de la variation des valeurs du condensateur C_{FAULT} . Si un décalage fréquentiel est une fois de plus significatif, nous recalculerons le coefficient RMSE en fonction du niveau des sondes et en fonction d'un pourcentage défini par un traitement des moyennes. La transformée de Fourier est une fois de plus comparée avec le courant de ligne et de mode commun pour déterminer si une correspondance est visible.

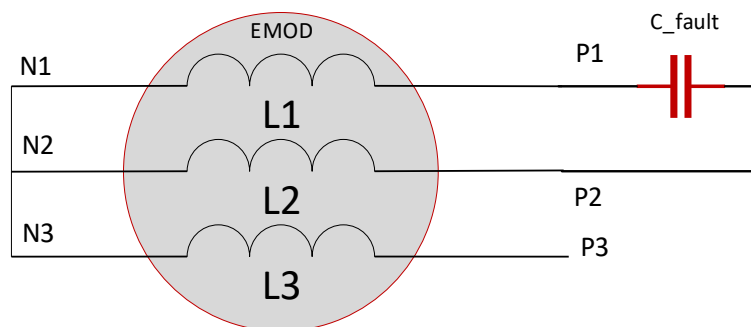
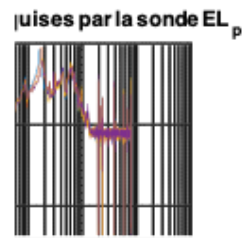
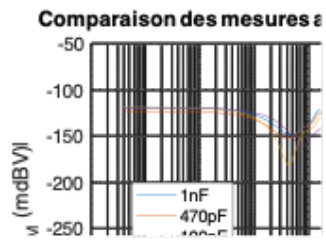
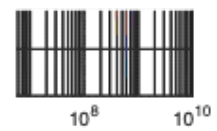
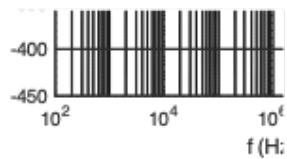


Figure 184 : Placement du condensateur défaut entre deux phases du moteur



a) sondes planaires ELM et ELP



B) sondes traversantes TRM et TRP

Figure 185 : Réponses fréquentielles des sondes électromagnétiques suite à l'ajout des condensateurs défauts entre deux phases

Une fois encore, la Figure 185 illustre une déviation fréquentielle des sondes ELM, ELP et TRM. Comparée à celle d'un défaut entre une phase et neutre, l'évolution est ici plus importante.

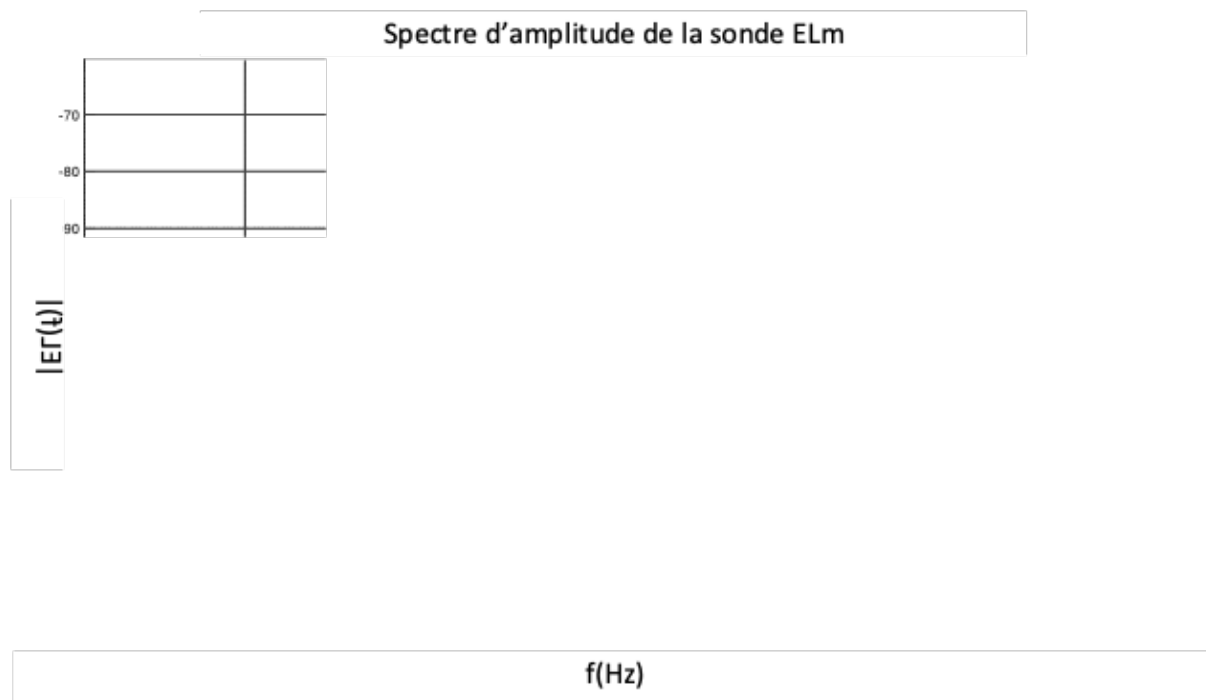


Figure 186 : Evolution de la déviation fréquentielle de la sonde E_{LM} entre 1 et 100MHz

En observant en détail les résultats d'une des trois sondes, les fréquences de résonance sont relevées à 8,21 MHz, 11,16 MHz et 18,36 MHz.

L'évolution du coefficient de déviation RMSE en fonction du niveau des sondes est illustrée Figure 187. La conclusion est similaire à celle du cas précédent : ayant un niveau plus important sur la sonde E_{LM} , nous changeons la méthodologie pour l'obtenir en fonction d'un pourcentage.

Celui-ci est calculé en fonction d'une moyenne de résultats obtenus par le calcul RMSE provenant des 400 dernières périodes et d'une moyenne de résultats obtenues aussi par le calcul RMSE, mais durant seulement 10 périodes. Cela nous permet de moyenniser ce dernier indicateur en fonction de son propre niveau et non du niveau le plus élevé. La Figure 188 illustre les résultats de ce traitement.

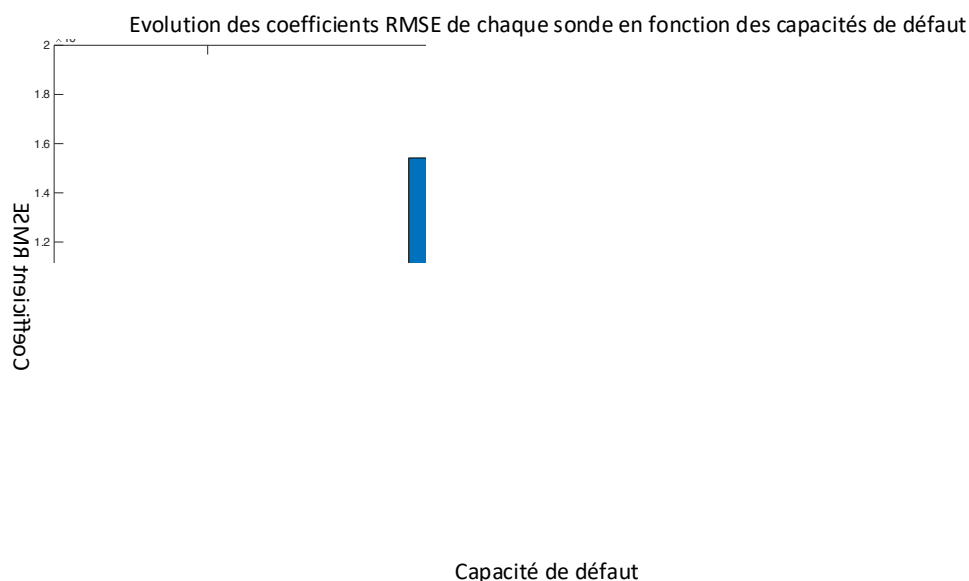


Figure 187 : Évolution du coefficient RMSE en fonction du niveau de chaque sonde

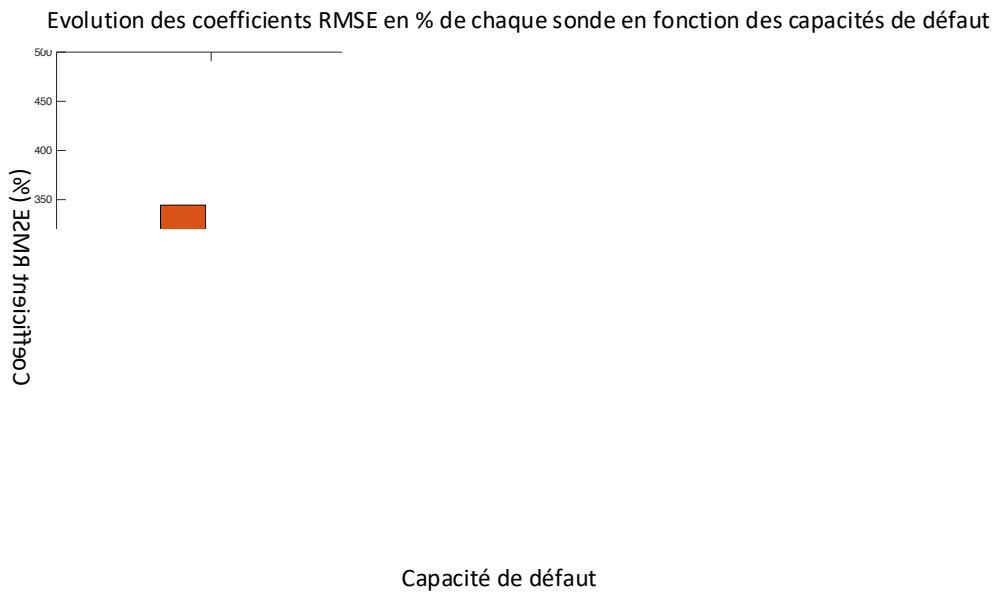


Figure 188 : Évolution du coefficient RMSE en pourcentage

La mise en forme de l'évolution du coefficient ci-dessus permet d'indiquer qu'une fois de plus les 3 premières sondes EL_M , TR_M et EL_P permettent de détecter une déviation fréquentielle.

Cependant, la pertinence du RMSE ainsi que l'efficacité de la sonde TR_P sont à discuter : nous avons précédemment observé que la sonde TR_P détectait plus faiblement la variation de la modulation de la valeur du condensateur. Si nous le comparons à notre évolution du RMSE, celle-ci est descendante alors que toutes les autres sont ascendantes. Cela indiquerait que plus la valeur du condensateur augmente, moins la transformée de Fourier de la sonde TR_P dévie de sa référence. Cette conclusion étant problématique, nous devons comprendre qu'elles sont les effets que la sonde observe. Ce sera l'objet de futures études.

Nous pouvons faire une observation similaire concernant la sonde EL_P . Ici, la déviation est bien visible, que ce soit par le spectre d'amplitude ou par l'évolution du coefficient RMSE. Cependant, si nous observons ce dernier entre la capacité 470pF et 1nF, l'évolution est descendante. Cette remarque nous interpelle et nous fait prendre compte que le coefficient que l'on calcul indique seulement si une la déviation est plus importante. Si la déviation est d'un niveau semblable à la précédente, alors le niveau du coefficient sera similaire.

D'après les études de [13], [14], le calcul du coefficient est obtenu suite à l'accumulation de plusieurs mono déclenchements. Dans notre cas, nous l'obtenons suite à une conversion des signaux temporels par transformée de Fourier en utilisant les acquisitions d'une longue durée comprenant plusieurs déclenchements. Cette remarque permet de mettre en évidence l'efficacité de ce calcul lorsque les signaux sont acquis durant l'étape STP01. Ainsi, nous pouvons nous accommoder cette technique pour l'appliquer durant une période de conversion fixée.

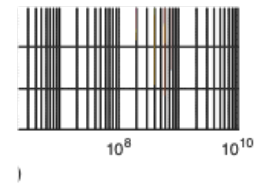
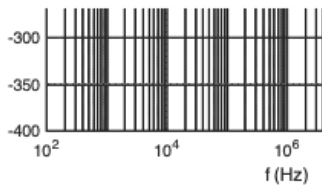
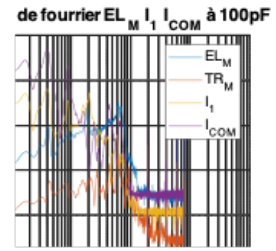
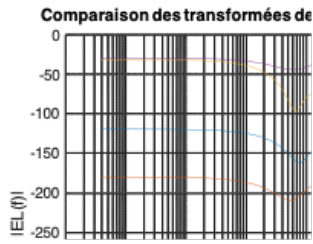


Figure 189 : Comparaison des valeurs entre les sondes électromagnétiques EL_M et TR_M et les sondes de courants I_1 et I_{COM}

Nous reprenons la comparaison des courbes de spectre d'amplitude entre les sondes EL_M , TR_M , I_1 et I_{COM} sur la Figure 189. Seulement quelques correspondances sont visibles entre les courants I_1 et I_{COM} entre les fréquences 1 et 10 MHz. La différence des niveaux est provoquée par les limites de mesure des sondes et des couplages magnétiques par rapport aux plans de puissance. Une fois encore, nous mettons ici en évidence les différences de niveaux entre les sondes électromagnétiques et les sondes de courant.

Bien que les niveaux soient différents, nous pouvons tout de même observer les caractéristiques du champ magnétique au sein des PCB à travers les mesures des sondes. De plus, le courant I_{COM} observe les courants transitant à travers l'ensemble des modules et les sondes I_1 , EL_M et TR_M sont-elles spécifiques au premier module. Cela nous permet de comparer les caractéristiques afin de savoir qu'elles sont celles appartenant au premier module et non à l'ensemble du banc. Ce sera aussi l'objet de futures études.

d. Amélioration du processus de traitement

Cette première phase d'expérimentation nous a permis de mettre en œuvre un processus de traitement pour analyser et obtenir une interprétation lors de la recherche d'une déviation fréquentielle en fonction d'une évolution de valeur de capacité. Cependant, nous pouvons souligner que les temps de traitement sont longs suite à l'accumulation de nombreux points et de nombreuses périodes.

Initialement, notre volonté était de pouvoir disposer d'un maximum d'informations sur le bobinage et les éléments environnants grâce à l'acquisition des sondes électromagnétiques. Les différents

résultats obtenus nous ont permis de conclure que l'évolution d'un défaut dans ce stator, et uniquement dans celui-ci, va se situer principalement entre 1 et 20 MHz.

Cependant, avant de commencer l'expérimentation de 96 h, nous allons améliorer le processus de traitement des mesures acquises.

L'un des paramètres que nous aurions pu diminuer est la fréquence d'échantillonnage qui conduit à diminuer le nombre de valeurs à traiter. Cependant, la problématique de cette modification est de ne plus avoir accès à des informations dans la plage des hautes fréquences. Cette option n'est donc pas envisageable.

Un autre paramètre peut également être modifié : la durée d'acquisition. Durant les précédents essais, nous avons observé 400 périodes de découpage, ce qui correspond à 2ms de période. Avec un échantillonnage à 3,125 GS/s, cela représente 3 125 000 points fois le nombre de mesures, 28, et le nombre de capacités, 4. Soit un nombre total de 350 000 000 valeurs à traiter. En réduisant le nombre de périodes d'acquisition et donc le temps d'acquisition, nous pouvons réduire le nombre de valeurs.

Dans le but de prouver que le fait de réduire le nombre de périodes ne perturbe en rien le traitement, nous avons découpé les trames d'acquisition en 10 périodes tout en les superposant les unes sur les autres. Le nombre de trames superposées est de 40. Ainsi, nous avons pu vérifier si les spectres d'amplitudes étaient tout le temps similaire. Si les signaux sont bien répétitifs, nous pourrions réduire le nombre de périodes à 10 pour les acquisitions futures.

Ce test a été fait sur l'ensemble des sondes et en fonction des capacités. Nous retrouvons les résultats obtenus sur la Figure 190, Figure 191, Figure 192 et Figure 193 :

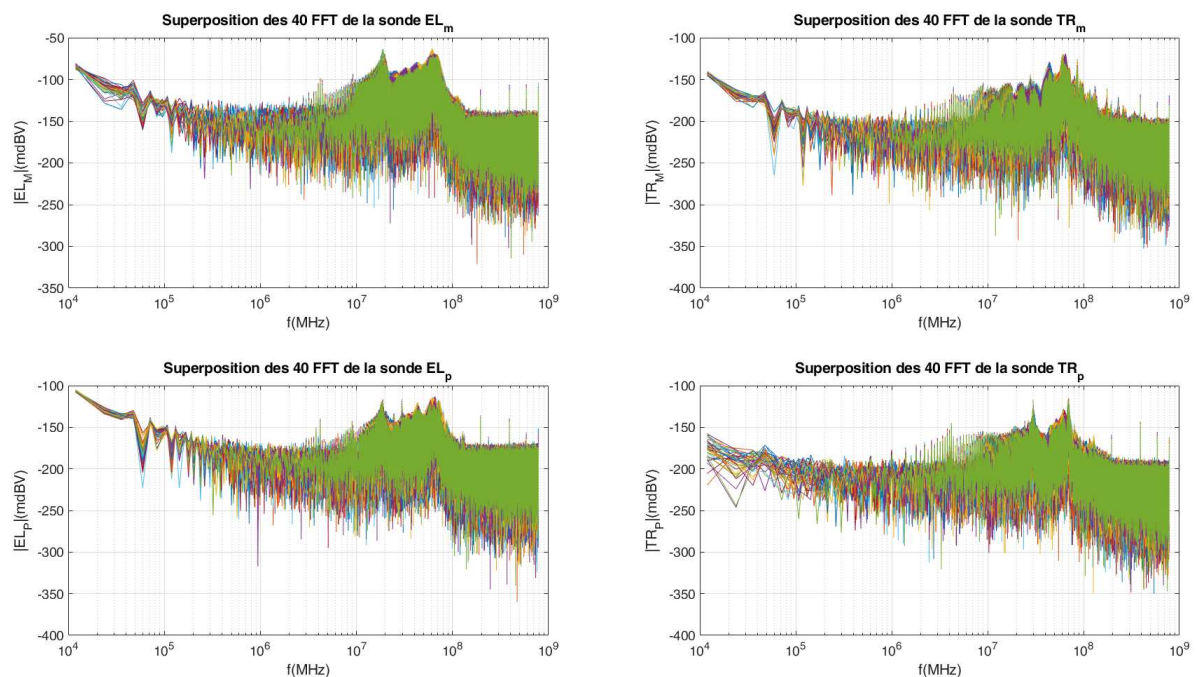


Figure 190 : Superposition de 40 FFT par trames de 10 périodes des signaux de références des sondes électromagnétiques

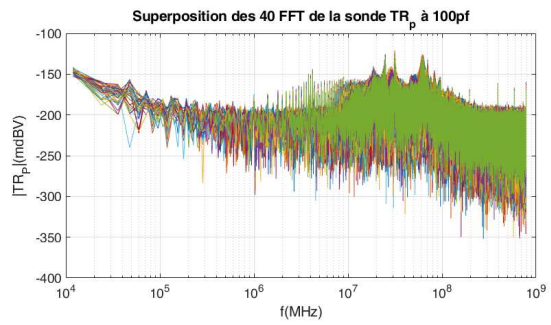
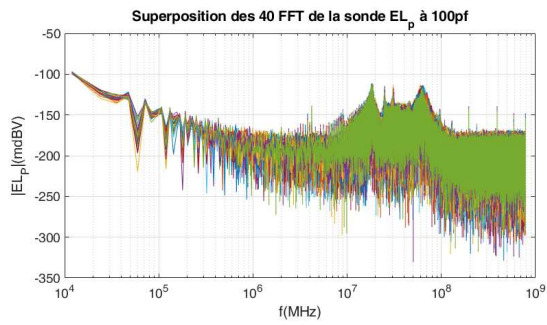
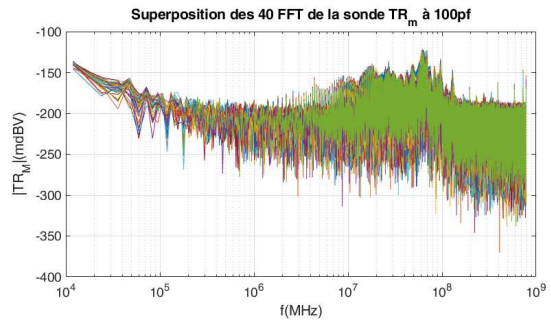
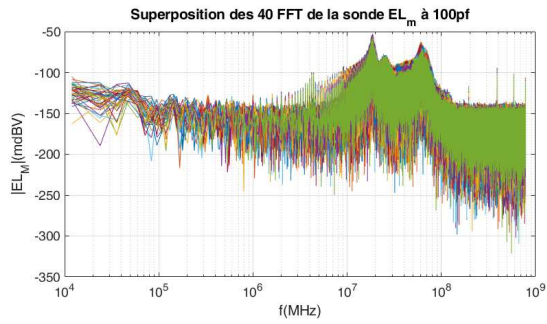


Figure 191 : Superposition de 40 FFT par trames de 10 périodes des sondes électromagnétiques avec un condensateur de 100pF

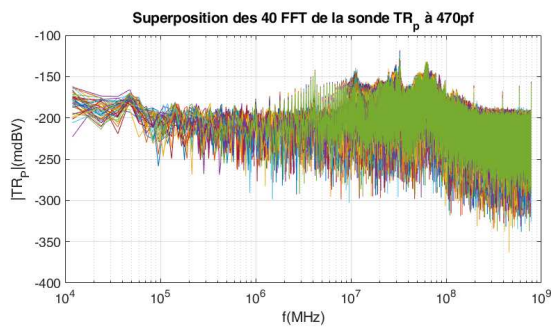
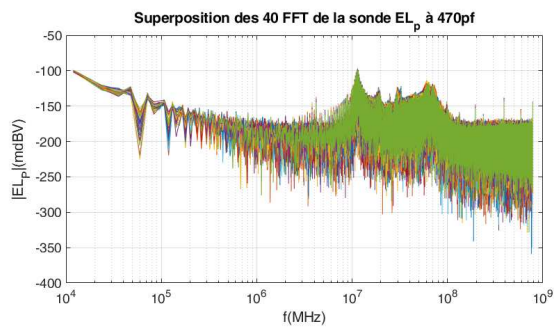
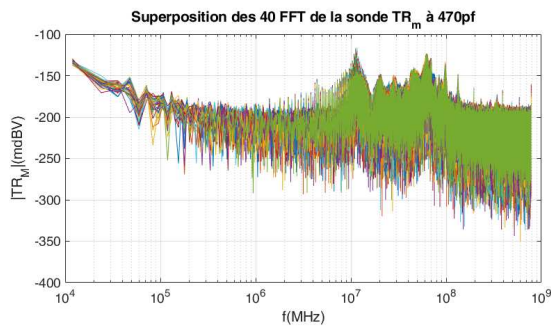
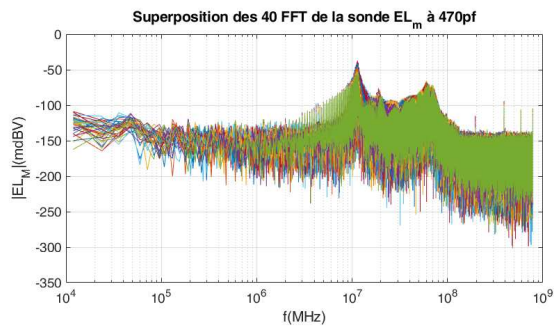


Figure 192 : Superposition de 40 FFT par trames de 10 périodes des sondes électromagnétiques avec un condensateur de 470pF

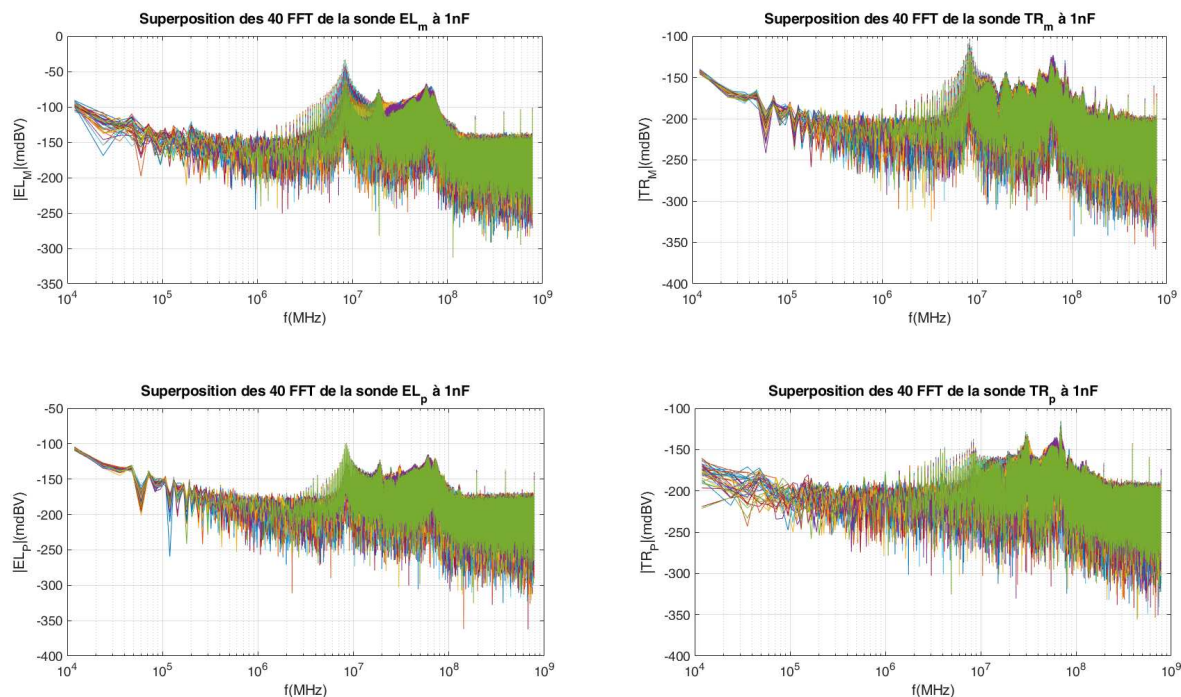


Figure 193 : Superposition de 40 FFT par trames de 10 périodes des sondes électromagnétiques avec un condensateur de 1nF

Ces nombreux résultats mettent en évidence la similarité des 40 FFT de 10 périodes chacune. L'ensemble des graphiques nous démontrent que la reproductibilité est réelle, leurs tendances et enveloppes sont proches.

Ces superpositions nous permettent de conclure que la réduction du nombre de périodes est envisageable avec une diminution de la durée d'acquisition à 10 périodes de découpage. Le nombre de points à traiter ainsi que le temps de calcul réduira alors fortement.

e. Étape de post expérimentation – référence STP02

Les deux premières étapes d'analyse étant traitées, nous passons ici à celle de la post-expérimentation. Elle a pour but d'analyser la dégradation de l'isolant après une campagne de vieillissement accéléré.

Nos deux premiers protocoles d'expérimentations tels que décrits précédemment avaient pour but de calibrer correctement nos appareils de mesure et d'affiner notre méthodologie de traitement, afin d'obtenir une trame d'analyse cohérente. Elles ont pu être facilitées et accomplies grâce à la méthode expérimentale de simulation de défauts mise en œuvre par l'insertion de plusieurs condensateurs aux bornes du stator testé.

Dans les faits, cette étape de post-expérimentation serait plus appropriée lors d'une campagne de vieillissement réelle. Toutefois, nous allons continuer à nous appuyer sur la simulation de ces différents défauts grâce à l'ajout de condensateur.

Nous allons essayer de reproduire les effets constatés lors des expérimentations incluant les défauts à l'aide de simulations de circuits équivalents. À partir des fichiers modèles de paramètre S implantés dans le solveur circuit (chapitre 1), nous allons reproduire l'insertion de défauts capacitifs et leurs effets sur les variations de Paramètres S.

Premièrement, nous nous intéressons au défaut placé entre une phase et un neutre. Via la Figure 194, nous présentons le schéma électrique équivalent implanté dans le logiciel d'analyse des paramètres S, Advanced Design System [208].

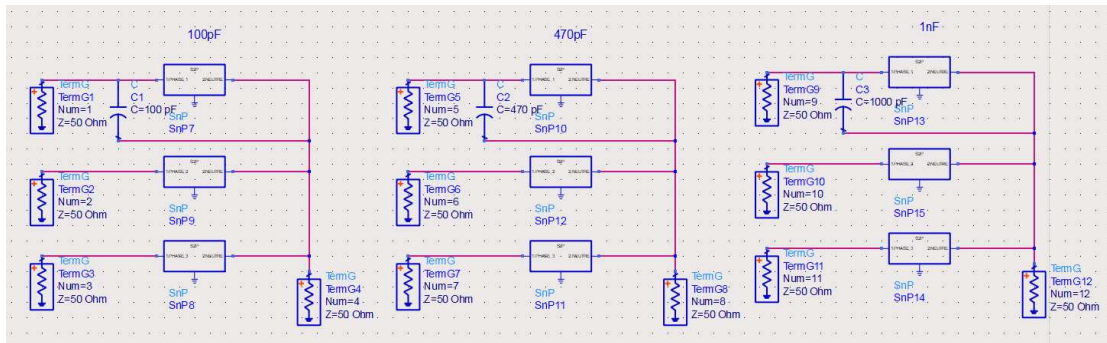


Figure 194 : schéma post-expérimentation sur le logiciel de traitement ADS

Suite à cette implémentation, nous simulons le calcul des paramètres S en fonction de la fréquence, sur la bande qui nous intéresse, ainsi que la variation d'impédance sur les 3 phases. Les courbes suivantes (Figure 195) permettent de constater l'impact de l'insertion de ce condensateur défaut avec des modifications notables de l'allure de l'impédance de la phase 1 de 200 kHz à 20 MHz.

En comparant avec les résultats expérimentaux obtenus précédemment dans le paragraphe (a), nous mettons en évidence la déviation fréquentielle que provoque cet élément passif sur la réponse fréquentielle du bobinage du stator. Même cas pour la réponse fréquentielle de l'impédance Z.

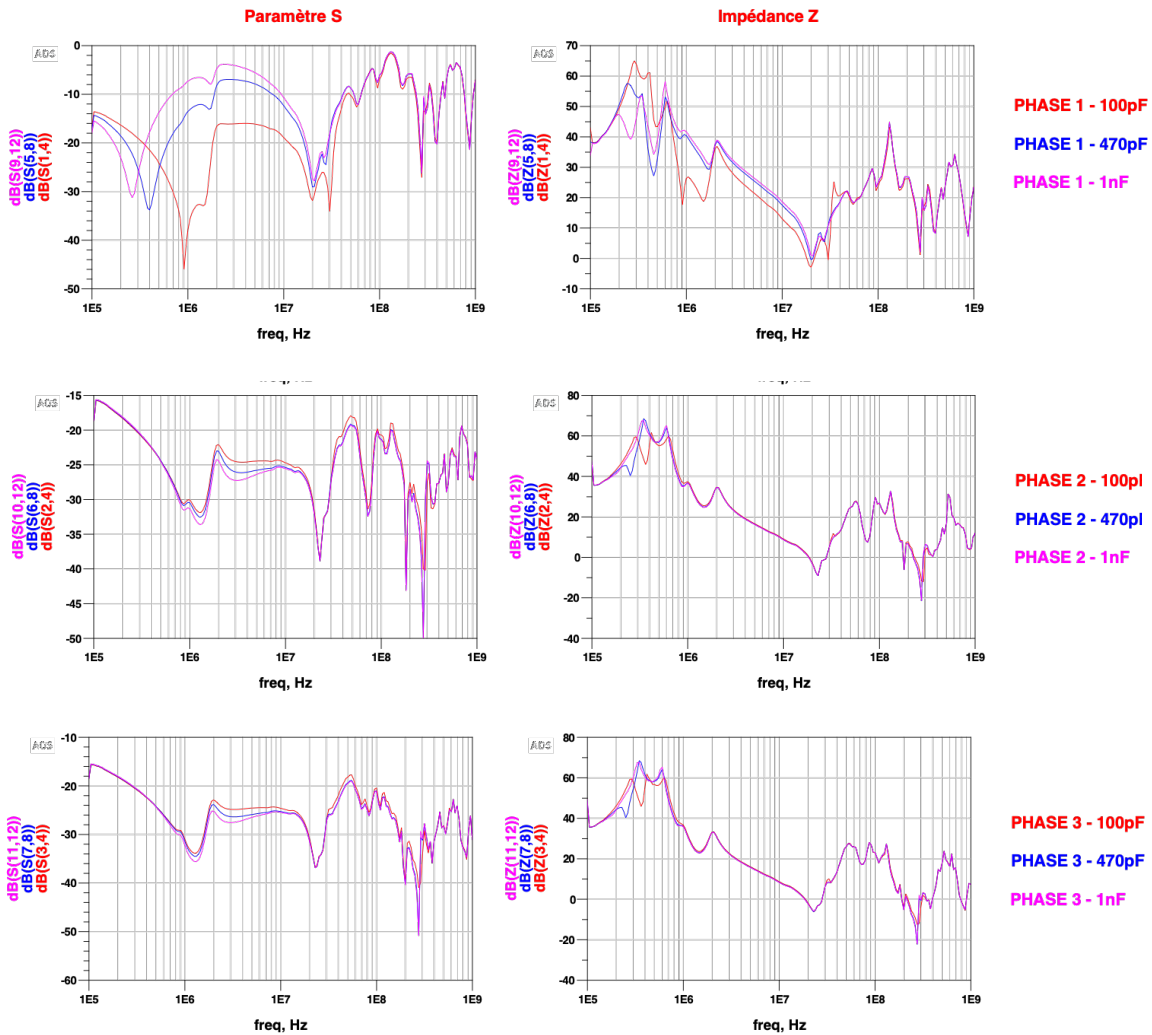


Figure 195 : Résultats des paramètres S et impédances Z de chaque phase en fonction de la variation du condensateur de défaut placé entre la phase 1 et le neutre

Cette déviation significative semble être provoquée par l'ouverture et de la fermeture des composants de puissance. Suivant les temps de montée et de descente, nous excitions une certaine gamme de fréquences. Ces tensions d'excitation sont engendrées par les tensions V_{DS} des mosfets SiC correspond à la phase 1, phase d'où nous observons la déviation.

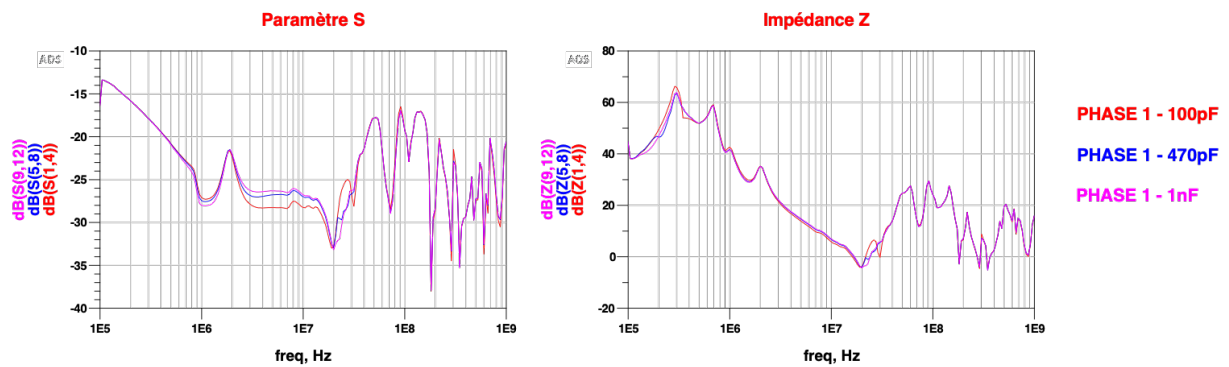
Dans notre cas, les temps de montée et de descente durent entre 10 et 60 ns. En prenant la relation du temps de montée sur la fréquence [209], nous déterminons, de manière approchée, la gamme de fréquences d'excitation des commutations des composants de puissance vis-à-vis du bobinage :

$$f = \frac{0,35}{t} \#(29)$$

$$f_b = \frac{0,35}{60ns} = 5,83MHz$$

$$f_h = \frac{0,35}{10ns} = 35MHz$$

La bande de fréquence d'excitation est donc située entre 5,83 MHz et 35 MHz. Cette plage correspond à celle des fréquences de résonance que nous avons précédemment relevée. Nous simulons maintenant le défaut en le plaçant entre la phase 1 et la phase 2 du stator. Les résultats comparatifs sont présentés à la Figure 196 :



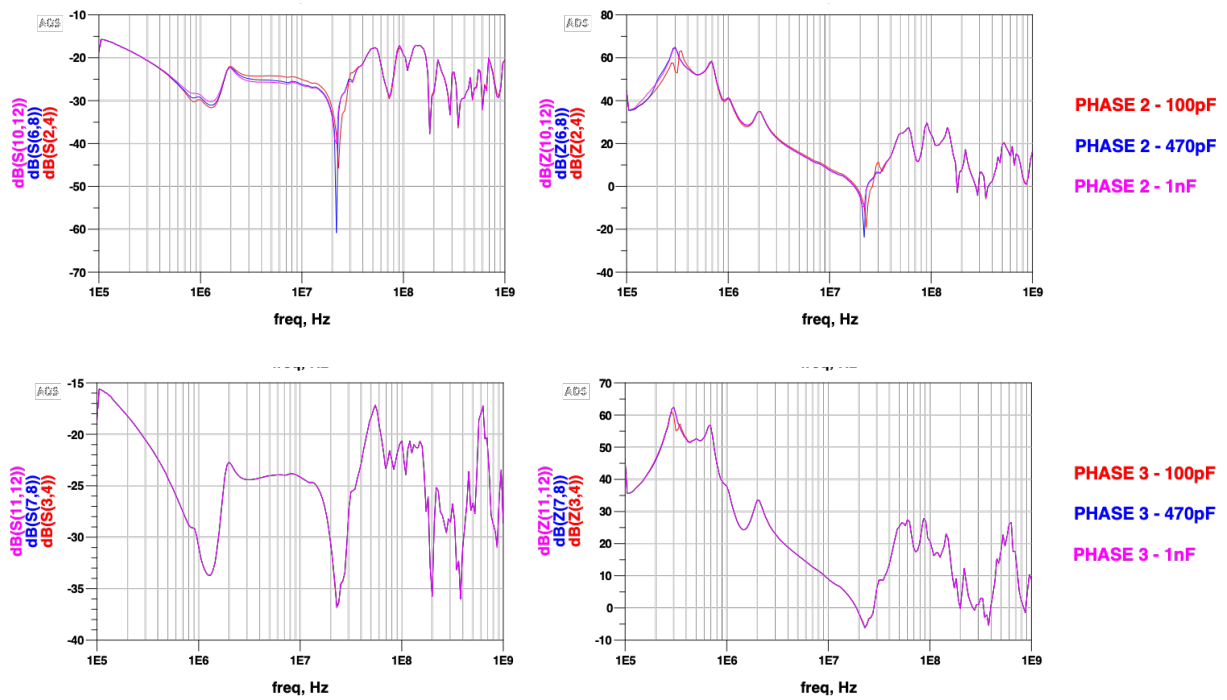
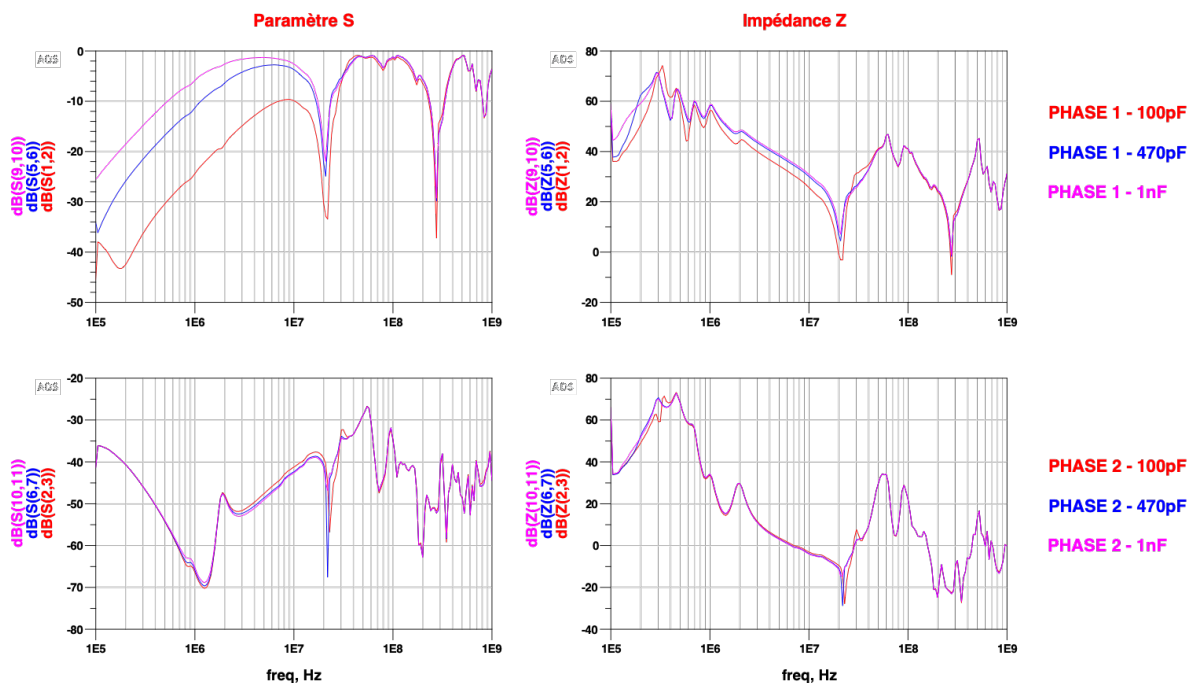


Figure 196 : Résultats des paramètres S et impédances Z de chaque phase en fonction de la variation du condensateur de défaut placé entre la phase 1 et 2

À la différence de la précédente simulation, très peu de changements sont à noter entre les phases 1, 2, 3 et le neutre. Seule une légère différence est visible entre 20 et 30 MHz. Cependant, le défaut étant placé entre 2 phases, il est préférable d'observer la réponse entre chacune des phases. C'est ce que nous présentons à la Figure 197.



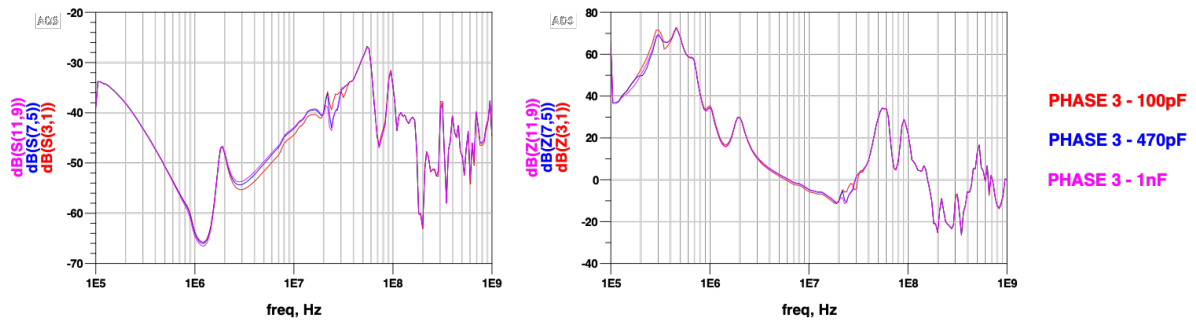


Figure 197 : Résultats des paramètres S et impédances Z entre chaque phase en fonction de la variation du condensateur de défaut placé entre la phase 1 et 2

La comparaison entre la Figure 196 et la Figure 197 nous montre qu’une différence plus significative est visible sur la phase 1. Cette déviation n’apparaît pas sur les autres phases. Toutefois, la déviation observée n’est pas aussi importante que celle montrée à la Figure 195. Cette différence est problématique, car nous avons précédemment indiqué que la déviation fréquentielle était plus importante lors de l’apparition d’un défaut entre phases qu’entre une phase et un neutre. Par conséquent, cela reviendrait à dire que les mesures de paramètres S avec la simulation d’un défaut ne sont pas liées aux mesures expérimentales.

Pour pouvoir répondre à cette remarque, nous émettons une hypothèse : la simulation d’un défaut grâce à l’ajout d’un condensateur aux bornes des phases obtenues par les fichiers S2P contenant les mesures des paramètres S doit être reproduit de façon expérimentale. En effet, les condensateurs que nous avons choisis pour effectuer l’expérimentation et ceux de la simulation ne sont pas similaires [210]. N’ayant pas précisé le modèle équivalent réel du condensateur que nous avons utilisé sur notre expérimentation à notre simulation, il se peut que les simulations ne soient pas reproductibles.

Après cette présentation de nos protocoles de mesures et d’évaluation, qui ont également permis la calibration et l’affinage des techniques de mesure et de leurs traitements associés, nous avons démarré notre campagne de vieillissement réel. À des fins de comparaisons, nous continuons nos études avec notre stator test, EMOD.

IV.3. Expérimentation d’un vieillissement accéléré de bobinages sur une durée de 96h

L’accélération du vieillissement d’un bobinage est accentuée lorsque les performances du système d’alimentation approchent les limites de la tenue diélectrique de l’isolant du bobinage. Nous comprenons également de manière intuitive qu’en théorie, un bobinage soumis à une fréquence de découpage de 200 kHz subira des contraintes de vieillissement deux fois plus fréquentes que lorsque celui-ci sera alimenté avec un découpage à 100 kHz. Toutefois, dans cette réflexion, nous ne prenons pas en compte le niveau de tension appliqué à chaque commutation. Or, son impact serait plus

important si chaque commutation comprend un $\frac{dV}{dt}$ élevé.

Une fois que la tension et la fréquence de commutation ont été fixées, le $\frac{dV}{dt}$ illustre l’impact du temps de commutation entre l’état bas et l’état haut, qui peut être significatif. A contrario, si celui-ci est ralenti au maximum, l’impact de l’agression sera amoindri.

Nous revenons au même exemple, si le bobinage est alimenté par une fréquence de découpage de 100 kHz et une tension de 500 V à chaque commutation, tout en ayant un temps de commutation de 10 ns, alors son impact sera plus important comparé à 100 ns.

De nombreux paramètres peuvent être déterminants dans l'usure d'un bobinage et leur combinaison peut fortement diminuer la durée de vie des matériaux isolants. C'est pourquoi, en les modulant, nous pouvons caractériser l'isolant suivant plusieurs paramètres. Le développement de notre banc de test doit répondre à cette problématique.

Avec le développement de notre propre solution de pilotage, nous pouvons régler et ajuster différents paramètres de fonctionnement, et notamment les 4 paramètres suivants : fréquence de fonctionnement F_{SW} , la fréquence de modulation F_{MOD} , le coefficient de modulation C_{MOD} et le temps mort à la commutation t_{dd} . Cela nous permettra d'effectuer des expérimentations en modulant un ou plusieurs paramètres à la fois.

Dans un futur proche, notre objectif est d'étudier l'influence de chaque paramètre sur l'impact de la dégradation de l'isolant. Le but de cette étude sera de mieux connaître les limites de tenue diélectrique des isolants.

Tout au long de ce chapitre, nous allons retrouver un plan d'expérience pour lequel nous avons fait le choix de fixer les 4 paramètres précédemment exposés, c.-à-d. de pouvoir représenter ce défaut. Pour ce faire, nous avons alimenté le stator sur une durée de 96 h par intervalle de temps de 8 h, en nous positionnant au point de fonctionnement suivant :

V_{DC}	F_{SW}	F_{MOD}	C_{MOD}	Dead time
400 V	200 kHz	2000 Hz	1 %	10 ns

Tableau 41 : Point de fonctionnement de l'étude de vieillissement

La valeur de la température qui peut être un élément critique sur le changement des caractéristiques du matériau isolant lorsque la température dépasse un seuil maximal, a été constamment surveillée par l'intermédiaire de thermocouples intégrés au stator. Souhaitant limiter cette température à 60°, nous avons placé deux ventilateurs face au stator. Les images de la configuration sont représentées Figure 198 et Figure 199 :

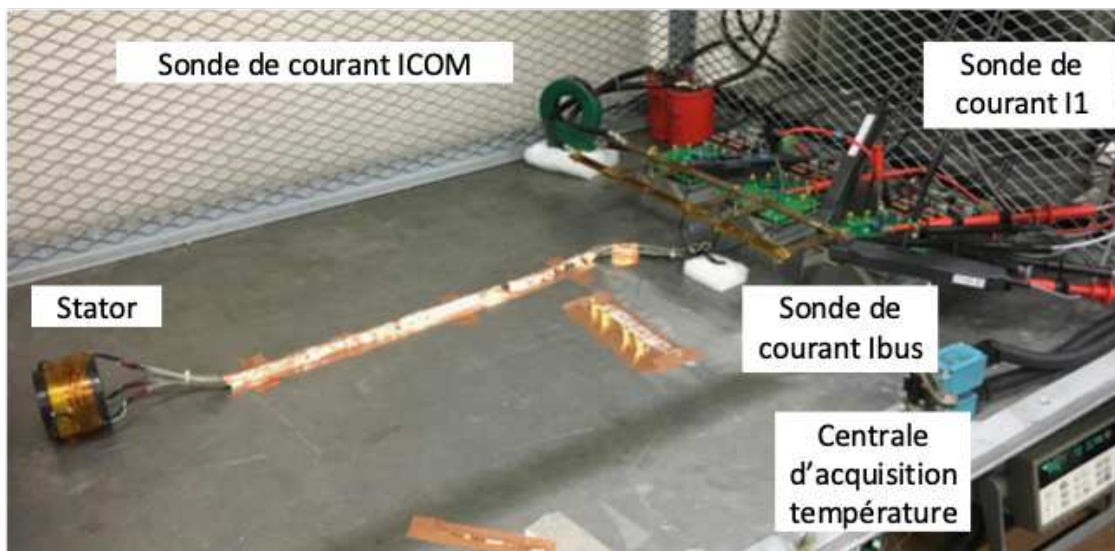


Figure 198 : Plan d'expérimentation du vieillissement accéléré



Figure 199 : Placement des ventilateurs pour la stabilisation de la température du stator

Notre étude se focalisant sur l'influence de la tension vis-à-vis de la dégradation de l'isolant, l'impact du courant doit être minimisé. Nous avons volontairement diminué la valeur du coefficient de modulation à 1 % afin de remplir cette condition.

À chaque fin d'intervalle de 8 h, nous relevons toute la liste des mesures que nous avons définie lors de la phase de pré expérimentation. Nous avons donc réalisé un total de 12 jours d'acquisition.

IV.3.A. Traitement post-expérimentation de l'accélération de vieillissement

Ayant effectué 12 jours d'acquisition comprenant une acquisition de 5 sets par jour, beaucoup de données sont à traiter. Le but de cette expérimentation étant de savoir si une évolution due au vieillissement du stator à un point de fonctionnement donné est effectivement observable sur une durée de 96h.

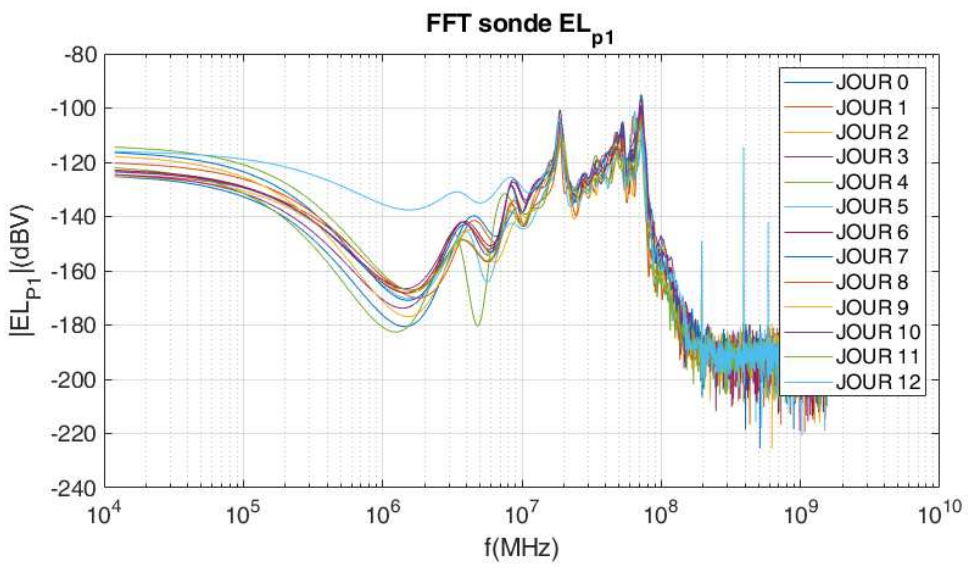
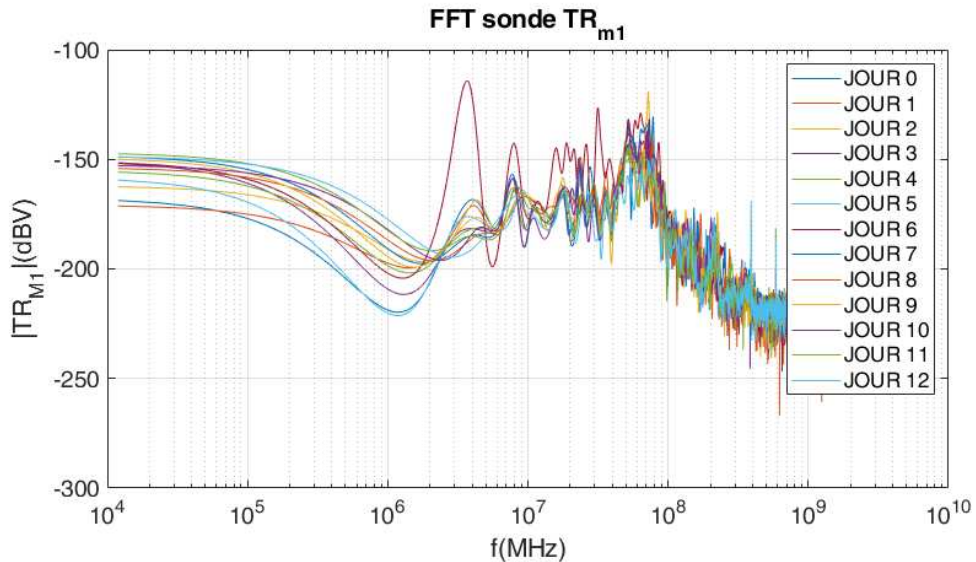
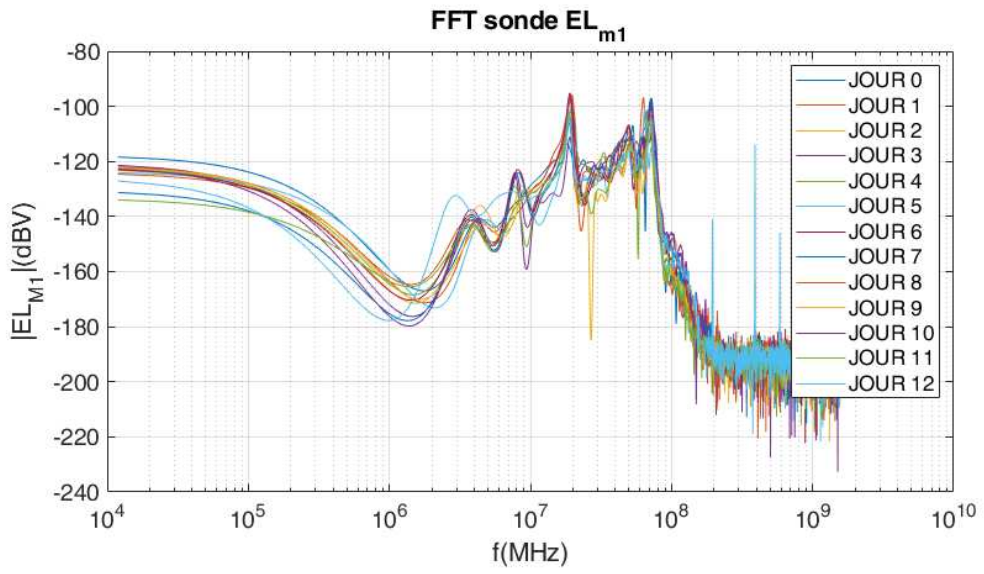
Pour faciliter notre traitement, nous allons observer l'évolution des spectres d'amplitude, ceci pour chaque sonde afin de connaître le vieillissement d'un matériau isolant. Cette analyse judicieusement mise en forme nous démontrera si, au bout des 96h d'expérimentation, une déviation fréquentielle est visible ou pas. Nous traitons dans un premier temps les données de l'étape STP01 acquises par l'oscilloscope.

Dans un second temps, nous comparerons les paramètres S et les impédances Z entre chaque phase et neutre du stator afin d'observer leurs évolutions entre la pré-expérimentation et la post expérimentation.

Dans un troisième temps, nous endommagerons volontairement la phase 1 du stator afin d'observer le changement produit sur les paramètres S et les impédances Z entre chaque phase et neutre.

Suite à ces différentes analyses, nous concluons sur la pertinence de notre protocole de mesure ainsi que celle des sondes.

La Figure 200, la Figure 202 et la Figure 204 illustrent l'évolution des spectres d'amplitude mesurés directement aux bornes des 4 sondes électromagnétiques. La Figure 201, la Figure 203 et la Figure 205 illustrent l'évolution des transformées de Fourier des courants I_{COM} , I_{BUS1} , I_{BUS2} et I_{BUS3} ainsi que des sondes de courant et des sondes de tension aux bornes de chaque MOSFET.



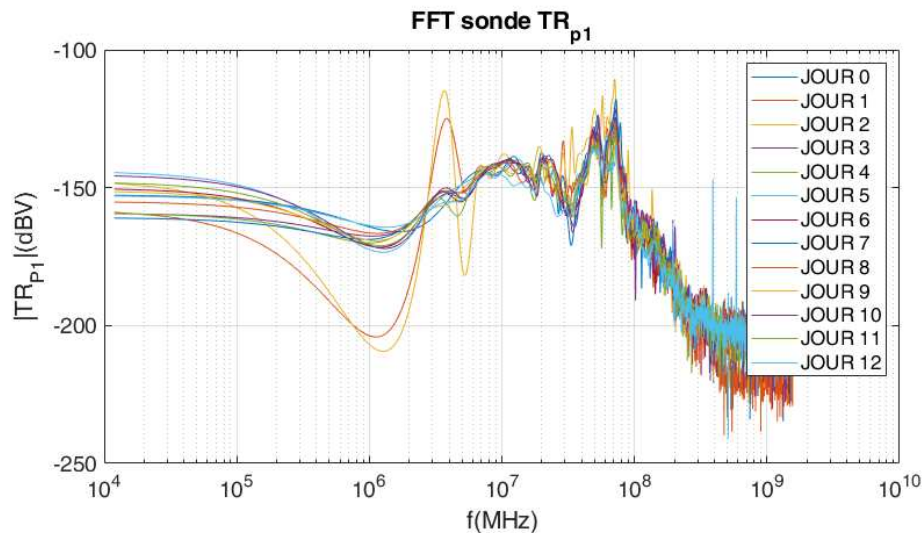


Figure 200 : Évolution du spectre d'amplitude aux bornes des 4 sondes électromagnétiques par jour suivant la durée de 96h du premier module de puissance

Après un premier traitement et analyses de ces résultats, aucune déviation significative n'est détectée. Deux fréquences de résonance situées à 18 MHz et 70 MHz apparaissent de façon persistante durant tous les jours d'acquisition. Au-delà, les sondes ne détectent aucune caractéristique significative se distinguant des autres. Nous notons que quelques spectres présentent des erreurs de linéarité sur le spectre d'amplitude entre les fréquences 10^5 et 10^7 Hz. Les sondes concernées sont les TR_{M1} et TR_{P1} durant les jours 1 et 2. Cette erreur a été identifiée comme venant d'un faux contact d'un des connecteurs des modules de puissance.

La visualisation des spectres d'amplitude des 2 sondes de courant I_{COM} et I_{BUS1} ainsi que des tensions VDS des deux mosfets permettent d'obtenir plusieurs informations. Pour commencer, nous observons des fréquences de résonance similaires à celles obtenues grâce aux sondes électromagnétiques. Celles-ci se démarquent à 20 MHz à la lecture du courant I_{BUS1} . Nous retrouvons, à moindre échelle, cette caractéristique lors de l'analyse fréquentielle des deux tensions V_{DS} .

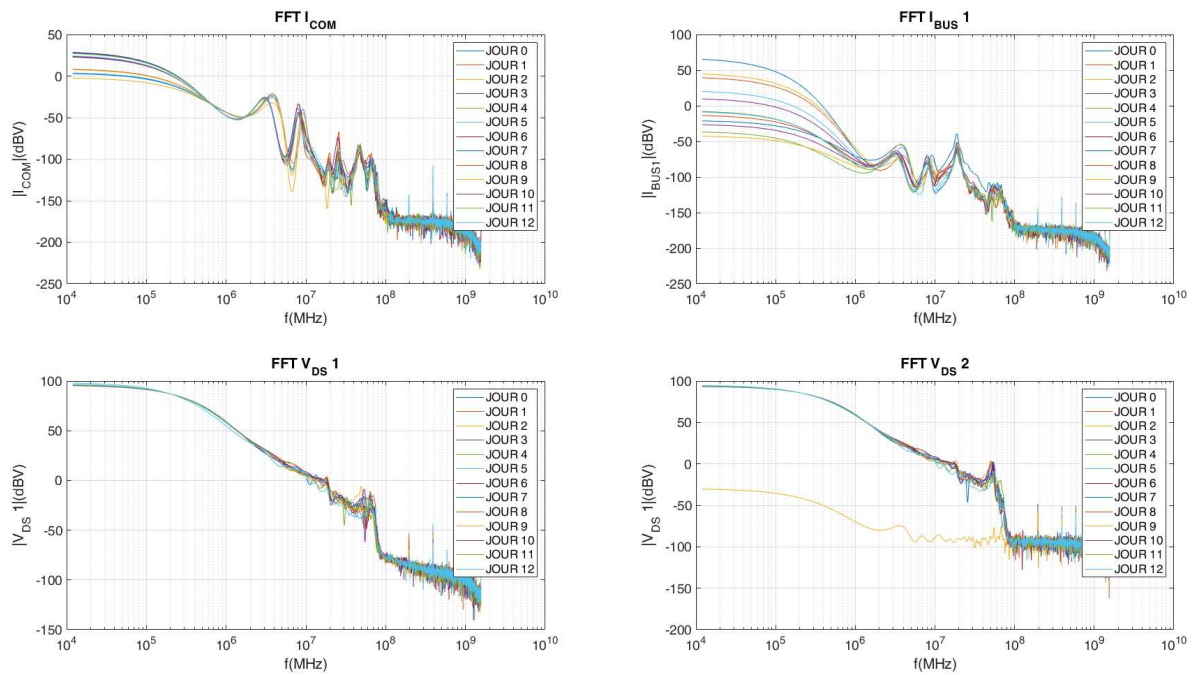


Figure 201 : Évolution des spectres d'amplitude (FFT) des courants et des tensions mosfets par jour suivant la durée de 96h du premier module

Nous observons un second pic de fréquence, situé à 50 MHz pour les tensions V_{DS} , I_{BUS} et I_{COM} , ainsi que sur les sondes électromagnétiques.

La dernière fréquence de résonance que nous avons observée sur les réponses des sondes électromagnétiques, située à 70 MHz, est aussi visible sur les courbes de réponse de la sonde de courant de mode commun I_{COM} .

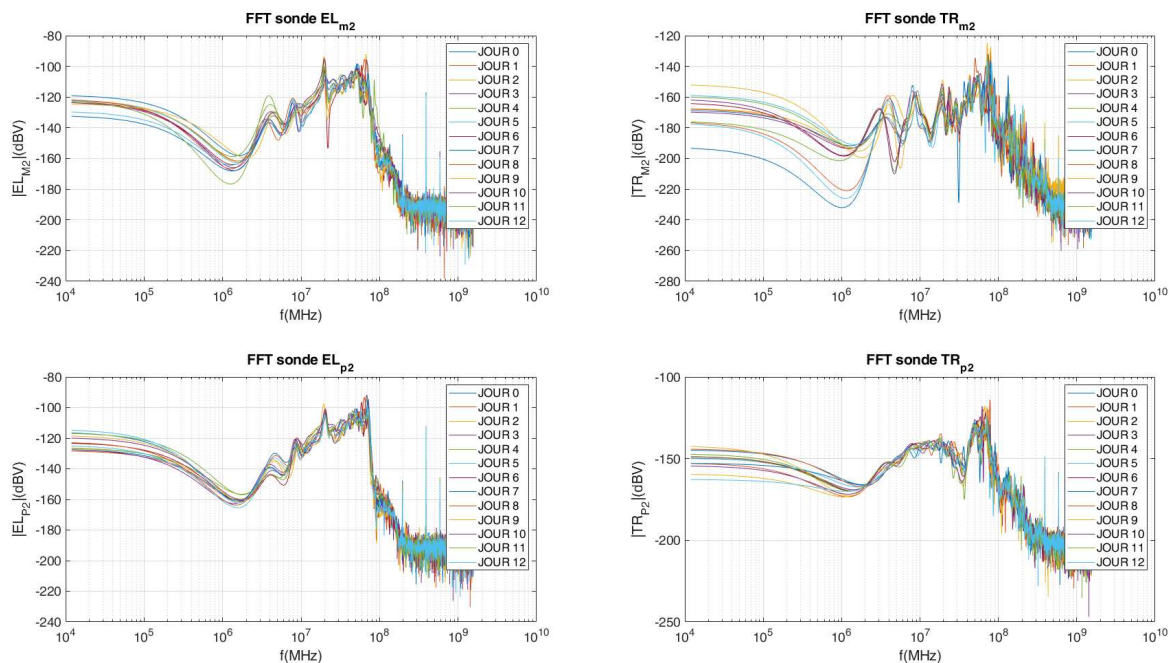


Figure 202 : Évolution des spectres d'amplitudes (FFT) des tensions des sondes électromagnétiques par jour suivant la durée de 96h du second module de puissance

Nous observons les mêmes caractéristiques sur les sondes EL_{M2} et EL_{P2} : plusieurs fréquences de résonances sont situées à 20 MHz et à 70 MHz.

La réponse de la sonde TR_{M2} manquant de reproductivité suite à la superposition des résultats sur 13 jours, ses caractéristiques sont difficilement interprétables sur la plage des fréquences allant de 1 MHz à 10 MHz. Ce problème est probablement causé par le faible coefficient de couplage. Cependant, plusieurs fréquences de résonance sont tout de même apparentes : une située à 8 MHz, une seconde à 20 MHz et une troisième à 70 MHz.

Enfin, pour la réponse de la sonde TR_{P2}, une fréquence de résonance majeure semble se situer entre 50 et 70 MHz.

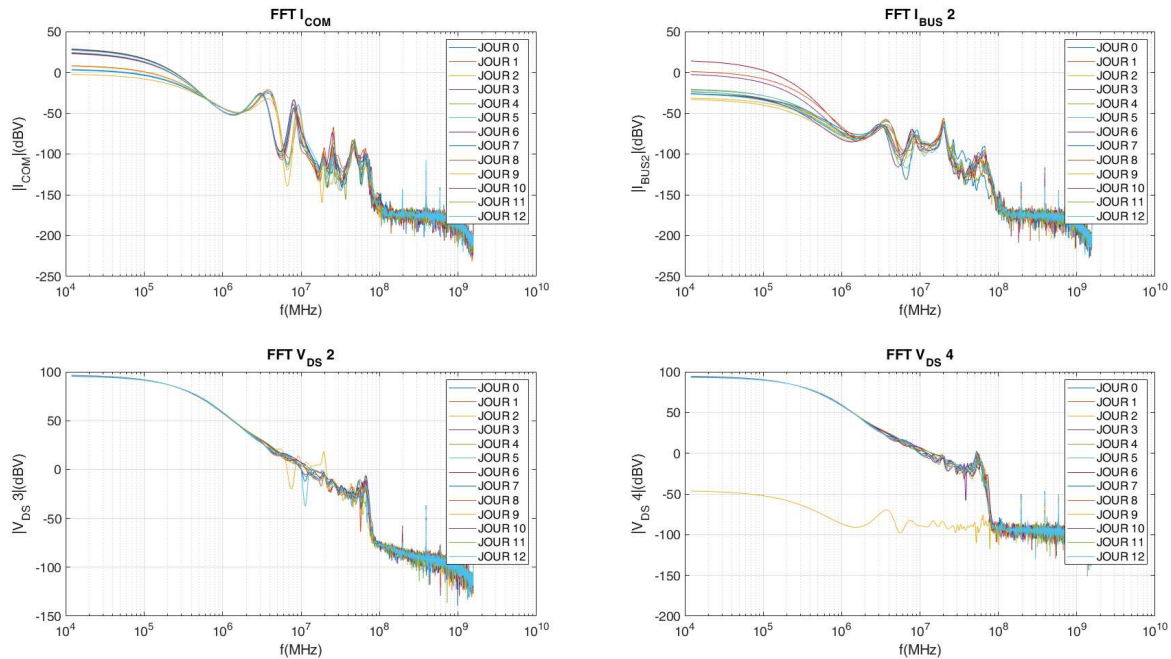
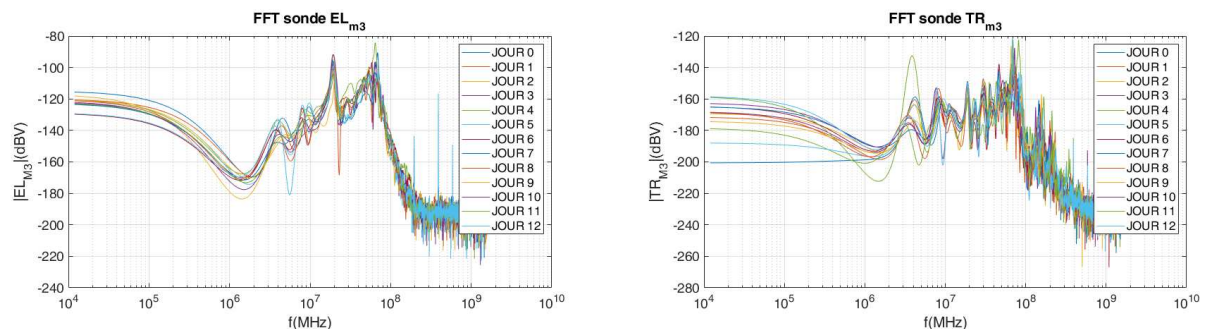


Figure 203 : Évolution des spectres d'amplitude (FFT) des courants et des tensions mosfets par jour suivant la durée de 96h du second module

La comparaison entre la sonde de mode commun I_{COM} et la sonde électromagnétique TR_{M2} présente quelques similarités concernant les oscillations produites à basse fréquence. Situées entre 3 et 8 MHz, nous ne connaissons pas la provenance de cette caractéristique. Des études supplémentaires et plus poussées doivent être effectuées.

Nous retrouvons une fois de plus, une correspondance sur une fréquence de résonance à 60 Mhz vis à vis des tensions VDS. Cette fréquence est similaire à certaines de celles présentées précédemment. Nous pensons que cette caractéristique est la signature fréquentielle du champ électromagnétique créé à l'ouverture et la fermeture du composant de puissance.

Le courant de bus I_{BUS2} contient aussi une fréquence de résonance à 20 MHz. Celle-ci correspondant à une fréquence relevée par les sondes placées sur les modules de puissance.



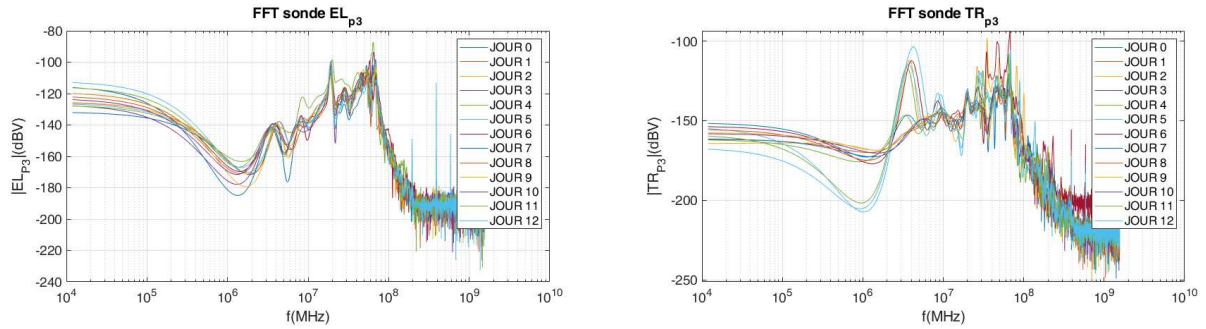


Figure 204 : Évolution des spectres d'amplitudes (FFT) des tensions des sondes électromagnétiques par jour suivant la durée de 96h du second module de puissance

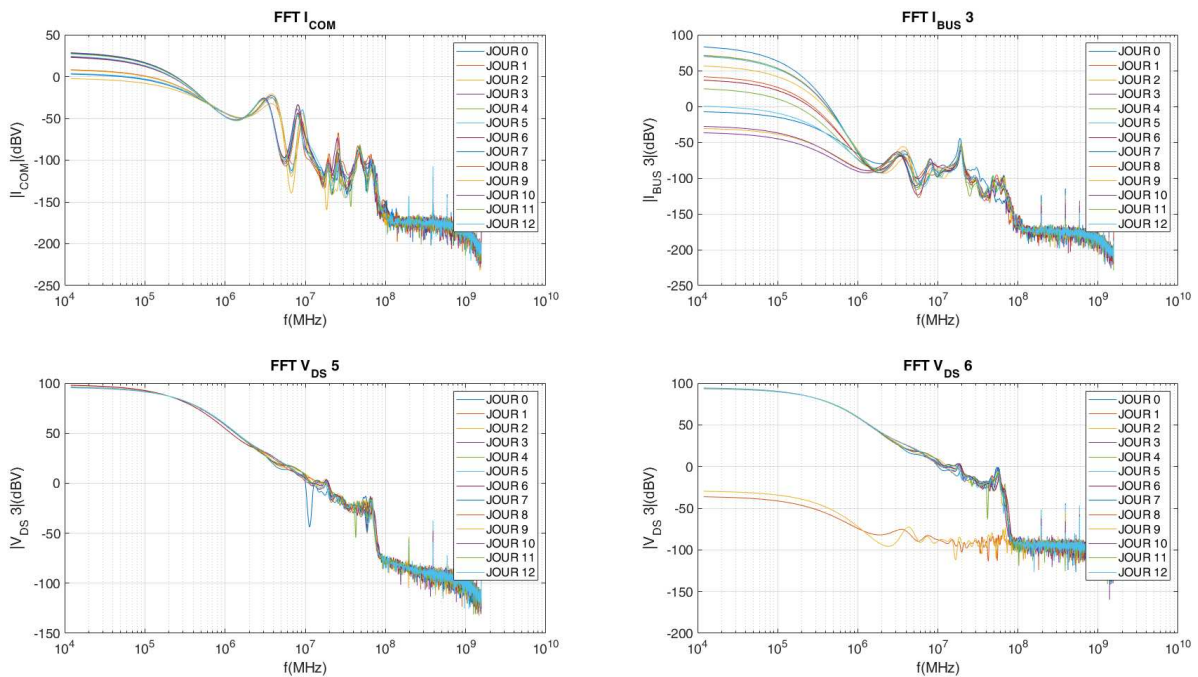


Figure 205 : Évolution des spectres d'amplitude (FFT) des courants et des tensions mosfets par jour suivant la durée de 96h du second module

Les caractéristiques concernant les mesures du troisième module de puissance sont similaires à celles analysées pour le premier et pour le second module de puissance. Nous retrouvons une fréquence de résonance commune pour les signatures fréquentielles des courants de bus et des sondes EL_x et TR_x à 20 Mhz. Celle-ci peut-être une caractéristique des éléments passifs du stator mis sous test.

Nous avons commenté jusqu'à maintenant tous les spectres d'amplitudes obtenues pendant 12 jours consécutifs. Que ce soit les spectres d'amplitude des sondes de champs proches, des sondes de tensions aux bornes des composants de puissance de puissance ou bien des sondes de courant sur les courants de bus et courant de ligne des stators, nous pouvons retrouver des similitudes de caractéristique sur des pics d'amplitude signifiant une fréquence de résonance sur plusieurs spectres. Cependant, cela ne nous indique pas si une déviation fréquentielle est présente pour juger de la dégradation de l'isolant en fonction des jours.

Pour pouvoir répondre à cette demande et analyser plus facilement si une évolution de la dégradation de l'isolant est visible, nous reprenons le calcul du coefficient RMSE que nous avons précédemment évoqué lors de l'introduction de ce chapitre. Cette évolution est illustrée Figure 206.

Dans un but de simplifier le calcul du coefficient ainsi que de son temps de traitement, nous avons appliqué la solution consistant à comparer le coefficient RMSE en fonction du niveau de chaque sonde nous permettant de comparer plus facilement leurs évolutions.

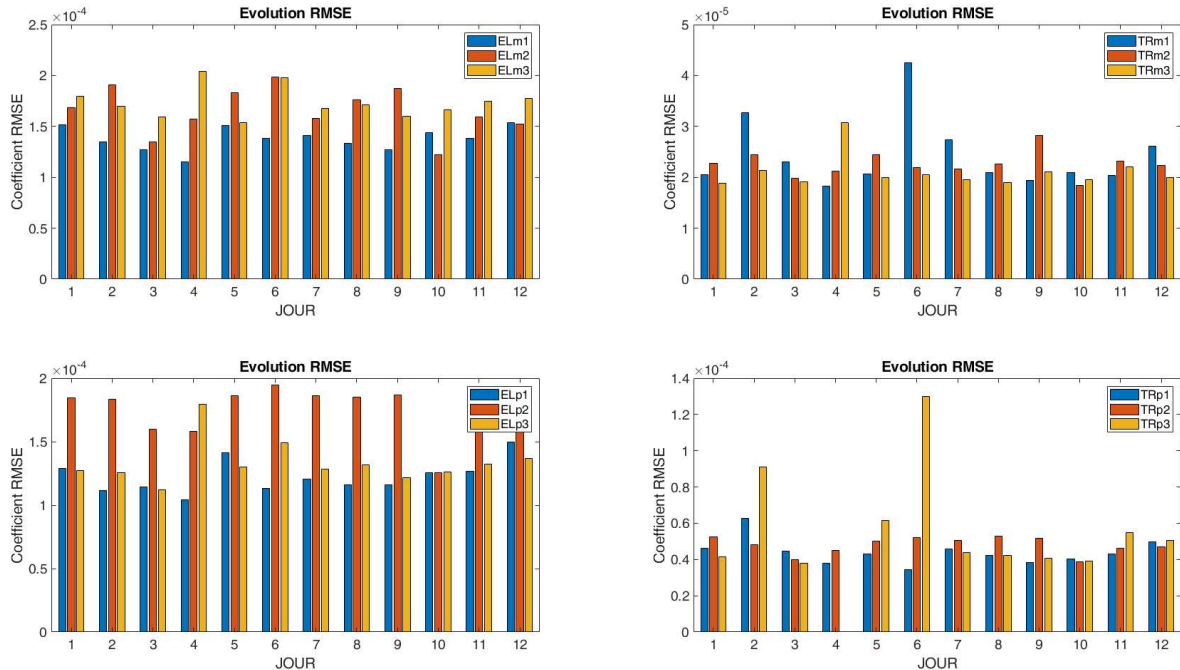


Figure 206 : Évolution par jour des coefficients RMSE lors du vieillissement accéléré du stator

L'évolution du coefficient RMSE en fonction des 12 jours présents sur les quatre graphiques de la Figure 206 ne permet pas en l'état d'évaluer suffisamment les effets de la dégradation de l'isolant. En effet, les différentes acquisitions que nous avons analysées précédemment ont présenté de très faibles déviations fréquentielles. Ceci est probablement dû au taux d'usure avancé de l'échantillon test, qui avait déjà été utilisé longtemps en fonctionnement nominal, avant nos essais. Notre durée de vieillissement n'a donc a priori pas été suffisant, du moins pour ce stator déjà usé.

Ces analyses fréquentielles nous ont quand même permis d'affiner notre approche : nous avons notamment mis en évidence certaines fréquences de résonance communes aux différentes sondes. La première, située à 20 MHz est visible sur 10 des 12 sondes électromagnétiques ainsi que sur les 3 sondes de courant du bus d'alimentation de chaque carte. Cela laisse entendre que cette caractéristique fréquentielle spécifique proviendrait du courant d'alimentation et non de la sonde électromagnétique.

La seconde, située entre 50 et 70 MHz est visible tant sur les sondes électromagnétiques que sur les tensions V_{DS} de tous les mosfets SiC. Les sondes acquièrent donc ici le champ électromagnétique que les commutations des composants d'électronique de puissance induisent.

D'autres fréquences sont potentiellement interprétables, mais notre manque d'information et de retour d'expérience ne nous permet pas de retrouver l'origine de la source les produisant. D'autres manipulations ultérieures permettront d'obtenir de plus amples détails qui amélioreront l'interprétation.

À la suite d'une analyse fréquentielle de ce vieillissement, nous reproduisons une séance d'acquisition post-expérimentation des paramètres S et des impédances Z du stator. Les résultats, représentés Figure 207, sont obtenus avec l'outil d'analyse TTRA-506A [172] et le logiciel de traitement Advanced Design System [208].

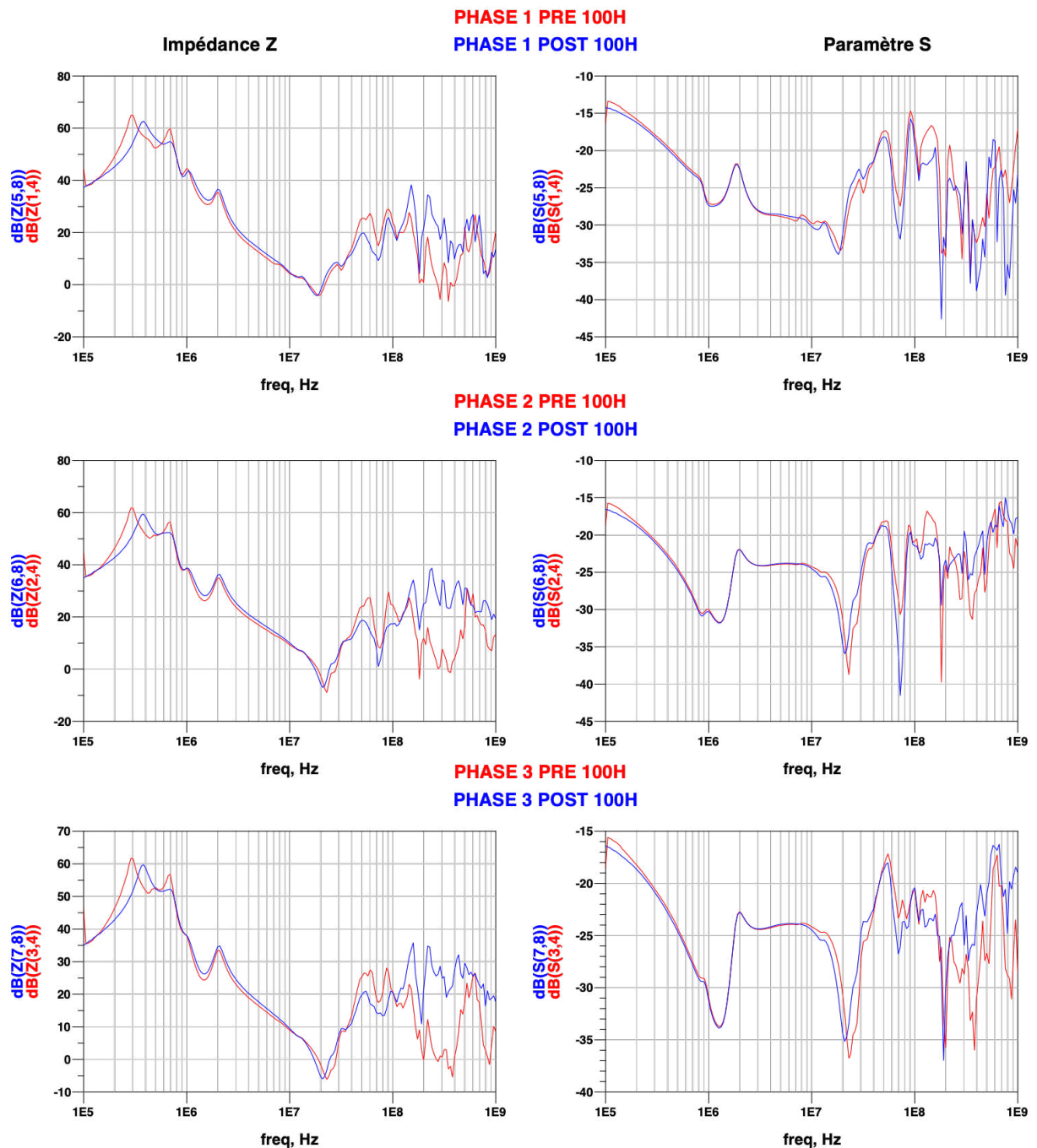


Figure 207 : Résultats post expérimentation des paramètres S et des impédances Z de chaque mesure phase-neutre du stator

Ces nouvelles représentations des mesures post-expérimentations nous permettent de mettre en avant le décalage de la première fréquence de résonance située à 300 kHz en amont des 96 h à 400 kHz après les 96 h. Cette comparaison met aussi en avant la différence obtenue sur la plage des hautes fréquences, 100 MHz à 1 GHz. Nous pouvons donc confirmer que les tendances d'évolution du bobinage lors d'un vieillissement induisent bien une diminution de la partie capacitive et réactive, soit un comportement plus inductif.

Ces derniers résultats nous permettent d'avoir des éléments d'analyses plus concrets concernant l'efficacité de ce processus de vieillissement accéléré et ses moyens de l'observer.

Dans un but de connaître les tendances évolutives du stator, nous avons ensuite volontairement endommagé une de ses phases afin d'observer le comportement éventuellement plus prononcé des paramètres S et des impédances Z . Cette étape nous permettra de proposer une compréhension plus

efficace sur l'état réel défectueux d'un stator et de ses bobinages en mettant en œuvre une analyse de ses paramètres S.

IV.3.B. Endommagement de la phase 1 du premier stator.

Le cycle de vie d'un stator peut être réparti suivant trois grands états : l'état neuf, l'état d'usure progressif et l'état endommagé. Nous proposons de les distinguer par les variations de valeurs d'impédances, que nous mesurons avec des outils tels que le RLC mètres ou bien des analyseurs de réseaux. Dans notre cas, souhaitant connaître le comportement de l'impédance à haute fréquence, nous continuons à utiliser l'analyseur de réseaux HF.

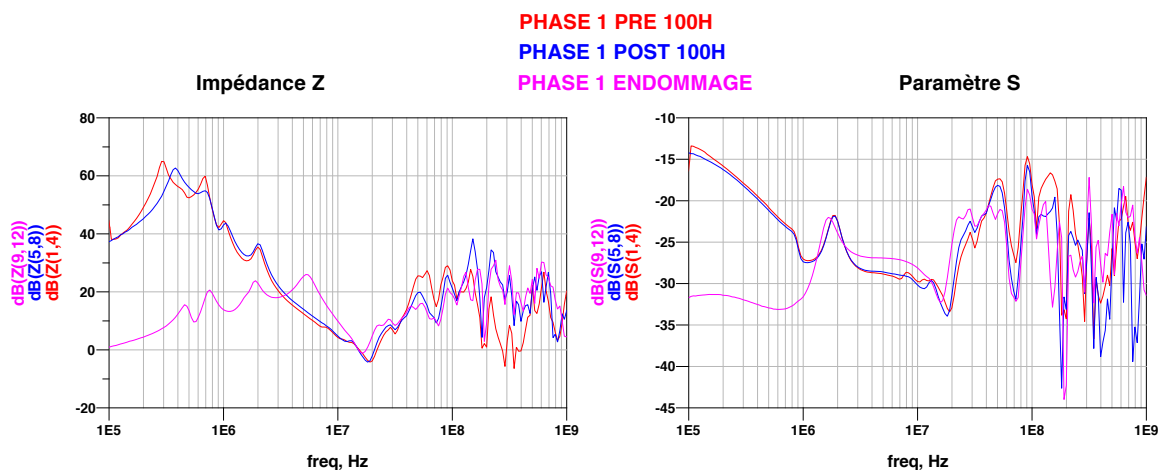
Les précédents résultats nous ont permis de mieux connaître les attentes concernant la détection de l'usure d'un stator. Pour pouvoir déterminer la durée de temps d'un vieillissement, nous devons prendre en compte la variation des quatre paramètres électriques : la tension, la fréquence de découpage, le courant d'alimentation et le temps de commutation des composants de puissance.

Afin d'accélérer au maximum ce vieillissement et de connaître les trois étapes du cycle de vie d'un stator, nous avons volontairement endommagé la phase 1 dans le but d'obtenir ses paramètres S et par conséquent, son impédance en fin de vie. La mesure est réalisée de manière identique à celle de la pré expérimentation. Les résultats sont illustrés Figure 208.

Nous apercevons clairement le changement d'impédance de la phase 1 se traduisant par une diminution de son inductance entre 100 kHz et 2 MHz. Cette modification entraîne aussi un effet sur les autres phases. En effet, si nous observons les basses fréquences, nous avons un décalage de la première fréquence de résonance à 500 kHz.

Ce changement d'état nous permet aussi d'observer les gammes de fréquences impactées par ce défaut. Nous avons bien un changement induit à basse fréquence représentant la variation de l'inductance du stator. Les hautes fréquences restent difficilement exploitables de par le changement de connexion entre l'étape STP01, l'expérimentation, et l'étape STP02, la modélisation.

En effet, afin d'être le plus précis possible, nous devons avoir des étapes reproductibles. Que ce soit sur la même disposition des câbles lors de la première et dernière étape. Nous devons changer à chaque fois de connecteur nous analysons les paramètres S à travers les connecteurs SMA, l'étape d'expérimentation est effectuée à travers des connecteurs de puissance. De ce fait, les mesures situées en haute fréquence restent pour l'instant délicates à interpréter dans cette gamme de fréquences



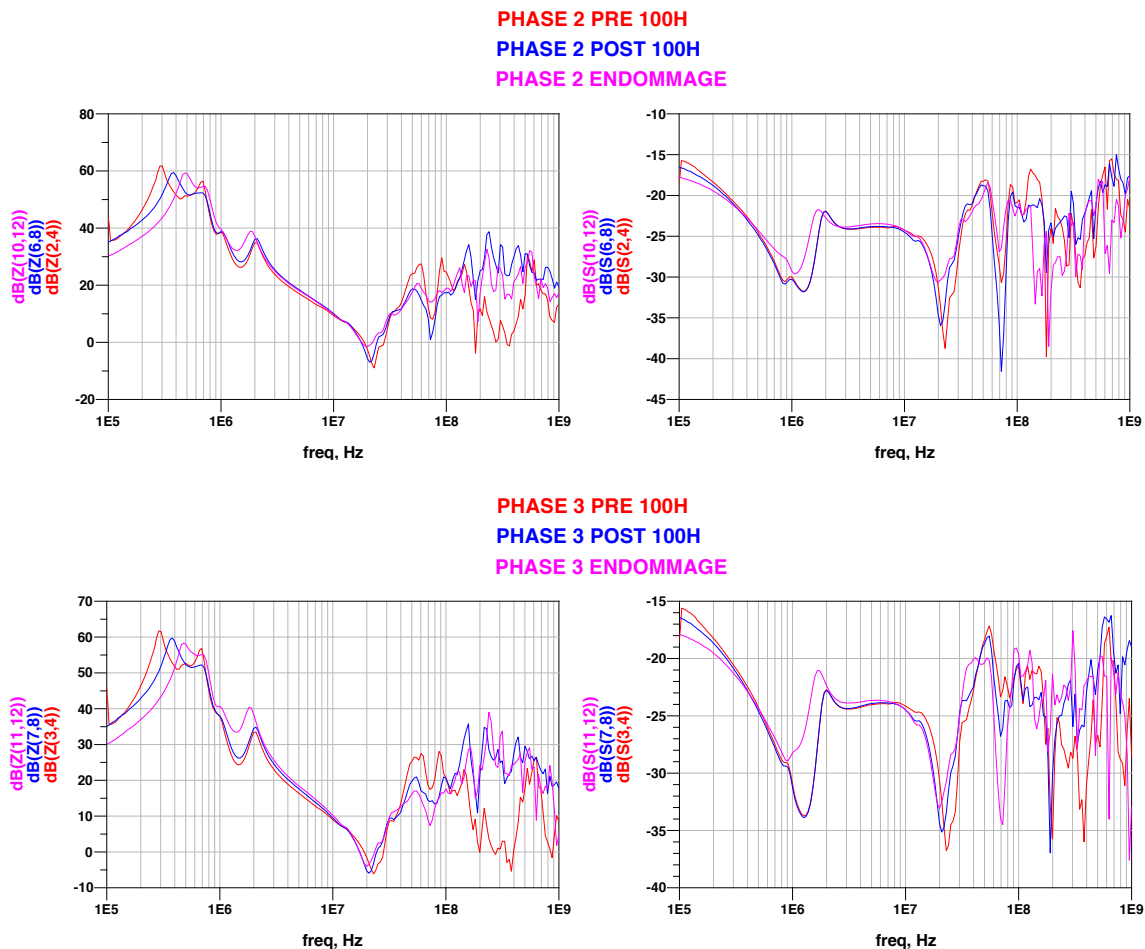


Figure 208 : Comparaison des variations d'impédances des 3 phases pré et post expérimentation face à une phase endommagée.

Grâce aux nombreux résultats que nous avons obtenus depuis le début des expérimentations, nous avons pu mettre en évidence certaines correspondances comme celle de la déviation fréquentielle des spectres d'amplitude lors de l'ajout d'un condensateur, ou bien des correspondances de certaines résonances à différentes mesures.

Cependant, des incertitudes subsistent concernant l'exploitation des données obtenues en hautes fréquences ($HF > 100$ MHz), celles-ci étant hors de la plage « fiable » des sondes de champs. Leurs nombreuses variations nécessitent des acquisitions et des analyses plus poussées afin d'en extraire des résultats plus ciblés. Cette démarche serait effectuée dans le but de connaître les sources et de les différencier suivant leurs gammes de fréquences.

Nous tenons à rappeler que le stator a été déjà utilisé avant sa mise en marche sur le banc. De ce fait, la faible variation entre l'avant et l'après-expérimentation est justifiée.

Afin d'obtenir des correspondances supplémentaires et de compléter notre approche, nous effectuons une deuxième étude de même type avec des tests expérimentaux sur un second stator.

IV.4. Expérimentation sur un second stator

IV.4.A. Présentation de l'expérimentation

À partir des différents résultats que nous avons précédemment présentés durant l'expertise du premier stator, nous avons mis en évidence l'existence de plusieurs fréquences de résonance suivant différentes mesures et plusieurs d'entre elles étaient coïncidentes. Pour confirmer notre analyse,

nous allons reprendre ce protocole des mesures sur un second stator à l'état neuf, afin d'essayer de connaître les origines de ces fréquences.

Par conséquent, nous recommençons les étapes STP00, STP01 et STP02 dans le même ordre d'exécution dans un but d'avoir une comparaison équivalente. Les relevés suivants ne sont effectués que pour la simulation d'un défaut avec les valeurs des capacités tels que 100 pF, 470 pF et 1 nF.

Dans un premier temps, nous effectuons l'étape STP00 qui, pour rappel, permet de caractériser le moteur à l'état de départ. Ce moteur a la particularité de ne présenter que les 3 phases, en effet, le neutre n'est pas sorti. Les mesures de paramètres S sont donc obtenues avec seulement 3 ports SMA où chacune des phases est reliée. Nous respectons la mise en place des phases que nous avons préconisée lors de nos premières mesures avec le premier stator par rapport au plan de masse.

IV.4.B. Analyse des paramètres S et impédances Z – référence STP00

Nous reprenons l'étape STP00 permettant de caractériser le moteur à son état initial. Suivant les résultats que nous obtiendrons, nous les comparerons, in fine, à ceux que nous obtiendrons à l'étape STP02. Cette étape est divisée en deux parties. Nous avons dans un premier temps, une caractérisation fréquentielle passive, elle introduit notamment la mesure des paramètres S et des impédances Z du stator, et dans un second temps, nous mesurons les valeurs obtenues par les sondes électromagnétiques sans défaut. Cette dernière est l'étape de caractérisation temporelle en régime nominal.

a. Caractérisation fréquentielle passive

Les mesures sont obtenues avec l'analyseur de réseau TTR506A entre 100 kHz et 1 GHz. La Figure 209 présente une superposition des paramètres S et des impédances Z des trois phases afin de comparer rapidement leurs tendances.

Cette superposition nous montre une première fréquence de résonance propre au moteur à 300 kHz ainsi qu'une déformation entre 400 kHz et 2 MHz. La raison de cette déformation est encore inconnue. Toutefois, une hypothèse est émise : en observant le comportement du précédent stator endommagé sur la Figure 208, si nous le comparons à ces mesures, nous pouvons émettre l'hypothèse que nous avons une phase plus endommagée que les autres (ceci étant lié à un défaut de fabrication, un défaut du bobinage ou bien une spire du bobinage défailante). Hormis cette différence, chacune des phases est similaire.

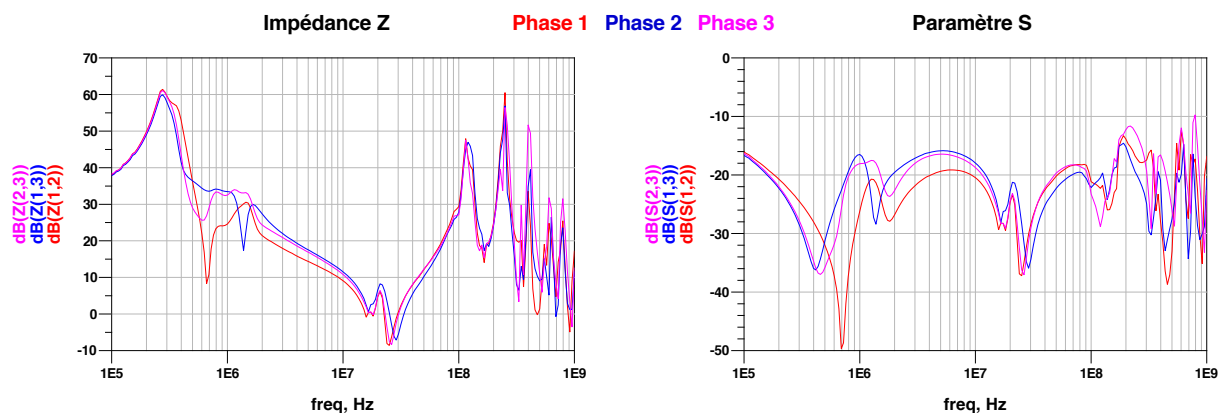


Figure 209 : Evolution des paramètres S et des impédances Z des trois phases du second stator

Une fois la première procédure de caractérisation terminée, nous passons à la seconde : la caractérisation temporelle en régime nominal.

b. Caractérisation temporelle

Cette étape de caractérisation nous permet de connaître les spectres d'amplitudes des sondes électromagnétiques de chaque module de puissance inclus dans le système de conversion d'énergie.

Nous reprenons la procédure que nous avons effectuée lors des mesures du premier stator. Le point de fonctionnement est similaire pour la fréquence de découpage (F_{SW}), la fréquence de modulation (F_{MOD}), le coefficient de modulation (C_{MOD}), le temps mort à la commutation (t_{dd}) et la tension de bus (V_{DC}) :

V_{DC}	F_{SW}	F_{MOD}	C_{MOD}	t_{dd}
350 V	200 kHz	2000 Hz	1%	10 ns

Tableau 42 : Point de fonctionnement de la caractérisation temporelle en régime normal

Nous avons démontré durant l'expérimentation de 100 h que nous pouvions réduire l'acquisition à une durée de 10 μ s sans altérer les résultats. Nous avons conservé l'échantillonnage à 3.125 GS/S. Les spectres d'amplitudes de ces acquisitions sont représentés à la Figure 210, ceci suivant les 6 sondes planaires et les 6 sondes traversantes de chaque module. Nous superposons les résultats des sondes planaires et des sondes traversantes de chaque module. Ainsi nous pouvons vérifier si une différence de signature fréquentielle est présente.

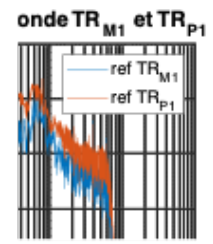
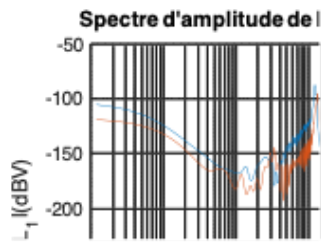
La partie a) de la Figure 210 présente une légère différence de niveaux entre les fréquences proches de 1 MHz et de 10 MHz pour les sondes planaires et pratiquement sur toute la bande de fréquence pour les sondes traversantes. Cette différence est de -25 dBV entre les deux types de sondes. Les deux sondes planaires présentent une première fréquence de résonance à 12 MHz ainsi qu'une seconde à 70MHz. Cette dernière est aussi présente sur les relevés des sondes traversantes.

Nous observons une similarité entre les deux sondes planaires sur leurs spectres d'amplitudes sur la partie b). Toutes les deux présentent une première fréquence de résonance à 12 MHz ainsi qu'une seconde à 70 MHz.

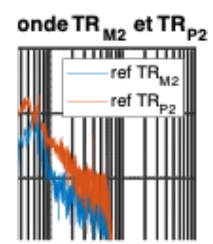
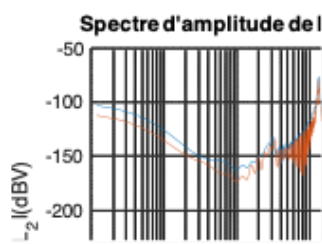
Les sondes traversantes ont une différence de niveau de -25 dBV également et présentent 2 fréquences de résonance dont la première est équivalente à celles obtenues par les sondes planaires à 12 MHz et la seconde est à 70 MHz comme pour la sonde TR_{M2} et à 50 MHz comme pour la sonde TR_{P2} .

La partie c) concernant le module de puissance 3 présente le même état que les parties a) et b). Les sondes planaires ont un comportement quasi similaire est présentent une légère différence de niveaux en dessous de 12 MHz. Cependant, nous retrouvons bien ici aussi une première fréquence de résonance à 12 MHz ainsi qu'une seconde aux alentours des 60 MHz.

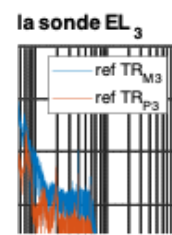
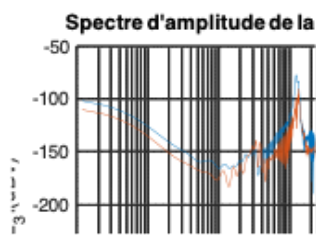
Les sondes traversantes présentent toujours une différence de niveau, mais elle est plus élevée que précédemment et évaluée aux alentours de -40 dB. La sonde TR_M met plus en évidence une première fréquence de résonance à 12 MHz. La seconde fréquence de résonance apparaît aux alentours des 60 MHz pour la sonde TR_M et de 70 MHz pour la sonde TR_P .



a) Module de puissance N°1 – sondes planaires ELM et Elp et traversantes TRm et TRp



b) Module de puissance N°2 – sondes planaires ELM et Elp et traversantes TRm et TRp



c) Module de puissance N°3 – sondes planaires ELM et Elp et traversantes TRm et TRp

Figure 210 : Références des spectres d'amplitudes des modules de puissance 1 (a), 2 (b) et 3 (c) des 4 sondes électromagnétiques

Ces 3 analyses mettent en évidence une fréquence de résonance située vers 12 MHz ainsi qu'une autre située aux alentours des 60 à 70 MHz, variant suivant les sondes traversantes. Nous ajoutons à

ces remarques qu'une différence de niveau est observable entre certaines sondes de l'ordre de -25 dB à -40 dB.

Les résultats obtenus à partir des acquisitions des sondes planaires et des sondes traversantes avec le premier stator (Figure 175) peuvent être comparées à ceux obtenus avec le second stator (Figure 210). Nous remarquons que la première fréquence de résonance est proche des 20 MHz pour le premier et de 12 MHz pour le second. La seconde fréquence de résonance est située entre 60 et 80 MHz que ce soit pour le premier ou pour le second.

Cette comparaison nous permet d'établir une première hypothèse : la première fréquence de résonance est représentative des bobinages du stator tandis que la seconde est caractéristique des commutations du module de puissance. Nous avons démontré en comparant la Figure 200 à la Figure 201, la Figure 202 à la Figure 203 et la Figure 204 à la Figure 205 que cette deuxième fréquence de résonance coïncide avec les commutations des composants de puissance. Cette hypothèse pourra être une nouvelle fois consolidée suivant l'analyse menée lors de la prochaine étape, STP01.

IV.4.C. Exploitation des résultats et traitement – référence STP01

L'étape STP00 nous a permis d'analyser une première fois les spectres d'amplitudes acquis par les sondes électromagnétiques afin d'avoir une première idée de la signature fréquentielle des modules de puissance avec un stator à l'état neuf et différent du premier.

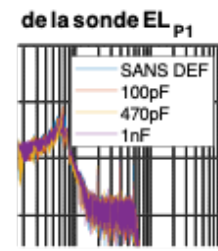
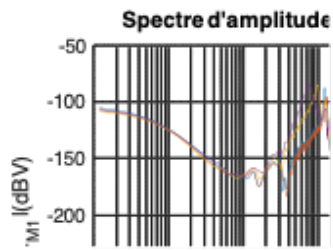
Nous passons maintenant à l'étape STP01, celle dont nous exploitons les résultats obtenus avec soit la simulation d'un défaut, soit la procédure de vieillissement dans la durée. Les résultats suivants ne font objet que de la première procédure, c'est-à-dire la simulation d'un défaut aux bornes du stator. Nous reprenons ici le déroulé de la première partie que nous appliquons au second stator.

Nous allons observer, suivant les différentes figures, les spectres d'amplitudes des sondes électromagnétiques du courant de mode commun, des courants de bus alimentant chaque module de puissance et des tensions V_{DS} de chaque composant de puissance. Les acquisitions de la Figure 211 à la Figure 212, de la Figure 213 à la Figure 214 et de la Figure 215 à Figure 216 sont respectivement obtenues par les modules de puissance 1, 2 et 3 respectivement.

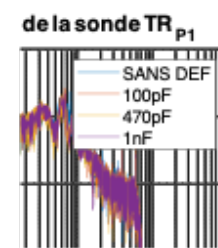
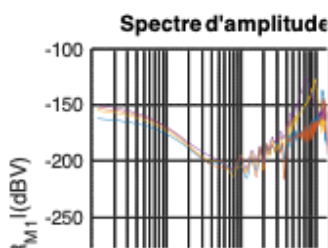
Chaque graphique superpose les résultats de la courbe de référence aux trois courbes comprenant un défaut variant en fonction de la valeur de la capacité. Nous reprenons les mêmes valeurs que pour la première partie, 100 pF, 470 pF et 1 nF.

La Figure 211 a) met en lumière les déviations fréquentielles des spectres d'amplitudes des sondes planaires suivant la variation de la valeur de la capacité. Nous observons que plus la valeur de la capacité est faible, plus la déviation est réduite. La première fréquence de résonance varie entre 6 MHz et 12 MHz. La seconde est toujours fixe à 70 MHz.

Même cas pour les résultats de la sonde traversante TR_{M1} que nous observons à la Figure 211 b). Nous constatons une déviation fréquentielle similaire aux sondes planaires. Cependant, cette caractéristique ne se retrouve pas aux bornes de la sonde TR_{P1} .



a) sondes planaires ELM et ELP



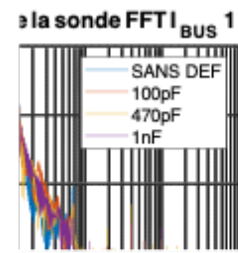
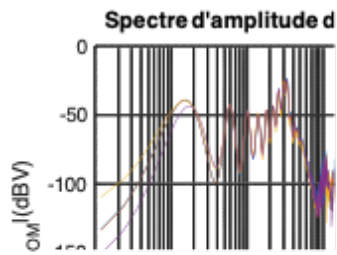
b) sondes traversantes TRm et TRp

Figure 211 : Réponses fréquentielles des sondes électromagnétiques du premier module de puissance suite à l'ajout des condensateurs défauts entre deux phases

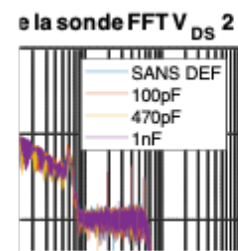
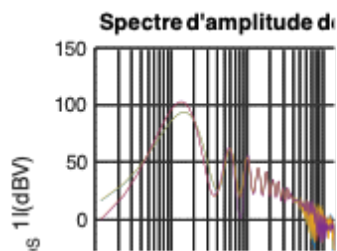
La Figure 212 a) illustre les spectres d'amplitude du courant de mode commun et du courant de bus qui alimentent le module de puissance N°1. Pour le courant de mode commun, aucune différence n'est observée suite à la variation de la valeur de la capacité. Nous retrouvons cinq fréquences de résonance situées à 3,5 MHz, 10 MHz, 15 MHz, 30 MHz et 60 MHz. La dernière fréquence est proche de celle identifiée par les acquisitions des sondes planaires et traversantes (Figure 211).

Le courant I_{BUS1} est différent du courant de mode commun car nous retrouvons une déviation fréquentielle qui est équivalente à celle retrouvée par les sondes électromagnétiques. La première fréquence de résonance varie entre 7 et 12 MHz. Toutefois, nous ne retrouvons pas celle située aux alentours des 60 MHz.

Les spectres d'amplitude liés aux tensions V_{DS} de chaque composant de puissance sont proches de ceux observés lors des essais effectués avec le premier stator. En effet, nous retrouvons une fréquence de résonance située à 65 MHz, soit proche de la seconde fréquence observée lors de l'analyse des spectres d'amplitudes des sondes, planaires et des sondes traversantes.



a) Spectres d'amplitudes du courant de mode commun I_{COM} et du courant de bus I_{BUS1} du premier module de puissance



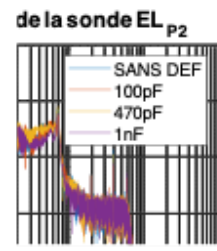
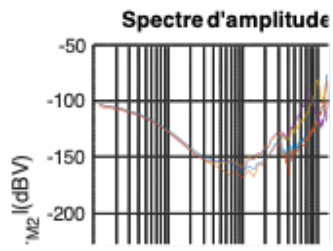
b) spectre d'amplitude des tensions de commutation V_{DS1} et V_{DS2} des composants de puissance du premier module de puissance

Figure 212 : Réponses fréquentielles des courants I_{COM} , I_{BUS1} et des tensions V_{DS1} et V_{DS2} du premier module de puissance suite à l'ajout des condensateurs défauts entre deux phases

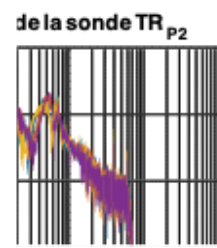
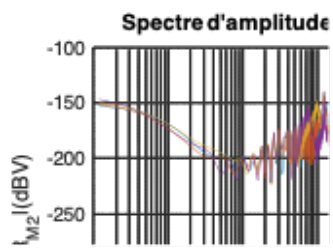
La Figure 213 a) et b) illustre les spectres d'amplitudes des sondes planaires et des sondes traversantes du module de puissance N°2. Nous pouvons remarquer que seule la sonde EL_{M2} affiche une déviation fréquentielle significative. Les sondes EL_{P2} , TR_{M2} et TR_{P2} ont une réponse quasi identique face à la variation du défaut. Nous retrouvons toujours sur ces quatre sondes, une seconde fréquence de résonance proche des 60 MHz.

La Figure 214 a) illustre le courant de mode commun, que nous avons précédemment analysé et le courant de bus I_{BUS2} du module de puissance n°2. Le courant de bus est une fois encore sensible aux variations des valeurs de la capacité. Nous retrouvons une variation des fréquences de résonance similaires à celle observée lors de l'analyse sur le premier module de puissance, c'est-à-dire 7 MHz, 10 MHz et 12 MHz.

Même constat pour la Figure 214 b) où nous observons les spectres d'amplitude des tensions de commutation des composants de puissance du module de puissance n°2. Leurs fréquences de résonances sont situées à 60 MHz. Ici encore, pas de variation sensible en lien avec la valeur du condensateur.

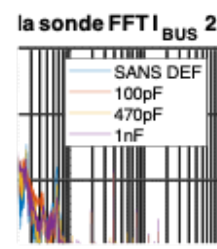
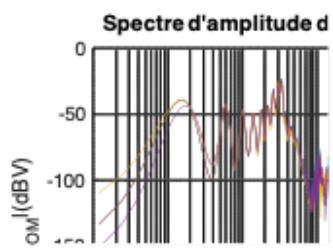


a) sondes planaires ELm et ELp

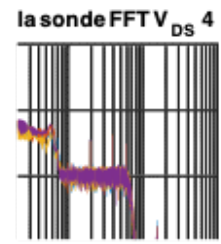
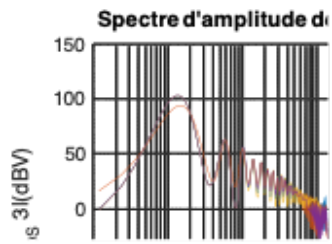


b) sondes traversantes TRm et TRp

Figure 213 : Réponses fréquentielles des sondes électromagnétiques du second module de puissance suite à l'ajout des condensateurs défauts entre deux phases



a) Spectres d'amplitudes du courant de mode commun I_{COM} et du courant de bus I_{BUS2} du second module de puissance

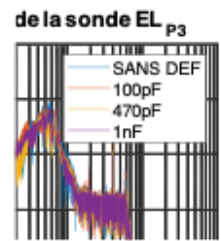
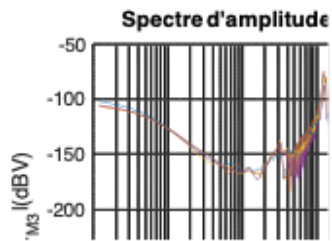


b) Spectre d'amplitude des tensions de commutation V_{DS3} et V_{DS4} des composants de puissance du second module de puissance

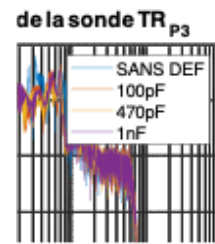
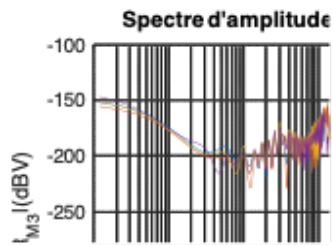
Figure 214 : Réponses fréquentielles des courants I_{COM} , I_{BUS2} et des tensions V_{DS3} et V_{DS4} du second module de puissance suite à l'ajout des condensateurs défauts entre deux phases

Les Figure 215 a) et b) représentent les spectres d'amplitude des sondes planaires et traversantes du troisième module de puissance. Nous observons une différence par rapport aux précédentes analyses. Ici, aucune déviation n'est visible, quelle que soit la sonde. Ceci est dû au positionnement du condensateur simulant le défaut. En effet, ce condensateur est placé entre la phase 1 et la phase 2 du moteur, dont les modules de puissance 1 et 2. La phase 3 ne peut pas être affectée par cette modification.

Toutefois, nous retrouvons toujours une fréquence de résonance à 12 MHz pour les deux sondes planaires ainsi qu'une seconde à 65 MHz pour les deux types de sondes.



a) sondes planaires EL_m et EL_p

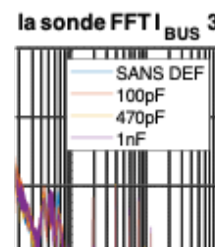
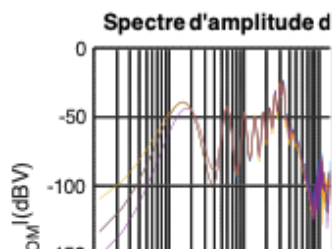


b) sondes traversantes TRm et TRp

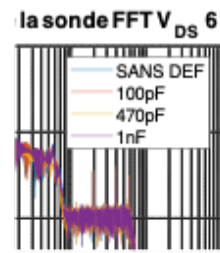
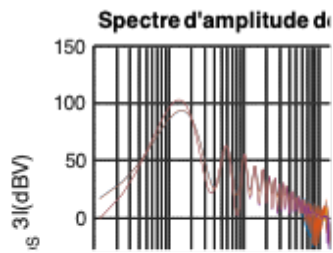
Figure 215 : Réponses fréquentielles des sondes électromagnétiques du troisième module de puissance suite à l'ajout des condensateurs défauts entre deux phases

La Figure 216 a) illustre le courant de mode commun I_{COM} ainsi que le courant de bus I_{BUS3} alimentant le troisième module de puissance. Ce dernier permet de mettre en évidence la première fréquence de résonance à 12 MHz ainsi qu'une seconde située entre 60 et 80 MHz.

La partie b) permet de faire le même constat que celui des précédentes analyses : nous avons une fréquence de résonance située à 60 MHz. Aucune variation ou déviation n'est à remarquer que ce soit sur le courant de mode commun I_{COM} et/ou sur le courant de bus I_{BUS3} . On peut faire une remarque similaire concernant les commutations des composants de puissance.



a) spectre d'amplitude du courant de mode commun I_{COM} et du courant de bus I_{BUS3} du troisième module de puissance



b) spectres d'amplitude des tensions de commutation V_{DS5} et V_{DS6} des composants de puissance du troisième module de puissance

Figure 216 : Réponses fréquentielles des courants I_{COM} , I_{BUS3} et des tensions V_{DS5} et V_{DS6} du second module de puissance suite à l'ajout des condensateurs défauts entre deux phases

Afin de quantifier cette déviation, nous reprenons le calcul RMSE que nous avons précédemment présenté pour en extraire le coefficient qui évolue en fonction de la valeur de la capacité. La Figure 217 résume les résultats des calculs affichant la comparaison de chaque sonde située sur chaque module de puissance en fonction de chaque valeur de capacité. Nous apercevons différentes évolutions de ce coefficient à travers chaque type de sonde.

Les sondes planaires EL_M ont visiblement une évolution plus significative sur les modules de puissance 1 et 2 que sur le module de puissance 3 qui reste très peu affecté.

Les sondes planaires EL_P indiquent une évolution entre 100 et 470 pF. À 1 nF, les valeurs sont similaires à 470 pF.

Les sondes traversantes TR_M ont une évolution significative pour le module de puissance 1, celles des modules de puissance 2 et 3 ne montrent pas d'évolution.

Les sondes traversantes TR_P ne présentent pas d'évolution. Le niveau de la sonde situé sur le module de puissance 3 est plus important comparés aux autres.

En conclusion, l'évolution du coefficient RMSE est visible seulement sur les 3 sondes EL_M , EL_P et TR_M . La sonde TR_P reste pour l'instant, inefficace pour la détection de vieillissement.

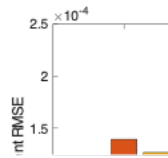


Figure 217 : Évolution de l'indicateur ISI en fonction des capacités de défaut et des sondes électromagnétiques

L'évolution de ce facteur ne prend pas en compte la déviation fréquentielle par rapport à une fréquence de résonnance. Par conséquent, nous ne pouvons pas savoir, à travers cette démarche, si le décalage est important ou non. Nous appuyons cette remarque en comparant les indicateurs ISI de la sonde EL_P à leurs spectres d'amplitudes respectifs (Figure 211). L'évolution entre les valeurs 470 pF et 1nF reste stables alors que celle de 100 pF à 470 pF est ascendante. Une fois de plus, nous retrouvons une déviation fréquentielle sur chaque acquisition, seulement, le coefficient RMSE reste aux mêmes niveaux, car la déviation fréquentielle pour chaque capacité est similaire.

De nombreuses analyses nous permettent d'illustrer les différentes signatures électromagnétiques que nous retrouvons lors de l'acquisition avec des sondes planaires et traversantes. En effet, toutes les sondes ont affiché deux fréquences de résonnance comparables à celles que nous obtenons lors du traitement des commutations des tensions ou des courants.

La première fréquence de résonnance (12 MHz) correspond a priori à une signature du moteur en fonction de la phase considérée tandis que la seconde correspond aux commutations des composants de puissance du module de puissance en question.

Les données d'acquisition de la sonde TR_P sont une fois de plus limitées comparativement à celles des autres sondes et ne permettent pas d'exploitation pertinente.

L'indicateur ISI (coefficient RMSE) permet de différencier via l'établissement d'un coefficient, l'évolution par rapport à une référence, mais reste limité dans son utilisation, car nous n'avons pas l'image de la déviation fréquentielle, mais seulement celle du niveau moyen.

L'étape STP01 est terminée suite à ces analyses et à ces conclusions qui nous ont permis de mettre en parallèle des correspondances entre nos différents spectres d'amplitude. Nous allons maintenant simuler les défauts à travers les paramètres S dans l'étape STP02.

IV.4.D. Simulation des paramètres S avec un défaut – référence STP02

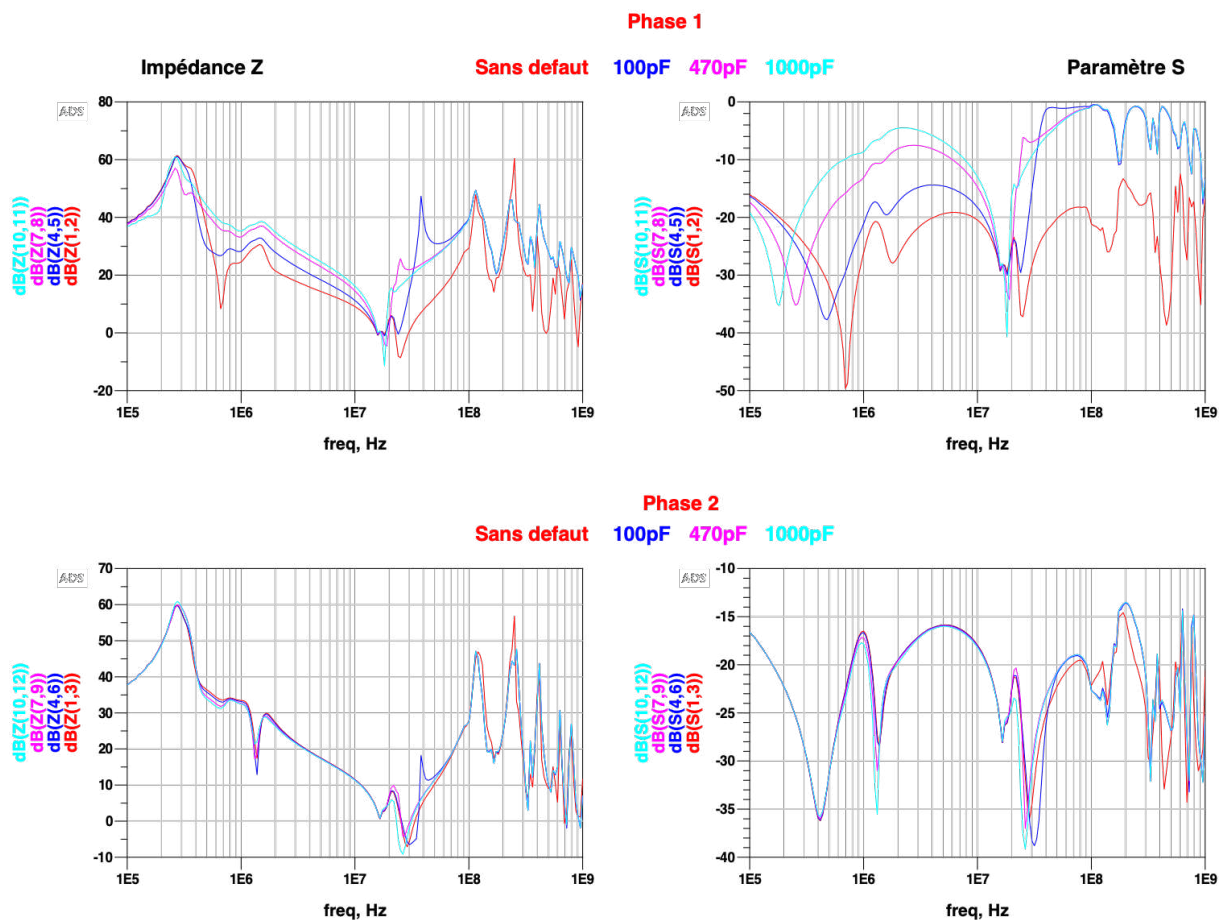
Durant la première étape STP00, nous avons mesuré les paramètres S du second stator lorsque celui-ci était à l'état neuf. Cette première procédure nous a permis d'utiliser comme références pour l'étape STP01 les résultats obtenus afin de les comparer aux différents spectres d'amplitudes que nous obtiendrons après un nombre d'heures d'utilisation représentatif de potentielles dégradations. Une fois l'étape STP01 finalisée, nous effectuons de nouveau des mesures de paramètres S pour identifier les variations engendrées sur les paramètres S est sur les impédances Z de chaque phase.

Dans le cas présent, nous avons simplement simulé le défaut par le biais d'une capacité ajoutée entre les phases 1 et 2. Par conséquent, aucune variation réelle n'a été engendrée sur ce stator. C'est pour cela que l'étape STP02 reprend les mesures des paramètres S est des impédances Z obtenues initialement lors de l'étape STP00 tout en y ajoutant des capacités de différentes valeurs. Nous reprenons ici aussi les valeurs que nous avons précédemment choisies, 100 pF, 470 pF et 1 nF.

La Figure 218 affiche les résultats des paramètres S et des impédances Z obtenues avec l'ajout d'un défaut entre les phases 1 et 2. La principale différence que nous constatons est visible sur la phase 1. En effet, la phase 2 et la phase 3 ne présentent pas de déformation importante.

Les déformations de la phase 1 sont visibles entre 300 kHz et 100 MHz. Celles-ci sont non linéaires et nous retrouvons seulement cette déviation lorsque nous effectuons des mesures de paramètres S. Une fréquence ne semble pas changer : celle à 19 MHz où nous pouvons constater que les 4 courbes se rejoignent avant, une nouvelle fois, de dévier.

Si nous comparons ces derniers résultats aux résultats obtenus pendant l'étape STP01, nous nous apercevons que les bandes de fréquence sur lesquelles nous avons pu voir des déviations sont similaires à celles où nous observons des différences de niveaux (7MHz – 12MHz).



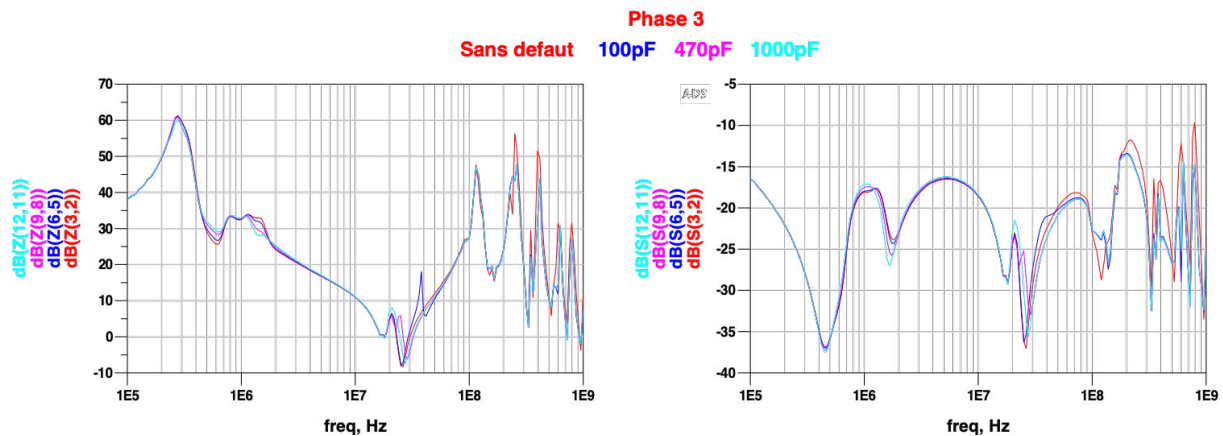


Figure 218 : Evolution des paramètres S est des impédances Z des trois phases du second stator avec l'ajout d'un défaut entre chaque phase

Une fois de plus, nous avons évoqué durant l'analyse des paramètres S du premier stator que les condensateurs que nous avons utilisés lors des simulations ne correspondaient pas au modèle équivalent réel.

Étant à des fréquences élevées, la simulation n'est pas en concordance avec le condensateur que nous avons utilisé. Afin de répondre à cette hypothèse, nous devons effectuer un panel de mesures de paramètres S comportant les condensateurs défauts afin de les comparer à nos simulations. Une fois que cette étape de validation du modèle équivalent du condensateur est validée, cela nous permettra, in fine, d'anticiper d'éventuelles dégradations au sein des moteurs.

IV.5. Conclusion des expérimentations et perspectives

Les différents travaux que nous avons menés jusqu'à maintenant ont permis d'apporter des conclusions relatives à différents points que nous avons énoncés durant ce chapitre.

D'un point de vue objectif, nous avons pour but de démontrer une procédure d'acquisition d'un défaut de bobinage moteur à l'aide d'une instrumentation intégrée dans les modules de puissance permettant de détecter des caractéristiques de vieillissement en cours de fonctionnement. Pour pouvoir atteindre ce but, nous avons placé 4 sondes dont 2 planaires proches des plans de puissance et 2 traversantes placées à travers les pattes des composants de puissance. Afin de connaître leur efficacité dans l'application demandée, nous avons comparé les réponses fréquentielles provenant de ces capteurs intégrés à des sondes de courant nécessitant d'être positionnées autour de connexions et câblages extérieurs au PCB. Les résultats extraits de ces nombreuses analyses nous ont permis de conclure sur les avantages et inconvénients quant à la surveillance fine des caractéristiques de vieillissement entre ces différents dispositifs.

L'apport démontré des capteurs intégrés vis-à-vis des sondes de courant classiquement utilisées dans la surveillance de modules de puissance, sur les aspects de pertes d'insertion, de sensibilité et de bande passante, permet d'envisager des tests de surveillances de processus de vieillissement des éléments de charge des convertisseurs, principalement les bobinages de moteurs. Cette procédure peut être déclinée en 3 étapes : la première est d'obtenir l'analyse des impédances du bobinage du moteur à l'aide d'un analyseur de réseaux. Ainsi, nous pouvons en extraire sur une plage de fréquence que nous avons définie, l'impédance de chaque phase du moteur.

Une fois les impédances obtenues, l'étape 2 de cette procédure consiste à tester l'échantillon stator durant un cycle de vieillissement. Cela correspond à stresser l'échantillon durant une durée de temps définie par l'utilisateur. Durant ce cycle, nous devons effectuer des acquisitions régulières de

l'instrumentation du banc afin de pouvoir comparer une fois le temps écoulé, l'évolution des indicateurs de vieillissement. La méthode de comparaison est faite grâce à la réponse fréquentielle (spectres d'amplitudes) obtenue par chaque sonde durant x temps. La superposition des résultats obtenus dans le temps nous permet d'observer les écarts et déviations fréquentielles significatives.

La troisième et dernière étape a pour but d'effectuer les mêmes actions que la première étape dans le but de comparer, une fois le cycle de vieillissement effectué, les différences des impédances de chaque phase du bobinage.

Afin de valider cette procédure, nous avons mis sous test un premier échantillon déjà usé en procédant à chacune des étapes précédemment listées. Celui-ci a été l'objet d'un premier calibrage des sondes de champs et des résultats obtenus. La deuxième phase de la procédure a été effectuée grâce à l'apport de la simulation d'un défaut placé aux bornes des phases du moteur. Une fois identifiée et validée et ayant observé la plage de fréquence dans laquelle la caractéristique de vieillissement peut potentiellement apparaître, nous avons remplacé les capacités de défaut par une expérimentation de stress réel d'une durée de 96h. Les résultats n'ayant montré aucune déviation réellement significative, l'usure déjà prononcée de ce premier l'échantillon de test disponible explique la validité de ces résultats. De plus, le temps alloué à une procédure de vieillissement, même dite accélérée, devra, de notre point de vue, dans le futur, être plus important.

En procédant à cette étape de simulation d'un défaut aux bornes du bobinage d'un moteur, nous avons pu sensiblement visualiser et analyser une déviation fréquentielle aux alentours des dizaines de MHz, ceci reproductible avec toutes les sondes disposées sur notre plan d'expérimentation. Ainsi nous avons corrélé les résultats pour catégoriser les différents phénomènes que nous pouvions observer. Ceci a été aussi comparé aux résultats de modélisation obtenus lors du chapitre 2.

Nous avons également pu introduire l'utilisation d'un indicateur d'usure d'isolant permettant d'observer dans l'évolution de la déviation fréquentielle. Cependant, son utilisation pertinente à des fins d'analyse a été confrontée à des limites d'efficacité, suite aux résultats que nous en obtenions. En effet, cet indicateur a été obtenu en fonction du niveau maximal de toutes les sondes confondues. Cet aspect ne peut être pris en compte suivant nos procédures d'analyse puisque l'intégration de sondes de champs proches dans un PCB induit à avoir un couplage propre entre chacune d'entre-elles et leurs plans de puissance respectifs. Par conséquent, le relevé des mesures n'étant pas calibré à une seule échelle commune, nous avons dû revoir le calcul de cet indicateur. Par conséquent, ce coefficient est maintenant calculé en fonction du niveau de chaque sonde. L'avantage de cette procédure est d'avoir un indicateur propre à chaque sonde, mais cela ne nous permet pas de comparer les indicateurs entre eux. De ce fait, nous ne pouvons comparer en toute rigueur savoir si l'évolution du coefficient calculé sur une sonde par rapport à une autre.

La troisième phase de test que nous effectuons une fois que le vieillissement a été opéré concerne l'analyse des impédances du bobinage à l'aide d'un analyseur de réseaux après vieillissement, simulé ou réel.

Les résultats extraits de cette troisième phase ont permis d'observer également déviation fréquentielle entre 300 kHz et 100 MHz. Afin d'analyser et de valider ces résultats, nous pouvons les confronter à des simulations de type électrique.

Un second échantillon de moteur, neuf et fonctionnel par rapport au premier a été utilisé pour la procédure de test avec la simulation d'un défaut. L'étape 1 nous a permis d'avoir les impédances de référence afin de pouvoir les comparer durant l'étape 3. L'étape 2 nous a permis de recalibrer le banc de test avec le nouvel échantillon afin de savoir la plage de fréquence sur laquelle la déviation serait visible. En comparant avec le premier échantillon, la plage de fréquence de la déviation fréquentielle était similaire. De ce fait, nous avons continué vers l'étape 3 en simulant le défaut lors de la mesure des paramètres S . Cela a conclu sur une modification de l'impédance en fonction de la capacité de défaut implantée.

Il nous reste plus qu'à présent d'effectuer cette procédure sur une longue durée de mise en fonctionnement et contrainte à un stress plus important que celui fait jusqu'à présent. Cela nous permettra de valider ou non, l'hypothèse d'acquisition et d'indicateur pertinent d'un vieillissement grâce à des sondes de champs proches intégrées à des modules de puissance.

Ayant discuté jusqu'à maintenant des différents points observés durant ce chapitre, nous pouvons conclure sur les perspectives qui peuvent faire l'objet de futures études.

Tout d'abord, afin de comprendre les caractéristiques de chaque plage de fréquence que nous avons observées durant les analyses des spectres d'amplitudes, il serait préférable que ces expérimentations soient suivies d'une simulation d'un banc et du modèle équivalent du moteur. Cela permettra à l'utilisateur de reconnaître les caractéristiques de vieillissement plus facilement lorsqu'il les retrouvera durant l'étape d'expérimentations.

Ces simulations permettront également de prévoir, sans expérimentation, les tendances les plus réalistes du comportement d'un bobinage en fonction de notre banc. Cela peut correspondre aux actions de placement d'un condensateur simulant un défaut ou d'implantation et d'utilisation de modèle de moteur ayant un certain taux d'usure.

Pour finaliser, une des perspectives d'évolution de ce banc serait d'améliorer le couplage des sondes de champs proches aux plans de puissance afin de pouvoir acquérir plus précisément les phénomènes obtenus à des fréquences plus élevées. Nous avons vu que les tensions obtenues par ces sondes étaient à des niveaux faibles et parfois même inexploitable. De ce fait, l'objectif d'étudier le placement des sondes afin d'obtenir de meilleures performances d'acquisition permettrait au banc de puissance de renforcer ces capacités et performances de détection de vieillissement d'un isolant de bobinage.

Conclusion

Avant de conclure sur les travaux que nous avons présentés jusqu'à maintenant, nous rappelons ici l'objectif de cette thèse qui a été d'étudier les effets des contraintes électromagnétiques induites par les composants au Carbure de Silicium d'une chaîne de conversion d'énergie, et ce, dans le but d'optimiser les performances des systèmes pour des applications à haute fréquence. Les applications concernées par ce type d'étude peuvent être nombreuses et dans notre cas, nous nous sommes concentrés sur une configuration d'application significative qui est l'association des systèmes de conversion d'énergie à des machines tournantes.

Les machines tournantes sont composées de bobinages constitués de fils électriques permettant la création de champs magnétiques qui induisent la rotation du rotor. Ces fils sont recouverts d'un isolant permettant de protéger les conducteurs des bobinages des gradients de potentiels élevés présents au sein du moteur, ceci, afin de pouvoir mieux agencer les câbles les uns par rapport aux autres. Ainsi, grâce à notre solution, en fonction de la constitution de l'isolant, le concepteur a la possibilité d'effectuer une série de tests pour estimer la durée de vie du moteur en effectuant un cycle de vieillissement accéléré grâce aux nouvelles performances des composants de puissance. Ces systèmes sont généralement constitués par des composants Silicium et présentent comparativement des caractéristiques induisant des pertes non négligeables.

À ce jour, le remplacement des composants en Silicium par des composants semi-conducteurs à grand gap tels que ceux constitués de Carbure de Silicium est de plus en plus envisagé comme une solution pertinente pour l'amélioration des performances des systèmes. Que ce soit pour améliorer la réduction des pertes énergétiques, et donc la réduction de la consommation globale, ou bien pour augmenter la compacité des convertisseurs, les avantages potentiels de ce nouveau type de composants sont très conséquents. Cependant, bien que ces arguments soient intéressants pour un développeur, leur intégration n'est souvent pas adaptée aux charges actuelles qui sont dans notre cas, les moteurs. En effet, les isolants concernés sont caractérisés depuis quelques décennies, en fonction de plusieurs points de fonctionnement obtenus dans des conditions beaucoup moins contraignantes que celles obtenues avec des convertisseurs de puissance constitués de composants en Carbure de Silicium. Or, dans ces nouvelles conditions beaucoup plus « stressantes », des dégradations précoces seront engendrées mettant le moteur rapidement hors service. Les anciennes références de caractérisation précédemment établies sont donc aujourd'hui obsolètes.

Notre étude s'est donc orientée vers l'amélioration de la connaissance de l'impact de ces nouveaux composants à grand gap sur le vieillissement des isolants des bobinages moteurs. Pour pouvoir répondre à cette problématique, nous avons divisé les travaux en plusieurs axes suivant un cahier des charges évolutif qui a eu comme objectif principal durant 3 ans : la conception, la mise au point et la réalisation d'un banc de vieillissement à base de composants SiC et à paramètres de pilotage variables. Ce dernier nous a permis de reproduire différents types de régimes de fonctionnement du moteur, en régime nominal, ou en régime stressé. Pour notre démarche de validation, nous avons effectué 2 types d'essais : le premier étant un essai au point de fonctionnement du moteur EMOD, le second étant un essai de vieillissement en régime accéléré. Ce dernier essai revient à surtensionner et à augmenter au maximum la fréquence de découpage des composants de puissance afin de multiplier le nombre de fronts de tension présents aux bornes de la charge, en dégradant ainsi les bobinages plus rapidement.

Le premier axe de recherche que nous avons développé a été principalement lié la réalisation des modules de puissance constituant le convertisseur statique. Pour pouvoir accomplir ce processus, nous avons stipulé dans le cahier des charges que les modules de puissance devaient être facilement ré agencables afin de pouvoir réaliser différentes architectures de conversion. Ainsi, nous avons dimensionné et conçu un module de puissance intégré et modulable à partir de composants SiC aux performances supérieures.

Dans un second temps, nous avons souhaité ajouter à notre cahier des charges l'intégration complète de la métrologie nécessaire afin d'obtenir des indicateurs concernant l'évolution des caractéristiques du bobinage et de son état de dégradation. En tenant compte des éléments bibliographiques collectés, il a été établi que l'évolution de l'état de l'isolant d'un bobinage peut être analysée via l'acquisition à haute fréquence du courant qui y transite. Par conséquent, nous avons intégré sur nos modules de puissance des sondes de champ proche à des endroits spécifiques pour pouvoir obtenir les spectres d'amplitude des courants traversant les plans de puissance du module. En plus de pouvoir mesurer l'état de dégradation d'un isolant, nous avons alors également accès à d'autres caractéristiques hautes fréquences provenant des différents éléments constituant l'ensemble des boucles de puissance, et notamment à celles des composants de puissance.

En intégrant ces sondes, nous avons pu répondre en partie à nos objectifs en matière d'instrumentation. Notre souhait étant d'obtenir un banc de vieillissement autonome, nous avons commencé à concevoir et à réaliser un module d'acquisition haute fréquence qui puisse être intégré directement à proximité d'un environnement perturbant tel que celui de notre convertisseur. Cette démarche nous a confronté à l'utilisation d'un protocole de communication de nouvelle génération, le JESD204B. Ce dernier nous a permis de réduire significativement le nombre de voies de communication tout en conservant les performances d'échantillonnage nécessaires à l'acquisition précise du signal à haute fréquence. Ainsi, à moyen terme, en nous rapprochant progressivement de l'obtention d'un système opérationnel ayant des performances similaires à celles que l'on peut obtenir avec un oscilloscope, nous pouvons envisager la détection automatique du seuil de vieillissement d'un isolant ou d'un phénomène significatif quelconque. Les chaînes d'acquisition que nous mettons au point seront alors directement reliées aux sondes de champ proche.

Les deux axes de recherche que nous venons d'exposer ont nécessité l'étude et la mise en œuvre d'une compétence supplémentaire afin que l'utilisateur du banc de vieillissement puisse soit accéder à leurs paramètres de configuration, soit les contrôler. C'est pour cela que le troisième axe de recherche qui est l'informatique industrielle, a été entrepris. En effet, pour piloter les composants de puissance ou leurs chaînes d'acquisition associées en fonction des besoins de l'utilisateur, nous avons eu recours à des plateformes numériques spécialisées. Nous en avons profité pour comparer les fonctionnalités et les performances de la technologie μ C face à celles de la technologie FPGA. Le μ C étant une solution spécialisée dédiée au pilotage des composants de puissance, il a donné satisfaction sur ce premier point, mais n'a cependant pas pu intégrer toutes les fonctions que nous souhaitions implémenter pour atteindre les objectifs fixés en début de thèse, telles que la gestion de l'interface utilisateur ou bien le pilotage des chaînes d'acquisition via le protocole JESD204B. Ces premières conclusions nous ont amené à développer une nouvelle solution basée sur des platines SoC FPGA, c'est-à-dire, un type de platine qui intègre la combinaison d'un ARM et d'un FPGA, ceci afin de pouvoir proposer une solution complète et embarquée basée sur une seule plateforme.

Cette phase de développement a été progressive et évolutive en matière de performance : nous avons développé dans un premier temps tout le logiciel dédié au pilotage des composants de puissance en tenant compte de 4 paramètres variables. Ce programme de pilotage a été combiné aux séquences de gestion de défauts afin de pouvoir mettre en sécurité les modules de puissance le plus rapidement possible (~10 ns).

Puis, dans un second temps, nous avons implanté deux éléments supplémentaires dont le rôle est focalisé sur la gestion de l'interface homme-machine et sur le pilotage des chaînes d'acquisition. Pour ce qui concerne la première compétence, nous souhaitions l'intégrer et la développer directement dans la plateforme afin de simplifier les échanges des données et d'obtenir une platine numérique gérant à la fois le pilotage des composants de puissance, les chaînes d'acquisition, mais également l'interface homme machine. Ce choix nous a permis de simplifier l'interaction entre la plateforme et l'utilisateur entraînant aussi une simplification de la commande du système par le biais de l'utilisation d'un simple navigateur web auquel l'utilisateur peut accéder via différents supports informatiques.

Pour pouvoir répondre à ces demandes, nous avons donc intégré le Framework Django dans le Linux embarqué situé dans la partie ARM de notre plateforme. Cette partie ARM étant directement reliée par un « pont » à la partie FPGA, cette configuration intéressante nous permet grâce à une action effectuée directement sur l'interface développée de pouvoir piloter directement les blocs logiques. Cette intégration nous a ainsi permis d'entrevoir nettement les possibilités et les avantages des platines SoC FPGA vis-à-vis de l'évolution future du domaine du pilotage de l'électronique de puissance.

Le second aspect important de nos travaux a été lié à la gestion des chaînes d'acquisition. Seuls quelques types de plateformes sont compatibles avec le protocole de communication JESD204B. Les platines FPGA sont celles qui sont principalement utilisées pour ce type de développement car elles prennent en charge les trames de communication jusqu'à plus de 5 Gb/s. La mise en œuvre de ce type de protocole rapide nécessite d'intégrer plusieurs types de signaux tels que des horloges, des synchronisations ou des canaux de données. Souhaitant être électromagnétiquement protégés sur la transmission de données comme pour ce que nous avons réalisé pour le pilotage des composants de puissance, c'est-à-dire être isolé par des fibres optiques, la mise au point de notre développement a été rendue nettement plus complexe. Que ce soit de façon matérielle ou logicielle, les contraintes liées aux impédances de ligne ou aux impédances de terminaison des composants, ou bien encore aux délais de transmission ont dû être traitées. En effet, le routage des lignes différentielles à haute vitesse doit suivre des règles de conception très strictes afin que l'intégrité des signaux soit conservée. C'est pour cette raison que nous avons essayé d'adapter les lignes de transmission en fonction des terminaisons des composants. Cela nous a poussés à concevoir progressivement différentes cartes d'interfaces de plus en plus complexes afin que les chaînes d'acquisition puissent correctement s'interfacer aux plateformes numériques que nous avons choisies.

À ce jour, étant toujours en procédure de mise au point, nous n'avons pu valider qu'une partie de ces travaux. En effet, nous avons pu acquérir un signal sinusoïdal suivant un échantillonnage spécifié, mais sans isolement par fibre optique. Cela nous a toutefois permis de valider les chaînes d'acquisition logicielles que nous avons implémentées en parallèle du pilotage des composants de puissance et de l'interface homme-machine que nous avons conçue.

Une fois que deux des trois aspects ont été assemblés, le banc de vieillissement a pu être validé comme étant opérationnel et prêt pour accueillir les 2 échantillons fournis par notre partenaire industriel, NOVATEM SAS. Cependant, avant de procéder aux expérimentations, nous avons réalisé une série d'étapes préliminaires nous permettant d'établir des mesures de référence nécessaires pour l'évaluation de l'indicateur de vieillissement d'un moteur que nous avons implémenté.

La première de ces étapes consistait à caractériser le moteur via l'utilisation d'un analyseur de réseaux. Cette procédure nous a permis d'extraire ses impédances pour que nous puissions assimiler son comportement à haute fréquence. En fonction de cette première étape et des études bibliographiques réalisées, nous avons pu construire la seconde étape qui est principalement orientée sur la déviation fréquentielle engendrée par l'évolution de la dégradation d'un isolant.

En effet, cette étape nécessite le recours à une procédure constituée de plusieurs actions précises afin de pouvoir comparer les caractéristiques fréquentielles d'un signal à celles d'un autre. Pour pouvoir effectuer cette démarche, nous devons, dans un premier temps mesurer les signaux provenant des sondes de champ proche lorsque nous alimentons l'échantillon et qu'il est sans aucun défaut. Une fois ces mesures obtenues, nous pouvons dans un deuxième temps, lancer notre procédure de vieillissement en faisant fonctionner le moteur en régime « stressé » pendant une durée significative.

Puis, dans un troisième temps, parallèlement à la procédure de vieillissement, en fonction des besoins de l'utilisateur, nous mesurons à intervalles de temps réguliers les signaux provenant des sondes de champ proche. Ainsi, en comparant les différentes mesures effectuées par le biais d'un logiciel d'analyse spécifiquement paramétré, nous pouvons observer l'évolution représentative de la dégradation, et ce, à partir de spectres d'amplitude obtenus par transformée de Fourier.

L'indicateur qui nous permet de caractériser cette évolution est obtenu à partir de la fonction de l'erreur quadratique moyenne dite « Root Mean Square Deviation ». La quatrième et dernière étape reprend enfin la même procédure que la première, dans le but de pouvoir comparer l'évolution de l'impédance du bobinage en fonction d'un type de vieillissement donné, nous devons refaire les mêmes mesures à l'analyseur de réseau ainsi que celles effectuées initialement. Une fois la procédure complète effectuée, nous pouvons les comparer afin de quantifier la dégradation de l'isolant en fonction de l'évolution de l'impédance étudiée, mais aussi des déviations fréquentielles intervenues durant la deuxième étape.

Ces deux étapes d'analyse effectuées via un analyseur de réseaux permettent également de modéliser et de simuler le moteur à partir d'un solveur électrique de type LTSpice. En couplant la modélisation du PCB avec celle du moteur, nous pouvons ainsi simuler le comportement potentiel de l'ensemble des constituants de notre banc.

Ces procédures ont été testées et validées sur un premier échantillon usé servant d'exemple de « calibration » pour nos premières manipulations. Nous avons pu observer les différentes évolutions des déviations fréquentielles que nous retrouvions à travers plusieurs mesures provenant premièrement des sondes de champ proche, mais également de sondes commerciales. Que ce soit par la simulation d'un défaut à l'aide de condensateurs placés en parallèle aux bornes du moteur ou bien par l'usage répété sous tension du moteur sur une durée 96h, nous avons pu procéder à une analyse du comportement du moteur. Ainsi, cela nous a permis de définir la plage de fréquence à laquelle nous pouvions visualiser la déviation fréquentielle significative correspondant à notre cas d'étude. Ces plages étant situées entre 1 et 10 MHz. Nous avons, par la suite, focalisé notre détection de défauts sur cette bande de fréquence. Cette étape de calibrage nous a également permis de nous rendre compte de l'efficacité inégale des mesures obtenues par les sondes. Nous avons constaté que seules 3 sondes sur les 4 permettent de détecter cette différence de façon significative. Pour conclure, nous avons aussi pu calibrer les longueurs d'enregistrement des acquisitions afin de diminuer l'espace conséquent occupé par un seul set de mesure.

Bien que certaines difficultés d'analyses lors de la confrontation des résultats de l'étape 3 à l'étape 2 soient intervenues, nous avons émis l'hypothèse selon laquelle la pertinence de nos résultats a été influencée par le fait que le stator soit d'un âge déjà bien avancé. Malgré tout, ayant obtenu des résultats significatifs lors de la simulation d'un défaut aux bornes d'un moteur, nous avons tout de même pu valider notre procédure d'analyse pour pouvoir l'appliquer à d'autres cas représentatifs, et notamment à un second échantillon.

Ce second échantillon neuf nous a permis une fois de plus de valider le principe de la simulation d'un défaut aux bornes du moteur à l'aide de plusieurs valeurs de condensateur. La suite de la procédure sera l'objet de futurs travaux de thèse menés par le laboratoire d'accueil et l'entreprise NOVATEM SAS et qui auront pour but d'étudier l'impact du vieillissement des résines sur la fiabilité et la durée de vie des bobinages optimisés pour l'électrotechnique.

De nombreuses perspectives ont été évoquées lors de la conclusion de chaque chapitre. Elles rejoignent toute une seule volonté, améliorer le banc de vieillissement afin qu'il devienne, in fine, un outil de mesure fiable pour la mesure des dégradations des isolants au sein des bobinages moteurs.

Parmi ces évolutions, l'acquisition reste un point critique pour finaliser ce banc de vieillissement. C'est pourquoi la première perspective à mener sera de finaliser le développement de la chaîne d'acquisition en proposant un premier prototype qui puisse s'intégrer au banc de puissance. À ce jour, des travaux sont toujours en cours pour aboutir à la finalisation de cet aspect. L'objectif fixé est de permettre à l'utilisateur d'implanter facilement ce module d'acquisition isolée à fréquence d'échantillonnage rapide dans un environnement électromagnétiquement perturbé.

La seconde perspective est liée à l'évolution du banc de vieillissement qui passera par une amélioration des éléments qui constituent l'électronique de puissance. Cela peut être le changement des composants de commande tels que les drivers de commande ou de puissance afin d'apporter des

fonctionnalités supplémentaires ou autres que celles actuellement proposées, soit par le changement des composants de puissance dans le but d'élargir plus aisément les performances du système.

Également en lien avec ce paramètre, de nombreuses techniques de modulation ont été étudiées pour faire varier le paramètre $\frac{dV}{dt}$ des composants de puissance. Étant un paramètre important pour la dégradation des isolants, intégrer une variation de ce paramètre de façon numérique permettrait à l'utilisateur de d'avoir accès à 5 paramètres numériques et paramétrables via l'interface homme machine. Ces paramètres sont la fréquence de modulation (f_{sw}), la fréquence de découpage (f_{MOD}), le coefficient de modulation (C_{MOD}), le temps mort à la commutation (t_{dd}) et le paramètre $\frac{dV}{dt}$.

Après un peu plus de 3 ans de recherches, les travaux que nous avons menés et présentés dans ce manuscrit ont permis d'apporter des réponses concrètes au sujet de l'intégration des nouveaux commutateurs à état solide dans les systèmes de conversion d'énergie. Cette première problématique nous a également permis d'entreprendre l'insertion des nouveaux moyens de diagnostics non invasifs dans des modules de puissance pour analyser le fonctionnement du système. Mais toutes ces études ont également été réfléchies de manière à pouvoir intégrer dans un futur proche ces nouveaux commutateurs à état solide dans le domaine des hautes puissances pulsées.

En effet, notre laboratoire d'accueil étant spécialiste dans ce domaine, l'une des problématiques génériques dans les générateurs haute puissance pulsée actuels constitués à partir de commutateurs mécaniques est lié au fait qu'ils soient limités en performance de par leur manque de synchronisme sur la répétabilité des impulsions. Le recours à des composants à grand gap est une tendance intéressante puisqu'elle permettrait de résoudre cette problématique afin de proposer des générateurs à hautes puissance pulsées offrant de meilleures performances. C'est pourquoi, notre étude permettra aussi d'initier de nouveaux axes de recherche pour les futurs projets menés par le laboratoire SIAME ou dans le laboratoire de recherche conventionné SAGE. D'un point de vue général, cette thèse nous aura aussi permis d'amorcer de nouveaux axes de recherche qui seront essentiels dans l'avenir des nouveaux générateurs et des nouveaux matériaux diélectriques.

Annexe

IV.6. Annexe 1

IV.6.A. General Scheme to study conduction and switching loss [49]

La méthode présentée ci-dessous permet d'évaluer les deux types de pertes suivant 6 courbes caractéristiques données par la fiche constructeur du composant de puissance :

- $I_{DS} = f(V_{DS}, T \text{ à } 25 \text{ et } 150^\circ\text{C})$ pour le MOSFET SiC
- $I_{DS} = f(V_{DS}, T \text{ à } 25 \text{ et } 150^\circ\text{C})$ pour la diode SBD
- $E_{ON} = f(I_{DS})$ & $E_{off} = f(I_{DS})$ (température négligeable car constante).

a. Conduction Loss

La première méthode se veut générale : obtenir rapidement les pertes d'un module de puissance de type IGBT ou MOSFET par l'utilisation des courbes caractéristiques donnés par la datasheet du composant. Pour les pertes en conduction, nous étudierons la réponse du courant traversant le composant en fonction de la tension à ses bornes (Figure 220 et Figure 221) :

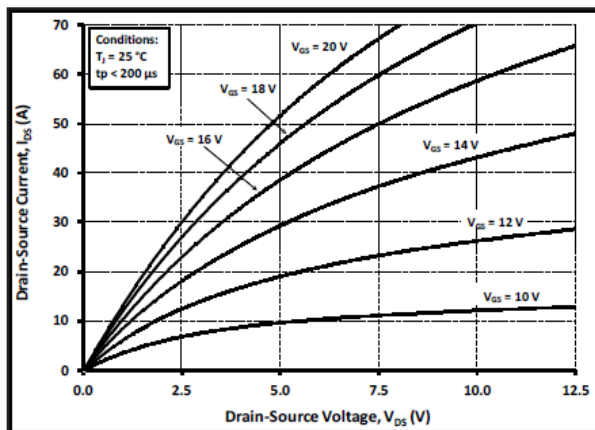


Figure 221 : MOSFET SiC - $I_d = f(V_{ds})$

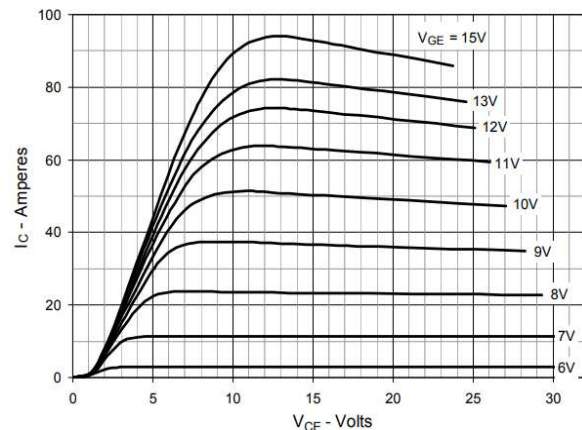


Figure 220 : IGBT - $I_c = f(V_{ce})$

La méthode est basée sur le calcul de 2 tangentes (origine et dynamique) à 2 températures différentes (dans notre cas, nous prendrons 25°C et 150°C). La tension V_{GS} doit être fixée. La première opération est de calculer les pentes des 2 tangentes. Les coefficients des 2 pentes vont ensuite composer une fonction du second ordre qui sera fonction du courant I_{DS} ou I_{CE} . Le calcul final sera donc de la forme :

$$P_{COND M}(I_{DS}, T) = (c_0 + c_1 * T) * I_{DS} + (d_0 + d_1 * T) * I_{DS}^2$$

Cette méthode est aussi utilisée pour la diode de roue libre (Diode Schottky). Lorsque cette diode devient passante, une même résistance que sur un MOSFET SiC apparaît. Le calcul reste le même, mais en prenant les courbes caractéristiques du comportement de la diode à l'état passant.

$$P_{COND D}(I_{DS}, T) = (c_0 + c_1 * T) * I_{DS} + (d_0 + d_1 * T) * I_{DS}^2$$

b. Pertes en commutation

La méthode de calcul des pertes en conduction est quasi-similaire à celle des pertes en commutation. Chaque valeur d'énergie perdue à l'ouverture ou fermeture est fonction du courant I_{DS} .

Sur chaque point (Figure 221), le calcul d'un coefficient doit être calculé :

$$k_{ON} = \frac{E_{ON}(I_{DS})}{I_{DS}} ; k_{OFF} = \frac{E_{OFF}(I_{DS})}{I_{DS}}$$

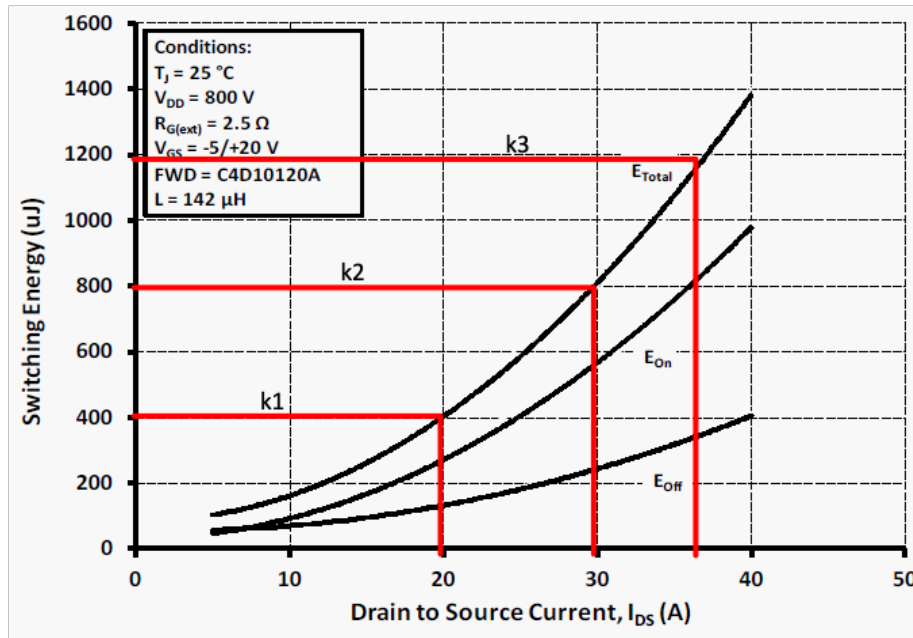


Figure 221 : Pertes en commutation du C2M0080120D

L'ensemble des coefficients sera ensuite moyenné et le résultat sortant sera multiplié par :

$$E_{TOTAL} = (E_{ON}(I_{DS}) + E_{OFF}(I_{DS})) * \frac{k_{ON} + k_{OFF}}{2}$$

$$P_{SW} = (E_{ON} + E_{OFF}) * k * f_{SW}$$

Il est considéré dans cette méthode que la température du composant (température de jonction) ne fait que très peu varier les pertes en commutation. Il est donc conseillé d'appliquer cette méthode à une température élevée afin de prévoir un surdimensionnement des éléments de refroidissement.

Cette méthode permet d'avoir une rapide estimation des pertes en conduction et commutation du composant de puissance. « Méthode K ».

IV.6.B. Comparison of SiC voltage source inverters using synchronous rectification and freewheeling diode

[48]

La méthode présentée ci-dessous se positionne dans un cas de fonctionnement similaire à notre étude. Le composant MOSFET SiC utilisé correspond au même composant que nous souhaitons utiliser.

a. Pertes en conduction

Le calcul des pertes en conduction se fait par un simple calcul spécialement utilisé pour les onduleurs triphasés en commande SPWM :

$$P_{cond, F} = 6 I_{pk}^2 R_{DS,on} \left(\frac{1}{8} + \frac{m_a \cos(\varnothing)}{3\pi} \right)$$

Le nombre « 6 » est ajouté pour calculer l'ensemble des mosfets dans l'onduleur triphasé. Plusieurs pertes sont rajoutées à celle-ci :

b. Pertes en conduction pendant le temps mort (DeadTime loss)

Il est possible de rajouter un temps mort entre l'activation simultanée des gâchettes du MOSFET SiC

$$P_{dead,BD} = 6 \left(\frac{2 I_{pk} V_{BD}}{\pi} + \frac{I_{pk}^2 R_{BD}}{2} \right) (T_d - T_{sw,on} - T_{sw,off}) f_s$$

c. Pertes en conduction de la résistance « Reverse »

La caractéristique inverse du MOSFET SiC (3^e quadrant) que nous retrouvons Figure 222, permet d'étudier son comportement durant son blocage. Celle-ci forme une résistance dite reverse.

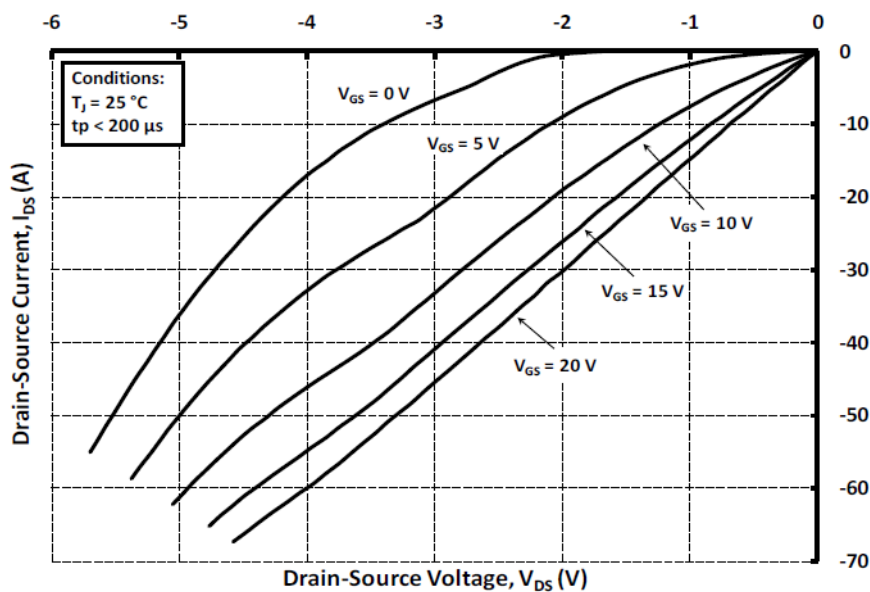


Figure 222 : Caractéristique inverse Mosfet-SiC

Si nous appliquons un pilotage MLI sinusoïdale, nous pouvons calculer ces pertes avec l'équation suivant :

$$P_{cond, R} = 6 I_{pk}^2 R_{SD,on} \left(\frac{1}{8} - \frac{m_a \cos(\varnothing)}{3\pi} \right)$$

Le coefficient m_a est coefficient de modulation.

d. Pertes en conduction de la diode SBD

Les pertes de la diode SBD sont aussi implémentées. Si le commutateur l'intègre, il gèrera donc le phènomène de diode de roue libre et dissipera le courant restant dans la diode lors du blocage du composant de puissance Figure 223. L'auteur de la publication indique que l'utilisation d'une diode inverse n'est pas obligatoire. Si l'utilisateur souhaite la diode, il inclut un autre terme pour le calcul total des pertes :

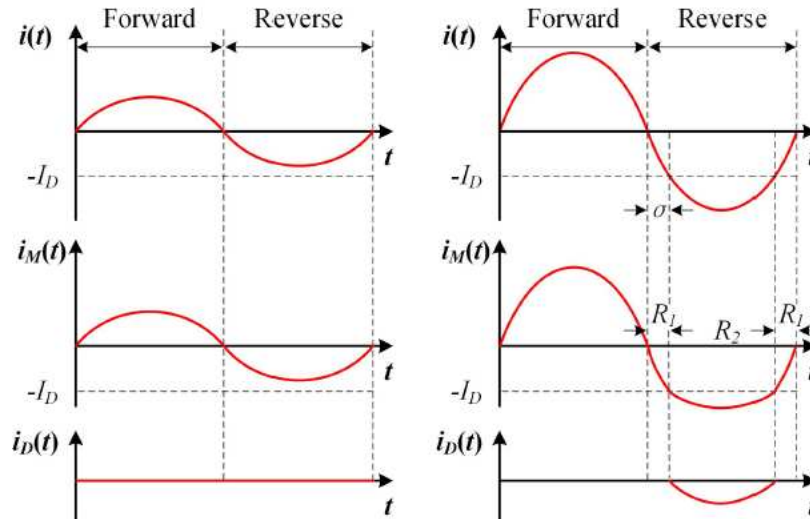


Figure 223 : Comportement du Mosfet-SiC entre l'utilisation d'une diode interne (haut) et d'une diode externe (bas)

Nous ajoutons donc le dernier terme qui est induit par l'utilisation de la rèsistance à l'état passant de la diode R_D . L'équation finale est donc :

$$P_{cond, R1} = 6 I_{pk}^2 R_{SD,on} \left[\frac{\sigma}{4\pi} - \frac{\sin 2\sigma}{8\pi} - \frac{m_a \cos \varnothing}{2\pi} \left(\frac{\cos^3 \sigma}{3} - \cos^3 \sigma + \frac{2}{3} \right) \right]$$

$$P_{cond, R2} = 6 I_{pk}^2 \frac{R_{SD,on} R_D}{R_{SD,on} + R_D} \left[\frac{1}{8} - \frac{\sigma}{4\pi} + \frac{\sin 2\sigma}{8\pi} - \frac{m_a \cos \varnothing}{2\pi} \left(-\frac{\cos^3 \sigma}{3} - \cos^3 \sigma \right) \right]$$

Si l'utilisateur ajoute un temps mort à la commutation, alors la diode externe inclut aussi des pertes durant ce temps. L'équation est rééprimée :

$$P_{dead,D} = 6 \left(\frac{2 I_{pk} V_D}{\pi} + \frac{I_{pk}^2 R_D}{2} \right) (T_d - T_{sw,on} - T_{sw,off}) f_s$$

Plusieurs conditions sont à inclure à l'utilisation de ses équations. Pour cela, nous étudions le croisement entre deux courbes caractéristiques comprises dans les fiches constructrices du composant de puissance et de la diode SBD Figure 224.

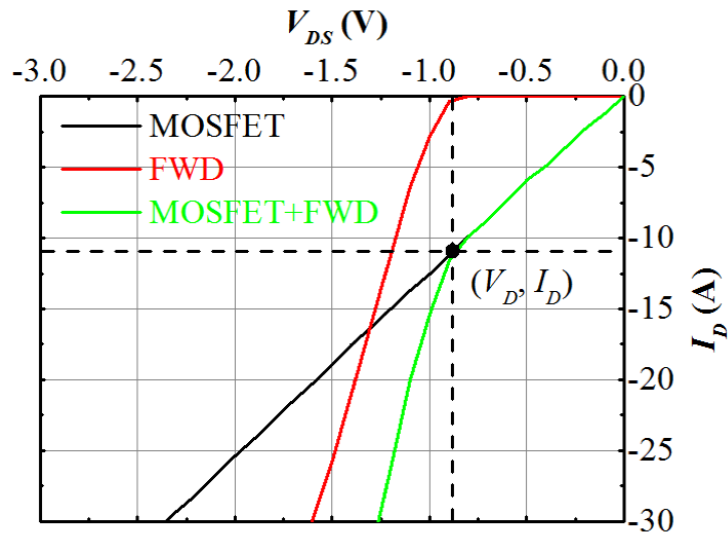


Figure 224 : Etude de la conduction de la diode SBD du composant C2M0080120D

Les deux conditions à prendre en compte sont :

- Le calcul des pertes dans la diode se fera si le point de croisement est dépassé lors du fonctionnement de l'onduleur ou convertisseur quelconque.
- On peut remarquer sur cette courbe que R_1 correspond à la résistance « reverse » du 3^e quadrant du MOSFET SiC. R_2 correspond donc à la résistance de la diode à son état passante : R_D . Ce deuxième cas n'intervient pas dans notre étude. Nous allons donc la négliger.

a) Pertes par commutation

Les pertes par commutation sont calculées par l'intermédiaire d'une identification d'un polynôme d'ordre 2. Les coefficients de cette équation sont obtenus à partir de la courbe caractéristique de l'énergie consommée à l'ouverture et fermeture du composant (Figure 225) :

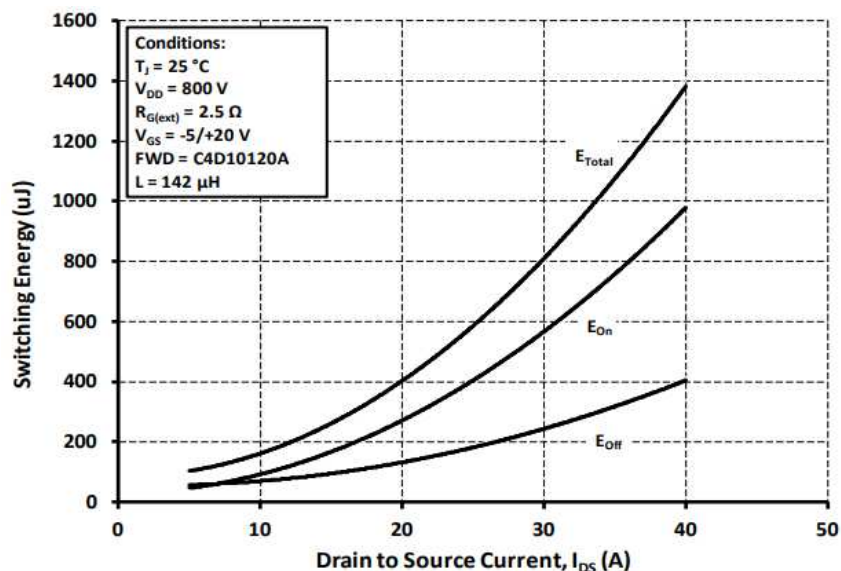


Figure 225 : Caractéristique de l'énergie consommée à l'ouverture et à la fermeture du MOSFET SiC

Pour simplifier, nous reprenons les différents points afin d'obtenir l'équation d'ordre 2 :

$$E_{total} = a \frac{I_{pk}^2}{4} + b \frac{I_{pk}}{\pi} + \frac{c}{2} I_{pk}$$

$$a = 0,7e^{-6} ; b = 6e^{-6} ; c = 90e^{-6}$$

IV.7. Annexe 2

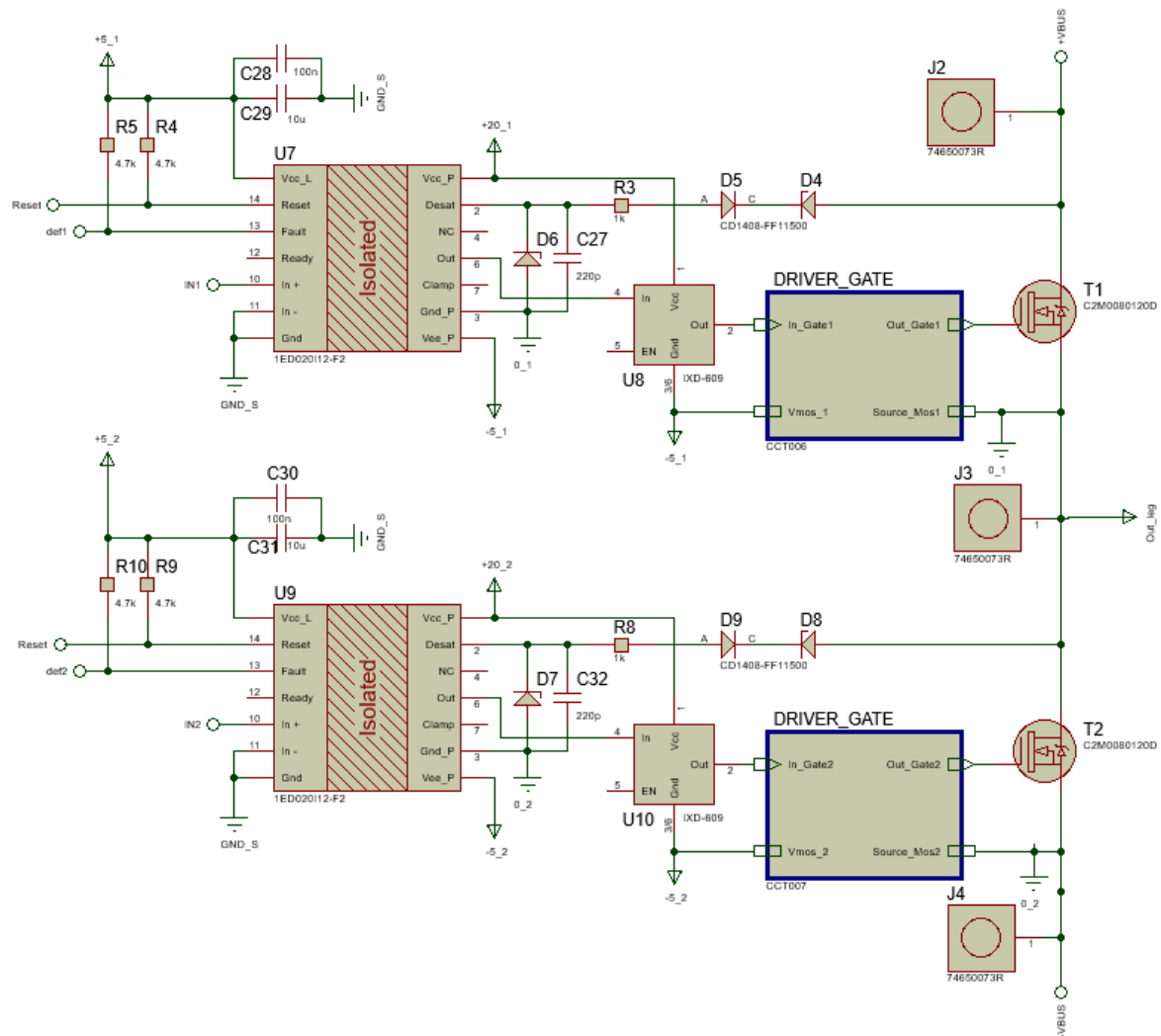


Figure 226 : Schéma de commande du module de puissance

IV.8. Annexe 3

Nom de la variable	Description	Type de variable
Fsw	Valeur de fréquence de découpage	Bus de données [0 - 65535]
clk_fsw	Horloge de la fréquence de découpage	Signal d'horloge logique
Nbr_points	Bus de la valeur du nombre de points représentant le ratio entre la fréquence de découpage et la fréquence de modulation	Bus de données [0 - 8191]
DATA	Valeur de la case mémoire retournée en fonction de l'index « x »	Bus de données [0 - 65535]
DATA_DUTY	Valeurs du rapport cyclique après calcul	Bus de données [0 - 65535]
DATA_DUTY[1..3]	Valeurs du rapport cyclique retournées en fonction de « DATA » pour chaque phase	Bus de données [0 - 65535]
ddTime	Valeur du temps mort	Bus de données [0 - 4096]
x_tab	Valeurs d'incrémentations pour le stockage des points dans la RAM	Bus de données [0 - 16383]
X	Valeurs d'incrémentations pour la lecture des points dans la RAM	Bus de données [0 - 16383]
[x2 .. x3]	Valeur de l'incrément du tableau de départ pour la phase 2 et la phase 3	Bus de données [0 - 16383]
Act	Activation/désactivation des modules de gestion de la MLI	Signal d'activation

Etat_user	Bus de l'état demandé par l'utilisateur	Bus de données [0 - 15]
Etat_machine	État retourné à l'utilisateur	Bus de données [0 - 15]
Défauts	Retourne les défauts venant des FO présents dans les modules de puissance	Signaux d'entrées logiques
RESET	Signal d'activation de la remise à zéro	Signal logique
RESET_OUT	Signal de remise à zéro partant vers les FO	Signaux de sorties logiques
OUT[1..3] - /OUT[1..3]	Signaux de commande partant vers les FO	Signaux de sorties logiques

Tableau 43 : Liste des variables provenant du HPS vers le FPGA

Références

- [1] « ANFR-Présentation du DAS ». <https://www.anfr.fr/controle-des-frequences/exposition-du-public-aux-ondes/le-das/presentation-du-das/>.
- [2] M. Blondet, « Quelle est la vitesse de la 5G ? », *Ariase*. <https://blog.ariase.com/mobile/faq/5g-vitesse>.
- [3] M. Blondet, « La 5G est-elle dangereuse pour la santé ? », *Ariase*. <https://blog.ariase.com/mobile/dossiers/5g-sante-danger>.
- [4] « Réchauffement climatique : évolution du climat mondial et en France - Météo-France ». <http://www.meteofrance.fr/climat-passe-et-futur/le-rechauffement-observe-a-l-echelle-du-globe-et-en-france>.
- [5] « Voiture électrique : peut-on enfin y croire ? », *La Tribune*. <https://www.latribune.fr/entreprises-finance/industrie/automobile/voiture-electrique-peut-on-enfin-y-croire-780769.html>.
- [6] ROHM, « Supplies Full SiC Power Modules to Formula E racing team Venturi », [En ligne]. Disponible sur: <https://www.rohm.com/news-detail?news-title=rohm-supplies-full-sic-power-modules-to-formula-e-racing-team-venturi&defaultGroupId=false>.
- [7] « Implémentation de SiC dans les voitures électriques Monde 2018 », *Statista*. <https://fr.statista.com/statistiques/921386/implementation-carbure-de-silicium-voitures-electriques-hybrides/>.
- [8] « NOVATEM SAS – Mechatronics for the future ». <https://www.novatem-sas.com/>.
- [9] Sciences de l'ingénieur, « Chaîne d'énergie ». http://pedagogie.ac-limoges.fr/sti_si/accueil/FichesConnaissances/Sequence1SSi/co/04ChaineNRJ1.html.
- [10] Vattenfall, « Quelles sont les sources d'énergies renouvelables ? » <https://www.vattenfall.fr/le-mag-energie/quelles-sont-les-sources-d-energies-renouvelables>.
- [11] P. Barrade, « Cours d'électronique de puissance Conversion DC/DC », p. 90.
- [12] Wikibooks, « Les redresseurs ». https://fr.wikibooks.org/wiki/%C3%89lectricit%C3%A9/Les_redresseurs.
- [13] S. Philippe, « Gradateur à angle de phase ».
- [14] « Cours onduleur - électronique de puissance », *cours-gratuit.com*. <https://www.cours-gratuit.com/cours-electronique-de-puissance/cours-onduleur>.
- [15] « Les convertisseurs statiques », *Elec - 13*, mars 05, 2016. <https://elec13.wordpress.com/2016/03/05/les-convertisseurs-statiques/>.
- [16] A. Leredde, « Etude, commande et mise en œuvre de nouvelles structures multiniveaux », Thèse, Institut National Polytechnique de Toulouse, 2011.
- [17] Bouakaz Ouahid, « Alimentation d'une machine asynchrone par un onduleur de tension multiniveaux à MLI optimisée », Masters, Université de Kasdi Merbah Ouargla, 2017.
- [18] H. Ben abdelghani, « Étude, conception et réalisation d'un convertisseur statique hybride multiniveaux tolérant aux défauts », Thèse, Institut National Polytechnique de Toulouse, 2016.
- [19] « Advantages of Interleaving Converters », *Power Electronics*, nov. 2003. <https://www.powerelectronics.com/content/article/21853162/advantages-of-interleaving-converters>.
- [20] X. Fonteneau, « Conception d'un onduleur triphasé à base de composants SiC en technologie JFET à haute fréquence de commutation », Thèse, INSA de Lyon, 2014.
- [21] F. A. Alskran, « Dynamic modeling and analysis of the three-phase voltage source inverter under stand-alone and grid-tied modes », Thesis, Kansas State University, 2014.
- [22] « Introduction à l'onduleur triphasé - électronique de puissance », *cours-gratuit.com*. <https://www.cours-gratuit.com/cours-electronique-de-puissance/cours-en-pdf-d-introduction-a-l-onduleur-triphase>.
- [23] S. L. Capitaneanu et B. de Fornel, « Optimisation de la fonction MLI d'un onduleur de tension deux-niveaux », Thèse, Institut National Polytechnique de Toulouse, 2002.

- [24] K. Kumar, P. Michael, J. John, et Kumar, « Simulation and comparison of SPWM and SVPWM control for three phase inverter », *ARNP J. Eng. Appl. Sci.*, vol. 5.
- [25] D. Aggeler, J. Biela, et J. W. Kolar, « A compact, high voltage 25 kW, 50 kHz DC-DC converter based on SiC JFETs », in *2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition*, févr. 2008, p. 801-807, doi: 10.1109/APEC.2008.4522813.
- [26] M. Schweizer et J. W. Kolar, « Design and Implementation of a Highly Efficient Three-Level T-Type Converter for Low-Voltage Applications », *IEEE Trans. Power Electron.*, vol. 28, n° 2, p. 899-907, févr. 2013, doi: 10.1109/TPEL.2012.2203151.
- [27] S. Round, M. L. Heldwein, J. Kolar, I. Hofsjager, et P. Friedrichs, « A SiC JFET driver for a 5 kW, 150 kHz three-phase PWM converter », nov. 2005, vol. 1, p. 410-416 Vol. 1, doi: 10.1109/IAS.2005.1518341.
- [28] D. P. Urciuoli et C. W. Tipton, « Development of a 90 kW bi-directional DC-DC converter for power dense applications », in *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06.*, mars 2006, p. 4 pp.-, doi: 10.1109/APEC.2006.1620718.
- [29] X. Wen, T. Fan, P. Ning, et Q. Guo, « Technical approaches towards ultra-high power density SiC inverter in electric vehicle applications », *CES Trans. Electr. Mach. Syst.*, vol. 1, n° 3, p. 231-237, sept. 2017, doi: 10.23919/TEMS.2017.8086101.
- [30] SpringerLink, « Semiconductor Power Devices ». <https://link.springer.com/book/10.1007/978-3-319-70917-8>.
- [31] « Why are switching losses proportional to switching frequency? », *Electrical Engineering Stack Exchange*. <https://electronics.stackexchange.com/questions/253806/why-are-switching-losses-proportional-to-switching-frequency>.
- [32] « IGBTs Or MOSFETs: Which Is Better For Your Design? », *Electronic Design*, oct. 1999. <https://www.electronicdesign.com/power-management/article/21801160/igbts-or-mosfets-which-is-better-for-your-design>.
- [33] A. K. Agarwal, « An overview of SiC power devices », in *2010 International Conference on Power, Control and Embedded Systems*, nov. 2010, p. 1-4, doi: 10.1109/ICPCES.2010.5698670.
- [34] Helong Li et S. Munk-Nielsen, « Detail study of SiC MOSFET switching characteristics », in *2014 IEEE 5th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, juin 2014, p. 1-5, doi: 10.1109/PEDG.2014.6878691.
- [35] G. Viné, P-E. Vidal, et J-M. Dienot, « Caractérisation des interactions électromagnétiques pour l'intégration de capteurs en électronique de puissance », Grenoble, France, juin 2016, [En ligne]. Disponible sur: <https://hal.archives-ouvertes.fr/hal-01361689>.
- [36] S. Ji, Z. Zhang, et F. Wang, « Overview of high voltage sic power semiconductor devices: development and application », *CES Trans. Electr. Mach. Syst.*, vol. 1, n° 3, p. 254-264, sept. 2017, doi: 10.23919/TEMS.2017.8086104.
- [37] A. Kempitiya et W. Chou, « An electro-thermal performance analysis of SiC MOSFET vs Si IGBT and diode automotive traction inverters under various drive cycles », in *2018 34th Thermal Measurement, Modeling Management Symposium (SEMI-THERM)*, mars 2018, p. 213-217, doi: 10.1109/SEMI-THERM.2018.8357378.
- [38] A. Albanna, A. Malburg, M. Anwar, A. Guta, et N. Tiwari, « Performance comparison and device analysis Between Si IGBT and SiC MOSFET », in *2016 IEEE Transportation Electrification Conference and Expo (ITEC)*, juin 2016, p. 1-6, doi: 10.1109/ITEC.2016.7520242.
- [39] S. Ozdemir, F. Acar, et U. S. Selamogullari, « Comparison of silicon carbide MOSFET and IGBT based electric vehicle traction inverters », in *2015 International Conference on Electrical Engineering and Informatics (ICEEI)*, août 2015, p. 1-4, doi: 10.1109/ICEEI.2015.7387215.
- [40] « Si vs SiC devices », *Switchcraft*. <https://www.switchcraft.org/learning/2016/12/9/si-vs-sic-devices>.
- [41] D. Othman, « Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans des applications aéronautiques », phdthesis, Université Paris Saclay (COMUE), 2015.
- [42] « Driving SiC MOSFET Power Switches | Gate Drivers ». <https://gate-driver.power.com/technology/driving-sic-mosfet-power-switches/>.

- [43] « Differences with IGBTs | Basic Knowledge », *ROHM TECH WEB: Technical Information Site of Power Supply Design*. <https://techweb.rohm.com/knowledge/sic/s-sic/04-s-sic/6052>.
- [44] Z. Fang, D. Jiang, et Y. Zhang, « Study of the characteristics and suppression of EMI of inverter with SiC and Si devices », *Chin. J. Electr. Eng.*, vol. 4, n° 3, p. 37-46, sept. 2018, doi: 10.23919/CJEE.2018.8471288.
- [45] « La diode de roue libre », *Astuces Pratiques*, nov. 18, 2013. <https://www.astuces-pratiques.fr/electronique/la-diode-de-roue-libre>.
- [46] « Discrete Silicon Carbide MOSFETs 1200V | Power | Wolfspeed ». <https://www.wolfspeed.com/1200v-silicon-carbide-mosfets>.
- [47] L. Xie, J. Li, et K. Yu, « Study on loss calculation for inverter based on 1200V SiC MOSFET », *Appl. Mech. Mater.*, vol. 672, p. 906-913, oct. 2014, doi: 10.4028/www.scientific.net/AMM.672-674.906.
- [48] S. Yin, Y. Liu, Y. Liu, K. J. Tseng, J. Pou, et R. Simanjorang, « Comparison of SiC Voltage Source Inverters Using Synchronous Rectification and Freewheeling Diode », *IEEE Trans. Ind. Electron.*, vol. 65, n° 2, p. 1051-1061, févr. 2018, doi: 10.1109/TIE.2017.2733483.
- [49] U. Drofenik et J. W. Kolar, « A General Scheme for Calculating Switching- and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems », in *in Proc. of the 2005 International Power Electronics Conf. (IPEC'05)*, p. 4-88686.
- [50] M. Shen et S. Krishnamurthy, « Simplified loss analysis for high speed SiC MOSFET inverter », in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, févr. 2012, p. 1682-1687, doi: 10.1109/APEC.2012.6166047.
- [51] J. W. Kolar, H. Ertl, et F. Zach, « Design and experimental investigation of a three-phase high power density high efficiency unity power factor PWM rectifier employing a novel integrated power semiconductor module », [En ligne]. Disponible sur: <https://ieeexplore.ieee.org/document/500491>.
- [52] Semiconductor, « What are Schottky Barrier Diodes (SBD)? », *SHINDENGEN ELECTRIC MFG.CO.,LTD.* /products/semi/column/basic/diodes/sbd.html.
- [53] J. Biela, M. Schweizer, S. Waffler, et J. W. Kolar, « SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors », *IEEE Trans. Ind. Electron.*, vol. 58, n° 7, p. 2872-2882, juill. 2011, doi: 10.1109/TIE.2010.2072896.
- [54] « Le marché des semiconducteurs de puissance SiC et GaN devrait dépasser 1 milliard de dollars en 2021 », *VIPress.net*, juill. 02, 2020. <https://vipress.net/le-marche-des-semiconducteurs-de-puissance-sic-et-gan-devrait-depasser-1-milliard-de-dollars-en-2021/>.
- [55] J. I. Ramos Chavez, « Design of high frequency operating mechatronic systems : tools and methods of characterization of electromagnetic couplings between electromechanic converters and power electronics converters », Thèse, Institut National Polytechnique de Toulouse, 2016.
- [56] « Nouvelle conception des bobinages statoriques des machines électriques », *Unithèque*. <https://www.unitheque.com/nouvelle-conception-des-bobinages-statoriques-des-machines-electriques/presses-academiques-francophones/Livre/136647>.
- [57] J. Moeneclaey, « Méthode de conception des bobinages des actionneurs électriques adaptés aux nouvelles contraintes de l'avionique », Thèse, Ecole doctorale Sciences pour l'Ingénieur d'Artois, 2015.
- [58] Elektrisola, « Types de fils Thermo-adhérents Standards ». <https://www.elektrisola.com/fr/fil-thermo-adherent/types-de-fils-thermo-adherents-standards.html>.
- [59] C. Zoeller, M. A. Vogelsberger, et T. M. Wolbank, « Influence of parasitic capacitances of IGBT inverter on insulation condition monitoring of traction machines based on current signal transients analysis », in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, sept. 2016, p. 1-9, doi: 10.1109/EPE.2016.7695580.
- [60] P. Nussbaumer, Th. M. Wolbank, et M. A. Vogelsberger, « Sensitivity analysis of insulation state indicator in dependence of sampling rate and bit resolution to define hardware

- requirements », in *2013 IEEE International Conference on Industrial Technology (ICIT)*, févr. 2013, p. 392-397, doi: 10.1109/ICIT.2013.6505704.
- [61] M. Gutten, M. Bartłomiejczyk, et M. Sebok, « Mathematical analysis of transformer insulation state by means of composite indicator », *Przegląd Elektrotechniczny*, vol. 89, mars 2013.
- [62] P. Nussbaumer, T. M. Wolbank, et M. A. Vogelsberger, « Separation of disturbing influences on induction machine's high-frequency behavior to ensure accurate insulation condition monitoring », in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, mars 2013, p. 1158-1163, doi: 10.1109/APEC.2013.6520445.
- [63] « 2Ch CM2 Gate Driver Board CGD15HB62P1 | Wolfspeed ». <https://www.wolfspeed.com/power/products/gate-driver-boards/cgd15hb62p1>.
- [64] « 1200V High-Performance 62mm HM2 SiC Gate Driver | Wolfspeed ». <https://www.wolfspeed.com/power/products/gate-driver-boards/cgd15hb62lp>.
- [65] « 6Ch CM2 Gate Driver Board CGD15FB45P1 | Wolfspeed ». <https://www.wolfspeed.com/power/products/gate-driver-boards/cgd15fb45p1>.
- [66] ANSYS, « Q3D Extractor : Extraction haute performance des éléments parasites ». <https://www.ansys.com/fr-fr/products/electronics/ansys-q3d-extractor>.
- [67] *Logiciel d'analyse et de simulation électromagnétique (EM) 3D CST Studio Suite*. Dassault Systèmes.
- [68] O. Yade *et al.*, « Improved Layout of Inverter for EMC Analysis », Bordeaux, France, févr. 2017, [En ligne]. Disponible sur: <https://hal.archives-ouvertes.fr/hal-01715021>.
- [69] T. Lagier, C. Buttay, et P. Dworakowski, « Design of a 1200 V, 100 kW Power Converter: How Good are the Design and Modelling Tools? », p. 20.
- [70] C. Patton, « Inductance modeling and extraction in EMC applications », Thèse, Missouri University of Science and Technology, 2009.
- [71] X. S. Liu, B. Revol, et F. Costa, « Parasitic elements modeling and experimental identification in a gan hemt based power module », présenté à 19^{ème} Colloque International et Exposition sur la Compatibilité ÉlectroMagnétique (CEM 2018), [En ligne]. Disponible sur: <https://hal.archives-ouvertes.fr/hal-02051418>.
- [72] A. B. Jørgensen, S. Bęczkowski, C. Uhrenfeldt, N. H. Petersen, S. Jørgensen, et S. Munk-Nielsen, « A Fast-Switching Integrated Full-Bridge Power Module Based on GaN eHEMT Devices », *IEEE Trans. Power Electron.*, vol. 34, n° 3, p. 2494-2504, mars 2019, doi: 10.1109/TPEL.2018.2845538.
- [73] *Comment gérer des interruptions complexes en C*. ZDNet France.
- [74] Y. Trinquet, « Chapitre 5 - Le fonctionnement en régime d'interruption de programme », p. 18.
- [75] *Fonctionnement d'un ordinateur - Les mémoires séquentielles*. Wikilivres.
- [76] P. Satish, « Calculation of FIFO depth ». [En ligne]. Disponible sur: <https://hardwaregeeksblog-files.wordpress.com/2016/12/fifodepthcalculationmadeeasy2.pdf>.
- [77] G. link, Facebook, Twitter, Pinterest, Email, et O. Apps, « FIFO Depth Calculation VLSI ». <https://www.vlsiuniverse.com/2020/04/fifo-depth-calculation-vlsi.html>.
- [78] *Convertisseur sigma delta*. Université de Caen.
- [79] E. Charmois, « Conversion Delta Sigma », *THD Studio*, 2011. <https://www.thdstudio.com/Conversion-Delta-Sigma.htm>.
- [80] « Convertisseur analogique-numérique », *Wikibis*. http://www.composelec.com/convertisseur_analogique-numerique.php.
- [81] E. Andre et F. Paillardet, « Convertisseur analogique-numérique pipeline avec mise en forme de bruit », EP1156586A1.
- [82] Analog Devices, Inc., « Instrumentation: Test and Measurement Methods and Solutions - VE2013 », [En ligne]. Disponible sur: <https://www.slideshare.net/AnalogDevicesInc/ve13-instrumentation-test-measurement-kester>.
- [83] « Parallel communication », *Wikipedia*. août 14, 2020, [En ligne]. Disponible sur: https://en.wikipedia.org/w/index.php?title=Parallel_communication&oldid=973019623.
- [84] J. Harris, « What Is JESD204 and Why Should We Pay Attention to It? » Analog Devices, Inc., [En ligne]. Disponible sur: <https://www.analog.com/en/technical-articles/what-is-jesd204-and>

- why-should-we-pay-attention-to-it.html#:~:text=A%20new%20converter%20interface%20is,of%20choice%20for%20future%20converters.&text=Designs%20employing%20JESD204%20enjoy%20the,faster%20sampling%20rates%20of%20converters.
- [85] *Conception et caractérisation des canaux SerDes (sérialiseur-désérialiseur)*. CST – Computer Simulation Technology, 2017.
- [86] Analog Devices, Inc., « JESD204B Survival Guide: Practical JESD204B Technical Information, Ti... », [En ligne]. Disponible sur: <https://fr.slideshare.net/AnalogDevicesInc/jesd204-b-survivalguide>.
- [87] « Teledyne LeCroy - T3DSO2102 ». <https://teledynelecroy.com/oscilloscope/oscilloscopemodel.aspx?modelid=11017&capid=102&mid=504>.
- [88] Texas Instruments, « JESD204B Overview ». [En ligne]. Disponible sur: https://www.ti.com/lit/ml/slap161/slap161.pdf?ts=1606641264186&ref_url=https%253A%252F%252Fwww.ti.com%252F.
- [89] « JESD204B: Determining your link configuration - Analog - Technical articles - TI E2E support forums ». https://e2e.ti.com/blogs_/b/analogwire/archive/2014/09/24/jesd204b-determining-your-link-configuration.
- [90] « JESD204B Subclasses—Part 1: An Introduction to JESD204B Subclasses and Deterministic Latency ». Analog Devices, [En ligne]. Disponible sur: <https://www.analog.com/en/technical-articles/jesd204b-subclasses-part1-an-introduction-to-jesd204b-subclasses-and-deterministic-latency.html>.
- [91] Texas Instruments, « Understanding JESD204B Subclasses and Deterministic Latency ». [En ligne]. Disponible sur: <https://www.ti.com/lit/pdf/snau140>.
- [92] *JESD204B IP Core User Guide*. Intel.
- [93] B. P. Upender, D. C. Brajczewski, A. G. Dean, et S. A. Hatzirallis, « Message routing in control area network (CAN) protocol », US5854454A, déc. 29, 1998.
- [94] « Némésis studio | Quelle est la différence entre développement Back End, Front End et Full Stack ? » <https://www.nemesis-studio.com/quelle-est-la-difference-entre-developpement-back-end-front-end-et-full-stack/>.
- [95] « Backend, frontend, qu'est-ce que ça veut dire ? - Wild Code School », *www.wildcodeschool.com*. <https://www.wildcodeschool.com/fr-FR/blog/backend-frontend-quest-ce-que-ca-veut-dire>.
- [96] « Différence entre le développeur Front-End et le développeur Back-End ? », *alticreation - alexis blondin*. <https://www.alticreation.com/blog/difference-developpeur-front-end-et-developpeur-back-end/>.
- [97] « Découvrez l'architecture MVT », *OpenClassrooms*. <https://openclassrooms.com/fr/courses/4425076-decouvrez-le-framework-django/4631014-decouvrez-larchitecture-mvt>.
- [98] D. Girls, « Tutoriel de Django Girls », *Developpez.com*. <https://python.developpez.com/tutoriels/reseau-web/apprendre-framework-django/>.
- [99] « Découvrez le framework Django », *OpenClassrooms*. <https://openclassrooms.com/fr/courses/4425076-decouvrez-le-framework-django>.
- [100] A. Boyd *et al.*, « ICCapt: Online design capture and HDL generation, with PYNQ SoC prototyping in the cloud », juin 2018, p. 1-6, doi: 10.1109/ISSC.2018.8585366.
- [101] « Yocto Project – It's not an embedded Linux distribution – it creates a custom one for you ». <https://www.yoctoproject.org/>.
- [102] R. Sebastian, *SoC FPGA: Open Source embedded Linux developed for Intel (ALTERA) SoC-FPGAs (Cyclone V & Arria 10)*. GitHub, 2020.
- [103] « dsPIC33FJ64GS610 - 16-Bit - Microcontrollers and Digital Signal Controllers ». <https://www.microchip.com/wwwproducts/en/dsPIC33FJ64GS610>.
- [104] A. Sutar, « Advanced Three Phase PWM Inverter Control Using Microcontroller », *IOSR J. Electr. Electron. Eng.*, vol. 5, p. 21-28, janv. 2013, doi: 10.9790/1676-0522128.

- [105] A. Lewicki, Z. Krzeminski, et H. Abu-Rub, « Space-Vector Pulsewidth Modulation for Three-Level NPC Converter With the Neutral Point Voltage Control », *IEEE Trans. Ind. Electron.*, vol. 58, n° 11, p. 5076-5086, nov. 2011, doi: 10.1109/TIE.2011.2119453.
- [106] A. Anan, T. K. Chakraborty, et K. S. Mahmood, « A Single-Phase Cascaded H-Bridge Multilevel Inverter with Reduced Switching Devices and Harmonics », in *2018 IEEE International Conference on Smart Energy Grid Engineering (SEGE)*, août 2018, p. 222-225, doi: 10.1109/SEGE.2018.8499512.
- [107] « Circuits logiques programmables », *Coursera*. <https://fr.coursera.org/lecture/enseignes-et-afficheurs-led/5-5-circuits-logiques-programmables-fpga-i7RRe>.
- [108] « Differential Signal Vs Single-Ended Inputs », <https://www.omega.com/en-us/>. <https://www.omega.com/en-us/resources/differential-or-single-ended>.
- [109] J. YAN, « The Application of CML and LVDS for High-speed Serial Links ». http://en.cnki.com.cn/Article_en/CJFDTotal-WJSY200808022.htm.
- [110] P. Lee, « Interfacing Between LVDS and ECL ». ON semiconductor, [En ligne]. Disponible sur: <https://www.onsemi.com/pub/Collateral/AN1568-D.PDF>.
- [111] « General Purpose Input/Output », *Wikipédia*. nov. 02, 2020, [En ligne]. Disponible sur: https://fr.wikipedia.org/w/index.php?title=General_Purpose_Input/Output&oldid=176174782.
- [112] « Altera HSMC Standard Products | Samtec ». <https://www.samtec.com/standards/hsmc>.
- [113] « FPGA Mezzanine Card », *Wikipedia*. avr. 11, 2020, [En ligne]. Disponible sur: https://en.wikipedia.org/w/index.php?title=FPGA_Mezzanine_Card&oldid=950282532.
- [114] « Cyclone V Device Handbook: Volume 1: Device Interfaces and Integration ». <https://www.intel.com/content/www/us/en/programmable/documentation/sam1403481100977.html>.
- [115] « JESD204B Intel FPGA IP User Guide ». <https://www.intel.com/content/www/us/en/programmable/documentation/bhc1411117158599.html>.
- [116] M. Lakka, E. Koutroulis, et A. Dollas, « Development of an FPGA-Based SPWM Generator for High Switching Frequency DC/AC Inverters », *IEEE Trans. Power Electron.*, vol. 29, n° 1, p. 356-365, janv. 2014, doi: 10.1109/TPEL.2013.2253216.
- [117] MathWorks France, « Generate FPGA Block RAM from Lookup Tables ». <https://fr.mathworks.com/help/hdlcoder/ug/generate-fpga-block-ram-lookup-tables.html>.
- [118] M. Lakka, E. Koutroulis, et A. Dollas, « Design of a High Switching Frequency FPGA-Based SPWM Generator for DC/AC Inverters », in *2011 21st International Conference on Field Programmable Logic and Applications*, sept. 2011, p. 15-19, doi: 10.1109/FPL.2011.14.
- [119] « Nios® II Processors for FPGAs - Intel® FPGA », *Intel*. <https://www.intel.com/content/www/fr/fr/products/programmable/processor/nios-ii.html>.
- [120] « Nios II Multiprocessor Design Example ». <https://www.intel.com/content/www/us/en/programmable/support/support-resources/design-examples/intellectual-property/embedded/nios-ii/exm-multi-nios2-hardware.html>.
- [121] R. Travaglini, G. Baldazzi, I. D'Antone, S. Meneghini, L. P. Rignanese, et M. Zuffa, « A 1 GS/s sampling digitizer designed with interleaved architecture (GSPS) for the LaBr3 detectors of the FAMU experiment », *PoS*, vol. TWEPP2018, p. 022, 2019, doi: 10.22323/1.343.0022.
- [122] P. Rajda *et al.*, « DigiCam - Fully Digital Compact Read-out and Trigger Electronics for the SST-1M Telescope proposed for the Cherenkov Telescope Array », *ArXiv150806082 Astro-Ph*, août 2015, [En ligne]. Disponible sur: <http://arxiv.org/abs/1508.06082>.
- [123] « EVAL-AD9250 Evaluation Board ». Analog Devices, [En ligne]. Disponible sur: <https://www.analog.com/en/design-center/evaluation-hardware-and-software/evaluation-boards-kits/eval-ad9250.html>.
- [124] M. Guibord, « JESD204B over optical fiber enables new architecture for phased-array radar ». Texas Instruments, 2016, [En ligne]. Disponible sur: <https://www.techonline.com/tech-papers/jesd204b-over-optical-fiber-enables-new-architecture-for-phased-array-radars/>.
- [125] Amphenol, « PDS-268-ADC-4CH-160M-14-F.pdf ». <https://www.amphenol.co.jp/military/catalog/PDS-268-ADC-4CH-160M-14-F.pdf>.

- [126] R. H. Belansky, H. A. Pratt, C. V. D. Dios, et R. P. Hsia, « Simplified serial data over optical fiber for remote receiver/sensor applications », US8917996B2, déc. 23, 2014.
- [127] C. Zoeller, M. A. Vogelsberger, R. Fasching, W. Grubelnik, et T. M. Wolbank, « Evaluation and Current-Response-Based Identification of Insulation Degradation for High Utilized Electrical Machines in Railway Application », *IEEE Trans. Ind. Appl.*, vol. 53, n° 3, p. 2679-2689, mai 2017, doi: 10.1109/TIA.2017.2661718.
- [128] T. Wolbank, C. Zoeller, H. Ertl, et M. Vogelsberger, « Impact of SiC Semi-conductors Switching Transition Speed on Insulation Health State Monitoring of Traction Machines », *IET Power Electron.*, vol. 9, juill. 2016, doi: 10.1049/iet-pel.2015.0988.
- [129] G. Vine, « Etudes et développements de capteurs électromagnétiques large-bande en vue de leur intégration dans des architectures d'électronique de puissance », Thèse, Institut National Polytechnique de Toulouse, 2018.
- [130] K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, et S. Jain, « Multilevel Inverter Topologies With Reduced Device Count: A Review », *IEEE Trans. Power Electron.*, vol. 31, n° 1, p. 135-151, janv. 2016, doi: 10.1109/TPEL.2015.2405012.
- [131] J. Rodriguez, Jih-Sheng Lai, et Fang Zheng Peng, « Multilevel inverters: a survey of topologies, controls, and applications », *IEEE Trans. Ind. Electron.*, vol. 49, n° 4, p. 724-738, août 2002, doi: 10.1109/TIE.2002.801052.
- [132] P. Werynski, « Vieillissement des diélectriques et surveillance in situ des machines électriques », Thèse, Ecole doctorale Sciences pour l'Ingénieur d'Artois, 2006.
- [133] J.-P. Louis et C. Bergmann, « MLI sinusoïdale. Numérisation », *Techniques de l'Ingénieur*. <https://www.techniques-ingenieur.fr/base-documentaire/archives-th12/archives-convertisseurs-et-machines-electriques-tiadb/archive-1/commande-numerique-d3643/mli-sinusoidale-numerisation-d3643niv10004.html>.
- [134] S. Buetow, R. Herzer, G. Koenigsmann, M. Rossberg, et A. Maul, « High power, high frequency SiC-MOSFET system with outstanding performance, power density and reliability », in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, mai 2017, p. 419-422, doi: 10.23919/ISPSD.2017.7988973.
- [135] Z. Wang et A. Castellazzi, « Device loss model of a fully SiC based dual active bridge considering the effect of synchronous rectification and deadtime », in *2017 IEEE Southern Power Electronics Conference (SPEC)*, déc. 2017, p. 1-7, doi: 10.1109/SPEC.2017.8333662.
- [136] « The Great Semi Debate: SiC or GaN? », *Power Electronics*, févr. 2019. <https://www.powerelectronics.com/technologies/power-management/article/21864289/the-great-semi-debate-sic-or-gan>.
- [137] « IXFH55N120A4 - Trench Series - XPT Discrete IGBTs - Littelfuse ». <https://www.littelfuse.com/products/power-semiconductors/discrete-igbts/xpt/trench/ixyh55n120a4.aspx>.
- [138] S. Baranwal, « Common-mode transient immunity for isolated gate drivers ». Texas Instruments, 2015, [En ligne]. Disponible sur: <http://www.ti.com/lit/slyt648>.
- [139] « 1ED020I12-F2 - Infineon Technologies ». <https://www.infineon.com/cms/en/product/power/gate-driver-ics/1ed020i12-f2/>.
- [140] « Active Miller Clamp Technology ». ON semiconductor, 2013, [En ligne]. Disponible sur: <https://www.onsemi.jp/pub/Collateral/AN-5073.pdfJP.pdf>.
- [141] Texas Instruments, « Understanding the Short Circuit Protection for Silicon Carbide MOSFETs », 2018. https://www.ti.com/lit/an/slva863b/slva863b.pdf?ts=1607074504150&ref_url=https%253A%252F%252Fwww.google.com%252F.
- [142] « Infineon-1EDfamily_Technical_description-AN-v1_4-en.pdf ». Consulté le: avr. 22, 2020. [En ligne]. Disponible sur: https://www.infineon.com/dgdl/Infineon-1EDfamily_Technical_description-AN-v1_4-en.pdf?fileId=db3a304336ca04c90136e958eed2361d.
- [143] R. Bramanpalli et S. Schulze, « Filtres d'entrée, la clé pour une validation CEM réussie », *electronique-mag.com*. <http://www.electronique-mag.com/article13735.html>.
- [144] G. Klaric Felic, « Heatsink EMI Effects in Power Electronic Systems », <https://www.eurekaselect.com>. <https://www.eurekaselect.com/51500/chapter>.

- [145] K. A. Moharram, M. S. Abd-Elhady, H. A. Kandil, et H. El-Sherif, « Enhancing the performance of photovoltaic panels by water cooling », *Ain Shams Eng. J.*, vol. 4, n° 4, p. 869-877, déc. 2013, doi: 10.1016/j.asej.2013.03.005.
- [146] « Liquid Cooling for High-Power Electronics », *Power Electronics*, févr. 2005. <https://www.powerelectronics.com/content/article/21856098/liquid-cooling-for-highpower-electronics>.
- [147] « 5 Series MSO Mixed Signal 8 Channel Oscilloscope | Tektronix ». <https://fr.tek.com/oscilloscope/5-series-mso-mixed-signal-oscilloscope>.
- [148] « Produits National Instruments », *National Instruments*. <https://www.ni.com/fr-fr/shop.html>.
- [149] *34970A Data Acquisition / Data Logger Switch Unit*. Keysight.
- [150] Tektronix, « Sondes asymétriques basse tension ». <https://fr.tek.com/low-voltage-probe-single-ended>.
- [151] Tektronix, « Sondes haute tension différentielles ». <https://fr.tek.com/probes-and-accessories/high-voltage-differential-probes>.
- [152] Tektronix, « TLA6400 - Sonde d'analyseur logique », *Tektronix*. <https://fr.tek.com/accessories/logic-probe>.
- [153] Pearson electronics, « Wideband Current Monitors », *Pearson electronics*. <https://www.pearsonelectronics.com/products/wideband-current-monitors>.
- [154] Hioki, « Current Probe 3273-50 ». https://www.hioki.com/en/products/detail/?product_key=5717.
- [155] T. Guillod, D. Gerber, J. Biela, et A. Muesing, « Design of a PCB Rogowski Coil based on the PEEC Method », présenté à 2012 7th International Conference on Integrated Power Electronics Systems (CIPS), mars 2012.
- [156] N. Karrer et P. Hofer-Noser, « PCB Rogowski coils for high di/dt current measurement », in *2000 IEEE 31st Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018)*, juin 2000, vol. 3, p. 1296-1301 vol.3, doi: 10.1109/PESC.2000.880497.
- [157] M. Tsukuda, M. Koga, K. Nakashima, et I. Omura, « Micro PCB Rogowski coil for current monitoring and protection of high voltage power modules », *Microelectron. Reliab.*, vol. 64, p. 479-483, sept. 2016, doi: 10.1016/j.microrel.2016.07.011.
- [158] S. Hageman, « EDN - Via spacing on high-performance PCBs », *EDN*, févr. 06, 2013. <https://www.edn.com/via-spacing-on-high-performance-pcbs/>.
- [159] G. Viné, J.-M. Diénot, et P.-E. Vidal, « Theoretical and experimental study of magnetic sensors for near-field emission measurement. Application to design and integration in power printed board circuit », in *International Symposium on Electromagnetic Compatibility, EMC Europe 2017*, Angers, France, sept. 2017, p. 0, [En ligne]. Disponible sur: <https://hal.archives-ouvertes.fr/hal-02135770>.
- [160] G. Lourdel, « Méthodologie et outils de calcul numérique pour la prise en compte de la compatibilité électromagnétique des nouveaux prototypes de circuits intégrés de puissance », Thèse de doctorat, Toulouse 3, 2005.
- [161] E. Batista, « Nouvelles structures électroniques pour le transport électrique : impacts des nouvelles contraintes d'intégration sur les interférences électromagnétiques et moyens de prévision de la compatibilité électromagnétique », Thèse, Université de Toulouse 3, 2009.
- [162] H. Baudrand, « Effet de peau », *Techniques de l'Ingénieur*. <https://www.techniques-ingenieur.fr/base-documentaire/electronique-photonique-th13/electromagnetisme-propagation-42277210/conducteurs-en-hautes-frequences-e1205/effet-de-peau-e1205v3-niv10005.html>.
- [163] J. Raimbourg, « Compatibilité électromagnétique - La chasse aux démons de maxwell ». [En ligne]. Disponible sur: <http://les-electroniciens.com/cours-electronique/2-chasse-aux-demons-maxwell>.
- [164] A. Boyer, « Règles de conception faible émission rayonnée pour les circuits imprimés ». 2011, [En ligne]. Disponible sur: http://www.alexandre-boyer.fr/alex/enseignement/Boyer_regles_-CEM_PCB_v3.pdf.
- [165] Wolfspeed, « CGD12HB00D - 2 Channel Differential Transceiver ». <https://www.wolfspeed.com/media/downloads/1494/CGD12HB00D.pdf>.

- [166] N. Idir, R. Bausiere, et J. J. Franchaud, « Active gate voltage control of turn-on di/dt and turn-off dv/dt in insulated gate transistors », *IEEE Trans. Power Electron.*, vol. 21, n° 4, p. 849-855, juill. 2006, doi: 10.1109/TPEL.2007.876895.
- [167] Techniques de l'Ingénieur, « Commande numérique à base de composants FPGA d'une machine synchrone : Contrôle à base de FPGA d'une machine synchrone ». <https://www.techniques-ingenieur.fr/base-documentaire/energies-th4/convertisseurs-electriques-et-applications-42253210/commande-numerique-a-base-de-composants-fpga-d-une-machine-synchrone-d2902/controle-a-base-de-fpga-d-une-machine-synchrone-d2902niv10005.html>.
- [168] B. MacCleery, O. Trescases, et M. Mujagic, « A new platform and methodology for system-level design of next-generation FPGA-based digital SMPS », présenté à IEEE Energy Conversion Congress and Exposition (ECCE), Raleigh, NC, USA, 2012, doi: 10.1109/ECCE.2012.6342622.
- [169] M. Akiyama, T. Goh, Y. Nakagawa, M. Suematsu, T. Sakamoto, et H. Akiyama, « Pulsed power generator driven by FPGA and PC », in *2011 IEEE Pulsed Power Conference*, juin 2011, p. 927-929, doi: 10.1109/PPC.2011.6191541.
- [170] P. Nussbaumer, M. Vogelsberger, et T. Wolbank, « Exploitation of induction machine's high-frequency behavior for online insulation monitoring », Valencia, Spain, 2013, p. 579-585, doi: 10.1109/DEMPED.2013.6645773.
- [171] « Analyseurs de spectre en temps réel série RSA500 », *Tektronix*. <https://fr.tek.com/spectrum-analyzer/rsa500-series>.
- [172] « Analyseur de réseaux - TTR500 ». <https://fr.tek.com/vna/ttr500>.
- [173] « USB-5680 ». <https://www.ni.com/fr-fr/support/model.usb-5680.html>.
- [174] S. Balac, « La transformée de Fourier vue sous l'angle du calcul numérique », Thèse, Institut de Recherche Mathématique de Rennes, 2011.
- [175] J. Pearson et J. Ardizzone, « Rules of the Road for High-Speed Differential ADC Drivers ». Analog Devices, 2009, [En ligne]. Disponible sur: <https://www.analog.com/en/analog-dialogue/articles/rules-for-high-speed-differential-adc-drivers.html>.
- [176] Teledyne, « Synchronization chaining, Simplifying Multi-channel Synchronization in Gigahertz Data Converters », *EDN Asia*. <https://www.ednasia.com/downloads/synchronization-chaining-simplifying-multi-channel-synchronization-in-gigahertz-data-converters/>.
- [177] « LVDS Application and Data Handbook - High-Performance Linear Products Technical Staff ». Texas Instruments, 2002.
- [178] « AFBR-57J9AMZ ». <https://www.broadcom.com/products/fiber-optic-modules-components/networking/optical-transceivers/sfpplus/afbr-57j9amz>.
- [179] « AFBR-59F3Z ». <https://www.broadcom.com/products/fiber-optic-modules-components/industrial/transceivers/connectorless/afbr-59f3z>.
- [180] « ADCLK925 Datasheet and Product Info | Analog Devices ». <https://www.analog.com/en/products/adclk925.html>.
- [181] N. Thomas, « Power-Supply Design for High-Speed ADCs ». Texas Instruments, 2005, [En ligne]. Disponible sur: <https://www.ti.com/lit/pdf/slyt366>.
- [182] H. Ott, « Partitioning and Layout of a Mixed-Signal PCB », 2001. http://www.hottconsultants.com/pdf_files/june2001pcd_mixedsignal.pdf.
- [183] I. Altera, « AN 224: High-Speed Board Layout Guidelines », p. 34.
- [184] S. Pithadia et S. More, « Grounding in mixed-signal systems demystified, Part 1 », *Data Convert.*, 2013, [En ligne]. Disponible sur: <https://www.ti.com/lit/slyt499>.
- [185] S. Pithadia et S. More, « Grounding in mixed-signal systems demystified, Part 2 », *Data Convert.*, 2013, [En ligne]. Disponible sur: <https://www.ti.com/lit/an/slyt512/slyt512.pdf>.
- [186] « How to Use a Star Ground for Mixed Signal Grounding », *Altium*. <https://resources.altium.com/p/how-to-use-a-star-point-for-analog-ground-digital-ground-connection>.
- [187] Z. Hank, « Staying Well Grounded », *Analog Dialogue*. <https://www.analog.com/en/analog-dialogue/articles/staying-well-grounded.html>.
- [188] « Understanding and minimising ADC conversion errors ». Microcontroller Division Applications, [En ligne]. Disponible sur: https://www.st.com/resource/en/application_note/cd00004444-understanding-and-minimising-adc-conversion-errors-stmicroelectronics.pdf.

- [189] J. Bukhert, « The Case for Stitching Vias on Your PCB », *Cadence PCB design & analysis*. <https://resources.pcb.cadence.com/blog/the-case-for-stitching-vias-on-your-pcb-2>.
- [190] « How to avoid the negative effects of vias in high-speed PCB design », *PCB Way*, 2020. https://www.pcbway.com/blog/PCB_Design_Layout/How_to_avoid_the_negative_effects_of_vias_in_high_speed_PCB_design.html.
- [191] Texas Instruments, « High-speed layout guidelines for reducing EMI in LVDS SerDes designs ». <https://training.ti.com/high-speed-layout-guidelines-reducing-emi-lvds-serdes-designs>.
- [192] U. Jayamohan, « High Speed ADC Power Supply Domains ». Analog Devices, 2018, [En ligne]. Disponible sur: <https://www.analog.com/en/analog-dialogue/raqs/raq-issue-153.html>.
- [193] T. Q. Company, « Qt Creator - A Cross-platform IDE for Application Development ». <https://www.qt.io/product/development-tools>.
- [194] « La connexion sécurisée à distance avec SSH », *OpenClassrooms*. <https://openclassrooms.com/fr/courses/43538-reprenez-le-controle-a-laide-de-linux/41773-la-connexion-securisee-a-distance-avec-ssh>.
- [195] Intel® Quartus® Prime, « FPGA Design Software », *Intel*. <https://www.intel.com/content/www/fr/fr/software/programmable/quartus-prime/overview.html>.
- [196] *The Web framework for perfectionists with deadlines*. Django.
- [197] *Introduction to Altera IP Cores*. Intel.
- [198] « RocketBoards », *RocketBoards.org*. <https://rocketboards.org/foswiki/Main/WebHome>.
- [199] « Getting Started with Android on Altera Cyclone V !SoC Board », *RocketBoards.org*. <https://rocketboards.org/foswiki/Documentation/GettingStartedWithAndroid>.
- [200] T. Technologies, « Terasic - All FPGA Boards - Arria 10 - HAN Pilot Platform ». <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=228&No=1133>.
- [201] « PCB and High Speed Serial Interface (HSSI) design guideline », p. 44.
- [202] M. Guibord, « JESD204B multi-device synchronization: Breaking down the requirements », p. 7, 2015.
- [203] G. Romo-Guzman, « Détection acoustique et électrique des décharges partielles dans les isolants polymères sous contrainte continue ou alternative », Thèse, Université de Toulouse 3.
- [204] A. Qaiser, « Detection of stator welding faults in end-turn windings of ac machines », Masters, Michigan State University, 2013.
- [205] F. Caspers, « RF engineering basic concepts: S-parameters », p. 27.
- [206] J. I. Ramos Chavez, J.-M. Diénot, P.-E. Vidal, C. Viguier, et B. Nogarède, « Contribution to modeling of parasitic couplings for predicting EMC behavior of electrical machines », 2014, p. 1050-1056, [En ligne]. Disponible sur: <https://doi.org/10.1109/ICELMACH.2014.6960312>.
- [207] TESTEC, « TT-SI 9010 ». <http://www.farnell.com/datasheets/1824864.pdf>.
- [208] Keysight, « PathWave Advanced Design System (ADS) », *Keysight*. <https://www.keysight.com/fr/en/products/software/pathwave-design-software/pathwave-advanced-design-system.html>.
- [209] « Circuits de base - Réponse à un échelon de tension ». http://res-nlp.univ-lemans.fr/NLP_C_M15_G02/co/Contenu_19.html.
- [210] « Comportement d'un condensateur en HF ». <https://f5zv.pagesperso-orange.fr/RADIO/RM/RM24/RM24G/Rm24G23.html>.