



HAL
open science

Étude de la fiabilité des filières 0.15 μm GaN sur SiC - Caractérisation et analyse des effets parasites et des mécanismes de dégradation

Florent Magnier

► **To cite this version:**

Florent Magnier. Étude de la fiabilité des filières 0.15 μm GaN sur SiC - Caractérisation et analyse des effets parasites et des mécanismes de dégradation. Electronique. Université de Bordeaux, 2021. Français. NNT : 2021BORD0148 . tel-03336174

HAL Id: tel-03336174

<https://theses.hal.science/tel-03336174>

Submitted on 7 Sep 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE

DOCTEUR DE L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE : SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

SPÉCIALITÉ : ÉLECTRONIQUE

Par Florent MAGNIER

**Étude de la fiabilité des filières 0.15 μm GaN sur SiC
Caractérisation et analyse des effets parasites et des
mécanismes de dégradation**

Sous la direction de : Nathalie MALBERT
(co-directeur : Nathalie LABAT)

Soutenue le : 08/06/2021

Membres du jury :

M. TARTARIN, Jean Guy
M. GAQUIERE, Christophe
Mme BOUEXIERE, Chloé
M. NALLATAMBY, Jean Christophe
M. LAMBERT, Benoit
M. CHANG, Christophe
Mme. LABAT, Nathalie
Mme. MALBERT, Nathalie
M. ROUX, Jean Luc

Professeur, LAAS, Université de Toulouse.
Professeur, IEMN, Université de Lille
Ingénieur, DGA MI, Rennes
Professeur, XLIM, Université de Limoges
Ingénieur, UMS, Villebon-sur-Yvette
Ingénieur, UMS, Villebon-sur-Yvette
Professeur, IMS, Université de Bordeaux
Professeur, IMS, Université de Bordeaux
Ingénieur, CNES, Toulouse

Président
Rapporteur
Examinatrice
Examinateur
Examinateur
Examinateur
Directrice
Co-Directrice
Invité

Remerciements

Je remercie Messieurs Jean-Guy TARTARIN et Christophe GACQUIERE ainsi que l'ensemble de mon jury de thèse d'avoir accepté d'évaluer mes travaux.

Je tiens bien évidemment à remercier mon encadrement de thèse. Merci Benoit et Christophe de m'avoir donné l'opportunité d'effectuer mon stage à UMS puis pour la confiance dont vous avez fait preuve à mon égard pour poursuivre en thèse. Nathalie, merci de m'avoir convaincu de postuler au stage proposé par UMS et de me l'avoir si bien vendu. Je tiens à te remercier ainsi que Nathalie pour tout le temps que vous avez consacré à mon égard au cours de la thèse. Benoit, merci pour le temps que tu as pris pour moi malgré ton agenda très chargé et pour tout ce que tu as pu m'apprendre au cours de toutes ces années. Enfin merci à vous tous pour cet encadrement de qualité qui m'a permis de grandir que ce soit professionnellement mais aussi personnellement.

Je voulais aussi remercier Arnaud pour l'aide fournie en salle de mesure au laboratoire IMS et Artur et Jonathan pour toute l'aide et les précieux conseils prodigués en salle blanche à UMS. Une pensée toute particulière pour les équipes fiabilité, modèle et caractérisation d'UMS. Ce fut un plaisir de vous côtoyer au quotidien et de partager du temps avec vous. Julien, merci pour toutes les mesures que tu as pu faire pour moi, tu m'as grandement aidé durant ma thèse.

Merci à l'équipe UrbanSoccer d'UMS pour toutes ces séances entre midi et deux qui m'ont aidé à bien décompresser malgré les blessures. Un grand merci aussi à l'équipe R2D2 pour tous les bons moments passés ensemble.

Merci Dominique pour le temps que tu as libéré pour pouvoir réaliser des mesures avec moi et pour ce que tu as pu m'apprendre en un laps de temps si court. Merci Jean-Christophe d'avoir accepté la collaboration avec UMS sur les mesures de pièges qui prennent énormément de temps à réaliser. Enfin, merci Jean-Claude pour l'ensemble des simulations physiques que tu as pu réaliser et qui me sont utiles pour mes travaux de thèse.

Je remercie mes amis doctorants du laboratoire IMS pour l'ensemble des soirées qu'on a pu faire ensemble et les weekends randonnés. Merci aussi à mes amis de licence/master, Kévin, Florent, Florian, Emmané ne changeaient pas vous êtes géniaux. Une pensée pour mes copains de console pour les soirées SoT et OW, et les fous rires.

Pour finir, ces remerciements ne seraient pas complets sans un merci pour ma famille qui a su me soutenir et un immense merci pour la femme qui partage ma vie et qui supporte mes humeurs et mes états d'âmes depuis tant de temps. Lisa, si j'en suis arrivé là aujourd'hui, c'est en grande partie grâce à toi et à ton soutien inconditionnel envers moi.

Sommaire

REMERCIEMENTS	3
SOMMAIRE	5
INTRODUCTION GENERALE	9
CHAPITRE 1. TRANSISTOR HEMT GAN	11
1.1. NITRURE DE GALLIUM.....	12
1.1.1. <i>Propriétés générales</i>	12
1.1.2. <i>Polarisations spontanée et piézo-électrique</i>	14
1.2. PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR A BASE DE GAN.....	15
1.2.1. <i>Hétérojonction AlGaIn/GaN</i>	15
1.2.2. <i>Technologie de construction d'un HEMT GaN</i>	18
1.2.3. <i>Contrôle de la charge dans le canal</i>	20
1.3. APPLICATIONS.....	21
1.4. MECANISMES DE DEGRADATION DANS LES TECHNOLOGIES GAN.....	23
1.4.1. <i>Mécanismes de dégradation activés thermiquement</i>	24
1.4.2. <i>Mécanismes de dégradation activés par courant de grille direct</i>	25
1.4.3. <i>Mécanismes de dégradation activés par électrons chauds</i>	26
1.4.4. <i>Mécanismes de dégradation activés par le champ électrique</i>	27
1.5. ÉTAT DE L'ART DES MECANISMES DE DEGRADATION DES TECHNOLOGIES UMS.....	30
1.5.1. <i>Présentation des technologies UMS</i>	30
1.5.2. <i>Les mécanismes de dégradation et les effets parasites</i>	32
1.5.3. <i>Caractérisation des pièges des technologies UMS</i>	37
1.6. CONCLUSION DU CHAPITRE.....	40
REFERENCES DU CHAPITRE 1	41
CHAPITRE 2. PRESENTATION DE LA TECHNOLOGIE GH15 ET DE L'ETUDE DE SA FIABILITE	51
2.1. PRESENTATION DE LA TECHNOLOGIE ETUDIEE : GH15.....	52
2.2. CARACTERISATION INITIALE D'UN TRANSISTOR DE LA FILIERE GH15.....	53
2.2.1. <i>Performances électriques</i>	53
2.2.2. <i>Chemins des courants de fuite dans la technologie GH15</i>	59
2.3. ÉTUDE DE LA FIABILITE DE LA TECHNOLOGIE GH15.....	61
2.3.1. <i>Types d'essais de vieillissement</i>	63
2.3.2. <i>Mesures de reprises</i>	65
2.3.3. <i>Critères de défaillance</i>	68
2.4. RESULTATS DE TESTS DE FIABILITE.....	68
2.4.1. <i>Résultats des tests HTOL</i>	68
2.4.1. <i>Résultats des tests HTRB</i>	70
2.4.2. <i>Résultats des tests RFLT</i>	71
2.4.3. <i>Dérives initiales observées</i>	73
2.5. CONCLUSION DU CHAPITRE.....	77
REFERENCES DU CHAPITRE 2	79
CHAPITRE 3. ÉTUDE DE LA DERIVE INITIALE DE LA PUISSANCE DE SORTIE	80

3.1. CARACTERISATION DE LA DERIVE INITIALE DE LA PUISSANCE DE SORTIE	81
3.1.1. <i>Présentation du phénomène</i>	81
3.1.2. <i>Caractérisation électrique du phénomène</i>	86
3.2. METHODOLOGIE DE SUIVI DE LA PUISSANCE A PARTIR DE MESURES I-V PULSEES	88
3.2.1. <i>Définition des classes d'amplification et présentation du calcul de la puissance</i>	88
3.2.2. <i>Définition des paramètres</i>	90
3.2.3. <i>Explication d'utilisation de la méthodologie pour l'analyse de la dérive de la puissance</i>	92
3.2.4. <i>Validation de la méthodologie sur deux technologies : GH15 et GH50</i>	93
3.3. CARACTERISATION DE LA DERIVE INITIALE DE LA PUISSANCE DE SORTIE SUR LA TECHNOLOGIE GH15	96
3.3.1. <i>Plan de test</i>	97
3.3.2. <i>Étude la cinétique temporelle du phénomène</i>	97
3.3.3. <i>Étude des facteurs d'accélération de la dérive initiale de la puissance de sortie</i>	99
3.3.4. <i>Identification des pièges responsables de la dérive de puissance</i>	106
3.3.5. <i>Localisation dans le transistor des pièges responsables de la dérive de puissance</i>	108
3.4. EXPLICATION DU PHENOMENE	111
3.5. CONCLUSION DU CHAPITRE	112
REFERENCES DU CHAPITRE 3	114
CHAPITRE 4. ÉTUDE DE LA DERIVE INITIALE DES PARAMETRES SOUS LE SEUIL	116
4.1. PRESENTATION DES DERIVES DES PARAMETRES SOUS-SEUIL	117
4.1.1. <i>Décalage positif de la tension de seuil</i>	117
4.1.2. <i>Présentation du phénomène dit d'épaulement sous le seuil</i>	119
4.2. ÉTUDE DES FACTEURS D'ACCELERATION.....	120
4.2.1. <i>Impact des points de polarisation</i>	121
4.2.2. <i>Impact du courant de grille</i>	123
4.3. ÉTUDE DE LA RECUPERATION DES PHENOMENES.....	129
4.4. ANALYSE DES EFFETS DE CHARGE DANS LE CANAL A PARTIR DE CARACTERISATIONS ELECTRIQUES APPROFONDIES	131
4.4.1. <i>Mesures de DIBL</i>	131
4.4.2. <i>Mesures C(V)</i>	132
4.5. ÉPAULEMENT SOUS LE SEUIL : DEFAUT LOCAL OU GLOBAL DANS LE COMPOSANT ?	135
4.6. ANALYSE DE L'HOMOGENEITE DU COMPORTEMENT ELECTRIQUE DES DOIGTS DE GRILLE	138
4.6.1. <i>Présentation de la structure de test</i>	138
4.6.2. <i>Validation de la structure de test</i>	139
4.6.3. <i>Homogénéité des doigts de grille vis-à-vis des performances électriques</i>	140
4.6.4. <i>Homogénéité des doigts de grille vis-à-vis des dérives sous le seuil</i>	141
4.7. EXPLICATION DES PHENOMENES	143
4.8. CONCLUSION DU CHAPITRE	145
REFERENCES DU CHAPITRE 4	146
CHAPITRE 5. IMPACT DES PARAMETRES TECHNOLOGIQUES SUR LES PERFORMANCES ELECTRIQUES	148
5.1. PRESENTATION DES VARIANTES TECHNOLOGIQUES	149
5.1.1. <i>Hauteur du pied de grille</i>	149
5.1.2. <i>Variation du module de grille : Métallisation de la grille en iridium</i>	151
5.1.3. <i>Recuit de la grille</i>	152
5.2. IMPACT SUR LA DERIVE DE LA PUISSANCE DE SORTIE – PHENOMENE DE LISSAGE DU COUDE	153

5.3. IMPACT SUR LA DERIVE DE LA TENSION DE SEUIL ET SUR LE PHENOMENE D'EPAULEMENT SOUS-SEUIL	156
5.4. CONCLUSION DU CHAPITRE	160
REFERENCES DU CHAPITRE 5	162
CONCLUSION GENERALE	164
PUBLICATIONS RELATIVES A CES TRAVAUX	167

Introduction générale

Le développement des systèmes électroniques de télécommunications, pousse à une évolution constante des performances des technologies employées y compris leur fiabilité. Les caractéristiques intrinsèques du nitrure de gallium font des HEMTs GaN, basés sur une hétérojonction AlGaN/GaN, d'excellents candidats pour les applications à haute fréquence et haute puissance. En effet, le nitrure de gallium est extrêmement robuste pouvant supporter des températures et des tensions élevées. Il est ainsi prévu que les systèmes à base de GaN occupent une part importante du marché des semi-conducteurs au cours de la prochaine décennie dans le développement de systèmes micro-ondes mettant en jeu des puissances élevées tels que les télécommunications, le spatial et la défense.

Malgré les performances prometteuses des technologies à base de nitrure de gallium, elles restent peu matures par rapport aux technologies à base d'arséniure de gallium. Ainsi, de nombreuses études approfondies ont été menées sur ces technologies au cours des dernières années dans le but d'évaluer les effets parasites de fonctionnement et les mécanismes de dégradation qui peuvent impacter les performances et/ou la durée de vie utile des composants. De plus, les caractéristiques physiques intrinsèques du GaN, comme les polarisations, spontanée et piézoélectrique, induisent également des dégradations propres aux HEMTs GaN. Enfin, la présence de pièges dans la structure des composants est un facteur dominant pour un grand nombre d'effets parasites et mécanismes de dégradation et nécessite une attention particulière.

United Monolithic Semiconductors (UMS) est le leader européen dans l'offre de produits RF MMIC et de services de fonderie à base de technologies GaAs et GaN pour des marchés spécialisés, notamment la défense, le spatial, les télécommunications et l'automobile. Afin de répondre à la montée en fréquence allant jusqu'à la bande Ka, l'entreprise développe une technologie à base de nitrure de gallium d'une longueur de grille de 0,15 μm dénommée GH15. Cette thèse s'inscrit dans le développement de cette technologie au travers de la caractérisation électrique des transistors, de l'étude de leur fiabilité, et plus particulièrement de leurs effets parasites de fonctionnement.

Le premier chapitre est une introduction à la technologie basée sur le HEMT AlGaN/GaN. Il présente l'intérêt du matériau GaN face à ses concurrents ainsi que les polarisations présentes dans la structure du cristal. Par la suite, il traite l'architecture et le fonctionnement du HEMT AlGaN/GaN avant de présenter les diverses applications visées ainsi que la tendance du marché du GaN au cours des années à venir. Un état de l'art est effectué sur les différents mécanismes de dégradation observés au cours de ces dernières années sur les transistors GaN avant de se concentrer sur les diverses technologies GaN d'UMS, leurs mécanismes de dégradation, effets parasites et pièges mesurés.

Le deuxième chapitre se focalise sur la présentation de la technologie GH15 et l'étude de sa fiabilité à UMS. Une caractérisation complète des transistors de la technologie est montrée afin d'obtenir une image des performances électriques et une brève étude est présentée dans le but de

détecter les chemins des courants de fuite dans la structure des composants. Par la suite, l'étude de la fiabilité de la technologie est présentée au travers des tests de vieillissement accéléré, des mesures de reprises ainsi que les critères de défaillance utilisés. Pour finir, la dernière partie se concentre sur la présentation des résultats des tests de vieillissement accéléré menés à UMS, mettant en avant, les effets parasites qui seront étudiés par la suite.

Le troisième chapitre est dédié à l'étude du phénomène de lissage du coude de la caractéristique de sortie. Ce chapitre présente la caractérisation électrique du phénomène en fonction de différents facteurs d'accélération ainsi qu'une méthodologie de suivi de la puissance à partir de mesures I-V pulsées, mise en place au cours des travaux de thèse. Des mesures de la signature des pièges et des simulations physiques complètent l'étude du phénomène afin d'en localiser l'origine physique.

Le quatrième chapitre s'intéresse aux effets parasites qui se produisent sous la tension de seuil du composant, à savoir un décalage positif de la tension de seuil et un phénomène dit d'épaulement sous le seuil. L'étude se concentre dans un premier temps sur les facteurs d'accélération des deux phénomènes et leur récupération. Des mesures complémentaires ont été réalisées afin d'approfondir l'étude par l'évaluation du DIBL, des analyses C(V) et EMMI. Pour finir, une étude a été réalisée sur une nouvelle topologie de transistor afin d'évaluer l'uniformité du courant de drain sur l'ensemble des doigts de grille du transistor.

Le dernier chapitre se concentre sur l'impact des paramètres technologiques sur les effets parasites étudiés lors des chapitres 3 et 4. Après avoir présenté les différentes variantes technologiques et leurs impacts attendus, les résultats concernant le lissage du coude de la caractéristique de sortie et les dérives sous le seuil sont présentés. Enfin, les résultats obtenus sont analysés afin d'identifier les voies d'amélioration de la technologie GH15.

Chapitre 1. Transistor HEMT GaN

Au cours des dernières années, le développement accru d'applications de radiofréquence telles que les radars militaires, les stations de télécommunications et les satellites entre autres a engendré un important besoin en ce qui concerne les puissances et les fréquences d'utilisation des composants électroniques. Face à ce besoin, les technologies basées sur les matériaux tels que l'arséniure de gallium, restent des candidats de choix. Les HEMTs (High Electron Mobility Transistor) GaAs ont longtemps été la solution utilisée mais le développement de HEMTs à base de nitrure de gallium offre une possibilité plus intéressante en raison des caractéristiques intrinsèques du GaN. En effet, la largeur de bande supérieure à celle de l'arséniure de gallium ainsi que la mobilité électronique accrue et la conductivité thermique le désigne comme le successeur des HEMTs GaAs.

Néanmoins, les technologies GaN sont amenées à fonctionner à des densités de courant et des champs électriques plus importants que leurs homologues à base de GaAs engendrant de nombreux mécanismes de dégradation. Les polarisations présentes dans le matériau, à savoir la polarisation spontanée et la polarisation piézoélectrique, induisent aussi de nouveaux mécanismes qui ne sont pas présents sur les autres technologies. Ainsi, de nombreuses recherches sont menées sur le sujet afin d'identifier et comprendre les divers mécanismes de dégradation et effets parasites qui limitent les performances auxquelles sont sujets les transistors GaN dans le but d'améliorer la fiabilité et la durée de vie des composants.

Ce premier chapitre traitera donc du transistor HEMT basé sur le GaN. Dans un premier temps, les caractéristiques du matériau seront présentées puis la structure et le principe de fonctionnement du transistor. Une partie traitera des diverses applications visées par la technologie avant un état de l'art sur les mécanismes de dégradation qui ont pu être décrits dans la littérature. La dernière partie se concentrera sur les technologies d'UMS, au travers d'une présentation de l'ensemble des technologies à base de nitrure de gallium développées par UMS avant de présenter un état de l'art sur les mécanismes de dégradation et les effets parasites identifiés lors de travaux de recherche.

1.1. Nitrure de gallium

Afin d'étudier les transistors à base de nitrure de gallium, il est important d'aborder dans un premier temps le matériau au travers de ses propriétés physiques, sa structure et les polarisations intrinsèques sur lesquelles repose le fonctionnement des HEMTs à base de GaN.

1.1.1. Propriétés générales

Le nitrure de gallium est largement étudié dans la conception de transistors afin d'offrir une solution alternative aux composants à base d'arséniure de gallium. En effet, les propriétés physiques du nitrure de gallium et sa structure cristallographique sont des atouts majeurs dans la conception de composants visant des applications de radiofréquence.

1.1.1.1. Propriétés physiques du matériau

Le nitrure de gallium est un matériau semi-conducteur formé d'éléments des colonnes III et V du tableau périodique des éléments, à savoir le gallium et l'azote. C'est un matériau dit à grand gap dont la largeur de bande interdite ($E_G = 3,39$ eV) est supérieure à celle du GaAs entre autres. Il supporte donc un champ électrique et de ce fait des tensions de claquages supérieurs aux autres technologies ce qui en fait un candidat de choix pour les applications de puissance (Tableau 1.1-1). La vitesse de saturation des électrons de $2,6 \cdot 10^7$ cm.s⁻¹ est elle aussi supérieure aux autres technologies lui permettant une utilisation à des fréquences plus élevées. Malgré la faible mobilité électronique, un confinement des électrons dans le cadre d'une hétérostructure permet de l'accroître et d'atteindre une valeur de 2019 cm².V⁻¹.s⁻¹ [1]. Associée à une forte densité d'états dans la bande de conduction, les HEMTs GaN sont ainsi capables de délivrer des densités de courant plus importantes que leurs homologues à base de GaAs à des fréquences similaires. Deux figures de mérite sont utilisées pour comparer l'aptitude des matériaux pour la réalisation de composants fonctionnant à hautes fréquences. La figure de mérite de Johnson (JFOM) décrit la capacité à gérer la puissance à de hautes fréquences tandis que celle de Baliga (BFOM) décrit la capacité à minimiser la perte de puissance lors de la commutation du transistor. Elles sont définies par les relations suivantes :

$$JFOM = (E_C v_{sat})^2 \quad Eq. 1.1-1$$

$$BFOM = \mu_0 E_C^2 \quad Eq. 1.1-2$$

Où E_C représente le champ électrique critique du matériau, v_{sat} la vitesse de saturation électronique et μ_0 la mobilité électronique à faible champ. La Figure 1.1-1 présente ces deux figures de mérite normalisées par rapport au silicium. La comparaison montre clairement l'avantage du nitrure de gallium par rapport au GaAs.

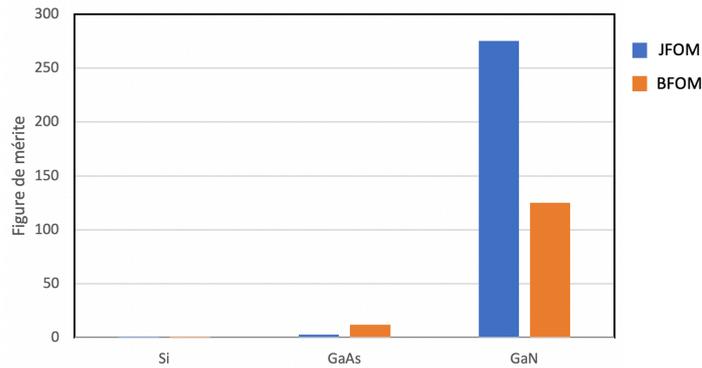


Figure 1.1-1 : Figures de mérite de Johnson (en bleu) et de Baliga (en orange) normalisées au silicium [2]

La conductivité thermique du GaN, supérieure à celle du GaAs, lui confère une bonne capacité à évacuer la chaleur. Cependant, la très haute température de fusion (2500 °C) rend la fabrication de substrat à base de GaN difficile [3]. De ce fait, il est déposé par hétéro-épitaxie sur un substrat de silicium, de carbure de silicium ou de saphir.

Matériau	GaN	GaAs	Si
<i>Bande interdite (eV)</i>	3.39	1.42	1.12
<i>Champ de claquage (V.cm⁻¹)</i>	3.3x10 ⁶	4x10 ⁵	3x10 ⁵
<i>Mobilité des électrons (cm².V⁻¹.s⁻¹)</i>	≤ 1000	≤ 8500	≤ 1400
<i>Mobilité des trous (cm².V⁻¹.s⁻¹)</i>	≤ 200	≤ 400	≤ 450
<i>Masse effective de l'électron</i>	0.2m ₀	0.063m ₀	0.98m ₀
<i>Vitesse de saturation des électrons (cm.s⁻¹)</i>	2.6x10 ⁷	2x10 ⁷	1x10 ⁷
<i>Conductivité thermique (W.cm⁻¹.°C⁻¹)</i>	1.3	0.55	1.3
<i>Densité d'états dans la bande de conduction (cm⁻³)</i>	2.2x10 ¹⁸	4.4x10 ¹⁷	3.2x10 ¹⁹
<i>Température de fusion (°C)</i>	2500	1240	1412

Tableau 1.1-1 : Propriétés physiques à 300 K du GaN wurtzite et de ses concurrents [4]

1.1.1.2. Structure cristallographique

Le nitrure de gallium peut se présenter sous trois structures cristallographiques distinctes : wurtzite, zinc blende et NaCl (version haute pression). La forme zinc blende peut être utilisée pour la réalisation de composants avec une fréquence de coupure et une transconductance élevée car la vitesse de saturation électronique est plus élevée du fait d'une masse effective de l'électron plus faible ; la structure zinc blende présente une masse effective de 0,13m_e contre 0,2m_e pour la structure wurtzite avec m_e la masse de l'électron dans le vide [5][6]. Cette forme cubique est cependant moins stable thermodynamiquement que la forme wurtzite (forme hexagonale) en raison de la petite taille de l'anion. La forme wurtzite est donc celle utilisée pour la réalisation de transistors possédant une tension de claquage élevée et une forte densité d'états électronique. Ceci mène à une puissance maximale de sortie plus importante [6].

La structure wurtzite se compose de deux sous-réseaux hexagonaux (Figure 1.1-2), l'un de gallium (Ga), l'autre d'azote (N). On retrouve une alternance de ces deux sous-réseaux dans le matériau

suivant l'axe [0001]. Deux arrangements sont alors possibles dépendant de la direction de la liaison entre l'atome de gallium et l'atome d'azote, qui par convention suit l'axe [0001]. Ainsi si la liaison pointe vers la surface, la polarité sera dite gallium ou face-Ga, à l'inverse, on parlera de polarité azote ou face-N.

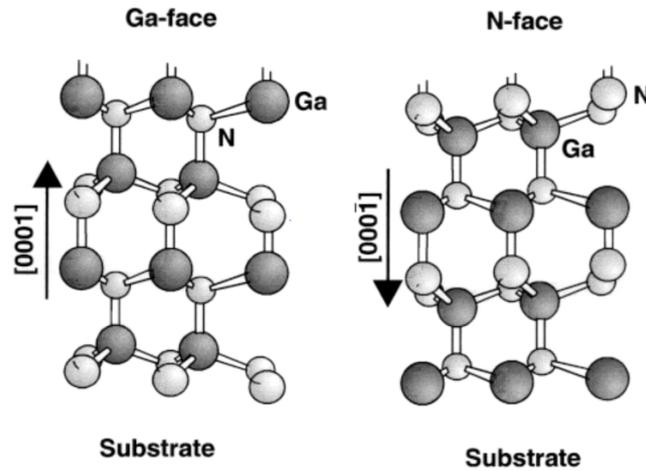


Figure 1.1-2 : Cristal GaN ; structure wurtzite [7]

1.1.2. Polarisation spontanée et piézo-électrique

En électronique de puissance, la structure wurtzite est la plus utilisée de par ses propriétés de polarisations spontanée et piézoélectrique dues à sa topologie hexagonale. Le fonctionnement du transistor repose sur les polarisations présentes dans la structure du cristal induisant une présence de porteurs libres aux interfaces. Il n'est ainsi pas nécessaire de le doper, à la différence du GaAs ou du silicium, pour obtenir une densité de porteurs dans le canal de conduction.

1.1.2.1. Polarisation spontanée

Chaque atome est caractérisé par son électronégativité, à savoir sa capacité à attirer les électrons des liaisons qu'il forme avec les autres atomes au sein d'une molécule. Dans le cas du nitrure de gallium, il existe deux barycentres distincts puisque l'atome d'azote est plus électronégatif que celui de gallium. L'atome d'azote va attirer plus fortement les électrons entraînant la déformation du nuage électronique ; le barycentre des charges négatives ne coïncide plus avec celui des charges positives. Il en résulte ainsi l'apparition d'un moment dipolaire pour chaque liaison Ga-N et donc une succession de dipôles orientés de l'atome d'azote vers celui de gallium ; la polarisation spontanée notée \vec{P}_{sp} (Figure 1.1-3) [8]. Ainsi, les charges dans le volume du cristal se compensent mais l'effet de la polarisation se manifeste aux interfaces avec le vide ou un autre composé par la création de charges. La nature de ces charges dépend de l'arrangement du cristal. La polarisation spontanée est présente à l'équilibre, en l'absence de toute contrainte externe à la différence de la polarisation piézoélectrique.

1.1.2.2. Polarisation piézoélectrique

Un matériau piézoélectrique se caractérise par sa réponse en champ électrique à une contrainte mécanique et inversement. Tous les matériaux semi-conducteurs à phase wurtzite présentent une polarisation piézoélectrique notée \vec{P}_{pz} induite sous l'effet d'une contrainte mécanique. Elle est due à la déformation des liaisons covalentes entre l'atome de gallium et celui d'azote. L'orientation de la polarisation dépend de la déformation du cristal, en tension ou en compression. La polarisation totale notée \vec{P}_{tot} dans le cristal GaN dépendra alors de la polarisation spontanée (à l'équilibre) et piézoélectrique (suite à une contrainte mécanique). Ainsi, en déformant le cristal GaN, une polarisation supplémentaire va apparaître dans le volume et en appliquant un champ électrique, ce dernier va se déformer.

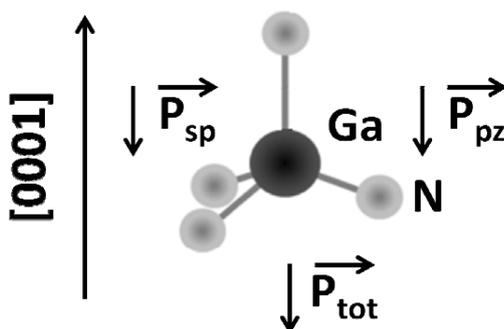


Figure 1.1-3 : Polarisations dans le GaN wurtzite

Dans le cas d'un cristal GaN face-Ga, si la contrainte mécanique est en tension les polarisations s'ajouteront (cas de la Figure 1.1-3), si elle est en compression, la polarisation piézoélectrique se soustraira à celle spontanée.

1.2. Principe de fonctionnement du transistor à base de GaN

En plus des propriétés de polarisation, le transistor HEMT GaN se base sur une hétérostructure AlGaN/GaN qui sera présentée en première partie de ce paragraphe. Sa technologie de construction et son empilement de couche seront décrits par la suite avant de présenter le contrôle de la charge du transistor.

1.2.1. Hétérojonction AlGaN/GaN

Le principe de fonctionnement du HEMT GaN met à profit les propriétés de haute mobilité des électrons dans une hétérojonction qui consiste en la juxtaposition de deux matériaux semi-conducteurs de largeur de bande interdite et d'affinité électronique différentes. Pour rappel, la largeur de la bande interdite d'un matériau représente la différence entre le maximum de la bande de valence et le minimum de la bande de conduction ou, en d'autres termes, l'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction et participer à la conduction électrique.

L'hétérojonction est choisie de manière à créer une discontinuité de la bande de conduction en dessous du niveau de Fermi dans le but de confiner les porteurs libres dans un puits quantique. Ces derniers, étant éloignés de leur atome d'origine, deviennent plus mobiles du fait de la réduction des interactions coulombiennes. De plus, les constantes cristallographiques des matériaux doivent être assez proches pour ne pas créer de dislocations à l'interface. La mobilité électronique étant directement liée à la qualité cristallographique, cette dernière serait moindre.

Dans le cas des transistors GaN, l'hétérojonction est réalisée par la croissance d'une couche « barrière » AlGaN sur une couche « buffer » GaN. La largeur de la bande interdite de l'AlGaN tout comme son paramètre de maille sont définis par la fraction molaire d'aluminium selon les relations suivantes [9] :

$$E_G[\text{Al}_x\text{Ga}_{1-x}\text{N}] = x \cdot E_G[\text{AlN}] + (1 - x)E_G[\text{GaN}] - b \cdot x(1 - x) \quad \text{Eq. 1.2-1}$$

$$a[\text{Al}_x\text{Ga}_{1-x}\text{N}] = x \cdot a[\text{AlN}] + (1 - x)a[\text{GaN}] \quad \text{Eq. 1.2-2}$$

Où E_G représente la largeur de la bande interdite du matériau entre crochet, x est la valeur de la fraction molaire d'aluminium, a représente le paramètre de maille du matériau entre crochet et b est un paramètre de non linéarité de valeur 1,3 eV pour un cristal GaN. La largeur de la bande interdite du GaN étant égale à 3,39 eV et celle de l'AlN égale à 6,2 eV, la largeur de la bande interdite de la couche AlGaN sera comprise entre ses deux valeurs et donc toujours supérieure à celle de la couche GaN quelle que soit la fraction molaire d'aluminium. Cette différence de largeur de la bande interdite a pour effet de créer des discontinuités des bandes de conduction et de valence. La dépendance de la largeur de la bande interdite et du paramètre de maille en fonction de la fraction molaire est représentée sur la Figure 1.2-1.

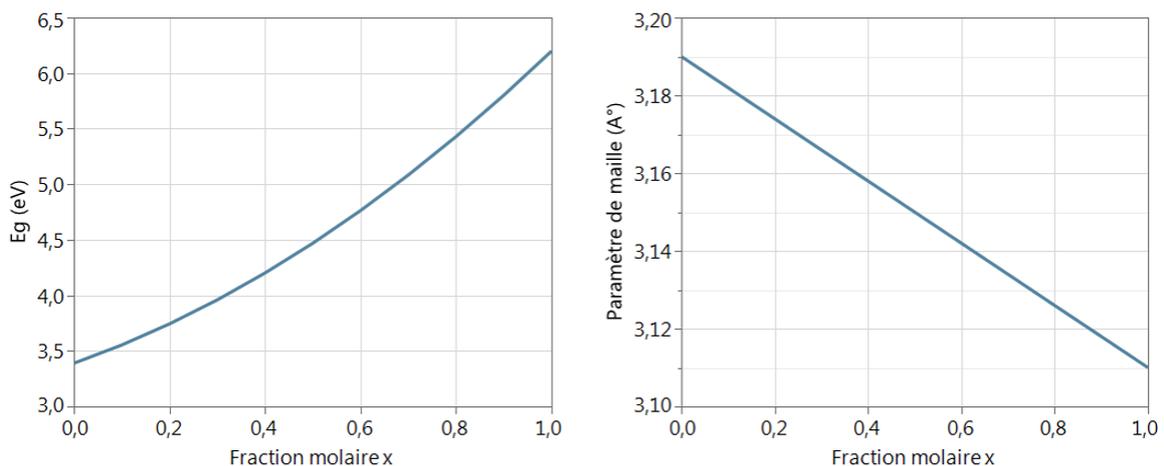


Figure 1.2-1 : Dépendance de la largeur de la bande interdite et du paramètre de maille de l' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ en fonction de la fraction molaire d'aluminium

Selon les règles établies par R. L Anderson [10], lors de la mise en contact des deux matériaux semi-conducteurs le niveau de Fermi (E_F) doit être constant dans la structure induisant une

discontinuité de la bande de conduction (E_c) et de la bande de valence (E_v) à l'interface AlGaN/GaN (Figure 1.2-2).

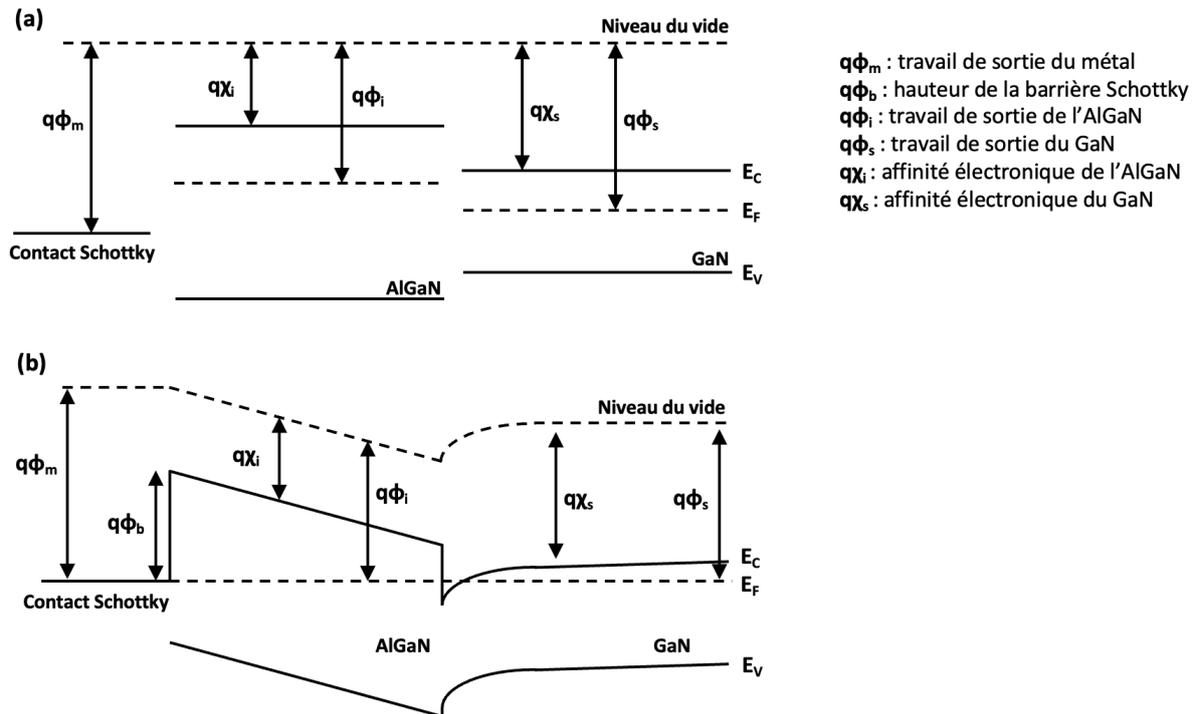


Figure 1.2-2 : Diagramme de bandes d'énergie de l'hétéro-structure AlGaN/GaN avant (a) et après (b) l'équilibre thermodynamique

De ce fait, la bande de conduction à l'interface côté GaN va passer sous le niveau de Fermi confinant les électrons dans un puits quantique supposé de forme triangulaire afin de former un gaz d'électrons bidimensionnel [11][12]. La séparation des électrons de leurs atomes donneurs réduit les interactions coulombiennes améliorant significativement leur mobilité. De plus, la couche buffer GaN n'étant pas dopée, les électrons ne sont pas impactés par les atomes dopants ce qui confère une mobilité encore accrue en comparaison aux HEMTs GaAs.

L'AlGaN possède un paramètre de maille différent du GaN qui, comme énoncé précédemment, dépend de la fraction molaire d'aluminium. Ainsi, dans le cas de l'hétérojonction, lors de la croissance de la couche barrière AlGaN sur le buffer GaN, ce dernier plus épais est considéré comme relaxé et impose son paramètre de maille. Une contrainte mécanique apparaît dans la couche AlGaN au même titre qu'une polarisation piézoélectrique. En fonction de la contrainte (en tension ou en compression) et de la polarité du cristal (face-N ou face-Ga), cette dernière va s'ajouter ou se soustraire à la polarisation spontanée présente à l'équilibre dans le cristal. Dans le cadre de l'hétérojonction AlGaN/GaN, la polarité gallium présente de meilleures performances de transport avec une couche AlGaN contrainte en tension. La polarisation piézoélectrique étant orientée dans la même direction que la polarisation spontanée, une polarisation non nulle est présente dans le volume du cristal générant des charges fixes positives en surface de la couche barrière. La somme des deux polarisations, dans le cadre d'une polarité gallium, entraîne une plus grande densité de charges fixes [13]. Ces

charges vont être compensées par la présence d'électrons à la surface de la couche GaN comme représenté Figure 1.2-3 [14][15].

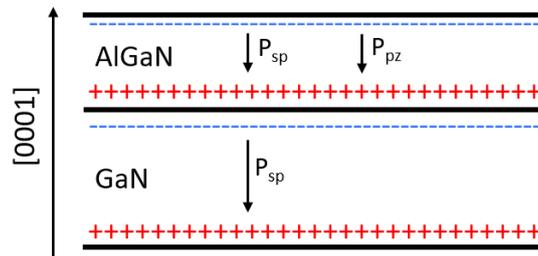


Figure 1.2-3 : Polarisations et répartition des charges dans l'hétérojonction AlGaN/GaN face-Ga

Ces derniers vont être confinés dans le puits quantique formant ainsi le gaz d'électrons bidimensionnel, noté 2DEG (Figure 1.2-4). Il n'est donc pas nécessaire de doper le matériau afin d'apporter des porteurs.

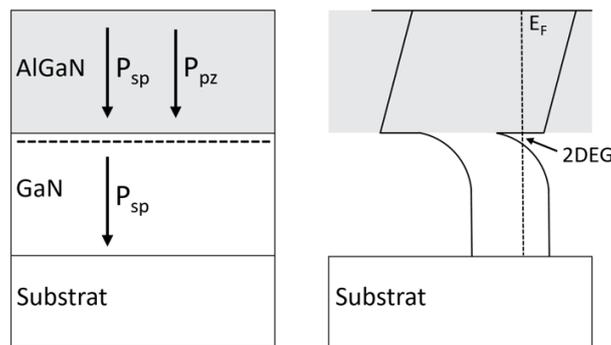


Figure 1.2-4 : Hétérojonction AlGaN/GaN et formation du gaz bidimensionnel

La densité d'électron présente dans le canal est obtenue par la relation suivante :

$$n_{2D} = \int_0^{\infty} D(E)f(E)dE = \left(\frac{m^*}{\pi\hbar^2}q\right)\frac{\Delta}{q} \quad \text{Eq. 1.2-3}$$

Où \hbar représente la constante de Planck, m^* la masse effective de l'électron, $f(E)$ la fonction de distribution de Fermi-Dirac et $D(E)$ la densité d'états d'énergie. Une densité d'électron égale à $0,97 \times 10^{13} \text{ cm}^{-2}$ a été mesurée dans le canal d'hétérostructure AlGaN/GaN sur substrat SiC [1].

1.2.2. Technologie de construction d'un HEMT GaN

La structure classique d'un transistor HEMT AlGaN/GaN repose, comme énoncé précédemment, sur le principe de l'hétérojonction et se compose de :

- Un substrat sur lequel sont réalisées les croissances des différentes couches. Comme énoncé précédemment, pour le matériau de ce dernier, plusieurs options sont possibles à savoir le

saphir, le carbure de silicium ainsi que le silicium. Le silicium, malgré un faible coût et la possibilité d'obtenir des wafers de grand diamètre, possède un important désaccord de maille avec le GaN (17 %) [16]. Le saphir, tout comme le Si, reste peu coûteux et les wafers peuvent être produits avec un diamètre supérieur à 6 pouces. Cependant, le désaccord de maille trop important avec le GaN (30 %) mène à de nombreuses dislocations. Il peut être réduit jusqu'à 16 % via une rotation de 30 ° du plan d'azote par rapport au saphir [17]. Les substrats saphir sont principalement utilisés pour des applications optiques [18][19]. Le carbure de silicium est le plus utilisé du fait de son faible désaccord de maille (3,4 %) et sa très bonne conductivité thermique [20]. De plus, son coefficient de dilatation thermique est proche de celui du GaN et est disponible sous forme wurtzite ce qui en fait un candidat idéal, notamment pour des applications de puissance à hautes fréquences. Cependant, son coût reste encore élevé et il est difficile de trouver des solutions chimiques afin de nettoyer correctement la surface du wafer.

- Une couche buffer GaN dans laquelle se forme le gaz d'électron bidimensionnel. Son épaisseur est choisie entre 0,5 et 4 μm afin que cette couche soit relaxée et ne présente aucune polarisation piézoélectrique.
- Une couche barrière AlGaIn contrainte permettant la formation de l'hétérojonction avec le buffer GaN d'épaisseur comprise entre 3 et 30 nm.

L'effet transistor est obtenu grâce à trois électrodes : la source, le drain et la grille. Les deux premiers contacts sont ohmiques, i.e. le travail de sortie du métal utilisé est inférieur à celui du semi-conducteur dans le but d'obtenir une faible résistance de contact et donc de minimiser la résistance d'accès du HEMT. Celui de grille est un contact Schottky, i.e. le travail de sortie du métal $q\Phi_m$ utilisé est supérieur à celui du semi-conducteur et a pour but de moduler la zone de charge d'espace sous la grille et donc la densité d'électrons circulant dans le canal. Le contact Schottky de grille est donc une partie critique du composant. La mise en contact du semi-conducteur et du métal induit, comme dans le cadre de l'hétérojonction, une courbure des bandes du semi-conducteur et forme une barrière de potentiel (Figure 1.2-2). Notée Φ_b , elle est définie par la relation suivante :

$$q\Phi_b = q\Phi_m - q\chi_i \quad (eV) \quad \text{Eq. 1.2-4}$$

Diverses améliorations technologiques ont pu être apportées au fil des années de recherches afin de limiter l'impact de certains effets parasites et d'obtenir de meilleures performances électriques.

- Une couche de nucléation d'environ 1 μm constituée d'une succession de fines couches de nitrure à base d'AlN a pour but de réduire le désaccord de maille entre le substrat et le buffer GaN dans le but d'obtenir un buffer de meilleure qualité cristallographique [21]. Cette couche de nucléation induit cependant une « Thermal Boundary Resistance » (TBR) [22][23]. Elle va augmenter la résistance thermique du composant réduisant l'évacuation de la chaleur de la zone active vers le substrat.

- Une couche espaceur, à base d'AlN, positionnée entre le buffer GaN et la couche barrière permet de réduire les interactions coulombiennes entre les électrons libres et les sites donneurs afin de mieux confiner les électrons dans le canal et augmenter leur mobilité [24].
- Une couche cap à base de GaN d'une épaisseur inférieure à 5 nm permet de protéger la couche barrière contre l'oxydation [25][26]. Son épaisseur va aussi jouer un rôle sur la diminution de la densité de porteurs du canal et l'augmentation de la mobilité des électrons [27][28].
- Une couche de passivation permet de limiter les états de surface et la pollution par des éléments extérieurs [29].
- Un plateau de champ connecté à la source permet de moduler le profil du champ électrique en étalant ce dernier et en réduisant son pic au pied de la grille côté drain afin d'augmenter la tension de claquage et réduire l'activation de certains pièges [30].

D'autres méthodes visent à limiter le pic de champ électrique et donc à augmenter la tension maximale de claquage du transistor. Parmi elles, l'augmentation de la distance entre grille et drain et la réalisation d'une tête de grille asymétrique.

1.2.3. Contrôle de la charge dans le canal

Le principe de fonctionnement du HEMT AlGaIn/GaN est relativement similaire à celui des transistors MOSFET. Une zone de charge d'espace est modulée selon la tension de polarisation appliquée sur la grille. Étant un transistor dit « normally on », il existe un courant non nul dans le canal lorsqu'aucune tension n'est appliquée sur la grille du transistor. Il faut ainsi polariser négativement la grille dans le but d'augmenter la zone de charge d'espace et donc réduire la taille du canal pour pincer le composant. En appliquant une tension positive sur le drain, le transport d'électron ou le courant va s'établir dans le canal bidimensionnel, dû à la chute de potentiel entre la source, ramenée à la masse, et le drain.

Au niveau du schéma de bandes d'énergie, lorsque la tension de grille est faible ou égale à la tension de seuil du transistor, le minimum de la bande de conduction est supérieur au niveau de Fermi, i.e. aucun porteur n'est présent dans le canal. La tension de seuil est définie par la relation suivante :

$$V_{th} = \frac{\phi_b}{q} - \frac{\Delta E_c}{q} - \frac{t_{AlGaIn} Q_{int}}{\epsilon_{AlGaIn}} - \frac{q t_{AlGaIn} N_{surf}}{\epsilon_{AlGaIn}} \quad (V) \quad \text{Eq. 1.2-5}$$

Où ϵ_{AlGaIn} représente la constante diélectrique de la barrière AlGaIn, t_{AlGaIn} l'épaisseur de la couche barrière, ϕ_b la hauteur de la barrière Schottky, ΔE_c la discontinuité de la bande de conduction, N_{surf} la densité d'états donneurs à la surface et Q_{int} la charge liée à la somme des polarisations présentes dans la couche AlGaIn et dans la couche GaN. En augmentant la valeur de la tension de grille vers des valeurs positives, le puits de potentiel passe en dessous du niveau de Fermi et les électrons vont alors s'y confiner et ainsi participer au courant (Figure 1.2-5).

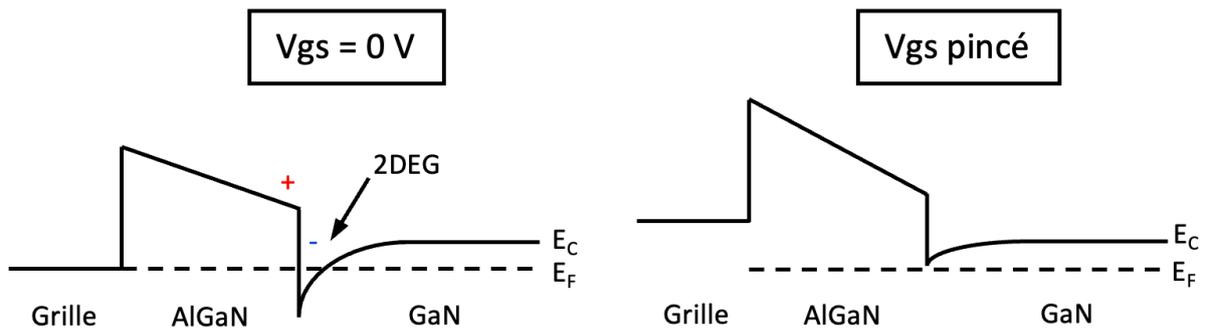


Figure 1.2-5 : Diagramme de bandes d'énergie d'un HEMT AlGaN/GaN à $V_{gs} = 0\text{ V}$ à gauche et $V_{gs} < V_{th}$ à droite [31]

Ainsi, la densité de porteur dans le canal peut être représentée en fonction de la tension de polarisation appliquée sur la grille du transistor.

$$n_{2D} = \frac{\sigma_b}{q} - \frac{\epsilon_{AlGaN}}{q^2 t_{AlGaN}} (q(\phi_b - V_{gs}) + \Delta - \Delta E_C) \quad \text{Eq. 1.2-6}$$

Où σ_b représente la densité de charge, V_{gs} la tension de grille et Δ la pénétration de la bande de conduction sous le niveau de Fermi.

1.3. Applications

Le nitrure de gallium a été massivement adopté par l'industrie des composants RF lors des dernières années du fait de sa capacité à fournir de fortes puissances de sortie à des fréquences élevées. Ce marché est principalement porté par les applications de télécommunications et la défense menant à un investissement stable dans ce domaine durant la dernière décennie à travers le monde (Figure 1.3-1).

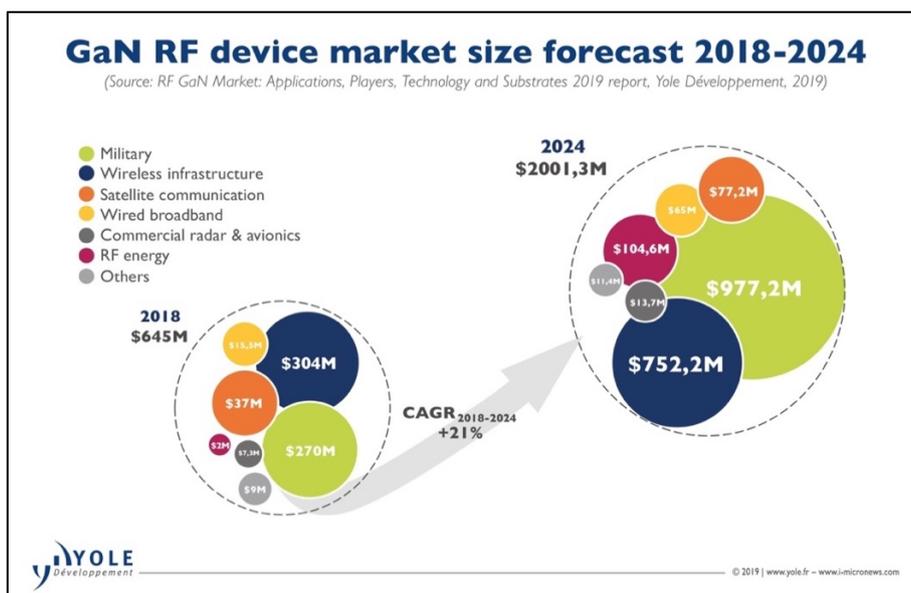


Figure 1.3-1 : Prédiction de la croissance du marché GaN RF pour 2024 en fonction des secteurs d'activités à partir des données compilées en avril 2019 [32]

La défense et les applications militaires furent les premières à bénéficier des performances offertes par le nitrure de gallium pour des applications de communications, de détection et de brouillage. Ciccognani *et al.* ont présenté un amplificateur faible bruit fonctionnant sur la plage de fréquence de 2 à 18 GHz avec un gain de 23 dB et une figure de bruit inférieure à 4,7 dB sur toute la plage [33]. S. Piotrowicz *et al.* ont développé dans le cadre d'un projet européen un amplificateur MMIC d'une puissance de sortie de 43 W avec une PAE de 52 % fonctionnant dans la bande X à 10,5 GHz [34].

La tendance de développement vers de plus hautes fréquences offre une place aux amplificateurs de puissance GaN RF pour des applications 5G. Le développement de ces applications devrait mener la croissance du marché GaN dans les prochaines années. Dernièrement, de nombreuses équipes de recherche ont développé des circuits à l'aide de technologies à base de nitrure de gallium visant des applications 5G. C'est le cas de K. Nakatani *et al.* qui ont développé un amplificateur Doherty MMIC fonctionnant dans la bande Ka (de 27 à 40 GHz) avec une puissance de sortie de 3,6 W et un rendement maximal de 25,2 % [35]. De leur côté, J. C. Mayeda *et al.* ont présenté un amplificateur de puissance à deux étages présentant une puissance de sortie de 33 dBm à 1 dB de compression avec un gain associé supérieur à 31 dB et une PAE de 34 % dans la bande C (de 4 à 8 GHz) [36].

Les communications satellites exigent des puissances de sortie élevées à des hautes fréquences. Les solutions à base d'arséniure de gallium, principales options utilisées jusqu'alors, devraient graduellement être remplacées par des solutions à base de nitrure de gallium. Constanzo *et al.* ont développé un amplificateur de puissance MMIC en GaN sur silicium visant les prochaines générations de systèmes satellite à haut débit dans la bande Q (33 à 50 GHz). Avec une architecture à 4 étages, ce dernier présente une puissance saturée de 36 dBm avec un gain et un rendement supérieur à 20 dB et 23% respectivement [37].

Ces dernières années, l'industrie automobile s'est aussi tournée vers des solutions à base de nitrure de gallium pour la conception de radars. Plusieurs équipes de recherche ont développé des amplificateurs de puissance pour radars automobiles. On retrouve un amplificateur à base de HEMT InAlGaN/GaN pouvant délivrer 3,6 W/mm en bande W (75 à 110 GHz) [38]. Yoshida *et al.* ont réalisé un amplificateur de puissance fonctionnant sur la plage de fréquence 75 à 81 GHz avec une puissance de sortie allant jusqu'à 12 dBm pour un gain associé de 5 dB [39]. Deux oscillateurs et un amplificateur de puissance à base de nitrure de gallium fonctionnant en bande E (60 à 90 GHz) ont aussi été présentés visant entre autres les systèmes de radars automobiles [40].

Le nitrure de gallium est un matériau à bande interdite dite directe, i.e. le maximum de la bande de valence et le minimum de la bande de conduction correspondent au même vecteur d'onde. Les hétéro-structures à base de GaN sont donc privilégiées et utilisées dans la conception de LEDs émettant dans le bleu [41] et le blanc [42][43]. Des LEDs UV-C à base de GaN sont aussi utilisées pour la désinfection de l'eau [44].

Il est aussi possible de réaliser des convertisseurs DC-DC grâce à l'excellente figure de mérite des HEMTs GaN permettant de fonctionner à de hautes fréquences avec un bon rendement. J. Das *et al.* ont développé un circuit convertisseur DC-DC d'une efficacité de 96 % à 500 kHz et de 93,9 % à 850 kHz pour une puissance de sortie de 100 W [45]. F. Gamand *et al.* ont présenté un convertisseur de 16 à 34 V fonctionnant à 10 MHz avec un rendement supérieur à 90 % [46].

Enfin, les propriétés piézoélectriques du nitrure de gallium lui offrent une place dans la réalisation de capteurs de microsystèmes (MEMs) [47]. Par exemple, un résonateur acoustique à base de GaN a été développé avec un facteur de qualité de 7413 à une fréquence de 120 GHz et un gain de 30 dB [48].

1.4. Mécanismes de dégradation dans les technologies GaN

Les technologies à base de nitrure de gallium ont largement été étudiées au cours des dernières années afin de les rendre matures et fiables. Une importante partie du travail consacré aux technologies GaN consistait à identifier et comprendre les mécanismes de dégradation qui limitent la durée de vie des composants. En plus de dégradations déjà observées sur d'autres matériaux semi-conducteurs, de nouvelles dégradations s'ajoutent en raison des caractéristiques du nitrure de gallium. La nature piézoélectrique du GaN le rend sensible aux contraintes mécaniques induites par le champ électrique dans la structure. De plus, des défauts cristallins peuvent se former dans le transistor lors de sa fabrication agissant comme des pièges pour les électrons et limitant au cours du temps ses performances dynamiques.

La Figure 1.4-1 présente les différentes zones de polarisation du composant pouvant entraîner des mécanismes de dégradation lors d'une utilisation en fonctionnement RF. Les mécanismes de dégradation peuvent alors être classés en quatre catégories : les mécanismes activés thermiquement, et ceux activés par le courant de grille lors du fonctionnement du transistor en mode on-state, ceux activés par électrons chauds lors du fonctionnement en mode semi on-state et enfin les mécanismes induits par le champ électrique lors du fonctionnement en mode off-state.

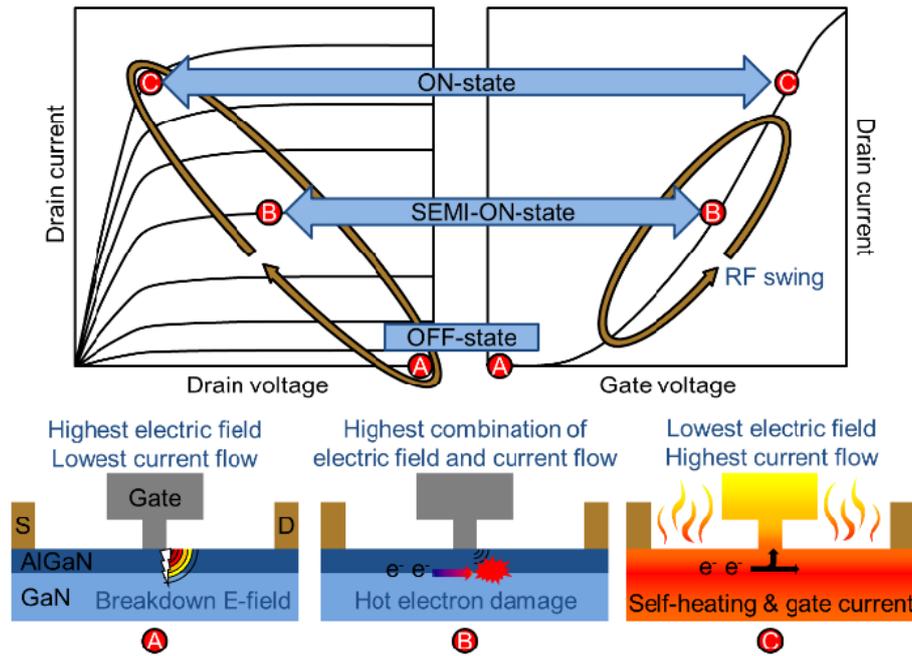


Figure 1.4-1 : Zones de polarisation DC associées à des facteurs d'activation différents [49]

1.4.1. Mécanismes de dégradation activés thermiquement

Divers mécanismes de dégradation activés thermiquement ont pu être observés sur d'autres technologies (Si, InP, GaAs, SiGe) ce qui les rend plus aisés à appréhender et à comprendre. L'auto-échauffement, dû aux fortes densités de courant présentes dans les HEMTs GaN en condition on-state et menant à de fortes températures de jonction, permet l'activation de ces phénomènes.

Des études ont pu montrer des dégradations lors de stockages en température ; les stockages sont effectués hors polarisation. C'est le cas de Danesin *et al.* qui ont pu observer, après 2000 h de stockage à 300 °C, une augmentation des résistances de contact ainsi qu'une diminution sévère du courant de drain lors de mesures pulsées et basses fréquences. Une inspection optique a permis de révéler des cracks et une perte d'adhésion de la passivation SiN [50]. La couche de passivation, qui protège la surface des effets extérieurs et limite les liaisons pendantes, est sensible aux températures élevées. Il existe alors un risque de délamination si elle est mal contrôlée permettant la génération d'états parasites à l'interface entre la passivation et la couche GaN « cap » pouvant mener à un phénomène dit de « grille virtuelle » [51]. Ce phénomène se caractérise par la création de défauts en surface du composant menant à la capture d'électrons. Les charges négatives présentes en surface vont appauvrir le canal en électrons.

Les contacts ohmiques peuvent présenter des effets d'inter-diffusion sous stress thermique. Une étude menée par Chou *et al.* a mis en avant la bonne stabilité des contacts de grille (Pt/Au) et ohmiques (Ti/Al/Pt/Au) durant un step-stress en température jusqu'à une température de jonction de

400 °C. Aucune inter-diffusion n'a été observée lors d'observations de coupe FIB (Focus Ion Beam) ; ce malgré une diminution du courant de drain et de la transconductance ainsi qu'une augmentation de la résistance de canal à partir d'une température de jonction de 300 °C [52].

Dans une autre étude, lors d'un stockage à une température de 325 °C durant 1000 h, des transistors GaN, avec un contact Schottky en Ni/Au et des contacts ohmiques en Ti/Al/Mo/Au, présentent une dérive négative de la tension de seuil ainsi qu'une augmentation des courants de fuite de drain et de grille. Après coupe FIB dans la section de la grille, une inter-diffusion de l'or est visible et l'interface Ni/Au-AlGaIn n'est plus clairement définie [53]. Une bonne stabilité a pu être obtenue à l'aide d'une grille Mo/Au lors d'un test à 340 °C durant 2000 h, le molybdène empêchant l'inter-diffusion [54].

Enfin, Singhal *et al.* ont démontré une augmentation de la hauteur de barrière de la diode Schottky sur un contact de grille Ni/Au après un stress DC à une température de jonction de 200 °C. Une consommation de l'interface entre le contact Schottky et la couche barrière a pu être observée causant un décalage positif de la hauteur de barrière ainsi que de la tension de seuil et donc une diminution du courant I_{DSS} . Des composants ont subi un recuit après le dépôt du contact Schottky afin de diminuer la couche d'interface. En comparaison, ils présentent 50 % de dégradation en moins après un stress de 24 heures [55].

1.4.2. Mécanismes de dégradation activés par courant de grille direct

En plus des mécanismes de dégradation activés thermiquement, en condition on-state, les transistors GaN sont le siège, dans certains régimes de fonctionnement, de densités de courant de grille positives qui peuvent dégrader les composants.

Christiansen *et al.* ont démontré une bonne stabilité de transistors GaN de 0,5 μm de longueur de grille sur substrat SiC en appliquant des densités de courant de grille en direct supérieures à 1,8 A/mm. Au total, les transistors ont été maintenus plus de 17 heures à une tension de grille de 6 V et $V_D = V_S = 0$ V, avec un courant de grille de 1,82 A/mm. Les 4 composants soumis à ce test présentent une dégradation du facteur d'idéalité à faible injection ainsi qu'une dérive positive de la tension de seuil de 100 mV. Une faible diminution du courant de drain est observée avec une saturation après 30 minutes de stress et une augmentation de deux décades du courant de fuite de grille avec une saturation après 1 heure de test [56].

Gao *et al.* ont mis en avant l'augmentation du courant de fuite suite à des tests pour des tensions de grille allant jusqu'à 4 V pour une tension de drain de 0 V. L'augmentation du courant de grille en inverse observée est de deux décades, corrélée à des points chauds lors de mesures EMMI. De hauts niveaux de carbone (30 %) dans la grille Ni ont été mis en avant lors de cette étude (Figure 1.4-2) menant à une réduction locale de la hauteur de barrière et donc une augmentation des courants

de fuite [57]. Une étude complémentaire sur des composants atypiques présentant un courant de fuite initial plus important que des composants typiques montre les mêmes résultats [58].

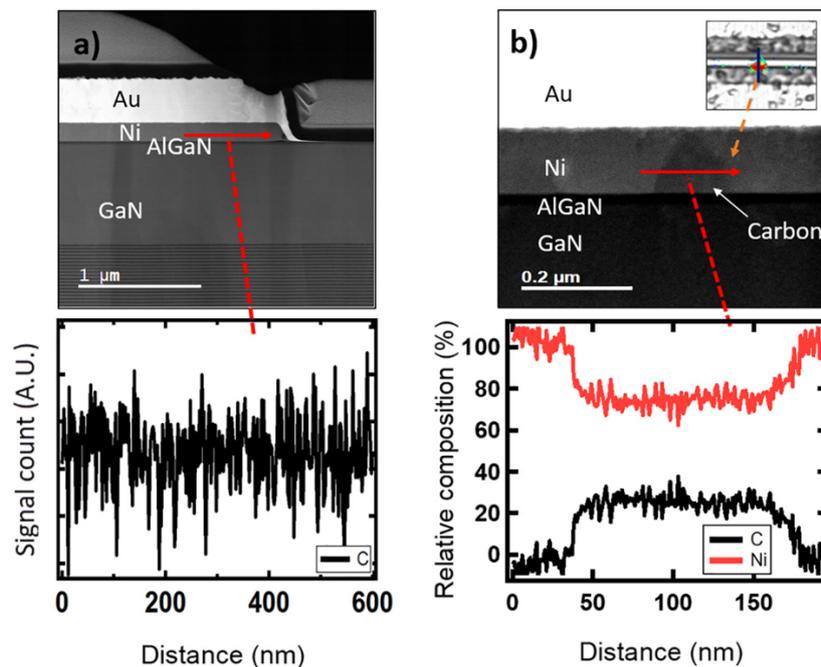


Figure 1.4-2 : Image HAADF (high angle annular dark field) et relevé EELS (electron energy loss spectroscopy) d'un transistor vierge (a) et d'un transistor vieilli au niveau du point d'émission [57]

1.4.3. Mécanismes de dégradation activés par électrons chauds

Les dégradations permanentes qui ont pu être observées après des stress réalisés avec des valeurs élevées de tension entre grille et drain en condition on-state, ont été attribuées à la présence de porteurs chauds. Ces mécanismes sont communs aux transistors à effet de champ fonctionnant à des tensions élevées et ont aussi été observés sur des composants à base de Si ou GaAs entre autres. Sur des composants GaAs, les porteurs chauds entraînent la génération de trous qui s'accumulent au niveau de la grille menant ainsi à une dérive de la tension de seuil des composants [59].

Pour les composants GaN, des mesures d'électroluminescence ont permis de mettre en avant des transitions inter-bandes d'électrons chauds du canal dans la région à fort champ électrique côté drain [60][61]. Une diminution du courant de drain, de la transconductance maximale et des courants de fuite ainsi qu'une augmentation de la résistance dynamique ont pu être observés [62]. Une étude a démontré qu'une couche de passivation SiN permet d'améliorer la fiabilité des composants GaN face aux effets d'électrons chauds et de réduire le piégeage en surface [63]. Une illumination UV permettrait une récupération suite au stress électrique [64]. Ces résultats sembleraient indiquer une dégradation de l'interface SiN/AlGaN ou AlGaN/GaN des composants testés. Une autre étude a permis l'extraction d'une énergie d'activation négative suite à un stress RF, caractéristique d'une dégradation par électrons chauds comme mécanisme dominant [65].

Kim *et al.* ont mis en avant des pièges générés par électrons chauds aux interfaces à l'aide de mesures DLTS (Deep Level Transient Spectroscopy) [66]. En régime sous seuil, la dégradation est moins importante du fait de la réduction de la densité de porteurs disponible dans le canal. Ces résultats ont été démontrés par Sozza *et al.* sur des composants ayant subi un stress en condition on-state et off-state durant 3000 heures [67].

Meneghesso *et al.* ont aussi mis en avant cette différence entre un stress d'électron chauds en condition off-state et on-state. Les mêmes dégradations sont observées entre les deux conditions mais avec une constante de temps plus lente pour la condition off-state [68]. Grâce à l'électroluminescence, une émission uniforme tout le long du canal due aux électrons chauds est observée sans point chaud, ce qui n'est pas le cas pour les transistors vieillissés en condition off-state. Une forte dépendance a été observée entre le taux de dégradation et l'intensité de l'émission durant le stress qui est liée à la concentration d'électrons chauds [69].

Plusieurs groupes démontrent la création de pièges à l'interface AlGaIn/GaN suite à un stress dû à des électrons chauds [70][71]. Il a été démontré à l'aide de mesures de bruit basse fréquence que des électrons chauds sont générés dans le canal, sous la grille, et sont confinés à l'interface AlGaIn/GaN. Leur forte énergie génère de nouveaux défauts à l'interface [71]. Une hypothèse met en avant un phénomène de déshydrogénation. Des défauts natifs hydrogénés peuvent se former dans le nitrure de gallium en faible concentration et, sous l'impact des électrons chauds, l'hydrogène est éliminé des défauts [72][73].

1.4.4. Mécanismes de dégradation activés par le champ électrique

Le champ électrique présent à l'aplomb de la grille côté drain en condition off-state, rend le transistor GaN sensible à des mécanismes de dégradation activés par le champ électrique. L'un de ces principaux mécanismes est l'effet piézoélectrique inverse. En effet, le GaN et l'AlGaIn sont tous deux des matériaux piézoélectriques qui se caractérisent par leur réponse en champ électrique à une contrainte mécanique et inversement. Ainsi, lors de l'application d'un champ électrique élevé, une contrainte mécanique va être induite en retour dans la région d'accès grille-drain et sous le contact de drain [74].

Il a été observé sur des HEMTs AlGaIn/GaN sur substrat SiC, lors de tests en condition off-state, qu'au-delà d'une certaine tension V_{GD} critique une défaillance apparaît [75]. Avec l'augmentation du champ électrique, la contrainte mécanique s'accroît dans la couche AlGaIn, déjà contrainte en tension, jusqu'à une contrainte critique avant la relaxation de la couche barrière. Deux dégradations sont alors observées, à savoir, une augmentation du courant de fuite de grille et une diminution du courant de drain. La première dégradation serait, selon les auteurs, liée à la création de défauts cristallins suite à la relaxation de la couche AlGaIn, ces défauts jouant le rôle de chemin de fuite entre grille et drain. La deuxième serait due au piégeage de porteurs par ces mêmes défauts diminuant la densité de porteurs

dans le canal et donc le courant de drain [76]. La même dégradation irréversible du courant de fuite a été observée sur HEMTs AlGaIn/GaN sur substrat Si, cependant, il est observé une dégradation récupérable du courant de drain pour des tensions inférieures à la tension critique [77].

Suite à ces résultats, une étude a été menée sur plusieurs composants en polarisant en inverse la grille à une température de 150 °C et présente les mêmes dégradations que celles énoncées précédemment. Une analyse TEM (Figure 1.4-3) a permis de mettre en évidence les défauts pour les composants dégradés, à savoir une fissure au pied de grille menant à un « pit » se développant jusqu'à la couche barrière AlGaIn pour des tensions supérieures à la valeur critique [78][79]. Il a aussi été démontré que la taille du « pit » augmente avec la tension de stress mettant en avant la corrélation entre la dégradation électrique et les défauts observés.

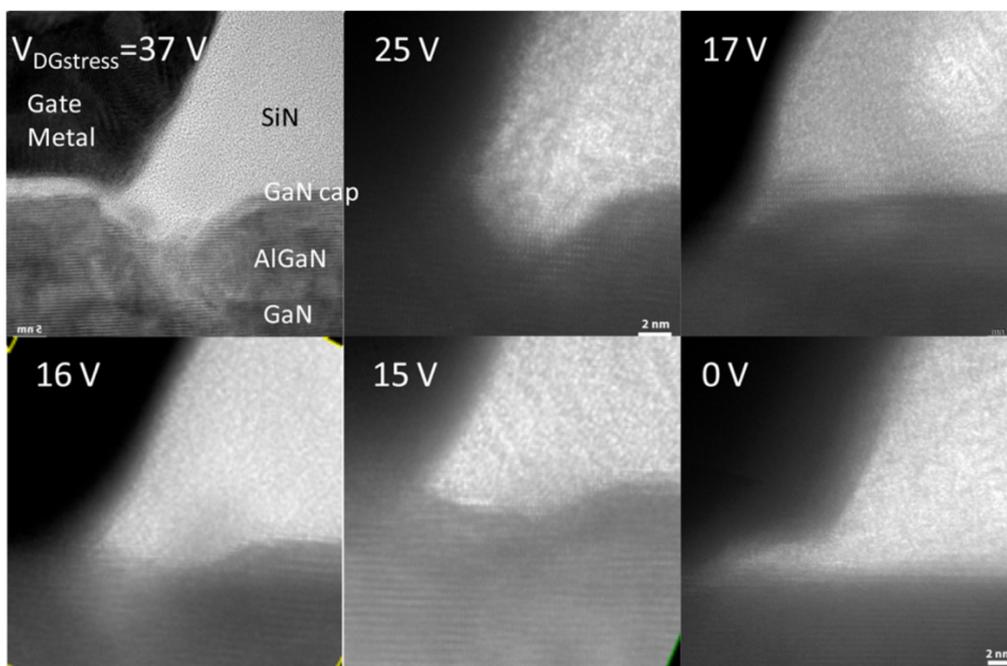
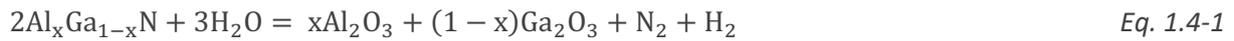


Figure 1.4-3 : Image d'une coupe TEM (Transmission Electron Microscopy) au pied de la grille côté drain pour des composants stressés à différentes tensions V_{DG} [79]

D'autres études ont aussi mis en avant cette corrélation entre la dégradation électrique et la présence de « pits » et « cracks » au pied de la grille [80][81]. Montes Bajo *et al.* ont observé des « pits » correspondant à des points d'émission visibles en EMMI. Une mesure AFM (Atomic Force Microscopy) confirme que ces « pits » servent de chemin de fuite mettant en avant la corrélation entre le courant de fuite, les spots et les défauts de surface [82].

De l'oxygène a aussi été retrouvé dans la zone des défauts en comparant des composants stressés à $V_{gs} = -7$ V en augmentant V_{ds} de 8 V à 50 V avec des composants vierges. Lors du stress électrique, une rainure se forme dans la couche GaN cap, induite par oxydation sous l'effet du champ électrique ou par gravure électrochimique, ce qui entraîne la formation de pits et de cracks le long de la grille dans la couche barrière [83]. Cette oxydation se retrouve aussi lors d'essais similaires réalisés par Gao *et al.* qui ont observé des particules d'oxyde tout le long du doigt de grille. Suite au retrait de

la grille, des « pits » ont été révélés sous chaque particule. Cette oxydation est dépendante de la durée du stress mais aussi du champ électrique ; de plus, elle est réduite lors de tests dans le vide avec 30 % de dégradation en moins [84]. Un mécanisme a été proposé, impliquant une réaction électrochimique assistée par l'humidité afin d'expliquer ces dégradations issues de stress en condition off-state. Au cours du stress, des trous sont présents à la surface de la couche barrière à l'aplomb du pied de grille via un effet tunnel inter-bandes assisté par pièges. Des molécules d'eau de la surface de la couche de passivation et de l'air extérieur s'infiltrer à travers la couche de passivation atteignant la couche barrière. Les molécules d'eau et les trous présents en surface de la couche barrière mène à un oxydo réduction entre l'AlGaIn et l'eau responsable de la formation des « pits » selon la relation suivante [85].



Marcon *et al.* ont remis en cause les résultats précédents après avoir réalisé un type de test similaire dans le but d'étudier le phénomène. Dans un premier temps, il a été démontré que la dégradation du courant de fuite ne s'effectue pas uniquement au-delà de la tension critique mais est dépendante de la tension de stress et du temps de stress [86]. De plus, la tension critique à laquelle le courant de fuite augmente est toujours bien inférieure à la valeur nécessaire pour obtenir une perte de 20 % sur le courant de drain [87][88]. Après un temps de repos de 200 heures, l'augmentation du courant de fuite est bien permanente à la différence de la diminution du courant de drain qui est complètement récupérable par un phénomène de piégeage [88][88].

Les deux phénomènes présentent donc des origines différentes mais dépendent tous deux du champ électrique. L'augmentation du courant de fuite de grille serait due à la formation aléatoire d'un chemin de percolation le long de la largeur du doigt de grille formé par des défauts près de la surface de l'AlGaIn et ne serait pas lié à l'effet piézoélectrique inverse. La diminution du courant de drain serait due à des défauts dans la couche AlGaIn observés lors d'analyse TEM (Transmission Electron Microscopy). On retrouve de l'oxygène dans ces derniers, créés par l'effet piézoélectrique inverse qui requiert à la fois du champ électrique mais aussi de la température [89].

Meneghini *et al.* ont étudié plus précisément la dérive du courant de fuite suite à une polarisation inverse. Il en ressort trois phases, une première diminution du courant de fuite récupérable, une deuxième où le courant devient bruité et enfin la dernière avec une augmentation du courant de fuite permanente. Selon les auteurs, la première augmentation du courant de fuite récupérable est due à une accumulation de charges négatives dans l'AlGaIn et de charges positives à l'interface AlGaIn/GaN tandis que la dégradation permanente est causée par la génération d'un chemin de fuite parasite [90].

Plusieurs solutions peuvent être mises en place pour réduire l'effet de ces deux phénomènes. Dans un premier temps, la réduction de la fraction molaire d'aluminium dans la barrière AlGaIn permet un meilleur contrôle de la contrainte en tension imposée par la couche GaN et permet de réduire les « cracks ». L'utilisation d'une couche GaN cap ou d'une couche de passivation retarde la dégradation de la surface et un nettoyage de surface optimisé réduit l'oxydation de surface. Enfin, le choix du métal

de grille donne un meilleur contrôle sur les phénomènes d'inter-diffusion et l'utilisation d'un plateau de champ réduit le pic de champ électrique [91].

1.5. État de l'art des mécanismes de dégradation des technologies UMS

Au cours des dernières années, de nombreux travaux de thèse ont été effectués sur les technologies UMS mettant en avant des dégradations et des effets parasites. Cette partie présente les différentes technologies à base de GaN que propose UMS avant de présenter les résultats obtenus au cours des précédents travaux de thèse menés sur des technologies d'UMS.

1.5.1. Présentation des technologies UMS



Figure 1.5-1 : Roadmap d'UMS pour l'ensemble des technologies à base de nitrure de gallium

Comme le montre la Figure 1.5-1, UMS propose plusieurs technologies à base de nitrure de gallium de différentes longueurs de grille (L_g), à savoir GH50 ($L_g = 500$ nm), GH25 ($L_g = 250$ nm), GH15 ($L_g = 150$ nm) et dans un futur proche GH10 ($L_g = 100$ nm). Elles sont toutes réalisées sur un substrat SiC mais présentent des différences quant à la composition des différentes couches. Ainsi, les caractéristiques et les applications visées diffèrent d'une technologie à une autre. La Figure 1.5-2 présente les principales performances électriques de chaque technologie telles que la densité de puissance ainsi que le domaine fréquentiel visé.

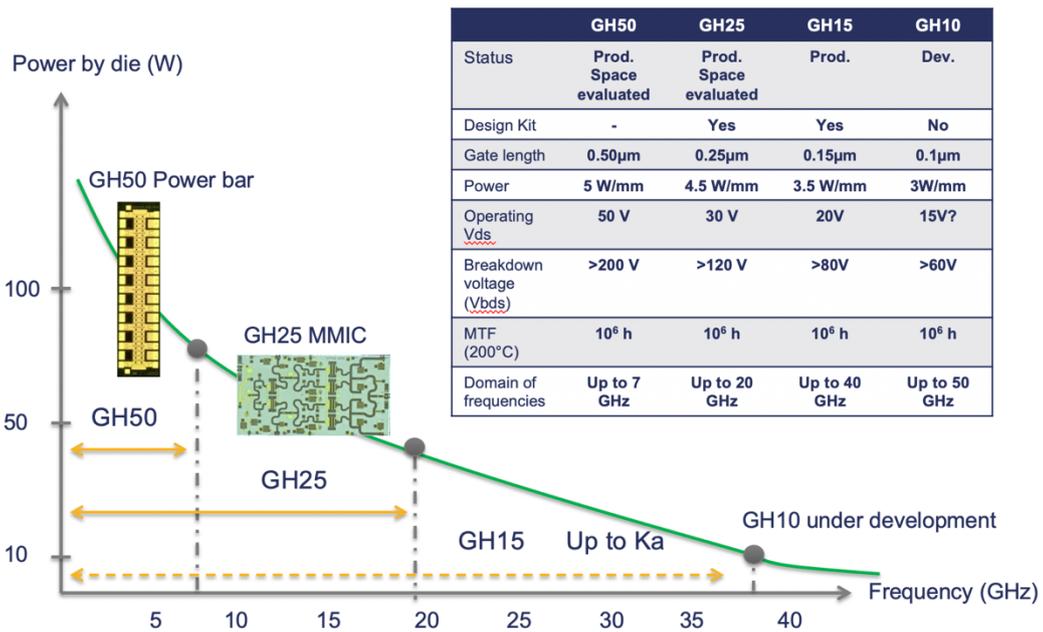


Figure 1.5-2 : Tableau comparatif des différentes technologies à base de GaN proposées par UMS et graphique de la densité de puissance par puce en fonction des plages de fréquences utiles pour les différentes technologies

La technologie GH50 est la première filière à base de nitrure de gallium à avoir été qualifiée et évaluée spatial en Europe [92] et a été développée pour des applications de puissance jusqu'à 7 GHz. Comme le montre la Figure 1.5-2, elle est utilisée dans la conception de barrettes de puissance adaptées aux applications radar et télécoms.

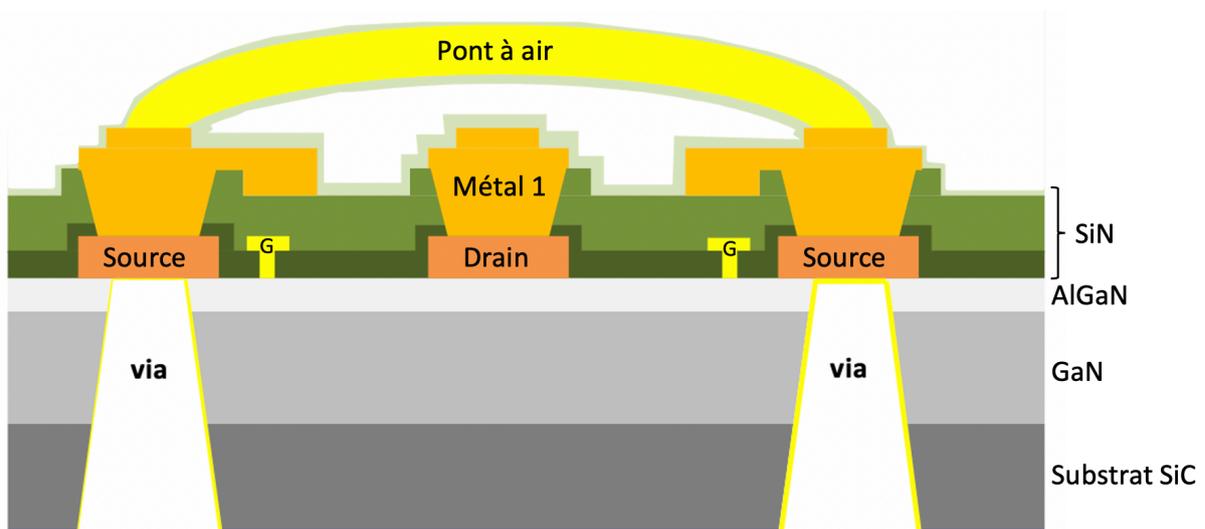


Figure 1.5-3 : Coupe schématique de la technologie GH50

La technologie GH25 est la deuxième filière GaN qualifiée et évaluée spatial par UMS [93]. C'est une technologie MMIC (Monolithic Microwave Integrated Circuit) qui comprend des capacités MIM (Métal Isolant Métal) et des éléments passifs (résistances, inductances). Elle a été développée afin de répondre au besoin des marchés de la télécommunication et de la défense, notamment les brouilleurs et récepteurs. Elle permet de couvrir les applications de puissance RF allant de la bande X à la bande Ku, de 8 à 18 GHz.

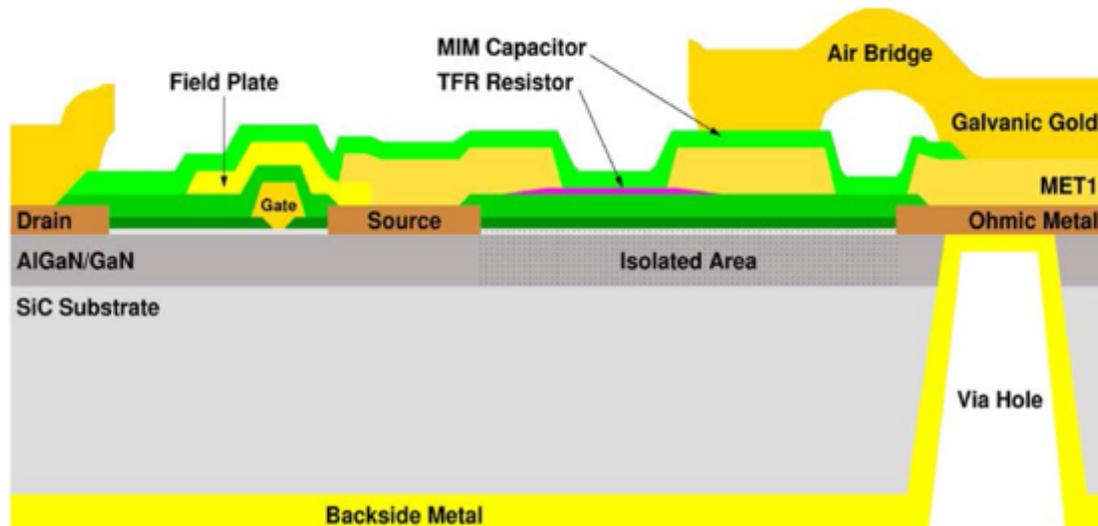


Figure 1.5-4 : Coupe schématique de la technologie GH25/GH15

La technologie GH15 est une technologie MMIC développée afin de couvrir les mêmes besoins que la technologie GH25, à savoir les télécommunications, la défense et le spatial, pour des fréquences allant jusqu'à la bande Ka (35 GHz) [105]. C'est la dernière filière à base de nitrure de gallium d'UMS à avoir été qualifiée. Elle offre un bon compromis entre efficacité et puissance absolue avec une puissance de sortie mesurée supérieure à 3 W/mm pour rendement en puissance ajoutée associé de 40 % à 30 GHz. La plage de fréquence de la technologie en fait un candidat pour les applications 5G.

Pour finir, la technologie GH10 est la dernière technologie à base de nitrure de gallium d'UMS. Elle est actuellement en cours de développement et est développée afin de compléter l'offre d'UMS en termes de MMIC RF. GH10 vise à couvrir les bandes de fréquences allant jusqu'à 55 GHz, notamment aux vues des applications 5G. A la différence de toutes les technologies citées précédemment, de nouvelles épitaxies sont à l'étude quant au choix du matériau de la couche barrière. Ainsi, l'utilisation d'InAlGaIn, d'InAlN ou encore d'AlN sont explorées afin de remplacer la barrière AlGaIn utilisée jusqu'alors.

1.5.2. Les mécanismes de dégradation et les effets parasites

Au cours des dernières années, de nombreux travaux de thèse ont été menés sur des composants de ses technologies. Une partie a porté sur l'étude de la fiabilité de ses derniers et leurs mécanismes de dégradation et effets parasites.

1.5.2.1. *Belly shape*

Un des effets parasites observé sur la technologie GH25 est le belly shape. Il est caractérisé par un courant de fuite en excès sur la caractéristique de diode en direct à faible injection et apparait au cours de test de vieillissement (Figure 1.5-5). Il a dans un premier temps était étudié par Brunel *et al.*

et Rzin *et al.* à la suite de stress de type HTRB [94][95]. Aucun lien n'a été trouvé entre ce phénomène et les dégradations observées sur divers paramètres tels que la tension de seuil, la transconductance maximale ou encore le courant de drain saturé après des essais de type HTOL d'une durée de 7000 heures. Il a ainsi pu être démontré que ce phénomène n'impacte pas la durée de vie des composants.

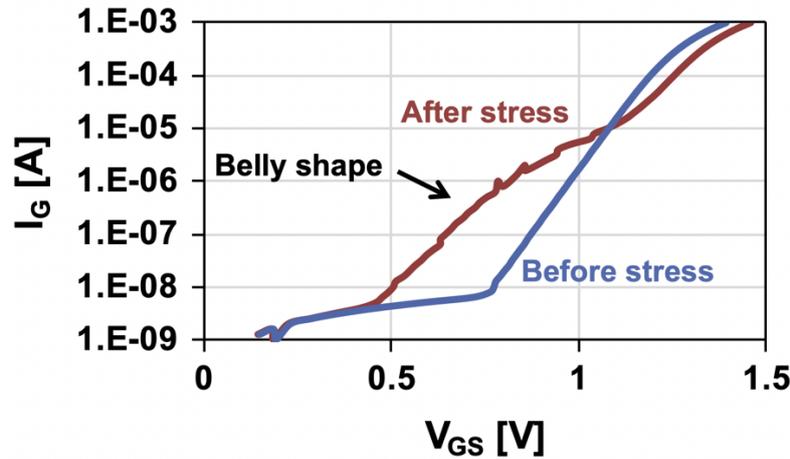


Figure 1.5-5 : Caractéristique de la diode en direct avant (en bleu) et après 4000 heures de stress de type HTRB (en rouge) présentant le phénomène de belly shape [94]

Une première analyse électrique a pu mettre en évidence que ce phénomène est dû à la présence d'un chemin de conduction dépendant de la tension appliquée et qu'il peut s'expliquer par une combinaison de plusieurs mécanismes de conduction superposés à l'émission thermoïonique. Des mesures de bruit basse fréquence ont démontré que l'effet belly shape est dû à un bruit de génération-recombinaison et que le niveau bruit en $1/f$, visible sur les pièces témoins, est d'autant plus élevé que l'amplitude du belly shape est grande [95][96]. Ce phénomène présente donc un mécanisme de piégeage-dé-piégeage qui traduit la présence de défauts dans le cristal et/ou à l'interface métal/semi-conducteur.

Des mesures EMMI effectuées sur des pièces avec et sans belly shape mettent en avant une émission uniforme et une intensité similaire sur chaque doigt pour les pièces ne présentant pas le phénomène. Sur celles avec, des spots de forte intensité sont visibles et l'émission est inhomogène le long de chaque doigt, soit un contact Schottky non uniforme [94]. Aucune analyse physique n'avait été effectuée afin d'observer les défauts.

Une première hypothèse afin d'expliquer le mécanisme avait été énoncée. Sous l'effet du champ électrique et de la température, des défauts se créent au bord du pied de grille côté drain à l'interface métal/semi-conducteur/passivation. Ces derniers induisent la formation d'un chemin de conduction parasite dépendant de la tension de grille. Les pièges responsables ne sont activés que pour de faible tension V_{gs} , i.e. des tensions pour une zone de charge d'espace très peu étendue. Il est donc plus probable que les électrons prennent ce chemin parasite pour des tensions comprises entre 0 et 1 V [96].

Mukherjee *et al.* ont repris l'étude de ce phénomène à l'aide de simulations physiques [97]. Une récupération partielle a été observée, suite à un stockage de longue durée, due à une chute de l'occupation des pièges. Les dégradations restent néanmoins irréversibles et permettent le re-piégeage et la fluctuation de l'amplitude dû au stress et à la polarisation.

Ils ont pu reproduire le phénomène afin de l'expliquer (Figure 1.5-6). Durant les premières heures de vieillissement, l'apparition du phénomène est dû à des pièges donneurs profonds ($E_a = 0,6$ eV), activés par le champ électrique, présents en surface au pied de la grille côté drain en plus d'une conduction par effet tunnel en surface. Par la suite, la croissance de l'amplitude du belly shape s'explique par des pièges donneurs peu profonds ($E_a = 0,25$ eV) toujours en surface au pied de grille côté drain activés par le champ électrique. Cette fois s'y ajoutent la présence de pièges accepteurs ($E_a = 0,4$ eV) dans la barrière AlGaIn du fait de la relaxation de la couche suite à l'effet piézoélectrique inverse. Ces pièges sont couplés à une conduction par effet tunnel de surface mais aussi une conduction par effet tunnel assistée par pièges à travers la barrière. La relaxation de la couche induit ensuite un décalage du pic de champ électrique vers le bord du plateau de champ. Ceci explique l'apparition de pièges donneurs ($E_a = 0,4$ eV) au bord du plateau de champ en plus des pièges présents au pied de grille et ceux dans la couche barrière. On note alors une diminution de l'amplitude du phénomène et une diminution du courant de grille pour $V_{GS} > 1$ V [97].

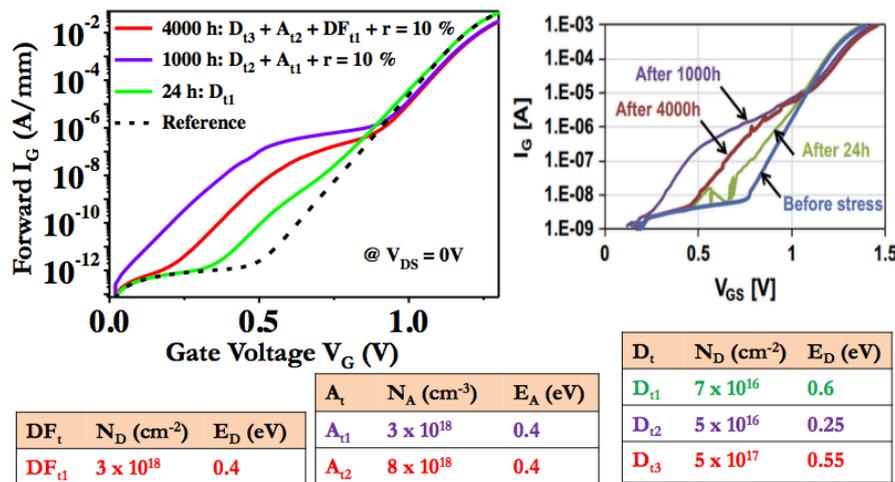


Figure 1.5-6 : Simulations physiques reproduisant l'évolution du phénomène à gauche à différents instants du vieillissement à l'aide de pièges donneurs en surface (D_t), de pièges accepteurs dans la barrière (A_t) et de pièges donneurs en surface proche du bord du field plate (DF_t) ; Évolution de la diode Schottky en directe durant des tests HTRB

1.5.2.2. Runaway

Ce phénomène se caractérise en DC par une augmentation simultanée des courants de drain et de grille quand V_{ds} augmente en régime de saturation. Il est aussi visible sur la caractéristique de transfert avec une augmentation en valeur absolue du courant de grille quand V_{gs} se rapproche de 0 V et en RF, une augmentation d'un courant de grille RF qui induit une diminution de la puissance de sortie sous forte compression.

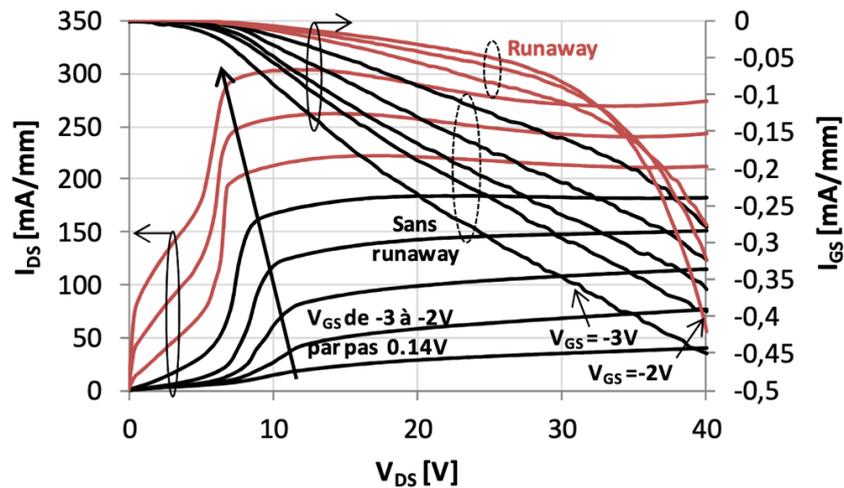


Figure 1.5-7 : Caractéristique de sortie d'un HEMT AlGaIn/GaN de la technologie GH25 présentant le mécanisme de runaway à température ambiante [96]

Ce phénomène a été observé par Brunel *et al.* sur les technologies GH50 et GH25 et est attribué au mécanisme de fin de vie de la technologie GH50-10 [96][98]. L'étude menée a permis de mettre en avant la diminution de la tension V_{ds} de seuil à mesure que V_{gs} se rapproche de 0 V et que la température augmente. Ceci implique que les composants avec un développement de grille plus grand sont plus sensibles au phénomène de runaway. Il a aussi été mis en avant le côté reproductible et réversible du phénomène tant que le composant n'est pas dégradé. Des mesures électro-optiques, de thermographie infrarouge et EMMI n'ont montré aucune signature particulière tandis qu'une étude des mécanismes de conduction a mis en évidence une conduction de type Fowler Nordheim, i.e. une conduction par effet tunnel.

Il est supposé que les électrons extraits du métal de grille vers le semi-conducteur sous effet du champ électrique et de la température mènent à l'augmentation du courant de grille. Sous l'effet du champ électrique, les électrons sont acheminés jusqu'au canal par effet tunnel au travers de défauts cristallins présent initialement dans la couche barrière AlGaIn menant à l'augmentation du courant de drain. L'augmentation de ce dernier serait plus importante que celle du courant de grille car les électrons sont fortement accélérés quand ils arrivent dans le canal.

Quand la température augmente, les électrons ont besoin de moins d'énergie pour passer la barrière métal/semi-conducteur et la tension appliquée sur le drain diminue. En ce qui concerne la dépendance de la tension de seuil V_{ds} en fonction de la tension V_{gs} , elle s'explique par l'augmentation du courant dans le canal et donc de la température. Ce phénomène étant dû aux propriétés de transport entre métal et semi-conducteur et à la densité de défauts présent dans l'AlGaIn, la sensibilité face au runaway au cours d'essais de vieillissement serait due à la dégradation du contact Schottky et/ou la création de défauts dans la couche barrière.

1.5.2.3. Effet de coude

Ce phénomène, présent sur la technologie GH50, est caractérisé par une augmentation abrupte du courant de drain à partir d'une certaine valeur de tension de drain ; environ 6 V. Cet effet parasite a été observé par Brunel *et al.* sur la technologie GH50 [96][99]. Il n'apparaît qu'à la suite d'un stress électrique, dû à un mécanisme de piégeage/dé-piégeage d'une constante de temps de l'ordre d'une dizaine de secondes à une température de 300K.

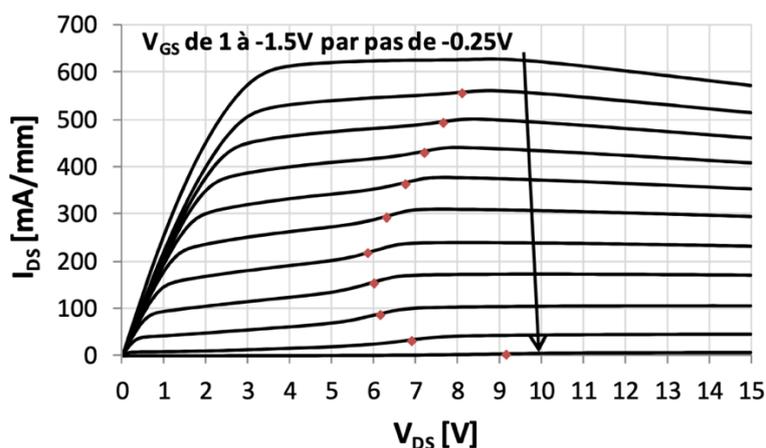


Figure 1.5-8 : Mise en évidence de l'effet de coude sur la caractéristique de sortie d'un HEMT AlGaN/GaN de la technologie GH50 [96]

L'étude des pièges responsables de l'effet de coude a montré que lorsqu'ils sont initialement vides, l'amplitude du phénomène dépend fortement du champ longitudinal et que la quantité d'électrons piégés est dépendante du courant. Quand ils sont chargés, l'amplitude du phénomène augmente avec la valeur du champ électrique appliqué entre la grille et le drain, que ce soit le champ électrique longitudinal et/ou transversal. Deux processus de dé-piégeage ont pu être observés. Le premier, rapide et total, se produit à champ électrique croissant, lorsque la tension V_{ds} atteint la tension, notée V_{DSkink} , qui représente la valeur de la tension V_{ds} pour laquelle le pic de G_d est maximal ; un dé-piégeage dû à l'ionisation par impact. Le second, plus lent, se produit sous un champ électrique décroissant ou faible ; dé-piégeage dû à une émission thermique.

Une caractérisation des pièges a mis en avant deux pièges à l'aide de mesures de transitoire de courant ; un processus d'émission avec une énergie d'activation de 0,58 eV et un processus de capture avec une énergie d'activation de 0,64 eV. L'effet de coude est donc supposé lié à des pièges avec un processus d'émission et une énergie d'activation de 0,58 eV [99].

Des pièges de type donneurs présents dans le buffer GaN sous la grille sont initialement vides ce qui explique l'absence d'effet de coude sur la première mesure. Les électrons sont capturés durant une phase d'excitation sous l'effet du champ électrique longitudinal entraînant la diminution des porteurs, i.e. la diminution du courant pour $V_{ds} < V_{DSkink}$. Les électrons sont dé-piégés sous 2 processus : un rapide dû à l'ionisation par impact des électrons chauds qui intervient sous champ électrique

croissant, un lent dominé par émission thermique dont la constante de temps diminue lorsque la température augmente [99].

1.5.2.4. Dégradation du courant maximal par effet piézoélectrique inverse

Au cours de vieillissement accélérés de type HTOL et HTRB menés sur la technologie GH25 différentes dérives ont pu être observées : une diminution du courant de drain à $V_{gs} = 0\text{ V}$ et $V_{ds} = 10\text{ V}$, un décalage de la tension de seuil et une augmentation de la hauteur de la barrière Schottky. Au cours d'essai de type HTOL, la diminution du courant maximal de drain atteint le critère de défaillance de la technologie. Cette dérive a été corrélée à la dérive de la transconductance maximale et est considérée comme le mécanisme de fin de vie de la technologie GH25 [96]. Au cours de test HTOL, une génération de pièges dans la couche AlGaN due à une dégradation causée par les électrons chauds explique la diminution de la transconductance maximale.

Brunel *et al.* ont étudié le mécanisme de fin de vie de la technologie GH25 [96]. Suite à des essais de fiabilité de type HTRB, une formation de pits et cracks a été observée. Cette formation est corrélée à l'évolution de différents paramètres : une diminution du courant de drain à $V_{gs} = 0\text{ V}$ et $V_{ds} = 10\text{ V}$, un décalage positif de la tension de seuil et une augmentation de la hauteur de la barrière Schottky. Durant un test HTRB, un pic de champ électrique est présent au pied de la grille côté drain et un second plus faible au bord du field plate. Ces pics de champ entraînent par effet piézoélectrique inverse la formation de pits/cracks [100]. Ces défauts modifient l'interface métal/semi-conducteur ce qui mène à l'augmentation de la hauteur de barrière et une dérive positive de la tension de seuil du composant ; la dérive positive de la tension de seuil va elle induire une diminution du courant de drain. La relaxation de la couche au bord du pied de grille côté drain entraîne une diminution du pic de champ électrique. Le pic de champ électrique se décale au bord du field plate et induit une création de défaut et une réduction locale de la couche barrière. Il en résulte une diminution de la densité de porteurs dans le canal [96].

Dans l'étude menée par Astre *et al.*, il apparaît que la température ressort comme la cause principale de dégradation sur plusieurs lots et que les pièges issus de cette dégradation sont activés par le champ électrique [100]. Lors de contraintes en tension et à faible température ou faible I_d , aucun impact sur les caractéristiques de lag n'est observé, cependant un lien avec la diminution de la hauteur de barrière a été trouvé. Une forte diminution de la hauteur de barrière est visible et liée à l'augmentation du courant de grille.

1.5.3. Caractérisation des pièges des technologies UMS

Plusieurs travaux de thèse sur des composants des technologies à base de GaN d'UMS ont porté sur la caractérisation de pièges. L'ensemble des pièges observés sont reportés dans le Tableau 1.5-1. Comme on peut le constater, un même piège a pu être mis en avant sur la technologie GH50 par

une mesure de transitoire de courant sur deux bancs distincts et par une mesure de RF-DCTS. En fonction du type de mesure ou du banc utilisé, l'énergie d'activation obtenue pour ce même piège n'est pas identique (0,73 eV, 0,83 eV et 1 eV). Cependant la gamme de température utilisée et les constantes de temps associées permettent de distinguer s'il s'agit du même piège, de même que la zone d'activation. Ce même piège semble être observé sur des mesures de transitoire de courant avec une énergie d'activation de 0,58 eV (P1) et des mesures de transitoire de courant athermiques avec une énergie d'activation de 0,74 eV (DP1).

Une observation similaire a été effectuée sur la technologie GH15, un même piège a été obtenu par des mesures de paramètre S basse fréquence avec une énergie d'activation de 0,44 eV (S1) comparé à une énergie d'activation égale à 0,5 eV (I1) par des mesures de transitoire de courant.

Un piège semble être commun entre les technologies GH50 et GH15. Une énergie d'activation de 0,64 eV a été obtenue par des mesures de transitoire de courant sur la technologie GH50 (E2) tandis que des énergies d'activation égales à 0,44 eV (S1) et 0,5 eV (I1) ont été extraites suite à des mesures de paramètres S basse fréquence et de transitoire de courant sur la filière GH15. Ce piège a été associé à des défauts natifs dans le GaN [103]. La gamme de température utilisée et la manque de données concernant les constantes de temps des pièges mesurés sur la technologie GH25 ne permettent pas de faire le lien avec d'autres technologies.

Dénomination	Ea	Techno	Technique	T°C	Constante de temps	Nature	Zone d'activation	Origine	Ref
DP1	0,74 eV	GH50	A-DCTS	15 à 100 °C	Entre 850 ms et 250 s	Émission	Zone de saturation	-	[102]
DP2	0,65 eV	GH50	A-DCTS	15 à 100 °C	< 700 ms	Émission	Quelle que soit la zone	-	[102]
DP3	0,78 eV	GH50	A-DCTS	15 à 100 °C	Entre 1,60 s et 250 s	Émission	Zone quasi-pincée	-	[102]
DP4	0,45 eV	GH50	A-DCTS	15 à 100 °C	> 1000 s	Émission	Zone ohmique	-	[102]
TP1	0,8 eV	GH50	A-DCTS	15 à 100 °C	Entre 13 ms et 6 s	Capture	Quelle que soit la zone	-	[102]
TP2	0,63 eV	GH50	A-DCTS	15 à 100 °C	> 1000 s	Capture	Zone ohmique	Défauts liés à N	[102]
E2	0,64 eV	GH50	DC-DCTS (P)	80 à 130 °C	Entre 100 µs et 10 ms	Émission	Zone semi-pincée	Défauts natifs du GaN	[103]
E3	0,86 eV	GH50	DC-DCTS (P)	80 à 130 °C	Entre 1 ms et 1 s	Capture	Zone semi-pincée	Défauts liés à N	[103]
E4	1 eV	GH50	DC-DCTS (P)	80 à 130 °C	Entre 100 ms et 100 s	Émission	Zone semi-pincée	Défauts dans le GaN	[103]
E3	0,73 eV	GH50	DC-DCTS (X)	50 à 90 °C	Entre 10 ms et 100 ms	Capture	Zone semi-pincée	Défauts liés à N	[103]
E4	0,75 eV	GH50	DC-DCTS (X)	50 à 90 °C	Entre 10 ms et 1 s	Émission	Zone semi-pincée	Défauts dans le GaN	[103]
E4	0,83 eV	GH50	RF-DCTS (X)	50 à 90 °C	Entre 10 ms et 10 s	Émission	Zone semi-pincée	Défauts dans le GaN	[103]
-	0,7 eV	GH25	I-DLTS	-125 à 125 °C	-	Capture	-	-	[100]
-	0,32 eV	GH25	I-DLTS	-125 à 125 °C	-	Émission	-	-	[100]
P1	0,58 eV	GH50	I-DLTS	25 à 150 °C	Entre 5 ms et 10 s	Émission	Zone semi-pincée	-	[96]
P2	0,64 eV	GH50	I-DLTS	25 à 150 °C	Entre 100 ms et 10 s	Capture	Zone semi-pincée	-	[99]
S1	0,44 eV	GH15	S BF	25 à 125 °C	Entre 300 µs et 10 ms	Émission	-	Dopage Fe dans GaN	[104]
I1	0,5 eV	GH15	I-DLTS	25 à 125 °C	Entre 100 µs et 10 ms	Émission	Zone semi-pincée	Dopage Fe dans GaN	[104]
I2	0,3 eV	GH15	I-DLTS	25 à 125 °C	Entre 10 ms et 100 ms	Émission	Zone semi-pincée	-	[104]

Tableau 1.5-1 : Pièges mesurés sur différentes technologies GaN d'UMS

1.6. Conclusion du chapitre

Au cours de ce premier chapitre, les propriétés physiques du nitrure de gallium ont été présentées ainsi que le principe de l'hétérojonction AlGaN/GaN sur laquelle repose le fonctionnement des transistors HEMTs à base de GaN grâce à la formation du canal bidimensionnel d'électrons. La structure de ces derniers a ensuite été expliquée en mettant en avant le rôle de chaque couche et les améliorations apportées.

Au travers d'une présentation des différentes applications visées par le nitrure de gallium, il apparaît évident que les HEMTs GaN sont des composants de choix en ce qui concerne la conception d'amplificateurs de puissance jusque dans la bande Ka. Les applications militaires et la défense reste un marché de choix qui pousse le développement de nouvelles technologies ainsi que les télécommunications, notamment avec l'arrivée de la 5G. Dernièrement, l'industrie automobile s'est tournée vers le nitrure de gallium pour la conception de radars.

Le fonctionnement RF des transistors induit différents stress tel que l'auto-échauffement, le champ électrique et les électrons chauds. Au cours des dernières années beaucoup d'efforts ont été fournis pour améliorer la fiabilité des composants mais ce point reste encore bloquant pour certaines applications. Les propriétés physiques du nitrure de gallium ajoutent de nouveaux mécanismes de dégradation, en plus de ceux déjà observés sur d'autres technologies tel que le GaAs.

En effet, la nature piézoélectrique du GaN induit, sous l'effet d'un champ électrique trop important, un effet appelé piézoélectrique inverse qui dégrade la qualité de la couche barrière ainsi que les interfaces. Le contact Schottky est aussi une zone importante en ce qui concerne les dégradations. Sous l'effet d'un courant de grille en direct trop important, du pic de champ électrique ou encore d'électrons chauds, les bords du pied de grille ou l'interface métal/semi-conducteur sont susceptibles de se dégrader.

Beaucoup de travaux de thèse ont été menés sur la fiabilité des technologies GaN d'UMS au cours des dernières années. Des effets parasites tels que le « belly shape », l'effet de coude ou encore le « runaway » ont pu être mis en avant et étudiés. Une explication du mécanisme de fin de vie de la technologie GH25 a été présentée et des caractérisations de pièges ont permis de mettre en avant plusieurs énergies d'activations avec des setups de mesures différents.

Références du chapitre 1

- [1] R. Gaska, J.W. Yang, A. Osinsky, Q. Chen, M. Asif Khan, A.O. Orlov, G.L. Snider and M.S. Shur, "Electron transport in AlGa_N-Ga_N heterostructures grown on 6H-SiC substrates", *Applied Physics Letters*, Vol. 72, No. 6, 1998, pp. 707-709.
- [2] S. J. Pearton, F. Ren, A. P. Zhang and K. P. Lee, "Fabrication and performances of GaN electronic devices", *Materials Science and Engineering: R: Reports*, Vol. 30, Issues 3-6, December 2000, pp. 55-212.
- [3] S. Porowski, "Near Defect Free GaN Substrates", *MRS Internet Journal of Nitride Semiconductors Research*, Vol. 4, Issue S1, 1999, pp. 27-37.
- [4] <http://www.ioffe.ru/SVA/NSM/Semicond>.
- [5] V. Bougrov, M.E. Levinshtein, S.L. Rumyantsev, M.S. Shur and John Wiley & Sons, "Properties of Advanced Semiconductor Materials GaN, AlN, InN, BN, SiC, SiGe", Eds. Levinshtein M.E., Rumyantsev S.L., Shur M.S., John Wiley & Sons, Inc., 1-30, New York, 2001.
- [6] M. Farahmand and K.F. Brennan, "Comparison Between Wurtzite Phase and Zincblende Phase GaN MESFET's Using a Full Band Monte Carlo Simulation", *IEEE Transactions on Electron Devices*, Vol. 47, No. 3, March 2000, pp. 493-497.
- [7] O. Ambacher, "Growth and applications of Group III-nitrides", *Journal of Physics D: Applied Physics*, Vol. 31, No. 20, 1993, pp. 2653-2710.
- [8] F. Bernardini, V. Fiorentini and D. Vanderbilt, "Spontaneous polarization and piezoelectric constants of III-V nitrides", *Physical Review B*, Vol. 56, No. 16, 1997, pp. R10 024- R10 027.
- [9] H. Mathieu et H. Fanet, "Physique des semiconducteurs et des composants électroniques", Edition Dunod, 2009.
- [10] R. L. Anderson, "Germanium-Gallium Arsenide Heterojunctions", in *IBM Journal of Research and Development*, Vol. 4, No. 3, July 1960, pp. 283-287.
- [11] J. Osvald, "Polarization effects and energy band diagram in AlGa_N/Ga_N heterostructure", *Applied Physics A*, Vol. 87, 2007, pp. 679-682.
- [12] R. Vetry, "Polarization Induced 2DEG in AlGa_N/Ga_N HEMTs: On the origin, DC and transient characterization", PhD Thesis, University of California, Santa Barbara, 2000.
- [13] O. Ambacher, J. Smart, J.R. Shealy, N.G. Weimann, K. Chu, M. Murphy, W.J. Schaff, L.F. Eastman, R. Dimitrov, L. Wittmer, M. Stutzmann, W. Rieger and J. Hilsenbeck, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges

- in N- and Ga-face AlGa_N/Ga_N heterostructures", *Journal of applied physics*, Vol. 85, No. 6, 15th March 1999, pp. 3222-3233.
- [14] P. M. Asbeck, E. T. Yu, S. S. Lau, G. J. Sullivan, J. Van Hove and J. Redwing, "Piezoelectric charge densities in AlGa_N/Ga_N HFETs", *Electronics Letters*, Vol. 33, Issue 14, 1997, pp. 1230-1231.
- [15] E. T. Yu, X. Z. Dang, L. S. Yu, D. Qiao, P. M. Asbeck, S. S. Lau, G. J. Sullivan, K. S. Boutros and J. M. Redwing, "Schottky barrier engineering in III-V nitrides via the piezoelectric effect", *Applied Physics Letters*, Vol. 73, Issue 13, 1998, pp. 1880-1882.
- [16] A. Krost and A. Dadgar, "Ga_N-based optoelectronics on silicon substrates", *Materials Science and Engineering: B*, Vol. 98, Issues 1-3, 2002, pp. 77-84.
- [17] W. A. Melton and J. I. Pankove, "Ga_N growth on sapphire", *Journal of Crystal Growth*, Vol. 178, Issue, 1-2, 1997, pp. 168-173.
- [18] Y. Arakawa, "Progress in Ga_N-based quantum dots for optoelectronics applications", *IEEE Journal of Selected Topics in Quantum Electronics*, Vol. 8, No. 4, 2002, pp. 823-832.
- [19] Y. J. Lee, J. M. Hwang, T. C. Hsu, M. H. Hsieh, M. J. Jou, B. J. Lee, T. C. Lu, H. C. Kuo and S. C. Wang, "Enhancing the output power of Ga_N-based LEDs grown on wet-etched patterned sapphire substrates", *IEEE Photonics Technology Letters*, Vol. 18, No. 10, 2006, pp. 1152-1154.
- [20] T. Sasaki and T. Matsuoka, "Substrate-polarity dependence of metal-organic vapor-phase epitaxy-grown Ga_N on SiC", *Journal of Applied Physics*, Vol. 64, Issue 9, 1988, pp. 4531-4535.
- [21] D. D. Koleske, R. L. Henry, M. E. Twigg, J. C. Culbertson, S. C. Binari, A. E. Wickenden and M. Fatemi, "Influence of AlN nucleation layer temperature on Ga_N electronic properties grown on SiC", *Applied Physics Letters*, Vol. 80, No. 23, 10th June 2002, pp. 4372-4374.
- [22] A. Sarua, H. Ji, K. P. Hilton, D. J. Wallis, M. J. Uren, T. Martin and M. Kuball, "Thermal Boundary Resistance Between Ga_N and Substrate in AlGa_N/Ga_N Electronic Devices", *IEEE Transactions on Electron Devices*, Vol. 54, No. 12, December 2007, pp. 3152-3158.
- [23] A. Manoi, J. W. Pomeroy, N. Killat and M. Kuball, "Benchmarking of Thermal Boundary Resistance in AlGa_N/Ga_N HEMTs on SiC Substrates: Implications of the Nucleation Layer Microstructure", *IEEE Electron Device Letters*, Vol. 31, No. 12, Dec. 2010, pp. 1395-1397.
- [24] I. P. Scmorchkova, L. Chen, T. Mates, B. Moran, S. Keller, S. P. DenBaars, J. S. Speck and U. K. Mishra, "Al_xGa_{1-x}N and (Al,Ga)_N/Al_xGa_{1-x}N two-dimensional electron gas structures grown by plasma-assisted molecular-beam epitaxy", *Journal of Applied Physics*, Vol. 90, No. 10, 15th November 2001, pp. 5196-5201.

- [25] J. K. Sheu, M. L. Lee and W. C. Lai, "Effect of low-temperature-grown GaN cap layer on reduced leakage current of GaN Schottky diodes", *Applied Physics Letters*, Vol. 86, Issue 5, 2005, pp. 05103-05103-3.
- [26] Z. Y. Liu, J. C. Zhang, H. T. Duan, J. S. Xue, Z. Y. Lin, J. C. Ma, X. Y. Xue and Y. Hao, "Effects of the strain relaxation of an AlGa_N barrier layer induced by various cap layers on the transport properties in AlGa_N/Ga_N heterostructures", *Chin. Phys. B*, Vol. 20 No. 9, 2005, pp. 097701-097701-5.
- [27] S. Heikman, S. Keller, Y. Wu, J. S. Speck, S. P. DenBaars and U. K. Mishra, "Polarization effects in AlGa_N/Ga_N and Ga_N/AlGa_N/Ga_N heterostructures", *Journal of Applied Physics*, Vol. 93, No. 12, 15th June 2003, pp. 10114-10118.
- [28] A. Asagri, M. Kalafi and L. Faraone, "The effects of GaN capping layer thickness on two-dimensional electron mobility in Ga_N/AlGa_N/Ga_N heterostructures", *Physica E: Low-dimensional Systems and Nanostructures*, Vol. 25, Issue 4, 2005, pp. 431-437.
- [29] S. A. Chevtchenko, M. A. Reshchikov, Q. Fan, X. Ni, Y. T. Moon, A. A. Baski and H. Morkoç, "Study of SiN_x and SiO₂ passivation of GaN surfaces", *Journal of Applied Physics*, Vol. 101, No. 11, 13th June 2007, pp. 113709-113709-7.
- [30] S. Karmalkar and U. K. Mishra, "Enhancement of breakdown voltage in AlGa_N/Ga_N high electron mobility transistors using a field plate", in *IEEE Transactions on Electron Devices*, Vol. 48, No. 8, August 2001, pp. 1515-1521.
- [31] M. Faqir, "Analysis of the physical mechanisms limiting performance and reliability of GaN based HEMTs", PhD Thesis, University of Modena e Reggio Emilia and University of Bordeaux I, 2009.
- [32] "RF GaN Market: Applications, Players, Technology and Substrates 2019", *Market & Technology Report*, Yole Développement, May 2019.
- [33] W. Ciccognani, E. Limiti, P. E. Longhi, C. Mitrano, A. Nanni and M. Peroni, "An ultra-broadband robust LNA for defence applications in AlGa_N/Ga_N technology", 2010 IEEE MTT-S International Microwave Symposium, Anaheim, CA, 2010, pp. 493-496.
- [34] S. Piotrowicz et al., "43W, 52% PAE X-Band AlGa_N/Ga_N HEMTs MMIC amplifiers", 2010 IEEE MTT-S International Microwave Symposium, Anaheim, CA, 2010, pp. 505-508.
- [35] K. Nakatani, Y. Yamaguchi, Y. Komatsuzaki, S. Sakata, S. Shinjo and K. Yamanaka, "A Ka-Band High Efficiency Doherty Power Amplifier MMIC using GaN-HEMT for 5G Application", 2018 IEEE MTT-S International Microwave Workshop Series on 5G Hardware and System Technologies (IMWS-5G), Dublin, 2018, pp. 1-3.

- [36] J. C. Mayeda, D. Y. C. Lie and J. Lopez, "A high efficiency fully-monolithic 2-stage C-band GaN power amplifier for 5G microcell applications", 2018 Texas Symposium on Wireless and Microwave Circuits and Systems (WMCS), Waco, TX, 2018, pp. 1-4.
- [37] F. Constanzo, R. Giofre, A. Massari, M. Feudale, A. Suriani and E. Limiti, "A MMIC power amplifier in GaN on Si technology for next generation Q band high throughput satellite systems", *Integration*, Vol. 68, 2019, pp. 139-146.
- [38] Y. Niida, Y. Kamada, T. Ohki, S. Ozaki, K. Makiyama, Y. Minoura, N. Okamoto, M. Sato, K. Shojin and K. Watanabe, "3.6 W/mm high power density W-band InAlGa_N/Ga_N HEMT MMIC power amplifier", 2016 IEEE Tropical Conference on Power Amplifiers for Wireless and Radio Applications, Austin, TX, 2016, pp. 24-26.
- [39] S. Yoshida, M. Tanomura, Y. Murase, K. Yamanoguchi, K. Ota, K. Matsunaga and H. Shimawaki, "A 76 GHz GaN-on-silicon power amplifier for automotive radar systems", 2009 IEEE MTT-S International Microwave Symposium Digest, Boston, MA, 2009, pp. 665-668.
- [40] Y. Nakasha, S. Masuda, K. Makiyama, T. Ohki, M. Kanamura, N. Okamoto, T. Tajima, T. Seino, H. Shigematsu, K. Imanishi, T. Kikkawa, K. Joshin and N. Hara, "E-Band 85-mW Oscillator and 1.3-W Amplifier ICs Using 0.12 μ m GaN HEMTs for Millimeter-Wave Transceivers", 2010 IEEE Compound Semiconductor Integrated Circuit Symposium, Monterey, CA, 2010, pp. 1-4.
- [41] I. Akasaki, "GaN-Based p-n Junction Blue-Light-Emitting Devices", *Proceedings of the IEEE*, Vol. 101, No. 10, 2013, pp. 2200-2210.
- [42] K.-T. Lam, W.-H. Lin, S.-C. Shei, N.-M. Lin, W.-S. Chen and S.-J. Chang, "White-Light Emission From GaN-Based TJ LEDs Coated With Red Phosphor", *IEEE Electron Device Letters*, Vol. 37, No. 9, 2016, pp. 1150-1153.
- [43] W.-J. Chiang, S.-C. Shei and S.-J. Chang, "GaN-Based White LEDs With LEDs With CIS/ZnS Quantum Dots Synthesized Using Polyetheramine as Solvent", *IEEE Journal of Quantum Electronics*, Vol. 51, No. 3, 2015, pp. 1-6.
- [44] M. A. Würtele, T. Kolbe, M. Lipsz, A. Külberg, M. Weyers, M. Kneissl and M. Jekel, "Application of GaN-based ultraviolet-C light emitting diodes – UV LEDs – for water disinfection", *Water Research*, Vol. 45, No. 3, 2011, pp. 1481-1489.
- [45] J. Das, J. Everts, J. Van Den Keybus, M. Van Hove, D. Visalli, P. Srivastava, D. Marcon, K. Cheng, M. Leys, S. Decouter, J. Driesen and G. Borghs, "A 96% Efficient High-Frequency DC-DC Converter Using E-Mode GaN DHFETs on Si", *IEEE Electron Device Letters*, Vol. 32, No. 10, 2011, pp. 1370-1372.

- [46] F. Gamand, M. D. Li and C. Gaquiere, "A 10-MHz GaN HEMT DC/DC Boost Converter for Power Amplifier Applications", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 59, No. 11, 2012, pp. 776-779.
- [47] M. Faucher, Y. Cordier, M. Werquin, L. Buchailot, C. Gaquiere and D. Theron, "Electromechanical Transconductance Properties of a GaN MEMS Resonator With Fully Integrated HEMT Transducers", Journal of Microelectromechanical Systems, Vol. 21, No. 2, 2012, pp. 370-378.
- [48] A. Ansari, V. J. Gokhale, J. Roberts and M. Rais-Zadeh, "Monolithic Integration of GaN-Based Micromechanical Resonators and HEMTs for Timing Applications", Electron Device Meeting, 2012, IEEE International, pp. 363-366.
- [49] S. D. Burnham and B. M. Paine, "Towards an RF GaN Reliability Standard", Proceedings of the JEDEC Reliability of Compound Semiconductors Workshop (ROCS), Indian Wells, CA, 22nd May 2017.
- [50] F. Danesin, A. Tazzoli, F. Zanon, G. Meneghesso, E. Zanoni, A. Cetronio, C. Lanzieri, S. Lavanga, M. Peroni and P. Romanini, "Thermal storage effects on AlGaIn/GaN HEMT", Microelectronics Reliability, Vol. 48, Issues 8-9, 2008, pp. 1361-1365.
- [51] R. Vetury, N. Q. Zhang, S. Keller and U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs", IEEE Transactions on Electron Devices, Vol. 48, Issue 3, 2001, pp. 560-566.
- [52] Y. C. Chou, D. Leung, I. Smorchkova, M. Wojtowicz, R. Grundbacher, L. Callejo, Q. Kan, R. Lai, P. H. Liu, D. Eng and A. Oki, "Degradation of AlGaIn/GaN HEMTs under elevated temperature lifetesting", Microelectronics Reliability, Vol. 44, Issue 7, July 2004, pp. 1033-1038.
- [53] D. Marcon, X. Kang, J. Viaene, M. Van Hove, P. Srivastava, S. Decoutere, R. Mertens and G. Borghs, "GaN-based HEMTs tested under high temperature storage test", Microelectronics Reliability, Vol. 51, Issues 9-11, 2011, pp. 1717-1720.
- [54] A. Sozza, C. Dua, E. Morvan, B. Grimbert, M. A. di Forte-Poisson, S. L. Delage and E. Zanoni, "Thermal stability of Mo-based Schottky contact for AlGaIn/GaN HEMT", Electronics Letters, Vol. 41, No. 16, 2005, pp.61-62.
- [55] S. Singhal, J. C. Roberts, P. Rajagopal, T. Li, A. W. Hanson, R. Therrien, J. W. Johnson, I. C. Kizilyalli and K. J. Linthicum, "GaN-ON-Si Failure Mechanisms and Reliability Improvements", 2006 IEEE International Reliability Physics Symposium Proceedings, San Jose, CA, 2006, pp. 95-98.

- [56] B. D. Christiansen, E. R. Heller, R. A. Coutu Jr., R. Vetry and J. B. Shealy, "A Very Robust AlGa_N/Ga_N HEMT Technology to High Forward Gate Bias and Current", *Active and Passive Electronic Components*, 2012.
- [57] Y. Gao, W. A. Sasangka, C. V. Thompson and C. L. Gan, "Effects of forward gate bias stressing on the leakage current of AlGa_N/Ga_N high electron mobility transistors", *Microelectronics Reliability*, Vol. 100-101, 2019.
- [58] W. A. Sasangka, Y. Gao, C. L. Ga_N and C. V. Thompson, "Impact of carbon impurities on the initial leakage current of AlGa_N/Ga_N high electron mobility transistors", *Microelectronics Reliability*, Vol. 88-90, 2018, pp. 393-396.
- [59] G. Meneghesso, A. Mion, M. Pavesi, M. Manfredi, C. Canali and E. Zanoni, "Hot carrier effects in AlGaAs/InGaAs high electron mobility transistors: Failure mechanisms induced by hot carrier testing", *Journal of Applied Physics*, Vol. 82, Issue 11, 1997, pp. 5547-5554.
- [60] N. Shigekawa, K. Shiojima and T. Suemitsu, "Electroluminescence characterization of AlGa_N/Ga_N high electron mobility transistors", *Applied Physic Letters*, Vol. 79, No. 8, 2001, pp. 1196-1198.
- [61] N. Shigekawa, K. Shiojima and T. Suemitsu, "Optical study of high-biased AlGa_N/Ga_N high-electron-mobility transistors", *Journal of Applied Physics*, Vol. 92, No. 1, 2002, pp. 531-535.
- [62] H. Kim, V. Tilak, B. M. Green, J. A. Smart, W. J. Schaff, J. R. Shealy and L. F. Eastman, "Reliability Evaluation of High Power AlGa_N/Ga_N HEMTs on Sic Substrate", *Physica Status Solidi*, Vol. 188, No. 1, 2001, pp. 203-206.
- [63] H. Kim, R. M. Thompson, V. Tilak, T. R. Prunty, J. R. Shealy and L. F. Eastman, "Effects of Si_N Passivation and High-Electric Field on AlGa_N-Ga_N HFET Degradation", *IEEE Electron Device Letters*, Vol. 24, No. 7, 2003, pp. 421-423.
- [64] G. Koley, V. Tilak, L. F. Eastman and M. G. Spencer, "Slow Transients Observed in AlGa_N/Ga_N HFETs: Effects of Si_{N_x} Passivation and UV Illumination", *IEEE Transactions on Electron Devices*, Vol. 50, No. 4, 2003, pp. 886-893.
- [65] R. Coffie, Y. Chen, I. P. Smorchkova, B. Heying, V. Gambin, W. Sutton, Y.-C. Chou, W.-B. Luo, M. Wojtowicz and A. Oki, "Temperature and Voltage Dependent RF Degradation Study in AlGa_N/Ga_N HEMTs", *2007 IEEE International Reliability Physics Symposium Proceedings*, 45th Annual, Phoenix, AZ, 2007, pp. 568-569.
- [66] H. Kim, A. Vertiatchikh, R. M. Thompson, V. Tilak, T. R. Prunty, J. R. Shealy and L. F. Eastman, "Hot electron induced degradation of undoped AlGa_N/Ga_N HFETs", *Microelectronics Reliability*, Vol. 43, Issue 6, 2003, pp. 823-827.

- [67] A. Sozza, C. Dua, E. Morvan, B. Grimber and S. L. Delage, "A 3000 hours DC Life Test on AlGaIn/GaN HEMT for RF and microwave applications", *Microelectronics Reliability*, Vol 45, Issue 9-11, 2005, pp. 1617-1622.
- [68] G. Meneghesso, G. Verzellesi, F. Danesin, F. Rampazzo, F. Zanon, A. Tazzoli, M. Meneghini and E. Zanoni, "Reliability of GaN High-Electron-Mobility Transistors: State of the Art and Perspectives", *IEEE Transactions on Device and Materials Reliability*, Vol. 8, No. 2, 2008, pp. 332-343.
- [69] M. Meneghini, A. Stocco, R. Silvestri, G. Meneghesso and E. Zanoni, "Degradation of AlGaIn/GaN high electron mobility transistors related to hot electrons", *Applied Physics Letters*, Vol. 100, No. 23, 2012, pp. 233508-233508-3.
- [70] S. K. Jha, B. H. Leung, C. Surya, H. Schweizer and M. H. Pilkhuhn, "Studies of Hot-electron Degradation in GaN HEMTs With Varying Gate Recess Depths", *Conference on Optoelectronic and Microelectronic Materials and Devices*, 2004, Brisbane, Qld., pp. 33-36.
- [71] H. Rao and G. Bosman, "Hot-electron induced defect generation in AlGaIn/GaN high electron mobility transistors", *Solid-State Electronics*, Vol. 79, 2013, pp. 11-13.
- [72] Y. S. Puzyrev, B. R. Tuttle, R. D. Schrimpf, D. M. Fleetwood and S. T. Pantelides, "Theory of hot-carrier-induced phenomena in GaN high-electron mobility transistors", *Applied Physics Letters*, Vol. 96, No. 5, 2010, pp. 053505-053505-3.
- [73] Y. S. Puzyrev, T. Roy, M. Beck, B. R. Tuttle, R. D. Schrimpf, D. M. Fleetwood and S. T. Pantelides, "Dehydrogenation of defects and hot-electron degradation in GaN high-electron-mobility transistors", *Journal of Applied Physics*, Vol. 109, No. 3, 2011, pp. 034510-034501-8.
- [74] A. Sarua, H. Ji, M. Kuball, M. J. Uren, T. Martin, K. J. Nash, K. P. Hilton and R. S. Balmer, "Piezoelectric strain in AlGaIn/GaN heterostructure field-effect transistors under bias", *Applied Physics Letters*, Vol. 88, Issue 10, 2006, pp. 103502-103502-3.
- [75] J. Joh and J. A. del Alamo, "Critical Voltage for Electrical Degradation of GaN High-Electron Mobility Transistors", *IEEE Electron Device Letters*, Vol. 29, No. 4, April 2008, pp. 287-289.
- [76] J. A. del Alamo and J. Joh, "GaN HEMT reliability", *Microelectronics Reliability*, Vol. 49, Issues 9-11, 2009, pp. 1200-1206.
- [77] S. Demirtas, J. Joh and J. A. del Alamo, "High voltage degradation of GaN High Electron Mobility Transistors on silicon substrate", *Microelectronics Reliability*, Vol. 50, Issue 6, June 2010, pp. 758-762.
- [78] U. Chowdury, J. L. Jimenez, C. Lee, E. Beam, P. Saunier, T. Balistreri, S.-Y. Park, T. Lee, J. Wang, M. J. Kim, J. Joh and J. A. del Alamo, "TEM Observation of Crack- and Pit-Shaped Defects in

- Electrically Degraded GaN HEMTs", IEEE Electron Device Letters, Vol. 29, No. 10, 2008, pp. 1098-1100.
- [79] J. Joh, J. A. del Alamo, K. Langworthy, S. Xie and T. Zheleva, "Role of stress voltage on structural degradation of GaN high-electron mobility transistors", Microelectronics Reliability, Vol. 51, Issue 2, February 2011, pp. 201-206.
- [80] Y. Wu, C.-Y. Chen and J. A. del Alamo, "Electrical and structural degradation of GaN high electron mobility transistors under high-power and high-temperature Direct Current stress", Journal of Applied Physics, Vol. 117, No. 2, 2015, pp. 025707-025707-6.
- [81] S. Y. Park, C. Floresca, U. Chowdhury, J. L. Jimenez, C. Lee, E. Beam, P. Saunier, T. Balistreri and M. J. Kim, "Physical degradation of GaN HEMT devices under high drain bias reliability testing", Microelectronics Reliability, Vol. 49, No. 5, 2009, pp. 478-483.
- [82] M. Montes Bajo, C. Hodges, M. J. Uren and M. Kuball, "On the link between electroluminescence, gate current leakage, and surface defects in AlGaIn/GaN high electron mobility transistors upon off-state stress", Applied Physics Letters, Vol. 101, No. 3, 2012, pp. 0333508-0333508-4.
- [83] P. Makaram, J. Joh, J. A. del Alamo, T. Palacios and C. V. Thompson, "Evolution of structural defects associated with electrical degradation in AlGaIn/GaN high electron mobility transistors", Applied Physics Letters, Vol. 96, No. 23, 2010, pp. 233509-233509-3.
- [84] F. Gao, B. Lu, L. Li, S. Kaun, J. S. Speck, C. V. Thompson and T. Palacios, "Role of oxygen in the OFF-state degradation of AlGaIn/GaN high electron mobility transistors", Applied Physics Letters, Vol. 99, Issue 22, 2011, pp. 223506-223506-3.
- [85] F. Gao, C. V. Thompson, J. A. del Alamo and T. Palacios, "Role of Electrochemical Reactions in the Degradation Mechanisms of AlGaIn/GaN HEMTs", CS MANTECH 2014, 2014 International Conference on Compound Semiconductor Manufacturing Technology, pp. 29-32.
- [86] D. Marcon, T. Kauerauf, F. Medjdoub, J. Das, M. Van Hove, P. Srivastava, K. Cheng, M. Leys, R. Mertens, S. Decoutere, G. Meneghesso, E. Zanoni and G. Borghs, "A Comprehensive Reliability Investigation of the Voltage-, Temperature- and Device Geometry-Dependence of the Gate Degradation on state-of-the-art GaN-on-Si HEMTs", 2010 International Electron Devices Meeting, San Francisco, CA, 2010, pp. 20.3.1-20.3.4.
- [87] E. A. Douglas, C.-H. Chang, T. Anderson, J. Hite, L. Lu, C.-F. Lo, B.-H. Chu, D. J. Cheney, B. P. Gila, F. Ren, G. D. Via, P. Whiting, R. Holzworth, K. S. Jones, S. Jang and S? J? Pearton, "Degradation of Sub-micron Gate AlGaIn/GaN HEMTs due to Reverse Gate Bias", 2010 IEEE International Integrated Reliability Workshop Final Report, Fallen Leaf, CA, 2010, pp. 125-128.

- [88] D. Marcon, J. Viaene, P. Favia, H. Bender, X. Kang, S. Lenci, S. Stoffels and S. Decoutere, "Reliability of AlGa_N/Ga_N HEMTs : Permanent leakage current increase and output current drop", *Microelectronics Reliability*, Vol. 52, Issues 9-10, 2012, pp. 2188-2193.
- [89] D. Marcon, G. Meneghesso, T.-L. Wu, S. Stoffels, M. Meneghini and E. Zanoni, "Reliability Analysis of Permanent Degradations on AlGa_N/Ga_N HEMTs", *IEEE Transactions on Electron Devices*, Vol. 60, No. 10, 2013, pp. 3132-3141.
- [90] M. Meneghini, A. Stocco, M. Bertin, D. Marcon, A. Chini, G. Meneghesso and E. Zanoni, "Time-dependent degradation of AlGa_N/Ga_N high electron mobility transistors under reverse bias", *Applied Physics Letters*, Vol. 100, Issue 3, 2012, pp. 033505-033505-3.
- [91] E. Zanoni, M. Meneghini, A. Chini, D. Marcon and G. Meneghesso, "AlGa_N/Ga_N-Based HEMTs Failure Physics and Reliability: Mechanisms Affecting Gate Edge and Schottky Junction", *IEEE Transactions on Electron Devices*, Vol. 60, No. 10, 2013, pp. 3119-3131.
- [92] D. Floriot, H. Blanck, D. Bouw, F. Bourgeois, M. Camiade, L. Favède, M. Hosch, H. Jung, B. Lambert, A. Nguyen, K. Riepe, J. Splettstöße, H. Stieglauer, J. Thorpe and U. Meiners, "New qualified industrial AlGa_N/Ga_N HEMT process: Power performances & reliability figures of merit" 2012 7th European Microwave Integrated Circuit Conference, Amsterdam, 2012, pp. 317-320.
- [93] D. Floriot, V. Brunel, M. Camiade, C. Chang, B. Lambert, Z. Ouarch-Provost, H. Blanck, J. Grünenpütt, M. Hosch, H. Jung, J. Splettstöße & U. Meiners, "GH25-10: New qualified power Ga_N HEMT process from technology to product overview", 2014 9th European Microwave Integrated Circuit Conference, Rome, 2014, pp. 225-228.
- [94] L. Brunel, B. Lambert, P. Mezenge, J. Bataille, D. Floriot, J. Grünenpütt, H. Blanck, D. Carisetti, Y. Gourdel, N. Malbert, A. Curutchet and N. Labat, "Analysis of Schottky gate degradation evolution in AlGa_N/Ga_N HEMTs during HTRB stress", *Microelectronics Reliability*, Vol. 53, No. 9-11, 2013, pp. 1450-1455.
- [95] M. Rzin, A. Curutchet, N. Labat, N. Malbert, L. Brunel and B. Lambert, "Schottky gate of AlGa_N/Ga_N HEMTs: Investigation with DC and low frequency noise measurements after 7000 hours HTOL test", 2015 International Conference on Noise and Fluctuations (ICNF), Xian, 2015, pp. 1-4.
- [96] L. Brunel, "Contribution à l'assurance fiabilité de filières HEMTs à base de Ga_N sur substrat SiC : caractérisation électrique approfondie et modélisation des effets parasites", PhD Thesis, University of Bordeaux, 2013.
- [97] K. Mukherjee, F. Darracq, A. Curutchet, N. Malbert and N. Labat, "Comprehensive Study into Underlying Mechanisms of Anomalous Gate Leakage Degradation in Ga_N High Electron

- Mobility Transistors", 2018 IEEE International Reliability Physics Symposium (IRPS), San Francisco, CA, 2018, pp. 4B.4-1-9.
- [98] L. Brunel, B. Lambert, D. Carisetti, N. Malbert, A. Curutchet and N. Labat, "Electrical Runaway in AlGa_N/Ga_N HEMTs: Physical Mechanisms and Impact on Reliability", IEEE Transactions on Electron Devices, 2017, pp. 1-6.
- [99] L. Brunel, N. Malbert, A. Curutchet, N. Labat and B. Lambert, "Kink effect characterization in AlGa_N/Ga_N HEMTs by DC and Drain Current Transient measurements", 2012 European Solid-State Device Research Conference, Bordeaux, 2012.
- [100] M. Dammann, M. Baeumler, F. Gütle, M. Cäsar, H. Walcher, P. Waltereit, W. Bronner, S. Müller, R. Kiefer, R. Quay, M. Mikulla, O. Ambacher, A. Graff, F. Altmann & M. Simon, "Reliability and degradation mechanism of 0.25 μ m AlGa_N/Ga_N HEMTs under RF stress conditions," 2011 IEEE International Integrated Reliability Workshop Final Report, South Lake Tahoe, CA, USA, 2011, pp. 42-46.
- [101] G. Astre, "Fiabilité des dispositifs HEMT en technologie GaN", PhD Thesis, University of Toulouse, 2012.
- [102] A. Divay, "Etude de la fiabilité à long terme de transistors HEMT à base de GaN", PhD Thesis, University of Rouen, 2015.
- [103] A. Benvegna, "Trapping and Reliability investigations in GaN-based HEMTs", PhD Thesis, University of Limoges, 2016.
- [104] M. Bouslama, "Caractérisation statique et dynamique des composants GaN HEMT couplées avec les simulations physiques et thermiques", PhD Thesis, Université de Limoges, 2020.
- [105] V. Di Giacomo-Brunel, "Industrial 0.15- μ m AlGa_N/Ga_N on Sic Technology for Applications up to Ka Band", 2018 13th European Microwave Integrated Circuits Conference (EuMIC, Madrid, 2018, pp. 1-4.

Chapitre 2. Présentation de la technologie GH15 et de l'étude de sa fiabilité

Avant toute introduction d'une nouvelle technologie, le processus de qualification est une étape indispensable afin de garantir un fonctionnement fiable qui réponde aux exigences de durée de vie des produits. En effet, les parties 1.4 et 1.5.2 ont pu mettre en avant différents effets parasites et mécanismes de dégradation pouvant impacter les performances des composants ou leur durée de vie. La politique d'UMS vise à assurer une durée de vie en conditions opérationnelles de ses composants supérieure à 20 ans. Pour ce faire, des études dédiées à la fiabilité sont menées au sein des laboratoires d'UMS.

Avant de pouvoir étudier la fiabilité des transistors d'une technologie, il est crucial d'avoir une vue d'ensemble de son architecture, des procédés de fabrication et de ses performances avant de lancer des essais de vieillissement accéléré. Dans cette optique, ce deuxième chapitre se concentre sur la présentation de la technologie étudiée au cours de ces travaux de thèse, à savoir GH15 avec notamment, un état de l'art vis-à-vis des technologies concurrentes. Par la suite, les caractéristiques électriques typiques des transistors de la technologie seront présentées, de même que les performances associées. Le but est de se servir de ces données comme références avant d'évaluer les dérives et les dégradations induites au cours des essais de vieillissement accéléré. Pour finir et afin de compléter la présentation de la technologie, une étude des chemins des courants de fuite sera présentée.

Par la suite, la méthodologie d'évaluation de la fiabilité mise en œuvre par UMS pour ces technologies sera décrite au travers des essais de vieillissement accéléré et des mesures de reprise utilisés. Les résultats des divers essais menés seront présentés et permettront de mettre en avant les diverses dérives observées sur la technologie au cours des premières heures. L'observation de ces effets parasites constitue le point de départ de ces travaux de thèse. Il est donc important d'avoir un premier aperçu de ces effets parasites au préalable avant leur étude au cours des chapitre 3 et 4.

2.1. Présentation de la technologie étudiée : GH15

La technologie MMIC étudiée, nommée GH15, est basée sur une hétéro-structure AlGaIn/GaN sur un substrat en SiC de 4 pouces. Le substrat est aminci à 70 μm au moyen d'un procédé de traitement de la face arrière afin d'assembler. Une grille en T d'une longueur de 0,15 μm est réalisée par une lithographie électronique sur des couches de passivation en SiN. Enfin, un plateau de champ connecté à la source surplombe la grille permettant d'augmenter les tensions supportées mais aussi de réduire la capacité grille-drain ce qui améliore le gain en puissance RF [1].

Elle inclut aussi des éléments passifs pour la conception de circuits MMIC ; résistances à couches minces, inductances, via-holes et capacités MIM (Figure 2.1-1).

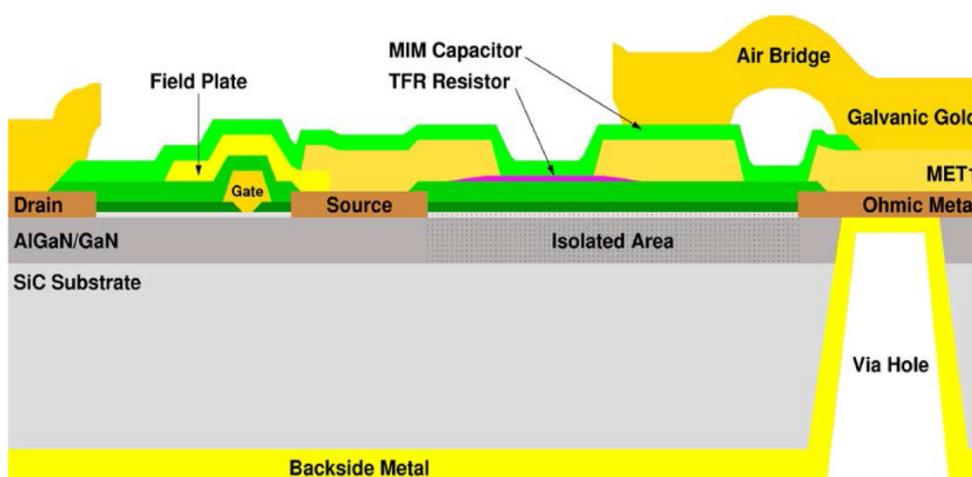


Figure 2.1-1 : Représentation schématique de la technologie GH15

La technologie GH15 est principalement prévue pour la conception d'amplificateurs de puissance fonctionnant jusqu'en bande Ka (de 26,5 à 40 GHz), de LNA (Low Noise Amplifier) et de switches visant les applications comme les liaisons radio point à point, la 5G, les communications satellite et les radars.

Le courant maximal de drain que peut délivrer la technologie est de 1,4 A/mm avec une transconductance de l'ordre de 400mS/mm et une tension de seuil de -3,2 V. La puissance de sortie mesurée est supérieure à 3 W/mm avec un rendement en puissance ajoutée associé de 40 % à 30 GHz pour des transistors de largeur de grille de 300 μm polarisés à une tension de drain de 20 V et un courant de 200 mA/mm [2].

D'autres technologies concurrentes sont actuellement disponibles sur le marché. Elles visent toutes la même bande de fréquence et les mêmes applications avec des performances différentes. Ainsi, la technologie GaN de Qorvo avec une longueur de grille de 0,15 μm sur substrat SiC fonctionne à 40 GHz avec une polarisation en tension de drain allant jusqu'à 28 V [3]. Elle possède une puissance de sortie de 4,2 W/mm et un rendement en puissance ajoutée supérieur à 50 % à 30 GHz. De son côté, Wolfspeed propose une technologie avec une tension de seuil de -2 V, une tension de polarisation

allant jusqu'à 28 V, une tension de claquage supérieure à 84 V et une fréquence maximale de 120 GHz [4]. A 30 GHz, la technologie présente un gain linéaire de 12 dB, une puissance maximale de 3,75 W/mm et un rendement en puissance ajoutée supérieur à 40 %. Enfin, WIN foundry a développé une technologie fonctionnant dans la bande 29 GHz. Cette dernière utilise une tension de polarisation de 20 V atteint une puissance à la saturation de 3 W/mm avec 13 dB de gain linéaire et un rendement en puissance ajoutée supérieur à 50 % [5].

2.2. Caractérisation initiale d'un transistor de la filière GH15

Il est important de caractériser les transistors d'une technologie avant leur fonctionnement (à $t = 0$) dans le but de pouvoir suivre l'évolution de leurs performances au cours du temps. De ce fait, cette partie s'attache à présenter les performances et les caractéristiques électriques de composants vierges. Une seconde partie se concentrera sur l'évaluation des chemins des courants de fuite dans le but d'avoir une meilleure connaissance de la technologie qui sera étudiée par la suite.

2.2.1. Performances électriques

La caractérisation des performances électriques du transistor se décompose en 4 mesures principales : I-V, I-V pulsé, les paramètres [S] et load-pull. Les mesures I-V permettent de déterminer les performances statiques du composant tandis que celles I-V pulsé permettent d'évaluer le comportement dynamique. Les paramètres [S] sont indispensables afin de caractériser les performances en fonction de la fréquence au travers des figures de mérite telles que le Ft ou le Fmax. De plus, ces mesures permettent l'extraction des paramètres fondamentaux à partir d'un schéma équivalent des transistors. Ces paramètres permettent d'identifier l'impact des modifications technologiques en cours de développement ou sont utilisés lors de l'élaboration des modèles des design kit par exemple. Enfin, les mesures load-pull ont pour objectif de caractériser le transistor en fonctionnement RF dans le but d'évaluer ses performances vis-à-vis des applications visées.

Les caractéristiques DC I_g-V_{gs} , I_d-V_{gs} et I_d-V_{ds} sont présentées respectivement Figure 2.2-1, Figure 2.2-2 et Figure 2.2-3. La caractéristique I_g-V_{gs} représente la commande du composant permettant de contrôler la densité de porteurs dans le canal. Effectuée pour une gamme de valeurs de tensions de drain, plusieurs informations peuvent être extraites de cette caractéristique. Un courant de fuite de grille en inverse est extrait de l'ordre de $1 \mu A/mm$. En fonction de la tension V_{ds} appliquée, la caractéristique se décale vers des valeurs positives traduisant un décalage du déclenchement de la diode de grille avec la tension de drain. De plus, une double pente est visible pour des tensions de grille positives. Cette double pente n'est pas présente sur d'autres technologies à base de nitrure de gallium et est attribuée à la présence d'une couche espaceur (« spaceur ») ajoutant une hauteur de barrière partielle.

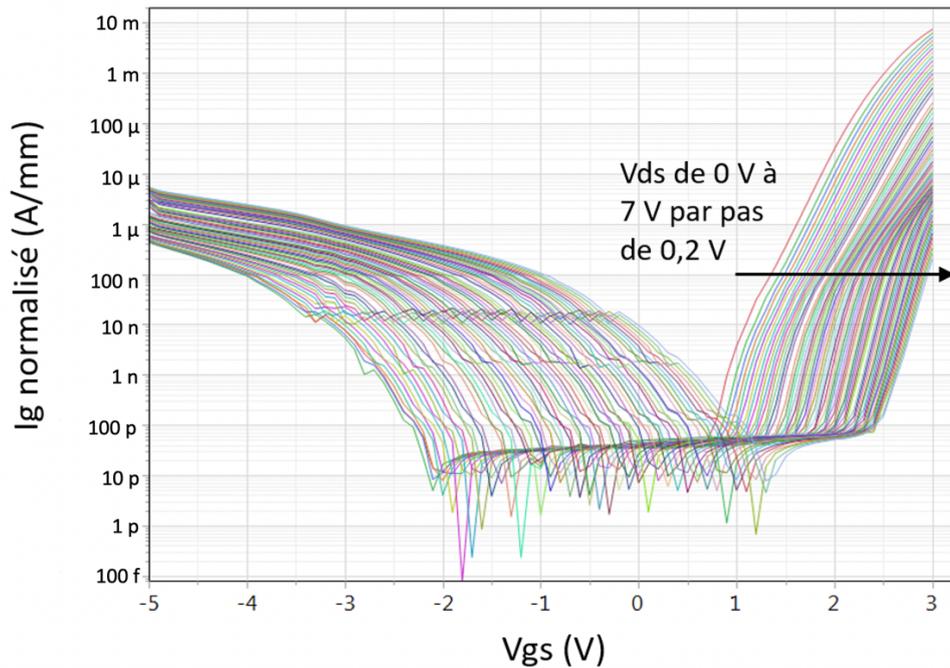


Figure 2.2-1 : Caractéristique I_g - V_{gs} pour V_{ds} de 0 V à 7 V par pas de 0,2 V

La caractéristique I_d - V_{gs} représente le contrôle du canal et permet d'obtenir un grand nombre d'informations sur les performances électriques du composant en étant représentée à l'aide d'une échelle logarithmique. Le courant de fuite sous le seuil peut être extrait pour des tensions de grilles inférieures à -4 V. Pour des valeurs de tensions de drain proches de 0 V, le courant de drain obtenu par la mesure est du même ordre de grandeur que le courant de fuite de grille issu de la caractéristique I_g - V_{gs} . On en déduit qu'un déplacement d'électrons entre la grille et le drain est responsable du courant de fuite sous le seuil ($V_{gs} < -3,5$ V). En augmentant la tension V_{ds} , le courant de fuite sous le seuil augmente décrivant un nouveau mécanisme de conduction. Cette augmentation est attribuée à un déplacement d'électrons dans le canal, entre drain et source. Plusieurs paramètres sont extraits de cette caractéristique afin d'étudier le contrôle du canal : la tension de seuil, la pente sous le seuil et le DIBL (« Drift Induced Barrier Lowering »). La technologie GH15 possède une tension de seuil de -3,2 V. La pente sous le seuil, représentant la faculté de contrôle du canal du transistor, est extraite de cette caractéristique pour une tension V_{gs} comprise entre -3,5 V et -3 V. Elle est exprimée en V/dec, ainsi, plus sa valeur est faible, meilleur est le contrôle du canal. Le DIBL est un effet de canal court représentant le décalage de la tension de seuil du transistor lorsque la tension de drain augmente et s'exprime en mV/V.

$$DIBL = \frac{V_{TH_{high}} - V_{TH_{low}}}{V_{ds_{high}} - V_{ds_{low}}} \quad (mV/V) \quad \text{Eq. 2.2-1}$$

Où $V_{TH_{high}}$ et $V_{TH_{low}}$ représentent respectivement la tension de seuil mesurée pour une tension de drain $V_{ds_{high}}$ et $V_{ds_{low}}$. Pour finir, une augmentation du courant de drain est observée à mesure que la tension de drain augmente. Cette augmentation commence à saturer pour des tensions de drain supérieures à 5 V et traduit le courant de saturation du composant. Ce dernier est supérieur à 1 A/mm pour la technologie GH15.

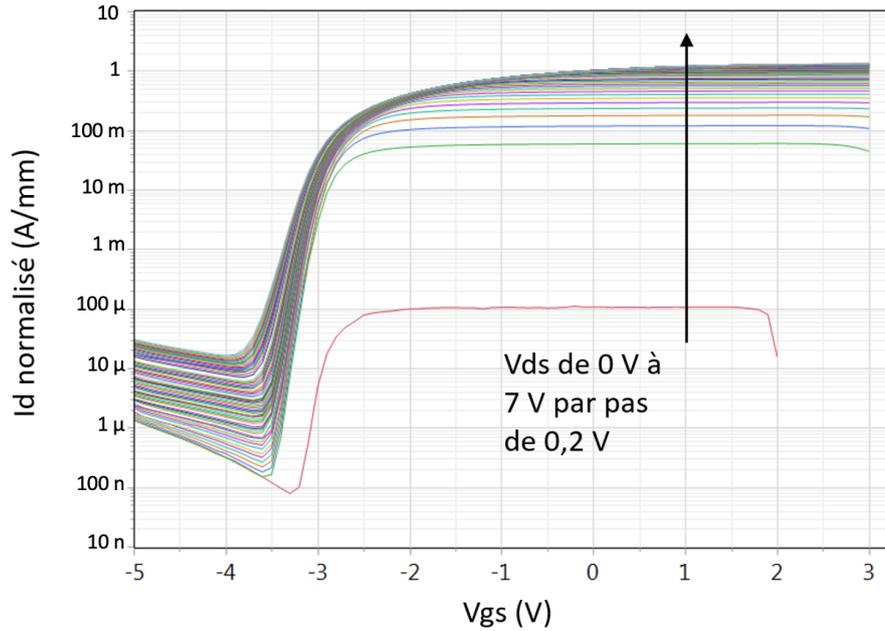


Figure 2.2-2 : Caractéristique de transfert en échelle logarithmique pour V_{ds} de 0 V à 7 V par pas de 0,2 V

La caractéristique de sortie I_d - V_{ds} traduit le fonctionnement du composant et permet de faire le lien avec son fonctionnement dynamique. Cette caractéristique permet, par le biais du cycle de charge, d’appréhender les excursions en tension et en courant de sortie du composant au cours de son fonctionnement RF. Quelques paramètres sont mis en avant grâce à cette caractéristique comme la résistance dynamique, le courant de saturation et la tension de déchet induite par la transition entre régime ohmique et régime saturé. Pour les composants de la technologie GH15, on constate qu’une tension de drain supérieure à 7 V est nécessaire, pour une tension de grille de 3 V, afin d’obtenir le courant de saturation, identique à celui extrait à partir de la caractéristique I_d - V_{gs} .

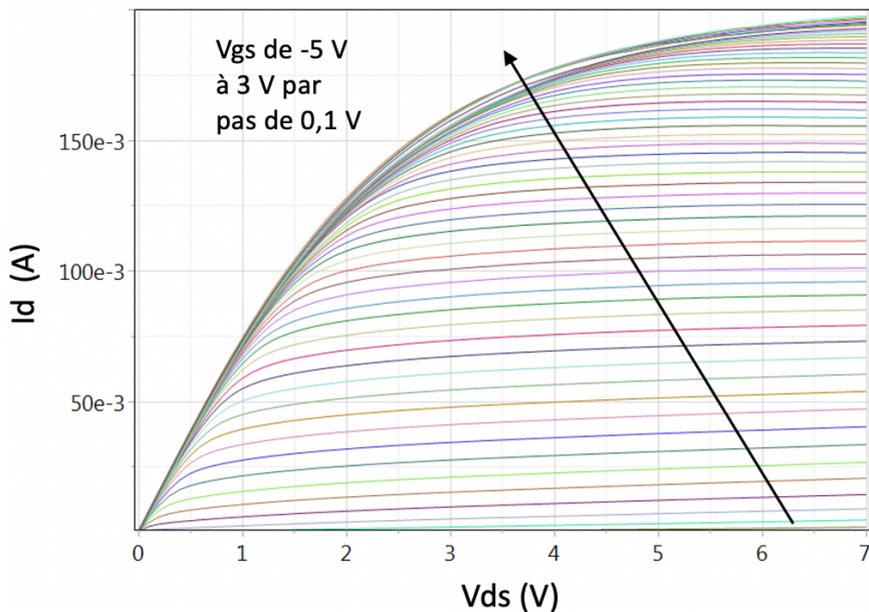


Figure 2.2-3 : Caractéristique de sortie pour V_{gs} de -5 V à 3 V par pas de 0,1 V

Différents paramètres électriques DC extraits des mesures sont listés Tableau 2.2-1.

Paramètre	Conditions	Valeur
<i>Idss</i>	Id à Vds = 10 V et Vgs = 0 V	1,2 A/mm
<i>Idspl</i>	Id à Vds = 10 V et Vgs = 1 V	1,4 A/mm
<i>Vg100</i>	Tension de seuil à Idss/100	-3,2 V
<i>GmMax</i>	Transconductance maximale à Vds = 10 V	390 mS/mm
<i>Igleak</i>	Courant de fuite de grille à Vgs = -7 V et Vds = 10 V	300 μ A/mm
<i>Idleak</i>	Courant de fuite de drain à Vgs = -7 V et Vds = 10 V	300 μ A/mm
<i>DIBL</i>	Vds _{low} = 1 V et Vds _{high} = 7 V	-56 mV/V
<i>Pente sous le seuil</i>	Pour Id entre 100 μ A/mm et 1 mA/mm	0,19 V/dec

Tableau 2.2-1 : Performances électriques DC des transistors de la filière GH15

Les mesures I-V pulsées permettent d'évaluer les performances dynamiques des transistors. Des mesures sont extraits les taux de « gate lag » et de « drain lag ». Ils représentent respectivement le retard de commutation du courant de drain suite à une impulsion de tension appliquée sur la grille et suite à une impulsion de tension appliquée sur le drain. Ils mettent en avant des effets de piégeage présents dans les technologies à base de GaN. A UMS, les taux de lag sont calculés par le biais d'un rapport de puissance sur une caractéristique en mode impulsif mesurée à trois points de repos Vgs/Vds = 0V/0V, -5V/0V et -5V/30V. Le rapport de puissance permet d'obtenir une image des pertes induites par les pièges lors d'un fonctionnement RF. Il tient compte d'une diminution du courant de saturation, d'un changement de résistance dynamique ainsi que d'une diminution du courant dans la zone de transition entre le régime ohmique et le régime saturé.

La caractéristique obtenue pour le point de repos Vgs/Vds = 0V/0V sert de mesure de référence. Comparer les mesures pulsées pour les points de repos -5V/0V et 0V/0V permet donc d'évaluer le taux de gate lag, tandis que le drain lag est extrait en comparant les mesures obtenues pour les points de repos Vgs/Vds = -5V/30V et -5V/0V. Le choix de ces points de repos se base sur un compromis défini afin de se rapprocher des excursions en tension vues par le transistor lors d'un fonctionnement RF sans pour autant dégrader le transistor. C'est principalement le cas pour le point de repos -5V/30V où la tension de repos de drain est de 30 V quand l'excursion en tension RF est deux à trois fois supérieure à la tension de polarisation égale 20 V. Idéalement, il est nécessaire d'avoir une tension de repos de drain plus élevée mais des limitations liées au banc de caractérisation ne permettent pas d'effectuer des mesures à des tensions supérieures sans risquer de détruire les composants sous test. Il ne s'agit pas ici d'une limite de la technologie mais plutôt la conséquence d'« overshoots » engendrés par les séquences de test utilisées lors des mesures. Une tension de 30 V permet néanmoins d'aller assez loin en tension pour activer les pièges vus par le transistor lors d'un fonctionnement RF.

Le rapport de puissance utilisé pour le calcul des taux de lag se base sur une droite de charge théorique déterminée grâce au point A (Vds = 10 V et Id/2 pour Vgs = 1 V et Vds = 10 V) et au point B

($I_d = 0,9 \cdot I_{d\text{max}}$) sur la caractéristique de sortie mesurée pour le point de repos 0V/0V (Figure 2.2-4). Les points A et B ont été choisis de manière arbitraire afin de refléter au mieux la dégradation potentielle de la puissance de sortie induite par les effets de piégeage.

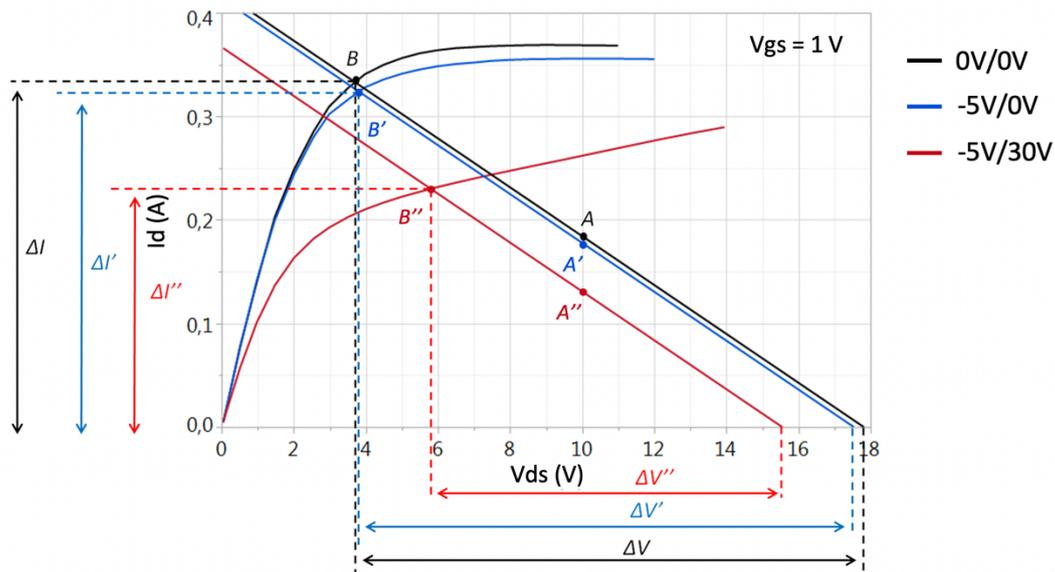


Figure 2.2-4 : Caractéristique de sortie en mode pulsée pour les points de repos $V_{gs}/V_{ds} = 0V/0V$ en noir, $-5V/0V$ en bleu et $-5V/30V$ en rouge et droites de charge théoriques pour chaque courbe

Pour les deux autres points de repos, la droite de charge est décalée en fonction du point A, c'est à dire du courant de drain mesuré à $V_{ds} = 10\text{ V}$ tout en conservant la même pente que celle de la droite définie pour le point de repos 0V/0V. Le point B est alors défini à l'intersection entre la droite de charge théorique et la mesure. Garder la même pente pour la droite de charge en la décalant simplement en fonction du point A permet d'évaluer le composant dans des conditions similaires quel que soit le point de repos.

Le point A permet de tenir compte de la diminution du courant de saturation de drain en fonction de la polarisation de repos appliquée. Le point B, défini comme l'intersection entre la caractéristique pulsée et la droite de charge, permet de tenir compte d'une diminution du courant dans le coude et/ou d'une modification de la résistance dynamique. Les trois droites obtenues permettent de déterminer des valeurs d'excursion en tension et en courant. Les taux de gate lag et de drain lag sont alors calculés en se basant sur les expressions suivantes :

$$\text{Gate Lag (\%)} = \left(1 - \frac{\Delta I' \Delta V'}{\Delta I \Delta V}\right) \cdot 100 \quad \text{Eq. 2.2-2}$$

$$\text{Drain Lag (\%)} = \left(1 - \frac{\Delta I'' \Delta V''}{\Delta I' \Delta V'}\right) \cdot 100 \quad \text{Eq. 2.2-3}$$

Où ΔI ($\Delta I'$, $\Delta I''$) et ΔV ($\Delta V'$, $\Delta V''$) représentent les variations de courant et de tension associées à la droite de charge en fonction du point de repos appliqué. Les résultats du calcul des taux de lag pour un ensemble de composants issus de différents lots de la filière GH15 sont reportés Figure 2.2-5 dans des diagrammes en boîte à moustaches. Chaque rectangle représente ainsi le premier et le

troisième quartile et est coupé par la médiane. Les segments aux extrémités traduisent quant à eux, les premiers et neuvièmes déciles. Le taux de gate lag est de l'ordre de 4 % tandis que le taux de drain lag est de 30 à 32 %. En comparaison, sur la filière GH25 (avec un point de repos $V_{gs}/V_{ds} = -5V/50V$), un taux de gate lag de 12-13 % et un taux de drain lag de 23-24 % sont estimés par la même méthode de calcul.

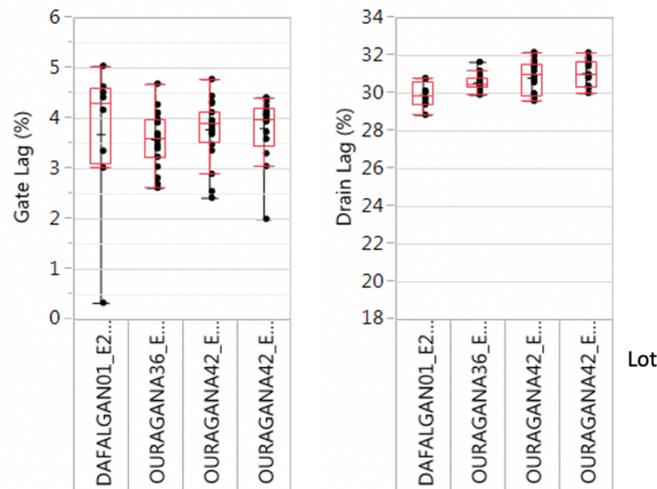


Figure 2.2-5 : Taux de gate lag et de drain lag pour un ensemble de composants issus de différents lots de la filière GH15

Afin d'évaluer les performances RF des transistors vis-à-vis des applications visées par la technologie, des mesures load-pull sont mises en place. Elles sont effectuées pour une charge optimisée en puissance à une fréquence de 30 GHz. Les résultats pour un composant typique sont présentés Figure 2.2-6. Ils mettent en avant une densité de puissance de 3,5 W/mm à 6 dB de compression et à 30 GHz pour une charge optimisée en puissance avec un rendement en puissance ajoutée maximal proche de 40 % obtenu à 5 dB de compression.

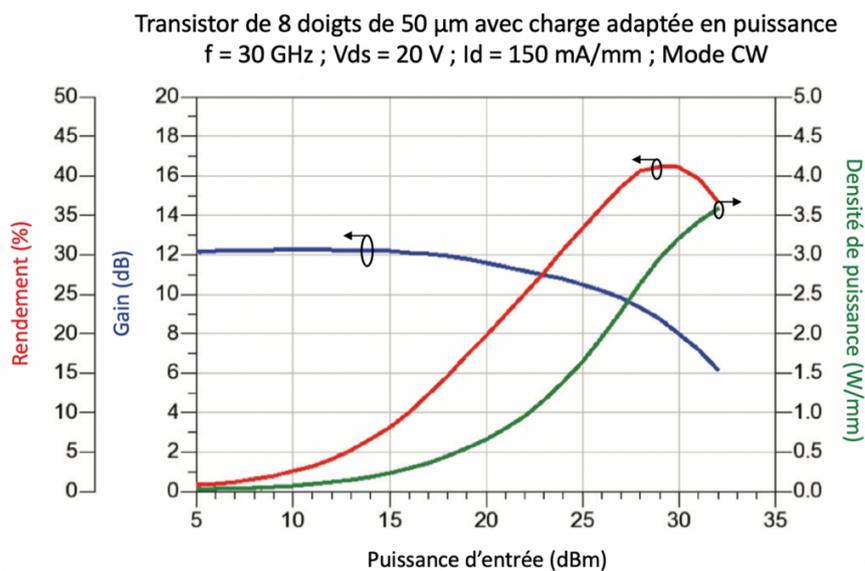


Figure 2.2-6 : Puissance de sortie, rendement en puissance ajoutée et gain en fonction de la puissance d'entrée pour un transistor de 8 doigts de 50 μm avec charge adaptée en puissance de sortie à une fréquence de 30 GHz ($V_{ds} = 20 \text{ V}$ et $I_d = 150 \text{ mA/mm}$)

2.2.2. Chemins des courants de fuite dans la technologie GH15

Le courant de grille est une grandeur importante des HEMTs GaN pouvant mener à des dégradations telles qu'une augmentation du courant de fuite du transistor ainsi qu'une dérive positive de la tension de seuil du composant (partie 1.4.2). Il est donc intéressant d'étudier ce courant et plus précisément les chemins des courants de fuite de la technologie. Dans cette optique, des structures de test, représentées Figure 2.2-7, ont été conçues pour l'étude des chemins de fuite dans le transistor. Elles consistent à isoler la face arrière et le plateau de champ, de la source du transistor. Une électrode dite « latérale » a été ajoutée et placée proche de la zone active du transistor. Elle permet d'évaluer la possibilité de collecter des porteurs se délocalisant du canal.

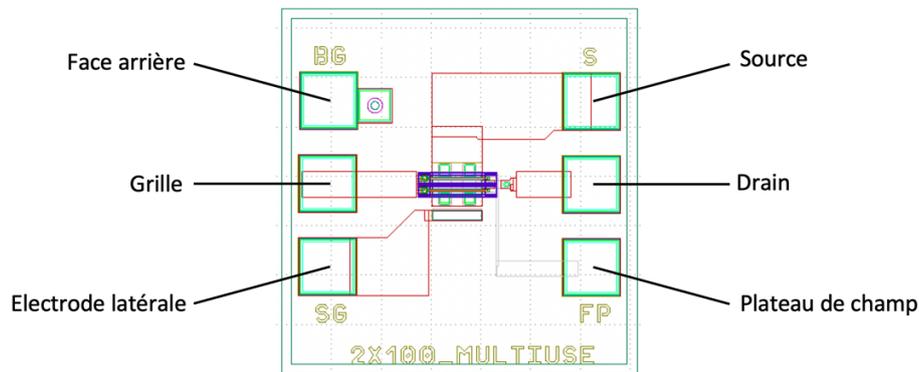


Figure 2.2-7 : Schéma de la topologie de transistor ; les contacts aux extrémités permettent de polariser l'électrode latérale (SG), la face arrière (BG), le plateau de champ (FP) ou la source (S) en complément de la polarisation de grille ou de drain du transistor

Ce type de transistor, nommé « multi-use », permet l'étude des chemins parcourus par les courants de fuite dans la structure, notamment entre la grille et le plateau de champ ou la face arrière. Afin de caractériser les différents chemins de fuite de la technologie, un balayage en tension a été effectué tour à tour entre la grille et le drain (1), la source (2), le plateau de champ (3), la face arrière (4) et l'électrode latérale (5). Le balayage a été effectué de 0 V jusqu'à -40 V, les autres contacts étant ouverts. L'ensemble des conditions de mesure effectuées à température ambiante est reporté dans le Tableau 2.2-2.

N°	Grille	Drain	Source	Plateau de champ	Face arrière	Électrode latérale
1	De 0 V à -40 V	0 V	Ouvert	Ouvert	Ouvert	Ouvert
2	De 0 V à -40 V	Ouvert	0 V	Ouvert	Ouvert	Ouvert
3	De 0 V à -40 V	Ouvert	Ouvert	0 V	Ouvert	Ouvert
4	De 0 V à -40 V	Ouvert	Ouvert	Ouvert	0 V	Ouvert
5	De 0 V à -40 V	Ouvert	Ouvert	Ouvert	Ouvert	0 V
6	De 0 V à -40 V	Ouvert	0 V	0 V	Ouvert	Ouvert
7	De 0 V à -40 V	Ouvert	0 V	Ouvert	0 V	Ouvert
8	De 0 V à -40 V	Ouvert	0 V	0 V	0 V	Ouvert

Tableau 2.2-2 : Conditions de mesure appliquées sur les transistors multi-use dans le but d'évaluer les chemins de fuite de la technologie

Les résultats obtenus pour un composant représentatif sont reportés Figure 2.2-9 et permettent d'évaluer tous les chemins de fuite possible du transistor. Un courant de $250 \mu\text{A}/\text{mm}$ est obtenu à -40 V entre grille et source tandis qu'il est de $150 \mu\text{A}/\text{mm}$ entre la grille et le drain. Les autres courants sont négligeables en regard des fuites obtenues que ce soit entre grille et drain ou entre grille et source. Ces mêmes résultats ont été reproduits sur un ensemble de 4 composants. Le courant de fuite entre la grille et la face arrière est plus important sur l'ensemble de la caractéristique en comparaison au courant entre la grille et le plateau de champ ou l'électrode latérale. Cependant, aucune explication concrète n'est donnée quant à cette différence. Ce courant reste cependant bien inférieur, de 4 décades, au courant grille-drain et grille-source et est donc négligeable.

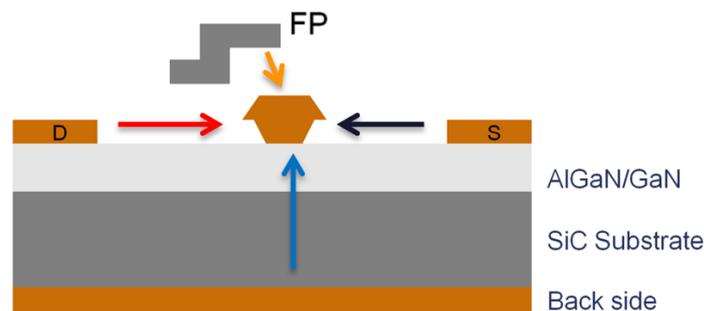


Figure 2.2-8 : Vue schématique des chemins des courants de fuites évalués entre la grille et les autres électrodes du transistor

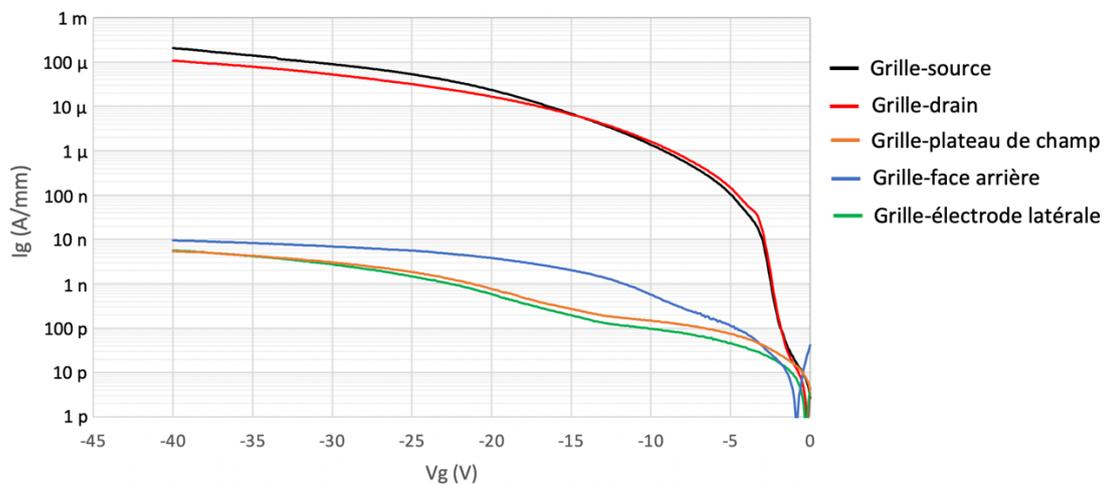


Figure 2.2-9 : Caractéristique I-V en inverse entre grille et source (en noir), grille et drain (en rouge), grille et face arrière (en bleu), grille et plateau de champ (en orange) et grille et électrode latérale (en vert)

Des mesures complémentaires ont été réalisées en appliquant la polarisation entre grille et source en connectant ou non à la source le plateau de champ et la face arrière (lignes 6, 7 et 8 du Tableau 2.2-2). Les résultats sont présentés sur la Figure 2.2-11. Le courant mesuré est similaire que la source soit ou non connectée au plateau de champ (6), à la face arrière (7) ou aux deux (8). Ceci confirme les résultats obtenus précédemment, à savoir que les fuites entre la grille et le plateau de champ ou la face arrière sont négligeables devant les fuites entre grille et source et entre grille et drain.

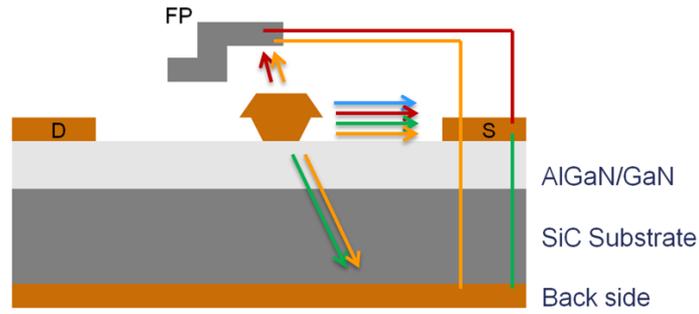


Figure 2.2-10 : Vue schématique des chemins des courants de fuites évalués entre grille et source en connectant ou non la face arrière et ou le plateau de champ (FP)

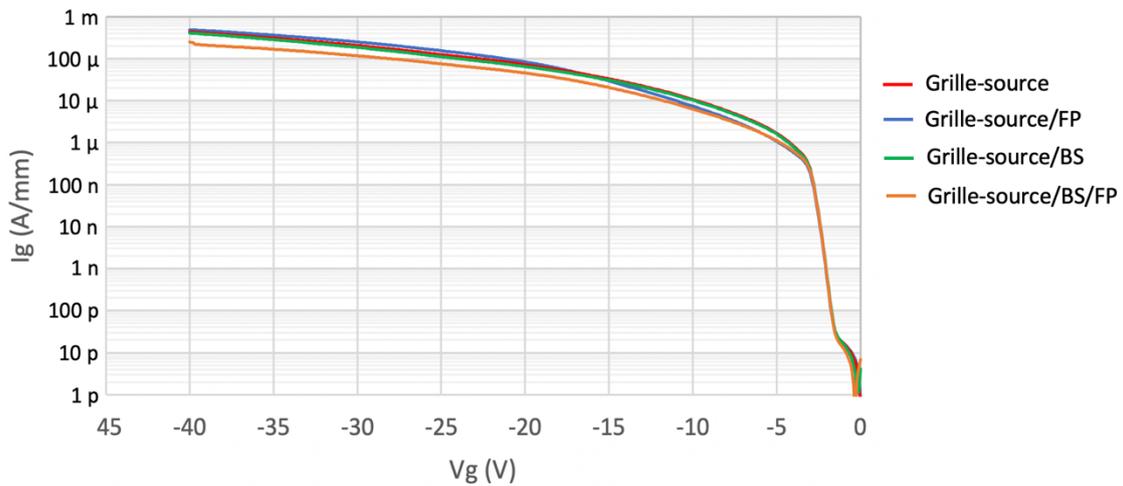


Figure 2.2-11 : Caractéristique I-V en inverse entre grille et source seule (en bleu), connectée au plateau de champ (en rouge), connectée à la face arrière (en vert) et connectée à la fois au plateau de champ et à la face arrière (en orange)

Cette partie a permis d'étudier les chemins des courants de fuite de la technologie GH15. Cette étude mène à la conclusion que les principaux chemins du courant de fuite de la technologie sont entre la grille et le drain et entre la grille et la source du composant. Les autres chemins de fuites sont négligeables en comparaison aux deux cités précédemment.

2.3. Étude de la fiabilité de la technologie GH15

La fiabilité d'un système ou d'un composant électronique est définie comme la capacité de ce même système à réaliser une fonction précise, dans des conditions données et pour une période de temps donnée. Notée $R(t)$ et comprise entre 0 et 1, la fonction de fiabilité représente la probabilité de bon fonctionnement à l'instant t .

$$R(t) = 1 - F(t)$$

Eq. 2.3-1

$F(t)$ est la fonction de répartition du taux de défaillance cumulé représentant la probabilité qu'un composant soit défaillant avant un temps t . Il est possible de définir ainsi la densité de probabilité de défaillance, notée $f(t)$, permettant d'évaluer la probabilité qu'un composant soit défaillant dans un intervalle de temps donné. Elle est définie comme suit :

$$f(t) = \frac{dF(t)}{dt} \quad \text{Eq. 2.3-2}$$

Le taux de défaillance instantané exprimé en h^{-1} est défini tel que :

$$\lambda(t) = \frac{f(t)}{R(t)} \quad \text{Eq. 2.3-3}$$

Les composants électroniques étant conçus à base de matériaux semi-conducteurs, ils ont une durée de vie limitée qu'il est important d'évaluer. Le cycle de vie se décompose en trois parties distinctes, la mortalité infantile, la vie utile et la fin de vie qui sont représentées sur la courbe $\lambda(t)$ fonction du temps dite courbe de Weibull [6] (Figure 2.3-1).

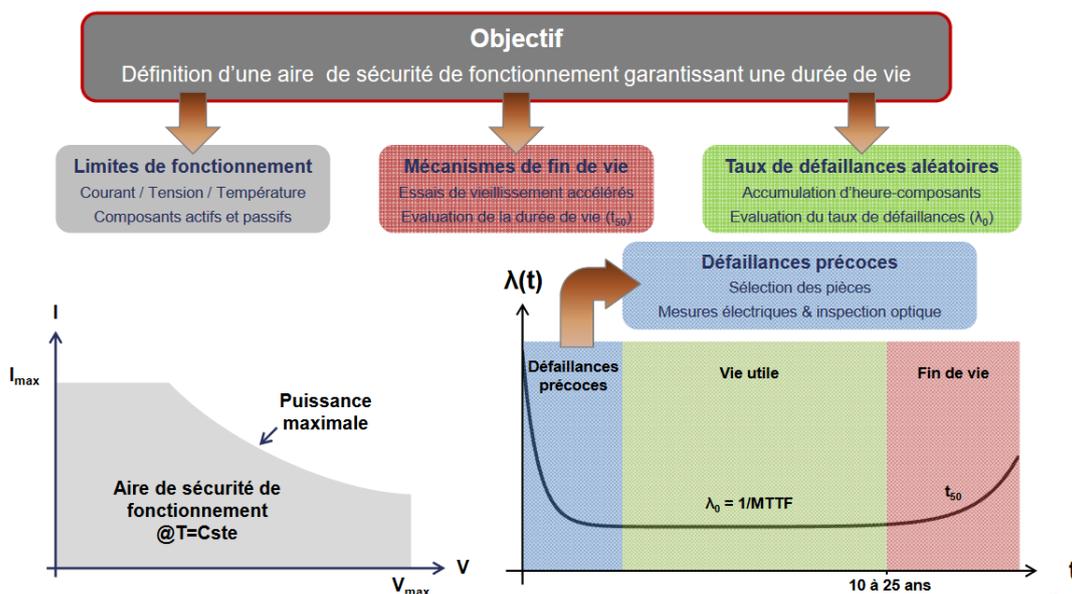


Figure 2.3-1 : Diagramme de qualification d'une nouvelle technologie [7]

La mortalité infantile, caractéristique de la phase initiale de la vie d'un composant, se caractérise par une diminution progressive du nombre de défaillances au cours du temps. Ces défaillances, activées par la température, de la tension ou d'autres contraintes, sont généralement associées à des défauts de conception ou de fabrication des composants. Des tris sur critères électriques et optiques permettent de ne livrer que des puces « bonnes » aux clients. En fonction du temps, le taux de défaillance se stabilise à son niveau le plus bas qui représente la période de vie utile des composants. Malgré un taux de défaillance extrêmement bas, des défaillances aléatoires peuvent se déclencher. Enfin, la fin de vie des composants représente la période durant laquelle les défaillances sont dues à l'usure des composants et se traduit par une augmentation du taux de défaillance en fonction du temps.

Deux paramètres importants permettent d'évaluer la fiabilité de composants électroniques non réparables. La vie utile est caractérisée par le paramètre MTTF (Mean Time To Failure) qui correspond à la durée moyenne de fonctionnement d'un composant avant sa première défaillance. La fin de vie est représentée par le paramètre t_{50} qui correspond au temps pour lequel 50 % de la population de composants étudiés est considérée comme défaillante.

Pour toute nouvelle technologie, il est donc important qu'une procédure de qualification des produits soit menée afin de garantir un fonctionnement fiable qui réponde aux exigences de durée de vie. La durée de vie du composant correspond à la durée durant laquelle il est en capacité d'accomplir une fonction donnée, dans des conditions données. Il est donc nécessaire de définir dans un premier temps des critères de défaillance avant de pouvoir identifier les mécanismes de fin de vie au travers de la durée de vie représentée par le paramètre t_{50} . Une méthodologie doit être mise en place afin de répondre à toutes ces exigences, ce qui se traduit par un plan de qualification tel celui utilisé à UMS (Figure 2.3-2).

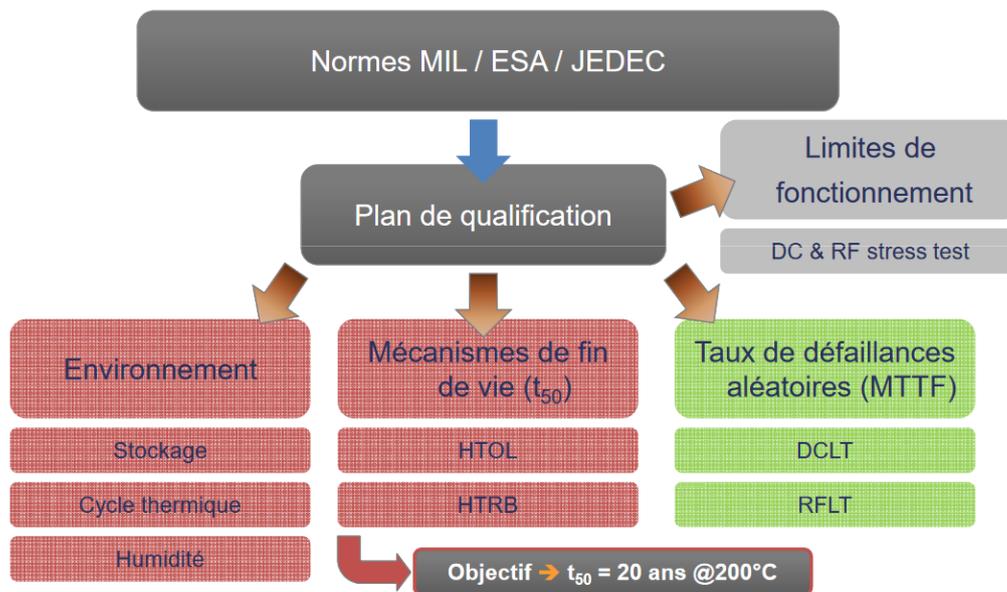


Figure 2.3-2 : Diagramme du plan de qualification établi à UMS pour la qualification d'une nouvelle technologie [7]

2.3.1. Types d'essais de vieillissement

Dans le diagramme du plan de qualification, présenté Figure 2.3-2, plusieurs types d'essais de vieillissement sont mis en œuvre afin d'évaluer la fiabilité de la technologie et de déterminer la durée de vie des composants qui, selon la politique d'UMS, se doit d'être supérieure à 20 ans à une température de jonction de 200 °C. Chaque type de test permet l'étude de la fiabilité des composants sous un angle différent ; il est donc important de comprendre l'intérêt de chacun des types d'essai.

2.3.1.1. Test à stress échelonné (step stress)

Ce type de stress a pour objectif d'évaluer les limites de fonctionnement des composants et de définir les conditions des essais de vieillissement qui seront menés par la suite. Ils se décomposent en deux catégories, les DCSST (DC Step Stress Test) et les RFSST (RF Step Stress Test). Au cours d'un DCSST, le composant est généralement polarisé en condition pincée tandis que la tension de drain est

augmentée par pas vers des valeurs de plus en plus positives. Ce type de test permet de déterminer la limite en tension du composant et de définir notamment la tension V_{ds} nominale de fonctionnement qui sera appliquée au cours des tests RF. En ce qui concerne le RFSST, une augmentation par pas de la puissance d'entrée du signal RF est effectuée afin d'évaluer la compression maximale du cycle de charge que peuvent supporter les composants testés.

2.3.1.2. *HTOL (High Temperature Operating Life)*

Ce type de test est effectué en température pour une polarisation correspondant aux conditions nominales de fonctionnement. Le courant n'étant pas nul au cours de ce type de test, la température appliquée (T_c) au cours du test est choisie en fonction de la température de jonction du transistor. La température de jonction peut être déterminée à l'aide de simulations thermiques, validées préalablement par des mesures, et est donnée par la relation suivante :

$$T_j = T_c + R_{th}P_{diss} \quad \text{Eq. 2.3-4}$$

Où T_c est la température de la carte de test, R_{th} est la résistance thermique du composant et P_{diss} est la puissance dissipée par le composant. Ce type de test permet de mettre en avant les mécanismes activés par électrons chauds. La réalisation de ce type de test dans des conditions similaires pour au moins trois températures distinctes permet de prédire la valeur du paramètre t_{50} à une température de fonctionnement nominale et d'extraire une énergie d'activation du mécanisme de dégradation.

2.3.1.3. *HTRB (High Temperature Reverse Bias)*

Au cours d'un test HTRB, le composant est polarisé à une tension V_{ds} élevée et une tension V_{gs} très inférieure à la tension de seuil du transistor. Aucun courant ne circule dans le canal, de ce fait la température de jonction des composants est identique à celle appliquée au cours du test. Ce type de test met en avant les dégradations activées par le champ électrique.

2.3.1.4. *Test de durée de vie (Life Test)*

Les tests de durée de vie sont principalement utilisés dans le but d'accumuler des « heures-composants » à des températures proches de celles de fonctionnement. Les conditions des tests DCLT sont similaires à celles des tests HTOL mais pour des températures de jonction inférieures afin de ne pas accélérer les mécanismes de fin de vie. Ce test permet de déterminer le taux de défaillance. Les tests DC ne sont cependant pas suffisants pour étudier le temps moyen jusqu'à la défaillance d'une technologie RF MMIC car un seul point de polarisation est évalué au travers de ce type de test, ce qui n'est pas représentatif d'un fonctionnement RF. De même que pour les tests HTOL, réaliser des tests RFLT pour au moins trois températures permet de prédire la valeur du paramètre t_{50} pour une température donnée. Un test RFLT permet d'évaluer la durée de vie des composants dans un

fonctionnement applicatif cependant, si plusieurs modes de dégradation sont identifiés, il n'est pas possible de les étudier indépendamment avec ce type de test.

Ainsi, les tests RFLT sont majoritairement employés dans le but d'évaluer le temps moyen jusqu'à la défaillance pour des technologies MMIC RF tandis que des tests DC tels que les tests DCLT, HTOL ou encore HTRB permettent d'étudier les différents modes de dégradation indépendamment.

2.3.2. Mesures de reprises

Afin d'étudier la fiabilité des composants, il est nécessaire de suivre les performances électriques des composants au cours du temps. Un premier suivi est effectué au cours des tests par des mesures dites de « monitoring ». Elles permettent de suivre, tout au long des essais, l'évolution des courants de drain et de grille pour l'ensemble des types de test, et l'évolution de la puissance de sortie pour les tests RF. Moyennant un ou des critères de défaillances, il est alors possible de déterminer précisément le temps de défaillance en cas de dégradation catastrophique du composant ou de dérives du courant de grille ou de drain. Cependant, il est nécessaire de compléter la caractérisation par des mesures DC et RF afin d'extraire des paramètres électriques spécifiques. Les tests de vieillissement doivent donc être stoppés à intervalles réguliers en échelle temporelle logarithmique dans le but d'effectuer les mesures dites de reprises.

A UMS, deux types de mesures de reprise sont mises en place au cours des essais de vieillissement, à savoir des mesures DC et des mesures de puissance. Les mesures de puissance permettent de suivre les paramètres caractéristiques des performances des composants utilisés principalement dans la conception des circuits tels que : la puissance de sortie, le rendement en puissance ajoutée et le gain. Cependant, le suivi de ces paramètres ne permet pas d'évaluer l'origine physique des différents mécanismes de dégradation. C'est la raison pour laquelle, des mesures DC sont souvent associées aux mesures de puissance.

2.3.2.1. Mesures DC

Les mesures DC effectuées sont les caractéristiques de diode en direct et en inverse, la caractéristique de transfert à une tension V_{ds} de 10 V et la caractéristique de sortie pour une tension V_{gs} de -4 V à 0 V par pas de 1 V. En plus de ces mesures, des paramètres électriques DC sont extraits afin de quantifier les dérives observées au cours du vieillissement. A UMS, plus de 40 paramètres sont extraits des mesures DC permettant un suivi complet du comportement électrique des transistors au cours du temps. Les paramètres sont ainsi présentés dans le Tableau 2.3-1 avec leurs conditions d'extraction.

Paramètres	Conditions	Unité
<i>Idss</i>	$I_{ds} @ V_{ds} = 10 \text{ V}$ et $V_{gs} = 0 \text{ V}$	mA/mm
<i>Gm1</i>	$G_m @ V_{ds} = 10 \text{ V}$ et $V_{gs} = 0 \text{ V} \pm 50 \text{ mV}$	mS/mm
<i>Idspl</i>	$I_{ds} @ V_{ds} = 10 \text{ V}$ et $V_{gs} = 1 \text{ V}$	mA/mm
<i>Gm+</i>	$G_m @ V_{ds} = 10 \text{ V}$ et $V_{gs} = 1 \text{ V} \pm 50 \text{ mV}$	mS/mm
<i>Gm2</i>	$G_m @ V_{ds} = 10 \text{ V}$ et $V_{g2} \pm 50 \text{ mV}$	mS/mm
<i>Vg2</i>	$V_{gs} @ V_{ds} = 10 \text{ V}$ et $I_{ds} = I_{dss}/2$	V
<i>GmMax</i>	Maximum de $G_m @ V_{ds} = 10 \text{ V}$	mS/mm
<i>IdMax</i>	$I_d @ G_{mMax}$	mA/mm
<i>VgMax</i>	$V_{gs} @ G_{mMax}$	V
<i>Idq</i>	$I_d @ V_{ds} = 10 \text{ V}$ et $V_{gs} = -2,5 \text{ V}$	mA/mm
<i>Igq</i>	$I_g @ V_{ds} = 10 \text{ V}$ et $V_{gs} = -2,5 \text{ V}$	mA/mm
<i>Vg100</i>	$V_{gs} @ V_{ds} = 10 \text{ V}$ et $I_{ds} = I_{dss}/100$	V
<i>Gm100</i>	$G_m @ V_{g100}$	mS/mm
<i>Vg20</i>	$V_{gs} @ V_{ds} = 10 \text{ V}$ et $I_{ds} = I_{dss}/20$	V
<i>Idleak</i>	$I_d @ V_{ds} = 10$ et $V_{gs} = -7 \text{ V}$	$\mu\text{A}/\text{mm}$
<i>Igleak</i>	$I_g @ V_{ds} = 10$ et $V_{gs} = -7 \text{ V}$	$\mu\text{A}/\text{mm}$
<i>Ig1</i>	$I_g @ V_{ds} = 10$ et $V_{gs} = V_{g100}$	$\mu\text{A}/\text{mm}$
<i>Ig2</i>	$I_g @ V_{ds} = 0$ et $V_{gs} = V_{g100}$	$\mu\text{A}/\text{mm}$
<i>Vp_HV</i>	$V_{gs} @ V_{ds} = 30 \text{ V}$ et $I_d = I_{dss}/100$	V
<i>IdlHV</i>	$I_d @ V_{ds} = 30$ et $V_{gs} = -7 \text{ V}$	$\mu\text{A}/\text{mm}$
<i>IglHV</i>	$I_g @ V_{ds} = 30$ et $V_{gs} = -7 \text{ V}$	$\mu\text{A}/\text{mm}$
<i>Ig1HV</i>	$I_g @ V_{ds} = 30 \text{ V}$ et $V_{gs} = V_{p_HV}$	$\mu\text{A}/\text{mm}$
<i>VBDS</i>	Maximum de $V_{ds} @ V_{gs} = -8 \text{ V}$ (Compliance à 50 V)	V
<i>IGBD</i>	$I_g @ VBDS$	mA/mm
<i>VGBD</i>	$V_{gd} @ I_g = -1 \text{ mA}/\text{mm}$	V
<i>RS</i>	Résistance @ $I_g = I_s = 1 \text{ mA}$ et Drain ouvert	$\Omega.\text{mm}$
<i>RD</i>	$R_{sRd} - R_S$	$\Omega.\text{mm}$
<i>V1_GS</i>	$V_{gs} @ I_g = 100 \text{ nA}$ et Drain ouvert	V
<i>V2_GS</i>	$V_{gs} @ I_g = 100 \mu\text{A}$ et Drain ouvert	V
<i>n_GS</i>	Facteur idéalité @ $0,8 \text{ V} < V_{gs} < 2 \text{ V}$ et Drain ouvert	-
<i>J0_GS</i>	Calcul de la densité de courant à saturation de diode G-S	A/cm^2
<i>R_GS</i>	Calcul de la résistance série de la diode G-S	$\Omega.\text{mm}$
<i>Rp_GS</i>	Résistance @ $V_{gs} = 0,3 \text{ V}$ et Drain ouvert	$\Omega.\text{mm}$
<i>V1_GSD</i>	$V_{gs} @ I_g = 100 \text{ nA}$ et Drain court-circuité	V
<i>V2_GSD</i>	$V_{gs} @ I_g = 100 \mu\text{A}$ et Drain court-circuité	V
<i>n_GSD</i>	Facteur idéalité @ $0,8 \text{ V} < V_{gs} < 2 \text{ V}$ et Drain court-circuité	-
<i>J0_GSD</i>	Calcul de la densité de courant à saturation de diode G-SD	A/cm^2
<i>R_GSD</i>	Calcul de la résistance série de la diode G-SD	$\Omega.\text{mm}$
<i>Rp_GSD</i>	Résistance @ $V_{gs} = 0,3 \text{ V}$ et Drain court-circuité	$\Omega.\text{mm}$
<i>Vg1mA</i>	$V_{gs} @ V_{ds} = 10 \text{ V}$ et $I_d = 1 \text{ mA}/\text{mm}$	V
<i>Idsx2</i>	$I_d @ V_{ds} = 10 \text{ V}$ et $V_{gs} = V_{g1mA} + 2 \text{ V}$	mA/mm
<i>Ron/Go</i>	Résistance @ $V_{ds} = 20 \text{ mV}$ et $V_{gs} = 0 \text{ V}$	$\Omega.\text{mm}$
<i>RsRd</i>	Résistances d'accès @ $V_{ds} = 20 \text{ mV}$ et $V_{gs} = 0 \text{ V}$	$\Omega.\text{mm}$
<i>Vto</i>	Tension de seuil @ $V_{ds} = 20 \text{ mV}$	V
<i>Vg500</i>	$V_{gs} @ V_{ds} = 10 \text{ V}$ et $I_d = I_{dss}/500$	V
<i>Gm500</i>	$G_m @ V_{g500}$	mS/mm

Tableau 2.3-1 : Ensemble des paramètres extraits des mesures DC à UMS avec leurs conditions d'extraction

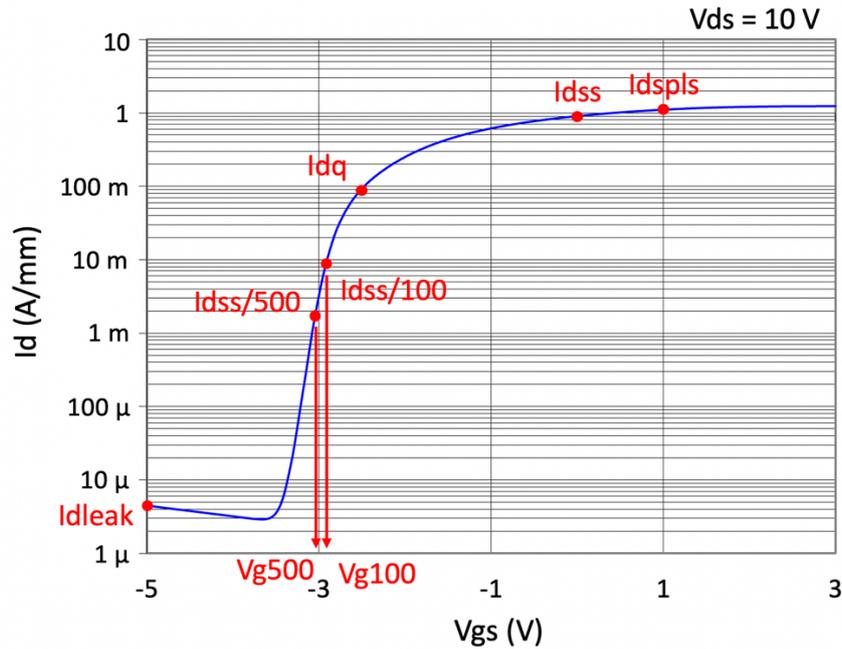


Figure 2.3-3 : Caractéristique Id-Vgs à Vds = 10 V avec différents paramètres extraits

2.3.2.2. Mesures de puissance

Les mesures de puissance sont réalisées pour un point de repos défini par une tension de drain de 20 V et un courant de 200 mA/mm à une fréquence de 9 GHz pour la technologie GH15. Les tests de fiabilité sont réalisés sur des DECS (Dynamic Evaluation Circuit). Ces derniers sont composés d'un transistor de 8 doigts de 125 μm et d'un circuit d'adaptation. Plusieurs versions sont disponibles pour pouvoir étudier l'impact des impédances de sortie et donc du cycle de charge, imposées aux transistors. Ces impédances sont sélectionnées pour un fonctionnement optimisé en puissance, optimisé en rendement en puissance ajoutée, etc. De même que pour les mesures DC, des paramètres sont extraits des mesures afin de quantifier les dérives, notamment la puissance de sortie et le gain pour une puissance d'entrée fixe.

Paramètres	Conditions	Unité
<i>Idrf1</i>	Id @Pin = 0 dBm et f = 9 GHz	A
<i>Igrf1</i>	Ig @Pin = 0 dBm et f = 9 GHz	A
<i>Pout1</i>	Pout @Pin = 0 dBm et f = 9 GHz	dBm
<i>Gain1</i>	Gain @Pin = 0 dBm et f = 9 GHz	dB
<i>PAE1</i>	PAE @Pin = 0 dBm et f = 9 GHz	%
<i>Idrf2</i>	Id @Pin = 28 dBm et f = 9 GHz	A
<i>Igrf2</i>	Ig @Pin = 28 dBm et f = 9 GHz	A
<i>Pout2</i>	Pout @Pin = 28 dBm et f = 9 GHz	dBm
<i>Gain2</i>	Gain @Pin = 28 dBm et f = 9 GHz	dB
<i>PAE2</i>	PAE @Pin = 28 dBm et f = 9 GHz	%

Tableau 2.3-2 : Ensemble des paramètres extraits des mesures de puissance à UMS avec leurs conditions d'extraction

2.3.3. Critères de défaillance

Les technologies proposées par UMS ont une durée de vie supérieure à 20 ans à une température de 200 °C. Cependant, afin de pouvoir déterminer la durée de vie d'une technologie, il est nécessaire de définir des critères de défaillance. Les composants sont jugés défaillants, i.e. inaptes à réaliser leur fonction, lorsque que les dérives observées au cours du temps sont supérieures aux critères de défaillance.

Les différents critères de défaillance choisis à UMS sont donnés ci-dessous :

Paramètres	Conditions	Critère de défaillances
<i>Idspl</i>	Vds = 10 V et Vgs = 1 V	± 20 %
<i>Vg100</i>	Vds = 10 V et Id = Idss/100	± 20 %
<i>IglHV</i>	Vgs = -7 V et Vds = 30 V	+ 1 décade
<i>Pout2</i>	Pin = 28 dBm et f = 9 GHz	- 1 dB

Tableau 2.3-3 : Critères de défaillances utilisés pour la qualification de la technologie GH15

2.4. Résultats de tests de fiabilité

A UMS, les principaux types d'essais de vieillissement employés sont les tests HTRBSST, HTRB, HTOL, RFLT et RFSST. Le premier, effectué en début du plan de qualification permet de définir une tension Vgd à ne pas dépasser et la tension Vds nominale de la filière. Pour la technologie GH15, la tension Vds nominale est égale 20 V. La majeure partie de l'étude de la fiabilité s'effectue par le biais de tests HTRB, permettant d'évaluer l'impact du champ électrique, et de tests HTOL, afin d'évaluer les dégradations induites par des électrons chauds. De plus, les tests HTOL sont menés à différentes températures pour des conditions de polarisation identiques dans le but d'extraire la valeur du paramètre t_{50} . Les tests de type RFLT permettent d'évaluer la durée de vie des composants dans un fonctionnement dit applicatif et les tests RFSST sont menés pour évaluer la compression maximale à laquelle le composant peut fonctionner sans dégradation majeure. Dans la suite de ce paragraphe sont présentés les résultats des tests HTRB, HTOL, ainsi que RFLT.

2.4.1. Résultats des tests HTOL

A UMS, les tests HTOL pour la technologie GH15 sont menés pour une tension Vds = 20 V et une tension de grille telle que Id = 200 mA/mm. Les températures utilisées au cours du test sont choisies de manière à obtenir une température de jonction de l'ordre de 300 °C. Les dérives des paramètres sont reportées Figure 2.4-1 pour les composants vieillis et deux de référence.

HTOL

Vds = 20V, Id = 200mA/mm, Tc = 160°C et Tj = 310°C

— Vieillis — Références

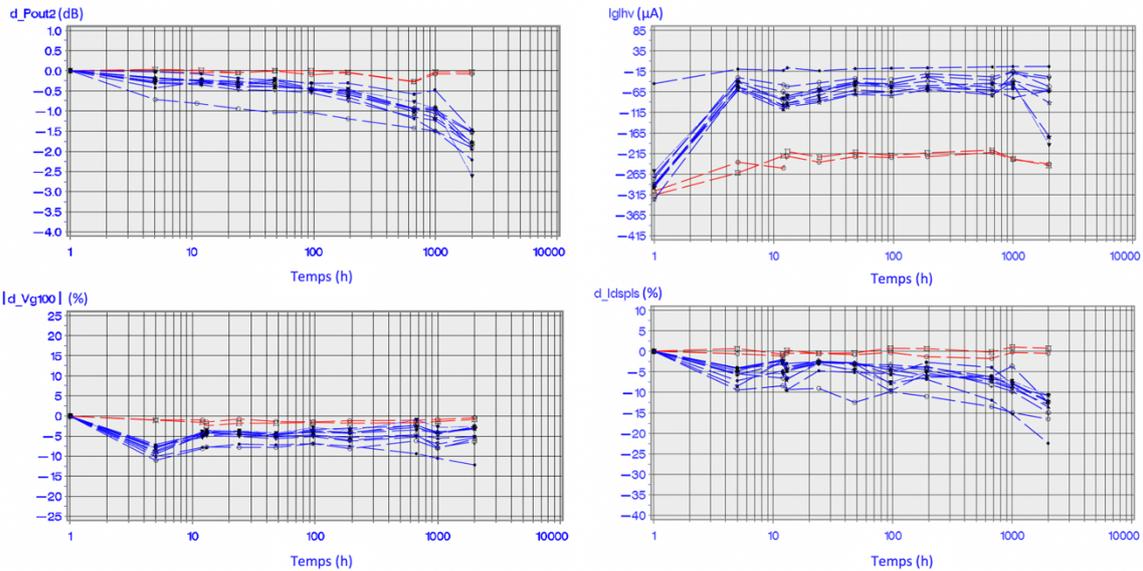


Figure 2.4-1 : Dérives des paramètres principaux (Pout2, IglHV, Vg100 et Idspis) au cours d'un test HTOL à Vds = 20 V, Id = 200 mA/mm et Tj = 310 °C pendant 2000 heures

On constate une dérive de la puissance de sortie (Pout2) de -0,5 dB après 5 heures de stress, puis une stabilisation, suivie d'une seconde dérive qui se produit après quelques centaines d'heures de fonctionnement. La tension de seuil (Vg100) augmente également durant les premières heures de vieillissement de 250 mV à 500 mV (Figure 2.4-3). La Figure 2.4-2 présente l'évolution de la caractéristique Ig-Vgs en direct au cours du test pour un composant ayant un comportement typique. De même que pour la technologie GH25 (technologie AlGaIn/GaN 0,25 µm), le phénomène de « belly shape » est observable après plusieurs centaines d'heures de test.

HTOL

Vds = 20V, Id = 200mA/mm, Tc = 160°C et Tj = 310°C

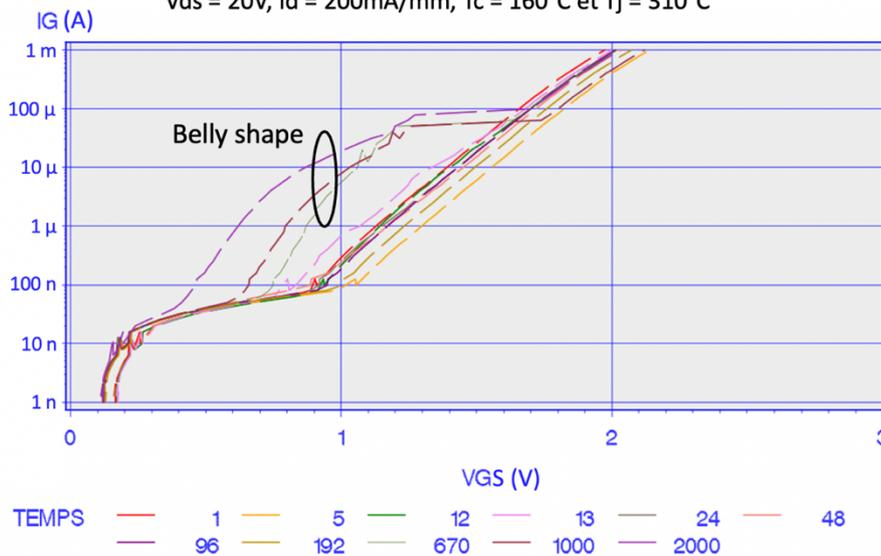


Figure 2.4-2 : Évolution de la caractéristique de la diode grille-source en direct au cours d'un test HTOL (Vds = 20 V, Id = 200 mA/mm et Tj = 310 °C) de 2000 heures. Apparition du phénomène de « belly shape » après 670 heures de vieillissement

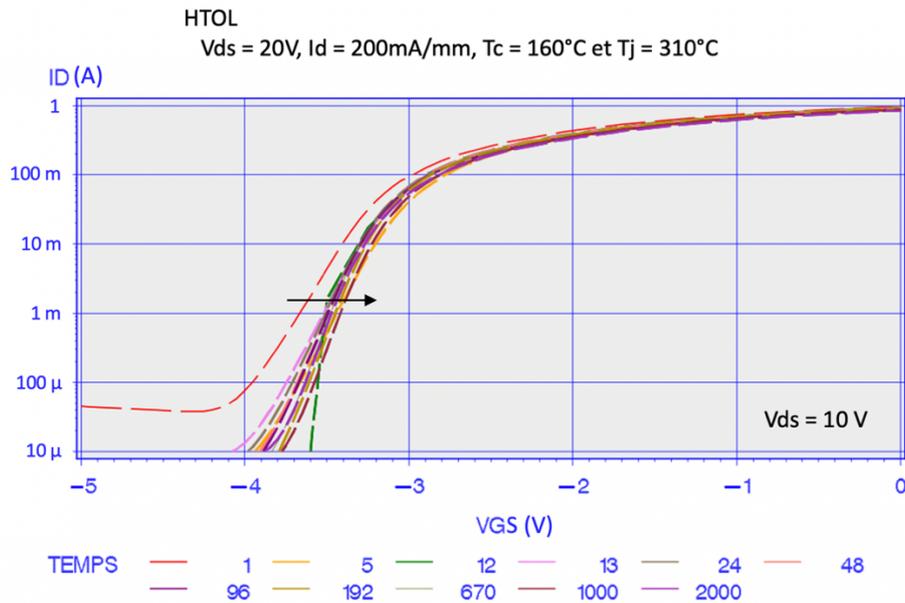


Figure 2.4-3 : Évolution de la caractéristique de transfert au cours d'un test HTOL ($V_{ds} = 20 V$, $I_d = 200 mA/mm$ et $T_j = 310^\circ C$) de 2000 heures. Décalage positif de la tension de seuil et diminution du courant de fuite après 5 heures

2.4.1. Résultats des tests HTRB

Les tests HTRB pour la technologie GH15 sont menés pour des tensions $V_{gs} = -7 V$ et $V_{ds} = 30 V$ pour une température de boîtier de $175^\circ C$. Les dérives des paramètres sont reportées Figure 2.4-4. Une dérive de $-0,5 dB$ de la puissance de sortie (P_{out2}) se produit au cours des 5 premières heures de vieillissement. La puissance se stabilise puis une seconde dérive est visible après plusieurs dizaines d'heures, ce qui mène à la défaillance des composants. Cette seconde dérive semble être corrélée à la dérive du courant de drain. Un décalage positif de la tension de seuil est aussi observable tout au long de l'essai de vieillissement. De même que pour les tests de type HTOL, le phénomène de « belly shape » se déclenche au cours des tests HTRB sur la technologie GH15. Il est important de noter que les critères de succès des tests HTRB consistent à ne pas avoir de dégradations catastrophiques jusqu'à 2000 heures.

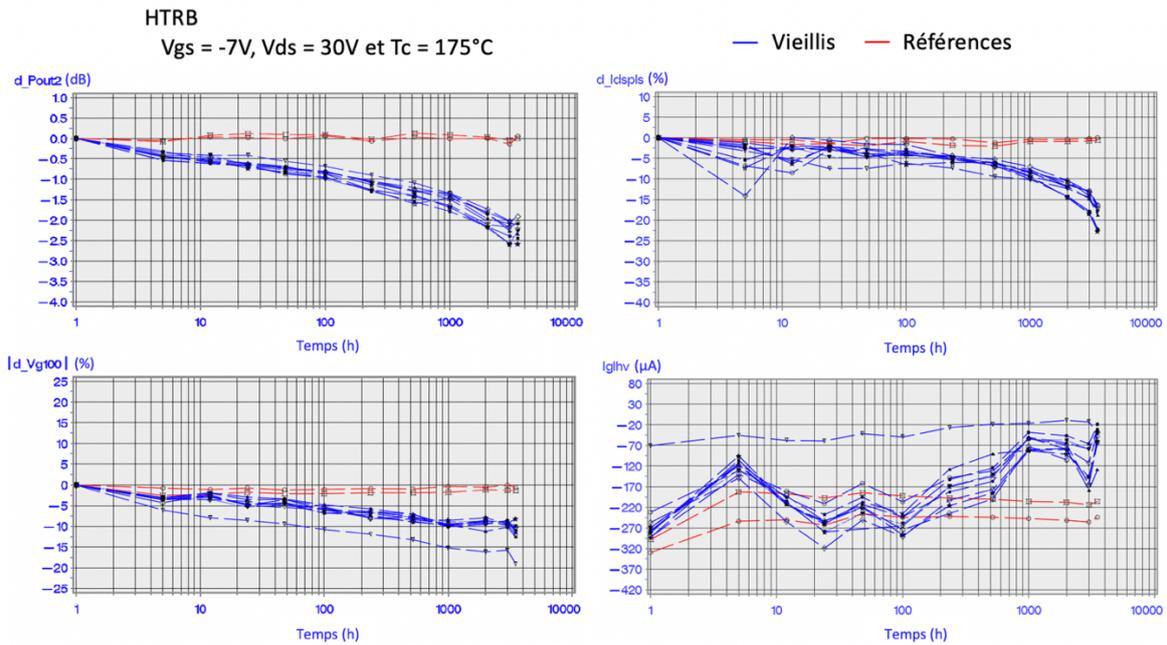


Figure 2.4-4 : Dérives des paramètres principaux (P_{out2} , I_{ghv} , V_{g100} et I_{dspls}) au cours d'un test HTRB ($V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 175$ °C) de plus de 3000 heures

2.4.2. Résultats des tests RFLT

Les tests de type RFLT sont menés pour une tension $V_{ds} = 20$ V et une tension de grille telles que la densité de courant I_d soit égale à 200 mA/mm. S'ajoute à cette polarisation DC, un signal RF d'une puissance de 29 dBm à une fréquence de 10 GHz. Les températures de jonction visées sont du même ordre que celles visées lors de tests HTOL. Les dérives des paramètres sont reportées Figure 2.4-5. De même que pour les tests HTOL et HTRB, une dérive de -0,5 dB de la puissance de sortie est observable après seulement 5 heures de vieillissement. La valeur de la puissance de sortie se stabilise avant de diminuer de nouveau. Cette diminution est associée au mécanisme de fin de vie de la filière.

RFLT

Pin = 29 dBm, f = 10GHz, Vds = 20V, Id = 200mA/mm, Tc = 100 °C et Tj = 310 °C

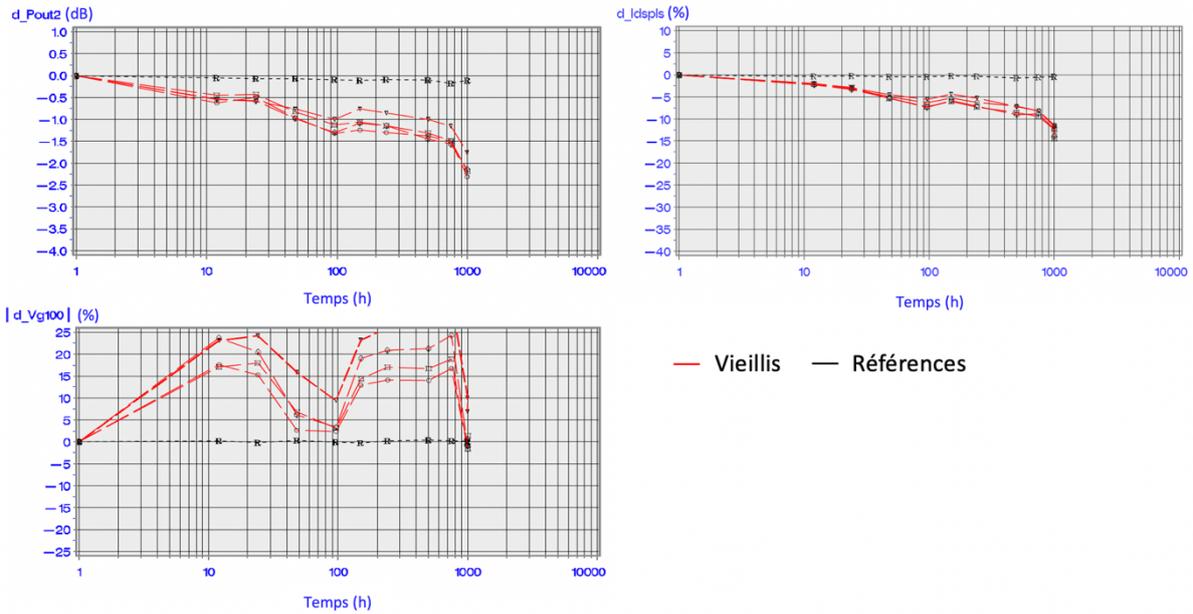


Figure 2.4-5 : Dérives des paramètres principaux (Pout2, Vg100 et Idspl) au cours d'un test RFLT (Vds = 20 V, Id = 200 mA/mm, f = 10 GHz, Pin = 29 dBm et Tj = 310 °C) de 1000 heures

Concernant la dérive de la tension de seuil, la caractéristique de transfert permet de comprendre les dérives observées (Figure 2.4-6). Une augmentation du courant de drain est observée sous le seuil du transistor à l'origine de la dérive de la tension de seuil, de même qu'à termes, une augmentation du courant de fuite. Encore une fois, le phénomène de « belly shape » est observé au cours des tests RFLT.

RFLT

Pin = 29 dBm, f = 10GHz, Vds = 20V, Id = 200mA/mm, Tc = 100 °C et Tj = 310 °C

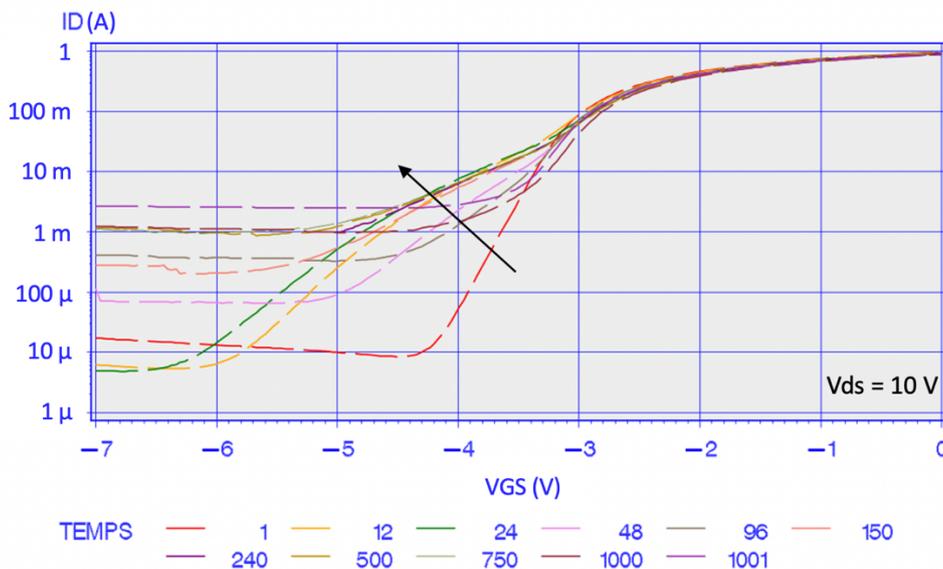


Figure 2.4-6 : Évolution de la caractéristique de transfert au cours d'un test RFLT (Vds = 20 V, Id = 200 mA/mm, Tj = 310 °C, Pin = 29 dBm et f = 10 GHz) de 1000 heures. Augmentation de Id sous le seuil après 12 heures

2.4.3. Dérives initiales observées

D'après l'ensemble des résultats des tests de vieillissement accéléré présentés précédemment, il apparaît que plusieurs paramètres électriques voient leur valeur varier significativement après quelques heures de tests. Ces dérives, appelées « dérives initiales », impactent grandement la stabilité des composants et mènent à une dégradation des performances. Certaines applications visées par la technologie GH15 nécessitent une grande stabilité des performances au cours du temps et sont donc directement impactées par ces dérives. Il est crucial d'étudier l'ensemble de ces dérives afin de les caractériser plus précisément au travers de leur cinétique, de leurs facteurs d'accélération et de leur origine physique. La compréhension de ces dérives permettra de modifier certains paramètres technologiques ou de définir les conditions des tests dits de « burn-in » afin de s'en affranchir. Ces dérives vont donc être présentées dans la suite de ce chapitre avant d'être étudiées plus en détails au cours des chapitres 3 et 4.

2.4.3.1. Dérive de la puissance de sortie

Après la première mesure de reprise pour chaque type de test (HTRB, HTOL et RFLT), une dérive de -0,5 dB de la puissance de sortie est observée. Cette dérive se produit durant les 5 premières heures de vieillissement accéléré et la puissance de sortie ne dérive plus au cours des heures qui suivent. Une nouvelle dérive de la puissance de sortie est observable après plusieurs dizaines d'heures de vieillissement, mais cette dernière n'est pas liée à la dérive initiale et est associée au mécanisme de fin de vie de la filière (Figure 2.4-7).

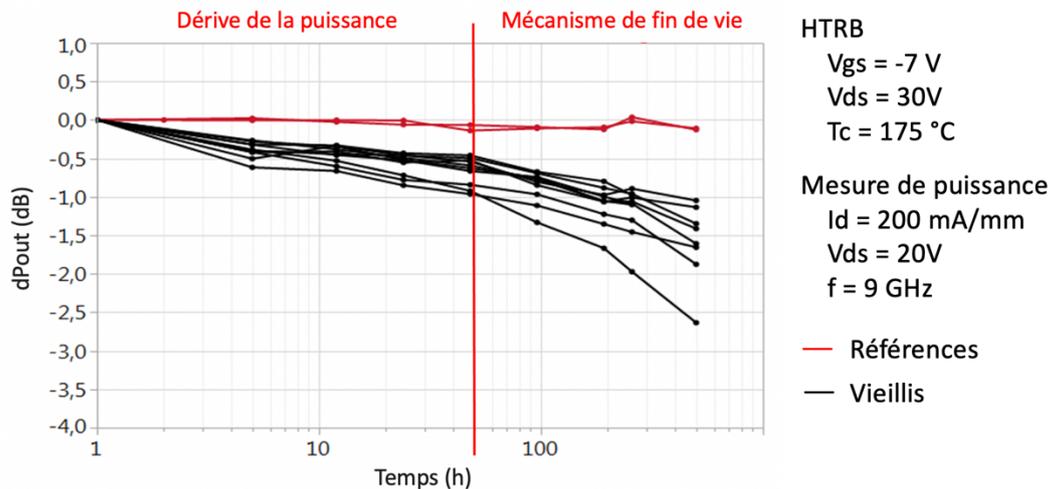


Figure 2.4-7 : Suivi de la puissance de sortie à 5 dB de compression au cours d'un test HTRB (Vgs = -7 V, Vds = 30 V et Tc = 175 °C)

La caractéristique de la puissance représentée Figure 2.4-8 met en avant une diminution de la puissance de sortie seulement quand le composant commence à saturer, pour une puissance d'entrée supérieure à 15 dBm.

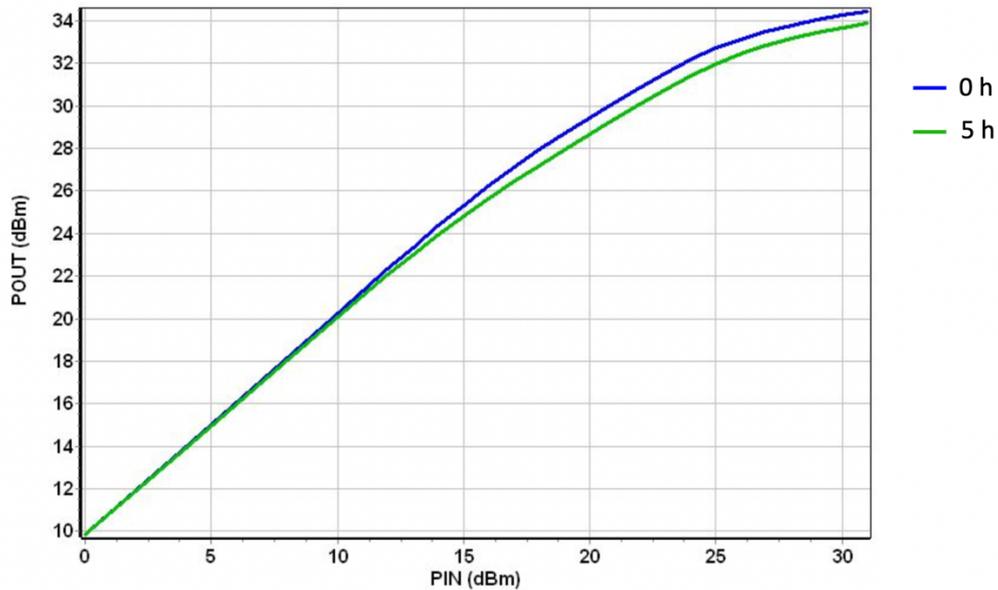


Figure 2.4-8 : Puissance de sortie pour une charge optimisée en puissance en fonction de la puissance d'entrée au cours d'un test HTRB à une température de 175 °C pour $V_{gs} = -7V$ V et $V_{ds} = 30$ V ; Mesures réalisées à $V_{ds} = 20$ V et V_{gs} fixé pour $I_d = 200$ mA/mm

Les mesures de puissance ont pour avantage de représenter au mieux l'état du composant en regard des applications visées par la filière. Cependant, il n'est pas possible avec ce type de mesure d'évaluer l'origine des phénomènes observés. C'est la raison pour laquelle le composant est aussi caractérisé par des mesures DC permettant d'observer l'évolution progressive des caractéristiques électriques des composants. Dans le cas de GH15, les mesures de reprise DC ne permettent pas toujours de lier la dérive de la puissance de sortie à une dérive du comportement électrique du transistor. Une analyse plus approfondie est donc nécessaire afin de déterminer l'origine de cette perte de puissance et d'étudier précisément ce phénomène au travers de sa cinétique et de ses facteurs d'accélération.

Cette dérive de la puissance de sortie dégrade les performances de la technologie et se présente comme un défaut majeur pour des circuits nécessitant une puissance de sortie minimale pour assurer un bon fonctionnement.

2.4.3.2. Décalage de la tension de seuil

Des dérives sous le seuil sont observées pour l'ensemble des essais de vieillissement menés à UMS. Ces dérives sont :

- Un décalage positif de la tension de seuil du composant,
- Un changement de la pente sous le seuil.

L'ensemble de ces dérives est visible dans la même fenêtre temporelle. Elles se produisent intégralement au cours des 5 premières heures lors de tests de type HTOL et RFLT (Figure 2.4-9) tandis que plusieurs dizaines d'heures sont nécessaires pour obtenir le même niveau de dérive lors de tests

HTRB (Figure 2.4-10). Ces dérives semblent avoir une origine similaire qui sera étudiée plus en détail au cours du chapitre 4.

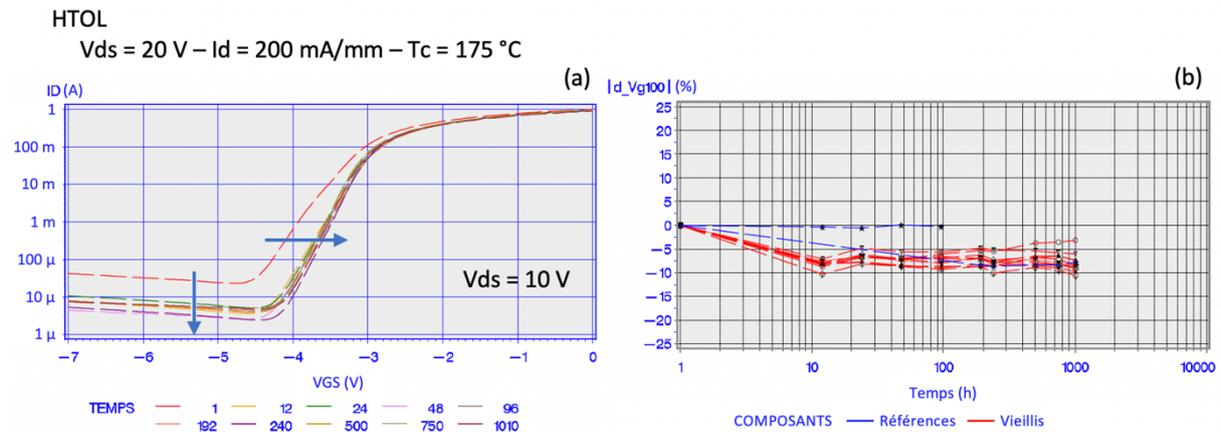


Figure 2.4-9 : Résultats d'un test HTOL ($V_{ds} = 20\text{ V}$ et $I_d = 200\text{ mA/mm}$) à $175\text{ }^\circ\text{C}$ de 1000 heures ; Évolution de la caractéristique de transfert à $V_{ds} = 10\text{ V}$ en échelle logarithmique (a) et dérive de la tension de seuil au cours du temps (b)

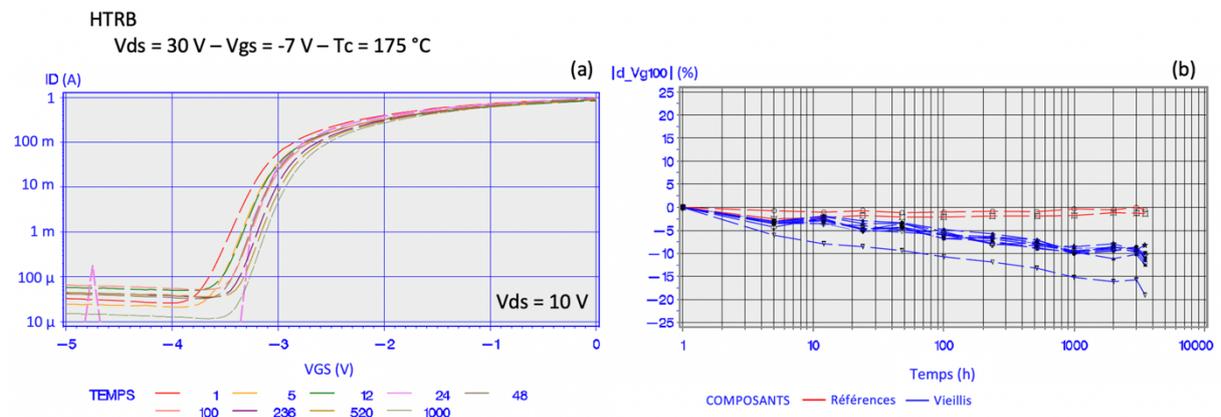


Figure 2.4-10 : Résultats d'un test HTRB ($V_{ds} = 30\text{ V}$ et $V_{gs} = -7\text{ V}$) à $175\text{ }^\circ\text{C}$ de 1000 heures ; Évolution de la caractéristique de transfert à $V_{ds} = 10\text{ V}$ en échelle logarithmique (a) et dérive de la tension de seuil au cours du temps (b)

Le décalage positif de la tension de seuil introduit un problème de stabilité pour la technologie. Considérant des circuits ayant un point de polarisation fixe défini en début de vie, le changement de tension de seuil entraîne une diminution du courant de polarisation menant à un changement dans la classe d'amplification et donc du gain en fonctionnement.

2.4.3.3. Phénomène d'épaulement sous le seuil

Au cours de tests RF, un phénomène que nous nommerons par la suite épaulement sous le seuil est observé durant les premières heures de vieillissement. Représenté sur la Figure 2.4-11, il se caractérise par une augmentation du courant entre drain et source pour des tensions inférieures à la tension de seuil du composant sur la caractéristique de transfert représentée en échelle logarithmique.

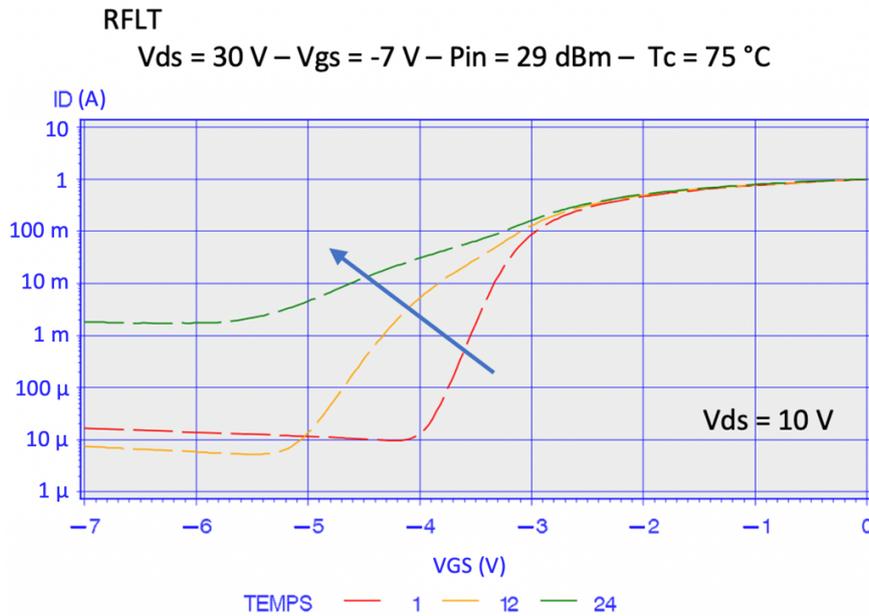


Figure 2.4-11 : Résultats d'un test RFLT ($V_{ds} = 20\text{ V}$, $I_d = 200\text{ mA/mm}$ et $P_{in} = 29\text{ dBm}$) à $75\text{ }^\circ\text{C}$ de 24 heures ; Évolution de la caractéristique de transfert à $V_{ds} = 10\text{ V}$ en échelle logarithmique

Associée à cette augmentation du courant de drain, une diminution du gain linéaire est observée par des mesures de puissance lorsque le courant de polarisation se situe dans la zone du phénomène (Figure 2.4-12). Une augmentation du courant de fuite est aussi observée au cours d'essais RFLT après le déclenchement du phénomène d'épaulement sous le seuil.

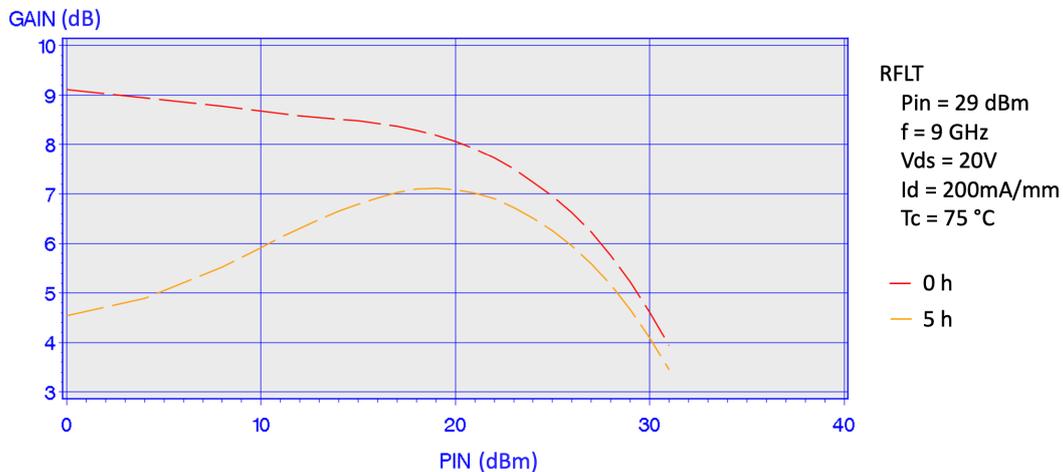


Figure 2.4-12 : Résultats d'un test RFLT ($V_{ds} = 20\text{ V}$, $I_d = 200\text{ mA/mm}$ et $P_{in} = 29\text{ dBm}$) à $75\text{ }^\circ\text{C}$ après 5 heures ; Évolution du gain à $V_{ds} = 20\text{ V}$ et $I_d = 50\text{ mA/mm}$ (zone de l'épaulement sous-seuil)

Ce phénomène n'a été observé que lors de tests pour lesquels la puissance d'entrée utilisée induisait une compression minimale de 5 dB. Ce fait est d'autant plus visible au cours de tests de type RFSST pour lesquels la puissance d'entrée est augmentée par pas au cours du test (Figure 2.4-13). Pour des puissances d'entrée plus faibles et donc une compression inférieure à 5 dB, le phénomène n'est pas observé lors de stress électrique d'une durée totale de 24 heures. En augmentant la puissance d'entrée et donc la compression, le phénomène finit par se déclencher. Ainsi seules les extrémités du

cycle de charge seraient responsables du phénomène. De même que pour l'ensemble des dérives initiales présentées précédemment, ce phénomène sera étudié au cours du chapitre 4.

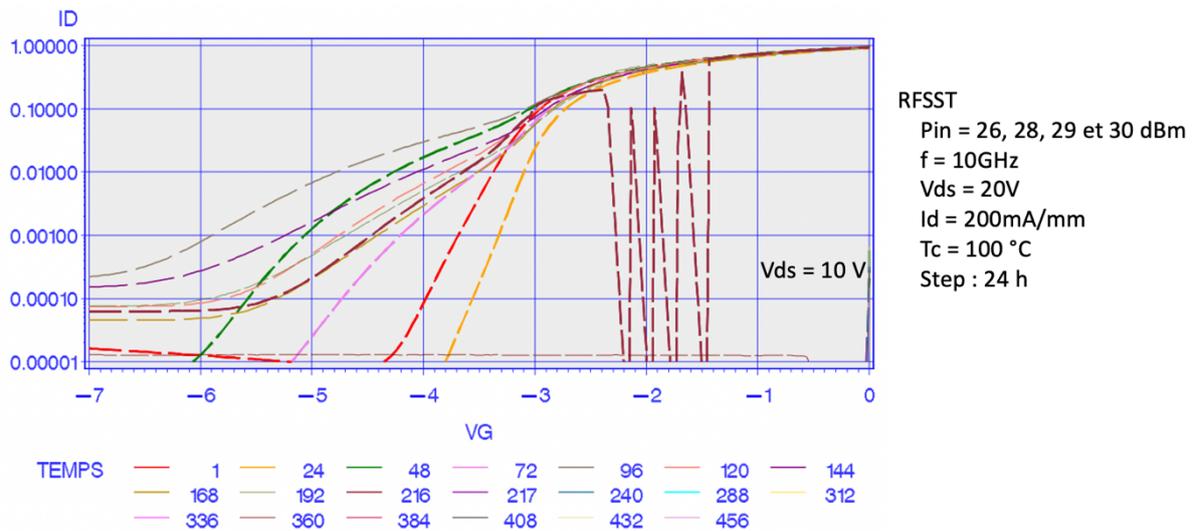


Figure 2.4-13 : Caractéristique de transfert à $V_{ds} = 10$ V au cours d'un test RFSST ($V_{ds} = 20$ V, $I_d = 200$ mA/mm et P_{in} de 26 à 30 dBm) à 100 °C de 456 heures ; Phénomène d'épaulement sous-seuil après le step à 28 dBm (5 dBc)

Cette dérive du courant de drain sous le seuil, comme la dérive de la tension de seuil, se présente comme un défaut majeur pour des circuits ayant un point de polarisation fixe défini en début de vie car elle modifie le courant et donc le gain bas niveau, les performances large signal et la linéarité dans le cas d'un amplificateur de puissance.

2.5. Conclusion du chapitre

Au cours de ce deuxième chapitre, la technologie GH15 qui a été étudiée au cours de ses travaux de thèse a été présentée. Pouvant fonctionner jusqu'à la bande Ka, elle vise des applications telles que la 5G, les radars ainsi que la communication satellite. Les performances électriques ainsi que les caractéristiques électriques DC et RF ont été présentées. Une étude sur les chemins de fuite dans la technologie a montré la prédominance des fuites entre grille et drain et grille et source.

Une introduction à la fiabilité et à la méthodologie de qualification mise en œuvre à UMS a été présentée au travers des différents types d'essais de vieillissement et des mesures de reprise. Les différents critères de défaillance employés à UMS ont aussi été décrits au cours de ce chapitre. Enfin, les résultats de différents types d'essais de fiabilité réalisés sur des composants de la filière GH15 ont été présentés et un bilan des différents modes de dégradation connus a été fourni.

Pour finir, l'ensemble des dérives initiales observées au cours des essais de vieillissement accéléré a été présenté, avant leur étude approfondie au cours des chapitres suivants. Elles se caractérisent par une diminution de la puissance de sortie, un décalage positif de la tension de seuil ainsi qu'une augmentation du courant de drain sous le seuil. La dérive de la puissance de sortie a été

observée quel que soit le type de test effectué après 5 heures de stress électrique. Le décalage positif de la tension de seuil se produit dans les 5 premières heures au cours de tests de type HTOL et RFLT, tandis que l'augmentation du courant de drain sous le seuil n'est visible qu'à la suite de tests RFLT. Ces dérives seront étudiées plus en détail au cours des chapitres suivant pour consolider la description du mode de dégradation et améliorer la compréhension des mécanismes qui en sont à l'origine.

Références du chapitre 2

- [1] V. Di Giacomo-Brunel, "Industrial 0.15-um AlGa_N/Ga_N on Sic Technology for Applications up to Ka Band", 2018 13th European Microwave Integrated Circuits Conference (EuMIC, Madrid, 2018, pp. 1-4.
- [2] https://www.ums-gaas.com/wp-content/uploads/2019/10/2019b_Flyer_GH15-GaN-Technology-1.pdf
- [3] <https://www.qorvo.com/foundry>
- [4] https://www.wolfspeed.com/downloads/dl/file/id/1522/product/0/g28v5_data_sheet.pdf
- [5] <https://www.microwavejournal.com/articles/32939-win-semiconductors-offering-sample-kit-for-015-m-gan-on-sic-process>
- [6] D. K. Schroder, "Semiconductor Material and Device Characterization", 3rd Edition, John Wiley & Sons, 2006.
- [7] L. Brunel, "Aspects fiabilité de la qualification de la technologie GaN 0.25µm d'UMS", Microwave & RF, Fiabilité des Composants et Systèmes Électroniques Hyperfréquences, 1 Avril 2015.

Chapitre 3. Étude de la dérive initiale de la puissance de sortie

Au cours du chapitre précédent, nous avons pu mettre en avant une dérive de -0,5 dB de la puissance de sortie après 5 heures de stress électrique. Cette dérive a été observée sur l'ensemble des technologies à base de nitrure de gallium à UMS. Elle mène à une dégradation des performances dynamiques des technologies et se présente comme un effet parasite pénalisant la stabilité de la technologie. Une caractérisation du phénomène est nécessaire afin de le comprendre et de déterminer son origine dans le but d'améliorer la technologie et de prédire son impact sur la conception d'applications.

La première partie de ce chapitre se focalise sur la présentation du mécanisme au travers d'une étude menée sur la technologie GH50 permettant de cadrer le point de départ de la thèse. Le lien entre les mesures pulsées et RF sera présenté ainsi que la méthodologie de suivi de la puissance de sortie au cours d'un essai de vieillissement, à partir de mesures IV-pulsées. L'utilisation de cette méthodologie sera mise en avant et validée par des mesures réalisées sur les technologies GH15 et GH50.

La deuxième partie de ce chapitre s'attache à l'étude du phénomène sur la technologie GH15. Le phénomène a été étudié sur différents aspects, à savoir : sa cinétique et ses facteurs d'accélération. Par la suite, des résultats de mesure de transitoire de courant, effectuées par le laboratoire XLIM de Limoges, seront présentés afin d'identifier les pièges responsables de la dérive de la puissance de sortie. Enfin, des simulations physiques réalisées par le III-V lab afin de localiser dans la structure du composant les défauts responsables du phénomène seront exposées.

Pour finir, une explication du mécanisme sera donnée en s'appuyant sur l'ensemble des résultats obtenus et présentés au cours de ce chapitre.

3.1. Caractérisation de la dérive initiale de la puissance de sortie

Avant d'aborder l'étude complète du phénomène, une présentation de ce dernier va être effectuée au travers de données issues de différentes technologies afin de définir le point de départ de l'étude. Cette partie va donc introduire la première observation de ce phénomène sur les technologies UMS, les différents tests mis en place pour son étude et la caractérisation électrique du phénomène.

3.1.1. Présentation du phénomène

Comme présenté au cours du chapitre précédent, la dérive initiale de la puissance de sortie se caractérise sur la technologie GH15 par une dérive de -0,5 dB entre la mesure initiale et la première mesure de reprise effectuée au bout de 5 heures à la suite de tests de vieillissement de différents types HTRB (Figure 3.1-1 et Figure 3.1-2), HTOL et RFLT. Il s'en suit une stabilisation de la puissance pour les mesures de reprise suivantes avant une nouvelle dérive qui est associée au mécanisme de fin de vie de la technologie. Ce phénomène a été observé sur les différentes technologies d'UMS à base de GaN. Il est important de noter que seule la dérive initiale sera étudiée au cours de ce chapitre.

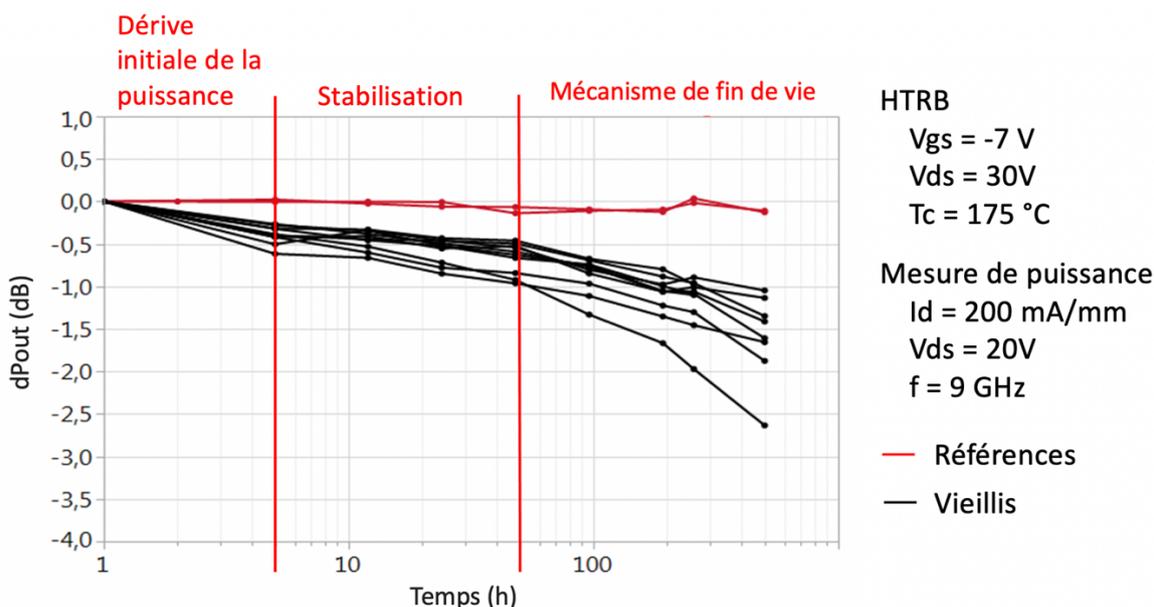


Figure 3.1-1 : Évolution en fonction du temps de la dérive de la puissance de sortie durant un essai HTRB effectué à une température de 175 °C pour Vgs = -7V V et Vds = 30 V pour 2 composants de référence et 8 composants sous test ; Mesures RF réalisées à Vds = 20 V et Vgs fixé pour Id = 200 mA/mm ; Pout extrait pour une compression de gain de 5 dB

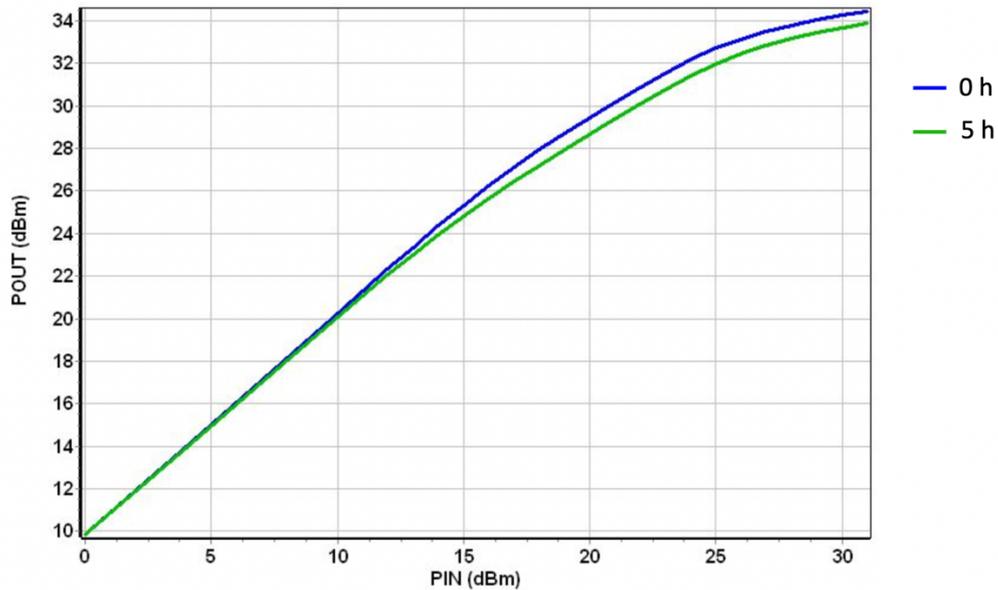


Figure 3.1-2 : Évolution de la puissance de sortie pour une charge optimisée en puissance en fonction de la puissance d'entrée après 5 heures de test HTRB effectué à une température de 175 °C pour $V_{gs} = -7V$ V et $V_{ds} = 30$ V ; Mesures réalisées à $V_{ds} = 20$ V et V_{gs} fixé pour $I_d = 200$ mA/mm @9GHz

Cette dérive impacte grandement les performances RF des composants en début de vie et peut être problématique dans la conception de circuits et les applications nécessitant des performances stables au cours du temps telles que les applications radar. En sachant que le critère de défaillance utilisé est une dérive de plus de 1 dB, cette dérive, bien que non liée au mécanisme de fin de vie, est néfaste pour la technologie. Il est donc important d'étudier ce phénomène afin de mieux le comprendre ainsi que son impact sur la technologie. De plus, comme énoncé au cours du chapitre 2, aucune dérive significative des caractéristiques I-V des composants au cours des essais de vieillissement n'a pu expliquer la dérive observée.

Cette dérive a été pour la première fois observée sur la technologie GH50. A la suite de tests RFLT ($V_{ds} = 50$ V et $I_d = 100$ mA à 2,9 GHz et $P_{in} = 29$ dBm) d'une durée totale de 1000 heures à une température de boîtier de 113 °C, une dégradation de la puissance de sortie a été remarquée menant à la défaillance des composants. Les résultats représentés Figure 3.1-3 et Figure 3.1-4 montrent respectivement le suivi de la puissance durant l'essai RFLT et l'évolution de la puissance de sortie mesurée avant et après le vieillissement. Aucune dérive de la puissance de sortie n'est observée in situ pendant l'essai RFLT mené à 113 °C alors qu'une évolution de plus de 1 dB de la puissance de sortie à 2,9 GHz est mesurée pour tous les composants sous test à température ambiante. Ainsi, la dérive de la puissance de sortie de l'ordre de -1 dB n'est observée qu'à température ambiante. Cette dépendance en température suggère que le phénomène puisse être attribué à des effets de piégeage.

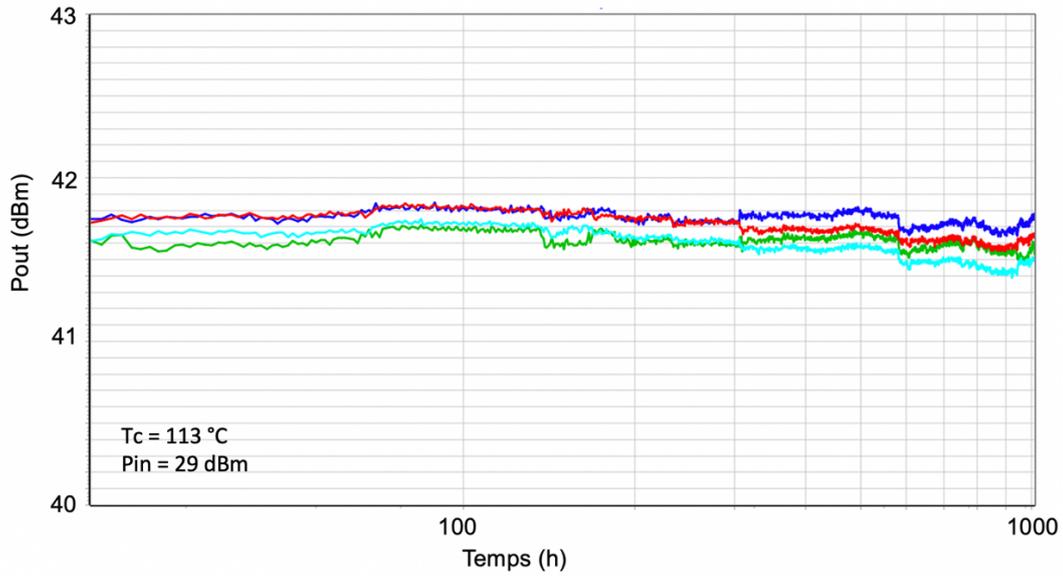


Figure 3.1-3 : Suivi de la puissance de sortie au cours d'un essai de type RFLT (4 composants) pour $V_{ds} = 50$ V et $I_d = 100$ mA (à 2,9 GHz et $P_{in} = 29$ dBm) à une température de 113 °C ; Technologie GH50

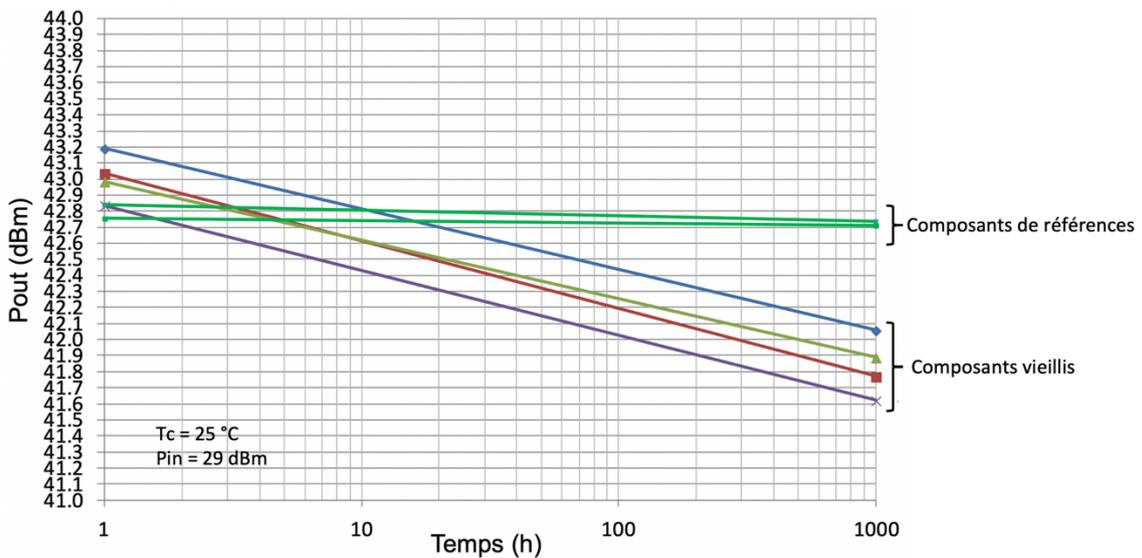


Figure 3.1-4 : Évolution de la puissance de sortie après 1000 heures de test RFLT ($V_{ds} = 50$ V et $I_d = 100$ mA à 2,9 GHz et $P_{in} = 29$ dBm) à 113 °C ; Mesure de puissance à 2,9 GHz ($V_{ds} = 50$ V et $I_d = 100$ mA) à température ambiante ; Technologie GH50

De plus, une dérive de la puissance plus importante a été notée en comparant les résultats des mesures de puissance CW, présentés Figure 3.1-5, à des mesures de puissance en mode pulsé, présentées Figure 3.1-6 ; on relève -0,4 dB de différence sur la valeur de la dérive de la puissance entre les deux types de mesure. Il est à noter que lors des mesures en mode pulsé, le transistor est polarisé en condition pincée et le signal RF est éteint lors de l'application du point de repos. De par cette dépendance en température et face au mode de mesure, l'origine de ce phénomène peut être liée à des effets de piégeage.

Mode CW

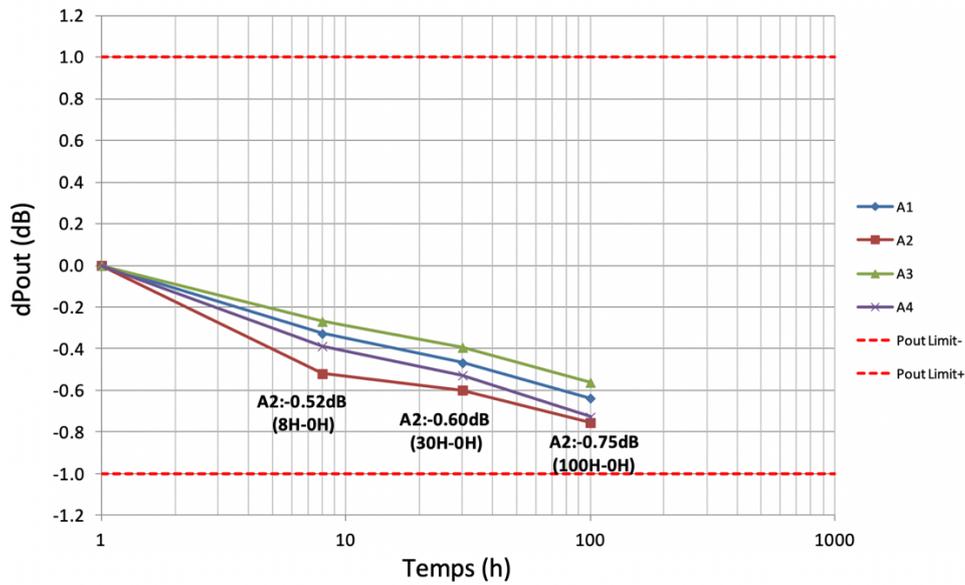


Figure 3.1-5 : Dérive de la puissance de sortie en mode CW durant les 100 premières heures de test RFLT ($V_{ds} = 50$ V et $I_d = 100$ mA à 2,9 GHz et $P_{in} = 29$ dBm) à 113 °C pour des composants de la technologie GH50 ; Mesure de puissance de reprise à 2,9 GHz ($V_{ds} = 50$ V, $I_d = 100$ mA et $P_{in} = 30$ dBm) à température ambiante

Mode pulsé

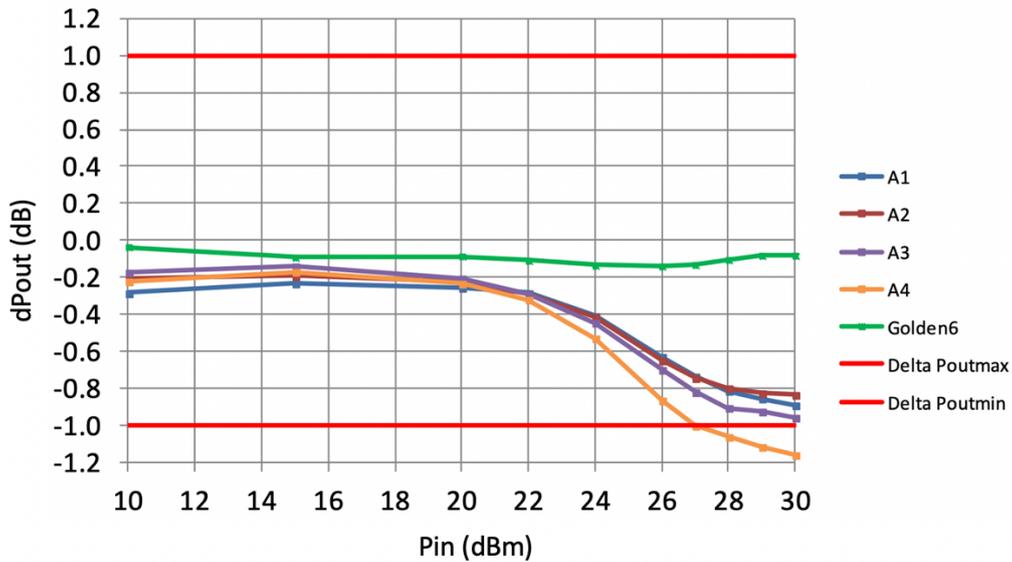


Figure 3.1-6 : Mesure de la puissance de sortie en mode pulsé en fonction de la puissance d'entrée après 100 heures de test RFLT ($V_{ds} = 50$ V et $I_d = 100$ mA à 2,9 GHz et $P_{in} = 29$ dBm) à 113 °C pour 4 composants vieillis et un composant de référence (Golden6) de la technologie GH50 ; Mesure de puissance de reprise à 2,9 GHz ($V_{ds} = 50$ V et $I_d = 100$ mA) à température ambiante

Enfin, un mode de dégradation similaire a été mis en avant suite à des essais HTRB effectués avec $V_{ds} = 30$ V et $V_{gs} = -7$ V et à une température de boîtier de 125 °C conduisant à la conclusion que ce phénomène est assisté par le champ électrique dans le composant.

Une campagne de tests a été effectuée sur la technologie GH50 afin d'étendre la compréhension du phénomène. Ainsi, un essai de type HTRB ($V_{gs} = -7$ V et $V_{ds} = 50$ V) a été mené à

une température de 125 °C durant 800 heures sur deux topologies de transistors, notées V1 et V3. Des mesures load pull ($V_{ds} = 50 \text{ V}$ et $I_d = 25 \text{ mA/mm}$) à 1,6 GHz pour une charge optimisée en puissance ont été effectuées afin de suivre l'évolution de la puissance de sortie au cours de l'essai. Le phénomène étant attribué à des pièges, des mesures I-V pulsées ont été réalisées sur des composants de référence et des composants ayant subi le stress électrique dans le but de pouvoir expliquer la perte de puissance par le biais d'un paramètre électrique dépendant de moins de paramètres extérieurs tels que la charge, la fréquence, le point de polarisation, etc.

Les résultats des mesures I-V pulsées, reportés en Figure 3.1-7, démontrent une diminution du courant de drain sur la caractéristique de sortie entre les composants de référence et les composants vieillis. Cette diminution, présente uniquement dans la zone de transition entre le régime ohmique et le régime saturé, semble être responsable de la dérive de la puissance de sortie maximale du transistor. En effet, lors d'un fonctionnement RF, la puissance de sortie dépend principalement des excursions en tension et en courant vues par le transistor. La diminution du courant de drain entraîne une diminution des excursions en tension et en courant et donc une diminution de la puissance de sortie.

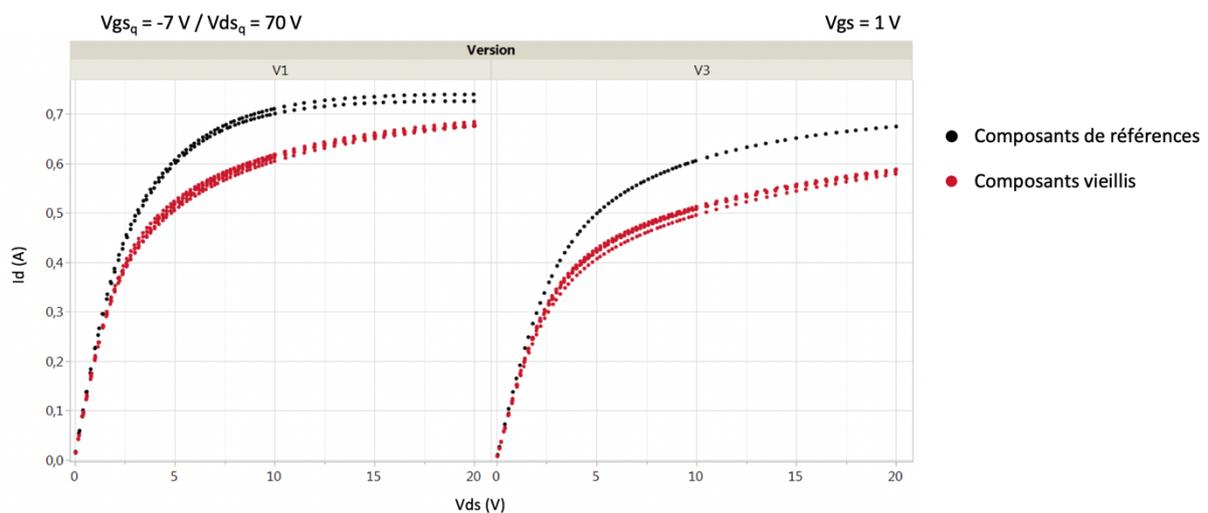


Figure 3.1-7 : Caractéristiques de sortie pulsées ($V_{gs} = -7 \text{ V}$ et $V_{ds} = 70 \text{ V}$) pour plusieurs composants vieillis (en rouge) et non vieillis (en noir) des deux topologies (V1 et V3) de la technologie GH50

Les mesures I-V pulsées présentent un intérêt tout particulier pour étudier ce phénomène car elles sont bien plus répétables et plus faciles à mettre en place en comparaison d'un suivi à l'aide d'un banc loadpull. Par ailleurs, elles permettent aussi d'analyser l'impact du phénomène sur le comportement physique du composant.

Peu d'articles traitent de phénomènes similaires lors des premières heures de vieillissement. Sur des composants GaN de puissance pour des applications radar avec une puissance saturée supérieure à 300 W, une dérive de la puissance de sortie a été observée après des burn-in RF effectués à une tension V_{ds} de 125 V [1]. Cette dégradation apparaît au cours des 100 premières heures de stress électrique et reste cependant inférieure à 10 %. Antérieurement, sur des technologies à base de GaAs, une étude a permis de différencier les phénomènes dits de « gate-lag », de « power drift » et de « power slump ». Le « gate lag » désigne un retard de la réponse du courant de drain suite à une

variation de la tension grille-source, ce délai étant généralement de l'ordre de la milliseconde. Le « power drift » se caractérise par une chute de la puissance de sortie, 10 minutes seulement après l'application de la puissance RF en entrée du composant. Cette chute tend à se stabiliser et la puissance de sortie est restaurée à l'arrêt du signal RF en entrée du composant. De même que pour le « gate lag », cette chute de la puissance de sortie ne concerne que les caractéristiques dynamiques. Enfin, le « power slump » désigne une baisse progressive mais constante de la puissance de sortie lorsqu'un PHEMT est surchargé en RF pendant des heures. Cette baisse est associée à la variation des caractéristiques de courant continu. Le taux de variation de la puissance de sortie diminue au cours de l'essai de vieillissement mais ne sature jamais et aucune récupération n'est observée après un temps de stockage à température ambiante ou en température. Il a été démontré que le « gate lag » dépend principalement de la sensibilité face aux états de surface tandis que le « power drift » dépend en plus de l'accumulation de charges dans la passivation. Ce dernier dépend aussi de la dissociation de l'hydrogène présent non intentionnellement dans la passivation SiN tandis que le « power slump » dépend de la dissociation et de la diffusion de l'hydrogène. Ainsi, bien que les 3 phénomènes semblent être liés, il n'est pas possible de les corrélérer [2].

L'ensemble des données fournies dans ce paragraphe représente le point de départ de l'étude de la dérive de la puissance réalisée au cours de ces travaux de thèse.

3.1.2. Caractérisation électrique du phénomène

Dans le but de confirmer et compléter les résultats présentés au cours de la partie précédente, des tests de type HTRB ont été menés sur des composants de la technologie GH15 pour suivre l'évolution des caractéristiques électriques du transistor durant les premières heures de test. Ces tests, listés Tableau 3.1-1, ont été menés pour des tensions $V_{gs} = -7$ V et $V_{ds} = 30$ V à une température de 175 °C. Des mesures de reprises I-V statiques, I-V pulsées et load-pull ont été mises en place au cours des tests de vieillissement.

Test	Conditions	Mesures de reprises	Lieu	Nb de composants
HTRB	$V_{gs} = -7$ V $V_{ds} = 30$ V $T_c = 175$ °C	IV I-V pulsées Load-pull	IMS	2

Tableau 3.1-1 : Conditions du test HTRB pour la caractérisation électrique de la dérive de la puissance de sortie

Après le test HTRB, les résultats des mesures I-V DC, représentés Figure 3.1-8, ne montrent pas de dérive significative si ce n'est une diminution de la tension de pincement qui ne permet pas d'expliquer la diminution de la puissance de sortie. Cette observation confirme l'ensemble des résultats mis en avant lors des essais de vieillissement menés par UMS sur les technologies GH15 et GH50. Il n'est donc pas possible de corrélérer la dérive de la puissance RF à partir des caractéristiques I-V statiques des transistors ainsi que le suivi de paramètres DC qui en sont extraits.

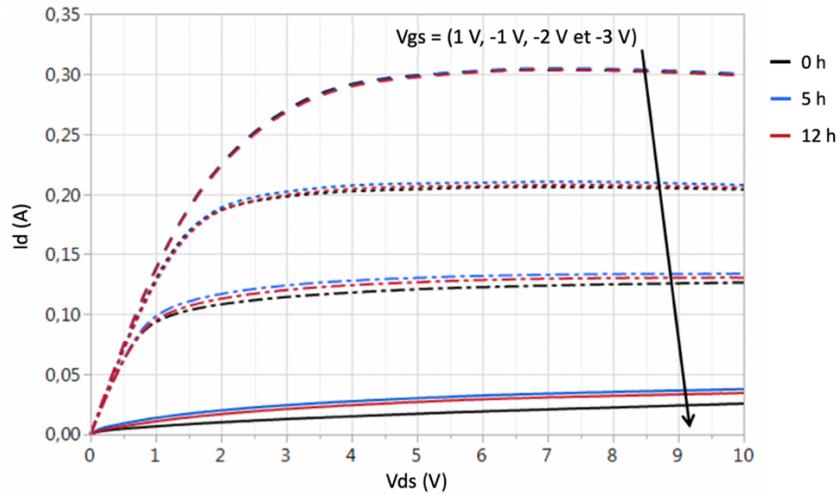


Figure 3.1-8 : Évolution de la caractéristique de sortie DC d'un composant de la technologie GH15 pour différentes valeurs de V_{gs} au cours d'un test HTRB à 175 °C ($V_{gs} = -7$ V et $V_{ds} = 30$ V) ; avant le test en noir, après 5 heures en bleu et après 12 heures en rouge

En revanche, les mesures I-V pulsées sur des composants mettent en avant une diminution du courant de drain sur la caractéristique de sortie entre la zone ohmique et la zone saturée. Ce comportement est identique à celui observé sur les mesures I-V pulsées effectuées sur des composants de la technologie GH50. Cette diminution du courant de drain, représentée sur la Figure 3.1-9, est visible pour des tensions grille-source positives. Ce phénomène, que nous appelons par la suite « knee smoothing » ou lissage du coude, permet à la fois d'expliquer la dérive de la puissance de sortie et de confirmer que l'origine de ce phénomène est dû aux effets de piègeage dans le composant.

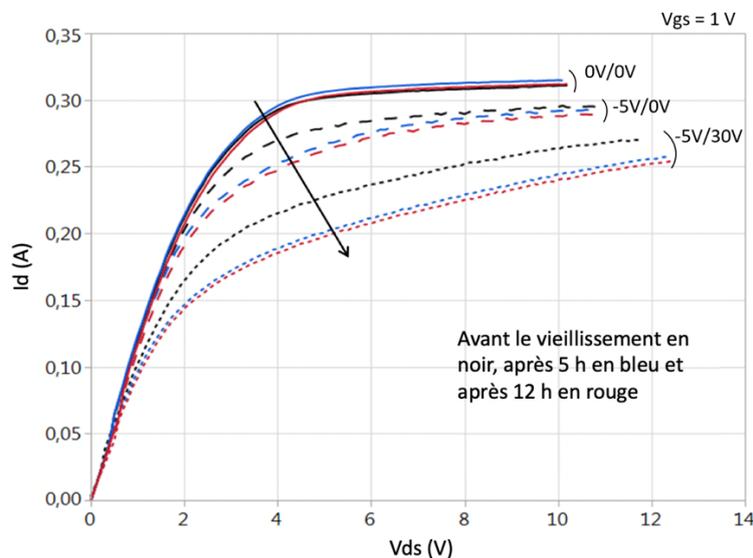


Figure 3.1-9 : Évolution de la caractéristique de sortie I-V pulsée d'un composant de la technologie GH15 durant un essai HTRB pour une tension de grille de 1 V et pour un point de repos $V_{gs,q}/V_{ds,q}$ égal à 0V/0V en trait continu, -5V/0V en trait court et -5V/30V en trait long ; période de 3 μ s avec un rapport cyclique de 10 %

En effet, une corrélation a été démontrée (Figure 3.1-10) avec un taux de corrélation autour de 0,9 et de 0,89 entre la dérive de la puissance de sortie et les dérives des taux de « gate lag » et de « drain lag », extraites par le biais de la méthode présentée au paragraphe 2.2.1.

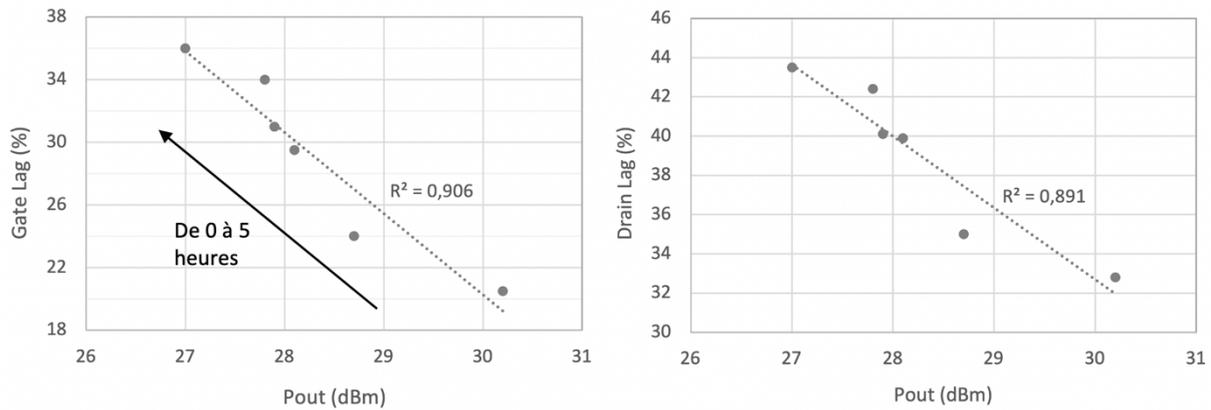


Figure 3.1-10 : Taux de gate lag et de drain lag en fonction de la puissance de sortie mesurés pour une compression de gain de 4 dB au cours d'un test HTRB ($V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 175$ °C)

Le phénomène se produisant durant les 5 premières heures de vieillissement, l'utilisation de mesures I-V pulsées est la méthode la plus pertinente pour étudier la cinétique du phénomène que la mise en place de mesures load-pull. Elles présentent une meilleure répétabilité par rapport aux mesures de puissance car moins sensibles aux incertitudes de calibrage et au cycle de charge et sont plus rapides à effectuer allégeant les phases de mesure de reprise qui seront effectuées à des intervalles très rapprochés (la première mesure de reprise est réalisée après 5 minutes). Cependant, il n'est pas possible de suivre la dérive de la puissance au cours d'un essai de vieillissement par le biais des mesures I-V pulsées. Néanmoins, afin d'obtenir une tendance de celle-ci, une méthode de calcul analytique prédictive de la puissance basée sur les mesures I-V pulsées a été développée au cours de ces travaux de thèse.

3.2. Méthodologie de suivi de la puissance à partir de mesures I-V pulsées

Afin d'utiliser les mesures I-V pulsées comme substitut aux mesures de reprise loadpull utilisées au cours des différentes campagnes de test, une méthodologie de suivi de la puissance à partir de caractéristiques pulsées a été développée. Cette dernière basée sur les équations présentées dans la thèse de J. Dufraisse [3] a pour unique objectif d'évaluer la dérive de la puissance de sortie au cours de stress électrique.

3.2.1. Définition des classes d'amplification et présentation du calcul de la puissance

La puissance de sortie d'un transistor dépend de la classe d'amplification dans laquelle il est utilisé. Par définition, la tension $V_{ds}(t)$ est sinusoïdale quelle que soit la classe d'amplification (A, AB, B et C) dans laquelle est utilisé le transistor. Cette classe est définie par la forme temporelle du courant de drain résultant des tensions appliquées aux bornes du transistor, à savoir $V_{ds}(t)$ et $V_{gs}(t)$ (Figure 3.2-1).

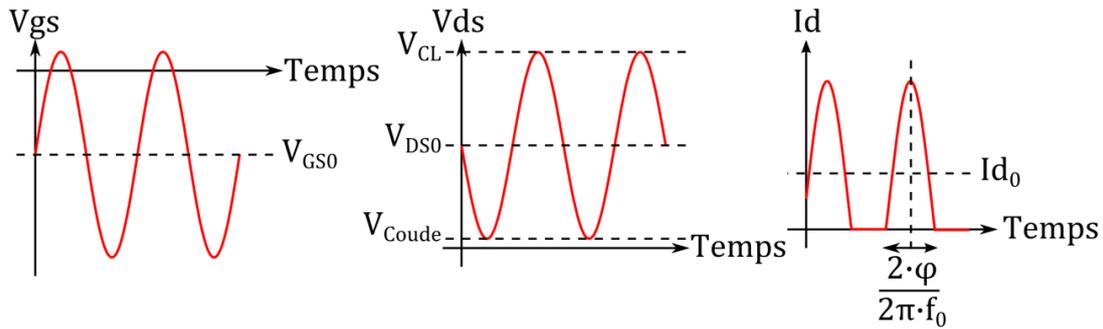


Figure 3.2-1 : Allure des formes temporelles de tension V_{gs} et V_{ds} et de courant I_d pour un fonctionnement en classe d'amplification AB [3] ; les paramètres de la figure sont définis dans le texte

Elle est déterminée par la différence entre la tension de grille, notée V_{GS0} , et la tension de seuil du transistor (notée V_p sur la Figure 3.2-2). Plus la tension de polarisation de grille, V_{GS0} , sera faible, plus le temps de conduction, sera court. Ce temps de conduction, correspondant au temps durant lequel le courant de drain est positif, est exprimé sur une période de signal ($T = 1/f_0$) par la relation suivante.

$$\text{Temps de conduction} = \frac{2\varphi}{2\pi f_0} \quad \text{Eq. 3.2-1}$$

Où f_0 représente la fréquence de la puissance d'entrée et le paramètre φ l'angle de conduction. L'impact des formes temporelles sur le temps de conduction est aussi visible sur le cycle de charge du composant. Le cycle de charge correspond au cycle du courant de drain au cours du temps représenté en fonction de la tension de drain, comme sur la Figure 3.2-2.

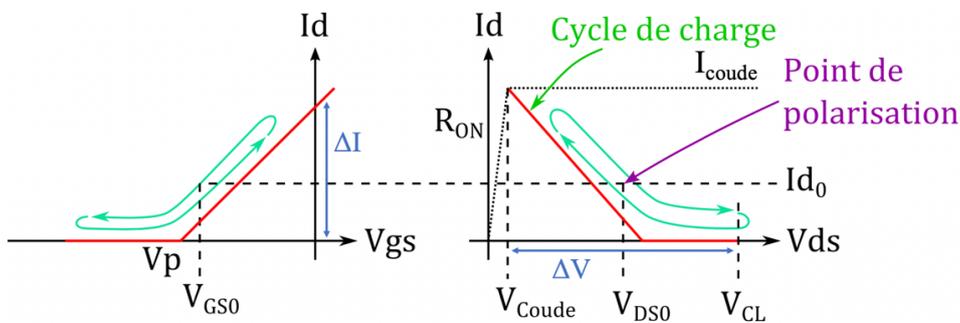


Figure 3.2-2 : Allure du cycle I_d - V_{gs} et du cycle de charge pour un fonctionnement en classe AB [3]

Le cycle de charge est défini par la tension et le courant de polarisation notés V_{DS0} et I_{d0} ainsi que son excursion en tension (ΔV) et en courant (ΔI). Afin d'obtenir le maximum de puissance de sortie, il est nécessaire d'obtenir le produit $\Delta V \cdot \Delta I$ le plus important possible. La tension optimale de polarisation de drain doit donc être égale à :

$$V_{DS0} = \frac{V_{coude} + V_{CL}}{2} \quad \text{Eq. 3.2-2}$$

Où V_{CL} représente la tension de claquage ou maximale du composant et V_{coude} : la tension de coude de la caractéristique de sortie du transistor. $V_{ds}(t)$ étant strictement sinusoïdale, l'excursion en tension sera ainsi maximale. En ce qui concerne l'excursion en courant, la charge présentée se doit

d'être optimisée afin que le courant de drain maximal que peut délivrer le composant soit atteint par le cycle de charge.

Représenté sur la Figure 3.2-3, la forme temporelle du courant de drain est une sinusoïde tronquée quand le transistor est utilisé en classe d'amplification AB, classe d'amplification principalement utilisée pour la technologie GH15. Du point de vue du cycle de charge, cette forme sinusoïdale tronquée se manifeste par un courant nul lorsque la tension V_{ds} se rapproche de la tension V_{CL} . La polarisation de grille appliquée au transistor est donc proche de la tension de seuil du composant menant à un angle d'ouverture, qui définit le temps de conduction, compris entre 90° et 180° pour une demi période.

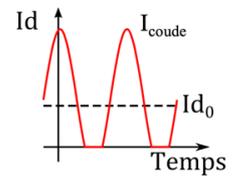
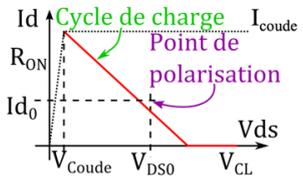
Classe	Forme temporelle du courant I_d	Cycle de charge $I_d - V_{ds}$	Angle de conduction φ
AB			$90^\circ < \varphi < 180^\circ$ $V_p \leq V_{GS0}$ et $V_{GS0} \leq \frac{V_{GS}^{MAX} + V_p}{2}$

Figure 3.2-3 : Définition de l'angle de conduction et du cycle de charge pour un amplificateur fonctionnant en classe AB [3]

La puissance de sortie étant dépendante des formes temporelles de la tension et du courant de drain, elle est donnée par l'équation suivante :

$$P_{out} = \frac{I_1 \cdot V_1}{2} \quad \text{Eq. 3.2-3}$$

Où I_1 et V_1 représentent respectivement la première harmonique (de la transformée en série de Fourier) du courant et de la tension de drain. En se basant sur les formes temporelles définies précédemment, les amplitudes des premières harmoniques sont données par les relations suivantes :

$$V_1 = \frac{V_{CL} - V_{coude}}{2} \quad \text{Eq. 3.2-4}$$

$$I_1 = \frac{I_{coude}}{2\pi} \cdot \frac{2\varphi - \sin(2\varphi)}{1 - \cos(\varphi)} \quad \text{Eq. 3.2-5}$$

Ainsi, la puissance de sortie est donnée par l'équation suivante [3] :

$$P_{OUT} = \frac{I_{coude}}{2\pi} \cdot \frac{2\varphi - \sin(2\varphi)}{1 - \cos(\varphi)} \cdot \frac{V_{CL} - V_{coude}}{4} \quad \text{Eq. 3.2-6}$$

3.2.2. Définition des paramètres

La méthodologie décrite se basant sur des mesures I-V pulsées, le point de repos utilisé au cours de ces mesures est important. Afin de représenter au mieux le fonctionnement RF du transistor, les tensions de repos appliquées doivent être égales aux tensions maximales atteintes lors du fonctionnement en condition pincée. Le but est de tenir compte de tous les effets de piégeage/dé-

piégeage présents dans les HEMTs GaN au cours d'un fonctionnement radiofréquence. La caractéristique de sortie utilisée pour le calcul de la puissance doit aussi représenter au mieux l'extension en courant du cycle de charge du transistor. Il est donc nécessaire d'utiliser une caractéristique pour une tension grille-source où le canal du composant est ouvert, soit 1 V dans notre cas.

Concernant l'angle de conduction (φ), sa valeur est comprise entre 90 ° et 180 ° pour un fonctionnement en classe AB et est liée au courant de drain. Le rapport entre le courant maximal I_{coude} et le courant de polarisation du transistor I_{d0} , que nous noterons α par la suite, change en fonction de la classe d'amplification utilisée. Pour un fonctionnement en classe AB, le courant maximal de drain est plus de deux fois supérieur au courant de polarisation. Ainsi, la relation suivante est utilisée afin d'obtenir un angle de conduction, nécessaire pour le calcul de P_{out} , compris entre 90 ° et 180 °.

$$\varphi = \frac{\left(180 - \frac{180}{\pi} \cdot \arccos\left(\frac{2}{\alpha}\right)\right)\pi}{180} \quad (rad) \quad \text{Eq. 3.2-7}$$

La valeur de l'angle de conduction est ramenée en radians pour le calcul de la puissance de sortie. La tension de claquage V_{CL} est définie comme la tension de drain maximale atteinte par le cycle de charge. Elle est souvent considérée, pour une charge optimisée en puissance, comme deux à trois fois la tension de polarisation, cependant cette valeur n'est pas clairement définie car elle dépend de charge de sortie et de la fréquence choisie pour le suivi loadpull. Ainsi, un paramètre d'ajustement, noté β , est utilisé. Ce dernier va permettre d'ajuster la valeur initiale de V_{CL} (avant test de vieillissement) par rapport à une mesure de puissance initiale de référence pour se rapprocher au mieux du cycle de charge vu par le transistor.

$$V_{CL} = \beta(V_{ds0} - V_{coude}) \quad (V) \quad \text{Eq. 3.2-8}$$

La caractéristique de sortie pulsée pour $V_{gs} = 1$ V et un point de repos V_{gs}/V_{ds} de -5V/30V est utilisée pour le calcul de la puissance de sortie (P_{out}). La puissance est calculée pour chaque point de la caractéristique à l'aide de l'équation 3.2-6 en donnant à V_{coude} et I_{coude} les valeurs de la tension et du courant de drain de chaque point (Figure 3.2-4). Le produit V_{coude} et I_{coude} passe par un maximum qui constitue un point unique à partir duquel il est possible d'extraire une droite de charge théorique qui peut s'identifier à la charge optimale de puissance obtenue lors d'une mesure loadpull. Ce dernier point constitue une des conditions à réaliser afin d'obtenir la meilleure prédiction entre la mesure de puissance et les caractéristiques I-V pulsées. Dès lors que le suivi loadpull s'effectue pour une charge autre que celle fournissant la plus grande puissance, la précision du calcul analytique risque de s'amoinrir.

Le maximum de la puissance, noté $P_{out\ max}$, est donc extrait et comparé à la puissance de sortie à saturation mesurée initialement pour une charge optimisée en puissance. La valeur du paramètre β est alors ajustée dans le but d'obtenir une puissance calculée égale à celle mesurée. Les valeurs des paramètres V_{coude} et I_{coude} correspondent aux valeurs de la tension et du courant de drain utilisées pour obtenir $P_{out\ max}$.

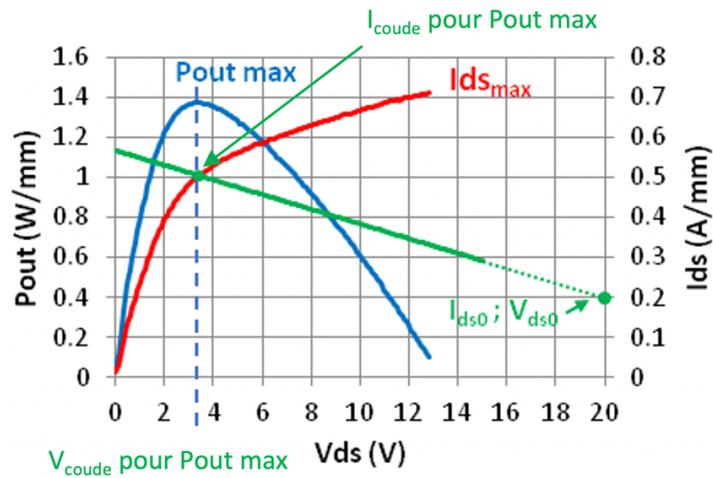


Figure 3.2-4 : Courant de drain en mode pulsé (en rouge), puissance de sortie calculée (en bleu) et droite de charge théorique associée au maximum de la puissance de sortie (en vert) en fonction de V_{ds} – Exemple pris pour un composant de la technologie GH15 pour un point de repos V_{gs_0}/V_{ds_0} de $-5V/30V$ et $V_{ds0} = 20 V$ et $I_{ds0} = 200 mA/mm$ définissent le point de polarisation des mesures de puissance

3.2.3. Explication d'utilisation de la méthodologie pour l'analyse de la dérive de la puissance

Une fois les paramètres définis à l'aide de la mesure initiale en mode pulsé et de la puissance qui en découle, une droite de charge théorique est extraite (Figure 3.2-4). Les valeurs de la tension et du courant de drain au maximum de puissance définissent un point de la droite de charge théorique tandis que le second ($V_{ds0} = 20 V$ et $I_{ds0} = 200 mA/mm$) correspond au point de polarisation des mesures de puissance (voir Figure 3.2-4). La charge présentée au composant au cours des mesures de reprise de puissance reste inchangée, la droite de charge extraite est donc maintenue constante afin de calculer la puissance de sortie au cours du test de vieillissement dans des conditions similaires. Le paramètre β reste lui aussi constant, n'étant qu'un paramètre d'ajustement afin de calculer une puissance de sortie initiale similaire à celle obtenue par la mesure.

L'équation 3.2-6 est utilisée afin de calculer la puissance de sortie pour chaque mesure de reprise, effectuée à chaque arrêt de l'essai de vieillissement, avec I_{coude} et V_{coude} prenant les valeurs des coordonnées du point d'intersection entre la droite de charge théorique déterminée précédemment et la nouvelle caractéristique de sortie en mode pulsée. La Figure 3.2-5 représente la droite de charge théorique initiale correspondant au maximum de puissance à partir de la mesure I-V pulsée initiale ainsi que l'évolution de la caractéristique de sortie pulsée d'un transistor au cours d'un essai. L'intersection entre la droite de charge et les caractéristiques donne les valeurs de I_{coude} et de V_{coude} au cours de l'essai.

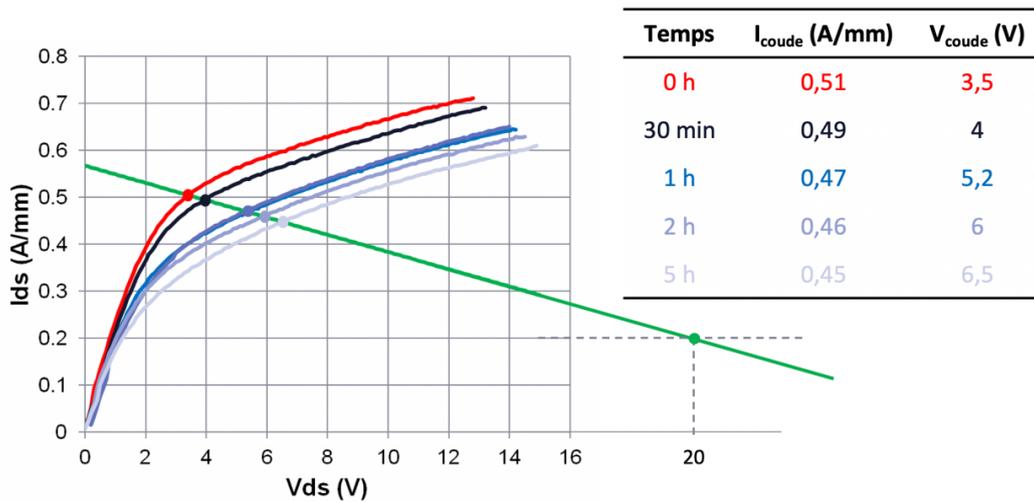


Figure 3.2-5 : Évolution au cours d'un essai de vieillissement de la caractéristique de sortie en mode pulsée avec la mesure initiale (en rouge) et les différentes mesures de reprise (en noir puis en bleu) et la droite de charge théorique (en vert) extraite à partir de la mesure initiale et correspondant au maximum de la puissance de sortie (on rappelle que le second point de la droite de charge, 20 V, 200 mA/mm est le point de polarisation des mesures de puissance)

3.2.4. Validation de la méthodologie sur deux technologies : GH15 et GH50

Cette méthodologie a été utilisée lors des mesures de reprise au cours des essais présentés partie 3.1.2. Pour les mesures load-pull, la charge présentée est restée identique lors de chaque mesure de reprise. De ce fait, garder la même droite de charge pour la méthodologie de suivi de la puissance à partir de mesures I-V pulsées permet d'étudier le composant dans des conditions similaires, que ce soit expérimentalement ou analytiquement. Les résultats obtenus sont présentés Figure 3.2-6. Ils démontrent la bonne adéquation entre la dérive de la puissance de sortie dP_{out} mesurée en load-pull à 9 GHz et celle calculée analytiquement à l'aide de la méthodologie qui vient d'être présentée et qui est basée sur les mesures I-V pulsées.

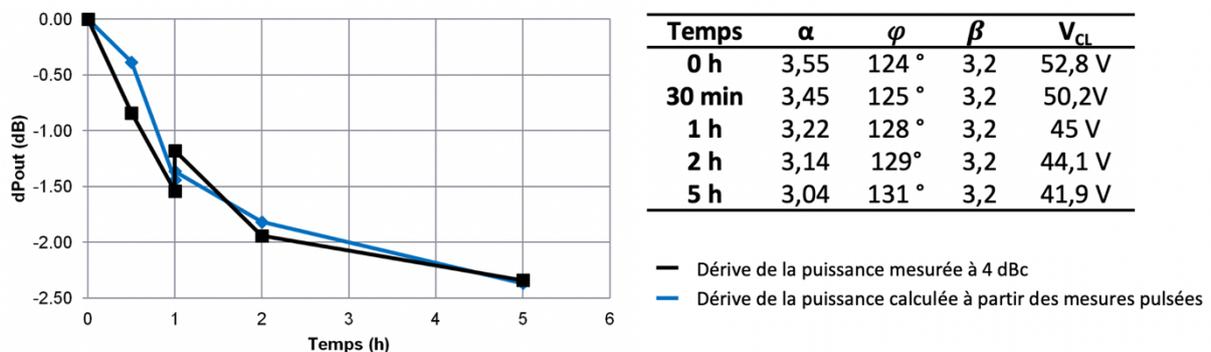


Figure 3.2-6 : Dérive de la puissance de sortie mesurée à 4 dBc, représentée en noir, en fonction du temps et comparaison avec la valeur extraite par le calcul, représentée en bleu ; technologie GH15

Le tableau en Figure 3.2-6 met en avant l'évolution des différents paramètres au cours du test. On note une diminution du paramètre α due à une diminution du courant de drain maximal mesuré

menant à une augmentation de l'angle de conduction ϕ . La valeur de l'angle de conduction reste néanmoins proche de celle obtenue initialement décrivant toujours la même classe d'amplification. La tension V_{CL} quant à elle diminue en raison de l'augmentation de la tension V_{coude} .

La validité de cette méthodologie a aussi été étudiée à l'aide de mesures effectuées sur la technologie GH50. Un essai HTRB à 125 °C pour $V_{gs} = -7$ V et $V_{ds} = 50$ V a été mené sur des transistors présentant deux topologies, notées V1 et V3. Des mesures de reprises load-pull ont été réalisées après 24, 48, 96, 250, 500 et 800 heures de vieillissement à une fréquence de 1,6 GHz et pour un point de polarisation $V_{ds} = 50$ V et $I_d = 25$ mA/mm avec une charge optimisée en puissance. Des mesures I-V pulsées ont été réalisées à différents points de repos sur 4 composants vieillis et sur 2 composants non vieillis par topologie. Elles n'ont pas pu être réalisées avant le début des essais, la comparaison ne peut donc se faire qu'entre composants vieillis et non-vieillis.

La Figure 3.2-7 montre la différence entre les caractéristiques de sortie pulsées des composants vieillis et non-vieillis mesurées avec un point de repos à $V_{gs} = -7$ V et $V_{ds} = 70$ V. On rappelle que le point de repos est choisi afin de correspondre au mieux au maximum de tension atteint par le cycle de charge en condition pincée.

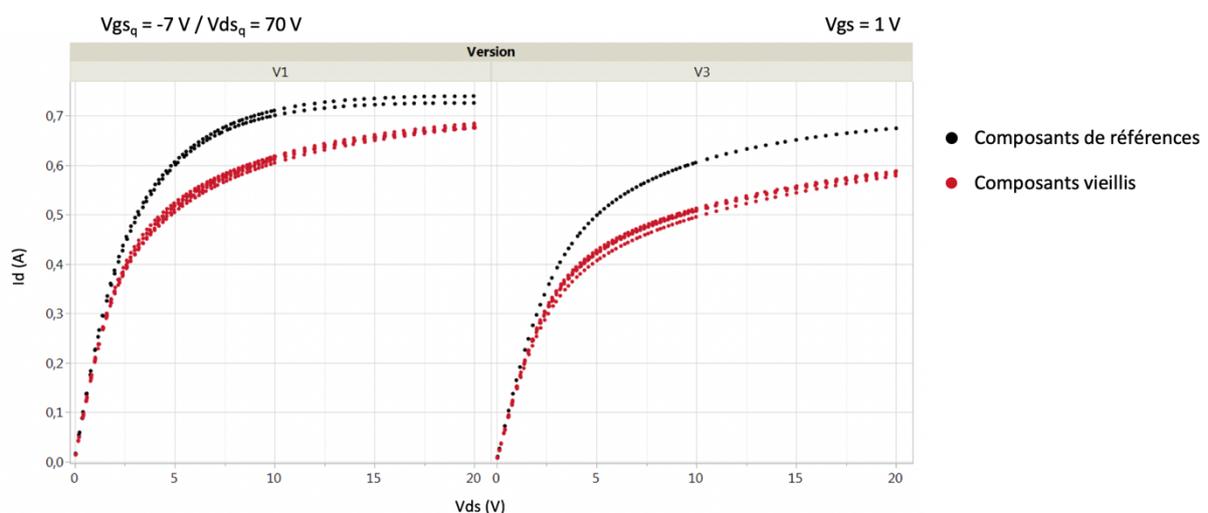


Figure 3.2-7 : Caractéristiques de sortie pulsées ($V_{gs} = -7$ V et $V_{ds} = 70$ V) pour plusieurs composants vieillis (en rouge) et non-vieillis (en noir) des deux topologies (V1 et V3) ; technologie GH50

Le calcul de puissance a d'abord été effectué sur les composants non vieillis afin d'ajuster le paramètre β pour obtenir une puissance de sortie calculée de même valeur que la puissance de sortie mesurée par le biais des mesures load pull avec une charge optimisée en puissance. Par la suite, le calcul de puissance est effectué avec les caractéristiques de sortie pulsées des composants vieillis en utilisant la même droite de charge et le même paramètre β que ceux utilisés pour les composants non vieillis. Les résultats sont représentés Figure 3.2-8 pour les deux topologies (V1 et V3).

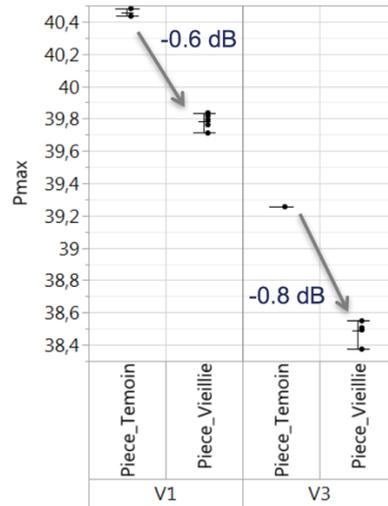


Figure 3.2-8 : Puissance maximale calculée à partir des mesures I-V pulsées pour des composants vieillis et non-vieillis pour les deux topologies V1 et V3 de la technologie GH50

Lors des mesures load-pull à 1,6 GHz avec charge optimisée en puissance, la dérive de la puissance extraite à 3 dB de compression était comprise entre -0,4 et -0,6 dB pour la topologie V1 et était de -0,8 dB pour la topologie V3. Les dérives calculées par le biais de la méthodologie mise en place sont donc du même ordre de grandeur que celles mesurées par load pull. Ces résultats ainsi que ceux obtenus sur la technologie GH15 montrent la validité de la méthodologie mise en place. Il est donc possible de suivre l'évolution de la puissance au cours de stress électrique par le biais de mesures I-V pulsées selon la méthodologie présentée.

Cette approche est valide pour suivre la puissance de sortie maximale pour une charge optimisée en puissance. Malgré une bonne corrélation entre les dérives de la puissance mesurée et la dérive calculée, ces deux dernières ne sont pas strictement égales. La méthodologie se base sur une droite de charge théorique qui est différente des cycles de charge vus par le transistor. Ces derniers ont été simulés et représentés Figure 3.2-9 pour différentes charges sur la technologie GH50. Il est clair que la droite de charge utilisée pour le calcul de la puissance n'est pas représentative du comportement RF du transistor. De plus, la dérive de la puissance diffère en fonction de la charge présentée au composant confirmant les limites de la méthodologie comme indiqué lors de la présentation de celle-ci.

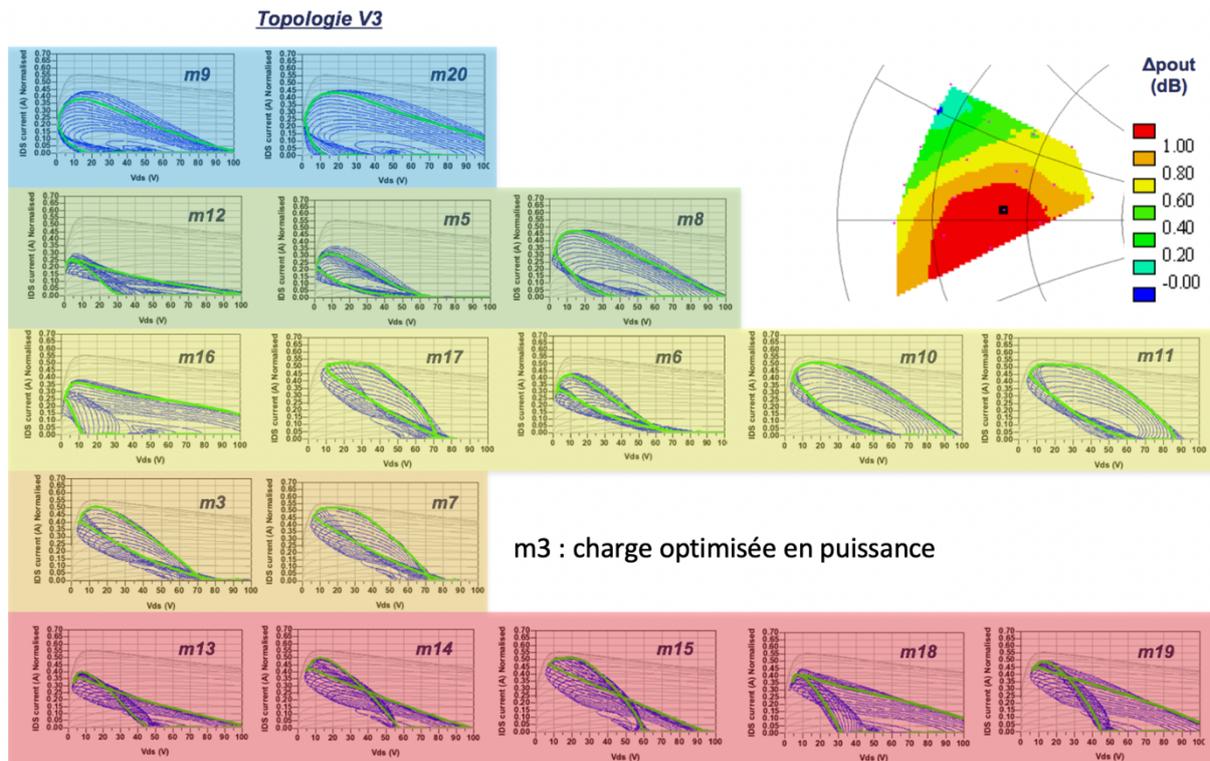


Figure 3.2-9 : Cycles de charge simulés en utilisant le modèle de la technologie GH50 pour chacune des charges présentées lors des mesures de puissance pour la topologie V3 ; Dérive de la puissance associée à chaque charge de bleu (0 dB) jusqu'à rouge (-1,2 dB) obtenue par mesure après 800 heures de test HTRB ; Technologie GH50

Les deux paramètres β et le α permettent de se rapprocher de la mesure mais restent imprécis pour reproduire exactement l'évolution du composant RF au cours du temps. Malgré quelques limites, la méthodologie permet d'obtenir un suivi de la puissance de sortie proche de celui mesuré. Elle a donc été validée et implémentée au traitement de données réalisé automatiquement par un programme de calcul et d'extraction développé en parallèle des campagnes de mesure.

3.3. Caractérisation de la dérive initiale de la puissance de sortie sur la technologie GH15

L'étude de la dérive de la puissance a été réalisée sur des composants de la technologie GH15. Elle se base sur des stress électriques, réalisés au laboratoire IMS puis à UMS, pour étudier sa cinétique et ses facteurs d'accélération. Une coopération avec le laboratoire XLIM a permis d'approfondir l'étude du phénomène avec des mesures de paramètre S basse fréquence ainsi que des mesures de transitoire de courant (I-DLTS) afin d'identifier les pièges responsables de la dérive de la puissance initiale. Des simulations physiques ont aussi été réalisées par le laboratoire III-V lab dans le but de localiser ces pièges dans la structure du composant.

3.3.1. Plan de test

Dans le cadre de l'étude du phénomène, un plan de test a été mis en place afin de séparer les différentes campagnes de test. Des essais de type HTRB ont été choisis car, d'une part, ils permettent un meilleur contrôle thermique des composants en comparaison à des tests HTOL et d'autre part, la dérive initiale de la puissance de sortie est attribuée au champ électrique. L'étude du phénomène se focalise sur sa cinétique et sur ses facteurs d'accélération. Le phénomène se produisant au cours des 5 premières heures de vieillissement, les mesures I-V pulsées ont été choisies afin de suivre l'évolution du phénomène grâce à la méthodologie de suivi de la puissance mise en place et présentée au cours de la partie 3.2. La campagne a été effectuée dans un premier temps au laboratoire IMS puis à UMS. L'étude de la cinétique et de la dépendance en température a été effectuée sur les deux sites ce qui a permis de croiser les résultats indépendamment du type de banc utilisé.

L'ensemble des tests effectués est reporté sur le Tableau 3.3-1 en identifiant, en bleu, les tests réalisés pour l'étude de la cinétique, en vert, les tests liés à l'étude de la dépendance en température et en orange ceux liés à l'étude de la dépendance en champ électrique.

Réf.	Conditions de vieillissement	Temps	Composants	Mesures de reprise	Banc	
A	Vgs = -7 V, Vds = 30 V et Tc = 175 °C	24 h	1	IV et I-V pulsées	IMS	Cinétique
B	Vgs = -7 V, Vds = 30 V et Tc = 175 °C	12 h	1	IV et I-V pulsées	IMS	
C	Vgs = -7 V, Vds = 30 V et Tc = 175 °C	2 h	1	IV et I-V pulsées	IMS	
D	Vgs = -7 V, Vds = 30 V et Tc = 200 °C	4 h	2	IV et I-V pulsées	IMS	Température
E	Vgs = -7 V, Vds = 30 V et Tc = 150 °C	4 h	2	IV et I-V pulsées	IMS	
F	Vgs = -7 V, Vds = 30 V et Tc = 100 °C	4 h	2	IV et I-V pulsées	IMS	
G	Vgs = -7 V, Vds = 30 V et Tc = 25 °C	4 h	1	IV et I-V pulsées	IMS	
H	Vgs = -7 V, Vds = 30 V et Tc = 125 °C	2 h	4	IV et I-V pulsées	UMS	
I	Vgs = -7 V, Vds = 30 V et Tc = 125 °C	15 min	1	IV et I-V pulsées	UMS	Champ électrique
J	Vgs = -7 V, Vds = 30 V et Tc = 25 °C	1 h	4	IV et I-V pulsées	UMS	
K	Vgs = -7 V, Vds = 30 V et Tc = 75 °C	1 h	4	IV et I-V pulsées	UMS	
L	Vgs = -5 V, Vds = 30 V et Tc = 25 °C	1 h	4	IV et I-V pulsées	UMS	
M	Vgs = -10 V, Vds = 30 V et Tc = 25 °C	1 h	4	IV et I-V pulsées	UMS	
N	Vgs = -7 V, Vds = 20 V et Tc = 25 °C	1 h	4	IV et I-V pulsées	UMS	
O	Vgs = -7 V, Vds = 40 V et Tc = 25 °C	1 h	4	IV et I-V pulsées	UMS	

Tableau 3.3-1 : Plan de test pour l'étude du phénomène de lissage du coude sur la caractéristique I-V pulsée

3.3.2. Étude la cinétique temporelle du phénomène

La dérive initiale de la puissance de sortie se produit, sur la technologie GH15, après seulement 5 heures d'essai de type HTRB. Cette dérive met en avant, en plus des pertes de performance, un problème de « stabilité » de la technologie dans les premières heures de fonctionnement. Des tests de type « burn-in » peuvent être mis en place afin de stresser les composants et d'activer cette dérive avant l'envoi des composants aux clients notamment. Il est donc important de connaître la cinétique du phénomène afin de définir les conditions des tests de « burn-in ».

Afin d'étudier la cinétique temporelle de la dérive initiale de la puissance de sortie ou le phénomène de lissage du coude durant les 5 premières heures de vieillissement, le temps entre chaque mesure de reprise a été réduit jusqu'à 5 minutes pour la première mesure de reprise sur certains tests. Les tests HTRB effectués au laboratoire IMS ont été menés à une température de 175 °C (tests A, B et C). Le temps entre le lancement de l'essai et la première mesure de reprise a été réduit à un minimum de 30 minutes (test C). Une campagne de mesure similaire a pu être menée au sein d'UMS (tests H et I). Les conditions de stress appliquées sont restées inchangées entre les deux campagnes, à l'exception de la température, passant de 175 °C à 125 °C, en raison d'une limitation en température liée aux pointes RF utilisées. Les tests réalisés sont rappelés Tableau 3.3-2.

Réf.	Conditions de vieillissement	Temps	Composants	Mesures de reprise	Banc
A	$V_{gs} = -7 \text{ V}$, $V_{ds} = 30 \text{ V}$ et $T_c = 175 \text{ °C}$	24 h	1	IV et I-V pulsées	IMS
B	$V_{gs} = -7 \text{ V}$, $V_{ds} = 30 \text{ V}$ et $T_c = 175 \text{ °C}$	12 h	1	IV et I-V pulsées	IMS
C	$V_{gs} = -7 \text{ V}$, $V_{ds} = 30 \text{ V}$ et $T_c = 175 \text{ °C}$	2 h	1	IV et I-V pulsées	IMS
H	$V_{gs} = -7 \text{ V}$, $V_{ds} = 30 \text{ V}$ et $T_c = 125 \text{ °C}$	2 h	4	IV et I-V pulsées	UMS
I	$V_{gs} = -7 \text{ V}$, $V_{ds} = 30 \text{ V}$ et $T_c = 125 \text{ °C}$	15 min	1	IV et I-V pulsées	UMS

Tableau 3.3-2 : Plan de test pour l'étude de la cinétique du phénomène de lissage du coude sur la caractéristique I-V pulsée

Les résultats issus des tests réalisés à IMS sont reportés Figure 3.3-1 tandis que ceux réalisés à UMS sont reportés Figure 3.3-2. Ces résultats démontrent une dérive de la puissance au cours des 30 premières minutes de stress électrique sur un ensemble de deux fois 3 transistors testés sur deux bancs distincts. Après cette dérive, la puissance de sortie n'évolue plus au cours du temps et reste stable après 24 heures de stress électrique. Sur un composant, la première mesure de reprise a été effectuée après seulement 5 minutes de stress. Le résultat du test présenté Figure 3.3-2 montre donc que le phénomène apparaît après moins de 5 minutes de stress électrique pour une température de 125 °C.

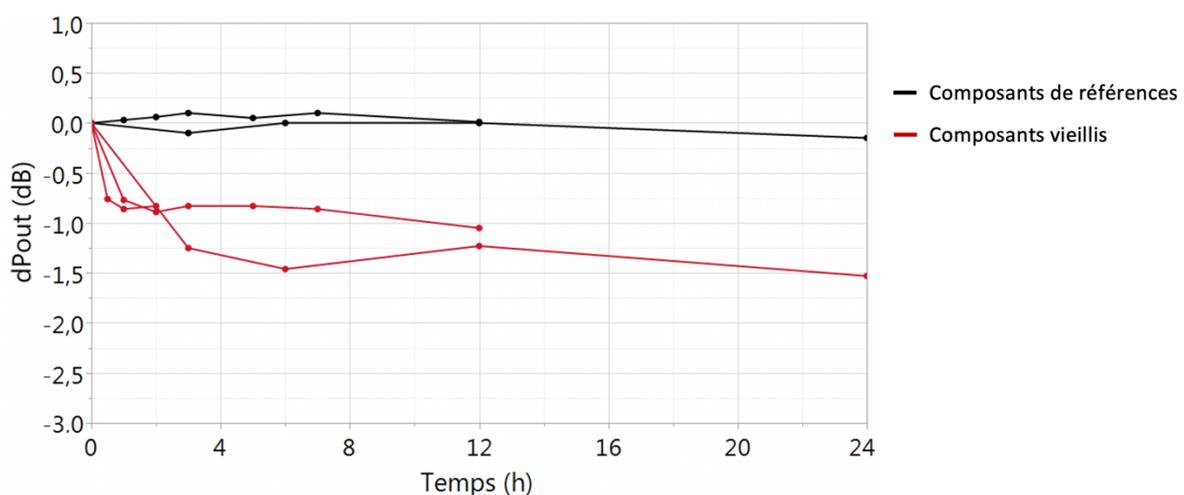


Figure 3.3-1 : Dérive de la puissance de sortie calculée au cours d'un essai de type HTRB ($V_{gs} = -7 \text{ V}$ & $V_{ds} = 30 \text{ V}$) à une température de 175 °C pour trois transistors vieillis en rouge et deux composants de référence en noir ; Banc IMS

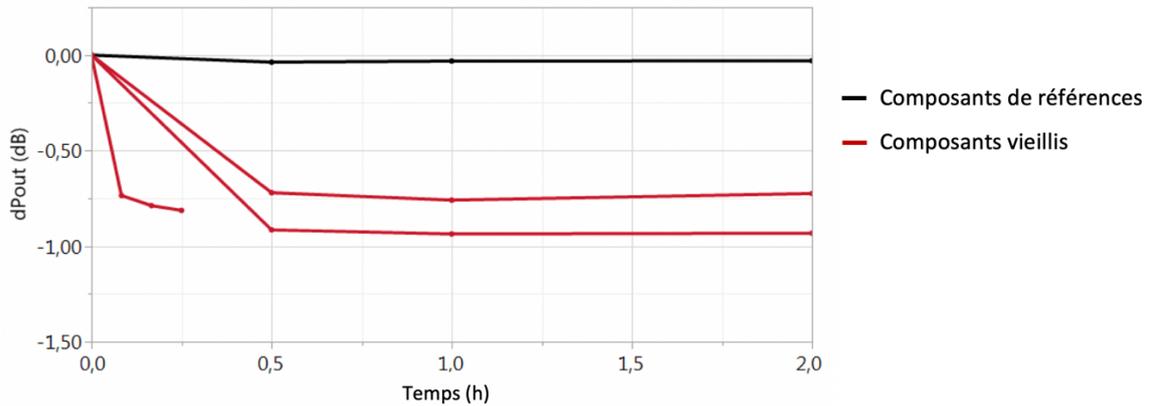


Figure 3.3-2 : Dérive de la puissance de sortie calculée au cours d'un essai de type HTRB ($V_{gs} = -7 \text{ V}$ & $V_{ds} = 30 \text{ V}$) à une température de 125 °C pour trois transistors vieillis en rouge et un composant de référence en noir ; Banc UMS

Au travers de ces tests, aucune constante de temps caractéristique de la dérive de la puissance de sortie n'a pu être extraite. Cependant, il a été démontré que la dérive de la puissance de sortie est établie après moins de 5 minutes de stress électrique.

3.3.3. Étude des facteurs d'accélération de la dérive initiale de la puissance de sortie

Des essais ont été menés à différentes températures afin d'évaluer l'impact de la température sur la cinétique de la dérive de la puissance de sortie ainsi que son amplitude. De plus, cette dérive étant attribuée au champ électrique, des essais similaires ont été réalisés afin d'évaluer l'effet du champ électrique sur la cinétique et l'amplitude de la dérive. Cette étude sur l'impact du champ électrique s'appuie notamment sur des simulations physiques.

3.3.3.1. Impact de la température

Des tests de type HTRB ont été menés en faisant varier la température de vieillissement afin d'étudier son impact sur le phénomène de lissage du coude induisant la dérive de la puissance de sortie (tests D, E, F et G). Cette campagne de mesure a été effectuée au laboratoire IMS pour des températures allant de 25 °C à 200 °C pour des tensions $V_{gs} = -7 \text{ V}$ et $V_{ds} = 30 \text{ V}$. La campagne réalisée à UMS avait pour but de valider les résultats précédents (tests H, J et K). Les mêmes conditions en tension ont été appliquées pour des températures comprises entre 25 et 125 °C . L'ensemble des tests est reporté dans le Tableau 3.3-3.

Réf.	Conditions de vieillissement	Temps	Composants	Mesures de reprise	Banc
D	Vgs = -7 V, Vds = 30 V et Tc = 200 °C	4 h	2	IV et I-V pulsées	IMS
E	Vgs = -7 V, Vds = 30 V et Tc = 150 °C	4 h	2	IV et I-V pulsées	IMS
F	Vgs = -7 V, Vds = 30 V et Tc = 100 °C	4 h	2	IV et I-V pulsées	IMS
G	Vgs = -7 V, Vds = 30 V et Tc = 25 °C	4 h	1	IV et I-V pulsées	IMS
H	Vgs = -7 V, Vds = 30 V et Tc = 125 °C	2 h	4	IV et I-V pulsées	UMS
I	Vgs = -7 V, Vds = 30 V et Tc = 125 °C	15 min	1	IV et I-V pulsées	UMS
J	Vgs = -7 V, Vds = 30 V et Tc = 25 °C	1 h	4	IV et I-V pulsées	UMS
K	Vgs = -7 V, Vds = 30 V et Tc = 75 °C	1 h	4	IV et I-V pulsées	UMS

Tableau 3.3-3 : Plan de test pour l'étude de l'effet de la température sur le phénomène de lissage du coude de la caractéristique I-V pulsée

Les résultats issus des tests réalisés à IMS sont reportés Figure 3.3-3 tandis que ceux réalisés à UMS sont reportés Figure 3.3-4. Pour les tests réalisés au laboratoire IMS, la première mesure de reprise a été effectuée au bout de 30 minutes de stress électrique. Avec cette précision temporelle, la température ne montre aucun impact sur la cinétique du phénomène. Cependant, la dérive devient plus importante avec l'augmentation de la température. Des résultats similaires ont été obtenus pour les tests réalisés à UMS.

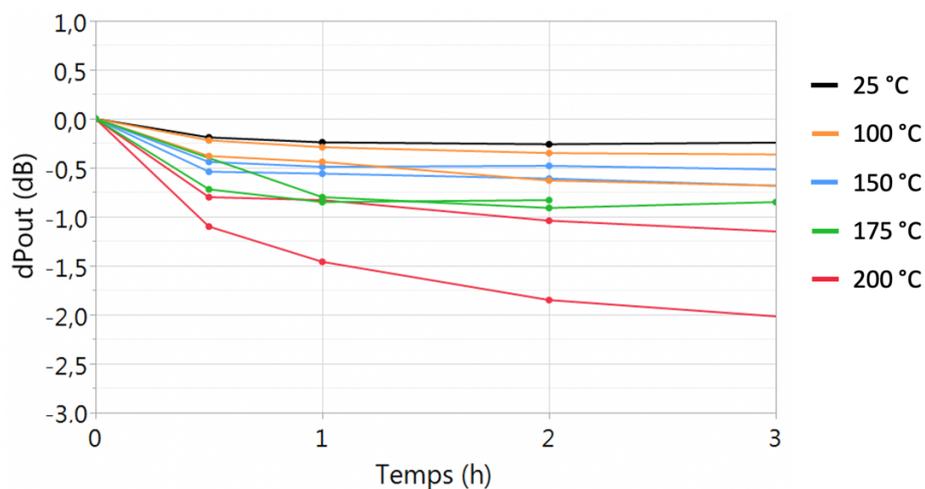


Figure 3.3-3 : Dérive de la puissance de sortie calculée au cours d'un essai de type HTRB (Vgs = -7 V & Vds = 30 V) à une température de 25 °C en noir, 100 °C en orange, 150 °C en bleu, 175 °C en vert et 200 °C en rouge. Banc IMS

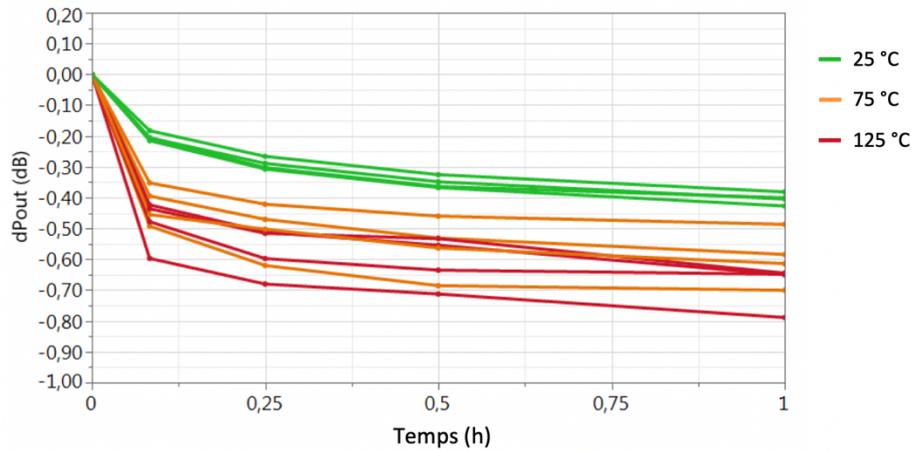


Figure 3.3-4 : Dérive de la puissance de sortie calculée pour plusieurs transistors au cours d'un vieillissement de type HTRB ($V_{gs} = -7$ V et $V_{ds} = 30$ V) pour des températures de 25 °C en vert, 75 °C en orange et 125 °C en rouge. Banc UMS

Afin de confirmer l'impact de la température sur l'amplitude du phénomène, la dérive de la puissance de sortie a été relevée après 1 heure de vieillissement et a été représentée en fonction de la température de vieillissement sur la Figure 3.3-5. On note alors que la dérive de la puissance de sortie augmente avec la température appliquée durant le stress.

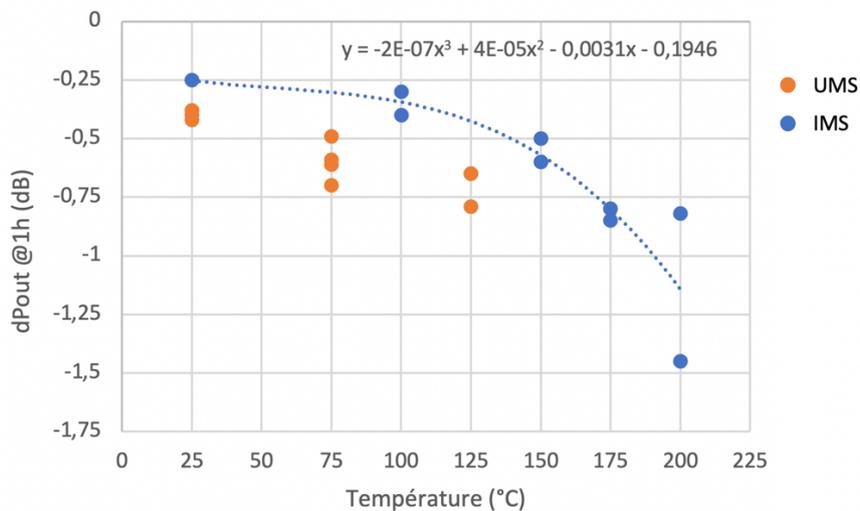


Figure 3.3-5 : Dérive de la puissance de sortie calculée à partir des mesures I-V pulsées au cours d'un essai de type HTRB ($V_{gs} = -7$ V & $V_{ds} = 30$ V) après 1 heure de test en fonction de la température de vieillissement

Ainsi, la température n'impacte pas la cinétique de la dérive initiale de la puissance vis-à-vis de la fenêtre d'acquisition utilisée, la première mesure de reprise ayant été effectuée après 5 minutes de stress électrique. Cependant, l'amplitude du phénomène augmente avec la température.

3.3.3.2. Impact du champ électrique

La dérive initiale de la puissance de sortie étant attribuée au champ électrique, une étude a été réalisée pour évaluer son impact sur la cinétique et sur l'amplitude du phénomène. Afin d'appuyer cette étude des simulations physiques ont été réalisées par le laboratoire III-V lab. Ainsi, la Figure 3.3-6

présente les profils de champ électrique dans le canal pour différentes conditions de polarisation. Ainsi, la diminution de la tension V_{gs} vers des valeurs plus négatives mène à une augmentation du pic de champ électrique au pied de la grille, côté source et côté drain. L'augmentation de la tension V_{ds} mène à une augmentation du pic au pied de la grille uniquement côté drain mais aussi à une augmentation du champ électrique dans la zone d'accès grille-drain.

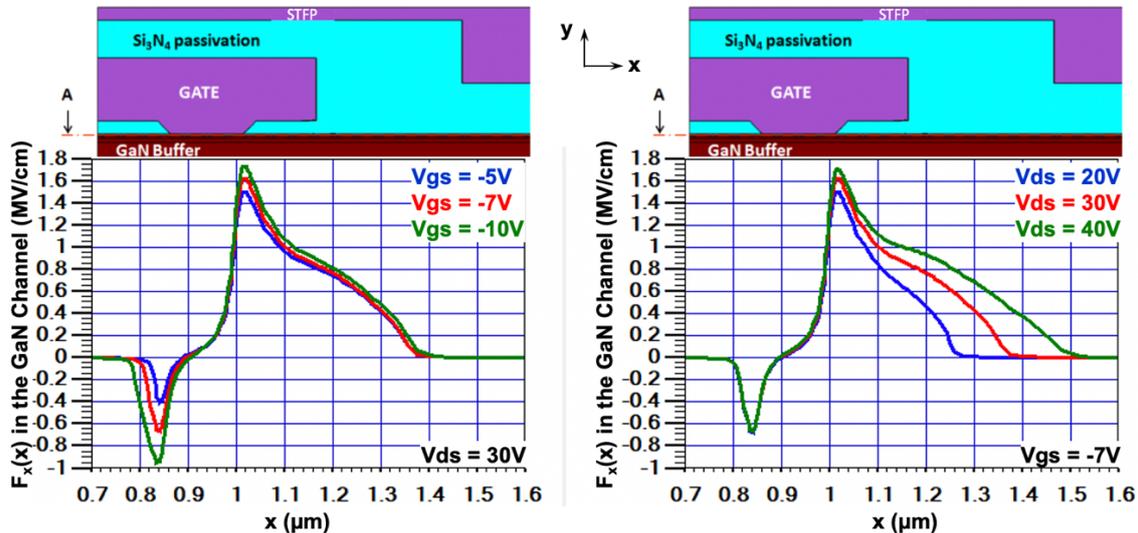


Figure 3.3-6 : Coupe schématique du transistor au niveau de la grille et profil du champ électrique dans le canal au pied de la grille côté drain pour différentes conditions de polarisation

Des tests HTRB à température ambiante ont été effectués à ces mêmes conditions de tension grille-source et drain-source (tests J, L, M, N et O). Les conditions, reportées Tableau 3.3-4, sont fixées à $V_{gs} = -7$ V pour une tension drain-source de 20, 30 et 40 V et à $V_{ds} = 30$ V pour une tension grille-source de -5, -7 et -10 V. Un total de 4 composants a été testé pour chaque condition.

Réf.	Conditions de vieillissement	Temps	Composants	Mesures de reprise	Banc
J	$V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 25$ °C	1 h	4	IV et I-V pulsées	UMS
L	$V_{gs} = -5$ V, $V_{ds} = 30$ V et $T_c = 25$ °C	1 h	4	IV et I-V pulsées	UMS
M	$V_{gs} = -10$ V, $V_{ds} = 30$ V et $T_c = 25$ °C	1 h	4	IV et I-V pulsées	UMS
N	$V_{gs} = -7$ V, $V_{ds} = 20$ V et $T_c = 25$ °C	1 h	4	IV et I-V pulsées	UMS
O	$V_{gs} = -7$ V, $V_{ds} = 40$ V et $T_c = 25$ °C	1 h	4	IV et I-V pulsées	UMS

Tableau 3.3-4 : Plan de test pour l'étude de l'impact du champ électrique sur le phénomène de lissage du coude de la caractéristique I-V pulsée

Les résultats obtenus sont présentés en Figure 3.3-7 et montrent la dérive de la puissance au cours du temps pour les différentes conditions de polarisation appliquées. Comme pour la température et avec cette précision temporelle, les polarisations appliquées au cours du stress électrique ne montrent aucun impact sur la cinétique de la dérive initiale de la puissance de sortie. Cependant la dérive est plus importante lorsque la tension V_{gs} diminue vers des valeurs plus négatives et lorsque la tension V_{ds} est augmentée.

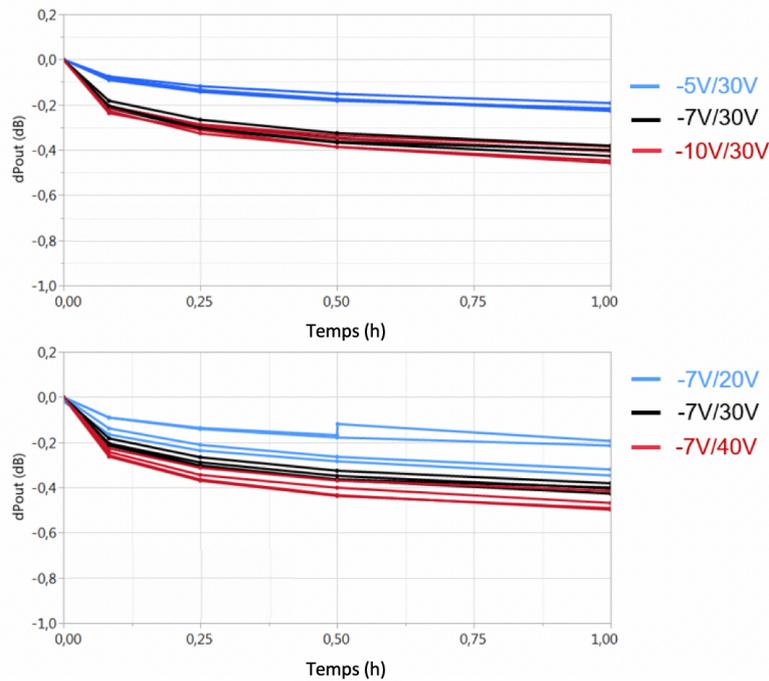


Figure 3.3-7 : Dérive de la puissance de sortie calculée à partir des mesures I-V pulsées pour plusieurs transistors au cours d'un vieillissement de type HTRB à température ambiante pour différentes tensions de vieillissement

Afin d'avoir une meilleure vision de la dépendance en champ électrique du phénomène, la dérive de la puissance a été extraite après 30 minutes de stress et est représentée en fonction des tensions grille-source (a) et drain-source (b) appliquées lors des tests sur la Figure 3.3-8. En augmentant la tension drain-source, il est clairement visible que la dérive de la puissance augmente de manière linéaire de -0,27 dB pour une tension V_{ds} de 20 V à -0,42 dB pour une tension V_{ds} de 40 V. La diminution de la tension grille-source mène aussi à une augmentation de la dérive de la puissance de sortie, cependant, le phénomène semble atteindre une saturation de la dérive pour des valeurs de tension inférieures à -7 V.

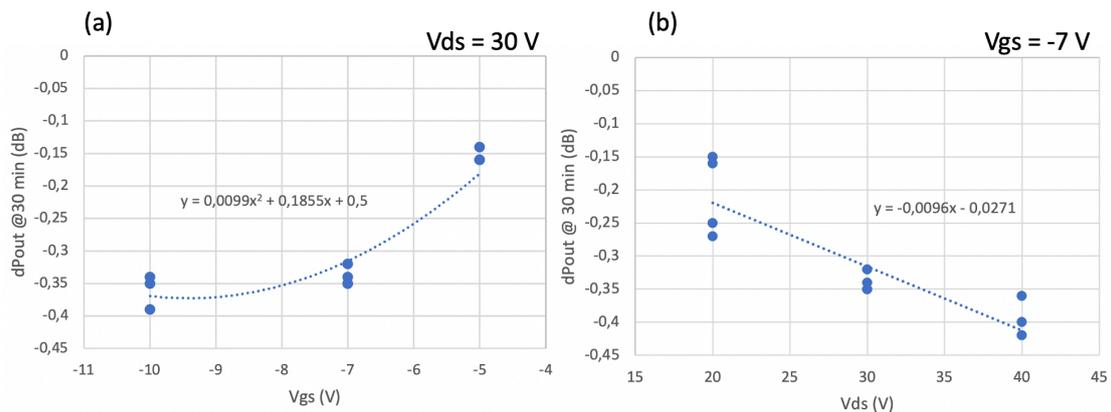


Figure 3.3-8 : Dérive de la puissance calculée pour différents transistors après 30 minutes de stress de type HTRB en fonction de V_{gs} (a) et V_{ds} (b)

La dérive de la puissance est plus importante pour des tensions V_{gs} plus négatives ou des tensions de drain plus positives. D'après les profils de champ présentés Figure 3.3-6, l'unique point commun entre la diminution de la tension V_{gs} et l'augmentation de la tension V_{ds} concerne

l'augmentation du pic de champ électrique au pied de la grille côté drain. Le phénomène de lissage du coude semble donc être impacté par le stress induit par l'intensité du champ au pied de la grille côté drain.

Sur la technologie GH50, deux topologies de transistors, notées V1 et V3, avaient été soumises à des tests de type HTRB ($V_{gs} = -7$ V et $V_{ds} = 50$ V). La différence entre les deux topologies concerne la tête de grille et le plateau de champ. La topologie V1 présente une extension de la tête de grille côté drain ainsi qu'une extension du plateau de champ plus importantes que la topologie V3, dans le but d'étaler le champ électrique entre grille et drain. Des groupes de recherches ont déjà pu mettre en avant l'impact de différentes techniques pour l'architecture de la grille afin d'étaler le pic de champ entre grille et drain et ainsi réduire ce pic situé à l'aplomb de la grille côté drain. Que ce soit une grille dite « slanted » [4], i.e. avec flancs inclinés, une grille avec une extension de la tête de grille côté drain [5][6] ou une grille dite « slanted » semi-enterrée [4][7], toutes ont montré une réduction du pic de champ électrique dans la structure du transistor. Des simulations physiques ont été réalisées par l'institut IAF (Fraunhofer Institute for Applied Solid State Physics) dans cette optique afin d'évaluer l'impact de l'extension de la tête de grille et du plateau de champ sur le profil du champ électrique. Les résultats des simulations physiques, présentés Figure 3.3-9, montrent les profils de champ électrique entre grille et drain pour les deux topologies V1 et V3 en condition pincée ($V_{gs} = -7$ V et $V_{ds} = 50$ V) dans la couche GaN cap et dans la barrière AlGaIn. Il est clairement visible que le pic de champ électrique présent au bord du pied de grille côté drain est d'amplitude supérieure pour la topologie V3 en comparaison à la topologie V1. L'extension de la tête de grille côté drain ainsi que l'extension du plateau de champ ont donc pour effet d'étaler le champ électrique dans la structure et de diminuer le pic présent à l'aplomb de la grille côté drain pour la technologie GH50.

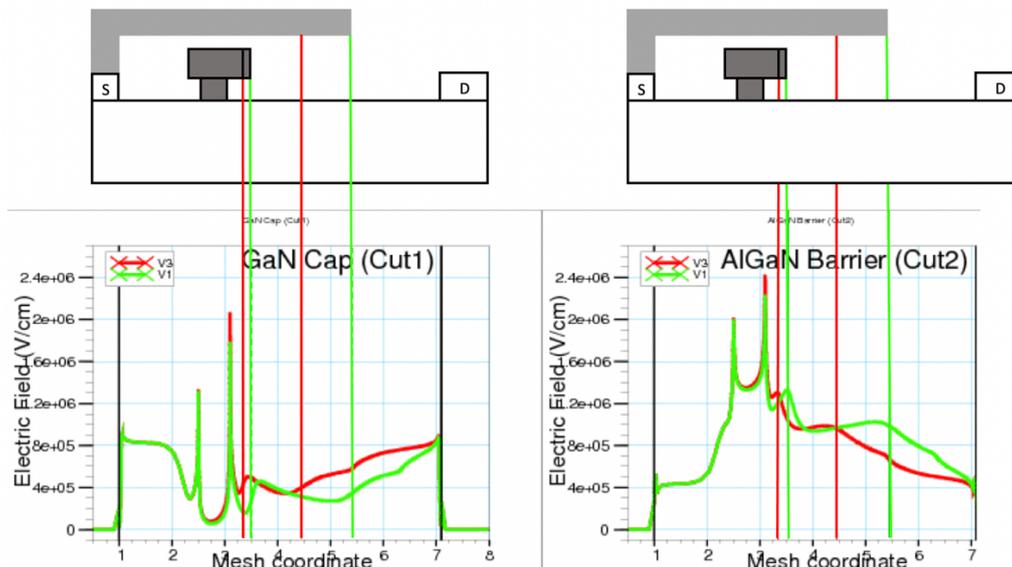


Figure 3.3-9 : Profil du champ électrique entre source et drain dans la couche GaN cap et dans la barrière AlGaIn pour la topologie V1 en vert et la topologie V3 en rouge en condition pincée à $V_{gs} = -7$ V et $V_{ds} = 50$ V ; Technologie GH50

Les deux topologies avaient présenté un lissage du coude sur la caractéristique de sortie en mode pulsé, représenté Figure 3.3-10. De plus, le courant de drain en mode pulsé sur les composants de référence est plus important pour la topologie V1 (> 700 mA) que pour la topologie V3 (< 700 mA).

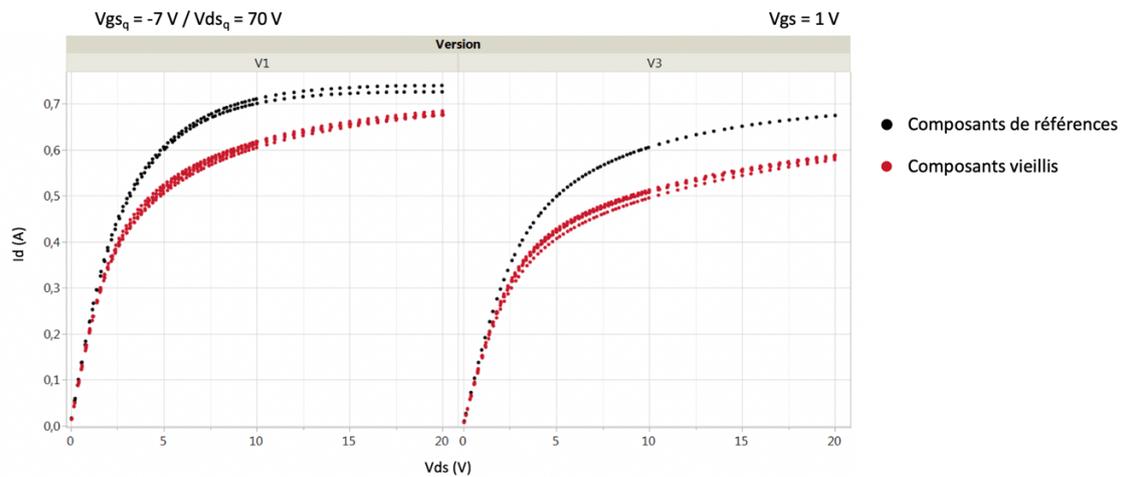


Figure 3.3-10 : Phénomène de lissage du coude sur des caractéristiques de sortie pulsées ($V_{gs} = -7\text{ V}$ et $V_{ds} = 70\text{ V}$) pour 4 composants vieillis (en rouge) et 2 composants non vieillis (en noir) des deux topologies (V1 et V3) de la technologie GH50 (après 800 heures de test HTRB)

La dérive de la puissance extraite des mesures I-V pulsées est représentée Figure 3.3-11 pour les deux topologies. Les transistors de la topologie V1 présentent une dérive de 0,6 dB contre 0,8 dB pour les transistors de la topologie V3. Ces améliorations peuvent s'expliquer par l'étalement du champ électrique dans la zone d'accès grille-drain et donc la réduction du pic de champ électrique présent au pied de la grille côté drain. Ainsi, la réduction du pic de champ électrique à l'aplomb de la grille côté drain permet d'obtenir une puissance de sortie initiale plus importante en limitant les effets de « lag » mais aussi de réduire la dérive de la puissance induite par le phénomène de lissage du coude.

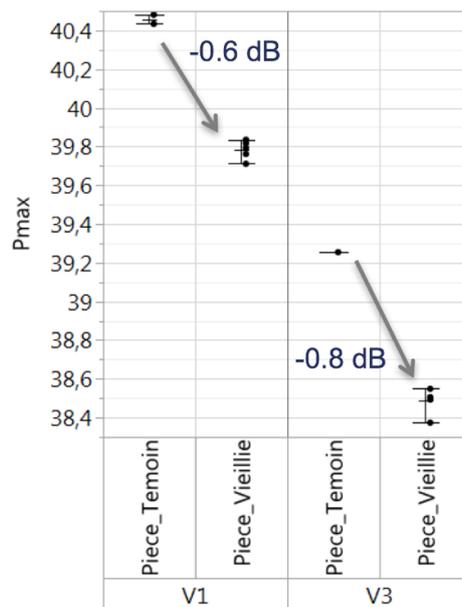


Figure 3.3-11 : Dérive de la puissance de sortie calculée à partir des mesures I-V pulsées pour 2 composants vieillis et 4 non vieillis pour les deux topologies V1 et V3 de la technologie GH50 (après 800 heures de test HTRB)

Les résultats obtenus sur la technologie GH50 sont cohérents avec ceux obtenus pour la technologie GH15. La réduction du champ électrique, et plus précisément de son pic au pied de la grille côté drain, réduit le phénomène de lissage du coude et donc la dérive initiale de la puissance de sortie.

3.3.4. Identification des pièges responsables de la dérive de puissance

Les résultats obtenus au cours de l'étude des facteurs d'accélération de la dérive initiale de la puissance n'ont pas permis d'extraire de constante de temps. La diminution du courant de drain qui induit cette dérive n'étant visible que sur des mesures I-V pulsées, le phénomène est attribué à des pièges présents dans la structure du composant. Ainsi, dans le but d'identifier les pièges responsables du lissage du coude, des mesures de paramètre S basse fréquence et de transitoire de courant ont été effectuées par le laboratoire XLIM dans le cadre d'une collaboration avec UMS. Le laboratoire XLIM a caractérisé une gamme de composants provenant de différents wafers de la technologie GH15 dont une partie a subi un test HRTB (à $V_{gs} = -7$ V, $V_{ds} = 30$ V et à une température de 125 °C) durant une heure tandis que l'autre partie non vieillie, servira de référence.

Une première campagne de mesure avait permis de mettre en avant différents pièges [8][9]. Que ce soit par le biais des mesures de paramètre S basse fréquence ou de transitoire de courant, le même type piège a pu être mis en avant avec une énergie d'activation de 0,5 eV et une section de capture de l'ordre de 5×10^{-16} cm². Dans le cadre de cette étude, des conditions similaires ont été utilisées afin d'évaluer l'évolution des pièges extraits et/ou l'apparition de nouveaux pièges.

La Figure 3.3-12 présente les parties imaginaires de l'admittance de sortie en fonction de la fréquence pour différentes températures, pour des transistors non vieillis (référence) et vieillis. Sur l'allure des courbes, un pic est observable dans le domaine fréquentiel de 100Hz à 100kHz pour tous les composants testés. Ce pic se déplace vers des fréquences plus élevées lorsque la température augmente de 25 °C à 125 °C. Pour les composants ayant subi le vieillissement, seule une diminution d'amplitude de la partie imaginaire de Y_{22} et une légère diminution de la fréquence d'émission mesurée sont observées par rapport aux composants de référence. Les énergies d'activation obtenues sont similaires que le transistor ait subi le vieillissement HTRB ou non ; les énergies d'activations obtenues sont égales à $0,44 \text{ eV} \pm 0,05 \text{ eV}$. Dans la littérature, cette gamme d'énergie d'activation est associée à des pièges dans le buffer GaN dopé Fe [10][11]. La section de capture est de l'ordre de 10^{-16} cm².

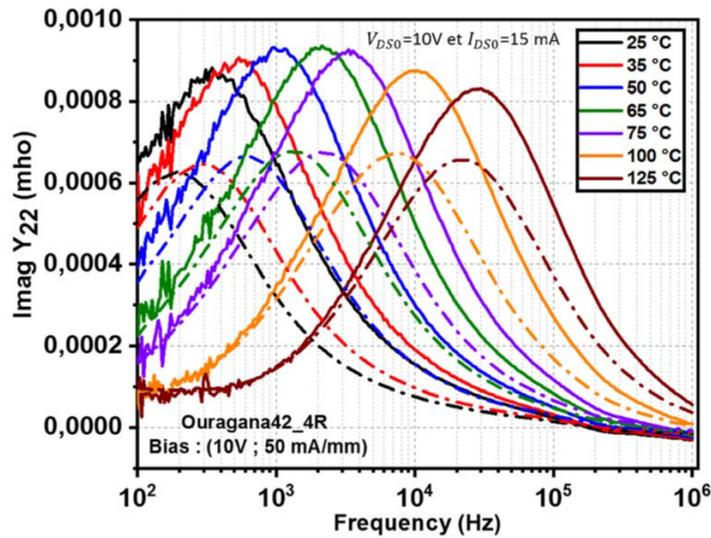


Figure 3.3-12 : Comparaison des mesures de paramètres S BF entre 25 °C et 125 °C entre un composant vieilli (en pointillés) et un composant non vieilli (en trait continu) de la technologie GH15

La Figure 3.3-13 présente la comparaison des mesures I-DLTS après une impulsion de tension appliquée sur le drain entre des composants de référence et des composants vieillis et la Figure 3.3-14 présente la comparaison après une impulsion de tension appliquée sur la grille. Les réponses transitoires du courant de drain après une impulsion de tension sur le drain sont quasiment identiques pour les composants de référence et non vieillis quelle que soit la température. Un piège identique à celui obtenu avec les mesures de paramètre S basse fréquence avec une énergie d'activation à $0,52 \text{ eV} \pm 0,03 \text{ eV}$ a été extrait. Il en est de même pour la réponse transitoire du courant après une impulsion de tension appliquée sur grille. Les constantes de temps d'émission des pièges restent identiques aussi bien pour les composants vieillis que ceux de référence ce qui implique que la signature des pièges est similaire. Un seul piège est extrait avec une énergie d'activation égale à $0,5 \text{ eV} \pm 0,02 \text{ eV}$ correspondant au piège extrait par les mesures de paramètre S basse fréquence et par les mesures de transitoire de courant après une impulsion de tension appliquée sur le drain.

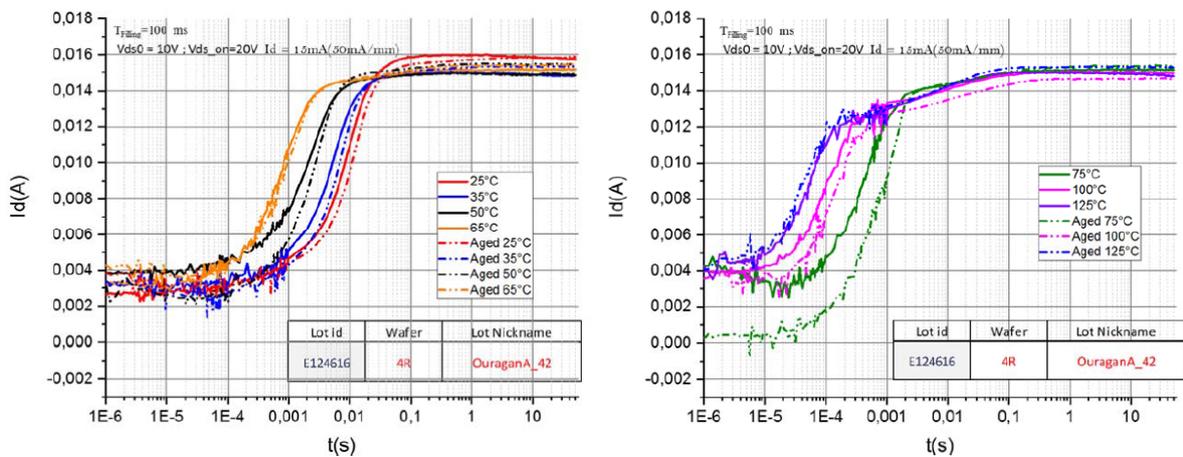


Figure 3.3-13 : Comparaison des mesures de transitoires de courant après une impulsion de tension Vds pour des composants non vieillis (trait continu) et vieillis (pointillés) pour les différentes températures allant de 25 °C à 125 °C

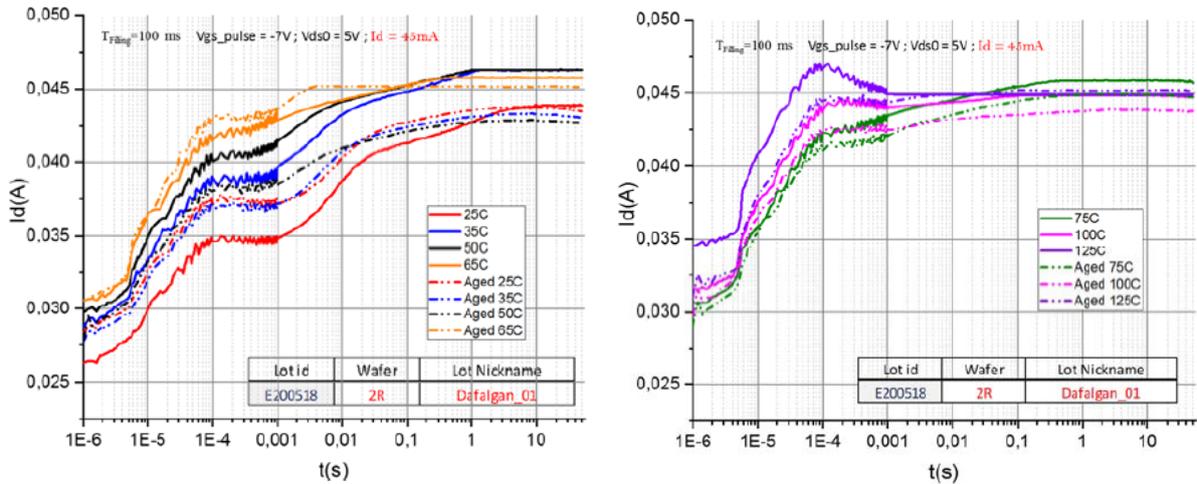


Figure 3.3-14 : Comparaison des mesures de transitoire de courant après une impulsion de tension V_{gs} pour des composants non vieillis (trait continu) et vieillis (pointillés) pour les différentes températures allant de 25 °C à 125 °C

Ainsi aucun nouveau piège n’a pu être mis en évidence par les mesures de transitoire de courant ou les mesures de paramètre S basse fréquence suite aux tests HTRB. En ce qui concerne la signature des pièges existant avant le stress électrique, aucun changement n’a été observé pour les pièges qui ont un impact sur les transitoires de courant. Pour les mesures de paramètre S basse fréquence, on note une diminution de l’amplitude de la partie imaginaire de Y_{22} qui pourrait être attribuée à un changement de la densité de pièges actifs dans le composant, cependant, elle ne permet pas d’identifier les pièges responsables de la dérive initiale de la puissance de sortie. Le même piège a été mesuré avec les mesures de paramètre S basse fréquence et les mesures de transitoire de courant permettant de valider l’extraction des paramètres du pièges.

Le phénomène de lissage du coude, à l’origine de la dérive de la puissance, impacte le composant au niveau de la transition entre le régime ohmique et saturé sur la caractéristique de sortie pour des tensions grille-source positives. Les conditions de polarisation utilisées lors de cette campagne de mesures ne permettent pas d’évaluer cette zone critique. Ainsi, les pièges détectés par les mesures de transitoire de courant ne sont pas responsables du phénomène de lissage du coude. En ce qui concerne ceux identifiés par les mesures de paramètre S basse fréquence, les résultats obtenus suite au stress électrique ne permettent pas de leur attribuer une influence sur le phénomène de lissage du coude.

3.3.5. Localisation dans le transistor des pièges responsables de la dérive de puissance

Malgré l’absence de résultats positifs au cours de la partie précédente ne permettant pas d’identifier le ou les pièges responsables du lissage du coude, le phénomène n’en reste pas moins attribué à un mécanisme de piégeage. Ainsi, afin de compléter l’étude, des simulations physiques ont été réalisées dans le but de localiser les pièges responsables du phénomène de lissage du coude. Ces simulations ont été réalisées par le laboratoire III-V lab.

Des pièges ont été ajoutés à quatre positions différentes de la structure modélisée : au pied de la grille côté source ou sous la grille côté source ou sous la grille côté drain ou au bord de la grille côté drain. Ils sont placés dans la couche barrière AlGaIn ou dans le buffer GaN dans le but d'étudier leur impact respectif sur les caractéristiques électriques du composant. La dérive de la puissance de sortie étant induite par une diminution du courant de drain, cette diminution est supposée être due à une capture d'électrons. De ce fait, les pièges utilisés lors de simulations physiques sont des pièges de type accepteur. Les caractéristiques électriques de transfert et de sortie ont été simulées sans pièges et avec des pièges à 0,53 eV, 0,73 eV et 0,93 eV du niveau de la bande de conduction pour différentes valeurs de densité de pièges : 5×10^{18} , 10×10^{18} et $15 \times 10^{18} \text{ cm}^{-3}$. Ces niveaux d'énergie ont été choisis suite aux résultats obtenus par les mesures de transitoire réalisées sur plusieurs wafers provenant d'un ensemble de fournisseurs d'épitaxie [12]. Dans la littérature, les niveaux d'énergie à 0,53 eV de l'énergie de la bande de conduction ont été associés à des anti-sites d'azote [13][14][15], les pièges à 0,73 eV au dopage fer dans le buffer GaN [16] et les pièges à 0,93 eV à des dislocations de filetage [17][18].

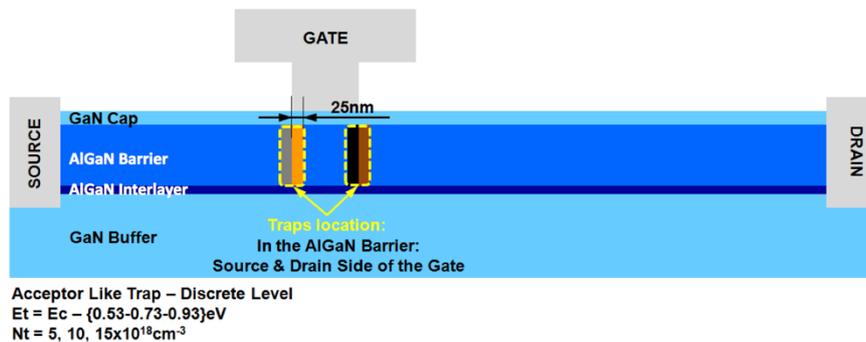


Figure 3.3-15 : Représentation schématique de la structure simulée avec des pièges étendus sur 25 nm et situés dans la couche barrière AlGaIn au pied de la grille côté source (en gris), sous la grille côté source (en orange), sous la grille côté drain (en noir) et au bord de la grille côté drain (en marron)

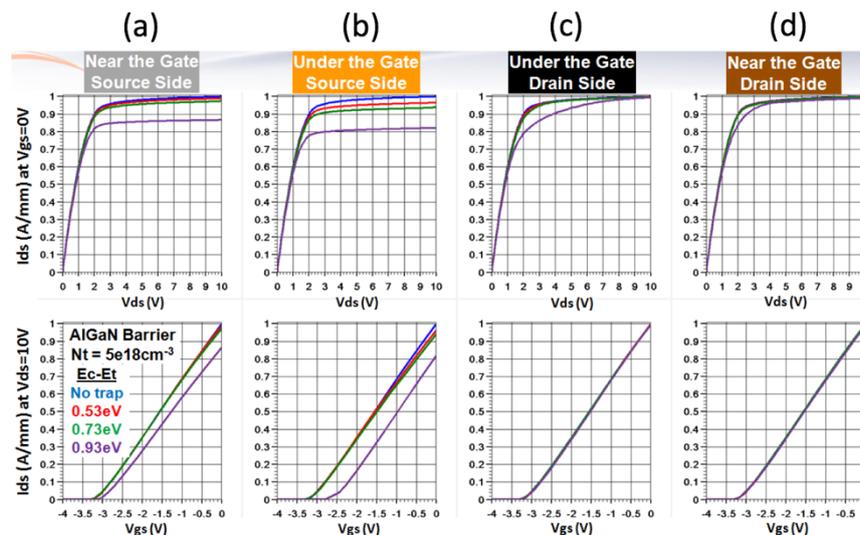


Figure 3.3-16 : Caractéristiques électriques simulées sans (en bleu) et avec des pièges accepteurs dans la couche barrière à 0,53 eV (en rouge), 0,73 eV (en vert) et 0,93 eV (en violet) du niveau d'énergie de la bande de conduction ; au pied de la grille côté source (a), sous la grille côté source (b), sous la grille côté drain (c) et au bord de la grille côté drain (d) ; la densité de pièges est de $5 \times 10^{18} \text{ cm}^{-3}$

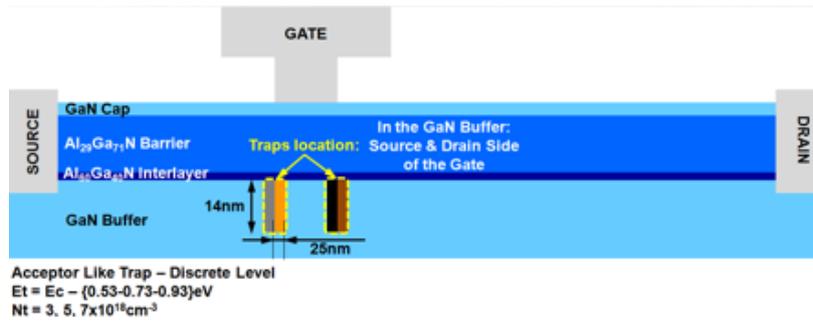


Figure 3.3-17 : Représentation schématique de la structure simulée avec des pièges étendus sur 25 nm et situés dans le buffer GaN au pied de la grille côté source (en gris), sous la grille côté source (en orange), sous la grille côté drain (en noir) et au bord de la grille côté drain (en marron)

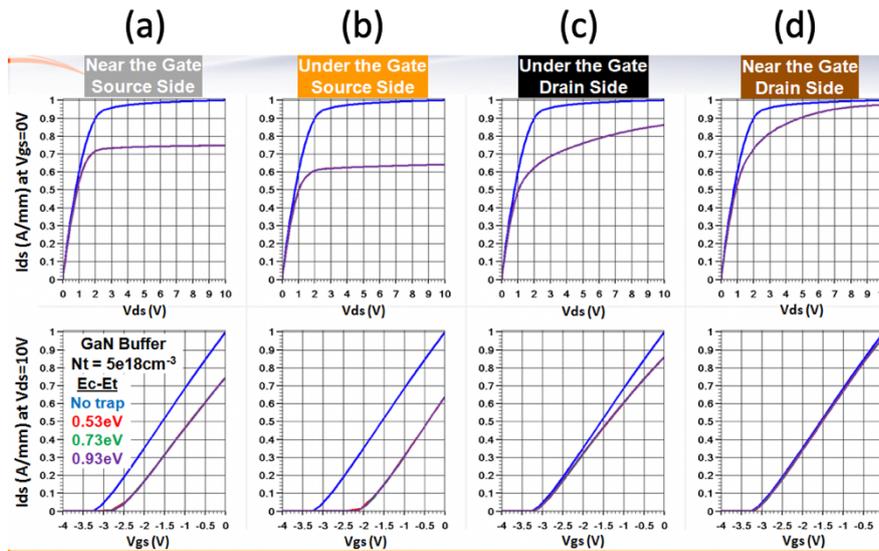


Figure 3.3-18 : Caractéristiques électriques simulées sans (en bleu) et avec des pièges accepteurs dans le buffer à 0,53 eV (en rouge), 0,73 eV (en vert) et 0,93 eV (en violet) du niveau d'énergie de la bande de conduction ; au pied de la grille côté source (a), sous la grille côté source (b), sous la grille côté drain (c) et au bord de la grille côté drain (d) ; la densité de pièges est de $5 \times 10^{18} \text{ cm}^{-3}$

Les Figure 3.3-16 et Figure 3.3-18 présentent les caractéristiques de transfert et de sortie simulées pour des pièges localisés respectivement dans la couche barrière AlGaIn et dans la couche buffer GaN. Les résultats mettent clairement en avant le fait que les pièges responsables du phénomène de lissage du coude sont localisés côté drain que ce soit au bord du pied de grille ou sous la grille tandis que des pièges côté source induiraient un décalage positif de la tension de seuil. Les mêmes résultats sont obtenus que les pièges se situent dans la couche barrière ou dans le buffer.

Par le biais de ces simulations physiques, il a été démontré que les pièges responsables du phénomène de lissage du coude se situent au pied de la grille côté drain. Il n'est malheureusement pas possible de déterminer leur localisation exacte dans la profondeur du composant, que ce soit dans la barrière ou dans le buffer GaN. Ces résultats sont cohérents avec ceux mettant en avant la responsabilité du pic de champ électrique au pied de la grille côté drain.

3.4. Explication du phénomène

L'ensemble des résultats obtenus et présentés au cours de ce chapitre permettent d'avoir une idée plus précise du phénomène afin de pouvoir l'expliquer. A la différence des caractéristiques électriques DC qui n'évoluent pas au cours d'un test de vieillissement accéléré, les caractéristiques I-V pulsées permettent de mettre en évidence le phénomène de lissage du coude. Il est présent sur la caractéristique de sortie dans la transition entre le régime linéaire et saturé. De ces observations, il est possible de conclure que ce phénomène, à l'origine de la dérive de la puissance de sortie, est induit par un mécanisme de piégeage.

Des simulations physiques ont été réalisées dans le but d'identifier la position des pièges responsables du phénomène dans la structure du composant. Ainsi, les résultats présentés dans la partie précédente ont démontré que ces pièges se situent du côté drain, que ce soit sous la grille ou en bord de grille, zone dans laquelle se situe le pic de champ électrique. Le phénomène est observé que les pièges soient placés dans la barrière AlGa_N ou dans le buffer Ga_N, ne permettant pas de localiser les pièges dans la profondeur du composant. Au cours de tests de type HTRB, les conditions de polarisation appliquées au transistor induisent un fort champ électrique au bord de la grille côté drain.

Au cours d'un stress électrique en condition pincée, le pic de champ électrique situé à l'aplomb de la grille mène à une dégradation de la barrière AlGa_N et donc à une augmentation de la densité de pièges profonds de type accepteur. En régime sous le seuil, des électrons vont être injectés de la grille dans la barrière AlGa_N par effet tunnel [19] ce qui contribue à une augmentation du nombre d'électrons piégés dans la barrière. La présence de ces électrons dans la couche barrière engendre une charge négative. Lors du rapide changement d'état en fonctionnement RF, passage du régime pincé au régime ouvert, la charge négative dans la couche barrière induit une déplétion du canal et donc une diminution du courant de drain. Avec le temps, l'injection par effet tunnel diminue en raison de la réduction du champ électrique dans la structure. La réduction de l'injection d'électrons par effet tunnel engendre une plus faible concentration de porteurs libres dans la barrière réduisant ainsi la densité d'électrons pouvant être piégés. Les électrons piégés sous conditions de pincement vont ainsi être réémis réduisant la charge négative présente dans la barrière et augmentant la concentration de porteurs dans le canal [20]. En conséquence, le courant de drain du dispositif augmente, atteignant sa valeur de régime permanent lorsque tous les électrons piégés ont été émis.

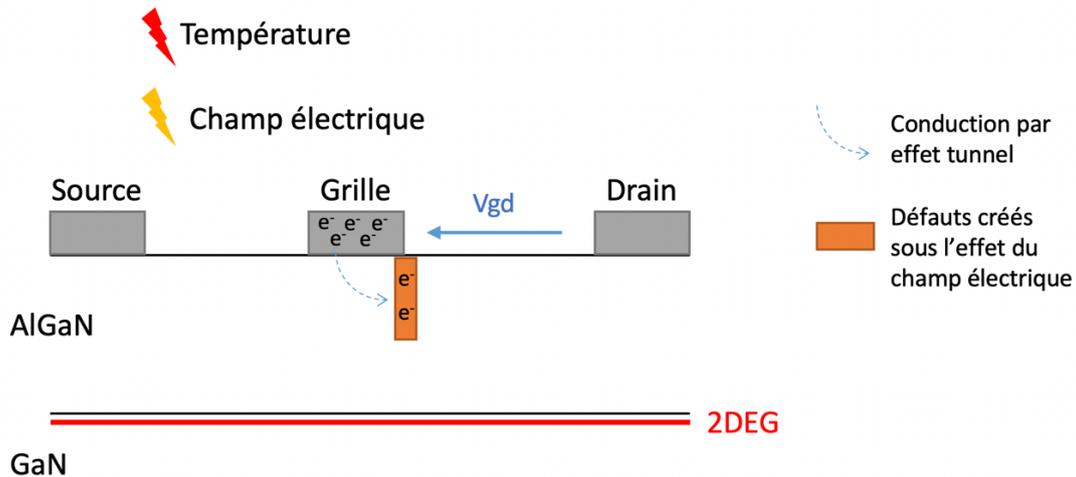


Figure 3.4-1 : Représentation schématique du phénomène de lissage du coude

3.5. Conclusion du chapitre

Au cours de ce chapitre, le phénomène de lissage du coude a été présenté au travers du suivi de la puissance de sortie ainsi que des caractéristiques électriques du transistor au cours de différents stress électrique. Ce phénomène n'apparaît que sur les caractéristiques I-V mesurées en mode pulsé, ce qui montre qu'il est induit par un mécanisme de piégeage. Il se caractérise sur la caractéristique de sortie du transistor par une diminution du courant de drain entre la zone ohmique et la zone saturée, induisant une diminution de la puissance de sortie d'environ 0,5 dB au cours des premières heures de vieillissement accéléré.

Une méthodologie de suivi de la puissance de sortie à partir de mesures I-V pulsées a été mise en place dans le cadre de cette étude. Sa validité a été démontrée grâce à des essais réalisés sur la technologie GH15 mais aussi par l'analyse des résultats obtenus à UMS sur la technologie GH50.

L'étude s'est portée plus particulièrement sur la technologie GH15. Il a été démontré que le phénomène se produit dans les 15 premières minutes de vieillissement quelle que soit la température utilisée durant le stress. Cette dernière ne semble pas avoir d'impact sur la cinétique du phénomène dans la fenêtre temporelle utilisée, la première mesure de reprise étant réalisée après 5 minutes de stress. Cependant, la dérive de la puissance de sortie augmente avec la température. L'analyse effectuée en fonction des conditions de polarisation du test HTRB a montré que la dérive de la puissance de sortie augmentait avec la valeur de la tension grille-drain appliquée durant le test. Des simulations physiques réalisées sur les technologies GH15 et GH50 ont permis de désigner le pic de champ électrique localisé au pied de la grille côté drain comme responsable de la dégradation de la puissance de sortie. L'analyse des transitoires de courant en réponse à une impulsion sur la grille ou sur le drain n'a pas révélé la création de nouveaux pièges après le stress électrique ne permettant pas d'identifier le ou les pièges responsables du phénomène de lissage du coude. Des simulations

physiques ont permis de localiser les pièges responsables de ce phénomène à l'aplomb de la grille côté drain que ce soit dans la barrière AlGa_N ou dans le buffer Ga_N.

Références du chapitre 3

- [1] G. Formicone, "RF Burn-in Analysis of 100V P-band Aerospace GaN Radar Transistors", IEEE Aerospace Conf., 2016.
- [2] J. C. M. Hwang, "Relationship between gate lag, power drift and power slump of pseudomorphic high electron mobility transistors", Solid-State Electronics 43, 1999, pp. 1325-1331.
- [3] J. Dufraisse, "Etude des classes de fonctionnement à haut rendement pour l'amplification de puissance en hyperfréquence en utilisant la technologie HEMT à base de nitrure de gallium", PhD Thesis, University of Limoges, 2012.
- [4] J. Moreke, M. Tapajna, M. J. Uren, Y. Pei, U. K. Mishra and M. Kuball, "Effects of gate shaping and consequent process changes on AlGaIn/GaN HEMT reliability", Physica Status Solidi A, 2012, pp. 1-7.
- [5] S. Karmalkar and U. K. Mishra, "Enhancement of breakdown voltage in AlGaIn/GaN high electron mobility transistors using a field plate", IEEE Transactions on Electron Devices, Vol. 48, No. 8, 2001, pp. 1515-1521.
- [6] H. Huang, Y. C. Liang, G. S. Samudra, T. F. Chang and C. F. Huang, "Effects of Gate Field Plates on the Surface State Related Current Collapse in AlGaIn/GaN HEMTs", IEEE Transactions on Power Electronics, Vol. 29, No. 5, 2014, pp. 2164-2173.
- [7] Y. Pei, R. Chu, N. A. Fichtenbaum, Z. Chen, D. Brown, L. Shen, S. Keller, S. P. DenBaars and U. K. Mishra, "Recessed Slant Gate AlGaIn/GaN High Electron Mobility Transistors with 20.9 W/mm at 10 GHz", Japanese Journal of Applied Physics, Vol. 46, No. 45, 2007, pp. L1087-L1089.
- [8] M. Bouslama, J.-C. Nallatamby and M. Prigent, "Trapping Investigation of the GaN HEMT Devices Using the Low Frequency Noise Characterization", 25th International Conference on Noise and Fluctuations - ICNF 2019, June 2019, Neuchâtel, Switzerland.
- [9] M. Bouslama, V. Gillet, C. Chang, J.-C. Nallatamby, R. Sommet, M. Prigent, R. Quéré and B. Lambert, "Dynamic Performance and Characterization of Traps Using Different Measurements Techniques for the New AlGaIn/GaN HEMT of 0.15- μ m Ultrashort Gate Length", IEEE Transactions on Microwave Theory and Techniques, Institute of Electrical and Electronics Engineers, 2019, pp.1-8.
- [10] A. Chini, V. Di Lecce, F. Soci, D. Bisi, A. Stocco, M. Meneghini, G. Meneghesso, E. Zanoni and A. Gasparotto, "Experimental and numerical correlation between current-collapse and fe-

doping profiles in GaN HEMTs", 2012 IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, 2012, pp. CD.2.1-CD.2.4.

- [11] N. K. Subramani, J. Couvidat, A. Al Hajjar, J.-C. Nallatamby, R. Sommet and R. Quéré, "Identification of GaN Buffer Traps in Microwave Power AlGaIn/GaN HEMTs Through Low Frequency S-Parameters Measurements and TCAD-Based Physical Device Simulations", IEEE Journal of the Electron Devices Society, Vol. 5, No. 3, 2017, pp. 175-181.
- [12] M. Rzin, A. Chini, C. De Santi, M. Meneghini, A. Hugger, M. Hollmer, H. Stieglauer, M. Madel, J. Splettstößer, D. Sommer, J. Grünenpütt, K. Beilenhoff, H. Blanck, J.-T. Chen, O. Kordina, G. Meneghesso and E. Zanoni, "On-wafer RF stress and trapping kinetics of Fe-doped AlGaIn/GaN HEMTs", Microelectronics Reliability, Vol. 88-90, 2018, pp. 397-401.
- [13] A. R. Arehart, A. Corrión, C. Poblenz, J. S. Speck, U. K. Mishra, S. P. DenBaars and S. A. Ringel, "Comparison of deep level incorporation in ammonia and r-f plasma assisted molecular beam epitaxy n-GaN films", Phys. Status Solidi C, Vol. 5 No. 6, 2008, pp. 1750-1752.
- [14] G. A. Umana-Membreno, G. Parish, N. Fichtenbaum, S. Keller, U. K. Mishra and B. D. Nener, "Electrically Active Defects in GaN Layers Grown With and Without Fe-doped Buffers by Metal-organic Chemical Vapor Deposition", J. Electron. Mater., Vol. 37, No. 5, 2008, pp. 569-572.
- [15] H. M. Chung, W. C. Chuang, Y. C. Pan, C. C. Tsai, M. C. Lee, W. H. Chen and W. K. Chen, "Electrical characterization of isoelectronic in-doping effects in GaN films grown by metalorganic vapor phase epitaxy", Appl. Phys. Lett., Vol. 76, No. 7, 2000, pp. 897-899.
- [16] M. Silvestri, M. Uren and M. Kuball, "Dynamic Transconductance Dispersion Characterization of Channel Hot-Carrier Stressed 0.25-um AlGaIn/GaN HEMTs", IEEE Electron Device Lett., Vol. 33, No. 11, 2012, pp. 1550-1552.
- [17] Z.-Q. Fang and D. C. Look, "Traps in AlGaIn/GaN/SiC heterostructures studied deep level transient spectroscopy", Appl. Phys. Lett., Vol. 87, No. 18, 2005, pp. 182115-182115-3.
- [18] D. B. Payne and J. R. Stern, "Wavelength-switched passively coupled single-mode optical network", in Proc. IOOC-ECOC, Boston, MA, USA, 1985, pp. 585-590.
- [19] A. J. Sierakowski and L. F. Eastman, "Analysis of Schottky gate electron tunneling in polarization induced AlGaIn/GaN high electron mobility transistors", Journal of Applied Physics, Vol. 86, No. 6, 1999, pp. 3398-3401.
- [20] G. Meneghesso, M. Meneghini, A. Tazzoli, N. Ronchi, A. Stocco, A. Chini and E. Zanoni, "Reliability issues of Gallium Nitride High Electron Mobility Transistors", International Journal of Microwave and Wireless Technologies, Vol. 2, No. 1, 2010, pp. 39-50.

Chapitre 4. Étude de la dérive initiale des paramètres sous le seuil

Un décalage de la tension de seuil ainsi qu'un épaulement sous le seuil de la caractéristique de transfert ont été observés au cours d'essais de vieillissement accéléré lors des premières mesures de reprises. Il est donc nécessaire d'étudier ces dérives ainsi que leur origine afin d'améliorer la stabilité de la technologie au cours des premières heures de vie. Le décalage positif de la tension de seuil introduit un problème de stabilité pour la technologie. Considérant des circuits ayant un point de polarisation fixe défini en début de vie, le changement de tension de seuil entraîne une diminution du courant de polarisation menant à un changement dans la classe d'amplification. L'épaulement sous le seuil, comme la dérive de la tension de seuil, se présente comme un défaut majeur pour des circuits ayant un point de polarisation fixe défini en début de vie. De plus, cette dérive engendre un problème de linéarité concernant la réalisation d'amplificateur de puissance.

Ce quatrième chapitre traite donc de ces dérives initiales présentées au cours du chapitre 2. Une présentation plus complète des deux dérives sera effectuée avant de les étudier au travers de leur cinétique et de leurs facteurs d'accélération. Les effets de charge dans le canal seront analysés par le biais d'une caractérisation électrique approfondie afin d'expliquer l'origine de la dérive de la tension de seuil et de l'épaulement sous le seuil. Enfin, des mesures EMMI ont été réalisées sur des composants présentant l'épaulement sous le seuil pour déterminer si cette dérive est à l'origine d'un défaut local ou global dans le composant.

Une topologie de transistor permettant d'étudier l'homogénéité des doigts de grille vis-à-vis du comportement sous le seuil, notamment face à l'épaulement sous le seuil et la dérive de la tension de seuil, a été testée. Dans un premier temps, une phase de caractérisation a été menée afin de comparer la topologie avec des topologies représentatives de la technologie pour valider la structure de test. Une analyse de la dispersion ainsi qu'une étude de l'homogénéité des doigts de grille vis-à-vis de la densité de courant ont été effectuées. Enfin, après un stress électrique, l'homogénéité des doigts de grille vis-à-vis de l'épaulement sous le seuil et de la dérive de la tension de seuil a été étudiée.

4.1. Présentation des dérives des paramètres sous-seuil

Au cours de ce chapitre, deux dérives observées au cours des premières heures de vieillissement accéléré sur la technologie GH15 sont étudiées. Ces deux dérives, présentées au cours du chapitre 2, sont le décalage positif de la tension de seuil et le phénomène dit d'épaulement sous le seuil. Impactant directement la stabilité de la technologie, ces deux dérives doivent être étudiées de manière approfondie afin de trouver des solutions face à ces phénomènes ou mettre en place des tests de burn-in.

4.1.1. Décalage positif de la tension de seuil

Au cours d'essais de vieillissement de type HTOL ou RFLT, différents comportements sous le seuil ont pu être observés durant les premières heures de vieillissement. Comme représenté sur la Figure 4.1-1 et la Figure 4.1-2, à la suite d'essais de type HTOL et RFLT, un décalage positif de la tension de seuil d'environ 350 mV et un changement de la pente sous le seuil de 0,22 V/dec sont observés. Ces dérives sont associées à une augmentation du gain linéaire (Figure 4.1-3). Le même décalage de la tension de grille est observé sur la caractéristique de la diode en directe représentée Figure 4.1-4. Ces dérives sont attribuées aux effets d'électrons chauds activés lors d'un fonctionnement en mode semi on-state. Plusieurs groupes ont reporté une dérive positive similaire l'attribuant à une dégradation entre grille et drain induite par électrons chauds [1][2] comme cela a déjà pu être démontré sur les technologies GaAs [3].



Figure 4.1-1 : Caractéristique de transfert avant (en rouge) et après 5 h (en jaune) de test HTOL ($V_{ds} = 20$ V & $I_d = 200$ mA/mm à 175 °C)



Figure 4.1-2 : Caractéristique de transfert avant (en rouge) et après 5 h (en jaune) de test RFLT (Vds = 20 V, Id = 200 mA/mm et Pin = 28 dBm à Tc = 75 °C) à 9 GHz

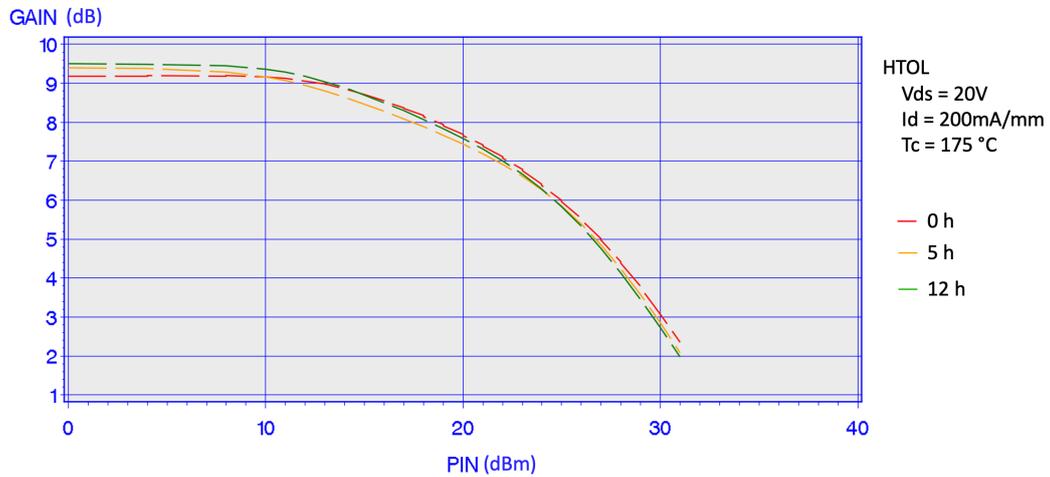


Figure 4.1-3 : Caractéristique du gain en fonction de la puissance d'entrée avant (en rouge) et après 5 h (en jaune) et 12 h (en vert) de test HTOL (Vds = 20 V et Id = 200 mA/mm à Tc = 175 °C)

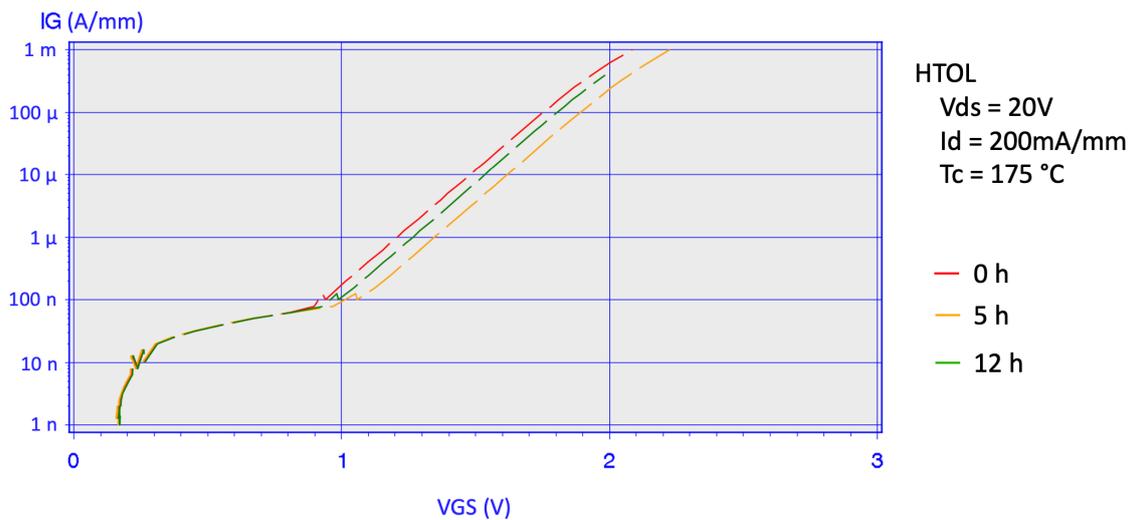


Figure 4.1-4 : Caractéristique de diode en directe avant (en rouge) et après 5 h (en jaune) et 12 h (en vert) de test HTOL (Vds = 20 V & Id = 200 mA/mm à 175 °C)

4.1.2. Présentation du phénomène dit d'épaulement sous le seuil

Le phénomène appelé épaulement sous le seuil a été observé à la suite d'essais de type RFLT. Ce phénomène, représenté Figure 4.1-5, se caractérise par une augmentation du courant de drain au niveau de la pente sous le seuil du composant sur la caractéristique de transfert en échelle logarithmique qui prend la forme d'un épaulement. Cette augmentation du courant de drain est associée à une diminution du gain linéaire mesuré pour un courant de polarisation se situant dans la zone d'épaulement (Figure 4.1-6). Cette augmentation du courant de drain pourrait être liée à un non pincement du canal pour des tensions proches de la tension de seuil. Ce phénomène a déjà été identifié par le passé sur des technologies à base d'arséniure de gallium [4].

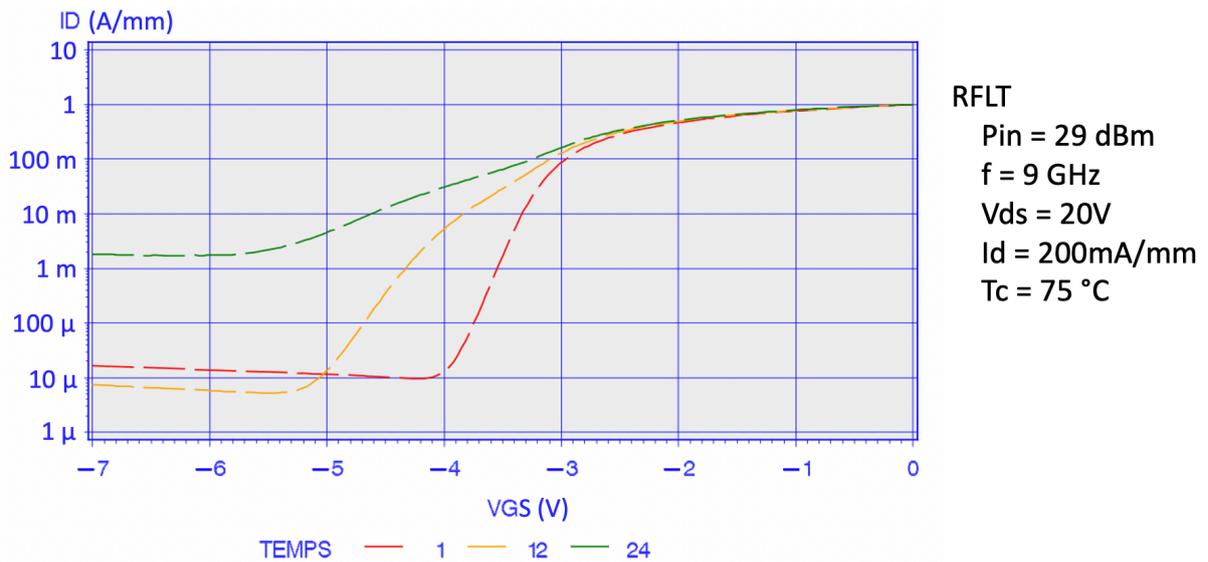


Figure 4.1-5 : Caractéristique de transfert avant (en rouge) et après 5 h (en jaune) et 12 h (en vert) de test RFLT (Vds = 20 V, Id = 200 mA/mm et Pin = 29 dBm à Tc = 75 °C) à 9 GHz

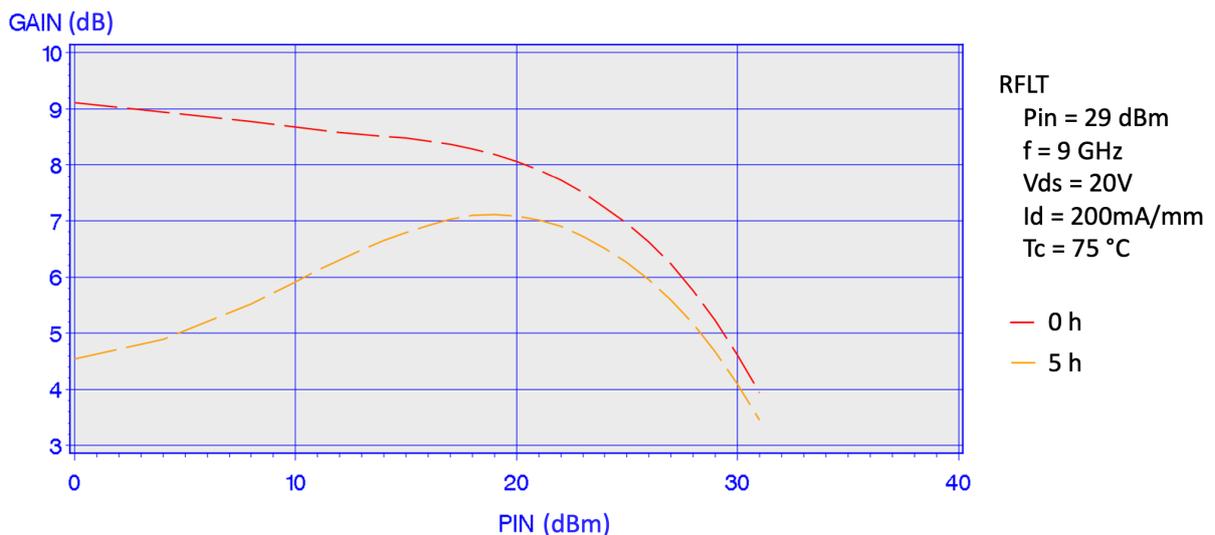


Figure 4.1-6 : Caractéristique du gain en fonction de la puissance d'entrée avant (en rouge) et après 5 h (en jaune) de test RFLT (Vds = 20 V, Id = 200 mA/mm et Pin = 29 dBm à Tc = 75 °C) à 9 GHz

Ce phénomène induit une dégradation du gain à bas niveau et engendre des problèmes de linéarité pour la conception d'amplificateur de puissance. De plus, l'augmentation du courant de drain sous le seuil mène à un changement du point de polarisation et donc à une modification de la classe de fonctionnement. Afin de limiter le nombre de variable trop important au cours d'un test RF (fréquence, charge présentée au composant, point de polarisation, température), il est nécessaire de pouvoir reproduire le phénomène par le biais d'un stress électrique DC. Ce phénomène n'a été observé que lors de tests RF à une compression de gain supérieure à 5dB. Ainsi seules les extrémités du cycle de charge, zones impactées par la compression de gain, seraient responsables du phénomène. Comme évoqué au cours du premier chapitre, lors d'un fonctionnement RF, le cycle de charge du transistor passe par trois zones de fonctionnement sensibles pour le composant : le mode on-state, le mode semi on-state et le mode off-state (Figure 4.1-7). L'impact du mode off-state est étudié par le biais d'essais de type HTRB et le mode semi on-state à l'aide d'essais de type HTOL. Le phénomène dit d'épaulement sous le seuil n'étant observable que lors de tests RFLT, seul le mode on-state semble responsable de ces dérives.

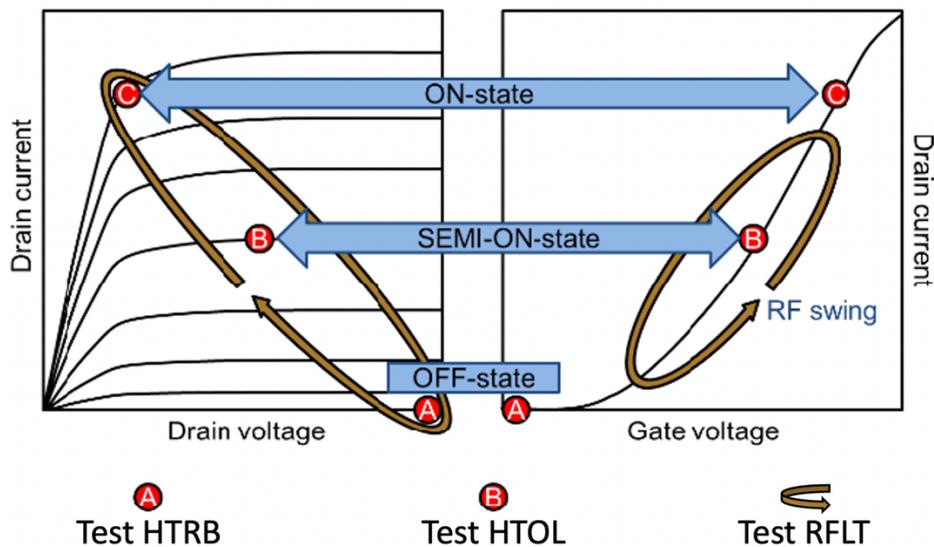


Figure 4.1-7 : Zones de polarisations en fonction du type de test

4.2. Étude des facteurs d'accélération

Le décalage positif de la tension de seuil et le phénomène d'épaulement sous le seuil ont été étudiés via leurs facteurs d'accélération. Le décalage de la tension de seuil a été observé au cours de tests HTOL et RFLT, tandis que le phénomène d'épaulement sous le seuil n'est visible qu'au cours des premières heures de test RFLT. Les deux dérives vont donc être étudiées en fonction du point de polarisation utilisé par rapport au cycle de charge. Aucune des deux dérives n'a été déclenchée suite à un test HTRB ; de ce fait, seuls les points de polarisation en mode semi on-state et on-state seront étudiés.

4.2.1. Impact des points de polarisation

Le décalage positif de la tension de seuil a été observé au cours de test HTOL mettant en avant l'impact du mode semi on-state sur le composant. Le phénomène dit d'épaulement sous le seuil est quant à lui visible au cours de tests RFLT combinant l'ensemble des points de fonctionnement stressant pour le composant. Étant attribué au mode on-state, un fort courant de drain et/ou un courant de grille positif sont nécessaires afin de déclencher le phénomène. Ainsi, un ensemble de 3 tests ont été réalisés à température ambiante et sont listés dans le tableau ci-dessous.

Type de test	Conditions	Température	Nb de composants
<i>HTOL</i>	Vds = 20 V ; Id = 200 mA/mm	25 °C	4
<i>On-state</i>	Vgs = 2 V ; Vds = 7 V	25 °C	3
<i>Direct Ig</i>	Ig = 25 mA ; Vds = 0 V	25 °C	3

Tableau 4.2-1 : Conditions des tests pour l'étude des facteurs d'accélération

Sur la Figure 4.1-7, le test HTOL est représenté sur la caractéristique de transfert et de sortie par le point B. Il permet d'étudier le composant en mode semi on-state. Le test on-state est représenté par le point C. Il reflète la densité de courant maximale dans le transistor lors d'un fonctionnement RF. Dans ce régime, le transistor est soumis à un effet d'auto échauffement. Pour finir, le stress pour un courant de grille en direct n'a pas pu être représenté sur le cycle de charge. A canal ouvert, l'excursion du cycle de charge peut mener à un courant de grille positif dans le composant. Ce test induit la conduction de la diode grille-source et donc un courant de grille en direct dans la zone d'accès grille-source.

Les résultats des trois tests sont représentés Figure 4.2-1, Figure 4.2-2 et Figure 4.2-3. Le décalage positif de la tension de seuil et le changement de la pente sous le seuil se produisent après seulement 5 minutes de stress HTOL. Au-delà des 5 minutes de stress, la caractéristique de transfert n'évolue plus. Le même décalage positif de la tension de seuil et changement de la pente sous le seuil sont observés après le stress on-state. Concernant le stress en courant de grille, le décalage positif de la tension de seuil apparaît après 20 minutes de stress (première mesure de reprise). Après 40 minutes de stress, l'épaulement sous seuil est visible et son amplitude augmente avec le temps de stress.

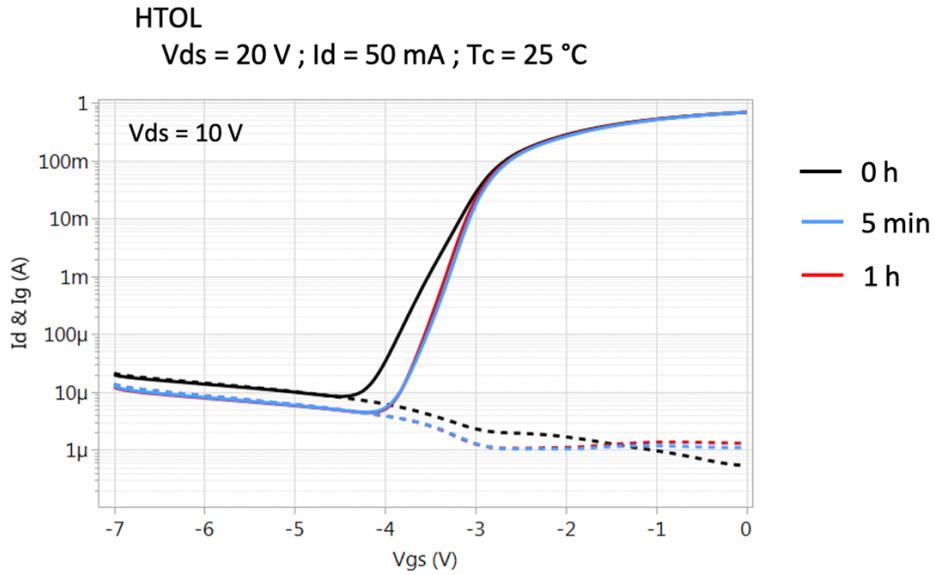


Figure 4.2-1 : Caractéristique de transfert pour $V_{ds} = 10 \text{ V}$ au cours d'un test HTOL à température ambiante pour $V_{ds} = 20 \text{ V}$ et V_{gs} @ $I_d = 50 \text{ mA}$; mesure initiale en noir, après 5 minutes en bleu, après 1 heure en rouge et après 16 h sans stress en vert ; I_g en pointillés

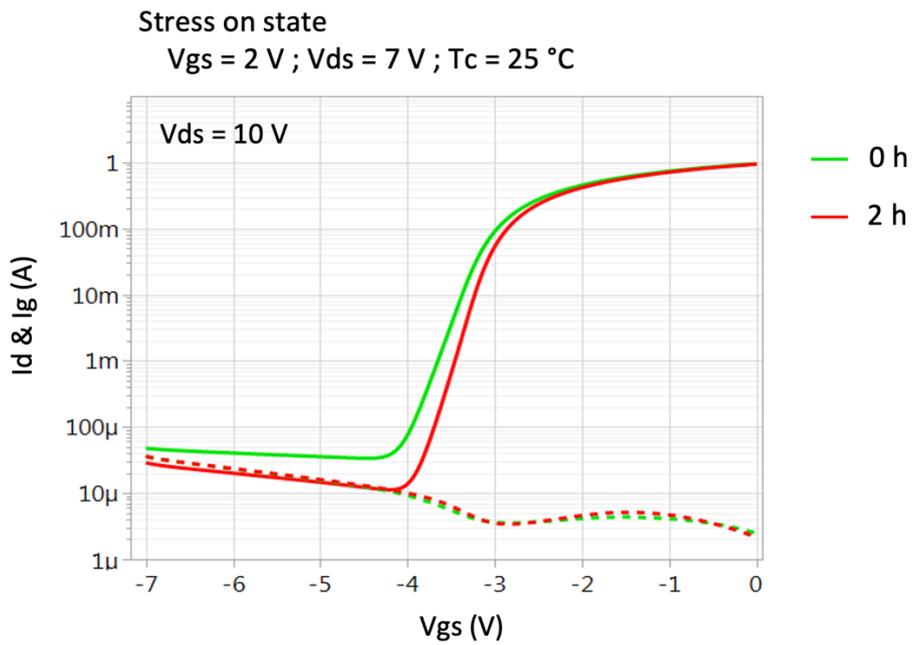


Figure 4.2-2 : Caractéristique de transfert pour $V_{ds} = 10 \text{ V}$ avant (en vert) et après 2 heures (en rouge) de stress on-state à $V_{gs} = 2 \text{ V}$ et $V_{ds} = 7 \text{ V}$ à température ambiante ; I_g en pointillés

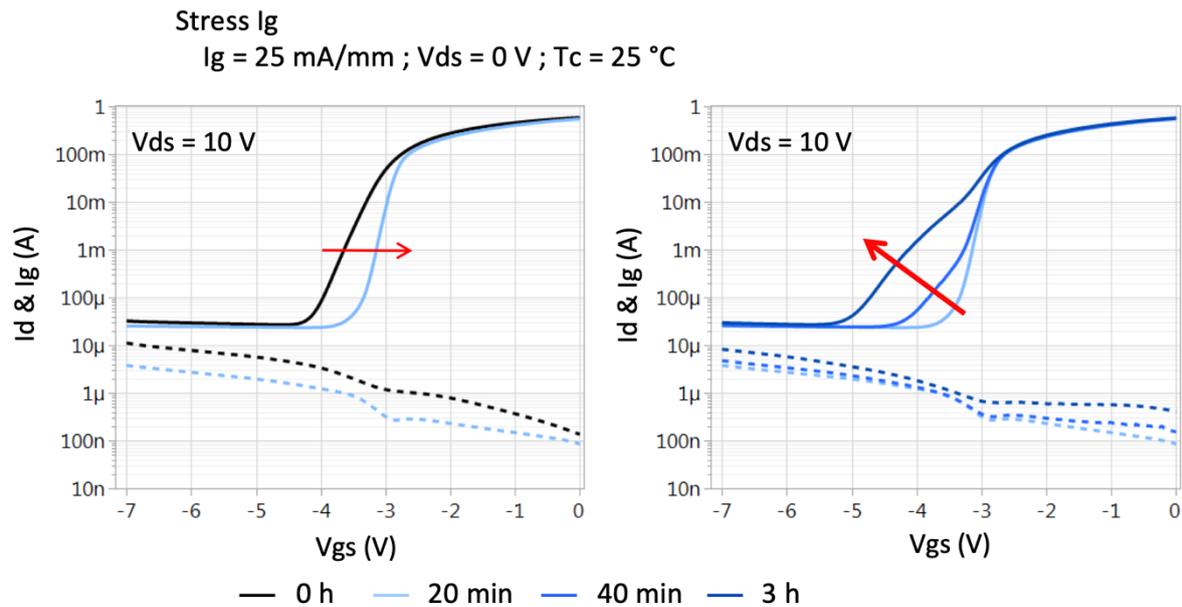


Figure 4.2-3 : Caractéristique de transfert pour V_{ds} = 10 V au cours d'un test à courant de grille constant à température ambiante avec V_{gs} @ I_g = 25 mA et V_{ds} = 0 V ; I_g en pointillés

Le stress à courant de grille positif est le seul stress permettant de déclencher le phénomène d'épaulement sous le seuil. En effet, en mode semi on-state (test HTOL), le courant de grille est négatif tandis que les conditions utilisées pour le stress en mode on-state sont telles que le niveau de courant de grille est négligeable, inférieur au nA/mm contre 25 mA/mm pour le stress à courant de grille positif. Concernant le décalage positif de la tension de seuil, il apparaît pour tous les types de stress. Divers groupes de recherche ont attribué ce décalage positif de la tension de seuil à une dégradation induite par électrons chauds [2][5]. En effet, la dégradation de la surface entre grille et drain mène à une relaxation de la couche barrière qui a pour effet d'atténuer le champ électrique. Cette atténuation induit une dérive positive de la tension de seuil. Cette hypothèse se confirme avec les résultats de Cheng *et al.* qui démontrent un décalage positif du seuil lors de la diminution de la tension mécanique dans la barrière AlGaN réduisant le champ électrique dans la structure du composant [6].

4.2.2. Impact du courant de grille

L'épaulement sous le seuil n'ayant été observé que pour un courant de grille positif d'une valeur de 25 mA/mm, un test a été mis en place pour étudier le seuil de déclenchement du phénomène. Ainsi un test à contrainte échelonnée en courant de grille a été mené avec le drain ouvert. La tension de grille a été augmentée toutes les 30 minutes de manière à ce que le courant de grille augmente de 20 mA/mm à 60 mA/mm par pas de 5 mA/mm. Les résultats sont présentés Figure 4.2-4. Un courant de 20 mA/mm appliqué sur la grille induit un décalage positif de la tension de seuil. Pour les pas de courant de grille suivants, le phénomène d'épaulement apparaît et son amplitude augmente avec le courant de stress appliqué. L'amplitude de l'épaulement sous le seuil tend à saturer pour des courants de grille élevés. Ainsi, le phénomène semble se déclencher pour des courants de grille supérieurs ou égaux à 20 mA/mm.

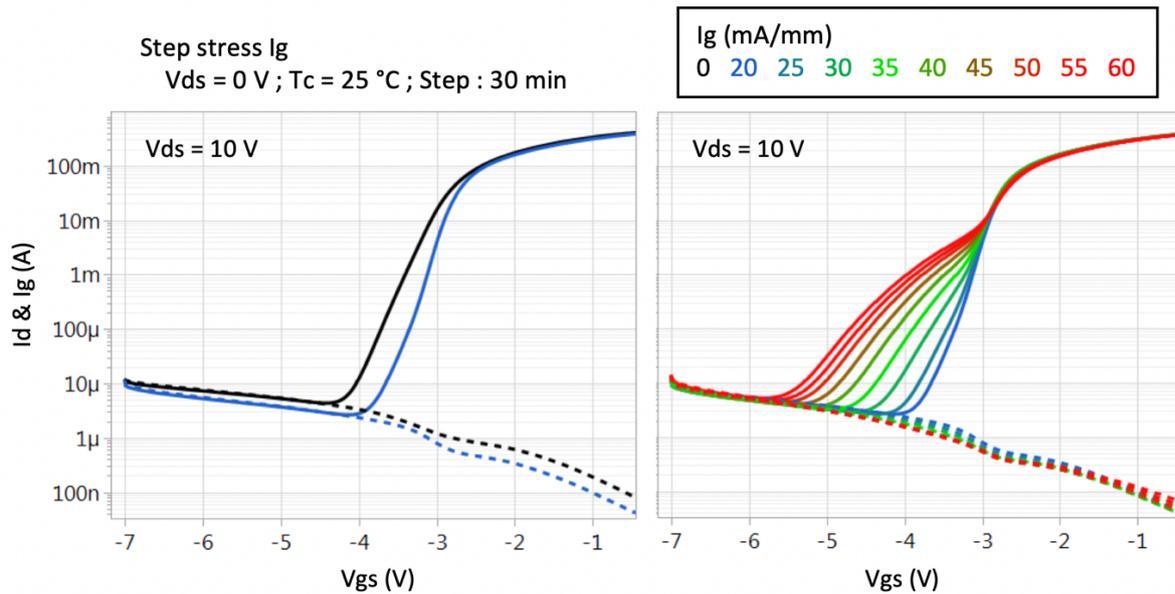


Figure 4.2-4 : Caractéristiques de transfert pour $V_{ds} = 10 \text{ V}$ au cours d'un test de vieillissement à température ambiante pour des échelons en courant de grille de 30 min de 20 à 60 mA/mm par pas de 5 mA/mm ; I_g en pointillés

A partir des caractéristiques I_d - V_{gs} de la Figure 4.2-4, la dérive de la tension de grille à un courant de drain de $25 \mu\text{A}$ a été extraite afin de représenter les deux mécanismes : le décalage positif de la tension de seuil et l'épaulement sous le seuil. L'extraction est faite à $25 \mu\text{A}$ afin d'être dans le bas de la caractéristique de transfert, zone d'apparition du phénomène d'épaulement sous le seuil. La dérive obtenue est représentée Figure 4.2-5. On peut noter le décalage positif de la tension de seuil de 400 mV après le premier stress à 20 mA/mm. Par la suite, la dérive négative de la tension de grille représente le phénomène d'épaulement sous le seuil qui induit un décalage négatif de la tension de grille supérieur à 1 V pour le dernier stress à 60 mA/mm.

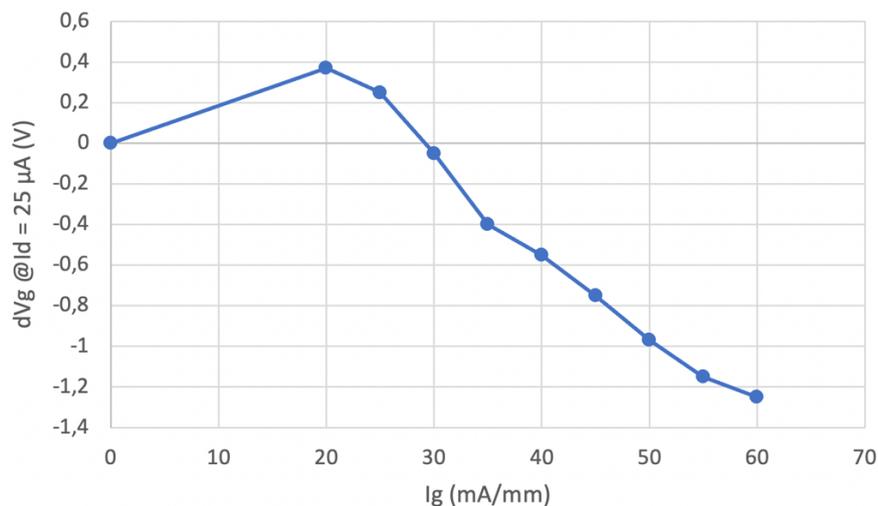


Figure 4.2-5 : Dérive de la tension de grille correspondant à un courant de drain de $25 \mu\text{A}$ en fonction de la contrainte en courant de grille

Pour évaluer l'impact du courant de grille sur la cinétique du phénomène d'épaulement et vérifier le seuil de déclenchement trouvé par le test à contrainte échelonnée, trois tests ont été effectués à différentes conditions de courant de grille. Ainsi, deux composants ont été stressés par

condition. Les tests ont été réalisés à température ambiante pour un courant de grille de 10 mA/mm, 20 mA/mm et 45 mA/mm. Les résultats sont représentés respectivement Figure 4.2-6, Figure 4.2-7 et Figure 4.2-8. Le décalage positif de la tension de seuil se produit durant les 30 premières minutes de stress pour le stress à 10 mA/mm et à 25 mA/mm, tandis qu'il se produit après seulement 15 minutes pour le stress à 45 mA/mm. Le phénomène d'épaulement sous le seuil apparait après 4 heures de stress électrique à 20 mA/mm et après 1 heure à un courant de grille de 45 mA/mm. Pour le stress électrique effectué à un courant de 10 mA/mm, le phénomène est visible au cours des 24 premières heures mais l'amplitude est moindre en comparaison aux deux autres stress électriques.

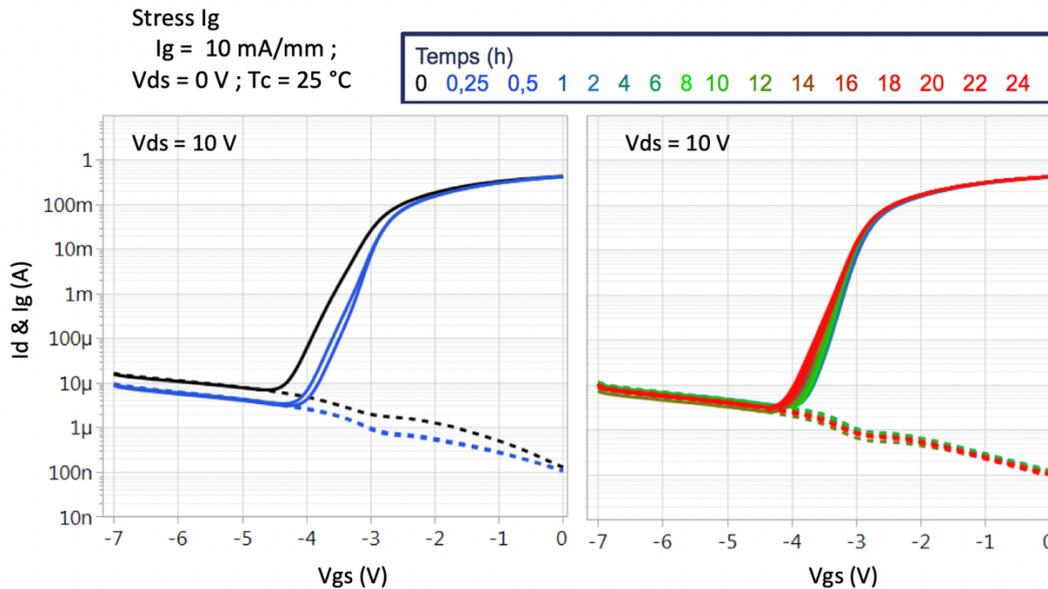


Figure 4.2-6 : Caractéristiques de transfert pour $V_{ds} = 10 \text{ V}$ au cours d'un stress électrique à température ambiante à $I_g = 10 \text{ mA/mm}$ durant 24 heures ; I_g en pointillés

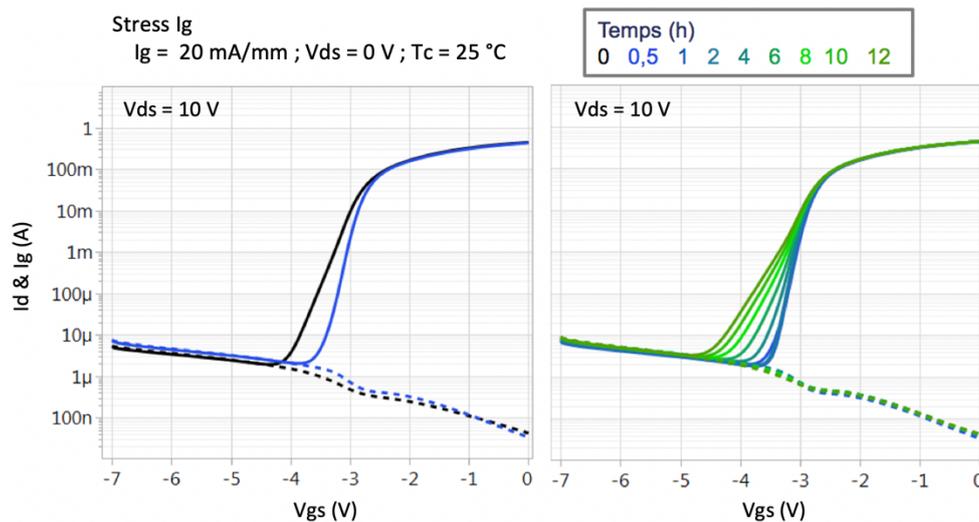


Figure 4.2-7 : Caractéristiques de transfert pour $V_{ds} = 10 \text{ V}$ au cours d'un stress électrique à température ambiante à $I_g = 20 \text{ mA/mm}$ durant 12 heures ; I_g en pointillés

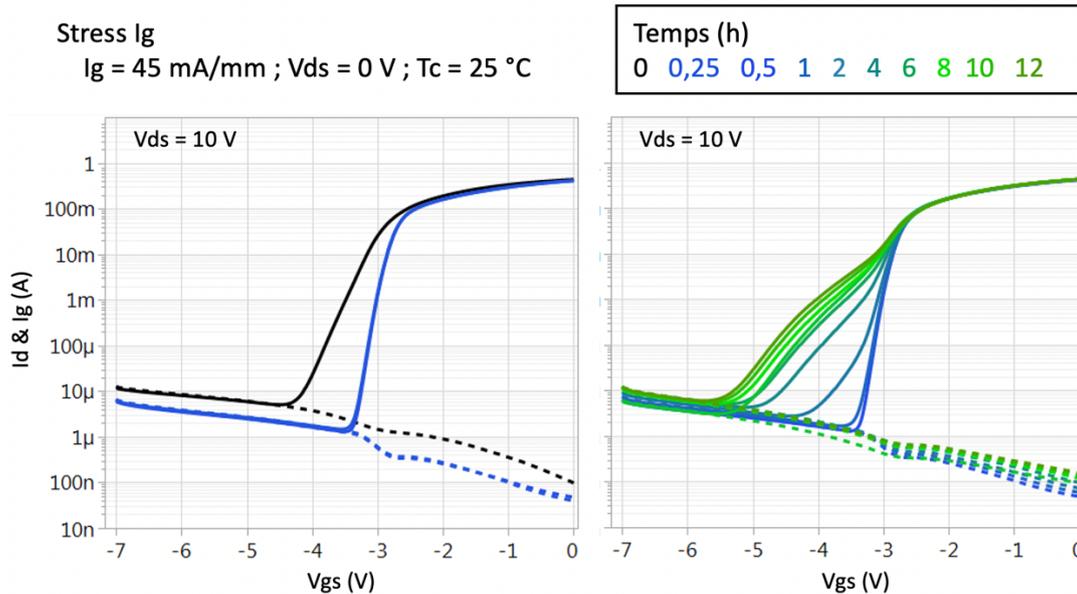


Figure 4.2-8 : Caractéristiques de transfert pour $V_{ds} = 10 \text{ V}$ au cours d'un stress électrique à température ambiante à $I_g = 45 \text{ mA/mm}$ durant 12 heures ; I_g en pointillés

Afin d'évaluer l'amplitude des dérives au cours du temps et leur cinétique, la valeur de la tension de grille a été extraite pour un courant de drain égal à $25 \mu\text{A}$. Le suivi de la tension de grille pour un courant de drain de $25 \mu\text{A}$ a été choisi arbitrairement afin de suivre au mieux le phénomène d'épaulement sous le seuil. De plus, la valeur de V_{gs} extraite permet aussi de suivre le décalage positif de la tension de seuil du composant. La dérive de la tension de grille pour un courant de drain égal à $25 \mu\text{A}$ au cours du temps pour les 3 courants de stress est représentée Figure 4.2-9. On observe clairement au cours du temps les deux phénomènes déclenchés par la conduction de la diode. La dérive positive de la tension de seuil se produit en tout début de stress et se stabilise au cours du temps. Le temps pour lequel la dérive est maximale dépend de la valeur du courant de grille ; 15 minutes suffisent pour un courant de 45 mA/mm alors qu'il faut un total de 2 heures pour un courant de 10 mA/mm . Par la suite, la dérive négative observée caractérise le phénomène d'épaulement sous le seuil. Le phénomène est visible après 1 heure de stress pour un courant de 45 mA/mm et après 2 heures de stress pour un stress de 20 mA/mm . Pour un courant de grille de 10 mA/mm , le phénomène d'épaulement sous le seuil se déclenche dans les premières heures de vieillissement, cependant, le temps pour lequel la dérive est maximale est beaucoup plus important que pour un courant de 20 mA/mm ou 45 mA/mm . Il est à noter sur la Figure 4.2-10 un saut négatif de la dérive de la tension de grille à 12 et 24 heures pour le stress électrique à un courant de grille de 10 mA/mm . Ce saut a été constaté à la suite de 17 heures de stockage à température ambiante et sans stress électrique des composants.

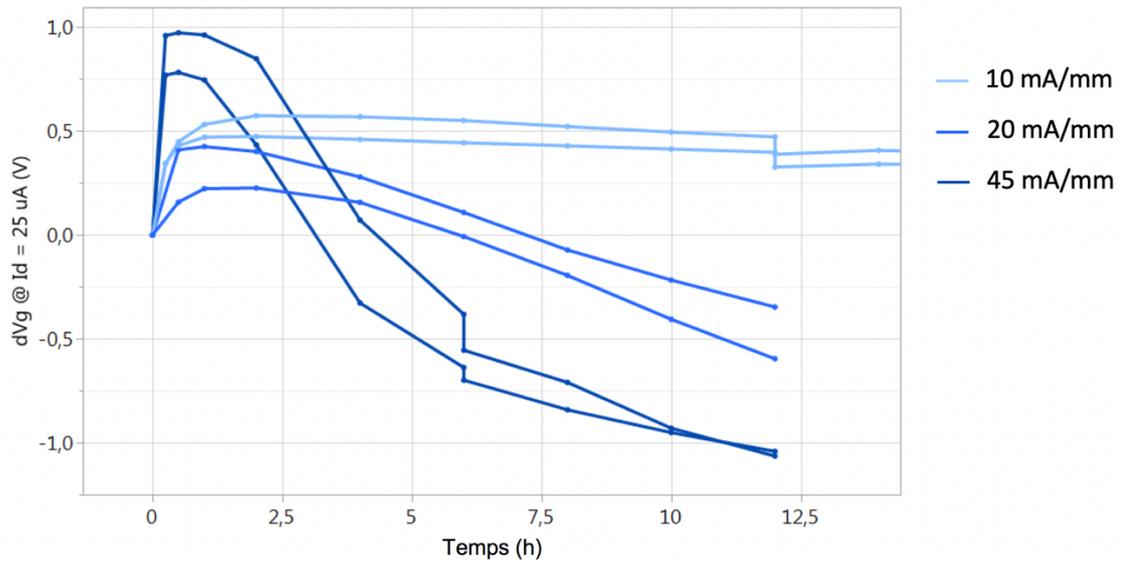


Figure 4.2-9 : Dérive de la tension de grille correspondant à un courant de drain de 25 μ A au cours du temps pour un stress électrique de 10 mA/mm (en bleu ciel), 20 mA/mm (en bleu) et 45 mA/mm (en bleu foncé) pour deux composants par condition

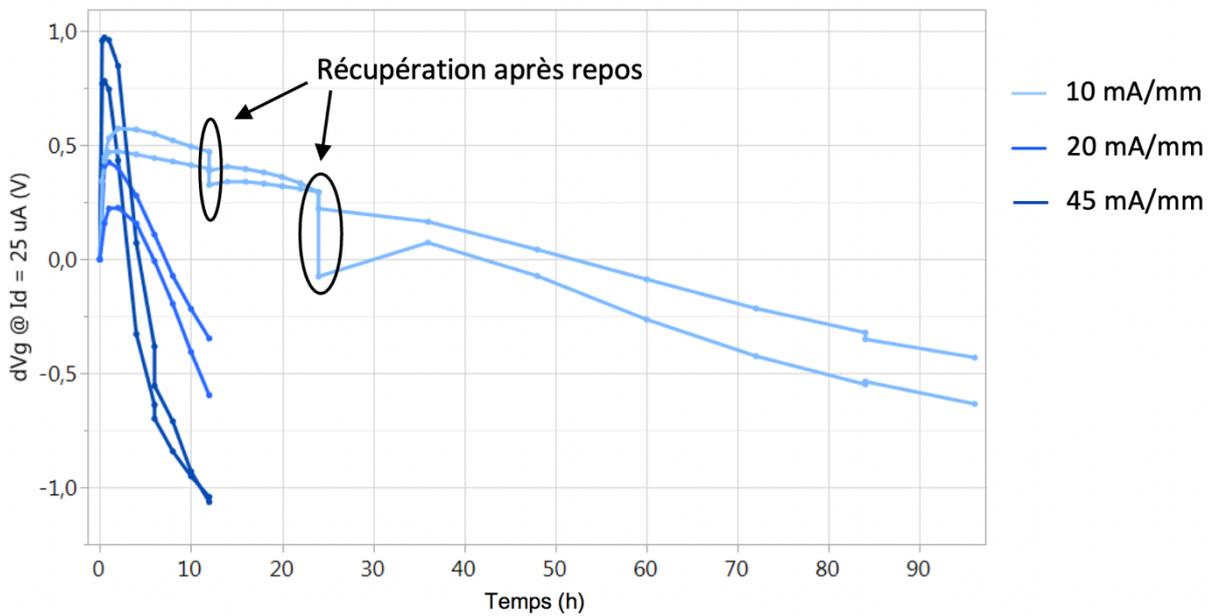


Figure 4.2-10 : Dérive de la tension de grille correspondant à un courant de drain de 25 μ A au cours du temps pour un stress électrique de 10 mA/mm (en bleu ciel), 20 mA/mm (en bleu) et 45 mA/mm (en bleu foncé) pour deux composants par condition

La durée de stress électrique nécessaire pour obtenir une dérive de 20 % induite par le phénomène d'épaulement sous le seuil a été extrait et tracé en fonction du courant de stress. Le résultat est présenté Figure 4.2-11. Cette représentation confirme les affirmations énoncées précédemment vis-à-vis de l'impact du courant de stress sur la constante de temps du phénomène.

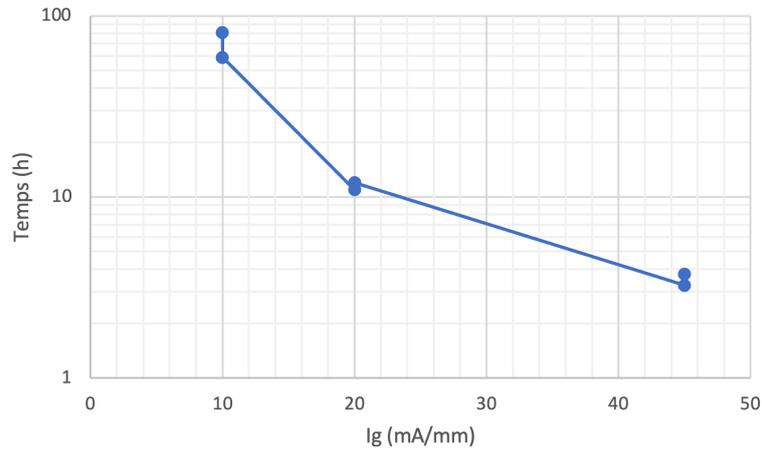


Figure 4.2-11 : Temps pour obtenir une dérive induite par le phénomène d'épaulement sous le seuil de 20 % en fonction de la densité de courant de stress

Le décalage positif de la tension de seuil se déclenche par le stress semi ouvert et ouvert, par le biais d'électrons chauds mais aussi lors de la conduction de la diode. Le phénomène d'épaulement sous le seuil se déclenche lors de la conduction de la diode, donc lors du passage du courant entre la grille et la source. Les défauts responsables des deux phénomènes sont donc localisés sous la grille ou dans la zone d'accès entre la grille et la source du composant. Des tests supplémentaires ont été effectués afin d'évaluer l'impact de la conduction de la diode grille-drain afin de déduire si les défauts sont localisés uniquement dans la zone d'accès grille-source. Les tests ont été effectués pour un courant de 20 mA/mm entre la grille et le drain. Le suivi de la tension de grille pour un courant de drain de 25 μ A a été relevé et comparé à la dérive de la tension pour la conduction de la diode grille-source. Les résultats sont présentés Figure 4.2-12. Que le courant circule entre la grille et le drain ou la grille et la source, les deux phénomènes sont visibles. Cependant, il ne faut que 15 minutes pour arriver à la saturation de la dérive de la tension de seuil pour une conduction entre grille et drain contre 30 minutes pour une conduction entre grille et source. Quant au phénomène d'épaulement sous seuil, son déclenchement est observé après seulement 1 heure pour la conduction de la diode grille-drain alors qu'il faut attendre 4 heures de test de conduction de la diode grille-source.

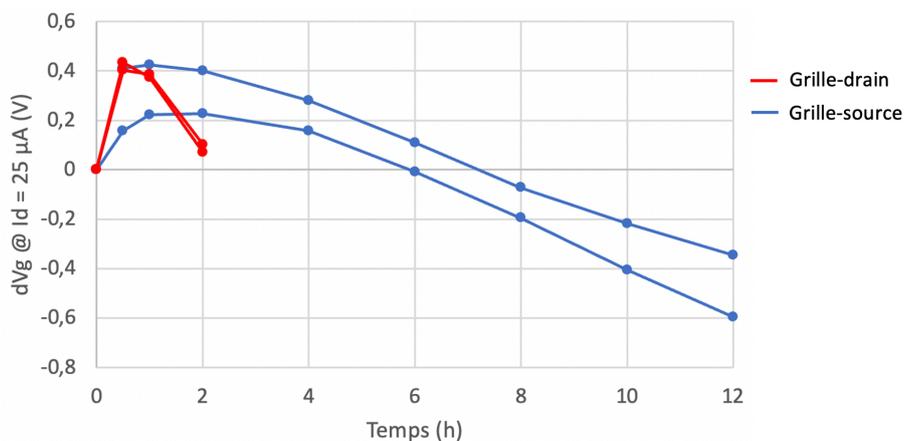


Figure 4.2-12 : Dérive de la tension de grille correspondante à un courant de drain de 25 μ A au cours du temps pour un stress de 20 mA/mm (en bleu) entre grille et source et de 20 mA/mm (en rouge) entre grille et drain pour deux composants par condition

Le décalage positif de la tension de seuil se déclenche par le biais de stress semi ouvert et ouvert mais aussi lors de la conduction de la diode. Le phénomène d'épaulement sous le seuil se déclenche lors de la conduction de la diode. En augmentant la densité de courant de grille appliquée au cours du stress, le temps pour lequel les deux dérives sont maximales diminue. Aucun lien n'a pu être établi entre la densité de courant appliquée sur la grille et l'amplitude des deux phénomènes. Les deux phénomènes ont pu être observés indépendamment que le stress soit appliqué entre grille et source ou grille et drain. Ils sont tous les deux attribués à des effets de charge en surface du composant, que ce soit sous la grille ou dans les zones d'accès grille-drain et grille-source.

4.3. Étude de la récupération des phénomènes

Un changement de la tension de seuil a été observé pour les composants stressés avec un courant I_g de 10 mA/mm à 12 h et 24 h suite à un temps de stockage à température ambiante et sans stress électrique (Figure 4.2-10). Ce saut s'explique par la récupération du décalage positif de la tension de seuil après quelques heures de repos. Cette récupération a été mise en évidence au cours d'un stress à courant de grille constant (Figure 4.3-1) et au cours de tests HTOL (Figure 4.3-2).

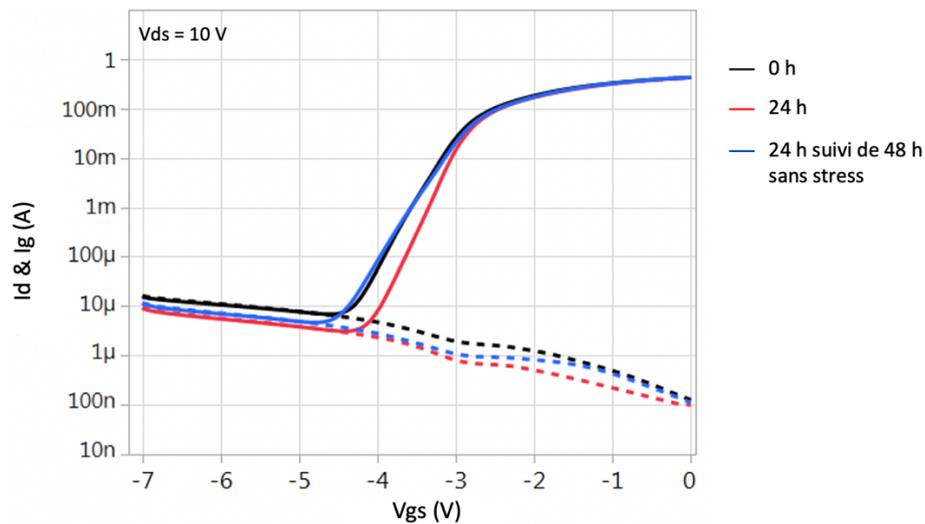


Figure 4.3-1 : Caractéristiques de transfert pour $V_{ds} = 10\text{ V}$ avant (en noir) et après 24 h (en rouge) de test à $I_g = 10\text{ mA/mm}$ à température ambiante, et après 24 h (en rouge) de test à $I_g = 10\text{ mA/mm}$ à température ambiante suivi de 48 h de repos sans stress à température ambiante (en bleu) ; I_g en pointillés

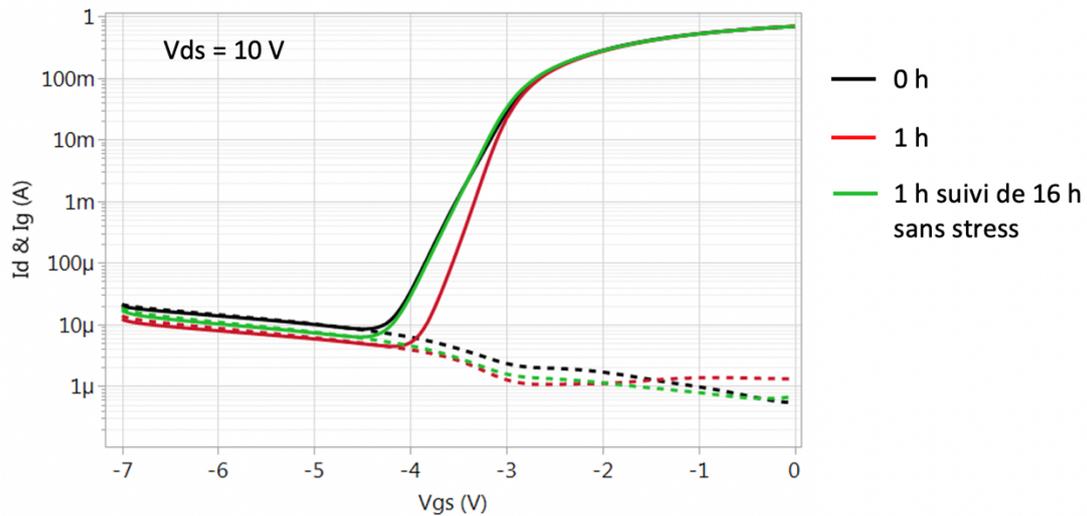


Figure 4.3-2 : Caractéristiques de transfert pour $V_{ds} = 10$ V avant (en noir), après 1 h (en rouge) de test HTOL ($V_{ds} = 20$ V et $I_d = 200$ mA/mm) à température ambiante, et après 1 h de test HTOL ($V_{ds} = 20$ V et $I_d = 200$ mA/mm) à température ambiante suivi de 16 h de repos sans stress électrique à température ambiante (en vert) ; I_g en pointillés

Le décalage positif de la tension de seuil est donc récupérable après un temps de repos. Il est donc attribué à un phénomène de piégeage/dé-piégeage. L'amplitude du phénomène d'épaulement sous le seuil ne diminue pas après un temps de repos à température ambiante sans stress électrique et est donc irréversible (Figure 4.3-3).

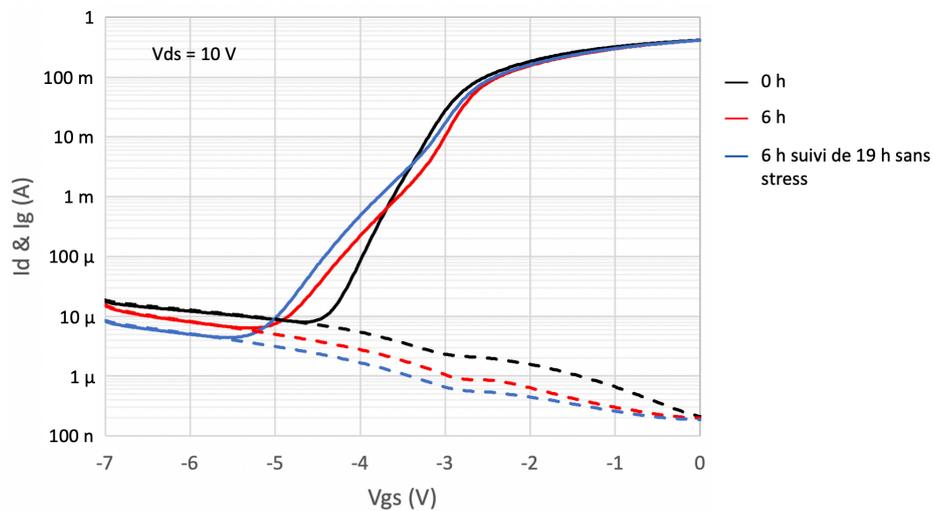


Figure 4.3-3 : Caractéristiques de transfert pour $V_{ds} = 10$ V avant (en noir) et après 6 h (en rouge) de test à $I_g = 45$ mA/mm à température ambiante, et après 6 h (en rouge) de test à $I_g = 45$ mA/mm à température ambiante suivi de 19 h de repos sans stress à température ambiante (en bleu) ; I_g en pointillés

Le décalage positif de la tension de seuil est donc un phénomène récupérable à l'inverse du phénomène d'épaulement sous le seuil qui est irréversible.

4.4. Analyse des effets de charge dans le canal à partir de caractérisations électriques approfondies

Les résultats présentés au cours de la partie précédente ont permis de conclure que le décalage positif de la tension de seuil est dû à un mécanisme de piégeage/dé-piégeage de charges sous la grille et/ou dans les zones d'accès grille-drain et grille-source. Le phénomène d'épaulement sous le seuil traduit quant à lui un mauvais pincement du canal et peut s'apparenter au niveau de la caractéristique de transfert à un effet de DIBL présent sur les technologies GaN. La présence de ce type de phénomène pour une tension de drain égale à 10 V peut être due à la présence de charges piégées dans le composant et diminuant localement la zone de déplétion du transistor. C'est à partir de ces résultats et de ces hypothèses que des mesures de DIBL et $C(V)$ ont été menées afin d'analyser les effets de charge.

4.4.1. Mesures de DIBL

La forme des caractéristiques de transfert des composants avec un épaulement sous le seuil ressemblant à des caractéristiques de transfert avec du DIBL, celles-ci ont été mesurées pour plusieurs tensions de drain sur des transistor stressés et présentant le phénomène d'épaulement et des transistors de référence. Pour les composants de référence, le courant entre drain et source augmente au niveau de la pente sous seuil à mesure que la tension de drain augmente (un DIBL de 70 mV/V est obtenu entre une tension V_{ds} de 5 V et de 20 V), réponse typique du phénomène de DIBL sur les technologies GaN [8][9]. Pour les composants stressés, cette même augmentation du courant se produit avec une amplitude plus importante ; un DIBL de 145 mV/V est obtenu entre une tension V_{ds} de 5 V et de 20 V (Figure 4.4-1). De plus, en diminuant la tension de drain appliquée aux composants vieilliss jusqu'à 1 V, l'amplitude de l'épaulement ne cesse de décroître jusqu'à ne plus être visible.

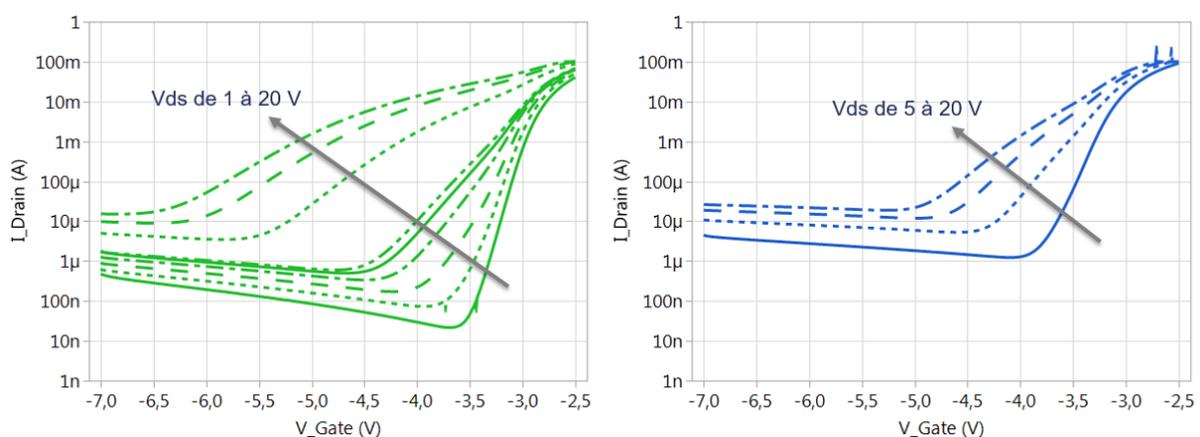


Figure 4.4-1 : Caractéristique de transfert à différentes tensions drain-source pour un composant ayant subi le test de conduction de la diode grille-source (à gauche) et un composant de référence (à droite)

En condition pincée, les électrons présents dans le canal sont bloqués par la zone de déplétion du transistor pour des tensions de grille inférieures à la tension de seuil. En augmentant la tension de drain appliquée au transistor, la zone de déplétion s'étend vers le drain dû à l'augmentation du champ

longitudinal. Les électrons présents dans le canal peuvent alors circuler entre drain et source. Le phénomène d'épaulement sous le seuil n'apparaît plus lorsque la tension V_{ds} appliquée au cours de la mesure de la caractéristique de transfert s'approche de 0 V. Dans ces conditions, le champ longitudinal est minimal et n'impacte pas la zone de déplétion. Les électrons sont donc bloqués et la caractéristique de transfert est proche de celle obtenue avant le stress. La conduction de la diode induit une dégradation au pied de la grille menant à la génération de défauts. Ces défauts mènent à une réduction locale de la zone de déplétion. La tension drain-source nécessaire pour le déclenchement du phénomène de DIBL est ainsi moins importante et le phénomène est donc observable pour des tensions V_{ds} normalement utilisées lors de la caractérisation de la fonction de transfert.

4.4.2. Mesures C(V)

En plus des mesures DIBL, des mesures C(V) ont été effectuées dans le but d'évaluer la variation de la densité de porteurs dans la structure en fonction de la tension grille-source appliquée [10]. La Figure 4.4-2 présente une caractéristique C(V) typique d'un transistor GaN. Cette caractéristique peut se décomposer en 3 parties distinctes : le pincement du canal, la conduction du canal et la conduction de la diode. En condition pincée, la valeur de capacité mesurée est faible (1,1 pF) car elle est mesurée entre la grille et la face arrière du composant reliée à la source. Lors de la conduction du canal, la capacité augmente car elle est mesurée entre le canal et la grille. Enfin, lors de la conduction de la diode, la valeur mesurée est quasiment nulle en raison du courant circulant entre la grille et la source du transistor. L'augmentation de la tension de grille mène à une diminution de la zone de déplétion dans le transistor, du canal jusqu'à la surface. De ce fait faire varier la tension de grille de -5 V jusqu'à 2 V à 3 V permet d'étudier l'ensemble de la structure du composant

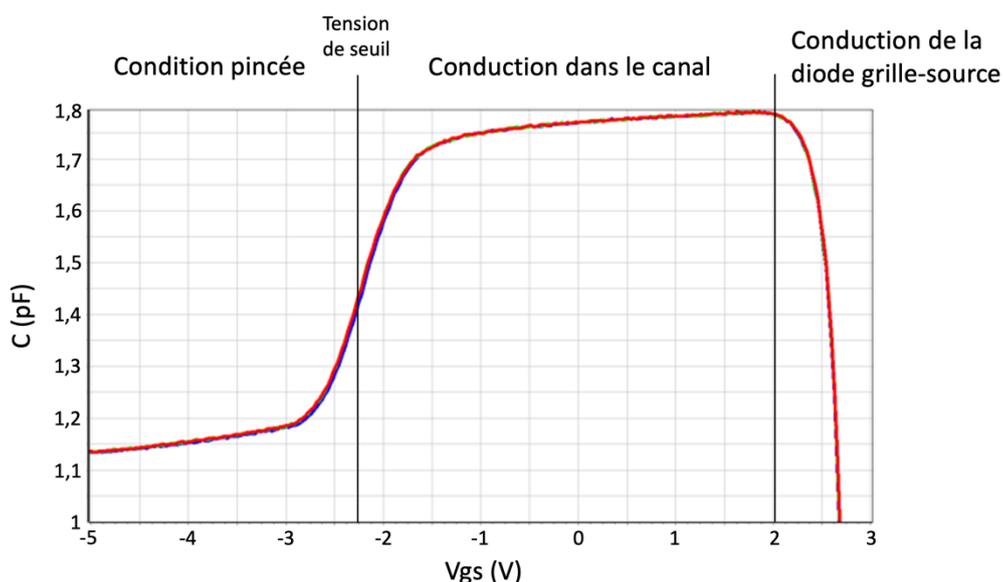


Figure 4.4-2 : Caractéristique C(V) typique d'un transistor GaN

La caractéristique C(V) est aussi mesurée à différentes fréquences. Les mécanismes de piégeage et de dé-piégeage ont des constantes de temps de capture et d'émission caractéristiques.

Ainsi, afin de pouvoir évaluer leur impact sur la caractéristique $C(V)$, celle-ci est mesurée pour un ensemble de fréquences pouvant aller de quelques Hz à une centaine de MHz.

Pour étudier les effets de charge dans le transistor, une mesure $C(V)$ a été menée avant un stress électrique induit par la conduction de la diode grille-source à un courant de 25 mA/mm et une autre mesure après le test. La Figure 4.4-3 présente les résultats des mesures pour un composant stressé durant un total de 30 minutes. Pour rappel, après 30 minutes, un décalage positif de la tension de seuil se produit sur la caractéristique de transfert du composant. Ce même décalage est visible sur la caractéristique $C(V)$ pour l'ensemble des fréquences utilisées au cours de la mesure.

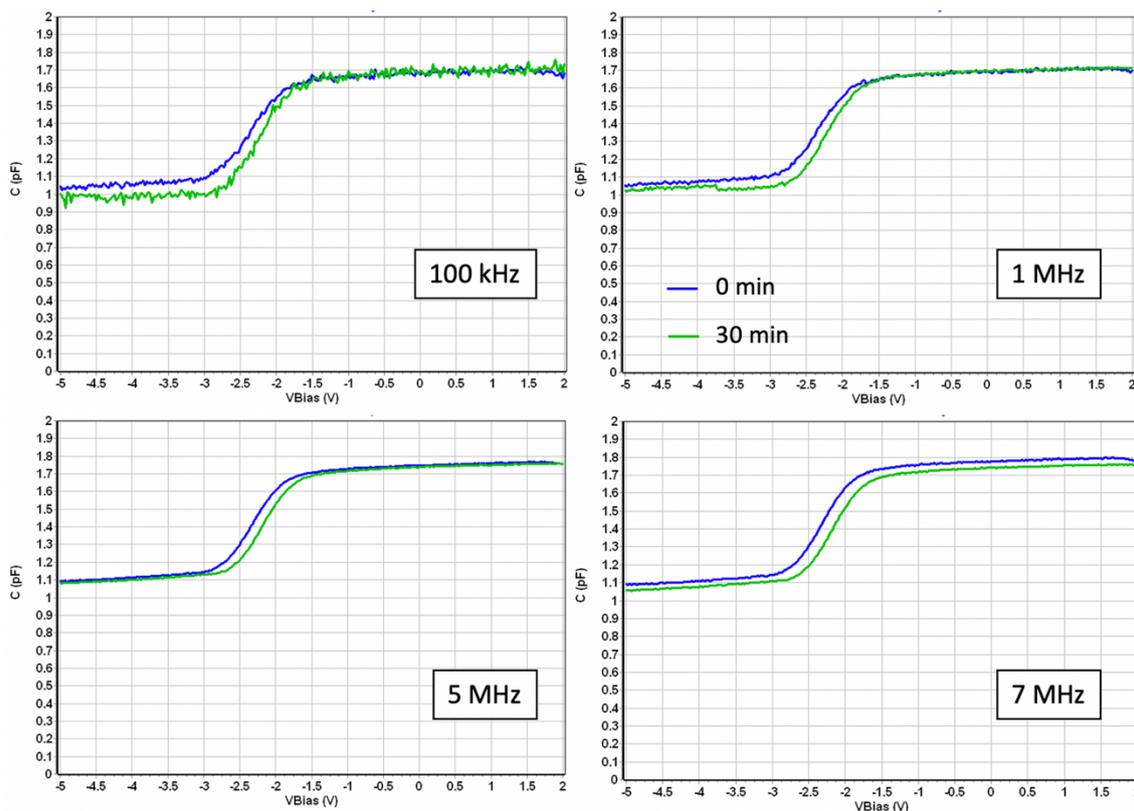


Figure 4.4-3 : Caractéristiques $C(V)$ pour différentes fréquences pour un transistor avant (en bleu) et après 30 minutes (en vert) de test de conduction de la diode grille-source à un courant de grille de 25 mA/mm

Le phénomène d'épaulement sous le seuil n'a pas été étudié par le biais des mesures $C(V)$. En effet, les mesures de DIBL présentées précédemment ont permis de conclure qu'une tension V_{ds} était nécessaire afin d'observer le phénomène. Les mesures $C(V)$ étant réalisées avec le drain ouvert, elles ne permettent pas d'étudier l'épaulement sous le seuil.

Les mesures $C(V)$ n'ayant été réalisées jusqu'alors que de -5 V à 2 V, des mesures supplémentaires ont été effectuées afin d'aller jusqu'à une tension grille-source de 3 V permettant d'étudier l'impact de la conduction de la diode. Un changement de la caractéristique a pu être observé au niveau du seuil et a mené à une étude du comportement lors de la conduction de la diode. Ainsi un composant stressé et un composant de référence ont subi la séquence de tests suivante :

- Test 1 : Deux mesures consécutives de -5 V à 2 V
- Test 2 : Trois mesures consécutives de -5 V à 3 V
- Test 3 : Trois mesures consécutives de -5 V à 2 V

Les 3 tests sont réalisés consécutivement à une fréquence de 5 MHz. Les résultats pour un composant de référence sont représentés Figure 4.4-4 et pour un composant stressé Figure 4.4-5. L'enchaînement des tests et des mesures consécutives sur un composant de référence n'a entraîné aucune modification de la caractéristique C(V) (Figure 4.4-4). Pour le composant stressé, aucun changement de caractéristique n'est visible pour les deux premières mesures C(V) du test 1 jusqu'à 2 V et la première mesure du test 2 jusqu'à 3 V est similaire aux deux précédentes. Un changement de la caractéristique est observé pour la deuxième et la troisième mesure du test 2 avec un seuil à une tension V_{gs} plus négative et une pente moins abrupte. Cette dérive caractérise une perte de contrôle du seuil du transistor. Cette dérive est attribuée à un effet de piégeage en surface à la suite du test de conduction de la diode grille-source. Les caractéristiques de la deuxième et troisième mesure du test 2 sont confondues. Ainsi, les pièges responsables de la perte de contrôle du canal observé par les mesures C(V) sont remplis après une seule mesure jusqu'à 3 V. La première mesure du test 3 se superpose aux deux dernières du test 2 tandis que la deuxième et la troisième mesure sont confondues avec celles du test 1. Ces résultats mettent en avant une récupération de la dérive due à l'émission des électrons piégés.

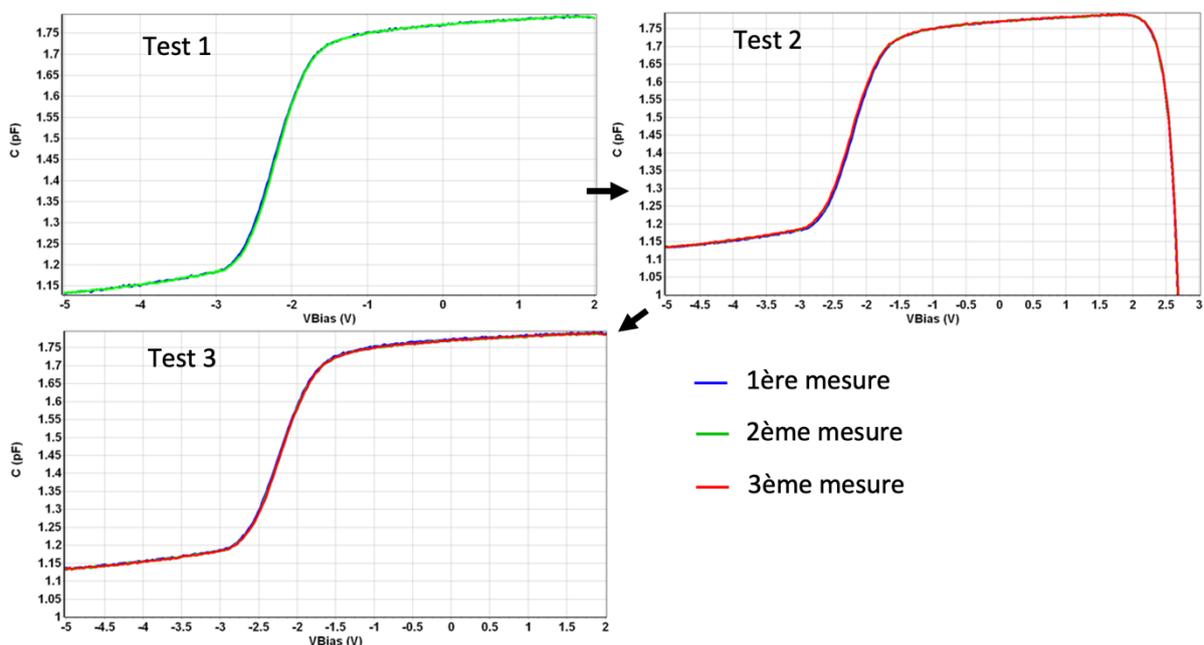


Figure 4.4-4 : Caractéristiques C(V) pour une fréquence de 5 MHz sur un composant non vieilli – Première mesure en bleu, deuxième en vert et troisième en rouge

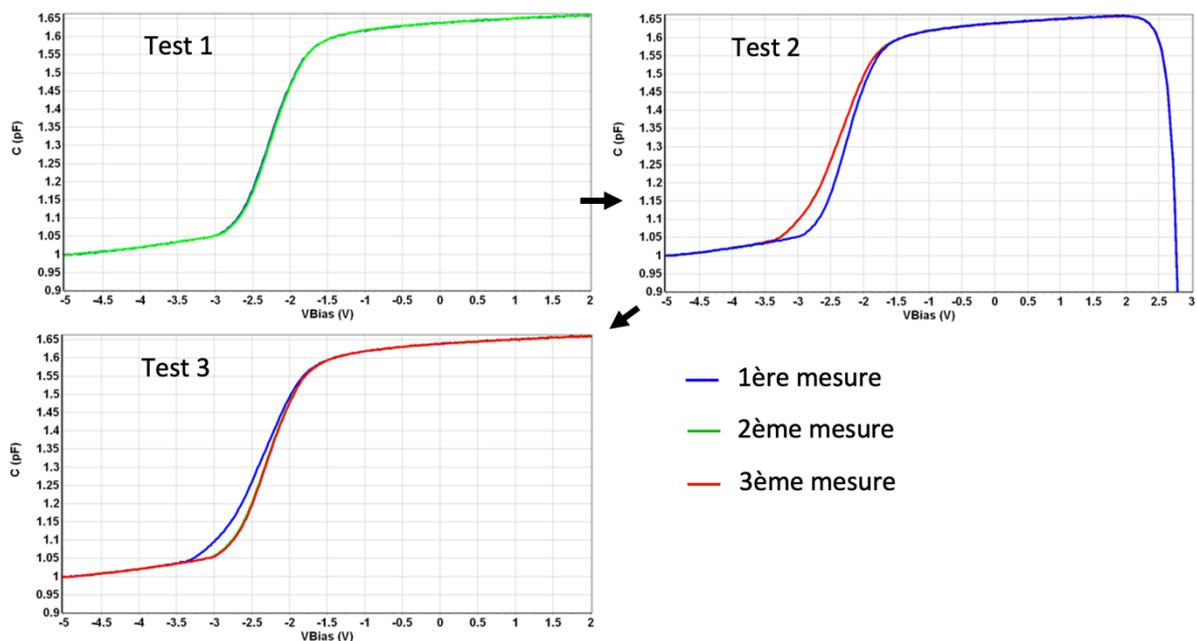


Figure 4.4-5 : Caractéristiques C(V) pour une fréquence de 5 MHz sur un composant vieilli – Première mesure en bleu, deuxième en vert et troisième en rouge

Les mesures C(V) ont donc permis de confirmer dans un premier temps le décalage positif de la tension de seuil du transistor mais aussi de mettre en évidence un phénomène de piégeage en surface du composant lors de la conduction de la diode grille-source. Ce phénomène pourrait être à l'origine du phénomène d'épaulement sous le seuil.

4.5. Épaulement sous le seuil : défaut local ou global dans le composant ?

Afin de compléter l'étude et la compréhension du phénomène d'épaulement sous le seuil, des mesures de microscopie à émission de lumière EMMI (EMission Microscopy) ont été réalisées à TRT (Thales Research & Technology). Ces mesures ont pour objectif de déterminer si le phénomène est dû à un défaut local ou global dans le transistor. Elles ont été menées sur des DEC's ayant subi un stress RFLT de 24 heures à $V_{ds} = 20$ V, $I_d = 200$ mA/mm et $P_{in} = 29$ dBm à une température de jonction de 295 °C. Parmi les composants analysés, tous présentent l'épaulement sous le seuil, tandis qu'une augmentation du courant de fuite de drain jusqu'à deux décades est observée sur certains.

Comme le montre la Figure 4.5-1, le phénomène d'épaulement sous le seuil est visible sur l'ensemble des 4 composants vieillis. Concernant l'évolution du courant de fuite, un composant ne présente aucune différence en le comparant aux deux composants de référence tandis que le plus dégradé a un courant de fuite supérieur de deux décades aux composants de référence.

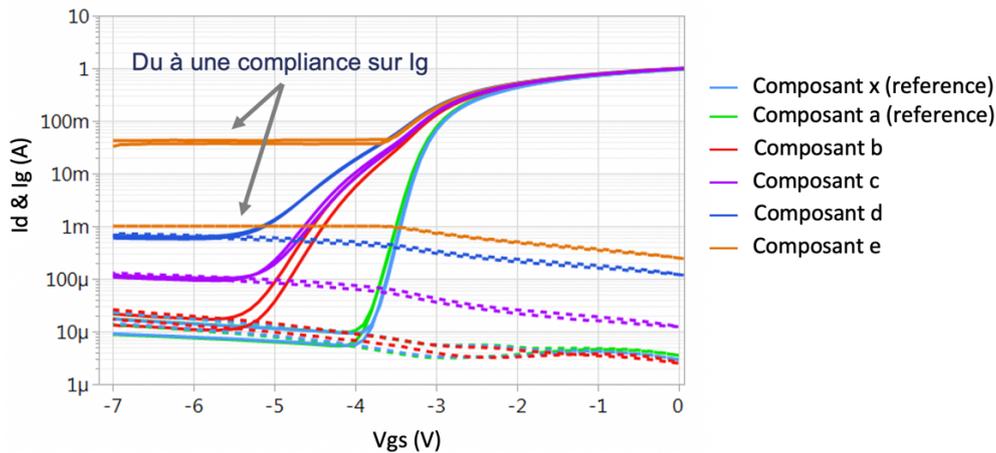


Figure 4.5-1 : Caractéristique de transfert pour $V_{ds} = 10$ V avec double balayage pour 4 transistors ayant subi le test RFLT ($V_{ds} = 20$ V, $I_d = 200$ mA/mm, $P_{in} = 29$ dBm, $T_j = 295$ °C) et deux transistors de références (en bleu ciel et en vert)

Le phénomène d'épaulement sous le seuil a été étudié à travers des mesures EMMI. Ces dernières ont été réalisées pour des composants vieillis et de référence à 5 points de polarisations :

- $V_{gs} = -7$ V et $V_{ds} = 10$ V (A)
- $V_{gs} = -4,5$ V et $V_{ds} = 10$ V (B)
- $V_{gs} = -4$ V et $V_{ds} = 10$ V (C)
- $I_d = 50$ mA/mm et $V_{ds} = 10$ V (D)
- $I_d = 200$ mA/mm et $V_{ds} = 10$ V (E)

Le premier point (A) se situe sous le seuil du composant et permet d'avoir une image du pincement des transistors. Les points B et C sont des points de polarisations pour lesquels les transistors de référence sont pincés contrairement aux composants vieillis qui présentent l'épaulement sous le seuil. Ces deux points permettent de comparer la réponse lumineuse en fonction de la présence ou de l'absence du phénomène d'épaulement sous le seuil. Pour finir, les points D et E correspondent à des points de polarisation utilisés pour des applications. Les résultats pour les 4 composants stressés ainsi que pour un composant de référence sont représentés pour les conditions A, B, C et E sur la Figure 4.5-2.

Pour le transistor de référence, aucune émission de lumière n'est observée en régime de fonctionnement pincé. Pour un courant de 200 mA/mm, les résultats mettent en avant une conduction uniforme tout le long de chaque doigt de grille (a). Le composant stressé présentant un courant de fuite peu important (b) ne présente aucune signature lumineuse pour les conditions de polarisation pincées ; cependant, dans la zone d'épaulement ($V_{ds} = 10$ V & $V_{gs} = -4$ V) une faible émission lumineuse est visible sur l'ensemble des doigts. Cette émission est aussi présente et plus marquée pour les autres composants stressés qui ont un courant de fuite de drain supérieur pour la même condition de polarisation. De plus, on observe des points lumineux en conditions pincées pour les transistors vieillis ayant un courant de fuite supérieur au transistor de référence après le vieillissement (c, d et e). L'intensité lumineuse est proportionnelle au niveau du courant de fuite.



Figure 4.5-2 : Mesures EMMI pour un composant de référence (a) et l'ensemble des composants vieillis en commençant par celui avec le moins de courant de fuite (b) jusqu'à celui avec le plus de courant de fuite (e) pour les conditions $V_{gs} = -7\text{ V}$, $V_{gs} = -4,5\text{ V}$, $V_{gs} = -4\text{ V}$ et V_{gs} pour $I_d = 200\text{ mA/mm}$ de gauche à droite

On peut ainsi conclure que l'augmentation du courant de fuite de drain est caractérisée par la présence de spots lumineux sur les mesures EMMI dus à des défauts locaux dans la structure du composant créant des chemins de fuite parasites [11][12][13]. Notons que la majorité des spots lumineux se situent proche du bus de grille. Concernant l'épaulement sous seuil, il se caractérise par une émission uniforme le long de chaque doigt de grille écartant l'hypothèse de défauts locaux générés par le courant de grille direct.

4.6. Analyse de l'homogénéité du comportement électrique des doigts de grille

Une structure de test a été développée au sein d'UMS permettant de polariser indépendamment chaque doigt de grille. Cette structure de test permet d'évaluer l'homogénéité de chaque doigt de grille vis-à-vis des performances électriques telles que le courant de fuite de drain ou la tension de seuil. De plus, elle permet d'étudier l'homogénéité du décalage positif de la tension de seuil et du phénomène d'épaulement sous le seuil sur l'ensemble des doigts.

4.6.1. Présentation de la structure de test

La structure de test, représentée Figure 4.6-1, se compose d'un transistor de 4 doigts de 100 μm ayant chacun un bus d'accès de grille indépendant. Ainsi, il est possible de polariser indépendamment chaque doigt de grille du transistor. Il est cependant important de noter que le bus de drain reste commun et qu'il n'y a aucune possibilité de polariser uniquement le drain associé à un doigt de grille.

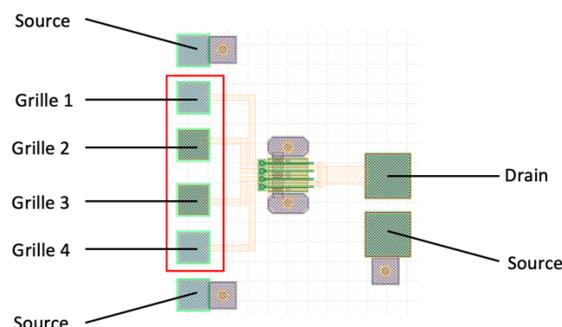


Figure 4.6-1 : Schéma de la topologie de transistor avec les différents contacts pour chaque doigt de grille encadrés en rouge

Afin de pouvoir caractériser sous pointes ce transistor, que nous nommerons transistor multi-doigts, des cartes à pointes spécifiques ont dû être fabriquées, avec 6 pointes pour le côté grille (2 pointes de source et 4 pointes de grille) et 2 pointes côté drain (1 pointe de drain et 1 pointe de source).

4.6.2. Validation de la structure de test

Une première phase de caractérisation a été effectuée dans le but de comparer les caractéristiques et les performances statiques des transistors multi-doigts avec des transistors de référence de la technologie GH15. Le but de cette première phase de mesure est de valider la structure de test. Les caractéristiques de diode en direct et de transfert pour les deux topologies sont reportées Figure 4.6-2 et Figure 4.6-3. Pour les transistors multi-doigts, l'ensemble des doigts de grille sont polarisés. Les caractéristiques des transistors multi-doigts sont comparables à celles des transistors de référence.

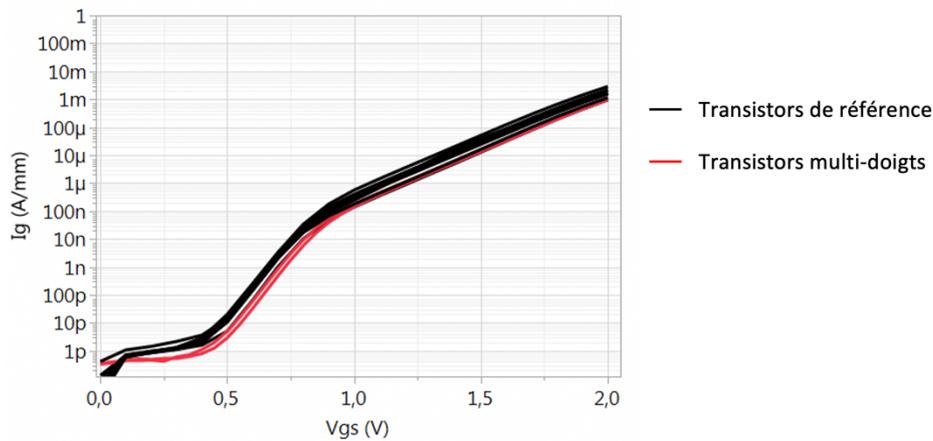


Figure 4.6-2 : Caractéristique de diode en direct normalisée pour plusieurs transistors multi-doigts (en rouge) et transistors 6 x 50 μm (en noir)

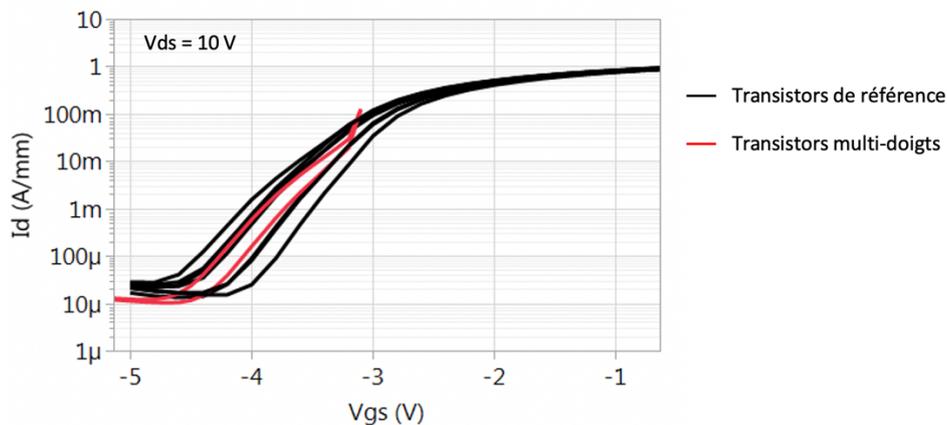


Figure 4.6-3 : Caractéristique de transfert normalisée pour plusieurs transistors multi-doigts (en rouge) et transistors 6 x 50 μm (en noir)

Les transistors multi-doigts sont donc représentatifs de la technologie et peuvent être étudiés afin d'évaluer l'homogénéité de chaque doigt de grille vis-à-vis des performances électriques. Un point reste cependant à noter. Ayant dû changer la configuration du banc de mesure pour pouvoir mesurer les transistors multi-doigts, les tés de polarisation connectés aux pointes permettant de stabiliser les transistors n'ont pas pu être utilisés. Ainsi, pour des tensions V_{gs} supérieures à -3 V, les transistors ont tendance à osciller. De ce fait, il est seulement possible d'étudier le comportement sous seuil ainsi que les caractéristiques de diode des transistors.

4.6.3. Homogénéité des doigts de grille vis-à-vis des performances électriques

Afin d'étudier l'homogénéité des doigts de grille vis-à-vis des performances électriques du composant, un ensemble de composants a été testé. Pour les caractéristiques de diode, la tension grille-source a été polarisée pour chaque doigt indépendamment, les autres doigts et le drain étant ouverts. De même, la caractéristique de transfert a été mesurée pour chaque doigt de grille, les autres doigts étant cette fois maintenus à une tension de -7 V pour une tension V_{ds} égale à 10 V. Le Tableau 4.6-1 et le Tableau 4.6-2 récapitulent l'ensemble des conditions de mesure et le nombre de composants mesurés.

#	Grille 1	Grille 2	Grille 3	Grille 4	Drain	Source	Nb de composants
1	De 0 à 2 V	Ouvert	0 V	4			
2	De 0 à 2 V	Ouvert	Ouvert	Ouvert	Ouvert	0 V	4
3	Ouvert	De 0 à 2 V	Ouvert	Ouvert	Ouvert	0 V	4
4	Ouvert	Ouvert	De 0 à 2 V	Ouvert	Ouvert	0 V	4
5	Ouvert	Ouvert	Ouvert	De 0 à 2 V	Ouvert	0 V	4

Tableau 4.6-1 : Conditions des mesures de la caractéristique de la diode en direct pour l'étude des transistors multi-doigts

#	Grille 1	Grille 2	Grille 3	Grille 4	Drain	Source	Nb de composants
1	De -7 à -3 V	10 V	0 V	4			
2	De -7 à -3 V	-7 V	-7 V	-7 V	10 V	0 V	4
3	-7 V	De -7 à -3 V	-7 V	-7 V	10 V	0 V	4
4	-7 V	-7 V	De -7 à -3 V	-7 V	10 V	0 V	4
5	-7 V	-7 V	-7 V	De -7 à -3 V	10 V	0 V	4

Tableau 4.6-2 : Conditions des mesures de la caractéristique de transfert pour l'étude des transistors multi-doigts

Les résultats sont présentés Figure 4.6-4 et Figure 4.6-5. Pour la caractéristique de diode, le courant normalisé est le même pour chaque doigt et est égal au courant pour tous les doigts polarisés en même temps. Les différences observables à faible injection sont principalement dues à la précision de la mesure. Les caractéristiques de transfert mesurées pour chaque doigt de grille sont identiques. La différence de niveau de courant de fuite entre chaque doigt mesuré séparément et tous les doigts mesurés simultanément est due aux conditions de mesures. Lors de la mesure d'un doigt indépendamment, les trois autres restent polarisés à -7 V, ainsi, le courant de drain est égal à la mesure d'un doigt en plus des 3 autres maintenus à -7 V (le drain étant commun à tous les doigts).

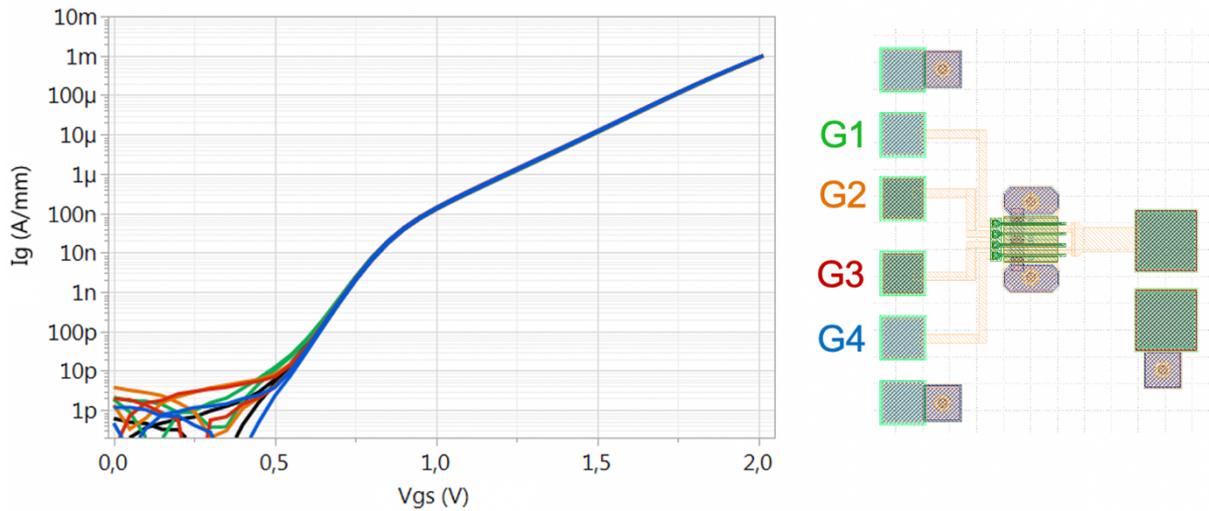


Figure 4.6-4 : Caractéristique de diode en direct en polarisant tous les doigts (en noir, 1) et chaque doigt indépendamment (en vert 2, orange 3, rouge 4, et bleu 5) représentés sur le schéma à droite

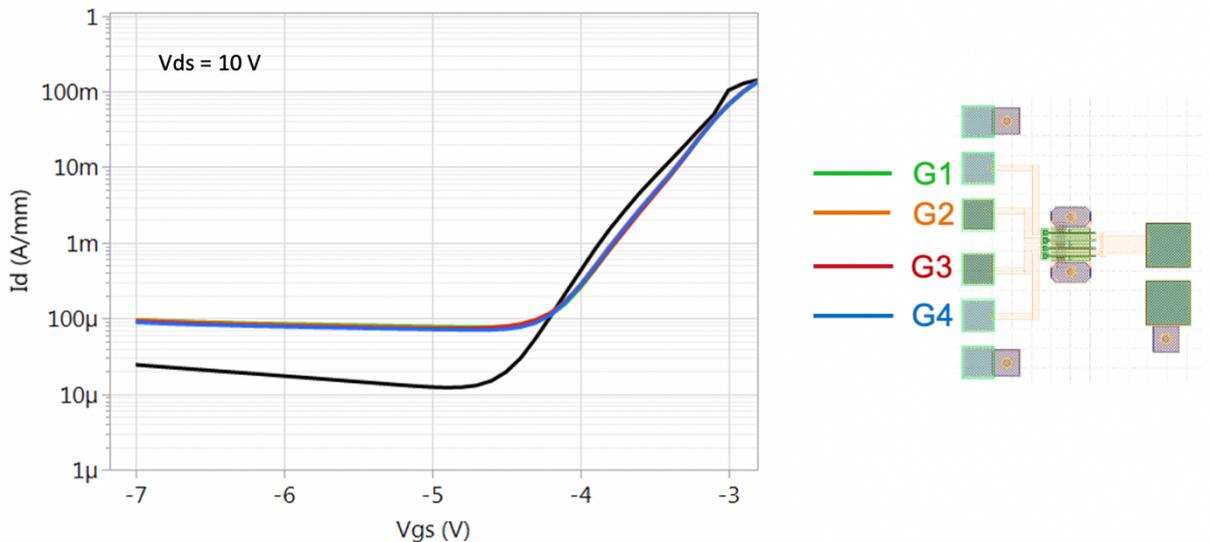


Figure 4.6-5 : Caractéristique de transfert en polarisant tous les doigts (en noir, 1) et chaque doigt indépendamment (en vert 2, orange 3, rouge 4, et bleu 5) représentés sur le schéma à droite

Ces mêmes résultats ont été obtenus pour 3 autres composants et montrent l'homogénéité de la densité de courant pour chacun des doigts de grille des transistors de la technologie.

4.6.4. Homogénéité des doigts de grille vis-à-vis des dérives sous le seuil

Pour les raisons expliquées auparavant, les transistors multi-doigts oscillent pour des courants de drain trop élevés (environ 75 mA/mm). Il n'est donc pas possible d'effectuer des tests de type HTOL ($V_{ds} = 20 \text{ V}$ et $I_d = 200 \text{ mA/mm}$). Les résultats des tests HTRB, dans le deuxième chapitre, n'ont montré aucune dérive de paramètres sous seuil lors de mesures de type DC, ainsi seul un stress par conduction de la diode présente un intérêt pour cette structure de test.

Les mêmes conditions de stress que celles présentées dans la partie 4.2.2 ont été utilisées, à savoir, un courant de grille de 45 mA/mm avec le drain ouvert durant un total de 17 heures à température ambiante. Les résultats obtenus pour un composant typique sont représentés en Figure 4.6-6. Un décalage positif de la tension de seuil ainsi qu'un changement de la pente sous-seuil sont observés après 1 h de stress électrique. Par la suite, le phénomène d'épaulement sous-seuil se déclenche, son amplitude augmente avec le temps jusqu'à une saturation visible sur les deux dernières mesures de reprise.

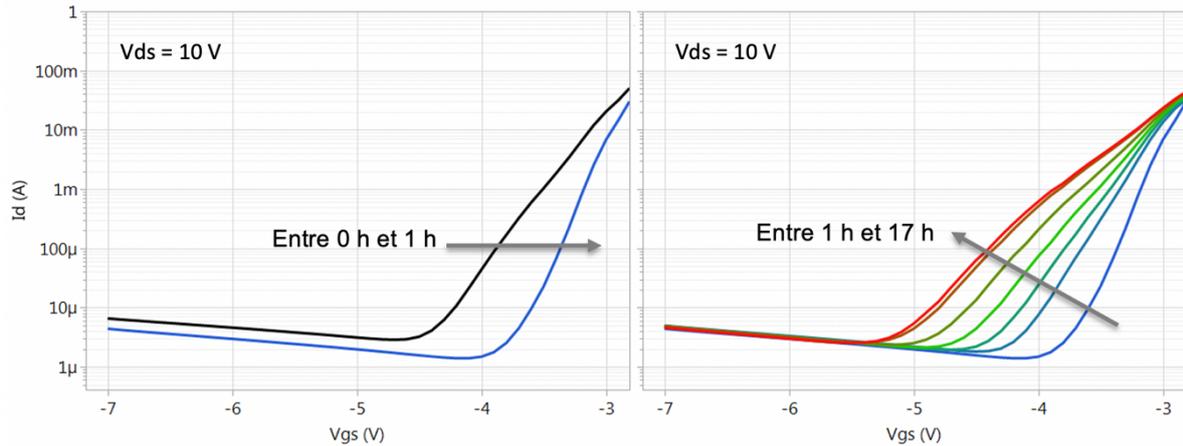


Figure 4.6-6 : Évolution de la caractéristique de transfert à $V_{ds} = 10\text{ V}$ en polarisant l'ensemble des doigts au cours d'un test de conduction de la diode pour un courant de grille de 18 mA à température ambiante d'un total de 17 h

Les caractéristiques de transfert pour chaque doigt de grille indépendamment ont été mesurées avant le test et après 1 h et 17 h. Tout comme lorsque tous les doigts sont polarisés, nous observons, pour chaque doigt de grille, une dérive positive de la tension de seuil au bout d'une heure de stress électrique, puis l'épaulement sous le seuil après 17 heures. Seul un doigt de grille se comporte différemment des autres. Lors de la mesure après une heure de test, le phénomène d'épaulement sous le seuil est déjà présent et après 17 heures de stress, son amplitude reste supérieure à l'amplitude du phénomène sur l'ensemble des autres doigts.

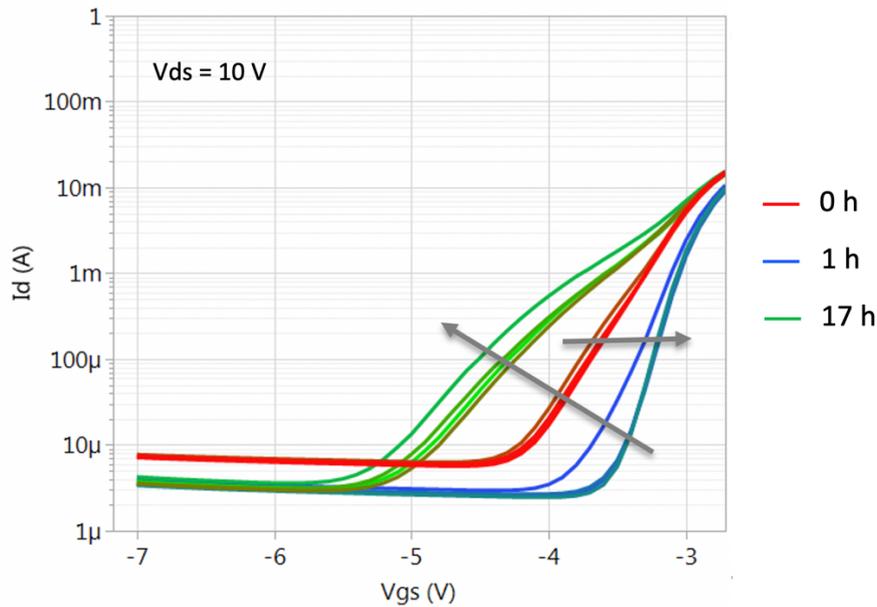


Figure 4.6-7 : Évolution de la caractéristique de transfert à $V_{ds} = 10\text{ V}$ en polarisant chaque doigt indépendamment avant le test (en rouge), après 1 h (en bleu) et après 17 h (en vert) – Les quatre variantes de rouge, de bleu et de vert représentent les 4 doigts de grille du composant

Ces résultats démontrent cependant une bonne homogénéité du phénomène sur l'ensemble du composant et confirment les résultats obtenus à la suite des mesures EMMI mettant en avant un défaut global et uniforme dans le composant responsable de l'épaulement sous le seuil.

4.7. Explication des phénomènes

Au cours des premières heures de vieillissement accéléré, les dérives observées sous le seuil sont :

- Un décalage positif de la tension de seuil associé à un changement de la pente sous le seuil
- Un épaulement sous le seuil de la caractéristique de transfert

Le décalage positif de la tension de seuil est visible lors de tests HTOL et RFLT. Ce phénomène est généralement associé à une dégradation induite par électrons chauds. Plusieurs groupes ont pu mettre en avant une dérive similaire l'associant à une dégradation de l'interface barrière/buffer ou passivation/semi-conducteur entre la grille et le drain du transistor [2][5].

Au cours de ce chapitre, nous avons pu constater que la dérive positive de la tension de seuil est déclenchée au cours des tests HTOL et RFLT mais aussi lors de tests de conduction de la diode. Que ce soit la diode grille-drain ou grille-source, la dérive est observable, seul le temps pour lequel le décalage de la tension de seuil est maximal est impacté. De plus, cette dérive est récupérable après un temps de repos sans stress et à température ambiante, ce qui suggère un mécanisme de piégeage. En condition de polarisation HTOL, des électrons chauds sont créés entre grille et drain et sont susceptibles de se déplacer par effet tunnel jusqu'à l'interface SiN/GaN du composant induisant alors

une dégradation permanente. Cette dégradation mène à une augmentation de la surface de déplétion et une diminution du champ électrique. Les électrons présents à l'interface entre la passivation et le semi-conducteurs et responsables de la dégradation sont susceptibles d'être piégés en surface du composant. Ces charges négatives présentes à côté du pied de grille côté drain jouent un rôle dit de « grille virtuelle » responsable de la dérive positive de la tension de seuil [15].

Lors de tests de conduction de la diode, des électrons circulent en surface du composant entre grille et drain ou entre grille et source. Ces électrons n'ayant pas la même énergie que les électrons chauds, ils n'engendrent pas ou peu de dégradation de l'interface et n'impacte donc que peu le courant de fuite du composant. Cependant, en fonction de la densité de porteurs circulant en surface du composant, certains vont être piégés dans la passivation et joueront le rôle de grille virtuelle induisant le décalage positif de la tension de seuil. Le maximum de la zone de charge d'espace du transistor se situant au pied de la grille côté drain, il est donc cohérent que le temps pour lequel le décalage de la tension de seuil est maximal, à courant identique, soit plus court lors de la conduction de la diode grille-drain que celle grille-source. Après un temps de repos, les électrons piégés sont libérés menant à la récupération de la tension de seuil vers sa valeur initiale.

Concernant l'épaulement sous le seuil, Y. Gao *et al.* a pu mettre en avant une dégradation du pied de grille lors de la conduction de la diode [14] menant à une réduction locale de la surface de déplétion. La tension drain-source nécessaire pour permettre aux électrons de circuler dans le canal malgré une tension de grille inférieure à la tension de seuil est donc moins importante. Ainsi, une augmentation du courant dans le canal sous le seuil est possible pour des tensions V_{ds} utilisées lors de la caractérisation de la fonction de transfert du composant se traduisant par le phénomène d'épaulement sous le seuil.

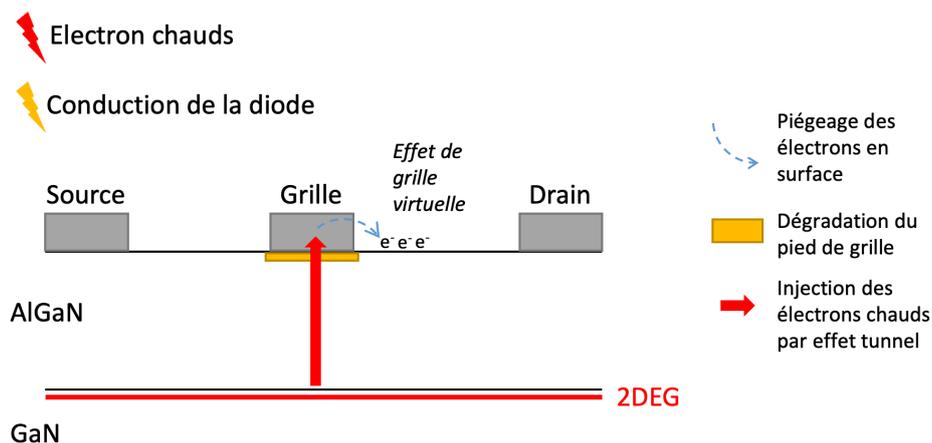


Figure 4.7-1 : Représentation schématique du décalage positif de la tension de seuil par effet de grille virtuelle et du phénomène d'épaulement sous le seuil par la dégradation du pied de grille

4.8. Conclusion du chapitre

Au cours de ce chapitre, les différents phénomènes observables sous le seuil durant les premières heures de tests de vieillissement accéléré ont été présentés, à savoir un décalage positif de la tension de seuil et le phénomène dit d'épaulement sous le seuil. Le décalage positif de la tension de seuil est observé au cours de tests HTOL et RFLT tandis que le phénomène d'épaulement sous le seuil n'est visible qu'au cours de tests RFLT.

Les deux dérives ont été étudiées au travers de leurs facteurs d'accélération et leur impact sur la cinétique et l'amplitude des dérives. La dérive positive de la tension de seuil a pu être observée que ce soit lors de tests HTOL, en mode on-state ou de conduction de la diode grille-drain et grille source. Le phénomène d'épaulement sous le seuil ne se déclenche qu'au cours de tests de conduction de la diode grille-drain ou grille-source lorsqu'un courant de grille positif est présent dans le composant. Aucun lien n'a été trouvé entre l'amplitude des deux dérives et les conditions de stress. En ce qui concerne la cinétique des phénomènes, le temps pour lequel les dérives sont maximales est réduit pour une conduction de la diode grille-drain en comparaison de la diode grille-source. Ce temps est aussi réduit en augmentant la densité de courant lors de la conduction de la diode. De même, pour le décalage positif de la tension de seuil, le temps pour lequel la dérive est maximale est plus court lors de test HTOL qu'à la suite de tests en mode on-state. Ceci peut s'expliquer par une densité d'électrons chauds bien inférieure en mode on-state en comparaison du mode semi on-state (HTOL). Pour finir, le décalage de la tension de seuil est récupérable après un temps de repos sans stress électrique à température ambiante à la différence de l'épaulement sous le seuil. Le décalage de la tension de seuil est alors attribué à des effets de piégeage/dé-piégeage.

Les deux phénomènes étant observés au cours de tests de conduction de la diode, que ce soit grille-drain ou grille-source, ils sont attribués à des défauts au pied de la grille et/ou dans la zone d'accès en surface du composant. Une caractérisation électrique approfondie a été menée afin d'analyser les effets de charge dans le composant. Des mesures DIBL ont montré que le phénomène d'épaulement sous le seuil n'est plus observé sur la caractéristique de transfert pour des tensions V_{ds} proches de 0 V. Les mesures $C(V)$ ont confirmé le décalage positif de la tension de seuil du composant et ont mis en avant une perte de contrôle du canal suite au déclenchement de la diode grille-source due à des effets de charge. Enfin, une caractérisation EMMI de transistors présentant le phénomène d'épaulement sous le seuil a permis de conclure qu'il est dû à un défaut global dans le composant et non local.

Finalement une explication de chacun des phénomènes a pu être donnée dans la dernière partie du chapitre. Des pièges en surface dans la passivation sont responsables de la dérive positive de la tension de seuil par effet dit de « grille virtuelle ». Une dégradation du pied de grille due au courant de grille entre grille et drain et/ou grille et source entraînant une diminution locale de la zone de déplétion du composant mène à une augmentation du courant dans le canal sous le seuil.

Références du chapitre 4

- [1] S. G. Khalil, L. Ray, M. Chen, R. Chu, D. Zehnder, A. Garrido, M. Munsu, S. Kim, B. Hughes, K. Boutros, R. J. Kaplar, J. Dickerson, S. DasGupta, S. Atcitty and M. J. Marinella, "Trap-Related Parametric Shifts under DC Bias and Switched Operation Life Stress in Power AlGaIn/GaN HEMTs", 2014 IEEE International Reliability Physics Symposium, Waikoloa, HI, 2014, pp. CD.4.1-CD.4.9.
- [2] G. Meneghesso, R. Pierobon, F. Rampazzo, G. Tamiazzo, E. Zanoni, J. Bernat, P. Kordos, A. F. Basile, A. Chini and G. Verzellesi, "Hot-Electron-Stress Degradation in Unpassivated GaN/AlGaIn/GaN HEMTs on SiC", 2005 IEEE International Reliability Physics Symposium, San Jose, CA, 2005, pp. 415-422.
- [3] A. G. Chynoweth, "Ionization Rates for Electrons and Holes in Silicon", *Phys. Rev.*, Vol. 109, No. 5, 1958, pp. 1537-1540.
- [4] N. Martin, E. Rogeaux, A. Bensoussan, J. L. Badoch, G. Rieunau, J. L. Muraro, F. Brasseur, P. Fellon and G. Pataut, "A New Reliability Mechanism Observed on Al Gate Based PHEMT Structure", *Proceedings of the European Space Components Conference*, Toulouse, France, 2002, pp. 63-65.
- [5] H. Kim, V. Tilak, B. M. Green, J. A. Smart, W. J. Schaff, J. R. Shealy and L. F. Eastman, "Reliability Evaluation of High Power AlGaIn/GaN HEMTs on SiC Substrate", *Physica Status Solidi*, Vol. 188, No. 1, 2001, pp. 203-206.
- [6] W.-C. Cheng, M. He, S. Lei, L. Wang, J. Wu, F. Zeng, Q. Hu, F. Zhao, M. Chan, G. Xia, and H. Yu, "Threshold Voltage Improvement and Leakage Reduction of AlGaIn/GaN HEMTs Using Dual-Layer SiN_x Stressors", 2019.
- [7] S. D. Burnham and B. M. Paine, "Towards an RF GaN Reliability Standard", *Proceedings of the JEDEC Reliability of Compound Semiconductors Workshop (ROCS)*, Indian Wells, CA, 22nd May 2017.
- [8] S. M. Sze and Kwok K. Ng, "Physics of Semiconductor Devices", 3rd Edition, 2006.
- [9] M. J. Uren, K. J. Nash, R. S. Balmer, T. Martin, E. Morvan, N. Caillas, S. L. Delage, D. Ducatteau, B. Gimbert and J. C. de Jaeger, "Punch-through in short channel AlGaIn/GaN HFETs", *IEEE Transactions on Electron Devices*, Vol. 53, No. 2, 2006, pp. 395-398.
- [10] I. Nifa, C. Leroux, A. Torres, M. Charles, G. Reibold, G. Ghibaudo and E. Bano, "Novel C-V measurements based method for the extraction of GaN buffer layer residual doping level in HEMT", 2017 International Conference on Microelectronic Test Structures, Grenoble, France, 2017.
- [11] D. Marcon, G. Meneghesso, T.-L. Wu, S. Stoffels, M. Meneghini, E. Zanoni and S. Decoutere, "Reliability Analysis of Permanent Degradation on AlGaIn/GaN HEMTs", *IEEE Transactions on Electron Devices*, Vol. 60, No. 10, 2013, pp. 3132-3141.

- [12]G. Meneghesso, M. Meneghini, A. Tazzoli, N. Ronchi, A. Stocco, A. Chini and E. Zanoni, "Reliability issues of Gallium Nitride High Electron Mobility Transistors", *International Journal of Microwave and Wireless Technologies*, Vol. 2, No. 1, 2010, pp. 39-50.
- [13]W. A. Sasangka, Y. Gao, C. L. Gan and C. V. Thompson, "Impact of carbon impurities on the initial leakage current of AlGa_N/Ga_N high electron mobility transistors", *Microelectronics Reliability*, Vol. 88-90, 2018, pp. 393-396.
- [14]Y. Gao, W. A. Sasangka, C. V. Thompson and C. L. Gan, "Effects of forward gate bias stressing on the leakage current of AlGa_N/Ga_N high electron mobility transistors", *Microelectronics Reliability*, Vol. 100-101, 2019.
- [15]R. Vetry, N. Q. Zhang, S. Keller and U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGa_N/Ga_N HFETs", *IEEE Transactions on Electron Devices*, Vol. 48, Issue 3, 2001, pp. 560-566.

Chapitre 5. Impact des paramètres technologiques sur les performances électriques

Ce cinquième chapitre traite de l'impact de différents paramètres technologiques sur les performances électriques des transistors et sur les phénomènes présentés précédemment. Les différents paramètres technologiques étudiés visent à améliorer et à stabiliser la technologie GH15.

Les premières parties se concentrent sur la présentation des différentes variantes technologiques, principalement autour du contact de grille du transistor. La première variante concerne la hauteur du pied de grille visant à diminuer le pic de champ électrique dans la structure. Les deux autres variantes visent à améliorer la stabilité du contact Schottky par un recuit à haute température (800 °C) et une variation du module de grille avec une métallisation à base d'iridium.

Par la suite, chaque variante sera évaluée au travers de tests de type HTRB, HTOL et/ou de conduction de la diode. Les dérives des paramètres sur les premières heures de tests seront analysées et comparées à celles étudiées dans les chapitres précédents. La première partie mettra en avant les résultats concernant le lissage du coude tandis que la seconde se concentrera sur les phénomènes observés sous le seuil du composant.

5.1. Présentation des variantes technologiques

Afin d'améliorer les performances et la stabilité de la technologie GH15, différentes variantes technologiques ont été développées. La hauteur du pied de grille, la métallisation de la grille ainsi que le recuit ont été modifiés. L'ensemble de ces variantes technologiques sera présenté au cours de cette partie.

5.1.1. Hauteur du pied de grille

Dans l'optique d'améliorer la technologie, diverses variantes ont été développées au sein d'UMS. Une étude du profil du champ électrique dans la structure du transistor en fonction de la topologie de grille a été menée par le III-V lab. Divers groupes de recherches ont pu mettre en avant un étalement du champ électrique en fonction de la topologie de grille utilisée. Une grille dite « slanted » [1], i.e. avec des flancs inclinés ou une grille avec une extension de la tête de grille côté drain [2][3] montrent une réduction du pic de champ électrique dans la structure du transistor. Pour la technologie GH15, la hauteur du pied de grille, notée H_g , a été étudiée. A notre connaissance, aucuns travaux de recherche n'ont été publiés concernant l'impact de la hauteur du pied de grille sur le profil du champ électrique. Le phénomène dit de lissage du coude présenté au cours du deuxième chapitre, étant lié au profil de champ électrique dans la structure, la réduction du maximum de champ pour une même tension grille-drain pourrait réduire l'impact du phénomène sur la technologie.

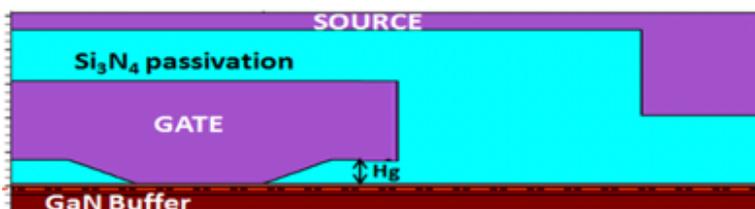


Figure 5.1-1 : Coupe schématique du transistor au niveau de la grille avec définition de la hauteur du nitrure imposant la hauteur de la tête de grille (H_g)

Dans ce cadre, des simulations physiques ont été réalisées par le III-V lab afin de visualiser le profil du champ électrique dans la structure du composant en fonction de la hauteur du pied de grille (H_g). Les résultats obtenus sont reportés sur la Figure 5.1-2 pour $V_{ds} = 20$ V et un courant de drain 150 mA/mm.

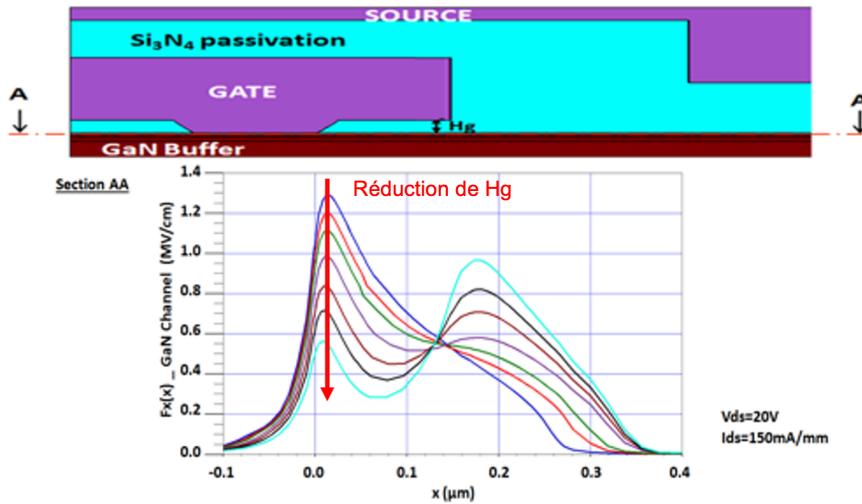


Figure 5.1-2 : Coupe schématique du transistor au niveau de la grille et profil du champ électrique dans le canal au pied de la grille côté drain pour différentes épaisseurs de nitrure ; $V_{ds} = 20 \text{ V}$ et $I_d = 150 \text{ mA/mm}$

Les résultats obtenus démontrent la réduction du pic de champ au pied de la grille avec la réduction de la hauteur de pied de grille. Cependant, à mesure que cette hauteur est réduite, un second pic de champ apparaît et augmente à l'aplomb de la tête de grille côté drain. Il existe donc un compromis entre le pic de champ au pied de la grille et celui à l'aplomb de la tête de grille. De ces résultats, des wafers ont été fabriqués avec pour seule variante la hauteur de pied de grille. Trois hauteurs ont donc été réalisées : a (variation la plus fine), b et c (variation la plus épaisse). Des mesures I-V pulsées ont été réalisées afin de comparer les taux de « gate lag » et de « drain lag » sur les différentes plaques. Pour ce faire, les caractéristiques de sortie de chaque transistor ont été mesurées pour 3 points de repos V_{gs}/V_{ds} : 0V/0V, -5V/0V et -5V/30V. Les taux de « lag » sont donc représentés Figure 5.1-3.

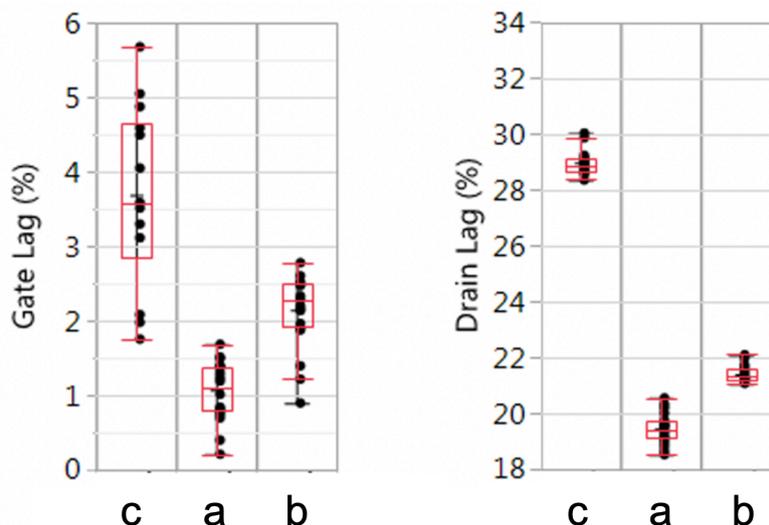


Figure 5.1-3 : Représentation des taux de « gate lag » et « drain lag » pour un ensemble de composants en fonction de l'épaisseur de nitrure

Il est clair que les transistors ayant une hauteur de pied de grille réduite sont moins sensibles aux effets de « lag » et donc aux phénomènes de piégeage/dé-piégeage. Il en résulte une augmentation de la puissance de sortie délivrée par les composants.

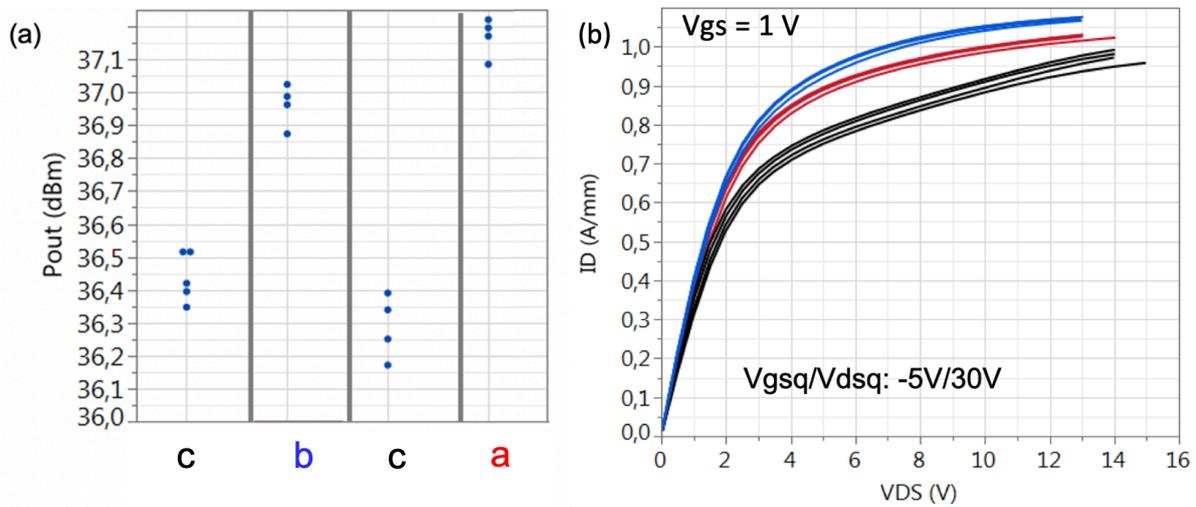


Figure 5.1-4 : Puissance de sortie calculée à l'aide de mesures I-V pulsées pour un ensemble de composants issus des trois variantes d'épaisseur de nitrure (a) et caractéristique de sortie en mode pulsée pour ces mêmes composants au point de repos $V_{gsq}/V_{dsq} = -5V/30V$ (b)

Ceci est confirmé par les résultats présentés Figure 5.1-4 (a) où la puissance de sortie a été calculée à partir de la méthodologie présentée au chapitre 3. La Figure 5.1-4 (b) montre les caractéristiques de sortie en mode pulsé pour un ensemble de 4 composants par variante à un point de repos $-5V/30V$. On constate clairement que pour une hauteur de pied de grille réduite, un courant de drain plus important et donc une puissance de sortie plus importante est disponible (de 36,4 à 37,1 dBm).

5.1.2. Variation du module de grille : Métallisation de la grille en iridium

Une autre variante a été développée et a pu être testée au sein d'UMS. Elle concerne la métallisation de grille à base d'iridium [4][5]. Plusieurs étapes de fabrication changent en comparaison au développement classique de grille. Tout d'abord, le traitement de surface utilisé après l'ouverture du pied de grille diffère. Par la suite, la grille d'iridium est déposée par pulvérisation.

En comparant ce procédé à l'évaporation de platine, les transistors avec grille en iridium présentent un courant de fuite inférieur d'une décade. Après des tests de type HTRB step stress jusqu'à une tension de drain de 100 V à 150 °C, les transistors ne montrent aucune augmentation du courant de fuite ou de dégradation catastrophique tandis qu'avec le procédé d'évaporation de platine, les courants de fuite ont augmenté [4][5]. Du côté d'UMS, une première campagne de test de type HTOL a permis de mettre en avant des résultats prometteurs concernant le décalage positif de la tension de seuil. En effet, comme le montre la Figure 5.1-5 et la Figure 5.1-6, aucune dérive de la tension de seuil

n'est observable après 168 h de vieillissement à $V_{ds} = 20$ V et $I_d = 200$ mA/mm pour une température de 160 °C.

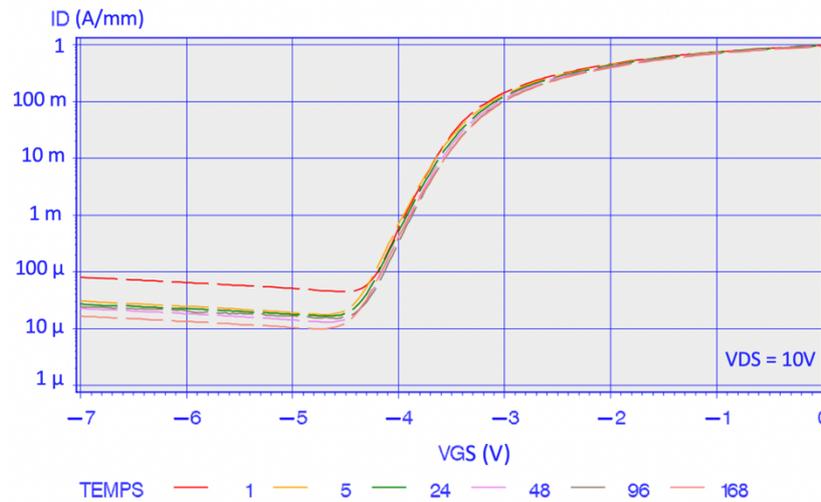


Figure 5.1-5 : Évolution de la caractéristique de transfert d'un transistor à grille iridium à $V_{ds} = 10$ V au cours d'un test HTOL ($V_{ds} = 20$ V et $I_d = 200$ mA/mm à 160 °C) d'une durée totale de 168 h

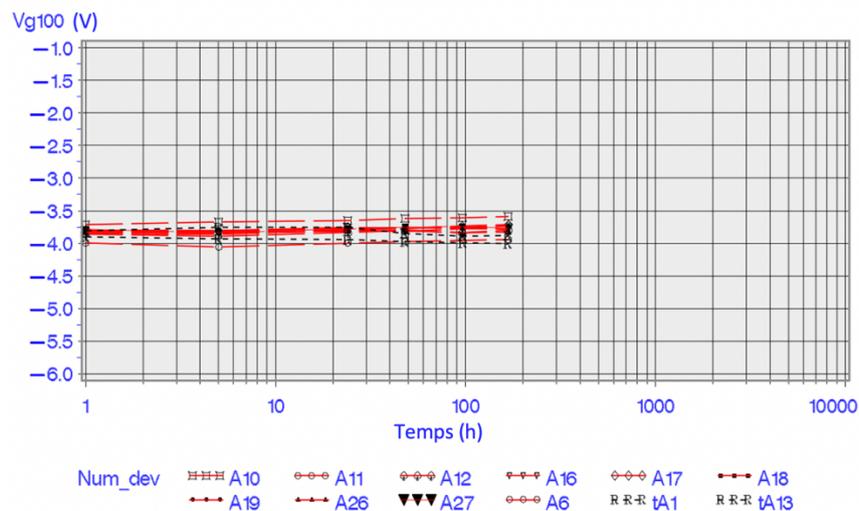


Figure 5.1-6 : Évolution de la tension de seuil des transistors à grille iridium au cours d'un test HTOL ($V_{ds} = 20$ V et $I_d = 200$ mA/mm à 160 °C) d'un total de 168 h

De plus, il a pu être démontré que l'iridium offre une meilleure barrière à la diffusion de l'or que le platine [6]. La diffusion de l'or a déjà pu être identifiée comme un mécanisme de dégradation des technologies GaN étant responsable de l'augmentation des courants de fuite des composants [7].

5.1.3. Recuit de la grille

La dernière topologie étudiée concerne le recuit de la tête de grille. Dans le procédé de fabrication actuel, le recuit est réalisé à une température supérieure à 300 °C durant 10 minutes. Il améliore la tension de claquage et le courant de fuite des transistors [8][9]. En effet, il permet de réduire la densité de pièges peu profonds et rapides, responsables du courant de fuite des composants,

et de créer ou d'activer des pièges plus profonds et plus lents [10][11]. Cependant, des études complémentaires ont montré une meilleure stabilité du contact Schottky et une amélioration des performances DC et RF pour des températures de recuit allant jusqu'à 800 °C [12][13]. Par conséquent, un recuit supérieur à 800 °C d'une durée inférieure à une minute a été implémenté sur un wafer de la technologie GH15 avec une hauteur du pied de grille de 30 nm afin d'étudier la stabilité du contact de grille.

Une première campagne de caractérisation DC a été menée afin de comparer les performances de cette topologie de transistors avec celles des composants de référence, i.e. avec un recuit classique à 400 °C. Les performances sont comparables à l'exception du courant de fuite de grille supérieur de 2 décades pour les transistors ayant subi le recuit du contact de grille supérieur à 800 °C (Figure 5.1-7). Ces mêmes résultats ont déjà pu être observés lorsque que la durée du recuit augmente [13].

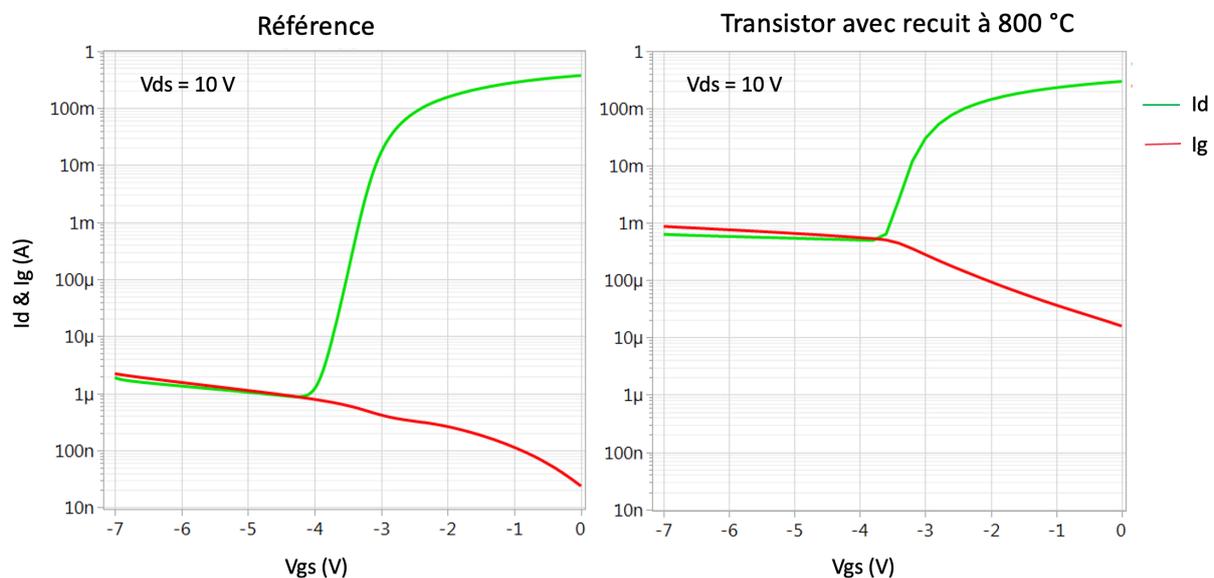


Figure 5.1-7 : Caractéristique de transfert à $V_{ds} = 10 \text{ V}$ pour un transistor typique de référence et pour un transistor typique avec un recuit du contact de grille supérieur à 800 °C

L'impact de ce recuit de la tête de grille mais aussi de la couche de passivation sera donc étudié au cours de cette partie vis à vis du décalage de la tension de seuil ainsi que des phénomènes de lissage du coude et d'épaulement sous le seuil. Cette étude sera réalisée au travers de tests de type HTRB et de conduction de la diode.

5.2. Impact sur la dérive de la puissance de sortie – Phénomène de lissage du coude

Comme énoncé au cours du chapitre 3, la dérive de la puissance de sortie au cours des premières minutes d'un test de type HTRB résulte de la diminution du courant de drain dans la zone de transition entre le régime ohmique et le régime saturé sur la caractéristique de sortie en mode pulsé pour des tensions de grille positives. Ce phénomène est dépendant du pic de champ électrique

à l'aplomb de la grille côté drain où sont activés ou créés les pièges responsables du phénomène. La réduction de la hauteur du pied de grille présente donc un grand intérêt vis-à-vis de ce phénomène. La grille en iridium pourrait aussi mener à une amélioration de la technologie de par la réduction du stress mécanique induit à l'interface entre le contact Schottky et le semi-conducteur.

Comme pour les tests présentés dans le chapitre 3, des stress électriques de type HTRB ($V_{gs} = -7$ V et $V_{ds} = 30$ V) ont été menés à une température de 125 °C avec des mesures de reprises I-V pulsées. Ces tests ont été menés sur des composants avec 3 hauteurs de pied de grille différentes, sur des transistors avec la grille en iridium et sur des transistors avec un recuit de grille supérieur à 800 °C.

Réf.	Conditions de vieillissement	Temps	Composants	Variantes
A	$V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 125$ °C	1 h	3	Hg = a
B	$V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 125$ °C	1 h	3	Hg = b
C	$V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 125$ °C	1 h	3	Hg = c
D	$V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 125$ °C	1 h	3	Iridium
E	$V_{gs} = -7$ V, $V_{ds} = 30$ V et $T_c = 125$ °C	1 h	3	Recuit

Tableau 5.2-1 : Conditions des tests HTRB pour l'étude de la dérive de la puissance de sortie sur les différentes variantes technologiques

Les résultats pour les différentes hauteurs de pied de grille sont reportés Figure 5.2-1.

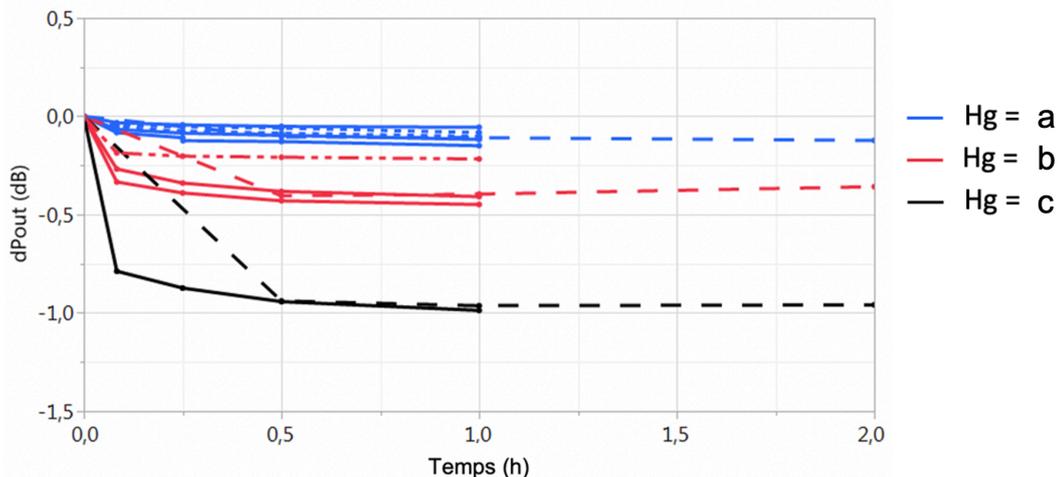


Figure 5.2-1 : Dérive de la puissance de sortie au cours d'un essai HTRB ($V_{gs} = -7$ V et $V_{ds} = 30$ V) à 125 °C pour des transistors avec une hauteur de pied de grille de 30 nm en bleu (A), 50 nm en rouge (B) et 140 nm en noir (C) issus de différents wafers (pointillé et trait continu)

Comme on peut le constater, plus la hauteur du pied de grille est réduite, plus la dérive de puissance de sortie diminue. Pour la hauteur de nitrure la plus faible (a), quasiment aucune dérive n'est observée sur les transistors issus de deux wafers tandis qu'une dérive de 1 dB est atteinte après 30 minutes pour les transistors présentant la hauteur de nitrure la plus importante (c). Le pic de champ électrique au pied de la grille étant réduit pour des hauteurs de pied de grille faibles, il est probable que les pièges localisés au pied de la grille soient moins sollicités, minimisant la chute de courant de drain, et donc le lissage du coude de la caractéristique de sortie. De plus, le pic de champ à l'aplomb

de la tête de grille côté drain ne semble pas avoir d'impact sur la dérive de la puissance de sortie, confirmant que le phénomène de lissage du coude est dû à des pièges se situant au pied de la grille côté drain uniquement.

Les résultats pour le module de grille en iridium sont reportés Figure 5.2-2. La hauteur du pied de grille pour cette variante est la plus importante (c). Les résultats sont donc à comparer avec ceux présentés au cours du chapitre 3. La Figure 5.2-2 montre que la dérive de la puissance pour les composants à grille iridium est plus faible que celle observée pour des composants à grille standard. Ces résultats semblent confirmer la réduction de la contrainte mécanique à l'interface entre la diode Schottky et le semi-conducteur et donc la réduction du champ électrique dans la structure du composant. Cette réduction reste moindre en comparaison à la réduction induite par la diminution de la hauteur du pied de grille.

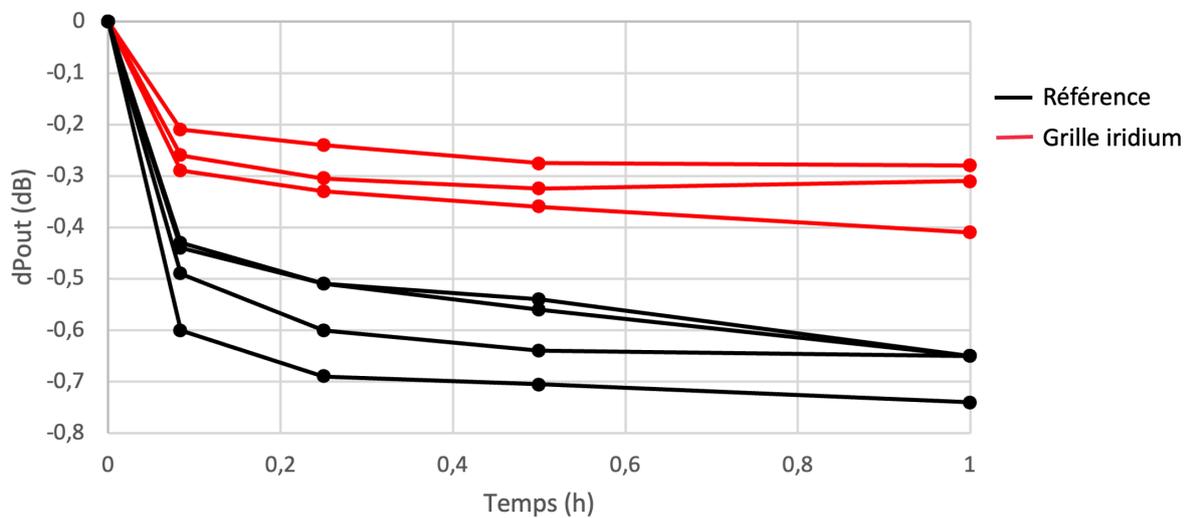


Figure 5.2-2 : Dérive de la puissance de sortie calculée au cours d'un test HTRB ($V_{gs} = -7$ V et $V_{ds} = 30$ V) à 125 °C pour 4 transistors de référence (en noir) et 3 transistors avec une grille en iridium (en rouge)

Les résultats concernant les composants ayant subi un recuit de grille à 800 °C sont reportés Figure 5.2-3. Pour rappel, pour ces transistors la hauteur du pied de grille est la plus faible (a). Ainsi, il est nécessaire de comparer ces résultats à ceux obtenus pour des composants avec une hauteur de pied de grille identique et un recuit standard. La Figure 5.2-3 montre que la dérive de la puissance pour les composants avec un recuit de grille à 800 °C est plus importante que celle observée pour des composants avec un recuit de grille à 400 °C.

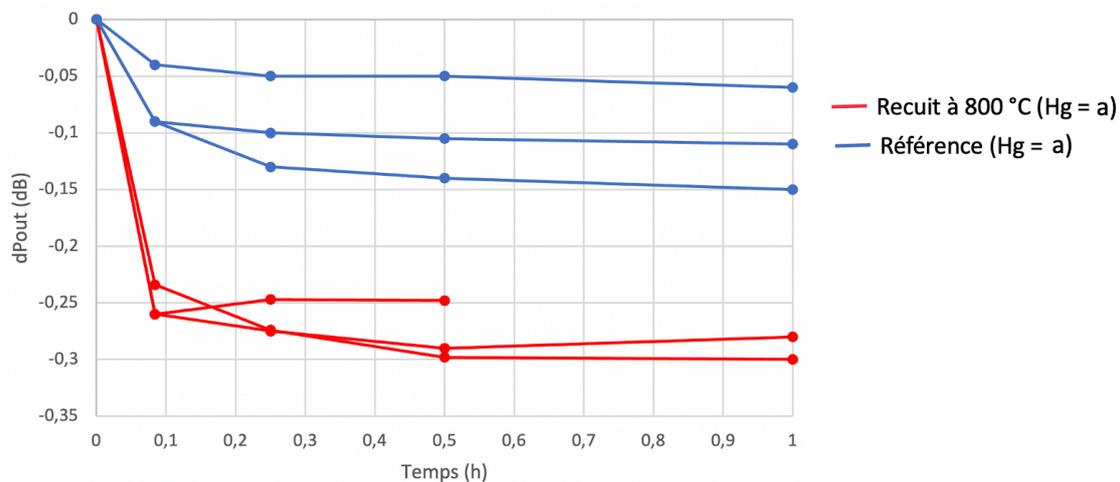


Figure 5.2-3 : Dérive de la puissance de sortie calculée au cours d'un test HTRB ($V_{gs} = -7$ V et $V_{ds} = 30$ V) à 125 °C pour 3 transistors avec un recuit de la tête de grille supérieur à 800 °C (en rouge) et 3 transistors de référence avec la hauteur de nitrure la plus petite, notée a (en bleu)

Cette partie a permis de démontrer que la réduction de la hauteur du pied de grille permet de diminuer considérablement la dérive de la puissance de sortie dû à la diminution du pic de champ électrique au pied de la grille côté drain. Les composants avec une grille iridium présente aussi une dérive moins importante que les composants standards. Cette diminution peut s'expliquer par la réduction de la contrainte mécanique à l'interface entre la diode Schottky et le semi-conducteur et donc la réduction du champ électrique dans la structure du composant. Pour finir, l'amplitude de la dérive est supérieure pour les transistors avec le recuit de grille à une température de 800 °C par rapport à ceux avec un recuit à 400 °C.

5.3. Impact sur la dérive de la tension de seuil et sur le phénomène d'épaulement sous-seuil

Les différentes dérives sous le seuil ont été étudiées pour l'ensemble des variantes présentées en début de chapitre. La grille en iridium et le recuit de grille supérieur à 800 °C qui visent à une meilleure stabilité du contact de grille, pourraient avoir un impact non négligeable sur le décalage de la tension de seuil et sur le phénomène d'épaulement sous le seuil. La hauteur du pied de grille est quant à elle définie par l'épaisseur de la couche de passivation. Nous avons vu dans le chapitre 4 que lors de tests de conduction de la diode en direct, les électrons se déplacent dans cette couche de passivation, à l'interface SiN/GaN cap. La réduction de l'épaisseur de nitrure accompagnée de la réduction du pic de champ électrique pourrait également influencer les caractéristiques de transfert des transistors. Ainsi, des tests de conduction de la diode ont été menés. Pour chacune des variantes technologies, un stress électrique pour un courant de grille de 45 mA/mm a été réalisé à température ambiante sur un ensemble de 3 composants. Pour les transistors avec la grille en iridium, un test HTOL a été réalisé afin de confirmer la stabilité de la tension de seuil présentée au cours de la partie 5.1.2.

Réf.	Conditions de vieillissement	Temps	Variantes	Nb de composants
A	$I_g = 45 \text{ mA/mm}$, Drain ouvert et $T_c = 25 \text{ °C}$	2 h	Hg = a	3
B	$V_{ds} = 20 \text{ V}$, $I_d = 200 \text{ mA/mm}$ et $T_c = 25 \text{ °C}$	1 h	Iridium	3
C	$I_g = 45 \text{ mA/mm}$, Drain ouvert et $T_c = 25 \text{ °C}$	2 h	Iridium	3
D	$I_g = 45 \text{ mA/mm}$, Drain ouvert et $T_c = 25 \text{ °C}$	24 h	Recuit	3

Tableau 5.3-1 : Conditions des tests pour l'étude du décalage positif de la tension de seuil et du phénomène d'épaulement sous le seuil sur les différentes variantes technologiques

Les résultats concernant les transistors avec une hauteur de pied de grille de 30 nm sont reportés Figure 5.3-1 et Figure 5.3-2. Comme représenté Figure 5.3-1, la dérive positive de la tension de seuil reste observable durant les premières heures de test à l'instar du phénomène d'épaulement sous le seuil. La Figure 5.3-2 représente l'évolution de la tension de grille pour un courant de 25 μA les variantes des hauteurs du pied de grille a et c. Quelle que soit l'épaisseur, 15 minutes sont nécessaires pour arriver à la saturation de la dérive de la tension de seuil. Cependant, le phénomène d'épaulement sous le seuil se déclenche plus rapidement lorsque l'épaisseur est réduite et son amplitude est plus importante.

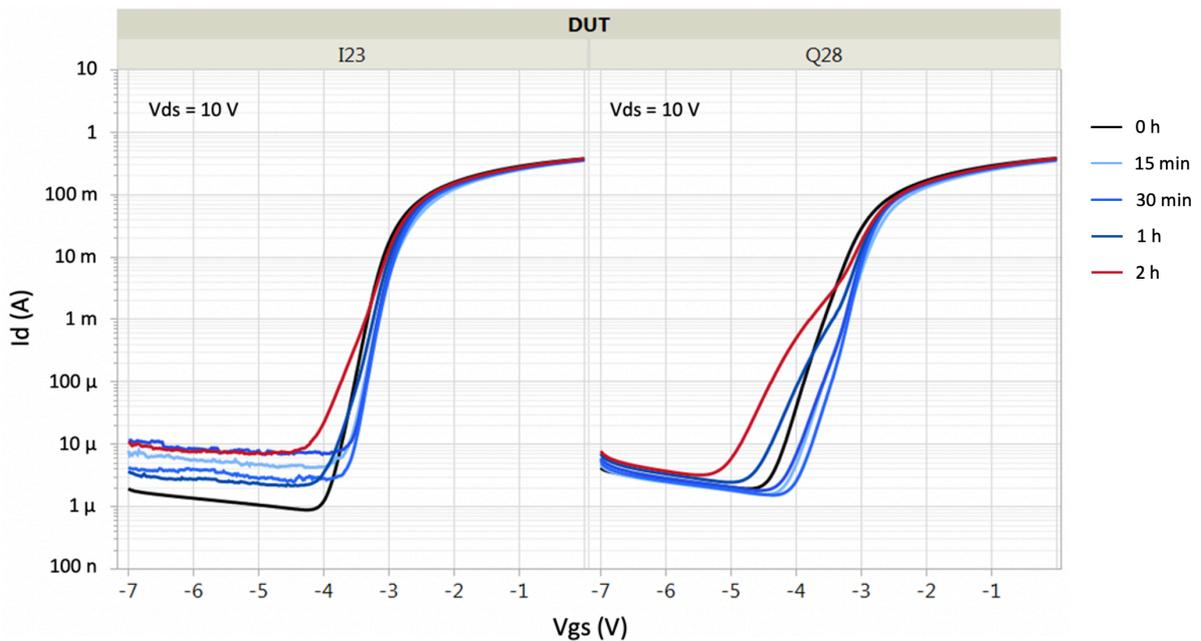


Figure 5.3-1 : Évolution de la caractéristique de transfert au cours d'un test de conduction de la diode pour des transistors avec une hauteur du pied de grille faible (a) ; mesure initiale en noir, après 15, 30 min et 1 h en dégradé de bleu et après 2 h en rouge

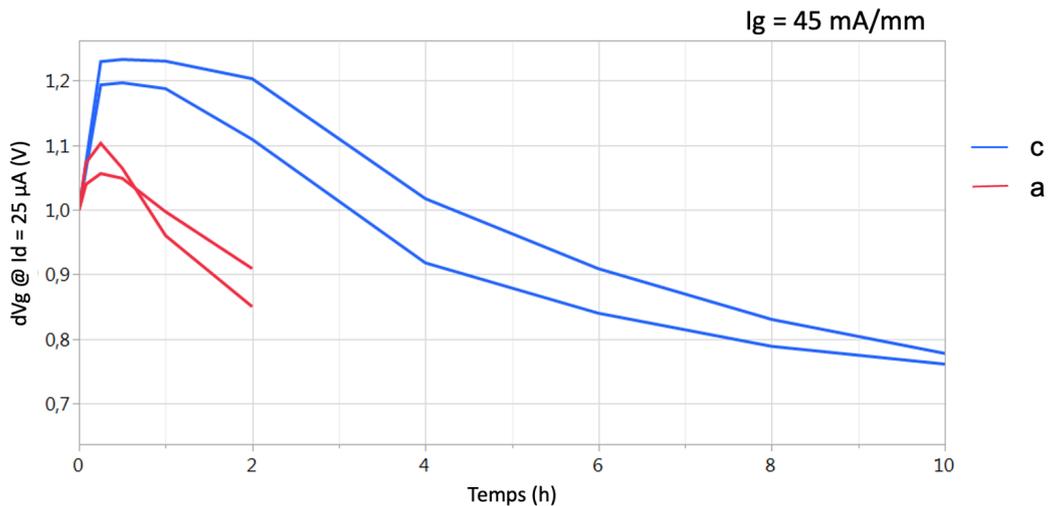


Figure 5.3-2 : Dérive de la tension de grille pour un courant de drain de 25 μA au cours d'un test de conduction de la diode en directe (à $I_g = 45 \text{ mA/mm}$) pour des transistors avec la hauteur du pied de grille la plus grande, notée c (en bleu) et la plus petite, notée a (en rouge)

En ce qui concerne les transistors à grille iridium, un test de type HTOL a été mené sur un ensemble de 4 composants afin de vérifier les résultats présentés précédemment. Le test a été mené à température ambiante pour une tension de drain de 20 V et un courant de drain de 200 mA/mm durant 1 heure. Les résultats obtenus sont présentés Figure 5.3-3. Alors que le même test effectué sur un transistor à grille standard montrait une dérive positive de la tension de seuil de 250 mV, le test effectué sur les transistors à grille iridium ne montre aucun décalage. Ainsi, le procédé utilisé pour la conception de la grille en iridium offre une meilleure stabilité de la tension de seuil en début de vie du composant.

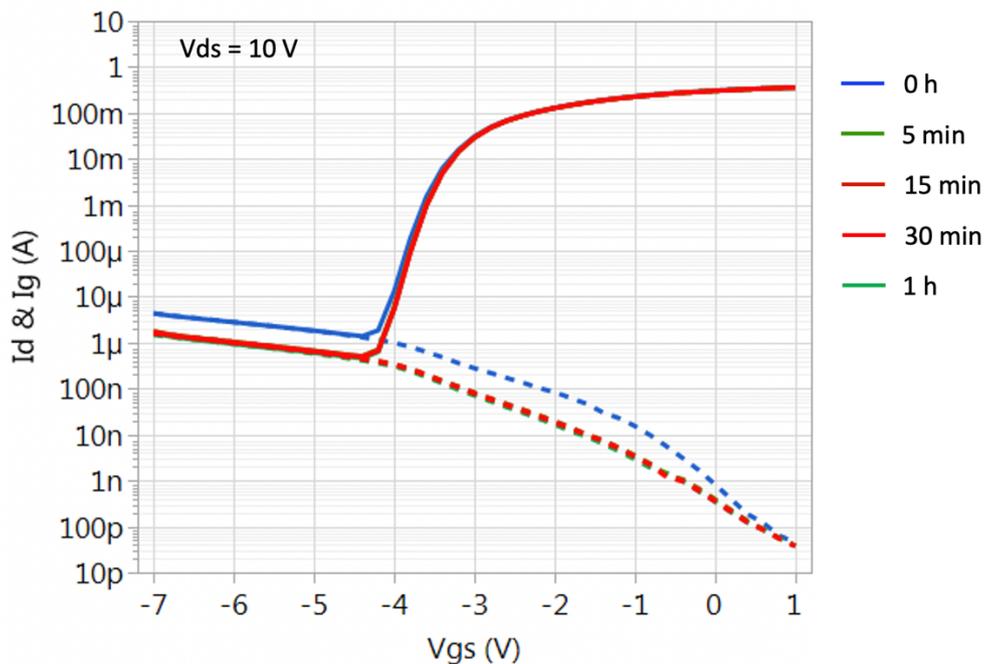


Figure 5.3-3 : Évolution de la caractéristique de transfert pour $V_{ds} = 10 \text{ V}$ au cours d'un test HTOL ($V_{ds} = 20 \text{ V}$ et $I_d = 200 \text{ mA/mm}$ à température ambiante) d'un total de 1 h ; Transistor avec grille iridium

Le test de conduction de la diode étant plus stressant vis-à-vis des mécanismes de la dérive positive de la tension de seuil et de l'épaulement sous le seuil, il a été effectué sur des composants avec une grille en iridium. Les résultats sont présentés Figure 5.3-4. A la différence des résultats obtenus à la suite du test HTOL, un décalage positif de la tension de seuil est observé après seulement 15 minutes de stress. Par la suite, après une heure de stress, l'épaulement sous-seuil est observable et son amplitude augmente avec le temps de stress.

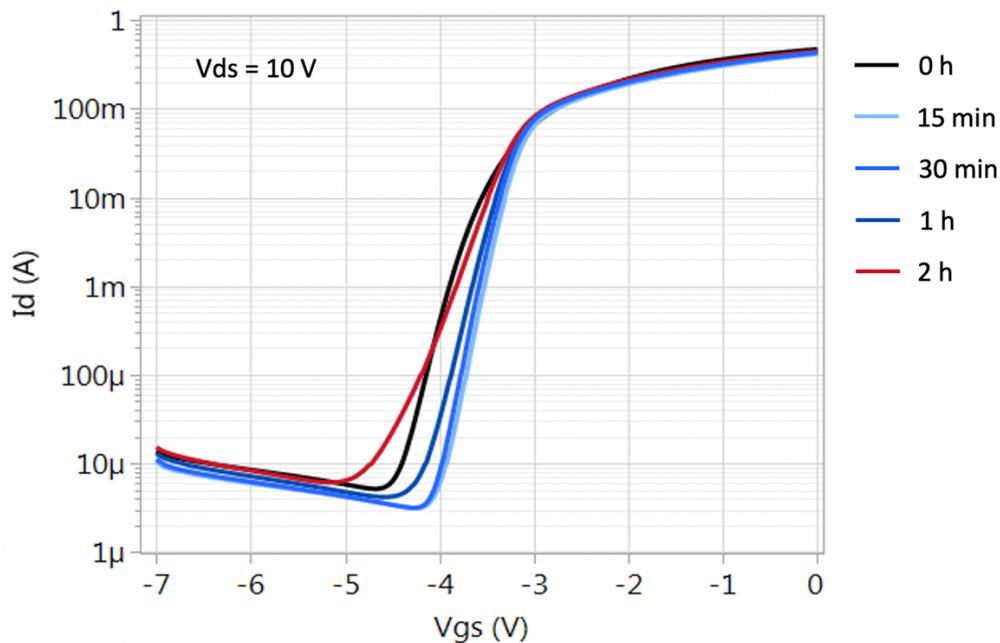


Figure 5.3-4 : Évolution de la caractéristique de transfert pour $V_{ds} = 10\text{ V}$ au cours d'un test de conduction de la diode (V_{ds} ouvert et $I_g = 45\text{ mA/mm}$ à température ambiante) d'un total de 1 h ; mesure initiale en noir, après 15 minutes en bleu ciel, après 30 minutes en bleu, après 1 heure en bleu foncé et après 2 heures en rouge ; Transistor avec grille iridium

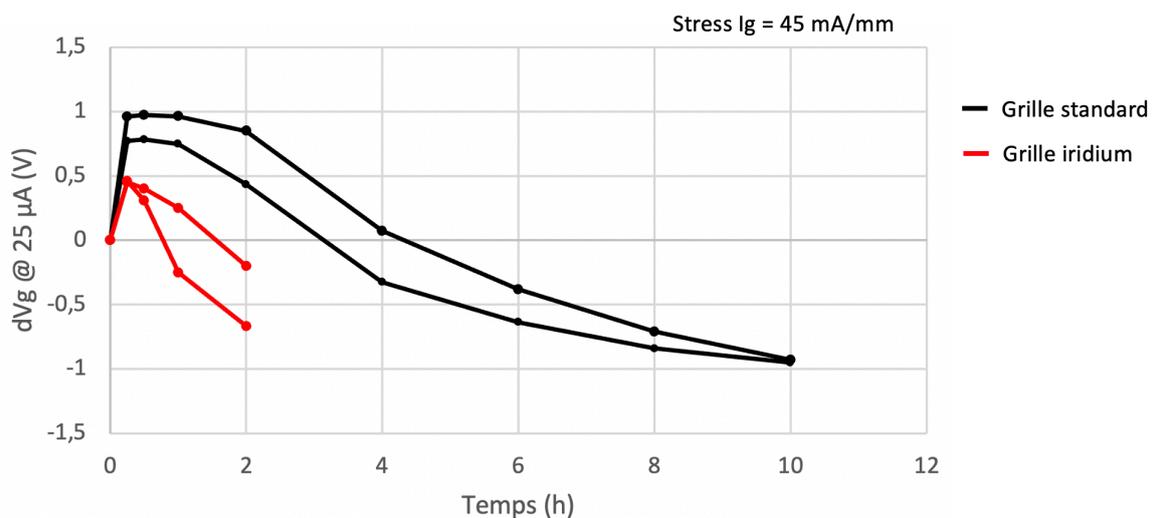


Figure 5.3-5 : Dérive de la tension de grille pour un courant de drain de $25\text{ }\mu\text{A}$ au cours d'un test de conduction de la diode en directe (à $I_g = 45\text{ mA/mm}$) pour des transistors avec une grille en iridium (en rouge) et des transistors avec une grille standard (en noir)

Enfin, les résultats après un test de conduction de la diode pour un transistor ayant subi un recuit de grille supérieur à $800\text{ }^\circ\text{C}$ sont reportés Figure 5.3-6. Nous n'observons aucune dérive de la

tension de seuil ni d'épaulement sous le seuil après 24 heures de test. Le recuit de la grille et de la couche de passivation permet de s'affranchir de ces deux dérives, démontrant une bonne stabilité du contact Schottky. Une diminution du courant de fuite se produit tout au long du test avec une diminution d'une décade après 24 heures. Celui-ci reste cependant supérieur d'une décade à celui des transistors ayant subi un recuit de grille supérieur à 300 °C. Cette option, malgré le courant de fuite en excès reste intéressante concernant les dérives observées sous le seuil.

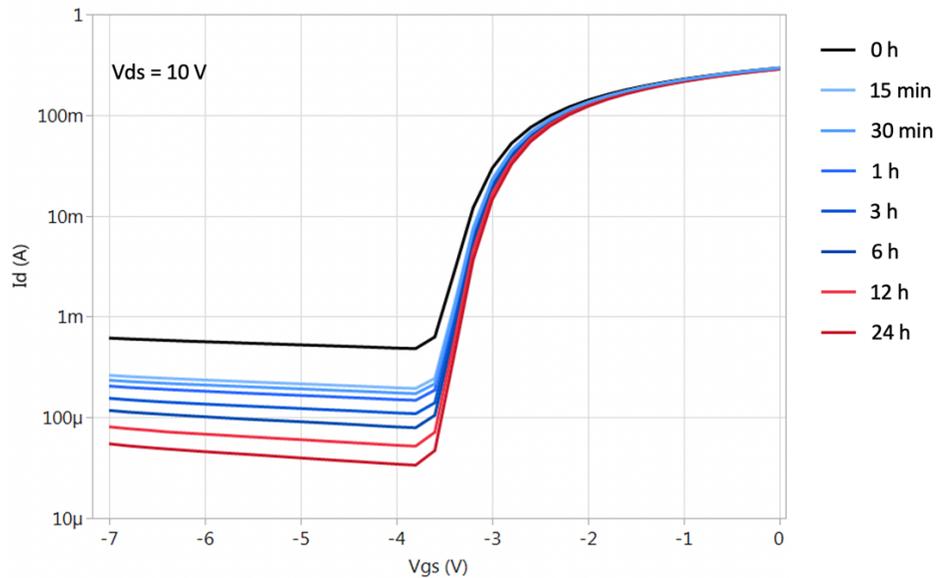


Figure 5.3-6 : Évolution de la caractéristique de transfert pour $V_{ds} = 10$ V pour un transistor ayant subi un recuit de grille à 800 °C au cours d'un test de conduction de la diode (V_{ds} ouvert et $I_g = 45$ mA/mm à température ambiante) d'une durée de 24 h

Cette partie a permis de démontrer que la réduction de la hauteur du pied de grille n'impacte pas la dérive de la tension de seuil. Le phénomène d'épaulement sous le seuil se déclenche cependant plus tôt et son amplitude est plus importante en comparaison aux transistors avec une hauteur de pied de grille standard. Malgré les bons résultats obtenus à la suite de tests HTOL, les transistors avec une grille iridium restent sensibles au décalage positif de la tension de seuil lors de la conduction de la diode grille-source. Comme pour la hauteur réduite du pied de grille, l'épaulement sous le seuil se déclenche plus rapidement pour des composants à grille en iridium en comparaison à des transistors à grille standard. Pour finir, une très bonne stabilité est observée pour les composants avec le recuit de la grille à une température supérieure à 800 °C. La dérive positive de la tension de seuil et l'épaulement sous le seuil ne sont pas observés après 24h de test de conduction de la diode. Cette variante présente cependant un courant de fuite bien supérieur aux composants standards. Ce dernier diminue au cours des tests de conduction de la diode et tend à se rapprocher du courant de fuite des composants standards.

5.4. Conclusion du chapitre

Au cours de ce dernier chapitre, différentes variantes technologiques ont été étudiées dans le but d'améliorer et de stabiliser la technologie GH15. L'impact de la hauteur du pied de grille a été étudié. Des simulations physiques ont pu mettre en avant la diminution du champ électrique au pied

de la grille côté drain avec la réduction de la hauteur du pied de grille mais aussi la présence d'un pic de champ à l'aplomb de la tête de grille pour les plus faibles hauteurs. Ce dernier devient plus important que celui à l'aplomb de la grille pour la hauteur la plus petite. La réduction du pic de champ électrique à l'aplomb de la grille par le biais de la réduction de la hauteur du pied de grille permet la réduction des effets de lag menant à une augmentation de la puissance de sortie disponible.

Les tests de type HTRB ont permis de confirmer l'influence du champ électrique au regard de la dérive de la puissance étudiée au cours du chapitre 3, plus particulièrement le pic à l'aplomb de la grille côté drain. En effet, l'amplitude du phénomène de lissage du coude est réduite avec la hauteur du pied de grille et donc le pic de champ à l'aplomb de la grille. Les tests avec conduction de la diode démontrent que la hauteur du pied de grille n'impacte pas la dérive de la tension de seuil ou le phénomène d'épaulement sous le seuil.

Des transistors avec une grille à base d'iridium ont pu être testés. Des premières mesures et tests ont permis de mettre en avant une meilleure stabilité de la grille au cours d'essai de vieillissement ainsi qu'une réduction du courant de fuite en comparaison à des transistors avec une grille effectuée par le biais d'évaporation de platine. Des essais de type HTOL réalisés au sein d'UMS ont confirmé la stabilité de la tension de seuil des composants avec grille à base d'iridium. Malgré la bonne stabilité de la tension de seuil mise en avant au cours d'essais HTOL, une dérive positive est observée après 15 minutes de conduction de la diode grille-source. L'épaulement sous seuil, quant à lui, se déclenche après 1 heure de test à un courant de grille de 45 mA/mm. En comparaison à des transistors avec une grille platine, la dérive positive de la tension de seuil se produit durant les 5 premières minutes tandis qu'il faut 1 heure de test afin de déclencher l'épaulement sous le seuil. Après des tests HTRB, une diminution de la puissance de sortie est observée. La dérive de la puissance de sortie est plus faible pour les transistors avec grille à base d'iridium, aux alentours de -0,3 dB contre -0,7 dB dans les mêmes conditions pour des transistors standards. La grille iridium serait potentiellement moins stressante pour la barrière AlGaN en comparaison à une grille avec une couche de platine réduisant de ce fait la contrainte mécanique et donc la polarisation piézoélectrique dans la barrière. La diminution du champ électrique induite serait responsable de la diminution du courant de fuite et de la diminution du phénomène de lissage du coude.

Des transistors ayant subis un recuit de grille plus important que celui employé au cours du procédé de fabrication de la technologie ont été testés. La première partie de l'étude s'est concentrée sur l'impact du recuit de grille sur le phénomène de lissage du coude. Ces transistors ayant une hauteur du pied de grille faible (a), ils démontrent une perte de la puissance supérieure aux transistors avec la même hauteur du pied de grille et le recuit standard de la technologie. Le test de conduction de la diode a été mené sur un ensemble de composant afin d'étudier la stabilité de la grille face aux différents phénomènes observables sous le seuil. La seule dérive observée après 24 heures de vieillissement est la diminution du courant de fuite. Un recuit à plus haute température permet donc d'obtenir une meilleure stabilité de la grille cependant, le courant de fuite grille-drain mesuré est bien supérieur, de l'ordre de 2 décades.

Références du chapitre 5

- [1] J. Moreke, M. Tapajna, M. J. Uren, Y. Pei, U. K. Mishra and M. Kuball, "Effects of gate shaping and consequent process changes on AlGa_N/Ga_N HEMT reliability", *Physica Status Solidi A*, 2012, pp. 1-7.
- [2] S. Karmikar and U. K. Mishra, "Enhancement of breakdown voltage in AlGa_N/Ga_N high electron mobility transistors using a field plate", *IEEE Transactions on Electron Devices*, Vol. 48, No. 8, 2001, pp. 1515-1521.
- [3] H. Huang, Y. C. Liang, G. S. Samudra, T. F. Chang and C. F. Huang, "Effects of Gate Field Plates on the Surface State Related Current Collapse in AlGa_N/Ga_N HEMTs", *IEEE Transactions on Power Electronics*, Vol. 29, No. 5, 2014, pp. 2164-2173.
- [4] R. Lossy, H. Blanck and J. Würfl, "Reliability studies on Ga_N HEMTs with sputtered Iridium gate module", *Microelectronics Reliability*, Vol. 52, No. 9-10, 2012, pp. 2144-2148.
- [5] R. Lossy, H. Blanck and J. Würfl, "Sputtered Iridium Gate Module for Ga_N HEMT with Stress Engineering and High Reliability", *CS MANTECH Conference*, Denver, Colorado, USA, 2014, pp. 193-196.
- [6] K. Y. Osipov, R. Lossy, P. Kurpas, S. A. Chevtchenko, I. Ostermay, J. Würfl and G. Tränkle, "Iridium Plug Technology for AlGa_N/Ga_N HEMT Short-Gate Fabrication", *CS MANTECH Conference*, Indian Wells, CA, USA, 2017, pp. 12.4.
- [7] H. Jung, R. Behtash, J. R. Thorpe, K. Riepe, F. Bourgeois, H. Blanck, A. Chuvilin and U. Kaiser, "Reliability behavior of Ga_N HEMTs related to Au diffusion at the Schottky interface", *Phys. Stat. Sol.*, Vol. 6, No. 22, 2009, pp. S976-S979.
- [8] J. Lee, D. Liu, H. Kim and W. Lu, "Post-annealing effects on device performance of AlGa_N/Ga_N HFETs", *Solid-State Electronics*, Vol. 48, 2004, pp. 1855-1859.
- [9] H. Kim, J. Lee, D. Liu and W. Lu, "Gate current leakage and breakdown mechanism in unpassivated AlGa_N/Ga_N high electron mobility transistors by post-gate annealing", *Applied Physics Letters*, Vol. 86, No. 14, 2005 pp. 143505-1-143505-3.
- [10] H. Kim, J. Lee and W. Lu, "Post-annealing effects on trapping behaviors in AlGa_N/Ga_N HEMTs", *Phys. Stat. Sol.*, Vol. 202, No. 5, 2005, pp. 841-845.
- [11] H. Kim, J. Lee and W. Lu, "Trap Behavior in AlGa_N/Ga_N HEMTs By Post-Gate-Annealing", *International Journal of High Speed Electronics and Systems*, Vol. 14, No. 3, 2004, pp. 769-774.
- [12] T. Nanjo, N. Miura, T. Oishi, M. Suita, Y. Abe, T. Ozeki, S. Nakatsuka, A. Inoue, T. Ishikawa, Y. Matsuda, H. Ishikawa and T. Egawa, "Improvement of DC and RF Characteristics of AlGa_N/Ga_N

High Electron Mobility Transistors by Thermally Annealed Ni/Pt/Au Schottky Gate", Japanese Journal of Applied Physics, Vol. 43, No. 4S, 2004, pp. 1925-1929.

[13]L. Li, "Evaluation of Gate-First Process for AlGaN/GaN Heterostructure Field-Effects Transistors", Japanese Journal of Applied Physics, Vol. 52, No. 11S, 2013, pp. 11NH01-1-11NH01-5.

Conclusion générale

Au cours de cette thèse, un état de l'art a été effectué sur les technologies HEMTs à base de nitrure de gallium concernant les pièges, les mécanismes de dégradation ainsi que les effets parasites. La technologie GH15 a été présentée en détail au travers de ses performances. L'étude sur les chemins des courants de fuite de la technologie a montré la prédominance des fuites entre grille et drain et grille et source. L'analyse des résultats d'essais de fiabilité sur des composants de la technologie GH15 a mis en avant trois effets parasites. Ils ont pour caractéristique de se produire au cours des premières heures des essais de vieillissement accéléré. Ces travaux de thèse ont contribué à la compréhension de ces effets parasites de fonctionnement.

Dans un premier temps, le phénomène de lissage du coude a été étudié. Il se manifeste sur la caractéristique de sortie du transistor par une diminution du courant de drain entre la zone ohmique et la zone saturée, induisant une diminution de la puissance de sortie d'environ 0,5 dB au cours des premières heures de vieillissement accéléré. Le phénomène a été étudié en fonction de la température et de la tension grille-drain de stress. Nous avons démontré que le phénomène se produit au cours des 15 premières minutes de stress indépendamment des conditions de polarisation appliquées ; cependant, la dérive de la puissance de sortie augmente avec la température et la valeur de la tension grille-drain appliquée durant le test. Des simulations physiques réalisées sur les technologies GH15 et GH50 ont permis de désigner le pic de champ électrique, localisé au pied de la grille côté drain comme responsable de la dégradation de la puissance de sortie. Les pièges responsables de ce phénomène ont été localisés à l'aplomb de la grille côté drain que ce soit dans la barrière AlGa_N ou dans le buffer GaN. Nous avons supposé qu'au cours d'un stress électrique en condition pincée, le pic de champ électrique situé à l'aplomb de la grille, côté drain, mène à une dégradation de la barrière AlGa_N qui se traduit par une augmentation de la densité de pièges profonds de type accepteur. En régime sous le seuil, des électrons vont être injectés de la grille dans la barrière AlGa_N par effet tunnel ce qui contribue à une augmentation du nombre d'électrons piégés dans la barrière. La présence de ces électrons dans la couche barrière engendre une charge négative et donc une diminution du courant de drain.

Dans un second temps, deux phénomènes qui se produisent sous le seuil ont été étudiés : le décalage positif de la tension de seuil et l'épaulement sous le seuil. Les deux phénomènes ont été étudiés en fonction de la polarisation de stress à température ambiante. La dérive de la tension de seuil est observée en fonctionnement à canal ouvert, semi-ouvert et lors des tests de conduction de la diode grille-drain ou grille-source. Par contre, le phénomène d'épaulement sous le seuil ne se déclenche qu'au cours des tests de conduction de la diode grille-drain ou grille-source. Il a été démontré que le temps pour lequel la dérive positive de la tension de seuil est maximale est plus court lors de tests HTOL qu'à la suite de tests en mode on-state. A la suite de tests de conduction de la diode, les deux phénomènes se déclenchent plus rapidement pour une conduction de la diode grille-drain et/ou une augmentation de la densité de courant en direct plus élevée. Nous avons aussi observé que le décalage positif de la tension de seuil est récupérable après un temps de repos sans stress à

température ambiante. Les deux phénomènes ont été attribués à des défauts situés au pied de la grille et/ou dans les zones d'accès en surface du composant dans la passivation SiN. Les mesures C(V) ont permis de confirmer le décalage positif de la tension de seuil et une perte de contrôle du canal du composant suite au déclenchement de la diode grille-source dû à des effets de charge. Grâce à la caractérisation EMMI, il a été démontré que le phénomène d'épaulement sous le seuil est dû à un défaut global dans le transistor. Nous avons supposé que des pièges en surface de la passivation sont responsables de la dérive positive de la tension de seuil par effet de grille virtuelle. Concernant l'épaulement sous le seuil, une dégradation du pied de la grille due au courant de grille positif entraîne la diminution locale de la zone de déplétion menant à une augmentation du courant dans le canal sous le seuil.

Pour finir, différentes variantes technologiques ont été testées afin d'évaluer leurs impacts sur les performances et sur les effets parasites étudiés. Les trois variantes testées concernaient une réduction de la hauteur du pied de grille, un changement du métal de grille et une augmentation de la température de recuit de la grille. Des simulations physiques ont pu mettre en avant la diminution du champ électrique au pied de la grille côté drain avec la réduction de la hauteur du pied de grille. La réduction du pic de champ électrique à l'aplomb de la grille côté drain permet la réduction des effets de « lag » menant à une augmentation de la puissance de sortie disponible. Nous avons démontré que l'amplitude du phénomène de lissage du coude est réduite avec la réduction de la hauteur du pied de grille tandis que les tests de conduction de la diode démontrent que la hauteur du pied de grille n'impacte pas la dérive de la tension de seuil ou le phénomène d'épaulement sous le seuil. Pour les transistors avec une grille à base d'iridium, les premières mesures et tests de vieillissement ont permis de mettre en avant une meilleure stabilité de la grille au cours d'essais de vieillissement ainsi qu'une réduction du courant de fuite par rapport à des transistors avec une grille déposée par évaporation de platine. Malgré la bonne stabilité de la tension de seuil mise en avant au cours d'essais HTOL, une dérive positive est observée après 15 minutes de conduction de la diode grille-source et l'épaulement sous le seuil se déclenche après une heure de test à un courant de grille de 45 mA/mm pour ces transistors à grille en iridium. De plus, une diminution de la puissance de sortie est observée. La dérive de la puissance de sortie est plus faible pour les transistors avec grille à base d'iridium que pour des transistors de référence. Nous supposons que la grille iridium créerait, dans la barrière AlGaIn, une contrainte mécanique plus faible que la grille avec une couche de platine réduisant de ce fait la polarisation piézoélectrique dans la barrière.

Enfin, les transistors ayant subi un recuit de grille plus important, avec une hauteur du pied de grille de 30 nm, présentent un courant de fuite supérieur de 2 décades aux transistors de référence. Concernant le phénomène de lissage du coude, une perte de puissance supérieure est observée par rapport aux transistors avec une hauteur du pied de grille de 30 nm et le recuit standard de la technologie. Après des tests de conduction de la diode, nous n'avons observé ni le décalage de la tension de seuil ni le phénomène d'épaulement sous le seuil pour cette variante. Le recuit à plus haute température permet donc d'obtenir une meilleure stabilité de la grille malgré un courant de fuite bien

supérieur. Cependant, une diminution du courant de fuite se produit au cours des tests de conduction de la diode, la valeur se rapprochant de celle obtenue avec la topologie de référence.

En perspective, il serait intéressant de poursuivre l'étude du phénomène de lissage du coude avec des mesures de transitoire de courant pour des points de polarisation situés dans la zone de coude de la caractéristique de sortie. En effet, le phénomène de lissage du coude responsable de la dérive de la puissance de sortie impacte uniquement la zone de transition entre les régimes, ohmique et saturé de la caractéristique de sortie pour une tension grille-source supérieure ou égale à 0 V. Des mesures de transitoires de courant dans cette zone avant et après stress électrique pourraient permettre d'identifier l'apparition ou l'évolution des pièges responsables du phénomène. Ces résultats permettraient de compléter l'étude et de localiser plus précisément dans la structure du composant les pièges responsables du phénomène, supposés se trouver dans la barrière AlGa_N au pied de la grille côté drain. Concernant l'épaulement sous le seuil, il a été démontré grâce aux mesures EMMI que le phénomène est causé par un défaut global dans le composant. Une coupe pourrait être envisagée sur des composants présentant l'épaulement sous le seuil afin d'obtenir une image ainsi qu'une localisation précise du défaut, supposé se situer au pied de la grille. Malgré un courant de fuite en excès, l'augmentation de la température de recuit de la grille mène à une meilleure stabilité du contact Schottky. Poursuivre l'étude de cette variante technologique permettrait de s'affranchir du décalage positif de la tension de seuil et du phénomène d'épaulement sous le seuil. A l'image de la diminution de la hauteur du pied de grille, la gestion du champ électrique au travers du dessin de la grille mène à la diminution, voir la suppression, du phénomène de lissage du coude. Des mesures supplémentaires sont nécessaires pour analyser l'impact de cette variante technologique avant de pouvoir implémenter cette solution à la technologie GH15. Une analyse complète sur le procédé de fabrication de la grille serait d'un intérêt non négligeable pour l'amélioration de la technologie en termes de performances et de fiabilité.

Publications relatives à ces travaux

- [1] F. Magnier, C. Chang, B. Lambert, A. Curutchet, N. Labat and N. Malbert, "Méthodologie d'extraction de la puissance de sortie au cours de vieillissements accélérés à partir de mesures I-V pulsées", Journées Nationales Microondes 2019, May 2019, Caen, France.
- [2] F. Magnier, B. Lambert, C. Chang, A. Curutchet, N. Labat and N. Malbert, "Investigation of trap induced power drift on 0.15 μm GaN technology after aging tests", Microelectronics Reliability, Vol. 100-101, 2019, pp. 100-101.

Titre : Étude de la fiabilité des filières 0.15 μm GaN sur SiC - Caractérisation et analyse des effets parasites et des mécanismes de dégradation

Résumé : Ces travaux de thèse s'inscrivent directement dans le cadre du développement de la technologie GaN d'UMS nommée GH15. Le premier chapitre présente le fonctionnement et l'architecture des HEMTs GaN ainsi que leurs effets parasites et leurs mécanismes de dégradation. Le second chapitre se focalise sur la technologie GH15 d'UMS. Une campagne de mesure a été menée afin de caractériser les performances des transistors et les chemins des courants de fuite de la technologie. L'étude de leur fiabilité est présentée et les résultats des essais de vieillissement mettent en avant trois effets parasites. Le troisième et le quatrième chapitre ont pour objet l'étude de ces effets parasites observés sur la technologie GH15. Après la description de chaque effet parasite, une caractérisation approfondie est menée afin d'aider à leur compréhension. Le dernier chapitre traite de l'impact des paramètres technologiques sur les performances des HEMTs de la technologie GH15. Après avoir présenté les différentes variantes technologiques, leurs effets sur les caractéristiques électriques, les effets parasites et la fiabilité sont analysés.

Mots clés : Mécanismes de dégradation, nitrure de gallium, technologies millimétriques

Title : Reliability study of 0.15 μm GaN technology on SiC - Electrical characterization and analysis of parasitic effects and failure mechanisms

Abstract : This work is directly related to the development of the UMS GaN technology named GH15. The first chapter presents the operation and architecture of GaN HEMTs as well as their parasitic effects and their degradation mechanisms. The second chapter focuses on the UMS technology GH15. A measurement campaign was conducted to characterize the performances of the transistors and the leakage current paths of the technology. The study of their reliability is presented and the results of aging tests highlight three parasitic effects. The third and fourth chapters are dedicated to the study of these parasitic effects observed on the GH15 technology. After the description of each parasitic effect, an in-depth characterization is carried out in order to help in their understanding. The last chapter deals with the impact of technological parameters on the performance of HEMTs of GH15 technology. After presenting the different technological variants, their impact on the electrical characteristics, the parasitic effects, and the reliability are analyzed.

Keywords : Failure mechanism, gallium nitride, millimeter waves
