



HAL
open science

Banque de filtres passe-bande à oscillateurs verrouillés par injection pour application à la décomposition spectrale, dans un contexte de détection de réveilsur évènement ultra-faible consommation

Nicolas Goux

► **To cite this version:**

Nicolas Goux. Banque de filtres passe-bande à oscillateurs verrouillés par injection pour application à la décomposition spectrale, dans un contexte de détection de réveilsur évènement ultra-faible consommation. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes [2020-..], 2021. Français. NNT : 2021GRALT034 . tel-03347085

HAL Id: tel-03347085

<https://theses.hal.science/tel-03347085>

Submitted on 16 Sep 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE GRENOBLE ALPES

Spécialité : **Nano Électronique, Nano Technologies**

Arrêté ministériel : 25 mai 2016

Présentée par

Nicolas GOUX

Thèse dirigée par **Franck Badets, Docteur, HDR, CEA
Grenoble**

préparée au sein du **Laboratoire de Gestion d'Énergie,
Capteurs et Actionneurs – LGECA, CEA Grenoble**
dans l'**École Doctorale d'Électronique, Électrotechnique,
Automatique et Traitement du Signal - EEATS**

**Banque de filtres passe-bande à
oscillateurs verrouillés par injection pour
application à la décomposition spectrale,
dans un contexte de détection de réveil
sur évènement ultra-faible consommation**

Thèse soutenue publiquement le **19 Mai 2021**, devant le jury
constitué de :

Sylvain BOURDEL

Professeur, Grenoble - INP Phelma, Président

Yann DEVAL

Professeur, ENSEIRB-MATHMECA, Rapporteur

Hervé BARTHÉLÉMY

Professeur, Université de Toulon, Rapporteur

Dominique MORCHE

HDR, CEA – Grenoble, Examineur

Jérôme JUILLARD

Professeur, Centrale – Supélec, Examineur



Remerciements

Ce manuscrit présente mon travail de thèse accompli au laboratoire de gestion d'énergie, capteurs et actionneurs du CEA – LETI, situé à Grenoble, réalisé entre octobre 2017 et octobre 2020. Il a permis la réalisation de deux circuits microélectroniques, donnant lieu à des démonstrations expérimentales, ainsi que plusieurs publications. Je tiens à remercier toutes les personnes m'ayant aidé à mener ce travail à bien, en particulier :

Madame Stéphanie Robinet, cheffe du laboratoire de gestion d'énergie, capteurs et actionneurs, pour son accueil au sein de l'équipe.

Le Docteur Franck Badets, ayant dirigé ce doctorat, pour son encadrement scientifique et ses conseils ayant permis la réalisation de ce travail.

Le Docteur Gaël Pillonnet, responsable scientifique du laboratoire, pour ses relectures avisées et ses conseils précieux, m'ayant aiguillé pour la production de publications scientifiques.

Les Docteurs Frédéric Rothan et Yasser Moursy, pour leurs indications indispensables m'ayant permises de mener à bien la réalisation d'un prototype de circuit en technologie avancée 22nm FDX.

Messieurs Pierre Courouve et David Lacharte pour leur aide précieuse lors de la phase de test des circuits réalisés pendant ce doctorat, ainsi que pour leur sympathie et le temps qu'il m'ont accordé.

M. Renaud Mourot, pour toutes les vérifications, des plus minutieuses, apportées lors de la réalisation de cartes de tests, ainsi que pour sa gentillesse et sa disponibilité.

Tous mes collègues et amis avec qui j'ai pu partager de nombreux bons moments, en particulier Houssein, Jean-Baptiste, Loïck, Carlos, Mathieu, Roman, Valentin, Guillaume, Dominique, Gwen, Loïck, Adrien...

Ma compagne, Anaïs, qui m'a accompagné pendant ces trois ans, à qui j'adresse toute ma tendresse.

Glossaire

BVP : boucle à verrouillage de phase

CAI : Conversion Analogique vers Information

CAN : convertisseur analogique numérique

Cdr : Capteur de Réveil

CMOS : *Complementary Metal Oxide Semiconductor*, technologie de fabrication en microélectronique

DARPA : *Defense Advanced Research Projects Agency*, agence américaine pour les projets de recherche avancée de la défense.

DAV : Détection d'Activité Vocale

FDSOI : *Fully Depleted Silicon On Insulator*, technologie de fabrication en microélectronique

GlobalFoundries : fabricant n°2 mondial de composants microélectroniques (ancien fondeur d'AMD)

MLI : modulation de largeur d'impulsion

N-ZERO : Programme de recherche de la DARPA sur les systèmes électroniques ultra-faible consommation

OCT : Oscillateur Contrôlé en Tension

OVI : Oscillateur Verrouillé par Injection

RF : Radiofréquence

RSB : rapport signal sur bruit

SOI : Silicon on Insulator

SPICE : *Simulation Program with Integrated Circuit Emphasis*, programme de simulation de circuits électroniques analogiques

THD : *Total Harmonic Distortion*, taux de distorsion harmonique total

TSMC : *Taiwan Semiconductor Manufacturing Company*, fabricant n°1 mondial de composants microélectroniques

UGE : unité de gestion d'énergie

Ultra-faible consommation : notion de consommation très faible par rapport à la fonction réalisée.

Varactor : capacité variable contrôlée en tension

Table des matières

Remerciements	3
Glossaire	3
Table des matières	5
Introduction	11
Chapitre 1 : Etat de l'art sur les capteurs de réveil sur évènement	19
1. Capteurs de réveil sur évènement ultra-faible consommation	21
1.1. Capteur de réveil sur évènement utilisant un comparateur	22
1.2. Interface de capteur de réveil sur évènement à extraction de caractéristiques du signal d'entrée	24
1.2.1. Signature spectrale d'un signal	24
1.2.2. Cas d'évènements en entrée d'une bande passante de quelques centaines de Hz : décomposition spectrale numérique	26
1.2.3. Cas d'un signal en entrée d'une bande passante de plusieurs kHz : décomposition spectrale par une banque de filtres	28
1.2.4. Architecture alternative : extraction de la signature spectrale avec une approche radiofréquence	30
1.2.5. Figure de mérite et état de l'art sur les capteurs de réveil à extracteurs de caractéristiques	31
1.3. Conclusions sur les différentes méthodes de réveil	32
2. Implémentation de circuits ultra-faible consommation par la méthode de l'électronique dans le domaine temporel	33
2.1. Limites de l'électronique analogique classique pour une implémentation à faible consommation	33
2.1.1. Contraintes apportées par le bruit thermique des transistors	33
2.1.2. Réduction de la dynamique d'encodage des signaux et surcoût énergétique à niveau de bruit constant [37]	34
2.1.3. Solution pour une conception à faible tension d'alimentation : les circuits temporels ?	36
2.2. Bases de l'électronique dans le domaine temporel	37
2.2.1. Signal du domaine temporel	37
2.2.2. Méthodes d'encodage dans le domaine temporel	38
2.3. Principe de fonctionnement d'un OCT	41

2.4.	Implémentations électroniques d'un OCT	42
2.4.1	OCT harmonique.....	42
2.4.2	OCT non-harmonique.....	43
2.5.	Propriétés dynamiques de l'OCT	44
2.6.	Convertisseurs analogique-numérique utilisant des OCT	45
2.7.	Filtres dans le domaine des phases utilisant des OCT	48
2.7.1.	Filtre du premier ordre	49
2.7.2.	Filtres d'ordre 2.....	50
2.8.	Conclusions sur les architectures à OCT.....	51
3.	Systèmes électroniques utilisant une méthode d'encodage temporelle implémentée à l'aide d'OVI.	52
3.1.	Généralités	52
3.1.1.	Définitions.....	52
3.1.2.	Exemple d'implémentation d'un OVI harmonique	53
3.1.3.	Modélisation du comportement dynamique d'un OVI harmonique, suivant un mode d'injection harmonique	54
3.1.4.	Fonction de transfert en bruit d'un OVI	55
3.2.	Exemples d'utilisation d'OVI en électronique	56
3.2.1.	Utilisation d'OVI à injection sous-harmonique et superharmonique dans les applications radiofréquences.....	56
3.2.2.	Utilisation d'OVI comme déphaseur contrôlé en tension (injection harmonique).....	57
3.3.	Interfaces capteurs utilisant des OVI pour une application haute température.....	58
3.4.	Conclusions, axes de recherche et positionnement.....	59

Chapitre 2 : Oscillateurs verrouillés par injection à relaxation ultra-faible consommation 61

1.OVI à relaxation injectés par des sources de courant commutées	63
1.1. Oscillateur à relaxation	64
1.2. Verrouillage de l'oscillateur par des sources de courant commutées	65
1.2.1. Schéma et verrouillage de l'OVI.....	65
1.2.2. Déphasage entre V_{LOCK} et V_{OUT}	67
1.2.3. Paramètres de contrôle du déphasage.....	68
1.3. Réduction de la consommation d'un OVI injecté par des sources de courant commutées	69
1.3.1. Architecture et conception dans un nœud technologique 22nm FDSOI pour une consommation ultra-basse.....	69
1.3.2. Caractérisation de l'OVI conçu par simulations SPICE.....	71
1.3.3. Conclusion sur l'utilisation d'un OVI injecté par sources de courant commutées.....	73
2.Implémentation d'un OVI injecté par capacités commutées ultra-faible consommation.....	74
2.1. Principe d'injection : remplacement des sources de courant commutées par des capacités commutées.....	74
2.2. Etablissement de la fonction de transfert de l'OVI par analyse dynamique du déphasage	77
2.3. Fonction de conversion analogique vers temps de l'OVI injecté par capacités commutées.....	83
2.3.1. Contrôle du déphasage par modification du courant I_{BIAS}	84
2.3.2. Contrôle par modification de la tension de seuil de commutation des inverseurs de l'oscillateur libre	85
2.4. Fonction de transfert de l'OVI utilisé comme déphaseur	87
2.4.1. Déphasage dynamique de l'OVI contrôlé en courant.....	87
2.4.2. Déphasage dynamique de l'OVI contrôlé en tension	87
2.4.3. Etablissement de la fonction de transfert.....	87
2.5. Dimensionnement du circuit, architecture et optimisation du compromis consommation / bruit de phase.....	88
2.5.1. Dimensionnement du circuit	88
2.5.2. Réduction du bruit de phase.....	90
2.6. Mesures de déphasage et de bande passante sur OVI injectés par capacités commutées, réalisés dans des procédés 22 nm FX et 65 nm CMOS..	91

2.6.1.	Présentation des circuits et protocole d'expérience	91
2.6.2.	Mesure du déphasage des OVI contrôlés en courant sur les circuits A et B	93
2.6.3.	Mesure du déphasage en fonction de la tension d'entrée V_{IN} sur le circuit B.....	95
2.6.4.	Mesure de la plage de verrouillage pour les circuits A et B.....	97
2.6.5.	Bande passante de l'OVI utilisé comme déphaseur dans les circuits A et B	98
2.6.6.	Mesure du bruit de phase intégré.....	100
2.6.7.	Linéarité de l'OVI contrôlé en tension du circuit B	102
2.6.8.	Consommation des circuits	103
3.	Conclusions sur les architectures d'OVI étudiées	104

Chapitre 3 : Conception de filtres dans le domaine des phases à l'aide d'oscillateurs verrouillés par injection107

1.	Modulation du signal de verrouillage et traitement de l'information par l'oscillateur verrouillé par injection	109
1.1.	Introduction à la conception de filtres à OVI	109
1.2.	Conversion analogique vers temps par modulation de f_0	110
1.3.	Réponse de l'OVI à une modulation en phase du signal de verrouillage	112
1.3.1.	Définition d'une modulation de phase.....	112
1.3.2.	Réponse d'un OVI à une modulation en phase de son signal de verrouillage.....	114
1.3.3.	Transmittance dans le cas d'une modulation en phase du signal de verrouillage.....	116
1.3.4.	Mesure de la réponse fréquentielle de l'OVI à une modulation de phase de V_{LOCK}	117
1.4.	Réponse de l'OVI à une modulation en fréquence du signal de verrouillage	120
1.4.1.	Définition de la modulation de fréquence du signal de verrouillage	120
1.4.2.	Réponse d'un OVI à une modulation en fréquence de son signal de verrouillage.....	121
1.4.3.	Transmittance	122
1.4.4.	Mesure de la réponse fréquentielle de l'OVI à une modulation de fréquence de V_{LOCK}	123

2.Synthèse de filtre à oscillateurs verrouillés par injection	125
2.1. Comparateur d'erreur pour la synthèse de filtre dans le domaine temporel.....	125
2.2. Filtre dérivateur.....	128
2.2.1. Schéma et comportement statique	128
2.2.2. Variation dynamique du rapport cyclique de sortie α_{OUT}	131
2.2.3. Mise en équation du comportement dynamique du dérivateur	132
2.2.4. Simulation du filtre dérivateur	133
2.3. Filtre passe-bande à OVI.....	135
2.3.1. Architecture	135
2.3.2. Schéma bloc et fonction de transfert	137
2.3.3. Caractérisation du filtre passe-bande temporel en simulations.....	138
3.Conclusion sur le chapitre	140

Chapitre 4 : Banque de filtres passe bande à OVI pour l'extraction de signature spectrale141

1.Architecture d'un extracteur de caractéristiques analogique dans le domaine temporel	143
1.1 Architecture d'un extracteur de caractéristiques dans le domaine des phases	143
1.2 Architecture d'un extracteur de caractéristiques à OVI	145
2.Canal de filtrage	146
2.1. Schéma du canal de filtrage	146
2.2. Fonction de transfert du canal de filtrage à OVI.....	146
2.2.1 Détermination de la fonction de transfert.....	147
2.2.2 Fréquences caractéristiques du canal de filtrage	148
2.3. Mesure de la réponse en fréquence du canal de filtrage.....	150
3.Méthodes de contrôle de la fréquence centrale des filtres	152
3.1. Impact de la capacité d'injection	152
3.2. Impact de la fréquence de verrouillage sur la fréquence centrale du canal de filtrage.....	156
4.Architecture de la banque de filtres passe-bande.....	158
4.1 Parallélisation par division de la fréquence de verrouillage.....	158
4.2 Architecture de la banque de filtres.....	159

4.2.1	Division du courant de polarisation	159
4.2.2	Schéma du circuit.....	162
4.3	Spécifications de la banque de filtre conçue et implémentation dans un nœud technologique 65nm.....	163
5.	Caractérisation du circuit sur silicium.....	165
5.1	Mesure de la consommation de la banque de filtres	167
5.2	Réponse en fréquence de la banque de filtres	169
5.3	Robustesse du circuit aux variations de température et de tension d'alimentation	170
5.3.1	Simulation de la réponse en fréquence des filtres lorsque la tension d'alimentation varie	171
5.3.2	Simulation de la réponse en fréquence des filtres lorsque la température varie.....	173
5.4	Mesure de la linéarité du circuit.....	176
5.5	Limitation de la bande passante d'entrée	178
5.6	Proposition de solution pour augmenter la bande passante d'entrée	179
6.	Conclusions sur le chapitre	181
	Conclusion générale.....	183
	 Annexe A : Architecture et fonctionnement du comparateur de A. Wang présenté dans [20]	189
	Annexe B : CAN asynchrones à franchissement de seuils	191
	Annexe C : Utilisation d'oscillateurs verrouillés par injection super harmonique et sous harmonique en électronique	192
	C.1. Utilisations d'OVI comme diviseur de fréquence dans les synthétiseurs de fréquence (injection superharmonique).....	192
	C.2. Utilisation d'OVI dans les boucles à verrouillage de phase (injection sous-harmonique).....	193
	 Contributions.....	195
	Références	197
	Résumé	204
	Summary.....	204

Introduction

L'utilisation de capteurs intelligents est en constante augmentation depuis les 15 dernières années. En effet, on peut retrouver des nœuds de capteurs dans de nombreux domaines de la vie courante, tels que la surveillance de la santé humaine [1],[2], la vérification de l'intégrité matérielle d'édifices architecturaux, tels que des ponts ou des bâtiments [3], [4], l'agriculture de précision [5], [6] ou encore dans le domaine de la maintenance industrielle [7]. D'après *BBC research*, le marché des capteurs pour l'internet des objets a représenté 10.5 Milliards de dollars en 2017, et atteindra 48 milliards de dollars en 2023, soit une augmentation de 27.8% par an [8].

Un réseau de capteurs est constitué de multiples capteurs individuels [9], chargés de mesurer une grandeur en plusieurs points de l'espace. Le résultat des mesures fourni par chacun des nœuds du réseau est envoyé à une unité de traitement de l'information. La figure i-1 présente le schéma d'un réseau de capteurs :

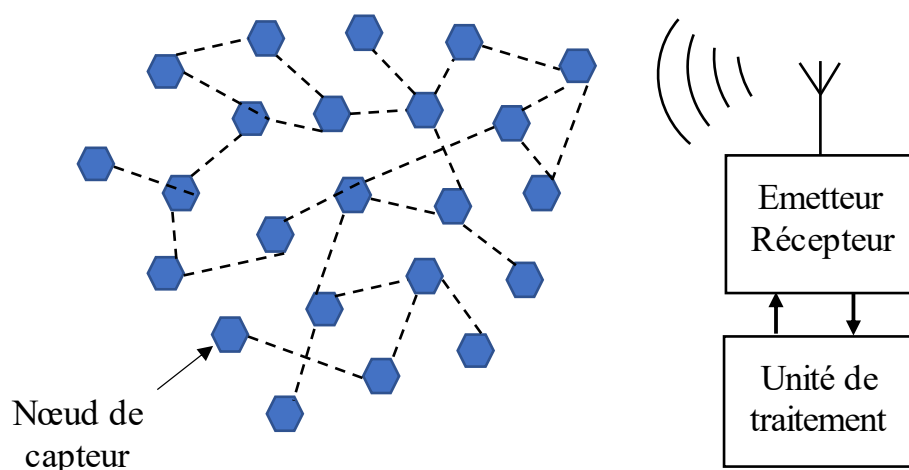


Figure i-1 : Réseau de capteurs sans-fil échangeant avec une unité de traitement de l'information

Les réseaux de capteurs, qui tendent à augmenter en densité (quelques dizaines / centaines de capteurs par réseau), doivent remplir des contraintes de fonctionnement assurant leur robustesse et leur autonomie sur batteries pendant une durée conséquente. En effet, un nœud de capteur classique doit avoir la capacité de fonctionner pendant un ou plusieurs jours sans rechargement de batterie. Dans le cas de capteurs dits « abandonnés » (« unattended sensors » en anglais), par exemple pour des applications militaires, l'autonomie attendue peut atteindre plusieurs années, pour une utilisation dans des environnements agressifs nécessitant une robustesse accrue [10]. Pour atteindre ces objectifs d'autonomie, plusieurs contraintes sont à prendre en considération [9]:

- La consommation des capteurs hautes performances est comprise entre 100 μW et 1mW. Ces consommations ne sont pas compatibles avec un fonctionnement longue durée alimenté uniquement par des batteries d'un volume raisonnable, l'encombrement d'un nœud de capteur étant limité.
- L'arrêt prématuré du fonctionnement de plusieurs nœuds de capteurs dans le réseau peut réduire la précision du réseau de capteur, et amenuiser la pertinence de l'utilisation de tels systèmes pour la mesure de grandeurs physiques.
- En prenant en compte le nombre de nœuds dans un réseau de capteur, pouvant aller jusqu'à plusieurs milliers de nœuds, le changement ou la recharge de la batterie de chaque nœud représenterait un coût important en temps et en main d'œuvre [11].

Des solutions techniques doivent alors être trouvées afin de réduire la consommation électrique des nœuds de capteur pour en accroître l'autonomie, à capacité de batterie équivalente, ou pour pouvoir être alimenté sur un récupérateur d'énergie permettant de s'affranchir de l'utilisation d'une batterie. Pour y arriver, plusieurs techniques peuvent être employées.

En premier lieu, on peut évoquer des techniques de routage du réseau et des protocoles de communication spécifiques qui ne seront pas développées dans ce manuscrit.

En second lieu, on peut chercher à réduire le plus possible la consommation de chaque nœud de capteur. Une méthode pertinente pour y parvenir est de placer le nœud de capteur, lorsqu'il n'est pas utilisé, dans un état de veille (ou état « endormi ») dans lequel sa consommation électrique est fortement réduite (d'un facteur 10 à 100). On présente, dans la figure suivante, la puissance consommée d'un nœud de capteur en fonction du temps, lorsqu'il est placé successivement dans des états de réveil et d'endormissement.

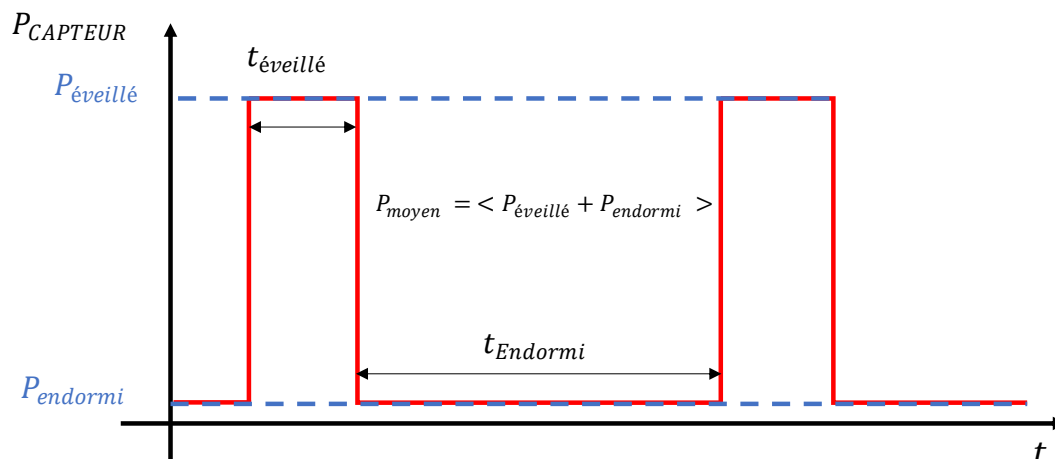


Figure i-2 : Chronogramme de la puissance consommée d'un nœud de capteur

La puissance moyenne consommée par le nœud de capteur P_{moyen} correspond à la somme des puissances moyennes dans ses états « éveillé » et « endormi ». Par conséquent, plus le temps de sommeil est grand devant le temps d'éveil, plus la consommation globale du nœud de capteur tend vers sa consommation en état de veille, et est donc fortement réduite.

Dans la figure i-3, on présente le schéma d'un nœud de capteur. La gestion de l'alimentation et de la puissance consommée par le nœud de capteur est opérée par une unité de gestion d'énergie (UGE).

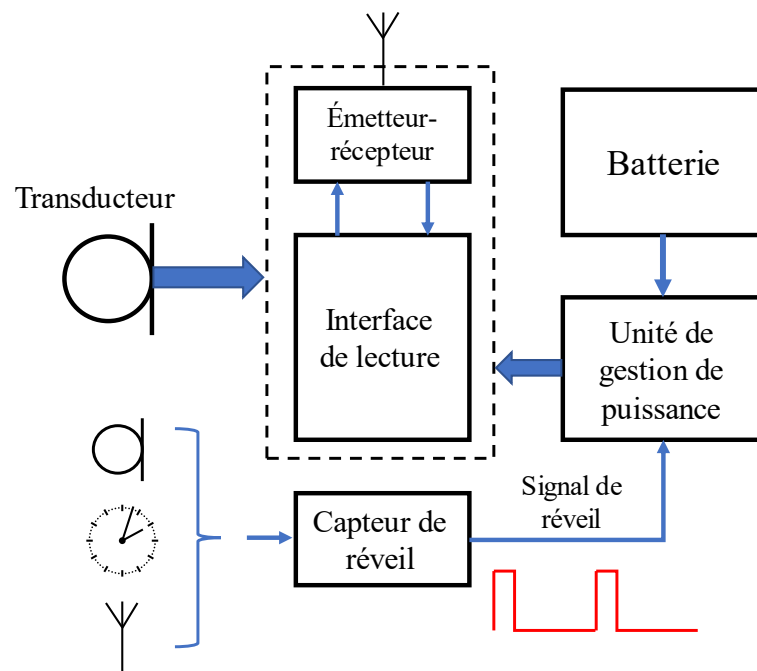


Figure i-3 : vue système d'un nœud de capteur

Dans les nœuds de capteurs classiques, l'UGE fait appel à un capteur de réveil (CdR) pour en déterminer l'état « éveillé » ou « endormi ». Il s'agit d'une partie du nœud de capteur de faible consommation délivrant un signal de réveil à l'UGE, afin de le mettre dans un état de fonctionnement lorsqu'il est nécessaire de mesurer une information.

Différentes méthodes de réveil existent pour la réalisation de CdR. Premièrement, on peut parler de capteur de réveil à chronomètre, définissant un réveil à intervalles réguliers du nœud de capteur. Un capteur de réveil chronométrique est un capteur de réveil utilisant un oscillateur et un diviseur interne afin de générer un signal de réveil. On pourra notamment utiliser la fonction RTC (« Real Time Clock ») présente dans les microcontrôleurs pour réaliser cette fonction. Dans la figure i-4, on présente le schéma de principe d'un CdR chronométrique [12]–[17] :

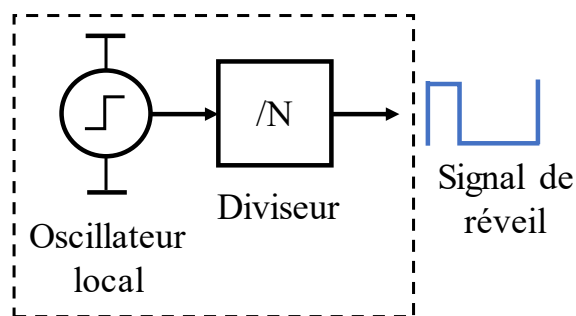


Figure i-4 : capteur de réveil chronométrique

Le signal de réveil est généré à l'aide de l'oscillateur local, dont la fréquence est divisée à l'aide d'un diviseur par N spécifique permettant de générer un signal doté d'un rapport cyclique définissant la période de réveil du nœud de capteur. Dans la pratique, la valeur du rapport cyclique généré est inférieure à 10%. Ce type de capteur de réveil ne permet d'effectuer qu'un réveil déterministe du système de mesure, c'est-à-dire que l'instant de réveil du système ne dépend pas de la nature de l'événement détecté.

Ensuite, il existe également des récepteurs de réveil, utilisant des interfaces radiofréquence et dépendant d'un signal externe émis par une interface de commande. On en présente une architecture dans la figure i-5

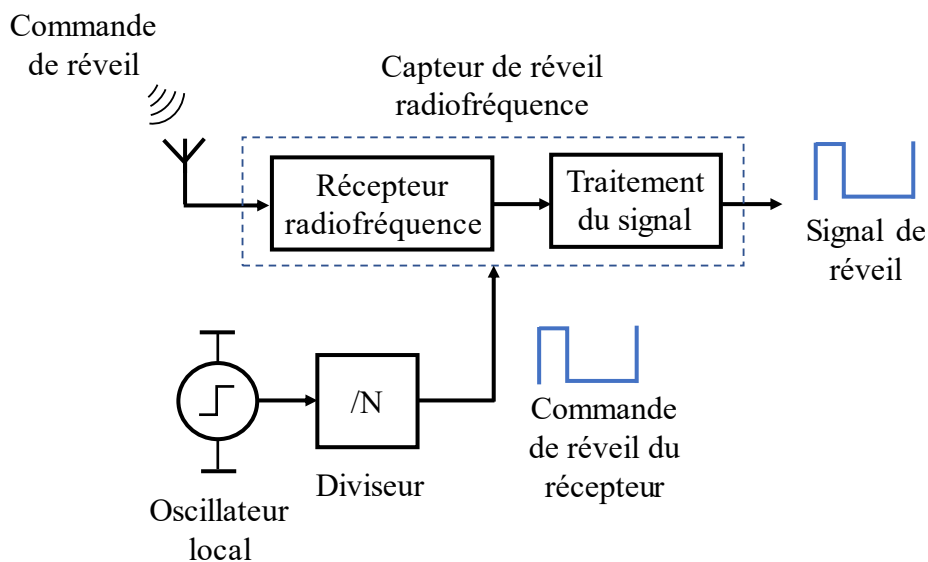


Figure i-5 : Capteur de réveil commandé chronométriquement

D'après le rapport technologique sur les CdR radiofréquences édité par l'IEEE en 2017 [18], la réduction du cycle d'activité d'un CdR radio Wi-Fi faible consommation de 100% à 2% permet de diminuer sa consommation globale de $105\mu\text{W}$ à $7\mu\text{W}$, soit une réduction d'un facteur 15.

La littérature rapporte de nombreuses réalisations de capteur de réveil radiofréquence pour les nœuds de capteur sans fil, explicitées très précisément dans [19]. Plusieurs catégories existent : les récepteurs radio fonctionnant à des fréquences inférieures à 500 MHz, ayant une consommation inférieure à 100 nW, ainsi que des récepteurs radio fonctionnant à plusieurs GHz, dont la consommation approche plutôt la dizaine de μW .

Les CdR chronométriques et radiofréquences sont donc des solutions pertinentes pour réduire la consommation des interfaces capteurs. Cependant, ces capteurs de réveil restent dépendants d'un signal externe pour fonctionner. En effet, ces interfaces capteurs « sur demande » sont des méthodes de réveil non corrélées avec l'évènement à détecter, favorisant le risque de « faux réveil », c'est-à-dire à réveiller le système lorsqu'aucun évènement n'est détecté. La figure i-6 illustre nos propos.

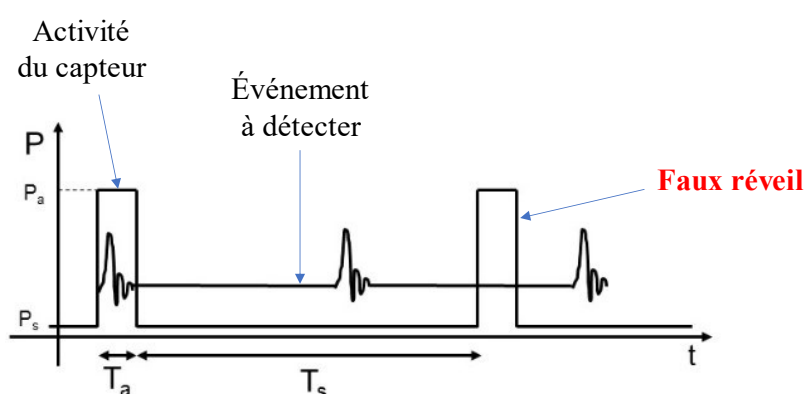


Figure i-6 : Activité d'un capteur de réveil lors d'un "faux réveil"

Les « faux réveils » d'un CdR sur demande engendrent une possible perte d'information, ainsi qu'une consommation superflue qu'il convient d'économiser.

Afin de contrebalancer ces défauts, les chercheurs ont développé des CdR à reconnaissance d'évènement, permettant de déclencher l'état éveillé uniquement lorsque cela est nécessaire. Le circuit n'est donc réveillé que lorsqu'un évènement pertinent est détecté, ce qui assure, comme montré dans la figure i-7, d'éviter une perte d'information, mais aussi d'atteindre un optimum de consommation.

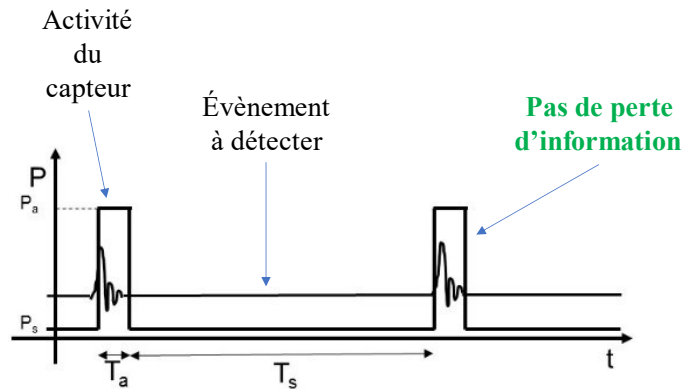


Figure i-7 : Activité d'un capteur de réveil sur évènement

Dans ce travail de thèse, nous souhaitons prendre part aux recherches sur les CdR à reconnaissance d'évènement ultra-faible consommation. Notre objectif est de proposer une architecture innovante de CdR permettant d'atteindre, voire de réduire, la consommation atteinte par les travaux de l'état de l'art, de l'ordre de quelques centaines de nW. Pour ce faire, nous exploiterons la méthode d'encodage des signaux dans le domaine temporel, mise en œuvre grâce à des oscillateurs verrouillés par injection (OVI) utilisés comme déphaseurs. Le travail sera présenté comme suit :

Dans un premier chapitre, on propose d'étudier les différentes méthodes de réalisation de CdR sur évènement. Ensuite, nous présenterons les limitations impliquées par la conception de circuits analogiques ultra-faible consommation sous faible tension d'alimentation, ainsi que la méthode de conception de circuits dans le domaine temporel permettant de contrer ces difficultés de conception. Enfin, dans une dernière partie, une technique d'implémentation particulière de circuits dans le domaine temporel, utilisant des oscillateurs verrouillés par injection (OVI), est présentée.

Dans un second chapitre, nous présenterons l'implémentation d'OVI à relaxation ultra-faible consommation, ainsi qu'un développement théorique permettant de formaliser la bande passante de modulation de ces circuits.

Dans un troisième chapitre, nous présenterons la réalisation d'une structure de filtre passe-bande à l'aide d'OVI, dans le but de réaliser un canal de filtrage pouvant être implémentés dans une banque de filtres à destination d'extracteurs de caractéristiques analogiques.

Enfin, dans un quatrième et dernier chapitre, nous présenterons la réalisation dans un nœud technologique 65 nm d'une banque de filtres à OVI destinée à être utilisée dans un extracteur de caractéristiques analogiques pour les CdR.

La conclusion de ce manuscrit permettra de comparer ces travaux avec les résultats de l'état de l'art, et d'ouvrir sur des perspectives de recherche futures.

Chapitre 1

Etat de l'art sur les capteurs de réveil sur
évènement ultra-faible consommation

1. Capteurs de réveil sur événement ultra-faible consommation

Dans l'introduction, nous avons pu voir que de multiples architectures de capteurs de réveil (CdR) existent, et permettent de réveiller des systèmes complexes par le biais d'un récepteur radio, ou d'un système chronométrique. Cependant, ces capteurs de réveil dépendent d'un signal externe, ou doivent attendre un certain temps afin de se réveiller. Leur utilisation est pertinente dans le cadre d'un réveil « prévisible », soit périodique, soit dépendant d'un signal de commande. Ces capteurs de réveil peuvent être réalisés à des consommations très faibles, de l'ordre de quelques dizaines de nW.

Dans le cadre d'évènements à détecter non-prévisibles, des architectures de CdR à reconnaissance d'évènements doivent être mis en œuvre. Les CdR à reconnaissance d'évènements peuvent être réalisés sous différentes formes en fonction de la nature de l'évènement à reconnaître. La figure 1-1 présente ce type d'architecture :

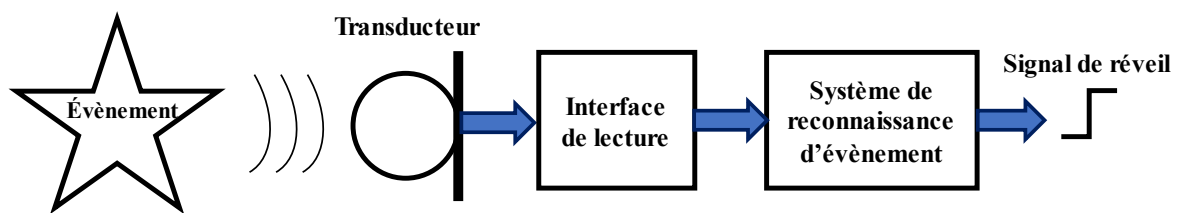


Figure 1-1 : Vue système d'un capteur de réveil sur événement

L'évènement en entrée, représenté par un signal « physique », comme une variation de pression pour un son, est converti dans le domaine électrique via un transducteur. Le signal est ensuite amplifié puis traité par une interface de lecture spécifique, puis transmis à un système de reconnaissance d'évènement permettant la classification. Si l'évènement incident est reconnu comme conforme à une situation de réveil du système, un signal de réveil est émis par l'interface.

La conception d'un CdR sur événement est soumise à plusieurs contraintes. Premièrement, l'architecture d'un tel système dépendra de manière intrinsèque de l'évènement qu'il doit détecter. En effet, la bande passante de l'évènement incident, ainsi que sa richesse spectrale, détermineront la complexité des architectures à concevoir. De plus, les systèmes de réveil doivent fonctionner dans un état « toujours allumé » tout en consommant une énergie très réduite, pour profiter de la plus grande autonomie possible. Par exemple, la DARPA, par l'intermédiaire de son programme de recherche N-ZERO, a pour objectif de réaliser une interface de CdR permettant un réveil à puissance consommée réduite inférieure aux fuites des batteries alimentant ce genre de système, de l'ordre de 10 à 100 nW [10], dans l'objectif d'obtenir une autonomie d'une dizaine d'années.

On en déduit que les techniques de conception appliquées aux CdR sur évènements devront être focalisées sur une réduction de la puissance consommée, tout en garantissant des performances de détection en bruit compatibles avec la reconnaissance d'évènement. Le système de classification d'évènements, qui constitue une partie non-négligeable des CdR utilisant des méthodes de sous-échantillonnage et de reconnaissance de signature spectrale, permet également d'alléger les contraintes de l'interface capteurs. Cette partie ne sera pas abordée dans ce travail.

Dans cette partie, nous proposons d'étudier les différentes structures de CdR sur évènement, dépendant de leurs conditions d'utilisation. En premier lieu, nous étudierons les capteurs de réveil utilisant un comparateur pour la reconnaissance d'évènement en entrée. Ensuite, on s'intéressera aux CdR utilisant des systèmes d'extraction de caractéristiques pour la reconnaissance d'évènements complexes

1.1. Capteur de réveil sur évènement utilisant un comparateur

Premièrement, on s'intéresse à des CdR s'adressant à la détection d'évènements ne se produisant qu'à de rares occasions. Par exemple, dans le cadre du programme N-ZERO de la DARPA, dans lequel s'inscrivent les travaux du docteur A. Wang [20], le but des CdR à réaliser est de détecter une présence humaine dans des zones interdites d'accès, pour des applications militaires. La détection de présence est effectuée par l'analyse de vibrations sismiques, qui indiquent la présence d'une personne en train de marcher à proximité de l'interface capteur. Ce type d'évènement est spectralement peu « riche », car il consiste en un signal de relativement basse fréquence (quelques dizaines de Hz maximum), sans composante spectrale précise représentative.

Ainsi, une architecture de réveil adaptée à la détection de ce type d'évènement est constituée d'un comparateur, chargée d'évaluer l'amplitude du signal d'entrée par rapport à un seuil défini. Elle est présentée dans la figure 1-2.

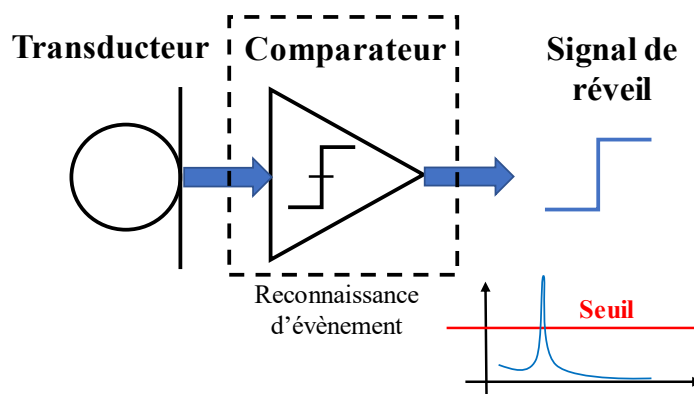


Figure 1-2 : Capteur de réveil sur évènement à comparateur

Plusieurs techniques de réalisation de comparateurs existent. En premier lieu, on peut citer la conception de comparateur dynamique, comme par exemple le comparateur *StrongARM latch* [21], [22], et qui nécessitent une horloge pour pouvoir fonctionner. L'utilisation de ce type de comparateur pour la détection de réveil ne sera pas retenue. En effet, la génération d'un signal d'horloge par un oscillateur, même en utilisant des oscillateurs aux plus faibles consommations de l'état de l'art, consommera une puissance du même ordre, voire supérieure, aux performances atteignant le nanowatt requises pour ce type d'application [23].

Les chercheurs du domaine ont donc mis au point des architectures de comparateur permettant une consommation en mode « toujours allumé » inférieure à 1 nW. Dans la publication [20], A. Wang présente un comparateur à hystérésis utilisant un miroir de courant bipolaire utilisé de manière à réaliser un détecteur de réveil sur évènement. Le fonctionnement de ce circuit est décrit en Annexe A.

La référence [20] constitue un élément majeur de l'état de l'art des capteurs de réveils utilisant des comparateurs. Le tableau 1-1 présente un récapitulatif des performances des comparateurs utilisés pour la détection d'évènements présentés dans la littérature.

	[24]	[25]	[20]
Technologie [nm]	180	90 BiCMOS	65
Tension d'alimentation [V]	3	1	1.2
Tension de seuil [mV]	1415-1586	0-30	27-46.5
Fréquence maximale de fonctionnement [Hz]	-	160k	1k
Puissance consommée en mode comparateur[nW]	1 ^{E3}	0.684	24

Tableau 1-1 : tableau récapitulatif des performances de CdR utilisant des comparateurs

Le comparateur présenté dans [20] démontre une consommation de 270 pW lorsqu'aucun évènement n'est détecté en entrée (simulé pour un signal d'entrée de 0.1 mV d'amplitude), sous une tension d'alimentation de 1.2 V. En mode actif, la consommation du comparateur, lorsqu'un signal à une fréquence de 1kHz et une amplitude de 100mV est appliqué en entrée, est de 24 nW. Pour donner une idée de ce que ces niveaux de consommation représentent, on peut représenter le temps de fonctionnement d'un de ce système lorsqu'il est alimenté sur une batterie. Une pile LRO3 « bon marché » du commerce est dotée d'une capacité d'environ 1000mAh, sous une tension de sortie nominale de 1.5 V. Pour ce calcul, on supposera alors que l'on est en possession d'une batterie ayant une capacité de charge de 1000mAh, sous une tension d'alimentation de 1.2 V pour se conformer aux capacités d'alimentation de la référence [2], et théoriquement dépourvue d'effet d'autodécharge. Dans ces conditions, le circuit présenté dans [2] pourrait

rester en attente de détection pendant 507 millénaires. En mode actif, il pourrait fonctionner pendant 4 millénaires. Cet exemple abstrait illustre le peu d'énergie employé au fonctionnement d'une telle interface. De façon plus pratique, la batterie qui alimente ce système aura un effet d'autodécharge, d'environ 1% par mois. Dans ces conditions, on peut conclure que c'est l'auto décharge de la batterie elle-même qui limitera l'autonomie du circuit.

Dans le cadre d'application de détection de réveil sur évènement nécessitant la reconnaissance d'un évènement particulier, par exemple pour la reconnaissance vocale, ce type d'application n'est pas pertinent. En effet, le seul paramètre de détection disponible est le seuil de commutation du comparateur. Ce seul paramètre ne permet de détecter qu'un dépassement d'amplitude, et ne permet pas d'analyser la composition spectrale d'un signal d'entrée complexe.

Ainsi, dans le cadre d'application de réveil à reconnaissance d'évènement, les chercheurs ont développé des méthodes de réveil analysant la signature spectrale du signal d'entrée. Dans la partie suivante, on présente ce type d'application.

1.2. Interface de capteur de réveil sur évènement à extraction de caractéristiques du signal d'entrée

1.2.1. Signature spectrale d'un signal

Notre travail se focalisera sur des applications de détection sonore, telle que la détection de bruit ou de voix. Ce type de signal audio est très riche en information dans une bande restreinte (entre 20Hz et 20 kHz), et nécessite un traitement spécifique pour pouvoir être analysé, le tout à une consommation de l'ordre de la centaine de nW. Les chercheurs ont mis au point des techniques d'extraction d'information utilisant la conversion analogique vers information (CAI) [26]–[28] pour des applications de détection d'activité vocale (DAV).

La CAI permet d'extraire des informations pertinentes du signal détecté, appelées caractéristiques du signal, qui correspondent à des composantes du spectre représentatives d'un évènement particulier. L'ensemble de ces caractéristiques constituent la signature spectrale du signal d'entrée, comme illustré dans la figure 1-3.

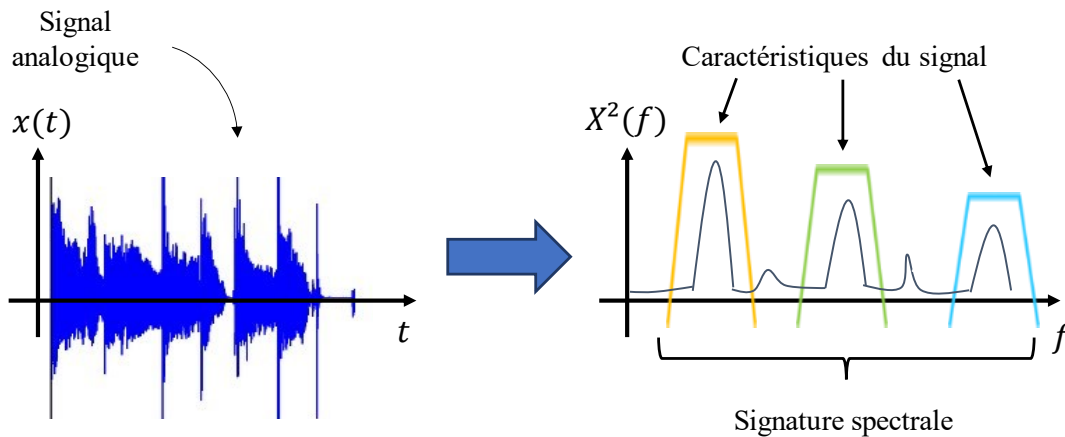


Figure 1-3: Signal analogique accompagné de sa signature spectrale, composée de pics caractéristiques

La classification d'un évènement à l'aide de l'extraction de caractéristiques se fait en deux étapes. Premièrement, on reconstitue la signature spectrale du signal d'entrée (par diverses méthodes détaillées dans la suite). Ensuite, on la compare à une collection de modèles de signatures spectrales connues, représentatives de l'évènement que l'on souhaite reconnaître. Si la signature détectée correspond à un modèle connu, on peut alors classifier l'évènement.

Par conséquent, seuls des sous-ensembles du spectre sont nécessaires à la reconnaissance de la nature du signal d'entrée, et peuvent être extraits au préalable par des fonctions de filtrage afin d'en assurer la classification. L'extraction de caractéristiques du signal d'entrée, qu'elle soit numérique [29]–[31] ou analogique [27], [32]–[34], permet d'obtenir le meilleur compromis vis-à-vis de la consommation du système et de la compression de l'information [26]. Elle permet, a fortiori, une classification de l'évènement d'entrée en dépensant un minimum d'énergie. Dans la suite, on verra que les CdR utilisant ces techniques obtiennent des performances en consommation de quelques centaines de nW au maximum, tout en obtenant des performances de précision de détection atteignant 90%.

Dans cette partie, nous proposons de réaliser une revue des architectures pertinentes de l'état de l'art en matière de détection et d'extraction de caractéristiques présentées dans la littérature. On discutera ensuite des performances de celles-ci.

1.2.2. Cas d'évènements en entrée d'une bande passante de quelques centaines de Hz : décomposition spectrale numérique

Dans le cadre de la détection de réveil faible consommation pour des signaux de bande passante d'entrée inférieure à 1kHz, comme par exemple la détection et reconnaissance d'émission sonore de véhicule, des architectures de capteurs de réveil utilisant des convertisseurs analogique-numérique (CAN) ont été développées.

En 2018, dans la publication [30], le docteur S. Jeong, de l'université du Michigan, membre de l'équipe du docteur Dennis Sylvester, propose une architecture utilisant un CAN pour numériser le signal d'entrée sur une bande de 500 Hz, puis d'opérer une transformée de Fourier numérique à ce signal afin d'en extraire les caractéristiques spectrales, comme présentée dans la figure 1-4.

Ce système est constitué d'un transducteur, d'un amplificateur faible bruit, d'un filtre anti-repliement, d'un CAN, et d'un circuit chargé de reconnaître la nature de l'événement en entrée. Ce circuit numérique est un filtre chargé de réaliser la transformée de Fourier du signal d'entrée de faible bande passante afin d'en analyser la signature spectrale. Cette architecture a été ensuite reprise dans plusieurs travaux de l'état de l'art.

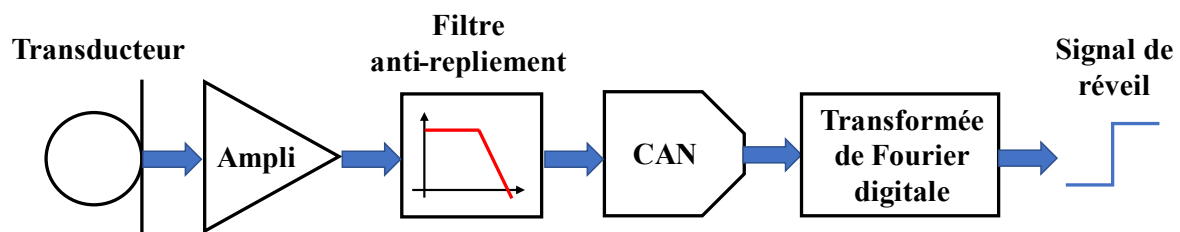


Figure 1-4 : Capteur de réveil utilisant une architecture à ADC

Pour réaliser cette architecture de CdR, il est important de réduire la consommation des blocs qui la composent afin d'obtenir une consommation globale réduite à des niveaux de quelques dizaines de nW. En particulier, les architectures des CAN composant ce système doivent être optimisées en consommation.

Les convertisseurs à approximation successives peuvent être une solution adaptée à ce type de systèmes. En 2016, l'équipe de recherche du docteur P. Harpe met au point un CAN à approximation successives, d'une bande passante d'entrée de 500Hz et d'une résolution de 8 bits, consommant 1nW [1]. L'architecture dans laquelle est intégré ce convertisseur, dédiée à de la détection d'électrocardiogramme, consomme en totalité 3nW. Dans la publication [30], un CAN à approximations successives est également utilisé consommant 2.7nW, pour

une résolution de 8 bits. Par conséquent, on en déduit que ce type de convertisseur permet la réalisation d'une architecture de CdR pour une bande passante d'entrée de l'ordre de 500Hz, à des consommations inférieures à la dizaine de nW.

Cependant, pour des bandes passantes d'entrée plus élevées, entraînant des fréquences d'échantillonnage supérieures à 1kS/s, les CAN à approximations successives peuvent s'avérer moins performants pour une conversion à des consommations réduites de quelques dizaines de nW. En effet, ces CAN nécessitent toujours l'échantillonnage du signal d'entrée à la fréquence de Nyquist. Par conséquent, la consommation dynamique de ces derniers augmente proportionnellement à la fréquence d'échantillonnage.

Pour contrer ce problème, des chercheurs ont développé des architectures de CAN asynchrones à franchissement de seuil permettant une numérisation du signal d'entrée à des consommations de quelques dizaines de nW. En effet, ce type de CAN a la particularité d'échantillonner le signal d'entrée seulement lorsque celui-ci franchit des niveaux définis au préalable. Ainsi, l'échantillonnage cadencé à la fréquence de Nyquist n'est plus nécessaire, et permet une optimisation de la consommation du système. On présente le fonctionnement de ce type de convertisseur en Annexe B.

L'extraction de caractéristiques, après numérisation du signal, est réalisée quant-à-elle numériquement par une banque de filtres numériques. La classification de l'évènement est ensuite également réalisée numériquement. Dans [30], ce circuit est codé en « dur » est peu adapté à la reconfiguration. Dans [31], le circuit de réveil est quant à lui reconfigurable.

	[30]	[29]	[31]
Nœud technologique [nm]	180	130	180
Tension d'alimentation [V]	0.6	1	0.6
Bande passante d'entrée [Hz]	470	2.6k	80k
Type d'ADC	Approximations successives	Franchissement de seuils	Franchissement de seuils
Reconfigurabilité de la classification d'évènement	Non	Non	Oui
Puissance consommée [nW]	12	2200	57

Tableau 1-2 : Comparatif des performances atteintes par les CdR à reconnaissance d'évènements utilisant des CAN

Le tableau 1-2 présente les performances atteintes par les CdR à extraction de caractéristiques numérique. Le circuit de réveil de [30], utilisé pour des applications de réveil pour la détection de bruits stationnaires, montre une consommation réduite à 12 nW tout en utilisant une architecture de CAN à approximations successives implémentée à très faible consommation. Cependant, ces résultats sont obtenus au dépend d'une bande passante de seulement 470 Hz, limitant le domaine d'utilisation de ce type d'architectures à des évènements à détecter ayant une bande passante de cet ordre.

L'utilisation de CAN à franchissement de seuils a permis d'augmenter cette bande passante, premièrement à 2.6 kHz [29] puis, plus récemment, jusqu'à une valeur de 80 kHz, pour une consommation de 57nW du système de réveil sur évènement. On en déduit que ce type d'architecture permet la détection d'évènements pour des applications de réveil à très faible consommation, et représentent une solution pertinente pour ce domaine de recherche.

1.2.3. Cas d'un signal en entrée d'une bande passante de plusieurs kHz : décomposition spectrale par une banque de filtres

Afin de pouvoir extraire ces caractéristiques nécessaires à la classification du signal d'entrée, on a besoin d'extraire l'énergie du signal dans chaque bande de fréquence caractéristique [26]. Pour ce faire, les travaux précédents [30], [32]–[35] du domaine ont établi de multiples architectures d'extracteurs analogiques de caractéristiques permettant d'extraire la signature spectrale d'un signal. Ces travaux sont directement inspirés de la conversion analogique vers information.

Premièrement, on s'intéresse à une architecture d'extracteur de caractéristiques utilisant des banques de filtres passe-bande. Dans la figure 1-5, on présente une architecture d'extracteur de caractéristiques analogique générique inspirée des travaux de l'état de l'art [30], [32]–[35].

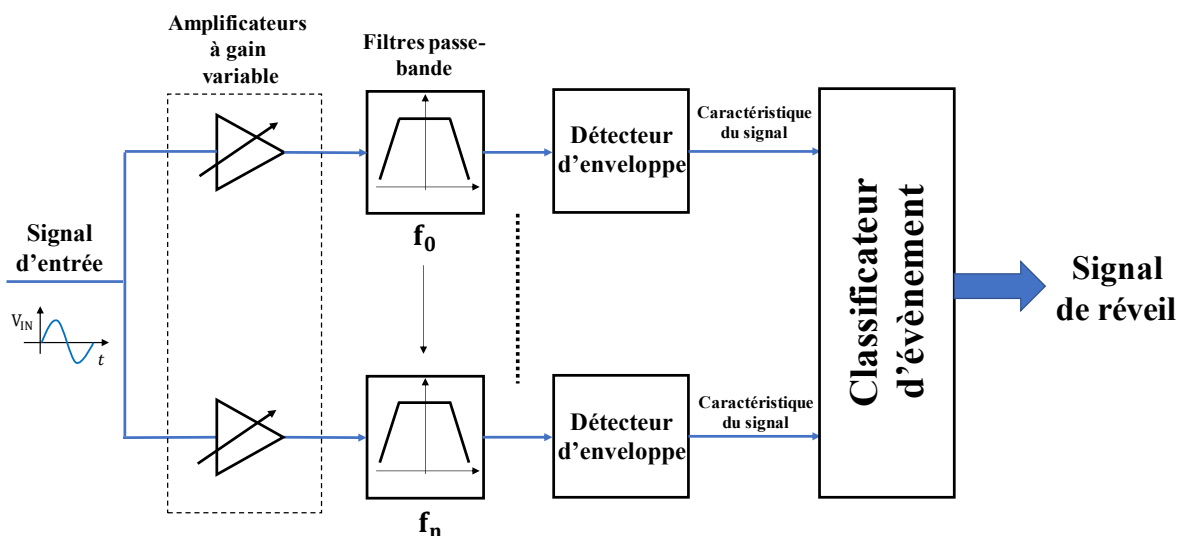


Figure 1-5 : Extracteur de caractéristiques analogiques pour la détection d'évènements

Dans [33], il est démontré qu'un RSB de 10dB à l'entrée du système doit être atteint afin de permettre une détection précise d'activité vocale. Pour cela, les différents blocs de l'extracteurs de caractéristiques ont été développés et optimisés pour atteindre ces performances en bruit à des consommations réduites. Les architectures d'extracteurs de caractéristiques de l'état de l'art [30], [32]–[35] démontrent qu'une classification d'activité audio peut être réalisée avec une précision supérieure à 90% en utilisant entre 16 et 48 canaux en parallèle. La latence de classification, quant à elle, est prévue pour être d'un niveau inférieur à 100 ms pour permettre la classification du signal.

L'extracteur de caractéristiques analogiques est composé de plusieurs blocs. Tout d'abord, le signal d'entrée est amplifié par une banque d'amplificateurs faible bruit à gain réglable. Dans [33], le gain réglable des amplificateurs faible bruit est compris entre 20 et 80 dB, réglable sur 4 niveaux, à l'aide d'un contrôleur 2 bits. Le gain contrôlé permet d'adapter la consommation de l'extracteur de caractéristiques à la précision de détection désirée, dans une démarche de « réveil à puissance proportionnelle ».

Le signal de sortie des amplificateurs faible bruit est ensuite transmis à une banque de filtres passe-bande, permettant de quantifier l'énergie du signal d'entrée dans chacune des bandes passantes de la banque de filtre, afin d'extraire la signature spectrale du signal d'entrée. Les filtres des architectures de [33], [35], sont des filtres passe-bande d'ordre 2 réalisés à partir de cellules gm-C.

Le signal résultant du filtrage est ensuite redressé à l'aide d'un redresseur à diode, puis est injecté dans un filtre passe-bas à fréquence caractéristique très faible, (inférieure à la dizaine de hertz [33], [34]). Le but de cette étape est de récupérer une composante continue image de l'énergie du signal dans la bande passante du filtre passe-bande correspondant. La composante continue résultante correspond à une caractéristique du signal. Ces étapes de traitement du signal permettent l'extraction de la signature spectrale caractéristique de la nature de l'évènement à détecter.

1.2.4. Architecture alternative : extraction de la signature spectrale avec une approche radiofréquence

Une architecture « mixte » d'extracteur de caractéristiques a été présentée dans [32], en 2019, permettant de réaliser l'extraction de caractéristique du signal à l'aide d'une approche RF. Ce circuit a permis d'atteindre la meilleure performance de l'état de l'art en termes de consommation. On présente cette architecture dans la figure 1-6.

L'extracteur de caractéristique de [32] est composé d'un amplificateur en début de chaîne, d'un mélangeur, suivi d'un filtre passe-bas. Le signal d'entrée est amplifié puis mélangé à un signal provenant d'un oscillateur local, dont la fréquence varie séquentiellement entre 31.5 et 4kHz, définissant les canaux d'extraction sur lesquels la signature spectrale est décomposée, à la manière d'un récepteur Wi-Fi. Le signal de sortie du mélangeur est appliqué à un filtre passe-bas, de fréquence caractéristique 1kHz.

Le signal d'entrée, pouvant atteindre une bande passante de 4 kHz, est ramené dans une bande de 500 Hz, pour chaque canal d'extraction, suite à l'opération de mélange. Le signal de sortie du mélangeur est ensuite filtré et numérisé par un CAN à fréquence d'échantillonnage de 1kHz. Ainsi, le résultat de chaque numérisation correspond à une composante de la signature spectrale du signal d'entrée, permettant sa classification.

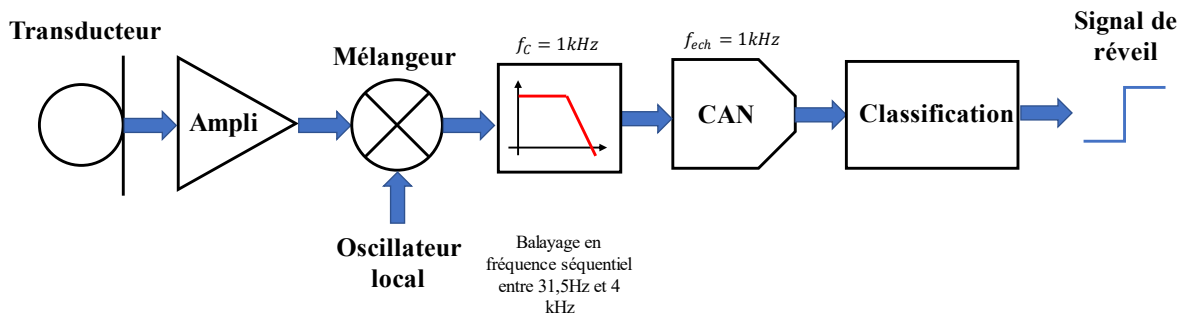


Figure 1-6 : Architecture d'extracteur de caractéristiques mixte, utilisant une approche RF, appliqué à la classification d'évènement [32]

Cet extracteur de caractéristiques montre des performances en consommation d'un niveau de 60 nW. De plus, la dynamique de sortie de cet extracteur est de 50 dB. Cependant, la latence de ce type d'architecture est élevée, de l'ordre de 500ms, mais permet la reconnaissance d'activité vocale avec un niveau de performances de l'ordre de 90%.

Une fois la signature spectrale du signal d'entrée extraite, il est nécessaire de procéder à la classification des caractéristiques. Elle peut être effectuée par

différentes méthodes : réseau de neurones, arbre de décision, ou encore par algorithmie spécifique [30], [34]–[36]. Elle est le résultat d'une comparaison entre les caractéristiques mesurées du signal d'entrée et un ensemble de caractéristiques connues à l'avance correspondant aux événements à détecter. La classification tire donc avantage du principe de conversion analogique vers information.

1.2.5. Figure de mérite et état de l'art sur les capteurs de réveil à extracteurs de caractéristiques

Les différentes références de l'état de l'art ont pu montrer que les CdR sur événements permettent une classification précise des événements évitant ainsi les faux réveils. Dans le tableau 1-3, on présente les caractéristiques des détecteurs d'événements utilisant des extracteurs de paramètres analogiques. Ainsi, les CdR utilisant des extracteurs de caractéristiques analogiques permettent la détection d'événements de différents types (secousses sismiques, bruit, voix), et permettent le réveil de nœuds de capteurs à faible consommation.

On observe que la consommation des extracteurs de caractéristiques analogiques diminue avec le temps, pour atteindre un niveau de 60nW pour une bande passante d'entrée de 4kHz. La puissance normalisée, définie par l'équation (1.3) tirée de [35], permet de caractériser les performances en consommation des extracteurs de l'état de l'art. En définissant le facteur n comme le nombre de canaux de l'extracteur, f_b comme la fréquence basse et f_h la fréquence haute de la bande passante totale de l'extracteur de caractéristiques. BW est la bande passante totale de l'évènement considéré (ie la bande passante du signal d'entrée)

$$P_{norm} = P_{consommée} \frac{1 - \left(\frac{f_b}{f_h}\right)^{\frac{1}{n-1}}}{1 - \left(\frac{f_b}{f_h}\right)^{\frac{n}{n-1}}} \cdot \frac{BW}{f_h} \quad (1.1)$$

Ainsi, la puissance normalisée est proportionnelle à la bande passante du signal d'entrée, et décroissante en fonction du nombre de canaux. Ainsi, [32] permet d'extraire les caractéristiques d'un signal sur 48 canaux maximum, pour une puissance de l'extracteur de caractéristique de 60 nW. La puissance normalisée atteinte par ce dispositif est égale à 5 nW.

	[32]	[34]	[30]	[36]
Nœud technologique	180nm	180nm	180nm	90nm
Type d'extracteur de caractéristiques	Mixte	Analog to events	Digital	Analog
Nombre de canaux	48	16	4-16	16
Bande passante [Hz]	75-4kHz	100-5kHz	0.2-470	15-5kHz
Puissance consommée [nW]	60	380	10	6000
Puissance normalisée* [nW]	5	71	34	1186
Plage dynamique [dB]	47	40	48	40

Tableau 1-3 : récapitulatif des extracteurs de caractéristiques analogiques de l'état de l'art

Les extracteurs de caractéristique permettent une réduction drastique de la consommation des CdR sur évènement. Par conséquent, ils garantissent une autonomie accrue pour les systèmes autonomes qu'ils sont chargés de réveiller.

1.3. Conclusions sur les différentes méthodes de réveil

Dans cette partie, nous avons pu étudier les différentes méthodes existantes pour concevoir des CdR sur évènements ultra-faible consommation. En particulier, les architectures utilisant des comparateurs pour la détection d'évènements clairsemés ont été abordées. Nous avons également pu mettre à jour l'utilisation d'extracteurs de caractéristiques pour la détection d'évènements plus riches.

Ainsi la consommation des CdR peut être largement réduite, à des niveaux de l'ordre de la centaine de nW. Cependant, afin d'en augmenter encore plus la durée de vie sur batterie, ou de permettre leur alimentation sur des récupérateurs d'énergies, on cherchera à réduire davantage leur consommation. Pour cela, on se doit d'explorer de nouvelles méthodes de conception analogiques.

Dans la suite de ce travail de recherche, on cherchera à développer une architecture innovante d'extracteur de caractéristiques analogiques utilisant une implémentation spécifique, permettant la réduction de la tension d'alimentation du circuit et donc de sa consommation. Pour cela, nous allons utiliser la méthode de conception dans le domaine temporel. Elle consiste en une quantification de l'information non plus dans une amplitude analogique d'un signal, mais dans un déphasage variable entre deux signaux. La partie suivante présente cette méthode d'implémentation électronique.

2. Implémentation de circuits ultra-faible consommation par la méthode de l'électronique dans le domaine temporel

Dans cette partie, on souhaite présenter une méthode de conception de circuits dans le domaine temporel, venant se substituer à la conception analogique classique pour des circuits de faible consommation. Cette méthode de conception sera le fondement de l'architecture qui sera développée dans ce travail de thèse.

Tout d'abord, nous allons présenter brièvement les limites d'une implémentation par l'électronique analogique classique en termes de tension d'alimentation et de consommation. Ensuite, nous présenterons les bases de l'électronique dans le domaine temporel et les avantages que représente cette méthode de conception. Enfin, nous présenterons les architectures dans le domaine temporel majeures de l'état de l'art.

2.1. Limites de l'électronique analogique classique pour une implémentation à faible consommation

2.1.1. Contraintes apportées par le bruit thermique des transistors

Dans la publication [37], Kinget présente l'impact de la réduction de la tension d'alimentation sur la conception de circuits intégrés analogiques dans des nœuds technologiques avancés. L'évolution des nœuds technologiques, menant à réduire la longueur de canal minimale des transistors utilisés dans les circuits intégrés, est vouée à améliorer les performances des circuits numériques. En effet, elle permet l'augmentation de la densité d'intégration de transistors, et donc de la puissance de calcul. De plus, ces transistors peuvent être alimentés sous des tensions toujours plus faibles, réduisant ainsi la consommation de ces circuits. Cependant, les circuits analogiques ne peuvent pas profiter de ces effets.

En effet, on peut observer que les performances d'un circuit analogique sont fortement contraintes par le rapport signal sur bruit (RSB) désiré. Au premier ordre, et pour un niveau efficace du signal considéré V_{signal} , le RSB peut être exprimé en fonction de la puissance du signal de sortie et du bruit thermique des transistors [37] :

$$RSB = \frac{Puissance}{P_{Bruit_{th}}} = \frac{V_{signal}^2}{\frac{4K_B T \gamma}{gm} \cdot \Delta f} \Rightarrow Puissance \propto RSB \cdot \frac{4K_B T \gamma}{gm} \cdot \Delta f \quad (1.2)$$

Où K_B représente la constante de Boltzmann, γ est le facteur de bruit thermique du transistor, T est la température (que l'on considère fixe ici), gm la transconductance, et Δf la bande de fréquence considérée.

La consommation du circuit est fixée par le RSB minimal requis. Ainsi, plus la consommation du circuit diminue, plus le RSB du circuit diminuera également. On comprend donc que la proportion de bruit dans les signaux encodés tendra à devenir de plus en plus importante. Par conséquent, la conception à faible consommation entraîne des compromis non négligeables à prendre en compte vis-à-vis du niveau de bruit. Dans le même temps, la conception de circuits analogiques à tension d'alimentation inférieure au V_T implique de fortes variabilités des caractéristiques électriques des transistors, en fonction des variations de procédé de fabrication, de tension et de température. Ainsi, la réalisation de ces circuits dans ces conditions en devient encore plus compliquée.

Le dynamique des signaux encodés s'en retrouve réduite, et nécessiterait un surcoût énergétique pour une réduction de la tension d'alimentation à RSB constant.

2.1.2. Réduction de la dynamique d'encodage des signaux et surcoût énergétique à niveau de bruit constant [37]

Pour la conception de circuits intégrés à faible tension d'alimentation, de l'ordre du V_T ($\approx 0.5V$), on peut considérer que la tension de saturation V_{DSAT} des transistors ne dépend pas de la tension d'alimentation V_{DD} et garde une valeur quasi constante autour de 150 mV [38]. Les signaux encodés en tension doivent être compris dans la zone active des transistors, comprise entre $V_{DD} - V_{DSAT}$ et $V_{SS} + V_{DSAT}$, où V_{DD} est la tension d'alimentation haute du circuit, et V_{SS} sa tension d'alimentation basse. Comme indiqué figure 1-7, plus la tension d'alimentation est faible, plus la dynamique en tension est réduite.

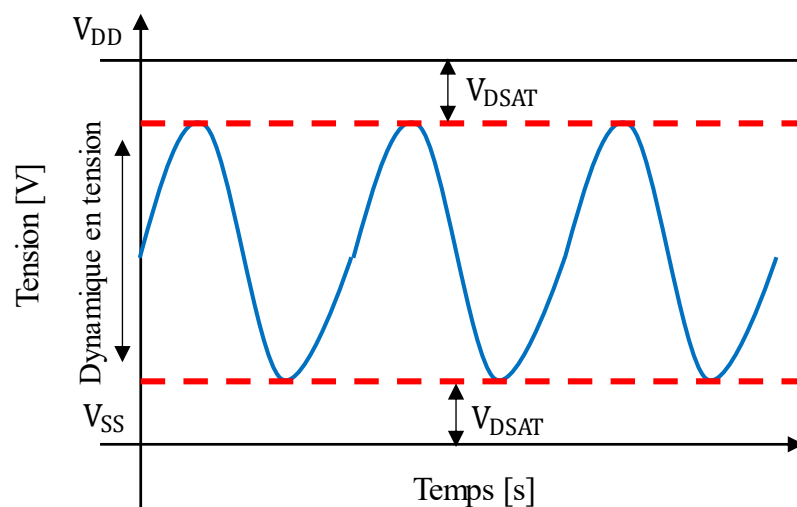


Figure 1-7 : Dynamique en tension d'un signal analogique dans un système intégré

L'encodage du signal en amplitude implique un surcoût d'énergie dans un circuit analogique pour conserver des performances équivalentes en bruit et en dynamique.

Kinget traduit ce surcoût comme une pénalité énergétique que subissent les circuits analogiques, liée à la réduction de la dynamique des circuits. Il quantifie le rapport entre la puissance consommée pour l'encodage des signaux dans le domaine analogique pour et la densité de bruit à rapport signal sur bruit constant. L'expression du facteur de pénalité énergétique F_p est donnée dans l'équation (1.3). Elle permet de comparer le niveau de puissance liée à la dynamique des signaux encodés dans la zone active des transistors, appelée $P_{signaux}$, et la puissance minimale dissipée par le circuit, notée P_{min} , liée au RSB du circuit, à la bande passante considérée, et ne prenant en compte qu'une limitation liée au bruit thermique.

$$F_p = \frac{P_{Signaux}}{P_{min}} = 1 + \frac{2V_{DSAT}}{V_{DD} - 2V_{DSAT}} \quad (1.3)$$

A l'aide de l'expression du facteur de pénalité en puissance donné dans [37], et pour une valeur de V_{DSAT} de 150mV, on en trace l'évolution en fonction de la tension d'alimentation dans la figure 1-8.

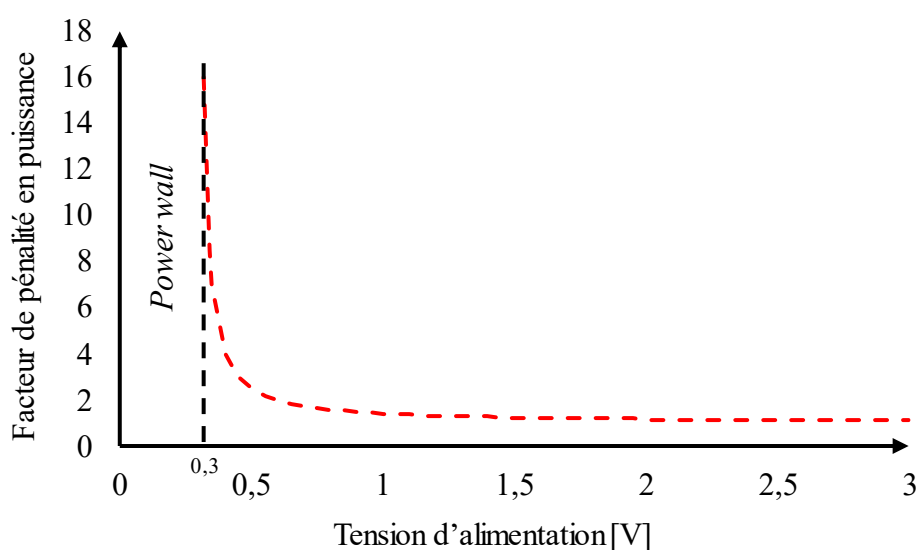


Figure 1-8 : Facteur de pénalité en puissance en fonction de la tension d'alimentation pour les circuits analogiques, et mise en évidence du *Power wall* de Kinget

Ainsi, on observe que dans le cas limite où la tension d'alimentation est trop faible, autour de $2V_{DSAT} \approx 0.3V$, le facteur de pénalité énergétique devient très grand : c'est le *Power Wall*. Dans ce cas limite, la zone active des transistors des circuits analogiques est réduite à néant, ce qui implique que l'information ne peut plus être encodée dans le domaine analogique en considérant les transistors dans leur zone active. Il en résulte que pour atteindre des performances comparables à

des circuits à plus forte tension d'alimentation, la puissance du circuit considéré devrait tendre vers l'infini. On en déduit qu'une limite physique apparaît et amenuise les possibilités de réduire la tension des circuits analogiques, autour d'une valeur minimale de 0.5V pour conserver une valeur de F_p « raisonnable ».

Ainsi, de nouvelles solutions doivent être trouvées pour encoder les signaux analogiques.

2.1.3. Solution pour une conception à faible tension d'alimentation : les circuits temporels ?

Dans son étude [37], Kinget présente une nouvelle façon de voir les choses concernant l'encodage des circuits analogiques. Tout comme Drost [39] et Constandinou [40], il propose d'utiliser une variation temporelle des signaux, comme la phase, la fréquence ou la largeur d'impulsion, pour transporter l'information analogique. Cette méthode permettrait d'utiliser des circuits quasi-numériques, mettant en œuvre des signaux carrés, dont la marge de bruit est augmentée de manière conséquente par rapport aux circuits analogiques classiques. En effet, la dynamique des signaux encodés ne dépendra plus d'une variation d'amplitude, ce qui implique qu'elle ne sera pas soumise au facteur de pénalité énergétique F_p décrit plus haut. De même, le bruit thermique limitera moins fortement le RSB du circuit, puisque les signaux seront encodés temporellement. Cependant, le bruit « temporel », comme le jitter, limitera les performances de ce type de circuit et devra être pris en compte.

Nous avons vu dans la partie précédente que les CdR sur évènement peuvent fonctionner à des niveaux de bruit restreints (autour de 10 dB pour une détection précise). Ainsi, l'exploration de solutions techniques d'encodage temporel des signaux pour ce type d'application permettra de réduire la consommation électrique des circuits tout en se plaçant à un niveau de bruit compatible pour le réveil sur évènement. Dans la partie suivante, on présente les techniques d'encodage des signaux dans le domaine temporel.

2.2. Bases de l'électronique dans le domaine temporel

2.2.1. Signal du domaine temporel

Dans toute la suite de ce manuscrit, un signal du domaine temporel représentera une variation d'une quantité temporelle (fréquence, phase, rapport cyclique, ...) en fonction du temps.

La conversion tension vers temps découle d'une analogie entre potentiel (i.e différence de potentiel) et quantité temporelle. Ainsi, une différence de potentiel ΔV est transcrite, à l'aide d'un dispositif adapté, en une quantité temporelle. Cette quantité temporelle peut correspondre à une différence de phase, de fréquence ou de rapport cyclique.

La figure 1-9 présente le cas spécifique de la conversion d'une différence de potentiel ΔV en une différence de phase $\Delta\Phi$:

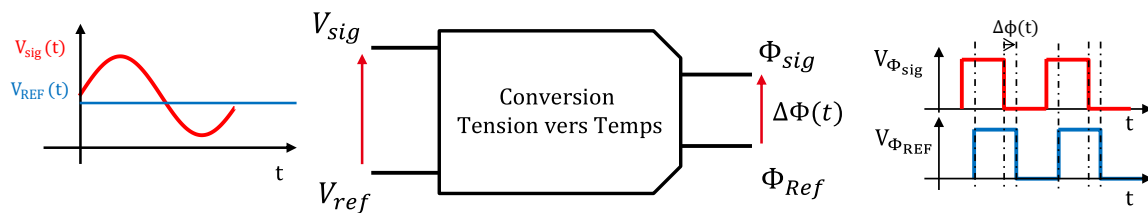


Figure 1-9 : Encodage d'un signal analogique dans le domaine temporel

Les convertisseurs tension vers temps peuvent être réalisés sous de multiples formes, que l'on détaillera par la suite.

Dans les sous-parties suivantes, on présente plusieurs méthodes d'encodage de signaux analogiques dans le domaine temporel, qui se font sous forme de modulation de phase, de fréquence, ou de largeur d'impulsion.

2.2.2. Méthodes d'encodage dans le domaine temporel

Trois modulations principales sont utilisées pour l'encodage de signaux dans le domaine temporel, que sont la modulation de fréquence, la modulation de phase, ainsi que la modulation de largeur d'impulsion.

Commençons par le cas de la modulation de fréquence. La figure 1-10 représente un signal encodé sur la fréquence.

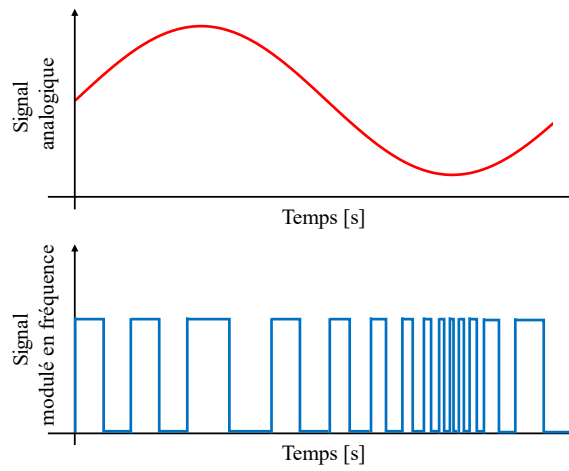


Figure 1-10 : Signal modulé en fréquence

Le signal encodé dans le domaine temporel correspond donc à la variation de fréquence du signal porteur. La représentation d'un signal dans le domaine temporel encodé en fréquence est utilisée dans le cadre de convertisseurs analogique-numérique utilisant des oscillateurs contrôlés en tension (OCT), comme on le verra par la suite.

Ce type de modulation est intéressant dans la mesure où il peut être réalisé à très faible consommation, par des OCT réalisés quasi uniquement à partir de cellules standard numériques, dont on peut aisément réduire la tension d'alimentation [41].

Un signal du domaine temporel peut également être représenté dans un déphasage entre deux signaux. Dans ce cas, la distance temporelle entre un signal modulé en phase et un signal de référence (ou alors deux signaux modulés en phase) représente le signal du domaine temporel. La figure 1-11 présente ce type d'encodage.

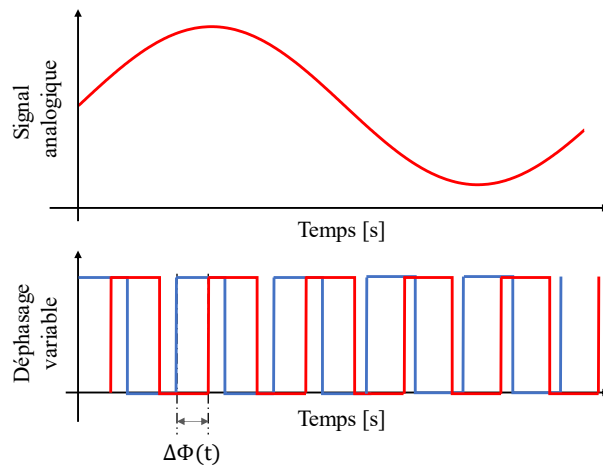


Figure 1-11 : Signal encodé dans le domaine temporel à l'aide d'un déphasage

Ici, la reconnaissance du signal encodé dans le domaine temporel est donc forcément issue d'une comparaison de phase entre deux signaux. Elle nécessite donc la génération d'un signal de référence, à une phase fixe dans le temps, à laquelle on comparera le signal de phase variable. La phase de référence devra être calibrée en fonction des variations de procédé, tension et température.

Enfin, l'encodage des signaux sur une modulation de largeur d'impulsion (MLI) peut également être mis à jour, comme présenté dans la figure 1-12.

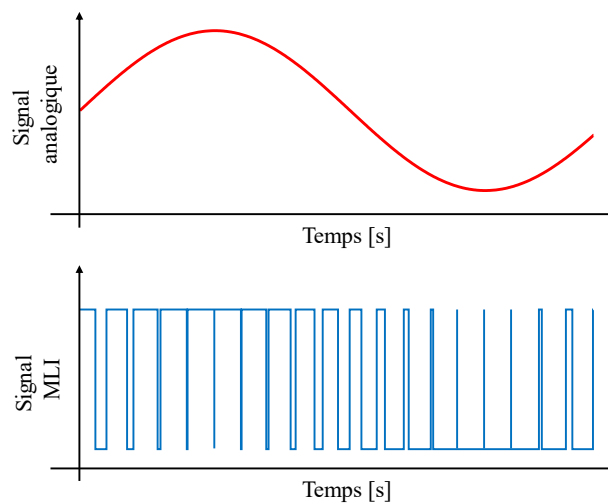


Figure 1-12 : Signal encodé par modulation de largeur d'impulsion

Ainsi, le signal temporel est représenté par la distance entre un front montant et un front descendant du signal MLI. La variation du signal temporel est représentée par la variation instantanée du rapport cyclique du signal MLI. Par conséquent, on a un encodage des signaux ne nécessitant plus de référence, la valeur basse du signal étant représentée par le front montant du signal.

Le rapport signal sur bruit du signal ne dépend pas de l'amplitude du signal MLI, mais de son bruit de phase entraînant des variations aléatoires du rapport cyclique. Cependant, la MLI est connue pour sa bande passante limitée, pouvant représenter un frein à la réalisation de circuits à haute fréquence.

En conclusion de cette partie, deux propriétés émergent des méthodes d'encodage de signaux analogiques dans le domaine temporel. Premièrement, le signal encodé dans le domaine temporel ne dépend que d'un écart de temps entre deux fronts de signaux carrés, et non de leurs amplitudes. On en déduit que, dans un cas idéal, l'amplitude des signaux carrés peut être réduite à des niveaux minimaux sans affecter le rapport signal sur bruit du signal encodé dans le domaine temporel.

Ensuite, puisque les signaux mis en jeu sont des signaux « tout ou rien », ils peuvent être gérés par des circuits de nature quasi digitale. Les circuits digitaux peuvent, par nature, avoir une tension d'alimentation réduite à des niveaux proche du V_T des transistors, entre 0,4 et 0,5V tout en conservant une marge de bruit exploitable. Par conséquent, on peut réduire la consommation des circuits temporels à des niveaux faibles en réduisant leur tension d'alimentation, tout en bénéficiant d'une marge de bruit qui est impactée de manière réduite.

Ces méthodes d'encodage sont utilisées pour la réalisation de circuits dans le domaine temporel, et sont employées, le plus souvent, par des convertisseurs tension vers temps utilisant des OCT. On en présente le fonctionnement dans la partie suivante.

2.3. Principe de fonctionnement d'un OCT

Un oscillateur contrôlé en tension (OCT) est un oscillateur dont la fréquence f_{OUT} du signal de sortie V_{OUT} varie en fonction d'un signal de contrôle V_{CTRL} [8, p.518]. En général, le gain de l'OCT, que l'on note K_{OCT} , dépend du signal de contrôle. La représentation fonctionnelle d'un oscillateur contrôlé en tension est donnée sur la figure 1-13 :

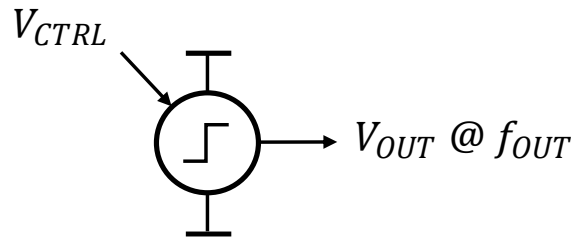


Figure 1-13 : Schéma fonctionnel d'un OCT

Dans la suite de cette étude, on considérera un cas idéal, pour lequel f_{OUT} est simplement proportionnelle au signal de contrôle. Ainsi, on exprime sa fréquence de sortie f_{OUT} , comme le produit de V_{CTRL} , multiplié par un gain K_{OCT} , exprimé en Hz/V [8, p.518].

$$f_{OUT} = K_{OCT}V_{CTRL} \quad (1.4)$$

Les OCT sont utilisés dans de nombreuses applications électronique et radiofréquences, comme par exemple les interfaces de modulation de fréquence ou encore les boucles à verrouillage de phases (BVP) [43], [44]. Ils peuvent être implémentés sous différentes formes. Dans la sous-partie suivante, on présente différentes implémentations d'OCT.

2.4. Implémentations électroniques d'un OCT

De multiples architectures d'OCT sont utilisées en électronique. Parmi elles, on peut en dissocier deux grandes familles : les OCT harmoniques et non-harmoniques.

2.4.1 OCT harmonique

Des OCT peuvent être implémentés sous forme d'oscillateurs harmoniques. On présente dans le schéma ci-dessous, une implémentation possible d'un oscillateur contrôlé en tension utilisant des varactors, utilisés pour des applications radiofréquence [42].

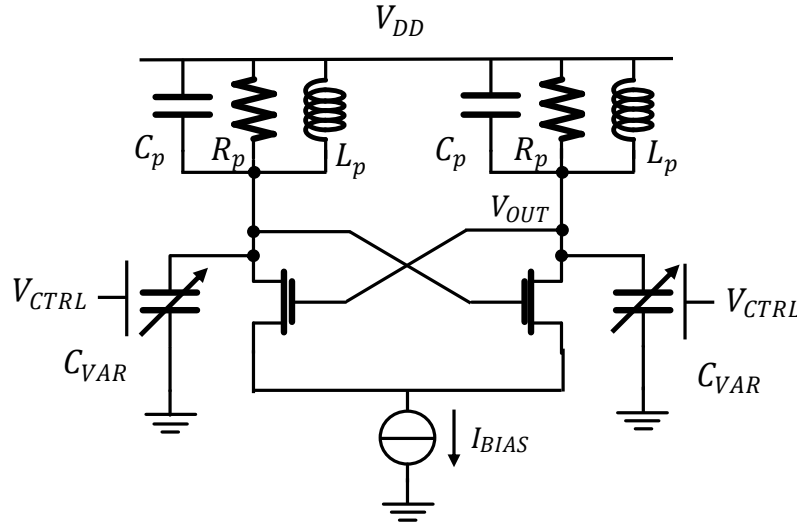


Figure 1-14: schéma d'un OCT harmonique utilisant des varactors

Le schéma de la figure 1-14 décrit l'architecture d'un OCT utilisant des varactors pour contrôler la valeur de sa fréquence de sortie. Les varactors $M_{V_{1,2}}$ sont utilisés comme des capacités MOS variables dont on modifie la valeur à l'aide de la tension de contrôle V_{CTRL} . On exprime cette capacité variable par le paramètre C_{VAR} . La valeur de sa fréquence dépend des paramètres $C_{1,2}$, $L_{1,2}$, R_p et s'exprime :

$$f_{OCT} = \frac{1}{2\pi\sqrt{L_1(C_1 + C_{var})}} \quad (1.5)$$

Dans le cadre de la conversion tension-temps à OCT, la littérature montre surtout l'utilisation d'architectures d'oscillateurs non-harmoniques en anneau. Dans la sous-partie suivante, on présente ce type d'architecture.

2.4.2 OCT non-harmonique

Les OCT non-harmoniques ont la propriété d'avoir un signal de sortie non sinusoïdal. Il existe plusieurs architectures d'OCT non-harmoniques. Dans la littérature, le traitement du signal à l'aide d'OCT non-harmonique est surtout abordé à l'aide d'oscillateurs en anneaux. Un schéma d'OCT en anneau est présenté dans la figure 1-15:

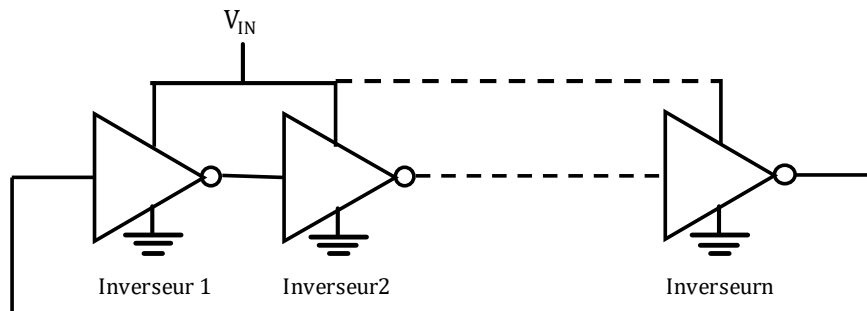


Figure 1-15 : Schéma d'un OCT en anneau

Le schéma ci-dessus fait état d'une suite de n inverseurs (n impair) dont chaque sortie de l'un est reliée à l'entrée du suivant. Ainsi, ce schéma permet d'obtenir un oscillateur, dont il est possible de contrôler la fréquence de sortie grâce à un signal de contrôle V_{IN} . En effet, en modifiant la tension d'alimentation des inverseurs, on obtient une fréquence de sortie de l'oscillateur variable, suivant les fluctuations du signal de contrôle.

La fréquence de sortie de l'OCT dépend des paramètres de conception du circuit : gain de chaque inverseur lié aux dimensions et à la tension d'alimentation des transistors qui les constituent, ainsi que des capacités d'entrées de chaque porte inverseuse. Cependant, une limitation de ce type d'OCT est que l'amplitude de sortie du signal V_{OUT} varie en fonction du signal de contrôle, puisque celui-ci correspond à sa tension d'alimentation.

Lorsque le signal de contrôle d'un OCT varie, la fréquence de sortie de l'OCT varie également, selon un comportement dynamique établi, que l'on présente dans la sous-partie suivante.

2.5. Propriétés dynamiques de l'OCT

Par définition, la fréquence de sortie de l'OCT est proportionnelle à la dérivée temporelle de la phase de sortie. En effet, en exprimant la phase de sortie Φ_{OUT} , on a [39]:

$$f_{OUT} = \frac{1}{2\pi} \frac{d\Phi_{OUT}}{dt} = K_{OCT} V_{CTRL} \quad (1.6)$$

On en déduit que l'expression peut être aisément inversée, permettant d'exprimer la phase de sortie de l'OCT comme l'intégrale temporelle de la fréquence du signal de sortie. Dans le domaine de Laplace, cette fonction de transfert devient:

$$\frac{\Phi_{OUT}(p)}{V_{CTRL}(p)} = \frac{2\pi K_{OCT}}{p} \quad (1.7)$$

Ainsi, la phase de sortie de l'OCT est donc l'intégrale de la variation du signal d'entrée V_{CTRL} . On verra dans la suite que cette propriété s'avère très utile dans le cadre du traitement du signal dans le domaine temporel à OCT.

2.6. Convertisseurs analogique-numérique utilisant des OCT

Les architectures classiques d'interfaces capteurs sont composées d'amplificateurs d'instrumentation à haut gain, et de CAN chargés de transcrire le signal analogique dans le domaine digital. Ces architectures sont compatibles avec des résolutions élevées (10 bits) ainsi que des plages dynamiques de l'ordre de 80 dB. Cependant, d'après les travaux de revue de Murmann sur les architectures de CAN existantes à l'état de l'art [45], la puissance consommée par de tels convertisseurs, pour une fréquence d'échantillonnage de 40 kHz (compatible avec la bande audio), s'étend entre 40µW et 4mW. Ces consommations ne sont pas compatibles avec des applications de nœuds de capteurs autonomes.

Les chercheurs ont alors développé des architectures de CAN utilisant des oscillateurs contrôlés en tension, permettant de réduire la consommation de CAN hautes performances par l'encodage du signal dans le domaine temporel, tout en assurant une bonne précision de conversion.

La plupart des circuits dans le domaine temporel présentés dans la littérature [46]–[49] correspondent à des CAN à oscillateur contrôlés en tension. Ils répondent à une architecture globale présentée ci-dessous :

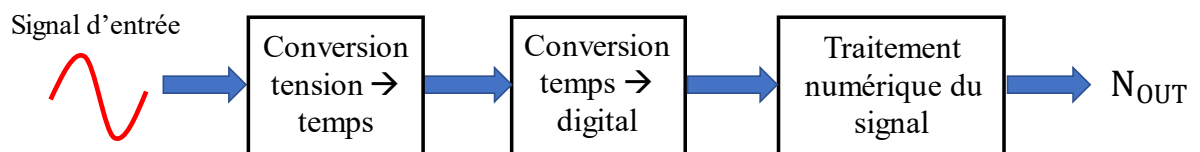


Figure 1-16 : schéma bloc d'un CAN dans le domaine temporel

Un CAN dans le domaine temporel est composé d'un convertisseur tension vers temps, suivi par un convertisseur temps vers digital. Plus précisément, un CAN à OCT conventionnel utilise l'architecture de la figure 1-17 :

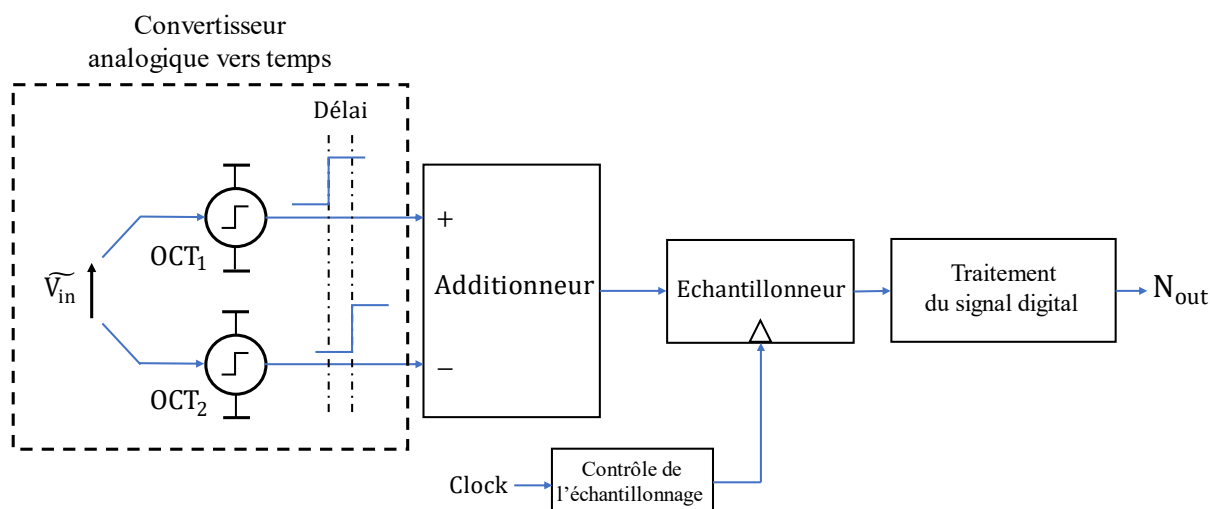


Figure 1-17 : architecture conventionnelle d'un CAN utilisant des OCT

Ainsi, le convertisseur tension vers temps utilisé dans ce type d'architecture est composé de deux OCT. Leurs fréquences d'oscillations sont modulées de manière différentielle, si bien qu'un délai, représentatif du signal d'entrée converti dans le domaine temporel, apparaît entre les deux signaux de sortie des OCT. Ce signal est ensuite numérisé à l'aide d'une chaîne composée d'un additionneur digital, d'un échantillonneur et d'un bloc de traitement du signal permettant la reconstitution du mot de sortie N_{OUT} sur un bus digital.

Les CAN utilisant des OCT permettent la réalisation de circuits de conversion performants, tout en permettant une consommation réduite. On présente, dans le tableau 1-4, le récapitulatif des performances apportées par ce type d'architecture :

	[46]	[49]	[50]	[48]
Architecture	OCT	OCT	OCT	OCT
Technologie [nm]	40	40	40	40
Tension d'alimentation [V]	0.8	1.2	1.2	1.2
Surface [mm ²]	0.025	0.06	0.0145	0.135
Bande passante [kHz]	10	2	5	0.2
SNDR [dB]	78.5	74.9	61.85	74
Densité de bruit [nV/ $\sqrt{\text{Hz}}$]	36	142	32	368
Puissance consommée [μW]	4.68	21	17	7

Tableau 1-4 : récapitulatif des performances des CAN utilisant des OCT

On observe ainsi que les implémentations de CAN à OCT permettent de réduire, à SNDR proche de 80 dB, la puissance consommée du CAN à un niveau proche de $4.7\mu\text{W}$. Comme attendu, on en déduit que les architectures de circuit dans le domaine temporel permettent une diminution de la puissance consommée en bénéficiant de leur nature quasi-numérique.

Cependant, il a été démontré dans [30] que la reconnaissance d'évènement pour une application de CdR pouvait être atteinte avec une précision supérieure à 90% pour un SNR de l'interface capteur globale de 3dB. Ainsi, les contraintes en bruit sur le circuit peuvent être globalement relâchées. Les CdR de l'état de l'art démontrent un fonctionnement pour une dynamique de sortie se situant autour de 40-45 dB [26], [32], soit une réduction de la dynamique des circuits du domaine temporel présentés dans le tableau 6 d'environ 33dB. Dans ces conditions, on émet l'hypothèse que la méthode de conceptions des circuits dans le domaine temporel permettra d'atteindre une consommation inférieure à 100nW, et est donc compatible avec nos objectifs de réalisation de CdR sur évènement.

Dans notre cas d'étude, on souhaitera utiliser les circuits du domaine temporel pour réaliser un traitement du signal « analogique » sur le signal d'entrée, donnant un résultat dans un signal temporel. Le but sera d'obtenir une décomposition spectrale du signal d'entrée dans le domaine temporel, et d'opérer ensuite une classification du signal résultant pour effectuer une opération de réveil.

Des circuits spécifiques de l'état de l'art, utilisant des OCT, permettent de réaliser des opérations de filtrage dans le domaine temporel à ultra-faible consommation. On s'inspirera de ces architectures dans notre développement technique pour réaliser une interface d'extraction de caractéristiques.

On présente ces architectures de filtres dans la partie suivante.

2.7. Filtres dans le domaine des phases utilisant des OCT

Un filtre du domaine temporel utilisant des OCT agit sur un signal d'entrée, du domaine temporel ou électrique (en fonction de l'architecture de filtre choisi), et fournit un signal du domaine temporel filtré. En somme, on peut résumer le fonctionnement de ce type de système par le schéma de la figure 1-18.

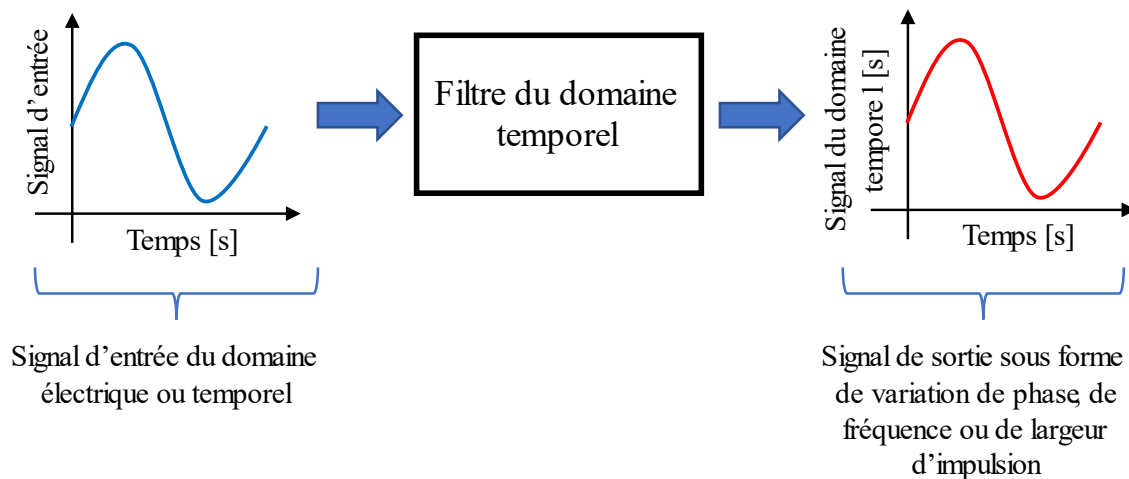


Figure 1-18 : Schéma d'entrée-sortie d'un filtre du domaine temporel

La littérature rapporte plusieurs architectures de filtres à OCT, permettant de réaliser des fonctions de transfert du premier et second ordre. Dans les parties suivantes, on présente deux architectures de filtres à OCT, afin de bien comprendre le fonctionnement de ces derniers, et de s'en inspirer dans la suite de notre travail.

2.7.1. Filtre du premier ordre

Dans l'article [40], l'équipe de recherche du Dr. Constandinou propose une architecture de filtre passe bas du premier ordre, utilisant une structure d'oscillateur contrôlé en courant en anneau. Ainsi, le schéma du filtre proposé est présenté figure 1-19 :

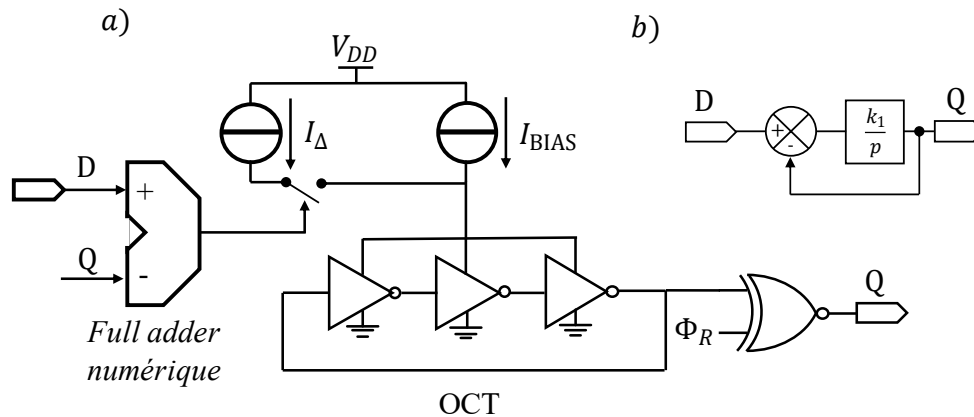


Figure 1-19 : Filtre du premier ordre dans le domaine temporel présenté dans [40]

L'entrée du filtre est un signal du domaine temporel modulé en largeur d'impulsion (MLI). Ce signal est appliqué sur le port D du filtre. La sortie, quant à elle, est également un signal MLI, reconstitué à grâce à la comparaison du signal de sortie de l'OCT avec un signal de référence, dont la phase est statique, dénommé Φ_R . L'architecture de filtre du premier ordre, présentée en a), est constituée d'un OCT en anneau, d'une porte OU exclusif, et d'un opérateur logique *full adder* (FA) utilisé pour reboucler le système. Le rôle du FA est de pouvoir comparer deux signaux D et Q, modulés en largeur d'impulsion, considérés comme incohérents (c'est-à-dire de fréquences porteuses différentes). L'utilisation d'un tel dispositif permet de limiter les non-linéarités qui pourraient être apportées par un comparateur de phase classique, constitué par exemple de portes ou exclusif.

Les signaux D et Q sont reliés à chacune des entrées du FA, utilisé comme différenciateur de largeur d'impulsion. Le signal de sortie du FA permet de commuter une source de courant I_Δ s'ajoutant au courant de polarisation de l'OCT en anneau du filtre, permettant d'en modifier sa fréquence propre, et par conséquent sa phase de sortie Φ_Δ . Φ_Δ est ensuite comparée à un signal représentant une phase de référence Φ_R à l'aide d'un comparateur de phase à porte logique ou-exclusif.

La structure de filtre peut être représenté symboliquement comme le schéma bloc de la figure b). Un intégrateur, rebouclé sur un comparateur de phase, permet ainsi la génération d'une fonction de transfert de filtre du premier ordre.

2.7.2. Filtrés d'ordre 2

L'article [40] fait également état d'un filtre du second ordre, généré également par le rebouclage d'un OCT sur un comparateur de phase. Son schéma est donné dans la figure 1-20 :

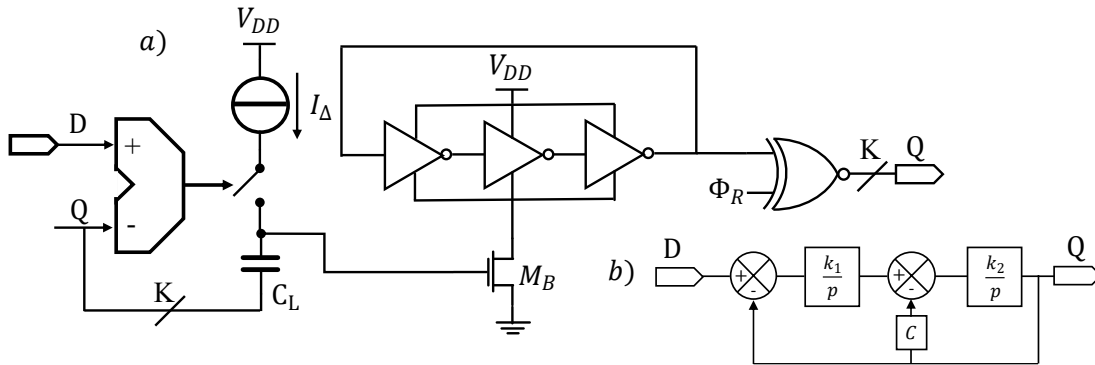


Figure 1-20: Filtré du second ordre dans le domaine temporel présenté dans [40]

Le schéma du filtre présenté dans a) reprend les mêmes méthodes de conception que dans le cas du filtre du premier ordre. Seulement, une intégration supplémentaire est apportée par la charge de la capacité C_L , donnant naissance à la tension $V_{P/N}$. En effet, cette pompe de charge conventionnelle intègre la variation de courant liée à la commutation de la source, car la tension aux bornes de la capacité C_L découle de l'intégrale du courant qui la traverse. Ainsi, deux pôles résultent de cette nouvelle architecture et permettent l'établissement d'un filtre passe-bas du second ordre.

Ainsi, on observe que la synthèse de filtres à OCT fait appel à des pompes de charges pour réaliser le couplage entre les étages de la fonction de transfert. Les pompes de charges utilisées constituent une étape de traitement du signal supplémentaire dans le circuit, induisant la génération de courants statiques que l'on souhaiterait amenuiser afin de réduire au maximum la consommation du circuit.

Le filtre ainsi présenté dans [40] présente les caractéristiques d'un filtre passe-bas du second ordre, d'une bande passante de 5 kHz. La consommation du filtre est de 73nW, pour un taux de distorsion harmonique de -53dB. On remarque que l'introduction d'une pompe de charge pour l'apparition de pôles supérieurs implique un passage du traitement du signal dans le domaine temporel vers le domaine analogique, et inversement. Dans la suite, on verra que l'on peut s'affranchir de l'utilisation de ces dernières, ainsi que des variabilités en process, tension et température pouvant y être associées.

2.8. Conclusions sur les architectures à OCT

Dans cette partie, nous avons pu mettre à jour une utilisation intéressante de la propriété d'intégration des OCT dans des architectures de filtres du domaine temporel. Par cette méthode, des fonctions de filtrage peuvent être établies, à des consommations de l'ordre de 73 nW, pour des taux de distorsion harmonique de l'ordre de -53dB, et une dynamique de sortie de 55 dB [40].

L'utilisation de ces filtres est un bon compromis pour la réalisation de CdR ultra-faible consommation, en cela qu'ils peuvent permettre de réaliser la décomposition spectrale du signal d'entrée à faible consommation, tout en gardant des performances en linéarité intéressantes. De plus, ces circuits n'étant composés que de cellules standard, leur implémentation sera très peu coûteuse en surface.

La représentation d'un signal dans le domaine temporel n'a été abordée, jusqu'à présent, qu'à partir d'architectures de circuits utilisant des oscillateurs contrôlés en tension. Ces architectures sont pertinentes et ont permis la réalisation d'interfaces capteurs très performantes en consommation. Cependant, ces architectures peuvent être sujettes au bruit de phase augmentant lorsque la tension d'alimentation se réduit drastiquement, ainsi qu'à une variabilité en fréquence en fonction de la température d'utilisation.

Pour pallier ces problèmes, on propose d'utiliser un type d'oscillateur analogue aux OCT, mais dont la fréquence de sortie est synchronisée sur un signal de référence : un oscillateur verrouillé par injection (OVI). En effet, ils peuvent être utilisés comme déphaseurs contrôlés en tension, et présentent des propriétés intéressantes en termes de bruit de phase, que l'on souhaite exploiter pour une conception à basse tension.

Dans la partie suivante, on explicite les propriétés des OVI que l'on souhaite exploiter pour la réalisation d'un CdR sur événement ultra-faible consommation.

3. Systèmes électroniques utilisant une méthode d'encodage temporelle implémentée à l'aide d'OVI.

3.1. Généralités

3.1.1. Définitions

Un oscillateur verrouillé par injection est un oscillateur, caractérisé par sa fréquence d'oscillation libre f_0 , synchronisé en fréquence sur un signal externe. Le verrouillage par injection est une propriété commune à tous les types d'oscillateurs, qu'il soient électroniques [51], mécaniques [52], ou encore biologiques [53]. Dans ce travail de recherche, on ne s'intéressera qu'aux implémentations électroniques des OVI. On peut considérer 3 grands types d'injection pour les OVI : l'injection sous-harmonique, l'injection harmonique, et l'injection super-harmonique. On considère, dans la figure 1-21, un schéma explicatif d'un OVI sous injection harmonique.

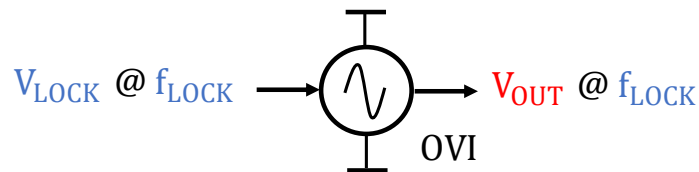


Figure 1-21 : Schéma symbolique d'un OVI sous injection harmonique

Dans le cas d'une injection harmonique, le signal de verrouillage est donc appliqué sur une entrée spécifique l'OVI, appelée entrée de verrouillage. Ainsi, on peut observer que la fréquence de sortie de l'oscillateur est égale à la fréquence du signal spécifique de verrouillage f_{LOCK} . L'oscillateur est donc verrouillé sur le signal de verrouillage. On observe également qu'un déphasage apparaît entre le signal de sortie de l'OVI et son signal de verrouillage.

Dans le cas d'une injection sous-harmonique, le signal de verrouillage appliqué à l'OVI possède une fréquence sous-harmonique de la fréquence de sortie de l'oscillateur. Ainsi, lorsqu'il est verrouillé, un OVI possède une fréquence de sortie égale à un multiple de sa fréquence de verrouillage. Ce type d'injection est utilisé, notamment, dans des architectures de boucles à verrouillage de phase utilisant des OVI.

A l'inverse, dans le cas de l'injection superharmonique, le signal de verrouillage appliqué à l'OVI possède une fréquence correspondant à une harmonique supérieure à la fréquence de sortie de l'oscillateur. Ainsi, lorsqu'il est

verrouillé, un OVI possède une fréquence de sortie égale à un diviseur entier de sa fréquence de verrouillage. Ce type d'injection est utilisé pour des applications de divisions de fréquence dans les synthétiseurs de fréquence.

Les OVI peuvent être implémentés sous forme harmonique et non-harmonique. Dans cette partie, on ne présentera que les implémentations harmoniques des OVI, les implémentations non-harmoniques étant étudiées dans les chapitres ultérieurs.

3.1.2. Exemple d'implémentation d'un OVI harmonique

Dans cette partie, on ne considérera que des modèles harmoniques d'OVI, dont on présente un schéma de la figure 1-22.

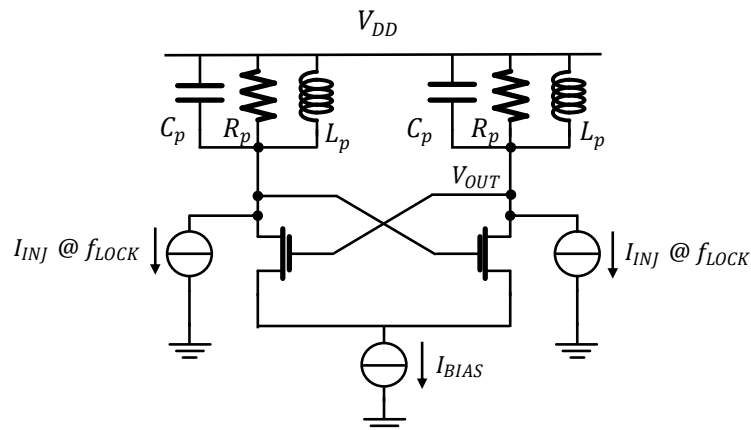


Figure 1-22 : Schéma d'un OVI harmonique

L'OVI harmonique présenté dans la figure 1-22 est constitué d'un oscillateur à paire différentielle croisée, dont la fréquence d'oscillation libre f_0 est fixée à l'aide des composants L_p , R_p et C_p . Le signal de verrouillage est appliqué en sortie de l'oscillateur, et est ici représenté comme une source de courant appliquant un courant I_{INJ} , variable, à la fréquence f_{LOCK} . Ainsi, l'oscillateur est verrouillé sur un signal variable à la fréquence f_{LOCK} , faisant varier le courant d'injection à la même fréquence.

3.1.3. Modélisation du comportement dynamique d'un OVI harmonique, suivant un mode d'injection harmonique

Le comportement dynamique des oscillateurs verrouillés par injection a été étudié par Robert Adler, Huntoon et Weiss [51], [54]. Dans [51], il a notamment été montré que le verrouillage par un signal harmonique de l'OVI peut être vu comme une modification de l'impédance vue au point spécifique où est appliqué le signal de verrouillage. Ainsi, les OVI ont pu être représenté comme étant des systèmes du premier ordre dont l'équation différentielle est régie par :

$$\frac{1}{2\pi} \frac{\partial \Delta\Phi}{\partial t} + \frac{|V_{LOCK}| |E_F|}{|I_{OUT}|} \cos(\Delta\Phi + \beta) = (f_{LOCK} - f_0) \quad (1.8)$$

Où $\Delta\Phi$ correspond au déphasage entre le signal de sortie de l'OVI et son signal de verrouillage, f_{LOCK} est la fréquence de verrouillage, f_0 la fréquence d'oscillation libre de l'OVI, E_F est un coefficient de conformité complexe dont $|E_F|$ correspond à la norme et β est l'argument, $|V_{LOCK}|$ correspond à l'amplitude du signal de verrouillage et $|I_{OUT}|$ est l'amplitude du courant de sortie.

On observe donc que l'équation différentielle non-linéaire (1.8) correspond à un système du premier ordre. Elle permet notamment, en régime statique, d'établir l'expression de la plage de verrouillage de ce système, c'est-à-dire l'intervalle de fréquence que peut occuper la fréquence de verrouillage f_{LOCK} tout en conservant le verrouillage de l'OVI. La plage de verrouillage Δf s'écrit :

$$\Delta f = 2 \frac{|V_{LOCK}| |E_F|}{|I_{OUT}|} \quad (1.9)$$

De même, à l'aide de l'équation (1.3) en régime statique, le déphasage statique d'un OVI peut être écrit :

$$\Delta\Phi = \arccos\left(\frac{2(f_{LOCK} - f_0)}{\Delta f}\right) \quad (1.10)$$

Le déphasage statique de l'OVI aura donc la forme d'une courbe en arc cosinus, variant en fonction du facteur $f_{LOCK} - f_0$. Cette tendance, relevant de la résolution de l'équation d'Huntoon et Weiß se rapportant aux OVI harmoniques, se retrouvera généralement quelque soit l'architecture d'OVI harmonique implémenté.

3.1.4. Fonction de transfert en bruit d'un OVI

Les OVI présentent des propriétés intéressantes en termes de bruit de phase. En effet, il a été démontré dans [55], [56], [57] que le bruit de phase de sortie d'un oscillateur est réduit lorsqu'il est verrouillé sur un signal externe. Dans [55], Razavi l'interprète comme une « correction » du passage par zéro du signal de sortie de l'oscillateur à chaque période. Dans [56], la fonction de transfert en bruit d'un OVI harmonique est établie, et est donnée par :

$$\Phi_{\epsilon}(p) = \frac{p}{p + 2\pi f_{-3dB}} \Phi_{bo}(p) + \frac{f_{-3dB}}{p + 2\pi f_{-3dB}} \Phi_{bs}(p) \quad (1.11)$$

Où $\Phi_{\epsilon}(p)$ représente le bruit de phase total de l'OVI, $\Phi_{bo}(p)$ correspond au bruit de phase de l'oscillateur dû à ses éléments bruyants, et $\Phi_{bs}(p)$ représente le bruit de phase du signal de verrouillage de l'OVI. Le terme f_{-3dB} correspond, quant à lui, à la bande passante de modulation de l'OVI. On peut alors donner la représentation asymptotique de la densité spectrale de puissance du signal de sortie de l'OVI, pour représenter le bruit de phase de l'OVI. On considère, pour cela, que le bruit de phase de la source est un bruit évoluant avec une pente de -20 dB/décade.

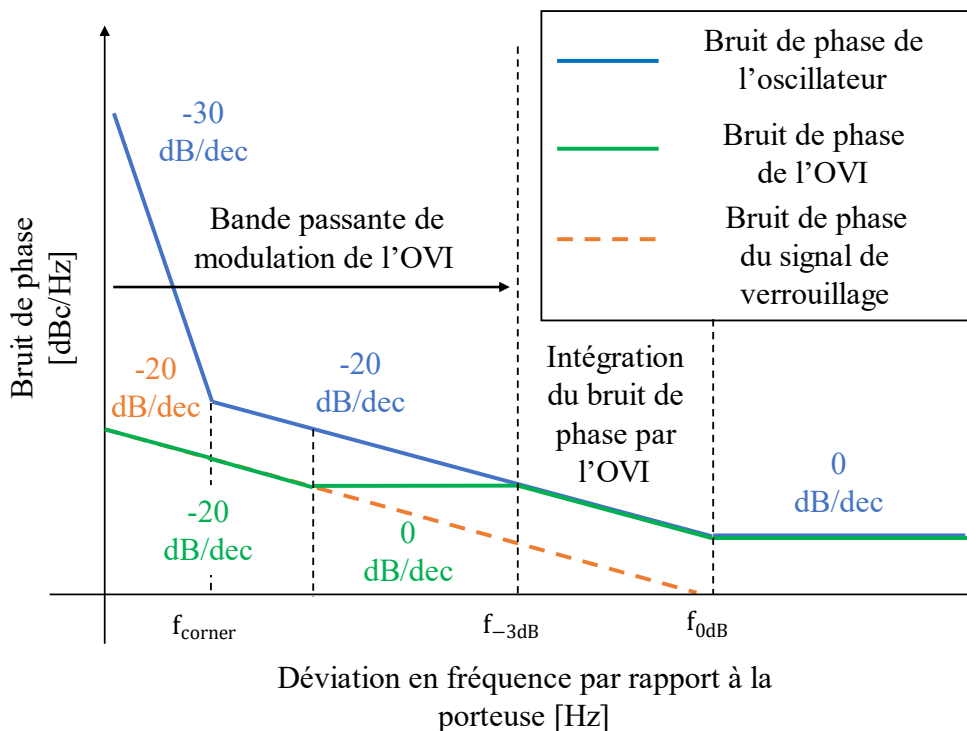


Figure 1-23 : représentation asymptotique du bruit de phase d'un OVI

Le bruit de phase de l'OVI recopie le bruit de phase de la source du signal de verrouillage et suit donc une pente de -20dB/décade dès le début de la plage de fréquence considérée. Puis, lorsque le niveau de bruit du signal de verrouillage devient trop faible, cette portion de courbe asymptotique ne représente plus que l'application du terme $\frac{p}{p+f_{-3dB}}$ au bruit de phase de l'oscillateur non verrouillé $\Phi_{bo}(p)$, se traduisant par une bande plate. Au-delà de la bande passante de modulation, le terme $\frac{p}{p+f_{-3dB}}$ devient proche de 1, et le bruit de phase de la source est intégré par l'effet du terme $\frac{f_{-3dB}}{p+f_{-3dB}}$ de la fonction de transfert. Au-delà de la fréquence f_{0dB} , représentant un bruit à l'extérieur de la bande passante du résonateur de l'OVI, le bruit de phase équivalent de l'OVI est à nouveau égal au bruit de phase de l'oscillateur non verrouillé.

Les OVI sont utilisés dans de multiples types de circuits électroniques. On présente, dans la partie suivante, des exemples de ces circuits.

3.2. Exemples d'utilisation d'OVI en électronique

Les oscillateurs verrouillés par injection ont de multiples applications dans le domaine électronique et radiofréquence. Afin de mieux s'appropriier le concept des OVI, on présente quelques applications de leurs utilisations dans des circuits électroniques.

3.2.1. Utilisation d'OVI à injection sous-harmonique et superharmonique dans les applications radiofréquences

Les OVI sont souvent utilisés dans les applications RF, dans leurs configurations d'injection sous-harmonique et super-harmonique. Cependant, dans ce travail, nous ne nous intéresserons qu'au cas d'injection harmonique des OVI.

Ainsi, on présente dans l'annexe C l'utilisation d'OVI superharmoniques pour la synthèse de fréquence et sous-harmoniques dans des boucles à verrouillage de phase (BVP).

3.2.2. Utilisation d'OVI comme déphaseur contrôlé en tension (injection harmonique)

Dans notre cas d'application, on ne s'intéressera pas au comportement fréquentiel d'un OVI, mais plutôt à son comportement dans le domaine temporel. Ainsi, un OVI peut être utilisé comme un déphaseur contrôlé par un signal externe. Dans [58], ce mode d'utilisation d'un OVI a été démontré expérimentalement.

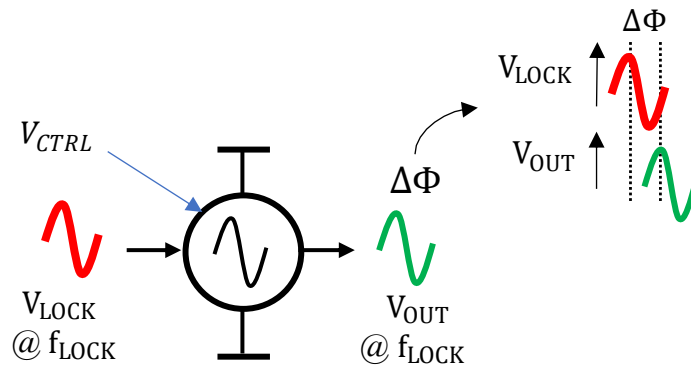


Figure 1-24 : OVI utilisé comme déphaseur contrôlé en tension

Le fonctionnement d'un OVI utilisé comme déphaseur contrôlé par un signal extérieur est expliqué ainsi. Premièrement, l'OVI est synchronisé sur un signal externe, à la fréquence de verrouillage f_{LOCK} . Par conséquent, la fréquence du signal de sortie de l'OVI est elle aussi égale à f_{LOCK} . Or, d'après l'équation (1.5), un déphasage dépendant à la fois de f_{LOCK} et f_0 subsiste entre les signaux V_{OUT} et V_{LOCK} . Ce déphasage peut alors être contrôlé dynamiquement par une modification de la fréquence f_0 de l'oscillateur. Ainsi, en rendant f_0 dépendante d'un signal externe V_{IN} , le déphasage $\Delta\Phi$ devient directement dépendant du signal V_{IN} . Par ce procédé, on réalise un déphaseur contrôlé en tension.

L'utilisation d'un OVI comme déphaseur contrôlé en tension est très intéressante dans le cadre de notre travail de recherche. En effet, un OVI est capable de transformer directement un signal contenu dans une amplitude en un signal du domaine temporel. Il en résulte que les OVI sont des éléments clés pour réaliser des circuits du domaine temporel innovants. Dans la partie suivante, on présente les applications des OVI à la réalisation d'interfaces capteurs dans le domaine temporel.

3.3. Interfaces capteurs utilisant des OVI pour une application haute température

Dans un travail de recherche précédent [59]–[61], exercé par le docteur Chabchoub, une interface de lecture utilisant des OVI a été conçue afin de résister à des conditions extrêmes en température. En effet, le but de ce projet était de concevoir une interface capteur capable de fonctionner sur un intervalle de température de $[-40 ; 220]$ °C. Cette interface consiste en un CAN utilisant des OVI. On présente le schéma simplifié de cette architecture ci-dessous :

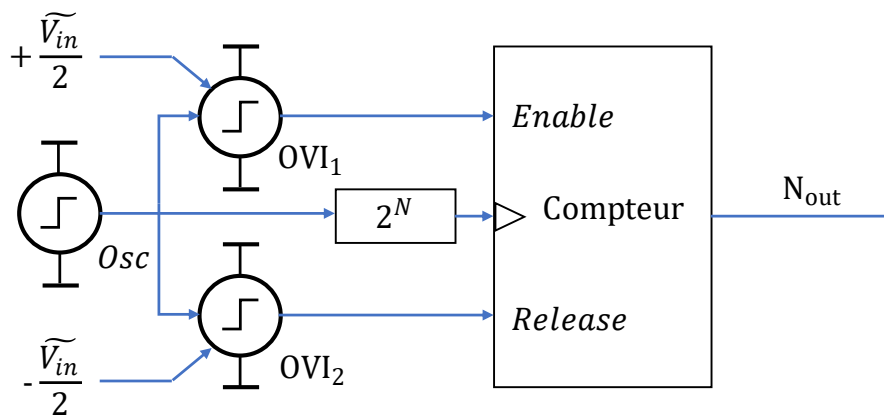


Figure 1-25 : CAN haute température à OVI, présentée dans [61]

Le CAN de la figure 31 est constitué d'un oscillateur de référence, et de deux OVI réalisant une entrée différentielle sur laquelle on applique le signal V_{IN} (respectivement $+\frac{V_{IN}}{2}$ sur OVI₁ et $-\frac{V_{IN}}{2}$ sur OVI₂). Cette paire différentielle d'OVI est verrouillée par un oscillateur de référence, nommé Osc . Le signal d'entrée provoque une modification du déphasage de chaque OVI par rapport à son signal de verrouillage, de façon opposée.

Par conséquent, on observe un déphasage $\Delta\Phi$ entre les signaux de sortie des OVI 1 et 2. Or, comme nous l'avons vu précédemment, les OVI vont recopier le bruit de phase de l'oscillateur de référence. Ainsi, la mesure différentielle du déphasage $\Delta\Phi$ permet de s'affranchir du bruit de phase corrélé présent en sortie des OVI 1 et 2.

La fréquence de verrouillage f_{LOCK} , est quant à elle multipliée par 2^N à l'aide d'une BVP, et est appliquée à l'entrée d'horloge d'un compteur. Ainsi, les entrées *enable* et *release* du compteur étant activées par les signaux provenant des deux OVI, la différence de phase entre les deux signaux est quantifiée par le compteur cadencé à $2^N f_{LOCK}$, permettant de générer un mot de sortie sur N bits.

Les OVI et l'oscillateur de référence sont implémentés, comme on le verra dans les chapitres suivants, avec la même architecture. Ces trois oscillateurs ont les mêmes variations de fréquence d'oscillation libre en température. Par conséquent,

les conditions de verrouillage des OVI seront constantes dans le temps, et le déphasage des OVI sera donc invariant avec la température.

Le compteur étant un circuit digital, il bénéficie par nature d'une bonne résistance aux variations de température.

Les résultats de simulations et expérimentaux de ce circuit ont été présentés dans [61]. Alimenté par une tension de 1.8V, et réalisé dans une technologie 180 nm SOI, cette interface capteur a prouvé une résolution de 11bits, pour un taux de distorsion harmonique de 1.7% sur un intervalle de température de [-20 ;220] °C. La consommation de ce circuit est de 1mW, pour une surface active totale du circuit de 0.21mm².

Comme il sera montré dans les chapitres suivants, l'utilisation d'OVI non-harmoniques est pertinente pour la réalisation d'interfaces de lecture dans le domaine temporel, pour des applications très contraintes en performances par leur environnement.

3.4. Conclusions, axes de recherche et positionnement

Dans ce chapitre, nous avons pu étudier les différentes implémentations possibles d'interfaces de capteur de réveil, ainsi que leurs performances en bruit et en consommation. Les CdR à reconnaissance d'évènement, utilisant des extracteurs de caractéristiques de la signature spectrale du signal incident, ont une consommation, au meilleur de l'état de l'art, de 142nW, pour une dynamique d'environ 50 dB. La consommation de ce type d'architecture doit encore être réduite, afin d'obtenir une autonomie accrue, permettant l'utilisation de ce type de CdR de manière quasi abandonnée.

Pour réduire la consommation de telles interfaces capteurs, nous nous sommes ensuite intéressés à la réalisation de circuits électroniques en utilisant une méthode de conception innovante, appelée conception dans le domaine temporel. Elle consiste à bénéficier d'une représentation des signaux dans le domaine temporel afin de réduire la tension d'alimentation, ainsi que la consommation des circuits. Ce type d'architecture, par le biais de CAN utilisant des OCT, permet d'obtenir de bonnes performances en consommation, permettant l'utilisation de ces circuits dans des domaines nécessitant une autonomie accrue, comme par exemple le bio-médical.

Une méthode innovante de représentation des signaux dans le domaine temporel a été récemment développée, non plus en utilisant des OCT mais des OVI pour représenter les signaux dans le domaine temporel. En bénéficiant de la propriété naturelle de déphaseur des OVI, ainsi que de leur capacité à recopier le bruit de phase de leur signal de verrouillage dans leur bande passante de modulation, une interface capteur haute température a été développée et a montré une robustesse aux variations de température dans un intervalle de [-20 ;220] °C.

Dans ce travail de recherche, on souhaite donc réaliser une interface de CdR à reconnaissance d'évènement ultra-faible consommation, utilisant la représentation des signaux dans le domaine temporel afin de l'alimenter sous faible tension d'alimentation sans avoir à s'inquiéter de la réduction de la dynamique des signaux.

Notre travail se focalisera sur la fonction d'extraction de caractéristiques à ultra-faible consommation, et proposera une architecture de banque de filtres à OVI permettant l'analyse du signal d'entrée directement dans le domaine temporel. Souhaitant bénéficier des propriétés des OVI non-harmonique de nature quasi-digitale à pouvoir être alimentés sous une faible tension d'alimentation, on utilisera ces dispositifs comme outils à la réalisation de notre interface. Nous nous fixons donc un objectif de réalisation de cette interface, résumé dans le tableau 1-5, et positionnée par rapport aux performances atteintes par les banques de filtres appliquées à l'extraction de caractéristiques à l'état de l'art :

	[36]	[34]	[32]	Positionnement
Technologie [nm]	90	180	180	22nm FDX/ 65nm CMOS
Architecture	Analogique	Analog-to-events	Analogique/digital	Domaine temporel à OVI
Bande passante [Hz]	75-5k	100-5k	100-4k	6k
Dynamique [dB]	45	40	47	≈ 45
Surface/canal [mm ²]	0.13	0.1	0.624	≈ 0.001
Consommation [nW]	4400	148	60	10

Tableau 1-5 : Positionnement par rapport aux performances de l'état de l'art

Ainsi, l'interface que nous souhaitons concevoir devra être très performante en termes de consommation en puissance, puisque nous souhaitons que notre circuit ait une consommation finale autour des 100 nW. La bande passante de cette architecture devra être compatible avec une application audio à faible bande passante. On fixe cette bande passante à 6kHz. La dynamique de cette interface devra être de l'ordre de celles de l'état de l'art, alors qu'on souhaite que la surface occupée par ces circuits soit largement réduite.

Dans la suite de ce manuscrit, on présentera la réalisation et l'implémentation d'une telle interface à l'aide d'OVI.

Chapitre 2

Oscillateurs verrouillés par injection à relaxation
ultra-faible consommation

Le chapitre 1 a présenté l'état de l'art sur les interfaces de capteur de réveil ultra-faible consommation. On a également mis à jour la fonction de déphaseur des oscillateurs verrouillés par injection, ainsi que les interfaces de capteurs pouvant être réalisées avec ces circuits. La focalisation sur les interfaces capteur dans le domaine des phases permet de diminuer la consommation de ce type d'architectures.

Dans le chapitre 2, nous nous concentrerons sur l'utilisation d'OVI à relaxation utilisés comme déphaseurs pour la réalisation d'interfaces capteur. En particulier, nous présentons une architecture innovante d'OVI à injection capacitive, que l'on implémentera sur silicium pour des applications ultra-faible consommation.

1. OVI à relaxation injectés par des sources de courant commutées

Le phénomène de verrouillage par injection se présente tant pour le cas des oscillateurs harmoniques que pour le cas des oscillateurs non harmoniques [62], [63]. Les OVI à relaxation présentent de nombreux avantages en termes énergétiques [64]. En effet, ce type d'architecture peut être implémenté à l'aide de composants logiques CMOS, dont le fonctionnement « tout-ou-rien » autorise la réduction de leur tension d'alimentation à des niveaux de l'ordre de la tension de seuil des transistors (quelques centaines de millivolts) [46]. Leur puissance dynamique consommée est ainsi diminuée en suivant le carré de leur tension d'alimentation [65]. Dans le cadre de nos recherches sur les interfaces capteur ultra-faible consommation, il est pertinent d'utiliser et d'optimiser une architecture OVI de ce type.

Tout OVI est constitué d'un oscillateur libre verrouillé sur un signal externe. Par la suite, on présentera l'architecture d'un oscillateur verrouillé par injection, fondé sur un oscillateur à relaxation et injecté à l'aide de sources de courant commutées.

1.1. Oscillateur à relaxation

Les travaux précédents [59], [66] introduisent des oscillateurs à relaxation utilisant des bascules D. On présente le schéma d'un tel oscillateur dans la figure 2-1.

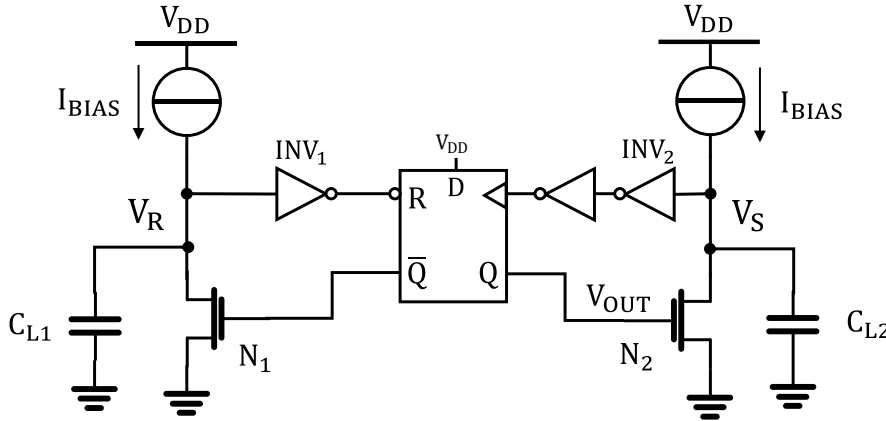


Figure 2-1 : Oscillateur à relaxation à bascule D

Cet oscillateur est composé de composants logiques : des inverseurs ainsi que des transistors polarisés en régime ohmique (interrupteurs). Il est polarisé par une source de courant constante, ici présentée comme idéale, chargée de fournir un courant I_{BIAS} . Le rapport cyclique de sortie de l'OVI dépend des capacités de charge C_{L1} et C_{L2} . Ainsi, sa valeur α est égale à $\frac{C_{L1}}{C_{L1}+C_{L2}}$ [67]. On souhaite que le signal de sortie V_{OUT} dispose d'un rapport cyclique de 50%, afin de pouvoir supposer un fonctionnement symétrique de l'oscillateur et simplifier les développements. Les valeurs des capacités C_{L1} et C_{L2} sont donc définies comme égales à une valeur C_L .

Le chronogramme de la figure 2-2 décrit l'évolution des différentes tensions dans l'oscillateur à relaxation.

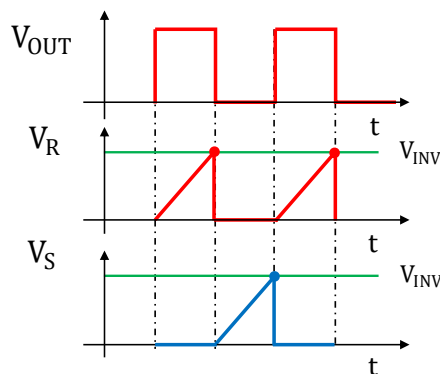


Figure 2-2 : Chronogramme d'évolution des tensions de l'oscillateur à relaxation à bascules D

L'oscillateur fonctionne comme suit [59], [66]. Lorsque V_{OUT} est à son niveau bas, $Q = 0$ et le transistor P_2 est ouvert. Le courant constant de polarisation, I_{BIAS} , est donc dirigé vers la capacité C_{L2} , qui se charge linéairement. Lorsque la tension de la capacité C_{L2} , V_S , atteint la valeur de la tension de basculement des inverseurs V_{INV} , la valeur de la tension V_S passe à sa valeur haute, impliquant une mise à zéro du signal de sortie V_{OUT} . Le même cycle se décrit ensuite pour la charge de C_{L1} . Ainsi, la répétition de ces cycles permet à l'oscillateur d'osciller librement.

Le temps de charge d'une capacité (au choix C_{L1} ou C_{L2}) permet de définir la fréquence d'oscillation libre de l'oscillateur $f_0 = 1/T_0$. En effet, par étude directe de la charge de C_{L1} ou C_{L2} , on peut écrire l'équation (2.1) :

$$V_{INV} = \frac{T_0 I_{BIAS}}{2 C_L} \quad (2.1)$$

On peut en déduire, en écrivant $f_0 = \frac{1}{T_0}$, l'équation (2.2)

$$f_0 = \frac{I_{BIAS}}{2C_L V_{INV}} \quad (2.2)$$

La fréquence d'oscillation libre est donc proportionnelle au courant de polarisation I_{BIAS} , et inversement proportionnelle à la capacité de charge C_L et à la tension de seuil de commutation des inverseurs, V_{INV} . L'oscillateur peut être verrouillé sur un signal à l'aide de sources de courant commutées. On étudie le verrouillage de l'OVI par cette méthode dans la sous-section suivante.

1.2. Verrouillage de l'oscillateur par des sources de courant commutées

1.2.1. Schéma et verrouillage de l'OVI

Le schéma de l'OVI injecté par des sources de courant commuté est montré dans la figure 2-3, et est inspiré de [66]. Il reprend l'architecture de l'oscillateur à relaxation à bascules D, auquel on ajoute un système de « push – pull », réalisé à partir d'inverseurs, destinés à ajouter puis soustraire un courant constant dans les capacités de charge C_{L1} et C_{L2} . L'OVI est donc verrouillé sur le signal de verrouillage, V_{LOCK} , ce qui signifie que son signal de sortie V_{OUT} oscille à la fréquence f_{LOCK} et qu'un déphasage $\Delta\Phi$ apparaît entre le signal de sortie V_{OUT} et le signal de verrouillage V_{LOCK} . On note que f_{LOCK} peut être différente de f_0 .

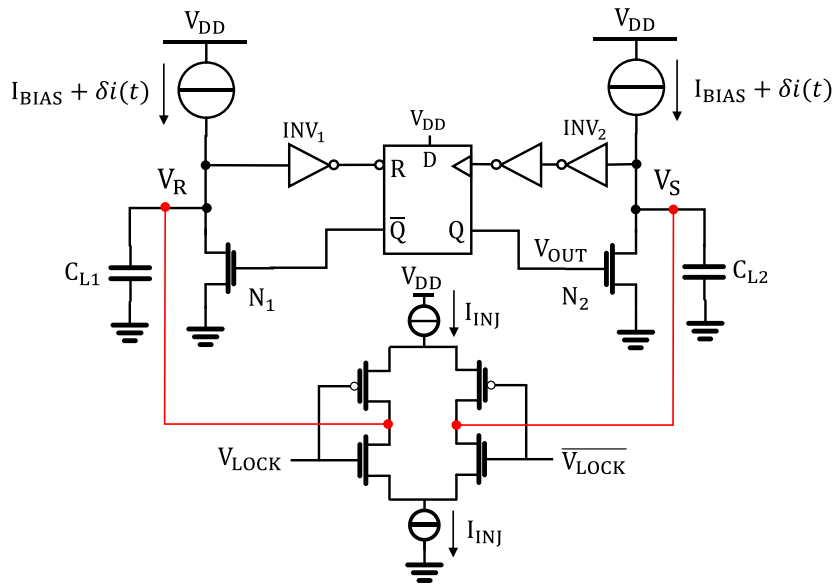


Figure 2-3: OVI à injection par sources de courant commutées

On décrit le procédé d'injection de l'OVI à l'aide du chronogramme figure 2-4.

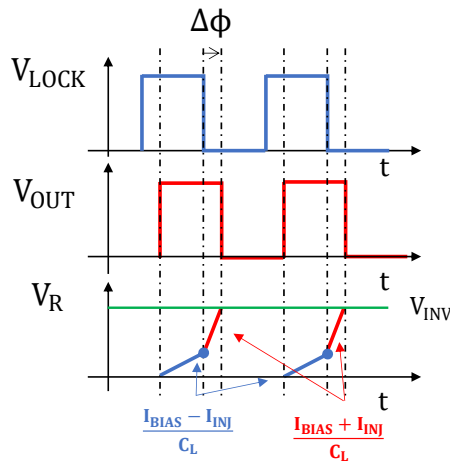


Figure 2-4 : Chronogramme de l'OVI injecté en courant

Le principe d'injection réside en un changement de la vitesse de charge des capacités C_{L1} et C_{L2} , qui est la conséquence de l'action du système d'injection push-pull à inverseurs. En effet, lorsque V_{LOCK} est à son état haut, le courant I_{INJ} est tiré de la capacité C_{L2} , réduisant sa pente à la valeur $\frac{I_{BIAS} - I_{INJ}}{C_L}$. Lorsque V_{LOCK} passe à son état bas, le courant I_{INJ} est injecté dans la capacité C_L , augmentant sa pente de charge à une valeur $\frac{I_{BIAS} + I_{INJ}}{C_L}$. Ces changements de pentes successifs modifient l'instant auquel l'évolution de la tension V_R croise la tension fixe V_{INV} , provoquant

ainsi une inversion retardée de la tension V_{OUT} . Ce phénomène produit le déphasage entre les tensions V_{LOCK} et V_{OUT} .

1.2.2. Déphasage entre V_{LOCK} et V_{OUT}

La valeur de déphasage entre V_{LOCK} et V_{OUT} est quantifiée en étudiant la charge d'une des deux capacités $C_{L1,2}$. En considérant que l'OVI est verrouillé à la fréquence $f_{LOCK} = 1/T_{LOCK}$, et que le signal de verrouillage dispose d'un rapport cyclique de 50 %, on peut écrire la tension de charge finale de la capacité en la séparant en deux phases distinctes.

$$V_{INV} = \frac{I_{BIAS} - I_{INJ}}{C_L} \left(\frac{T_{LOCK}}{2} - \frac{\Delta\Phi}{2\pi f_{LOCK}} \right) + \frac{I_{BIAS} + I_{INJ}}{C_L} \frac{\Delta\Phi}{2\pi f_{LOCK}} \quad (2.3)$$

En considérant $f_0 = \frac{I_{BIAS}}{2C_L V_{INV}}$, on en déduit l'équation (2.4) :

$$(f_{LOCK} - f_0)V_{INV} = \frac{I_{INJ}}{C_L} \frac{\Delta\Phi}{\pi} - \frac{I_{INJ}}{2C_L} \quad (2.4)$$

Soit,

$$\Delta\Phi = \frac{\pi}{2} + \frac{\pi C_L V_{INV}}{I_{INJ}} (f_{LOCK} - f_0) \quad (2.5)$$

Le déphasage $\Delta\Phi$ est donc proportionnel à la différence entre la fréquence de verrouillage de l'OVI et la fréquence d'oscillation libre de l'oscillateur associé. Il est notable de remarquer que les paramètres f_0 et f_{LOCK} ont la même dimension, mais qu'elles n'apparaissent pas sous la même forme au sein du circuit. En effet, f_0 est un paramètre intrinsèque au système, que l'on peut fixer à l'aide de paramètres électriques du système. A l'inverse, f_{LOCK} correspond à la fréquence du signal de verrouillage. On en déduit, comme cela a été montré dans les travaux précédents, que le déphasage $\Delta\Phi$ pourra varier en fonction de f_0 au travers de la modification de divers paramètres électriques, mais pourra également varier en fonction de la variation de fréquence du signal d'entrée. Cette propriété essentielle rend l'utilisation d'OVI pertinente pour la réalisation de circuits de l'électronique temporelle, puisqu'il permettra de faire la conversion d'un signal électrique en un déphasage.

On notera que le déphasage calculé ici correspond à un déphasage statique, ne prenant pas en compte les effets dynamiques de variation de phase.

L'OVI présenté ci-dessus vise à être utilisé comme un déphaseur contrôlé, comme l'ont montré les travaux [58], [68], de manière à convertir un signal du domaine analogique, sous la forme d'une tension ou d'un courant variable, en un déphasage variable, que l'on appellera signal du domaine des phases.

En considérant que Le déphasage entre les signaux de sortie et de verrouillage est compris entre 0° et 180° , On peut en déduire les fréquence minimale et maximale. La plage de verrouillage Δf peut être exprimée ainsi :

$$\frac{\Delta f}{f_0} = \frac{2I_{INJ}}{I_{BIAS}} \quad (2.6)$$

La plage de verrouillage ne dépend que d'un rapport entre le courant de polarisation et le courant d'injection. Ainsi, elle peut être ajustée en choisissant la valeur de I_{INJ} par rapport à I_{BIAS} .

1.2.3. Paramètres de contrôle du déphasage

Le déphasage de l'OVI injecté par un courant peut être contrôlé par la modification dynamique de paramètres de conception, comme montré dans l'équation (2.4). En effet, f_0 , f_{LOCK} , V_{INV} et I_{INJ} sont disponibles pour faire varier la valeur de $\Delta\Phi$.

Le paramètre I_{INJ} peut varier et modifier le déphasage. Cependant, étant placé dans un dénominateur dans l'équation (2), la variation de ce terme apportera des non-linéarités dans la variation de déphasage. On n'étudiera pas ce cas.

Le paramètre f_{LOCK} permet de contrôler le déphasage. En effet, en modifiant f_{LOCK} , le déphasage est également modifié proportionnellement selon l'équation (2). Cependant, la fréquence du signal de sortie de l'OVI sera également modifiée. On utilisera cette propriété en étudiant la réponse en déphasage de l'OVI lorsque son signal de verrouillage est modulé dans le chapitre suivant.

Le paramètre V_{INV} permet la modification du déphasage de manière linéaire dans un cas idéal, et sera utilisé dans la partie suivante.

Dans les implémentations de [60], le choix a porté sur le paramètre f_0 , pouvant être contrôlé linéairement par le courant I_{BIAS} , comme le montre l'équation (2.2). Le courant I_{BIAS} est modulé à l'aide d'une transconductance de gain K_{TR} , réagissant à un signal d'entrée V_{IN} . Ainsi, on obtiendra un déphaseur linéaire contrôlé en courant, dont l'équation est donnée ci-dessous :

$$\Delta\Phi = \frac{\pi}{2} + \frac{\pi C_L V_{INV}}{I_{INJ}} \left(f_{LOCK} - \frac{K_{TR} V_{IN}}{2 C_L V_{INV}} \right) \quad (2.7)$$

L'expression de $\Delta\Phi$ est proportionnelle à V_{IN} et au gain de la transconductance, et la variation du déphasage est donc linéaire en fonction du signal d'entrée V_{IN} .

Le développement de notre travail de recherche consiste en la conception d'oscillateurs verrouillés par injection destinés à des applications d'interfaces capteurs ultra-faible consommation. Ainsi, on souhaite modifier l'architecture présentée ci-dessus afin de la rendre moins gourmande en énergie. Dans la partie suivante, on présente une adaptation de l'architecture présentée ci-dessus pour réduire sa consommation.

1.3. Réduction de la consommation d'un OVI injecté par des sources de courant commutées

1.3.1. Architecture et conception dans un nœud technologique 22nm FDSOI pour une consommation ultra-basse

On cherche à optimiser l'OVI par l'architecture dans la figure 2-5 :

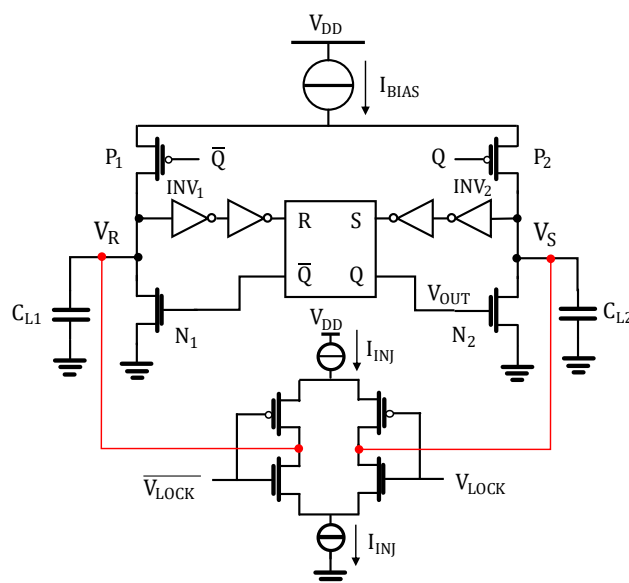


Figure 2-5 : Oscillateur verrouillé par injection utilisant une bascule RS

L'architecture utilisée est fondée sur le même schéma d'oscillateur à relaxation présenté dans [59], [66], modifiée pour optimiser sa consommation en puissance. Premièrement, les potentiels V_R et V_S sont reliés à des transistors PMOS polarisés en commutation, de manière à n'utiliser qu'une seule source de courant de polarisation, et donc réduire les courants statiques générés dans le circuit. Ensuite, la bascule D est remplacée par une bascule RS, composée de seulement

deux portes NON-OU [69]. Le nombre de branches dans le composant est fortement réduit, ainsi que le courant dynamique induit par les commutations des transistors. La consommation dynamique du circuit peut ainsi être diminuée. Le modèle de consommation de l'OVI dépend de deux facteurs, comme le montre notre publication [70]:

- La puissance consommée dynamique, liée aux commutations des transistors internes au circuit. Elle est liée aux capacités de charge, C_{L1} et C_{L2} , ainsi qu'aux capacités parasites dans le circuit. On regroupe les valeurs de capacités dans un terme global nommé C_{OV} . Elle est proportionnelle à la fréquence de fonctionnement du circuit, dans notre cas f_{LOCK} .
- La puissance consommée statique, liée au courant de polarisation I_{BIAS} , aux courants d'injection I_{INJ} et aux courants de fuite dans le circuit, que l'on note I_{FUITES} .

Ainsi, on peut estimer la puissance consommée P_{est} par l'expression (2.8) :

$$P_{est} = \frac{1}{2} f_{LOCK} C_{ov} V_{DD}^2 + (I_{BIAS} + I_{INJ} + I_{LEAK}) V_{DD} \quad (2.8)$$

On utilise ensuite ce modèle pour la conception faible puissance de l'OVI. Premièrement, le nœud technologique 22nm FDX permet la réduction de la capacité des portes CMOS. De plus la tension d'alimentation des circuits conçus dans ce nœud fin peut être réduite à des niveaux de quelques centaines de mV. Ainsi, on choisit d'alimenter notre circuit avec une tension V_{DD} de 0.4V.

Dans cette première étude, on souhaite que l'OVI puisse encoder un signal d'une bande passante environnant les 5 kHz, correspondant, par exemple, au spectre d'un signal de type téléphonique. Afin de respecter le théorème de Shannon [71], qui impose la fréquence d'encodage maximal du signal à $f_{LOCK}/2$, on décide de fixer la valeur de f_0 à 16 kHz. Ainsi, l'OVI pourra être verrouillé à cette fréquence et garantir une fréquence d'encodage maximale, ne tenant pas en compte de sa bande passante, de 8 kHz.

En utilisant l'équation (2) et en considérant $f_0 = 16kHz$ comme défini dans le paragraphe précédent, et en considérant que les inverseurs sont conçus de manière symétrique avec un seuil de basculement égal à $\frac{V_{DD}}{2}$, le couple de valeurs (I_{BIAS}, C_L) peut être défini. Afin de réduire la capacité globale commutée dans le circuit, on fixe C_{L1} et C_{L2} à valeur de 70 fF chacune. Le courant I_{BIAS} est quant à lui fixé à 500pA.

On souhaite obtenir une plage de verrouillage égale à la fréquence f_0 , soit 16 kHz, afin de garantir le verrouillage de l'OVI sur une large bande de fréquence.

Ainsi, grâce à l'équation (6), on peut fixer la valeur du courant d'injection I_{INJ} à une valeur de 250 pA.

Ainsi, grâce au modèle de consommation énoncé plus haut, en considérant les valeurs de courants I_{BIAS} et I_{INJ} données précédemment, on peut estimer la consommation de l'OVI à une valeur de 423 pW. On souhaite désormais valider cette consommation prévue inférieure au nW en simulant l'OVI.

1.3.2. Caractérisation de l'OVI conçu par simulations SPICE

A l'aide du simulateur Spectre de la suite Cadence Virtuoso, on simule le comportement d'un OVI utilisé comme déphaseur pour vérifier ces performances en consommation. On prend soin de verrouiller l'OVI sur un signal de verrouillage V_{LOCK} à une fréquence de 16 kHz, en fixant le courant de polarisation à 500 pA pour atteindre la consommation annoncée plus haut.

Premièrement, on souhaite mesurer la plage de verrouillage du circuit en fonction du courant d'injection. On mesure donc l'intervalle de fréquence de verrouillage pour lequel l'OVI reste synchronisé sur le signal V_{LOCK} . Ainsi, on peut tracer la courbe suivante :

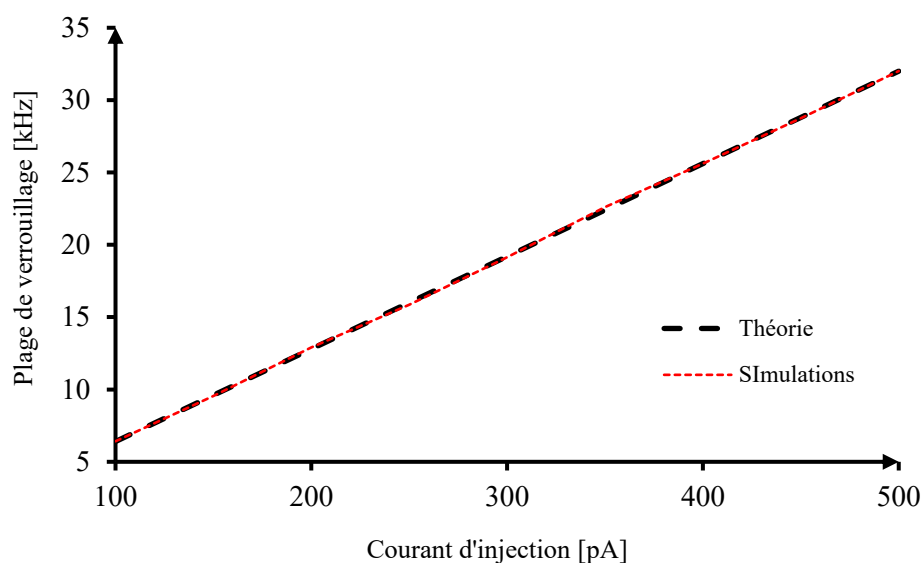


Figure 2-6 : Plage de verrouillage de l'OVI injecté en courant en fonction du courant d'injection

On remarque que lorsque le courant d'injection de l'OVI augmente, sa plage de verrouillage augmente linéairement selon le modèle prévu dans l'équation (6). On souhaite que la plage de verrouillage Δf soit égale à la fréquence d'oscillation libre f_0 de l'oscillateur associé à l'OVI. Ce choix implique une simplicité apparente de conception, ne consistant qu'à diviser le courant de polarisation par deux, ce qui

est facilement réalisable dans le cas où I_{INJ} est fourni par un miroir de courant diviseur.

Dans la suite de l'étude, on fixe donc le courant d'injection à 250 pA pour obtenir $\Delta f = 16 \text{ kHz}$.

On mesure le déphasage entre V_{OUT} et V_{IN} pour un courant de polarisation variant de 250 pA à 750 pA. La mesure du déphasage est présentée dans la figure 2-7.

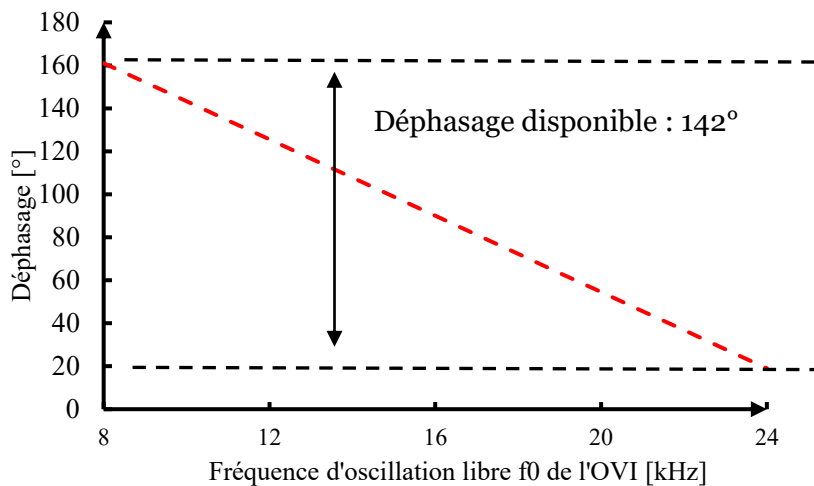


Figure 2-7 : Déphasage de l'OVI injecté par sources de courant commutées

Le déphasage simulé est une droite décroissante qui suit le modèle présenté dans l'équation (2.7) avec une grande précision. La dynamique totale accessible dans la configuration ultra-faible consommation de l'OVI est de 142°. On remarque que cette dynamique est réduite par rapport à la dynamique de 180° prévue par la théorie.

La consommation simulée de l'OVI est de 500 pW. On peut remarquer la proximité de la simulation avec la valeur prédite précédemment. Le modèle permet de prévoir la consommation simulée avec une erreur relative de 18%.

1.3.3. Conclusion sur l'utilisation d'un OVI injecté par sources de courant commutées

Dans cette partie, nous avons présenté les caractéristiques d'OVI à relaxation injectés par des sources de courant commutées. Nous avons pu mettre à jour ses propriétés de déphaseur contrôlé, permettant de réaliser une opération de conversion analogique vers temps. Ainsi, un OVI injecté par des sources de courant commutées présente une caractéristique de déphasage proportionnel à son courant de polarisation et une plage de verrouillage proportionnelle au rapport entre courant de verrouillage et courant de polarisation.

L'implémentation d'OVI, dans ce travail, s'adresse à un objectif d'ultra-basse consommation pour application à des interfaces de capteur de réveil. Une implémentation de l'OVI présenté dans cette partie peut être optimisée pour limiter la consommation en puissance. En effet, la bascule D centrale peut-être remplacée par une bascule RS. Ensuite, Les courants de polarisation (I_{BIAS}) et d'injection (I_{INJ}), ainsi que la tension d'alimentation V_{DD} peuvent être drastiquement diminués. Cependant, la génération de courant statiques d'injection implique une consommation statique inhérente au fonctionnement du circuit pouvant encore être économisée. Dans la suite de nos travaux, on cherche à réduire cette consommation statique, en remplaçant les sources de courant d'injection par des capacités commutées.

La prochaine sous-section propose une nouvelle architecture d'OVI, basé sur l'utilisation de capacités d'injection commutées. Une modélisation théorique, permettant d'analyser le comportement dynamique du circuit et son optimisation en bruit de phase, est également présentée.

2. Implémentation d'un OVI injecté par capacités commutées ultra-faible consommation

L'OVI présenté en figure 3 possède la particularité d'être verrouillé à l'aide de sources de courant commutées. Cette méthode présente des avantages, tels que la facilité de réglage de la plage de verrouillage, une bonne linéarité. Cependant, l'utilisation de sources de courant constantes afin de générer le courant d'injection présentent l'inconvénient d'augmenter la complexité du circuit, mais également la consommation en puissance liée à la génération du courant.

On a vu précédemment que le verrouillage par les sources de courant constantes impliquait l'utilisation d'une structure *push-pull* à partir d'inverseurs, destinés à « tirer » puis « pousser » le courant d'injection dans la capacité de charge afin de modifier sa droite de charge en fonction du temps.

Dans cette partie, nous remplacerons ce dispositif par des capacités commutées, destinées à seulement « tirer » le courant de la capacité de charge. Ainsi, le mode d'injection présenté deviendra asymétrique.

2.1. Principe d'injection : remplacement des sources de courant commutées par des capacités commutées

Le schéma de l'OVI injecté par capacités commutées est donné figure 2-8.

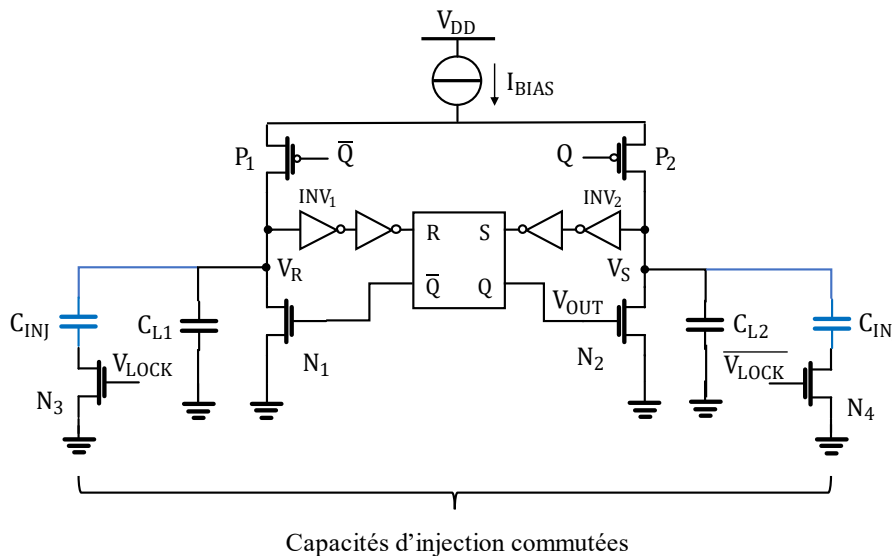


Figure 2-8 : OVI injecté par capacités commutées

Le verrouillage par injection de l'OVI est effectué par des capacités commutées. Afin de comprendre l'évolution des différentes tensions aux différents nœuds du circuit, le chronogramme des tensions dans l'OVI est tracé figure 2-9.

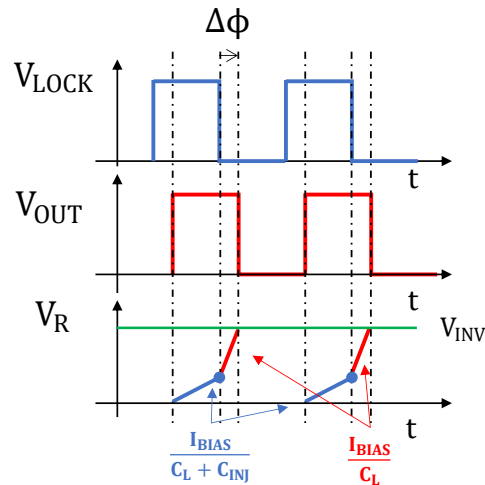


Figure 2-9 : Chronogramme des tensions à différents nœuds de l'oscillateur verrouillé par injection

Pour expliquer le phénomène d'injection, on prend en compte la charge de la capacité C_{L1} . Lorsque l'OVI est verrouillé, un déphasage $\Delta\Phi$ apparaît entre V_{OUT} et V_{LOCK} . D'après la figure 2-9, la charge de la capacité C_{L1} est divisée en deux phases :

- Premièrement, le signal de verrouillage V_{LOCK} est à son état haut, ce qui implique que les capacités C_{INJ} et C_{L1} sont connectées en parallèle. Par conséquent, la pente de charge du signal V_R est égale à $\frac{I_{BIAS}}{C_L + C_{INJ}}$.
- Ensuite, le signal V_{LOCK} passe à son état bas. La capacité d'injection C_{INJ} est déconnectée du nœud de tension V_R , ayant pour effet d'augmenter subitement la pente de charge de la tension V_R à la valeur $\frac{I_{BIAS}}{C_L}$.

Le changement de pente sur la tension de charge V_R modifie l'instant d'intersection de la tension V_R avec la tension de seuil des inverseurs V_{INV} . Ainsi, le passage à l'état bas de la tension de sortie de l'oscillateur verrouillé par injection, V_{OUT} s'effectue avec le même retard, créant ainsi le déphasage $\Delta\Phi$. Par la même méthode d'étude que le cas des équations (2.3), (2.4) et (2.5), le déphasage statique de l'OVI peut être exprimé par l'équation (2.9) :

$$\Delta\Phi_0 = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{f_0} - 1 \right) \right) \quad (2.9)$$

Le déphasage statique de l'OVI est proportionnel à f_{LOCK} et au facteur $\left(1 + \frac{C_L}{C_{INJ}} \right)$, et inversement proportionnel à f_0 .

L'OVI est verrouillé sur une plage de fréquence restreinte, appelée plage de verrouillage. Dans le cas du mode d'injection par capacités commutées. Par la même méthode que précédemment, on détermine la plage de verrouillage en déterminant les fréquences de verrouillages lorsque $\Delta\Phi_0 = 0$ et $\Delta\Phi_0 = \pi$. Ainsi, la plage de verrouillage est exprimée par l'équation (2.10) :

$$\frac{\Delta f}{f_0} = \frac{C_{INJ}}{C_L + C_{INJ}} \quad (2.10)$$

Pour une valeur faible de C_{INJ} , Δf tendra vers 0, mais le gain du déphaseur sera en revanche très élevé.

Le déphasage $\Delta\Phi$ est destiné à être contrôlé dynamiquement afin de convertir une information initialement contenue dans une variation de tension analogique en un déphasage variable. Cette fonction peut être étudiée statiquement, et permet de connaître le déphasage statique entre V_{LOCK} et V_{OUT} en fonction des différents paramètres de conception de l'OVI. On obtiendra simplement cette équation en écrivant la charge de la capacité C_L en deux phases, et en résolvant la loi des mailles.

Cependant, une modélisation statique de l'OVI ne permet pas de connaître sa bande passante de modulation, décrivant la réponse en fréquence dudit OVI quand la fréquence du signal de contrôle du déphasage est modifiée. Il est donc nécessaire d'étudier dynamiquement l'établissement du déphasage de l'OVI lorsqu'un de ses paramètres est modifié.

2.2. Etablissement de la fonction de transfert de l'OVI par analyse dynamique du déphasage

L'équation de Adler [54], ainsi que le modèle d'Huntoon & Weiss [51] ont permis de modéliser et de prouver expérimentalement que les oscillateurs verrouillés par injection se comportent comme des systèmes du premier ordre en termes de déphasage. Cependant, des études théoriques sur l'injection non-linéaire existent [72]–[74], mais ne permettent pas de pouvoir déterminer la bande passante des OVI en question.

Dans le but de réaliser cette étude, on décide dans cette partie de modifier brusquement la fréquence de verrouillage, f_{LOCK} , d'une valeur basse à une valeur haute. Tout d'abord, en simulations, on peut observer une évolution du déphasage à l'image de la figure 2-10.

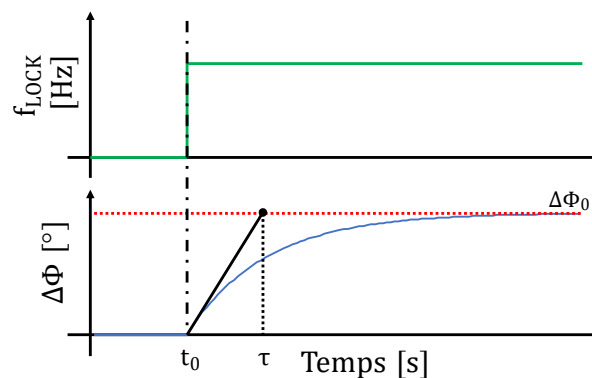


Figure 2-10 : Allure du déphasage en fonction du temps lorsque flock change brusquement

L'évolution du déphasage suit une forme exponentielle faisant penser à un système du premier ordre. En effet, lorsque f_{LOCK} passe de sa valeur basse à sa valeur haute, le déphasage tend vers une valeur statique qui ne s'établit pas instantanément, mais selon une constante de temps τ .

Le but de l'étude que nous souhaitons mener est d'établir un outil d'analyse pour exprimer la constante de temps τ caractéristique du comportement dynamique de l'OVI, afin de définir la bande passante de modulation.

Pour mener cette étude, nous prenons en compte l'évolution en fonction du temps des différentes tensions au sein du circuit, donné dans le chronogramme figure 2-11.

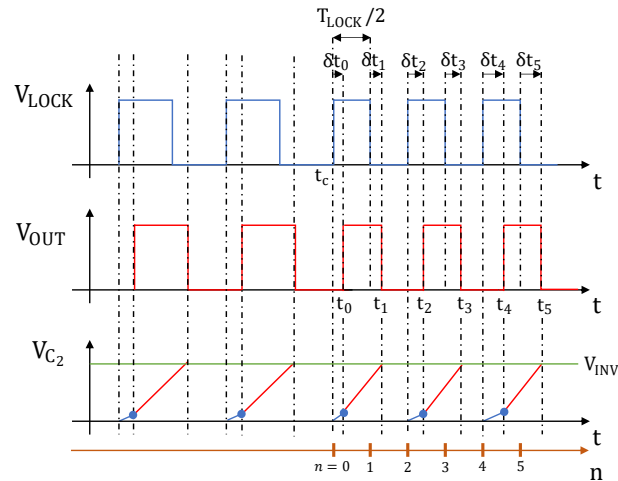


Figure 2-11 : Chronogramme de l'évolution des tensions à différents noeuds de l'OVI, lorsque flock change brusquement

A l'instant t_c , la fréquence de verrouillage f_{LOCK} est brusquement augmentée, ce qui se traduit par une réduction de la largeur des fronts de V_{LOCK} . De ce fait, le temps entre chaque front de V_{LOCK} et chaque front de V_{OUT} augmente progressivement jusqu'à converger vers une valeur finale fixe. Pour étudier cette convergence, on procède à une étude séquentielle de la charge de la capacité C_2 à l'aide de suites.

On définit tout d'abord les termes nécessaires à l'étude :

- **L'index n** de la suite correspond au nombre de demi-périodes du signal V_{LOCK} achevées au à un instant t . Il est défini par :

$$n = \begin{cases} 0 & \text{si } t - t_c < 0 \\ \left\lfloor \frac{t - t_c}{T_{LOCK}/2} \right\rfloor & \text{si } t - t_c > 0 \end{cases}$$

- **La suite t_n** définissant la position temporelle des fronts montants et descendants du signal V_{OUT} . Elle est référencée par rapport à l'index n et définit l'instant auquel le signal V_{OUT} s'inverse.
- **La suite δt_n** définit la différence de temps entre les fronts (montants et descendants) de V_{LOCK} et V_{OUT} . Elle permettra de quantifier le déphasage entre les deux signaux lors de l'établissement des calculs. Elle est définie par $\delta t_n = t_n - n \frac{T_{LOCK}}{2}$

On détermine par la suite l'expression de ces suites récurrentes :

Expression de la suite t_n à partir de l'index n :

Lorsque $n = 1$, on peut écrire la charge de la capacité C_{L_2} comme suit :

$$V_{INV} = \frac{I_{BIAS}}{C_L + C_{INJ}} \left(\frac{T_{LOCK}}{2} - t_0 \right) + \frac{I_{BIAS}}{C_L} \left(t_1 - \frac{T_{LOCK}}{2} \right) \quad (2.11)$$

Au rang $n = 2$, cette équation devient :

$$V_{INV} = \frac{I_{BIAS}}{C_L + C_{INJ}} \left(\frac{2 T_{LOCK}}{2} - t_1 \right) + \frac{I_{BIAS}}{C_L} \left(t_2 - \frac{2 T_{LOCK}}{2} \right) \quad (2.12)$$

Au rang n , on obtient :

$$V_{INV} = \frac{I_{BIAS}}{C_L + C_{INJ}} \left(\frac{n T_{LOCK}}{2} - t_{n-1} \right) + \frac{I_{BIAS}}{C_L} \left(t_n - \frac{n T_{LOCK}}{2} \right) \quad (2.13)$$

On peut ainsi déterminer l'expression de t_{n+1} en fonction de t_n et n en se servant de l'équation (11) au rang $n + 1$:

$$t_{n+1} = \frac{C_L}{C_L + C_{INJ}} t_n + (n + 1) \frac{C_{INJ}}{C_L + C_{INJ}} \frac{T_{LOCK}}{2} + C_L \frac{V_{INV}}{I_{BIAS}} \quad (2.14)$$

On obtient ainsi une suite décrivant la position temporelle du $n^{\text{ième}}$ front (montant ou descendant) du signal V_{OUT} . Pour connaître la différence de temps entre les signaux V_{LOCK} et V_{OUT} , on établit la suite δt_n .

Expression de la suite δt_n

On a : $\delta t_n = t_n - n \frac{T_{LOCK}}{2}$, soit :

$$\delta t_{n+1} = \frac{C_L}{C_{INJ} + C_L} \delta t_n - \frac{C_L}{C_{INJ} + C_L} \frac{T_{LOCK}}{2} + \frac{C_L V_{INV}}{I_{BIAS}} \quad (2.15)$$

Par la suite, on utilisera les termes $A = \frac{C_L}{C_{INJ}+C_L}$ et $B = -\frac{C_L}{C_{INJ}+C_L} \frac{T_{LOCK}}{2} + \frac{C_L V_{INV}}{I_{BIAS}}$ comme intermédiaires de calcul.

Nous disposons à présent de la suite δt_n permettant de décrire l'évolution du décalage temporel en fonction du décalage à l'instant précédent. Afin d'obtenir une description de δt_n en fonction de l'indice n , et donc indirectement en fonction du temps, on utilise la formule d'expression du terme général d'une suite arithmético-géométrique [75] :

$$\delta t_n = \left(\delta t_0 - \frac{B}{1-A} \right) A^n - \frac{B}{1-A} \quad (2.16)$$

On obtient une suite en fonction de n qui dépend des paramètres A et B . Cette suite peut se représenter en fonction du temps, à intervalles échantillonnés. On représente cette suite dans la figure 2-12.

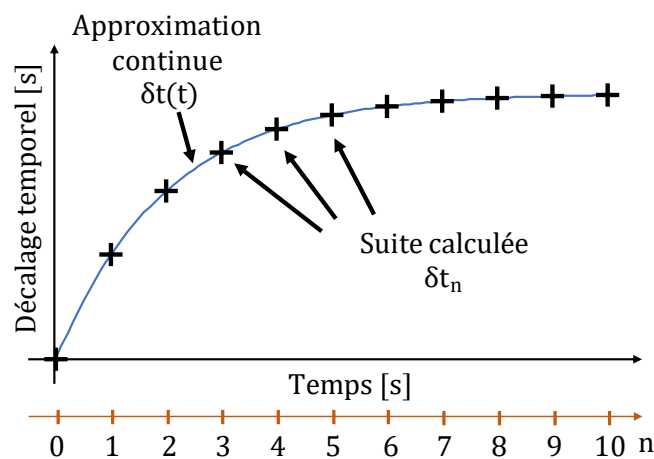


Figure 2-12 : suite δt_n en fonction du temps

On observe une évolution de la suite δt_n en une forme exponentielle, permettant de suspecter un système du premier ordre. D'autre part, le modèle de Hutoon et Weiss des OVI harmoniques décrit ces derniers comme étant un système du premier ordre. En prenant en compte ce résultat et la conjecture précédente, on s'attend à ce que l'OVI non-harmonique se comporte lui aussi comme un système du premier ordre.

Afin d'établir l'équation différentielle du système, et de manière à simplifier au maximum le formalisme utilisé, on propose d'étudier l'évolution continue du déphasage de sortie afin d'en extraire l'équation différentielle du système. Cela revient à étudier le déphasage continu reconstitué à partir de l'équation discrète (14), en prenant la fonction continue passant par tous les points de la suite. On

établira ensuite l'équation différentielle correspondante, que l'on comparera à des simulations et à l'expérience afin de valider notre modèle.

L'indice n représentant le nombre de demi-période atteint à un instant t , on exprime la fonction continue $\delta t(t)$ en remplaçant n par $2t/T_{LOCK}$:

$$\delta t(t) = \left(\delta t_0 - \frac{B}{1-A} \right) A^{\frac{2t}{T_{LOCK}}} - \frac{B}{1-A} \quad (2.17)$$

La fonction $\delta t(t)$ est représentée également sur la figure 2-12. On utilise cette fonction du temps pour déterminer l'équation différentiel représentant le déphaseur à OVI. Le déphasage entre les signaux V_{LOCK} et V_{OUT} est proportionnel au décalage temporel exprimé ci-dessus. Il est écrit :

$$\delta t(t) = \frac{\Delta\Phi(t)}{2\pi f_{LOCK}} \quad (2.18)$$

En prenant la dérivée temporelle de l'équation (2.18) en remplaçant le terme $\delta t(t)$ par $\frac{\Delta\Phi}{2\pi f_{LOCK}}$, on obtient l'équation différentielle de l'OVI utilisé comme déphaseur :

$$\tau \frac{d}{dt} \Delta\Phi + \Delta\Phi = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{f_0} - 1 \right) \right) \quad (2.19)$$

Où le terme τ , descriptif de la constante de temps de l'oscillateur verrouillé par injection, est défini par :

$$\tau = \frac{1}{2f_{LOCK} \ln \left(1 + \frac{C_{INJ}}{C_L} \right)} \quad (2.20)$$

L'équation (2.19) décrit, comme conjecturé plus tôt, le fonctionnement d'un système du premier ordre. Sa constante de temps τ permet de quantifier le délai d'établissement du déphasage statique lorsqu'un des paramètres du système est modifié sous forme d'échelon. Elle dépend de la fréquence de verrouillage, f_{LOCK} , et du rapport de capacité C_{INJ}/C_{LOCK} . On prendra bien soin de noter que la constante de temps τ ne quantifie pas le temps de démarrage de l'OVI mais bien

l'établissement entre deux valeurs distinctes de déphasage lors d'un changement de paramètre.

On a ainsi présenté les équations théoriques permettant de modéliser les comportements statiques et dynamique de l'OVI. L'OVI est destiné à convertir un signal analogique vers le domaine temporel. On étudie dans la suite les modes de contrôle de déphasage de l'OVI afin de décrire cette fonction de conversion analogique vers temps.

2.3. Fonction de conversion analogique vers temps de l'OVI injecté par capacités commutées

L'OVI est utilisé comme un déphaseur, chargé de convertir un signal du domaine analogique (variation continue de tension, courant) en un signal du domaine temporel (aussi appelé domaine des phases). On présente dans la figure 2-13 un OVI intégré dans une architecture d'interface capteur à OVI.

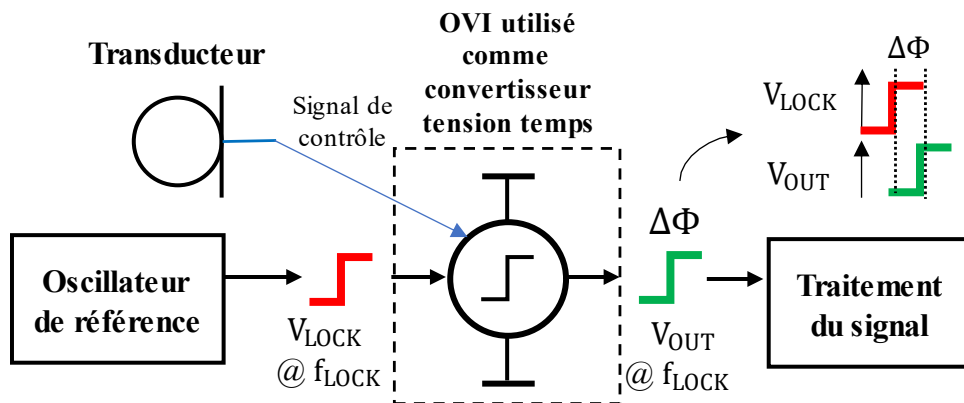


Figure 2-13 : Interface capteur à OVI

L'OVI correspond au bloc permettant de convertir un signal du domaine analogiques vers le domaine des phases, afin de permettre ensuite le traitement du signal. Dans cette partie, on étudie en détails la fonction de conversion d'un OVI de son signal de contrôle vers le domaine des phases.

On a vu précédemment que le contrôle du déphasage est effectué par la modification d'un paramètre de fonctionnement de l'OVI (son courant de polarisation). Dans notre étude du système, le déphasage est décrit comme suivant une équation différentielle d'un système du premier ordre (2.19).

Dans notre cas d'étude, le déphasage $\Delta\Phi$ est contrôlé par une modification de la fréquence d'oscillation libre de l'oscillateur à relaxation associé, f_0 . On rappelle l'expression de $f_0 = \frac{I_{BIAS}}{2CV_{INV}}$. On étudie deux modes de contrôle du déphasage $\Delta\Phi$: le contrôle par modification du courant de polarisation I_{BIAS} , et le contrôle par modification du seuil des inverseurs V_{INV} .

2.3.1. Contrôle du déphasage par modification du courant I_{BIAS}

Le courant I_{BIAS} peut être modulé autour de sa valeur de repos, à l'aide par exemple d'un contrôle par transconductance [60] :

Lorsque I_{BIAS} est modifié par un courant δi (positif ou négatif), l'expression du déphasage devient :

$$\Delta\Phi_0 = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{I_{BIAS} + \delta i} 2C_L V_{INV} - 1 \right) \right) \quad (2.21)$$

On remarque que le contrôle du déphasage par modification du courant I_{BIAS} implique une variation non linéaire de $\Delta\Phi_0$, le terme $I_{BIAS} + \delta i$ se retrouvant au dénominateur du terme f_{LOCK}/f_0 . Le déphaseur présentera donc des non-linéarités si le courant δi se rapproche de la valeur de I_{BIAS} . En revanche, pour de petites valeurs de variations de courant δi , dans une limite d'environ 10% de la valeur de I_{BIAS} , l'expression du déphasage peut être linéarisée à l'aide d'un développement limité, et devient :

$$\Delta\Phi_0 = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{f_0} \left(1 - \frac{\delta i}{I_{BIAS}} \right) - 1 \right) \right) \quad (2.22)$$

Le terme δi de trouve désormais au niveau du numérateur de l'équation, permettant ainsi un contrôle théorique linéaire du déphasage à l'aide du courant δi .

2.3.2. Contrôle par modification de la tension de seuil de commutation des inverseurs de l'oscillateur libre

Le déphasage peut également être contrôlé par modification des seuils de commutation des inverseurs INV_1 et INV_2 de l'oscillateur libre. Pour faire varier le seuil, on place un signal de contrôle sur les substrats des transistors N des inverseurs. Pour ce faire, des transistors N spécifiques, appelés deep-NWELL, sont utilisés. Leur substrat P isolé par un caisson N autorise la polarisation de la tension de substrat à une valeur différente de la tension de source. Le schéma d'un tel dispositif est représenté figure 2-14.

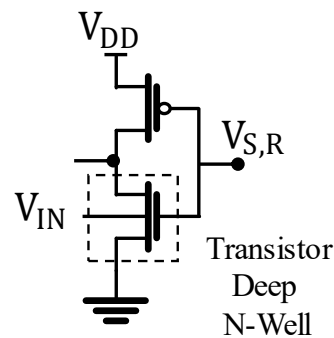


Figure 2-148 : Inverseur avec seuil de commutation commandé en tension

Afin d'étudier la variation du seuil de commutation d'un inverseur en fonction de la tension de contrôle V_{IN} , on se place dans le cadre de simulations SPICE à l'aide du logiciel Spectre, de la suite Cadence Virtuoso. Cet inverseur est implémenté dans une technologie CMOS 65nm. On alimente un inverseur symétrique spécialement conçu pour notre application par la tension d'alimentation de 0.4V. On applique sur la patte substrat du transistor N de l'inverseur une tension V_{in} variant de 0 à 0.4V. On mesure ensuite la tension de commutation du transistor par la suite. Les simulations sont réalisées à une température de 25°C. On présente les résultats de simulation dans la figure 2-15.

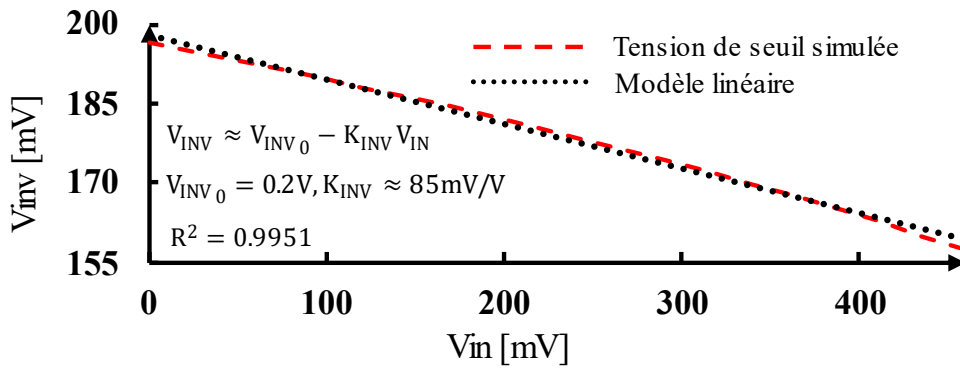


Figure 2-15 : Variation du seuil de commutation d'un inverseur en fonction de sa tension de contrôle V_{IN}

On observe que la variation du seuil de commutation de l'inverseur est quasi linéairement décroissante avec V_{IN} . En effet, la valeur de V_{INV} décroît entre 0.2V et 0.175V sur la plage d'entrée. On constate cependant quelques non-linéarités sur la variation de la tension de seuil donnent une forme arrondie à la courbe mesurée. On choisit de modéliser la variation de tension de seuil, en première approximation, comme quasi-linéaire en fonction de la tension d'entrée. On peut alors exprimer le seuil de commutation de l'inverseur en fonction de V_{IN} :

$$V_{INV} = V_{INV0} - K_{INV} V_{IN} \quad (2.23)$$

Où le terme K_{INV} est le gain mesuré, dépendant des paramètres de conception de l'inverseur. Dans ce cas de conception, le terme K_{INV} mesuré a pour valeur 85 mV/V. On observe la bonne correspondance entre la tension de seuil simulée et le modèle linéaire établi, via la valeur du coefficient de corrélation entre les deux courbes R^2 , égal à 0.9951.

On utilise cette fonction pour contrôler le terme V_{INV} dans l'équation de f_0 , pour faire varier sa valeur. L'équation du déphasage est modifiée et devient :

$$\Delta\Phi_0 = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{I_{BIAS}} 2C_L K_{INV} V_{IN} - 1 \right) \right) \quad (2.24)$$

On obtient ainsi une équation proportionnelle à la tension d'entrée V_{IN} . Elle permettra d'établir le modèle petit signal et la fonction de transfert de l'OVI. Pour des petites valeurs de la tension d'entrée V_{IN} , le déphaseur pourra être considéré comme linéaire. Cependant si l'amplitude de la tension d'entrée est trop élevée, des non-linéarités apparaîtront dans le signal de sortie. Ce point sera abordé dans la partie de mesure.

2.4. Fonction de transfert de l'OVI utilisé comme déphaseur

On a étudié précédemment les variations de déphasage en régime statique. Par conséquent, l'étude ne prend pas en compte le comportement dynamique du premier ordre de l'OVI. Dans cette sous-section, on établit la fonction de transfert de l'OVI contrôlé en courant et en tension.

2.4.1. Déphasage dynamique de l'OVI contrôlé en courant

Dans l'optique de mettre à jour la fonction de transfert, on effectue un modèle petit signal de l'équation (2.22). On utilise l'équation (2.22) en ne prenant en compte que ses variations autour d'un point de repos. On exprime ces variations dynamiques $\widetilde{\Delta\Phi_0}$ par l'équation :

$$\widetilde{\Delta\Phi_0}(t) = -\pi \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{f_{LOCK}}{f_0} \frac{\delta i(t)}{I_{BIAS}} \quad (2.25)$$

2.4.2. Déphasage dynamique de l'OVI contrôlé en tension

Le contrôle dynamique de l'OVI contrôlé en tension, prenant en compte une variation du signal de contrôle δV_{IN} autour de sa position de repos, s'écrit :

$$\widetilde{\Delta\Phi_0}(t) = -\pi \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{f_{LOCK}}{I_{BIAS}} 2C_L K_{INV} \delta V_{IN}(t) \quad (2.26)$$

2.4.3. Etablissement de la fonction de transfert

L'équation différentielle dynamique de l'OVI, prenant en compte l'entrée dynamique $\widetilde{\Delta\Phi_0}$, s'écrit :

$$\tau \frac{d}{dt} \widetilde{\Delta\Phi} + \widetilde{\Delta\Phi} = \widetilde{\Delta\Phi_0} \quad (2.27)$$

Dans le cadre du respect du critère de Shannon, c'est-à-dire que la bande passante du signal de contrôle dynamique $\widetilde{\Delta\Phi_0}$ ne doit pas dépasser $f_{LOCK}/2$, la fonction de transfert du déphasage de l'OVI par rapport à son entrée dynamique $\widetilde{\Delta\Phi_0}$ peut être établie. En utilisant l'équation (2.27), que l'on transpose dans le domaine de Laplace, on établit la fonction de transfert de l'OVI utilisé comme déphaseur :

$$H_{OVI}(p) = \frac{\widetilde{\Delta\Phi}}{\Delta\Phi_0} = \frac{1}{1 + \frac{p}{2\pi f_{-3dB}}} \quad (2.28)$$

Où f_{-3dB} définit la fréquence de coupure du déphaseur. Ce paramètre est directement dépendant de la constante de temps τ du système :

$$f_{-3dB} = \frac{1}{2\pi\tau} = \frac{f_{LOCK}}{\pi} \ln\left(1 + \frac{C_{INJ}}{C_L}\right) \quad (2.29)$$

L'OVI utilisé comme déphaseur se comporte comme un système du premier ordre, au comportement d'intégrateur. Sa fonction de transfert est caractérisée par sa fréquence de coupure, définissant la bande passante de modulation de l'OVI.

2.5. Dimensionnement du circuit, architecture et optimisation du compromis consommation / bruit de phase

2.5.1. Dimensionnement du circuit

On souhaite implémenter l'OVI injecté par capacités commutées présenté précédemment en technologie CMOS. Nous avons eu l'opportunité de pouvoir faire fabriquer des circuits intégrés dans deux procédés de fabrication : la technologie 22nm FDX (circuit A) du fondeur GlobalFoundries, ainsi qu'un procédé 65nm CMOS du fondeur TSMC (circuit B). Le circuit A est conçu pour que son déphasage soit contrôlé en courant, tandis que le circuit B aura son déphasage contrôlé en tension. On détaille dans cette sous-partie la méthode de conception et le dimensionnement utilisée.

Les valeurs des capacités d'injection C_{INJ} et capacité de charge C_L sont fixées égales. Ainsi, on garantit une plage de verrouillage de largeur égale à $0.5f_0$ à l'aide de l'équation (20). On peut également fixer la bande passante de l'OVI, qui ne dépend plus que d'un seul degré de liberté. En effet, on a $\frac{C_{INJ}}{C_L} = 1$, donc f_{-3dB} s'exprime d'après (29) :

$$C_L = C_{INJ} \Rightarrow f_{-3dB} = \frac{f_{LOCK}}{\pi} \ln(2)$$

f_{LOCK} peut ainsi être ajustée par rapport à la bande passante f_{-3dB} requise.

On connaît désormais le lien entre les différents paramètres de conception de l'OVI. On peut ainsi fixer les valeurs de f_{LOCK} , C_{INJ} et C_L et I_{BIAS} permettant de réduire la consommation de l'OVI. Pour ce faire, on suit le modèle de consommation présenté dans l'équation (2.30). Ainsi, on s'assurera de respecter les compromis nécessaires entre puissance consommée dynamique, proportionnelle à f_{LOCK} , puissance consommée liée au courant de polarisation I_{BIAS} , et puissance consommée liée aux fuites. Son équation, qui ne dépend plus d'un courant d'injection, est modifiée et devient :

$$P_{cons} = 0.5f_{LOCK}C_{global}V_{DD}^2 + (I_{BIAS} + I_{fuites})V_{DD} \quad (2.30)$$

Réduire la consommation de l'OVI reviendra à réduire chaque terme de l'équation. La méthode de conception pour les deux circuits est la suivante :

On minimise la valeur de la tension d'alimentation V_{DD} , qui est un facteur prépondérant dans l'équation (2.30).

On adapte ensuite la consommation dynamique de l'OVI à la bande passante requise pour notre application. On souhaite pouvoir encoder un signal dans le domaine des phases d'une bande passante d'environ 7 kHz, répondant à un spectre réduit de la gamme audio [76]. On fixe donc la valeur de f_{LOCK} à 32 kHz à l'aide de (2.29).

On souhaite minimiser le courant I_{BIAS} pour limiter la consommation statique du circuit comme le montre (2.30). Or, f_0 dépend également de la valeur de C_L d'après (2.2). On fixe donc les valeurs de I_{BIAS} et C_L en fonction de la consommation statique que l'on souhaite atteindre dans chaque cas de conception (en technologie 22nm et 65nm).

L'OVI à capacités commutés est implémenté avec des transistors à haut seuil de commutation, appelés «high Vt », disposant d'une tension de seuil de l'ordre de 0.5V pour limiter les fuites dans le circuit. Les transistors sont dimensionnés pour avoir une faible résistance de passage, de manière à décharger rapidement les capacités de charge et d'injection. Leur longueur (paramètre « L ») est dimensionnée afin d'augmenter leur résistance R_{OFF} limitant les fuites statiques à 10pA maximum.

2.5.2. Réduction du bruit de phase

Le déphaseur est également caractérisé par le rapport signal sur bruit (RSB) en sortie. Il est défini comme le rapport entre le déphasage maximal et le bruit de phase en sortie, représentant le seuil de bruit du système. On souhaite maximiser le rapport signal sur bruit en réduisant au maximum le bruit de phase en sortie.

Des simulations SPICE prouvent que les composants contributeurs majoritaires au bruit de phase de l'OVI sont les inverseurs INV_1 et INV_2 , en raison de leur vitesse de commutation limitée. Ainsi leur gain (pouvant être vu comme leur rapidité à commuter) doit être ajusté pour obtenir le niveau de bruit de phase requis pour l'application visée. Une augmentation de ce gain permet la diminution du bruit de phase de sortie.

On applique cette méthode de conception à l'implémentation de l'OVI dans deux procédés de fabrication. Deux versions du circuit sont proposées : une version ultra-faible démontrant les capacités d'encodage ultra-faible consommation de l'OVI dans un procédé 22nm FDX, et une version présentant une dynamique plus élevée. Le tableau 2-1 résume les paramètres de conception utilisés pour ce circuit.

	Circuit A 22nm FDX	Circuit B 65nm CMOS
V_{DD} [V]	0.4V	0.4V
f_{LOCK} [Hz]	32k	32k
I_{BLAS} [A]	1n	2n
$C_L = C_{INJ}$ [F]	70f	140f
f_{-3dB} [Hz]	7k	7k
Bruit de phase intégré visé [°]	2°	0.2°
P_{est} [nW]	0.6	2

Tableau 2-1: Résumé des caractéristiques des OVIs conçus en 22nm FDX et 65nm CMOS

La conception des OVI dans deux procédés ont pour objectif la preuve de concept d'une utilisation ultra-faible consommation de ce type de dispositif. Ainsi, on vise une consommation de l'ordre du nW pour les deux circuits conçus. Cependant, la réduction de consommation d'un OVI aura un fort impact sur son bruit de phase propre. En effet, le gain des inverseurs, réduit dans le cas du circuit A de manière à abaisser leur impact sur la consommation dynamique du circuit, ne permet de viser un bruit de phase intégré de 2°. La dynamique du circuit en sera impactée. Dans le cas du circuit B, on s'autorise à multiplier par deux la consommation de l'OVI, menant le budget de consommation aux alentours de 1.2 nW. Ainsi, la consommation visée reste de l'ordre du nW, ce qui est acceptable compte tenu de la bande passante visée.

Les circuits décrits ci-dessus ont été fabriqués en technologie silicium et testés expérimentalement.

2.6. Mesures de déphasage et de bande passante sur OVI injectés par capacités commutées, réalisés dans des procédés 22 nm FDX et 65 nm CMOS

On souhaite, dans cette sous-section, comparer les performances entre les modes d'injection par capacités commutées et par sources de courant commutées. Ainsi, pour le déroulement de ce projet de recherche, deux circuits intégrés ont été implémentés et fabriqués. On présentera les mesures des circuits silicium en ce qui concerne la fonction de déphaseur, la bande passante, la dynamique et la consommation des circuits.

2.6.1. Présentation des circuits et protocole d'expérience

Deux circuits ont été réalisés pour la réalisation de ce projet de recherche. Premièrement, un circuit en technologie 22nm FDX a été fabriqué, dans le but de prouver le fonctionnement et les performances d'un circuit OVI à capacités commutées. La figure 2-16 présente l'implémentation physique d'un OVI en technologie silicium 22 nm FDSOI du fondeur GlobalFoundries.



Figure 2-16 : Circuit A, implémenté en technologie 22nm FDX

Dans ce cas d'implémentation en 22nm FDSOI, le remplissage par dummies, très dense pour ce type de procédé, cache le circuit. On ne montrera, ici, que la surface représentant l'OVI. La surface active du circuit est de $50 \times 20 \mu\text{m}$, soit 0.001 mm^2 . Le reste de la puce est occupée par d'autres circuits non liés aux tests de l'OVI, dont on ne développera pas le fonctionnement ici.

Un second circuit en technologie 65 nm CMOS a également été réalisé. Il contient un OVI, qui sera ensuite utilisé comme bloc élémentaire pour une synthèse de filtres, qui sera présenté dans la suite du manuscrit. La figure 2-17 présente l'implémentation d'un OVI sur silicium en technologie 65 nm.

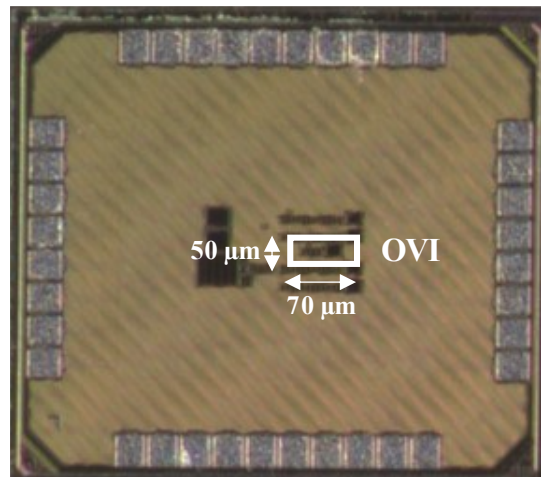


Figure 2-17 : Circuit B, implémenté en technologie 65nm CMOS

Les dimensions d'un OVI implémenté en 65 nm sont de $30 \times 40 \mu\text{m}$, soit une surface active de 0.0012 mm^2 .

Les circuits ci-dessus ont été mesurés sur carte. L'OVI a été verrouillé sur un signal provenant d'un générateur de laboratoire à faible bruit. Pour cette mesure, on choisit $f_{LOCK} = 32 \text{ kHz}$, et on fixe le courant de polarisation à l'aide d'un générateur de courant de laboratoire. On caractérisera également le circuit en température de manière à prouver la robustesse de ses paramètres de conception.

2.6.2. Mesure du déphasage des OVI contrôlés en courant sur les circuits A et B

Afin de mesurer le déphasage des OVI en fonction du courant de polarisation on utilise un générateur de courant nano-ampère qui est lié sur l'entrée de polarisation du dispositif. On mesure ensuite le déphasage entre le signal de verrouillage et le signal de sortie grâce à un oscilloscope. Le schéma de mesure du déphasage est donné dans la figure 2-18.

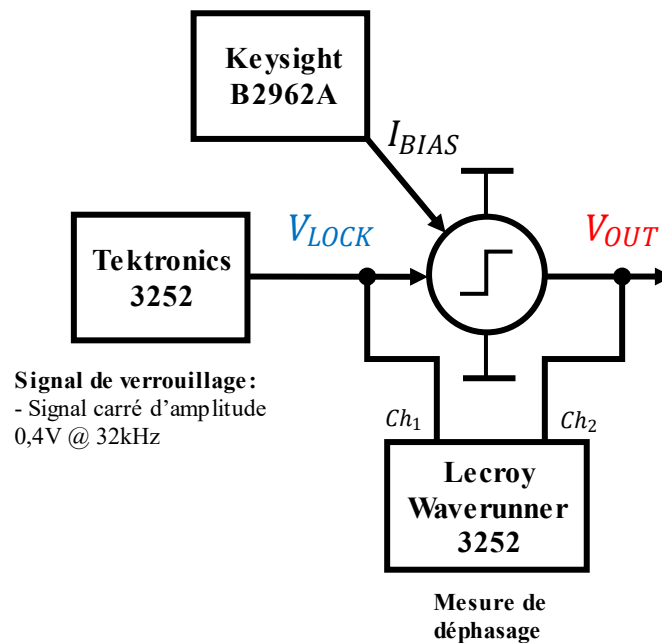


Figure 2-18 : Mesure du déphasage en fonction du courant de polarisation modifiant f_0 dans le cas d'un OVI injecté par capacités commutées

On présente à présent les mesures de déphasage en fonction de la fréquence d'oscillation libre f_0 , pour différentes valeurs de température. Pour cela, on fait varier le courant de polarisation de l'OVI, I_{BIAS} , entre différentes valeurs, pilotant la valeur de la fréquence d'oscillation libre f_0 . On mesure ensuite le déphasage entre les signaux V_{LOCK} et V_{OUT} . Le tracé de cette mesure est présenté dans la figure 2-19.

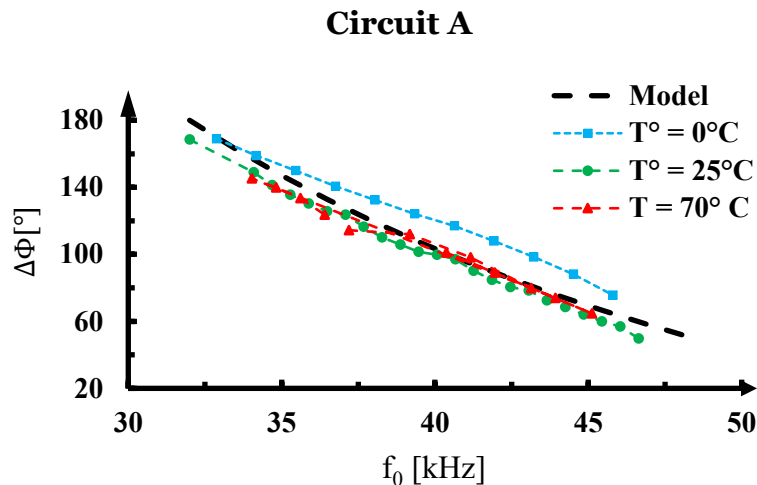


Figure 2-19 : Mesure du déphasage en fonction du courant de polarisation modifiant f_0 dans le cas d'un OVI injecté par capacités commutées

Le déphasage suit une courbe décroissante, entre une valeur de 180° et 50° dans le cas d'une température de 25°C pour le circuit A. La dynamique en déphasage est de 130° . Par cette mesure, on s'aperçoit que le déphasage $\Delta\Phi$ présente une non-linéarité par rapport à la variation de fréquence f_0 . En effet, comme initialement prévu dans le modèle, on peut voir que la courbe du déphasage présente une courbure, due au placement du facteur f_0 au dénominateur du rapport $\frac{f_{LOCK}}{f_0}$ dans l'équation (2.9). Dans le cadre du circuit B, on constate que le déphasage suit également la loi prévue dans l'équation (2.9). On tire la même conclusion que dans le paragraphe précédent : La modélisation du déphasage ne dépend pas du process de fabrication.

Ainsi, l'injection par capacités commutées permet la robustesse du circuit en température dans une plage de 0 à 70°C , en bénéficiant de la faible variation du rapport C_L/C_{INJ} avec la température.

Les mesures permettent de valider le modèle présenté précédemment. Pour contrer les non-linéarités amenées pour les écarts de courant de contrôle importants, on a implémenté un système de contrôle du déphasage de l'OVI du circuit B par une tension, présentée dans la sous-section suivante.

2.6.3. Mesure du déphasage en fonction de la tension d'entrée V_{IN} sur le circuit B.

Un OVI implémenté dans un procédé 65 nm a été implémenté et fabriqué dans un procédé 65nm CMOS. Cet OVI suit le schéma de la figure 2-20, dont le déphasage est contrôlé par un signal V_{IN} appliqué sur l'entrée de substrat des inverseurs, de manière à faire varier leur seuil de commutation. Afin de réaliser la mesure du déphasage, on utilise un OVI verrouillé sur un signal à 32 kHz. On fait ensuite varier sa tension de contrôle V_{IN} et on mesure le déphasage entre V_{OUT} et V_{LOCK} .

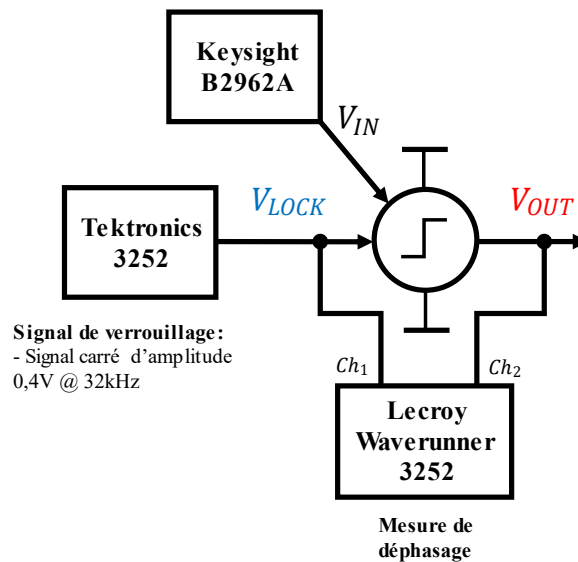


Figure 2-20 : Mesure du déphasage en fonction de la tension d'entrée

Dans l'optique de réduire la non-linéarité présentée par le contrôle en courant du déphasage de l'OVI, on a décidé d'implémenter le contrôle en déphasage par modification des seuils de commutation des inverseurs.

On présente la mesure du déphasage par cette méthode de contrôle dans la figure 2-21. Pour ce faire, on verrouille l'OVI sur un signal V_{LOCK} à une fréquence de 32 kHz. On applique ensuite une tension continue sur l'entrée V_{IN} du schéma figure 2-20. Les résultats de mesures sont présentés dans la figure 2-21 :

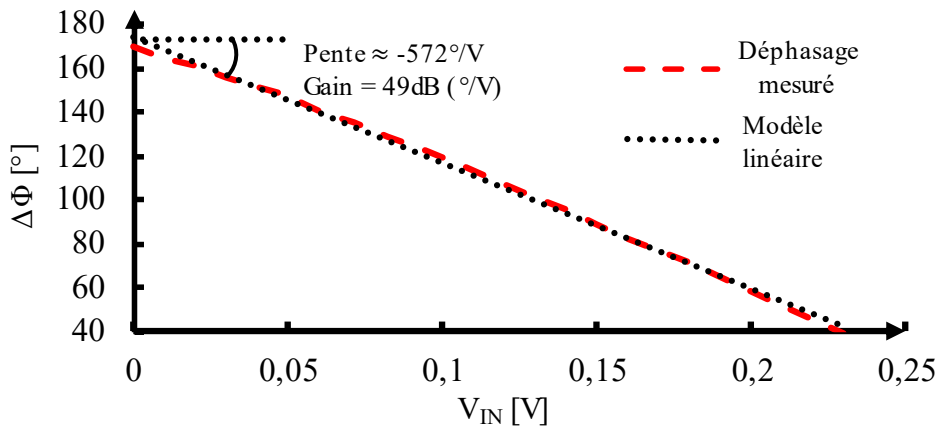


Figure 2-21 : Déphasage de l'OVI du circuit B, contrôlé en tension

On remarque que le déphasage, dans ce cas de figure, est linéaire et conforme au modèle envisagé dans l'équation (2.24). Ainsi, le déphaseur implémenté présente un gain de $572^\circ/\text{V}$, soit 55 dB. La dynamique de sortie du déphaseur est de 139° Pour une dynamique d'entrée de 230 mV.

Une mesure du bruit de phase de sortie est effectuée à l'aide d'un analyseur de spectre Rhode&Schwartz FSV, avec une figure de bruit intégrée de 10 kHz. On obtient un bruit de phase de sortie de $0,33^\circ$. Ainsi, il peut être converti en un bruit équivalent en entrée à l'aide du gain mesuré de l'OVI, de 0,583 mV. On peut donc définir le SNR d'entrée du système, mesuré à 49 dB. On atteint donc un bruit en entrée conforme aux estimations établies plus haut, confirmant que nos compromis de conception permettent d'adapter le bruit de phase à la consommation. On obtient une dynamique d'entrée proche des systèmes de réveil proposés par l'état de l'art, approchant les 50 dB.

2.6.4. Mesure de la plage de verrouillage pour les circuits A et B

On mesure premièrement la plage de verrouillage d'un OVI injecté par capacités commutées. La mesure est effectuée en faisant varier la fréquence de verrouillage de l'OVI. On constate que lorsque cette fréquence évolue, la plage de verrouillage de l'OVI est modifiée. On mesure cette plage de fréquence pour plusieurs valeurs de f_0 .

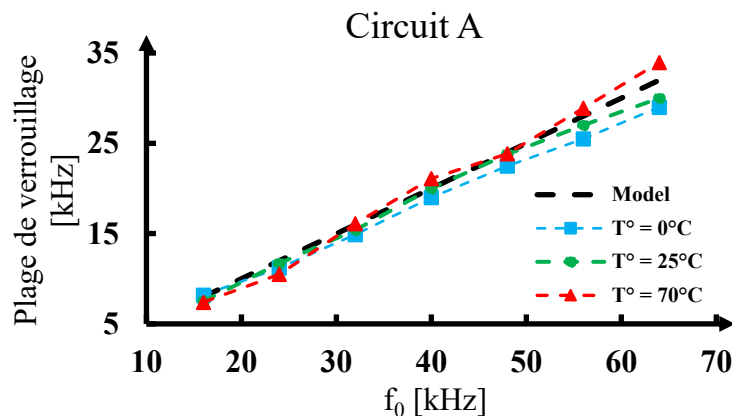


Figure 2-22 : Plage de verrouillage de l'OVI, mesuré avec la température

La plage de verrouillage de l'OVI est mesurée en fonction de la variation de la fréquence f_0 de l'oscillateur. Ainsi, on observe que l'évolution de la plage de verrouillage est linéaire en fonction de f_0 , et suit précisément le modèle établi dans l'équation (2.10). De plus, nous avons fait l'hypothèse que la plage de verrouillage resterait invariante selon la température, du fait de sa seule dépendance avec un rapport de valeurs de capacités. Cette hypothèse est validée par la mesure : entre 0°C et 70°C , la valeur de la plage de verrouillage reste conforme au modèle proposé. Dans le cas du circuit B, on tire les mêmes conclusions que dans le cas du circuit A. On en déduit que notre modélisation de la plage de verrouillage n'est pas dépendante du processus de fabrication.

Dans notre cas d'étude, on fixera la valeur de la fréquence de verrouillage de l'OVI à 32 kHz, permettant d'obtenir une plage de verrouillage de 16 kHz.

La mesure de la plage de verrouillage nous permet d'extraire la pente de la droite mesurée, exprimant le rapport $\frac{\Delta f}{f_0} = \frac{C_{INJ}}{C_L + C_{INJ}}$. Il est très utile de pouvoir accéder à cette pente car elle permet d'exprimer le rapport réel, prenant compte

des capacités parasites apportée par m'implémentation physique du circuit, du rapport entre les capacités C_L et C_{INJ} . En effet d'après (2.8), on peut aisément exprimer $\frac{C_L}{C_{INJ}}$ comme suit :

$$\frac{C_L}{C_{INJ}} = \frac{1 - \frac{\Delta f}{f_0}}{\frac{\Delta f}{f_0}} \quad (2.31)$$

Les mesures permettent d'évaluer le rapport effectif C_L/C_{INJ} à une valeur de 1.10 pour le circuit A en 22nm FDX, et à une valeur de 1.24 pour le circuit B en technologie 65nm CMOS. Cette différence s'explique, dans les deux cas, par les capacités parasites incluses par la conception du circuit. En effet, C_L et C_{INJ} étant de valeurs relativement faibles (respectivement 70 fF et 140 fF), Leur valeur est impactée par la capacité d'entrée des inverseurs et également par la capacité des pistes métalliques liées au layout du circuit. On peut estimer leur valeur de l'ordre de 15 fF grâce à des simulations SPICE post-layout. On notera que l'impact de ces capacités est plus important dans le cas du circuit B, car les inverseurs sont conçus pour avoir un fort gain de manière à réduire le bruit de phase.

Pour mesurer correctement les signaux de sortie du circuit on a prévu de rajouter d buffer en sortie des OVI Afin de limiter leur capacité de sortie. Leur gain étant très élevé, ils n'ont pas d'influence sur le bruit de phase de sortie et donc sur le RSB.

Les mesures effectuées permettent de valider le modèle de la plage de verrouillage présenté ci-dessus. On utilisera les rapports C_L/C_{INJ} mesurés pour l'exploitation des mesures suivantes.

2.6.5. Bande passante de l'OVI utilisé comme déphaseur dans les circuits A et B

Dans la suite de notre étude, on souhaite mesurer la bande passante de l'OVI destiné à convertir un signal électrique dans le domaine des phases. Pour cela, on appliquera une tension sinusoïdale sur l'entrée V_{IN} de l'OVI du circuit B, agrémentée d'une valeur DC adéquate. On fera varier la fréquence de la sinusoïde, et on mesure l'amplitude du déphasage en sortie. On a fait de même sur le circuit A, en faisant varier son courant de contrôle du déphasage de la même manière. On mesure la variation de déphasage grâce à un oscilloscope.

On préférera exprimer le résultat en termes de gain à pleine échelle, d'unité dBFS, pour rendre compte de l'atténuation du déphasage par rapport à sa valeur maximale. On mesure la bande passante pour plusieurs valeurs de f_{LOCK} , afin de valider le modèle théorique.

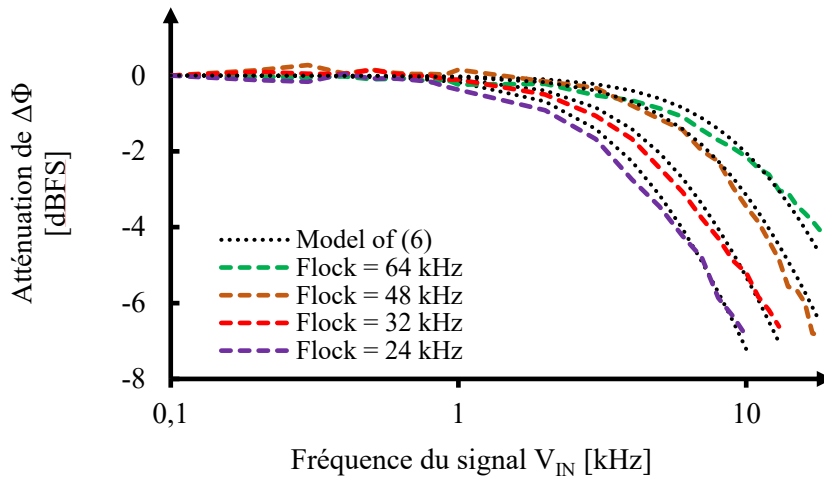


Figure 2-23 : Atténuation du déphasage en fonction de la fréquence du signal V_{IN}

On observe une décroissance de l'amplitude du déphasage selon un modèle du premier ordre, prévu par l'équation (2.28). En effet, pour chaque valeur de f_{LOCK} , les fréquences respectives de coupure à -3 dB concordent dans un intervalle de 3% avec la théorie. Nous pouvons donc conclure sur la validité de la fonction de transfert proposée pour la fonction de déphaseur. On en conclut que la fréquence de coupure à -3dB, f_{-3dB} , exprimant la bande passante de modulation de l'OVI, est proportionnelle à sa fréquence de verrouillage f_{LOCK} .

On rappelle que la fréquence de coupure à -3 dB ne dépend que de f_{LOCK} et d'un rapport de capacités. On souhaite dans la prochaine mesure vérifier la robustesse en température de la bande passante de modulation. En appliquant le même protocole que précédemment, mais cette fois ci en faisant varier la température d'utilisation du circuit entre 0°C et 70°C, soit la plage de température de fonctionnement maximale observée. On obtient le tracé suivant sur l'OVI du circuit A :

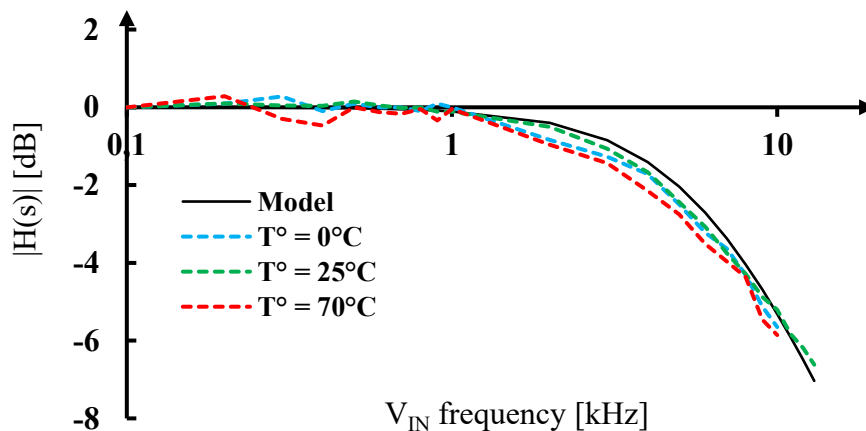


Figure 2-24 : Bande passante de l'OVI du circuit A injecté par capacités commutées en fonction de la température

Conformément à la théorie, la bande passante de l'OVI est sensiblement invariante en fonction de la température. L'architecture d'OVI à capacités commutées permet donc d'obtenir une robustesse en température concernant sa bande passante.

On en conclut que le procédé d'injection par capacités commutées permet au circuit d'avoir une bande passante robuste en température. Il est utile de connaître cette propriété, dans le cas où l'on souhaiterait utiliser ce type d'OVI pour des interfaces capteurs évoluant dans des milieux dont la température varie sur une forte amplitude.

2.6.6. Mesure du bruit de phase intégré

Mesures de bruit sur le circuit A :

Afin de déterminer les performances en bruit et la dynamique de l'OVI, on mesure le bruit de phase intégré sur la plage de verrouillage de l'OVI, pour différentes valeurs de la fréquence de verrouillage. Le bruit de phase intégré est mesuré à f_{LOCK} constante, dans une bande passante de 10 kHz, pour chaque valeur de f_0 sur la plage de verrouillage.

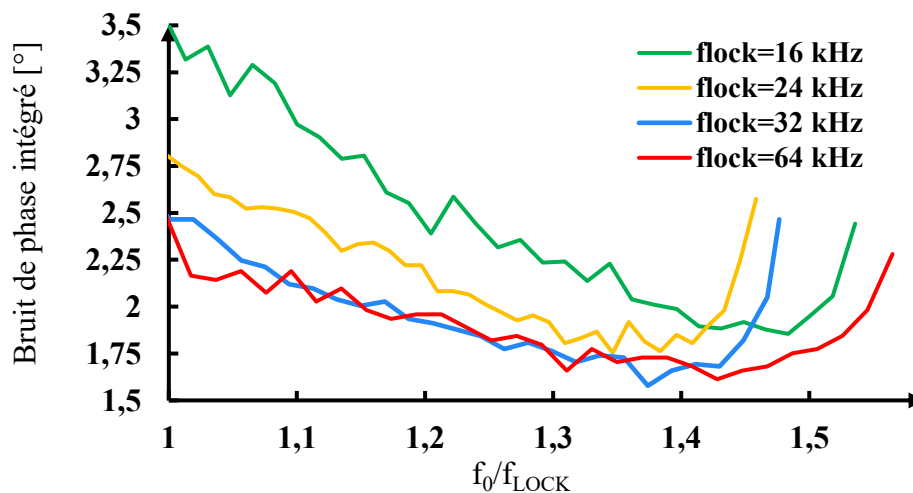


Figure 2-25 : Mesure du bruit de phase intégré sur l'OVI du circuit A

Dans chaque cas, la valeur du bruit de phase intégré diminue lorsque le facteur f_0/f_{LOCK} augmente jusqu'à une valeur valant environ 1,4, où il devient minimal. Après cette valeur, l'OVI se retrouve proche de la borne supérieure théorique de la plage de verrouillage ($\frac{f_0}{f_{LOCK}} = 1,5$), ce qui implique une forte augmentation du bruit de phase.

Dans le cas typique de verrouillage de l'OVI à $f_{LOCK} = 32 \text{ kHz}$, la valeur du bruit de phase intégré s'étale sur un intervalle allant de 1.7° pour la valeur f_{LOCK}/f_0 , à une valeur maximale de 2.5° . Ainsi, le rapport dynamique/bruit de l'OVI est compris entre 31.3 dB et 34.6dB. Cette valeur induit une valeur de bruit en courant équivalent en entrée compris entre 9pA et 19 pA.

Mesures sur le circuit B :

Dans le cas du circuit B, on observe les mêmes propriétés en termes de réjection de bruit de phase de la bande passante de modulation que pour le circuit A. Ainsi, on propose dans cette sous-partie de mesurer le bruit de phase de l'OVI afin de montrer les performances atteintes.

Ainsi, on utilise un analyseur de spectre Rhode&Schwartz FSV -10Hz to 13.6GHz-, embarquant la fonction « phase noise », permettant la mesure du bruit de phase de l'OVI dans une bande passante de 10kHz autour de la porteuse. On donne le spectrogramme mesuré dans la figure 2-26 :

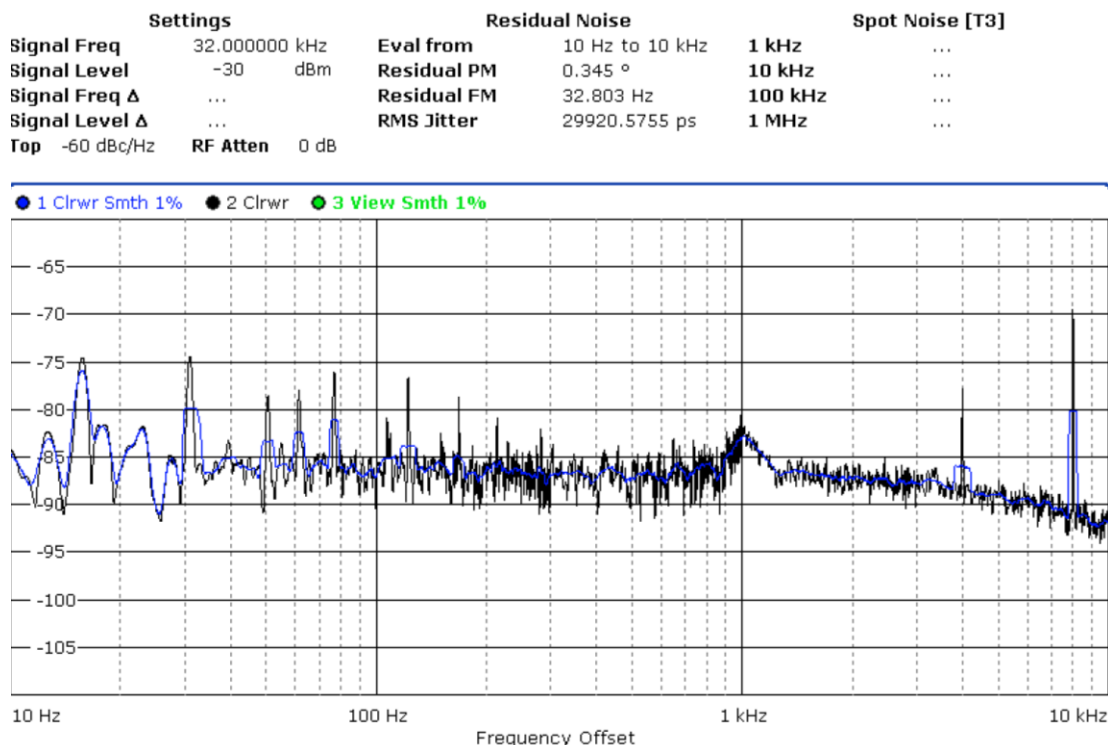


Figure 2-26 : Mesure du spectre de bruit de l'OVI

D'après le spectrogramme, un bruit de phase intégré résiduel de 0.345° est mesuré dans la bande passante de 10kHz autour de la porteuse. En se rapportant au gain mesuré de l'oscillateur, il permet de mesurer un bruit rapporté en entrée de 586mV. En rapportant ce chiffre à la plage maximale de tension en entrée de 230 mV, soit 163mVrms, on en déduit que le RSB d'entrée de l'OVI est de 49dB

Ainsi, la méthodologie de conception associée à notre OVI permet de diminuer le bruit de phase, et donc d'augmenter les performances en SNR du circuit. On pourra ainsi encoder un signal dans le domaine temporel avec une plus grande résistance au bruit.

2.6.7. Linéarité de l'OVI contrôlé en tension du circuit B

Dans cette partie, on cherche à déterminer les performances en linéarité de l'OVI utilisé comme déphaseur. Pour cela, nous avons besoin de quantifier l'enrichissement du spectre du signal de sortie dans le domaine des phases. Il n'est pas aisé de pouvoir déterminer l'enrichissement spectral d'un signal du domaine des phases, puisqu'il est contenu dans une modulation d'un signal porteur. Aucun appareil de mesure ne permet de quantifier ce type de caractéristique à l'heure actuelle.

Ainsi, pour y arriver, on propose d'exploiter la caractéristique du déphasage statique de l'OVI du circuit B, donnée dans la figure 2-20, afin d'en extraire les non-linéarités. En effet, on peut observer à l'œil nu que la caractéristique mesurée est légèrement courbée, et rapporte donc des non-linéarités dans le déphasage.

Pour déterminer les non-linéarités du circuit, on effectue une approximation polynomiale de la caractéristique statique de l'OVI afin de connaître précisément son équation mathématique d'évolution en fonction de V_{IN} . Ce polynôme est donné par l'équation :

$$\Delta\Phi = 2579,2V_{IN}^4 - 2625,7V_{IN}^3 + 1110,8V_{IN}^2 + 421,98V_{IN} + 10,134 \quad (2.32)$$

On connaît à présent le polynôme non-linéaire représentant la caractéristique statique du déphasage en fonction du signal d'entrée V_{IN} . On cherche à obtenir l'enrichissement du spectre du signal de sortie $\Delta\Phi$. Toujours à l'aide de Matlab, on applique à ce polynôme un signal sinusoïdal à 1kHz, d'amplitude 230mV crête-à-crête, afin d'obtenir en sortie un déphasage modélisé couvrant toute la dynamique en déphasage atteignable avec l'OVI.

On trace ensuite la transformée de Fourier du signal résultant, donnée dans la figure ci-dessous :

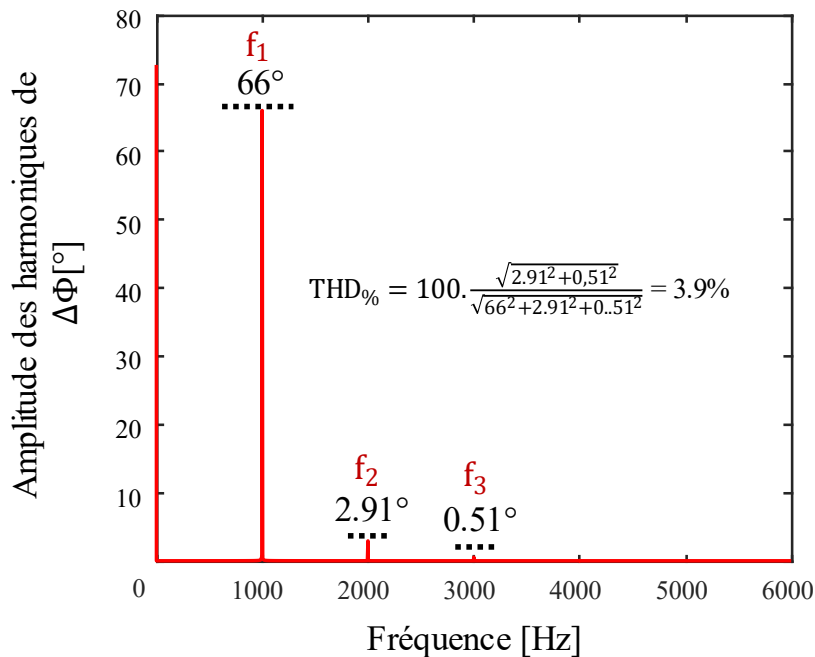


Figure 2-27 : représentation de Fourier des harmoniques dans le déphasage

Dans la figure 2-27, on observe que le signal d'entrée possède un spectre enrichi de deux harmoniques. Ainsi, on peut observer que le signal de sortie contient la fondamentale, notée f_1 et d'amplitude 66° , l'harmonique de rang 2, notée f_2 , d'amplitude 2.91° , ainsi que l'harmonique de rang 3, notée f_3 , d'amplitude 0.51° . Les harmoniques de rang supérieurs sont indiscernables.

Ainsi, on confirme que l'OVI conçu présente des non-linéarités, dues à son architecture et à la méthode de contrôle du déphasage par modification de la tension de seuil des inverseurs qui le constituent.

L'OVI a donc un taux de distorsion harmonique (THD) égal à 3.9%. Comme nous l'avons vu dans le chapitre 1, cette valeur est conforme à des applications de réveil sur évènement ultra-faible consommation.

2.6.8. Consommation des circuits

A l'aide d'un ampèremètre spécialisé pour les très faibles courants, on mesure le courant passant dans les rails d'alimentation des OVI des circuits A et B. On en déduit les consommations des circuits en fonctionnement. Ainsi, la consommation de l'OVI A est estimée à 640 pW, et la consommation de l'OVI B est évaluée à 1.2 nW. Les consommations mesurées sont en accord avec les consommations estimées grâce au modèle de l'équation (30).

3. Conclusions sur les architectures d'OVI étudiées

Dans ce chapitre, nous avons étudié différentes architectures d'oscillateurs verrouillés par injection à relaxation. On a premièrement mis à jour l'implémentation d'un OVI à bascule D, injecté à l'aide de sources de courant commutées. Ensuite, la conception d'un OVI à bascules RS a permis de démontrer la réduction de consommation dynamique, menant à une consommation de 500 pW en simulations, pour un circuit à une fréquence de 16 kHz. Cette architecture d'OVI mène à une consommation statique importante par rapport à la consommation globale. Ainsi, le mécanisme d'injection de l'OVI doit être adapté pour réduire sa consommation.

Le procédé d'injection de l'OVI est donc modifié à l'aide de capacités commutées, affranchissant le circuit de la génération de courants statiques d'injection. De plus, son comportement dynamique doit être modélisé afin de pouvoir adapter la bande passante du déphaseur à la consommation requise. Ainsi, une analyse dynamique du fonctionnement du circuit, à l'aide de suites mathématiques, a permis de déterminer la bande passante de modulation de l'OVI de manière précise. On a pu démontrer, en simulations et mesures, sur deux circuits réalisés dans des procédés différents, la concordance entre modèles théoriques et résultats physiques. Deux circuits ont été réalisés, fabriqués, et testés expérimentalement. Un circuit axé ultra-faible consommation, dans un procédé 22 nm FDX, a permis de démontrer la faisabilité d'un OVI utilisé comme déphaseur avec une consommation de 640 pW. On remarque que pour ce type de circuit, le bruit peut être important, limitant la dynamique en déphasage du circuit. On a mesuré une dynamique de 34.6 dB, ce qui peut rester faible. Il est nécessaire de réaliser certains compromis de conception pour optimiser la consommation par rapport au bruit. La consommation dynamique, doublée par rapport à la consommation du circuit en 22 nm FDSOI permet de diviser par dix le bruit de phase en entrée, passant de 2° à 0.2°. Ainsi, l'OVI réalisé en 65 nm CMOS permet d'atteindre une dynamique de 49 dB à une consommation de 1.2 nW.

On résume les performances atteintes dans ce travail par rapport aux travaux effectués dans l'état de l'art, pour des applications de détection de réveil ultra-faible consommation. Pour effectuer les comparaisons de performances entre les différents systèmes, on utilise un facteur de mérite proche de celui de Schreier [77], noté FOM. Son expression est donnée par l'équation (32) :

$$FOM = DR + 10 \log \left(\frac{\text{Bande passante}}{\text{Puissance consommée}} \right) \quad (2.33)$$

Ce facteur de mérite est pertinent dans la mesure où il permet de caractériser les performances du circuit par rapport à ses performances en bruit (DR) et au compromis réalisé entre bande passante et consommation.

	[46]	[40]	[59]	OVI injecté en courant	Circuit A	Circuit B
Technologie	40 nm	65 nm CMOS	180 nm	22nm FDX	22nm FDX	65nm CMOS
Tension d'alimentation	0.8	0.5	1.8	0.4	0.4	0.4
DR	78.5	55	61 dB	37 dB	34.6 dB	49dB
Bande passante	10 kHz	5 kHz	7 kHz	3.5 kHz	6 kHz	6 kHz
Energie/cycle	0.6 pJ/cycle	nc	1nj/cycle	0.02 pj/cycle	0.02 pJ/cycle	0.04 pJ
Consommation	3 μ W	73 nW	10 μ W	500 pW	640 pW	1.2 nW
FOM	172	163.3	150	165.5	164.3	176.6

On remarque que l'OVI conçu dans le circuit B possède le facteur de mérite le plus élevé. On choisira donc de conserver le modèle de circuit en 65 nm, plus performant en termes de dynamique, pour la suite de l'établissement de ce travail de recherche.

On utilisera les propriétés dynamiques de l'OVI conçu en 65 nm pour la réalisation de filtres dans le domaine des phases.

Chapitre 3

Conception de filtres dans le domaine des phases
à l'aide d'oscillateurs verrouillés par injection

Dans le chapitre 1, nous avons mis à jour les architectures utilisées pour réaliser des CdR sur évènement ultra faible consommation. Nous avons pu constater que pour réduire la consommation de ce type de CdR, on pouvait se diriger vers l'électronique dans le domaine temporel. En effet, des filtres utilisant des OCT peuvent être mis en œuvre à très faible consommation pour réaliser des fonctions de traitement du signal analogique. On peut utiliser ces architectures de filtres dans le cadre de CdR pour en réduire la consommation, les variabilités et la surface occupée.

Dans le chapitre 2, nous avons pu étudier l'architecture et le comportement dynamique des OVI à relaxation à injection capacitive. Ces oscillateurs ont pu être implémentés sur silicium et être caractérisés en statique et en dynamique. Nous avons pu démontrer la validité de notre modélisation théorique par l'expérience, et les OVI implémentés ont présenté des performances en consommation de l'ordre du nW. Par conséquent, nous souhaitons les utiliser comme convertisseur tension vers temps pour réaliser une interface d'extracteur de caractéristiques à OVI.

Pour y parvenir, on souhaite utiliser les caractéristiques dynamiques de l'OVI pour réaliser une opération de filtrage entièrement dans le domaine temporel. Dans ce chapitre, on présentera les réponses en fréquence de l'OVI pour différentes modulations de son signal de verrouillage et on en déterminera les fonctions de transfert. L'établissement des propriétés dynamiques de l'OVI pour différentes modulations de leur signal de verrouillage permettront de synthétiser une fonction de transfert de filtre passe-bande dans le domaine des phases.

On précise que dans ce chapitre, sauf mention contraire, toutes les mesures sur les dispositifs à OVI utilisent les paramètres de conception et de polarisation définis pour le circuit B, conçu dans un nœud technologique 65nm, et présentés dans le chapitre 2.

1. Modulation du signal de verrouillage et traitement de l'information par l'oscillateur verrouillé par injection

Dans cette partie, on s'inspire des architectures de filtres à OCT présentées dans le chapitre 1 pour les adapter aux OVI.

La particularité des OVI que nous avons présenté dans le chapitre 2 est que le contrôle dynamique de leur déphasage peut être fait par un signal de contrôle électrique, mais également par une variation de fréquence ou de phase de son signal de verrouillage.

1.1. Introduction à la conception de filtres à OVI

Notre objectif est de parvenir à synthétiser une fonction de transfert globale de filtre à OVI, prenant en compte une entrée temporelle (soit en fréquence, soit en phase, soit en MLI), capable de restituer l'information traitée en sortie également dans le domaine temporel. Chaque OVI sera utilisé comme « bloc » pour synthétiser la fonction de transfert. On peut donner un schéma du système dans la figure 3-1.

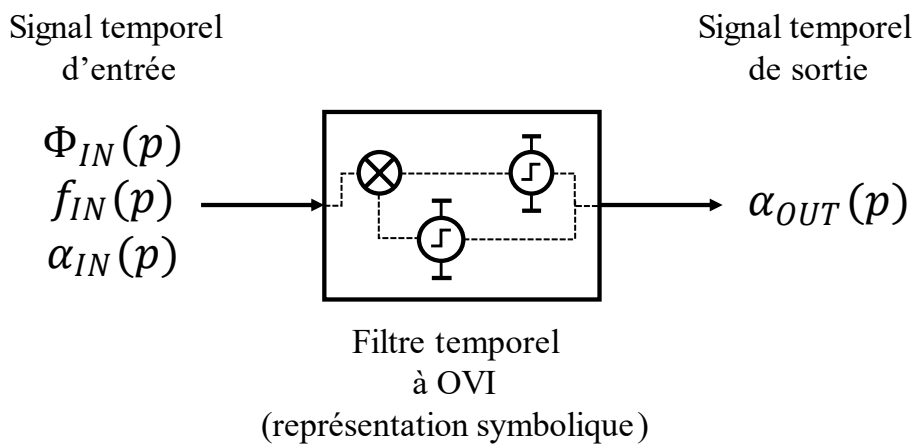


Figure 3-1 : Schéma de principe d'un filtre temporel à OVI

Dans la partie suivante, on s'appliquera à détailler le comportement dynamique de l'OVI à relaxation du chapitre 2, lorsque son signal de verrouillage est modulé temporellement. Alors, on déterminera dans chaque cas la fonction de transfert correspondante, servant de sous-bloc utile pour la synthèse de filtre.

Dans cette partie, nous allons étudier les caractéristiques dynamiques de l'OVI lorsque ces différentes grandeurs d'entrée sont modulées. On résume, dans la figure suivante, le symbole d'un OVI avec ses différentes grandeurs modulées.

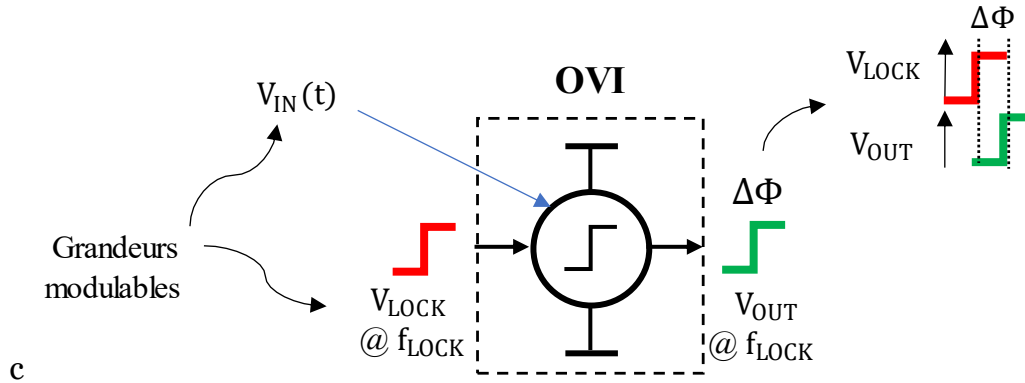


Figure 3-2 : OVI accompagné de ses signaux de contrôle (verrouillage et déphasage) modulables

On prendra soin de décrire le comportement en déphasage de l'OVI lorsque le signal de verrouillage est modulé en phase et en fréquence. Après avoir déterminé les fonctions de transfert régissant ces comportements, on pourra présenter une méthode de synthèse de fonction de transfert de filtre.

1.2. Conversion analogique vers temps par modulation de f_0

Dans un premier temps, on rappelle que l'OVI peut agir en tant que déphaseur pour convertir un signal du domaine électrique (courant ou tension) vers le domaine des phases. Le contrôle du déphaseur par un signal s'écrit :

- $\Delta\Phi_0 = -\pi \left(1 + \frac{C_L}{C_{INJ}}\right) \frac{f_{LOCK}}{f_0} \frac{\delta i}{I_{BIAS}}$ dans le cas d'un contrôle en courant (2.25)
- $\Delta\Phi_0 = -\pi \left(1 + \frac{C_L}{C_{INJ}}\right) \frac{f_{LOCK}}{f_0} K_{INV} \delta V_{IN}$ dans le cas d'un contrôle en tension (2.26)

Dans les deux cas, la fonction de transfert s'écrit (2.28) :

$$H_{OVI}(p) = \frac{\Delta\Phi}{\Delta\Phi_0} = \frac{1}{1 + \frac{p}{2\pi f_{-3dB}}} \quad (3.1)$$

Dans laquelle f_{-3dB} représente la fréquence de coupure à 3 décibels du déphaseur. Les mesures et la concordance de ce modèle par rapport aux résultats physiques ont été démontrés dans le chapitre 2 de ce manuscrit. Le bloc équivalent de l'OVI, utilisé pour la synthèse de fonction de transfert de filtre, est présenté dans la figure 3-3.

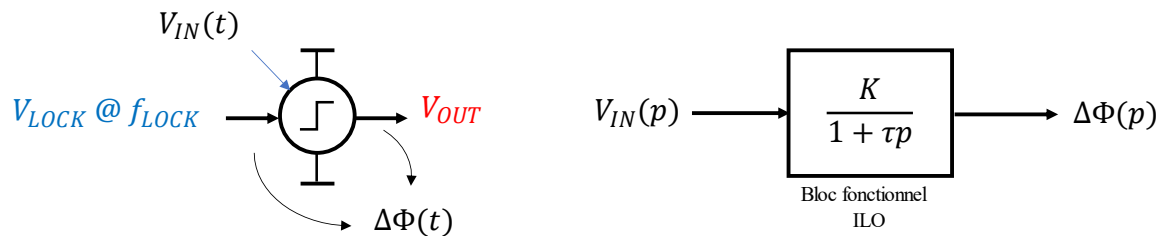


Figure 3-3 : Schéma bloc d'un OVI utilisé comme convertisseur tension temps

À l'aide de la fonction de transfert déterminé dans le chapitre 2, on détermine dans les parties suivantes la réponse en fréquence de l'OVI lorsque son signal de verrouillage est modulé en phase puis en fréquence.

1.3. Réponse de l'OVI à une modulation en phase du signal de verrouillage

Afin de déterminer la réponse en fréquence de l'OVI lorsque son signal de verrouillage est modulé en phase, on définit premièrement la modulation de phase.

1.3.1. Définition d'une modulation de phase

On considère qu'un signal est modulé en phase lorsque la phase instantanée de ce signal est modifiée par un signal modulant. Une représentation schématique d'un signal modulé en phase est donnée dans la figure 3-4.

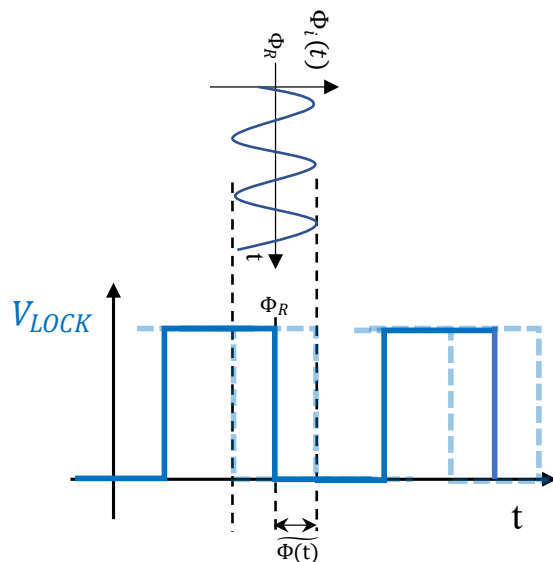


Figure 3-4 : représentation graphique de la définition d'une modulation de phase du signal d'entrée

La figure 3-4 fait apparaître trois valeurs :

- La phase instantanée du signal V_{LOCK} , variant avec le temps, notée $\Phi_i(t)$
- La phase au repos du signal V_{LOCK} , constante, notée Φ_R
- La différence de phase entre Φ_i et Φ_R , notée $\tilde{\Phi}(t)$

On peut alors exprimer directement la valeur de la différence entre Φ_i et Φ_R , que l'on note :

$$\tilde{\Phi} = \Phi_i - \Phi_R \quad (3.2)$$

La modulation de phase représente donc un déplacement variable de phase par rapport à une phase fixe. Par définition, la fréquence instantanée du signal V_{LOCK} s'exprime comme la dérivée temporelle de la fréquence de ce signal. Ainsi, en écrivant f_{LOCK_i} la fréquence instantanée du signal de verrouillage, on peut exprimer l'égalité suivante :

$$f_{LOCK_i} = \frac{1}{2\pi} \frac{d\Phi_i(t)}{dt} = \frac{1}{2\pi} \frac{d}{dt} (\Phi_R + \widetilde{\Phi}(t)) \quad (3.3)$$

La dérivée de la phase au repos, $\frac{d\Phi_R}{dt}$ est égale à la fréquence de verrouillage f_{LOCK} lorsque le signal V_{LOCK} n'est pas modulé. Par conséquent, l'expression de f_{LOCK_i} , lorsque V_{LOCK} est modulé en phase, correspond à la somme de la valeur statique de f_{LOCK} et de la dérivée temporelle de $\widetilde{\Phi}(t)$:

$$f_{LOCK_i} = f_{LOCK} + \frac{1}{2\pi} \frac{d\widetilde{\Phi}(t)}{dt} \quad (3.4)$$

Dans la partie suivante, on étudie la réponse dynamique d'un OVI à une modulation en phase de son signal de verrouillage.

1.3.2. Réponse d'un OVI à une modulation en phase de son signal de verrouillage

On considère l'étude d'un OVI dont le signal de verrouillage est modulé en phase. La figure 3-5 montre le schéma expérimental étudié.

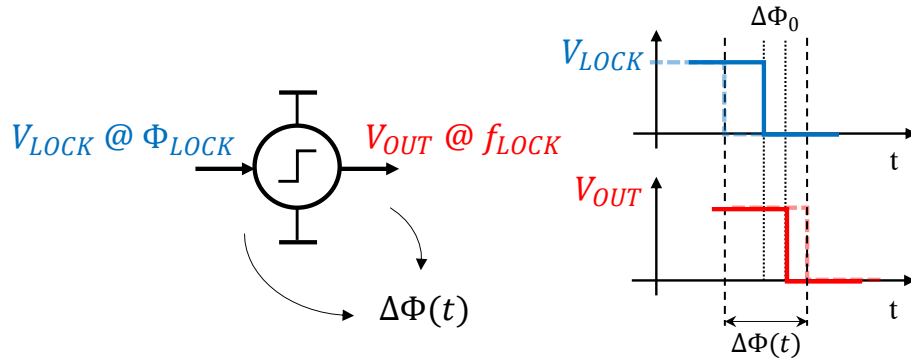


Figure 3-59 : représentation symbolique du système étudié lorsque le signal de verrouillage est modulé en phase

Dans cette étude, on observe l'évolution dynamique du déphasage $\Delta\Phi(t)$ entre V_{LOCK} et V_{OUT} lorsque V_{LOCK} est modulé en phase. L'OVI réagit donc à la fréquence instantanée du signal de verrouillage. On peut d'ores et déjà avancer que la réponse du système sera la somme d'un déphasage statique et d'une modulation de phase. En effet, comme nous avons pu le voir dans l'établissement de l'équation différentielle du déphasage de l'OVI du chapitre 2, le système est linéaire, ce qui implique que la réponse globale en déphasage constituera la somme des réponses en déphasage de l'OVI. Ces deux grandeurs sont modélisées comme :

- Le déphasage statique dû au procédé de verrouillage de l'OVI, $\Delta\Phi_0$, dont l'expression est donnée dans l'équation (2.9) dans le chapitre 2.
- Le déphasage dynamique, $\widetilde{\Delta\Phi}$, constituant la variation de phase dynamique entre V_{OUT} et V_{LOCK}
- Le déphasage total, $\Delta\Phi$, correspondant à la somme des deux valeurs citées précédemment

On exprime donc le déphasage de l'OVI de la manière suivante :

$$\Delta\Phi = \Delta\Phi_0 + \widetilde{\Delta\Phi} \quad (3.5)$$

L'OVI répond à l'équation différentielle fondamentale (2.19) établie dans le chapitre 2 :

$$\tau \frac{d\Delta\Phi}{dt} + \Delta\Phi = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK_i}}{f_0} - 1 \right) \right) \quad (3.6)$$

Ainsi, en considérant l'expression $f_{LOCK_i} = f_{LOCK} + \frac{1}{2\pi} \frac{d\tilde{\Phi}}{dt}$, l'équation est modifiée et devient :

$$\begin{aligned} \tau \frac{d\Delta\Phi}{dt} + \Delta\Phi &= \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{f_0} - 1 \right) \right) \\ &\quad + \frac{1}{2f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{d\tilde{\Phi}}{dt} \end{aligned} \quad (3.7)$$

$$= \Delta\Phi_0 + \frac{1}{2f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{d\tilde{\Phi}}{dt} \quad (3.8)$$

La réponse dynamique en déphasage est la somme du déphasage statique et du déphasage dynamique.

On réécrit cette équation en remplaçant l'expression de $\Delta\Phi$:

$$\tau \frac{d}{dt} (\Delta\Phi_0 + \tilde{\Delta\Phi}) + \Delta\Phi_0 + \tilde{\Delta\Phi} = \Delta\Phi_0 + \frac{1}{2f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{d\tilde{\Phi}}{dt} \quad (3.9)$$

Soit, en retranchant $\Delta\Phi_0$ de chaque côté de l'équation (on rappelle que $\Delta\Phi_0$ est une constante donc $\frac{d}{dt}\Delta\Phi_0 = 0$) :

$$\tau \frac{d\tilde{\Delta\Phi}}{dt} + \tilde{\Delta\Phi} = \frac{1}{2f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{d\tilde{\Phi}}{dt} \quad (3.10)$$

On obtient l'équation différentielle régissant le comportement de l'OVI lorsque son signal de verrouillage V_{LOCK} est modulé en phase. Cette équation est caractéristique d'un dérivateur non idéal. En effet, le déphasage du signal de sortie de l'OVI par rapport au signal de verrouillage dépend de la dérivée de la grandeur d'entrée, $\frac{d\Phi}{dt}$.

On utilise cette équation de manière à déterminer la fonction de transfert de l'OVI pour une modulation de phase de son signal de verrouillage.

1.3.3. Transmittance dans le cas d'une modulation en phase du signal de verrouillage

On établit la fonction de transfert de l'OVI en transposant l'équation (3.10) dans le domaine de Laplace. On note $\widetilde{\Delta\Phi}(p)$ la grandeur de sortie du système et $\widetilde{\Phi}(p)$ sa grandeur d'entrée. On obtient la transmittance suivante :

$$\frac{\widetilde{\Delta\Phi}(p)}{\widetilde{\Phi}(p)} = \frac{\left(1 + \frac{C_L}{C_{INJ}}\right)}{2f_0} \frac{p}{1 + \frac{p}{2\pi f_{-3dB}}} \quad (3.11)$$

On reconnaît la forme d'une fonction de transfert du premier ordre impliquant un système dérivateur approché. En effet, le terme p définit le caractère dérivateur de la transmittance calculée. En d'autres termes, on peut le considérer comme un filtre passe-haut à l'extérieur de sa bande passante, assimilable à un dérivateur.

Cependant, le caractère dérivateur de la fonction de transfert reste approximatif à cause du dénominateur de la fonction de transfert, contenant lui aussi un terme en p . Ainsi, lorsque la fréquence de modulation du signal V_{LOCK} augmente aux alentours de la valeur f_{-3dB} , définie elle aussi dans le chapitre 2, la réponse du système s'aplanit, à cause du terme intégrateur au dénominateur de la fonction de transfert.

Dans la suite, on mesure la réponse en fréquence de l'OVI pour une modulation de phase en entrée.

1.3.4. Mesure de la réponse fréquentielle de l'OVI à une modulation de phase de V_{LOCK}

Dans cette partie, on présentera les résultats de mesure sur le circuit B, que nous avons présenté dans le chapitre 2, contenant un OVI conçu dans un nœud technologique 65nm CMOS. On rappelle les paramètres de polarisation qui ont été présentés précédemment : le courant de polarisation est fixé à 2nA, afin de maintenir la fréquence f_0 de l'OVI égale à A Afin d'effectuer la mesure de la réponse en fréquence de l'OVI lorsque la phase de V_{LOCK} est modulée, on utilise le schéma de la figure 3-6 :

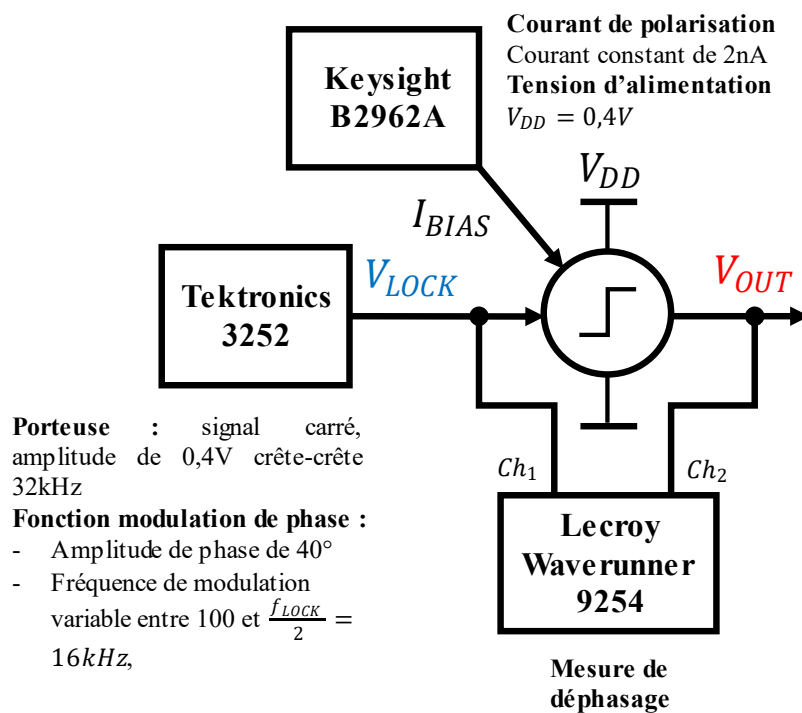


Figure 3-6: schéma de mesure de la réponse en fréquence de l'OVI quand V_{LOCK} est modulé en phase

On génère le signal de verrouillage modulé en phase à l'aide d'un générateur basse fréquence (Tektronics 3252). La porteuse de ce signal est un signal carré, d'amplitude 0.4V crête-crête, d'une fréquence de 32kHz. La phase de ce signal est modulée dynamiquement avec une amplitude de 40° , afin d'obtenir une dynamique en déphasage de sortie la plus large possible. On fait varier sa fréquence de modulation entre 100 et $\frac{f_{LOCK}}{2} = 16kHz$. Le signal V_{IN} est défini comme constant, à une valeur définissant la moitié de sa dynamique d'entrée, soit 0.135V.

A l'aide d'un oscilloscope (Lecroy Waverunner 3252), on mesure le délai dynamique entre deux fronts montants des signaux V_{LOCK} et V_{OUT} . On mesure

l'écart type de la variation de ce délai à l'aide de la fonction adéquate de l'appareil de mesure, que l'on normalise ensuite par rapport à sa valeur maximale. On convertit les valeurs normalisées en décibels, ce qui nous permet de tracer la réponse en fréquence suivante :

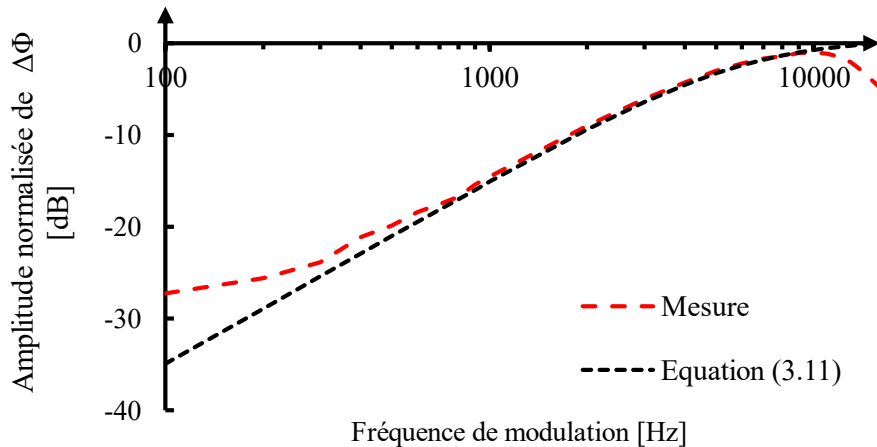


Figure 3-7 : Réponse en fréquence de l'OVI lorsque V_{LOCK} est modulé en phase

On observe que l'amplitude normalisée du déphasage augmente selon une pente de +20dB/décade pour des fréquences de modulations allant de 250Hz jusqu'à 6.4kHz. La fonction de transfert mesurée suit le modèle théorique dans une bande allant de 250Hz à environ 10kHz.

Lorsque la fréquence de modulation de phase est inférieure à 250 Hz, la mesure de la variation du déphasage était difficilement discernable du bruit de phase. Lorsque la fréquence de modulation du signal de verrouillage devient supérieure à 10 kHz, on observe que l'amplitude normalisée mesurée diffère du modèle théorique. Deux raisons peuvent être liées à cette différence. Premièrement, le terme f_{-3dB} dépend de la fréquence f_{LOCK} . Ainsi, la valeur instantanée de f_{LOCK} varie avec la modulation de phase du signal de verrouillage. Par conséquent, des non-linéarités viennent perturber la fonction de transfert qui ne devient plus linéaire à ces fréquences. Deuxièmement, on peut avancer que la fréquence de variation de la modulation en phase du signal de verrouillage s'approche de la fréquence limite $\frac{f_{LOCK}}{2} = 16 \text{ kHz}$. Des effets d'intermodulation peuvent apparaître et venir fausser le résultat.

On déduit des résultats de mesures la validité du modèle théorique proposé dans un intervalle de fréquence allant de 250 Hz à 10 kHz. La transmittance de l'OVI, lorsque son signal de verrouillage est modulé en phase, sera utilisée par la suite pour de la synthèse de filtre dans le domaine temporel.

En conclusion de cette partie, On considérera que le bloc fonctionnel représenté par l'OVI lorsque son signal de verrouillage est modulé en phase est celui d'un dérivateur non-idéal, comme représenté dans la figure 3-8.

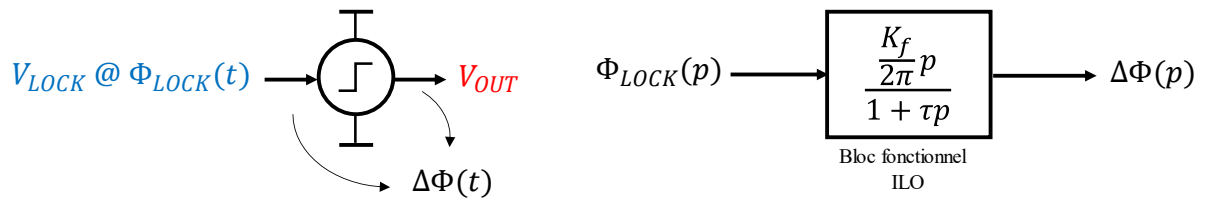


Figure 3-8 : Schéma bloc fonctionnel d'un OVI dont le signal de verrouillage est modulé en phase

On utilisera ensuite ce bloc pour la synthèse de fonction de transfert de filtre utilisant des OVI.

1.4. Réponse de l'OVI à une modulation en fréquence du signal de verrouillage

Dans cette partie, on propose de reprendre la même méthode d'étude que précédemment afin de comprendre le comportement dynamique de l'OVI lorsque son signal de verrouillage est modulé en fréquence.

On a pu voir dans le chapitre 2 qu'une variation statique de la fréquence de verrouillage entraîne une variation du déphasage statique de l'OVI. Dans cette partie, on verra que la variation dynamique de la fréquence entraîne une variation dynamique du déphasage de sortie, liée à l'équation différentielle fondamentale régissant le comportement de l'OVI à relaxation.

Commençons par définir la modulation en fréquence du signal de verrouillage.

1.4.1. Définition de la modulation de fréquence du signal de verrouillage

On considère l'étude d'un OVI dont le signal de verrouillage est modulé en fréquence. Un signal modulé en fréquence peut être représenté selon la figure ci-dessous :

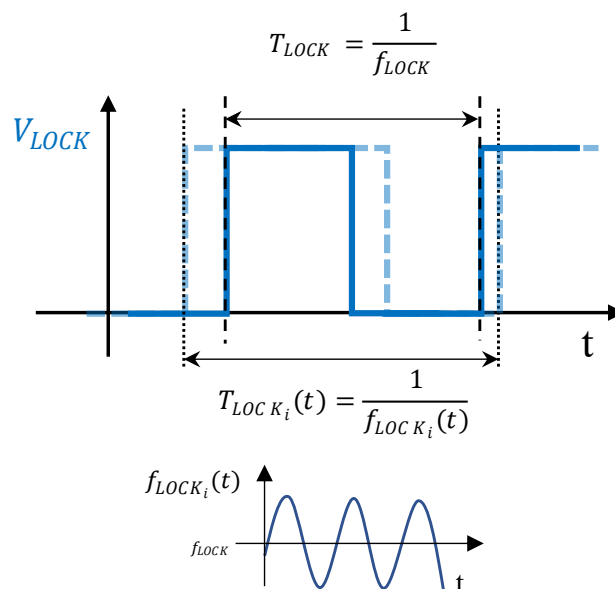


Figure 3-9 : représentation d'un signal modulé en fréquence

On souhaite étudier la réponse dynamique du déphasage $\Delta\Phi$ entre V_{OUT} et V_{LOCK} lorsque V_{LOCK} est modulé en fréquence. On considère que la fréquence instantanée du signal V_{LOCK} , notée f_{LOCK_i} est constituée :

- D'une composante statique, la fréquence de verrouillage f_{LOCK}
- D'une composante dynamique, proportionnelle à un signal modulant $\delta s(t)$.
On notera cette composant dynamique $\widetilde{f_{LOCK}}(t) = f_{LOCK} \cdot \delta s(t)$.

On exprime la fréquence de verrouillage instantanée de l'OVI comme suit :

$$f_{LOCK_i}(t) = f_{LOCK} + \widetilde{f_{LOCK}}(t) \quad (3.12)$$

On utilise cette expression pour déterminer la réponse dynamique de l'OVI. On procède comme dans la sous-partie précédente en établissant tout d'abord l'équation différentielle de l'OVI dans ces conditions.

1.4.2. Réponse d'un OVI à une modulation en fréquence de son signal de verrouillage

On considère que l'OVI est verrouillé sur un signal modulé en fréquence. On se place dans le cadre du système représenté dans la figure 3-10 :

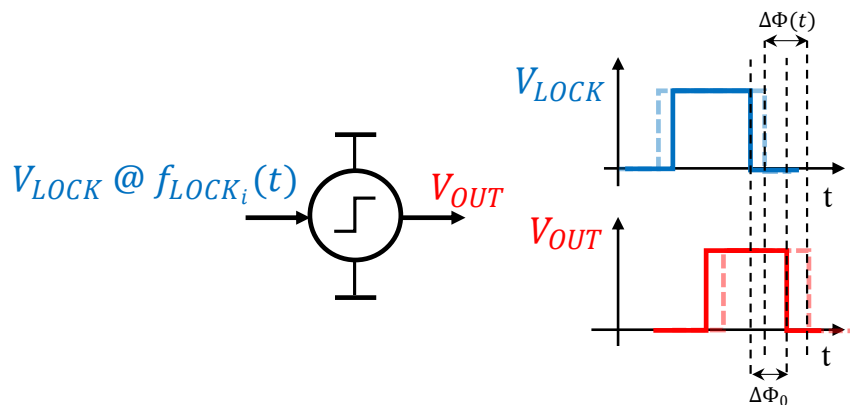


Figure 3-10 : OVI avec signal de verrouillage modulé en fréquence

On utilise les définitions de déphasage statique et dynamique explicitées dans la sous-partie précédente. L'OVI répond à l'équation différentielle (2.19) décrite dans le chapitre 2 :

$$\tau \frac{d\Delta\Phi}{dt} + \Delta\Phi = \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK_i}}{f_0} - 1 \right) \right) \quad (3.13)$$

On peut donc développer cette équation et séparer son second membre en deux termes, statique et dynamique.

$$\begin{aligned} \tau \frac{d\Delta\Phi}{dt} + \Delta\Phi &= \pi \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{f_0} - 1 \right) \right) \\ &\quad + \frac{\pi}{f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \widetilde{f_{LOCK}}(t) \end{aligned} \quad (3.14)$$

$$= \Delta\Phi_0 + \frac{\pi}{f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \widetilde{f_{LOCK}}(t) \quad (3.15)$$

De la même manière que précédemment, on exprime le déphasage dynamique en fonction de la variation de la fréquence de verrouillage :

$$\tau \frac{d\widetilde{\Delta\Phi}}{dt} + \widetilde{\Delta\Phi} = \frac{\pi}{f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \widetilde{f_{LOCK}}(t) \quad (3.16)$$

On utilise cette équation de manière à déterminer la transmittance de l'OVI pour une modulation de phase de son signal de verrouillage.

1.4.3. Transmittance

On établit la transmittance en transposant l'équation différentielle dynamique (3.16) dans le domaine de Laplace.

$$\frac{\widetilde{\Delta\Phi}(p)}{\widetilde{f_{LOCK}}(p)} = \frac{\pi}{f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{1}{1 + \frac{p}{2\pi f_{-3dB}}} \quad (3.17)$$

La transmittance établie est celle d'un filtre passe-bas du premier ordre assimilable à un intégrateur.

De même, en écrivant la variation du déphasage $\widetilde{\Delta\Phi}$ comme l'intégrale temporelle de la variation de fréquence du signal de sortie, on obtient alors :

$$\frac{\Delta f(p)}{\widetilde{f_{LOCK}}(p)} = \frac{p}{2\pi} \frac{\widetilde{\Delta\Phi}(p)}{\widetilde{f_{LOCK}}(p)} = \frac{1}{2f_0} \left(1 + \frac{C_L}{C_{INJ}}\right) \frac{p}{1 + \frac{p}{2\pi f_{-3dB}}} \quad (3.18)$$

On observe que la transmittance en fréquence obtenue correspond à la même fonction que dans le cas de la modulation de phase. Ce résultat est en accord avec les travaux du Dr. Finateu [78]

1.4.4. Mesure de la réponse fréquentielle de l'OVI à une modulation de fréquence de V_{LOCK}

Afin de mesurer la réponse en fréquence de l'OVI lorsque son signal de verrouillage est modulé en fréquence, on met en œuvre le schéma de mesure suivant en conservant les paramètres de polarisation précédents :

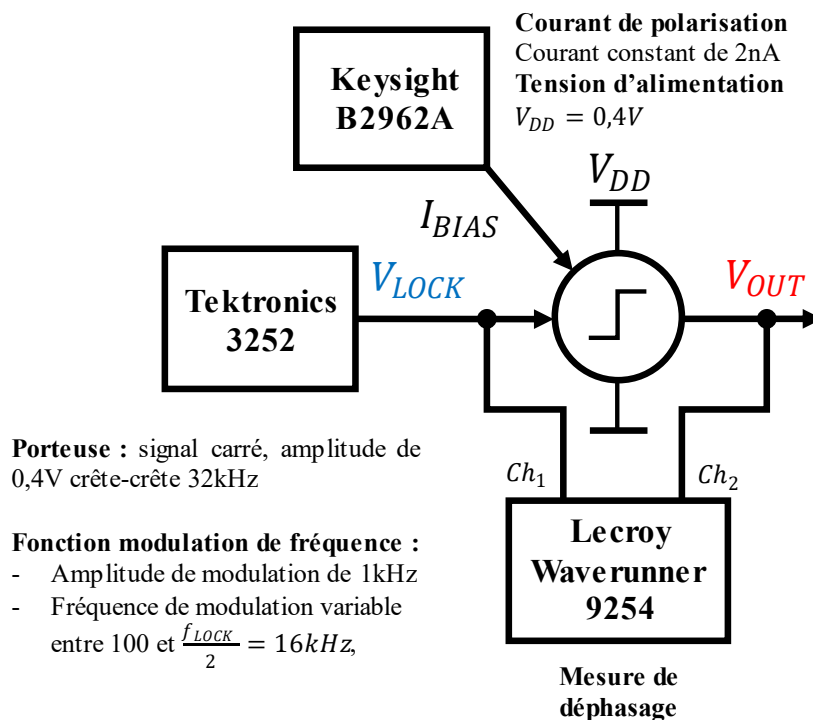


Figure 3-11 : Schéma de mesure de la réponse en fréquence de l'OVI lorsque V_{LOCK} est modulé en fréquence

Tout d'abord, on applique une modulation de fréquence sur le signal de verrouillage grâce à la fonction de modulation de signal présente sur le générateur de signaux.

A l'aide de l'oscilloscope, on mesure la variation du délai entre les signaux V_{OUT} et V_{LOCK} , ce qui nous permet d'obtenir par le calcul l'écart type de la variation de ce délai, rendant ainsi possible la normalisation des valeurs mesurées par rapport au maximum. On obtient la réponse en fréquence de la figure 3-12 :

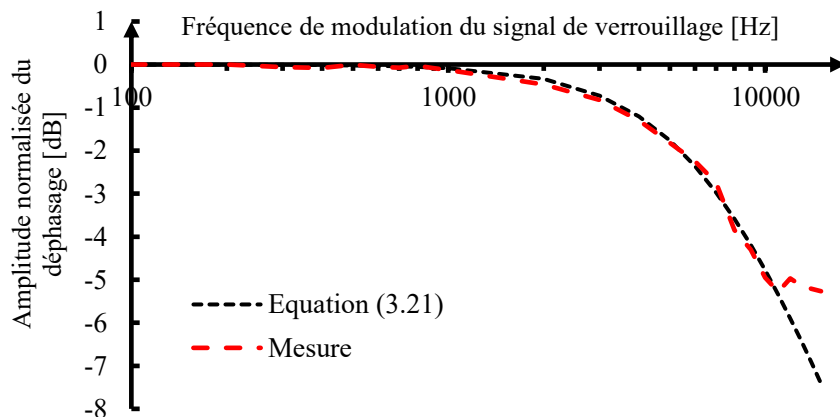


Figure 3-12 : réponse en fréquence de l'OVI lorsque V_{LOCK} est modulé en fréquence

On observe, d'après la mesure, que l'amplitude normalisée du déphasage décroît selon une réponse de type passe-bas du premier ordre, en respectant le modèle théorique proposé. On en déduit que la mesure valide le modèle proposé. A une fréquence proche de $\frac{f_{LOCK}}{2}$, le repliement spectral dû à la nature du système échantillonné provoque une remontée de la réponse en fréquence du filtre.

Pour la synthèse de filtre, on considèrera l'OVI comme un intégrateur de modulation de fréquence, avec pour représentation bloc la figure 3-13.

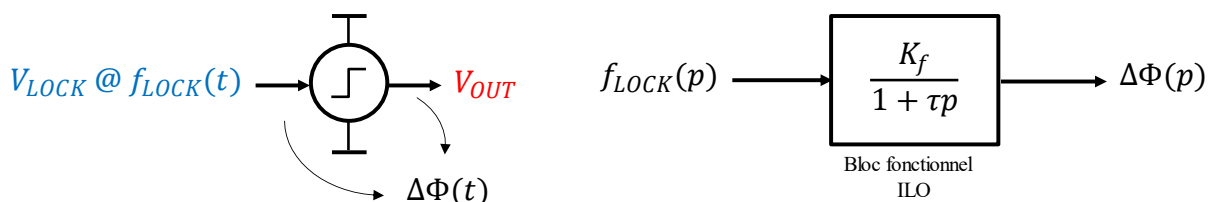


Figure 3-13 : Schéma bloc fonctionnel d'un OVI dont le signal de verrouillage est modulé en fréquence

La transmittance de l'OVI, lorsque son signal de verrouillage est modulé en fréquence, sera utilisée par la suite pour de la synthèse de filtre.

Dans cette section, nous avons pu étudier le comportement dynamique des OVI lorsque leur signal de verrouillage est verrouillé en phase et en fréquence. Dans la section suivante, on utilise les fonctions de transfert et schémas bloc déterminés à la synthèse de fonction de transfert de filtre dans le domaine temporel.

2. Synthèse de filtre à oscillateurs verrouillés par injection

Dans cette section, on utilise les transmittances calculées dans le cas d'une modulation de phase et de fréquence du signal de verrouillage pour synthétiser des fonctions de transfert de filtre utilisant des OVI. On souhaite réaliser la synthèse de filtre dans le domaine temporel en suivant la modélisation schéma bloc. On utilisera donc les fonctions de transfert disponibles de l'OVI, puis on les rebouclera à l'aide de comparateur de phase pour réaliser une fonction de transfert.

2.1. Comparateur d'erreur pour la synthèse de filtre dans le domaine temporel

Une étude comparative entre les différents types de comparateurs de phase est effectuée dans le manuscrit de thèse du Dr. Franck Badets [56]. Dans ce travail, on souhaite utiliser un comparateur de phase permettant, en régime statique, d'obtenir un signal de sortie à la même fréquence que ses signaux d'entrée, et dont le rapport cyclique représente la différence de phase entre les deux signaux.

De plus, en régime dynamique, ce comparateur doit être capable de comparer des signaux de fréquences instantanées légèrement différentes, liée à la variation de phase des signaux. Cependant, on considérera toujours nos signaux comme cohérents, c'est-à-dire que la différence de fréquence en question reste relativement faible. De plus, le comparateur choisi doit être facilement implémentable, à l'aide de portes logiques simples, afin de réduire au maximum le nombre de branches impliquées et donc la consommation dynamique.

Notre choix se porte sur un comparateur de phase dont le schéma est fondé sur des bascules JK [56], réagissant sur les fronts descendants des signaux d'entrée. Le schéma d'un tel dispositif est donné ci-dessous :

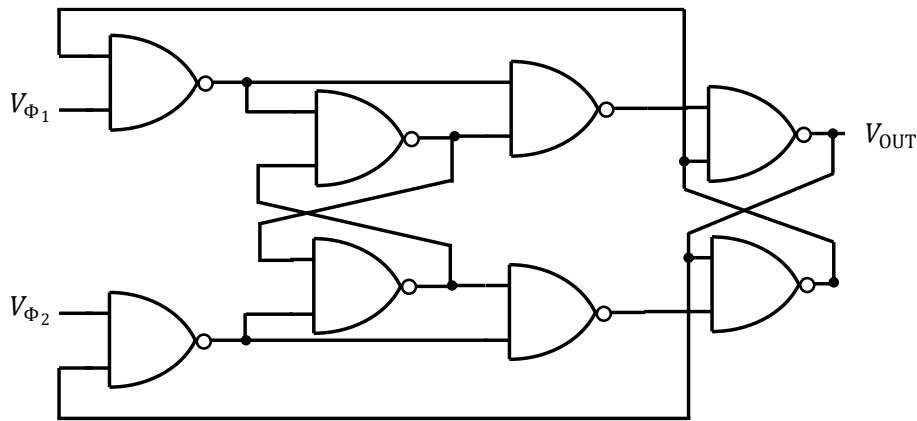


Figure 3-14 : Comparateur de phase à bascule JK, réagissant sur les fronts descendants de ses signaux d'entrée

Le comparateur de phase est constitué de portes « NON-ET », conçues de manière à limiter les fuites statiques et sa consommation dynamique, afin de réduire au maximum la consommation électrique du circuit. Pour y parvenir, on ajuste convenablement la longueur et la largeur des transistors qui les constituent.

Dans notre cas, le signal résultant de la comparaison de phase entre Φ_1 et Φ_2 est un signal carré modulé en largeur d'impulsion variée dont les fronts montants et descendants ont des positions temporelles variables. Ainsi, on peut en déduire que le signal résultant sera modulé instantanément en fréquence, puisque la largeur de sa période varie. On présente dans le diagramme de la figure 3-15 le signal résultant :

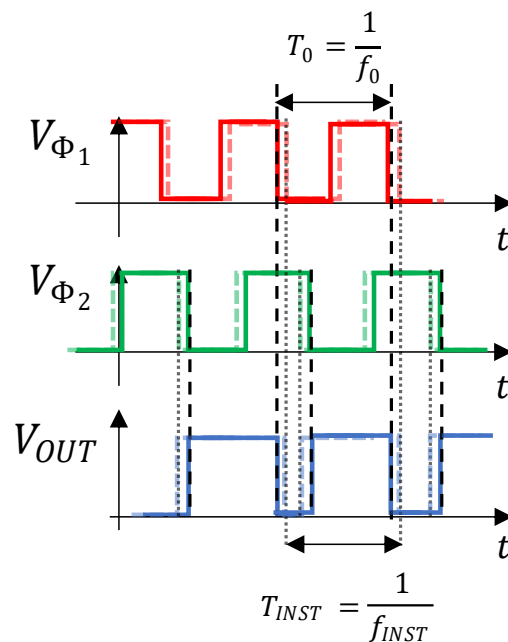


Figure 3-15: Chronogramme des signaux d'entrée et de sortie du comparateur de phase utilisé

On observe dans la figure ci-dessous que la comparaison de phase entre les signaux V_{Φ_1} et V_{Φ_2} fournit un signal de sortie V_{OUT} dont la fréquence instantanée f_{INST} et le rapport cyclique α_{OUT} varient. Dans la suite de notre raisonnement, nous allons nous attacher à déterminer, par le calcul, les comportements mis en jeu.

Par définition, le rapport cyclique du signal de sortie, α_{OUT} , s'exprime comme la largeur d'impulsion du signal divisée par sa période. Dans notre cas d'étude, sa largeur d'impulsion est définie comme la différence de phase entre les signaux V_{Φ_1} et V_{Φ_2} .

On considère que ces signaux ont une fréquence fixe valant f_{LOCK} , et que leurs phases Φ_1 et Φ_2 varient. Ainsi, on peut écrire, en exprimant la différence de phase $\Delta\Phi = \Phi_2 - \Phi_1$:

$$f_{INST} = f_{LOCK} + \frac{1}{2\pi} \frac{d\Delta\Phi}{dt} \quad (3.19)$$

Dans le même temps, f_{INST} est égale à la différence de temps entre deux fronts descendants du signal de sortie. En exprimant $\Delta T = T_{INST} - T_{LOCK}$, nous obtenons donc :

$$f_{INST} = \frac{1}{T_{INST}} = \frac{1}{T_{LOCK} + \Delta T} \quad (3.20)$$

Le terme $\frac{1}{2\pi} \frac{d\Delta\Phi}{dt}$ de l'équation (3.19) définit la part variable de la fréquence instantanée f_{INST} . On note cette valeur Δf . En égalisant les équations (3.19) et (3.20), et en effectuant un développement limité de l'équation (3.20) dans le cas où la valeur de ΔT est faible devant la période statique f_{LOCK} :

$$f_{LOCK} + \frac{1}{2\pi} \frac{d\Delta\Phi}{dt} = \frac{1}{T_{LOCK} + \Delta T} \approx f_{LOCK} \left(1 - \frac{\Delta T}{T_{LOCK}}\right) \quad (3.21)$$

$$\Rightarrow \frac{1}{2\pi} \frac{d\Delta\Phi}{dt} = \Delta f \approx -f_{LOCK} \left(\frac{\Delta T}{T_{LOCK}}\right) \quad (3.22)$$

En exprimant $\Delta T = \Delta\Phi / (2\pi f_{LOCK})$, on obtient un modèle linéarisé du comparateur de phase permettant d'exprimer l'excursion en fréquence du signal de sortie en fonction de la différence de phase de ces signaux. On l'exprime par l'équation suivante :

$$\Delta f \approx -\frac{f_{LOCK}}{2\pi} \Delta\Phi \quad (3.23)$$

Ainsi, on peut utiliser le schéma bloc représenté dans la figure 3-16, qui permet de déterminer, de manière linéaire, le comportement du comparateur de phase.

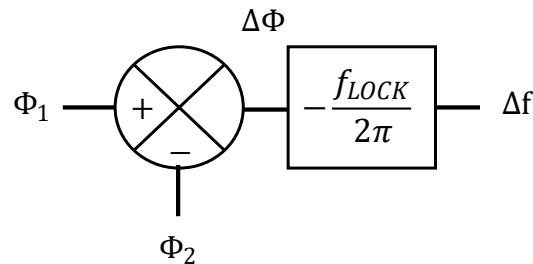


Figure 3-16 : Schéma bloc du comparateur de phase

Ce comparateur de phase est un bloc clé pour la synthèse de fonctions de transfert de filtre, puisqu'il pourra être utilisé comme comparateur d'erreur, à l'instar des modèles linéaires classique de boucles à verrouillage de phase que l'on peut trouver dans la littérature [43], [79], [80].

2.2. Filtre dérivateur

Dans cette partie, on étudie la conception de filtres du premier ordre, utilisant des OVI pour traiter le signal dans le domaine temporel.

2.2.1. Schéma et comportement statique

On souhaite utiliser la propriété de dérivation en déphasage de l'OVI, présentée dans l'équation (3.11), afin de réaliser une fonction de filtrage dans le domaine des phases. Pour y arriver, on reboucle un OVI à l'aide d'un comparateur de phase présenté précédemment, et on étudie le fonctionnement du montage.

Dans la suite, on considère que le comparateur de phase agit sur les fronts descendant des signaux d'entrée, appliqués aux entrées Φ_1 et Φ_2 . Dans ce cas, on peut affirmer que l'information contenue dans le signal d'entrée est représentée par la position temporelle des fronts descendants de ces signaux. Par conséquent, on appliquera sur l'entrée Φ_1 du filtre passe-haut à OVI un signal V_{IN} dont la position temporelle du front descendant varie. Dans notre cas, on utilise un signal d'entrée modulé en largeur d'impulsion. On précise cependant qu'un signal modulé en phase donnera la même réponse en sortie du filtre. On présente le schéma du filtre dans la figure 3-17.

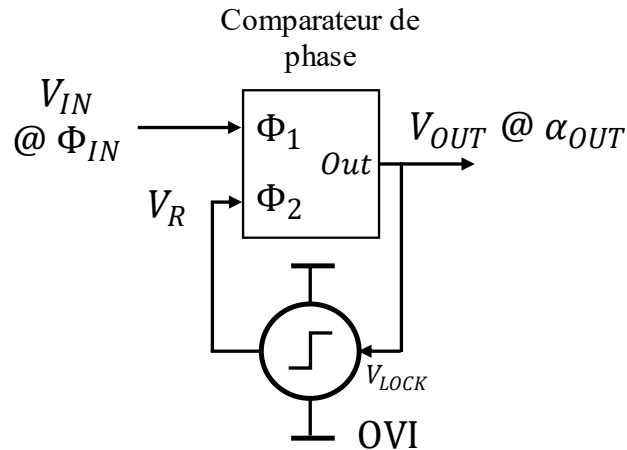


Figure 3-17 : Schéma d'un filtre passe-haut à OVI

Afin de comprendre le fonctionnement d'un tel dispositif, on effectue des simulations statiques et dynamiques pour suivre l'évolution des signaux à l'intérieur du circuit. Ainsi, on polarise l'OVI avec un courant de polarisation permettant fixer f_0 au centre de la plage de verrouillage. A l'aide d'un simulateur SPICE, on obtient le chronogramme présenté dans la figure 3-18 :

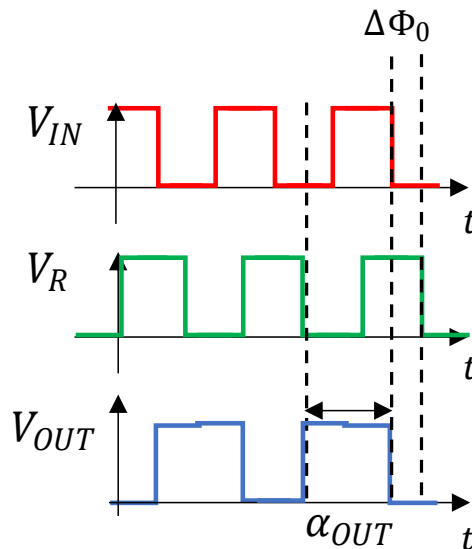


Figure 3-18 : Chronogramme statique du fonctionnement du filtre passe-haut

On peut observer sur le chronogramme que le comparateur de phase réagit premièrement au front descendant de V_R , puis à celui de V_{IN} . Par conséquent, le rapport cyclique du signal de sortie dépend du déphasage entre les signaux V_R et V_{IN} . Dans cette étude, on considérera que les phases des signaux sont référencées par rapport aux fronts descendants des signaux. Ainsi, en écrivant l'équation du déphasage statique de l'OVI, on peut déterminer l'équation du rapport cyclique statique de sortie :

$$\alpha_{OUT_0} = \frac{1}{2} \left(1 + \frac{\Delta\Phi_0}{\pi} \right) \quad (3.24)$$

Or, le déphasage statique de l'OVI étant décrit dans l'équation (2.19), on peut réutiliser son expression :

$$\alpha_{OUT} = 1 + \frac{1}{2} \left(1 + \left(1 + \frac{C_L}{C_{INJ}} \right) \left(\frac{f_{LOCK}}{f_0} - 1 \right) \right) \quad (3.25)$$

On a pu observer, en simulations et en mesures, que le fait que l'OVI soit verrouillé sur le signal V_{OUT} de rapport cyclique différent de 0.5 n'affecte pas la valeur du déphasage entre son signal de sortie et son signal de verrouillage.

Ainsi, la valeur de α_{OUT} est conditionnée à la valeur du déphasage statique qui ne peut être compris qu'entre 0 et 180°. Ainsi, α_{OUT} ne pourra être compris qu'entre des valeurs de $\frac{1}{2}$ et 1. Ci-dessous, on présente les mesures de rapport cyclique statique en fonction de la fréquence d'oscillation libre de l'OVI dans la figure 3-19:

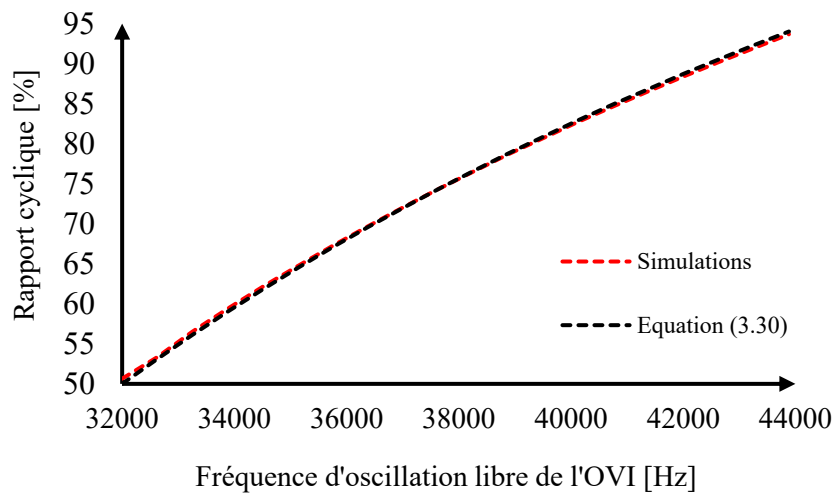


Figure 3-19 : Rapport cyclique statique en fonction de la fréquence d'oscillation libre de l'OVI

D'après la courbe tracée ci-dessus, on observe que le modèle théorique prédit correctement la valeur du rapport cyclique théorique. Dans la suite de nos travaux, on appliquera à l'OVI un courant de polarisation aboutissant à un rapport cyclique de sortie de 75% (milieu de la plage dynamique).

On a ainsi pu modéliser les conditions de polarisation du filtre temporel du premier ordre. On étudie dans la suite son comportement dynamique.

2.2.2. Variation dynamique du rapport cyclique de sortie α_{OUT}

Afin d'établir l'équation comportementale du filtre temporel dérivateur, on applique sur son entrée un signal modulé temporellement. On rappelle que dans cette étude, on suppose que les phases des signaux sont référencées par rapport à leurs fronts descendants. Ainsi, le signal d'entrée peut être modulé en phase ou en largeur d'impulsion, en considérant que le rapport cyclique varie par rapport à la variation de la position temporelle du front descendant.

Dans l'étude dynamique du filtre temporel, on souhaite établir l'équation de variation du rapport cyclique de sortie en fonction de la position temporelle du front descendant du signal d'entrée. Ainsi, le rapport cyclique de sortie oscille autour d'une valeur fixe. On observe que la valeur de variation du rapport cyclique dépend du déphasage variable entre les signaux sur les entrées Φ_1 et Φ_2 . On exprime le rapport cyclique $\alpha_{OUT}(t)$ comme une somme entre une valeur fixe α_{OUT_0} et une valeur variable $\widetilde{\alpha_{OUT}}(t)$ telle que :

$$\alpha_{OUT}(t) = \alpha_{OUT_0} + \widetilde{\alpha_{OUT}}(t) = \frac{1}{2} \left(1 + \frac{\Delta\Phi_0 + \Delta\Phi(t)}{\pi} \right) \quad (3.26)$$

Par identification et en utilisant (3.26), on exprime :

$$\alpha_{OUT_0} = \frac{1}{2} \left(1 + \frac{\Delta\Phi_0}{\pi} \right) \text{ et } \widetilde{\alpha_{OUT}}(t) = \frac{\Delta\Phi(t)}{2\pi} \quad (3.27)$$

On utilise ces grandeurs pour déterminer l'équation dynamique du filtre dérivateur.

2.2.3. Mise en équation du comportement dynamique du dérivateur

Considérons le diagramme d'évolution dynamique des signaux présenté dans la figure 3-20 :

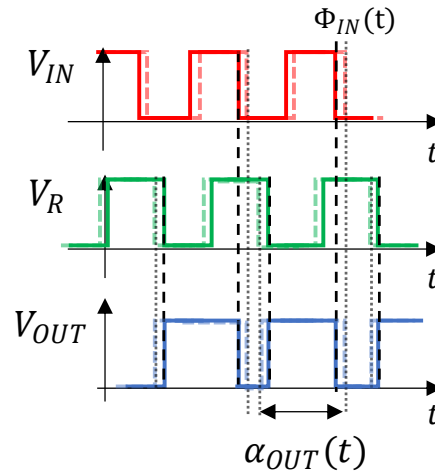


Figure 3-20 : Diagramme dynamique de l'évolution des signaux du filtre passe-haut

On observe que la position temporelle du front descendant du signal d'entrée V_{IN} du filtre définit le front descendant du signal de sortie. De même, le front descendant du signal de retour V_R définit le front montant de V_{OUT} . On rappelle qu'on suppose que les phases des signaux sont définies par leurs fronts descendants. Ainsi, on peut écrire l'équation du déphasage de l'OVI, en considérant une modulation en phase :

$$\tau \frac{d}{dt} \Delta\widetilde{\Phi}(t) + \Delta\widetilde{\Phi}(t) = \frac{1}{2f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{d\Phi_{IN}(t)}{dt} \quad (3.28)$$

Ainsi, en considérant que $\widetilde{\alpha}_{OUT}(t) = \frac{\Delta\widetilde{\Phi}(t)}{2\pi}$, on obtient aisément

$$\tau \frac{d\widetilde{\alpha}_{OUT}(t)}{dt} + \widetilde{\alpha}_{OUT}(t) = \frac{1}{4\pi f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{d\Phi_{IN}(t)}{dt} \quad (3.29)$$

L'équation différentielle obtenue est caractéristique d'un filtre passe-haut du premier ordre, caractérisée par la constante de temps τ , ainsi que le gain statique $\frac{1}{4\pi f_0} \left(1 + \frac{C_L}{C_{INJ}} \right)$. Le filtre se comporte donc comme un dérivateur approché.

On peut utiliser l'équation différentielle obtenue pour déterminer la fonction de transfert du filtre dans le domaine de Laplace.

La fonction de transfert du filtre est extraite de l'équation (3.29) :

$$\frac{\alpha_{OUT}(p)}{\Phi_{IN}(p)} = \frac{1}{4\pi f_0} \left(1 + \frac{C_L}{C_{INJ}} \right) \frac{p}{1 + \tau p} \quad (3.30)$$

L'équation (3.30) correspond à la fonction de transfert d'un filtre passe-haut du premier ordre, caractérisée par la constante de temps τ . Ce modèle théorique est à comparer avec des caractérisations en simulations.

2.2.4. Simulation du filtre dérivateur

Afin de simuler le filtre, on utilise un simulateur électrique SPICE. Pour effectuer ces simulations, on utilise l'OVI conçu dans le chapitre 2 dans un nœud technologique 65nm. Pour rappel, cet OVI est alimenté par une tension d'alimentation de 0,4V, et polarisé par un courant de 2nA. Sa fréquence d'oscillation libre f_0 est ajustée à une valeur de 40 kHz, et le rapport de capacités C_L/C_{INJ} est considéré comme unitaire. Le schéma de la simulation est montré dans la figure 3-21.

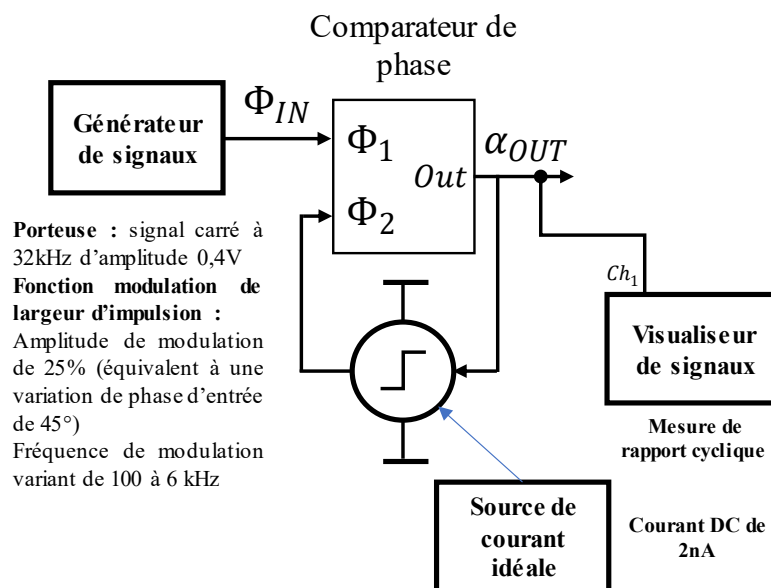


Figure 3-21 : Schéma de mesure du rapport cyclique statique du filtre passe-haut

Nous avons vu précédemment que le comparateur de phase implémenté dans ce travail de recherche réagit sur les fronts descendants de ses signaux d'entrée. On pourra donc appliquer une modulation de largeur d'impulsion sur l'entrée Φ_1 du comparateur de phase pour faire varier la position temporelle du front descendant du signal d'entrée., représentant Φ_{IN} .

On mesure la variation de rapport cyclique en sortie du filtre, et on la normalise par rapport à la variation maximale. Ainsi, on obtient la variation d'amplitude normalisée que l'on peut comparer au modèle théorique établi. Les résultats de simulations sont donnés dans le graphe figure 3-22.

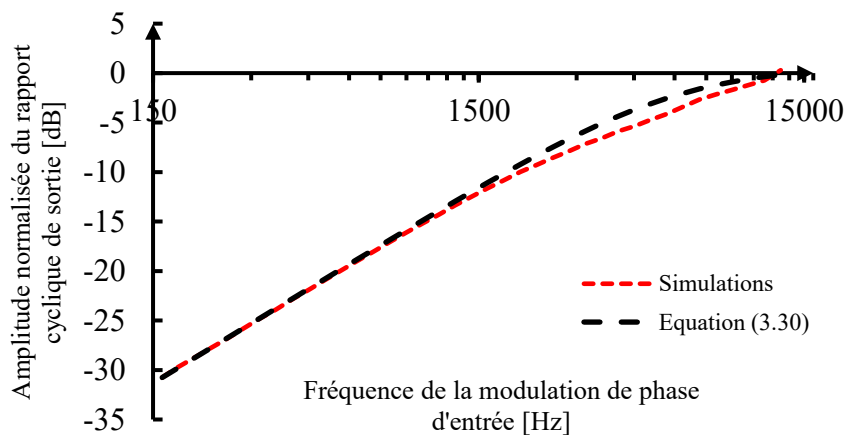


Figure 3-22 : Mesure de la fonction de transfert du filtre passe-haut

Ainsi, on observe que la courbe simulée correspond au modèle théorique établi plus haut. A basse fréquence, le filtre passe haut se comporte bien comme un dérivateur approché, la pente mesurée est de +20dB par décade. A plus haute fréquence, le filtre passe-haut rentre dans sa bande plate, après une fréquence de 6.4kHz.

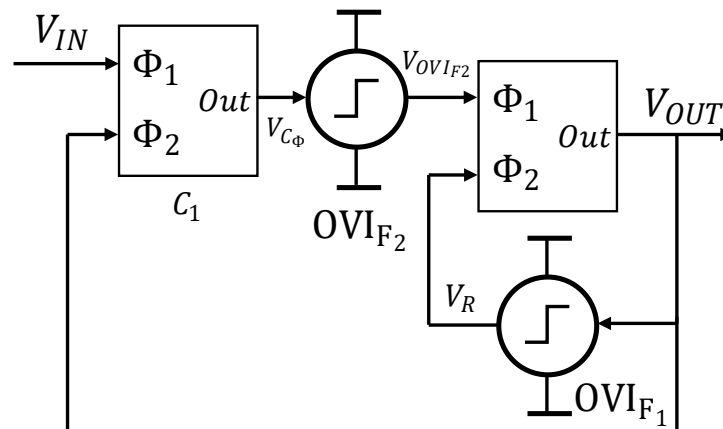
Lorsque le gain théorique du filtre passe-haut dépasse 1, pour une fréquence d'entrée supérieure à 6.5kHz, le gain simulé reste quant à lui inférieur à 1. En effet, un effet de saturation, dû au fait que le rapport cyclique de sortie ne peut dépasser 100%, empêche le rapport cyclique de sortie d'être amplifié.

2.3. Filtre passe-bande à OVI

Dans la suite, on souhaite utiliser l'architecture de filtre passe haut présentée précédemment comme bloc de synthèse de fonction de transfert de filtre passe-bande. Ainsi, On proposera une architecture de filtre passe-bande permettant le filtrage d'un signal d'entrée modulé temporellement.

2.3.1. Architecture

On réalise le filtre passe-bande à l'aide des blocs fonctionnels précédents. On souhaite bénéficier de la fonction d'intégration et de dérivation afin de réaliser une fonction de transfert passe-bande. Le schéma du filtre passe-bande est donné figure 3-23 :



Filtre passe-bande

Figure 3-23 : Schéma du filtre passe-bande

Le filtre passe-bande à OVI est constitué d'un filtre passe haut rebouclé à l'aide d'un comparateur de phase, et d'un second OVI. L'entrée du filtre est située sur un comparateur de phase, permettant de comparer les positions temporelles des fronts descendants des signaux d'entrée et de boucle de retour. Le signal résultant est injecté dans OVI_{F2} . Le signal de retour est considéré sur la sortie du passe-haut et rebouclé sur le comparateur de phase d'entrée.

Pour la conception du filtre ci-dessus, on utilise les OVI du circuit B décrits dans le chapitre 2, conçus en technologie 65 nm. Pour expliquer le rôle de chacun des blocs fonctionnels de l'architecture, on montre, ci-dessous, un chronogramme des signaux au sein du filtre passe-bande :

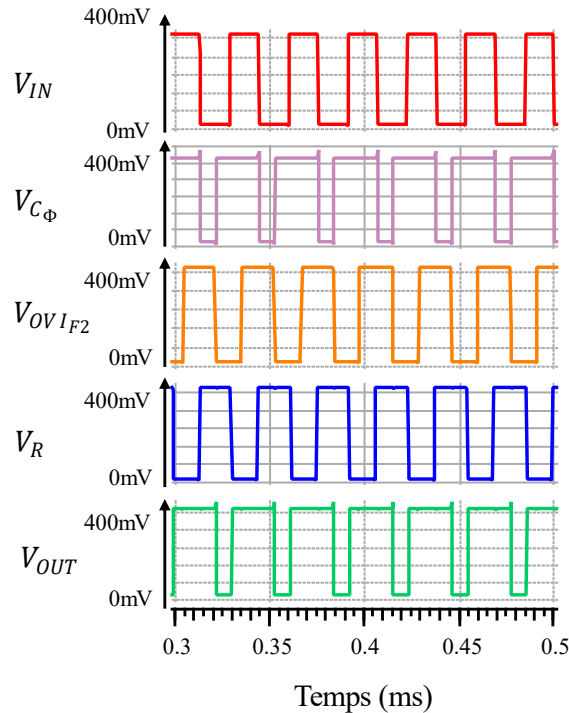


Figure 3-24 : Chronogramme statique des signaux au sein du filtre passe-bande

Tout d'abord, les phases des signaux V_{IN} et V_{OUT} sont comparées à l'aide du comparateur de phase, donnant lieu au signal $V_{C\Phi}$. Ce signal verrouille l'OVI_{F2}, et son signal de sortie, $V_{OVI_{F2}}$, est déphasé par rapport à $V_{C\Phi}$. On précise que le rapport cyclique du signal $V_{C\Phi}$, différent de $1/2$, n'influe pas sur le déphasage. Le signal $V_{OVI_{F2}}$ est ensuite injecté dans un filtre dérivateur, dont le fonctionnement a été décrit dans la partie précédente.

On observe qu'à chaque période du signal de sortie, les fronts montants et descendants de V_{OUT} sont déterminés par les fronts descendants successifs de $V_{OVI_{F2}}$ et de V_R .

L'OVI_{F2} a un rôle statique et un rôle dynamique. En effet, il permet la synchronisation du filtre en régime statique, grâce au déphasage apparaissant entre son signal de sortie et son signal d'entrée. De plus, sa fonction de transfert dynamique (3.17) permet l'intégration de la modulation de fréquence résultante du comparateur de phase C1. Le signal résultant de l'OVI est ensuite transmis au filtre passe-haut, se chargeant de la dérivation du signal. La chaîne directe est ensuite rebouclée sur un comparateur de phase, permettant de réaliser la fonction de transfert passe-bande du circuit.

Afin de déterminer les paramètres de conception de l'OVI, on établit par la suite le schéma bloc ainsi que la fonction de transfert du filtre.

2.3.2. Schéma bloc et fonction de transfert

A l'aide des blocs fonctionnels définis précédemment, on définit le schéma bloc de la fonction de transfert du filtre. Le schéma bloc est donné figure 3-25 :

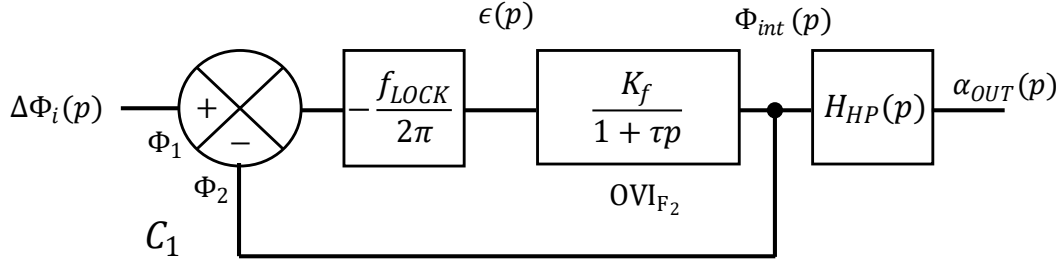


Figure 3-25 : Schéma bloc du filtre passe-bande

On remarque que le schéma correspond aux blocs fonctionnels écrits et utilisés plus haut. Cependant, le signal de retour est repiqué sur l'entrée du filtre passe haut. En effet, le comparateur de phase C_1 réagit à la phase du signal de sortie, représentée par la position temporelle de son front descendant. La phase du signal de sortie est donc identique à la phase du signal d'entrée du filtre passe haut, car le comparateur de phase réagit aux fronts descendants de ses signaux d'entrée. Par conséquent, la grandeur phase peut être repiquée sur ce signal.

A l'aide du schéma bloc, on peut établir la fonction de transfert du filtre. En étudiant la première boucle et en posant $\Phi_{OUT} = \Phi_{INT}$ d'après l'hypothèse ci-dessus, on obtient :

$$\Phi_{INT}(p) = -\frac{f_{LOCK}}{2\pi} \frac{K_f}{1 + \tau p} (\Phi_{INT}(p) - \Phi_{IN}(p)) \quad (3.31)$$

D'où, il vient, en exprimant $\beta = \frac{f_{LOCK}}{2\pi} K_f$:

$$\frac{\Phi_{OUT}(p)}{\Phi_{IN}(p)} = \frac{\Phi_{INT}(p)}{\Phi_{IN}(p)} = \frac{\frac{\beta}{1 - \beta}}{1 + \frac{\tau}{1 - \beta} p} \quad (3.32)$$

On obtient la fonction de transfert d'un filtre passe bas du premier ordre, dont la constante de temps τ_{BOUCLE} est donnée par :

$$\tau_{BOUCLE} = \frac{\tau}{1 - \beta} \quad (3.33)$$

Ce facteur modulable permet le réglage de la bande passante du filtre par ajustement du terme β .

On a ainsi obtenu la fonction de transfert de la boucle de retour du filtre passe bande. Pour obtenir la fonction de transfert totale du filtre passe-bande, on fait le produit de la fonction de transfert du filtre passe-haut par la fonction de transfert du filtre passe-bas. Ainsi, on a :

$$H_{BP}(p) = \frac{1}{4\pi f_0} \left(1 + \frac{C_L}{C_{INJ}}\right) \frac{p}{(1 + \tau p)} \frac{\frac{\beta}{1-\beta}}{\left(1 + \frac{\tau}{1-\beta} p\right)} \quad (3.34)$$

On obtient ainsi une fonction de transfert du second ordre, produit d'un passe-haut et un passe-bas. On en déduit que le filtre aura un comportement passe-bande du premier-ordre. Dans la suite, on présente les caractérisations en simulations du filtre passe-bande.

2.3.3. Caractérisation du filtre passe-bande temporel en simulations

Afin de réaliser la caractérisation en simulations du filtre passe-bande, on utilise la même méthode de mesure que dans le cas du filtre passe haut. Le schéma de mesure est donné dans la figure 3-26 :

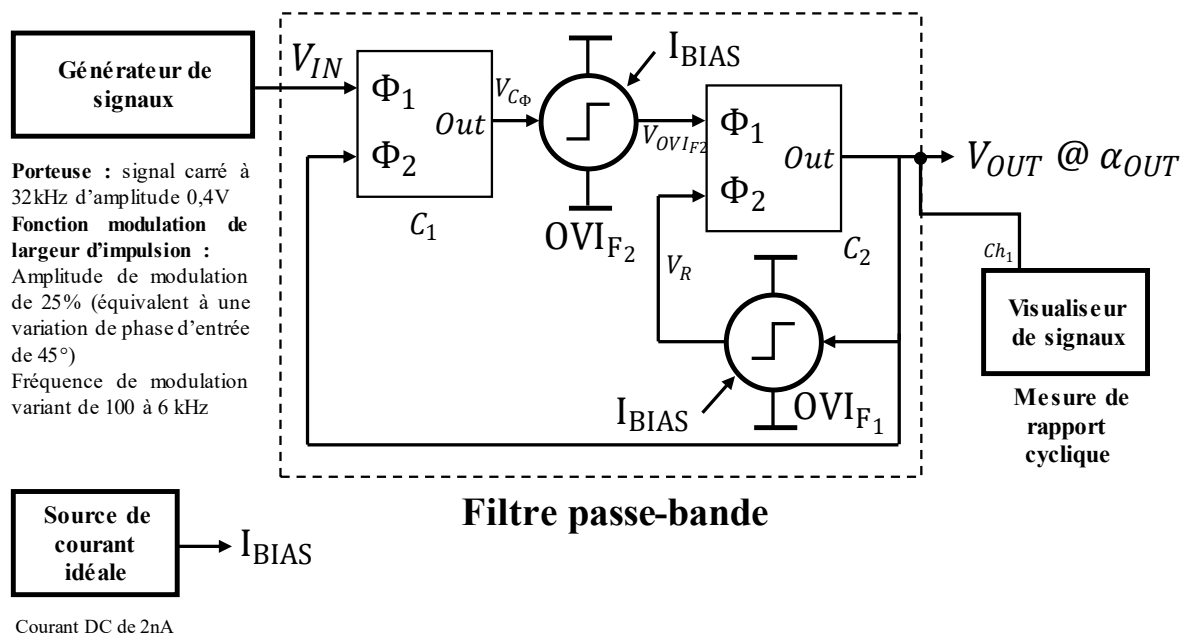


Figure 3-26 : Schéma de mesure du filtre passe-bande

Le signal d'entrée est modulé en largeur d'impulsion, à une fréquence de modulation variant de 100 à 16000Hz, ainsi qu'un facteur de modulation de 25%. On mesure ensuite la variation d'amplitude du rapport cyclique de sortie. En normalisant cette amplitude par rapport à sa valeur maximale, on obtient la réponse en fréquence du filtre passe-bande. Elle est donnée dans la figure 3-27.

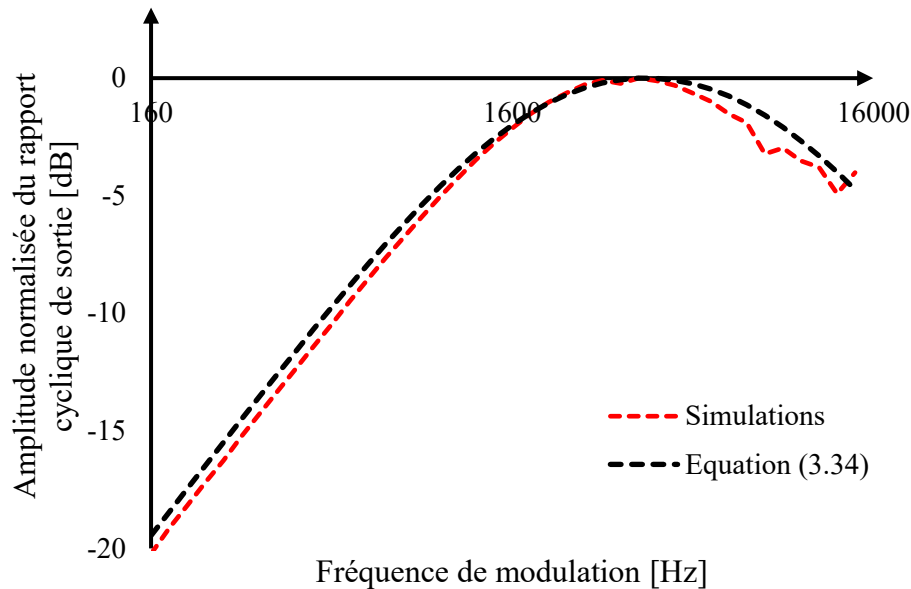


Figure 3-27 : Réponse en fréquence du filtre passe-bande

En prenant en compte les paramètres de polarisation du chapitre 2, on observe une bonne correspondance entre la réponse en fréquence simulée et le modèle proposé. L'atténuation du filtre est cependant faible sur la droite de la courbe de réponse en fréquence, n'étant que de 5dB. Ainsi, dans la suite de notre travail, on cherchera à accentuer cette atténuation. La consommation du filtre passe-bande est de 4.2nW

Ainsi, on a mis en évidence la réalisation d'une structure de filtre passe-bande du premier ordre à l'aide d'OVI. On cherchera par la suite à utiliser cette structure de filtre passe-bande dans une banque de filtre pour application à la détection de réveil sur évènement ultra-faible consommation.

3. Conclusion sur le chapitre

Dans ce chapitre, nous avons pu mettre à jour les caractéristiques de l'OVI lorsque son signal de verrouillage est modulé en fréquence et en phase. Ses caractéristiques dynamiques nous ont ensuite permis d'établir deux types de filtres dans le domaine temporel utilisant des OVI. Nous avons ainsi pu concevoir un filtre passe-haut et un filtre passe-bande ne traitant le signal que dans le domaine temporel. Nous avons pu vérifier en simulation et en mesure la correspondance entre les modèles théoriques établis et les fonctions de transfert mesurées.

La solution proposée est une avancée par rapport aux travaux de la littérature puisqu'elle permet le traitement du signal dans le domaine temporel sans avoir recours à l'utilisation de pompes de charges. Cette avancée est directement liée à la propriété de synchronisation des OVI par un signal externe. En effet, la réponse dynamique d'un OVI lorsque son signal de verrouillage est modulé permet de générer les fonctions de transfert comme nous avons pu le montrer dans ce chapitre.

Dans les configurations testées actuellement, certaines limitations apparaissent quant à la synthèse de filtres d'ordre supérieurs. Notamment, il est pour l'instant impossible de cascader deux dérivateurs en espérant obtenir un dérivateur d'ordre 2. En effet, le signal de sortie du dérivateur, de rapport cyclique α_{OUT} , est un signal dont les positions temporelles des fronts montants et descendants varient. Or, les comparateurs de phase utilisés actuellement ne prennent en compte que les positions temporelles des fronts descendants des signaux. Ainsi, une partie de l'information serait perdue si le signal de sortie était directement suivi d'un nouveau dérivateur. Cependant, les travaux futurs pourront éclaircir ce problème, en essayant de cascader deux OVI dans la boucle de retour du dérivateur.

La consommation du filtre passe-bande ainsi implémenté a été simulée à une valeur de 4.2nW. Le circuit correspondant a été envoyé en fabrication dans un nœud technologique 65nm CMOS. Le chapitre suivant présentera l'application de ce filtre passe-bande à la réalisation d'une banque de filtres pour application à la décomposition spectrale. Dans ce chapitre, nous présenterons également une méthode de modification de la fréquence centrale du filtre passe-bande ainsi que sa caractérisation en bruit.

Chapitre 4

Banque de filtres passe bande à OVI pour
l'extraction de signature spectrale

Dans le chapitre 1, nous avons pu expliciter l'architecture globale d'un extracteur de caractéristiques analogique, destiné à analyser la signature spectrale du signal d'entrée afin de reconnaître l'évènement qu'il représente. Dans ce même chapitre, nous avons présenté une méthode de réalisation de filtres du domaine temporel utilisant des oscillateurs contrôlés en tension (OCT). En effet, la modulation de la fréquence de sortie de l'OCT permet d'effectuer une opération de conversion tension vers temps. De plus, en utilisant la propriété naturelle d'intégration de phase de l'OCT, il est possible de réaliser la synthèse d'une fonction de transfert de filtre permettant de traiter une information contenue dans le signal d'entrée dans le domaine temporel. Ces implémentations permettent d'alimenter les circuits de filtrage sous faible tension d'alimentation (0.5V dans [40]), induisant ainsi une consommation de 73 nW, compatible avec des applications de détection de réveil pour des nœuds de capteurs autonomes. La méthode de conception dans le domaine temporel, bénéficiant de la nature quasi-numérique des circuits qu'elle exploite, permet une réduction de la consommation des circuits sans effectuer les compromis usuels sur le rapport signal sur bruit et la tension d'alimentation des circuits analogiques classiques.

Dans les chapitres 2 et 3, nous avons pu voir qu'en utilisant les caractéristiques dynamiques de verrouillage d'un oscillateur verrouillé par injection (OVI), il est possible de réaliser une fonction de transfert de filtre passe-bande dans le domaine temporel. Dans l'optique de notre besoin de réduire la consommation de CdR sur évènement, on propose de bénéficier des performances en consommation des filtres à OVI, démontrées dans le chapitre 3, pour réaliser une banque de filtre destinée à être appliquée à l'extraction de caractéristiques analogique. Ce chapitre présentera l'architecture, l'implémentation, ainsi que les mesures résultant de la conception de cette banque de filtres passe-bande.

Dans l'objectif de réaliser cette banque de filtres passe-bande, nous avons besoin de décrire les méthodes de modification de la fréquence centrale des filtres passe-bande que nous avons conçu précédemment. La prochaine partie présente les différentes méthodes de modification de la fréquence centrale du canal de filtrage de la banque de filtres.

1. Architecture d'un extracteur de caractéristiques analogique dans le domaine temporel

Dans cette partie, on présente l'architecture globale d'un extracteur de caractéristiques dans le domaine temporel, puis on se focalise sur celle que l'on souhaite implémenter avec des OVI. On introduit ainsi notre démarche menant à la réalisation d'une banque de filtres passe-bande dans le domaine temporel.

1.1 Architecture d'un extracteur de caractéristiques dans le domaine des phases

On souhaite adapter une architecture d'extracteur de caractéristiques analogique que nous avons présentée dans le chapitre 1 de ce manuscrit aux solutions de filtrage dans le domaine temporel que nous avons décrites dans le chapitre 3. On s'inspire donc d'une architecture d'extracteur de caractéristiques analogique classique afin d'en présenter une nouvelle version adaptée à un traitement du signal d'entrée dans le domaine temporel. On présente cette architecture dans la figure 4-1.

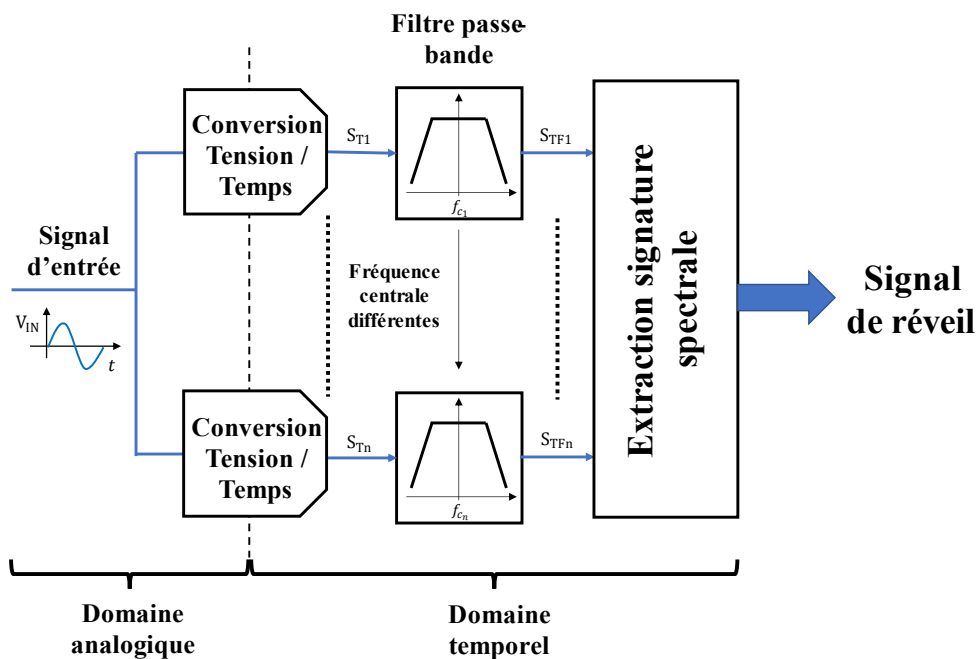


Figure 4-1: extracteur de caractéristiques dans le domaine temporel

L'extracteur de caractéristiques dans le domaine temporel est destiné à être composé de plusieurs fonctions. Premièrement, une banque de n convertisseurs tension vers temps est chargée de convertir le signal analogique d'entrée V_{IN} en un signal du domaine temporel, noté s_{Ti} (i allant de 1 à n). Les signaux s_{Ti} sont ensuite appliqués à une banque de filtres passe-bande dans le domaine temporel à fréquences centrales incrémentales, chargée d'effectuer la décomposition spectrale menant à l'extraction de caractéristique finale. Cette banque de filtre fournit, sur chacun de ses canaux, un signal de sortie filtré dans le domaine temporel, s_{TFi} (i allant de 1 à n). L'ensemble des s_{TFi} , correspondant à la décomposition spectrale du signal V_{IN} dans le domaine temporel, est enfin appliqué à un système de démodulation temporelle et de classification.

Cette architecture pourra bénéficier des avantages apportés par la méthode de conception dans le domaine temporel : alimentation sous une tension proche du V_t des transistors, entraînant une consommation de l'ordre de quelques dizaines de nW. Dans le même temps, on pourra bénéficier d'une marge de bruit suffisante apportée par les composants numériques utilisés pour réaliser une fonction de réveil. Enfin, les circuits de l'électronique du domaine temporel étant composés majoritairement de circuits numériques, leur surface sera largement réduite en comparaison aux circuits analogiques classiques.

Dans la suite, on exploite la fonction de transfert de filtre passe-bande établie dans le chapitre 3 afin d'implémenter une architecture d'extracteur de caractéristiques dans le domaine temporel à base d'OVI. Ce manuscrit se focalisera uniquement sur la réalisation de l'architecture de conversion et de la banque de filtre dans le domaine temporel.

1.2 Architecture d'un extracteur de caractéristiques à OVI

L'architecture de l'extracteur de caractéristiques à OVI est présentée dans la figure 4-2. Elle correspond à l'extension des concepts de l'extracteur de caractéristiques dans le domaine temporel de la partie 1.1, implémenté à l'aide d'OVI.

Par conséquent, l'extracteur de caractéristiques à OVI est composé d'un ensemble d'OVI convertissant le signal d'entrée V_{IN} en un signal du domaine temporel sur n canaux, $\Delta\Phi_i$, suivi d'une banque de filtres à OVI effectuant la décomposition spectrale. Enfin, les composantes filtrées dans le domaine temporel, α_{OUT_i} sont destinées à être classifiées par un système de classification.

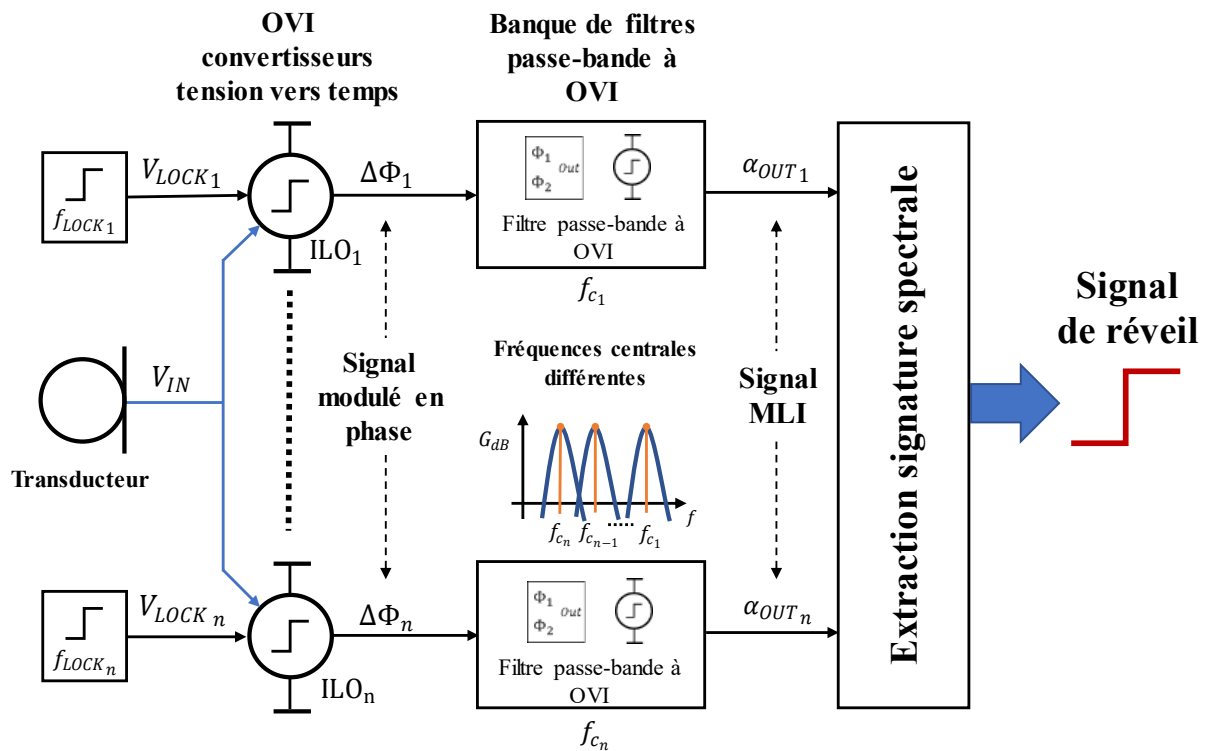


Figure 4-2 : extracteur de caractéristiques à OVI

Pour réaliser l'architecture de la figure 4-2, on s'appliquera à utiliser une multitude de filtres passe-bande à OVI présentés dans le chapitre 3 en parallèle, en adaptant leur fréquence centrale pour une utilisation sur plusieurs canaux dédiés à la décomposition spectrale.

2. Canal de filtrage

2.1. Schéma du canal de filtrage

L'extracteur de caractéristiques de la figure 4-2 est doté de plusieurs canaux de filtrage permettant l'extraction de la signature spectrale du signal d'entrée. Un canal de filtrage est simplement composé d'un OVI utilisé comme convertisseur tension vers temps cascadié d'un filtre passe-bande dans le domaine temporel. On le présente dans la figure 4-3.

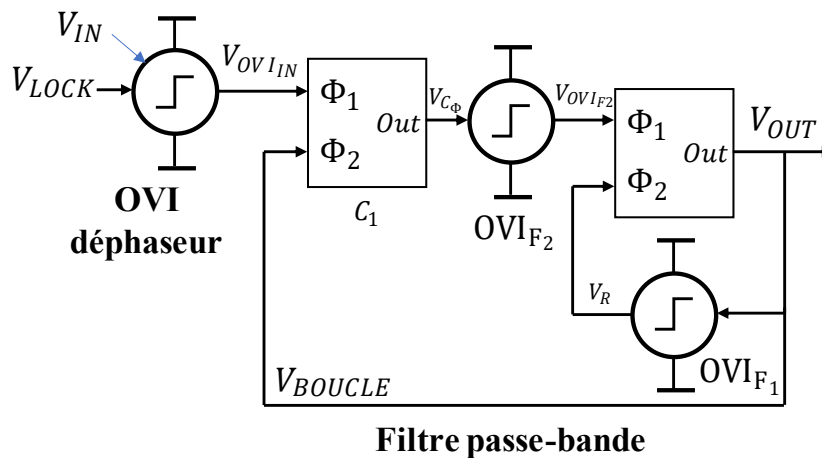


Figure 4-3 : Canal de filtrage

On effectue le calcul de la fonction de transfert du canal de filtrage dans la partie suivante.

2.2. Fonction de transfert du canal de filtrage à OVI

Le canal de filtrage correspond à la mise en cascade d'un OVI et d'un filtre passe-bande à OVI. La capacité vue au point de connexion entre ces deux blocs correspond à la mise en parallèle de la capacité de sortie de la bascule RS et du transistor en commutation N1 (se référer au chapitre 2) constituant l'OVI déphaseur, ainsi que la capacité d'entrée du comparateur de phase, et est de l'ordre de quelques dizaines de fF. Ainsi, à une fréquence de 32 kHz, le temps de montée du signal $V_{OVI_{IN}}$ n'est pas affecté par cette capacité et reste négligeable devant la période du signal. Par conséquent, la valeur du rapport cyclique n'est pas modifiée et la valeur « temporelle » du signal est conservée. Pour cette raison, on considérera que les blocs temporels sont naturellement adaptés en impédance.

2.2.1 Détermination de la fonction de transfert

La fonction de transfert du canal de filtrage $H_{CANAL}(p)$ peut donc être obtenue grâce au produit des fonctions de transfert du convertisseur analogique vers temps $H_{OVI}(p)$ (2.28) et du filtre passe-bande $H_{BP}(p)$ (3.34) explicitées dans les chapitres précédents. On rappelle qu'on suppose la fonction de transfert valide pour une fréquence du signal d'entrée inférieure à $\frac{f_{LOCK}}{2}$. La fonction de transfert s'exprime donc :

$$H_{CANAL}(p) = \frac{\alpha_{OUT}}{V_{in}} = H_{OVI}(p) \cdot H_{BP}(p) = K_{OVI} K_{Deriv} \frac{p}{(1 + \tau p)^2} \frac{\frac{\beta}{1 - \beta}}{\left(1 + \frac{\tau}{1 - \beta} p\right)} \quad (4.1)$$

Où $\beta = \frac{f_{LOCK}}{2\pi} K_f = \frac{f_{LOCK}}{2f_0} \left(1 + \frac{C_L}{C_{INJ}}\right)$ est un coefficient résultant de l'étude de la boucle fermée du filtre, présentée dans le chapitre 3. La constante de temps $\tau = \frac{1}{2f_{LOCK} \ln\left(1 + \frac{C_{INJ}}{C_L}\right)}$ résulte de l'étude dynamique du fonctionnement de l'OVI dans le chapitre 2.

Dans la suite de cette étude, on ajustera toujours la valeur de f_0 , l'intermédiaire du courant I_{BIAS} , par rapport à la valeur de f_{LOCK} et de C_L/C_{INJ} , de manière à conserver un déphasage constant égal à 90° entre le signal de verrouillage et le signal de sortie de chaque OVI. Cela nous permet de conserver une dynamique de déphasage maximale, puisqu'on se place environ au milieu de l'intervalle de déphasage de l'OVI. On garantit ainsi que le rapport cyclique de sortie est égal à 75 %.

Pour y parvenir, on souhaite se placer au centre de la plage de verrouillage de l'OVI. Ainsi, on pose $\frac{f_{LOCK}}{f_0} = 1 - \frac{1}{2\left(1 + \frac{C_L}{C_{INJ}}\right)}$ grâce à l'équation (2.20). On en déduit que $\beta = \frac{1}{2} \left(\frac{1}{2} + \frac{C_L}{C_{INJ}}\right)$ dans ces conditions.

2.2.2 Fréquences caractéristiques du canal de filtrage

On observe que l'équation (4.1) est du type système du 3^{ème} ordre, dont le dénominateur est constitué d'un terme au carré et d'un terme simple. Au numérateur, seul un terme du premier degré est présent. La fonction de transfert est toujours caractéristique d'un filtre passe-bande, dont la fréquence centrale peut être déterminée à l'aide des paramètres τ et β . On cherche à déterminer une tendance de la fréquence centrale en fonction de ces paramètres.

On définit la fréquence centrale du filtre comme la fréquence à laquelle le module de la fonction de transfert est maximum. Notons f la fréquence du signal d'entrée. Ainsi, le module de la fonction de transfert peut être exprimé comme :

$$|H_{CANAL}(f)| = K_{OVI}K_{deriv} \frac{\beta}{(1-\beta)} \frac{2\pi\tau f}{(1+(2\pi\tau f)^2)} \frac{1}{\sqrt{1+\left(\frac{2\pi\tau f}{1-\beta}\right)^2}} \quad (4.2)$$

Le dénominateur de la fonction de transfert possède 2 pôles distincts. Ainsi, ils peuvent s'exprimer en termes fréquentiels :

$$f_{p1} = \frac{1}{2\pi\tau} \text{ et } f_{p2} = \frac{1-\beta}{2\pi\tau} \quad (4.3)$$

Les deux pôles f_{p1} et f_{p2} déterminent la bande passante de la fonction de transfert. A partir de (3.2) et (3.3), on peut effectuer une représentation asymptotique de la fonction de transfert du canal de filtrage en fonction de la fréquence du signal d'entrée, donnée sur la figure 4-4 :

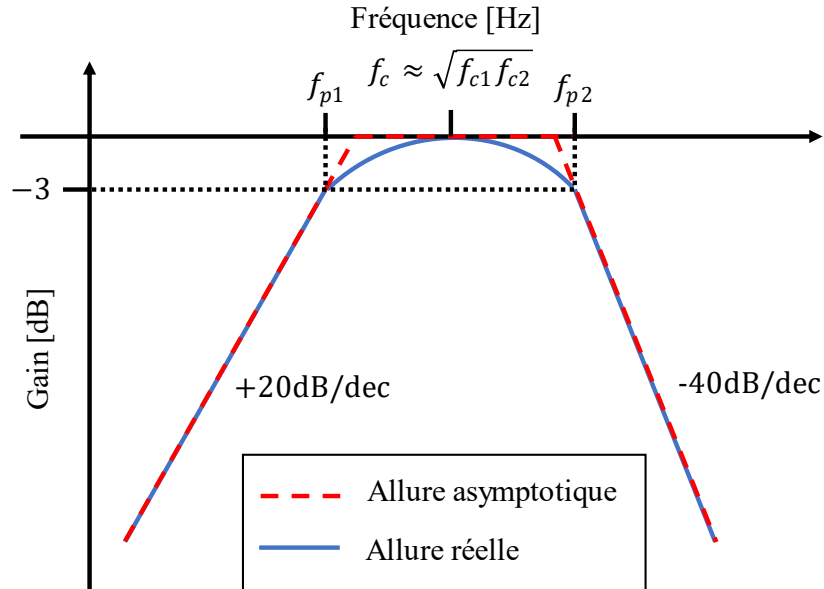


Figure 4-4 : Allure théorique de la fonction de transfert du canal de filtrage

On observe qu’aux basses fréquences, la fonction de transfert du canal de filtrage évolue avec une pente de +20 dB/décade jusqu’au pôle f_{p1} de la fonction de transfert. Lorsque la fréquence dépasse la valeur du pôle double f_{p2} , la réponse en fréquence suit à présent une pente asymptotique de -40 dB/décade. Entre ces deux pôles, la fonction de transfert passe par un gain maximum à la fréquence centrale f_c .

On peut déterminer une valeur approchée de la fréquence centrale de la fonction de transfert comme la moyenne géométrique entre les deux fréquences f_{p1} et f_{p2} . On note f_c cette valeur, qui s’exprime :

$$f_c = \frac{f_{LOCK}}{\pi} \ln \left(1 + \frac{C_{INJ}}{C_L} \right) \sqrt{1 - \beta} \quad (4.4)$$

La valeur de la fréquence centrale f_c est donc théoriquement proportionnelle à la fréquence de verrouillage f_{LOCK} , ainsi qu’au rapport de capacités d’injection et de charge C_{INJ}/C_L . On en déduit que les paramètres f_{LOCK} et C_{INJ}/C_L peuvent être utilisés pour ajuster la fréquence centrale du filtre passe-bande. Dans chaque cas, on ajustera I_{BIAS} , et donc f_0 , pour garantir un rapport cyclique de sortie de 75%.

Dans la partie suivante, on étudie la réponse en fréquence du canal de filtrage ainsi que les méthodes de modification de la fréquence centrale du filtre.

2.3. Mesure de la réponse en fréquence du canal de filtrage

On souhaite démontrer le fonctionnement du filtre et vérifier la concordance entre la fonction de transfert mesurée et le modèle établi précédemment. On mesure alors le fonctionnement du canal de filtrage du filtre fabriqué sur silicium, dans un procédé 65nm CMOS. Pour ce faire, on utilise le schéma de mesure de la figure 4-5 :

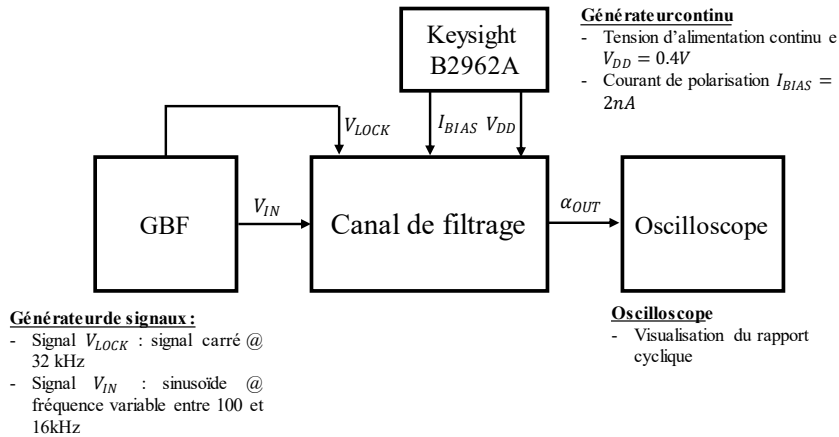


Figure 4-5 : schéma de mesure du canal de filtrage

Le circuit est alimenté à l'aide d'une source de tension et de courant de modèle Keysight B2962A. Le circuit est alimenté avec une tension d'alimentation 0.4V est polarisé avec un courant de 2 nA, garantissant une fréquence d'oscillation libre de 40kHz. Un générateur basse fréquence est utilisé pour générer le signal de verrouillage à une fréquence de 32kHz, ainsi que le signal d'entrée dont on fait varier la fréquence entre 100 et 16kHz afin de respecter la condition d'utilisation du filtre : $f(V_{IN}) < \frac{f_{LOCK}}{2}$

On observe la variation du rapport cyclique du signal de sortie avec l'oscilloscope, à l'aide de sa fonction de décodage du rapport cyclique d'un signal carré. On mesure la variation du rapport cyclique de sortie α_{OUT} en fonction de la fréquence du signal d'entrée V_{IN} , que l'on normalise ensuite par rapport à sa valeur maximale atteinte.

La réponse en fréquence du système est tracée dans la figure 4-6.

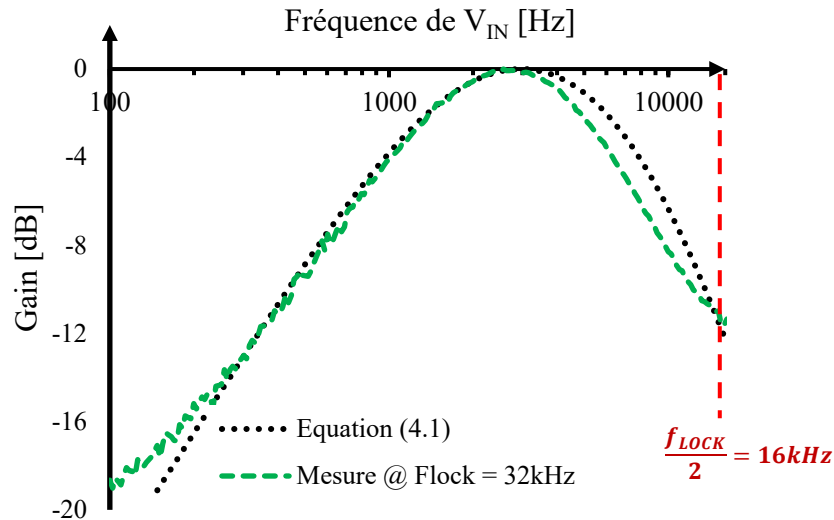


Figure 4-6 : Réponse en fréquence du canal de filtrage comparé aux résultats théoriques

Comme attendu et démontré dans le calcul de la fonction de transfert théorique (4.1), la fonction de transfert mesurée montre un fonctionnement de type passe-bande du canal de filtrage. Aux basses fréquences, on observe bien une remontée de la fonction de transfert mesurée selon une pente de +20dB/décade, liée au fonctionnement du bloc dérivateur du filtre passe bande. Ensuite, à plus haute fréquence, l'effet intégrateur de l'OVI d'entrée accentue la pente de la fonction de transfert, ce qui permet d'obtenir une atténuation du rapport cyclique de sortie selon une pente de -40dB/décade. La fréquence centrale mesurée du canal de filtrage est de 2.581kHz, soit un écart de 3.7 % avec la fréquence théorique calculée (2677 Hz).

Dans les hautes fréquences, on observe un écart entre 1 et 2 dB entre la courbe théorique et la courbe mesurée, que l'on peut interpréter par la difficulté de l'appareil de mesure pour mesurer l'amplitude du rapport cyclique de sortie. En effet, la fréquence de variation du rapport cyclique de sortie se rapproche de $\frac{f_{LOCK}}{2}$, réduisant l'effet de suréchantillonnage du signal d'entrée. Cependant, notre modèle donne une approximation correcte de la fonction de transfert du filtre. On en déduit la validité par l'expérience de notre modèle pour un filtre verrouillé sur une fréquence de verrouillage de 32 kHz.

Nous pouvons cependant constater dès à présent une des limitations de ce circuit. La bande passante d'entrée est limitée à $f_{LOCK}/2$, pour éviter des problèmes de repliement spectral. Cependant, la fréquence centrale du filtre reste « mal placée » par rapport à la bande passante maximale du filtre, et ne laisse place qu'à peu d'atténuation dans la bande haute fréquence du filtre. On propose une solution à ce problème en fin de chapitre.

Nous avons donc démontré qu'il était possible de réaliser un canal de filtrage capable de traiter l'information contenue dans un signal analogique dans le domaine temporel. Dans la suite de ce travail, on cherche à réaliser une banque de filtres pour application à l'extraction de caractéristiques pour la détection de réveil sur évènement ultra-faible consommation. Nous devons donc étudier les méthodes disponibles pour modifier la fréquence centrale de chaque filtre passe-bande, afin de pouvoir ensuite filtrer un signal sur plusieurs bandes caractéristiques. La partie suivante présente la méthode de contrôle de la fréquence des filtres.

3. Méthodes de contrôle de la fréquence centrale des filtres

L'équation (4.4) montre que la bande passante des filtres dépend de la constante de temps τ et du coefficient β . On rappelle que β est considéré comme constant dans ce manuscrit, afin d'assurer un rapport cyclique statique de sortie du canal de filtrage égal à 75%. De ce fait, on ne dispose que du rapport de capacité C_L/C_{INJ} ainsi que la fréquence de verrouillage f_{LOCK} du système sont disponibles afin d'ajuster la fréquence centrale du filtre.

Les deux sous-parties suivantes présentent l'utilisation de ces techniques de contrôle pour modifier la fréquence centrale du canal de filtrage.

3.1. Impact de la capacité d'injection

Dans cette partie, on étudie l'impact de la variation de la capacité d'injection sur la bande passante du canal de filtrage. On présente dans la figure 4-7 un schéma rappelant la structure de l'OVI et la place du paramètre modifié dans le circuit.

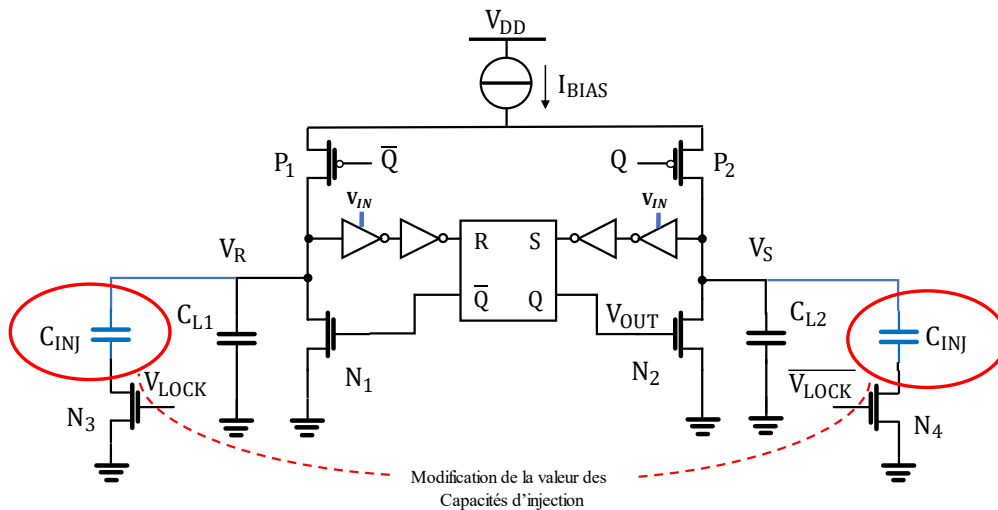


Figure 4-7 : rappel du schéma de l'OVI à capacités commutées

À l'aide d'un simulateur SPICE, on effectue la simulation d'un canal de filtrage pour différentes valeurs de la capacité d'injection C_{INJ} . Le schéma et la méthode de mesure correspondent au protocole utilisé pour la mesure de la réponse en fréquence du canal de filtrage présentés dans la partie précédente. On fait varier la capacité d'injection d'une valeur de 50 fF à une valeur de 125 fF et on trace la réponse en fréquence du canal de filtrage dans chaque cas. Dans chaque cas de mesure, on adapte la fréquence d'oscillation libre à l'aide du courant I_{BIAS} pour que le rapport cyclique en sortie statique soit égal à 75%.

Les résultats de ces simulations sont donnés dans la figure 4-8.

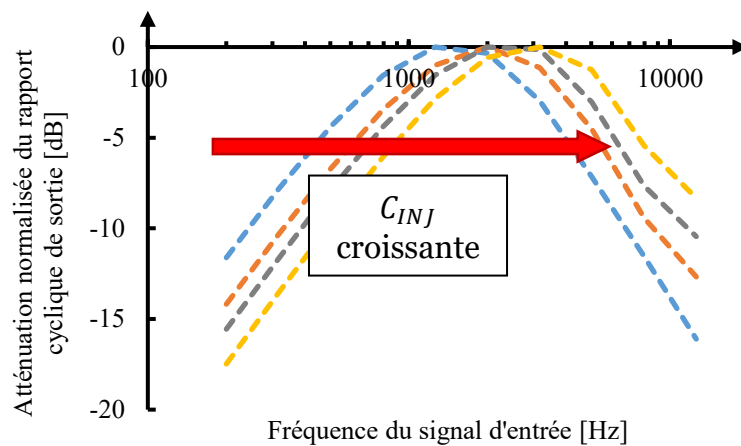


Figure 4-8 : Réponse en fréquence du filtre en fonction de la capacité d'injection

On observe que pour une capacité d'injection de valeur 52 à 125 fF, la fréquence centrale du filtre croît linéairement entre 1.26 et 3.1 kHz. On présente dans la figure 4-9 la loi de variation de la fréquence centrale du filtre en fonction de la valeur de la capacité d'injection.

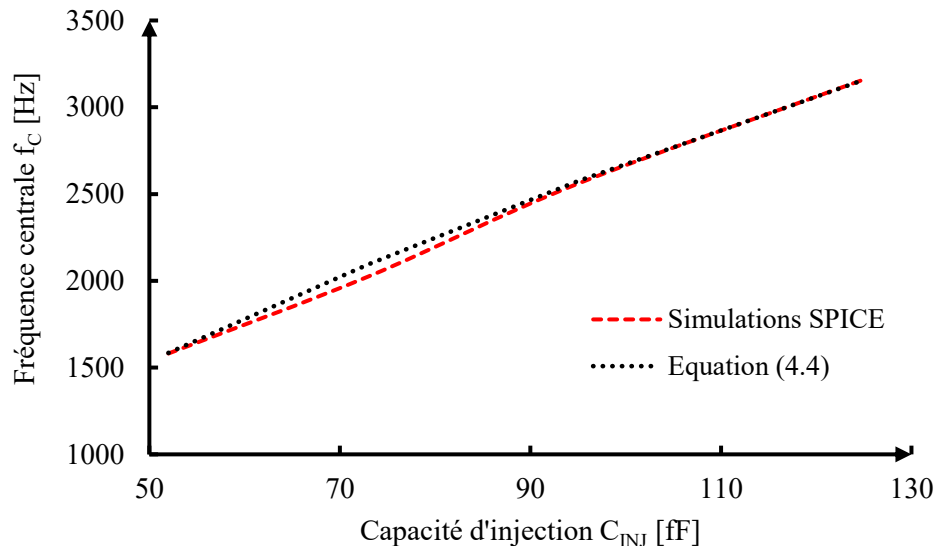


Figure 4-9 : évolution de la réponse en fréquence en fonction de la capacité d'injection

La capacité d'injection a donc un impact sur la fréquence centrale du filtre, puisqu'elle permet d'en modifier la valeur selon la loi présentée dans la figure 4-9. On observe que les fréquences centrales simulées sont en bon accord avec le modèle établi par l'équation (4.4). En effet, l'écart relatif maximal calculé entre les valeurs simulées et théoriques est de 3.5%. Dans chaque cas de simulation, la consommation du filtre reste constante, d'environ 6 nW. Ce résultat était prévisible car I_{BIAS} et f_{LOCK} restent constants dans notre simulation.

En revanche, le gain de l'OVI d'entrée est quant à lui dépendant de la capacité d'injection. En effet, comme l'a montré l'équation (2.19), le gain tension-temps de l'OVI peut s'écrire $\left(1 + \frac{C_L}{C_{INJ}}\right)$. On en déduit que le gain croît quand la capacité d'injection décroît. Par conséquent, l'amplitude maximale du signal pouvant être appliqué à l'entrée sans faire saturer la sortie, c'est-à-dire l'amplitude du signal de sortie entraînant un déphasage inférieur à 180° , diminue également. Ce compromis devra être pris en compte lors de la réalisation d'un filtre en présence d'un transducteur donné en entrée.

D'autre part, modifier la capacité d'injection aura un effet sur la plage de verrouillage Δf_{LOCK} de l'OVI. En effet, d'après (2.10), la plage de verrouillage est proportionnelle à $f_0 \frac{C_{INJ}}{C_L + C_{INJ}}$. Par conséquent, la plage de verrouillage sera décroissante en fonction de la capacité d'injection. Ainsi, à f_{LOCK} fixe et dans les cas de capacités d'injection très faibles, on devra s'assurer de calibrer précisément f_0 , et donc la plage de verrouillage, afin de s'assurer que f_{LOCK} se situe bien au centre de la plage de verrouillage. Cette opération peut s'avérer complexe à réaliser dans notre cas de conception. Le courant de polarisation I_{BIAS} , fixant f_0 est très faible et peut être impacté fortement par le bruit, réduisant la marge de précision sur f_0 .

Ce paramètre peut être utilisé pour contrôler la valeur de la fréquence de verrouillage du filtre. Comme on l'a observé cette propriété dans le chapitre 2, la modification de la capacité d'injection implique également une variation du gain en déphasage de l'OVI utilisé comme déphaseur.

3.2. Impact de la fréquence de verrouillage sur la fréquence centrale du canal de filtrage

Dans cette partie, on propose de modifier la fréquence de verrouillage du filtre pour vérifier l'impact sur la fréquence centrale du filtre et sa bande passante. Ainsi on reprend le schéma du canal de filtrage et on fait varier la fréquence de verrouillage d'une valeur de 5 kHz à une valeur de 32 kHz. On mesure ensuite la fonction de transfert à l'aide de la méthode présentée partie 2.3, dont on trace les résultats dans la figure 4-10.

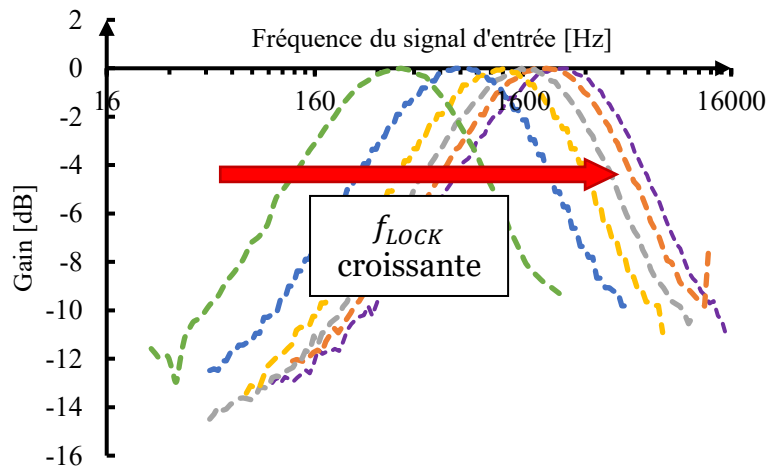


Figure 4-10 : réponse en fréquence du filtre passe-bande lorsque la fréquence de verrouillage varie.

On observe sur le graphique figure 4-10 que le filtre suit une fonction de transfert de type passe-bande dont la fréquence centrale varie d'une valeur de 414Hz lorsque la fréquence de verrouillage vaut 5kHz à une valeur de 2511Hz lorsque la fréquence de verrouillage vaut 30kHz. Afin de vérifier la concordance des fréquences centrales avec les valeurs théoriques prévues par l'équation (4.4), on trace la variation de la fréquence centrale des filtres en fonction de la fréquence de verrouillage dans la figure 4-11.

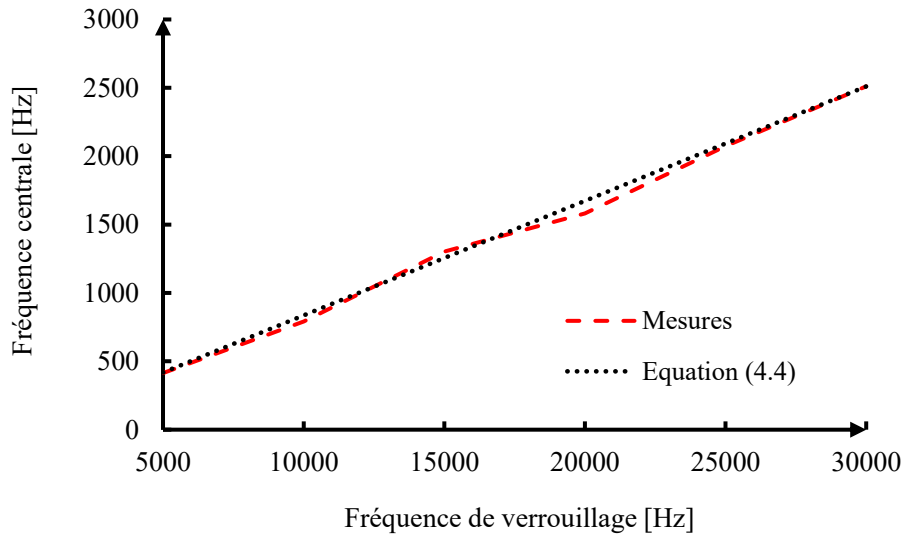


Figure 4-11 : Fréquence centrale des filtres en fonction de la fréquence de verrouillage

On observe que la fréquence centrale du filtre varie quasi proportionnellement avec la fréquence de verrouillage du filtre. De plus, on observe que la courbe mesurée de la fréquence centrale évolue conformément au modèle établi dans l'équation (4.4). En effet, l'écart relatif maximal calculé entre les valeurs mesurées et théoriques vaut 5.5%. La modification de f_{LOCK} entraîne plusieurs compromis sur le fonctionnement du filtre.

Premièrement, la consommation du filtre, proportionnelle à f_{LOCK} d'après l'équation (2.30), augmentera linéairement avec f_{LOCK} . Cette propriété est très intéressante dans le cas d'une conception de système à faible consommation. En effet, cette propriété nous permet de maîtriser la consommation dynamique du système : lorsque la fréquence de verrouillage est divisée par un facteur n , la consommation dynamique le sera elle aussi. Afin de conserver le verrouillage de l'OVI lorsque l'on réduit sa fréquence de verrouillage, il est nécessaire d'ajuster f_0 au travers du courant I_{BIAS} , afin de maintenir le rapport f_{LOCK}/f_0 constant, et f_0 au centre de la plage de verrouillage. Ainsi, dans ces conditions, la plage de verrouillage de l'OVI diminue mais le rapport $\frac{\Delta f_{LOCK}}{f_0}$ est conservé.

Le rapport f_{LOCK}/f_0 étant conçu pour être constant, la variation statique de f_{LOCK} n'influe pas sur le gain de conversion tension vers temps de l'OVI d'après (2.19). Dans ces conditions, la dynamique d'entrée du filtre est donc invariante lorsque la fréquence de verrouillage est divisée.

Nous pouvons à présent utiliser le modèle de canal de filtrage pour concevoir une banque de filtres passe-bande constitutive d'un extracteur de caractéristiques analogique.

4. Architecture de la banque de filtres passe-bande

L'architecture d'extracteur de caractéristique visée dans ce travail de recherche est composée d'une banque de filtre passe bande à OVI (figure 4-2). On détaille dans la sous-partie suivante la méthode de parallélisation des canaux de filtrage pour la réalisation de la banque de filtres passe bande de ce système.

4.1 Parallélisation par division de la fréquence de verrouillage

Comme le montre la figure 4-11, la fréquence centrale des filtres passe-bande est proportionnelle à la fréquence de verrouillage des filtres. Nous avons également pu établir dans la partie précédente qu'à rapport f_{LOCK}/f_0 constant, la dynamique d'entrée du filtre n'est pas détériorée par la variation de f_{LOCK} . Nous avons également vu que la consommation dynamique de la banque de filtre est proportionnelle à f_{LOCK} , si bien qu'elle sera réduite lorsque la fréquence f_{LOCK} sera divisée. Afin de bénéficier de cette propriété, on choisit de contrôler la fréquence centrale des filtres de la banque par division de f_{LOCK} .

On obtiendra ainsi des filtres passe-bande de fréquence centrale variable que l'on pourra implémenter dans une architecture d'extracteur de paramètres. On montre le schéma d'une telle architecture de la figure 4-12.

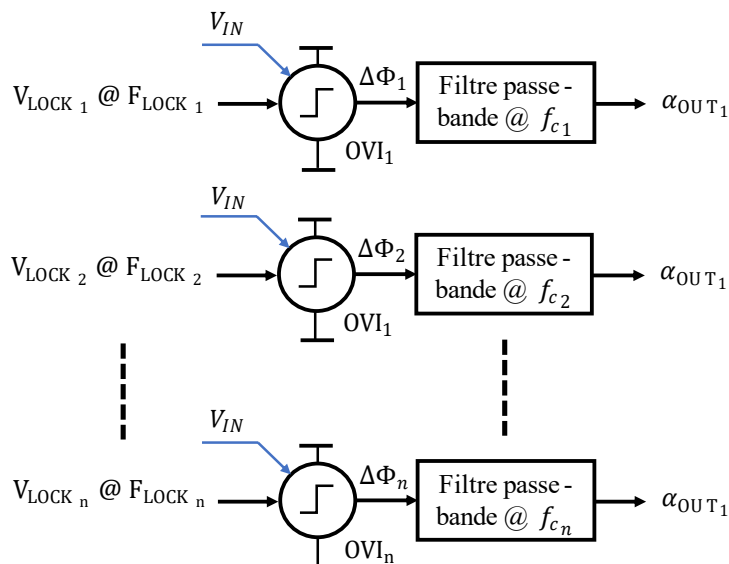


Figure 4-12 : Filtres passe-bande en parallèle

En choisissant une fréquence de verrouillage f_{LOCK_i} (i entier compris entre 1 et n) dédiée à chaque canal de filtrage, on pourra réaliser une banque de filtres passe-bande dont la fréquence centrale f_{c_i} de chaque filtre est ajustée par cette fréquence de verrouillage f_{LOCK_i} . On se sert de ce schéma comme base pour la conception de la banque de filtres. L'architecture de la banque de filtres est présentée dans la sous-partie suivante.

4.2 Architecture de la banque de filtres

Dans la suite de ce manuscrit, sauf mention contraire, l'ensemble des circuits présentés sont conçus dans un nœud technologique 65nm. On développe la conception de cette banque de filtres dans les parties suivantes.

4.2.1 Division du courant de polarisation

La division par deux de la fréquence de verrouillage f_{LOCK} à chaque étage de la banque de filtre implique un changement nécessaire de la fréquence d'oscillation libre f_0 des OVI, dans le but de conserver leur verrouillage (cf chapitre 2). Ainsi comme la fréquence de verrouillage est divisée par 2 à chaque étage, on choisira de diviser également la fréquence f_0 par 2 à chaque étage. On rappelle que la fréquence d'oscillation libre f_0 s'écrit $f_0 = \frac{I_{BIAS}}{2CV_{INV}}$. Ainsi, la fréquence f_0 , proportionnelle au courant I_{BIAS} , peut être divisée par 2 à chaque étage en divisant le courant de polarisation à chaque étage. On utilisera pour cela un miroir de courant diviseur [65] présenté en figure 4-13.

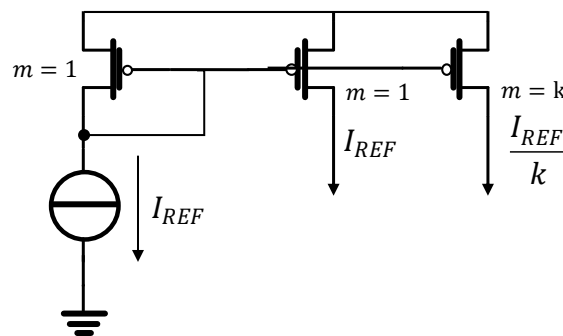


Figure 4-13 : Miroir de courant à transistors PMOS

Le miroir de courant présenté en figure 4-15 est réalisé à l'aide de transistors de recopie dont on réduira le multiple m à chaque étage, permettant ainsi une division du courant de référence I_{REF} . On fixera le facteur m à 8, que l'on divisera par 2 à chaque étage.

Dans notre cas de conception, on rappelle que la tension d'alimentation est très faible : 0,4 V. Cette tension d'alimentation implique un mode de fonctionnement des transistors sous leur tension de seuil V_T (de l'ordre de 0,5 volts pour les transistors utilisés pour la conception du circuit dans un nœud 65 nm). Dans ces conditions de polarisation, la conception de ces miroirs de courant implique une dissymétrie intrinsèque du miroir de courant. En d'autres termes, un écart conséquent entre le courant de référence et le courant recopié sera constaté.

Afin de quantifier cette valeur de dissymétrie du miroir de courant alimenté à ce niveau de tension d'alimentation, on a simulé, à l'aide d'un simulateur SPICE, le courant recopié du miroir de courant utilisé en fonction du courant de référence appliqué, dans différents cas de température et de tension d'alimentation. Le schéma de mesure est analogue au schéma du circuit présenté en figure 4-14. Cependant, on assure un niveau de tension constant égal à 0.2V sur le drain des transistors PMOS, de manière à reproduire la tension approximative vue par ces transistors lorsqu'ils polarisent un OVI.

Dans un premier temps, on présente le comportement du miroir de courant quand la température varie. On présente le tracé du courant recopié par un miroir de courant composé de 2 transistors identiques, pour trois cas de température différents :

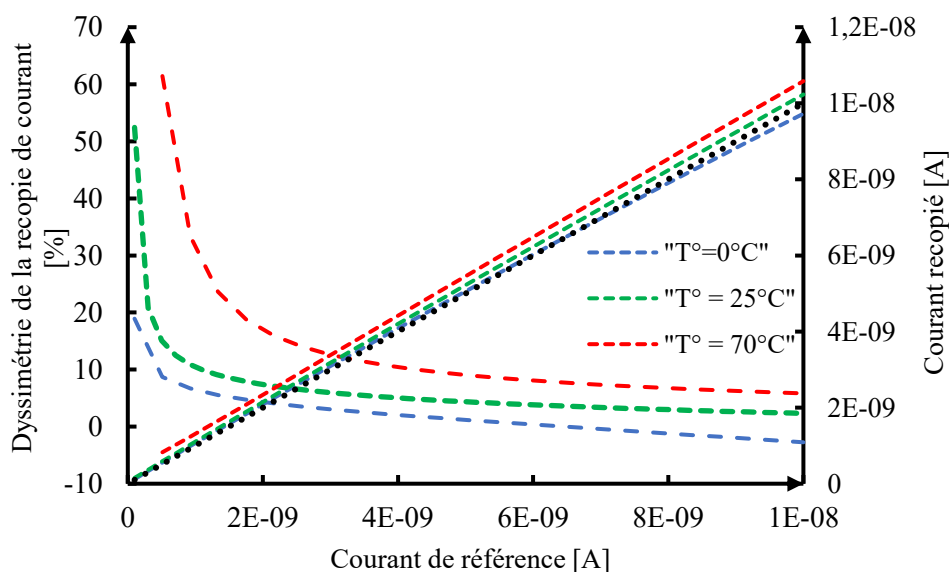


Figure 4-14 : Courant recopié par le miroir de courant lorsque la température varie

On observe que le courant recopié suit le courant de référence avec une dissymétrie non négligeable dans tous les cas de mesure en température. Ainsi, dans le cas d'un courant de référence à 2nA, la dissymétrie varie entre 4% et 15% avec la température. On en déduit que la variation de courant de polarisation de l'OVI induite par cette dissymétrie devra être nécessairement prise en compte dans la réalisation de notre circuit.

De plus, la dissymétrie en courant augmente drastiquement lorsque le courant de référence diminue. Dans le cas d'une utilisation à haute température (70°C), la dissymétrie en courant atteindra, dans le cas où le courant de référence est de 250pA, une valeur supérieure à 40%.

On en déduit que la solution de recopie de courant de polarisation peut être utilisée dans le cas d'un circuit polarisé à température ambiante. Cependant, l'utilisation du circuit final à une température de 70°C risque d'être compliquée à cause de l'augmentation de la dissymétrie de recopie en courant.

Dans le même temps, on effectue la simulation de la recopie de courant lorsque la tension d'alimentation varie. Le résultat de la simulation est tracé ci-dessous :

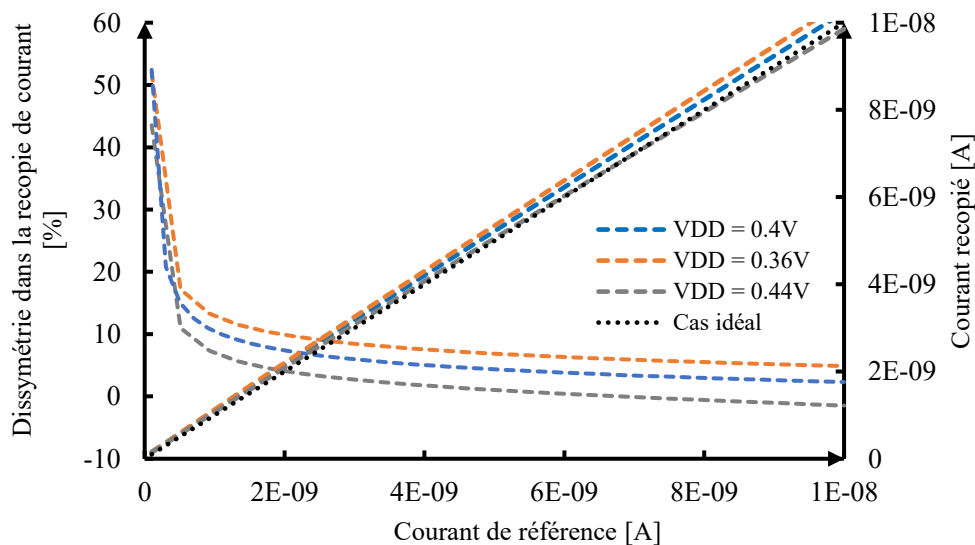


Figure 4-15 : Mesure de la recopie de courant en fonction de la tension d'alimentation

Dans chaque cas de tension d'alimentation, on observe que la dissymétrie de recopie de courant est forte (entre 35 et 45%) pour des courants de référence faibles (de l'ordre de quelques centaines de pA), en raison des fuites de courant dans les transistors qui deviennent prédominantes à ces niveaux de courant. Cependant, la dissymétrie décroît lorsque le courant de référence à recopier augmente. Lorsque la tension d'alimentation vaut 0.36V, l'erreur relative entre courant de référence et courant recopié décroît entre 10 et 5% lorsque le courant à

recopier augmente entre 2 et 10 nA. Lorsque la tension d'alimentation est fixée à 0.44V, la dissymétrie sur le courant recopié varie entre 2 et -1.5%.

Ainsi, on observe que l'ampleur de l'erreur relative diminue lorsque la tension d'alimentation augmente. Ce résultat pouvait être prévisible. En effet, lorsque l'on augmente la tension d'alimentation, la diode NP entre le drain du transistor PMOS et son caisson N voit sa tension inverse augmenter, pouvant expliquer ainsi une diminution des fuites en courant.

On présente, par la suite, le schéma de la banque de filtres implémentée.

4.2.2 Schéma du circuit

Le schéma de la banque de filtres que nous allons concevoir reprend les principes de division de courant et de fréquence évoqués précédemment afin d'ajuster la fréquence centrale de chaque filtre passe-bande. Le schéma de la banque de filtre est présenté dans la figure 4-16.

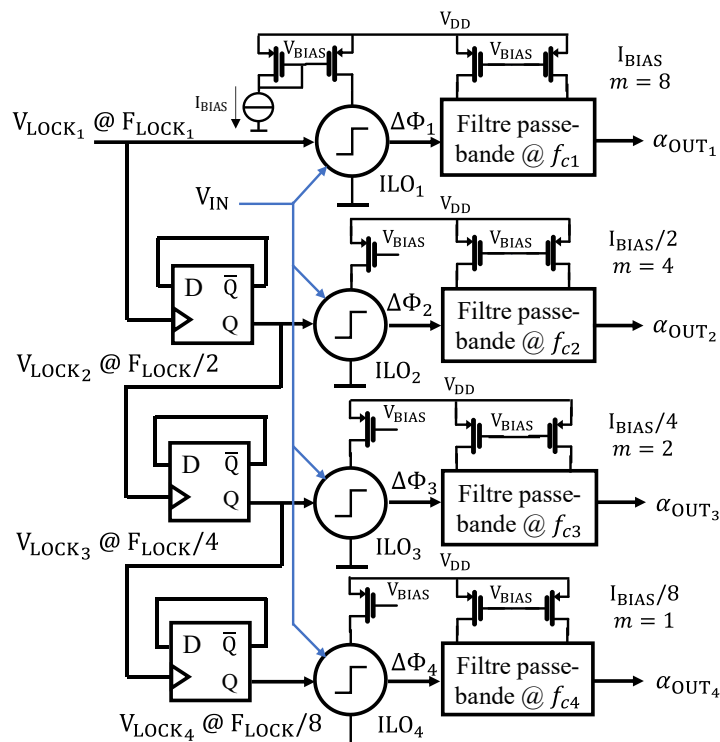


Figure 4-16 : Schéma de la banque de filtres implémentée

La banque de filtres est composée de 4 canaux de filtrage eux-mêmes composés d'un filtre passe-bande à OVI et d'un OVI utilisé comme convertisseur tension vers temps. La fréquence de verrouillage de chaque canal de filtrage est divisée par 2 à chaque étage à l'aide du diviseur de fréquence à bascules D. Ainsi, conformément à la loi de variation de la fréquence centrale des filtres passe-bande en fonction de la fréquence de verrouillage, la fréquence centrale de chaque filtre

sera divisée par 2 à chaque étage. Afin de conserver le verrouillage de chaque OVI à chaque canal de filtrage, un miroir de courant diviseur est également implémenté, comme expliqué dans la sous-partie précédente, pour diviser le courant de polarisation I_{BIAS} par 2 à chaque étage.

Le signal V_{IN} sera donc converti dans le domaine temporel par chaque premier OVI de chaque canal, puis sera filtré dans le domaine temporel à l'aide des filtres passe-bande. On pourra donc obtenir le filtrage d'un signal sur 4 canaux en parallèle. On présente dans la sous-partie suivante les détails d'implémentation et les spécifications de la banque de filtres.

4.3 Spécifications de la banque de filtre conçue et implémentation dans un nœud technologique 65nm

Pour notre cas d'étude, on considère que le signal incident sera dans la bande passante audio, et aura une bande passante réduite. On le considère d'une bande passante de 6kHz. On souhaite prouver le concept du fonctionnement d'une banque de filtres passe-bande à OVI. La banque de filtres est donc conçue pour avoir 4 canaux de filtrage.

Ces 4 canaux seront conçus pour être centrés sur une fréquence centrale valant 2.8, 1.4, 0.7 et 0.35 kHz. Pour ce faire, on utilise une fréquence de verrouillage du circuit valant 32 kHz. Cette fréquence de verrouillage est ensuite divisée grâce au diviseur de fréquence à bascules D respectivement par 2,4 et 8, donnant lieu à des fréquences de verrouillage intermédiaires résultantes valant 16, 8 et 4kHz. Afin de maintenir l'ensemble des filtres verrouillés, la fréquence de oscillations libres f_0 des oscillateurs verrouillés par injection doit elle aussi être ajustée pour que chaque filtre soit polarisé au centre de sa plage de verrouillage. Le courant de polarisation principal du circuit est défini à 2 nA, il est divisé par le miroir de courant respectivement par 2, 4 et 8.

On rappelle que dans le chapitre 2, nous avons étudié la répartition entre la consommation statique et dynamique de l'OVI, à l'aide de l'équation (2.30). En effet, nous avons vu que la consommation était écrite sous la forme $P_{totale} \approx \frac{1}{2} C_{ov} f_{LOCK} + (I_{BIAS} + I_{fuites}) \cdot V_{DD}$. Pour estimer la consommation d'un canal de filtrage, il conviendra de multiplier par 3 cette équation et de rajouter la contribution des deux comparateurs de phase. Dans le cas d'une utilisation à 32 kHz, on peut estimer la consommation d'un comparateur de phase à 1nW grâce à des simulations SPICE. On en déduit, grâce à ce modèle ainsi qu'aux expérimentations sur les OVI réalisées dans le chapitre 2, que la consommation d'un filtre verrouillé sur une fréquence de 32 kHz peut être estimée théoriquement à 5.7nW. On peut utiliser la même méthode pour établir les estimations de consommation des autres filtres.

Le tableau ci-dessous récapitule les paramètres de conception de la banque de filtres.

	Filtre @ f_{c_1}	Filtre @ f_{c_2}	Filtre @ f_{c_3}	Filtre @ f_{c_4}
Fréquence de verrouillage [kHz]	32	16	8	4
Fréquences centrales des filtres [kHz]	2.8	1.4	0.7	0.35
Tension d'alimentation générale [V]	0.4	0.4	0.4	0.4
Courant de polarisation [nA]	2	1	0.5	0.25
SNR visé [dB]	50	50	50	50
Taux de distorsion harmonique [%]	< 10%	< 10%	< 10%	< 10%
Consommation théorique [nW]	≈ 5.7	≈ 2.8	≈ 1.4	≈ 0.95

Tableau 4-1 : Récapitulatif des paramètres de conception de la banque de filtres

Les références de l'état de l'art font état de circuit ayant un SNR de sortie valant entre 40 et 50 dB [32]-[34]. Souhaitant obtenir une architecture pouvant s'aligner face aux performances des architectures de l'état de l'art, on visera un RSB en entrée d'environ 50 dB. Cependant, le processus de conversion utilisé, étant fondé sur le contrôle de la tension de substrat des inverseurs de l'OVI (se rapporter au chapitre 2), est un procédé non-linéaire. De plus, la fonction de transfert du déphasage de l'OVI en fonction de la fréquence de variation de la phase du signal d'entrée est également une opération comportant des effets non-linéaires devant être pris en compte pour la conception (se rapporter au chapitre 3). C'est pourquoi, pour la conception de ce circuit, on visera un taux de distorsion harmonique de sortie (THD) maximal de 10%. Le THD de cette architecture sera supérieur aux performances atteintes par l'état de l'art.

On utilise ces caractéristiques pour concevoir la banque de filtres dans le nœud technologique 65nm. On reprend toutes les techniques de conception ultra faible consommation qui ont été démontrées dans les chapitres précédents. Le circuit a été envoyé en fabrication, reçu et testé sur carte. La partie suivante présente les résultats de mesure obtenus expérimentalement.

5. Caractérisation du circuit sur silicium

Les mesures concernant la banque de filtres fabriqué dans un procédé technologique 65nm CMOS ont fait l'objet d'une publication dans le journal scientifique SSC-L [82]. Dans cet article, on présente de manière succincte les résultats de mesures détaillés dans cette partie. La puce a été testée sur carte. On présente la photographie de la puce ci-dessous :

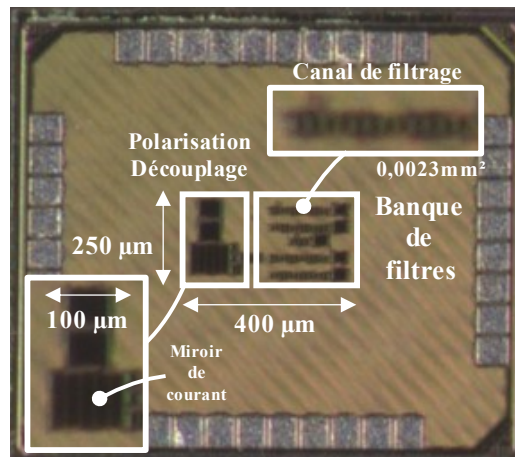


Figure 4-17 : micrographe de la puce

La surface totale active du circuit est de 0.1mm². La surface d'un filtre passe-bande à OVI est de 0.0023mm².

Le circuit a été testé sur carte. La figure 4-20 présente le circuit imprimé réalisé. Ce circuit de test est assez simple, et dispose de potentiomètres permettant de contrôler la fréquence f_0 des OVI constituant les canaux de filtrage. On peut également ajuster la valeur V_{DD} à 0.4V grâce aux circuits d'alimentation disposant eux aussi de potentiomètres.

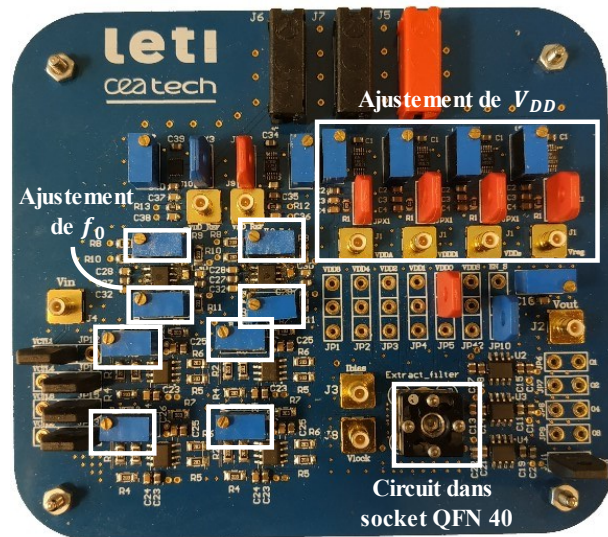


Figure 4-18 : Carte de test du circuit conçu en 65 nm

Dans cette partie, on présentera les mesures effectuées sur la banque de filtres passe-bande. On présentera les mesures en consommation, les réponses en fréquence des filtres, ainsi que la linéarité du circuit. On s'intéressera ensuite au comportement du circuit en température et aux variations de ses performances en fonction de la tension d'alimentation. Enfin, on présentera les limitations du circuit conçu ainsi que des pistes de résolution des problèmes.

5.1 Mesure de la consommation de la banque de filtres

Afin de réaliser les mesures de la consommation de la banque de filtres, on met en œuvre le schéma de mesure de la figure 4-19.

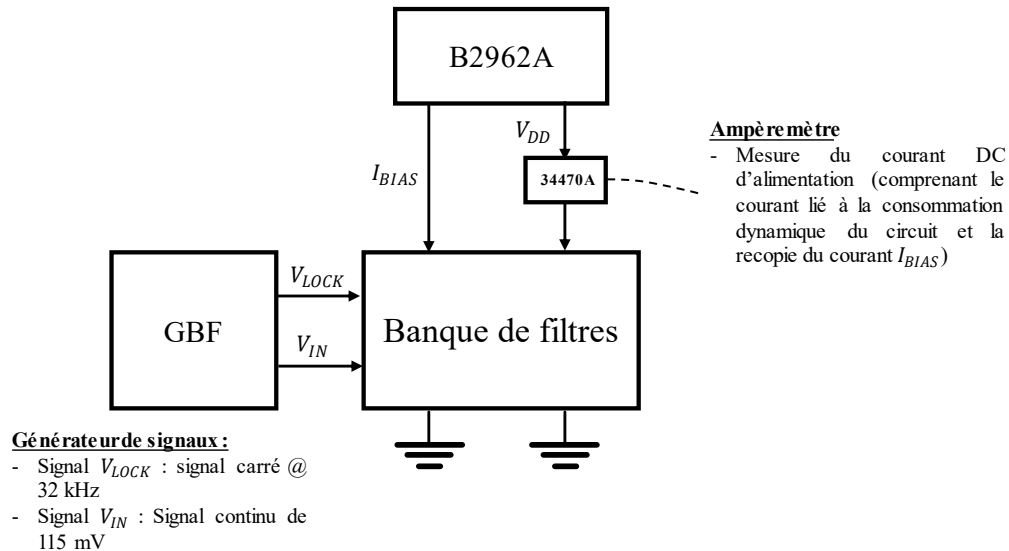


Figure 4-19 : Schéma de mesure de la consommation de la banque de filtre

On utilise un multimètre de table de modèle Keysight 34470A pour mesurer le courant circulant dans les rails d'alimentation du circuit.

On observe que la consommation du circuit est, comme prévu par le modèle de consommation dynamique donné dans le chapitre 2, proportionnelle à la fréquence de verrouillage du circuit. La consommation totale du circuit est de 12.1nW. Comme le montre le graphe ci-dessous, la consommation individuelle de chaque filtre décroît avec sa fréquence de verrouillage. Ainsi, comme la fréquence de verrouillage est divisée par deux à chaque étage, tout comme le courant de polarisation, la consommation de de chaque canal est environ divisée par deux d'un étage à un autre.

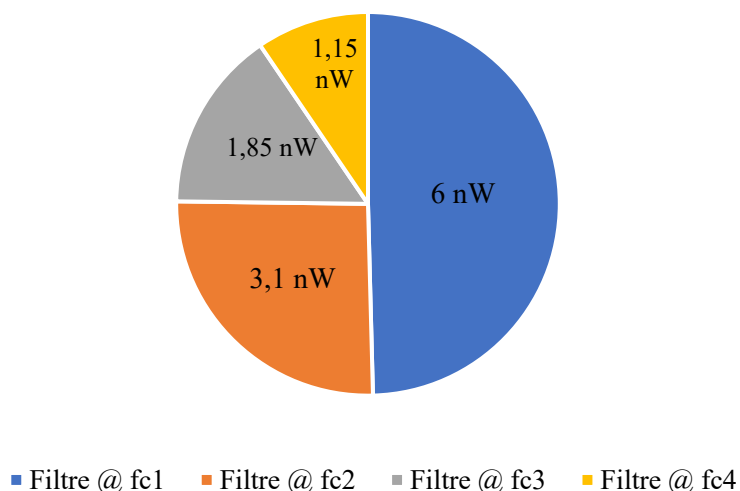


Figure 4-20 : Répartition de la consommation des différents éléments du circuit

La consommation moyenne par canal de filtrage du circuit est de 3nW. Comme nous avons pu le voir dans le chapitre 1, la consommation normalisée du circuit peut être calculée à partir de la bande passante du circuit, du nombre de canaux, ainsi que de la bande passante du signal d'entrée, en utilisant la formule donnée dans [83]. Dans le cadre de notre circuit elle est évaluée à une valeur de 5nW. Cette valeur est supérieure par rapport aux performances de l'état de l'art, pour lequel la meilleure consommation normalisée calculée est de 3nW. Cependant, cette valeur est obtenue pour un nombre de 16 canaux (contre 4 pour notre projet), permettant de diminuer la valeur de ce facteur de mérite

La consommation mesurée des filtres correspond à la consommation simulée avec une marge d'erreur de 5%. On en déduit la validité des modèles établis. Après avoir démontré la consommation ultra faible pouvant être atteinte par cette architecture de banque de filtres, on mesure la réponse en fréquence de ces derniers.

Ainsi, pour une banque de filtres de 16 canaux, la consommation atteinte serait d'environ 48nW (en utilisant la consommation moyenne par canal). Ce résultat reste concurrentiel par rapport à l'état de l'art, présentant un extracteur de caractéristiques consommant 60nW sur 16 canaux. On peut conclure de la mesure de consommation que l'architecture à OVI choisie est pertinente pour des applications de détection de réveil sur évènement ultra-faible consommation.

5.2 Réponse en fréquence de la banque de filtres

La méthode de mesure de la réponse en fréquence des filtres passe-bande composant la banque de filtre est analogue à la méthode de mesure indépendante de la bande passante de chaque filtre passe-bande. Comme expliqué plus haut, la fréquence de verrouillage principale des filtres est fixée à 32 kHz, et le courant de polarisation est fixé à 2 nA. Le miroir de courant diviseur ainsi que le diviseur de fréquence à bascules D sont chargés de réduire la valeur de la fréquence de verrouillage ainsi que la valeur du courant de polarisation à chaque étage. Afin de mesurer la réponse en fréquence des filtres, on met en œuvre le schéma de la figure 4-21.

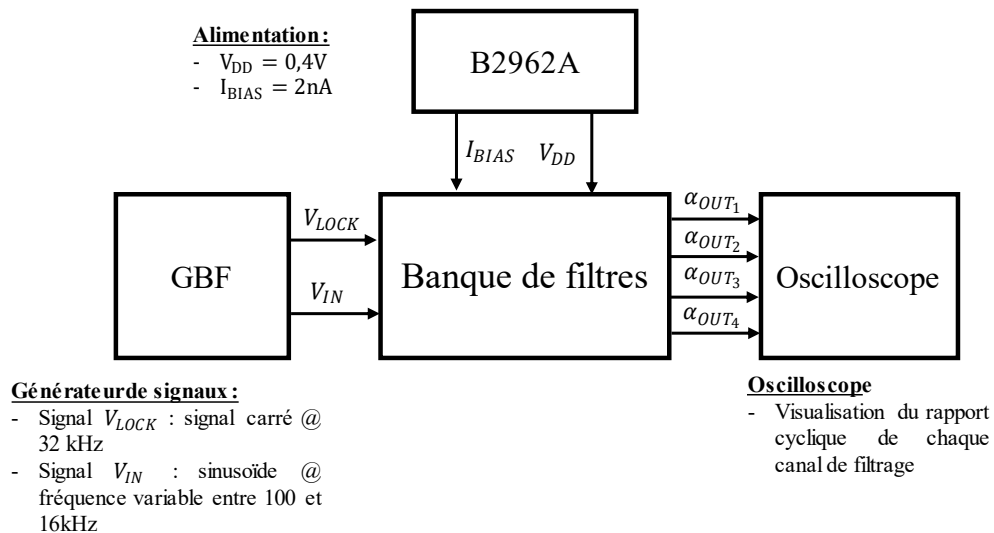


Figure 4-21 : Schéma de mesure de la réponse en fréquence de la banque de filtres

On fait varier la fréquence du signal d'entrée et on mesure la variation d'amplitude du rapport cyclique de sortie à l'aide de l'oscilloscope. Pour chaque filtre, afin d'éviter le repliement du signal, on fait varier la fréquence du signal d'entrée entre 160Hz et $\frac{f_{LOCK}}{2}$. La réponse en fréquence des filtres passe-bande de la banque de filtres est donnée dans la figure 4-22.

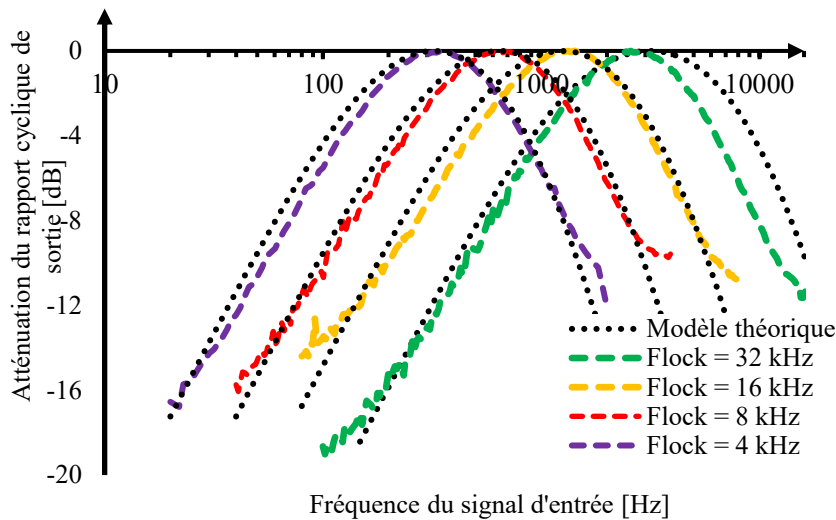


Figure 4-22 : Réponse en fréquence de la banque de filtres

Ainsi, la réponse en fréquence des filtres passe-bande correspond au modèle théorique prévu. Les fréquences centrales des filtres sont de 2,5 kHz, 1,25 kHz, 750 et 325 kHz, et sont en accord avec les valeurs prévues lors de la conception du circuit, avec une marge d'erreur mesurée de 3%. On en déduit la validité du modèle théorique prévu et le fonctionnement de la banque de filtres conforme aux valeurs de fréquences centrales prévues.

5.3 Robustesse du circuit aux variations de température et de tension d'alimentation

Le circuit a démontré un fonctionnement conforme à nos attentes dans un cadre typique, c'est à dire pour un circuit réalisé dans un *corner* TT à une température ambiante d'environ 25 degrés [84]. Le circuit étant susceptible de fonctionner dans d'autres conditions, on souhaite déterminer les variations des paramètres de la banque de filtres dans lorsque la température et la tension d'alimentation varient. On utilise un outil de simulation SPICE pour illustrer le fonctionnement du circuit en fonction de la température et de la tension d'alimentation.

5.3.1 Simulation de la réponse en fréquence des filtres lorsque la tension d'alimentation varie

Afin d'effectuer la simulation de la réponse en fréquence des filtres de la banque de filtre lorsque la tension d'alimentation varie, on applique le même schéma de mesure que précédemment, en utilisant les équivalents virtuels des équipements de mesure dans le simulateur. Cependant on s'applique à effectuer les mesures en faisant varier la tension d'alimentation dans un écart de +/-10 % par rapport à la tension d'alimentation V_{DD} typique de 0.4V. On présente ci-dessous les mesures de réponse en fréquence pour une tension d'alimentation V_{DD} de 0,36V et 0,44V.

Dans chaque cas de mesure, on adapte le courant de polarisation I_{BIAS} pour ajuster le rapport cyclique statique (ou le mode commun) de sortie à une valeur de 75%, afin d'obtenir une dynamique maximale pour le signal temporel de sortie. En effet, la variation de tension d'alimentation aura pour effet de modifier la tension de commutation des inverseurs de l'OVI, ayant un impact sur sa fréquence d'oscillation libre f_0 . On souhaite compenser cette variation par un ajustement de I_{BIAS} . Ainsi, le courant I_{BIAS} sera modifié d'une valeur d'environ $\pm 5\%$, soit entre 1.9 et 2.1 nA. Nous avons vu précédemment que I_{BIAS} n'avait que très peu d'impact sur la fréquence centrale des filtres. Cette modification ne perturbera pas la bande passante des filtres passe-bande.

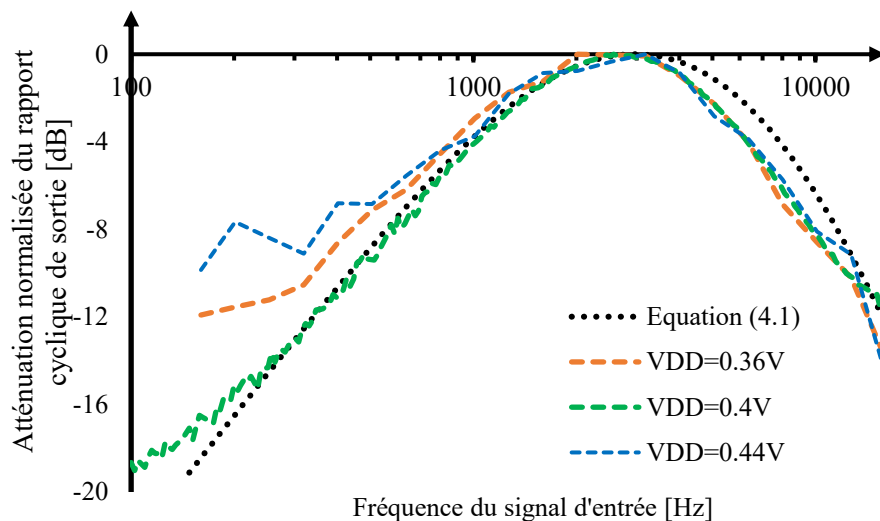


Figure 4-23 : Réponse en fréquence de la banque de filtres en lorsque la tension d'alimentation varie

Le graphe figure 4-24 nous permet de montrer que la réponse en fréquence des filtres est indépendante de la tension d'alimentation. Ceci nous permet d'affirmer que le circuit est robuste pour une variation de tension d'alimentation de +/-10%. La consommation du circuit est cependant modifiée lorsque la tension d'alimentation varie. On trace ci-dessous la variation de la consommation électrique du circuit en fonction de la tension d'alimentation.

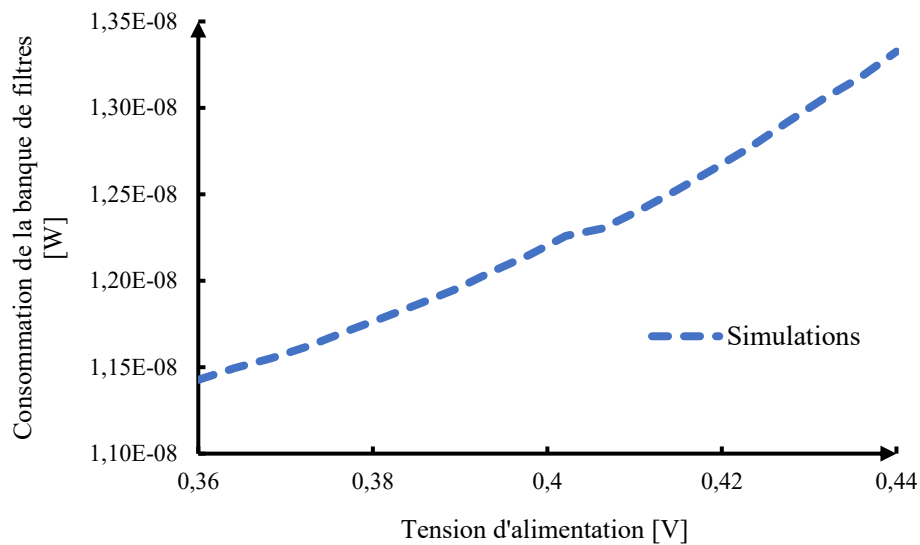


Figure 4-24 : Consommation en fonction de la tension d'alimentation

On observe que l'évolution de la consommation électrique du circuit suit une approximation polynomiale de degré 2, ce qui est conforme à nos attentes. En effet, la consommation dynamique de la banque de filtre évolue, comme expliqué dans le chapitre 2, selon le carré de la tension d'alimentation. On simule une consommation comprise entre 11.4 nW pour une tension d'alimentation de 0.36V

5.3.2 Simulation de la réponse en fréquence des filtres lorsque la température varie

On cherche à déterminer la robustesse du circuit en température. On choisit de donner un aperçu du fonctionnement du circuit entre deux températures limites : 0°C et 70°C. On présentera les résultats de simulation selon deux aspects : l'impact de la température sur la réponse en fréquence des filtres, et l'impact de la température sur la consommation du filtre.

Dans la figure 4-25, on trace la réponse en fréquence des filtres avec la température.

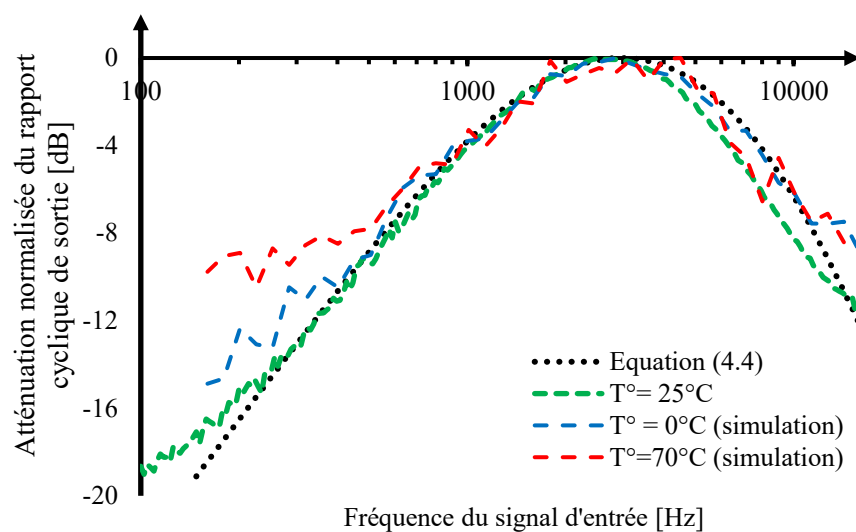


Figure 4-25 : Mesure de la réponse en fréquence de la banque de filtres dans différents cas de température

Lors de nos simulations, nous avons pu constater que la température minimale d'utilisation est de 0°C. En effet, à ce point de polarisation, constituant un pire cas d'utilisation, la tension de seuil des transistors impliqués dans le circuit augmente, si bien que les transistors constituant le miroir de courant de polarisation des OVI ne peuvent plus conduire le courant I_{BIAS} . Par conséquent, les OVI ne peuvent plus démarrer leur processus d'oscillation, et le circuit ne peut pas démarrer. De même, la température maximale d'utilisation du circuit est de 70°C. A ce niveau de température, les fuites du circuit deviennent prépondérantes, si bien que même en ajustant le courant à des valeurs avoisinant les 4nA, la charge des capacités C_L et C_{INJ} ne peut être assurée. Le circuit devient, à ce niveau de température, incapable de démarrer.

Comme nous l'avons démontré dans la publication [67], il est nécessaire d'ajuster le courant de polarisation dans chaque cas de mesure en température dans le but d'obtenir les mêmes conditions en déphasage. Cela est dû à l'augmentation des fuites dans les transistors avec la température, ainsi qu'à la variation de la tension de seuil V_{INV} des inverseurs INV_1 et INV_2 des OVI, faisant varier la fréquence d'oscillation libre f_0 . Ainsi, le courant de polarisation dans le cadre de la simulation à 0°C est fixé à 1.9nA et à 4nA dans le cas de mesure à 70°C . Dans le graphe ci-dessus, on observe que la réponse en fréquence suit le modèle théorique établi dans chaque cas de mesure de température. On en déduit, tout comme la propriété d'invariance de la bande passante de l'OVI avec la température entre 0 et 70°C , montrée dans le chapitre 2, issue de notre publication [67], que la réponse en fréquence du filtre passe-bande ne dépend pas de la température (en prenant en compte que la réponse en fréquence ne dépend pas du courant I_{BIAS}).

Ainsi, on observe, comme dans le cas de la modification de la tension d'alimentation, une variation de la consommation du circuit en fonction de la température. Dans le but de quantifier cette variation de consommation avec la température, on s'applique à mesurer le courant d'alimentation total de la banque de filtre lorsque la température varie. On présente dans la figure 4-26 la variation de la consommation de la banque de filtres en fonction de la température :

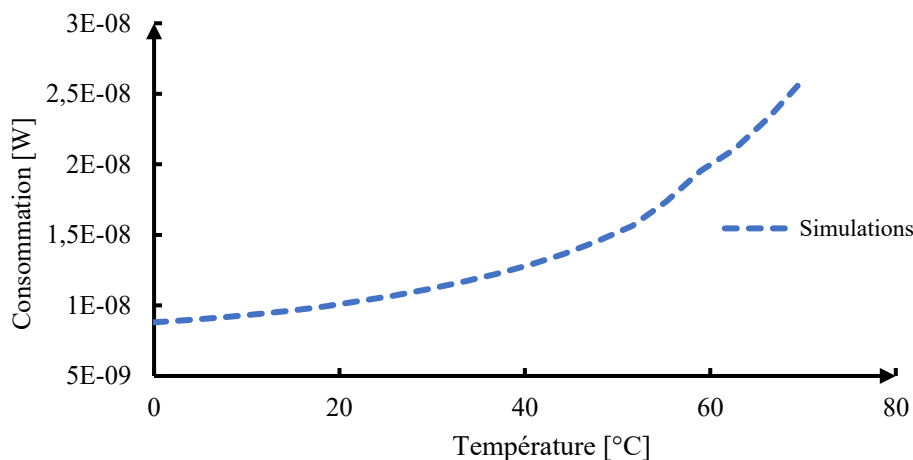


Figure 4-26 : Consommation de la banque de filtres en fonction de la température

On observe une forte variation de la consommation du circuit avec la température de la banque de filtres. En effet, elle atteint un intervalle compris entre 9 nW et 30 nW . On explique ce phénomène par l'augmentation des fuites des transistors du circuit avec la température.

Nous avons donc pu voir que même si la consommation du circuit est plus que doublée quand la température varie entre 0 et 70°C , la réponse en fréquence

du circuit ne change pas avec la température. On prévient cependant que le courant I_{BIAS} doit être ajusté de manière à assurer le verrouillage des circuits, mais sa valeur n'influe pas la réponse en fréquence du filtre. Une solution pour faire fonctionner le filtre de manière autonome est de réaliser une source de courant proportionnelle à la température, permettant de fournir le courant nécessaire au circuit pour fonctionner dans tous les cas de température.

5.4 Mesure de la linéarité du circuit

Un des paramètres de caractérisation du circuit est également sa linéarité. Dans cette sous-partie, on cherche à déterminer l'impact de la banque de filtre sur la linéarité du signal. On mesure donc le taux de distorsion harmonique la sortie du filtre.

La linéarité du circuit est mise en œuvre en suivant le schéma de mesure dans la figure 4-27.

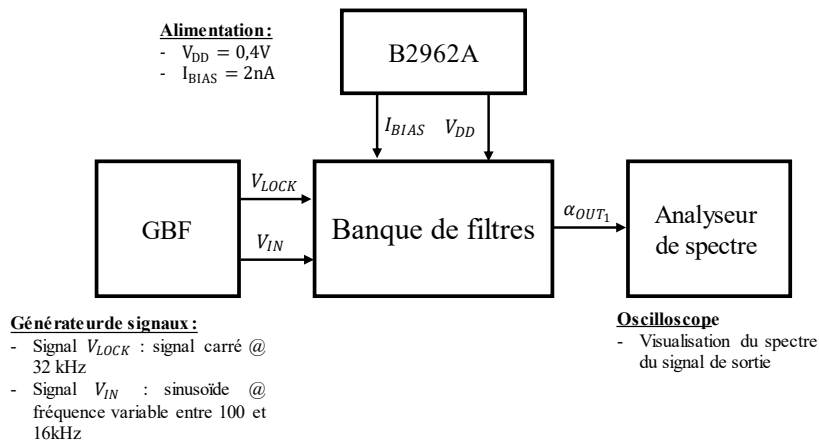


Figure 4-27 : Schéma de mesure de la linéarité de la banque de filtres

Afin de mesurer la linéarité du circuit, on met en œuvre la même méthode de mesure que dans l'article [40] pour le cas des filtres temporels à OCT. En entrée du filtre, on applique un signal sinusoïdal à une fréquence fixe de 2.8 kHz, correspondant à la fréquence centrale du premier filtre f_{C1} . À l'aide d'un analyseur de spectre, on mesure la densité spectrale de puissance du signal de sortie, dans une bande comprise entre 0 et 16 kHz. On augmente progressivement l'amplitude du signal d'entrée pour faire apparaître des raies supplémentaires au spectre du signal de sortie correspondant, aux non-linéarités apportées par le circuit. Ainsi, on peut mesurer la différence d'amplitude entre la fréquence fondamentale et ses harmoniques. Par conséquent, le taux de distorsion harmonique peut être déterminé par cette méthode. On présente le résultat de cette mesure dans la figure 4-28.

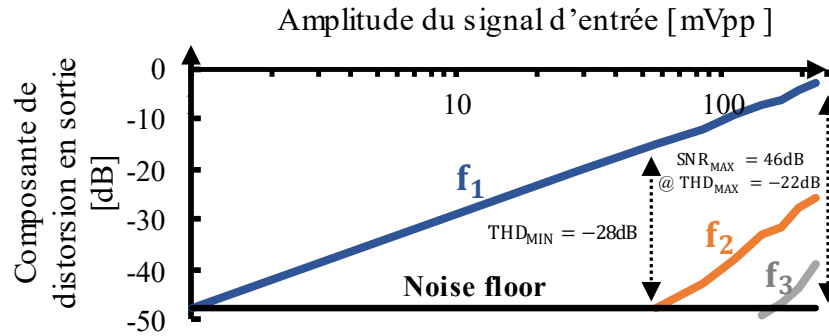


Figure 4-28 : Mesures des composantes en distorsion du signal de sortie

On observe que l'amplitude de la première harmonique f_1 du signal suit une évolution proportionnelle à l'amplitude du signal d'entrée. Dans le même temps, l'amplitude de la seconde harmonique f_2 dépasse le seuil de bruit pour une amplitude du signal d'entrée supérieur à 50 mV. Son amplitude augmente ensuite selon le carré de l'amplitude du signal d'entrée. La 3e harmonique f_3 ne dépasse le seuil de bruit que lorsque l'amplitude du signal d'entrée est supérieure à 160 mV. Son amplitude augmente elle aussi, jusqu'à ce que l'amplitude du signal d'entrée n'atteigne son amplitude maximale provoquant le déverrouillage du circuit. On explique cette limite ainsi. Le signal d'entrée, V_{IN} , contrôle de manière inversement proportionnelle la fréquence d'oscillation f_0 de l'OVI, modifiant ainsi le déphasage entre le signal de sortie et le signal de verrouillage du circuit. Par conséquent, si l'amplitude de V_{IN} est trop grande, la plage de variation de f_0 peut dépasser la valeur de la plage de verrouillage Δf , et ainsi provoquer le déverrouillage du premier OVI de la chaîne. Cette valeur limite est atteinte lorsque $V_{IN} = 230\text{ mV}$.

Le taux de distorsion harmonique minimal observable est de -28dB. Le taux de distorsion harmonique maximal, quant à lui, est de -22dB. Respectivement, ils correspondent à des valeurs de 4% et 8%. Ces valeurs sont en accord avec les caractéristiques nécessaires pour des applications de réveil sur évènement ultra-faible consommation [32], [34].

L'état de l'art en matière de linéarité montre des valeurs mesurées de l'ordre de 2%, pour des consommations de l'ordre de 142nW [32]. Notre circuit est donc moins linéaire que ce que propose les autres travaux réalisés du domaine, au détriment d'une architecture innovante, et d'une consommation bien plus faible de 3nW/canal de filtrage.

5.5 Limitation de la bande passante d'entrée

Le chapitre 2 de ce manuscrit présente l'étude théorique menant à la description du comportement dynamique des OVI à relaxation utilisés pour la conception de la banque de filtres. Il est expliqué que la bande passante d'entrée du signal de contrôle de l'OVI ne peut pas dépasser une valeur de $f_{LOCK}/2$, sans quoi des effets de repliement spectral apparaissent.

On rappelle que le signal d'entrée de la banque de filtres passe-bande doit pouvoir atteindre une bande passante d'entrée de 6kHz. Dans la figure 4-29, on a fait une mesure, sur un filtre passe-bande à OVI, de la réponse en fréquence du filtre lorsque la fréquence de modulation du signal d'entrée dépasse $f_{LOCK}/2$. Pour rester cohérent avec le contexte d'utilisation, on prend l'exemple d'un filtre verrouillé par une fréquence de $f_{LOCK} = 4\text{kHz}$.

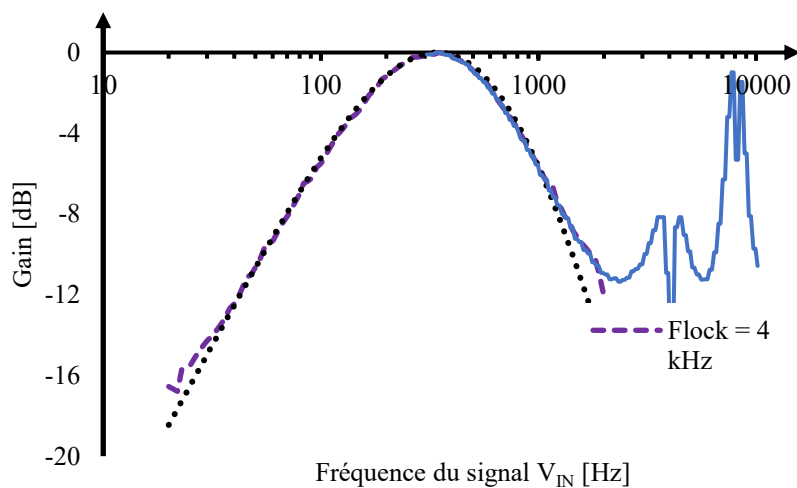


Figure 4-29 : remontée spectrale du signal de sortie du filtre

On observe que lorsque la fréquence du signal d'entrée augmente, on mesure une remontée d'amplitude du signal de sortie. On peut expliquer cela par un phénomène de repliement spectral lié au sous-échantillonnage du signal de sortie à ces fréquences supérieures à la fréquence d'échantillonnage valant f_{LOCK} . Cette constatation était prévisible et évoquée au chapitre 2. Par conséquent, on observe ici qu'un filtre verrouillé par une fréquence faible admettra une bande passante d'entrée d'autant plus faible.

On conclut de cette mesure que le circuit, tel que conçu actuellement, ne permet pas le filtrage complet du signal d'entrée sur toute sa bande passante. Dans la suite des développements sur le sujet, il sera nécessaire de permettre une augmentation de la bande passante de sortie des filtres passe-bande, et de l'ajuster à la bande d'entrée de 6kHz. En effet, pour respecter la condition de Shannon, on en déduit que la fréquence de verrouillage minimale devra être de 12kHz au minimum.

5.6 Proposition de solution pour augmenter la bande passante d'entrée

Nous avons pu observer que la bande passante du signal d'entrée est limitée à cause de phénomènes de repliement spectral liés au sous-échantillonnage du signal de sortie. Ce phénomène est dû à la fréquence de verrouillage de ces filtres, trop faible pour assurer la condition de Shannon $f_{LOCK}/2 > 6kHz$, indispensable pour une reconstitution du signal de sortie dans remontés spectrales.

On doit donc augmenter la bande passante d'entrée des filtres verrouillés sur une faible fréquence afin de permettre un traitement sans repliement des signaux d'entrée. Pour y parvenir, la fréquence d'échantillonnage doit être augmentée à une valeur supérieure à 2 fois la bande passante minimale requise.

À l'aide des lois d'évolution de la fréquence centrale en fonction de la fréquence de verrouillage et de la capacité d'injection (4.4), on peut déterminer des valeurs de C_L/C_{INJ} , f_{LOCK} , f_0 permettant d'obtenir une fonction de transfert de filtre sans remontée spectrale lorsque la fréquence du signal d'entrée s'approche de $\frac{f_{LOCK}}{2}$. Ainsi, on réduira le rapport C_L/C_{INJ} à une valeur proche de 0,3, on augmente f_{LOCK} à 12kHz et on ajuste f_0 pour obtenir un rapport cyclique statique de sortie égal à 75%.

On a réalisé une simulation de la réponse en fréquence du filtre avec de nouveaux paramètres de conception : la fréquence de verrouillage est fixée à 12 kHz, soit 2 fois la bande passante d'entrée requise pour respecter la condition de Shannon, et la capacité d'injection est fixée à 42fF.

Dans ces conditions, on simule la réponse en fréquence de ces deux filtres passe-bande en suivant la même méthode que précédemment, que l'on trace figure 4-30.

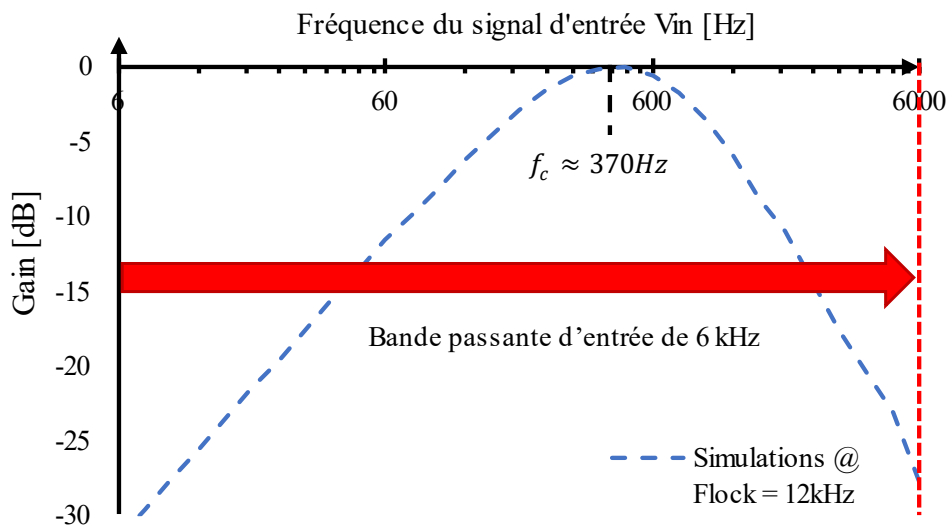


Figure 4-30 : Passe-bande verrouillé avec une fréquence de verrouillage de 12 kHz

On observe que l'on peut réaliser, pour une capacité d'injection des OVI du système égale à 42fF, un filtre passe bande dont la fréquence centrale est égale à 370Hz. De plus, la bande passante atteinte par le passe-bande est égale à 6000Hz, soit la bande passante voulue pour le signal d'entrée. On déduit de cette solution que l'on peut réaliser des filtres passe bande à fréquences centrales de l'ordre de quelques centaines de Hz, compatibles avec les canaux des banques de filtres pour l'extraction de caractéristique à basse fréquence.

Cette solution technique n'a pas été implémentée sur silicium, et n'a donc pas pu être mesurée physiquement. On en déduit que, dans une conception future, la fréquence centrale des filtres pourra être ajustée par modification de C_{INJ} pour garantir la bande passante d'entrée du système.

6. Conclusions sur le chapitre

Dans ce chapitre, nous avons présenté le coeur du travail effectué pour ce projet de recherche. Il s'agit de la conception d'une banque de filtres à OVI destinée à être utilisée pour de la détection de réveil sur événements ultra-faible consommation. Le rôle de cette banque de filtres est de s'insérer à l'intérieur d'un extracteur de caractéristiques destiné à de la reconnaissance d'évènements. Elle permettra de pouvoir déterminer la signature spectrale d'un signal représentant un événement en entrée.

Ainsi, nous avons d'abord pu présenter l'architecture d'un extracteur de caractéristiques analogique, puis son adaptation à des techniques de traitement du signal dans le domaine temporel. La banque de filtres proposée utilise des OVI pour traiter le signal directement dans le domaine temporel. En comparaison avec les méthodes de filtrage existante dans le domaine temporel [39], [40], utilisant des OCT, l'architecture proposée est la seule à exploiter des propriétés de modulation dynamique d'oscillateurs verrouillés par injection, proposant ainsi une solution de traitement du signal uniquement dans le domaine temporel.

La consommation dynamique du circuit est de 12.1 nW, soit correspondant aux attentes présentées dans le premier chapitre. On en déduit que l'objectif de réalisation d'une banque de filtres passe-bande utilisant des oscillateurs verrouillés par injection ultra faible consommation est possible, atteignant les niveaux proposés par l'état de l'art. Justement, nous proposons dans le tableau suivant une comparaison des caractéristiques de notre circuit par rapport à l'état de l'art.

	[33]	[34]	[32]	[40]	Ce travail
Technologie [nm]	90	180	180	65	65
Architecture	Analog	Analog-to-events	Mixed signal	Time-based	Time-based
Nombre de canaux	16	16	16-48	1	4
Bande passante [Hz]	75-5k	100-5k	100-4k	5k	130-5.5k
Dynamique[dB]	45	40	47	55	46
Surface/canal [mm ²]	0.13	0.1	0.624	0.004	0.0023
Puissance normalisée [nW]**	1186	71	5	n.c	11.5***
Puissance/canal [nW]	275	9.25	2.95	73	3
Consommation [nW]	4400	148	60		12.1

On peut montrer que notre travail permet de fournir une bande passante d'extracteur de paramètres analogiques comparable à celle donnée par les différents travaux de l'état de l'art. la puissance normalisée de notre banque de filtres vaut $11.5nW$, ce qui est largement supérieur aux $5nW$ présentés dans la publication [32]. Ceci est dû au fait que notre extracteur de de caractéristiques analogiques ne possède que 4 canaux comparé aux 48 de cette publication.

La consommation par canaux de notre banque de filtre atteint la consommation proposée par les différents travaux de l'état de l'art. On en déduit que dans un cas strict de recherche et développement, la solution que nous avons proposée est tout à fait pertinente pour le développement d'extracteur de caractéristiques analogique dédié à de la détection de réveil sur évènement ultra faible consommation. On en déduit que l'hypothèse de départ d'utilisation d'électronique dans le domaine temporel pour ce type d'application est tout à fait justifié, et permet d'atteindre des consommations très faibles.

L'utilisation de notre circuit tel que conçu actuellement présente cependant certains désavantages : la consommation du circuit en fonction de la température augmente très fortement, on peut donc imaginer que des solutions afin d'obtenir un meilleur fonctionnement à haute température pourront être développées par la suite. De la même manière, la bande passante du signal d'entrée pourra être augmentée en suivant la piste de résolution liée à la modification de la fréquence de verrouillage et des capacités d'injection.

Conclusion générale

Le travail de thèse présenté dans ce manuscrit a permis de montrer les possibilités de réalisation de circuits intégrés ultra-faible consommation, à l'aide d'oscillateurs verrouillés par injection. Dans le contexte des capteurs de réveil à reconnaissance d'évènements, il a été possible de démontrer les capacités des OVI en tant qu'outil de conversion d'un signal analogique vers le domaine temporel, mais aussi en tant que circuit permettant le filtrage d'un signal dans le domaine temporel, à une consommation de l'ordre de la dizaine de nanowatts.

En premier lieu, nous avons tout d'abord mis à jour les architectures de capteurs de réveil sur évènements ultra-faible consommation. Nous avons pu étudier les architectures d'extracteurs de caractéristiques permettant une classification des évènements détectés à faible consommation. Ainsi, les extracteurs de caractéristiques à l'état de l'art démontrent une consommation par canal de l'ordre de 3nW . En utilisant la méthode d'encodage dans le domaine temporel, et en bénéficiant du comportement de déphaseur apporté par les OVI, on peut envisager une consommation d'une banque de filtre comparable avec les consommations par canaux de l'ordre de 3nW .

Ensuite, ce travail de recherche a permis l'étude d'un OVI à injection capacitive. Cette méthode d'injection permet de synchroniser l'OVI sur son signal de verrouillage tout en faisant l'économie de sources de courant d'injection, entraînant ainsi une diminution de la consommation statique de l'OVI par rapport à une injection par un courant. Par la suite, une étude dynamique de l'OVI a permis de décrire le comportement en fréquence de sa fonction de déphasage. Ainsi, la fonction de transfert du déphasage entre le signal de sortie et le signal de verrouillage a pu être établie, et démontrer un comportement du premier ordre de l'OVI. L'OVI a pu ensuite être implémenté sur deux circuits, en technologie 22nm FDX puis en technologie 65nm CMOS. Ces circuits ont permis de démontrer expérimentalement les résultats théoriques développés dans le chapitre 2. Ainsi, l'OVI implémenté en 22nm FDX démontre un fonctionnement de déphaseur, avec une consommation de 640 pW . L'OVI implémenté dans un procédé 65nm CMOS a quant à lui également permis de vérifier le comportement de l'OVI prévu par la théorie. Cette version de l'OVI a une consommation plus élevée, de 1.2 nW , liée à l'augmentation de la largeur des transistors constituant les premiers inverseurs de la chaîne de retour de l'OVI, permettant d'en réduire le bruit de phase et d'augmenter sa dynamique en déphasage.

Enfin, dans les chapitres 3 et 4, nous avons exploité les résultats théoriques décrivant le comportement dynamique de l'OVI à relaxation afin de réaliser une fonction de transfert de filtre, applicable à une architecture d'extracteur de caractéristiques pour la reconnaissance d'évènement. La fonction de filtrage à OVI a pu être cascadée, dans le but de réaliser une banque de filtres compatible avec l'extraction de caractéristiques. La banque de filtre a été implémentée dans un procédé 65nm CMOS, permettant de mettre à jour une consommation par canal de 3nW , une dynamique de 46dB , comparable avec les performances de l'état de l'art.

Les travaux effectués sur les filtres analogiques à OVI permettent d'envisager plusieurs perspectives quant à leur incorporation dans un capteur de

réveil sur évènement complet. Afin d'illustrer nos propos, on présente en figure c-1 le schéma global d'un capteur de réveil sur évènement à OVI.

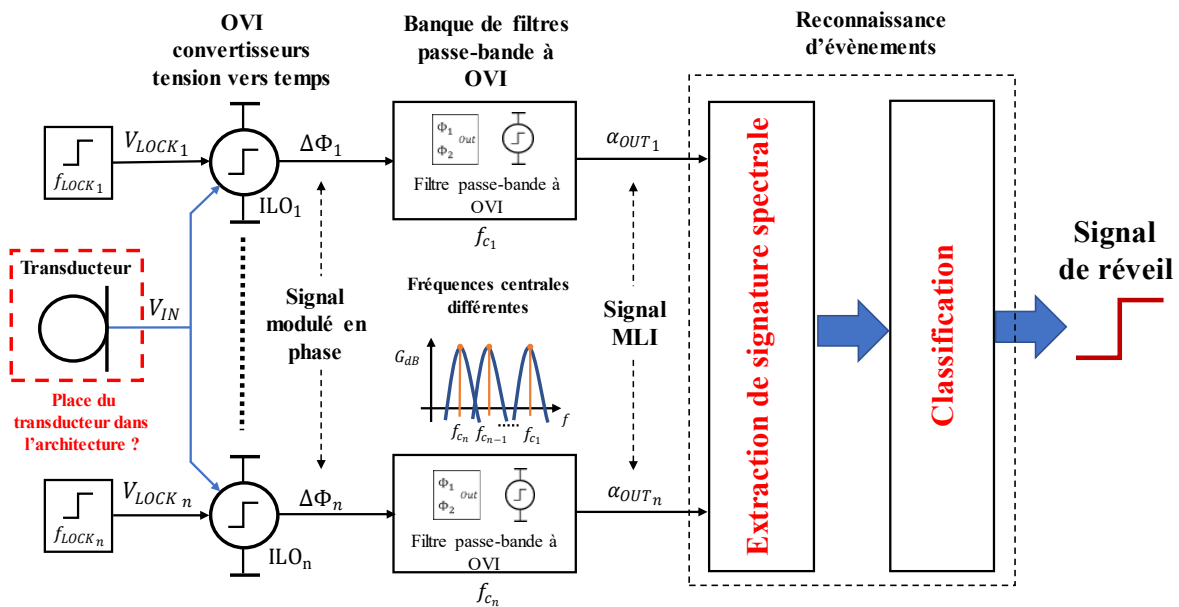


Figure c-1 : Perspectives des capteurs de réveil à OVI

En premier lieu, on peut s'interroger sur la nécessité d'un amplificateur faible bruit entre le transducteur et l'OVI opérant la conversion tension temps. La nécessité d'un tel amplificateur est discutable en fonction des caractéristiques du transducteur utilisé et du niveau de bruit en entrée requis. En effet, un transducteur de type piézoélectrique est capable de fournir des signaux ayant une dynamique de quelques centaines de mV, si bien qu'aucune amplification n'est nécessaire pour créer un déphasage en sortie de l'OVI. En revanche, l'utilisation d'autres types de transducteurs fournissant une tension de sortie faible (comme un microphone MEMS qui fournira au maximum quelques mV et nécessitera une polarisation) requerront l'utilisation d'un amplificateur. Enfin, une nouvelle méthode de conversion intégrant le transducteur directement dans l'OVI peut être mise en œuvre. Il consiste à remplacer la capacité de charge de l'OVI déphaseur par la capacité variable d'un transducteur capacitif. On présente cette innovation dans la figure c-2.

Ce projet a permis de démontrer les capacités apportées par les OVI pour la réalisation de circuits ultra-faible consommation. En effet, en utilisant les OVI comme encodeurs de signaux dans le domaine temporel, il est possible de réaliser des circuits à faible surface, et donc à faible coût, permettant un traitement du signal à faible consommation. Ce type de circuit s'avère performant en termes de consommation pour des applications de détection à faible rapport signal sur bruit, comme le réveil sur évènement. Tout comme les travaux précédents sur des applications à haute température [59], les architectures à OVI ouvrent une porte sur une nouvelle génération de circuits pour des applications spécifiques.

du circuit, le courant I_{Q_2} est exponentiellement inversement proportionnel à la tension V_{IN} .

Le comparateur à hystérésis fonctionne entre ses deux tensions de seuil V_{th+} et V_{th-} . Pour expliquer le fonctionnement du comparateur, on considère qu'il est à son état haut, et que la tension V_{IN} croît de manière à atteindre la tension de seuil V_{th+} . Le transistor P_4 est donc fermé.

Le courant I_2 , image de la tension V_{IN} et recopié par le transistor P_2 , proportionnellement au facteur multiplicatif k_2 augmente. À l'inverse, la tension collecteur-émetteur de Q_2 diminue, ayant pour effet de déséquilibrer le miroir de courant $Q_1 - Q_2$ en réduisant le courant circulant dans Q_2 . Par conséquent I_{Q_2} est alors forcé à I_2 , ayant une valeur supérieure au courant de passage du transistor P_2 .

Par conséquent, une augmentation de la tension V_{C_2} est provoquée par le passage d'un courant de fuite dans la résistance collecteur-émetteur de Q_2 . Lorsque V_{C_2} dépasse la tension de seuil de l'inverseur, le transistor P_4 s'ouvre, permettant de fixer V_{C_2} à une valeur stable haute, en forçant encore plus le courant collecteur I_{Q_2} à une valeur supérieure à ce que le transistor Q_2 devrait laisser passer. L'hystérésis du comparateur est assurée par la rétroaction positive apportée par l'inverseur et le transistor M_5 .

D'après l'article [20], les tensions de seuil du comparateur V_{th+} et V_{th-} peuvent être réglées à l'aide des coefficients multiplicateurs des transistors du miroir de courant PMOS k_1 , k_2 et k_3 , du gain en courant des transistors bipolaires $\beta_{1,2}$, et du coefficient de fuite du transistor P_3 , noté α . Les seuils du comparateur sont donnés par les équations :

$$V_{th+} = \frac{K_B T}{q} \ln \left[\frac{\beta_1}{1 + \beta_1} \left(\frac{k_1}{k_2 + \alpha k_3} - \frac{1}{\beta_2} \right) \right]$$

$$V_{th-} = \frac{K_B T}{q} \ln \left[\frac{\beta_1}{1 + \beta_1} \left(\frac{k_1}{k_2 + k_3} - \frac{1}{\beta_2} \right) \right]$$

Annexe B : CAN asynchrones à franchissement de seuils

L'équipe du docteur Wang présente en 2020, dans la publication [31], un CAN à franchissement de seuil d'une résolution de 5 bits, consommant 40.6 nW, capable de numériser un signal d'entrée d'une bande passante de 80kHz, intégrée à une interface de détection de réveil sur événement chargée de détecter des anomalies cardiaques. Ainsi, ce type de CAN permet de réaliser des interfaces capteur sur événement permettant de détecter des événements large bande (4 fois plus large que la bande audio de 20 kHz), à des consommations inférieures à 60 nW. Ce type de CAN sera utilisé pour numériser le signal d'entrée des CdR sur événements.

D'autres références de la littérature montrent l'utilisation de CAN à franchissement de seuil pour la réalisation de CdR sur événement. Ce type d'architecture de CAN est assez récent [85],[86], et est utilisé dans le cadre de la détection de signal pour des niveaux de consommation très faible. Les CAN à franchissement de seuil utilisent un procédé de d'échantillonnage non conventionnel. À l'instar des CAN classiques qui mettent en œuvre un échantillonnage constant du signal, les CAN à franchissement de seuil n'enclenchent l'échantillonnage du signal d'entrée que de manière asynchrone, lorsque celui-ci ne dépasse des niveaux de tension prédéfinis. Ainsi, la consommation des circuits est fortement réduite. La figure B-1 présente un schéma bloc de ce type de système.

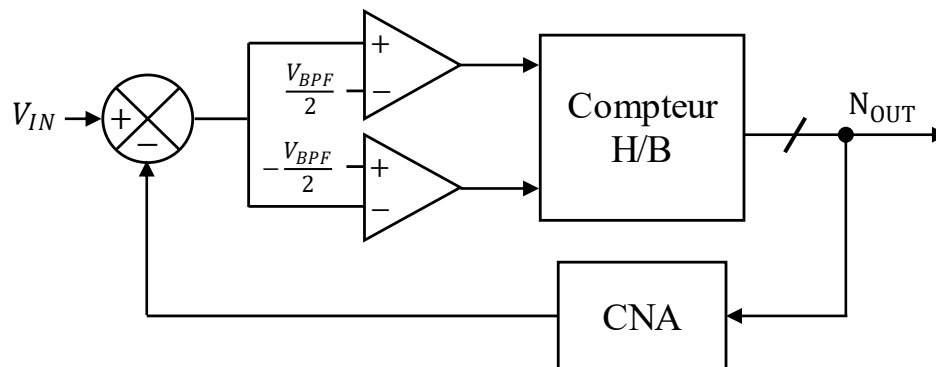


Figure B-1 : Schéma d'un CAN à franchissement de seuils à deux comparateurs, tiré de [85]

Les architectures de CDR utilisant des CAN implémentés dans les travaux précédents montrent une réduction drastique de la consommation en puissance de ce type de dispositif.

Annexe C : Utilisation d'oscillateurs verrouillés par injection super harmonique et sous harmonique en électronique

C.1. Utilisations d'OVI comme diviseur de fréquence dans les synthétiseurs de fréquence (injection superharmonique)

Une des utilisations les plus courantes des OVI en électronique correspond à la division de fréquence dans les systèmes de synthèse de signaux de circuits radiofréquences et digitaux [56], [66]. En effet, dans les synthétiseurs de fréquences, un diviseur de fréquence avec un large rapport de division est nécessaire afin d'obtenir un signal à faible fréquence, image du signal de sortie du synthétiseur à haute fréquence. Ainsi, le signal image du signal de sortie peut être comparé à un signal de référence, provenant par exemple d'un oscillateur à quartz, afin de permettre la stabilisation de la fréquence du signal de sortie. Dans la figure C-1, on présente un synthétiseur de fréquence à OVI.

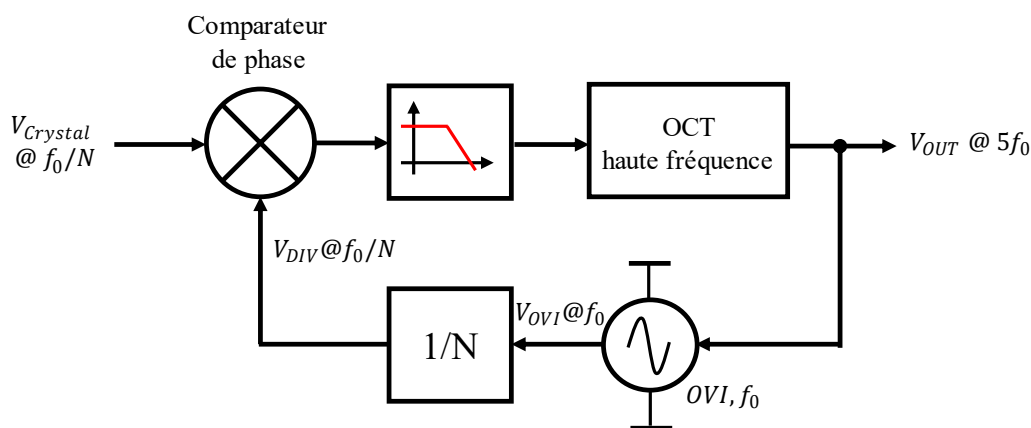


Figure C-1 : schéma d'un synthétiseur de fréquence utilisant un OVI comme premier étage du diviseur de fréquence, inspiré de [87]

Dans ce type d'architecture, la division de fréquence est obtenue par la mise en cascade de plusieurs étages de division de fréquence. Le premier étage de division est le plus compliqué à réaliser pour plusieurs raisons : large variation de fréquence en entrée accentuée par les variations de procédé de fabrication, de température et de tension d'alimentation, ainsi que sa large consommation dynamique liée au fonctionnement à haute fréquence. Pour pallier ce problème, les OVI sont une bonne solution technique apportée pour la réalisation de diviseur de fréquence. Prenant en compte les phénomènes d'injection superharmoniques [87], [88] des OVI, c'est-à-dire leur capacité à se verrouiller sur un signal à une fréquence égale à un multiple de leur fréquence d'oscillation libre, on obtient un diviseur de fréquence avec une consommation réduite, un verrouillage rapide, et un faible bruit de phase.

C.2. Utilisation d'OVI dans les boucles à verrouillage de phase (injection sous-harmonique)

On peut également retrouver des OVI dans des systèmes de boucles à verrouillage de phase (BVP). Ci-dessous, montre le schéma d'une BVP utilisant un OVI. En effet, nous avons vu au début de cette partie que les OVI ont la caractéristique de pouvoir diminuer le bruit de phase de leur signal source. Cette propriété est commune aux OVI, qu'ils soient injectés de manière harmonique, sous-harmonique, ou superharmonique. Cette propriété est très intéressante à exploiter dans le cadre dans les boucles à verrouillage de phase (BVP) [80], notamment pour des applications de synthèse de fréquence. Afin d'illustrer ces propos, on propose, dans la figure C-2, le schéma d'une BVP utilisant un OVI pour réduire l'impact du bruit de phase sur le signal de sortie.

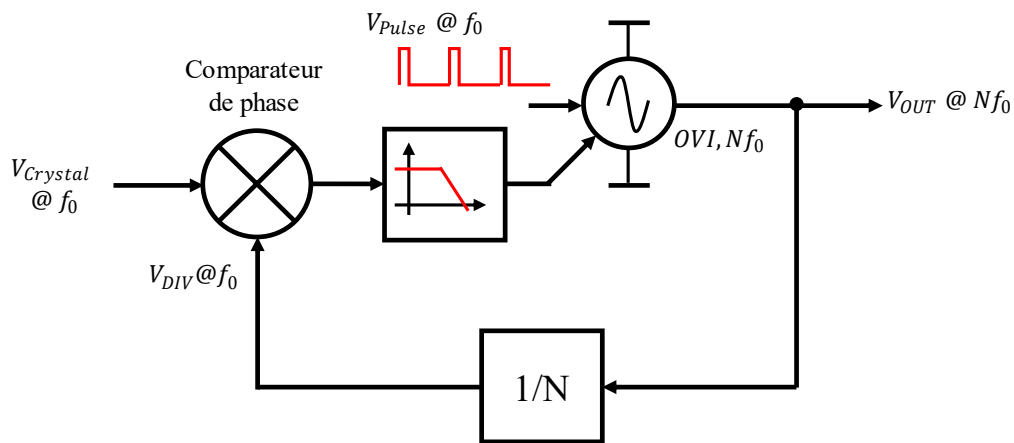


Figure C-2 : Boucle à verrouillage de phase utilisant un OVI sous-harmonique, inspiré de [80]

Le signal de référence de cette BVP, $V_{crystal}$ est fourni par un oscillateur à quartz faible fréquence dont le bruit de phase est beaucoup plus faible que celui de l'oscillateur électronique haute fréquence placé en sortie de la BVP. Afin de réduire le bruit de phase de cet oscillateur, on profite de la propriété d'injection sous-harmonique des OVI, permettant de réduire son bruit de phase. Ainsi, l'OVI de la BVP de la figure C-2 est injecté par un train d'impulsion V_{PULSE} à la fréquence f_0 , indépendant de $V_{crystal}$, entraînant une plage de verrouillage de l'OVI inférieure à celle de la BVP. De cette manière, on assure que la BVP ne peut pas se verrouiller par le seul effet de l'OVI.

L'efficacité de la réduction de bruit de phase par l'utilisation d'OVI dans une BVP dépend de l'instant auquel le train d'impulsion est appliqué à l'OVI par rapport au passage par zéro du signal de sortie. Dans [55], [56], [66], il est montré que le bruit de phase est minimal quand le signal de verrouillage est injecté à l'instant de passage à zéro du signal de sortie.

Contributions

Publications scientifiques :

N. Goux, E. Dina, and F. Badets, “A 500 pW 16 KHz Injection Locked Oscillator for Ultra-Low Power Time-Domain ADC Application,” in 2018 16th IEEE International New Circuits and Systems Conference (NEWCAS), Montreal, QC, Jun. 2018, pp. 200–204, doi: 10.1109/NEWCAS.2018.8585520.

N. Goux and F. Badets, “Review on Event-Driven Wake-Up Sensors for Ultra-Low Power Time-Domain Design,” in 2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS), Aug. 2018, pp. 554–557, doi: 10.1109/MWSCAS.2018.8623935.

N. Goux, J.-B. Casanova, G. Pillonnet, and F. Badets, “A 640pW 32kHz switched-capacitor ILO analog-to-time converter for wake-up sensor applications,” in Proceedings of the ACM/IEEE International Symposium on Low Power Electronics and Design, Boston Massachusetts, Aug. 2020, pp. 43–48, doi: 10.1145/3370748.3406582.

N. Goux, J.-B. Casanova, G. Pillonnet, and F. Badets, “A 6-nW 0.0013-mm² ILO Bandpass Filter for Time-Based Feature Extraction,” IEEE Solid-State Circuits Letters, vol. 3, pp. 306–309, 2020, doi: 10.1109/LSSC.2020.3016716.

Brevets :

« Filtre passe-bande », brevet français. N° de dépôt : 19 14201, date de dépôt : 11/12/2019.

Inventeurs CEA : Nicolas GOUX, Franck BADETS

« DISPOSITIF DE RECUPERATION OU D'AMORTISSEMENT D'ENERGIE VIBRATOIRE D'UN ELEMENT MECANIQUE RESONANT », brevet français, demande déposée, en attente du rapport de recherche. N° de demande de dépôt : 2006491. Demandeurs : Commissariat à l'énergie Atomique, Université Savoie Mont-Blanc

Inventeurs CEA : Adrien MOREL, Franck BADETS, Nicolas GOUX, Gaël PILLONNET

Inventeurs Université Savoie Mont-Blanc : Adrien BADEL

Références

- [1] P. Harpe, H. Gao, R. van Dommele, E. Cantatore, et A. H. M. van Roermund, « A 0.20mm² 3 nW Signal Acquisition IC for Miniature Sensor Nodes in 65 nm CMOS », *IEEE J. Solid-State Circuits*, vol. 51, n° 1, p. 240-248, janv. 2016, doi: 10.1109/JSSC.2015.2487270.
- [2] U. Varshney, « Pervasive Healthcare and Wireless Health Monitoring », *Mobile Networks and Applications*, vol. 12, n° 2, p. 113-127, juin 2007, doi: 10.1007/s11036-007-0017-1.
- [3] S. Kim *et al.*, « Health Monitoring of Civil Infrastructures Using Wireless Sensor Networks », in *2007 6th International Symposium on Information Processing in Sensor Networks*, avr. 2007, p. 254-263, doi: 10.1109/IPSN.2007.4379685.
- [4] N. Xu *et al.*, « A Wireless Sensor Network For Structural Monitoring », in *Proceedings of the 2nd International Conference on Embedded Networked Sensor Systems*, New York, NY, USA, 2004, p. 13-24, doi: 10.1145/1031495.1031498.
- [5] J. Burrell, T. Brooke, et R. Beckwith, « Vineyard computing: sensor networks in agricultural production », *IEEE Pervasive Computing*, vol. 3, n° 1, p. 38-45, janv. 2004, doi: 10.1109/MPRV.2004.1269130.
- [6] A. Camilli, C. E. Cugnasca, A. M. Saraiva, A. R. Hirakawa, et P. L. P. Corrêa, « From wireless sensors to field mapping: Anatomy of an application for precision agriculture », *Computers and Electronics in Agriculture*, vol. 58, n° 1, p. 25-36, 2007, doi: <https://doi.org/10.1016/j.compag.2007.01.019>.
- [7] M. Malinowski, M. Moskwa, M. Feldmeier, M. Laibowitz, et J. A. Paradiso, « CargoNet: A Low-Cost Micropower Sensor Node Exploiting Quasi-Passive Wakeup for Adaptive Asynchronous Monitoring of Exceptional Events », in *Proceedings of the 5th International Conference on Embedded Networked Sensor Systems*, New York, NY, USA, 2007, p. 145-159, doi: 10.1145/1322263.1322278.
- [8] « IoT Sensors Global Market Size, Share, Trend & Research Report ». <https://www.bccresearch.com/market-research/information-technology/sensors-for-the-internet-of-things-iot-global-markets.html> (consulté le déc. 31, 2020).
- [9] W. Dargie, « Dynamic Power Management in Wireless Sensor Networks: State-of-the-Art », *IEEE Sensors Journal*, vol. 12, n° 5, p. 1518-1528, mai 2012, doi: 10.1109/JSEN.2011.2174149.
- [10] R. H. Olsson, R. B. Bogoslovov, et C. Gordon, « Event driven persistent sensing: Overcoming the energy and lifetime limitations in unattended wireless sensors », in *2016 IEEE SENSORS*, oct. 2016, p. 1-3, doi: 10.1109/ICSENS.2016.7808398.
- [11] S. Jeong, G. Kim, Y. Kim, W. Jung, D. Blaauw, et D. Sylvester, « Ultra-low power circuit techniques for miniaturized sensor nodes », in *2015 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, juin 2015, p. 170-173, doi: 10.1109/EDSSC.2015.7285077.
- [12] M. Ding, Z. Zhou, S. Traferro, Y.-H. Liu, C. Bachmann, et F. Sebastiano, « A 33-ppm/°C 240-nW 40-nm CMOS Wakeup Timer Based on a Bang-Bang Digital-Intensive Frequency-Locked-Loop for IoT Applications », *IEEE*

- Transactions on Circuits and Systems I: Regular Papers*, vol. 67, n° 7, p. 2263-2273, juill. 2020, doi: 10.1109/TCSI.2020.2979319.
- [13] M. Ding, M. Song, E. Tiurin, S. Traferro, Y.-H. Liu, et C. Bachmann, « A 0.9pJ/Cycle 8ppm/°C DFLL-Based Wakeup Timer Enabled by a Time-Domain Trimming and An Embedded Temperature Sensing », in *2020 IEEE Symposium on VLSI Circuits*, juin 2020, p. 1-2, doi: 10.1109/VLSICircuits18222.2020.9162787.
- [14] S. Jeong, I. Lee, D. Blaauw, et D. Sylvester, « A 5.8 nW CMOS Wake-Up Timer for Ultra-Low-Power Wireless Applications », *IEEE Journal of Solid-State Circuits*, vol. 50, n° 8, p. 1754-1763, août 2015, doi: 10.1109/JSSC.2015.2413133.
- [15] J. Jung, I.-H. Kim, S.-J. Kim, Y. Lee, et J.-H. Chun, « A 1.08-nW/kHz 13.2-ppm/°C Self-Biased Timer Using Temperature-Insensitive Resistive Current », *IEEE Journal of Solid-State Circuits*, vol. 53, n° 8, p. 2311-2318, août 2018, doi: 10.1109/JSSC.2018.2824307.
- [16] J. A. Kitchener et B. J. Phillips, « Starved picowatt oscillator for remote sensor wake-up timer », *Electronics Letters*, vol. 48, n° 12, p. 686-687, juin 2012, doi: 10.1049/el.2012.1485.
- [17] J. Lim *et al.*, « A 224 PW 260 PPM/°C Gate-Leakage-Based Timer for Ultra-Low Power Sensor Nodes with Second-Order Temperature Dependency Cancellation », in *2018 IEEE Symposium on VLSI Circuits*, juin 2018, p. 117-118, doi: 10.1109/VLSIC.2018.8502374.
- [18] « IEEE Technology Report on Wake-Up Radio: An Application, Market, and Technology Impact Analysis of Low-Power/Low-Latency 802.11 Wireless LAN Interfaces », IEEE. doi: 10.1109/IEEESTD.2017.8055459.
- [19] H. Jiang *et al.*, « A 22.3-nW, 4.55 cm² Temperature-Robust Wake-Up Receiver Achieving a Sensitivity of -69.5 dBm at 9 GHz », *IEEE Journal of Solid-State Circuits*, vol. 55, n° 6, p. 1530-1541, juin 2020, doi: 10.1109/JSSC.2019.2948812.
- [20] A. Wang, C. Chen, et C. R. Shi, « Design and Analysis of an Always-ON Input-Biased pA-Current Sub-nW mV-Threshold Hysteretic Comparator for Near-Zero Energy Sensing », *IEEE Trans. Circuits Syst. I*, vol. 64, n° 9, p. 2284-2294, sept. 2017, doi: 10.1109/TCSI.2017.2702063.
- [21] T. Kobayashi, K. Nogami, T. Shirotori, et Y. Fujimoto, « A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture », *IEEE Journal of Solid-State Circuits*, vol. 28, n° 4, p. 523-527, avr. 1993, doi: 10.1109/4.210039.
- [22] B. Razavi, « The StrongARM Latch [A Circuit for All Seasons] », *IEEE Solid-State Circuits Mag.*, vol. 7, n° 2, p. 12-17, 2015, doi: 10.1109/MSSC.2015.2418155.
- [23] M. Siniscalchi, F. Silveira, et C. Galup-Montoro, « Ultra-Low-Voltage CMOS Crystal Oscillators », *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, n° 6, p. 1846-1856, juin 2020, doi: 10.1109/TCSI.2020.2971110.
- [24] X. Qian et T. H. Teo, « A low-power comparator with programmable hysteresis level for blood pressure peak detection », in *TENCON 2009 - 2009 IEEE Region 10 Conference*, janv. 2009, p. 1-4, doi: 10.1109/TENCON.2009.5396125.
- [25] A. Wang, A. Waters, et C.-J. R. Shi, « A sub-nW mV-range programmable threshold comparator for near-zero-energy sensing », in *2016 IEEE*

- International Symposium on Circuits and Systems (ISCAS)*, mai 2016, p. 1054-1057, doi: 10.1109/ISCAS.2016.7527425.
- [26] M. Verhelst et A. Bahai, « Where Analog Meets Digital: Analog-to-Information Conversion and Beyond », *IEEE Solid-State Circuits Magazine*, vol. 7, n° 3, p. 67-80, Summer 2015, doi: 10.1109/MSSC.2015.2442394.
- [27] D. J. White, P. E. William, M. W. Hoffman, S. Balkir, et N. Schemm, « Analog sensing front-end system for harmonic signal classification », in *2012 IEEE International Symposium on Circuits and Systems (ISCAS)*, mai 2012, p. 1155-1158, doi: 10.1109/ISCAS.2012.6271437.
- [28] J. N. Laska, S. Kirolos, M. F. Duarte, T. S. Ragheb, R. G. Baraniuk, et Y. Massoud, « Theory and Implementation of an Analog-to-Information Converter using Random Demodulation », in *2007 IEEE International Symposium on Circuits and Systems*, New Orleans, LA, USA, mai 2007, p. 1959-1962, doi: 10.1109/ISCAS.2007.378360.
- [29] G. Rovere, S. Fateh, et L. Benini, « A 2.2- μ W Cognitive Always-On Wake-Up Circuit for Event-Driven Duty-Cycling of IoT Sensor Nodes », *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 8, n° 3, p. 543-554, sept. 2018, doi: 10.1109/JETCAS.2018.2828505.
- [30] S. Jeong *et al.*, « Always-On 12-nW Acoustic Sensing and Object Recognition Microsystem for Unattended Ground Sensor Nodes », *IEEE Journal of Solid-State Circuits*, vol. 53, n° 1, p. 261-274, janv. 2018, doi: 10.1109/JSSC.2017.2728787.
- [31] Z. Wang *et al.*, « 20.2 A 57nW Software-Defined Always-On Wake-Up Chip for IoT Devices with Asynchronous Pipelined Event-Driven Architecture and Time-Shielding Level-Crossing ADC », in *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, févr. 2020, p. 314-316, doi: 10.1109/ISSCC19947.2020.9062952.
- [32] S. Oh *et al.*, « An Acoustic Signal Processing Chip With 142-nW Voice Activity Detection Using Mixer-Based Sequential Frequency Scanning and Neural Network Classification », *IEEE J. Solid-State Circuits*, vol. 54, n° 11, p. 3005-3016, nov. 2019, doi: 10.1109/JSSC.2019.2936756.
- [33] K. M. H. Badami, S. Lauwereins, W. Meert, et M. Verhelst, « A 90 nm CMOS, 6 μ W Power-Proportional Acoustic Sensing Frontend for Voice Activity Detection », *IEEE Journal of Solid-State Circuits*, vol. 51, n° 1, p. 291-302, janv. 2016, doi: 10.1109/JSSC.2015.2487276.
- [34] M. Yang, C.-H. Yeh, Y. Zhou, J. P. Cerqueira, A. A. Lazar, et M. Seok, « Design of an Always-On Deep Neural Network-Based 1- μ W Voice Activity Detector Aided With a Customized Software Model for Analog Feature Extraction », *IEEE J. Solid-State Circuits*, vol. 54, n° 6, p. 1764-1777, juin 2019, doi: 10.1109/JSSC.2019.2894360.
- [35] M. Yang, C.-H. Chien, T. Delbruck, et S.-C. Liu, « A 0.5 V 55 μ W 64 x 2 Channel Binaural Silicon Cochlea for Event-Driven Stereo-Audio Sensing », *IEEE Journal of Solid-State Circuits*, vol. 51, n° 11, p. 2554-2569, nov. 2016, doi: 10.1109/JSSC.2016.2604285.
- [37] P. R. Kinget, « Scaling analog circuits into deep nanoscale CMOS: Obstacles and ways to overcome them », in *2015 IEEE Custom Integrated Circuits Conference (CICC)*, sept. 2015, p. 1-8, doi: 10.1109/CICC.2015.7338394.
- [38] P. R. Kinget, « Designing analog and RF circuits for ultra-low supply voltages », in *ESSCIRC 2007 - 33rd European Solid-State Circuits Conference*, sept. 2007, p. 58-67, doi: 10.1109/ESSCIRC.2007.4430249.

- [39] B. Drost, M. Talegaonkar, et P. K. Hanumolu, « Analog Filter Design Using Ring Oscillator Integrators », *IEEE J. Solid-State Circuits*, vol. 47, n° 12, p. 3120-3129, déc. 2012, doi: 10.1109/JSSC.2012.2225738.
- [40] L. B. Leene et T. G. Constandinou, « Time Domain Processing Techniques Using Ring Oscillator-Based Filter Structures », *IEEE Trans. Circuits Syst. I*, vol. 64, n° 12, p. 3003-3012, déc. 2017, doi: 10.1109/TCSI.2017.2715885.
- [41] D. Buffeteau, « Représentation et traitement des signaux analogiques dans le domaine temporel, pour répondre aux défis des technologies CMOS très avancées. », Université Grenoble Alpes, Grenoble, 2018.
- [42] Bezhad Razavi, RF Microelectronics, 2nd Edition, McGraw-Hill Higher Education. /content/one-dot-com/one-dot-com/us/en/higher-education/program.html (consulté le sept. 18, 2020).
- [43] K.-C. Choi, S.-G. Kim, S.-W. Lee, B.-C. Lee, et W.-Y. Choi, « A 990- μ W 1.6-GHz PLL Based on a Novel Supply-Regulated Active-Loop-Filter VCO », *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, n° 6, p. 311-315, juin 2013, doi: 10.1109/TCSII.2013.2258253.
- [44] H.-H. Ting et T.-C. Lee, « 25.6 A 5.25GHz Subsampling PLL with a VCO-Phase-Noise Suppression Technique », in *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, févr. 2020, p. 390-392, doi: 10.1109/ISSCC19947.2020.9063009.
- [45] B. Murmann, « The Race for the Extra Decibel: A Brief Review of Current ADC Performance Trajectories », *IEEE Solid-State Circuits Mag.*, vol. 7, n° 3, p. 58-66, 2015, doi: 10.1109/MSSC.2015.2442393.
- [46] W. Zhao *et al.*, « A 0.025-mm² 0.8-V 78.5-dB SNDR VCO-Based Sensor Readout Circuit in a Hybrid PLL- $\Delta\Sigma$ M Structure », *IEEE Journal of Solid-State Circuits*, vol. 55, n° 3, p. 666-679, mars 2020, doi: 10.1109/JSSC.2019.2959479.
- [47] M. Danesh et A. Sanyal, « 0.13pW/Hz Ring VCO-Based Continuous-Time Read-Out ADC for Bio-Impedance Measurement », *IEEE Transactions on Circuits and Systems II: Express Briefs*, p. 1-1, 2020, doi: 10.1109/TCSII.2020.2985336.
- [48] W. Jiang, V. Hoxhikyan, H. Chandrakumar, V. Karkare, et D. Markovic, « 28.6 A \pm 50mV linear-input-range VCO-based neural-recording front-end with digital nonlinearity correction », in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, janv. 2016, p. 484-485, doi: 10.1109/ISSCC.2016.7418118.
- [49] C.-C. Tu, Y.-K. Wang, et T.-H. Lin, « A 0.06mm² \pm 50mV range -82dB THD chopper VCO-based sensor readout circuit in 40nm CMOS », in *2017 Symposium on VLSI Circuits*, juin 2017, p. C84-C85, doi: 10.23919/VLSIC.2017.8008558.
- [50] C.-C. Tu, Y.-K. Wang, et T.-H. Lin, « A Low-Noise Area-Efficient Chopped VCO-Based CTDSM for Sensor Applications in 40-nm CMOS », *IEEE Journal of Solid-State Circuits*, vol. 52, n° 10, p. 2523-2532, oct. 2017, doi: 10.1109/JSSC.2017.2724025.
- [51] R. D. Huntoon et A. Weiss, « Synchronization of Oscillators », *Proceedings of the IRE*, vol. 35, n° 12, p. 1415-1423, déc. 1947, doi: 10.1109/JRPROC.1947.226202.
- [52] H. M. Oliveira et L. V. Melo, « Huygens synchronization of two clocks », *Sci Rep*, vol. 5, n° 1, p. 11548, sept. 2015, doi: 10.1038/srep11548.

- [53] S. H. Strogatz et I. Stewart, « Coupled Oscillators and Biological Synchronization », *Sci Am*, vol. 269, no 6, p. 102-109, déc. 1993, doi: 10.1038/scientificamerican1293-102.
- [54] R. Adler, « A study of locking phenomena in oscillators », *Proc. IEEE*, vol. 61, n° 10, p. 1380-1385, 1973, doi: 10.1109/PROC.1973.9292.
- [55] B. Razavi, « A study of injection locking and pulling in oscillators », *IEEE Journal of Solid-State Circuits*, vol. 39, n° 9, p. 1415-1424, sept. 2004, doi: 10.1109/JSSC.2004.831608.
- [56] Franck Badets, « Contribution à l'étude de la synchronisation des oscillateurs: intégration des oscillateurs synchrones dans les systèmes radiofréquences en technologie silicium », Thèse, Université de Bordeaux, p. 235.
- [57] S. Kalia, M. Elbadry, B. Sadhu, S. Patnaik, J. Qiu, et R. Harjani, « A simple, unified phase noise model for injection-locked oscillators », in *2011 IEEE Radio Frequency Integrated Circuits Symposium*, juin 2011, p. 1-4, doi: 10.1109/RFIC.2011.5940707.
- [58] F. Badets et D. Belot, « A 100 MHz DDS with synchronous oscillator-based phase interpolator », in *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.*, févr. 2003, p. 410-503 vol.1, doi: 10.1109/ISSCC.2003.1234361.
- [59] E. Chabchoub, F. Badets, P. Nouet, M. Masmoudi, et F. Mailly, « A high temperature, 12-bit-time-domain sensor interface based on injection locked oscillator », in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, Baltimore, MD, USA, mai 2017, p. 1-4, doi: 10.1109/ISCAS.2017.8050504.
- [60] E. Chabchoub, F. Badets, M. Masmoudi, P. Nouet, et F. Mailly, « Highly linear voltage-to-time converter based on injection locked relaxation oscillators », in *2017 14th International Multi-Conference on Systems, Signals Devices (SSD)*, mars 2017, p. 733-737, doi: 10.1109/SSD.2017.8167011.
- [61] E. Chabchoub, F. Badets, F. Mailly, P. Nouet, et M. Masmoudi, « A Temperature-Hardened Sensor Interface with a 12-Bit Digital Output Using a Novel Pulse Width Modulation Technique », *Sensors*, vol. 18, n° 4, p. 1107, avr. 2018, doi: 10.3390/s18041107.
- [62] F. Yuan et Y. Zhou, « Frequency-Domain Study of Lock Range of Non-Harmonic Oscillators With Multiple Multi-Tone Injections », *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, n° 6, p. 1395-1406, juin 2013, doi: 10.1109/TCSI.2012.2220494.
- [63] S.-H. Lee, S.-L. Jang, Y.-H. Chuang, J.-J. Chao, J.-F. Lee, et M.-H. Juang, « A Low Power Injection Locked LC-Tank Oscillator With Current Reused Topology », *IEEE Microwave and Wireless Components Letters*, vol. 17, n° 3, p. 220-222, mars 2007, doi: 10.1109/LMWC.2006.890493.
- [64] S.-E. Chen et K.-W. Cheng, « A 433 MHz 54 μ W OOK/FSK/PSK compatible wake-up receiver with 11 μ W low-power mode based on injection-locked oscillator », in *ESSCIRC Conference 2016: 42nd European Solid-State Circuits Conference*, sept. 2016, p. 137-140, doi: 10.1109/ESSCIRC.2016.7598261.
- [65] B. Razavi, *Design of Analog CMOS Integrated Circuits*. Boston, MA: McGraw-Hill Higher Education, 2000.
- [66] F. Yuan, *Injection-Locking in Mixed-Mode Signal Processing*. Cham: Springer International Publishing, 2020.

- [67] N. Goux, J.-B. Casanova, G. Pillonnet, et F. Badets, « A 640pW 32kHz switched-capacitor ILO analog-to-time converter for wake-up sensor applications », in *Proceedings of the ACM/IEEE International Symposium on Low Power Electronics and Design*, Boston Massachusetts, août 2020, p. 43-48, doi: 10.1145/3370748.3406582.
- [68] H. Grubinger, G. Von Buren, H. Barth, et R. Vahldieck, « Continuous Tunable Phase Shifter Based on Injection Locked Local Oscillators at 30 GHz », in *2006 IEEE MTT-S International Microwave Symposium Digest*, juin 2006, p. 1821-1824, doi: 10.1109/MWSYM.2006.249749.
- [69] S. D. Brown et Z. G. Vranesic, *Fundamentals of digital logic with VHDL design*, 3rd ed. New York, NY: McGraw-Hill, 2009.
- [70] N. Goux, E. Dina, et F. Badets, « A 500 pW 16 KHz Injection Locked Oscillator for Ultra-Low Power Time-Domain ADC Application », in *2018 16th IEEE International New Circuits and Systems Conference (NEWCAS)*, Montreal, QC, juin 2018, p. 200-204, doi: 10.1109/NEWCAS.2018.8585520.
- [71] C. E. Shannon, « Communication in the Presence of Noise », *Proc. IRE*, vol. 37, n° 1, p. 10-21, janv. 1949, doi: 10.1109/JRPROC.1949.232969.
- [72] P. Bhansali et J. Roychowdhury, « Gen-Adler: The generalized Adler's equation for injection locking analysis in oscillators », in *2009 Asia and South Pacific Design Automation Conference*, janv. 2009, p. 522-527, doi: 10.1109/ASPDAC.2009.4796533.
- [73] B. Hong et A. Hajimiri, « A General Theory of Injection Locking and Pulling in Electrical Oscillators—Part I: Time-Synchronous Modeling and Injection Waveform Design », *IEEE Journal of Solid-State Circuits*, vol. 54, n° 8, p. 2109-2121, août 2019, doi: 10.1109/JSSC.2019.2908753.
- [74] B. Hong et A. Hajimiri, « A General Theory of Injection Locking and Pulling in Electrical Oscillators—Part II: Amplitude Modulation in $\text{\$LC\$}$ Oscillators, Transient Behavior, and Frequency Division », *IEEE Journal of Solid-State Circuits*, vol. 54, n° 8, p. 2122-2139, août 2019, doi: 10.1109/JSSC.2019.2908763.
- [75] J.-P. Ramis *et al.*, *Mathématiques Tout-en-un pour la Licence 1 - 3e éd.* Dunod, 2018.
- [76] Douglas Self, *Small Signal Audio Design*, Focal Press. ISBN : 9780415709736
https://books.google.fr/books/about/Small_Signal_Audio_Design.html?id=PvKPEFu2PVkC&redir_esc=y (consulté le sept. 21, 2020).
- [77] M. Gandara, P. Gulati, et N. Sun, « A 172dB-FoM pipelined SAR ADC using a regenerative amplifier with self-timed gain control and mixed-signal background calibration », in *2017 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, nov. 2017, p. 297-300, doi: 10.1109/ASSCC.2017.8240275.
- [78] Thomas Finateu, " A direct digital retransmitter based on phase-interpolar direct digital synthesizer and injection locking", Thèse de l'université Bordeaux I, 2008.
- [79] S. Suman, K. G. Sharma, et P. K. Ghosh, « Design of PLL using improved performance ring VCO », in *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, mars 2016, p. 3478-3483, doi: 10.1109/ICEEOT.2016.7755351.
- [80] J. Lee et H. Wang, « Study of Subharmonically Injection-Locked PLLs », *IEEE Journal of Solid-State Circuits*, vol. 44, n° 5, p. 1539-1553, mai 2009, doi: 10.1109/JSSC.2009.2016701.

- [82] N. Goux, J.-B. Casanova, G. Pillonnet, et F. Badets, « A 6-nW 0.0013-mm² ILO Bandpass Filter for Time-Based Feature Extraction », *IEEE Solid-State Circuits Letters*, vol. 3, p. 306-309, 2020, doi: 10.1109/LSSC.2020.3016716.
- [83] M. Yang, C.-H. Chien, T. Delbruck, et S.-C. Liu, « A 0.5V 55 μ W 64 \times 2-channel binaural silicon cochlea for event-driven stereo-audio sensing », in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, janv. 2016, p. 388-389, doi: 10.1109/ISSCC.2016.7418070.
- [84] Taiwan Semiconductor Manufacturing Company, « 65nm CMOS Design Rules Manual » . .
- [85] C. Weltin-Wu et Y. Tsvividis, « An Event-driven Clockless Level-Crossing ADC With Signal-Dependent Adaptive Resolution », *IEEE Journal of Solid-State Circuits*, vol. 48, n^o 9, p. 2180-2190, sept. 2013, doi: 10.1109/JSSC.2013.2262738.
- [86] Y. Hou *et al.*, « A 61-nW Level-Crossing ADC With Adaptive Sampling for Biomedical Applications », *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, n^o 1, p. 56-60, janv. 2019, doi: 10.1109/TCSII.2018.2841037.
- [87] J. R. Hu et B. P. Otis, « A 3 μ W, 400 MHz divide-by-5 injection-locked frequency divider with 56% lock range in 90nm CMOS », in *2008 IEEE Radio Frequency Integrated Circuits Symposium*, juin 2008, p. 665-668, doi: 10.1109/RFIC.2008.4561525.
- [88] H. R. Rategh et T. H. Lee, « Superharmonic injection-locked frequency dividers », *IEEE Journal of Solid-State Circuits*, vol. 34, n^o 6, p. 813-821, juin 1999, doi: 10.1109/4.766815.

Résumé

La consommation des capteurs de réveil sur évènement actuels doit être drastiquement réduite, dans l'optique d'atteindre des autonomies de fonctionnement des nœuds de capteurs allant jusqu'à plusieurs dizaines d'années. Pour contrer les limites en termes de bruit inhérentes à l'électronique analogique classique pour l'ultra-faible consommation, une méthode de conception innovante peut être mise en œuvre : l'électronique dans le domaine temporel. Elle est caractérisée par un encodage de l'information non plus dans la variation analogique de l'amplitude d'un signal électrique, mais dans un déphasage entre deux signaux, permettant la réduction de la tension d'alimentation des circuits à des niveaux inférieurs à 0.5V.

Bénéficiant de leur propriété de déphaseurs naturels, les Oscillateurs Verrouillés par Injection (OVI) se prêtent particulièrement bien à la conception dans le domaine temporel. Dans ce manuscrit, on propose d'étudier une architecture particulière d'OVI à injection capacitive, afin d'en extraire les propriétés d'encodage statique et dynamique de l'information. Par la suite, on exploite les caractéristiques dynamiques de l'OVI pour réaliser une architecture de filtre passe-bande dans le domaine temporel, destinée à être utilisée dans des applications de décomposition spectrale pour la détection de réveil sur évènement. Ce projet a permis la réalisation de deux circuits fonctionnels en 22nm FDSOI et 65nm CMOS, démontrant la faisabilité d'une banque de filtres à OVI de 4 canaux consommant 12.1nW.

Summary

Power consumption of event driven wake-up sensors must be dramatically decreased, to reach sensor nodes power autonomy of nearly ten years. To avoid noise limitations induced by classical ultra-low power analog design, we propose to exploit the innovative time-based design method. It consists in encoding the information inside the variation of a phase shift between two signals, instead of inside an analog voltage variation. Consequently, the circuits supply voltage can be decreased below 0.5V.

Benefiting of their phase shifter properties, Injection-Locked Oscillators (ILO) are good candidates for time-based design. In this thesis, we propose to study a particular capacitive injection ILO architecture, to obtain its static and dynamic encoding properties. Thereafter, we exploit the ILO dynamic properties to design an ILO based bandpass filter, to be used in a bandpass filter bank for feature extraction, in a context of ultra-low power wake-up sensors applications. This project led to the design of two functionals circuits in 22nm FDSOI and 65nm CMOS technological processes, demonstrating the feasibility of a 4-channels ILO bandpass filter bank, with a power consumption of 12.1nW.