



HAL
open science

Co-intégration de HEMT GaN hyperfréquence normally-off avec des normally-on

Sébastien Aroulanda

► **To cite this version:**

Sébastien Aroulanda. Co-intégration de HEMT GaN hyperfréquence normally-off avec des normally-on. Micro et nanotechnologies/Microélectronique. Université de Lille, 2020. Français. NNT : 2020LILUI083 . tel-03356712

HAL Id: tel-03356712

<https://theses.hal.science/tel-03356712>

Submitted on 28 Sep 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse présentée pour obtenir le grade de docteur
de l'Université de Lille

École doctorale des Sciences pour l'Ingénieur
Discipline : Micro et nano technologies, acoustique et télécommunications

Co-intégration de HEMT GaN hyperfréquence normally-off avec des normally-on

PAR : Sébastien Aroulanda

MEMBRES DU JURY:

M. Jean-Marie BLUET - Professeur, INSA Lyon	Président du jury, Rapporteur
M. François JULIEN - Directeur de Recherche, C2N	Rapporteur
Mme Maria Susana PEREZ SANTOS - Professeure, Université de Salamanque	Examinatrice
Mme Nathalie MALBERT - Professeure, Université de Bordeaux	Examinatrice
M. Christophe GAQUIERE - Professeur, Université de Lille	Directeur de thèse
M. Jean-Claude DE JAEGER - Professeur, Université de Lille	Co-directeur de thèse
M. Olivier PATARD - Ingénieur de recherche, III-V Lab	Encadrant de thèse
M. Nicolas DEFRANCE - Maître de conférences, Université de Lille	Encadrant de thèse
M. Philippe FELLON - Ingénieur de recherche, UMS	Invité
M. Sylvain DELAGE - Ingénieur de recherche, III-V Lab	Invité

Date de soutenance : 16/09/2020

Remerciements

Ce travail de thèse a été réalisé au sein du III-V Lab. Je remercie Messieurs François Luc et Jean-Pierre Hamaide, directeurs successifs du laboratoire de m'avoir accueilli.

Je remercie vivement M. Jean-Marie Bluët, Professeur à l'INSA Lyon d'avoir accepté de présider le jury ainsi que de juger ce manuscrit en qualité de rapporteur. Je remercie également M. François Julien

J'adresse mes plus vifs remerciements à Mme Maria Susana Perez Santos, Professeure à l'Université de Salamanque et à Mme Nathalie Malbert, Professeure à l'Université de Bordeaux pour avoir accepté de prendre part à ce jury de thèse en qualité d'examinatrices.

Je tiens également à remercier M. Philippe Fellon, ingénieur de la société UMS et M. Sylvain Delage, pour leur participation au jury de thèse.

La direction de ce travail de thèse a été assurée par M. Christophe Gaquière, Professeur à l'Université de Lille et M. Jean-Claude de Jaeger, Professeur à l'Université de Lille. Je leur adresse toute ma gratitude pour m'avoir accordé leur confiance ainsi que pour l'accueil au sein de l'équipe PUISSANCE de l'IEMN.

Je remercie évidemment M. Olivier Patard, ingénieur de recherche au III-V Lab et responsable de l'équipe « Techno GaN » pour son encadrement et pour tout le temps qu'il m'a consacré au cours de ces trois années.

Je n'oublie bien sûr pas les autres membres de l'équipe « Techno GaN », Antoine, Jorge et Nicolas. Merci pour toute l'aide que vous m'avez apportée en salle, que ce soit lors d'observations MEB, quand j'étais perdu devant le stepper ou encore pour aller récupérer un échantillon malencontreusement tombé sous la paillasse.

Je tiens à remercier tout particulièrement Philippe. Merci pour tes nombreux conseils et surtout d'avoir toujours su prendre du temps pour répondre à mes innombrables « petites questions ». Il y a encore plein de choses que je ne comprends pas mais je suis sûr que tu « m'expliqueras plus tard », autour d'un jap', à l'occasion d'une petite partie de baby-foot (attention au roulettes!) ou au pied (au sommet?) d'un bloc si on arrive à se débarrasser un jour de cette tendinite!

Je ne peux évidemment pas parler d'escalade et de tendinite sans penser à Colin. Au-

delà de l'aide que tu m'as toi aussi, apporté en salle, merci de m'avoir motivé à reprendre la grimpe!

Je remercie également Nicolas d'avoir partagé avec moi son expertise matière de caractérisation des HEMT GaN et grâce à qui les quelques semaines passées à Lille ont été aussi enrichissantes.

Une pensée pour Nadia, qui doit être en train de préparer sa soutenance au moment où j'écris ces lignes.

Un immense merci à l'ensemble de l'équipe GaN : Sylvain, Stéphane, Jean-Claude, Didier, Mourad, Quentin, Raphael, Laurent, Stéphanie, Cédric et Tiphaine, sans oublier Christian, Eric, Clément et Piero. Merci pour votre accueil au sein de l'équipe, ce fut (et c'est toujours d'ailleurs) un véritable plaisir de travailler avec vous. Une pensée particulière pour Christian, Eric et Clément que l'on ne croise plus dans les couloirs de TRT : Christian et Eric j'espère que vous profitez bien de votre retraite; Clément, je te souhaite encore bonne chance pour ta nouvelle aventure

Un grand merci à tous les personnes du III-V Lab et de TRT avec qui j'ai eu l'occasion de collaborer durant ces travaux.

Enfin, à ma famille ainsi qu'à mes amis, merci pour votre soutien au cours de ces années de thèse.

Introduction

Le domaine des télécommunications est sans nul doute l'un de ceux ayant connu les évolutions technologiques les plus rapides, notamment au cours du siècle dernier avec l'avènement de la micro-électronique grâce aux travaux de John Bardeen, William Shockley et Walter Brattain qui ont conduit à la fabrication du premier transistor ainsi que l'invention du circuit intégré par Jack Kilby et Robert Noyce. Le développement des circuits intégrés au cours des années a ainsi permis l'élaboration de systèmes d'échanges d'informations de plus en plus performants, que ce soit en termes de volumes d'informations échangées, de rapidité de ces échanges, de consommation d'énergie ou encore d'encombrement. Bien qu'étant toujours le matériau semi-conducteur de référence et le plus largement répandu de part son faible coût et la maturité de la filière, le silicium semble peu à peu atteindre ses limites physiques malgré le développement de technologies toujours plus ingénieuses telles que la technologie FDSOI ou FinFET. Le silicium tend donc à être remplacé par d'autres matériaux semiconducteurs dont les matériaux III-V et notamment le nitrure de gallium GaN.

En effet, le GaN présente des propriétés qui le rendent tout à fait adapté pour les applications de puissance hyperfréquences que l'on retrouve par exemple dans les satellites de communications (SATCOM) civils et militaires ou encore pour le développement des nouvelles générations de standards de télécommunication telle que la 5G. La figure 1 représente le marché actuel des composants GaN RF en 2019 en fonction des différentes applications et les prévisions d'évolution pour 2025.

Comme toute nouvelle génération de réseau de téléphonie mobile, le but de la 5G est d'augmenter significativement les débits des télécommunications jusqu'à se rapprocher de ceux atteints avec la fibre optique, ce qui se traduit alors par des délais entre l'émission et la réception réduits, un accroissement du nombre de terminaux pouvant être connectés simultanément et bien sûr, l'augmentation des vitesses de téléchargement. Ces avantages de la 5G par rapport à la 4G permettent en outre d'envisager l'essor de concepts tels que celui de réseau électrique intelligent (*Smart Grid*) ou de ville intelligente (*Smart City*) qui se basent sur la collecte de données à l'aide de réseaux de capteurs connectés et la communication entre ces derniers. On peut également citer l'exemple des véhicules autonomes pour lesquels la 5G améliorerait la communication entre les différents véhicules ainsi qu'entre les véhicules et les infrastructures et donc la sécurité des utilisateurs. La figure 2 représente

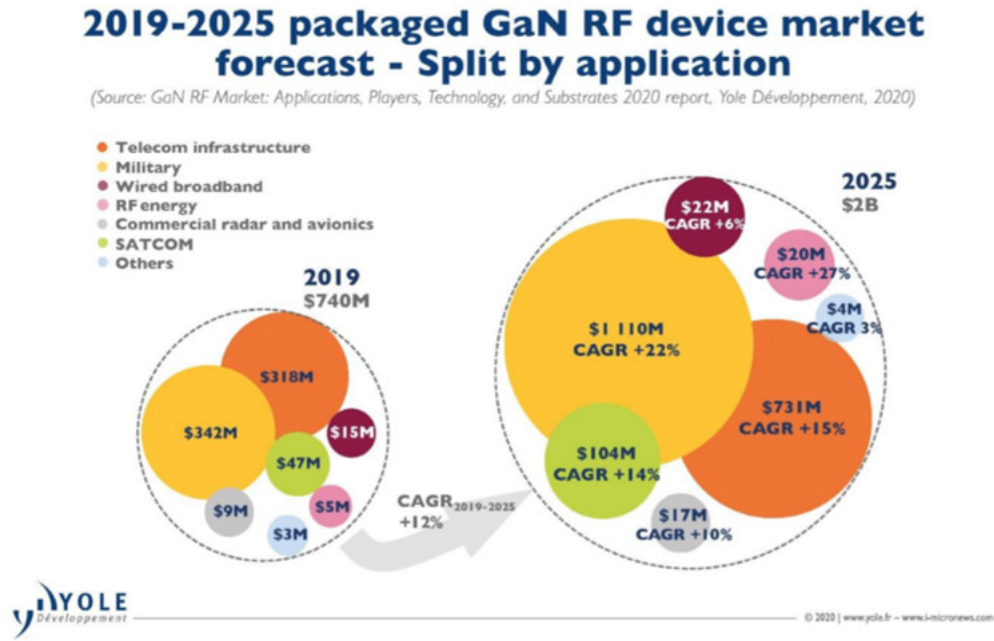


FIGURE 1 – Prévion d’évolution du marché GaN RF en fonction des différents domaines d’applications.

les différents domaines qui profiteront ainsi des performances de la 5G. D’un point de vue technique et technologique, le développement de la 5G passe notamment par l’augmentation des fréquences utilisées jusqu’aux longueurs d’ondes millimétriques, c’est-à-dire aux alentours de 30 GHz et jusqu’à 300 GHz, donnant ainsi accès à des bandes passantes plus larges, de l’ordre de plusieurs centaines de MHz contre quelques dizaines aux fréquences actuellement utilisées par la 4G (700 - 2600 MHz en France). Cette augmentation de la fréquence et de la bande passante disponible et donc des débits s’accompagne cependant d’une augmentation de l’atténuation dans l’atmosphère et donc une diminution de la portée. L’une des solutions envisagées, outre la multiplication du nombre d’antennes, est donc de développer des amplificateurs de puissance hyperfréquences capables de délivrer, aux fréquences évoquées précédemment, davantage de puissance que ceux existants. L’amélioration du rendement électrique est un autre aspect particulièrement important, notamment pour les applications embarquées.

C’est dans cette optique que le III-V LAB, groupement d’intérêt économique (GIE) entre Thales, Nokia et le CEA-LETI développe sa technologie de transistors à haute mobilité électronique (High Electron Mobility Transistor - HEMT) à base de GaN. Outre ses activités dans le domaine des HEMT GaN, le III-V LAB mène des travaux de recherches sur de nombreuses technologies, allant de l’intégration de technologies III-V sur Si et au développement de lasers accordables pour les communications très haut débit à la mise de systèmes de détections infrarouge.

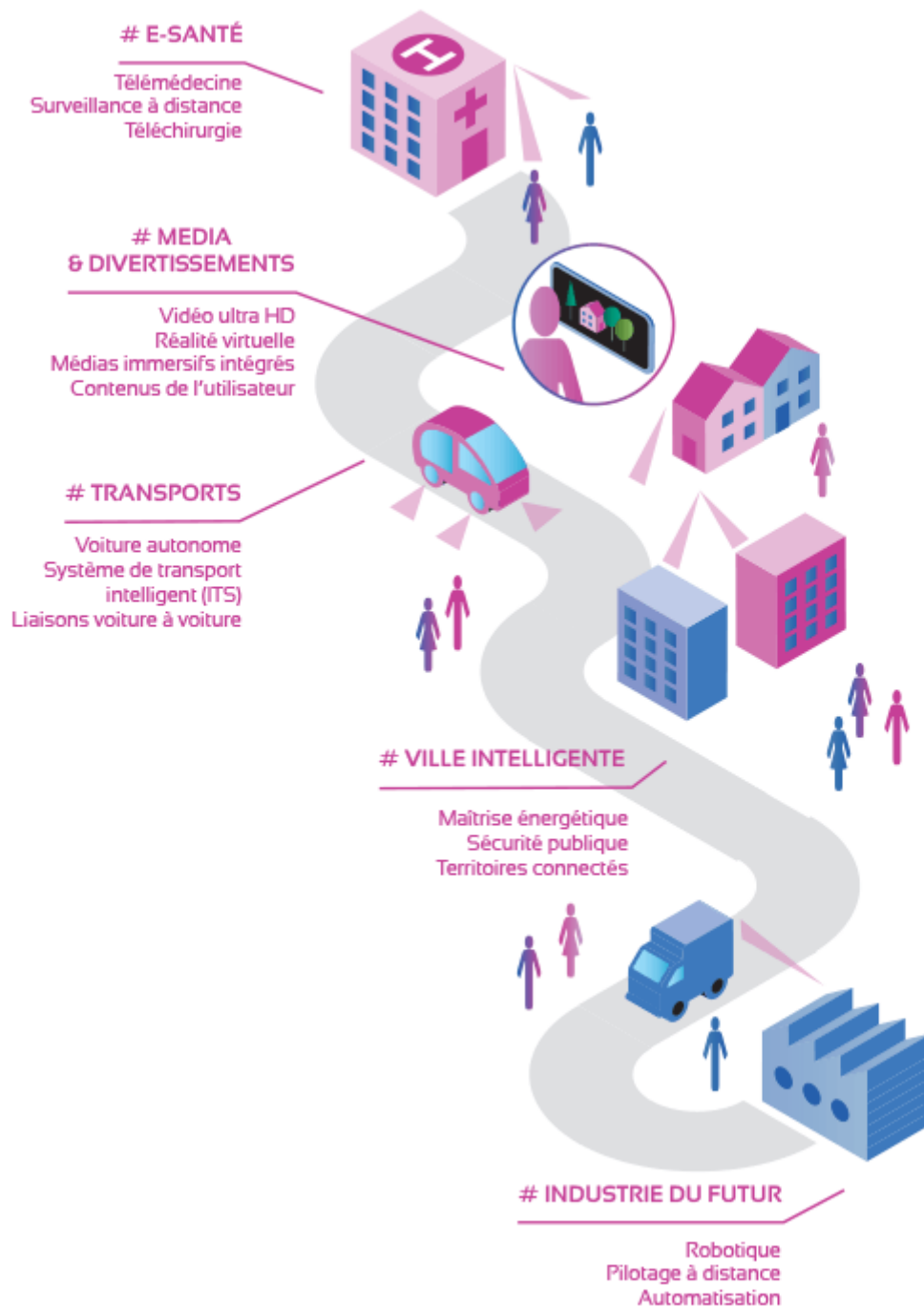


FIGURE 2 – Exemples de domaines et d'applications exploitant les avantages de la 5G.

L'objectif de ces travaux consiste à développer une procédé de fabrication de HEMT GaN normally-off, c'est-à-dire pour lesquels la tension de seuil est positive. En effet, de par la présence d'un gaz d'électrons bidimensionnel dans la structure de ces composants, ces derniers sont naturellement normally-on. Le fait de disposer de transistors normally-off présente de nombreux avantages aussi bien pour les applications de puissance que pour les

applications hyperfréquence. Le procédé développé devra en outre être compatible avec le procédé de fabrication des HEMT normally-on afin de pouvoir intégrer les deux types de transistors au sein d'une même puce.

Le premier chapitre de ce manuscrit présente les propriétés physiques et électriques des matériaux III-N utilisés pour la fabrication de HEMT. Nous y aborderons également les différentes techniques de production des différents nitrures. Nous décrirons alors les différentes hétérojonctions couramment utilisées pour la réalisation de HEMT à base de GaN. Une présentation de différentes applications des matériaux III-N clôturera ce chapitre.

Le deuxième chapitre traite de la technologie des HEMT GaN en détails. Nous y présenterons ainsi dans un premier temps le principe de fonctionnement de ce type de composants. Le procédé de fabrication des HEMT utilisé au III-V Lab, qui a servi de base à l'élaboration de nouveaux procédés pour la fabrication de HEMT normally-off dans le cadre de ce travail de thèse, sera ensuite décrit. Les grandes techniques de caractérisation électrique seront également présentées.

Le troisième chapitre porte sur la fabrication et la caractérisation de MOS-HEMT GaN normally-off à recess de grille et implantation de fluor. Nous présenterons dans un premier temps une technique de gravure sèche mise au point au cours de ces travaux de thèse pour la réalisation du recess de grille, l'une des étapes les plus critiques dans le cadre de la fabrication de HEMT normally-off. Nous nous intéresserons également à l'étape qui suit le recess de grille dans le procédé de fabrication des HEMT normally-off, à savoir l'étape d'implantation de fluor par immersion dans un plasma. Nous présenterons enfin les différents résultats de mesures électriques réalisés sur les composants en fonction des variantes technologiques.

Le dernier chapitre de ce manuscrit est consacré à la fabrication et à la caractérisation de FinFET GaN. De manière analogue au chapitre précédent, nous présenterons tout d'abord les différentes étapes de fabrication que nous avons développées afin de réaliser ces composants à partir des hétérostructures produites au III-V Lab. La seconde partie du chapitre sera quant à elle consacrée à la présentation des résultats de caractérisations électriques.

Table des matières

Introduction	i
1 Matériaux III-N : propriétés, croissance et application aux HEMT	1
1.1 Propriétés des matériaux III-N	1
1.1.1 Structure cristalline	2
1.1.2 Structure de bandes	2
1.1.3 Propriétés de transport	5
1.1.4 Polarisation dans le cristal	7
1.2 Croissance des matériaux III-N	9
1.2.1 Croissance de GaN massif	9
1.2.2 Substrats pour la croissance épitaxiale de GaN	12
1.2.3 Procédés de croissance épitaxiale de matériaux III-N	13
1.3 Hétérojonctions, gaz d'électrons bidimensionnel et hétérostructure	16
1.3.1 L'hétérostructure AlGa _x N/GaN	16
1.3.2 L'hétérostructure InAl(Ga) _x N/GaN	19
1.3.3 Formation du 2DEG	20
1.3.4 Effets de pièges dans les HEMT	21
1.4 Applications des matériaux III-N	23
1.4.1 Diode électroluminescente	23
1.4.2 Diode Schottky	24
1.4.3 Transistor à haute mobilité électronique (HEMT)	25
2 HEMT GaN normally-on, normally-off et co-intégration	31
2.1 Fonctionnement des HEMT GaN	31
2.2 HEMT GaN (normally-on)	33
2.2.1 Procédé technologique de fabrication d'un HEMT GaN	33
2.2.2 Caractérisation des HEMT GaN	45
2.3 HEMT GaN normally-off	53
2.3.1 Intérêts du HEMT GaN normally-off	53
2.3.2 Options de réalisations	54
2.4 FinFET	60
2.5 Conclusion du chapitre 2	63

3	Fabrication et caractérisations de HEMT GaN normally-off à recess de grille et implantation de fluor	65
3.1	Procédé technologique dédié à la fabrication de HEMT normally-off	65
3.1.1	Lithographie électronique du pied de grille et gravure du SiN	65
3.1.2	Recess de grille	67
3.1.3	Développement d'un procédé d'Atomic Layer Etching (ALE)	69
3.1.4	Implantation de fluor	80
3.1.5	Dépôt d'un oxyde de grille par Atomic Layer Deposition	82
3.1.6	Recuit de grille	84
3.1.7	Description et analyse structurale des transistors étudiés	86
3.2	Caractérisations électriques	90
3.2.1	Caractérisations en régime statique	90
3.2.2	Caractérisations en régime impulsionnel	107
3.2.3	Caractérisations hyperfréquences	110
3.3	Conclusions	113
4	Fabrication et caractérisations de FinFET GaN	115
4.1	Développement de nouvelles briques technologiques et fabrication des Fin-FET GaN	115
4.1.1	Gravure des rubans	116
4.2	Métallisation de grille	119
4.2.1	Étude de la conformité des dépôts sur des substrats silicium	120
4.2.2	Réalisation et observation des grilles sur structures tests	125
4.3	Caractérisations électriques	128
4.3.1	Caractérisations en régime statique	128
4.3.2	Caractérisation en régime impulsionnel	133
4.3.3	Caractérisations hyperfréquences	135
4.4	Conclusions	139
	Conclusion générale	141
	Bibliographie	145

Matériaux III-N : propriétés, croissance et application aux HEMT

Dans ce premier chapitre, nous nous intéressons aux matériaux III-N, à leurs propriétés ainsi qu'à leur utilisation pour la réalisation de transistors à haute mobilité électronique (HEMT). L'objet de ce chapitre est donc de présenter, dans un premier temps, les propriétés de ces matériaux et d'expliquer pourquoi ces derniers sont d'excellents candidats pour la fabrication de composants hyperfréquence. Les différentes méthodes de synthèse des matériaux III-N seront ensuite détaillées tandis que la troisième partie sera consacrée à l'étude des hétérojonctions les plus répandues, ce qui permettra alors d'aborder le sujet du gaz bidimensionnel d'électrons (2DEG) et d'expliquer son origine, ce dernier étant un élément clé dans la réalisation des composants étudiés dans ce travail de thèse. Dans la quatrième et dernière partie de ce chapitre, nous présenterons quelques applications des nitrures d'éléments III. Nous y détaillerons également une structure épitaxiale dédiée à la fabrication de HEMT hyperfréquence.

1.1 Propriétés des matériaux III-N

Les matériaux III-V sont, comme leur nom l'indique, des alliages composés d'éléments des colonnes III et V de la classification périodique des éléments. Ces alliages peuvent être binaires (AlN, InP, GaAs ...) ternaires (AlGaN, InAlN, InGaAs ...) ou encore quaternaires (InAlGaN, GaInAsP ...). Cette grande diversité de matériaux ainsi que la possibilité de faire varier la composition de ces derniers permet de modifier les propriétés physiques et électriques du substrat final afin d'obtenir celles désirées en fonction de l'application visée (HEMT de puissance ou hyperfréquence, diode Schottky, diodes électroluminescentes, laser, amplificateur optique ...). L'application qui nous intéresse dans le cadre de ce travail de thèse est le HEMT hyperfréquence. Les matériaux III-V à large bande interdite, et notamment les matériaux de la famille des nitrures (matériaux III-N) sont considérés comme d'excellents candidats pour cette application grâce à leurs propriétés auxquelles nous allons maintenant nous intéresser.

1.1.1 Structure cristalline

Les matériaux III-N peuvent être synthétisés sous plusieurs formes cristallographiques différentes, en fonction des conditions de croissance (température, pression ...) et du substrat utilisé, les plus répandues étant les structures zinc-blende et wurtzite (Figure 1.1). La structure wurtzite est la plus stable thermodynamiquement à température ambiante

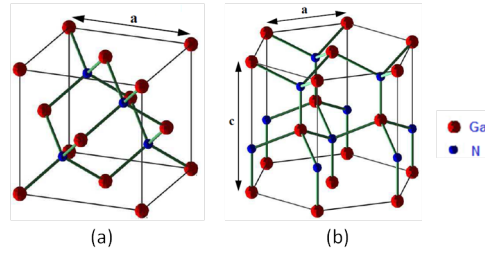


FIGURE 1.1 – Structures cristallographiques du GaN : (a) Zinc-blende, (b) Wurtzite.

et à pression atmosphérique, c'est donc celle qui est utilisée dans le cadre de cette thèse. Cette structure peut être vue comme l'empilement alterné de deux sous-réseaux hexagonaux décalés selon l'axe c (axe de croissance du cristal). Les paramètres de mailles du GaN, de l'AlN et de l'InN dans leur structures wurtzites sont donnés dans la table 1.1. Comme on peut le voir sur la figure 1.1, la structure wurtzite du GaN et des matériaux

TABLE 1.1 – Paramètres de mailles des structures wurtzites du GaN, de l'AlN et de l'InN.

Semi-conducteur	AlN	GaN	InN
a_0 (Å)	3,112	3,189	3,544
c_0 (Å)	4,982	5,185	5,718

III-N en général n'est pas centrosymétrique, c'est-à-dire qu'elle ne possède pas de centre d'inversion. Cela se traduit également par le fait que la direction $[0001]$ n'est pas équivalente à la direction $[000\bar{1}]$. Par convention, l'axe $[0001]$ est orienté du métal vers l'azote et les structures ainsi orientées sont dites à polarité métal. Inversement, l'axe $[000\bar{1}]$ est orienté de l'azote vers le métal et les structures sont dites à polarité azote. Cette absence de centre d'inversion est d'une importance cruciale pour la fabrication de HEMT car elle est en partie à l'origine de la formation du gaz d'électrons bidimensionnel (2DEG) dans les hétérostructures qui seront présentées plus tard dans le manuscrit.

1.1.2 Structure de bandes

La structure de bande d'un semiconducteur est généralement représentée dans l'espace réciproque correspondant à la première zone de Brillouin. Cette dernière est repré-

sentée sur la figure 1.2 pour un cristal de structure wurtzite et correspond au plus petit volume contenant une période de la structure de bande. Plusieurs méthodes permettent

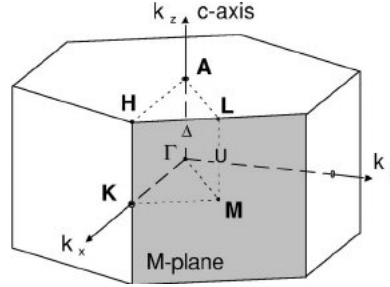


FIGURE 1.2 – Diagramme énergie du gap - paramètre de maille de quelques semiconducteurs III-V.

d'accéder à la structure de bandes, citons par exemple la méthode empirique du pseudo-potentiel ou encore le calcul de paramètres hybrides, qui ont toutes les deux été utilisées pour étudier les nitrures[1, 2, 3]. Les structures de bandes de l'AlN, du GaN et de l'InN sont représentées sur la figure 1.3. L'étude de ces structures de bandes peut nous donner de précieuses informations sur les matériaux. On remarque ainsi que les trois nitrures qui nous intéressent sont des semiconducteurs à gap direct, leur minimum de bande de conduction et leur maximum de bande de valence se trouvant tous deux alignés au point Γ . La courbure des bandes nous renseigne quant à elle sur la mobilité des porteurs, la masse effective de ces porteurs étant inversement proportionnelle à la courbure de la bande. On remarque donc qu'en plus d'être la vallée pour laquelle la bande interdite est la plus faible, la vallée Γ est également celle où la masse effective des électrons est la plus faible et donc celle où leur mobilité sera la plus importante. Une dernière information importante que l'on peut retirer de l'étude de ces structures concerne la différence d'énergie inter-vallée, c'est à dire la différence d'énergie entre le minimum de la bande de conduction (ou le maximum de la bande de valence) et les autres minimums relatifs (ou autres maximums pour la bande de valence). Le fait est que, sous l'effet d'un champ électrique, les porteurs peuvent migrer d'une vallée à une autre, ce qui entraînerait dans le cas des nitrures, une chute de la mobilité. Les matériaux III-N sont des semiconducteurs dits à grands gap car la largeur de leur bande interdite est élevée par comparaison avec celle du silicium, matériau de référence dans le domaine de la microélectronique. Comme on peut le voir dans le tableau 1.2 et sur la figure 1.4, les valeurs des gaps du GaN et de l'AlN sont respectivement près de trois fois et cinq fois supérieures à celles du silicium. Des valeurs approchées des gaps E_g des nitrures ternaires et quaternaires peuvent être obtenues en utilisant la loi de Vegard.

$$E_{g,A_xB_{1-x}C} = x.E_{g,AC} + (1-x).E_{g,BC} \quad (1.1)$$

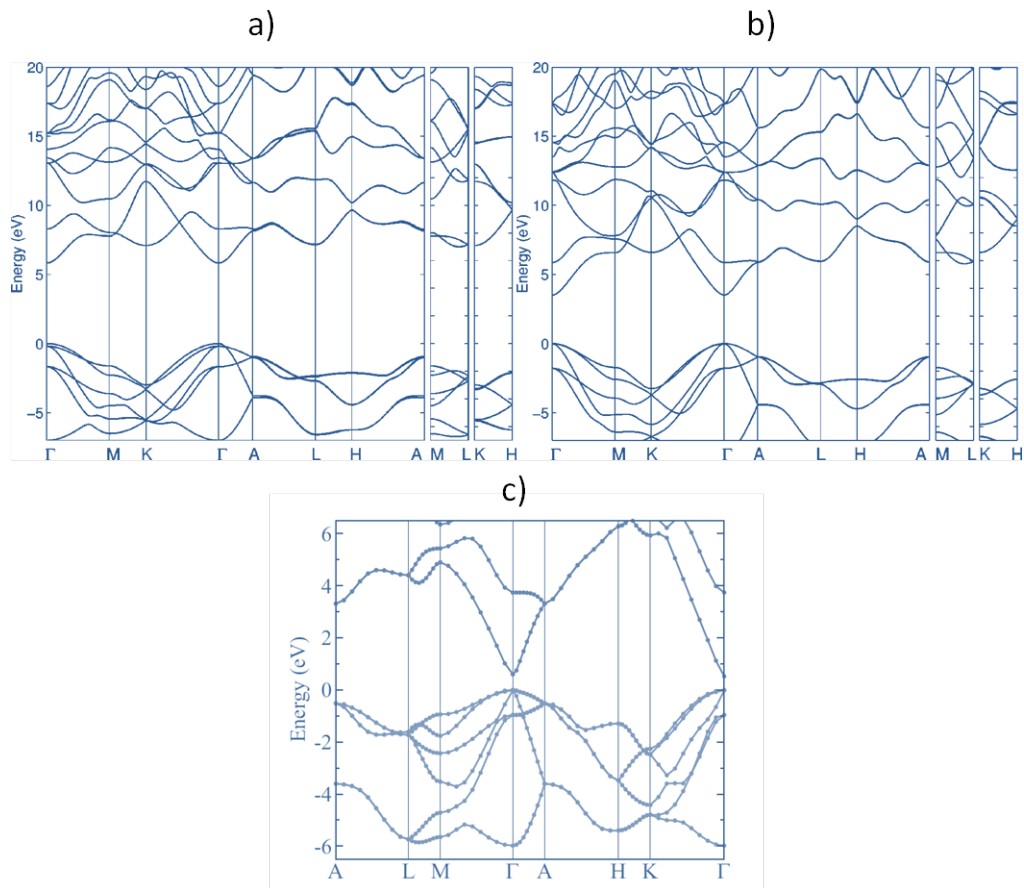


FIGURE 1.3 – Structures de bandes de a) l'AlN, b) le GaN et c) l'InN[2, 3].

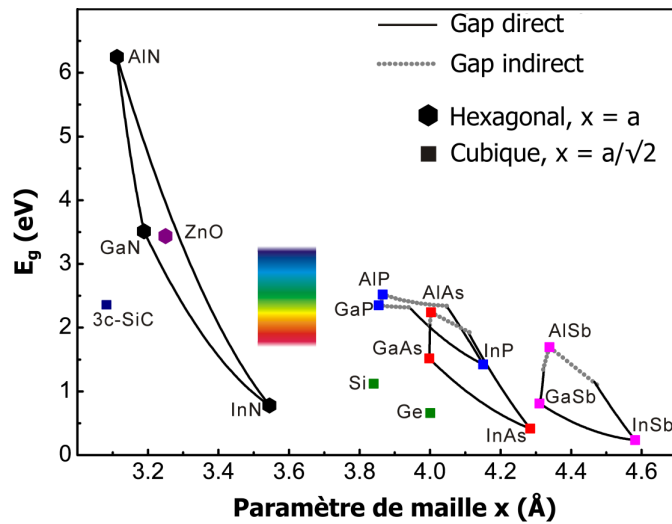


FIGURE 1.4 – Diagramme énergie du gap - paramètre de maille de quelques semiconducteurs III-V.

Pour obtenir les valeurs réelles, il faut en effet tenir compte du fait que la valeur du gap n'évolue pas de façon linéaire avec la composition de l'alliage et donc ajouter un terme

TABLE 1.2 – Energie de la bande interdite de quelques semiconducteurs courants et des binaires III-N à 300K.

Semi-conducteur	Si	GaAs	4H-SiC	AlN	GaN	InN
E_g (eV)	1,12	1,42	3,26	6,20	3,42	0,60
Nature du gap	Indirect	Direct	Indirect	Direct	Direct	Direct

que l'on nomme facteur d'écart à l'idéalité, noté b dans la loi de Vegard.

$$E_{g,A_xB_{1-x}C} = x.E_{g,AC} + (1-x).E_{g,BC} + b.x.(1-x) \quad (1.2)$$

Le grand gap des nitrures tels que le GaN ou l'AlN leur confèrent un champ critique de claquage E_c également très élevé étant donné que ce dernier est proportionnel à $E_g^{\frac{3}{2}}$. Ainsi, le champ critique du GaN est de 3,3 MV/cm et celui de l'AlN est de 11,7 MV/cm tandis que celui du Si vaut environ 0,3 MV/cm.

1.1.3 Propriétés de transport

A l'équilibre thermodynamique, les électrons présents dans un semiconducteur sont animés d'un mouvement aléatoire dans le cristal sous l'effet de l'agitation thermique mais on n'observe pas de mouvement global. En revanche, dès lors qu'un champ électrique E est appliqué, ce dernier fournit suffisamment d'énergie aux électrons pour leur permettre de se déplacer de façon cohérente, en suivant les lignes de champ et on observe donc un courant électrique. La densité de ce courant est décrite par le modèle de dérive-diffusion tel que :

$$J = J_{dérive} + J_{diffusion} = q \cdot n \cdot v_d(E) + q \cdot D \cdot \frac{\partial n}{\partial x} \quad (1.3)$$

avec $v_d(E)$, n et q la vitesse de dérive, la densité et la charge des électrons et D le coefficient de diffusion. Le premier terme de l'équation 1.3 représente la composante due au courant de dérive. Ce dernier résulte de la mise en mouvement des électrons sous l'effet du champ électrique appliqué. A l'équilibre, l'accélération des électrons due au champ coexiste avec la décélération générée par les collisions, menant alors à un régime stationnaire. On définit ainsi la vitesse de dérive des électrons $v_d(E)$ telle que :

$$v_d(E) = \mu(E) \cdot E \quad (1.4)$$

avec $\mu(E)$ la mobilité électronique. Les vitesses de dérive des électrons en fonction du champ de l'AlN, du GaN, de l'InN et du GaAs sont représentées sur la figure 1.5. Quel que soit le matériau, la vitesse de dérive peut être divisée en trois régimes :

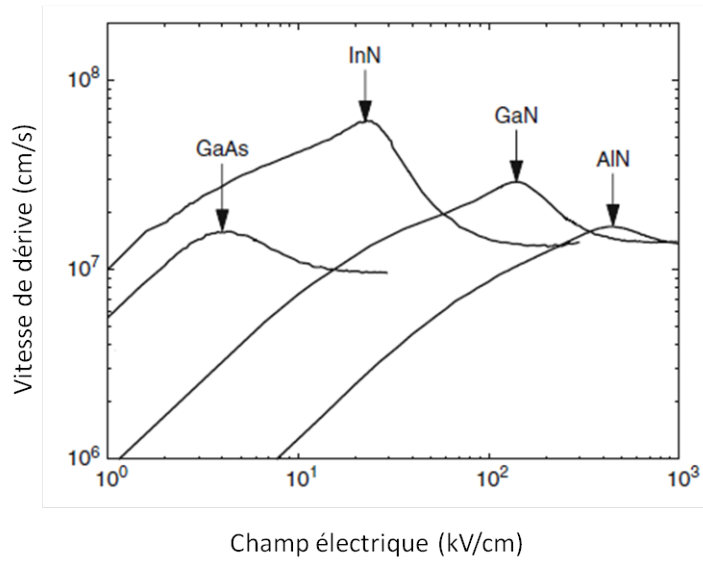


FIGURE 1.5 – Evolution de la vitesse de dérive des électrons dans l'AlN, le GaN, l'InN et le GaAs en fonction du champ électrique[4]

- pour des faibles valeurs de champ, la vitesse de dérive est proportionnelle à E , la mobilité électronique étant constante.
- la vitesse de dérive atteint un pic, nommé pic de survitesse
- $v_d(E)$ décroît jusqu'à atteindre une valeur limite, nommée vitesse de saturation v_{sat}

Cette diminution de la vitesse de dérive qui survient après le pic de survitesse lorsque le champ appliqué augmente ne peut s'expliquer que par une dégradation de la mobilité électronique. D'après le modèle de Drude, la mobilité peut s'exprimer d'après l'équation 1.5 :

$$\mu = q \cdot \frac{\tau}{m^*} \quad (1.5)$$

avec τ le temps de relaxation et m^* la masse effective de l'électron. Ainsi, la diminution de la mobilité des porteurs peut être due à la fois à l'augmentation de leur masse effective et à l'augmentation du nombre de collisions qu'ils subissent. Ces paramètres peuvent évoluer ainsi avec le champ pour plusieurs raisons : l'accroissement de la masse effective s'explique par les transferts inter-vallée des électrons tandis que la diminution du temps de relaxation peut être due entre autres à l'auto-échauffement du cristal et à l'émission de phonons qui sont des sources de diffusion des porteurs.

1.1.4 Polarisations dans le cristal

De tous les matériaux III-V, les nitrures ont la particularité de présenter à la fois une polarisation spontanée et des propriétés piézoélectriques ce qui s'explique par la structure même des matériaux.

1.1.4.1 Polarisation spontanée

Comme nous l'avons vu dans la partie 1.1.1, la structure wurtzite des nitrures d'éléments de la colonne III ne présente pas de centre d'inversion. Si l'on ajoute à cela la forte électronégativité de l'azote ($\chi_N \approx 3$) comparée à celles de métaux tels que l'aluminium, le gallium et l'indium ($\chi_{Al,Ga,In} \approx 1,6 - 1,8$) et donc le caractère ionique des liaisons métal-N, on peut observer l'existence d'une polarisation spontanée dans le cristal due à la formation de dipôles électrostatiques. La figure 1.6 représente, pour le GaN à polarité gallium, la distribution des moments dipolaires à l'origine de la polarisation spontanée et la polarisation spontanée résultante. Comme on peut l'observer, l'atome de gallium est lié à quatre atomes d'azote dont trois sont dans le même plan. Chacun de ces quatre atomes génère un moment dipolaire dirigé de l'atome d'azote vers l'atome métallique. La somme de ces moments dipolaires, appelée polarisation spontanée, notée P_{sp} et donnée par

$$\vec{P}_{sp} = \vec{P}_1 + \vec{P}_2 + \vec{P}_3 + \vec{P}_4 \quad (1.6)$$

est non nulle et dirigée selon la direction inverse à l'axe de croissance (inversement pour le GaN à polarité azote). La valeur de polarisation spontanée de l'AlN, du GaN et de l'InN est donnée dans le tableau 1.3. On remarque que la valeur absolue de la polarisation

TABLE 1.3 – Valeurs des polarisations spontanées, des rapports de paramètres de mailles c/a , des longueurs de liaisons cation-anion et des différences d'électronégativité azote-métal des binaires AlN, GaN et InN [5]

Semi-conducteur	AlN	GaN	InN
$P_{sp}(C.m^{-2})$	-0,081	-0,029	-0,032
c/a	1,6190	1,6336	1,6270
u	0,380	0,376	0,377
$\Delta\chi_{N-Métal}$	1,43	1,23	1,26

spontanée la plus élevée est observée dans le nitrure d'aluminium tandis que la plus faible est présentée par le nitrure de gallium. Cette différence de polarisations entre les nitrures est due à la combinaison de deux paramètres qui sont l'écart des structures cristallines par rapport à la structure wurtzite idéale et la différence d'électronégativité entre l'azote et le métal. Dans le cas de la structure wurtzite idéale, le rapport des paramètres de maille c/a est égal à $\sqrt{8/3} \approx 1,633$ tandis que la longueur de liaison cation-anion est égale à $3/8 =$

0,375. On remarque ainsi que l'AlN, qui est, parmi les trois nitrures auxquels nous nous intéressons ici, celui qui présente la polarisation spontanée la plus élevée, est également celui dont la structure cristalline s'éloigne le plus de la structure idéale et le composé dont les éléments présentent la plus grande différence d'électronégativité. A l'inverse, la structure du GaN est très proche de la structure idéale et la différence d'électronégativité entre le gallium et l'azote est la plus faible des trois, d'où une polarisation spontanée faible comparée aux deux autres nitrures.

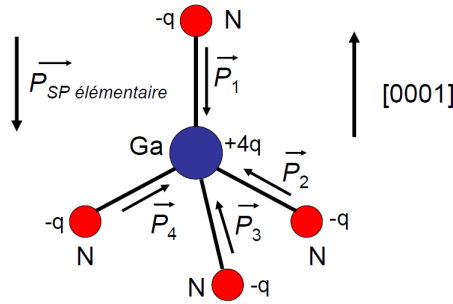


FIGURE 1.6 – Moments dipolaires et polarisation spontanée dans le GaN à polarité Ga.

1.1.4.2 Polarisation piézoélectrique

Lorsque les matériaux III-N sont soumis à une contrainte mécanique, on observe l'apparition d'une seconde polarisation que l'on nomme polarisation piézoélectrique P_{pe} . Cette polarisation est donnée par

$$P_{pe} = e_{33} \cdot \epsilon_z + e_{31} \cdot (\epsilon_x + \epsilon_y) \quad (1.7)$$

où e_{33} et e_{31} sont les coefficients piézoélectriques et $\epsilon_z = \frac{c-c_0}{c_0}$ la déformation selon l'axe c . La contrainte dans le plan est considérée isotrope et est donnée par $\epsilon_x = \epsilon_y = \frac{a-a_0}{a_0}$. Les termes a_0 et c_0 sont les paramètres de mailles du cristal à l'équilibre tandis que a et c sont les paramètres de mailles du cristal contraint. Dans la structure wurtzite des nitrures, les déformations dans le plan basal (perpendiculaire à l'axe c) et selon la direction de croissance sont liées par

$$\epsilon_z = 2 \cdot \frac{C_{13}}{C_{33}} \cdot \epsilon_x \quad (1.8)$$

où C_{13} et C_{33} sont les coefficients d'élasticité. En combinant les équations 1.7 et 1.8, la polarisation piézoélectrique selon l'axe c est donnée par

$$P_{pe} = 2 \cdot \epsilon_x \cdot (e_{31} - e_{33} \cdot \frac{C_{13}}{C_{33}}) \quad (1.9)$$

Le terme $e_{31} - e_{33}$ est négatif quel que soit le nitrure. Il en résulte que la polarisation piézoélectrique est positive, c'est-à-dire dans le même sens que l'axe de croissance si le cristal est en compression et négative et donc dans le même sens que la polarisation spontanée pour un cristal à polarité Ga si le cristal est en tension. Les valeurs des différentes constantes mentionnées ci-dessus sont données dans le tableau 1.4 Ces valeurs de

TABLE 1.4 – Constantes piézoélectriques et d'élasticité des III-N[5]

Semi-conducteur	AlN	GaN	InN
$e_{31}(C.m^{-2})$	-0,60	-0,49	-0,57
$e_{33}(C.m^{-2})$	1,46	0,73	0,97
$C_{13}(GPa)$	95	106	121
$C_{33}(GPa)$	402	398	182

constantes piézoélectriques sont un ordre de grandeur plus élevée dans le cas des nitrures que dans le cas des autres matériaux III-V. Cela engendre naturellement des polarisations piézoélectriques plus importantes dans les nitrures.

1.2 Croissance des matériaux III-N

Dans cette deuxième partie, nous allons nous intéresser aux différents moyens qui permettent l'élaboration des hétérostructures à partir desquelles sont fabriqués les HEMTS GaN et qui seront présentées plus en détails dans la partie suivante. Nous présenterons dans un premier temps les méthodes les plus couramment utilisées pour la synthèse de monocristaux de GaN massifs puis nous nous intéresserons aux substrats utilisés pour l'hétéroépitaxie du GaN ainsi qu'aux techniques de croissance elles-mêmes, l'épitaxie étant à l'heure actuelle le moyen le plus répandu pour la production de structures à base d'éléments III-N.

1.2.1 Croissance de GaN massif

La première mention de la synthèse de GaN remonte au début des années 1930. Johnson et al. ont ainsi obtenu du GaN sous la forme d'une poudre grise en faisant réagir du gallium pur avec de l'ammoniac dans un tube en quartz à des température comprises entre 700 et 1000°C. Il faudra cependant attendre le milieu des années 90 et les travaux de Grzegory *et al.* [6] et Leszczynski *et al.* [7] pour observer les premiers monocristaux de GaN massif, obtenus par réaction entre du gallium pur et du diazote à haute pression (entre 8 et 20 kbar) et haute température (entre 1300 et 1600°C). Bien qu'elle permette l'obtention de monocristaux de GaN d'excellente qualité cristalline avec des densités de dislocations inférieures à $2.10^2.cm^{-2}$, cette méthode nommée à juste titre HPNSG (High Pressure

Nitrogen Solution Growth) n'est pas utilisée dans l'industrie car les cristaux obtenus présentent des dimensions de l'ordre du millimètre seulement. La figure 1.7 représente un cristal de GaN obtenu par cette méthode. L'ajout d'un alcalin tel que le sodium ou le

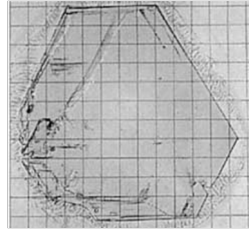


FIGURE 1.7 – Monocristal de GaN obtenu par la méthode HPNSG [8]

lithium sous forme d'azoture NaN_3 ou LiN_3 permet de diminuer de manière significative les conditions de température et de pression nécessaires à la croissance du GaN, passant alors de températures comprises entre 1300 et 1600°C et des pressions de l'ordre du GPa à des températures inférieures à 1000°C et des pressions de l'ordre du MPa. Un exemple de cristal de GaN obtenu par cette méthode est représenté sur la figure 1.8. Comme on peut le voir sur la figure, les premiers cristaux de GaN obtenus par cette méthode étaient relativement petits mais des progrès ont été faits ces dernières années et il est aujourd'hui possible d'obtenir des cristaux de 2 voire 4 pouces présentant des densités de dislocations de l'ordre de $10^3 \cdot \text{cm}^{-2}$ ce qui rend envisageable l'industrialisation de cette technique. Inspirée de la technique de croissance hydrothermale du quartz, la

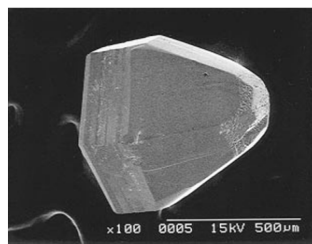


FIGURE 1.8 – Photographie MEB d'un monocristal de GaN obtenu par cristallisation par flux de sodium [9]

croissance ammonothermale du GaN repose sur la solubilité de ce dernier dans l'ammoniac supercritique. Dans un autoclave séparée en deux parties, on dispose dans l'une une source de GaN polycristallin tandis que des germes sont placés dans la seconde. L'autoclave est alors rempli d'ammoniac qui est porté à l'état supercritique en ajustant les conditions de température et de pression. La température dans chacune des parties de l'autoclave est différente de sorte que la solubilité du GaN soit plus grande dans la zone où est placée la source polycristalline que dans la zone où sont situés les germes et où la croissance a

lieu. L'utilisation d'un minéralisateur tel que MNH_2 ($M = Na, Li, K$), NH_4X ($X = Cl, Br, I$) ou encore Na permet d'augmenter la solubilité du GaN dans l'ammoniac, facilitant ainsi la croissance. Cette technique a permis l'obtention de substrats allant jusqu'à 2 pouces comme représenté sur la figure 1.9 Enfin, la technique la plus largement utilisée

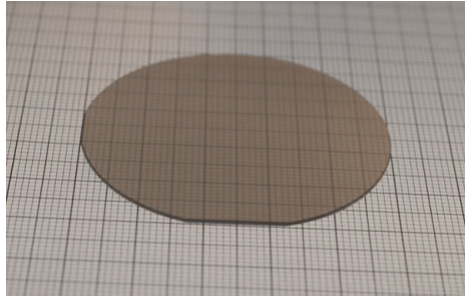
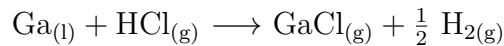
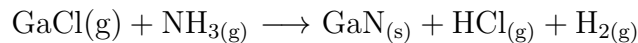


FIGURE 1.9 – Substrat GaN 2 pouces obtenu par croissance ammonothermale[10]

industriellement pour la production de substrats GaN est l'HVPE (Hydride Vapor Phase Epitaxy). Utilisée pour la croissance de GaAs et d'InP, cette méthode, qui a l'avantage de présenter des vitesses de croissance élevées de quelques centaines de micromètre par heure, peut être vue comme la succession de deux étapes. La première étape est la formation de chlorure de gallium $GaCl$ par réaction entre du gallium métallique Ga et le chlorure d'hydrogène HCl tel que :



Le $GaCl$ ainsi produit est ensuite transporté dans une seconde zone où il réagit avec du NH_3 pour former du GaN sur un substrat, généralement en saphir, selon la réaction :



Le tableau 1.5 récapitule les conditions de croissance en fonctions des différentes techniques présentées ainsi que les vitesses de croissances mesurées et les caractéristiques des substrats obtenus en termes de dimensions et de qualité cristalline.

TABLE 1.5 – Principales méthodes utilisées pour la croissance de GaN massif

Technique de croissance	Température (°C)	Pression	Vitesse de croissance (μm /heure)	Dimensions	Densité de dislocations (cm^{-2})
HPNSG	1300-1600	1-2 GPa	1-3	1-2 mm	10^2
Na flux	800	3-5 MPa	10-40	2-4 pouces	10^2 - 10^4
Ammonothermale	500-750	0,1-0,6 GPa	1-30	2 pouces	10^3
HVPE	1000	1 atm	100-200	2-6 pouces	10^4 - 10^6

1.2.2 Substrats pour la croissance épitaxiale de GaN

Le choix du substrat sur lequel on réalise l'épitaxie est un point crucial car c'est de ce dernier que dépend en grande partie la qualité cristalline de la structure et donc les performances des composants. Plusieurs substrats peuvent être utilisés pour réaliser des croissances de matériaux III-N mais il est important de tenir compte de certains paramètres tels que le désaccord de paramètre de maille, le coefficient de dilatation thermique ou encore la conductivité thermique afin de pouvoir choisir le substrat le plus adapté à l'application visée. Le tableau 1.6 regroupe les valeurs de ces différents paramètres pour les substrats les plus couramment utilisés pour la croissance de GaN, à savoir le GaN, le Si, le saphir (Al_2O_3) et le SiC. Comme nous l'avons vu dans la partie précédente, il est

TABLE 1.6 – Principales propriétés des substrats utilisés pour l'épitaxie de GaN

Matériaux	Désaccord de maille avec le GaN (%)	Coefficient de dilatation thermique $\Delta a/a$ (10^{-6} K^{-1})	Conductivité thermique κ ($\text{W.K}^{-1}.\text{m}^{-1}$)
GaN	0	5,59	130
Si	17	2,6	148
Al_2O_3	16	7,5	42
SiC	3,4	4,2	390

aujourd'hui possible de produire des cristaux de GaN massif, permettant ainsi l'épitaxie de structures de très haute qualité cristalline. Malgré cela, le substrat GaN massif peine à s'imposer pour les applications de puissance et hyperfréquences. Dans le cas des applications de puissance, les substrats Si sont préférés pour plusieurs raisons, à savoir leur faible coût et leurs importantes dimensions. De plus, la technologie est aujourd'hui relativement bien maîtrisée et permet d'obtenir des résultats satisfaisants sur les structures GaN/Si. Dans le cas des applications hyperfréquences, c'est l'absence de substrats GaN semi-isolants qui empêche le développement des technologies. L'utilisation de substrats GaN semble donc à ce jour majoritairement réservée à la fabrication de lasers.

De par son faible coût, les grandes dimensions de substrats disponibles et la grande maturité des technologies sur ce matériau, le silicium est un excellent candidat pour la croissance de structures à base de GaN. Malgré un désaccord de maille avec le GaN de 17% et un coefficient de dilatation thermique deux fois inférieur à celui du GaN, les couches épitaxiées sont à l'heure actuelle de bonne qualité, notamment grâce à l'utilisation de couches tampons telles qu'un empilement AlN/GaN ou une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ à gradient de composition permettant une transition progressive du paramètre de maille du Si vers celui du GaN. La conductivité thermique du Si similaire à celle du GaN et la possibilité d'intégrer des composants à base de nitrure de gallium avec les nombreuses

technologies de la filière silicium en font un substrat de choix, notamment utilisé pour les applications de puissance.

Substrat historique pour la croissance du GaN car ayant permis l'obtention des premiers résultats significatifs pour la fabrication de diodes électroluminescentes, le saphir est aujourd'hui toujours très utilisé dans l'industrie optoélectronique pour sa transparence sur tout le spectre visible et son faible coût. Sa très faible conductivité thermique le rend cependant inutilisable pour les applications de puissance hyperfréquence, les phénomènes d'auto-échauffement pouvant être très importants.

On note que le SiC est le substrat présentant le plus faible désaccord de paramètre de maille avec le GaN. L'utilisation d'une couche d'AlN dont le désaccord de paramètre de maille avec le SiC est de l'ordre de 1% permet en outre de faire croître des couches de GaN de bonne qualité cristalline. De plus, le SiC est également le matériau possédant la plus haute conductivité thermique, ce qui en fait un substrat de choix pour les applications de puissance hyperfréquence où le phénomène d'auto-échauffement est à prendre en compte. Les inconvénients majeurs du SiC par rapport au Si et à l' Al_2O_3 sont son coût encore élevé (environ 2000 € pour un substrat semi-isolant de 4 pouces) et la faible disponibilité de substrats de dimensions supérieures à ce jour.

1.2.3 Procédés de croissance épitaxiale de matériaux III-N

Nous avons vu précédemment que l'épitaxie en phase vapeur aux hydrures (HVPE) est utilisée pour faire croître d'épaisses couches de GaN pouvant ensuite servir de substrat pour la croissance d'hétérostructures, au même titre que le Si, le SiC ou l' Al_2O_3 . Dans cette partie, nous allons nous intéresser aux autres techniques d'épitaxie utilisées, en outre, pour la fabrication de ces hétérostructures, à savoir l'épitaxie par jets moléculaires (EJM, aussi appelée Molecular Beam Epitaxy - MBE) et l'épitaxie en phase vapeur aux organométalliques (EPVOM, aussi appelée Metal Organic Vapor Phase Epitaxy - MOVPE).

1.2.3.1 Epitaxie par jets moléculaires (MBE)

L'épitaxie par jets moléculaires est une méthode développée dans les années 60 pour le dépôt de couches minces de semi-conducteurs. Elle consiste à faire interagir des flux atomiques ou moléculaires sur un substrat porté à une température adéquate, généralement comprise entre 750 et 900 °C. La réaction permettant la croissance se déroule dans une enceinte telle que celle représentée sur la figure 1.10, où règne un vide extrêmement poussé, de l'ordre de 10^{-11} Torr, de sorte que les différents atomes ou molécules ne subissent aucune interaction avant d'atteindre le substrat.

Dans le cas de la croissance de matériaux III-N, les éléments III proviennent de

sources solides placées dans des cellules d'effusion chauffées au-delà de la température de fusion des métaux qu'elles contiennent, permettant ainsi la sublimation de ces derniers. L'azote est quant à lui apporté soit par dissociation de diazote N_2 à l'aide d'une source plasma, soit par craquage thermique d'ammoniac NH_3 . Les températures de croissance étant relativement faibles par rapport à celles mises en jeu dans le cas d'une croissance par MOVPE (au-delà de 1000 °C) combinées au vide extrêmement poussé les phénomènes de diffusions en volume et aux interfaces sont limités, ce qui permet l'obtention de jonctions abruptes. Elles permettent également de minimiser les contraintes liées aux différences de coefficients d'expansion thermique entre les différentes couches épitaxiées. Outre cet avantage non négligeable, la MBE permet notamment :

- un contrôle précis des épaisseurs des couches épitaxiées grâce à une vitesse de croissance lente, typiquement inférieure au micromètre par heure.
- l'utilisation de techniques de caractérisation et de contrôle in situ telles que la diffraction d'électrons à haute énergie sous incidence rasante (RHEED), du fait du vide poussé qui règne dans le réacteur.

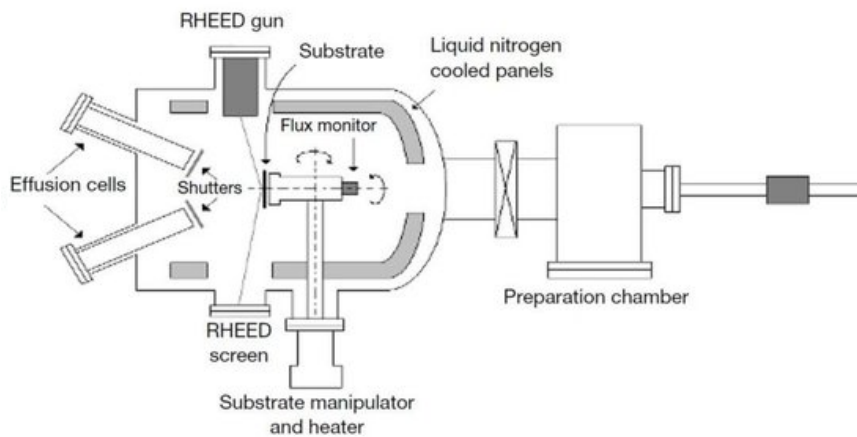


FIGURE 1.10 – Représentation schématique d'un bâti de MBE[11]

1.2.3.2 Epitaxie en phase vapeur aux organométalliques (MOVPE)

La MOCVD repose sur l'utilisation de composés organométalliques tels que le triméthylgallium (TMGa), le triméthylindium (TMIn) ou encore le triméthylaluminium (TMAI) comme sources d'éléments III. Ils sont acheminés dans la chambre de réaction, représentée sur la figure 1.11, à l'aide d'un gaz vecteur (N_2 , H_2 ou encore Ar) tandis que l'ammoniac NH_3 , source d'azote, est lui directement introduit sous forme gazeuse. Les différents précurseurs sont pyrolysés libérant ainsi les éléments qui vont s'adsorber à la surface du substrat, leur permettant alors de réagir pour former le matériau III-N tandis

que les sous-produits de la décomposition des précurseurs sont désorbés. L'épitanie reposant sur la pyrolyse des précurseurs, les températures mises en jeu lors de la MOCVD du GaN et des autres nitrures sont très élevées ($> 1000\text{ }^{\circ}\text{C}$). Une température suffisamment importante permet également une meilleure désorption des sous-produits et limite donc la contamination des films épitanisés, même si cette dernière reste plus élevée que dans le cas de la MBE. Il existe plusieurs types de bâti de MOVPE, qui diffèrent notamment

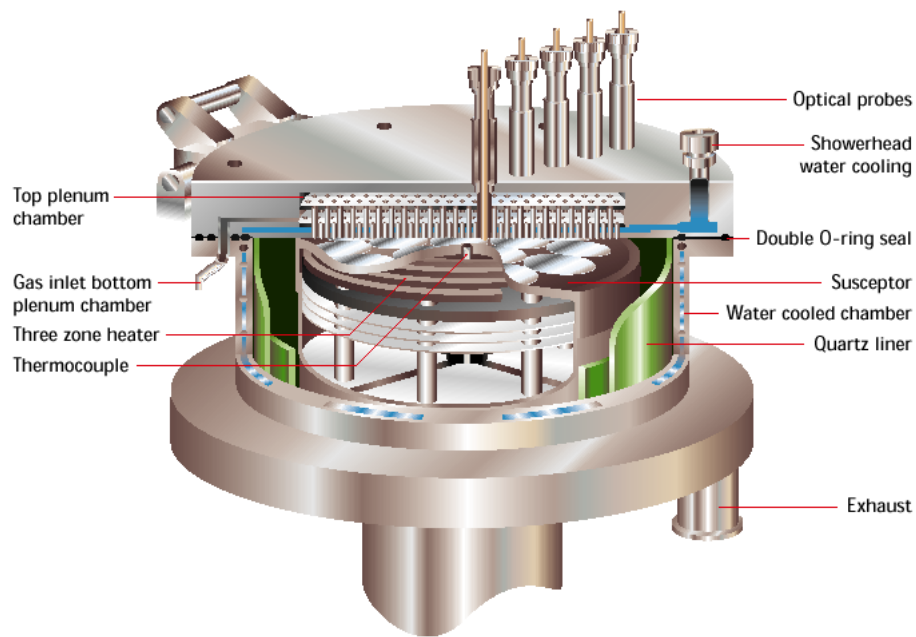


FIGURE 1.11 – Représentation schématique d'un bâti de MOVPE Close Coupled Showerhead (CCS)

par leur géométrie. Les échantillons utilisés dans le cadre de nos travaux ont été épitanisés dans un bâti de type Closed Coupled Showerhead (CCS), dont la figure 1.11 est une représentation schématique. Le terme showerhead (littéralement pomme de douche) désigne le système d'injection des différents précurseurs dans la chambre de réaction formé par une multitude de buses. Contrairement aux bâtis horizontaux dans lesquels les précurseurs sont introduits dans un tube en quartz au sein duquel sont disposés les substrats, les bâtis CCS permettent l'injection des réactifs au plus près des échantillons. Cela permet notamment d'éliminer les éventuelles réactions indésirables qui pourraient avoir lieu à la place de celles qui entraînent la croissance du matériau. L'équipement utilisé pour la fabrication de nos échantillons est en outre équipé de moyens de contrôle in-situ permettant de mesurer la courbure (*bow*), la vitesse de croissance ainsi que la température à la surface des échantillons.

1.3 Hétérojonctions, gaz d'électrons bidimensionnel et hétérostructure

Dans cette troisième partie, nous allons nous intéresser aux propriétés des hétérostructures de matériaux III-N et plus particulièrement aux hétérostructures AlGa_xN/GaN et InAlN/GaN. Ces dernières sont en effet celles qui font l'objet des plus intenses recherches pour la fabrication de HEMT à l'heure actuelle. L'étude de ces hétérostructures nous mènera naturellement vers le sujet du gaz d'électrons bidimensionnel qui est à l'origine du fonctionnement des HEMT à base de GaN. Enfin, nous décrirons une hétérostructure typique et le rôle de chaque couches présentes dans ce type de structures.

1.3.1 L'hétérostructure AlGa_xN/GaN

L'hétérostructure que l'on nomme communément AlGa_xN/GaN est le résultat de la croissance épitaxiale d'une couche d'AlGa_xN (barrière) sur du GaN (canal). En fonction des paramètres de croissance, on peut ajuster la teneur de cette couche en aluminium et on préférera donc la notation Al_xGa_{1-x}N. En fonction de cette teneur en aluminium, les paramètres de maille du ternaire varient : plus x tend vers 1, plus les paramètres de mailles de l' $Al_xGa_{1-x}N$ tendent vers ceux de l'AlN ce qui se traduit par une diminution de a et c quand x augmente. Il apparaît donc que pour tout x non nul, une couche d'Al_xGa_{1-x}N épitaxiée sur du GaN subira une contrainte en tension. Il faut cependant noter qu'il existe une épaisseur à partir de laquelle on observe une relaxation de la contrainte dans la couche d'Al_xGa_{1-x}N. Cette relaxation se fait notamment par l'apparition de dislocations voire de fissures dans la couche d'AlGa_xN. L'épaisseur à partir de laquelle la relaxation a lieu est d'autant plus faible que la concentration en aluminium est élevée comme on peut le voir sur la figure 1.12. Les valeurs typiques de concentration en aluminium sont aux alentours de 25% tandis que les épaisseurs sont généralement comprises entre 20 et 30 nm. Considérons deux couches distinctes : l'une d'Al_xGa_{1-x}N et l'autre de GaN, les deux étant à polarité Ga. Prises séparément tel que représenté sur la figure 1.13, elles présentent toutes les deux une polarisation spontanée $P_{sp}^{Al_xGa_{1-x}N}$ et P_{sp}^{GaN} orientées dans le sens inverse à l'axe [0001] du fait de la polarité des couches. Considérons maintenant que la couche d'Al_xGa_{1-x}N a été épitaxiée sur la couche de GaN et que son épaisseur soit suffisamment faible pour ne pas permettre la relaxation des contraintes. Les paramètres de maille des deux matériaux étant différents, la couche d'Al_xGa_{1-x}N subit nécessairement des contraintes mécaniques, ce qui entraîne l'apparition d'une polarisation piézoélectrique $P_{pe}^{Al_xGa_{1-x}N}$ dans cette dernière comme représenté sur la figure 1.14. La polarisation piézoélectrique est dans le même sens que la polarisation spontanée car la couche d'Al_xGa_{1-x}N est en tension. A l'interface entre le GaN et l'Al_xGa_{1-x}N, il apparaît donc une différence de polarisation ΔP , donnée par

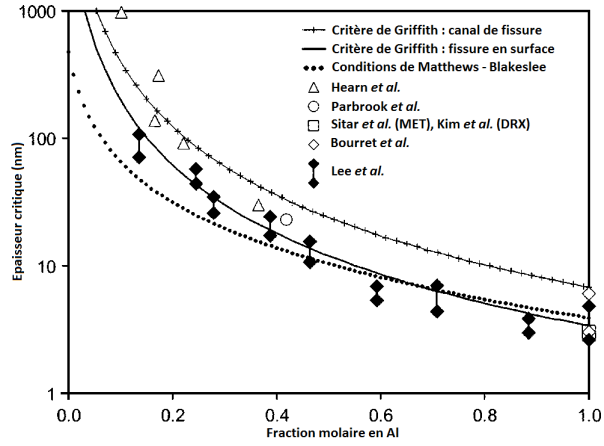


FIGURE 1.12 – Variation de l'épaisseur critique de relaxation en fonction de la concentration en A [Lee2004a].

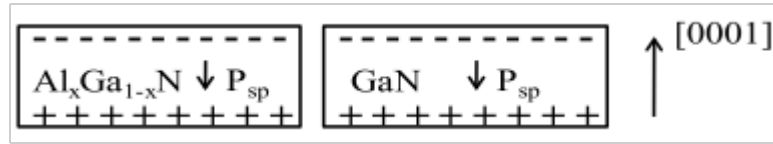


FIGURE 1.13 – Polarisation spontanées dans une couche d' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ et de GaN.

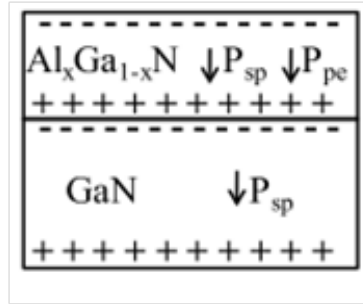


FIGURE 1.14 – Polarisation dans l'hétérostructure $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$.

l'équation 1.10.

$$\Delta P = P_{sp}^{\text{Al}_x\text{Ga}_{1-x}\text{N}} + P_{pe}^{\text{Al}_x\text{Ga}_{1-x}\text{N}} - P_{sp}^{\text{GaN}} \quad (1.10)$$

A partir des valeurs de polarisations spontanées des binaires AlN et GaN données dans le tableau 1.3 et en appliquant la loi de Végard, on trouve les équations 1.11 et 1.12 :

$$P_{sp}^{\text{Al}_x\text{Ga}_{1-x}\text{N}} = x \cdot P_{sp}^{\text{AlN}} + (1-x) \cdot P_{sp}^{\text{GaN}} \quad (1.11)$$

$$P_{sp}^{Al_xGa_{1-x}N} = -0,052x - 0,029 \quad (1.12)$$

La valeur de la polarisation piézoélectrique dans la couche AlGaN peut être calculée à partir de l'équation 1.9 mais nécessite de prendre un compte un paramètre $r(x)$ qui est le degré de relaxation de la couche en fonction de sa teneur en aluminium. La valeur de $r(x)$ est donnée par l'équation 1.13[12] :

$$r(x) = \begin{cases} 0 & \text{si } 0 \leq x \leq 0,38 \\ 3,5x - 1,33 & \text{si } 0,38 < x < 0,67 \\ 1 & \text{si } 0,67 \leq x \leq 1 \end{cases} \quad (1.13)$$

On considère donc que pour des concentrations en aluminium comprises entre 0 et 37%, la couche d'AlGaN est totalement contrainte, qu'elle est partiellement relaxée pour une teneur en aluminium de 38 à 67% et qu'elle est totalement relaxée lorsqu'elle contient plus de 67% d'aluminium. Ces valeurs dépendent évidemment de l'épaisseur de la couche, comme nous l'avons vu précédemment sur la figure 1.12 et correspondent ici à une barrière d'environ 30 nm[12]. On a donc l'équation 1.14 :

$$P_{pe}^{Al_xGa_{1-x}N}(x) = 2 \cdot (1 - r(x)) \cdot \epsilon_x(x) \cdot \left(e_{31}(x) - e_{33}(x) \cdot \frac{C_{13}(x)}{C_{33}(x)} \right) \quad (1.14)$$

La discontinuité de polarisation à l'interface AlGaN/GaN donne alors naissance à une charge de polarisation électrostatique fixe. La densité de charges fixes ainsi générées est donnée par l'équation 1.15 :

$$\sigma_{int} = P_{GaN} - (P_{sp}^{Al_xGa_{1-x}N} + P_{pe}^{Al_xGa_{1-x}N}) \quad (1.15)$$

La figure 1.15 représente graphiquement l'évolution des polarisations spontanée et piézoélectriques dans une couche d'AlGaN ainsi que la densité de charges fixes à l'interface AlGaN/GaN en fonction de la proportion d'aluminium dans la barrière. On remarque que la densité de charges à l'interface est positive. Afin d'assurer la neutralité électrique, cette densité de charges positive doit donc être compensées par des charges négatives mobiles, c'est-à-dire des électrons dont la densité surfacique n_s est donnée par l'équation 1.16 :

$$n_s = \frac{\sigma_{int}}{q} \quad (1.16)$$

et formant ainsi le gaz d'électron bidimensionnel (2DEG) sur lequel repose le fonctionnement du HEMT et dont l'origine sera expliquée ultérieurement.

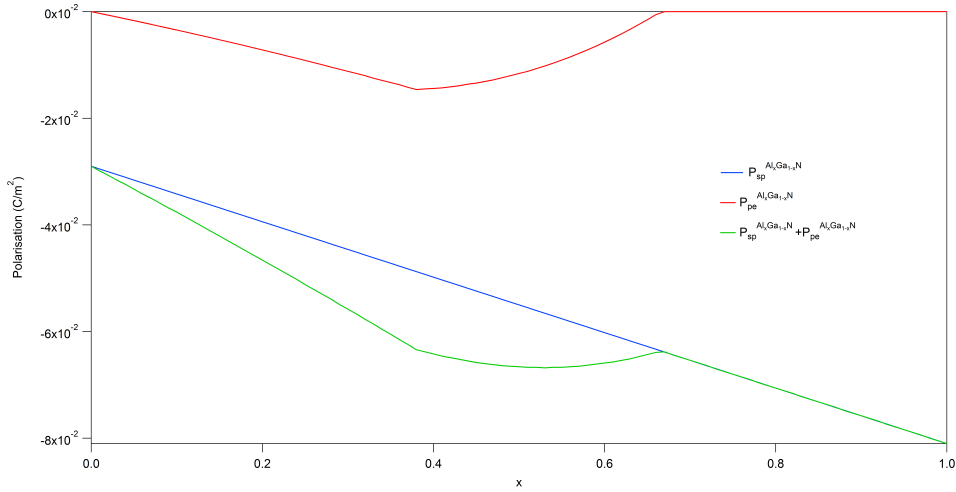


FIGURE 1.15 – Évolution des polarisation spontanées et piézoélectriques et de la somme des polarisations dans une couche d'AlGaIn en fonction de la concentration en aluminium

1.3.2 L'hétérostructure InAl(Ga)N/GaN

Comme pour l'hétérostructure AlGaIn/GaN, l'hétérostructure InAlN/GaN résulte de la croissance d'une couche d'InAlN sur du GaN. De la même manière que pour l'hétérojonction décrite précédemment, on peut calculer la polarisation spontanée dans l'InAlN telle que :

$$P_{sp}^{In_xAl_{1-x}N} = x.P_{sp}^{InN} + (1-x).P_{sp}^{AlN} \quad (1.17)$$

$$P_{sp}^{In_xAl_{1-x}N} = 0.049x - 0,081 \quad (1.18)$$

De la même manière que dans le ternaire AlGaIn, plus le taux d'aluminium est élevé est plus la polarisation est importante mais contrairement à l'alliage étudié précédemment, la plupart des barrières InAlN contiennent environ 17% d'indium. $In_{0,17}Al_{0,83}N$ a en effet l'énorme avantage de présenter un paramètre de maille identique à celui du GaN. Le fait que les paramètres de maille des deux couches soient égaux permet notamment de diminuer le nombre de défauts cristallins, grâce à l'absence de contraintes mécaniques, ce qui se traduit par une fiabilité accrue du composant. L'absence de contraintes dans la couche d'InAlN ne permet pas à celle-ci de présenter une polarisation piézoélectrique mais cette perte de la composante piézoélectrique est largement compensée par une polarisation spontanée bien plus importante que dans le cas de l'AlGaIn et donc une polarisation globale plus élevée, ce qui se traduit par un 2DEG plus dense. La polarisation spontanée d'une couche d'InAlN à 17% d'indium atteint en effet $-0,073 \text{ C.m}^{-2}$ tandis que la somme des polarisations spontanée et piézoélectriques d'une couche d'AlGaIn à 25% d'aluminium

vaut $-0,051 \text{ C.m}^2$. Outre la densité de défauts cristallins plus faible et la concentration de porteurs dans le 2DEG plus importante que dans le cas d'une hétérojonction AlGaIn/GaN, l'hétérojonction InAlN/GaN présente encore d'autres avantages. Considérons deux barrières $Al_{0,30}Ga_{0,70}N$ et $In_{0,17}Al_{0,83}N$. D'après les valeurs données dans le tableau 1.2 et la loi de Végard simplifié ne tenant pas compte du facteur d'écart à l'idéalité (1.1), on a $E_g^{Al_{0,30}Ga_{0,70}N} = 4,25eV$ et $E_g^{In_{0,17}Al_{0,83}N} = 5.25eV$, ce qui entraîne un meilleur confinement des électrons dans le puits de potentiel et une diminution des courants de grille dans le cas d'une jonction InAlN/GaN. Enfin, l'épaisseur critique, que nous avons définie précédemment comme étant l'épaisseur de barrière minimale nécessaire à la formation du 2DEG est plus faible avec l'InAlN qu'avec l'AlGaIn. Une réduction de l'épaisseur de barrière permet notamment de diminuer les dimensions du transistor (*downscaling*) et donc d'améliorer les performances fréquentielles du composant.

1.3.3 Formation du 2DEG

Les deux hétérostructures présentées précédemment peuvent présenter un gaz d'électrons bidimensionnel à l'interface AlGaIn/GaN et InAlN/GaN. Pour que ce 2DEG se forme, il faut à la fois un puits de potentiel dans lequel les électrons vont pouvoir s'accumuler et au moins une source d'électrons pour que ces derniers puissent peupler le gaz.

Le puits de potentiel se forme à l'interface entre les deux matériaux du fait de l'alignement des niveaux de Fermi des deux semi-conducteurs et donc la discontinuité des bandes d'énergie à l'interface barrière/canal. En effet, à l'équilibre thermodynamique et après l'alignement des niveaux de Fermi, les bandes de conduction (et de valence) subissent une courbure. Cette dernière est telle qu'au voisinage de l'interface, la bande de conduction est située en dessous du niveau de Fermi, formant ainsi un puits de potentiel.

L'origine des électrons qui peuplent le gaz a longtemps été un sujet de débat mais il semblerait que l'explication avancée par Smorchkova en 1999[13] et reprise par Ibbetson en 2000[14] ait mis fin à ce dernier. Ainsi, les électrons du 2DEG proviendraient d'états donneurs profonds également appelés états de surface. D'énergie E_d et situés en dessous du niveau de Fermi, ces états de surface sont neutres lorsque totalement occupés et chargés positivement dans le cas contraire. En dessous d'une certaine épaisseur de barrière, appelée épaisseur critique et notée t_{cr} , les états de surface sont effectivement situés sous le niveau de Fermi et sont donc inactifs. En revanche, lorsque l'épaisseur de la barrière augmente, le potentiel de surface augmente également de sorte que lorsque l'épaisseur de la barrière est supérieure à t_{cr} , le niveau des états de surface coïncide avec le niveau de Fermi. Ils vont alors libérer des électrons qui, sous l'effet du champ présent dans la barrière, vont s'accumuler dans le puits de potentiel. La figure 1.16 ci-dessous représente les deux cas

de figure, à savoir une barrière dont l'épaisseur est inférieure à l'épaisseur critique et une barrière dont l'épaisseur est supérieure à t_{cr} , permettant la formation du 2DEG.

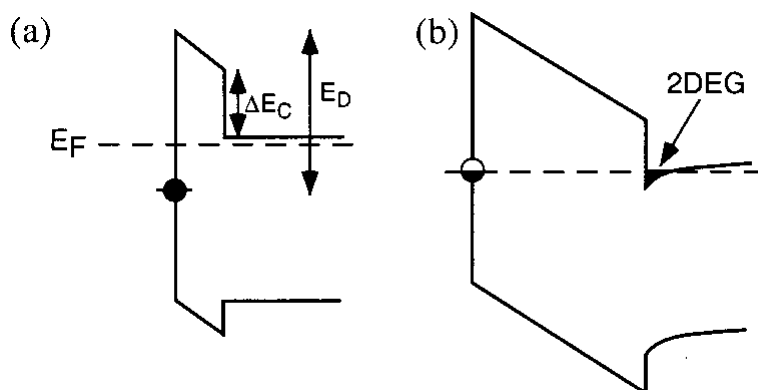


FIGURE 1.16 – Diagramme de bande de structures barrière/GaN avec (a) une épaisseur de barrière inférieure à l'épaisseur critique et (b) une épaisseur de barrière supérieure à l'épaisseur critique[14].

1.3.4 Effets de pièges dans les HEMT

Bien que très prometteuse au vu des propriétés des matériaux et des hétérostructures utilisées, la technologie HEMT à base de nitrure de gallium est, à ce jour, encore loin d'atteindre les performances théoriques annoncées. L'une des raisons qui explique cet écart entre les performances réelles et les performances théoriques est la présence de défauts dans la structure qui agissent comme des pièges à électrons. Les origines de ces défauts sont variées : dislocations dues au désaccord de paramètre de maille entre les différents matériaux, faute d'empilement, présence d'impuretés, lacunes. Tous ces défauts vont alors entraîner l'apparition de niveaux d'énergie discrets dans la bande interdite, plus communément appelés pièges. Sous l'effet des différentes polarisations appliquées lors du fonctionnement du composant, ces pièges vont ainsi capturer des électrons qui ne pourront dès lors plus participer au courant de sortie de transistor.

La figure 1.17 représente les différents mécanismes d'échanges de porteurs de charges pouvant exister entre un piège et les bandes de conduction et de valence. Un piège vide, c'est-à-dire occupé par un trou peut soit capturer un électron de la bande de conduction (a)) ou émettre un trou vers la bande de valence, ce qui revient à capturer un électron de la BV (d)). Un piège occupé par un électron peut quant à lui émettre un électron vers la BC (b)) ou capturer un trou de la bande de valence, ce qui revient cette fois ci à émettre un électron vers la BV (c)). Ces interactions piège/bande d'énergie isolées peuvent être combinées pour donner lieu à 4 mécanismes plus complexes. Les mécanismes de génération/recombinaison correspondent à la succession des interactions b) suivi de d) et a) suivi

de c), respectivement. Ces mécanismes font intervenir les deux bandes d'énergie et sont décrits par la théorie de Shockley-Read-Hall (Théorie SRH). Les deux autres mécanismes sont la capture/émission de trou et d'électrons qui consistent respectivement à c) suivi de d) et a) suivi de b). C'est dans ces cas précis que les défauts se comportent comme des pièges et l'on parle également de mécanismes de piégeage. Le principal mécanisme de piégeage que l'on retrouve dans les technologies HEMT GaN est le piégeage d'électrons, c'est donc celui que l'on considérera à partir de maintenant.

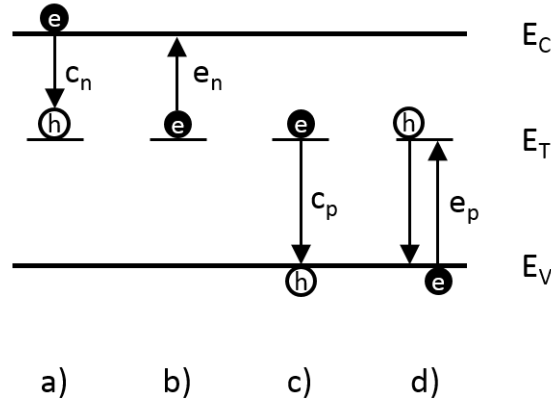


FIGURE 1.17 – Mécanismes d'échanges de porteurs possibles entre un piège et les bandes d'énergie : a) capture d'un électron, b) émission d'un électron, c) capture d'un trou, d) émission d'un trou.

Un piège est défini par plusieurs paramètres caractéristiques tels que son énergie d'activation E_a (eV), ses constantes de capture/d'émission d'un électron c_n et e_n ou encore sa section efficace de capture σ_n . Notons que les constantes de capture et d'émission sont généralement très différentes, variant de quelques nanosecondes à quelques centaines de nanosecondes pour la première et de quelques microsecondes à plusieurs secondes pour la deuxième. Ces constantes traduisent directement la vitesse à laquelle un piège peut capturer/émettre un électron. L'énergie d'activation et la section efficace de capture du piège permettent d'exprimer la probabilité qu'un piège capture un porteur. L'énergie d'activation nous renseigne sur sa position dans la bande interdite par rapport au bas de la bande de conduction ($E_a = E_c - E_T$). La section efficace représente quant à elle une surface σ_n telle que les électrons susceptibles d'être capturés par le piège sur une durée δt sont contenus dans le cylindre de section σ_n et de longueur $\delta t \cdot v_{th}$, avec v_{th} la vitesse thermique des électrons qui vaut $\sqrt{\frac{3 \cdot k_B \cdot T}{m_e^*}}$.

Ces grandeurs caractéristiques sont liées selon la loi d'Arrhénus telle que :

$$\frac{1}{\tau} = \frac{\sigma_n \cdot A_n \cdot T^2}{g} \cdot e^{\frac{-E_a}{k_B \cdot T}} \quad (1.19)$$

où

$$A_n = \frac{N_c \cdot v_{th}}{T^2} \quad (1.20)$$

avec τ la constante de temps du mécanisme étudié (s), g le facteur de dégénérescence et N_c la densité effective d'états dans la bande de conduction.

Ainsi, dans le cas d'un piège rempli par un électron, le taux d'émission e_n depuis le piège vers la bande de conduction est donné par :

$$e_n = \frac{1}{\tau - n} = \frac{\sigma_n \cdot A_n \cdot T^2}{g} \cdot e^{\frac{-E_a}{k_B \cdot T}} = \frac{N_C \cdot \sigma_n \cdot v_{th}}{g} \cdot e^{\frac{-E_a}{k_B \cdot T}} \quad (1.21)$$

Comme nous l'avons évoqué précédemment, les pièges sont dus à des défauts structuraux. Pouvant présenter différents niveaux d'énergies, ils peuvent également être localisés à différents niveaux dans l'hétérostructure à savoir en surface, aux interfaces (barrière/canal, barrière/diélectrique, grille/diélectrique ou encore grille/barrière) et dans le volume des différents matériaux (barrière, buffer ..). D'autres enfin peuvent être générés lors du procédé de fabrication des composants, les étapes de gravure plasma étant les plus susceptibles d'endommager la structure.

1.4 Applications des matériaux III-N

Comme nous l'avons vu tout au long de ce chapitre, les propriétés des nitrures d'éléments III en font d'excellents candidats pour des applications dans des domaines tels que l'optoélectronique et l'électronique de puissance et/ou haute fréquence. Ainsi, dans cette partie, nous présentons quelques applications phares des nitrures.

1.4.1 Diode électroluminescente

Les diodes électroluminescentes (DEL) à base de III-N sont l'une si ce n'est l'application majeure de cette famille de matériaux à ce jour. Fruits d'une vingtaine d'année de recherche, les structures à base de nitrures ont notamment permis la fabrication des premières DEL bleues à haute efficacité puis des DEL blanches. La principale difficulté dans la réalisation de tels dispositifs se trouve dans la réalisation d'une jonction p-n, le dopage p des nitrures étant relativement délicat, en particulier l'activation des espèces dopantes. La première observation d'un dopage p activé dans le GaN remonte à la fin des années 80 par

Amano *et al.* qui remarquent que la résistivité d'une couche de GaN :Mg chute de plus de cinq ordres de grandeurs après que cette dernière aie été exposée à un faisceau d'électrons [15]. Le même effet a été observé par Nakamura *et al.* après avoir réalisé un recuit sous atmosphère d'azote à plus de 700 °C sur le même type de matériau[16]. C'est en 1995 que sont présentés les premiers résultats de DEL efficaces à base de puits quantiques, dont la structure est représentée sur la figure 1.18[Nakamura1995]. Cette dernière permet l'émission de lumière verte mais comme nous l'avons vu précédemment, il est possible de couvrir tout le domaine visible en faisant varier la composition des alliages utilisés dans la structure épitaxiale. A ce jour, les DEL blanches à base de GaN sont en réalité des

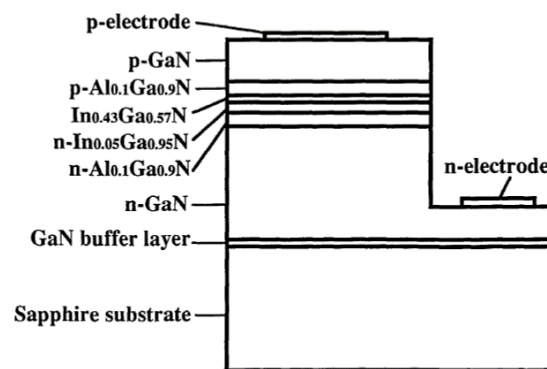


FIGURE 1.18 – Schéma de la structure d'une DEL verte à base de matériaux III-N [17].

DEL bleues associées à un phosphor (généralement un grenat d'yttrium et d'aluminium (YAG) dopé cérium) qui absorbe une partie de la lumière bleue émise par la DEL pour réémettre de la lumière jaune, qui combinée avec la lumière bleue, donne au final de la lumière blanche. Une autre solution, plus efficace, serait d'associer trois DEL émettant respectivement de la lumière bleue, verte et rouge mais la fabrication de DEL rouge est encore compliquée.

1.4.2 Diode Schottky

De nos jours, les diodes de puissance utilisées pour la conversion AC/DC ou DC/DC de fortes tensions sont principalement réalisées en silicium. On en retrouve de deux types, à savoir les diodes Schottky et les diodes bipolaires, mais elles semblent cependant atteindre leurs limites. Pour les diodes Schottky Si, le principal problème vient du faible champ électrique critique du silicium qui ne permet pas de réaliser des diodes supportant des tensions très élevées (>300 V) tout en conservant des dimensions restreintes. Les diodes bipolaires permettent quant à elle de travailler à des niveaux de puissance plus importants que les diodes Schottky Si mais voient leurs performances grevées par de fortes pertes à la commutation. L'utilisation du GaN permettrait en outre de s'affranchir de ces

problèmes, en associant l'absence de pertes à la commutation de la diode Schottky en raison de son caractère unipolaire au champ électrique critique élevée du nitrure, ce qui se traduit directement par une meilleure tenue en tension que le silicium à taille équivalente. La gamme de tension envisagée pour l'utilisation du GaN est située autour de 600 V. Les applications de convertisseurs dans cette gamme de tension sont variées : véhicules électriques, serveurs informatiques, ou encore alimentation à découpage. Dans ce dernier exemple, la diode Schottky GaN serait utilisée en tant que diode Boost dans le circuit de correction de facteur de puissance (Power Factor Correction - PFC), comme représenté sur la figure 1.19.

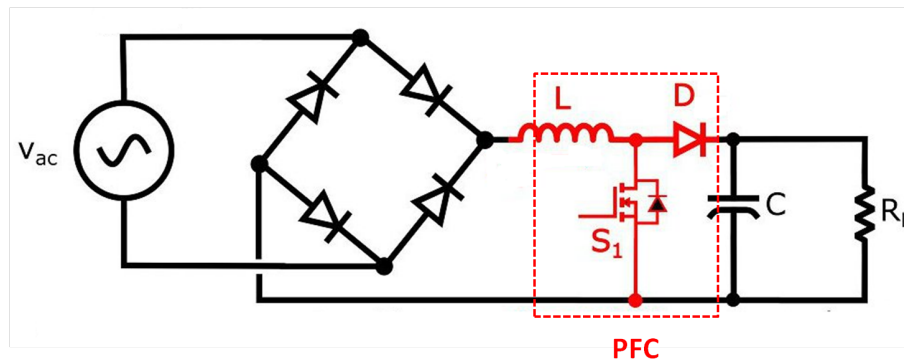


FIGURE 1.19 – Représentation schématique d'un alimentation à découpage avec PFC actif.

1.4.3 Transistor à haute mobilité électronique (HEMT)

La fabrication des premiers HEMT remonte aux années 80[18, 19] suite à l'observation de la grande mobilité des électrons au sein d'un super-réseau n-AlGaAs/GaAs[20]. La réalisation de telles hétérostructures et donc des HEMT a été rendu possible grâce à l'important développement de l'épitaxie par jet moléculaire (MBE) pour la croissance de structures avec ingénierie de structure de bandes. Cette technique avait notamment permis, avant l'invention du HEMT, celle du laser à hétérojonction ou encore celle du transistor bipolaire à hétérojonction (HBT).

Les HEMT n-AlGaAs/GaAs ont connu un important développement et bien que ne pouvant rivaliser avec la technologie Si MOS pour les applications en électronique numérique à haute fréquence, ils se sont néanmoins imposés face au MESFET GaAs (Metal Semiconductor Field Effect Transistor), grâce à leur supériorité en terme de bruit et de gain à haute fréquence, pour des applications RF telles que la télécommunication terrestre et spatiale ou encore les radars militaires[21]. La filière HEMT GaAs a depuis connu de nombreuses innovations technologiques et les circuits utilisant ces HEMT sont aujourd'hui largement répandus.

Depuis l'observation du premier gaz bidimensionnel d'électrons (2DEG) dans l'hétérostructure AlGaAs/GaAs, l'existence d'un 2DEG et donc la possibilité de réaliser des HEMT a été démontrée sur d'autres structures telles que InAlAs/InGaAs[22, 23], InGaAs/InP[Chin90] SiGe/Si[24] et bien sûr AlGaN/GaN et InAlN/GaN que nous avons décrites précédemment. La filière HEMT GaN est particulièrement étudiée aujourd'hui car ses propriétés en font un candidat de choix pour les applications de puissance et haute fréquence.

1.4.3.1 HEMT GaN pour l'électronique de puissance

De même que pour les diodes Schottky abordées précédemment, l'utilisation de HEMT GaN à la place des actuels MOSFET (Metal Oxide Semiconductor Field Effect Transistor) et IGBT (Insulated Gate Bipolar Transistor) est la conséquence de l'atteinte des limites physiques du silicium. L'utilisation du GaN par rapport au Si se manifeste en outre par une réduction de la résistance à l'état passant R_{ON} , une amélioration de la tenue en tension et en température ainsi que la possibilité d'augmenter la fréquence de commutation. Il en résulte alors des dispositifs plus efficaces et moins encombrants. La figure 1.20 illustre les différentes applications des HEMT GaN de puissance.

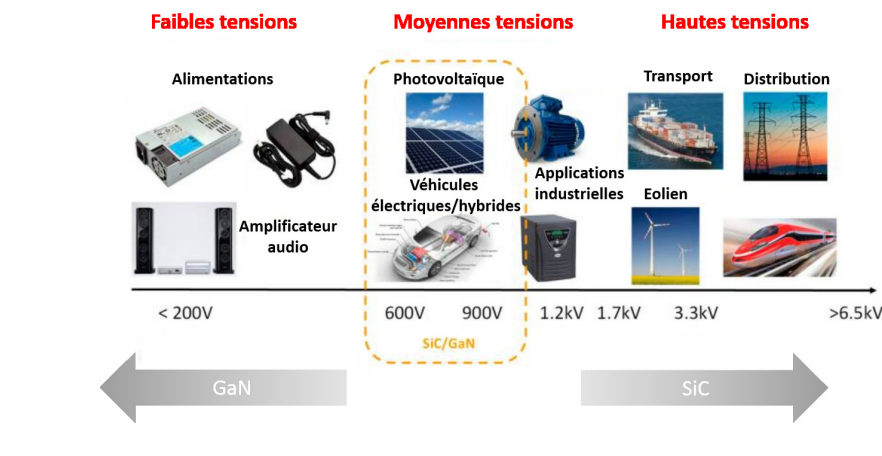


FIGURE 1.20 – Illustrations des différentes applications possibles du GaN pour les applications de puissance en fonction de la gamme de tension[25].

Tandis que le SiC domine le domaine des "hautes tensions" (>1200 V), le GaN est plus adapté à des applications faibles tensions (200 - 600 V) ce qui représente une grande partie du marché de l'électronique grand public (alimentations d'ordinateurs, audio ...). La gamme des moyenne tensions (600 - 900 V) représente également un secteur particulièrement intéressant étant données les applications liées (énergie renouvelables et véhicules électriques notamment) bien que GaN s'y retrouve en concurrence avec le SiC.

1.4.3.2 HEMT GaN pour l'électronique de puissance hyperfréquence

Les principales applications de puissance hyperfréquences des HEMT GaN concernent des applications à des fréquences de fonctionnement allant de la bande S (2 à 4 GHz) à la bande W (75 à 110 GHz). Les applications concernées par ces fréquences sont multiples, qu'elles soient civiles ou militaires et sont représentées sur la figure 1.21. Les applications

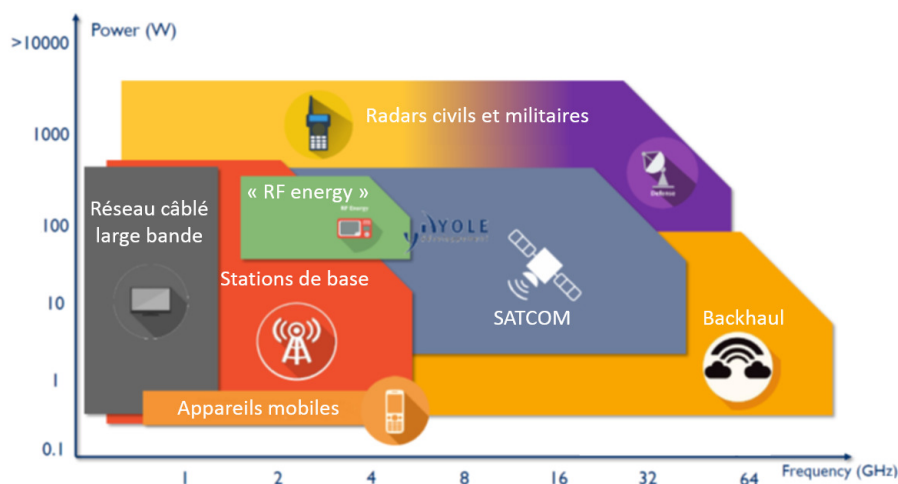


FIGURE 1.21 – Illustrations des différentes applications possibles du GaN pour les applications hyperfréquences en fonction de la fréquence et de la puissance nécessaire[26].

civiles des HEMT GaN RF se retrouvent notamment dans les infrastructures dédiées aux télécommunications sans fil (liaisons point à point, point à multipoints, satellites, *backhauling*) de quatrième génération (4G). Les HEMT GaN sont également de sérieux candidats pour le développement des réseaux 5G, aussi bien du côté des infrastructures que de celui des consommateurs dans les appareils mobiles. Le terme "RF Energy" regroupe plusieurs applications différentes telles que la transmission et la récupération d'énergie sans fil ou la fabrication de fours à micro-ondes (domestiques et industriels). Pour les applications militaires, ces bandes de fréquences sont utilisées par des radars de surveillance et de poursuite, des brouilleurs ou encore dans les systèmes d'armes non létales.

1.4.3.3 Description d'une structure épitaxiale pour applications HEMT

Dans les parties 1.3.1 et 1.3.2, nous nous sommes intéressés aux hétérojonctions Al-GaN/GaN et InAl(Ga)N, c'est-à-dire à la jonction barrière/canal sans considérer les autres couches qui sont crues et qui sont tout aussi importantes pour le bon fonctionnement des composants. Ainsi, dans cette partie, nous allons décrire en détails la structure épitaxiale complète représentée sur la figure 1.22 et expliquer le rôle de chaque couche.

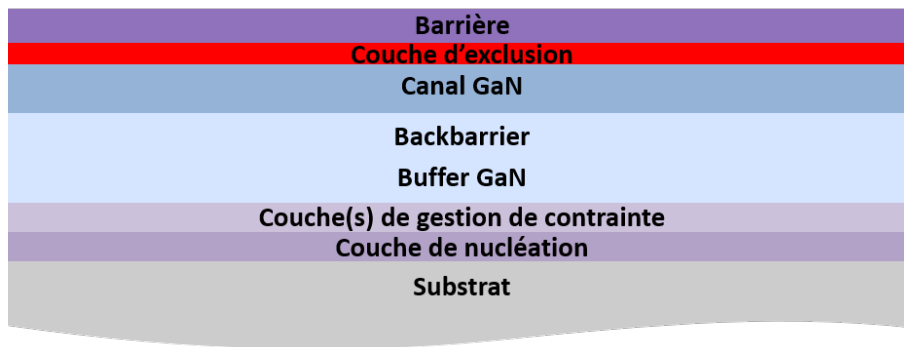


FIGURE 1.22 – Représentation schématique d'une hétérostructure dédiée à la fabrication de HEMT GaN pour des applications hyperfréquences.

Couche de nucléation

Comme représenté sur la figure 1.22, la couche de nucléation est la première couche épitaxiée. Son rôle est d'assurer la transition substrat-GaN de sorte que la couche tampon (buffer) en GaN épitaxiée par dessus présente le moins de contraintes possible, ce qui permet d'une part de faire croître un buffer épais de bonne qualité cristalline et d'autre part d'éliminer la contribution piézoélectrique de la polarisation du GaN. La couche de nucléation est généralement composée d'AlN, de GaN ou encore d'AlGaIn en fonction du substrat. Dans notre cas, l'utilisation de substrats SiC ne nous permet pas d'utiliser une couche de nucléation en GaN car celui-ci croît en îlots à cause d'un faible mouillage de la surface et nous utilisons donc une couche de nucléation en AlN.

Couche(s) de gestion de la contrainte

Nous avons vu précédemment que les contraintes jouent un rôle important dans la formation du 2DEG, notamment lorsque l'on utilise des barrière AlGaIn du fait de la présence de la polarisation piézoélectrique. Ainsi, bien que les contraintes puissent être bénéfiques au niveau de la barrière, on cherche néanmoins à les minimiser voire les éliminer dans le reste de la structure afin de réduire la densité de défauts cristallins (dislocations, faute d'empilement, fissures ...) et donc améliorer la qualité des couches épitaxiées. Deux méthodes sont particulièrement utilisées pour cela :

- la croissance d'une couche d'AlGaIn à gradient de composition, la concentration en Ga étant faible au début de la croissance et augmentant au cours de cette dernière, permettant ainsi de passer du paramètre de maille de l'AlN (couche de nucléation) à celui du GaN (couche tampon) de façon graduelle.
- la croissance d'un super-réseau AlGaIn/GaN qui permet, d'une part, de réduire la courbure (bow) de la structure finale qui apparaît du fait des différences de paramètres de maille et de coefficients de dilatation thermique entre les diffé-

rentes couches et d'autre part de bloquer les dislocations grâce aux nombreuses interfaces.

Couche tampon (buffer)

La couche tampon ou buffer en GaN a pour but de permettre la croissance de couches actives de bonne qualité cristalline. Pour cela, la couche doit être totalement relaxée et donc relativement épaisse (généralement au moins 500 nm) afin d'éliminer la polarisation piézoélectrique. De plus, afin de limiter les courants de fuite, il est possible de compenser le dopage n résiduel du GaN à l'aide de dopants accepteurs profonds tels que le carbone et le fer.

Backbarrier

Généralement en AlGaN, mais pouvant également être de l'InGaN, la backbarrier est une fine couche située entre la couche tampon et le canal. Ses effets sont multiples :

- l'amélioration du confinement des électrons dans le 2DEG, permettant l'amélioration du pincement et des fréquences de fonctionnement du HEMT[27, 28].
- la limitation du phénomène d'injection de porteurs dans le buffer (punch-trough), ce qui entraîne à la fois une diminution des courants de fuite et une augmentation de la tension de claquage[29, 30].

La backbarrier en AlGaN est de plus en plus préférée à celle en InGaN du fait de sa meilleure tenue en tension.

Canal

Le canal, toujours en GaN, est la couche dans laquelle le gaz d'électrons bidimensionnel se forme. Pour s'assurer d'obtenir les meilleures performances, le canal doit être non dopé et de la plus grande qualité cristalline possible. En l'absence de backbarrier, le buffer et le canal sont confondus et le canal désigne alors les quelques derniers nanomètres de la couche.

Couche d'exclusion

La couche d'exclusion est une fine couche d'AlN que l'on fait croître entre le canal et la barrière afin d'améliorer le confinement des électrons dans le 2DEG grâce à la différence de gap importante entre le GaN ($E_g = 3,4 \text{ eV}$) et l'AlN ($E_g = 6,2 \text{ eV}$). Elle permet également une meilleure séparation des donneurs ionisés présents dans la barrière et des électrons présents dans le gaz, ce qui augmente la mobilité de ces derniers.

Barrière

Comme nous l'avons vu précédemment, la barrière peut être de différentes natures : AlN, AlGa_N, InAlN ou encore InAlGa_N. C'est dans tous les cas une couche présentant un gap plus élevé que celui du canal et qui a pour but, du fait de cette différence de gap, de permettre la formation d'un puits de potentiel à l'interface barrière/canal et donc l'accumulation d'électron nécessaire à l'apparition du 2DEG sur lequel repose le fonctionnement des HEMT.

HEMT GaN normally-on, normally-off et co-intégration

Après avoir présenté les propriétés du nitrure de gallium et des hétérojonctions de nitrures d'éléments III, nous allons nous intéresser aux transistors à haute mobilité électroniques. Nous présenterons dans un premier temps le principe de fonctionnement des HEMT GaN. La deuxième partie de ce chapitre, nous détaillerons les différentes étapes de fabrication de ce type de transistors. Nous présenterons ensuite les différentes techniques de caractérisation que nous avons utilisées au cours de ces travaux pour étudier les composants fabriqués. La quatrième partie de ce chapitre sera consacrée aux HEMT GaN normally-off et aux différents moyens qui permettent de réaliser ce type de HEMT. Dans la dernière partie, nous présenterons la technologie FinFET GaN, une topologie de transistors particulièrement prometteuse pour la fabrication de HEMT normally-off et pour les applications hyperfréquences. Nous concluons enfin ce chapitre par un état de l'art des HEMT GaN normally-off en présentant leurs performances de tels HEMT obtenues par différentes techniques.

2.1 Fonctionnement des HEMT GaN

Les transistors à haute mobilité électronique sont des transistors à effet de champ (Field Effect Transistor - FET) mettant à profit les remarquables propriétés de transport du 2DEG situé à l'interface entre la barrière et le GaN. Comme tous transistors à effet de champs il est constitué de trois contacts métalliques : deux contacts ohmiques, la source et le drain, qui assure une connexion électrique avec le canal, et un contact Schottky, la grille (*gate* en anglais), permettant la commande du transistor. Le principe de ce type de composant, représenté par une image MEB faisant apparaître les différents contacts sur la figure 2.1, est en effet de moduler la conductance du canal et donc le courant qui circule entre les deux contacts ohmiques par application d'un champ électrique perpendiculaire à la direction du courant grâce à l'électrode de commande. La principale différence entre les structures MESFET (Metal Semiconductor Field Effect Transistor) et HEMT réside

dans la nature même du canal : semiconducteur dopé dans le premier cas et 2DEG formé naturellement à l'interface entre la barrière et le GaN dans le second. C'est en outre l'absence de dopage qui permet aux électrons du 2DEG de présenter des mobilités élevées. L'application d'une tension entre la source et le drain, notée V_{DS} , entraîne l'apparition

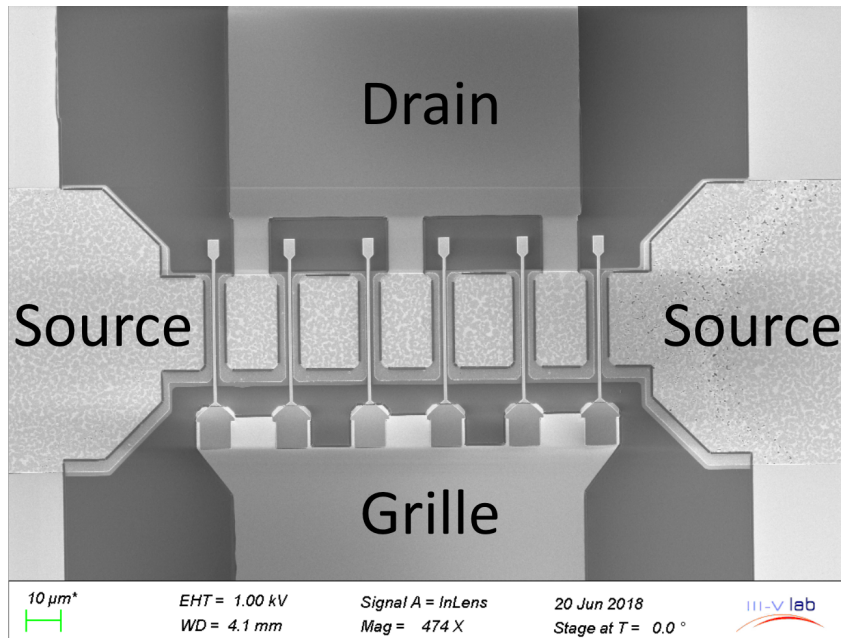


FIGURE 2.1 – Photographie MEB d'un HEMT à 6 doigts de grille

d'un courant I_{DS} . Le contrôle du courant I_{DS} est réalisé par l'application d'une tension entre la grille et la source, notée V_{GS} . Ainsi, l'application d'une tension V_{GS} négative va entraîner un rehaussement des bandes de conduction et donc du puits de potentiel dans lequel les électrons sont accumulés pour former le 2DEG. Cela se traduit par une diminution de la densité de porteurs dans le canal et donc une chute du courant I_{DS} . Cette réduction du courant avec la tension de grille se poursuit jusqu'à ce que V_{GS} atteigne une certaine valeur que l'on nomme tension de seuil (*threshold voltage*), notée V_{th} et à partir de laquelle on n'observe plus de variation significative de I_{DS} . La circulation du courant dans le HEMT GaN étant assurée, comme nous l'avons vu, par la présence du 2DEG et étant donné que ce dernier se forme naturellement à l'interface entre la barrière et le GaN, la tension de seuil de ces HEMT est négative : on dit alors que ce sont des composants normally-on car un courant I_{DS} non négligeable circule entre la source et le drain même lorsque la tension de grille V_{GS} est nulle. A l'inverse, on parlera de HEMT normally-off dans le cas de transistors dont la tension de seuil est positive et donc pour lequel aucun courant ne circule à $V_{GS} = 0 V$. La figure 2.2 représente schématiquement une coupe transversale simplifiée d'un HEMT GaN faisant apparaître les trois contacts métalliques.

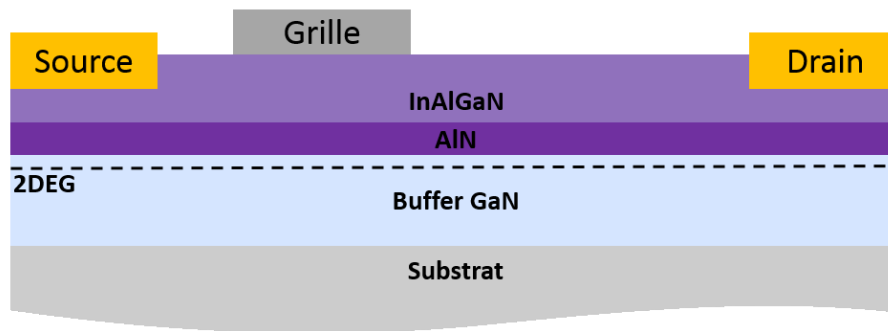


FIGURE 2.2 – Schema représentatif d'une coupe transversale d'un HEMT GaN.

2.2 HEMT GaN (normally-on)

2.2.1 Procédé technologique de fabrication d'un HEMT GaN

A partir d'une hétérostructure telle que celle représentée sur la figure 1.22, obtenue à partir de l'une des méthodes de croissance présentées dans le premier chapitre, nous sommes capables de fabriquer des transistors à haute mobilité électronique. Cette fabrication nécessite de nombreuses étapes technologiques auxquelles nous allons nous intéresser dans cette partie. Comme dans tout procédé de fabrication micro-électronique, la fabrication d'un HEMT repose sur une série d'étapes de lithographie suivies de dépôts, aussi bien de métaux que de diélectriques, ou de gravures. Nous allons donc dans un premier temps décrire le principe général de ces dernières avant de nous pencher plus en détails sur les différentes étapes de fabrication des HEMT GaN représentées sur la figure 2.3.

2.2.1.1 Lithographie

La lithographie est l'un des procédés de base que l'on retrouve à tous les niveaux de la fabrication de composants électroniques, aussi bien dans la filière GaN que dans les filières plus matures comme celle du Si. Cette étape permet de transférer des motifs dans une couche de résine préalablement déposée à la surface du matériau, exposant ainsi une partie de ce dernier en vue d'un dépôt ou d'une gravure. On distingue deux grands types de résines à savoir d'une part les résines photosensibles, qui sont utilisées pour les étapes de lithographie optique, et d'autre part les résines électrosensibles, utilisées quant à elles pour les étapes de lithographie électronique. Ces deux types de lithographie étant utilisés lors de la fabrication des HEMT, nous détaillerons également leur principe respectif.

La lithographie démarre par ce que l'on appelle un recuit de déshydratation. Ce dernier a pour rôle d'éliminer toute trace d'humidité présente à la surface du matériau qui pourrait diminuer l'adhérence du film de résine. Il est possible, à la suite de ce recuit, de procéder au dépôt d'un promoteur d'adhérence (*primer*) qui va, comme son nom

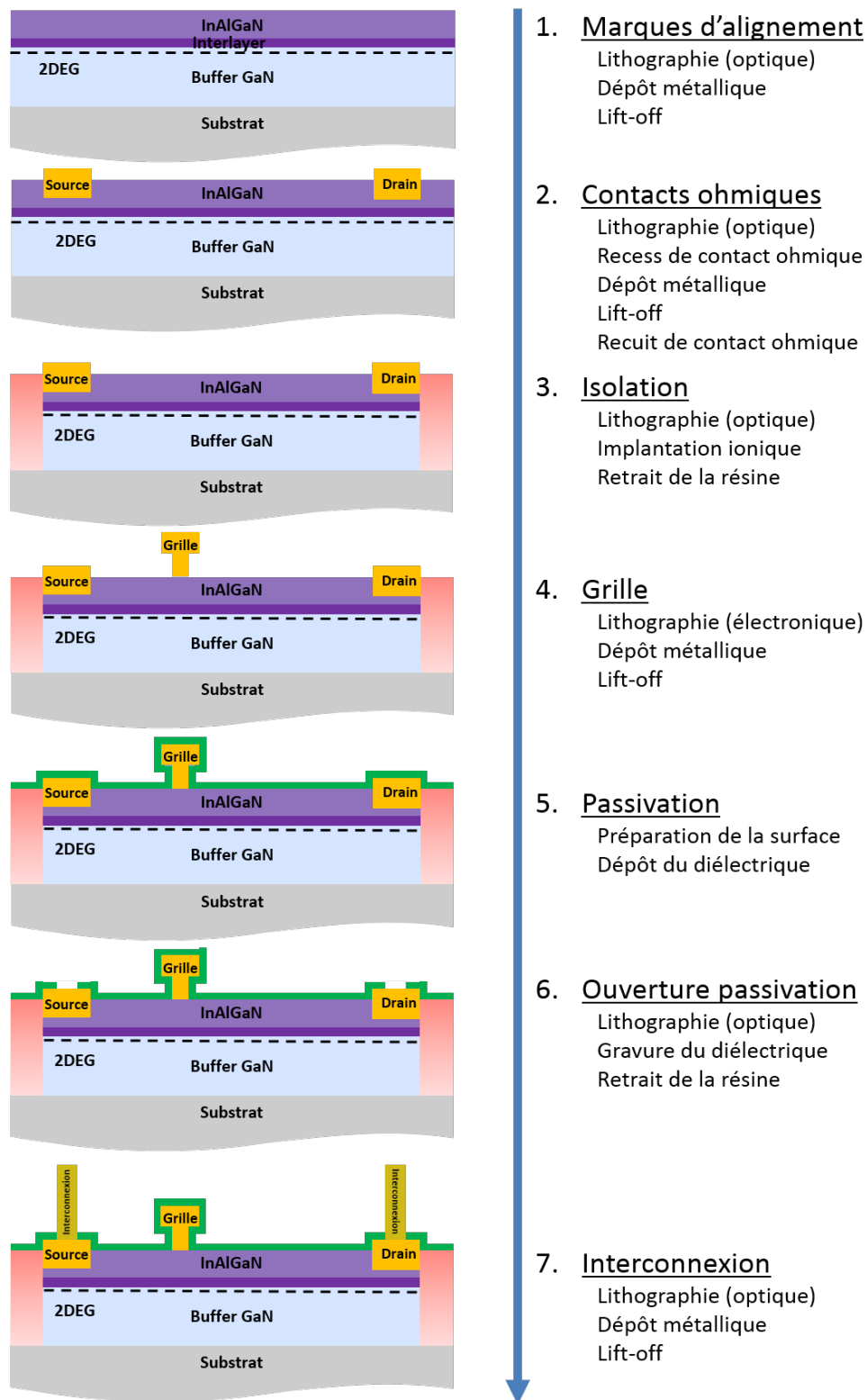


FIGURE 2.3 – Représentation schématique des différentes étapes du procédé de fabrication de HEMT GaN.

l'indique, améliorer l'adhérence de la résine sur le matériau, l'un des plus répandu étant l'hexamethyldisilazane (*HMDS*).

Il s'en suit alors le dépôt de la résine sur le substrat par enduction centrifuge (*spin-coating*). L'enduction centrifuge consiste à verser la résine sur le substrat placé, au préalable sur une tournette. En fonction des paramètres de rotation (durée, vitesse, accélération), la résine va alors s'étaler pour former une couche uniforme d'épaisseur contrôlée. Le substrat est ensuite recuit (*soft bake*) afin d'évaporer le solvant de la résine permettant de la figer. Vient alors l'étape de lithographie proprement dite, qui consiste à transférer ou écrire les motifs dans la résine, en fonction du type de lithographie réalisée.

La lithographie optique ou photolithographie est une technique qui permet de transférer les motifs d'un masque sur le substrat résiné par le biais d'une exposition à un rayonnement UV. La résine ainsi exposée va alors subir, sous l'effet des UV, une réaction chimique la rendant soluble dans un développeur dans le cas d'une résine positive où insoluble dans le cas d'une résine négative. C'est de cette façon que les motifs sont révélés lors du développement de la résine.

La lithographie électronique (*electron beam lithography* ou plus simplement e-beam) consiste quant à elle à écrire les motifs à l'aide d'un faisceau d'électrons. L'avantage de cette technique est qu'elle rend possible la réalisation de motifs extrêmement petits, de l'ordre de quelques nanomètres. Cependant la durée d'écriture peut atteindre plusieurs heures, contre quelques minutes dans le cas de la lithographie optique.

2.2.1.2 Métallisation

L'étape de métallisation consiste à déposer les métaux pour réaliser les différents types de contacts sur le semiconducteur (grille, source, drain) ainsi que l'interconnexion entre ces contacts et les plots qui servent à connecter les composants à des appareils de mesure. On distingue deux familles de dépôts, à savoir l'évaporation sous vide et la pulvérisation mais nous allons ici nous concentrer sur la première et plus particulièrement sur l'évaporation par faisceau d'électrons. Comme son nom l'indique, la méthode de dépôt métallique par évaporation consiste à chauffer une charge métallique dans une enceinte à pression réduite jusqu'à son évaporation de sorte que la matière évaporée puisse se recondenser sur le substrat à métalliser. Le niveau de vide dans l'enceinte lors du dépôt doit être suffisamment poussé afin de limiter la contamination du film déposé d'une part et maximiser le libre parcours moyen des atomes métalliques d'autre part. Un libre parcours moyen élevé permet en effet en partie de garantir l'anisotropie du dépôt, caractère important pour être ensuite capable de procéder au *lift-off*. L'évaporation du métal est assurée, dans le bâti que nous utilisons, par un faisceau d'électrons accélérés puis concentrés vers un creuset dans lequel se trouve la charge métallique. Cette méthode d'évaporation

présente plusieurs avantages par rapport à l'évaporation thermique à filament :

- elle permet d'atteindre des températures plus élevées, rendant possible le dépôt de métaux à haut point de fusion tel que le tungstène ou le molybdène.
- l'absence d'élément chauffant en contact avec la charge permet de garantir la pureté du dépôt.

Enfin, le bâti que nous utilisons est également équipé d'un canon à argon utilisé pour réaliser une gravure superficielle avant les dépôts afin d'éliminer les éventuels résidus de résine et créer une certaine rugosité dans le but d'améliorer l'adhérence du film métallique sur le semiconducteur.

2.2.1.3 Gravure plasma

Les nitrures d'éléments III étant particulièrement stables chimiquement, il n'est pas aisé de les graver par voie humide. La solution consiste donc à utiliser les méthodes de gravures physiques basées sur les plasmas. Au cours du procédé de fabrication, nous utilisons des bâtis qui diffèrent par la façon dont est généré le plasma, à savoir CCP-RIE (Capacitively Coupled Plasma Reactive Ion Etching) et ICP-RIE (Inductively Coupled Plasma Reactive Ion Etching) dont nous allons présenter ici le principe. Cependant, quelle que soit la technique employée pour créer le plasma, les mécanismes mis en jeu lors de la gravure restent les mêmes à savoir la combinaison d'une contribution chimique et d'une contribution physique. La composante chimique de la gravure plasma est principalement due à l'interaction entre les espèces réactives du plasma (radicaux libres) et la surface du matériau à graver. En outre, cette gravure chimique peut être décomposée en quatre étapes que sont la formation des radicaux dans le plasma par dissociation, l'adsorption des radicaux sur la surface, la réaction entre les atomes adsorbés et le semiconducteur et enfin la désorption des produits de réactions qui sont alors pompés en dehors de la chambre. La composante physique repose quant à elle sur la pulvérisation des atomes en surface par les espèces chargées présentes dans le plasma.

Dans un bâti de CCP-RIE dont un schéma est représenté sur la figure 2.4, le plasma est généré par application d'un fort champ électrique radiofréquence entre deux électrodes dont l'une d'elle (la cathode inférieure) sert de support au wafer à graver. Le champ électrique oscillant va avoir pour effet de dissocier les électrons de leur noyau. Ces électrons sont alors accélérés et vont pouvoir entrer en collision avec les différentes molécules présentes dans le gaz et ainsi former les différentes espèces présentes dans le plasma, à savoir les différents types d'ions (cations, anions) et les radicaux libres non chargés. On observe également l'apparition d'un potentiel d'autopolarisation due à l'accumulation des électrons au niveau de la cathode. C'est la somme de ce potentiel d'autopolarisation et du potentiel du plasma qui définit l'énergie avec laquelle les ions vont bombarder la surface du substrat. C'est d'ailleurs là que réside le principal inconvénient de cette technique :

la puissance RF appliquée a une influence directe à la fois sur la densité du plasma (la densité d'espèces chargées) et sur le potentiel d'autopolarisation. L'ICP-RIE est une des

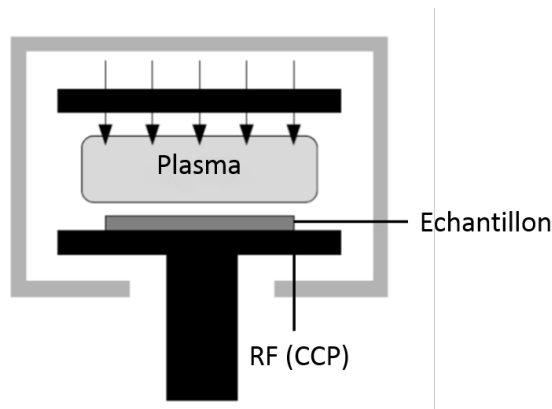


FIGURE 2.4 – Représentation schématique d'un bâti de CCP-RIE

techniques qui permet justement de décorréler ces deux paramètres. Dans cette configuration, le plasma n'est plus généré par le champ électrique entre les deux électrodes parallèles présentes dans la chambre mais à l'aide d'une bobine placée autour de cette dernière et qui est également reliée à un générateur RF, comme représenté sur la figure 2.5. Le courant circulant dans cette bobine va alors générer un champ magnétique oscillant qui va à son tour créer un champ électrique à l'origine du plasma. Cette technique permet donc de contrôler indépendamment la densité du plasma grâce à la puissance RF injectée dans la bobine tandis que l'énergie des ions qui bombardent le substrat est contrôlée par le champ électrique appliqué entre les deux électrodes parallèles. On observe en outre que la pression dans l'enceinte peut être bien plus faible dans cette configuration que dans le cas du CCP-RIE, ce qui se traduit par un libre parcours moyen des espèces plus important et donc une anisotropie de gravure accrue.

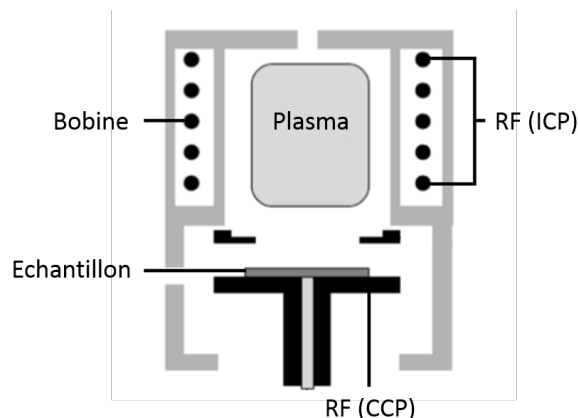


FIGURE 2.5 – Représentation schématique d'un bâti d'ICP-RIE

2.2.1.4 Dépôt chimique en phase vapeur

Le dépôt chimique en phase vapeur (Chemical Vapor Deposition - CVD) est un terme regroupant en réalité plusieurs techniques de dépôt de couche mince à partir de précurseurs gazeux. Au cours de notre procédé de fabrication, on compte deux étapes de CVD, à l'aide de deux techniques différentes, lors de la passivation des composants.

La première technique utilisée est l'ICP-CVD (Inductively Coupled Plasma CVD) et repose, comme son nom l'indique, sur l'ionisation des précurseurs et donc la formation d'un plasma pour assurer le dépôt d'un diélectrique à la surface du semiconducteur. Bien que l'on parle ici de dépôt, le plasma est généré de façon similaire à celle décrite précédemment dans la partie 2.2.1.3 sur la gravure sèche. L'avantage de l'ICP-CVD par rapport aux autres techniques de CVD est la possibilité de réaliser des dépôts à plus faible température ce qui se traduit notamment par des contraintes plus faibles dans le film déposé.

La seconde technique employée lors du process est l'Atomic Layer Deposition. Contrairement aux autres techniques de CVD où tous les précurseurs sont introduits simultanément dans l'enceinte du bâti, l'ALD est basée sur un cycle d'exposition successives aux différents réactifs séparées par des étapes de purges. Ce cycle, représenté sur la figure 2.6.

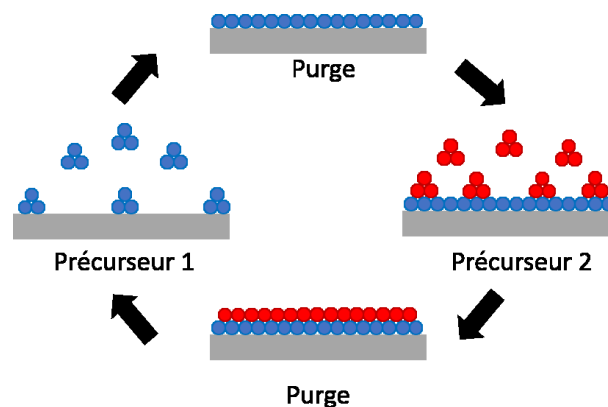


FIGURE 2.6 – Représentation schématique d'un cycle d'Atomic Layer Deposition.

De même que pour l'ICP-CVD présentée ci-dessus, l'ALD est utilisée pour le dépôt d'une seconde couche de passivation, au dessus de celle déposée par dépôt chimique en phase vapeur.

2.2.1.5 Marques d'alignement

Le procédé de fabrication des transistors étudiés débute par le dépôt de motifs que l'on nomme marques d'alignement. Ces marques sont essentielles pour la suite du procédé car c'est grâce à ces dernières que tous les autres niveaux de lithographie (optique et

électronique) seront alignés entre eux. Elles sont réalisées par dépôt de titane Ti, métal peu coûteux et qui adhère particulièrement bien à la surface des nitrures.

2.2.1.6 Contacts ohmiques

2.2.1.6.1 Généralités

Cette étape consiste à déposer l'empilement métallique formant la source et le drain des HEMT. Un contact ohmique se définit comme étant un contact métal/semiconducteur dont la caractéristique I-V est linéaire et symétrique. Comme nous le verrons ultérieurement, la maîtrise de cette étape est essentielle pour permettre en particulier, la montée en fréquence des composants. Les contacts ohmiques sur les nitrures d'éléments III non intentionnellement dopés sont réalisés à partir de métaux présentant un faible travail de sortie, c'est à dire tels que la hauteur de barrière Schottky sera faible. La figure 2.7 présente les hauteurs de barrières Schottky obtenues avec différents métaux sur GaN de types p et n. Bien que l'aluminium soit le métal qui présente ici le plus faible travail de sortie, c'est le

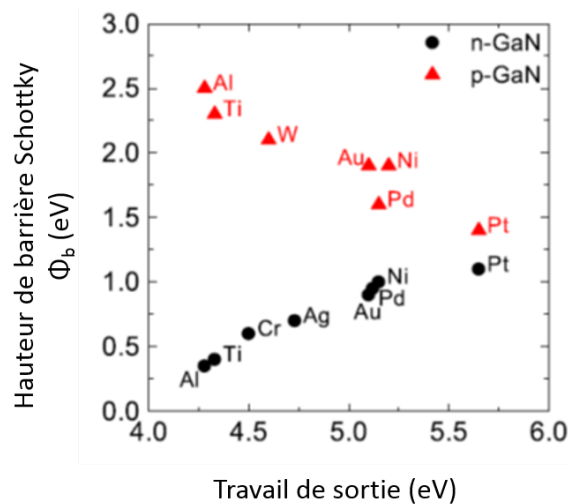


FIGURE 2.7 – Hauteur de barrière Schottky obtenue avec différents métaux sur p-GaN et n-GaN [31]

titane qui est le plus généralement utilisé comme première couche de l'empilement formant le contact ohmique. Il présente en effet l'avantage d'être particulièrement réactif avec le GaN lorsqu'il est recuit, entraînant alors la formation de TiN à l'interface Titane/Nitride dont le travail de sortie est encore plus faible que celui du titane. Cette formation de TiN s'accompagne de la création de lacunes d'azote dans le semiconducteur qui se comportent comme des donneurs et génèrent ainsi un pseudo-dopage n de la barrière. Comme précisé précédemment, le contact ohmique ne consiste pas en une unique couche de titane mais en un empilement de plusieurs métaux. En effet, le titane a tendance à s'oxyder et à former des volumes creux à l'interface avec le semiconducteur lors des recuits thermiques. On

le recouvre donc d'une couche d'aluminium dont le but est d'empêcher la formation des volumes creux mais qui ne règle cependant pas le problème d'oxydation.

Pour cela, l'empilement est complété par un dépôt de nickel et d'or. Le nickel n'est utilisé que comme barrière de diffusion afin d'éviter que l'aluminium et l'or ne forme des alliages tels que Au_5Al_2 (peste blanche) dont la conductivité électrique est si faible qu'il rendrait le composant inutilisable, ou encore Au_2Al qui est si fragile et friable que sa formation risquerait d'entraîner des courts-circuits. Le nickel présentant lui aussi une faible conductivité électrique, l'épaisseur déposée doit être suffisamment épaisse pour jouer son rôle de barrière de diffusion mais suffisamment fine pour ne pas dégrader de façon trop importante les propriétés électriques des contacts. La dernière couche de l'empilement est une couche d'or qui permet de protéger les métaux précédemment déposés de toutes possibilités d'oxydation.

Un recuit rapide à haute température, généralement entre 800 et 900 °C, est ensuite réalisé afin de permettre la diffusion des métaux et la formation des différents alliages comme le TiN, permettant l'obtention d'un contact ohmique de bonne qualité. Cependant, bien qu'améliorant les propriétés électriques du contact, le recuit entraîne également une augmentation de la rugosité des contacts. Cette dernière conduit à la formation d'agrégats qui émergent à la surface du contact et qui pose un véritable problème dans le cadre de la montée en fréquence. En effet, la formation de ces agrégats sur les flancs des contacts apparaît comme un obstacle majeur à la réduction des dimensions des composants telles que la distance entre les différents contacts qui est l'un des moyens d'augmenter la fréquence de fonctionnement des transistors étant donné que cette distance n'est dès lors plus contrôlée. On risque notamment, si les distances sont très faibles, d'observer un contact entre la grille et la source.

La solution à ce problème existe et repose sur la technique dite de recroissance des contacts ohmiques. Elle consiste à graver l'hétérostructure jusqu'au buffer GaN puis à réaliser une recroissance de GaN fortement dopé n sur lequel seront ensuite déposés les métaux pour former le contact ohmique. Cette technique permet d'une part de s'affranchir de l'étape de recuit thermique ce qui se traduit par une faible rugosité des contacts, donc des flancs abrupts et d'autre part d'atteindre les résistances de contact les plus faibles.

2.2.1.6.2 Caractérisation des contacts ohmiques

La méthode la plus répandue à l'heure actuelle pour la caractérisation des contacts ohmiques se base sur le modèle TLM (Transfer Length Measurement).

Considérons deux contacts métalliques identiques de longueur L , de largeur W et séparés d'une distance d à la surface d'un semiconducteur. Si l'on applique une tension entre ces deux contacts, un courant peut circuler en passant tout d'abord dans le premier

contact, puis dans le semiconducteur avant de ressortir par le second plot métallique. Les deux contacts étant identiques, leurs résistances sont égales. Par conséquent, la résistance totale mesurée est donnée par :

$$R_T = 2 \cdot R_c + 2 \cdot R_M + R_s \quad (2.1)$$

avec R_c la résistance de contact correspondant à l'interface métal/semiconducteur, R_m la résistance des plots métalliques et R_s la résistance du semiconducteur, elle-même donnée par :

$$R_s = R_{\square} \cdot \frac{d}{L} \quad (2.2)$$

avec R_{\square} la résistance de feuille. La résistance du métal étant le plus souvent négligeable par rapport aux deux autres, on a :

$$R_T = 2 \cdot R_c + R_{\square} \cdot \frac{d}{L} \quad (2.3)$$

La détermination des différentes résistances par la méthode TLM nécessite en fait plusieurs contacts espacés de différentes distances $\{d_1, d_2, \dots, d_n\}$ tels que représentés sur la figure 2.8. L'évolution de la résistance totale mesurée est alors représentée graphiquement en

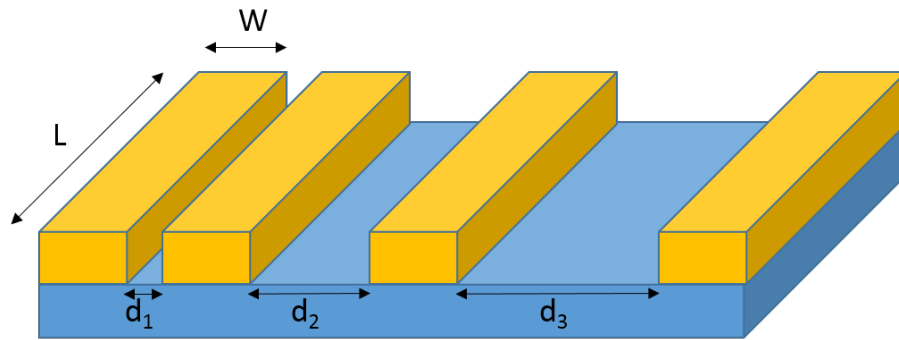


FIGURE 2.8 – Représentation schématique d'une échelle TLM

fonction de la distance entre deux contacts comme représentée sur la figure 2.9 où il est possible de déterminer plusieurs paramètres, à savoir :

- la résistance de contact R_c par extrapolation linéaire de la droite représentative de la fonction $R_t = f(d)$, l'intersection de cette dernière avec l'axe des ordonnées valant $2 R_c$.
- la résistance de feuille R_{\square} qui est déterminée à partir de la pente de la droite.
- la longueur de transfert L_t , qui correspond à la distance moyenne que parcourent les porteurs dans le semiconducteur sous le contact métallique avant de pénétrer

dans ce dernier.

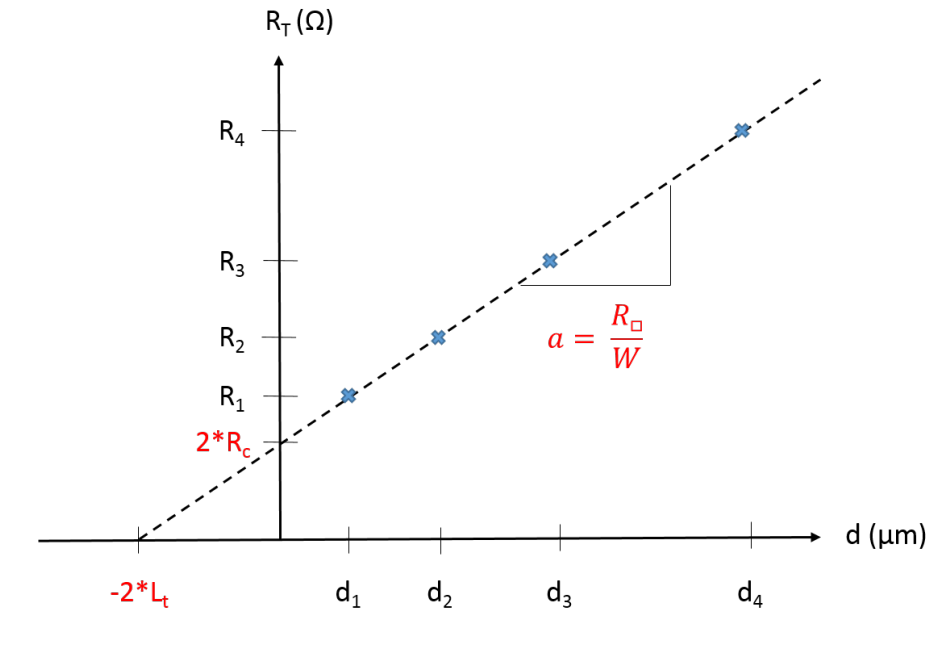


FIGURE 2.9 – Représentation graphique de l'évolution de la résistance totale en fonction de la distance entre les contacts

2.2.1.7 Isolation

L'isolation des composants consiste à définir le développement du transistor en confinant les lignes de champs dans l'espace source-drain. Ce confinement est réalisé en faisant disparaître le 2DEG en dehors des zones actives. Pour cela, deux techniques sont utilisables :

- l'isolation par méso, qui repose sur une gravure de l'hétérostructure suffisamment profonde (généralement jusqu'au niveau du buffer) de sorte que le 2DEG ne puisse plus se former.
- l'isolation par implantation, qui repose sur l'implantation d'ions de façon à détruire la structure cristalline et donc amorphiser les différentes couches de l'hétérostructure.

Bien que plus compliquée à mettre en œuvre, l'isolation par implantation est globalement préférée à l'isolation par méso. En effet, la gravure des mésas a pour effet, d'une part, de rendre la structure des composants tridimensionnelle et, d'autre part, d'exposer les flancs de la zone active. Le premier effet peut compromettre la continuité métallique des interconnexions mais surtout des doigts de grilles au niveau du passage de marche, tandis que le deuxième peut conduire à l'augmentation des courants de grille étant donné que les doigts de grille peuvent alors être directement connectés au 2DEG.

La tension d'isolation est évaluée à l'aide de deux contacts métalliques séparés par

une zone isolée. Le courant circulant entre ces deux contacts est alors mesuré pour différentes valeurs de tensions et permet ainsi d'estimer la performance de l'isolation, pour une distance entre les contacts donnée.

2.2.1.8 Grille

Comme la source et le drain, la grille un contact métal/semiconducteur, mais à la différence de ces derniers, il s'agit d'un contact Schottky et non ohmique. La grille permet en outre l'effet transistor, qui consiste à contrôler le courant qui circule dans le composant de la source vers le drain à l'aide d'une tension appliquée entre la grille et la source par la modulation de la densité de porteurs dans le 2DEG. Si l'on se réfère à la figure 2.7, on peut voir que l'on préférera utiliser, dans le cas de la réalisation d'un contact Schottky sur un nitrure d'élément III dopé n (comme c'est naturellement le cas pour les nitrures non intentionnellement dopés), un métal tel que le platine afin d'obtenir la hauteur de barrière ϕ_b la plus élevée possible et donc limiter les courants de fuite de grille.

L'amélioration des performances hyperfréquences des HEMT passe, entre autres, par la réduction de la longueur de grille, ce qui conduit en contrepartie à l'augmentation de la résistance de cette dernière. C'est pourquoi le contact Schottky est généralement complété par un dépôt d'or. Une façon complémentaire de diminuer la résistance de la grille tout en réduisant sa longueur est de réaliser des grilles en "T", aussi appelée grilles champignon, du fait de leur forme, comme représenté sur la figure 2.10. La grille peut alors être décomposée en deux parties distinctes, à savoir le pied, dont la longueur est égale à la longueur effective de la grille et le chapeau, qui permet de limiter la résistance de grille R_g .

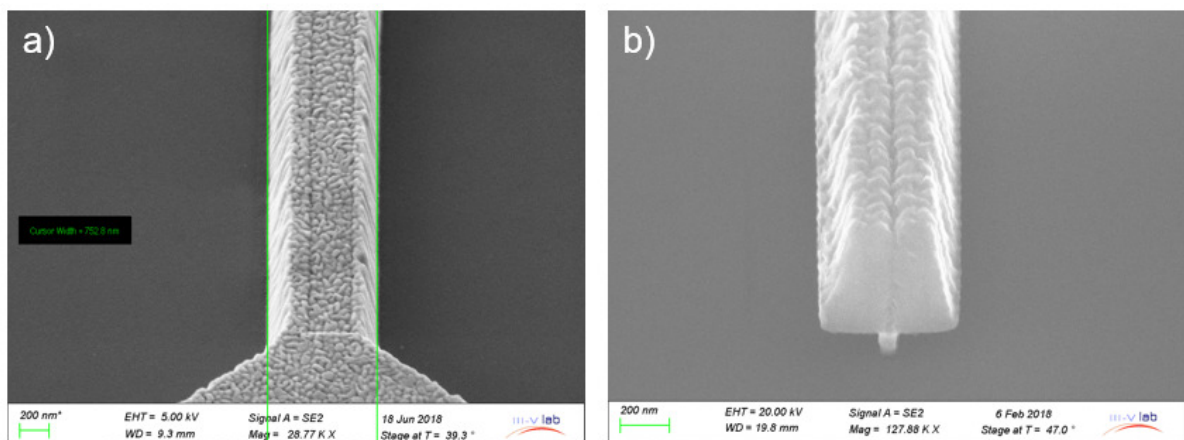


FIGURE 2.10 – Images MEB a) d'une grille rectangulaire et b) d'une grille en "T"

2.2.1.9 Passivation

L'étape de passivation est cruciale pour assurer le bon fonctionnement des HEMT ainsi que leur fiabilité. En effet, sans passivation, les performances des transistors chutent drastiquement dû notamment à la capture d'électrons par des pièges. Ce piégeage des porteurs entraîne d'une part une réduction de la densité d'électrons dans le 2DEG et donc une diminution du courant de drain et, d'autre part, la formation d'une grille virtuelle qui participe elle aussi à la dégradation des performances.

Cette étape de passivation consiste en général à déposer un diélectrique sur toute la surface de la plaque qui aura pour rôle de protéger la surface du semiconducteur des éventuelles agressions physiques et chimiques qui pourraient survenir lors de la suite du process ou de l'utilisation du composant, mais surtout de neutraliser l'activité électrique des différentes sources de pièges telles que les liaisons pendantes où les défauts cristallins.

Une grande variété de diélectriques est utilisée en tant que couche de passivation dans le cadre de la fabrication des HEMT GaN. On retrouve notamment de nombreux oxydes tels que le SiO_2 [32], l' Al_2O_3 [33, 34], le Ga_2O_3 [35, 36] ou encore le HfO_2 [37]. Le diélectrique le plus couramment utilisé est toutefois le Si_xN_y [38], parfois en combinaison avec l'un des oxydes cités précédemment. En ce qui concerne la technique de dépôt utilisée, on peut la aussi en citer un grand nombre, allant de l'ALD à l'oxydation thermique d'un film métallique en passant par différents types de CVD (PECVD, LPCVD). Il est aussi très courant de recourir à un traitement pré-dépôt dans le but d'améliorer l'interface diélectrique/semiconducteur et donc inhiber davantage les pièges en surface[39]. Ce pré-traitement a pour but d'éliminer les contaminations (composés organiques) et les oxydes natifs présents à la surface du semiconducteur.

Dans notre cas, nous déposons une couche de nitrure de silicium SiN déposé par ICP-CVD

2.2.1.10 Ouverture de la passivation

Les contacts ohmiques et la grille étant à ce niveau du procédé totalement recouverts par la passivation, il nous faut maintenant ouvrir cette dernière. L'ouverture de la passivation consiste à la graver afin de permettre un accès aux différents contacts. Étant donné l'épaisseur des contacts et la présence d'or à la surface de ces derniers, l'ouverture de la passivation n'est pas une étape critique dans le sens où elle ne demande pas une grande précision. Il est revanche primordial de la graver entièrement afin d'assurer le contact entre le métal des contacts ohmiques/de la grille et celui qui sera déposé lors de l'étape suivante, à savoir l'interconnexion.

La gravure de la passivation est réalisée à l'aide d'un plasma à base de CHF_3 et de

SF_6 avec une puissance RIE de 40 W (DC Bias de 260 V) permettant une gravure rapide sans pour autant risquer de détériorer la surface des différents contacts.

2.2.1.11 Interconnexion

L'interconnexion est l'étape du procédé à partir de laquelle la majeure partie des composants présents sur le wafer sont mesurables. Cette étape consiste d'une part à relier les différents composants actifs et passifs des MMIC et d'autre part de relier lesdits circuits et transistors de test à de grands plots métalliques. Ces derniers permettent en outre le câblage des circuits et facilitent la mesure sous pointes des transistors. Dans le cas des transistors réalisés et caractérisés dans le cadre de ces travaux de thèse, les lignes de transmissions RF sont des lignes coplanaires. Ces guides d'ondes coplanaires sont constitués d'une ligne de signal et de deux lignes de masse de part et d'autre de la première et sont déposées comme la majorité des métaux que nous utilisons, par évaporation sous vide d'un empilement Ti/Pt/Au.

2.2.2 Caractérisation des HEMT GaN

Comme nous l'avons vu précédemment, les HEMT sont des transistors à effet de champ constitués de deux contacts ohmiques assurant la circulation d'un courant I_{DS} contrôlé à l'aide de l'électrode de commande en fonction de la tension V_{GS} appliquée entre cette dernière et la source. Nous avons notamment vu que deux types de HEMT GaN coexistent et qu'ils se différencient par la valeur de leur tension de seuil V_{th} qui est négative dans le cas des HEMT normally-on et positive pour les normally-off. Dans cette partie, nous allons nous intéresser aux différentes techniques de caractérisation de ces dispositifs en considérant un HEMT normally-on. Ces dernières peuvent néanmoins être utilisées pour la caractérisation de composants normally-off.

2.2.2.1 Caractérisations en régime statique

Les HEMT sont généralement caractérisés en régime statique en premier lieu car ces mesures sont relativement faciles à mettre en œuvre et permettent d'obtenir un bon aperçu des performances des composants. On réalise notamment deux types de mesures afin de tracer les caractéristiques $I_{ds}-V_{ds}$ et $I_{ds}-V_{gs}$, respectivement nommées réseau I-V et courbe de transfert.

Intéressons nous tout d'abord à la caractéristique $I_{ds}-V_{ds}$. Elle correspond à la mesure du courant I_{ds} à une tension V_{gs} donnée et en faisant varier la tension V_{ds} . Pour obtenir un réseau de courbes tel que représenté sur la figure 2.11, on répète la mesure plusieurs fois à différentes tensions V_{gs} . On peut distinguer deux régimes de fonctionnement : un régime linéaire pour les faibles tensions V_{ds} et un régime de saturation pour des tensions

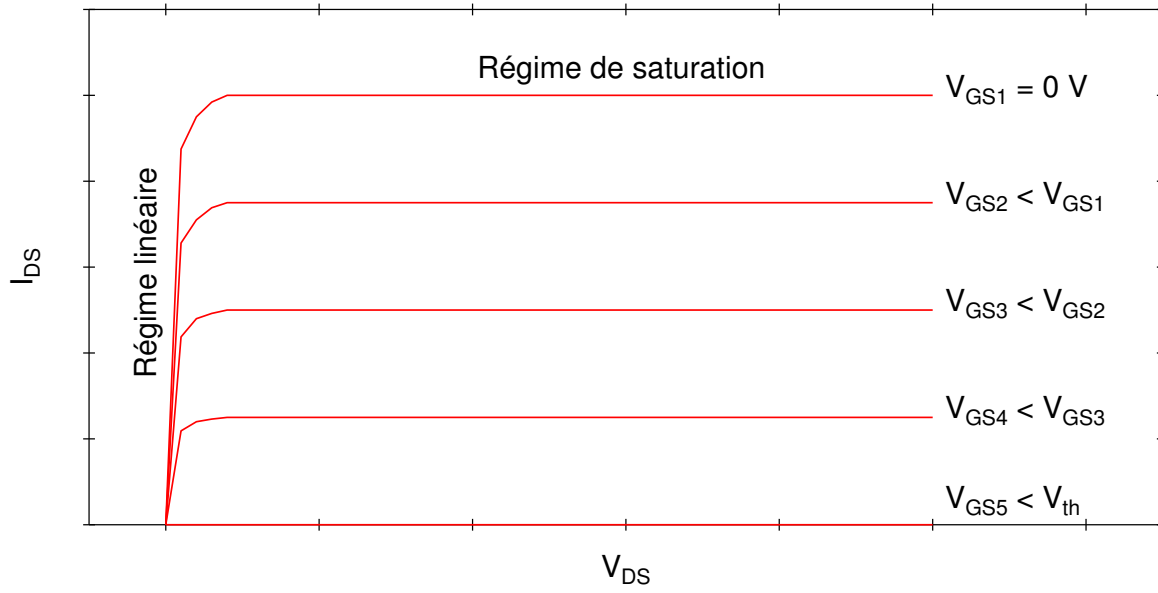


FIGURE 2.11 – Caractéristique $I_{DS} - V_{DS}$ (réseau I-V) typique (théorique) d'un HEMT GaN

plus élevée. Le courant I_{ds} s'exprime sous la forme :

$$I_{ds} = q \cdot n_s(V_{gs}) \cdot v_d(E) \cdot W \quad (2.4)$$

avec $v_d(E)$ la vitesse de dérive des électrons en fonction du champ électrique E et W le développement du transistor (qui est obtenu en multipliant la largeur de la grille par le nombre de doigt de grille qu'a le transistor). La vitesse de dérive des électrons en fonction du champ peut s'exprimer sous la forme :

$$v_d(E) = \frac{\mu \cdot E}{\sqrt{1 + \left(\frac{\mu \cdot E}{v_{sat}}\right)^2}} \quad (2.5)$$

ou μ est la mobilité électronique et v_{sat} la vitesse de saturation des électrons. On peut alors distinguer deux cas de figure :

— à faible champ :

$$\frac{\mu \cdot E}{v_{sat}} \ll 1 \Rightarrow v_d(E) = \mu \cdot E \quad (2.6)$$

On peut donc exprimer le courant en régime linéaire à partir des équations 2.4 et 2.6 sous la forme :

$$I_{ds,lin} = q \cdot n_s(V_{gs}) \cdot \mu \cdot E \cdot W \quad (2.7)$$

— à fort champ :

$$\frac{\mu \cdot E}{v_{sat}} \gg 1 \Rightarrow v_d(E) = v_{sat} \quad (2.8)$$

A partir des équations 2.4 et 2.8, on peut donc exprimer le courant en régime de saturation sous la forme :

$$I_{ds,sat} = q \cdot n_s(V_{gs}) \cdot v_{sat} \cdot W \quad (2.9)$$

Cette caractéristique permet notamment la détermination de la résistance à l'état passant, notée R_{on} , cette dernière étant l'inverse de la pente de la courbe $I_{ds} = f(V_{ds})$ en régime linéaire.

La courbe de transfert est quant à elle obtenue en mesurant le courant I_{ds} à une tension V_{ds} donnée et en faisant varier la tension V_{gs} . On peut déterminer plusieurs paramètres à partir de cette caractéristique, tels que la tension de seuil V_{th} ou la transconductance g_m . Comme nous l'avons définie précédemment, la tension de seuil V_{th} est la tension en dessous de laquelle la région du 2DEG situé sous la grille est complètement déplétée. Cette dernière peut être déterminée à partir de la caractéristique I_{ds} - V_{gs} à l'aide de différentes méthodes telles que :

- la méthode de la tangente qui consiste à tracer la courbe de transfert et de tracer la tangente à la partie linéaire de cette courbe. On considère alors que la tension de seuil correspond à l'intersection entre cette tangente et l'axe des abscisses.
- la méthode quadratique, pour laquelle on ne s'intéresse plus à la partie linéaire de la courbe de transfert mais à la partie quadratique située juste avant. On trace alors la courbe représentative de la fonction $\sqrt{I_{ds}} = f(V_{gs})$ et l'on considère que la tension de seuil correspond là encore à l'intersection entre la tangente à cette droite et l'axe des abscisses.
- la méthode qui consiste à spécifier une valeur de courant I_{ds} et qui définit la tension de seuil comme étant la tension V_{gs} à partir de laquelle le courant de drain atteint la valeur choisie.

On peut également déterminer un autre paramètre particulièrement important à partir de cette caractéristique de transfert, à savoir la transconductance g_m qui traduit la capacité de la grille à moduler la densité de porteurs dans le 2DEG. Elle est définie comme étant le rapport entre les variations du courant I_{ds} et la tension V_{gs} pour une tension V_{ds} constante.

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=cste} \quad (2.10)$$

La transconductance est une grandeur fondamentale car elle permet d'évaluer les capa-

cités du composant pour les applications d'amplification. On distingue deux valeurs de transconductance qui sont la transconductance extrinsèque $g_{m,ext}$, qui tient compte des accès aux transistors et notamment de la résistance de source R_s et la transconductance intrinsèque $g_{m,int}$. La valeur maximale de cette grandeur est donnée par :

$$g_{m,int,max} = \frac{\epsilon_{bar} \cdot v_{sat} \cdot W}{t_{bar} + \Delta t} \quad (2.11)$$

avec ϵ_{bar} et t_{bar} la permittivité électrique et l'épaisseur de la barrière et Δt la délocalisation du 2DEG dans le canal par rapport à l'interface barrière/canal, généralement évaluée à 2 nm. D'après l'équation 2.11, l'une des solutions pour augmenter la transconductance des composants est donc de réduire l'épaisseur de la barrière.

La valeur maximale de la transconductance extrinsèque d'un HEMT est quant à elle donnée par :

$$g_{m,ext,max} = \frac{g_{m,int,max}}{1 + R_s \cdot g_{m,int,max}} \quad (2.12)$$

On voit d'après l'équation 2.12 que pour s'approcher au plus près de la valeur intrinsèque de transconductance, il faut réduire au maximum la résistance de source R_s , cette dernière étant donnée par :

$$R_s = \frac{R_c}{W} + \frac{L_{gs} \cdot R_{\square}}{W} \quad (2.13)$$

avec R_c la résistance de contact, R_{\square} la résistance du canal et L_{gs} la distance entre la source et la grille, qui sont les trois grandeurs qu'il faudra réduire au maximum afin de minimiser la résistance de source R_s .

2.2.2.2 Caractérisations en régime impulsionnel

La caractérisation en régime impulsionnel des composants consiste à superposer des impulsions de tension aux composantes continues V_{gs0} et V_{ds0} qui définissent l'état du transistor à son point de repos. La durée des impulsions doit être choisie avec soin : suffisamment courte pour minimiser le phénomène d'échauffement thermique qui modifierait les propriétés de transport et donc le comportement du transistor mais assez longue pour déterminer un palier permettant de pouvoir réaliser une mesure précise des caractéristiques pulsées. De la même façon, les temps de montée et descente doivent être déterminés avec attention pour ne pas dégrader voire détruire le transistor. Enfin, le rapport cyclique, qui correspond au rapport entre la durée du pulse sur la période doit être suffisamment faible pour permettre au transistor de retourner à son état d'origine tout en minimisant les effets de dégradation thermique. En fonction des points de repos fixés, il est possible d'identifier et d'évaluer certains phénomènes de dégradations des transistors :

-
- le point de polarisation $V_{gs0} = 0$ V et $V_{ds0} = 0$ V permet de réaliser des mesures sans que les effets de dégradation thermique ou de piégeage activé par le champ électrique n'interviennent. En cela, il sert de référence pour la détermination des paramètres électriques et la comparaison par rapport à ceux obtenus avec les points de repos suivants.
 - le point de polarisation $V_{gs0} < V_{th}$ et $V_{ds0} = 0$ V permet d'évaluer les dégradations engendrées par la modification du potentiel de grille à partir d'une valeur inférieure à la tension de seuil. Ces dégradations sont dues à la capture d'électrons par des pièges de surface et dans la barrière à proximité et sous la grille et correspondent au phénomène que l'on nomme *gate-lag*.
 - le point de polarisation $V_{gs0} < V_{th}$ et $V_{ds0} > 0$ V permet d'évaluer les dégradations engendrées par la modification du potentiel de drain à partir d'une tension de fonctionnement donnée. Ces dégradations sont attribuées aux pièges situés plus profondément dans la structure que ceux qui interviennent dans le *gate-lag* et ceux en surface dans l'espace source-drain. Pour décrire ces dégradations, on parle de *drain-lag*.

Les pertes engendrées par le *gate-lag* et le *drain-lag* peuvent être quantifiées respectivement par :

$$\alpha_{gate-lag} = \frac{I_{ds}(V_{gs0} = 0 \text{ V} ; V_{ds0} = 0 \text{ V}) - I_{ds}(V_{gs0} < V_{th} ; V_{ds0} = 0 \text{ V})}{I_{ds}(V_{gs0} = 0 \text{ V} ; V_{ds0} = 0 \text{ V})} * 100 \quad (2.14)$$

et

$$\alpha_{drain-lag} = \frac{I_{ds}(V_{gs0} < V_{th} ; V_{ds0} = 0 \text{ V}) - I_{ds}(V_{gs0} < V_{th} ; V_{ds0})}{I_{ds}(V_{gs0} < V_{th} ; V_{ds0} = 0 \text{ V})} * 100 \quad (2.15)$$

avec $I_{ds}(V_{gs0} = 0 \text{ V} ; V_{ds0} = 0 \text{ V})$, $I_{ds}(V_{gs0} < V_{th} ; V_{ds0} = 0 \text{ V})$ et $I_{ds}(V_{gs0} < V_{th} ; V_{ds0})$ les densités de courant de drain correspondant aux points de polarisation $(V_{gs0} = 0 \text{ V} ; V_{ds0})$, $(V_{gs0} < V_{th} ; V_{ds0} = 0 \text{ V})$ et $(V_{gs0} < V_{th} ; V_{ds0})$ aux tensions $V_{gs} = 0 \text{ V}$ et V_{ds} où la chute de courant est la plus importante.

2.2.2.3 Caractérisations hyperfréquence - Régime petit signal

Nous avons vu précédemment que certains paramètres déterminés à partir des caractérisations statiques permettent d'estimer les capacités des composants pour les applications hyperfréquences. La caractérisation électrique en régime petit signal, c'est à dire avec des variations de signal autour du point de polarisation suffisamment faibles pour que les effets non-linéaires soient négligeables, va permettre d'étudier l'évolution des paramètres caractéristiques en fonction de la fréquence. Cette caractérisation est réalisée grâce à la mesure des paramètres S. Considérons un quadripôle tel que représenté sur la figure 2.12. Les relations d'onde entre les courants et les tensions sont définies par :

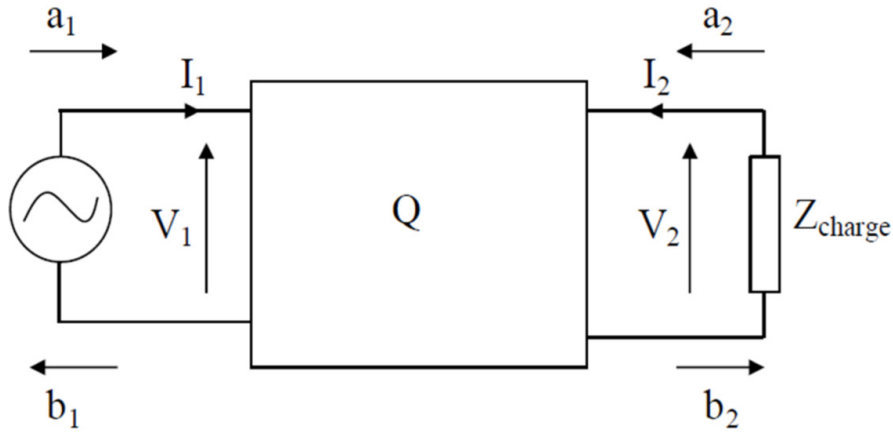


FIGURE 2.12 – Représentation schématique d'un quadripôle et des ondes disponibles à ses bornes.

$$a_1 = \frac{V_1 + Z_c I_1}{2\sqrt{Z_c}} \text{ et } b_1 = \frac{V_1 - Z_c I_1}{2\sqrt{Z_c}} \quad (2.16)$$

$$a_2 = \frac{V_2 + Z_c I_2}{2\sqrt{Z_c}} \text{ et } b_2 = \frac{V_2 - Z_c I_2}{2\sqrt{Z_c}} \quad (2.17)$$

avec a_1 et b_1 les amplitudes des ondes incidente et réfléchie en entrée du dispositif et a_2 et b_2 les amplitudes des ondes incidente et réfléchie en sortie de ce dernier. Ces ondes incidentes et réfléchies sont reliées par la matrice des paramètres S_{ij} tel que :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (2.18)$$

avec S_{21} et S_{12} les coefficients de transmission directe (de l'entrée vers la sortie) et inverse (de la sortie vers l'entrée) et S_{11} et S_{22} les coefficients de réflexion en entrée et en sortie du dispositif. Ces coefficients S_{ij} sont déterminés expérimentalement à l'aide d'un analyseur de réseau vectoriel en induisant une onde incidente a_j sur le port j du quadripôle et en mesurant l'onde réfléchie b_i sur le port i .

Comme évoqué précédemment, il est possible d'estimer les capacités fréquentielles d'un HEMT à partir des mesures de paramètres S . Ils interviennent en effet dans l'expression de différents paramètres tels que les gains à partir desquels sont déterminées les fréquences caractéristiques du composant.

2.2.2.3.1 Schéma équivalent petit-signal

Le schéma équivalent petit signal d'un HEMT est représenté sur la figure 2.13. Ce dernier permet, à partir des éléments électriques tels que résistances, condensateurs et inductances, de modéliser le fonctionnement du transistor. Les éléments de ce schéma, déterminés à partir des paramètres S_{ij} , permettent en outre l'expression de certains paramètres reflétant les capacités fréquentielles du transistor, à savoir f_t et f_{Max} .

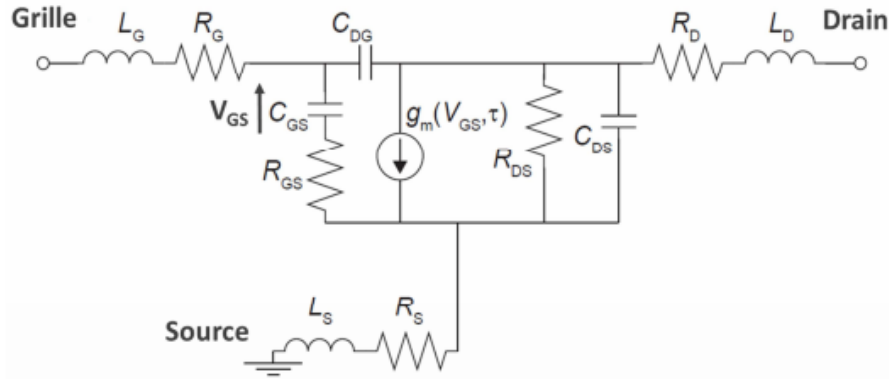


FIGURE 2.13 – Schéma équivalent petit signal d'un HEMT

2.2.2.3.2 Fréquence de coupure de gain en courant f_T

L'un des critères qui permet d'évaluer l'efficacité du transistor est la fréquence de coupure du gain en courant f_T . Elle correspond à la fréquence maximale pour laquelle la commande est amplifiée en courant. Cette valeur est déterminée en réalisant une mesure de paramètres S en se plaçant au point de polarisation tel que la transconductance est maximale. A partir des paramètres S ainsi mesurés, on calcule le paramètre H_{21} donné par l'équation 2.19.

$$H_{21} = \frac{-S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (2.19)$$

On représente alors l'évolution de H_{21} en fonction de la fréquence (en échelle logarithmique). La fréquence de coupure f_T étant par définition, la fréquence pour laquelle le gain en courant vaut 1, elle est déterminée graphiquement comme étant la fréquence telle que $|H_{21}| = 0$ dB.

A partir des éléments du schéma équivalent, la fréquence f_t est donnée par :

$$f_t = \frac{g_m}{2 \cdot \pi \cdot [(C_{GD} + C_{GS}) \cdot (1 + g_{DS} \cdot (R_S + R_D)) + g_m \cdot C_{GD} \cdot (R_S + R_D)]} \quad (2.20)$$

2.2.2.3.3 Fréquence de coupure de gain en puissance f_{Max}

La fréquence de coupure de gain en puissance correspond à la fréquence maximale pour laquelle la commande est amplifiée en puissance. De la même façon que pour la fréquence de coupure de gain en courant, elle peut être déterminée à partir d'une mesure de paramètres S.

La stabilité du transistor est un facteur important qui peut avoir des conséquences directes sur ses performances. En effet, un transistor instable qui entre en oscillation est une source de signaux parasites. On cherche donc à se placer dans des conditions dites de stabilité inconditionnelle qui sont déterminées à partir du critère de stabilité de Rollet K , donné par l'équation 2.21 :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta s|^2}{2 \cdot |S_{12} \cdot S_{21}|} \quad (2.21)$$

avec :

$$\Delta s = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} \quad (2.22)$$

Si $K > 1$, on définit le gain maximum disponible MAG (Maximum Available Gain) tel que :

- si $\Delta s < 1$, le transistor est inconditionnellement stable, c'est-à-dire stable quelles que soient les impédances qui lui sont présentées en entrée et en sortie. Le MAG est alors donné par :

$$MAG = \frac{|S_{21}|}{|S_{12}|} \cdot (K - \sqrt{K^2 - 1}) \quad (2.23)$$

- si $\Delta s > 1$, le transistor n'est stable que pour certaines valeurs d'impédances Z_s et Z_l . Le MAG est alors donné par :

$$MAG = \frac{|S_{21}|}{|S_{12}|} \cdot (K + \sqrt{K^2 - 1}) \quad (2.24)$$

Si $K < 1$, le MAG n'est plus calculable et on définit alors le gain maximum stable MSG, donné par :

$$MSG = \frac{|S_{21}|}{|S_{12}|} \quad (2.25)$$

De façon analogue à la fréquence f_t , la fréquence de coupure de gain en puissance f_{max} peut être déterminée graphiquement comme étant la fréquence telle que $MAG = 0dB$

A partir des éléments du schéma équivalent, la fréquence f_{Max} est donnée par :

$$f_{Max} = \frac{f_t}{\sqrt{4 \cdot g_{DS} \cdot (R_G + R_S + R_{GS}) + 2 \cdot \frac{C_{GD}}{C_{GS}} \cdot [\frac{C_{GD}}{C_{GS}} + g_m(R_S + R_{GS})]}} \quad (2.26)$$

Le gain unilatéral de Mason, noté U est le gain observé lorsque le coefficient de transmission de la sortie vers l'entrée S_{12} est nul, c'est à dire lorsque le dispositif est unilatéral. Le gain U s'exprime selon :

$$U = \frac{|\frac{S_{21}}{S_{12}} - 1|^2}{2 \cdot (K|\frac{S_{21}}{S_{12}}| - Re(\frac{S_{21}}{S_{12}}))} \quad (2.27)$$

De façon analogue à la fréquence de coupure de gain en courant f_t , déterminée par extrapolation à partir du paramètre H_{21} , la fréquence de coupure de gain en puissance peut être déterminée graphiquement à partir du gain unilatéral de Mason.

2.3 HEMT GaN normally-off

Nous nous sommes jusqu'ici intéressés au HEMT GaN et à leur fonctionnement de façon générale. L'objectif de ce travail de thèse étant la fabrication et la co-intégration de HEMT GaN normally-off avec des normally-on, nous allons maintenant nous concentrer sur ce type de transistors. Nous présenterons dans un premier temps les intérêts du HEMT normally-off par rapport au normally-on puis nous détaillerons plusieurs procédés technologiques permettant l'obtention de tels transistors.

2.3.1 Intérêts du HEMT GaN normally-off

Les HEMT GaN normally-off présentent de nombreux intérêts, que ce soit par rapport aux normally-on ou en combinaison avec ces derniers, et ce, quel que soit le domaine d'applications.

Du point de vue des applications de puissance en remplacement des HEMT normally-on, le principal intérêt du HEMT normally-off réside dans l'accroissement de la sécurité qu'il apporte, aussi bien pour les équipements que pour leurs utilisateurs. Considérons un circuit de puissance quelconque dans lequel on utilise un HEMT GaN normally-on. Un problème ou une panne sur le circuit de commande du HEMT conduirait ce dernier à être constamment à l'état passant là où son équivalent normally-off ouvrirait le circuit sans risques d'emballement. De plus, la majorité des circuits de puissance existants à l'heure actuelle ayant été développés à partir de MOSFET Si étant eux même normally-off, l'intégration des HEMT GaN serait plus aisée si l'on disposait de composants à enrichissement. Enfin, la fonctionnalité normally-off permet de s'affranchir d'une source de polarisation

négative pour bloquer le transistor, permettant d'une part de simplifier les circuits et, d'autre part, de limiter la consommation énergétique lorsque le transistor est à l'état OFF

Les HEMT normally-off permettent également, associés à des normally-on, de réaliser des circuits logiques pour la commande numérique de fonctions de puissance hyperfréquence qui ne peuvent être réalisés en logique complémentaire du fait de l'absence de transistors GaN à canal p (High Hole Mobility Transistor - HHMT) performants.

Le développement de la filière HEMT normally-on/normally-off co-intégrés permet en outre de fabriquer des MMIC comprenant de plus en plus de fonctions : Fonction hyperfréquences (amplification) à base de HEMT normally-on, fonction de puissance (alimentation) à base de normally-off et circuits logiques pour la commande des différentes fonctions.

2.3.2 Options de réalisations

Comme nous allons le voir dans cette partie, il existe de nombreux moyens d'obtenir un HEMT GaN normally-off, et ce en intervenant à toutes les étapes de sa réalisation, que ce soit lors de l'épitaxie de l'hétérostructure, du procédé technologique voire en l'associant à d'autres composants.

2.3.2.1 Structure HEMT à barrière fine

L'utilisation d'une structure HEMT à barrière fine pour la réalisation de HEMT GaN normally-off repose sur deux effets distincts. Le premier est qu'en réduisant l'épaisseur de la barrière, on rapproche la grille du 2DEG. Ainsi, si la grille est suffisamment proche, la zone de déplétion engendrée par le contact Schottky métal-semiconducteur peut s'étendre jusqu'au gaz d'électrons et donc entraîner l'élévation de la tension de seuil V_{th} . Le second est lié aux différentes conditions nécessaires pour la formation du 2DEG. Comme nous l'avons vu dans la partie 1.3.3, il existe une épaisseur de barrière minimale t_{cr} telle que si $t_{bar} < t_{cr}$, le niveau d'énergie des états de surface, source des électrons du 2DEG, est inférieur au niveau de Fermi, empêchant dès lors la formation du gaz. L'un des inconvénients majeurs de l'utilisation d'une barrière fine est la diminution de la densité de porteur n_s qu'elle entraîne dans les zones d'accès, réduisant de fait la densité de courant de drain maximale $I_{DS,max}$ que peut délivrer le transistor. La solution généralement utilisée pour résoudre ce problème est de faire croître une barrière plus riche en aluminium, entraînant ainsi une modification des effets de polarisations et donc une augmentation de n_s malgré la faible épaisseur de barrière. L'augmentation de la teneur en aluminium dans la barrière s'accompagne également d'une réduction de l'affinité électronique χ_S du semiconducteur présent en surface, ce qui, pour un métal de grille donné, se traduit par une augmentation

de la hauteur de barrière Schottky par rapport à une barrière moins riche en Al et donc potentiellement une tension de seuil plus élevée. Cette méthode présente toutefois d'autres inconvénients, à savoir l'augmentation du courant de grille par effet tunnel à mesure que la barrière s'affine mais surtout une impossibilité de co-intégration de HEMT normally-on et normally-off sur une même puce.

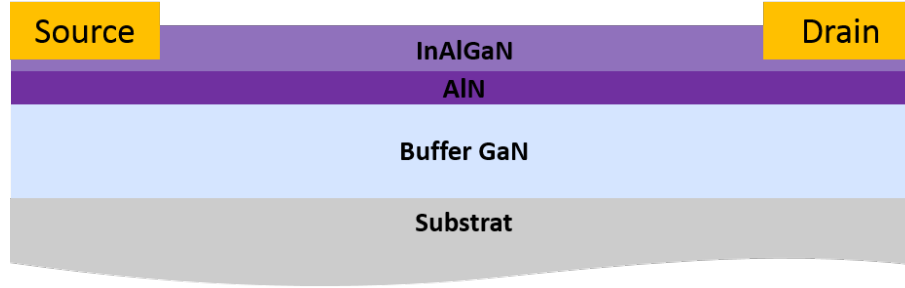


FIGURE 2.14 – Représentation schématique d'une structure HEMT à barrière fine

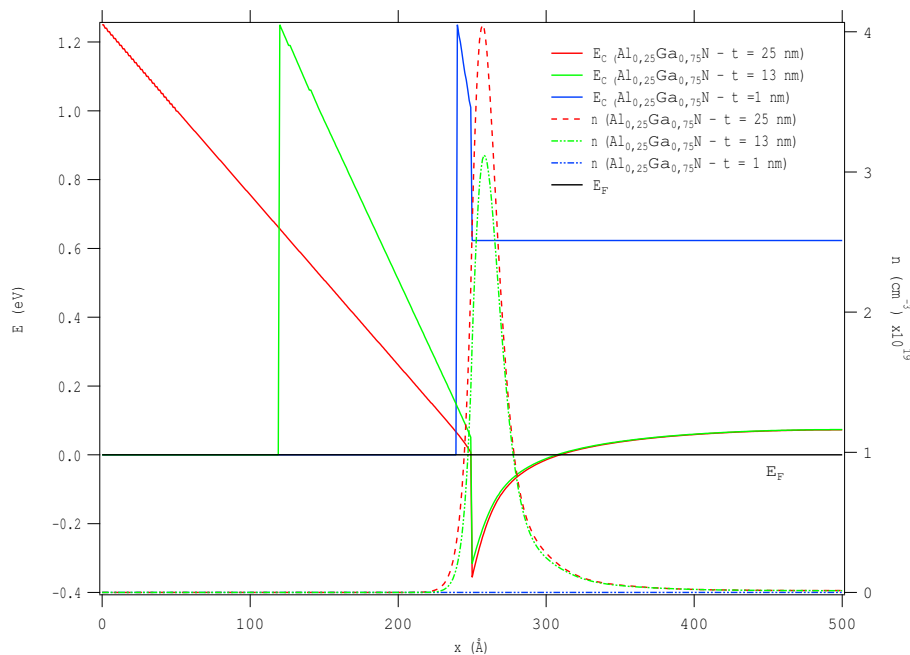


FIGURE 2.15 – Structures de bandes d'hétérostructures AlGaIn/GaN avec différentes épaisseurs de barrière

2.3.2.2 Structure HEMT à recess de grille

Le principe de fabrication d'un HEMT normally-off à recess de grille est similaire à celui présenté pour les HEMT à barrière fine. La différence entre ces deux techniques réside dans le fait que le recess de grille consiste à graver une barrière épaisse pour en

réduire localement l'épaisseur, comme représenté sur la figure 2.16. On conserve alors un n_s élevé dans les zones d'accès et la fonctionnalité normally-off grâce à la déplétion du 2DEG localisée sous la grille. Le problème de courant de grille par effet tunnel est toujours présent avec cette approche mais elle permet toutefois de résoudre le problème de la co-intégration étant donné que l'on doit rajouter une étape de gravure dans le procédé de fabrication du HEMT normally-off par rapport au normally-on et qu'il est donc tout à fait possible de choisir quelles zones seront gravées et lesquelles ne le seront pas. L'inconvénient majeur de cette méthode est l'étape de gravure en elle-même. En effet, pour espérer réaliser ainsi un composant performant, il faut être en mesure de graver précisément la barrière qui ne fait qu'une vingtaine de nanomètres dans le cas d'une barrière AlGa_N et moins de 10 nm dans le cas d'une barrière InAl(Ga)N. La gravure doit également être la plus homogène et la plus répétable possible afin d'assurer une homogénéité des composants fabriqués sur une même plaque et entre différentes plaques. Les nitrures étant relativement stables chimiquement, il est extrêmement difficile de les graver par voie chimique et tous les travaux sur les HEMT GaN à recess de grille sont basés sur des gravures à base de plasmas chlorés. Une grande partie de ces travaux de thèse ont été dédiés au développement d'une technique de gravure permettant une gravure lente et donc précise de la barrière pour réaliser ce recess de grille. Les résultats de ce développement seront présentés ultérieurement dans le chapitre 3.

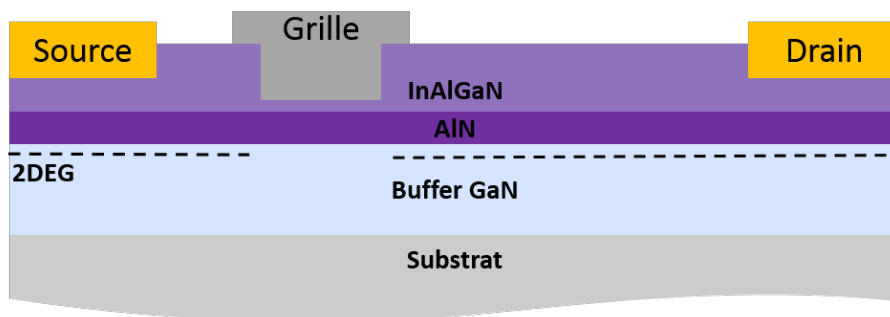


FIGURE 2.16 – Représentation schématique d'une structure HEMT à recess de grille

2.3.2.3 Structure MIS-HEMT

La structure MIS-HEMT (Metal-Insulator-Semiconductor HEMT) consiste à introduire un diélectrique entre le métal de grille et la barrière. En réalité, l'introduction de ce diélectrique (le plus souvent de l' Al_2O_3) ne permet pas, seule, d'atteindre la fonctionnalité normally-off. En effet, elle est quasiment exclusivement utilisée associée à une ou plusieurs autres techniques. L'intérêt est alors de réaliser un contact MIS dont le but principal est de réduire les courants de fuite de grille, qui peuvent être particulièrement importants lorsque l'on réalise un recess de grille. L'ajout de cette couche diélectrique permet alors

de diminuer la part du courant de fuite lié à l'effet tunnel à travers la fine couche barrière tandis que le caractère normally-off est donné par la technique avec laquelle est associée le dépôt diélectrique à savoir le recess de grille dans l'exemple donné.

Certaines équipes se sont néanmoins penchées sur l'utilisation des diélectriques et de leurs capacités à stocker des charges en volume et à l'interface avec le semiconducteur pour rendre le HEMT normally-off sans utiliser l'une des autres techniques existantes. Freedman *et. al* ont par exemple montré qu'un MOS-HEMT initialement normally-on pouvait être rendu normally-off après une polarisation de la grille à $V_{gs} = +6$ V pendant une seconde, la tension de seuil passant alors de $-3,7$ V à $+1,2$ V. Cette augmentation de la tension de seuil est attribuée au stockage de charges négatives dans la couche de 10 nm d' Al_2O_3 déposée par ALD sous la grille et/ou à l'interface $Al_2O_3/AlGaN$ [40]. D'autres équipes se sont inspirées de la technologie utilisée dans le domaine des mémoires flash à savoir l'utilisation d'une grille flottante. Pour cela, la structure est légèrement modifiée par rapport à une structure MOS-HEMT classique : elle consiste alors en un empilement semiconducteur/oxyde tunnel/grille flottante/oxyde bloquant/grille de contrôle tel que représenté sur la figure 2.17. De la même façon que pour le MOS-HEMT présenté précé-

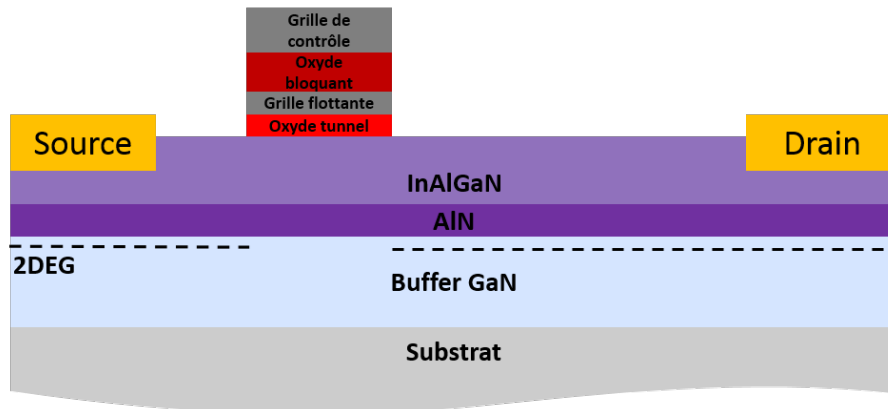


FIGURE 2.17 – Représentation schématique d'une structure HEMT à grille flottante (Flash-like)

demment, cette technique repose sur le stockage de charges dans la grille flottante. Ainsi, des électrons sont injectés dans la grille flottante à travers l'oxyde tunnel en appliquant une tension positive relativement élevée sur la grille de contrôle. Le principal challenge est alors d'améliorer la rétention des électrons dans la grille flottante afin de conserver le comportement normally-off le plus longtemps possible, ce qui passe principalement par l'utilisation de diélectriques à haute permittivité.

2.3.2.4 Structure HEMT implantée

Cette méthode repose sur l'implantation, le plus souvent d'ions fluorures F^- , sous la grille. Ces ions F^- agissent comme des charges fixes dans la barrière et induisent alors une élévation de la bande de conduction et donc du puits de potentiel qui permet la formation du 2DEG, tel que représenté sur la figure 2.19. L'implantation de fluor est la plupart du temps réalisée par des traitements de surface par plasma fluoré, aussi appelé implantation ionique par immersion plasma car cette technique permet l'implantation d'espèces à de faibles profondeurs, de l'ordre de quelques nanomètres, ce qui est typiquement le cas dans lequel nous nous trouvons étant donné l'épaisseur de la barrière. Cependant, l'utilisation d'un véritable implanteur a également été reportée [41]. Une grande partie des travaux sur la fabrication de HEMT normally-off par implantation ont été réalisés en implantant du fluor dans la barrière en évitant l'implantation dans le canal pour réduire la diffusion des électrons dans le 2DEG par les ions et ainsi préserver la haute mobilité des porteurs dans le gaz d'électrons.

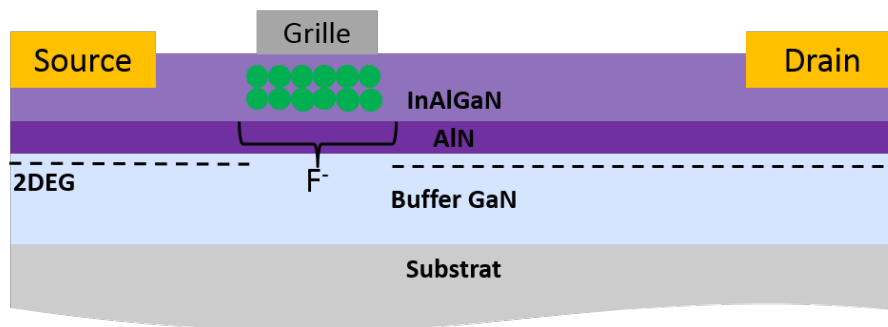


FIGURE 2.18 – Représentation schématique d'une structure HEMT dont la barrière a été implantée

2.3.2.5 Structure HEMT à cap dopé p

La réalisation de HEMT GaN normally-off à l'aide d'un cap dopé p consiste à faire croître, lors de l'épitaxie de la structure, une couche nitrure, généralement du GaN, de l'AlGaN ou de l'InGaN, dopé p puis à la graver afin de la conserver uniquement là où sera ensuite déposée la grille. L'empilement p-GaN/AlGaN/GaN représenté sur la figure 2.20 peut être considéré comme une jonction pin. Ainsi, pour peu que le dopage du cap soit suffisant, la zone de déplétion peut, pour une tension de grille $V_g = 0V$, s'étendre jusqu'au canal GaN et donc jusqu'au 2DEG, rendant de cette façon le transistor normally-off, en veillant toutefois à garder son épaisseur et son niveau de dopage suffisamment bas pour que la grille puisse toujours moduler la concentration de porteurs dans le gaz.

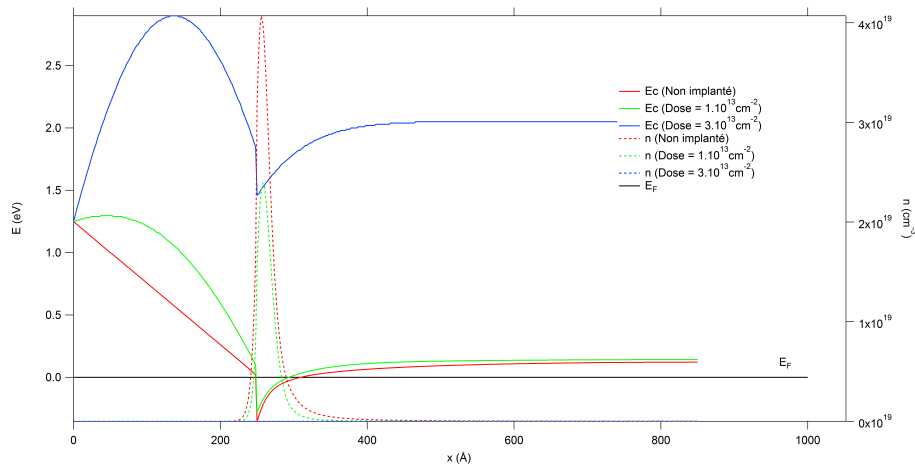


FIGURE 2.19 – Structures de bandes d'hétérostructures AlGaN/GaN implantées au fluor

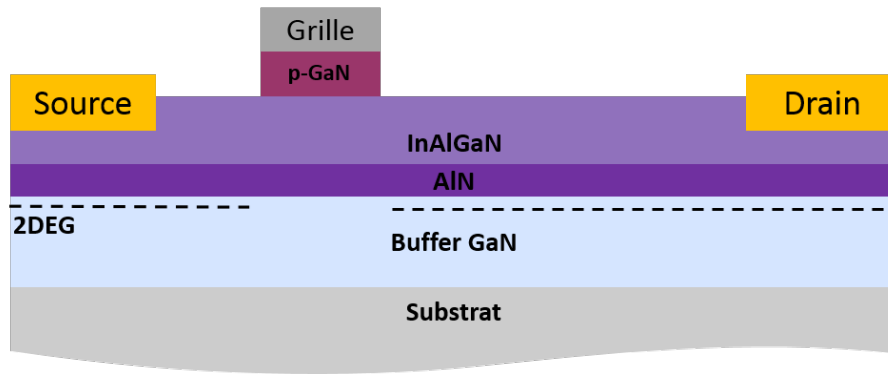


FIGURE 2.20 – Représentation schématique d'une structure HEMT à cap-layer dopé p

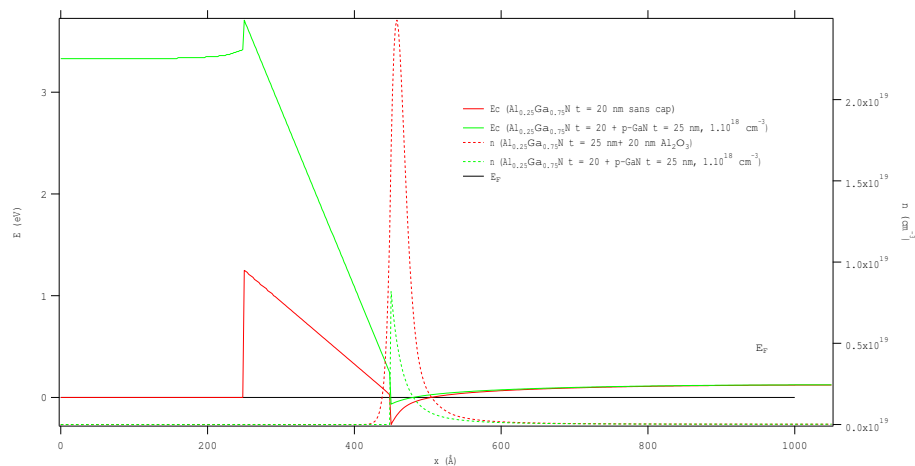


FIGURE 2.21 – Structures de bandes d'hétérostructures AlGaN/GaN avec et sans cap dopé p

2.3.2.6 Montage Cascode

Le montage cascode diffère des moyens présentés jusque là dans le sens où l'on ne rend pas le HEMT GaN intrinsèquement normally-off. En effet, ce montage consiste à associer un HEMT GaN normally-on en série avec un MOSFET Si comme représenté sur la figure 2.22 de sorte que la tension V_{GS} du HEMT soit égale à la tension V_{SD} du MOSFET (avec $V_{SD} = -V_{DS}$). Ainsi, on peut distinguer deux cas :

- si $V_{GS}(MOSFET) < V_{th}(MOSFET)$, on a $V_{DS}(MOSFET) > 0$ et donc $V_{GS}(HEMT) < 0$ et le HEMT peut être bloqué pour peu que $V_{DS}(MOSFET) > |V_{th}(HEMT)|$.
- si $V_{GS}(MOSFET) > V_{th}(MOSFET)$, on a $V_{DS}(MOSFET) = 0$ et donc $V_{GS}(HEMT) = 0$ et le HEMT est à l'état passant.

Le principal avantage de cette méthode est sa facilité de mise en œuvre par rapport aux autres techniques présentées et c'est d'ailleurs ainsi qu'ont été fabriqués les premiers transistors normally-off à base de GaN commercialisés. Bien que très intéressante, cette méthode présente quelques inconvénients, à savoir :

- un encombrement non négligeable du fait de l'association de deux composants.
- une augmentation de la résistance à l'état passant venant de l'ajout du MOSFET Si.

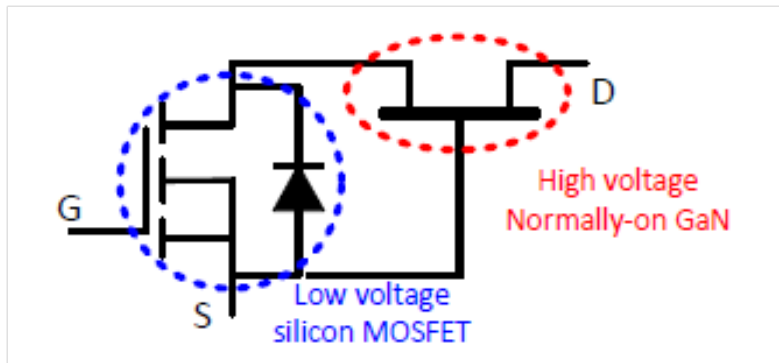


FIGURE 2.22 – Représentation schématique du montage Cascode

2.4 FinFET

Dans la partie précédente, nous nous sommes intéressés aux différents moyens permettant de rendre un HEMT GaN normally-off tout en conservant une structure planaire. Une autre approche, qui consiste à nanostructurer la zone située sous la grille semble être l'une des voies les plus prometteuses à ce jour compte tenu des nombreux avantages qu'elle présente. Largement inspirée de la technologie FinFET développée sur silicium afin de minimiser les effets de canal court, cette solution repose sur la réalisation de nanorubans dans la zone source-drain et sur lesquels sera ensuite déposée la grille, comme représenté sur la figure 2.23. Du fait de la présence de ces nanorubans ainsi que de la grille à la fois

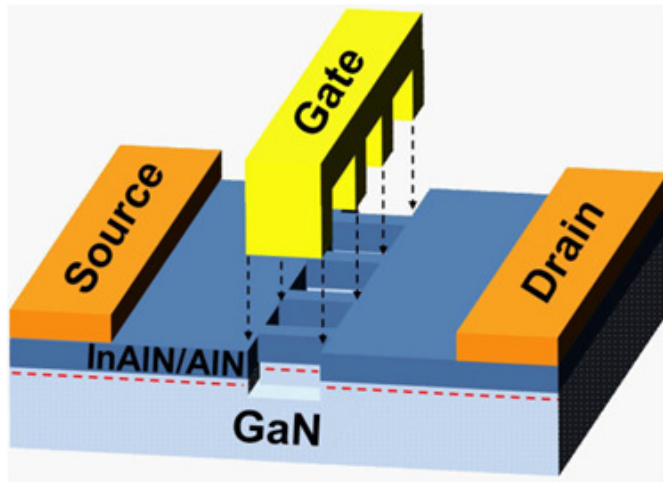


FIGURE 2.23 – Représentation schématique d'un FinFET GaN[42]

au dessus et sur les flancs du canal, cette technologie présente plusieurs avantages par rapport aux technologies planaires :

- un décalage de la tension de seuil V_{th} vers les tensions positives, dû à l'ajout des grilles latérales et donc de nouvelles zones de déplétion. Dans le cas d'une hétérojonction où la polarisation piézoélectrique intervient dans la formation du 2DEG, l'augmentation de la tension de seuil pourrait également être entraînée par la relaxation des contraintes due à la gravure des rubans.
- un contrôle accru de la grille sur le canal et donc une réduction des effets de canal court (Drain Induced Barrier Lowering, courants de fuite ...).

Il apparaît alors que cette technologie est particulièrement intéressante que ce soit pour la fabrication de HEMT normally-off mais également pour la montée en fréquence étant donné que celle-ci nécessite, entre autres, la réduction de longueur de grille. Tous ces avantages nécessitent néanmoins d'optimiser la structure et donc les dimensions des rubans à savoir la largeur W_{fin} , la longueur L_{fin} , la hauteur H_{fin} et la distance entre deux rubans d . Il faut également s'assurer que le métal de grille soit déposé de façon conforme, tel que représenté sur la figure 2.24, afin de profiter des grilles latérales que l'on peut obtenir avec une telle structure. Au cours de ces travaux de thèse, nous avons pu mettre au point un premier procédé de fabrication de FinFET GaN à partir d'une épitaxie dédiée aux composants planaires. Les étapes technologiques développées ainsi que les résultats de mesures obtenus sur les composants ainsi fabriqués seront présentés ultérieurement dans le chapitre 4.

Le tableau 2.1 recense les résultats publiés au cours des dernières années sur les FinFET GaN. On y remarque que certaines équipes ont comparé des HEMT planaires standards avec des FinFET fabriqués sur le même substrat et que cette modification de la géométrie conduit en outre à l'augmentation de la tension de seuil[42][43][44]. Les

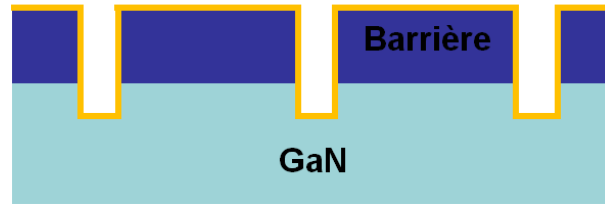


FIGURE 2.24 – Représentation schématique de la vue en coupe le long de la grille d'un FinFET GaN

TABLE 2.1 – Etat de l'art de la technologie FinFET GaN pour les applications RF et normally-off. Le "+" précédant certaines valeurs signifie que ces dernières sont une augmentation par rapport à la valeur déterminée sur une référence de type HEMT planaire.

Réf.	Matériau	$L \times d \times W$ (nm)	L_g (nm)	V_{th} (V)	I_d (mA/mm)	g_m (mS/mm)
[42]	InAlN/SiC	$L_g \times 110 \times 88$	70-80	+1,4 V	>3500	800
	AlGaN/SiC			-1,2	2200	750
[46]	InAlGaN/SiC	$100 \times - \times 100$	100	-3,4	2000	370
	AlN/SiC			-2,6	3800	600
[45]	InAlN/Si	-	80	-	2250	470
[47]	InAlN/Si	$- \times 150 \times 150$	100	0,24	1350	-
		$700 \times 200 \times 200$		-1,6	1100	337
[43]	AlGaN/Saphir	$700 \times 200 \times 300$	270	-2,25	1200	312
		$700 \times 200 \times 500$		-2,50	1200	303
[27]	AlGaN/SiC	$165 \times 100 \times 1200$	180	0,5	600	420
[44]	AlGaN	$600 \times 250 \times 80$	100	+0,9	870	504
		$100 \times 250 \times 80$			1530	740
[43]	AlGaN/SiC	$180 \times 250 \times 150$	180	+1	1640	570

travaux de Zhang *et al.* montrent par exemple que les dimensions des rubans ont un impact direct sur les caractéristiques des transistors, que ce soit sur la tension de seuil ou encore sur les valeurs de densité de courant et de transconductance maximales. Ainsi, il a été observé à plusieurs reprises qu'une diminution de la largeur des rubans, toutes dimensions égales par ailleurs, s'accompagne systématiquement d'une augmentation de la tension de seuil. Cette évolution de la tension de seuil en fonction de la largeur des rubans est généralement attribuée à une relaxation des contraintes et donc de la polarisation piézoélectrique (principalement dans les hétérostructures à base d'AlGaN) mais également à la déplétion du 2DEG par les flancs due aux contacts de grille latéraux. D'autres travaux ont également montré qu'il est préférable de limiter la longueur des rubans dans l'espace source-drain afin de conserver des performances électriques satisfaisantes : Liu *et al.* ont ainsi observé des densités de courant variant du simple au double entre des FinFET

fabriqués sur la même hétérostructures mais avec des longueurs de rubans de 600 nm et 100 nm (soit la longueur de la grille), s’accompagnant également d’une différence de transconductance d’environ 50% en faveur des rubans les plus courts. Il apparaît enfin que les rubans courts conduisent à une transconductance plus plate, ce qui, combiné à l’augmentation de la densité de courant, se traduit par une linéarité accrue[44, 45].

Bien que la tension de seuil soit effectivement augmentée grâce à la réalisation de FinFET, on remarque que le décalage n’est pas toujours suffisant pour rendre les composants normally-off. Il est toutefois important de noter que la fabrication de FinFET peut aussi être combinée avec une ou plusieurs des techniques de fabrication de HEMT GaN normally-off présentées dans le chapitre 2 [48].

2.5 Conclusion du chapitre 2

Comme nous avons pu le voir dans ce chapitre, il existe de nombreuses techniques permettant de rendre un HEMT GaN normally-off, que ce soit en modifiant l’hétérostructure lors de l’épitaxie dans le cas des structures à barrière fine et du HEMT à cap dopé, lors du procédé de fabrication du transistor dans le cas du HEMT à recess de grille ou à barrière implantée ou encore une fois la fabrication de HEMT normally-on terminée en l’associant à un MOSFET Si. En revanche, bien que toutes ces techniques permettent effectivement d’obtenir un HEMT normally-off, elles ne peuvent être toutes envisagées dans le cadre de cette thèse, l’objectif étant la co-intégration de HEMT normally-on et normally-off au sein de la même puce à partir d’une épitaxie dédiée aux HEMT de puissance hyperfréquence normally-on. De fait, nous ne pouvons par exemple pas recourir à l’utilisation d’une barrière fine sous peine de rendre la fabrication de HEMT normally-on impossible ou présentant de piètres performances. L’un des avantages de la co-intégration étant également la réduction de la taille des puces, il n’est pas non plus envisageable d’utiliser des HEMT normally-off à montage Cascode.

C’est donc avec cet objectif que nous avons d’abord décidé de poursuivre le développement des MOS-HEMT à recess de grille et implantation de fluor déjà initié au III-V Lab[49]. En parallèle de ces travaux, nous avons également décidé de démarrer le développement des briques technologiques permettant la fabrication de FinFET GaN, cette technologie pouvant se révéler utile à la fois pour la réalisation de HEMT normally-off mais également dans le cadre de la montée en fréquence des dispositifs.

TABLE 2.2 – Etat de l'art des technologies HEMT GaN normally-off à grille courte

Référence	Technologie	Filière	V_{th} (V)	L_g (nm)	$I_{DS,max}$ (mA/mm)	$g_{m,max}$ (mS/mm)	f_T/f_{max} (GHz)
[49]	MOS à recess de grille	AlGa _N /SiC	1,4	400	400	150	18/35
	MOS à recess de grille implanté	InAlGa _N /SiC	0,3		1500	450	30/48
[50]	Recess de grille	InAlN/SiC	0,2-1,0	150	1900	800	70/105
[51]	Recess de grille	InAlN/SiC	1,2	-	780	420	-
[52]	MOS	InAlGa _N /Saphir	3,1	L_g (nm)	670	275	12,6/23,4
[53]	MOS à recess de grille	InAln	2,0	600	450	125	-
[54]	FmFET	AlGa _N /Saphir	-1,12	500	500	187	-
	FmFET à recess de grille		-0,56		425	209	-
[55]	Recess de grille	AlGa _N /SiC	0,4	1000	480	308	32/65
[56]	Grille implantée	AlGa _N /Si	0,6	200	845	412	61/130
[57]	MOS à recess de grille	AlGa _N /Si	2,2	1000	518	175	-
[58]	MOS (Flash)	AlGa _N /Saphir	2,6	500	900	200	-
[59]	Barrière fine	InAlN/Saphir	0,7	500	800	400	33,7/-
[60, 61]	MOS à recess de grille	AlGa _N /Saphir	(V)	200	496	147	29,9/55,2
[62]	MOS à recess de grille	AlGa _N /Saphir	1,6	1000	600	-	7,6/27
[63]	MOS à grille implantée	InAlN/Si	3	1000	367	-	-
[64]	FmFET	AlN/SiC	-3,6	100	3800	550	60/140
		AlGa _N /SiC	-1,1		2200	750	70/175
		InAlGa _N /SiC	-3,8		2100	370	70/150

Fabrication et caractérisations de HEMT GaN normally-off à recess de grille et implantation de fluor

Dans ce troisième chapitre, nous allons dans un premier temps nous intéresser aux étapes technologiques que nous avons développées et appliquées pour la fabrication de MOS-HEMT GaN normally-off à recess de grille et implantation de fluor. Nous détaillerons ainsi l'ensemble des nouvelles étapes du procédé en partant de l'ouverture de la couche de passivation SiN déposée après l'étape d'isolation, jusqu'au lift-off des grilles. Dans la dernière partie de ce chapitre, nous présenterons les résultats de caractérisations électriques des HEMT ainsi fabriqués.

3.1 Procédé technologique dédié à la fabrication de HEMT normally-off

Dans cette partie, nous allons décrire le process technologique mis en place pour la fabrication des MOS-HEMT normally-off. Les différentes étapes développées sont respectivement la gravure du diélectrique de passivation, le recess de grille, l'implantation de fluor et le dépôt d'oxyde de grille. Le nouveau process flow intégrant ces étapes est représenté sur la figure 3.1.

3.1.1 Lithographie électronique du pied de grille et gravure du SiN

La fabrication des grilles "normally-off", débute par le dépôt d'une bicouche de résines électrosensibles Copolymère/PMMA. Ces dernières sont utilisées car elles permettent de réaliser des écritures par lithographie électronique, étape nécessaire pour écrire des motifs tels que le pied de la grille, dont la longueur nominale est de 300 nm. Il s'en suit la gravure du diélectrique, qui repose sur l'utilisation d'un plasma fluoré à base de SF_6/O_2

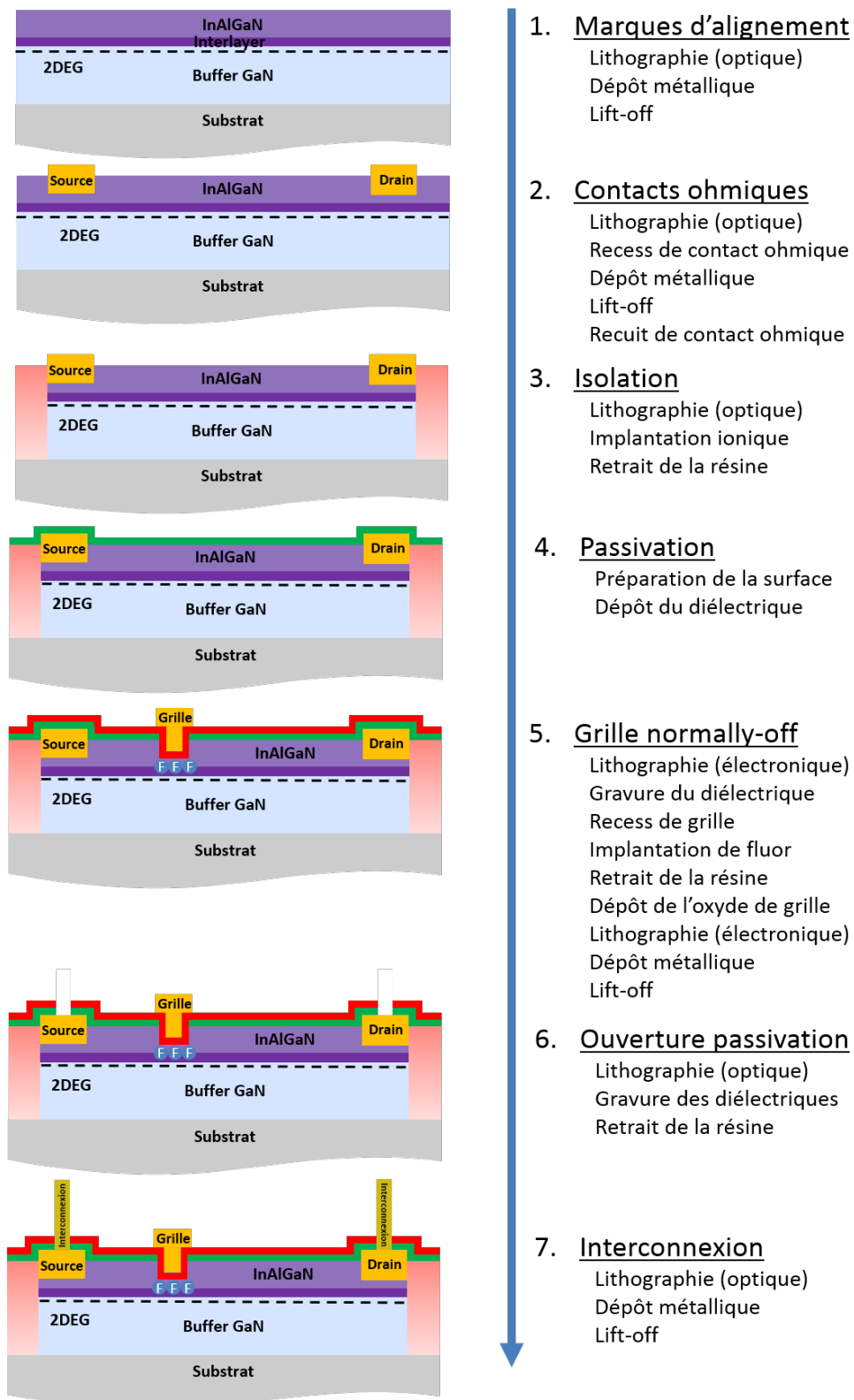


FIGURE 3.1 – Diagramme représentant le procédé technologique utilisé pour la fabrication de HEMT GaN normally-off sur InAlGaN/GaN/SiC

dans un bâti ICP-RIE. Les paramètres de gravure utilisés sont présentés dans le tableau 3.1 Les vitesses de gravure, déterminées sur des échantillons de test, de la résine et du

TABLE 3.1 – Paramètres du plasma SF_6/O_2 pour la gravure du SiN

Paramètres du plasma SF_6/O_2 pour la gravure du SiN	
Débits SF_6/O_2 (sccm)	100/5
Pression (Pa)	3
Température ($^{\circ}C$)	20
P_{ICP} (W)	100
P_{RIE} (W)	25

SiN avec ce procédé sont respectivement de 22 et 23,5 nm/min. Étant donné que l'on souhaite graver de façon la plus précise possible la barrière en InAlGaN présente sous le diélectrique, nous avons également étudié l'effet de ce plasma sur l'InAlGaN. Ainsi, la figure 3.2 représente deux images de microscopie à force atomique (AFM) de la surface acquises avant et après exposition pendant 10 minutes à ce plasma d'un même échantillon d'InAlGaN/SiC. On remarque que la surface n'est pas dégradée par le plasma. De plus, l'observation de l'échantillon après retrait de la résine nous a permis de confirmer l'absence de gravure. Cette observation a donc validé l'utilisation de ce procédé pour la gravure de la passivation, nous laissant également une certaine marge pour réaliser un surgravure, c'est-à-dire une gravure plus longue que la durée nécessaire calculée à partir de l'épaisseur e_{SiN} et de la vitesse de gravure v_{etch}^{SiN} sans risque pour la barrière. Il est en effet courant de rallonger le temps de gravure par rapport à celui déterminé théoriquement, notamment car la vitesse de gravure, généralement mesurée en gravant des motifs de dimensions importantes, est quasiment systématiquement plus faible lorsque les dimensions des motifs diminuent. L'épaisseur de SiN visée étant de 10 nm, nous avons ainsi fixé la durée de la gravure à 45 s, soit un surgravure d'environ 20 s par rapport à la durée calculée ($t = \frac{e_{SiN} \cdot 60}{v_{etch}^{SiN}} = \frac{10 \cdot 60}{23,5} = 25,5$ s). L'observation de la plaque au MEB après ouverture du diélectrique et retrait de la résine nous montre que la longueur effective du pied de grille est plutôt d'environ 370 nm.

3.1.2 Recess de grille

Comme nous l'avons présenté dans le chapitre précédent, la technique du recess de grille pour la fabrication de HEMT normally-off consiste à graver localement la barrière sous la grille. Dans les structures épitaxiales que nous utilisons, la barrière InAlGaN ne fait que 7,5 nm, il faut donc que la vitesse de gravure soit très lente afin de contrôler précisément la profondeur du recess. Du fait de la grande stabilité chimique du GaN et de ses alliages, il est très compliqué de réaliser ce recess par gravure humide. En effet, les rares espèces capables de graver les nitrures telles que le KOH ou le TMAH (hydroxyde

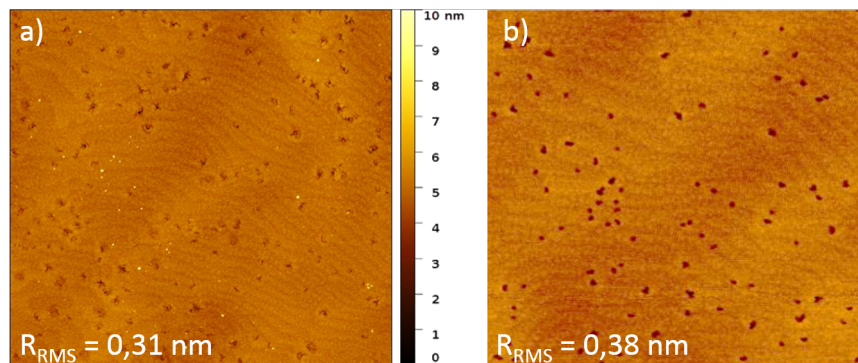


FIGURE 3.2 – Images AFM (5x5 μm) de la surface d’un échantillon d’InAlGaN/SiC a) avant et b) après 10 minutes d’exposition au plasma SF_6/O_2 utilisé pour la gravure de la couche de passivation SiN

de tetramethylammonium) présentent des vitesses de gravures différentes en fonction des directions cristallographiques.

C’est pour cette raison que la majorité des gravures est réalisée à l’aide de plasmas à base de Cl_2 et/ou de BCl_3 . Le principal inconvénient de ces plasmas réside dans la vitesse de gravure qui s’avère être trop importante compte tenu de l’épaisseur de barrière de nos structures. Le tableau 3.2 présente quelques procédés de gravures sèches de nitrures. On y remarque que les vitesses de gravure sont globalement bien supérieures à la dizaine de nanomètres par minute, ce qui est trop élevé pour graver précisément quelques nanomètres seulement. La solution pour laquelle nous avons opté a ainsi été de développer un procédé

TABLE 3.2 – Vitesses de gravure du GaN obtenues par différents procédés de gravure plasma.

Réf.	$P_{ICP}(W)$	$P_{RIE}(W)$	DC Bias (V)	P (mTorr)	Débits (sccm)	Vitesse de gravure (nm/min)	Matériau
[65]	40	100	-	5	$Cl_2/Ar : 10/5$	75	$Al_{0,26}Ga_{0,74}N$
					$Cl_2/BCl_3 : 10/1$	60	
					$Cl_2/CF_4 : 10/1$	60	
[66]	-	150	-	15	$Cl_2/BCl_3 : 10/2$	6	$Al_{0,26}Ga_{0,74}N$
[67]	100	30	-	-	$Cl_2/BCl_3/Ar$	18	$Al_{0,25}Ga_{0,75}N$
[68]	1750	-	150	20	$Cl_2/BCl_3/Ar : 8/40/2$	75	$Al_{0,28}Ga_{0,72}N$
[69]	100	50	-	10	$Cl_2/BCl_3 : 10/20$	12	AlGaIn
[70]	-	15	-	10	$Cl_2 : 10$	8,6	$Al_{0,35}Ga_{0,65}N$
[71]	100	25	-	4,5	$Cl_2/BCl_3 : 20/20$	30	$Al_{0,25}Ga_{0,75}N$
	50	100/50	-	1,875	$Cl_2/SiCl_4 : 4/4$	20	

de gravure basé sur le principe de l’Atomic Layer Etching (ALE).

3.1.3 Développement d'un procédé d'Atomic Layer Etching (ALE)

De manière analogue à l'ALD que nous avons présenté précédemment où le dépôt est réalisé par des expositions successives à différents précurseurs qui réagissent à la surface de l'échantillon, l'ALE consiste à graver le matériau, idéalement couche atomique par couche atomique et de façon auto-limitée en réalisant là aussi des cycles d'exposition à différentes espèces. Ainsi, le cycle d'ALE le plus simple peut être décrit par deux étapes successives : une première étape A dont le rôle est de modifier la surface de l'échantillon à graver suivie d'une seconde étape B qui a pour but d'éliminer la couche en surface précédemment modifiée. La modification de la surface entraînée par l'étape A peut être de différentes natures. On retrouve par exemple des cas où cette étape consiste à modifier la nature même de la surface grâce par exemple à des réactions d'oxydation générées par une exposition à un plasma O_2 [72, 73, 74, 75] ou un recuit sous O_2 [76]. L'oxyde ainsi formé est alors généralement gravé par voie chimique humide à l'aide d'une solution qui ne grave pas le matériau non oxydé, de sorte que l'épaisseur gravée par cycle est contrôlée par la première étape et l'épaisseur de la couche modifiée. Les procédés d'ALE par oxydation puis gravure chimique sont intéressants dans le sens où, du fait de la grande stabilité chimique des nitrures, l'épaisseur gravée par cycle ne dépendra que de la vitesse d'oxydation du matériau, ce qui réduit le nombre de paramètres à optimiser pour atteindre une synergie maximale. En revanche, on peut leur attribuer deux inconvénients majeurs. Le premier réside dans le caractère isotrope d'une telle gravure. En effet, toutes les surfaces exposées vont être oxydées entraînant de fait une gravure sans direction privilégiée, ce qui se traduit, dans le cas du recess de grille, par un élargissement de la zone gravée égal à deux fois la profondeur du recess. Bien que cette dernière ne soit, dans le cas des barrières InAlN et InAlGaN, que de quelques nanomètres, il n'est pas souhaitable d'élargir la longueur du recess et donc de la grille, compte tenu de l'influence de ce paramètre sur les performances fréquentielles des HEMTs. Le second inconvénient vient quant à lui de la manière dont sont réalisées les deux étapes. En effet, l'oxydation est le plus souvent due à la réaction entre le nitrure et un plasma O_2 , ce qui signifie que l'échantillon doit être chargé dans un bâti pour réaliser l'étape A puis déchargé avant de passer à l'étape B et ce pour chaque cycle, rendant finalement l'étape de gravure particulièrement longue. Il est toutefois envisageable de remplacer l'étape de gravure chimique humide de l'oxyde par une étape de gravure plasma, à condition que ce dernier soit sélectif, c'est-à-dire qu'il ne grave pas ou très peu le nitrure, ce qui réduirait considérablement la durée du recess.

D'autres procédés d'ALE des nitrures reposent sur la modification du matériau due à l'exposition à un plasma, généralement chloré. Les radicaux $Cl\bullet$ ainsi formés peuvent alors s'adsorber à la surface du nitrure tandis que la deuxième étape consiste à activer ces radicaux par le biais d'un plasma de gaz inerte (Ar) pour former des chlorures d'éléments III ($AlCl_3$, $GaCl_3$, $InCl_3$) volatils et ainsi assurer la gravure, tel que représenté sur la

figure 3.3. Dans ce cas, la gravure est également limitée à l'épaisseur modifiée lors de la première étape et auto-limitée si tant est que l'étape de modification de la surface ne grave pas le matériau et que l'énergie des ions Ar^+ lors de la seconde étape est suffisante pour activer la formation des chlorures tout en étant suffisamment faible pour ne pas entraîner la pulvérisation du nitrure sous-jacent. Contrairement au procédé décrit précédemment, l'utilisation de plasmas nécessite d'ajouter des étapes de purges qui permettent d'une part d'éliminer l'excès de radicaux présents dans la chambre de réaction après l'étape A et d'autre part, d'évacuer les produits de gravures après l'étape B.

Comme nous l'avons dit, l'ALE est, au même titre que l'ALD, un procédé auto-limité. Le caractère auto-limité d'une gravure ALE est quantifiable grâce au calcul de la synergie S. Pour cela, il faut dans un premier temps réaliser les deux étapes constitutives du cycle d'ALE séparément afin de mesurer leurs vitesses de gravure respectives. Du fait du caractère cyclique de l'ALE on parlera d'ailleurs d'épaisseur gravée par cycle (EPC) en nm/cycle plutôt que de vitesse de gravure en nm/s. Ainsi, si l'on considère les étapes A et B présentées précédemment, la synergie est donnée par :

$$S = \frac{EPC(A + B) - EPC(A) - EPC(B)}{EPC(A + B)} \quad (3.1)$$

avec $EPC(A)$ et $EPC(B)$ les épaisseurs gravées par cycle mesurées lorsque les deux étapes sont réalisées de façon indépendante et $EPC(A+B)$ l'épaisseur gravée par cycle lorsque les deux étapes sont réalisées successivement. Nous avons vu que dans le cas idéal, seule la combinaison des deux étapes permet la gravure, ce qui signifie qu'un procédé ALE idéal et donc totalement auto-limité présente une synergie de 1 (ou 100%).

Le tableau 3.7 présente quelques résultats d'ALE sur les nitrures. Comme on peut le voir, le développement de procédés ALE "tout plasma" est relativement récent mais connaît un fort intérêt. L'objectif de cette étude était donc de développer pour la pre-

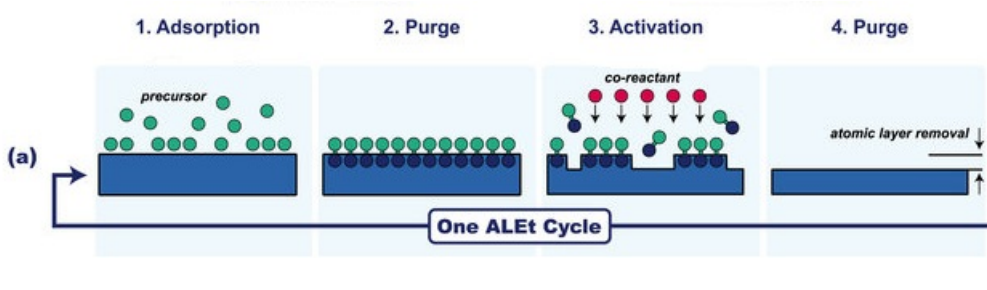


FIGURE 3.3 – Représentation schématique d'un cycle d'Atomic Layer Etching (ALE)

mière fois au laboratoire un procédé de gravure ALE dans notre bâti de gravure plasma chlorée ICP. Nous avons pour cela utilisé des hétérostructures AlGaIn/GaN sur saphir. La structure épitaxiale de la première hétérostructure utilisée consiste en une couche d'AlN

TABLE 3.3 – Etat de l’art de l’Atomic Layer Etching sur matériaux III-N.

Réf.	Étape A	Étape B	EPC (nm/cycle)	Synergie	Matériau
[72]	Plasma O_2 , 1 min, 50 W, 300 mTorr	$HCl : H_2O$ (1 :10), 1 min	1,5	-	$Al_{0,20}Ga_{0,80}N$
[73]	Plasma O_2 , 30 sec, 50 W, 300 mTorr	$HCl : H_2O$ (1 :1), 1 min	0,61	-	$Al_{0,35}Ga_{0,65}N$
[74]	Plasma O_2 , 3 min, 300 W, 100 °C	$HCl : H_2O$ (1 :10), 1 min	0,38	-	$Al_{0,25}Ga_{0,75}N$
[75]	Plasma O_2 , 3 min, 40 sccm, 8 mTorr	$HCl : H_2O$ (1 :4), 1 min	0,6	-	$AlGaN$
[77]	Plasma O_2 , 1 min, 50 W, 300 mTorr	$HCl : H_2O$ (1 :10), 1 min	1,5	-	$Al_{0,20}Ga_{0,80}N$
[78]	Plasma chloré, 2,5 s, 60 mTorr	Plasma Ar, 5 s, 5 mTorr, Bias = 80 V	0,37	86%	GaN
[79]	Plasma Cl_2 , 20 s, 30 mTorr	Plasma Ar, 10 s, 30 mTorr, Bias = 16 V	0,29	-	GaN
[80]	Plasma Cl_2 , 30 s, 20 mTorr	Plasma Ar, 30 s, 20 mTorr, Bias = 45 V	0,5	-	AlGaN
	Cl_2 , 200 mTorr		0,34		

de nucléation, une couche tampon GaN de 2,19 μm , une couche d’exclusion en AlN de 2 nm, une barrière d’ $Al_{0,22}Ga_{0,78}N$ de 24 nm et un cap de GaN de 1 nm. La seconde présente une couche tampon de 1,72 μm et une barrière d’ $Al_{0,22}Ga_{0,78}N$ de 25 nm. La figure 3.4 représente schématiquement les deux structures utilisées.

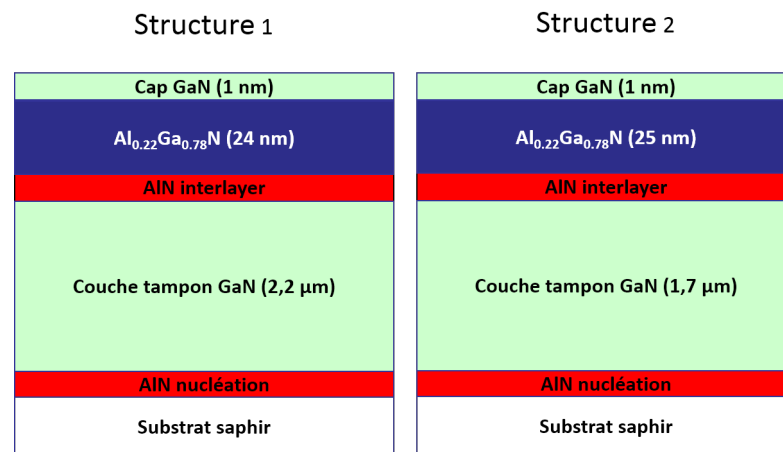


FIGURE 3.4 – Images AFM (5x5 μm) de la surface d’un échantillon d’InAlGaN/SiC a) avant et b) après 10 minutes d’exposition au plasma SF_6/O_2 utilisé pour la gravure de la couche de passivation SiN

Les deux principaux paramètres que nous avons évalués lors de cette étude sont l’épaisseur gravée par cycle et la rugosité RMS (Root Mean Square) de la surface après

gravure. Il est en effet important que la rugosité de surface après gravure soit la plus faible possible, afin d'éviter de dégrader les performances du contact de grille et donc du transistor. L'épaisseur gravée par cycle et la rugosité RMS sont toutes les deux déterminées à l'aide de mesures par microscopie à force atomique (AFM) en mode tapping (contact intermittent).

Cette technique d'analyse repose sur le balayage de la surface de l'échantillon à l'aide d'une pointe située à l'extrémité libre d'un levier. Lors du balayage de la surface et en fonction de la topographie de cette dernière, le levier va être plus ou moins dévié. Cette déviation est mesurée de façon indirecte par le biais d'un laser réfléchi à l'extrémité du levier sur une photodiode, permettant ainsi de reconstruire une image 3D de la surface.

Le calcul de la rugosité RMS passe tout d'abord par la détermination du plan moyen de la surface balayée. Une fois ce plan moyen déterminé, la hauteur de chaque point mesuré est redéfinie par rapport à ce dernier de manière que pour chaque point i , z_i correspond à la distance de ce point par rapport au plan moyen. La rugosité RMS est alors donnée par :

$$R_{RMS} = \sqrt{\frac{1}{n} \sum_{i=1}^n z_i^2} \quad (3.2)$$

Afin d'évaluer l'impact de la gravure sur la rugosité de surface, la première étape de l'étude a donc été de déterminer la rugosité des échantillons avant un quelconque procédé technologique. Ainsi, la figure 3.5 représente l'image obtenue après une mesure AFM de la surface après épitaxie de l'hétérostructure utilisée pour nos essais d'ALE. Comme noté sur la figure, la rugosité R_{RMS} de la surface avant gravure vaut environ 0,31 nm. Le pro-

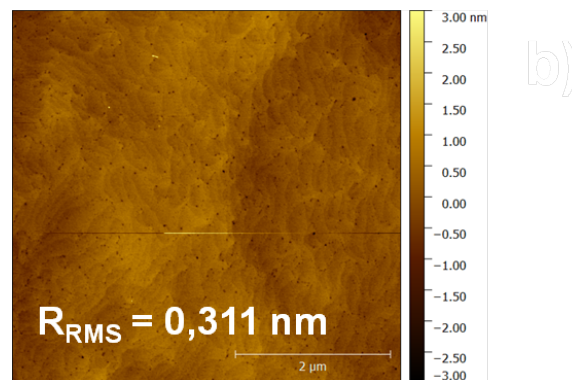


FIGURE 3.5 – Image AFM (5x5 μm) de la surface de la structure HEMT AlGaIn/GaN utilisée pour la mise au point du procédé de gravure ALE

céde que nous avons développé repose sur des expositions successives à un plasma chloré à base de Cl_2 et d'Ar puis à un plasma d'Ar, chaque exposition étant suivie d'une étape

de pompage afin de purger le réacteur. L'optimisation du procédé passe par l'optimisation des paramètres de chacune de ces étapes. Nous avons donc étudié l'influence de plusieurs paramètres, à savoir le débit de gaz lors de l'étape A, la durée et la puissance RF (paramètre directement relié à la tension d'autopolarisation) lors de l'étape B et le nombre de cycles sur l'EPC et la rugosité R_{RMS} . Tous les autres paramètres, à savoir la durée du plasma Cl_2/Ar , la pression et la puissance RF appliquées, la pression et le débit d'Ar lors de l'étape B ont été fixés, les valeurs de ces derniers étant présentés dans le tableau 3.4.

TABLE 3.4 – Paramètres de gravure fixes

Paramètres de gravure					
Etape A		Etape B		$\Theta(^{\circ}C)$	60
t (s)	12	Débits (sccm)	30		
P_{RIE} (W)	5	P (mTorr)	30		
Bias (V)	-20				
P (mTorr)	15				

Les étapes de purge consistent en une étape de pompage au cours de laquelle aucun gaz n'est injecté pendant 30 s. Chaque étape d'exposition au plasma est également précédée d'une étape de stabilisation sans plasma de 20 s lors de laquelle les gaz sont injectés à la même pression et aux mêmes débits afin d'une part de terminer l'étape de purge et, d'autre part, de stabiliser les débits de gaz.

3.1.3.1 Etude de l'influence du nombre de cycles

Nous avons dans un premier temps voulu observer l'influence du nombre de cycle sur l'EPC et R_{RMS} . Pour cela, nous avons fixé les débits de Cl_2/Ar lors de l'étape A à 5/10 sccm ainsi qu'une durée et une puissance RF de 60 s et 15 W (Bias DC = -150 V) pour l'étape B. De plus, bien que le cap GaN ne fasse que 1 nm d'épaisseur, nous avons supposé que ce dernier pourrait biaiser les résultats d'EPC sur l'AlGaIn, d'autant plus si le nombre de cycle réalisé est faible. Le procédé a alors été appliqué sur un échantillon

TABLE 3.5 – ALE GaN

Paramètres de gravure					
Etape A		Etape B		$\Theta(^{\circ}C)$	60
t (s)	12	t (s)	60	n	n
P_{RIE} (W)	5	P_{RIE} (W)	15		
Bias (V)	-20	Bias (V)	-150		
Débits (sccm)	5/10	Débits (sccm)	30		
P (mTorr)	15	P (mTorr)	30		

de GaN épais afin d'en déterminer l'EPC. Dans ces conditions, l'EPC mesuré est de 1,85 nm/cycle. Nous avons ensuite appliqué le même procédé sur des échantillons provenant

des hétérostructures présentées précédemment en faisant varier le nombre de cycle entre 4 et 25. Les EPC et la rugosité en fonction du nombre de cycle déterminées après chaque gravure sont représentées sur la figure 3.6. On peut remarquer que l'EPC pour un nombre

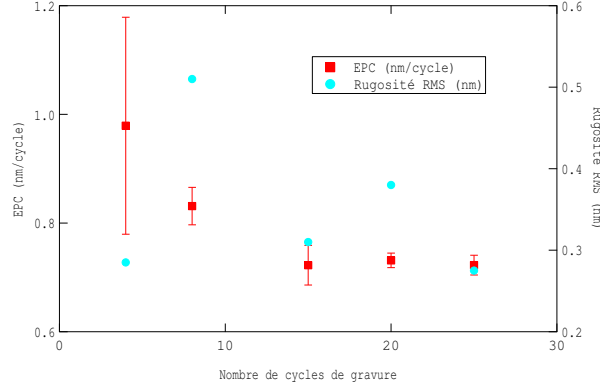


FIGURE 3.6 – Epaisseur gravée par cycle (nm/cycle) et rugosité RMS (nm) en fonction du nombre de cycle de gravure

de cycle $n = 4$ vaut environ 1,0 nm/cycle et qu'à mesure que le nombre de cycle augmente, il diminue jusqu'à atteindre 0,72 nm/cycle à partir de $n = 15$ cycles. Cette diminution de l'épaisseur gravée par cycle peut être attribuée à la présence du cap GaN qui, dans ces conditions de gravure, est gravé plus rapidement que l'AlGaN qu'il protège. Si l'on considère que l'épaisseur totale gravée e_{tot} après n cycles est la somme des épaisseurs de GaN et d'AlGaN gravées e_{GaN} et e_{AlGaN} , on a :

$$e_{tot} = e_{GaN} + e_{AlGaN} \quad (3.3)$$

L'épaisseur totale gravée étant, par définition, le produit de l'épaisseur gravée par cycle et du nombre de cycles, on a également :

$$EPC \cdot n = EPC_{GaN} \cdot n_{GaN} + EPC_{AlGaN} \cdot n_{AlGaN} \quad (3.4)$$

avec n_{GaN} et n_{AlGaN} respectivement les nombres de cycles nécessaires pour graver les épaisseurs e_{GaN} et e_{AlGaN} et tels que :

$$n = n_{GaN} + n_{AlGaN} \quad (3.5)$$

L'ajustement de la courbe expérimentale de l'EPC total en fonction du nombre de cycle à partir de la décomposition de ces grandeurs globales en grandeurs relatives aux deux matériaux gravés nous donne, en considérant que le cap GaN est totalement gravé lors du premier cycle d'ALE, $EPC_{GaN}=1,83$ nm/cycle, ce qui est cohérent avec la valeur d'EPC

mesurée après gravure de l'échantillon de GaN épais, et $EPC_{AlGaN} = 0,67$ nm/cycle. Le fait que l'EPC se stabilise après un certain nombre de cycles nous permet également de confirmer que le procédé est stable d'un cycle à l'autre et ce, quel que soit le nombre de cycles effectués. Enfin, on remarque que la surface n'est pas dégradée après la gravure, la rugosité mesurée restant proche de la valeur initiale d'environ 0,3 nm, indépendamment du nombre de cycles d'ALE.

3.1.3.2 Etude de l'influence de la durée d'exposition au plasma Ar

Nous avons ensuite étudié l'influence de la durée de l'étape B sur l'EPC et R_{RMS} pour un nombre de cycles fixé à $n = 15$ cycles, cette valeur permettant, comme nous l'avons vu de négliger l'effet du cap GaN sur les résultats de mesures. Nous avons donc réalisé plusieurs gravures dans les mêmes conditions en faisant varier la durée de l'étape B t_B entre 20 et 120 s. Les EPC et R_{RMS} déterminées en fonction de t_B sont représentées sur la figure 3.7. On remarque que l'EPC est constante à environ 0,45 nm/cycle pour des durées

TABLE 3.6 – ALE GaN

Paramètres de gravure					
Etape A		Etape B		$\Theta(^{\circ}C)$	60
t (s)	12	t (s)	t_{Ar}	n	15
P_{RIE} (W)	5	P_{RIE} (W)	15		
Bias (V)	-20	Bias (V)	-150		
Débits (sccm)	5/10	Débits (sccm)	30		
P (mTorr)	15	P (mTorr)	30		

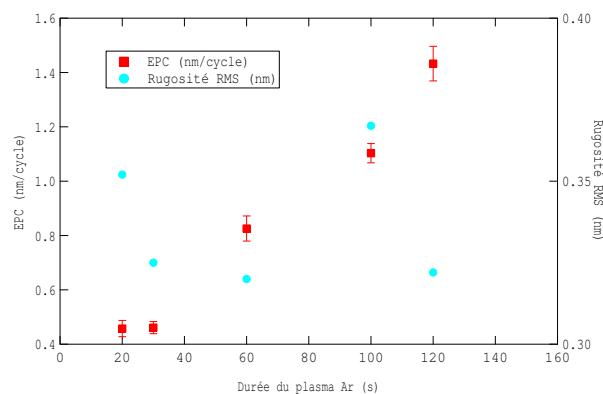


FIGURE 3.7 – Epaisseur gravée par cycle (nm/cycle) et rugosité RMS (nm) en fonction de la durée du plasma d'argon

d'exposition au plasma Ar inférieure à 30 s, ce qui correspond environ à une gravure de deux monocouches par cycle. Au delà de cette durée, l'EPC semble croître linéairement

avec t_B . La rugosité R_{RMS} ne semble quant à elle pas influencée par t_B : en effet, nous n’observons pas de variation significative de la valeur mesurée après gravure et ce quelque soit la durée d’exposition au plasma Ar, comme nous pouvons le voir sur la figure 3.8. Afin d’étudier l’évolution de la synergie avec t_B , nous avons tout d’abord appliqué chacune des deux étapes plasma à deux échantillons différents. Ainsi, après 50 cycles d’exposition à l’étape A, aucune gravure n’a été observée, d’où $EPC_A = 0 \text{ nm/cycle}$. Pour l’étape B d’exposition au plasma Ar à une puissance RIE de 15 W (Bias DC de -150 V), les EPC mesurées sont respectivement de 0,16 et 0,32 nm/cycle pour des durées d’exposition de 20 et 60 s. A partir de ces valeurs d’EPC mesurées pour chaque étape élémentaire du procédé d’ALE, nous avons calculé, à l’aide de la formule 3.1, les synergies pour chacune des durées d’exposition au plasma Ar lorsque les étapes sont réalisées conjointement. Celles-ci sont représentées sur la figure 3.9. On observe ainsi une diminution de la synergie de 65% à 43% avec une augmentation de la durée t_B , ce qui signifie qu’à mesure que cette dernière augmente, le procédé de gravure est de plus en plus dû à la pulvérisation qui a lieu lors de l’exposition au plasma Ar.

Dans le but d’augmenter cette synergie nous avons envisagé deux possibilités : d’une part, augmenter l’EPC globale en augmentant la quantité de chlore adsorbée à la surface de l’échantillon, et d’autre part, diminuer la pulvérisation due à l’étape B, permettant ainsi de se rapprocher d’un procédé idéal d’ALE.

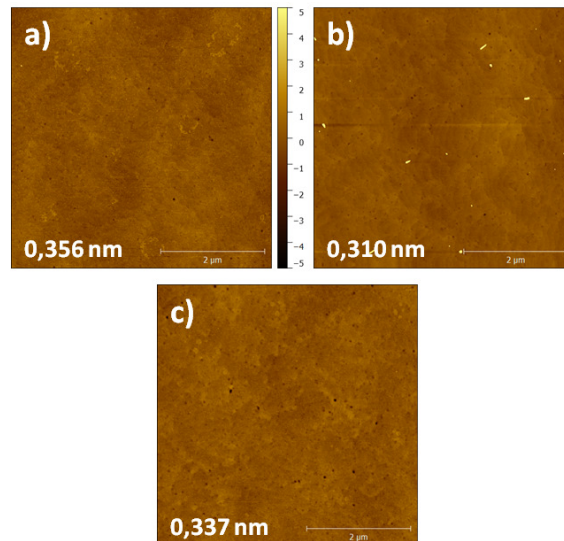


FIGURE 3.8 – Images AFM (5x5 μm) de la surface d’échantillons gravés avec différentes durées de plasma d’argon

3.1.3.3 Etude de l’influence des débits de chlore et d’argon lors de l’étape A

Afin d’augmenter la quantité de chlore adsorbée à la surface, nous avons modifié les débits des gaz mis en jeu lors de l’étape A, passant ainsi de débits de Cl_2 et d’ Ar respecti-

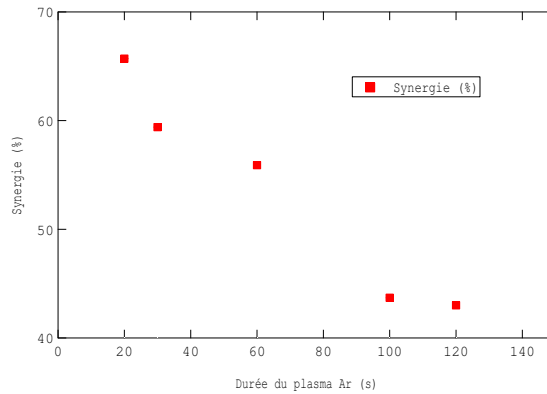


FIGURE 3.9 – Synergie en fonction de la durée du plasma d’argon

vement de 5 et 10 sccm à 10 et 5 sccm, en conservant tous les autres paramètres constants. Afin de pouvoir calculer la synergie dans ces nouvelles conditions, nous avons tout d’abord réalisé cette étape A plusieurs fois sur un échantillon sur lequel aucune gravure n’a été observée. La figure 3.10 représente, pour deux durées t_B différentes, les valeurs d’EPC et de R_{RMS} mesurées avec les débits Cl_2/Ar de 5/10 et 10/5 sccm. Comme nous l’avons prévu, les valeurs d’EPC mesurées après inversion des débits sont effectivement plus importantes, ce qui se traduit effectivement par un accroissement de la synergie, comme représenté sur la figure 3.11. On remarque également sur cette figure que, indépendamment des débits

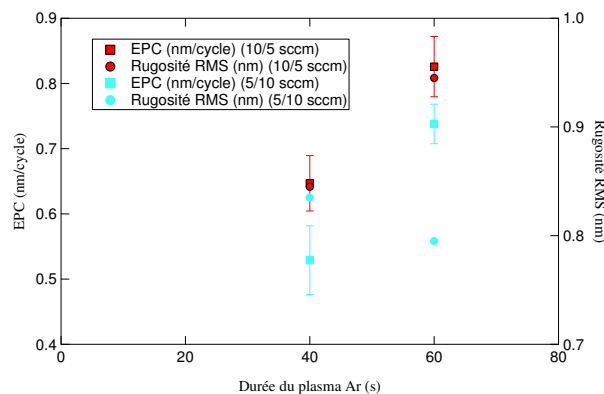


FIGURE 3.10 – Epaisseur gravée par cycle (nm/cycle) et rugosité RMS (nm) en fonction de la durée du plasma d’argon pour deux rapports de débits Cl_2/Ar lors de la première étape du cycle d’ALE

de gaz lors de l’étape A, une augmentation de la durée de l’étape B entraîne une chute de la synergie. L’autre solution envisagée pour augmenter la synergie est, comme nous l’avons explicité précédemment, de réduire la part de la gravure due à la pulvérisation lors du plasma Ar.

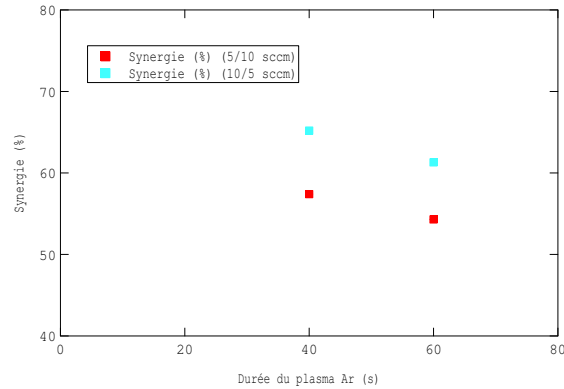


FIGURE 3.11 – Synergie en fonction de la durée du plasma d’argon pour deux rapports de débits Cl₂/Ar lors de la première étape du cycle d’ALE

3.1.3.4 Etude de l’influence de la puissance RIE lors de l’étape B

Nous avons ainsi étudié l’influence de la puissance RIE appliquée lors de l’étape B en conservant tous les autres paramètres identiques. Les valeurs d’EPC et de R_{RMS} en fonction de $P_{RIE}(B)$ et pour une durée t_B sont représentées sur la figure 3.12, la figure 3.13 représentant quant à elle les images AFM de la surface des échantillons après gravure. Il s’avère que l’EPC varie de la même façon que la rugosité lorsque la puissance

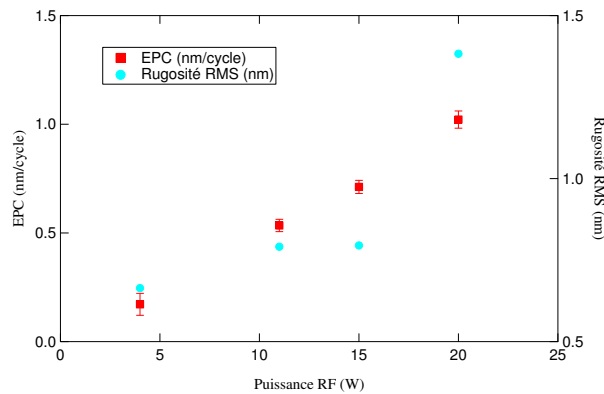


FIGURE 3.12 – Epaisseur gravée par cycle (nm/cycle) et rugosité RMS (nm) en fonction de la puissance RF applique lors du plasma d’argon

RIE augmente, à savoir qu’une élévation de P_{RIE} entraîne une augmentation conjointe des deux paramètres mesurés, passant respectivement de 0,17 nm/cycle et 0,66 nm RMS pour une puissance de 5 W (Bias DC d’environ -75 V) à 1,02 nm/cycle et 1,39 nm RMS pour une puissance de 20 W (-200 V). On remarque que pour une puissance RIE P_{RIE} de 11 W (-130 V), la rugosité mesurée est similaire à celle observée lorsque la gravure est réalisée à

15 W mais que l'EPC est plus faible et plus proche de 2 monocouches par cycles. Afin de vérifier la variation de synergie, nous avons à nouveau réalisé l'étape B seule mais cette fois-ci avec une puissance RIE réduite à 11 W. La valeur de synergie ainsi déterminée, de 36% s'avère être plus faible que celle calculée précédemment (56%). Cette observation semble révéler que les ions Ar^+ doivent disposer d'une certaine énergie minimale afin de désorber efficacement les chlorures d'éléments III produits par la gravure.

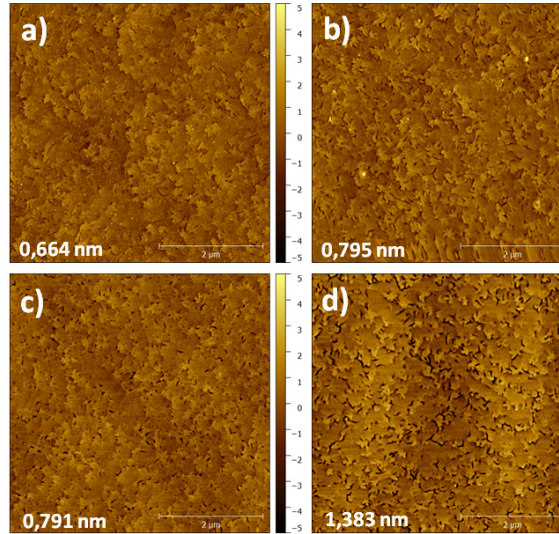


FIGURE 3.13 – Images AFM ($5 \times 5 \mu\text{m}$) de la surface d'échantillons gravés avec différentes puissances appliquées lors du plasma d'argon ((a) : 9 W, (b) : 11 W, (c) : 15 W, (d) : 20 W)

3.1.3.5 Application du procédé ALE à différents nitrures d'éléments III

Le tableau 3.7 récapitule les EPC mesurés sur différents nitrures, à savoir AlN, GaN, AlGaN et InAlGaN pour un procédé avec des débits de Cl_2/Ar de 5/10 sccm, $t_B = 60$ s et $P_B = 15$ W. On remarque que les EPC des différents alliages sont d'autant plus faibles que les températures de sublimation des trichlorures des métaux qui les composent sont faibles. Bien que le procédé d'ALE développé soit encore perfectible, notamment en terme

TABLE 3.7 – EPC mesuré sur différents nitrures pour $t_{Ar} = 60$ s et $P_{Ar} = 15$ W.

Semi-conducteur	AlN	GaN	AlGaN	InAlGaN
EPC (nm/cycle)	0,44	1,85	0,72	0,55

de synergie et donc d'"auto-limitation", nous avons décidé de l'appliquer en l'état pour le recess de grille. En effet, le but qui était à la base de développer une recette de gravure

permettant de graver lentement la barrière est atteint avec le procédé présenté, ce qui permet de plus une gravure sans dégrader la surface du semiconducteur.

3.1.3.6 Application du procédé ALE au recess

Afin d'étudier l'influence de la profondeur de gravure et donc de l'épaisseur de barrière restante, sur le comportement des transistors et leurs performances électriques, nous avons appliqués différents nombres de cycles de gravure sur certaines zones d'un même wafer. Pour cela, nous avons utilisé un système de cache directement posé à la surface de la plaque lors de la gravure, permettant d'en protéger une partie pendant qu'une autre est gravée. La plaque a été divisée en deux moitiés, nord (N) et sud (S), sur lesquelles nous avons respectivement réalisé 6 et 4 cycles de gravure.

3.1.4 Implantation de fluor

Comme évoqué dans la partie dédiée à la présentation des différentes techniques permettant l'obtention d'un HEMT GaN normally-off, l'implantation de fluor est l'une des nombreuses méthodes couramment utilisées. Ainsi, cette étape a généralement pour but d'implanter du fluor dans la barrière et au plus près de l'interface entre cette dernière et le canal, de sorte que son effet sur le 2DEG soit le plus important possible sans pour autant que les espèces implantées ne puissent se comporter comme des impuretés, réduisant de fait la mobilité des électrons si l'on implantait au delà de l'interface barrière/canal[81]. Étant donné les faibles épaisseurs de barrières utilisées dans le cas des technologies HEMT GaN, généralement comprises entre 4 et 25 nm, en fonction de la nature de la barrière (AlN, InAlGa_N, AlGa_N), l'utilisation d'un implantateur ionique pour réaliser cette implantation est relativement rare du fait des énergies typiquement mises en jeu avec ces équipements qui ne permettraient pas une implantation dans une couche aussi fine et à une profondeur aussi faible. La figure 3.14 représente le profil d'implantation de fluor obtenu par simulation à l'aide du logiciel SRIM dans une structure InAlGa_N/AlN/GaN à une énergie de 225 eV. Pour une telle énergie, la profondeur moyenne d'implantation des ions dans la structure est de 13 Å avec un *straggle*, c'est-à-dire une dispersion autour de ce pic, de 6 Å. Étant donné l'ordre de grandeur des énergies (typiquement de l'ordre du keV pour les plus faibles) qu'il est possible d'atteindre avec un implantateur, on comprend que l'utilisation d'un tel équipement n'est pas facilement envisageable dans notre cas. C'est la raison pour laquelle nous nous sommes tournés vers le procédé d'implantation ionique par immersion plasma (IIIP), qui consiste à exposer l'échantillon à un plasma, fluoré dans notre cas, généré dans un bâti de gravure. Le fait de générer le plasma dans un tel bâti permet en effet de disposer d'ions à faible énergie (proportionnelle au bias DC et à la charge de l'ion). Il est toutefois nécessaire de bien faire attention aux gaz employés pour générer le plasma. En effet, en fonction des gaz, le plasma pourrait conduire à la

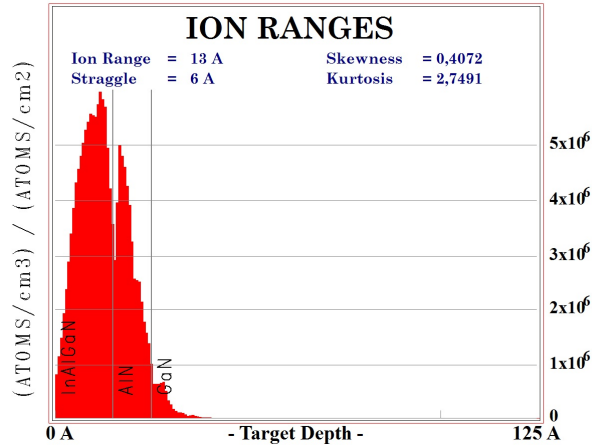


FIGURE 3.14 – Profil d’implantation de fluor dans une structure InAlGaN/AlN/GaN pour une énergie de 225 eV obtenu par simulation SRIM.

gravure des matériaux exposés. On cherchera également à utiliser les gaz les plus simples afin de limiter le nombre d’espèces présentes dans le plasma et donc le nombre d’éléments différents potentiellement implantés. De ce point de vue là, l’IIIP de fluor dans un bâti de gravure n’est malheureusement pas le procédé idéal puisqu’il n’est pas envisageable d’utiliser le difluor F_2 et que ces équipements ne sont pas équipés de dispositifs permettant le tri et la sélection des ions implantés comme c’est le cas pour les implantateurs.

Outre la méthode utilisée pour réaliser l’implantation de fluor, le principe même d’implantation pour la fabrication de HEMT GaN normally-off ne fait pas l’unanimité, notamment par rapport à la stabilité thermique des composants ainsi réalisés. Quelques études suggèrent toutefois que de tels composants sont stables jusqu’à 200 °C [82] voire 500 °C[83]. Les études sur le comportement du fluor une fois implanté (profondément) dans le GaN montrent d’ailleurs qu’un recuit réalisé après l’implantation permettrait de le stabiliser et d’empêcher sa diffusion. Cette stabilisation serait due à la diminution de la densité de lacunes V_M^\times ($M = \text{Ga}, \text{Al}, \text{In}$) qui seraient nécessaires au mécanisme de diffusion des ions F^+ dans les nitrures[84].

Basé sur les nombreuses études sur l’implantation de fluor dans les nitrures pour la réalisation de HEMT normally-off, le procédé que nous avons mis au point repose sur la formation d’un plasma à base de CF_4 . Le bâti que nous utilisons est le même que celui que nous utilisons pour la gravure du SiN par plasma SF_6/O_2 , utilisé ici en mode purement RIE afin, d’une part de limiter la gravure des matériaux exposés au plasma (l’InAlGaN et le SiN pouvant tous les deux être gravés par des plasmas fluorés) et, d’autre part, de maximiser la proportion d’ions arrivant de façon perpendiculaire à la surface du wafer, limitant de fait les dimensions de la zone implantée à celles prévues. L’équipement utilisé permet en outre de contrôler l’énergie des ions incidents puisqu’il est possible de fixer une

consigne de polarisation DC, la puissance RIE étant alors réglée automatiquement pour atteindre cette consigne.

Afin d'étudier l'effet de l'implantation sur les caractéristiques électriques des transistors, nous avons appliqué deux variantes différentes. En utilisant le même système de cache que celui utilisé pour appliquer les variantes de recess de grille, nous avons divisé la plaque en deux moitiés, ouest (O) et est (E) sur lesquelles nous avons réalisé des implantations respectives de 30 et 60 s.

3.1.5 Dépôt d'un oxyde de grille par Atomic Layer Deposition

Notre procédé de fabrication des HEMT normally-off reposant en partie sur la technique du recess de grille, il nous a paru opportun d'ajouter, en sus des étapes que l'on vient de présenter, une étape de dépôt d'un diélectrique de grille. En effet, comme nous l'avons expliqué précédemment, le recess de grille peut engendrer l'augmentation des densités de courant de grille et donc de courant de fuite, augmentation qui peut néanmoins être contenue en déposant un diélectrique sous la grille. Le choix du diélectrique utilisé dépend de plusieurs paramètres. Notons tout d'abord que l'action du diélectrique sur les courants de fuite dépend directement de l'épaisseur de ce dernier, de sorte que plus l'épaisseur est élevée plus les courants sont faibles. L'état de surface du semiconducteur et l'interface diélectrique/semiconducteur jouent également un rôle et il est donc commun de procéder à une étape de préparation de la surface avant le dépôt. L'augmentation de l'épaisseur entraîne cependant une réduction de la capacité de grille dont dépend directement la transconductance. Il est donc nécessaire de déposer une couche suffisamment épaisse pour que les courants de fuites soient effectivement réduits sans pour autant que les performances du composant en termes de fréquences de coupure ne soient dégradées de façon trop importante. La solution consiste ainsi à utiliser un diélectrique dit *high- κ* , c'est-à-dire présentant une forte permittivité diélectrique ϵ_r . D'autres paramètres sont également à prendre en compte lors de ce choix. Toujours dans le but de limiter les courants de fuites en limitant son épaisseur, un diélectrique présentant une grande bande interdite couplée à une discontinuité de bande de conduction élevée avec la barrière permettrait en outre à ce dernier de jouer son rôle. Enfin, les HEMT GaN ayant vocation à être utilisés pour des applications de puissance, il est également nécessaire de choisir un diélectrique possédant une tension de claquage importante de sorte qu'il puisse supporter les tensions élevées appliquées lors du fonctionnement du composant. Le tableau 3.8 présente les valeurs de ces différents paramètres pour plusieurs diélectriques cités précédemment. D'après les propriétés présentées dans ce tableau, on peut voir que les permittivités diélectriques respectives de l'oxyde d'hafnium (HfO_2) et de l'oxyde de zirconium (ZrO_2) sont parmi les plus élevées mais leur champ électrique critique E_b et la discontinuité de bande de conduction ΔE_c qu'ils présentent avec le GaN ne permettent pas d'envisager leur utilisation pour fabri-

TABLE 3.8 – Propriétés électriques de différents diélectriques couramment utilisés en tant que diélectrique de grille pour la fabrication de MIS-HEMT GaN

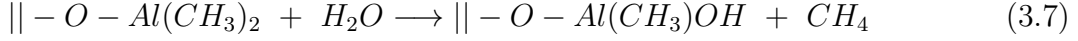
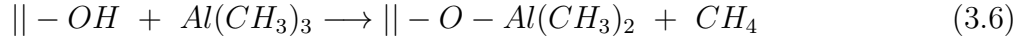
Matériau	ϵ_r	E_g (eV)	$\Delta E_c/\text{GaN}$ (eV)	E_b (MV/cm)
SiO_2	3,9	8,0	2,5	10
Si_3N_4	7,5	5,1	-	10
Al_2O_3	10	8,9	2,1	>10
Ga_2O_3	10	5,4	0,5	3
HfO_2	45-150	5,7	1,1	4
ZrO_2	15-30	7,8	1,1	4

quer des MIS-HEMT pour des applications de puissance. L'oxyde de gallium (Ga_2O_3) ne remplit pas, lui non plus, les critères fixés précédemment, pour les mêmes raisons que les oxydes précédents. Notons également que ce dernier peut se former naturellement à la surface de nos échantillons. Il sera donc primordial de l'éliminer avant le dépôt de l'oxyde que l'on aura choisi. L'oxyde de silicium SiO_2 , bien que présentant à la fois un fort champ critique et une discontinuité ΔE_c élevée ne possède pas une permittivité diélectrique suffisante. L'oxyde d'aluminium présente quant à lui toutes les propriétés souhaitées. Tout comme pour le Ga_2O_3 , sa composition permet d'espérer une bonne qualité cristalline à l'interface diélectrique/barrière. Pour ces raisons, nous avons décidé d'utiliser l' Al_2O_3 en tant qu'oxyde de grille.

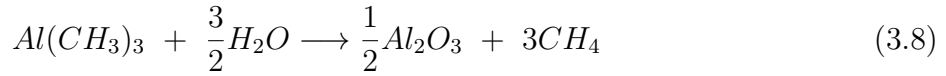
L' Al_2O_3 que nous utilisons est déposé par ALD. Comme nous l'avons vu, cette technique basée sur la répétition d'expositions à deux précurseurs séparées par des étapes de purges permet de réaliser des dépôts avec une extrême précision quant à l'épaisseur déposée et avec une excellente conformité, c'est-à-dire un excellent recouvrement de la surface et donc des marches créées par le recess de grille. L'épaisseur d' Al_2O_3 déposé est ainsi de 7 nm.

Ainsi, le dépôt de l' Al_2O_3 a été réalisé à l'aide du bâti BENEQ TFS200 dont dispose l'équipe du Laboratoire des Techniques de Caractérisations Avancées (LTCA) de Thales Research & Technology. Ce dernier permet en outre de déposer différents oxydes tels que le TiO_2 , le HfO_3 , l' Y_2O_3 et bien sûr l' Al_2O_3 sur des plaques pouvant atteindre un diamètre de 200 mm (8 pouces), en mode thermique ou assisté par plasma (PEALD - Plasma Enhanced Atomic Layer Deposition). Pour le dépôt d' Al_2O_3 , les quatre précurseurs disponibles sur ce bâti sont le triméthyl-aluminium (TMA, $Al(CH_3)_3(l)$) comme source d'aluminium et l' $H_2O(l)$ l' $O_2(g)$ ainsi que l' $O_3(g)$ comme source d'oxygène. En mode thermique, les précurseurs utilisés sont le TMA et l' $H_2O(l)$ et les deux demi-réactions correspondant respectivement au pulse de TMA et à celui de l'eau communément admises sont [Weckman2015 First principles study of the atomic layer deposition of alumina by

tma-h2o] :



avec $\|$ représentant la surface de l'échantillon sur laquelle le dépôt est effectué, la réaction globale étant :



Les précurseurs étant tous les deux à l'état liquide dans les conditions normales de température et de pression, leur vapeur est acheminée grâce à un flux de gaz inerte, ici de l'argon, jusqu'à la chambre de réaction. L'avantage d'utiliser de l'eau en tant que source d'oxygène est, tout d'abord, la simplicité de mise en œuvre contrairement aux cas où l'on utilise de l'ozone, généralement généré à partir d' O_2 . L'eau est également préférée lorsque l'on doit réaliser des dépôts sur des matériaux relativement sensibles aux plasmas oxygénés tels que les matériaux carbonés comme le graphène. Elle facilite enfin l'amorce du dépôt via la formation de liaisons -OH en surface avec lesquelles va pouvoir réagir la source métallique. Ici, les étapes de purges permettent d'éliminer les excès de réactifs tels que l'eau et le TMA mais également le méthane CH_4 produit lors de la réaction.

Dans le cas de la PEALD, on utilise le TMA en tant que source d'aluminium mais la source d'oxygène est remplacée par un plasma O_2 . Le recours à un plasma permet en outre, de part sa nature plus réactive que la simple vapeur d'eau, de réaliser des dépôts d'aussi bonne qualité à des températures plus faibles et donc sur des substrats plus sensibles.

Des mesures électriques réalisées sur des capacités MIM (Métal-Isolant-Métal) ont permis de comparer les propriétés des films obtenus par T-ALD et PEALD. Les résultats, présentés dans le tableau 3.9 montrent que le film obtenu par PEALD présente de meilleures propriétés en termes de tenue en tension (son champ critique de claquage étant près de 66% plus important), et de courant de fuite que le film déposé par T-ALD. D'après ces observations, nous avons décidé de recourir à la PEALD pour réaliser le dépôt d' Al_2O_3 en tant qu'oxyde de grille.

3.1.6 Recuit de grille

De nombreux travaux ont montré qu'un recuit thermique réalisé après le dépôt de la grille peut s'avérer bénéfique pour les performances des MOS-HEMT normally-off [85, 86, 49, 87]. Les améliorations à la suite d'un recuit thermique se traduisent notamment

TABLE 3.9 – Comparaison des performances électriques de deux dépôts d' Al_2O_3 par T-ALD et PEALD

	T-ALD- Al_2O_3	PEALD- Al_2O_3
E_c (MV/cm)	6	10
ϵ_r	8,5	8,7

par :

- une augmentation de la densité de courant de drain
- un décalage positif de la tension de seuil
- un meilleur pincement du canal
- une réduction du phénomène d'hystérésis observé lors des mesures $I_D - V_{GS}$

La principale explication concernant ces modifications est la réduction de la densité de charges fixes positives à l'interface oxyde/barrière, responsable du décalage de la tension de seuil. Ces charges fixes peuvent également agir comme des centres de diffusion. Une diminution de leur densité se traduit également par une élévation de la mobilité des porteurs dans le 2DEG[88]. Généralement réalisés aux alentours de 400°C, plusieurs températures de recuit ont été étudiées par Trinh-Xuan *et al.* qui n'ont pas observé de résultats significativement différents entre plusieurs recuits entre 350 et 450°C. Il est toutefois essentiel que la température du recuit n'excède pas la température de cristallisation, située entre 800 et 900°C dans le cas des films d' Al_2O_3 déposés par ALD. En effet, il a été observé que la cristallisation de l'oxyde suite à un recuit à haute température entraîne une dégradation de la tenue en tension et un accroissement de la densité de courant de grille[85, 89]. Il est de plus risqué de soumettre les composants à de telles températures à ce stade du procédé sous peine de dégrader la qualité de l'isolation.

Outre ses effets sur l'oxyde et l'interface oxyde/semiconducteur, le recuit thermique est également susceptible d'entraîner une réduction de la densité de défauts cristallins dans la barrière générés par les expositions aux plasmas de gravure (recess de grille) et d'implantation de fluor.

Afin de pouvoir étudier l'influence de la température de recuit sur les composants fabriqués, nous avons découpé la plaque en réticules de 6 mm x 6 mm et réalisé les différents recuits sur des réticules issus des quatre quarts différents. Les recuits ont été réalisés à l'aide d'un four RTA (Rapid Thermal Annealing) selon le programme suivant :

- une première montée en température jusqu'à 100°C en 10 s
- une seconde montée en température jusqu'à la température de consigne θ avec une rampe de 2°C/s
- un palier de 10 minutes à la température θ

sous un flux d'azote constant de 1000 sccm. Trois recuits à trois températures différentes

ont été appliqués : 300, 350 et 400 °C.

3.1.7 Description et analyse structurale des transistors étudiés

3.1.7.1 Description de la structure épitaxiale et des composants analysés

Description des structures

Les composants fabriqués dans le cadre de notre étude sur les MOS-HEMT GaN normally-off par recess de grille et implantation ont été réalisés sur la structure représentée sur la figure 3.15. La valeur de la résistance de feuille R_{sheet} , déterminée par une mesure sans contact est de 291 Ω . Aucune mesure C(V) n'a été effectuée sur cette plaque après épitaxie mais des mesures sur des structures similaires nous ont donné des valeurs de tensions de pincement V_p entre -2,4 et -2,2 V et une densité de porteurs dans le gaz N_s de l'ordre de $1,4 \cdot 10^{13} \text{ cm}^{-2}$

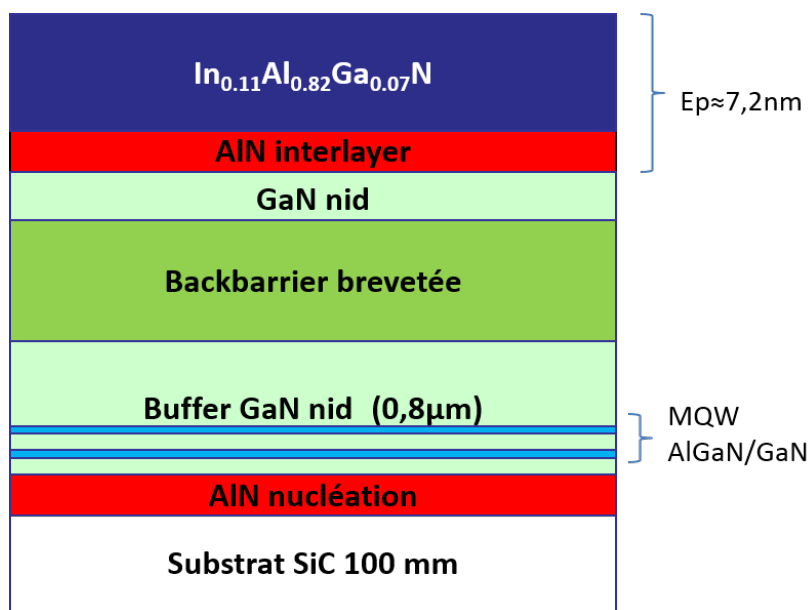


FIGURE 3.15 – Représentation schématique de la structure épitaxiale utilisée pour la fabrication de MOS-HEMT GaN normally-off.

Description des composants

Comme nous le verrons ultérieurement, plusieurs composants différents ont été mesurés : les transistors nommés TR1750 et TR3500, qui sont des composants à un doigt de grille, et les CT21 qui sont des composants à deux doigts de grille. Il y a également une différence quant à la largeur de ces doigts, ces derniers faisant 100 μm sur les TR1750 et TR3500 et 50 μm sur les CT21, pour un développement total équivalent de 100 μm . Concernant les autres dimensions caractéristiques, les trois composants sont identiques

avec une distance source-grille L_{GS} de 0,725 μm , une distance grille-drain L_{GD} de 1,425 μm , une distance source-drain L_{DS} de 2,45 μm et une longueur de grille L_G de 300 nm. La figure 3.16 représente les géométries des deux types de transistors étudiés.

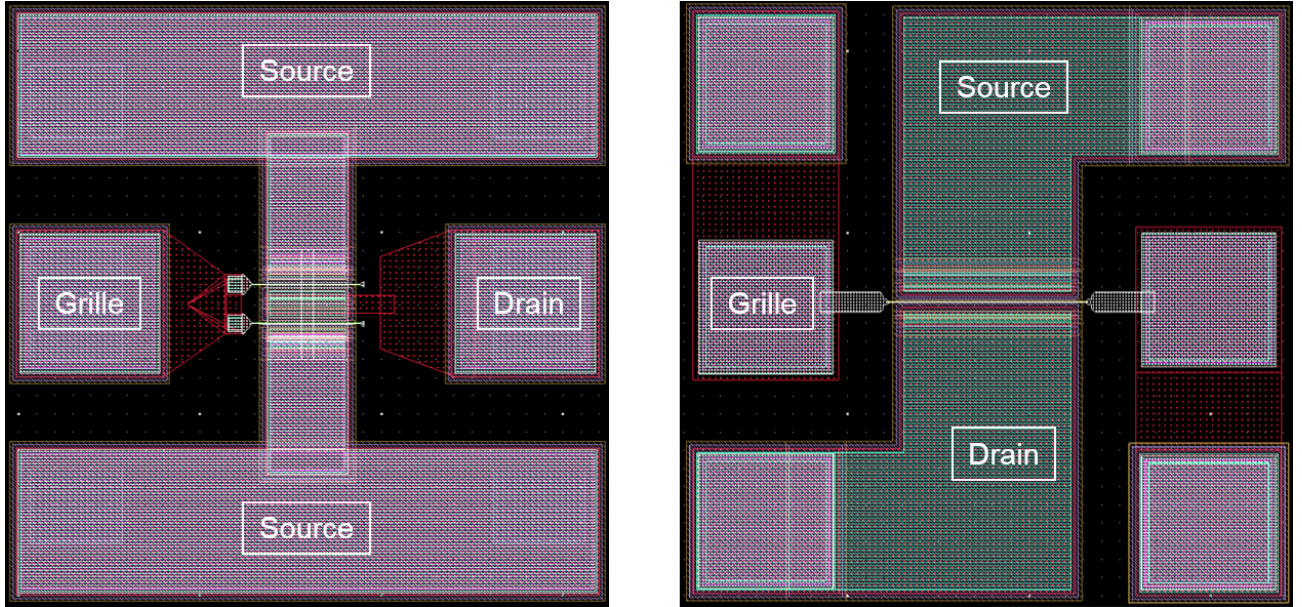


FIGURE 3.16 – Représentation des différentes topologies de transistors mesurés : CT21 et TR.

3.1.7.2 Analyses par microscopie électronique en transmission

A la suite des mesures électriques dont les résultats sont présentés dans la partie suivante, nous avons sélectionné un réticule provenant du quart nord-ouest pour effectuer des analyses par microscopie électronique en transmission (MET). Ces observations, plus précises que celles réalisées au MEB permettent en outre, via une vue en coupe réalisée par faisceau d'ions focalisés (Focused Ion Beam - FIB), de vérifier les dimensions du composant ainsi que les épaisseurs des différents matériaux déposés et les profondeurs de gravures. Notons que le composant sur lequel les observations MET ont été réalisées n'a pas subi de recuit après le dépôt de la grille. La figure 3.17 nous permet ainsi de confirmer que les dimensions L_g , L_{gd} et L_{sg} sont très proches de celles attendues : respectivement 350 nm, 1,4 μm et 0,7 μm .

La figure 3.18 correspond à un zoom de l'extrémité de la grille côté drain du composant figurant sur la figure précédente. Plusieurs éléments sont importants à relever sur celle-ci. On peut déjà noter les épaisseurs des deux diélectriques à savoir l' Al_2O_3 dont l'épaisseur nominale est de 7 nm et qui est présent sur la partie active des composants y compris sous la grille et le SiN, dont l'épaisseur nominale est quant à elle de 10 nm. Le SiN n'étant pas présent sous la grille, cela nous permet de déterminer clairement les

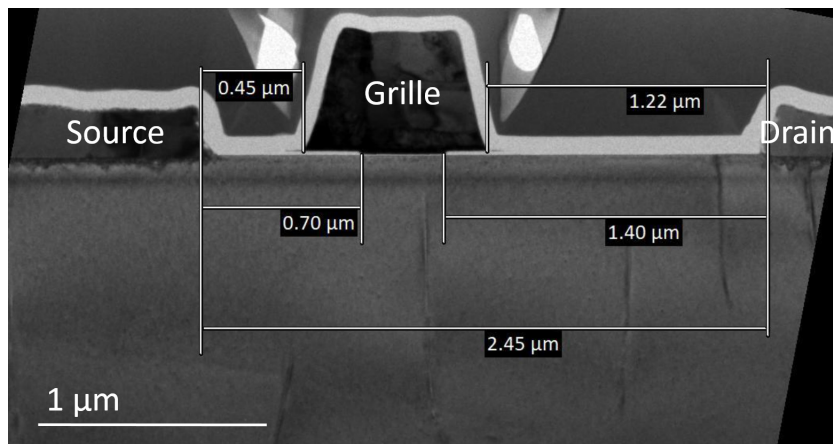


FIGURE 3.17 – Vue en coupe par MET d'un CT21 faisant apparaître les deux contacts ohmiques et la grille.

épaisseurs respectives d' Al_2O_3 et de SiN qui sont respectivement de 6 et 10 nm. Le second élément important que l'on peut observer sur cette image concerne la profondeur du recess de grille, mesurée ici à 2 nm. On note toutefois que la profondeur de recess est plus faible à l'extrémité du pied de grille et qu'elle augmente à mesure que l'on se rapproche de son centre.

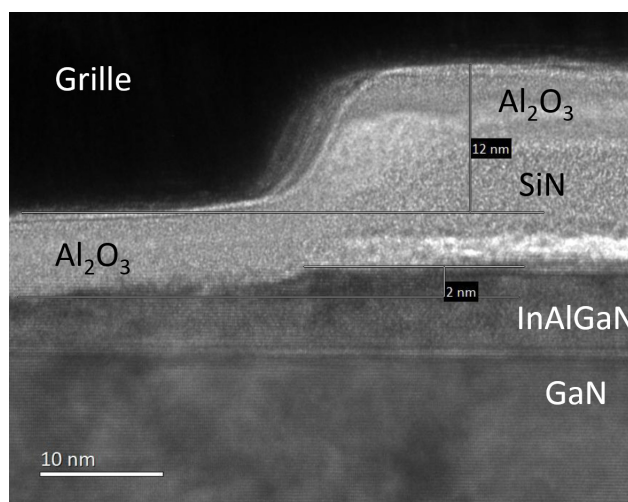


FIGURE 3.18 – Vue en coupe par MET d'un CT21 zoomée sur une extrémité du pied de grille.

La figure 3.19 est un cliché réalisé au centre du pied de grille. On remarque que l'épaisseur d' Al_2O_3 est constante, indépendamment de la position puisqu'elle vaut également 6 nm. Concernant la barrière, on mesure une épaisseur de barrière d'environ 3,8 nm, ce qui correspond à une profondeur de gravure 3,4 nm. D'après cette profondeur de gravure et en sachant que 6 cycles d'ALE ont été réalisés sur ce réticule, nous retrouvons

une épaisseur gravée par cycle d'environ 0,57 nm/cycle. Cette valeur, en accord avec celle déterminée lors de la mise au point du procédé de gravure nous permet d'affirmer que l'épaisseur de barrière restante sur la moitié Sud est d'environ 4,9 nm. Nous pouvons toutefois remarquer que la profondeur du recess n'est pas homogène sur toute la longueur de la zone gravée, le recess étant moins importants sur les bords qu'au centre.

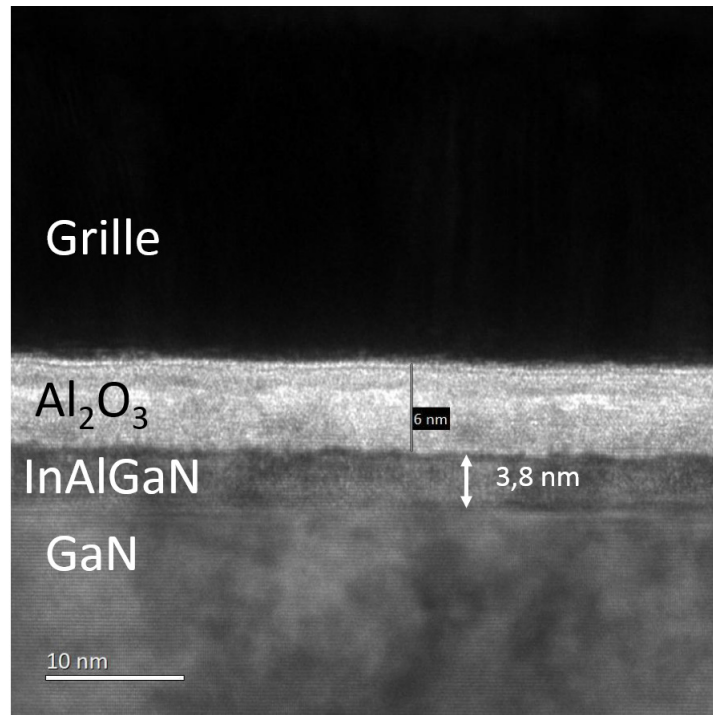


FIGURE 3.19 – Vue en coupe par MET d'un CT21 zoomée au centre du pied de grille.

Conjointement aux clichés MET, des analyses par spectroscopie dispersive en énergie (EDS - Energy Dispersive X-ray Spectrometry) ont également été réalisées. Elles permettent notamment d'identifier et de localiser les différents éléments chimiques présents dans l'échantillon. L'EDS repose sur l'excitation des électrons de cœur des éléments à l'aide d'un faisceau d'électrons permettant alors à un électron situé à un niveau d'énergie plus élevée de le remplacer. La désexcitation de ce second électron s'accompagne alors de l'émission d'un rayonnement X dont l'énergie dépend de l'élément analysé. La figure 3.20 fait apparaître les cartographies EDS des différents éléments présents dans la structure, à savoir N, O, Al, In, Ga, Si, Au et Pt à l'extrémité de la grille du côté de la source. Les cartographies des éléments Si et N nous confirment que le SiN déposé en tant que couche de passivation a bien été gravé au niveau du pied de grille. De même les clichés concernant l'aluminium et l'oxygène nous permettent de vérifier que la couche présente entre la grille et le semiconducteur est effectivement de l'oxyde d'aluminium. Concernant les métaux qui constituent la grille, on peut bien observer l'empilement Pt/Au et vérifier que l'épaisseur de platine déposée est en accord avec la valeur visée (20 nm). On peut

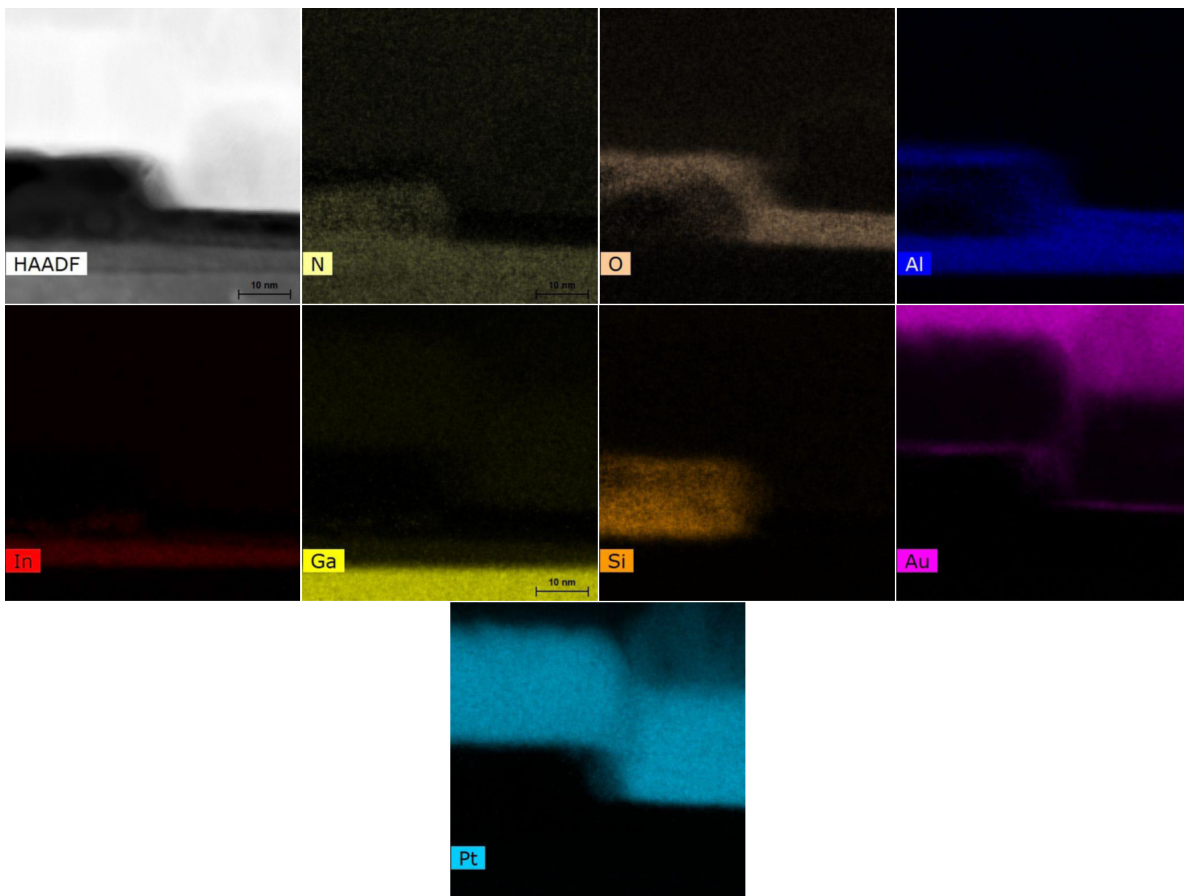


FIGURE 3.20 – Cartographies EDS de différents éléments à l’extrémité de la grille coté source.

toutefois remarquer la présence d’or juste au dessus de l’ Al_2O_3 , signe qu’il a diffusé à travers le platine. Notons que le réticule sur lequel ont été réalisées ces analyses n’a pas subi de recuit en fin de process, ce qui limite les origines possibles pour cette diffusion d’or à travers le platine à l’étape de passivation finale qui consiste en un dépôt de 60 nm d’ Al_2O_3 par ALD à 200°C après le dépôt de la grille ou aux mesures électriques réalisées. Il serait néanmoins intéressant d’observer le profil d’autres composants ayant quant à eux subi un recuit post-process afin de voir si ce dernier a un effet particulier sur la diffusion de l’or.

3.2 Caractérisations électriques

3.2.1 Caractérisations en régime statique

Les caractéristiques de transfert ont été mesurées à $V_{DS} = 5$ V à l’aide d’un banc de mesures automatisé composé d’un Keithley 4200 et d’un prober PA 200. Les composants mesurés sont les transistors TR3500 et TR1750, c’est-à-dire des composants à un seul

doigt de grille de $100\ \mu\text{m}$ et dont toutes les dimensions ont été données précédemment dans la partie 3.1.7.1. Trois séquences de mesures ont été réalisées successivement sur chaque composant afin d'observer d'éventuels décalages de la caractéristiques en fonction des tensions de grille V_{GS} appliquées. Les caractéristiques de transfert, mesurées avant recuit, des transistors TR3500 issus du quart NO sont représentées en échelle linéaire et logarithmique sur la figure 3.21. On peut tout d'abord remarquer que, pour un quart donné, les caractéristiques de transfert sont mesurées sur différents composants sont homogènes.

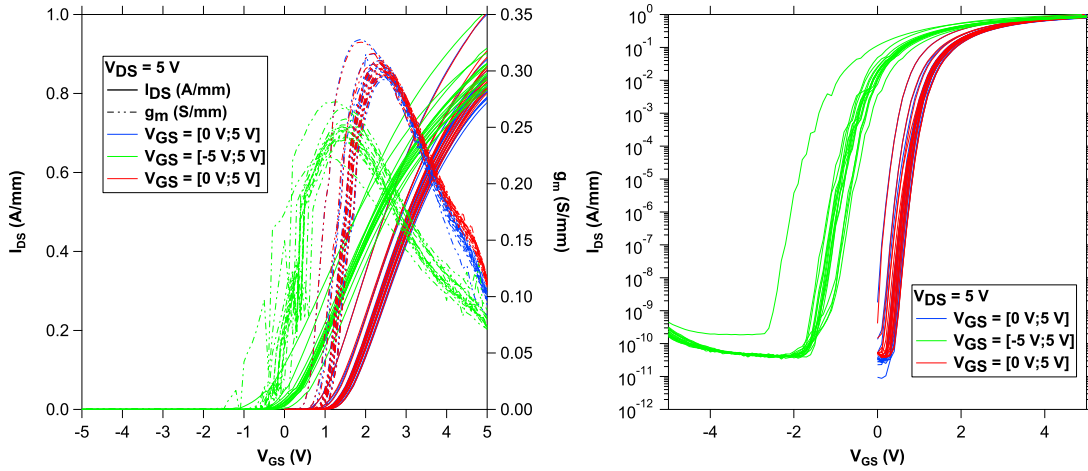


FIGURE 3.21 – Caractéristiques de transfert avant recuit des transistors 3500C issus du quart NO mesurées à $V_{DS} = 5\ \text{V}$ représentées en échelle linéaire et logarithmique.

Les valeurs de tensions de seuil V_{th} (déterminées à partir de la méthode de la tangente), celles des densités de courant maximales $I_{DS,max}$ et de transconductances maximales $g_{m,max}$ déterminées à partir de ces caractéristiques de transfert sont représentées graphiquement sur la figure 3.22 en fonction de la localisation des composants et de la séquence de mesure. Les valeurs moyennes sont reportées dans les tableaux 3.10 et 3.11. Nous pouvons noter que, indépendamment du quart dont sont issus les transistors, ils présentent tous une tension de seuil positive. Le procédé développé permet donc bien d'obtenir des transistors normally-off. Ainsi sur la première séquence de mesure, on peut observer un décalage de la tension de seuil d'environ $+3,7\ \text{V}$ par rapport à la tension de pincement V_p déterminée après épitaxie.

3.2.1.1 Influence du procédé technologique

Le recess de grille et l'implantation de fluor étant deux techniques qui permettent de rendre les HEMT GaN normally-off, on peut considérer que plus le traitement est important, c'est-à-dire que plus la profondeur de recess et/ou la durée d'implantation sont élevées, plus la tension de seuil sera élevée. Pour une séquence et un type de transistor

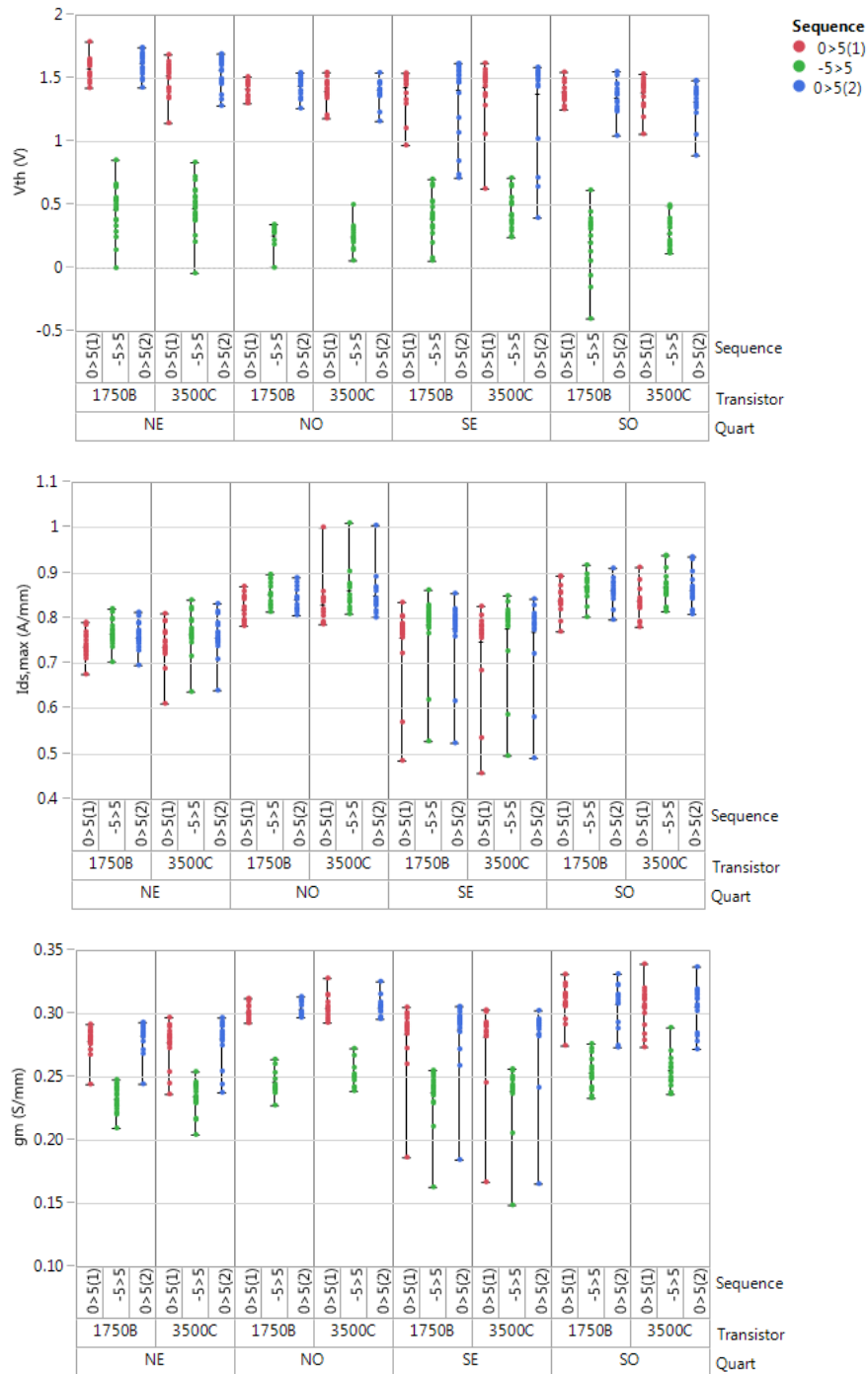


FIGURE 3.22 – Paramètres DC (tension de seuil, courant de drain maximal et transconductance maximale) déterminés à partir des mesures $I_{DS} - V_{GS}$ automatiques.

(1750B ou 3500C) nous pouvons noter une variation de la tension de seuil en fonction du quart dont est issu le composant et donc en fonction de la combinaison profondeur de recess/durée d’implantation. Cette variation en fonction du traitement appliqué à chaque quart est d’ailleurs cohérente avec l’hypothèse formulée. On voit en effet que le quart présentant à la fois l’implantation et le recess les plus importants (quart NE) est également

celui sur lequel la tension de seuil moyenne est la plus importante et atteint $+1,52$ V sur la première séquence de mesure. A l'inverse, le quart sur lequel l'implantation et le recess sont les plus faibles (quart SO) présente également la tension de seuil moyenne la plus faible, avec une valeur de $1,360$ V sur la même séquence. On peut noter que la variation la plus importante engendrée par le changement d'un seul paramètre est observée lorsque l'on augmente la durée d'implantation pour un nombre de cycle d'ALE égal à 6 ($\Delta V_{th} = +0,159$ V). La même augmentation de durée d'implantation lorsque seulement 4 cycles d'ALE sont appliqués n'est que de $\Delta V_{th} = +0,045$ V. On note cependant que la profondeur de recess ne semble pas avoir d'effet significatif lorsque la durée d'implantation n'est que de 30 s, les valeurs de tensions de seuil déterminées pour les quarts nord-ouest et sud-ouest étant similaires. En revanche, sur la moitié de plaque ayant été exposée au plasma d'implantation pendant 60 s (moitié est), on peut voir une augmentation de la tension de seuil lorsque la profondeur de recess augmente, l'ajout de 2 cycles de gravure entraînant une augmentation de $\Delta V_{th} = +0,09$ V. Ces observations permettent de mettre en avant l'importance de la profondeur d'implantation des ion F^- pour l'obtention d'un composant normally-off. Les quatre combinaisons étudiées ont été appliquées à des quarts de plaques afin d'avoir un nombre suffisant de composants à mesurer mais il serait particulièrement intéressant de réaliser de nouvelles variantes permettant notamment d'étudier l'influence d'un seul paramètre telles que des HEMT à différents recess de grille non implantés et des HEMT implantés sans recess de grille.

Concernant les autres paramètres DC étudiés, nous pouvons voir que les densités de courant de drain et transconductances maximales moyennes sont plus élevées sur la moitié ouest (durée d'implantation de 30 s), qui est, rappelons le, la moitié sur laquelle les tensions de seuil moyennes sont les plus faibles. Concernant les densités de courant de drain, il est important de noter que les valeurs maximales relevées ici correspondent toutes à la valeurs mesurées pour $V_{GS} = 5$ V. Bien que les différences entre chaque quart soient relativement faibles, cela signifie que la tension appliquée ($V_{app} = V_{ds} - V_{th}$) n'est pas identique pour tous les composants. Ainsi, si l'on observe les valeurs d' I_{DS} moyennes de chaque quart à une tension de grille $V_{GS} = V_{th} + 2$ V, on remarque que les densités de courant sont similaires, autour de $0,5$ A/mm, quelle que soit la variante technologique.

Bien que les variations des différents paramètres évalués ici soient relativement faibles en fonction des différents quarts et donc des variantes technologiques, on peut observer qu'un compromis doit être fait entre la tension de seuil et la densité de courant de drain.

3.2.1.2 Influence de la séquence de mesure

Comme explicité précédemment, chaque transistor a été mesuré selon trois séquences de mesures successives qui diffèrent par la plage de tension de grille V_{GS} :

- première séquence avec V_{GS} allant de 0 à 5 V

TABLE 3.10 – Tableau récapitulatif des paramètres DC (tension de seuil, courant de drain maximal et transconductance maximale) déterminés à partir des mesures I-V réalisées sur les transistors 3500C avant recuit sur la première séquence de mesure.

Séquence	Quart	NE	NO	SE	SO
0 -> 5 V	V_{th} (V)	1,52±0,13	1,36±0,18	1,43±0,21	1,38±0,12
	$I_{DS,max}$ (A/mm)	0,74±0,04	0,83±0,05	0,75±0,09	0,84±0,04
	$g_{m,max}$ (S/mm)	0,28±0,01	0,30±0,01	0,28±0,03	0,31±0,01

— deuxième séquence avec V_{GS} allant de -5 à 5 V

— troisième séquence identique à la première soit V_{GS} allant de 0 à 5 V

TABLE 3.11 – Tableau récapitulatif des paramètres DC (tension de seuil, courant de drain maximal et transconductance maximale) déterminés à partir des mesures I-V réalisées sur les transistors 3500C avant recuit sur la deuxième et troisième séquence de mesure.

Séquence	Quart	NE	NO	SE	SO
-5 -> 5 V	V_{th} (V)	0,47±0,19	0,25±0,10	0,42±0,14	0,27±0,12
	$I_{DS,max}$ (A/mm)	0,76±0,04	0,86±0,05	0,78±0,08	0,87±0,04
	$g_{m,max}$ (S/mm)	0,24±0,01	0,25±0,01	0,24±0,02	0,26±0,01
0 -> 5 V	V_{th} (V)	1,46±0,12	1,37±0,18	1,38±0,34	1,31±0,15
	$I_{DS,max}$ (A/mm)	0,76±0,04	0,85±0,05	0,77±0,08	0,86±0,04
	$g_{m,max}$ (S/mm)	0,28±0,01	0,30±0,01	0,28±0,03	0,31±0,02

Si l'on ne remarque pas de différences entre la première et la troisième séquence, la deuxième mène à des résultats bien différents. On note en effet un net décalage des caractéristiques de transfert vers les tensions de grille négative et ce, quelque soit le quart observé. La tension de seuil est ainsi réduite de plus de 1 V. Cette diminution de la tension de seuil s'accompagne logiquement d'une légère augmentation de la densité de courant observée à $V_{GS} = 5 V$ puisque l'on augmente de fait l'excursion en tension de grille d'autant que la tension de seuil est réduite. Nous attribuons ce phénomène aux effets de pièges qui seront décrits et étudiés ultérieurement.

Malgré ces variations en fonction des conditions de mesures, nous avons toutefois observé que les procédés technologiques développés et les variantes réalisées ont bien mené à l'obtention de HEMT normally-off. Les résultats sont de plus très homogènes sur chaque quart de plaque.

3.2.1.3 Influence du recuit

Dans cette partie, nous allons comparer les caractéristiques des composants avant et après les différents recuits. Comme précisé précédemment, le substrat a dû être découpé en réticules afin de pouvoir réaliser les recuits à différentes températures (300, 350 et 400 °C). Le fait de disposer de réticules et non plus d'une plaque entière ne nous a pas permis d'utiliser le banc de mesures automatiques utilisé précédemment. Nous avons ainsi utilisé,

dans un premier temps, un banc de mesures manuel à 3 pointes. Les composants mesurés sont des CT21, c'est-à-dire des composants à deux doigts de grilles de 50 μm chacun. Le procédé de fabrication n'ayant pas été mené jusqu'à l'étape de fabrication des ponts à air, les deux sources situées de part et d'autre du transistor ne sont pas connectées. Le banc de mesure ne disposant que de 3 pointes, il n'était pas possible de mesurer les deux doigts de grille des transistor simultanément et les mesures présentées dans cette partie n'ont donc été réalisées que sur un doigt de grille à la fois.

La figure 3.23 représente les résultats de mesures $I_{DS}-V_{GS}$ réalisées avant et après recuit à 300 °C sur des transistors issus de chaque quart de la plaque. On peut tout d'abord noter d'une part une diminution de la tension de seuil des composants, et d'autre part une augmentation de la densité de courant de drain. Ces changements suite au recuit sont observés quelle que soit la combinaison de recess et d'implantation. L'intensité de ces variations est également similaire entre les différentes variantes technologiques, l'augmentation de la densité de courant I_{DS} étant comprise entre 20 et 30%. L'évolution de la transconductance est similaire à celle du courant I_{DS} , avec une augmentation après recuit avoisinant les 15% quel que soit le quart étudié. Concernant la densité de courant à l'état bloqué et la densité de courant de grille I_{GS} , ce recuit à 300 °C n'a pas entraîné de modifications significatives. Le courant I_{DS} à l'état passant étant plus important après recuit, ce dernier permet en outre d'augmenter le rapport $\frac{I_{on}}{I_{off}}$.

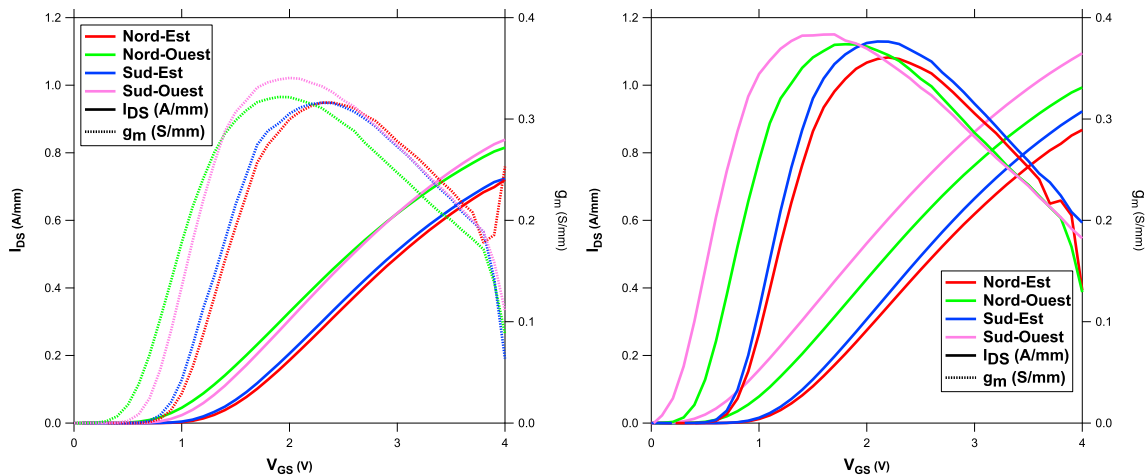


FIGURE 3.23 – Caractéristiques de transfert des transistors CT21 issus des différents quarts de plaque mesurées à $V_{DS} = 5 \text{ V}$ avant (à gauche) et après (à droite) recuit à 300°C.

La figure 3.24 représente les résultats de mesures $I_{DS}-V_{GS}$ effectuées sur des transistors issus du quart nord-ouest avant et après recuit à 350 °C sur deux plages de tensions : de 0 à 5 V et de -5 à 5 V. La figure 3.25 représente les résultats des mêmes mesures sur des transistors du même quart mais recuits à 400 °C. Les mesures ont été effectuées en

mode "dual sweep", c'est à dire dans le sens des tensions de grille croissantes (de 0 à 5 V ou de -5 à 5 V) puis dans le sens décroissant (de 5 à 0 V et de 5 à -5 V).

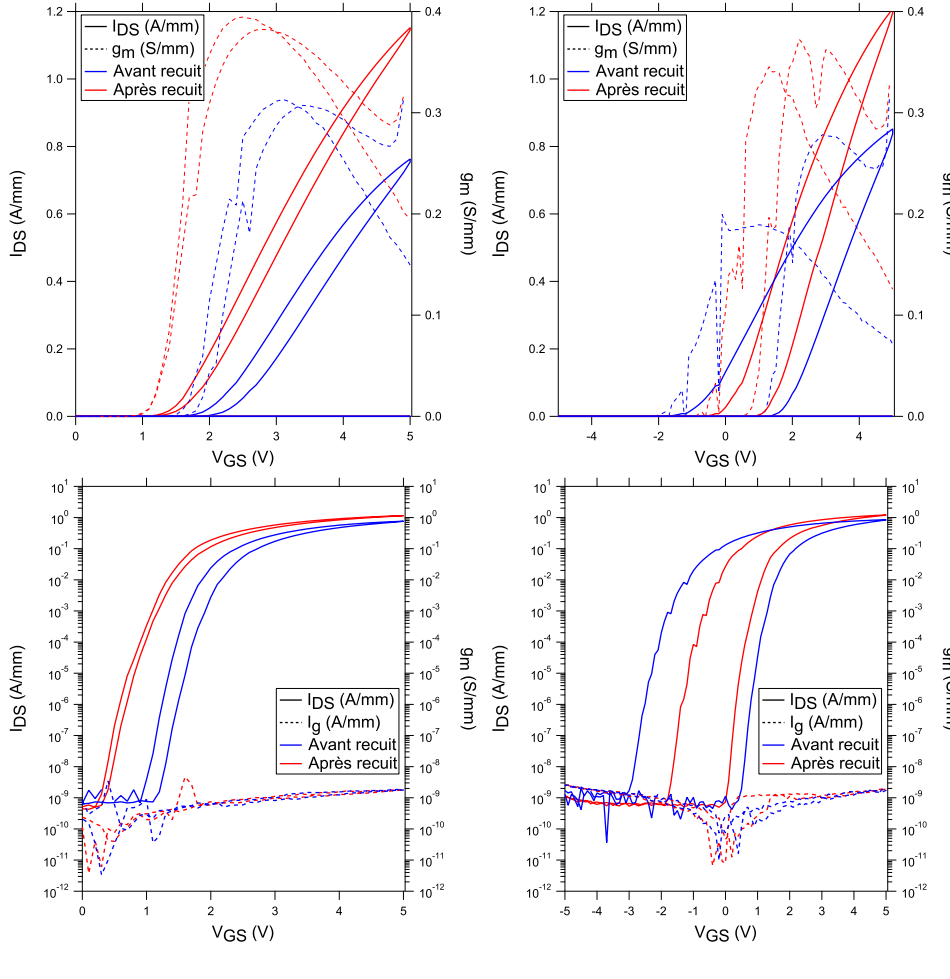


FIGURE 3.24 – Caractéristiques de transfert de transistors issus du quart NO avant et après recuit à 350 °C en échelles linéaires et logarithmiques, mesurées avec V_{GS} allant de 0 à 5 V et de -5 à 5 V.

Comme nous l'avons observé précédemment, le recuit entraîne une nette modification des caractéristiques électriques des composants. On observe ainsi, après recuit, une réduction de la tension de seuil d'environ 20% pour le balayage dans le sens des tensions croissantes et jusqu'à 30% dans le sens des tensions de grille décroissantes. Conjointement à cette diminution de la tension de seuil, on note également une importante augmentation de la densité de courant maximale qui atteint en moyenne 50%. Enfin, nous constatons également une amélioration de la transconductance avec une augmentation moyenne de 30%. Le recuit n'entraîne cependant pas d'augmentation des courants de grille et des courants à l'état pincé, comme nous l'avons observé sur les échantillons recuits à 300 °C. Cela nous permet notamment de dire que l' Al_2O_3 déposé sous la grille a bien conservé ses propriétés diélectriques et qu'il joue bien son rôle d'isolant de grille même après des recuits jusqu'à 400 °C.

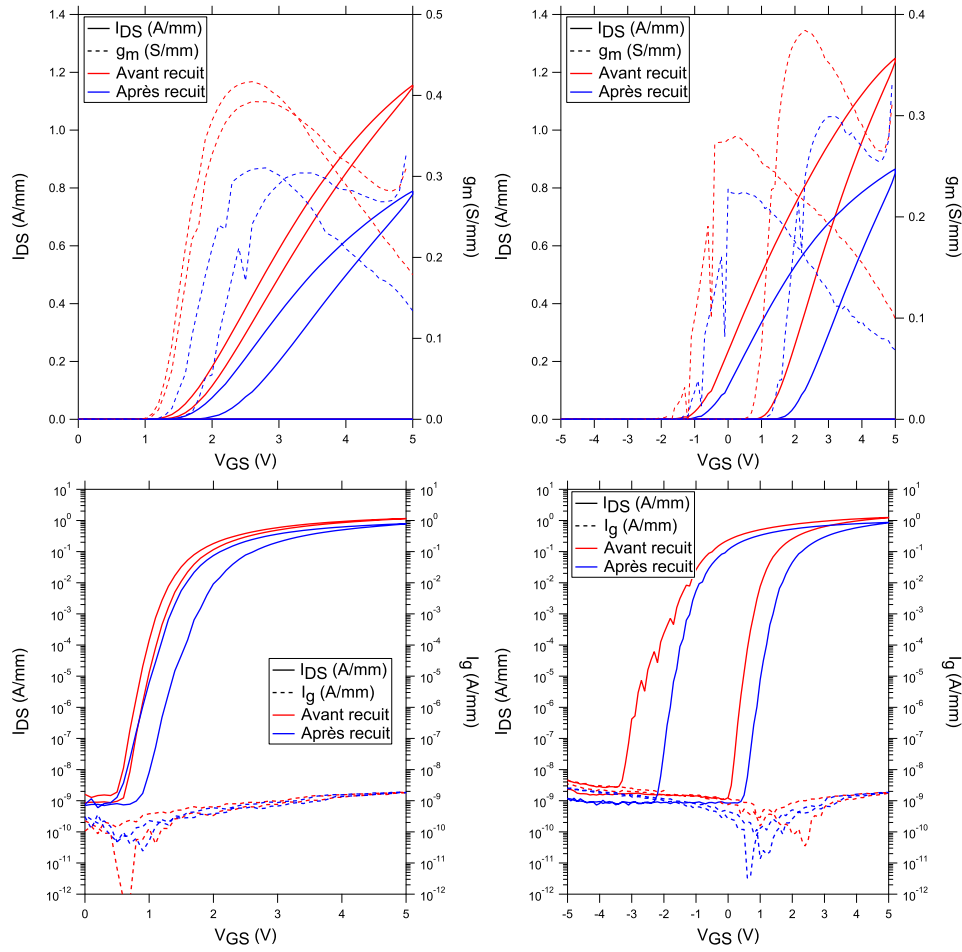


FIGURE 3.25 – Caractéristiques de transfert de transistors issus du quart NO avant et après recuit à 400 °C en échelles linéaire et logarithmiques, mesurées avec V_{GS} allant de 0 à 5 V et de -5 à 5 V.

Bien que les effets sur les différents paramètres soient identiques quelle que soit la température du recuit, l'ampleur des modifications s'avère quant à elle bien dépendre de la température, l'effet observé étant bien plus faible sur les échantillons recuits à 300 °C que sur ceux recuits à 350 et 400 °C. Les variations observées sont en effet deux fois plus importantes sur les échantillons recuits aux plus hautes températures. Il semblerait néanmoins qu'un effet de seuil existe, puisque l'on ne remarque pas de différences notables entre les composants ayant été recuits à 350 et 400 °C. Les modifications des caractéristiques entraînées par le recuit, à savoir une augmentation du courant de drain et une diminution de la tension de seuil traduit vraisemblablement une réplétion du canal et donc un accroissement de la densité de porteurs n_s dans le 2DEG.

3.2.1.4 Étude de l'hystérésis des courbes I-V

Le fait d'avoir réalisé les mesures en mode "dual sweep" nous a permis de mettre en évidence un phénomène d'hystérésis. On peut notamment voir que cet hystérésis est bien

moins prononcé en balayant la tension de grille de 0 à 5 V. Ce phénomène a été observé à plusieurs reprises par différentes équipes sur des structures MOS-HEMT aussi bien avec une barrière AlGaIn [90, 74, 91] qu’avec une barrière InAlGaIn [49] et avec de l’ Al_2O_3 comme oxyde de grille. Ces équipes ont attribué ce phénomène à des pièges présents dans l’ Al_2O_3 et à l’interface Al_2O_3 /barrière.

Si l’on étudie l’importance de cet hystérésis en comparant les différences de tensions de seuil déterminées à l’aller et au retour ΔV_{th} avant et après recuit, représentées sur la figure 3.26, on s’aperçoit qu’un traitement thermique post-process permet en outre une nette réduction de ce phénomène. Ainsi, sur la première séquence de mesures (V_g de 0 à +5 V), $\overline{\Delta V_{th}}$ passe de 0,48 V avant les recuits à 0,22 V après, soit une réduction d’environ 53%. Pour la seconde séquence de mesure, la différence passe de 2,75 V à 2,08 V, soit une réduction d’environ 25%. Si la variation avant-après recuit est plus importante dans le cas de la seconde séquence, on remarque que l’augmentation de la température de recuit de 350 à 400 °C n’entraîne pas une réduction significativement plus importante de l’hystérésis. On constate enfin que la dispersion est également moins prononcée après les recuits. Notons que des phénomènes d’hystérésis similaires ont été observés sur tous les composants, quel que soit le quart dont ils provenaient sur la plaque.

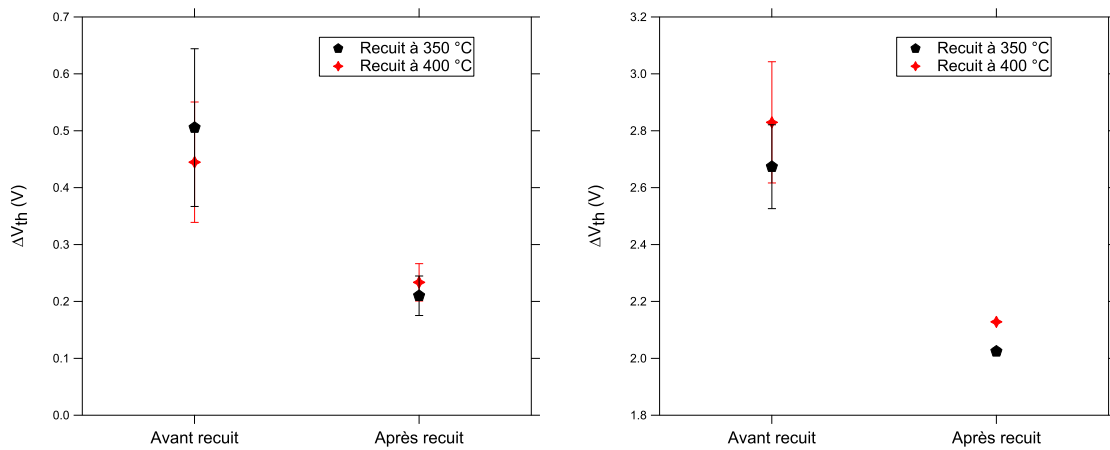


FIGURE 3.26 – Évolution de la différence de tension de seuil aller-retour calculée avant et après recuit pour les deux séquences de mesures : à gauche de 0 à 5 V, à droite de -5 à 5 V

Afin d’étudier plus en détails ce phénomène, nous avons réalisé de nouvelles mesures $I_d - V_{gs}$ avec différentes plages de tensions de grille [$V_{gs,min}; V_{gs,max}$]. Nous avons ainsi fait des mesures en fixant le point $V_{gs,min}$ et en faisant varier le point $V_{gs,max}$ et inversement.

La figure 3.27 représente une série de mesures pour laquelle la valeur de $V_{gs,max}$ est fixée à +4 V tandis que $V_{gs,min}$ varie entre -5 V et 0 V. Afin d’étudier les influences

respectives de $V_{gs,min}$ et $V_{gs,max}$, il semble qu'il faille observer séparément les deux moitiés de courbes correspondant respectivement à l'aller (tension de grille croissante) et au retour (tension de grille décroissante). On remarque en effet que la courbe "aller" est d'autant plus décalée vers les tensions de grille négatives que $|V_{GS,min}|$ est importante, contrairement à la courbe "retour", qui reste sensiblement la même quelle que soit la plage de tension de seuil observée.

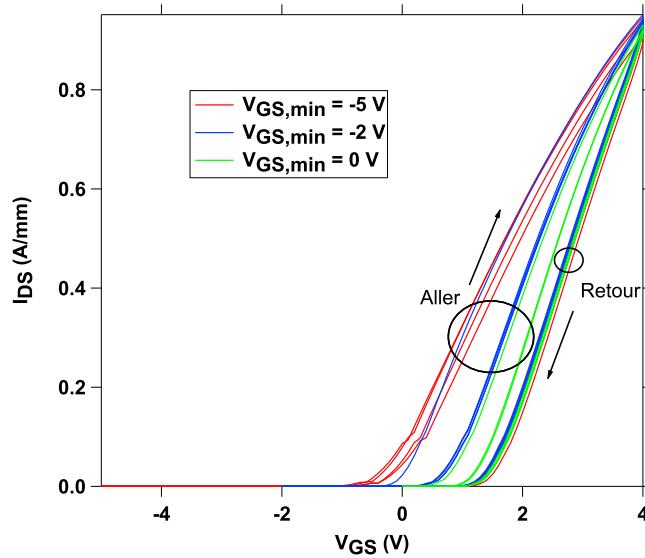


FIGURE 3.27 – Caractéristiques de transferts mesurées à $V_{DS} = 5V$, avec $V_{gs,max}$ fixé à 4 V et $V_{gs,min}$ variant entre -5 V et 0 V

Les mêmes observations peuvent être faites sur la figure 3.28 qui représente quant à elle une série de mesures pour laquelle la valeur de $V_{gs,max}$ est fixée à +2 V tandis que $V_{gs,min}$ varie entre -10 V et -5 V. Bien que les différences à l'aller soient moins marquées que celles observées sur la figure 3.27 en échelle linéaire, elles sont notables sur l'insert qui représente les mêmes caractéristiques en échelle logarithmique.

Les figures 3.29 et 3.30 représentent quant à elles les caractéristiques de transfert obtenues en fixant, cette fois-ci, respectivement la valeur de $V_{GS,min}$ à 0 V et -0,2 V. La valeur de $V_{GS,max}$ varie entre 1 et 5 V pour la figure 3.29 et entre 3 et 5 V pour la figure 3.30.

Contrairement à ce qu'on observe sur les courbes précédentes, on peut voir sur ces deux figures que la courbe "retour" est d'autant plus décalée vers les tensions positives que la valeur de $V_{gs,max}$ est importante et ce, quelle que soit la valeur de $V_{gs,min}$ fixée. Nous pouvons toutefois observer sur la figure 3.29 que la courbe correspondant à l'aller est elle aussi décalée vers les tensions positives lorsque $V_{gs,max}$ augmente tandis que ce phénomène n'est pas constaté lorsqu'une faible tension négative, ici de -0,2 V, est appliquée.

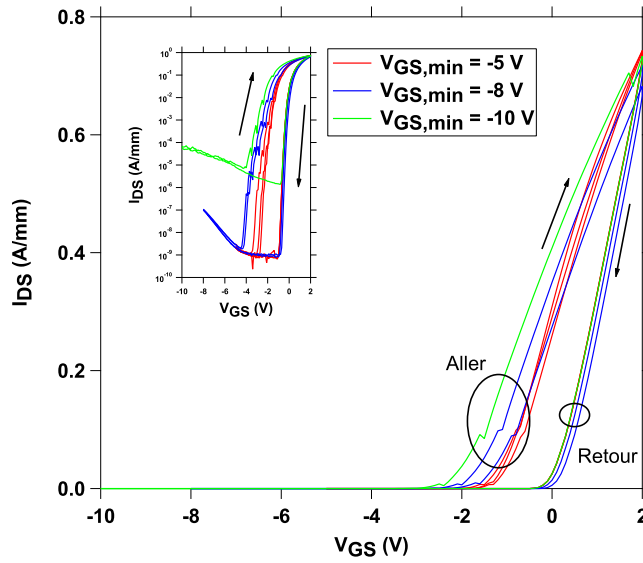


FIGURE 3.28 – Caractéristiques de transfert mesurées à $V_{DS} = 5V$, avec $V_{gs,max}$ fixé à 2 V et $V_{gs,min}$ variant entre -10 V et -5 V. Insert : Caractéristiques de transfert en échelle logarithmique.

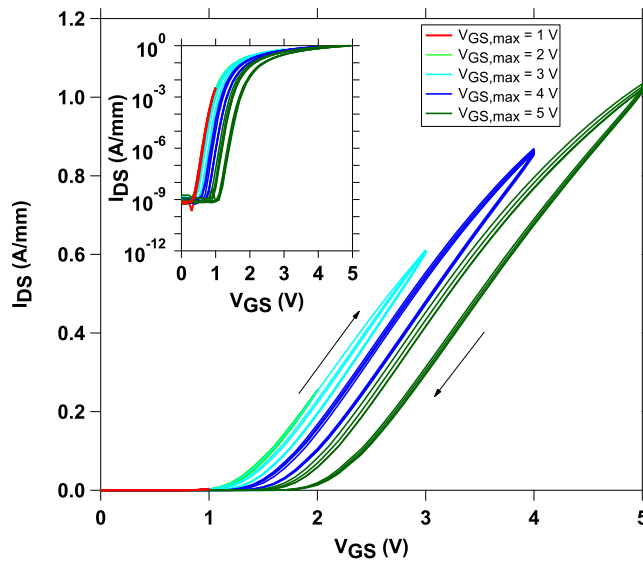


FIGURE 3.29 – Caractéristiques de transfert mesurées à $V_{DS} = 5V$, avec $V_{gs,min}$ fixé à 0 V et $V_{gs,max}$ variant entre 1 V et 5 V. Insert : Caractéristiques de transfert en échelle logarithmique.

L’observation de ces quatre figures et le comportement des caractéristiques en fonction des différentes plages de tension de grille semble indiquer à première vue une nette influence de la valeur de $V_{gs,min}$ sur la courbe “aller” alors que la courbe “retour” paraît quant à elle plutôt dépendre de la valeur de $V_{gs,max}$. Des comportements en fonction de la polarisation de grille similaires à ceux que nous observons ont également été rapportés

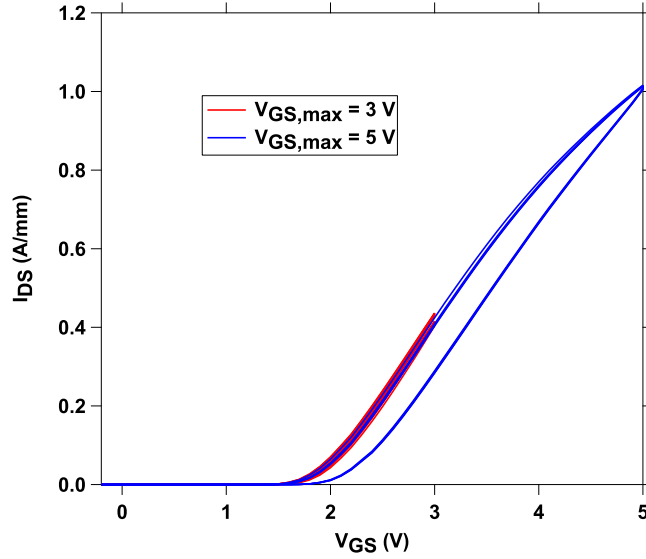


FIGURE 3.30 – Caractéristiques de transfert mesurées à $V_{DS} = 5V$, avec $V_{gs,min}$ fixé à $-0,2 V$ et $V_{gs,max}$ variant entre $3 V$ et $5 V$.

dans la littérature par différentes équipes [90, 92, 85, 91, 93]. L'explication la plus vraisemblable à ce genre de comportement serait la présence de pièges dans le diélectrique de grille et/ou à l'interface diélectrique/barrière.

3.2.1.5 Description du phénomène de piégeage

La figure 3.31 représente ainsi une hétérojonction $Al_2O_3/InAlGaN/GaN$ pour laquelle des pièges sont présents à l'interface $Al_2O_3/InAlGaN$, avec une tension de polarisation de grille V_{GS} négative. Cette polarisation et donc le rehaussement de la bande de conduction qui en découle entraîneraient l'émission des électrons piégés et donc une réduction de la tension de seuil liée à l'augmentation de la densité de porteurs n_s . Les mesures que nous avons réalisées montrent que cette réduction de V_{th} est d'autant plus importante que la tension appliquée est faible, ce qui traduirait alors une grande distribution des niveaux de pièges à l'interface Al_2O_3 /barrière.

De la même façon, la figure 3.32 représente l'hétérojonction polarisée avec une tension de grille positive. Cette fois ci, l'abaissement de la bande de conduction pourrait entraîner la capture des électrons présents dans le 2DEG par les pièges à l'interface, réduisant dès lors la densité de porteurs n_s dans le gaz et conduisant au final à l'augmentation de la tension de seuil que l'on observe sur les mesures présentées précédemment[90, 32].

Cette explication du phénomène d'hystérésis dû à la présence de pièges à l'interface entre l'oxyde de grille et la barrière nous mène dans tous les cas à envisager une étude approfondie de ladite interface et de l'oxyde déposé. Il pourrait ainsi être intéressant d'ob-

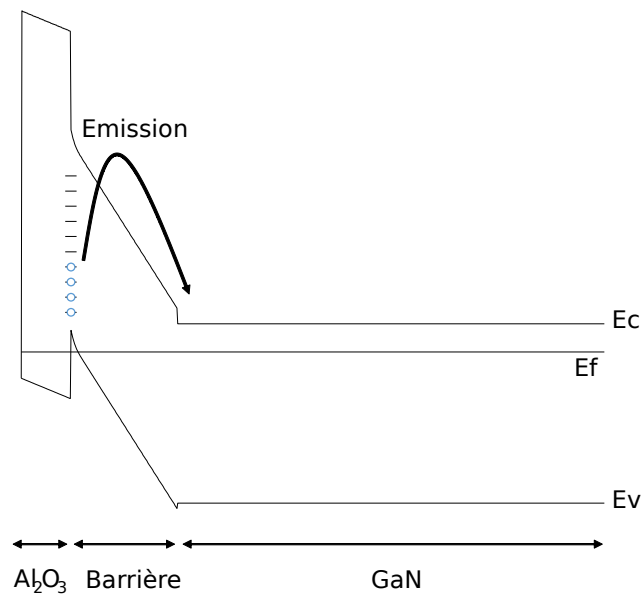


FIGURE 3.31 – Représentation schématique de la structure de bande d’une hétérojonction $Al_2O_3/InAlGaN/GaN$ polarisée négativement.

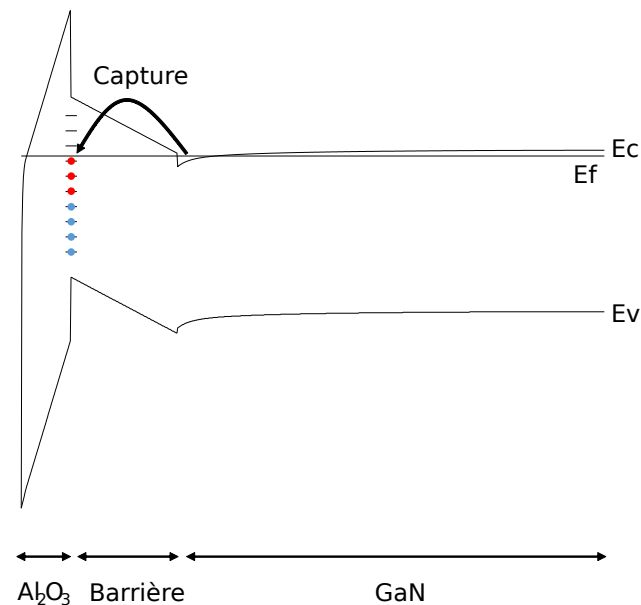


FIGURE 3.32 – Représentation schématique de la structure de bande d’une hétérojonction $Al_2O_3/InAlGaN/GaN$ polarisée positivement.

server l’influence des paramètres de dépôt de l’ Al_2O_3 sur les caractéristiques électriques des transistors. Kanamura *et al.* ont par exemple observé une réduction de l’hystérésis de 2 V suite à une augmentation de la température de 200 °C (passant de 300 à 500 °C) lors du dépôt ALD [92]. Cette amélioration du comportement électrique grâce à l’augmentation de la température de dépôt est attribuée à la suppression de liaisons Al-OH et donc des liaisons pendantes à la surface du semiconducteur, comme représenté sur la figure 3.33.

D'autres solutions semblent également efficaces, telles que l'ajout d'une étape de gravure humide après le recess de grille [tsai2016] ou encore l'utilisation d'un autre diélectrique à la place de l' Al_2O_3 [94, 95].

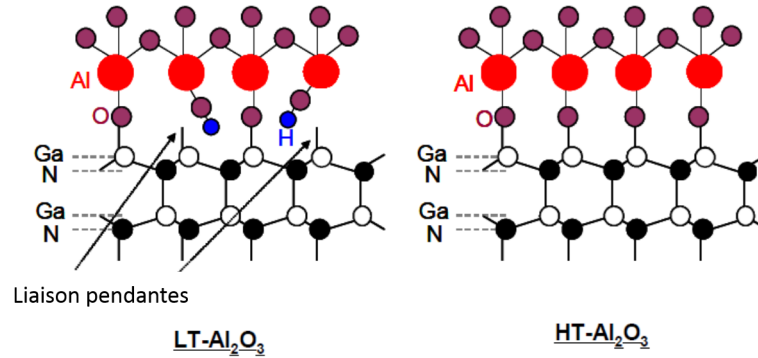


FIGURE 3.33 – Représentation schématique de l'interface Al_2O_3/GaN après dépôt ALD à basse température (LT Al_2O_3) et haute température (HT Al_2O_3) [92].

3.2.1.6 Mesures DC en température

Les mesures réalisées précédemment nous ayant permis de mettre en évidence un phénomène d'hystérésis et donc la présence de pièges dans la structure, nous avons décidé de mener des analyses complémentaires afin d'investiguer la nature de ces derniers. Nous avons pour cela réalisé des mesures I-V DC en température. Ainsi, nous avons opéré une première série de mesures "dual sweep" à chaud, de 25 à 200 °C à l'aide d'un chuck chauffant sur quatre réticules du quart nord-ouest, à savoir les trois réticules ayant été recuits (à 300, 350 et 400 °C) et un réticule non recuit. Les mêmes séquences de mesures que celles ayant permis l'observation de l'hystérésis, à savoir une première mesure avec V_{GS} de 0 à 5 V puis une seconde avec V_{GS} de -5 à 5 V ont été réalisées. La figure 3.34 représente les différentes caractéristiques de transfert mesurées de 25 à 200°C (298 à 473 K) sur des composants issus du réticule non recuit. On constate plusieurs changements avec l'élévation de la température du chuck à savoir une réduction de la tension de seuil, aussi bien dans le sens aller que dans le sens retour mais également une augmentation de la densité de courant à l'état pincé I_{OFF} . Cette dernière croit ainsi de trois ordres de grandeur, passant d'environ 0,5 nA/mm à 25 °C à 100 nA/mm à 200 °C. On observe également une réduction de l'hystérésis avec l'augmentation de la température. Ainsi, l'évolution de la différence entre les tensions de seuil ΔV_{th} déterminées à l'aller et au retour en fonction de la température est présentée sur la figure 3.35. On remarque d'ailleurs qu'à 200 °C, la tension de seuil à l'aller est plus élevée que celle déterminée dans le sens retour. L'évolution linéaire de ΔV_{th} avec la température semble indiquer que l'hystérésis disparaît pour une température d'environ 450 K (177 °C). Le même comportement est observé sur les réticules recuits, comme le montre la figure 3.36 qui représente l'évolution de ΔV_{th} en

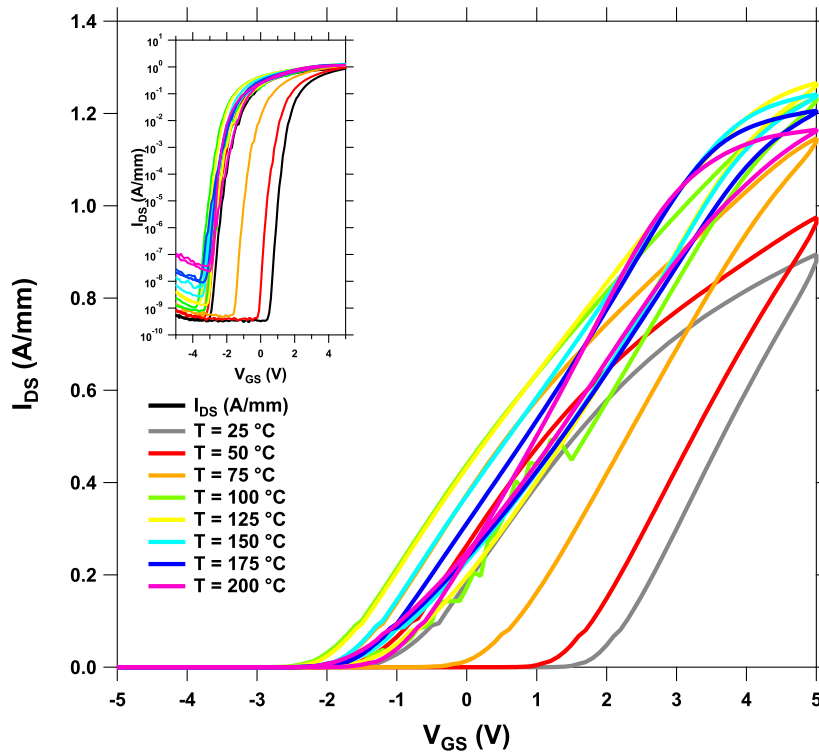


FIGURE 3.34 – Caractéristiques de transfert de transistors issus du quart NO non recuits, mesurées de 25 à 200 °C. Insert : Caractéristiques de transfert en échelle logarithmique.

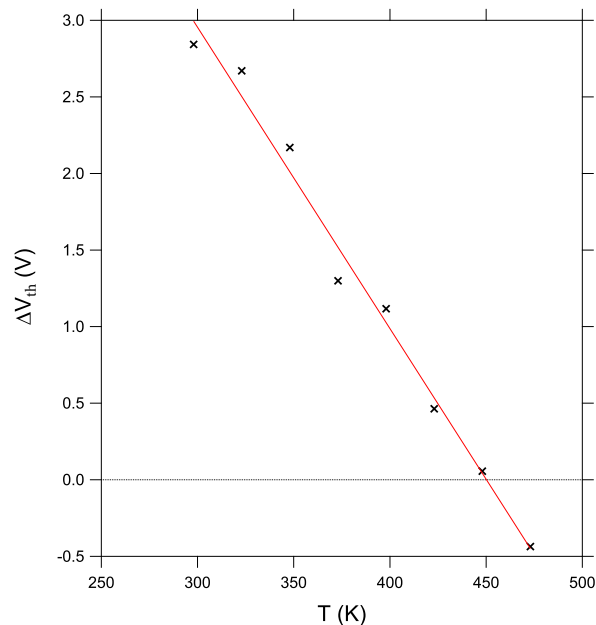


FIGURE 3.35 – Evolution de la différence de tension de seuil ΔV_{th} entre les mesures aller et retour en fonction de la température sur transistor non recuit

fonction de la température pour des composants recuits à 300 et 400 °C. On remarque que la température de recuit ne modifie pas de façon conséquente l'évolution de ΔV_{th} en

fonction de la température à laquelle la mesure est effectuée. Cette dernière est toutefois plus importante sur l'échantillon non recuit, avec une valeur d'environ -20 mV/K contre -15 mV/K sur l'échantillon recuit à 400°C. Cette dépendance en fonction de la température plus importante observée sur l'échantillon recuit pourrait toutefois être liée au fait que ce dernier subit en réalité un recuit lors de la mesure. Les composants des autres réticules ayant déjà été recuits, il ne sont plus sujets à ces modifications.

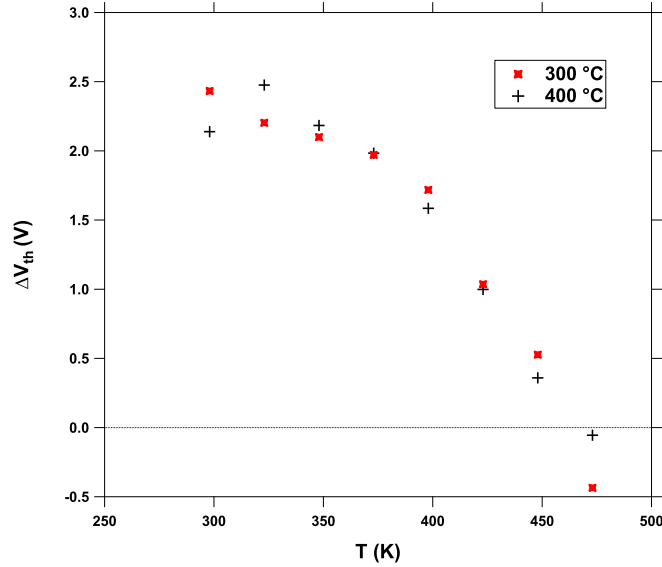


FIGURE 3.36 – Evolution de la différence de tensions de seuil ΔV_{th} entre les mesures aller et retour en fonction de la température sur transistors recuits à 300 et 400 °C.

D'après les travaux respectifs de Kordoš *et al.*[96] et de Agboton *et al.*[97], il est possible, à partir de l'étude des variations de tension de seuil en fonction de la température, de déterminer les densités d'états et les niveaux d'énergie des pièges responsables des dites variations. On considère pour cela l'expression de la tension de seuil donnée par l'équation 3.9 :

$$V_{th} = \Phi_b - \Delta E_c - \frac{q \cdot n_s \cdot d_{bar}}{\epsilon_0 \cdot \epsilon_r} \quad (3.9)$$

avec Φ_b la hauteur de barrière, ΔE_c la discontinuité de bande de conduction, n_s la densité de porteurs dans le canal, d_{bar} l'épaisseur de barrière, $\epsilon_0 \cdot \epsilon_r$ la constante diélectrique de la barrière. On dérive alors l'équation 3.9 par rapport à la température, en considérant que Φ_b et ΔE_c ne dépendent pas de celle-ci sur la gamme de températures sur laquelle nous travaillons. On obtient alors l'équation :

$$\Delta V_{th}(T) = \frac{q \cdot \Delta n_s(T) \cdot d_{bar}}{\epsilon_0 \cdot \epsilon_r} \quad (3.10)$$

Connaissant $\Delta V_{th}(T)$, q , d_{bar} , ϵ_0 et ϵ_r , on calcule donc $\Delta n_s(T)$ pour chaque température. La variation de la densité de porteurs $\Delta n_s(T)$ correspond à la densité d'états D_{it} et est donc donnée par :

$$\Delta n_s(T) = D_{it}(T) = \frac{\epsilon_0 \cdot \epsilon_r \cdot \Delta V_{th}(T)}{q d_{bar}} \quad (3.11)$$

La figure 3.37 représente ainsi l'évolution de la densité d'états en fonction de la température pour les composants non recuits et recuits à 300 et 400 °C. Comme on pouvait s'y attendre au vue de l'évolution de la différence de tension de seuil présentée précédemment, on remarque que le D_{it} est d'autant plus faible que la température de recuit est élevée. Cette différence est particulièrement notable lors des mesures réalisées aux plus faibles températures et décroît lorsque la température de mesure augmente, allant même jusqu'à s'inverser pour les mesures réalisées au-delà de 350 K.

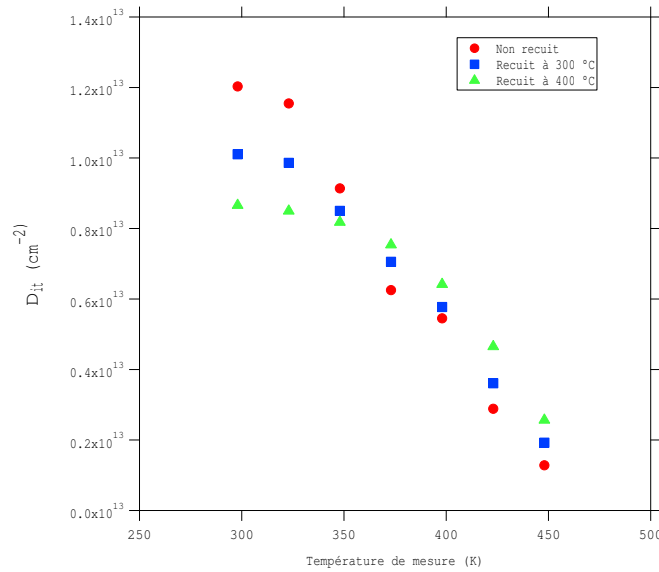


FIGURE 3.37 – Evolution de la densité de pièges D_{it} en fonction de la température pour les transistors non recuits et recuits à 300 et 400 °C.

L'énergie d'activation des pièges responsables de l'hystérésis est alors déterminée à partir de la pente de la courbe représentative de $\ln(\Delta n_s(T)) = f(\frac{1000}{T})$ tel que représenté sur la figure 3.38.

Les énergies déterminées sont recensées dans le tableau 3.12. Les deux énergies $E_{A,1}$ et $E_{A,2}$ correspondent respectivement aux deux pentes observées sur les courbes représentatives de la fonction $\ln(\Delta n_s(T)) = f(\frac{1000}{T})$. On note que quel que soit le traitement thermique appliqué sur les composants, l'énergie d'activation déterminée aux plus faibles températures est dix fois plus faible que celle déterminée aux températures les plus im-

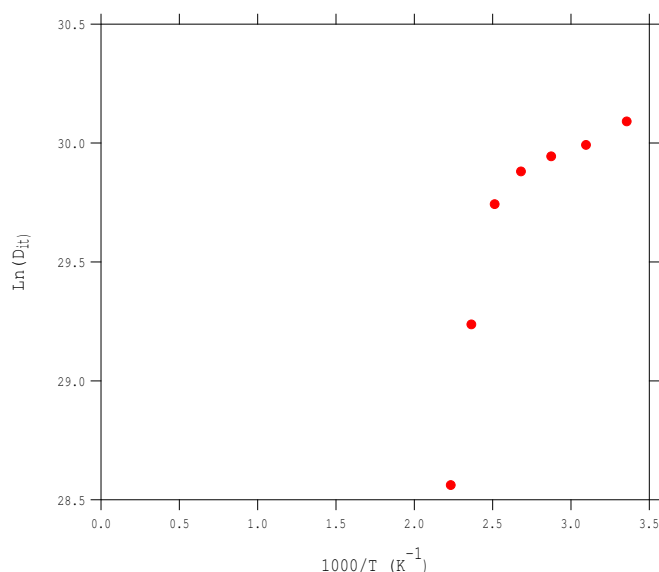


FIGURE 3.38 – Courbe représentative de la fonction $\ln(\Delta n_s(T)) = f(\frac{1000}{T})$ à partir de laquelle l'énergie d'activation des pièges est déterminée, ici pour les transistors non recuits.

TABLE 3.12 – Energies d'activation de pièges déterminées sur les transistors non recuits et recuits à 300 et 400 °C.

Transistor	$E_{A,1}(meV)$	$E_{A,2}(meV)$
Non recuit	48,2	443
Recuit 300 °C	39,6	336
Recuit 400 °C	43,7	485

portantes.

3.2.2 Caractérisations en régime impulsionnel

Les mesures en régime impulsionnel présentées dans cette partie ont été réalisées dans les conditions suivantes :

- Durée de l'impulsion : 1 μs
- Période des impulsions : 100 μs
- Temps de montée : 0,1 μs
- Temps de descente : 0,1 μs
- V_{DS} de 0 à 10 V
- V_{GS} de -2 à 4 V avec un pas de +2 V

Le *duty cycle*, c'est-à-dire la fraction d'une période pendant laquelle le composant est actif est donc de 1%.

Comme nous l'avons vu précédemment, les mesures en régime impulsionnel sont réalisées à différents points de repos ($V_{GS0}; V_{DS0}$). Dans le cas des HEMT normally-on,

les différents points de repos sont habituellement :

- ① (0 V ; 0 V)
- ② (V_{th} ; 0 V)
- ③ (V_{th} ; V_{ds})

Il est cependant important de noter que dans le cas des HEMT normally-off, le canal est pincé à $V_{GS} = 0$ V et donc que le point de repos ① et ② peuvent être considérés équivalents. Pour cette raison, nous avons en plus des points de repos habituels, effectué une quatrième série de mesure au point de repos ④ : (+2 V ; 0 V) qui pourrait alors s'apparenter au point (0 V ; 0 V) des HEMT normally-on. En plus des mesures pulsées, une nouvelle caractérisation DC est également réalisée en début de mesure.

La figure 3.39 présente les résultats de mesures pulsées sur un transistor avant et après recuit à 300 °C. Sur cette figure, nous pouvons d'abord observer une nette augmentation de la densité de courant de drain lorsque l'on passe de la mesure en régime statique (courbes noires) à celle réalisée dans des conditions pulsées. Cette augmentation est habituelle et est généralement attribuée à la minimisation des effets thermiques. Il faut néanmoins noter que la variation observée ici est particulièrement importante notamment avant recuit. La densité de courant maximale mesurée en DC à $V_{GS} = +4$ V est en effet de 680 mA/mm contre 930 mA/mm au point de repos (0 V ; 0 V), soit une augmentation de 37%. Après recuit, cette variation n'est plus que de 28%.

Les mesures $I_d - V_d$ permettent en outre l'extraction de la résistance à l'état passant R_{ON} , cette dernière étant égale à la pente de la partie linéaire de la caractéristique. En DC et avant recuit, la valeur de R_{ON} est globalement identique sur tous les composants mesurés quelle que soit la variante technologique et vaut environ 2 Ω .mm. Les valeurs déterminées sur les composants après les différents recuits sont également similaires indépendamment de la température du traitement et sont comprises entre 1,55 et 1,75 Ω .mm. Les mesures pulsées au point de repos (0 V ; 0 V) se caractérisent par une réduction de la résistance à l'état passant d'environ 10% avant les recuits et d'environ 6% après par rapport à celles déterminées en DC. Une température de recuit plus importante n'entraîne toutefois pas une baisse de R_{ON} plus marquée.

Concernant l'extraction des valeurs de gate-lag et de drain-lag, nous observons sur les composants mesurés un comportement plutôt inhabituel qui se traduit par des valeurs de lag négatives. En effet, les densités de courants mesurées aux points de repos ② et ③ sont habituellement plus faibles que celles au point ①, contrairement à ce que l'on observe sur la figure 3.39 et ce, que le composant soit recuit ou non. Notons néanmoins que la différence d' $I_{DS,max}$ aux différents points de repos est plus faible après recuit qu'avant. Étant donné que les mesures pulsées à différents points de repos permettent de mettre en évidence la présence de pièges, cette observation semble confirmer le fait que les recuits

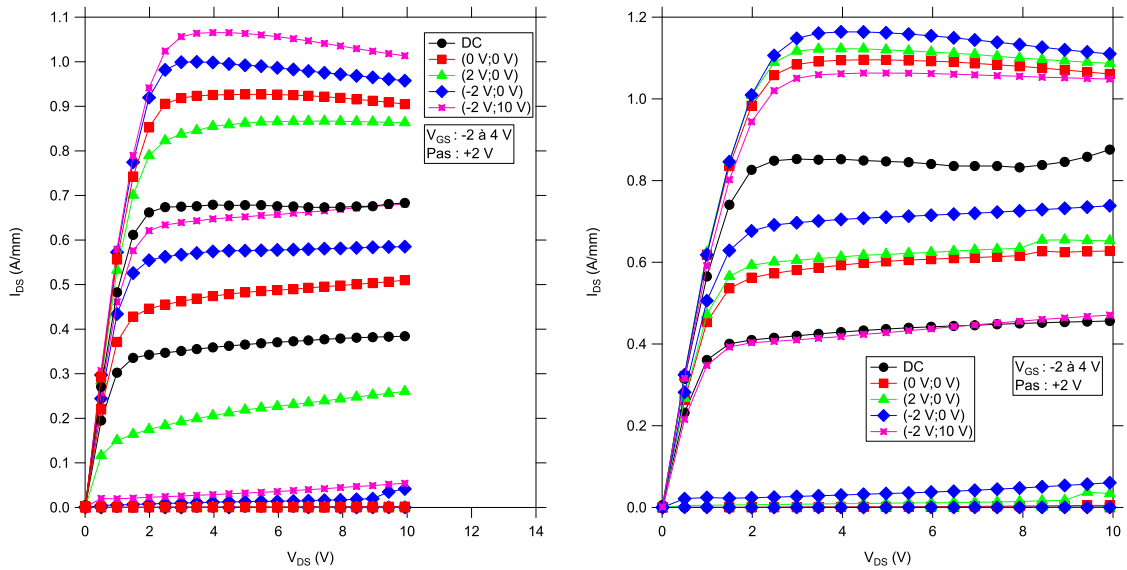


FIGURE 3.39 – Mesures $I_{DS} - V_{DS}$ en régime impulsionnel sur MOS-HEMT normally-off avant et après recuit post-process à 300 °C.

post-process permettent d'en réduire la densité, comme nous l'avions avancé après avoir observé la réduction des hystérésis au niveau de la tension de seuil dans partie précédente. On remarque également que la densité de courant mesurée au point (3) est effectivement plus faible que celle mesurée au point (2), ce qui résulte en un drain-lag de 9%.

Enfin, pour compléter l'étude des pièges observés lors des mesures DC présentées précédemment, nous avons également réalisé d'autres mesures pulsées en faisant varier le duty cycle de 0,5 à 90%. Le logiciel d'acquisition des données ne permettant pas les mesures en mode dual-sweep, les courbes "aller" et "retour" ont été obtenues en réalisant deux mesures successives. On peut voir sur la figure 3.40, qui représente l'évolution de la différence de tension de seuil déterminée entre l'aller et le retour pour différents duty cycle que plus ce dernier est élevé, c'est-à-dire plus on se rapproche d'une mesure DC classique, plus cette différence est importante. On note d'ailleurs qu'à partir d'un duty cycle de 50%, les valeurs de ΔV_{th} déterminées à partir des mesures statiques et pulsées sont équivalentes, autour de 250 mV pour une plage de tension V_{GS} de -2 à +2 V. De plus, le décalage de la tension de seuil vers les tensions négatives n'apparaît que pour les mesures pulsées avec un duty cycle élevé. Ceci semble en outre traduire un phénomène d'émission des électrons depuis les pièges lorsque la grille est polarisée négativement lent par rapport à la durée de la mesure. Il serait dans tous les cas nécessaires de réaliser des mesures complémentaires afin d'étudier et caractériser plus en détails les pièges responsables du phénomène d'hystérésis observé lors des mesures "dual-sweep".

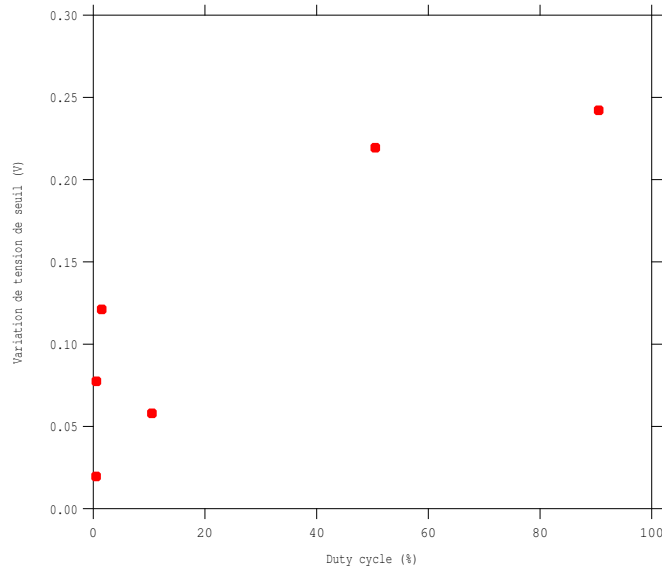


FIGURE 3.40 – Mesures $I_{DS} - V_{DS}$ en régime impulsif sur MOS-HEMT normally-off avant et après recuit post-process à 300 °C.

3.2.3 Caractérisations hyperfréquences

Les paramètres S petit-signal ont été acquis avant et après recuit de 250 MHz à 67 GHz sur les transistors CT21 à l'aide d'un analyseur de réseau vectoriel (Vector Network Analyzer - VNA). L'équipement utilisé pour réaliser ces mesures disposant de pointes coplanaires, le fait que le process n'ait pas été conduit jusqu'à l'étape des ponts à air n'empêche pas de mesurer les deux doigts de grilles simultanément. Les mesures ont été réalisées au point de polarisation V_{GS} pour lequel la transconductance est maximale à une tension $V_{DS} = 5$ V, déterminée au préalable à l'aide d'une mesure $I_d - V_g$.

La figure 3.41 représente l'évolution des gains en courant $|h_{21}|$ et en puissance U (gain de Mason) en fonction de la fréquence pour les différentes variantes technologiques, avant et après recuit. Ainsi, bien que l'on ne remarque pas de différences notables entre les différentes variantes technologiques et donc qu'aucune d'entre elles ne semble largement supérieure à une autre, il apparaît que le fait de recuire les composants en fin de process permet d'améliorer les performances hyperfréquences de ces derniers. L'avantage apporté par un recuit post-process est plus facilement observable sur la figure 3.42 qui représente les valeurs de fréquence de coupure de gain en courant f_t et en puissance f_{max} en fonction de la température de recuit pour les différentes variantes technologiques.

Si l'on se concentre d'abord sur l'évolution de la fréquence de coupure du gain en courant f_t , on remarque que, quelque soit la variante technologique appliquée, le fait d'effectuer un recuit entraîne une légère augmentation de cette dernière. On passe en effet d'une valeur de f_t moyenne de 27,6 GHz sur les composants non recuits à plus de 30 GHz

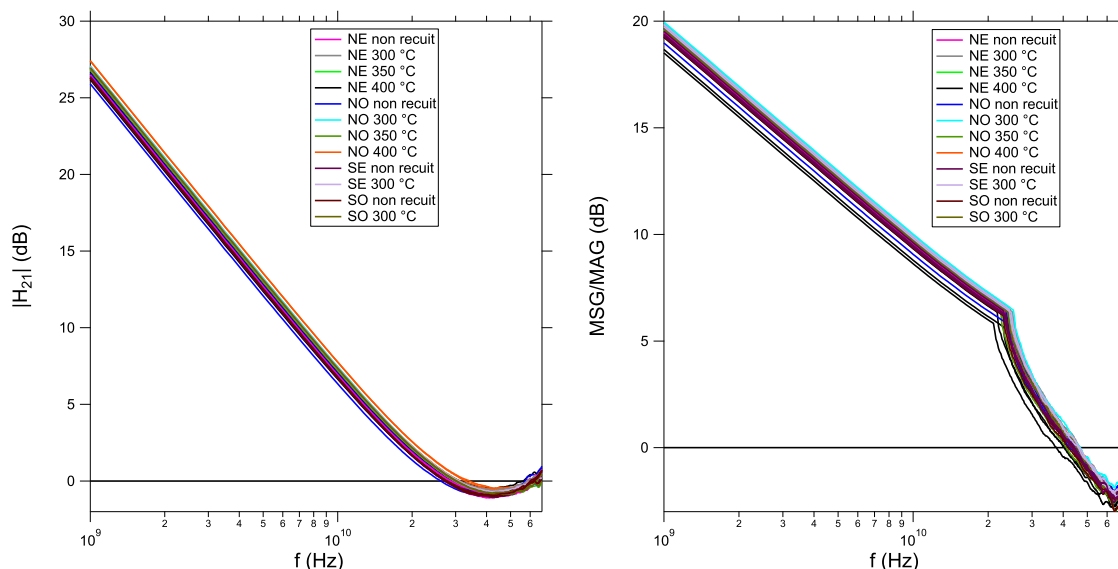


FIGURE 3.41 – Résultats de mesures des paramètres S petit-signal : évolution des gains en courant (gauche) et en puissance (droite) en fonction de la fréquence.

après un recuit à 300 °C et ce, indépendamment des traitements appliqués pour atteindre le comportement normally-off. L'augmentation de la température de recuit ne semble cependant pas améliorer davantage ce paramètre, du moins sur le quart nord-est (6 cycles de gravure/60 s d'implantation). On voit en effet que la fréquence f_t moyenne déterminée sur les composants du quart nord-ouest (6 cycles de gravure/ 30 s d'implantation) croît à nouveau lorsque la température de recuit est de 400 °C.

Si l'on s'intéresse maintenant à la fréquence de coupure du gain en puissance f_{max} , on remarque que l'évolution entre les mesures sur les échantillons non recuits et après recuit à 300 °C est similaire à celle observée pour f_t , passant d'environ 43,8 GHz à près de 46 GHz après le recuit. L'augmentation de la température de recuit au delà de 300 °C a toutefois un effet plus notable sur la valeur de f_{max} que sur celle de f_t . On note en effet une importante diminution de la valeur de f_{max} lorsque le recuit est effectué à plus haute température. Cette dernière est telle que la fréquence déterminée sur les transistors du quart NE recuits à 400 °C est plus faible que sur les transistors non recuits. En revanche, on remarque que le f_{max} évolue de la même façon que le f_t sur le quart NO après un recuit à 400 °C, à savoir une nouvelle augmentation. La valeur moyenne de f_{max} après ce recuit reste toutefois inférieure à celle déterminée après le recuit à 300 °C.

Si l'augmentation des deux fréquences de coupure suite aux recuits n'est pas étonnante étant donné l'accroissement de transconductance constaté lors des caractérisations DC après les traitements thermiques, il semblerait qu'une température de recuit trop élevée entraîne également une augmentation de la capacité de grille, ce qui expliquerait alors la chute des fréquences de coupure observée.

Les valeurs de gains en puissance à 10 GHz sont relativement proches pour la plupart des variantes technologiques avec une moyenne d'environ 9,5 dB. On note toutefois que les composants du quart nord-est recuits à 400 °C sont ceux qui présentent la valeur de gain la plus faible, d'environ 8,6 dB. A l'inverse, les valeurs les plus élevées sont observées sur les composants du quart nord-ouest recuits à 300 °C avec des gains de l'ordre de 10 dB à 10 GHz.

D'après ces observations, il semblerait donc qu'un recuit soit nécessaire pour maximiser les performances hyperfréquences des composants fabriqués et que la température idéale de celui-ci soit inférieure à 350 °C.

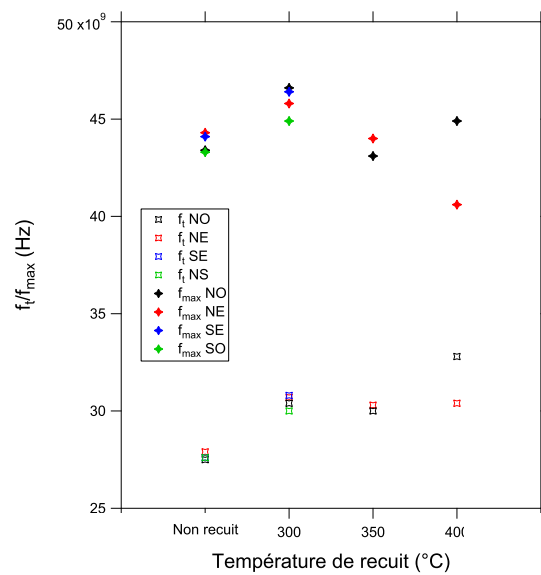


FIGURE 3.42 – Evolution des fréquences de coupure de gain en courant et en puissance f_t/f_{max} en fonction de la température de recuit pour les différentes variantes technologiques.

3.3 Conclusions

Dans ce chapitre, nous avons dans un premier temps présenté les différentes briques technologiques développées spécifiquement pour la fabrication de HEMT GaN normally-off.

Nous avons ainsi mis au point un procédé de gravure basé sur le principe de l'Atomic Layer Etching (ALE) dans le but de disposer d'une technique permettant une gravure lente et précise de la barrière. Le procédé de gravure, basé sur l'alternance de quatre étapes dont deux d'exposition à un plasma et avec une vitesse de gravure d'environ 0,55 nm/cycle nous a effectivement permis de graver précisément la couche barrière. Comme nous l'avons précisé, les étapes élémentaires du procédé ALE idéal ne devraient pas graver lorsque réalisées séparément. Si c'est bien le cas pour la première étape du cycle, la seconde étape plasma peut encore être optimisée, ce qui permettrait de réduire davantage la vitesse de gravure. Il est également important de préciser qu'il existe désormais des bâtis de gravure spécifiquement dédiés aux procédés ALE qui permettent en outre un contrôle accru des puissances appliquées lors des étapes plasmas ainsi que l'application de puissances plus faibles.

La seconde brique technologique utilisée pour la fabrication des HEMT normally-off est l'implantation de fluor dans la barrière précédemment gravée selon le principe d'implantation par immersion plasma. Nous avons tout d'abord réalisé des simulations afin d'évaluer la profondeur d'implantation en fonction de l'énergie des ions. Les implantations ont ensuite été réalisées dans un bâti de gravure ICP-RIE dédié aux gravures fluorées en utilisant un plasma à base de CF_4 . Cette technique, bien que pratique pour les implantations peu profondes telles que celle que nous souhaitons réaliser dans le cadre de ces travaux présente toutefois quelques inconvénients. Il est toutefois important de noter que, tout comme pour l'Atomic Layer Etching, l'implantation ionique par immersion plasma (IIIP) est une technique qui connaît depuis quelques années un intérêt grandissant, si bien que des équipements dédiés sont dorénavant utilisés par des industriels tels qu'IBS qui propose désormais un service d'IIIP à des énergies extrêmement faibles (jusqu'à 30 eV).

Les résultats de caractérisations électriques ont d'abord montré que les deux briques technologiques, combinées à un dépôt d' Al_2O_3 sous la grille ont effectivement permis de rendre les HEMT GaN normally-off. La combinaison de ces différentes étapes nous a ainsi permis de décaler la tension de seuil de plus de 3,5 V, les transistors obtenus présentant des tensions de seuils de l'ordre de 1,4 V tout en conservant des densités de courant I_{ds} importantes, d'environ 800 mA/mm. Toutes ces étapes pouvant être réalisées de façon localisées et bien que nous ne l'ayons pas fait dans le cadre de ces travaux de thèse, la co-intégration de HEMT normally-off et normally-on sur un même wafer et même au sein

d'une même puce est donc tout à fait envisageable. Les résultats électriques, bien que très intéressants aussi bien en termes de densité de courant qu'en terme de tension de seuil ont toutefois mis en lumière d'importants phénomènes d'hystérésis, traduisant de fait une densité de pièges non négligeable. Ces derniers étant habituellement attribués à la présence de l'oxyde de grille, une étude approfondie de ce dernier voire l'utilisation d'autres oxydes pourraient être une piste à envisager pour poursuivre le développement de HEMT GaN normally-off. Concernant les performances hyperfréquences, nous n'avons pas observé, parmi les quatre variantes technologiques étudiées, une variante significativement meilleure que les autres. Comme nous pouvions nous y attendre après les caractérisations DC, un recuit réalisé en fin de process permet de légèrement améliorer les fréquences de coupure et les valeurs de gain. Ce dernier semble cependant ne pas devoir dépasser 350°C au risque de dégrader les performances. Les résultats présentés ayant été obtenus à partir de seulement quatre combinaisons de recess et d'implantation, l'optimisation du procédé pourrait également passer par l'étude d'un nombre plus important de variantes technologiques. Enfin, la fabrication de transistors à recess de grille sans implantation et de composants implantés mais non gravés pourrait également fournir de nombreuses informations sur les effets respectifs de ces deux techniques.

Fabrication et caractérisations de FinFET GaN

Les résultats présentés jusqu'ici concernaient les MOS-HEMT GaN à recess de grille et implantation de fluor réalisés sur des structures dédiées aux applications hyperfréquences dans le but d'obtenir des transistors normally-off. Dans ce dernier chapitre, nous allons porter notre intérêt sur la mise au point et l'optimisation de nouvelles briques technologiques pour la fabrication d'un autre type de HEMT GaN : le FinFET. Comme expliqué précédemment dans la partie 2.4, les FinFET sont des transistors dont la grille enrobe partiellement le canal. Ce type de composants n'ayant encore jamais été étudié au III-V Lab, l'objectif premier de notre étude a été de mettre au point les différentes étapes technologiques nécessaires à la réalisation de tels dispositifs à partir d'une hétérostructure prévue à la base pour des transistors planaires. En effet, les FinFET étant des composants tridimensionnels, il nous a fallu développer les étapes technologiques pour :

- graver des rubans (*fins*) dans l'espace source-drain.
- déposer la grille de façon conforme le long des rubans précédemment gravés.

Il est à noter que dans le cas des FinFET GaN, qui sont des composants présentant des zones gravées, il est commun de définir un développement effectif, qui n'est pas égal au produit du nombre de doigts de grille et de leur largeur mais au produit du nombre de rubans et de leur largeur : $W_{eff} = N_{fin} \cdot W_{fin}$.

4.1 Développement de nouvelles briques technologiques et fabrication des FinFET GaN

Dans le cadre de cette étude, nous nous sommes basés sur le procédé de fabrication des HEMT planaires déjà utilisé au laboratoire pour en développer un nouveau permettant d'obtenir sur le même wafer des HEMT conventionnels et des FinFET. Rappelons que la principale différence entre ces deux types de transistors réside dans le fait que la zone sur laquelle est déposée la grille est constituée d'une série de rubans formant ainsi une multitude de canaux de conduction en parallèle. La présence de ces canaux permet

ainsi à la grille d’agir sur le 2DEG par le dessus, comme c’est le cas dans les HEMT conventionnels, mais également sur les côtés via les flancs des rubans qui sont eux-mêmes recouverts de métal. Afin d’assurer la co-intégrabilité des deux topologies de transistors au sein du même wafer, nous sommes donc repartis du procédé standard de fabrication de HEMT GaN de sorte que le procédé de fabrication des FinFET soit en tous points identique à celui présenté dans le chapitre 2 jusqu’à l’étape de dépôt des grilles. A partir de là, les nouvelles étapes que nous avons développées et qui seront présentées dans la suite de ce chapitre sont introduites pour obtenir les séries de rubans mentionnées précédemment. Le process complet de fabrication des FinFET que nous avons mis au point est représenté sur la figure 4.1.

4.1.1 Gravure des rubans

Comme nous pouvons le voir sur la figure 2.23, une partie de l’espace source-drain du FinFET présente une série de rubans parallèles sur laquelle est ensuite déposée la grille. Ces derniers sont obtenus en deux étapes, à savoir une première étape de lithographie électronique suivie d’une étape de gravure.

Afin d’évaluer l’influence des dimensions des rubans sur les caractéristiques électriques des composants fabriqués sur nos hétérostructures et de nous comparer à la littérature et des augmentations de la tension de seuil liées, nous avons décidé de réaliser plusieurs FinFET présentant différentes combinaisons de dimensions de rubans $W_{fin} \times d_{fin-fin} \times L_{fin}$, W_{fin} étant la largeur des rubans, $d_{fin-fin}$ la distance entre deux rubans et L_{fin} la longueur des rubans. Le tableau 4.1 présente les six combinaisons que nous avons définies. Nous avons choisi ces dimensions en nous basant sur les résultats observés dans la littérature. Un schéma représentatif d’une structure FinFET faisant apparaître ces dimensions est représenté sur la figure 4.2. Comme nous l’avons déjà expliqué, l’expression du développement effectif des FinFET tient compte des zones gravées. Ainsi, pour les FinFET 1 et 2 dont la largeur des rubans est égale à deux fois la distance qui les sépare ($W = 100$ nm et $d = 50$ nm), le développement effectif pour un transistor à un doigt de grille de $50 \mu\text{m}$ est de $33,33 \mu\text{m}$. Pour les autres FinFET, dont la largeur des rubans est égale à la distance qui les sépare (100 nm et 150 nm pour les FinFET 3/4 et 5/6, respectivement), le développement effectif est de $25 \mu\text{m}$. Étant données les dimensions des rubans, un grand travail d’optimisation des conditions de lithographie électronique a été mené. Plusieurs résines ont ainsi été utilisées et comparées afin de déterminer celle qui permet à la fois d’obtenir des rubans parfaitement définis tout en présentant une tenue suffisante à la gravure plasma. De nombreuses observations MEB ont également été réalisées afin de mesurer les dimensions des rubans afin d’optimiser les doses d’écriture et ainsi obtenir les dimensions souhaitées.

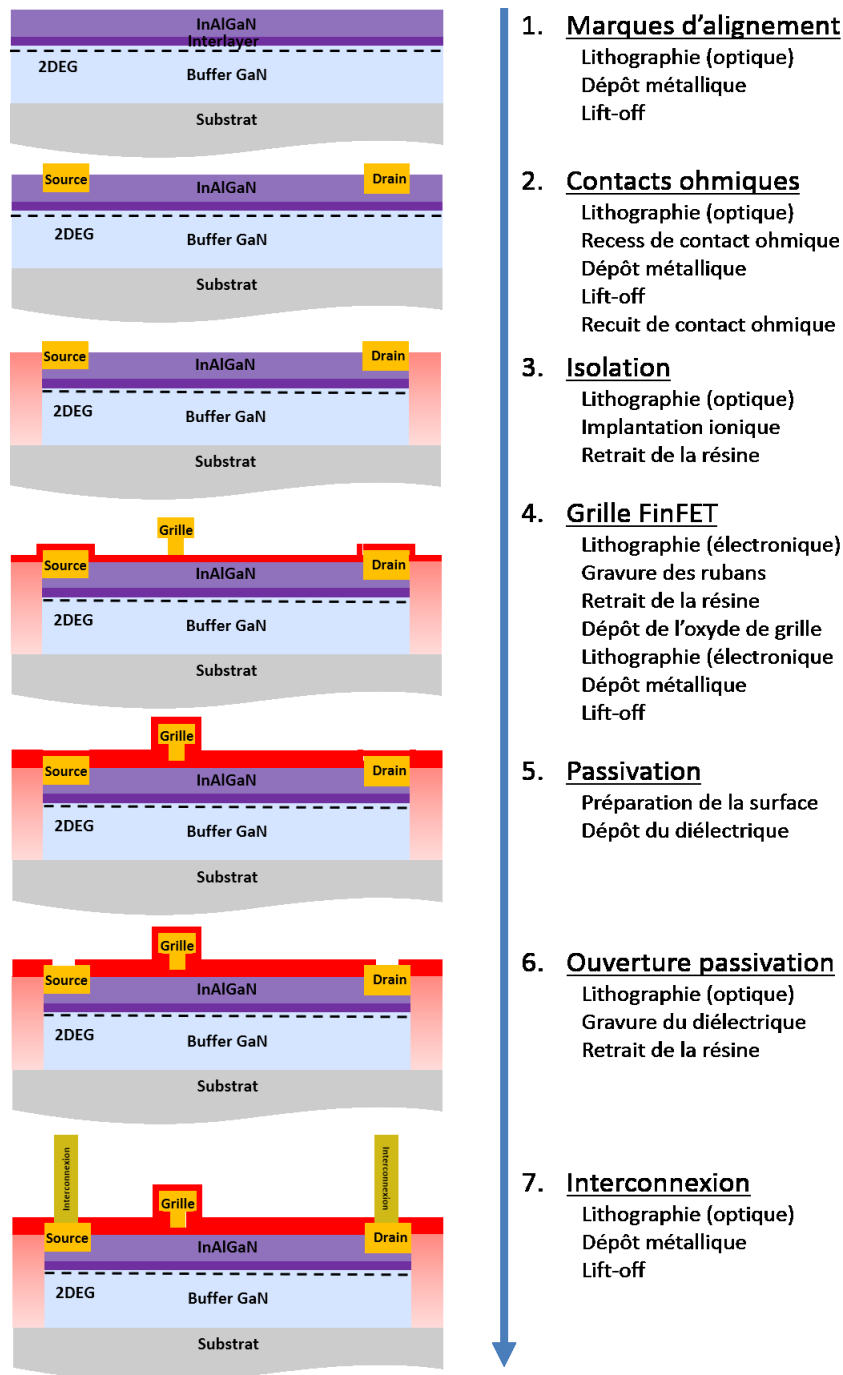


FIGURE 4.1 – Représentation schématique du procédé mis au point pour la fabrication de FinFET GaN.

Les développements effectifs sont déterminés à partir de la définition donnée précédemment. La hauteur des rubans a quant à elle été mesurée après la gravure de ces derniers. Tous les rubans ayant été gravés simultanément quelles que soient leurs dimensions, les FinFET dont l'espace entre les rubans est le plus faible sont donc également ceux dont la hauteur est la moins importante [98]. Notons toutefois que H_{fin} reste, dans tous

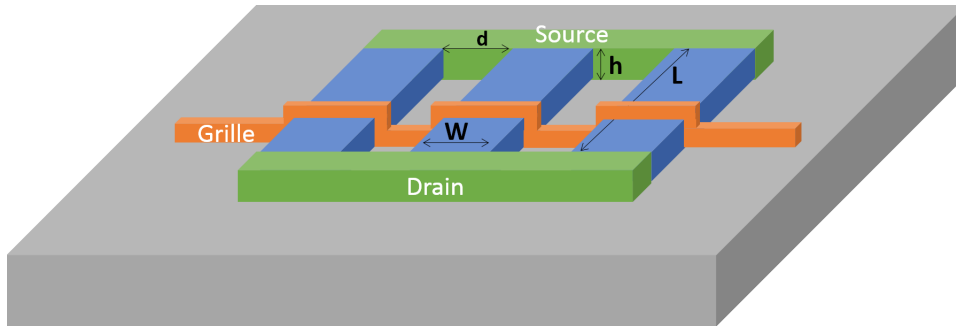


FIGURE 4.2 – Schéma représentatif d'une structure FinFET sur lequel sont représentées les différentes dimensions caractéristiques L , W , d et h .

les cas, bien supérieure à l'épaisseur de la barrière. Bien que nous n'ayons pu étudier l'effet de la hauteur des rubans, il semble qu'il existe une hauteur optimale [46] Le procédé de gravure utilisé est le même que celui utilisée pour le recess des contacts ohmiques, à savoir une gravure plasma à base de $Cl_2/N_2/Ar$. Sur la figure 4.3, nous pouvons observer des

TABLE 4.1 – Dimensions des différents FinFET fabriqués

Dénomination	W_{fin} (nm)	$d_{fin-fin}$ (nm)	L_{fin} (nm)	H_{fin} (nm)	W_{eff} (μm)
FinFET1	100	50	500	30	33
FinFET2			250		
FinFET3	100	100	500	50	25
FinFET4			250		
FinFET5	150	150	500	60	25
FinFET6			250		

images MEB de zones sources-drain dans lesquelles des rubans de différentes dimensions ont été gravés, ici pour les FinFET 3 et 6. La figure 4.4 représente quant à elle le profil mesuré dans la zone où sont gravés des rubans de 150 nm de long espacés de 150 nm de long (FinFET5/6), obtenu par AFM.

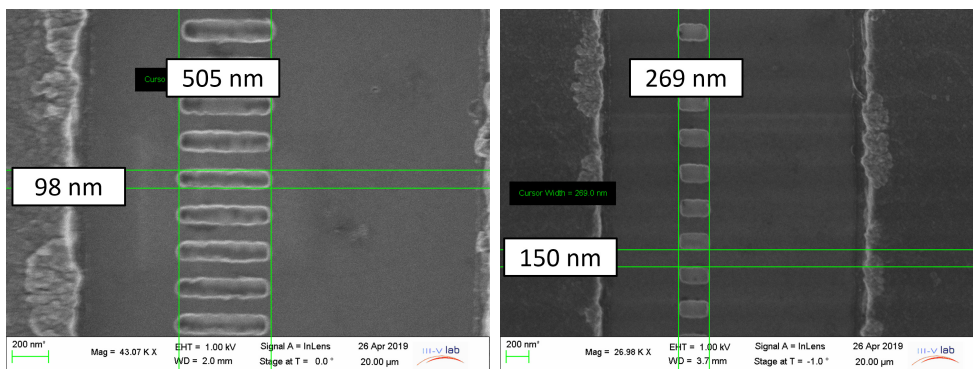


FIGURE 4.3 – Images MEB des zones sources-drain faisant apparaître les rubans.

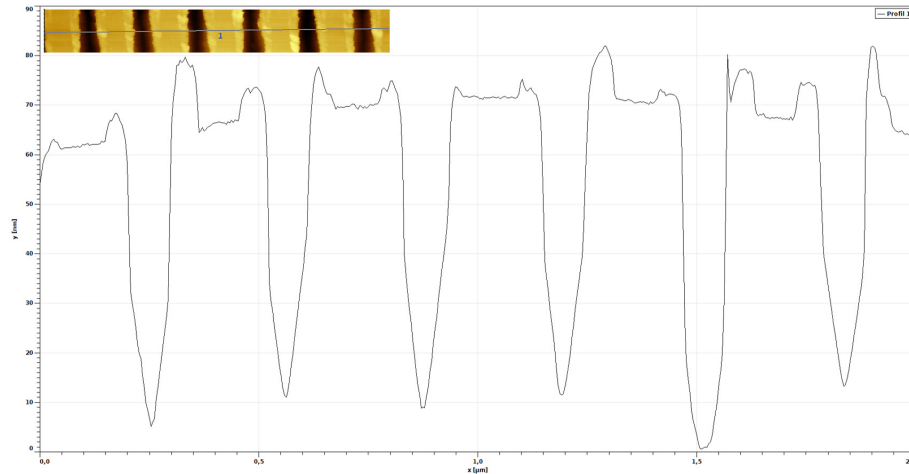


FIGURE 4.4 – Images AFM des zones source-drain faisant apparaître les rubans des FinFET 3 (gauche) et FinFET 6 (droite).

Nous ne nous y sommes pas intéressés ici mais il faut noter que contrairement à l'approche top-down que nous avons adoptée, qui consiste à graver les rubans, il serait possible de faire croître ces derniers par SAG (Selective Area Growth). Cette méthode consiste à déposer un masque diélectrique à la surface du semiconducteur et dans lequel sont définies des ouvertures. On procède alors à une étape de croissance qui, si l'on a bien choisi la nature du diélectrique, ne pourra se faire que dans les ouvertures du masque. Dans le cas de la croissance des rubans pour la fabrication de FinFET GaN, l'idée serait alors d'arrêter la croissance de l'hétérostructure au niveau du canal GaN, de déposer le masque diélectrique puis de reprendre l'épitaxie en commençant par une recroissance de GaN suivie de la croissance de la barrière. La figure 4.5 représente schématiquement le déroulement de ce procédé. Cette solution permettrait en outre d'éviter une étape de gravure plasma susceptible de générer des défauts cristallins dans la structure, bien souvent responsables de performances dégradées. La réalisation de FinFET par ce biais ne se limite toutefois pas seulement à la croissance des rubans. Si l'on a recours à cette méthode, il est en effet également nécessaire de faire croître, en plus des rubans situés dans l'espace source-drain, l'hétérojonction GaN/barrière dans les zones d'accès, ce qui complique nettement le procédé de croissance de l'hétérostructure.

4.2 Métallisation de grille

Dans cette partie, nous allons présenter les résultats de l'étude menée sur le dépôt métallique pour la réalisation des grilles des FinFET.

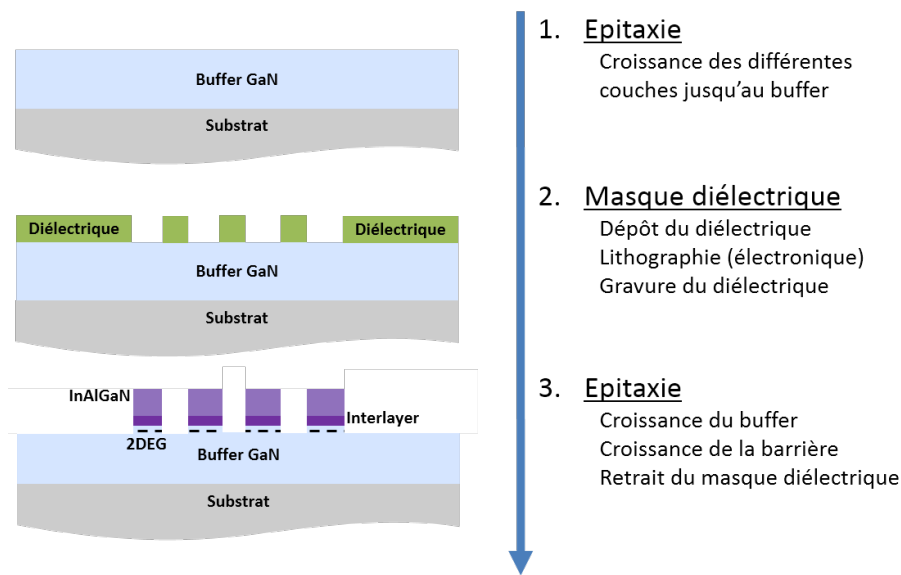


FIGURE 4.5 – Schéma représentatif d'un procédé SAG de croissance de rubans pour la fabrication de FinFET GaN

4.2.1 Étude de la conformité des dépôts sur des substrats silicium

La première étape de l'étude sur le dépôt métallique de grille a été de déterminer la méthode de dépôt permettant d'obtenir une métallisation conforme, c'est à dire grâce à laquelle le métal déposé est en contact avec toutes les surfaces exposées, y compris les flancs verticaux des rubans. Pour cela, nous avons dans un premier temps gravé des réseaux de rubans de différentes dimensions sur des substrats de silicium. Nous avons ensuite procédé à différents dépôts sur ces substrats que nous avons alors clivés afin de pouvoir observer leur tranche au MEB. Les différentes techniques de dépôts métalliques que nous avons étudiées sont l'évaporation par faisceau d'ions, l'évaporation par faisceau d'ions tiltée et la pulvérisation par faisceau d'ions.

4.2.1.1 Dépôt par évaporation par faisceau d'ions

La technique de dépôt par évaporation est connue comme étant une méthode de dépôt anisotrope mais nous avons tout de même tenu à l'étudier dans le contexte du développement des FinFET car c'est celle que nous utilisons déjà pour le dépôt des grilles sur les transistors planaires. La figure 4.6 est une image MEB de la tranche de l'échantillon après dépôt par évaporation et clivage. Comme nous pouvions nous y attendre, on remarque que le dépôt n'est pas conforme. En effet, bien que le métal soit effectivement en contact avec la surface des rubans, on peut observer qu'il ne l'est pas avec les flancs de ces derniers. Il apparaît donc que l'évaporation n'est pas la technique adaptée pour

déposer les grilles des FinFET.

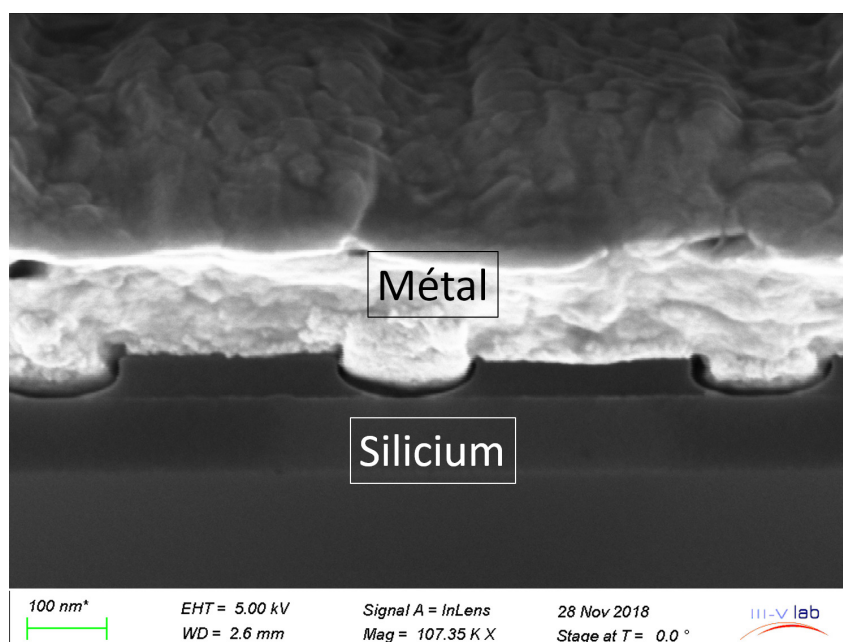


FIGURE 4.6 – Images MEB de la tranche de rubans gravés et métallisés par évaporation

4.2.1.2 Dépôt par évaporation par faisceau d'ions tiltée

La méthode de dépôt par évaporation par faisceau d'ion tiltée repose sur le même principe que l'évaporation par faisceau d'ions classique au détail près que l'échantillon sur lequel le dépôt est effectué n'est plus placé de façon perpendiculaire au flux mais avec un angle θ plus ou moins important par rapport à la normale, tel que représenté sur la figure 4.7. Comme nous l'avons vu dans la partie précédente, le dépôt par évaporation non tiltée ne permet pas de métalliser correctement les flancs des nano-rubans car ils ne sont pas exposés au flux de métal évaporé. Le fait d'incliner l'échantillon par rapport au flux métallique permet alors d'exposer les flancs et donc de réaliser un dépôt conforme. Les échantillons ont été préparés de la même façon que ceux présentés précédemment, à savoir : gravure des rubans, métallisation et clivage.

La figure 4.8 est une image obtenue par MEB d'un échantillon métallisé avec un angle θ de 10° . On peut voir que du métal est bien déposé sur la partie inférieure des rubans mais pas sur la partie supérieure des flancs du ruban. On peut en effet y observer des zones plus sombres, c'est-à-dire sans métal, de part et d'autre des rubans. Cette première observation nous a permis de confirmer que le fait d'incliner l'échantillon lors du dépôt permet de rendre ce dernier plus conforme, bien que l'angle choisi ici ne soit pas suffisant.

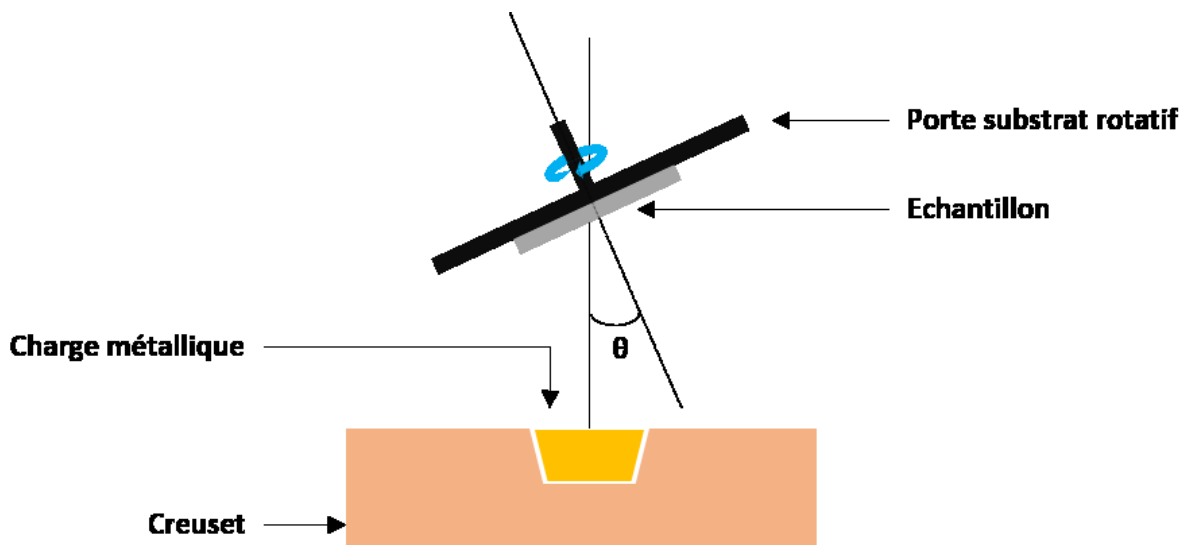


FIGURE 4.7 – Représentation schématique de l'évaporation tiltée

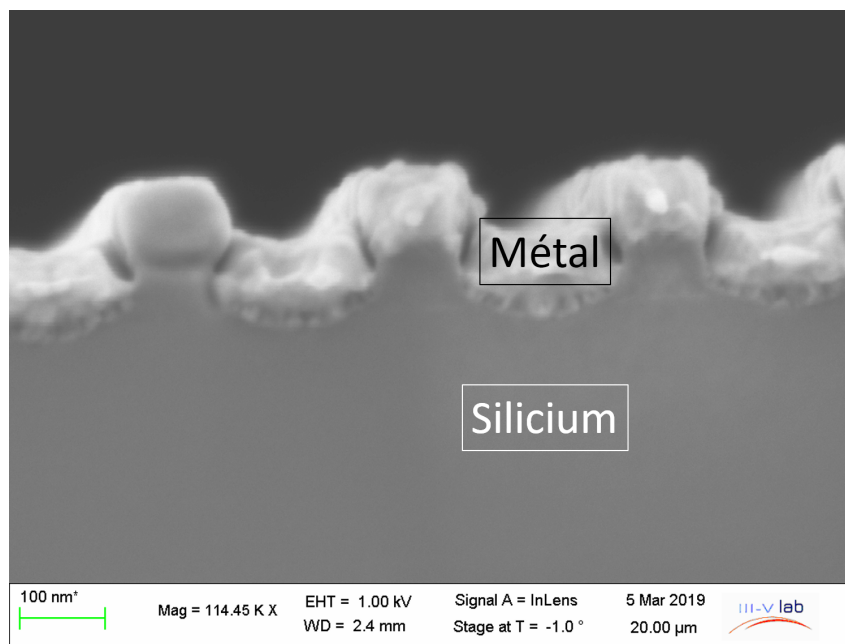


FIGURE 4.8 – Image MEB de la tranche de rubans gravés et métallisés par évaporation tiltée avec $\theta = 10^\circ$

La figure 4.9 est une image obtenue par MEB d'un échantillon métallisé avec un angle θ de 15° . On peut maintenant observer la présence d'une fine couche métallique continue tout le long de la surface de l'échantillon. L'épaisseur de métal sur les flancs des nano-rubans, de l'ordre de quelques nanomètres, est en revanche trop fine. La figure 4.10 est une image obtenue par MEB d'un échantillon métallisé avec un angle θ de 25° . On remarque que les espaces entre les rubans sont maintenant complètement remplis. De

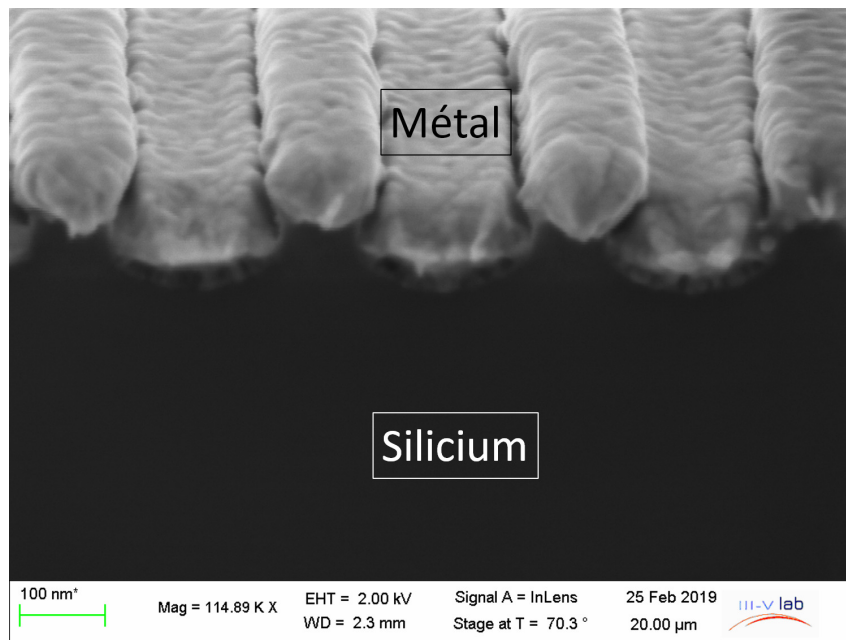


FIGURE 4.9 – Image MEB de la tranche de rubans gravés et métallisés par évaporation tiltée avec $\theta = 15^\circ$

plus, l'épaisseur de métal sur les flancs des rubans est bien plus importante dans ce cas que dans le précédent ($\theta = 15^\circ$), étant donné qu'elle atteint environ 20 nm.

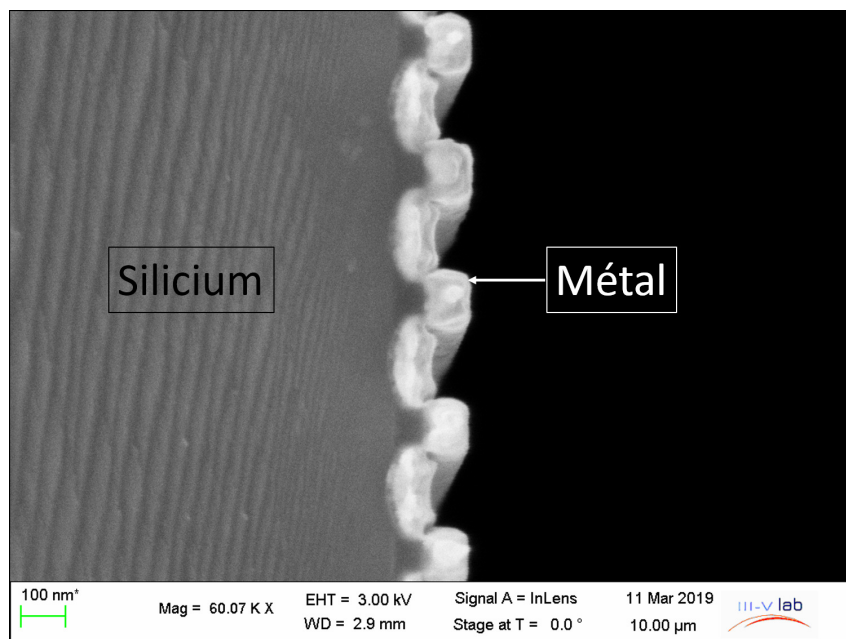


FIGURE 4.10 – Image MEB de la tranche de rubans gravés et métallisés par évaporation tiltée avec $\theta = 25^\circ$

4.2.1.3 Dépôt par pulvérisation par faisceau d'ions

Le dépôt métallique par pulvérisation par faisceau d'ions (Ion Beam Sputtering - IBS) est une technique qui consiste à bombarder une cible du métal que l'on veut déposer à l'aide d'un faisceau d'ions. Cette technique diffère des méthodes de pulvérisation plus classiques telle la pulvérisation cathodique où le plasma est généré par un champ électrique créé par une différence de potentiel entre la cible (cathode) et le substrat (anode). Ici, le plasma est généré dans une chambre séparée d'où sont extraits les ions Ar^+ qui sont alors accélérés vers la cible métallique via l'application d'une tension négative sur cette dernière. S'ils disposent d'une énergie cinétique suffisante, les ions incidents vont alors éjecter des atomes de la cible, permettant ainsi le dépôt du métal sur le substrat. De par les conditions dans lesquelles se déroule le dépôt, notamment du fait de la pression relativement élevée comparée à celle requise pour un dépôt par évaporation, cette méthode permet de réaliser des dépôts conformes.

La figure 4.11 représente schématiquement le principe de fonctionnement du dépôt par pulvérisation par faisceau d'ions.

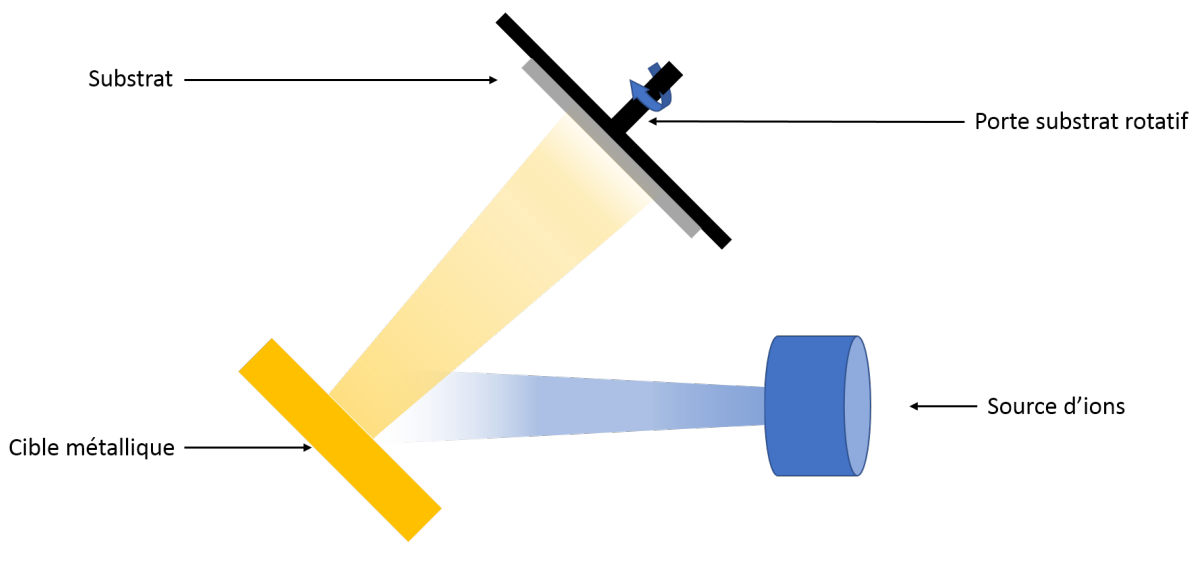


FIGURE 4.11 – Représentation schématique de la pulvérisation par faisceau d'ions

La figure 4.12 est une image MEB obtenue après métallisation par pulvérisation par faisceau d'ions d'un échantillon sur lequel des rubans ont été gravés. Comme pour l'échantillon que nous avons métallisé par évaporation tiltée à 25° , on peut voir sur cette figure que le fond des tranchées ainsi que les flancs des rubans sont bien métallisés. Ces observations confirment le fait que cette technique permet de réaliser des dépôts conformes et donc la possibilité de l'employer pour réaliser les grilles des FinFET GaN.

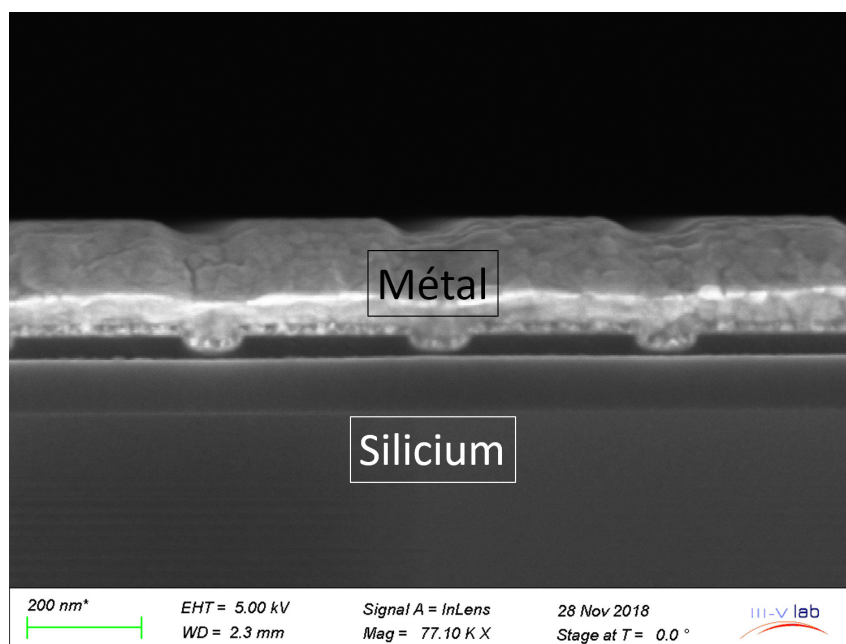


FIGURE 4.12 – Image MEB de la tranche de rubans gravés et métallisés par pulvérisation par faisceau d’ions

4.2.2 Réalisation et observation des grilles sur structures tests

Les essais de métallisation menés jusqu’alors avaient pour but de déterminer la méthode adaptée à l’étape de dépôt du métal de grille et étaient réalisés sans qu’aucune résine ne soit déposée au préalable. Cela ne sera pas le cas lors de la réalisation des FinFET puisqu’il faudra déposer la grille de façon localisée et donc *lifter* le métal. Les étapes de lift-off et notamment le lift-off de la grille sont cependant des étapes critiques. En effet, dans le cas de la grille, les conséquences d’un mauvais lift-off peuvent rendre le composant inutilisable, que ce soit du fait de la présence de lichettes voir du décollement de la grille. Les grilles des transistors fabriquées habituellement au laboratoire étant déposées par évaporation, nous avons dû vérifier la compatibilité du procédé de dépôt des grilles FinFET avec l’étape de lift-off. En effet, l’inclinaison du substrat pendant le dépôt permettant de métalliser les flancs des rubans entraîne également le dépôt de métal sous la casquette de résine formée par le bicouche. Or, rappelons que c’est la présence de cette casquette qui rend le lift-off possible. Ainsi, plus l’épaisseur de métal déposée sous cette casquette est importante, plus le lift-off est long, voire impossible.

4.2.2.1 Dépôt métallique sur bicouche de résine

L’étape de lift-off des grilles étant bien maîtrisée avec le bicouche de résine Copolymère/PMMA dans le cadre de la fabrication de HEMT planaire, nous avons dans un premier temps tenté un dépôt métallique par évaporation tiltée sur ce même empilement

de résine. Le dépôt est réalisé en deux étapes : une première étape d'évaporation tiltée afin de déposer une couche continue de métal puis une seconde étape d'évaporation non tiltée. Le but de cette séparation en deux étapes est de limiter de l'épaisseur de métal déposée par évaporation tiltée afin de faciliter le lift-off. La figure 4.13 est une photographie MEB d'une grille observée après lift-off selon ce procédé. On peut notamment y apercevoir une fine couche de métal qui semble se décoller du chapeau de grille jusqu'à retomber sur la surface du substrat. Au vu de la finesse de ce film, il est fort probable qu'il ait été déposé lors de l'étape d'évaporation tiltée. Cela expliquerait également la faible adhérence de ce dernier sur le chapeau, déposé quant à lui lors de l'étape d'évaporation non-tiltée, et donc le décolllement observé. La présence de lichettes telles que celles observées est rédhibitoire

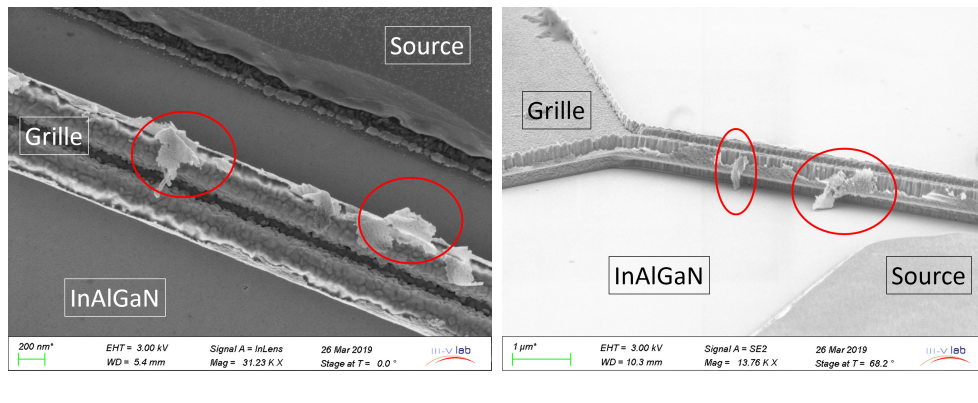


FIGURE 4.13 – Images MEB des grilles observées après métallisation par évaporation tiltée à 25° et lift-off

pour plusieurs raisons dont :

- l'élargissement non contrôlé de la grille dans le cas où les elles sont en contact avec la surface du substrat.
- le risque de court-circuit en cas de contact direct avec les contacts ohmiques situés de part et d'autre de la grille.

D'après ces observations, le bicouche Copolymère/PMMA utilisé ici n'est du toute évidence pas adapté à cette étape de métallisation.

4.2.2.2 Dépôt métallique sur tricouche de résine

L'utilisation du bicouche Copolymère/PMMA s'étant révélée impossible, nous avons développé un empilement de résines consistant en un tricouche PMMA 950K/LOR 5A/PMMA 50K. La technologie tricouche est en outre réputée comme étant plus fiable que la technologie bicouche. La figure 4.14 est une représentation schématique du procédé de fabrication d'une grille en T basé sur l'utilisation d'un tricouche de résines. Le procédé développé dans le cadre de la fabrication des FinFET repose sur une exposition unique et simultanée des trois résines. La résine supérieure est alors développée à l'aide d'une solution de MIBK et

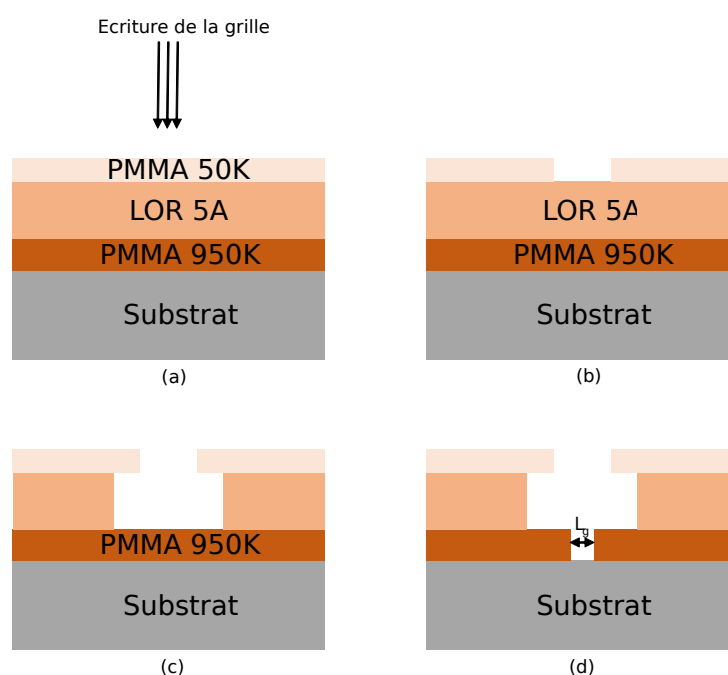


FIGURE 4.14 – Représentation schématique du procédé de fabrication d’une grille en T avec un tricouche de résines : (a) écriture au masqueur électronique du motif, (b) développement du chapeau, (c) développement de la casquette et (d) développement du pied de grille.

d’IPA de sorte que les dimensions de l’ouverture correspondent aux dimensions du chapeau de la grille. La résine intermédiaire est ensuite développée par immersion dans une solution à base de TMAH afin de former la casquette telle que représentée sur la figure 4.14 (b). La dernière étape consiste alors à développer la dernière couche de résine dont le rôle est ici de définir la longueur du pied de grille L_g . La figure 4.15 est une image MEB du profil de résines obtenu avec le procédé tricouche décrit sur laquelle nous pouvons observer les trois niveaux de résine ainsi que la casquette formée par les deux couches supérieures.

Des images MEB des grilles obtenues après dépôt par évaporation tiltée suivi d’une évaporation non tiltée et du lift-off sont présentées sur la figure 4.16. Les observations MEB nous ont permis de confirmer que l’utilisation du tricouche entraîne effectivement la suppression des liches. On remarque toutefois que les grilles ainsi obtenues présentent une sorte de collerette sur toute la longueur au niveau de la jonction entre le pied et le chapeau. D’après cette position bien particulière de la collerette et au vu de son épaisseur, l’origine de cette dernière peut vraisemblablement être attribuée au dépôt métallique sous la casquette lors du dépôt tilté.

Suites à ces observations, nous avons donc procédé à un nouvel essai de dépôt de grille sur le tricouche mais cette fois ci par pulvérisation et évaporation non tiltée dans le but

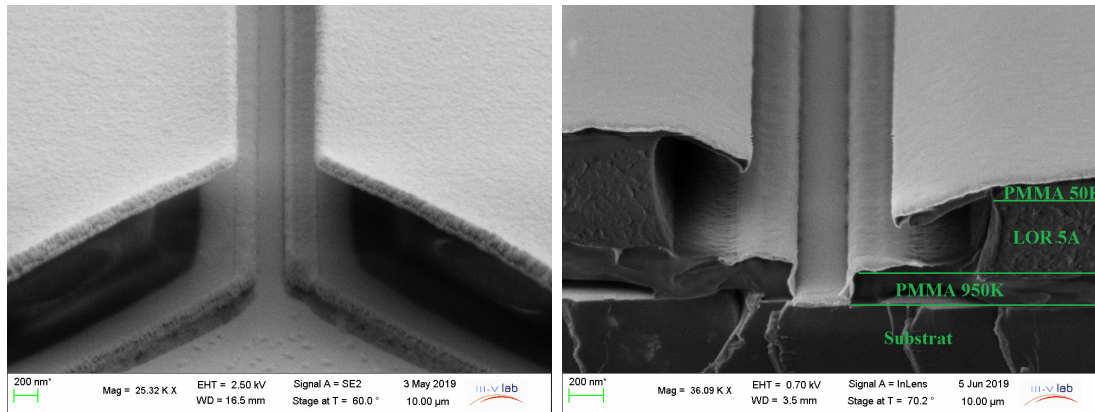


FIGURE 4.15 – Image MEB du tricouche de résines mis au point pour la métallisation des grilles pour FinFET

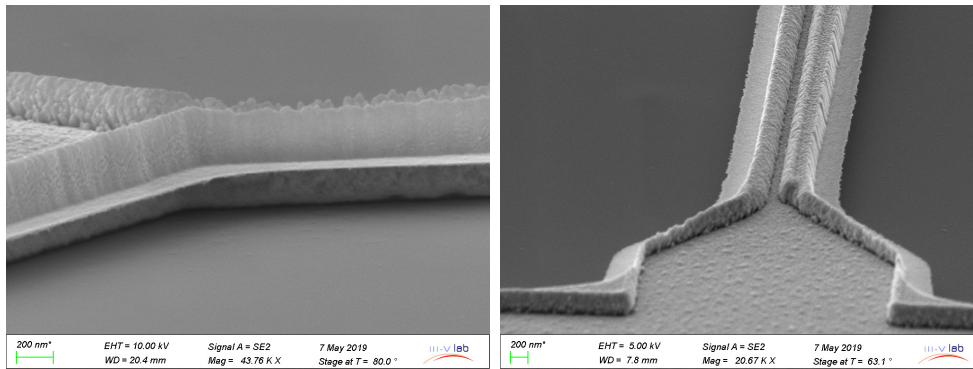


FIGURE 4.16 – Images MEB des grilles observées après métallisation par évaporation tiltée à 25° et lift-off du tricouche de résines

de réduire voire d'éliminer la collerette. La figure 4.17 est ainsi une photographie MEB d'une grille obtenue après un dépôt de 20 nm de platine par pulvérisation par faisceau d'ion suivi d'un dépôt d'or par évaporation. Au vu des grilles obtenues par cette méthode, nous avons décidé de l'utiliser pour la fabrication des FinFET.

4.3 Caractérisations électriques

4.3.1 Caractérisations en régime statique

La structure des FinFET étant particulièrement différente du fait de la présence des rubans et donc des zones gravées, la normalisation des grandeurs mesurées (notamment la densité de courant et la transconductance), qui consiste à les exprimer en fonction de la largeur de grille est également modifiée. On rappelle ainsi que, contrairement au chapitre précédents, les développements effectifs des transistors sont ici de 33,33 μm pour

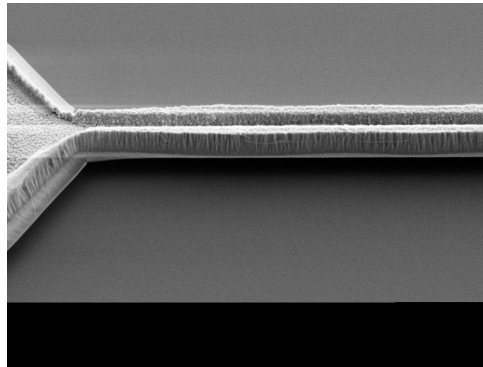


FIGURE 4.17 – Images MEB des grilles observées après métallisation par pulvérisation par faisceau d’ions et évaporation puis lift-off avec le tricouche de résines.

les FinFET 1 et 2 et de $25\ \mu\text{m}$ pour les FinFET 3, 4, 5 et 6, comme nous l’avons précisé précédemment dans le tableau 4.1. Les longueurs de grilles sont cependant identiques, et sont donc de $150\ \text{nm}$. Les caractéristiques de transfert de différents FinFET ainsi que de transistors planaires également présents sur la plaque sont représentées sur la figure 4.19. Pour des raisons de clarté, les transconductances sont représentées séparément sur la figure 4.20.

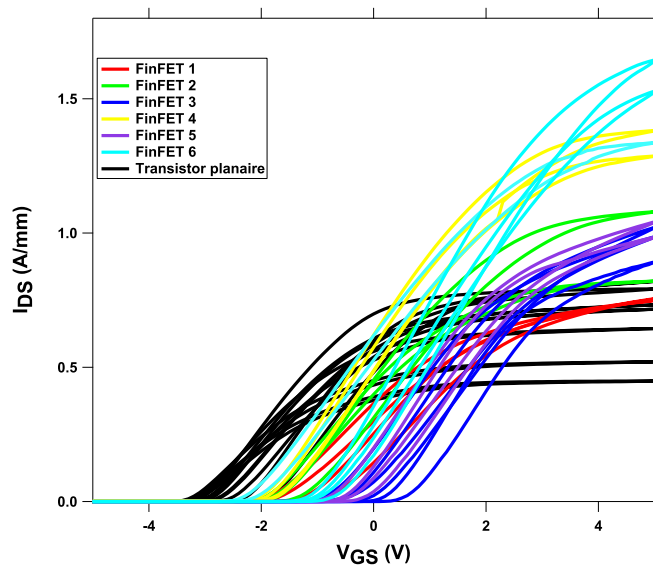


FIGURE 4.18 – Caractéristiques de transfert des différents FinFET mesurées à $V_{DS} = 5V$.

On constate à première vue que la tension de seuil des FinFET est globalement toujours plus élevée que celle des transistors standards, indépendamment des dimensions des rubans et de la distance entre deux rubans successifs. Sur les figures 4.19 et 4.20, nous pouvons observer, malgré une dispersion non négligeable, des tendances quant à l’influence des dimensions des rubans sur les caractéristiques de transfert des transistors.

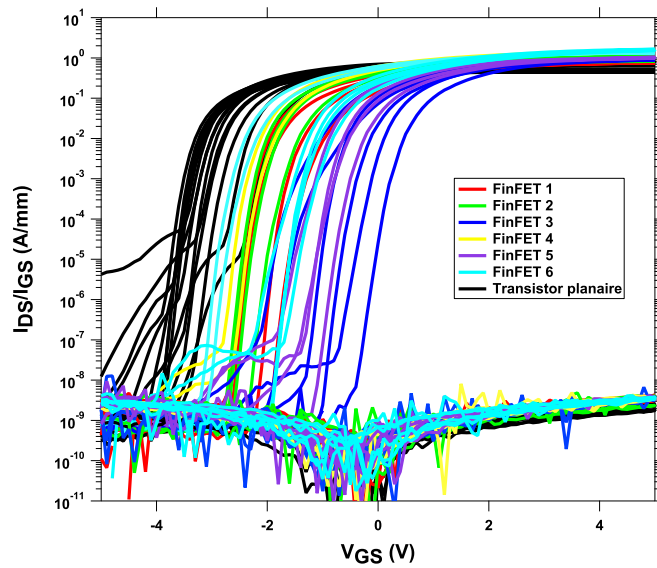


FIGURE 4.19 – Caractéristiques de transfert (échelle logarithmique) des différents FinFET mesurées à $V_{DS} = 5V$.

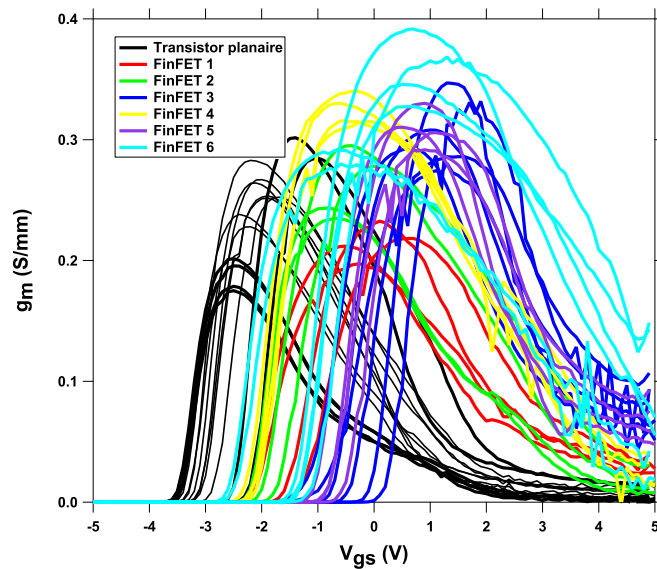


FIGURE 4.20 – Transconductance des FinFET à $V_{DS} = 5V$

Les différents paramètres déterminés à partir de ces caractéristiques de transfert sont reportés dans le tableau 4.2.

4.3.1.1 Influence de la longueur des rubans

Les tensions de seuil des différents transistors, présentées dans le tableau 4.2 suggèrent ainsi que la gravure de rubans, quelle que soit leur longueur, entraîne un décalage de la caractéristique vers les tensions positives. Ce décalage est d'autant plus important que les

TABLE 4.2 – Tableau récapitulatif des différents paramètres déterminées à partir des caractéristiques de transferts à $V_{DS} = 5V$ des différents FinFET et des HEMT planaires.

Topologie	V_{th} (V)	$I_{DS,max}$ (A/mm)	$g_{m,max}$ (S/mm)
FinFET1	-1,56	0,79	0,26
FinFET2	-2,03	1,20	0,33
FinFET3	0,10	0,97	0,32
FinFET4	-2,09	1,50	0,39
FinFET5	-0,57	1,02	0,33
FinFET6	-2,06	1,49	0,35
Transistor Planaire	-2,94	0,67	0,26

rubans sont longs. Les FinFET 1, 3 et 5 présentent en effet les tensions de seuil les plus importantes avec des augmentations par rapport au HEMT planaires respectives de + 1,4 V, + 3V et + 2,4 V. Précisons que même avec une augmentation de la tension de seuil de +3 V par rapport au HEMT planaire, la tension de seuil des FinFET 3 est de 0,1 V et donc tout juste positive. Inversement, les FinFET 2, 4 et 6, pour lesquels les rubans font 250 nm de long ne présentent qu'une faible augmentation de la tension de seuil d'environ + 0,8 V par rapport au HEMT planaire standard. On peut de plus remarquer que les tensions V_{th} déterminées sur ces trois topologies sont identiques. Il semble donc important qu'une longueur minimale de rubans soit nécessaire afin d'observer clairement les effets de la structure FinFET.

Nous pouvons également observer une nette influence de la longueur des rubans sur les performances en termes de densité de courant de drain. Pour un couple (W, d) donné, plus la longueur des rubans L est importante, plus le courant $I_{DS,max}$ diminue. Ainsi, on peut voir que les FinFET 1, 3 et 5 pour lesquels la longueur des rubans L est de 500 nm, sont les transistors qui présentent les densités de courant les plus faibles, globalement comprises entre 0,8 et 1 A/mm. A l'inverse, les FinFET 2, 4 et 6, dont la longueur des rubans L est de 250 nm présentent les densités de courants les plus élevées, autour de 1,2 A/mm pour les FinFET 2 et 1,6 A/mm pour les FinFET 4 et 6. Cette différence de densité de courant de drain maximale pourrait toutefois être liée à différence de tension de seuil, les composants présentant les tensions de seuil les plus importantes étant également ceux présentant les densités de courant les plus faibles à une tension de grille donnée. Notons toutefois que tous les FinFET présentent des densités de courants normalisés par rapport au développement effectif plus importantes que les transistors planaires.

4.3.1.2 Influence de la largeur des rubans et de la distance entre deux rubans

Dans le cas des rubans de 500 nm de long, nous pouvons noter que la largeur des rubans joue un rôle sur la valeur de V_{th} , puisque plus elle est faible, plus la tension de seuil est élevée. Cela peut en partie s'expliquer par le fait que plus les rubans sont larges,

plus on se rapproche d'un transistor planaire standard et donc plus l'effet du FinFET est faible. A l'inverse, plus les rubans sont fins, plus l'effet des grilles latérales est important, d'où un décalage de la tension de seuil plus important.

Ce phénomène a d'ailleurs été simulé par Zhang *et al.*. Les résultats de simulations, présentés sur la figure 4.21 montrent en effet que la densité d'électrons dans le 2DEG, toutes choses égales par ailleurs, est directement corrélée avec la largeur des rubans. Notons que ces simulations se basent sur une hétérostructure dont la barrière est en AlGaN. Cela se traduit par l'influence de deux facteurs : la déplétion du canal engendrée par la présence des grilles latérales d'une part et la relaxation des contraintes et donc une réduction de la polarisation piézoélectrique d'autant plus importante que les rubans sont fins d'autre part. Ce deuxième facteur ne peut toutefois pas être pris en compte dans le cas d'hétérostructures où la barrière est en accord de maille avec le GaN, comme c'est le cas pour les barrières à base d'InAlN et d'InAlGaN.

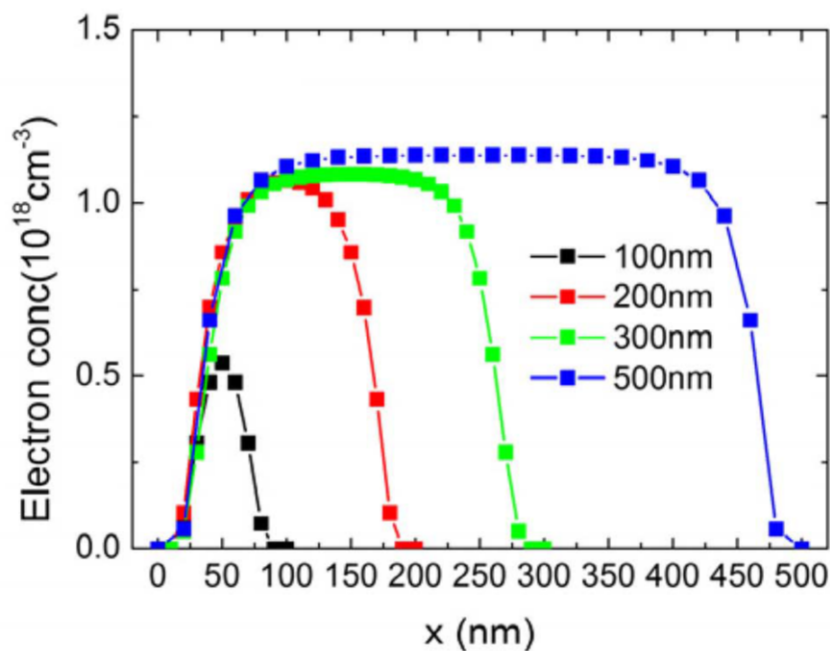


FIGURE 4.21 – Effet de la largeur des rubans sur la densité de porteurs dans le 2DEG dans une structure FinFET AlGa_N/Ga_N[zhang2018]

Pour une longueur de rubans donnée, nous pouvons voir que les FinFET dont la largeur des rubans est égale à la distance qui sépare deux rubans présentent des densités de courant de drain identiques, à savoir environ 1 A/mm pour les FinFET 3 et 5, et environ 1,5 A/mm pour les FinFET 4 et 6. Les densités de courants mesurées sur les FinFET 1 et 2, pour lesquelles les dimensions W et d ne sont pas égales, sont quant à elles inférieures d'environ 20% à celles mesurées sur les autres composants. Il semblerait

donc que le rapport W/d a une importance toute particulière sur les performances au niveau de la densité de courant de drain des FinFET, un rapport de 1 aboutissant à priori à de meilleures performances qu'un rapport de 2.

4.3.1.3 Influence de la géométrie des FinFET sur la transconductance

Enfin l'étude de la figure 4.20 nous montre que, là encore, la réalisation de FinFET permet une évolution positive de la transconductance des composants. Nous pouvons en effet noter que cette dernière est systématiquement plus élevée sur les FinFET que sur les transistors planaires, avec une augmentation allant jusqu'à +50% entre le transistor standard et les FinFET 4, passant alors de 260 mS/mm à 390 mS/mm. On remarque également que le pic de transconductance des FinFET est globalement plus étendu, ce qui est là aussi une évolution positive vers une linéarité accrue des composants. Ce phénomène est attribué à la l'absence d'augmentation des résistances d'accès lorsque I_{DS} augmente [Lee2013a]. De même que pour la densité de courant de drain maximale, nous pouvons remarquer que les différences les plus importantes par rapport aux transistors standards sont observées sur les composants dont les rubans font 250 nm de long. Il semblerait en outre que les rubans doivent être entièrement recouvert par la grille afin d'obtenir de meilleurs résultats [44].

Ces résultats sont en adéquation avec ceux de la littérature et montrent donc à première vue que l'obtention de FinFET normally-off repose sur la présence de longs rubans dans l'espace source-drain tandis que les meilleures performances électriques en termes de densité de courant et de transconductances sont elles obtenues lorsque les rubans sont les plus courts.

4.3.2 Caractérisation en régime impulsionnel

Les mesures en régime impulsionnel présentées dans cette partie ont été réalisées dans les mêmes conditions que celles réalisées sur les MOS-HEMT à recess de grille présentées dans le chapitre précédent, à savoir :

- Durée de l'impulsion : 1 μ s
- Période des impulsions : 100 μ s
- Temps de montée : 0,1 μ s
- Temps de descente : 0,1 μ s
- V_{DS} de 0 à 10 V
- V_{GS} de -2 à 4 V avec un pas de +2 V

Le *duty cycle* est là encore de 1%.

Nous avons également conservé les mêmes points de repos qui sont :

- ① (0 V ; 0 V)

- (2) (-2 V ; 0 V)
- (3) (-2 V ; 10 V)
- (4) : (+2 V ; 0 V)

La figure 4.22 présente les réseaux de sortie en mode impulsif d'un FinFET 4. Nous remarquons que, de façon générale, les densités de courant de drain en régime impulsif sont plus importantes que celles mesurées en DC, signe, à la fois de l'influence de la thermique et de la présence de pièges dans la structure. Nous pouvons ainsi relever un courant de drain maximal de 1,53 A/mm à $V_{GS} = 4$ V en régime impulsif au point de repos (1) contre 1,38 A/mm en DC pour le FinFET 4.

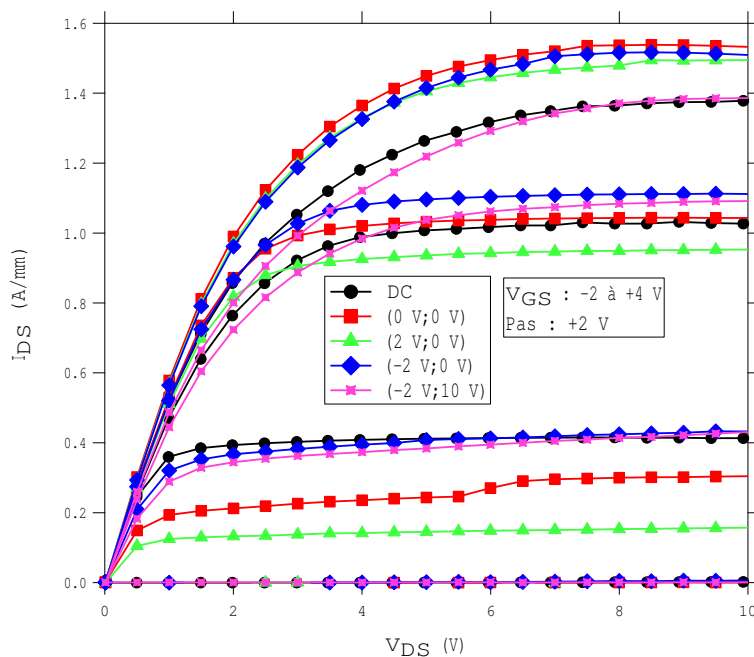


FIGURE 4.22 – Réseaux de sortie en régime DC et impulsif d'un FinFET 4.

Le tableau 4.3 présente les valeurs de gate-lag et drain-lag déterminées à partir des mesures pulsées sur les différents FinFET en fonction des dimensions des rubans. Nous pouvons noter que le FinFET 3 est celui qui présente le gate-lag le moins important, avec une valeur de 2%, tandis que la plus faible valeur de drain-lag est présentée par le FinFET 5 avec 16,1%. A l'inverse, le transistor qui présente les gate-lag et drain-lag les plus importants est le FinFET 1 avec des valeurs de 5% et 24%. On peut donc remarquer que les valeurs les plus faibles et les plus importantes de lag sont toutes obtenues sur des composants dont la longueur des rubans L est de 500 nm. Si on compare les FinFET 1 et les FinFET 3, on se rend compte que le seul paramètre qui différencie ces transistors est la distance entre deux rubans successifs. Les figures 4.24, 4.23 et 4.25 présentent respectivement les valeurs de gate-lag et de drain-lag en fonction des paramètres W , d et L .

TABLE 4.3 – Tableau récapitulatif des valeurs de lag déterminées à partir des mesures pulsées.

Topologie	W (nm)	d (nm)	L (nm)	Gate-lag (%)	Drain-lag (%)
FinFET1	100	50	500	5	24
FinFET2	100	50	250	3	22
FinFET3	100	100	500	29	17
FinFET4	100	100	250	3,0	16
FinFET5	150	150	500	2	16
FinFET6	150	150	250	4	20
Transistor Planaire				3	35

Cette représentation nous permet en outre de vérifier que le paramètre ayant le plus d'influence sur les deux valeurs de lag est effectivement la distance entre deux rubans. En effet, comme nous pouvons le voir sur la figure 4.23, les valeurs de lags les plus faibles sont observées lorsque d vaut 100 nm et la variation de ce paramètre, notamment lorsqu'on le diminue, entraîne la plus grande variation du lag associé. Les figures 4.24 et 4.25 nous montrent quant à elles que les variations des autres paramètres que sont la longueur et la largeur des rubans dans les gammes étudiées n'ont qu'une faible influence sur les valeurs de lag. On remarque aussi que, bien qu'aucune différence notable ne soit observée entre les FinFET et les transistors planaires au niveau du gate-lag, l'amélioration au niveau du drain-lag est quant à elle significative, avec des valeurs inférieures à 24% pour les FinFET contre plus de 35% pour les transistors planaires. Une étude menée sur la passivation des composants nous a montré que cette valeur particulièrement élevée observée sur les transistors planaires est due à l'utilisation d'une couche de passivation à base d' Al_2O_3 . Les valeurs de drain-lag déterminées sur les transistors planaires dont la première couche de passivation est en SiN sont en effet habituellement bien plus faibles.

Il apparaît donc que, de manière analogue à ce que nous avons précédemment observé sur les caractéristiques DC, les dimensions des rubans doivent être déterminées avec précautions afin de garantir les meilleures performances en termes de lag. L'utilisation de la passivation à base de SiN/ Al_2O_3 telle que celle utilisée pour la fabrication des MOS-HEMT étudiés dans le chapitre 3 à la place d'une passivation uniquement composé d' Al_2O_3 pourrait également permettre de les lags.

4.3.3 Caractérisations hyperfréquences

Les résultats présentés ci-après ont été obtenus de la même façon que ceux présentés précédemment sur les MOS-HEMT à recess de grille et implantés au fluor, c'est-à-dire de 250 MHz à 67 GHz à une tension de grille V_{GS} où la transconductance est maximale à $V_{DS} = 5$ V.

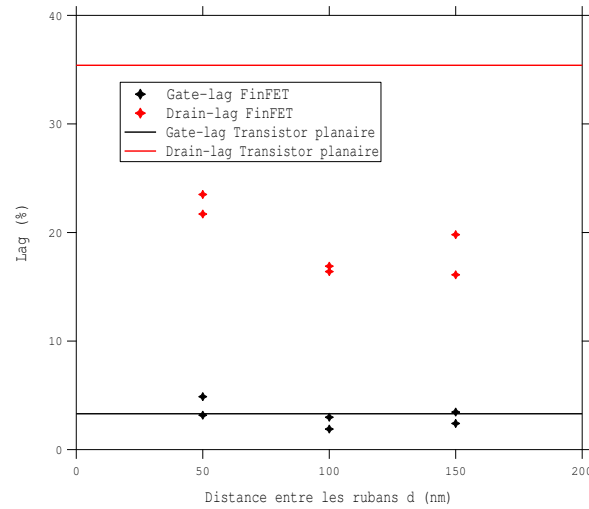


FIGURE 4.23 – Evolution du gate-lag et du drain-lag des FinFET en fonction de la distance entre deux rubans d.

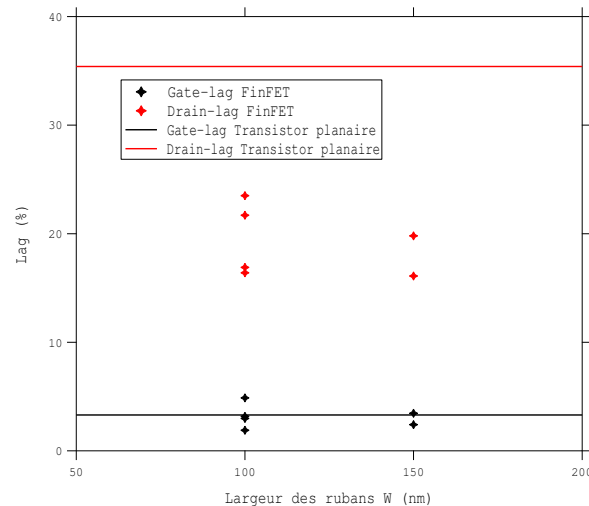


FIGURE 4.24 – Evolution du gate-lag et du drain-lag des FinFET en fonction de la largeur des rubans W.

La figure 4.26 représente l'évolution des gains en fonction de la fréquence pour les différentes topologies de FinFET et les transistors planaires. Nous pouvons ainsi remarquer que les FinFET 3 et 4 sont ceux qui présentent les performances fréquentielles les plus faibles de tous les FinFET étudiés, tandis que les meilleurs résultats sont observés sur les FinFET 1 et 2. Le tableau 4.4 recense les fréquences de coupures de gain en courant et en puissance f_T/f_{max} pour les différents types de FinFET étudiés.

Si l'on s'intéresse tout d'abord à l'évolution du f_t , on remarque que les FinFET 1 et 2 sont effectivement les transistors qui présentent les fréquences de coupure du gain en courant les plus élevées avec des valeurs de 26,5 et 29,0 GHz, respectivement, contre

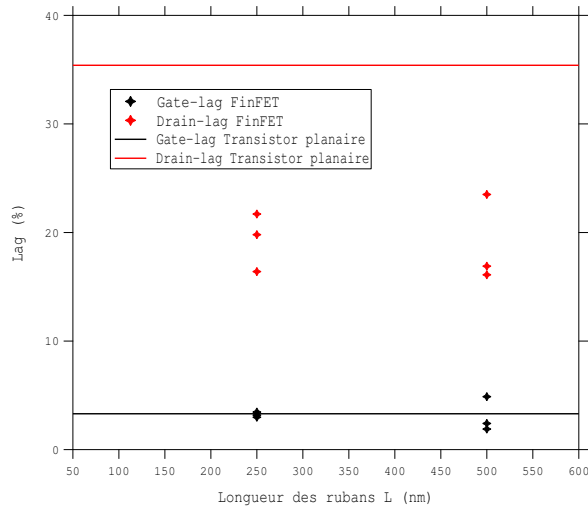


FIGURE 4.25 – Evolution du gate-lag et du drain-lag des FinFET en fonction de la longueur des rubans L.

des valeurs qui ne dépassent pas 24,0 GHz pour les autres FinFET et 28,3 GHz pour les transistors planaires.

Concernant l'évolution du f_{max} , les mêmes observations peuvent être faites, les FinFET 1 et 2 présentant là encore les fréquences de coupure du gain en puissance les plus importantes, respectivement de 61,3 et 60,0 GHz contre des valeurs comprises entre 45 et 58 GHz pour les autres FinFET et les transistors planaires.

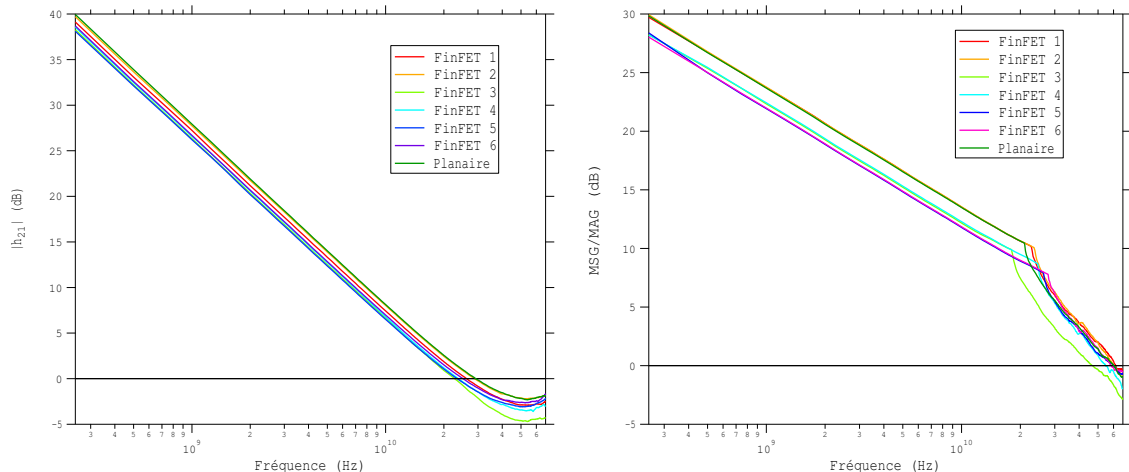


FIGURE 4.26 – Evolutions des gains en courant (gauche) et en puissance (droite) en fonction de la fréquence des différents FinFET déterminées à partir des mesures de paramètres S petit-signal.

Les valeurs de gain à 10 GHz varient de 11,8 dB pour les FinFET 5 à 13,5 dB pour les FinFET 1, 2 et et les transistors planaires.

TABLE 4.4 – Tableau récapitulatif des valeurs de f_t et f_{max} sur les différents FinFET.

Topologie	W (nm)	d (nm)	L (nm)	f_T (GHz)	f_{max} (GHz)
FinFET1	100	50	500	26,5	61,3
FinFET2	100	50	250	29,0	60,0
FinFET3	100	100	500	22,8	45,8
FinFET4	100	100	250	24,0	54,8
FinFET5	150	150	500	23,3	57,8
FinFET6	150	150	250	25,0	57,5
Planaire				28,3	57,3

Ces résultats semblent à priori confirmer l'amélioration des performances fréquentielles entraînées par la réalisation de FinFET, à condition, encore une fois, que les dimensions des rubans soient bien définies. Nous pouvons en effet noter que les FinFET 3 à 6 présentent des valeurs de f_t et de f_{max} légèrement moins importantes que le transistor planaire tandis que les transistors FinFET 1 et FinFET 2, qui sont ceux s'éloignant le plus du transistor planaire au niveau de la géométrie des rubans sont également ceux qui présentent les performances fréquentielles les plus importantes. Ces différences de valeurs de f_t/f_{max} entre les FinFET et les transistors planaires ne concordent cependant pas aux évolutions de transconductance observé lors des mesures DC statiques. La détermination des capacités intrinsèques C_{gs} et C_{gd} et de la conductance intrinsèque g_{ds} au travers des mesures de paramètres S petit-signal et l'élaboration d'un schéma équivalent au FinFET GaN nous permettrait en outre d'expliquer les différences de f_t/f_{max} entre tous les composants.

4.4 Conclusions

Dans ce chapitre, nous avons dans un premier temps présenté les travaux réalisés afin de mettre au point un procédé de fabrication de FinFET GaN, ces derniers présentant le double avantage de permettre l'augmentation de la tension de seuil, qui nous intéresse tout particulièrement pour la fabrication de HEMT normally-off, mais également d'améliorer les performances fréquentielles des composants. Le procédé de fabrication que nous avons ainsi établi repose sur le procédé de fabrication des HEMT planaires standards auquel des étapes ont été rajoutées et dont certaines ont été modifiées. La première étape que nous avons ajoutée au procédé de base est celle de définition des rubans dans l'espace source-drain du transistor. Etant données les dimensions des rubans, cette dernière nécessite de recourir à une étape de lithographie électronique qui est suivie d'une étape de gravure plasma. La suite du procédé de fabrication des FinFET consiste alors à déposer le métal de grille qui doit être déposé de manière la plus conforme possible afin de tirer parti des grilles latérales apportées par la structure FinFET. Les grilles des transistors planaires sont habituellement déposées par évaporation par faisceau d'électrons mais cette méthode ne permet pas un dépôt conforme. Nous avons donc procédé à un dépôt métallique en deux étapes : un premier dépôt fin (20 nm) de platine par pulvérisation, afin d'assurer la continuité du métal le long des rubans, puis un second dépôt par évaporation de platine et d'or afin de compléter la grille.

Dans la seconde partie du chapitre, nous avons présenté les résultats des différentes caractérisations réalisées sur les composants. Ainsi, la réalisation des FinFET à bien entraîné un décalage de la tension de seuil qui est d'autant plus important que la longueur des rubans L est importante. Il apparaît néanmoins que cette longueur L ne doit pas être trop importante au risque de réduire de manière trop importante la densité de courant. Le couple de dimensions (W , d) semble lui aussi avoir une influence sur les valeurs du courant $I_{DS,max}$, les transistors pour lesquels ces deux grandeurs sont égales présentant les valeurs les plus élevées. Les mesures DC nous ont également permis de mettre en évidence l'augmentation du $g_{m,max}$ entraînée par la fabrication des FinFET ainsi que l'élargissement du pic de transconductance. D'après l'analyse de résultats des mesures pulsées, le paramètre ayant la plus grande influence sur les valeurs de lag des composants semble être la distance entre deux rubans d . Enfin, les résultats de mesures de paramètres S petit-signal nous montrent quant à elles que les meilleures performances hyperfréquences sont obtenues sur les FinFET qui présentent les rubans les plus fins et les moins espacés (FinFET 1 et 2) mais qu'elles ne sont pas significativement meilleures que celles des transistors planaires.

D'après ces différentes observations, nous pouvons donc constater que toutes les dimensions jouent un rôle sur les performances des composants. Il semble toutefois que l'effet

de certains paramètres tel que la longueur des rubans soit plus important que les autres au niveau de la tension de seuil tandis que l'effet de la distance entre deux rubans est lui plus important au niveau du lag. Cette variation des effets en fonctions des paramètres étudiés nous montre à quel point le choix des dimensions des FinFET est crucial pour garantir les meilleures performances des composants.

La dispersion des résultats pour un type de transistor donné signifie en outre que les briques technologiques développées spécifiquement pour la fabrication des FinFET peuvent être encore optimisées afin d'aboutir à un procédé technologique fiable et robuste permettant d'obtenir des résultats plus uniformes. Rappelons également que tous les FinFET, indépendamment de leur design, ont été fabriqués en même temps. Ceci se traduit notamment par le fait que tous les rubans ont été gravés simultanément, ce qui a entraîné des profondeurs de gravures différentes en fonction des dimensions des rubans et plus particulièrement en fonction de leur largeur W et de la distance d qui les sépare.

Conclusion générale et perspectives

Le travail réalisé dans cette thèse et présenté dans ce manuscrit a consisté à développer des procédés technologiques permettant la fabrication de HEMT GaN normally-off pour des applications de puissance hyperfréquence. Cette thèse a été effectuée en collaboration entre l'équipe GaN du III-V Lab et le groupe PUISSANCE de l'Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN). Les travaux présentés ont été menés en suivant deux axes principaux :

Le premier a consisté à mettre au point de nouvelles briques technologique pour le développement d'un procédé de fabrication de HEMT normally-off reposant sur la combinaison d'un recess de grille, d'une implantation de fluor et d'un dépôt de diélectrique sous la grille. Les composants ainsi fabriqués sont nommés MOS-HEMT à recess de grille implantés. Le recess de grille est réalisée par un procédé de gravure de type Atomic Layer Etching (ALE) spécialement développé pour cette étape. La gravure ALE permet de graver de façon lente et très précise, ce qui présente un intérêt tout particulier pour les technologies HEMT GaN où les épaisseurs de matériaux sont de l'ordre du nanomètre. Pour les mêmes raisons, le procédé d'implantation de fluor que nous avons mis au point repose sur l'exposition du substrat à un plasma fluoré, rendant ainsi possible l'implantation d'espèces à de faibles profondeurs. Le nouveau procédé ainsi développé présente en outre l'avantage de permettre la fabrication conjointe de HEMT standards normally-on et de HEMT à recess de grille implantés, qui s'avèrent être normally-off. En effet, les résultats de caractérisations électriques présentés nous montrent que les différentes combinaisons de profondeur de recess et durée d'implantation réalisées ont toutes permis l'obtention de HEMT normally-off avec des tensions de seuils proches de +1,4 V et une densité de courant de drain maximale proche de 1 A/mm. Ces résultats se révèlent également être bien homogènes sur la totalité de la plaque. Nous avons toutefois observé lors des mesures aller-retour, un important phénomène d'hystérésis qui est vraisemblablement dû à la présence de la couche d' Al_2O_3 sous la grille qui entraînerait la capture d'électrons lorsque la grille est polarisée positivement. Les résultats de caractérisations hyperfréquences ne nous ont pas permis de déterminer une variante technologique significativement plus performante qu'une autre mais au vu de l'évolution des résultats en fonction des températures de recuits, il semble exister une température optimale, comprise entre 300 et 350°C, qui permettrait d'obtenir les meilleures performances RF sur les composants étudiés.

Le second axe de travail a porté sur le développement de la technologie FinFET GaN. Ainsi, nous avons mis au point de nouvelles briques technologiques nécessaires à la fabrication de tels composants telles que la réalisation de nano-rubans dans l'espace source-drain et le dépôt de la grille qui repose sur le dépôt de métal sur et entre les rubans. Ce type de composants n'ayant encore jamais été étudiés au laboratoire, nous avons mis au point différents designs dans le but d'étudier l'influence des différentes dimensions des rubans à savoir leur longueur, leur largeur et la distance entre deux rubans successifs. Les résultats de caractérisations nous ont montrés que toutes ces dimensions ont un effet, plus ou moins important, sur toutes les caractéristiques électriques des composants. Il nous est cependant difficile de conclure clairement quant à l'influence précise de chaque paramètre étant donnée la dispersion des résultats obtenus. Quoi qu'il en soit, l'obtention de FinFET normally-off est possible, comme nous l'avons observé sur certains composants présentant une tension de seuil de $+0,1$ V, ce qui représente un décalage d'environ $+3$ V par rapport aux HEMT planaires réalisés sur la même hétérostructure. Notons toutefois que les composants qui présentent les tensions de seuil les plus élevées sont également ceux qui présentent les densités de courant les plus faibles, l'influence positive de certaines dimensions telles que la longueur des rubans, sur un paramètre se répercutant de façon négative sur l'autre.

Au vu des résultats obtenus sur les différents types de transistors fabriqués durant cette thèse, nous pouvons dans un premier temps dire que les objectifs ont été en partie atteints via notamment l'obtention de HEMT normally-off présentés dans le chapitre 3 et ce, avec un procédé compatible avec le procédé de fabrication de composants normally-on. Nous pouvons toutefois proposer plusieurs pistes qui méritent d'être explorées afin d'obtenir des composants plus performants. Concernant les MOS-HEMT à recess de grille implantés, nous pouvons par exemple mentionner le fait que, bien que le procédé de gravure utilisé nous ait apporté satisfaction, il est encore possible de réduire davantage la vitesse de gravure. Il pourrait également être intéressant de coupler cette gravure ALE à un traitement post-gravure afin de réduire la densité de défauts générés par cette dernière. A ce jour, la plus grande amélioration que l'on pourrait apporter au procédé se situe toutefois au niveau de l'oxyde de grille. Il est en effet indispensable de réduire l'hystérésis que l'on a observé lors des différentes caractérisations. L'utilisation d'autres diélectriques en tant qu'isolant de grille et la mise au point de traitement de surface avant le dépôt du diélectrique pourrait par exemple être une solution à ce problème. Enfin, les récents développements dans le domaine de l'implantation par immersion plasma et la mise au point d'équipements dédiés pourraient également permettre de mieux contrôler l'étape d'implantation de fluor dans la barrière.

Le procédé de fabrication des FinFET n'en est encore qu'au début de son développement et il apparaît évident que de meilleures performances seront atteintes lorsque les

dimensions des nano-rubans seront optimisées pour nos hétérostructures. Il pourrait également être intéressant d'étudier l'effet de la profondeur des rubans sur les caractéristiques électriques des composants. L'utilisation d'un stack de passivation plus efficace, à base de SiN et d' Al_2O_3 permettrait également d'améliorer les composants.

Enfin, il pourrait être intéressant, lorsque les deux procédés seront totalement optimisés, d'étudier leur combinaison afin de combiner le caractère normally-off apporté par la technologie MOS-HEMT à recess de grille implanté et les performances hyperfréquences apportées par la technologie FinFET.

Bibliographie

- [1] Daniel FRITSCH, Heidemarie SCHMIDT et Marius GRUNDMANN, « Band-structure pseudopotential calculation of zinc-blende and wurtzite AlN, GaN, and InN », *in : Phys. Rev. B - Condens. Matter Mater. Phys.* 67.23 (2003), p. 1-13, ISSN : 1550235X, DOI : 10.1103/PhysRevB.67.235205.
- [2] Michele GOANO et al., « Band structure nonlocal pseudopotential calculation of the III-nitride wurtzite phase materials system. Part II. Ternary alloys Al_xGa_{1-x}N, In_xGa_{1-x}N, and In_xAl_{1-x}N », *in : J. Appl. Phys.* 88.11 (2000), p. 6476-6482, ISSN : 00218979, DOI : 10.1063/1.1309047.
- [3] A. JANOTTI, J. L. LYONS et C. G. VAN DE WALLE, « Hybrid functional calculations of native point defects in InN », *in : Phys. Status Solidi Appl. Mater. Sci.* 209.1 (2012), p. 65-70, ISSN : 18626300, DOI : 10.1002/pssa.201100216.
- [4] Stephen K. O'LEARY et al., « The sensitivity of the electron transport within bulk wurtzite indium nitride to variations in the crystal temperature, the doping concentration, and the non-parabolicity coefficient : An updated Monte Carlo analysis », *in : J. Mater. Sci. Mater. Electron.* 21.3 (2010), p. 218-230, ISSN : 09574522, DOI : 10.1007/s10854-009-9896-1.
- [5] Fabio BERNARDINI, Vincenzo FIORENTINI et David VANDERBILT, « Spontaneous polarization and piezoelectric constants of III-V nitrides », *in : Phys. Rev. B - Condens. Matter Mater. Phys.* 56.16 (1997), R10024-R10027, ISSN : 1550235X, DOI : 10.1103/PhysRevB.56.R10024, arXiv : 9705105 [cond-mat].
- [6] I. GRZEGORY et al., « III-V Nitrides-thermodynamics and crystal growth at high N₂ pressure », *in : J. Phys. Chem. Solids* 56.3-4 (1995), p. 639-647, ISSN : 00223697, DOI : 10.1016/0022-3697(94)00257-6.
- [7] M. LESZCZYNSKI et al., « The microstructure of gallium nitride monocrystals grown at high pressure », *in : J. Cryst. Growth* 169.2 (1996), p. 235-242, ISSN : 00220248, DOI : 10.1016/S0022-0248(96)00341-7.
- [8] I. GRZEGORY, « High nitrogen pressure growth of GaN crystals and their applications for epitaxy of GaN - Based structures », *in : Mater. Sci. Eng. B Solid-State Mater. Adv. Technol.* (2001), ISSN : 09215107, DOI : 10.1016/S0921-5107(00)00786-8.

-
- [9] Hisanori YAMANE et al., « Preparation of GaN Single Crystals Using a Na Flux », *in* : *Chem. Mater.* 9.2 (1997), p. 413-416, ISSN : 0897-4756, DOI : 10.1021/cm960494s.
- [10] Robert DWILIŃSKI et al., « Ammonothermal GaN substrates : Growth accomplishments and applications », *in* : *Phys. Status Solidi Appl. Mater. Sci.* 208.7 (2011), p. 1489-1493, ISSN : 18626300, DOI : 10.1002/pssa.201001196.
- [11] P. N. PRASAD, *Nanophotonics*, 1^{re} éd., Wiley, 2004, p. 418, ISBN : 0471649880.
- [12] O. AMBACHER et al., « Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGa_N/Ga_N heterostructures », *in* : *J. Appl. Phys.* 87.1 (2000), p. 334-344, ISSN : 00218979, DOI : 10.1063/1.371866.
- [13] I. P. SMORCHKOVA et al., « Polarization-induced charge and electron mobility in AlGa_N/Ga_N heterostructures grown by plasma-assisted molecular-beam epitaxy », *in* : *J. Appl. Phys.* 86.8 (1999), p. 4520-4526, ISSN : 00218979, DOI : 10.1063/1.371396.
- [14] J. P. IBBETSON et al., « Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors », *in* : *Appl. Phys. Lett.* 77.2 (2000), p. 250-252, ISSN : 00036951, DOI : 10.1063/1.126940.
- [15] Hiroshi AMANO et al., « P-type conduction in Mg-doped Ga_N treated with low-energy electron beam irradiation (LEEBI) », *in* : *Jpn. J. Appl. Phys.* 28.12 A (1989), p. L2112-L2114, ISSN : 13474065, DOI : 10.1143/JJAP.28.L2112.
- [16] Shuji NAKAMURA et al., « Thermal annealing effects on P-type Mg-doped Ga_N films », *in* : *Jpn. J. Appl. Phys.* 31.2 (1992), p. 139-142, ISSN : 13474065, DOI : 10.1143/JJAP.31.L139.
- [17] Shuji NAKAMURA et al., « High-brightness InGa_N blue, green and yellow light-emitting diodes with quantum well structures », *in* : *Jpn. J. Appl. Phys.* 34.7 (1995), p. L797-L799, ISSN : 13474065, DOI : 10.1143/JJAP.34.L797.
- [18] Mimura TAKASHI et al., « A New Field-Effect Transistor with Selectively Doped GaAs / n-Al_xGa_{1-x}As Heterojunctions », *in* : *Jpn. J. Appl. Phys.* 19 (1980).
- [19] D. DELAGEBEAUDEUF et al., « Two-dimensional electron gas m.e.s.f.e.t. structure », *in* : *Electron. Lett.* 16.17 (1980), p. 667-668, ISSN : 00135194, DOI : 10.1049/el:19800473.
- [20] R. DINGLE et al., « Electron mobilities in modulation-doped semiconductor heterojunction superlattices », *in* : *Appl. Phys. Lett.* 33.7 (1978), p. 665-667, ISSN : 00036951, DOI : 10.1063/1.90457.
- [21] Niori MEGUMI et Joshin KAZUKIYO, « A 20GHz High Electron Mobility Transistor Amplifier for Satellite Communications Megumu », *in* : *ISSCC*, 1983, p. 5-6.
- [22] Hanxuan LI et al., « Growth and characterization of InGaAs/InAlAs/InP high-electron-mobility transistor structures towards high channel conductivity », *in* : *J.*

-
- Cryst. Growth* 186.3 (1998), p. 309-314, ISSN : 00220248, DOI : 10.1016/S0022-0248(97)00523-X.
- [23] V. DROUOT et al., « High electron mobility in pseudomorphic modulation-doped In_{0.75}Ga_{0.25}As/InAlAs heterostructures achieved with growth interruptions », *in* : *J. Appl. Phys.* 77.4 (1995), p. 1810-1812, ISSN : 00218979, DOI : 10.1063/1.358879.
- [24] Frank F. FANG, « 2DEG in strained Si/SiGe heterostructures », *in* : *Surf. Sci.* 305.1-3 (1994), p. 301-306, ISSN : 00396028, DOI : 10.1016/0039-6028(94)90905-9.
- [25] Fabrizio ROCCAFORTE et al., « An overview of normally-off GaN-based high electron mobility transistors », *in* : *Materials (Basel)*. 12.10 (2019), p. 1-18, ISSN : 19961944, DOI : 10.3390/ma12101599.
- [26] Ezgi DOGMUS, Antoine BONNABEL et Hong LIN, *RF GaN MARKET : APPLICATIONS, PLAYERS, TECHNOLOGY AND SUBSTRATES 2019*, rapp. tech., 2019, p. 2019.
- [27] Liang HE et al., « The influence of Al composition in AlGaN back barrier layer on leakage current and dynamic R ON characteristics of AlGaN/GaN HEMTs », *in* : *Phys. Status Solidi Appl. Mater. Sci.* 214.8 (2017), ISSN : 18626319, DOI : 10.1002/pssa.201600824.
- [28] Jie LIU et al., « AlGaN/GaN/InGaN/GaN DH-HEMTs with an InGaN notch for enhanced carrier confinement », *in* : *IEEE Electron Device Lett.* 27.1 (2006), p. 10-12, ISSN : 07413106, DOI : 10.1109/LED.2005.861027.
- [29] T. PALACIOS et al., « AlGaN/GaN high electron mobility transistors with InGaN back-barriers », *in* : *IEEE Electron Device Lett.* 27.1 (2006), p. 13-15, ISSN : 0741-3106, DOI : 10.1109/LED.2005.860882, URL : <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1561440%7B%5C%7D0Ahttp://ieeexplore.ieee.org/stamp/stamp.jsp?tp=%7B%5C%7Darnumber=1561440>.
- [30] Miroslav MICOVIC et al., « GaN double heterojunction field effect transistor for microwave and millimeterwave power applications », *in* : *Tech. Dig. - Int. Electron Devices Meet. IEDM* (2004), p. 807-810, ISSN : 01631918, DOI : 10.1109/iedm.2004.1419298.
- [31] Giuseppe GRECO, Ferdinando IUCOLANO et Fabrizio ROCCAFORTE, « Ohmic contacts to Gallium Nitride materials », *in* : *Appl. Surf. Sci.* 383 (2016), p. 324-345, ISSN : 01694332, DOI : 10.1016/j.apsusc.2016.04.016, URL : <http://dx.doi.org/10.1016/j.apsusc.2016.04.016>.
- [32] Gengchang ZHU et al., « GaN metal-oxide-semiconductor high-electron-mobility transistors using thermally evaporated SiO as the gate dielectric », *in* : *Semicond. Sci. Technol.* 33.9 (2018), ISSN : 13616641, DOI : 10.1088/1361-6641/aad8d7.
- [33] Z. H. LIU et al., « Improved two-dimensional electron gas transport characteristics in AlGaN/GaN metal-insulator-semiconductor high electron mobility transistor with

-
- atomic layer-deposited Al₂O₃ as gate insulator », *in* : *Appl. Phys. Lett.* 95.22 (2009), p. 10-13, ISSN : 00036951, DOI : 10.1063/1.3268474.
- [34] Yue HAO et al., « High-performance microwave gate-recessed AlGa_N/AlN/GaN MOS-HEMT with 73% power-added efficiency », *in* : *IEEE Electron Device Lett.* 32.5 (2011), p. 626-628, ISSN : 07413106, DOI : 10.1109/LED.2011.2118736.
- [35] Yoshihiro UEOKA et al., « Improvement of breakdown voltage of vertical GaN p-n junction diode with Ga₂O₃ passivated by sputtering », *in* : *Jpn. J. Appl. Phys.* 57.7 (2018), ISSN : 13474065, DOI : 10.7567/JJAP.57.070302.
- [36] Nakazawa S. et al., « Fast Switching Performance by 20 A / 730 V AlGa_N/GaN MIS-HFET Using AlON Gate Insulator », *in* : *IEDM 2017*, 2017, p. 605-608, ISBN : 9781538635599.
- [37] Z. GAO, M. F. ROMERO et F. CALLE, « Thermal and Electrical Stability Assessment of AlGa_N/GaN Metal-Oxide-Semiconductor High-Electron Mobility Transistors (MOS-HEMTs) with HfO₂ Gate Dielectric », *in* : *IEEE Trans. Electron Devices* 65.8 (2018), p. 3142-3148, ISSN : 00189383, DOI : 10.1109/TED.2018.2842205.
- [38] Bruce M. GREEN et al., « Effect of surface passivation on the microwave characteristics of undoped AlGa_N/GaN HEMT's », *in* : *IEEE Electron Device Lett.* 21.6 (2000), p. 268-270, ISSN : 07413106, DOI : 10.1109/55.843146.
- [39] F ROMERO, M et al., « Effects of N₂ plasma pretreatment on the SiN passivation of AlGa_N/GaN HEMT », *in* : *IEEE Electron Device Letters* 29.3 (2008), p. 209-211, URL : <http://oa.upm.es/2020/>.
- [40] Joseph Jesudass FREEDSMAN, Toshiharu KUBO et Takashi EGAWA, « High drain current density e-mode Al₂O₃/AlGa_N/GaN MOS-HEMT on Si with Enhanced Power Device Figure-of-Merit ($4 \times 10^8 \text{ V}^2 \delta^{-1} \text{ cm}^{-2}$) », *in* : *IEEE Trans. Electron Devices* 60.10 (2013), p. 3079-3083, ISSN : 00189383, DOI : 10.1109/TED.2013.2276437.
- [41] M. J. WANG et al., « Diffusion mechanism and the thermal stability of fluorine ions in GaN after ion implantation », *in* : *J. Appl. Phys.* 105.8 (2009), p. 1-5, ISSN : 00218979, DOI : 10.1063/1.3106561.
- [42] Dong Seup LEE et al., « Nanowire channel InAlN/GaN HEMTs with high linearity of gm and f_T », *in* : *IEEE Electron Device Lett.* (2013), ISSN : 07413106, DOI : 10.1109/LED.2013.2261913.
- [43] Kai ZHANG et al., « High-Linearity AlGa_N / GaN FinFETs for », *in* : 38.5 (2017), p. 615-618.
- [44] Ting Ting LIU et al., « Influence of fin architectures on linearity characteristics of AlGa_N/GaN FinFETs », *in* : *Chinese Phys. B* 27.4 (2018), ISSN : 20583834, DOI : 10.1088/1674-1056/27/4/047307.
- [45] Weichuan XING et al., « Planar-Nanostrip-Channel InAlN/GaN HEMTs on Si with Improved g_m and f_T Linearity »,

-
- in : IEEE Electron Device Lett.* (2017), ISSN : 0741-3106, DOI : 10.1109/LED.2017.2689810.
- [46] M Sc Erdin TURE, *GaN-Based Tri-Gate High Electron Mobility Transistors*, rapp. tech. December, 2016.
- [47] Weichuan XING et al., « Planar Nanostrip-Channel Al₂O₃/InAlN/GaN MISHEMTs on Si with Improved Linearity », *in : IEEE Electron Device Letters* 39.7 (2018), p. 947-950, ISSN : 07413106, DOI : 10.1109/LED.2018.2837886.
- [48] Bin LU, Elison MATIOLI et Tomas PALACIOS, « Low leakage normally-off tri-gate GaN MISFET », *in : Proceedings of the International Symposium on Power Semiconductor Devices and ICs*, 2012, p. 33-36, ISBN : 9781457715952, DOI : 10.1109/ISPSD.2012.6229016.
- [49] Linh TRINH XUAN, « Transistors HEMT normally-off, normally-on compatibles de la technologie nitrure de gallium pour des applications de puissance hyperfréquence », thèse de doct., 2018.
- [50] Ronghua WANG et al., « Gate-recessed enhancement-mode InAlN/AlN/GaN HEMTs with 1.9-A/mm drain current density and 800-ms/mm transconductance », *in : IEEE Electron Device Lett.* (2010), ISSN : 07413106, DOI : 10.1109/LED.2010.2072771.
- [51] Ronghua WANG et al., « Enhancement-mode InAlN/AlN/GaN HEMTs with 10-12A/mm leakage current and 10-12 on/off current ratio », *in : IEEE Electron Device Lett.* 32.3 (2011), p. 309-311, ISSN : 07413106, DOI : 10.1109/LED.2010.2095494.
- [52] Ya Chao ZHANG et al., « High-performance InAlGa_N/Ga_N enhancement-mode MOS-HEMTs grown by pulsed metal organic chemical vapor deposition », *in : Chinese Phys. B* 28.1 (2019), ISSN : 20583834, DOI : 10.1088/1674-1056/28/1/018102.
- [53] M. BLAHO et al., « Technology and performance of E/D-mode InAlN/GaN HEMTs for mixed-signal electronics », *in : MIKON 2018 - 22nd Int. Microw. Radar Conf.* Institute of Electrical et Electronics Engineers Inc., 2018, p. 440-441, ISBN : 9788394942113, DOI : 10.23919/MIKON.2018.8405249.
- [54] Chong WANG et al., « Characteristics and threshold voltage model of GaN-based FinFET with recessed gate », *in : Chinese Phys. B* 27.9 (2018), ISSN : 20583834, DOI : 10.1088/1674-1056/27/9/097308.
- [55] Ling YANG et al., « High-Performance Enhancement-Mode AlGa_N/Ga_N High Electron Mobility Transistors Combined with TiN-Based Source Contact Ledge and Two-Step Fluorine Treatment », *in : IEEE Electron Device Lett.* 39.10 (2018), p. 1544-1547, ISSN : 07413106, DOI : 10.1109/LED.2018.2864135.
- [56] Ling YANG et al., « The Recessed Trapezoidal Groove Dual-Gate AlGa_N/Ga_N E-Mode Transistor by Using Depletion Enhancement Effect », *in : Phys. Status Solidi Appl. Mater. Sci.* 215.10 (2018), p. 1-6, ISSN : 18626319, DOI : 10.1002/pssa.201700550.

-
- [57] Qianlan HU et al., « Channel Engineering of Normally-Off AlGa_N / GaN MOS-HEMTs by Atomic Layer Etching and High- κ Dielectric », *in* : *IEEE Electron Device Lett.* PP.c (2018), p. 1, DOI : 10.1109/LED.2018.2856934.
- [58] Bin HOU et al., « 0.9-A/mm, 2.6-V Flash-Like Normally-Off Al₂O₃ /AlGa_N/GaN MIS-HEMTs Using Charge Trapping Technique », *in* : *IEEE Electron Device Lett.* 39.3 (2018), p. 397-400, ISSN : 07413106, DOI : 10.1109/LED.2018.2791441.
- [59] Clemens OSTERMAIER et al., « Ultrathin InAlN/AlN barrier HEMT with high performance in normally off operation », *in* : *IEEE Electron Device Lett.* 30.10 (2009), p. 1030-1032, ISSN : 07413106, DOI : 10.1109/LED.2009.2029532.
- [60] Yuechan KONG et al., « Monolithic Integration of E/D-Mode AlGa_N/GaN MIS-HEMTs », *in* : *IEEE Electron Device Lett.* 35.3 (2014), p. 336-338, ISSN : 0741-3106, DOI : 10.1109/LED.2013.2297433, URL : <http://ieeexplore.ieee.org/document/6714368/>.
- [61] Cen KONG et al., « Monolithically integrated E/D mode MIS GaN HEMTs and inverters on Si substrate », *in* : *2014 IEEE Int. Conf. Electron Devices Solid-State Circuits, EDSSC 2014*, Institute of Electrical et Electronics Engineers Inc., 2014, ISBN : 9781479923342, DOI : 10.1109/EDSSC.2014.7061276.
- [62] Sen HUANG et al., « O₃-sourced atomic layer deposition of high quality Al₂O₃ gate dielectric for normally-off GaN metal-insulator-semiconductor high-electron-mobility transistors », *in* : *Appl. Phys. Lett.* 106.3 (2015), ISSN : 00036951, DOI : 10.1063/1.4906601.
- [63] Z H ZAIDI et al., « Enhancement mode operation in AlInN/GaN (MIS)HEMTs on Si substrates using a fluorine implant », *in* : *Semicond. Sci. Technol.* 30.10 (2015), p. 105007, ISSN : 0268-1242, DOI : 10.1088/0268-1242/30/10/105007, URL : <http://iopscience.iop.org/0268-1242/30/10/105007?http://stacks.iop.org/0268-1242/30/i=10/a=105007?key=crossref.1752de5250f70e8192ec1cf96e7b6904>.
- [64] E TURE et al., « Performance and parasitic analysis of sub-micron scaled tri-gate AlGa_N/GaN HEMT design », *in* : *Eur. Microw. Week 2015*, 2015, p. 97-100, ISBN : 9782874870408, DOI : 10.1109/EuMIC.2015.7345077.
- [65] Z GAO, M F ROMERO et F CALLE, « Etching of AlGa_N / GaN HEMT structures by Cl₂-based ICP », *in* : *Spanish Conf. Electron Devices*, 2013, p. 29-32, ISBN : 978-1-4673-4668-9, DOI : 10.1109/CDE.2013.6481334, URL : <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=%7B%5C%7Darnumber=6481334%7B%5C%7Ddisnumber=6481319>.
- [66] J GRYGLEWICZ et al., « Reactive ion etching of GaN and AlGa_N/GaN assisted by Cl₂ /BCl₃ », *in* : *Mater. Sci.* 29.4 (2011), p. 260-265, DOI : 10.2478/s13536-011-0045-1, URL : <http://www.materialsscience.pwr.wroc.pl/>.

-
- [67] T. J. ANDERSON et al., « Characterization of recessed-gate AlGaN/GaN HEMTs as a function of etch depth », *in* : *J. Electron. Mater.* T. 39, 5, 2010, p. 478-481, DOI : 10.1007/s11664-010-1111-x.
- [68] Yanjun HAN et al., « Nonselective and smooth etching of GaN/AlGaN heterostructures by Cl₂ / Ar / BCl₃ inductively coupled plasmas », *in* : *J. Vac. Sci. Technol.* 22.407 (2004), DOI : 10.1116/1.1641054.
- [69] Subramaniam ARULKUMARAN et al., « Improved recess-ohmics in AlGaN/GaN high-electron-mobility transistors with AlN spacer layer on silicon substrate », *in* : *Phys. Status Solidi Curr. Top. Solid State Phys.* 7.10 (2010), p. 2412-2414, ISSN : 18626351, DOI : 10.1002/pssc.200983860.
- [70] D BUTTARI et al., « Origin of etch delay time in Cl₂ dry etching of AlGaN/GaN structures Origin of etch delay time in Cl₂ dry etching of AlGaN/GaN structures », *in* : *Cit. Appl. Phys. Lett* 83.4779 (2003), DOI : 10.1063/1.1632035, URL : <http://dx.doi.org/10.1063/1.1632035><http://apl.aip.org/resource/1/APPLAB/v83/i23><http://apl.aip.org/>http://apl.aip.org/about/about%7B%5C_%7Dthe%7B%5C_%7Djournal%20http://apl.aip.org/features/most%7B%5C_%7Ddownloaded%20http://apl.aip.org/authors%20http://dx.doi.org/10.1063/1.1632035%7B%5C_%7D0Aht.
- [71] Y JIANG, « GaN MOSFET with BCl₃-based dry recess process », *in* : (2013).
- [72] Ryota YAMANAKA et al., « Normally-off AlGaN / GaN high-electron-mobility transistor using digital etching technique Drain », *in* : *Japanse J. Appl. Phys.* 04 (2015), p. 8-11.
- [73] D BUTTARI et al., « Digital etching for highly reproducible low damage gate recessing on AlGaN/GaN HEMTs », *in* : *Proceedings. IEEE Lester Eastman Conf. High Perform. Devices* 7 (2002), DOI : 10.1109/LECHPD.2002.1146788.
- [74] Ye WANG et al., « High-performance normally-Off Al₂O₃ GaN MOSFET using a wet etching-based gate recess technique », *in* : *IEEE Electron Device Lett.* 34.11 (2013), p. 1370-1372, ISSN : 07413106, DOI : 10.1109/LED.2013.2279844.
- [75] R SOKOLOVSKIJ et al., « Precision Recess of AlGaN/GaN with Controllable Etching Rate Using ICP-RIE Oxidation and Wet Etching », *in* : *Procedia Eng.* T. 168, 2016, p. 1094-1097, DOI : 10.1016/j.proeng.2016.11.350, URL : www.sciencedirect.com.
- [76] Zhe XU et al., « Fabrication of normally off AlGaN/GaN MOSFET using a self-terminating gate recess etching technique », *in* : *IEEE Electron Device Lett.* 34.7 (2013), p. 855-857, ISSN : 07413106, DOI : 10.1109/LED.2013.2264494.
- [77] David KEOGH et al., « Digital etching of III-N materials using a two-step Ar/KOH technique », *in* : *J. Electron. Mater.* T. 35, 4, 2006, p. 771-776, DOI : 10.1007/s11664-006-0137-6.

-
- [78] Tomihito OHBA et al., « Atomic layer etching of GaN and AlGaN using directional plasma-enhanced approach », *in* : *Jpn. J. Appl. Phys.* (2017).
- [79] Christoffer KAUPPINEN et al., « Atomic layer etching of gallium nitride (0001) », *in* : *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.* 35.6 (2017).
- [80] Hiroyuki FUKUMIZU et al., « Atomic layer etching of AlGaN using Cl₂ and Ar gas chemistry and UV damage evaluation », *in* : *J. Vac. Sci. Technol. A* 37.2 (2019), p. 021002, ISSN : 0734-2101, DOI : 10.1116/1.5063795, URL : <http://dx.doi.org/10.1116/1.5063795>.
- [81] X SUN et al., « Impacts of Fluorine-treatment on E-mode AlGaN / GaN MOS-HEMTs », *in* : *IEDM 20141*, V, 2014, p. 438-441, ISBN : 9781479980017.
- [82] Cheng LIU et al., « Normally-off GaN MIS-HEMT with improved thermal stability in DC and dynamic performance », *in* : *Proc. Int. Symp. Power Semicond. Devices ICs 2015-June* (2015), p. 213-216, ISSN : 10636854, DOI : 10.1109/ISPSD.2015.7123427.
- [83] F. MEDJDOUB et al., « Effect of fluoride plasma treatment on InAlN/GaN HEMTs », *in* : *Electron. Lett.* 44.11 (2008), DOI : 10.1049/e1.
- [84] M. J. WANG et al., « Defect formation and annealing behaviors of fluorine-implanted GaN layers revealed by positron annihilation spectroscopy », *in* : *Appl. Phys. Lett.* 94.6 (2009), p. 2009-2011, ISSN : 00036951, DOI : 10.1063/1.3081019.
- [85] Ki Won KIM et al., « Charge trapping and interface characteristics in normally-off Al₂O₃/GaN-MOSFETs », *in* : *Microelectron. Eng.* 88.7 (2011), p. 1225-1227, ISSN : 01679317, DOI : 10.1016/j.mee.2011.03.116, URL : <http://dx.doi.org/10.1016/j.mee.2011.03.116>.
- [86] Qi ZHOU et al., « 7.6V threshold voltage high-performance normally-off Al₂O₃/GaN MOSFET achieved by interface charge engineering », *in* : *IEEE Electron Device Lett.* 37.2 (2016), p. 165-168, ISSN : 07413106, DOI : 10.1109/LED.2015.2511026.
- [87] Ting Hsiang HUNG et al., « Interface charge engineering for enhancement-mode GaN MISHEMTs », *in* : *IEEE Electron Device Lett.* 35.3 (2014), p. 312-314, ISSN : 07413106, DOI : 10.1109/LED.2013.2296659.
- [88] Ting Hsiang HUNG, Michele ESPOSTO et Siddharth RAJAN, « Interfacial charge effects on electron transport in III-Nitride metal insulator semiconductor transistors », *in* : *Appl. Phys. Lett.* 99.16 (2011), p. 1-4, ISSN : 00036951, DOI : 10.1063/1.3653805.
- [89] Toshiharu KUBO, Makoto MIYOSHI et Takashi EGAWA, « insulator / semiconductor interfaces of Post-deposition annealing effects on the insulator / semiconductor interfaces of Al₂O₃ / AlGaN / GaN structures on Si substrates », *in* : ().
- [90] Peter LAGGER et al., « Towards understanding the origin of threshold voltage instability of AlGaN/GaN MIS-HEMTs », *in* : *Tech. Dig. - Int. Electron Devices Meet. IEDM* (2012), p. 13.1.1-13.1.4, ISSN : 01631918, DOI : 10.1109/IEDM.2012.6479033.

-
- [91] Sen HUANG et al., « Threshold voltage instability in Al₂O₃/GaN/AlGa_{0.3}N/GaN metal-insulator-semiconductor high-electron mobility transistors », *in* : *Jpn. J. Appl. Phys.* 50.11 PART 1 (2011), ISSN : 00214922, DOI : 10.1143/JJAP.50.110202.
- [92] M. KANAMURA et al., « Suppression of threshold voltage shift for normally-Off GaN MIS-HEMT without post deposition annealing », *in* : *Proc. Int. Symp. Power Semicond. Devices ICs V* (2013), p. 411-414, ISSN : 10636854, DOI : 10.1109/ISPSD.2013.6694432.
- [93] Chihoko MIZUE et al., « Capacitance-voltage characteristics of Al₂O₃/AlGa_{0.3}N/ GaN structures and state density distribution at Al₂O₃/AlGa_{0.3}N interface », *in* : *Jpn. J. Appl. Phys.* 50.2 (2011), ISSN : 00214922, DOI : 10.1143/JJAP.50.021001.
- [94] Woojin CHOI et al., « Impacts of conduction band offset and border traps on V_{th} instability of gate recessed normally-off GaN MIS-HEMTs », *in* : *Proc. Int. Symp. Power Semicond. Devices ICs 2012* (2014), p. 370-373, ISSN : 10636854, DOI : 10.1109/ISPSD.2014.6856053.
- [95] Gaudenzio MENEGHESSO et al., « Reliability of power devices : Bias-induced threshold voltage instability and dielectric breakdown in GaN MIS-HEMTs », *in* : *Proc. 2016 IEEE Int. Integr. Reliab. Work. IIRW 2016 4000106310* (2017), p. 35-40, DOI : 10.1109/IIRW.2016.7904896.
- [96] P. KORDOŠ et al., « Investigation of trap effects in AlGa_{0.3}N/GaN field-effect transistors by temperature dependent threshold voltage analysis », *in* : *Appl. Phys. Lett.* 92.15 (2008), p. 1-4, ISSN : 00036951, DOI : 10.1063/1.2911727.
- [97] Alain AGBOTON et al., « Emphasis on trap activity in AlGa_{0.3}N/GaN HEMTs through temperature dependent pulsed I-V characteristics », *in* : *EPJ Appl. Phys.* 64.2 (2013), 20101-p1-20101-p3, ISSN : 12860050, DOI : 10.1051/epjap/2013130455.
- [98] Chad M. HUARD et al., « Origins of aspect ratio dependent etching in plasma materials processing », *in* : 051302 (2016), p. 1-1, DOI : 10.1109/plasma.2016.7534365.

Résumé

Dans le cadre de la fabrication de dispositifs hyperfréquences, la fonctionnalité normally-off des HEMT GaN présente deux avantages : elle permet d'une part de s'affranchir de la source de tension négative pour les circuits intégrés monolithiques hyperfréquences (Monolithic Microwave Integrated Circuit – MMIC) et, d'autre part, la co-intégration de transistors normally-on et normally-off permettrait de réaliser des circuits logiques. Ce manuscrit présente les travaux réalisés dans l'objectif de développer un procédé de fabrication de HEMT normally-off compatible avec la fabrication de normally-on, permettant ainsi leur co-intégration au sein de la même puce. Pour cela, deux technologies ont été étudiées : l'une basée sur la combinaison d'un recess de grille, d'une implantation de fluor sous la grille et d'un dépôt d'oxyde de grille et l'autre basée sur la nanostructuration de l'espace source-drain afin des réaliser des FinFET GaN. La première technologie nous a permis d'obtenir des transistors normally-off présentant une tension de seuil d'environ 1,4 V associée à une densité de courant maximale de 1 A/mm. Ces composants, bien que présentant des résultats satisfaisants, souffrent toutefois d'effets de pièges importants qui sont probablement dus à l'oxyde de grille et qui doivent absolument être réduits. La technologie FinFET était quant à elle une première au laboratoire et nécessite encore de nombreuses optimisations. Les transistors ainsi fabriqués présentent cependant des résultats prometteurs avec des topologies entraînant un décalage de la tension de seuil de + 3 V par rapport aux transistors de références et d'autres permettant de quasiment doubler la densité de courant de drain.

Abstract

In the context of high frequency devices fabrication, normally-off HEMT offer two benefits : they eliminate the need of a negative voltage supply in the case of Monolithic Microwave Integrated Circuit (MMIC) and would allow the fabrication of logic circuits if integrated with normally-on HEMT. This manuscript exposes the work performed to develop a normally-off HEMT fabrication process compatible with the fabrication of normally-on transistors. To achieve this, we studied two technologies : one based on the combination of a gate recess, fluorine implantation under the gate and gate-oxide deposition while the other is based on the nanostructuration of the source-drain region in order to make GaN FinFET. The first process gave us normally-off transistors with threshold voltage of 1,4 V associated with current density of about 1 A/mm. However, these devices suffer from significant trap effects that are probably due to the gate oxide. The FinFET technology we have developed, as a first trial, still needs a lot of optimization but showed promising results. While a topology lead to an increase of the threshold voltage of about + 3 V compared to the reference, an other one lead to a doubling of the current density.