



HAL
open science

Optimisation de la lecture et du contrôle de CCD à très bas bruit pour l'expérience DAMIC

Latifé Khalil

► **To cite this version:**

Latifé Khalil. Optimisation de la lecture et du contrôle de CCD à très bas bruit pour l'expérience DAMIC. Electronique. Sorbonne Université, 2020. Français. NNT : 2020SORUS336 . tel-03384070

HAL Id: tel-03384070

<https://theses.hal.science/tel-03384070v1>

Submitted on 18 Oct 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



École doctorale n° 560 : Sciences de la Terre et Environnement et
Physique de l'Univers, Paris

Doctorat Sorbonne Université

THÈSE

pour obtenir le grade de docteur délivré par

Université Pierre et Marie Curie

Spécialité doctorale “Électronique et Instrumentation”

présentée et soutenue publiquement par

Latifé KHALIL

le 16 juin 2020

Optimisation de la lecture et du contrôle de CCD à très Bas bruit pour l'expérience DAMIC

Jury :

M. Antoine Letessier-Selvon,	Directeur de recherche, LPNHE	Directeur de thèse
M. Hervé Lebbolo,	Ingénieur de recherche, LPNHE	Co-encadrant de thèse
M. Olivier Deligny,	Chargé de recherche, IJCLab	Rapporteur
Mme. Corinne Bérat,	Directrice de recherche, LPSC	Rapporteur
M. Gregorio Bernardi,	Directeur de recherche, LPNHE	Président du jury
Mme. Mariangela Settimo,	Chargée de recherche, SUBATECH	Examineur
M. Hassan Aboushady,	Maitre de conférence, LIP6	Examineur

Laboratoire De Physique Nucléaire et Haute Énergie
UMR CNRS 7585, Paris, France

ABSTRACT

NUMERUS astrophysics observations indicate the existence of great quantity of invisible mass in the universe. This mass is known as dark matter, and its nature remains undefined, which makes it one of the major challenges of modern physics. This thesis is devoted to the development of read-out electronic in the framework of the DAMIC experiment, a direct dark matter detector operating in the SNOLAB underground laboratory in Canada . My research work took place within the LPNHE which participates in this collaboration. A CCD reading and control system is installed at the LPNHE which aims to study the behavior of this detector : it consists of electronic boards designed at the LPNHE by a group of engineers. One of these boards supports an ASIC reading called ASPIC or its upgrade CROC, which amplifies the output signal delivered by the CCD with a programmable gain, and allows this signal to be read in two modes : Clamp & sample and Dual Slope Integrator. Another board supporting three control ASICs called CABAC is capable of providing all the clocks and bias voltages necessary for operating the CCD. This FPGA-controlled system also contains an ADC which digitizes the signal provided by the CCD in order to be processed by computer. The objective of this thesis is to study the performance of these ASICS as well as studying the results obtained for the characterization of CCDs.

RÉSUMÉ

DE nombreuses observations astrophysiques indiquent l'existence de grandes quantités de masse invisible dans l'Univers, appelée matière noire, dont la nature reste indéfinie, ce qui en fait l'un des enjeux majeurs de la physique moderne. Cette thèse s'inscrit dans le contexte de la détection directe de matière noire et ce dans le cadre de l'expérience DAMIC qui est installé au laboratoire souterrain de SnoLab (Canada). Mon travail de recherche s'est déroulé au sein du LPNHE qui participe à cette collaboration. Un système de lecture et de contrôle de CCD installé au LPNHE, a pour but d'étudier le comportement de ce détecteur. : il est constitué de cartes électroniques conçues au LPNHE. L'une de ces cartes supporte un ASIC de lecture appelé ASPIC ou CROC selon les versions, lequel amplifie le signal de sortie de CCD avec un gain programmable, ce permet de lire ce signal avec deux modes de lecture : Clamp & Sample et Dual Slope Integrator. Une autre carte supportant trois ASICs de contrôle appelés CABAC est capable de fournir toutes les horloges et les tensions de polarisation nécessaires au fonctionnement du CCD. Ce système contrôlé par un FPGA contient également un ADC qui permet de numériser le signal fourni par le CCD afin de le traiter par ordinateur. L'objectif de cette thèse est d'étudier les performances de ces ASICs ainsi que les résultats obtenus pour la caractérisation des CCD.

Table des matières

Abstract	iii
Résumé	iv
Table des matières	v
Liste des figures	vii
Liste des tableaux	xiii
Introduction	1
1 La Matière Noire	3
1.1 L'existence de la matière noire	4
1.2 La nature de la matière noire	5
1.3 Les candidats de la matière noire	6
1.4 Méthodes de recherche	9
1.5 Expérience DAMIC (DARk Matter In CCD)	16
1.6 Références	19
2 Charge Coupled Device	22
2.1 Histoire du CCD	23
2.2 Architecture du CCD	23
2.3 Principe de fonctionnement d'un CCD	24
2.4 Les sources de bruit du CCD	28
2.5 Avantages et inconvénients	32
2.6 Le prototype LBNL CCD	32
2.7 Skipper CCD	36
2.8 Références	41
3 Les ASICs de lecture et de contrôle	42
3.1 ASPIC : Analog Signal Processing IC	42
3.2 CCD ReadOut Chip (CROC)	49
3.3 Clocks and Biases ASIC for CCD (CABAC)	51
3.4 Conclusion	56
3.5 Références	57
4 Numérisation du signal vidéo	58
4.1 Conversion analogique numérique	58
4.2 La sur-échantillonnage	63
4.3 L'ADC rapide dans DAMIC-M	65
4.4 Références	70

5 Bancs de tests à chaud	71
5.1 Les performances de l'ASPIC	71
5.2 La caractérisation du CROC	85
5.3 Les performances du CABAC	88
5.4 Caractérisation de l'ADC Rapide	95
5.5 Conclusion	103
5.6 Références	103
6 Banc de tests à froid	104
6.1 Banc de test au LPNHE	104
6.2 Pilotage du CCD UW4207	116
6.3 Conclusion	132
6.4 Références	132
Conclusion	133
A Glossaire	I
B Cartes Électroniques	II

Liste des figures

1.1	courbe de rotation obtenue par Verra Rubin et dont la forme est plate comparée à la courbe prévue par la loi de Newton	5
1.2	la simulation numérique montre les différents types de matière noire : CDM présente la meilleure observation et il est constitué de petites structures comme les filaments cosmiques; HDM possède une structure à grande échelle à cause d'une vitesse relativiste; WDM, cas intermédiaire entre HDM et CDM possède des filaments plats.	6
1.3	les candidats de la matière noire en fonction de leur masse relique et leur section efficace d'interaction (σ_{int}) avec la matière ordinaire. Les couleurs rouge, rose et bleue représentent respectivement HDM, WDM et CDM	7
1.4	schéma qui montre les différentes méthodes de détection de la matière noire. X et q font respectivement référence aux particules de matière noire et du modèle standard	9
1.5	l'accélérateur LHC dans un anneau de 27 Km de circonférence au CERN	10
1.6	un des télescopes de H.E.S.S sur les hauts plateaux Khomas en Namibie qui permettent la détection indirecte de matière noire	11
1.7	détection directe d'un recul nucléaire induit par une diffusion élastique d'un WIMP sur un noyau de la cible	12
1.8	graphe montrant les différentes expériences de détection de matière noire : en exposant la compilation des limites d'une section efficace du WIMP-nucleus vs m_x , indépendantes du spin (lignes pleines) et des indices de signaux WIMP (contours fermés) provenant des expériences actuelles de la matière noire et des projections (en pointillés) pour les expériences planifiées de détection directe de la matière noire. Les longs tirets orange représentent la limite maximale qui ne pourra pas être dépassée du fait des collisions induites par les neutrinos.	13
1.9	schéma d'une détection à liquide noble à deux et visualisation des signaux enregistrés par l'interaction WIMP. Le rapport S2 / S1 est utilisé pour distinguer le recul électronique du recul nucléaire	15
1.10	Modulation annuelle du taux d'événements total (signal et bruit de fond) sur 7 ans dans le détecteur NaI de l'expérience DAMA[10] pour deux intervalles en énergie ($2-4 \text{ keV}_{ee}$ et $2-6 \text{ keV}_{ee}$).	16
1.11	l'expérience DAMIC à SnoLab : (a) CCD est démonté sur un support de silicium et connecté à un câble en Kapton; (b) la boîte contenant le CCD ainsi que le module en cuivre; (c) un récipient à vide contient le détecteur ainsi que le blindage interne (d) ce récipient qui est entouré par un blindage externe en plomb est placé dans une boîte pour maintenir ce dernier; (e) l'architecture du détecteur entier en visualisant un blindage de polyéthylène de 42 cm qui entoure tout le système	18

2.1	un exemple d'une structure d'un CCD dopé n, en visualisant ses couches ainsi le Buried Channel qui fait quelques μm	24
2.2	l'interaction d'un photon avec le silicium génère une paire électron-trou, où l'électron se déplace vers la bande de valence et le trou vers la bande de conduction sachant que l'énergie moyenne nécessaire pour produire une paire e-h et $E_{e-h} = 3,65\text{eV}$	25
2.3	un schéma du CCD dopé n, montrant ses couches (Électrode, l'oxyde, Buried Channel dopé p et le substrat en silicium dopé n). En appliquant une tension ($V_2 > V_1$) les électrons seront attirés vers le substrat, et les trous vers l'électrode	26
2.4	(a) Les registres verticaux sont séparés par des « Channel Stops » pour empêcher la propagation de la charge entre les colonnes adjacentes. Les charges se déplacent verticalement, ligne par ligne, pour arriver au registre horizontal, et ensuite horizontalement vers l'amplificateur de sortie du CCD; (b) Après l'accumulation des charges dans le puit de potentiel, on applique un système d'horloges pour les déplacer vers la sortie du CCD	27
2.5	les régions de génération du courant d'obscurité dans le CCD : l'interface $\text{Si} - \text{SiO}_2$, la surface appauvrie dans le « Potentiel Well ».	28
2.6	luminescence d'amplificateur dans une image capturée par un CCD	30
2.7	image montrant la luminescence des horloges d'un registre horizontal en haut et en bas de l'image.	31
2.8	image contenant une luminescence en deux pixels	31
2.9	coupe transversale d'un pixel dans un CCD dopé n en visualisant ses couches : substrat en silicium dopé n, un Buried channel dopé p, un électrode et un oxyde de silicium	33
2.10	CCDs LBNL utilisés dans DAMIC au LPNHE	34
2.11	variation du bruit en fonction de la fréquence en changeant la température qui montre une bonne approximation du bruit 1/f qui égale à $1\mu\text{V}$ à 1 Hz et du bruit blanc qui fait $15\text{nV}/\sqrt{\text{Hz}}$ sachant que l'impédance de sortie est de $4\text{k}\Omega$	35
2.12	la configuration optimale des horloges verticales et horizontales d'un LBNL CCD 4k x 2k appliqué au LPNHE	36
2.13	Architecture du CCD qui montre les quatre régions de lecture (les quatre amplificateurs de lecture) U1, U2, L1 et L2 ainsi tous les horloges et les tensions de polarisation nécessaires pour piloter un Skipper CCD 6k x 6k	37
2.14	la différence entre la lecture conventionnelle et la lecture Skipper durant la même durée. Chaque pixel est mesuré N fois d'une façon non destructive. Ce qui réduit l'effet de bruit 1/f dans le Skipper CCD	38
2.15	la distribution des charges dans un Skipper CCD avec 4000 échantillons par pixel, où le bruit de lecture est équivalent à $0.0722 \pm 0.05\bar{e}$	39
2.16	Résolution d'une charge en fonction du temps de lecture d'un prototype Skipper CCD. Les points noirs montrent l'écart type de la distribution des pixels en fonction d'un nombre moyenne des échantillons. La ligne rouge est le résultat théorique prévu en supposant que les échantillons sont indépendants et non corrélés ($\sigma = \sigma_1/\sqrt{N}$).	39

2.17	schéma simplifié de l'étage de sortie d'un Skipper CCD, où H1, H2 et H3 sont les horloges horizontales, MR est un switch qui permet de réinitialiser le « sense node » à la tension « Vref », M1 est le MOSFET dans la « source follower », le « Floating gate » qui permet la lecture non destructive dans le « sense node » et RL est la résistance de charge de sortie.	40
3.1	Photolithographie du circuit ASPIC : dimension $2.7 \times 3.8 \text{mm}^2$, épaisseur 250 μm	44
3.2	Synoptique d'un canal d'ASPIC. Switch de clamp, étage d'entrée avec ses capacités commutées, amplificateur inverseur, Résistances commutées pour le choix de constante de temps, switches du CDS, intégrateurs. Switch permettant la sélection du mode C & S ou DSI	45
3.3	Synoptique d'une implémentation du mode Clamp & Sample. La capacité de l'amplificateur de sortie du CCD et le switch de Reset, le condensateur de liaison et le switch de Clamp	46
3.4	: Sortie du CCD, entrée d'ASPIC et signaux de cadencement d'une partie de lecture en mode Clamp & Sample	46
3.5	Synoptique d'une implémentation du mode DSI. Le signal injecté vers les intégrateurs durant RU (-) est l'opposé de celui injecté durant RD (+).	47
3.6	Cadencement des horloges et des signaux du mode DSI	48
3.7	La carte supportant ASPIC, le Flex et la carte équipée du connecteur de sortie	49
3.8	Synoptique d'un seul canal de CROC en exposant les différents blocs de configuration	50
3.9	Photolithographie du circuit CROC, surface $6 \times 3.8 \text{mm}^2$	50
3.10	: Photolithographie du circuit CABAC	51
3.11	Synoptique de la génération des horloges, en passant par des DAC 8 bits	52
3.12	circuit de capteur de température implémenté dans CABAC	53
3.13	carte électronique supportant 3 CABAC	54
3.14	la sortie du CABAC au démarrage de l'alimentation de la carte montre des valeurs négatives de VOG [-7V]	54
3.15	les valeurs de « OG » positives fournissent du CABAC après l'ajout des diodes	55
3.16	la courbe de fonctionnement du Vsub obtenue par CABAC en fonction de Vss par rapport à Vsub prévu qui montre une limitation	56
3.17	boitier du support QFN du CABAC	56
4.1	l'erreur DNL en montrant la différence entre le cas idéal (rouge) et le signal mesuré (bleu) : l'erreur DNL de - 0.5 LSB et de +1 LSB pour deux pas différents.	60
4.2	l'INL d'un ADC en montrant la différence entre le cas idéal (rouge) et le signal mesuré (bleu) : l'erreur DNL de + 0.5 LSB et de +1 LSB pour deux pas différents.	61
4.3	l'erreur de l'offset qui montre un décalage entre la courbe de fonction de transfert idéale et celle du réelle	61
4.4	spectre d'un signal de sortie de l'ADC en visualisant les raies harmoniques et la raie fondamentale	63
4.5	la différence entre la distribution du spectre de bruit de quantification avec la fréquence donnée par le théorème de Shannon et la fréquence de suréchantillonnage, montre que le spectre de bruit est beaucoup plus petit dans la partie qui nous intéresse (région rouge) en appliquant le suréchantillonnage	64

4.6	l'ADC LTC 2387-18 en visualisant les signaux entrants et sortants : entrée différentielle entre 0V et 4.096 V, les signaux de contrôle, les interface LVDS et les tensions de référence et d'alimentation	66
4.7	circuit typique de pilotage d'entrée de LTC2387-18 en ajoutant un buffer	66
4.8	l'INL idéale du LTC2387-18 qui montre une erreur $< \pm 0.3$ LSB	67
4.9	la carte d'évaluation supportant un ADC	68
4.10	la carte d'évaluation supportant quatre ADCs	69
5.1	Banc test de l'ASPIC contenant la carte de l'ADC connectée d'un part à la carte de l'ASPIC et d'autre part au FPGA	72
5.2	la calibration de la carte beb3 sur les huit canaux, en visualisant la sortie en fonction de l'entrée. L'ADC est symétrique et ces valeurs appartiennent à l'intervalle [-140 000 : 140 000 ADU]	73
5.3	le séquençement des horloges de l'acquisition de l'ASPIC	73
5.4	le gain mesuré en fonction de capacité de configuration en injectant à l'entrée une pulse d'amplitude 300 mV	75
5.5	la configuration du gain sur 4 bits en fonction de capacité C0, C1, C2 et C3 et une capacité série Cf.	75
5.6	Sortie de L'ADC en mode Clamp & sample en variant le gain	77
5.7	Sortie de L'ADC sans connectant l'ASPIC, en variant la fréquence de lecture	78
5.8	Sortie de L'ADC en mode Clamp & sample en fonction la fréquence en reconnectant l'ASPIC	79
5.9	variation du bruit (en μ V) à l'entrée de l'ASPIC en fonction du gain	80
5.10	bruit froid vs bruit chaud à l'entrée de l'ASPIC en fonction du gain dans les deux canaux : on gagne 10 μ V en diminuant la température	81
5.11	(a) transistor MOS en montrant la source du bruit $\overline{i_d^2} = \overline{i_{th}^2} + \overline{i_{1/f}^2}$; (b) la courbe du bruit qui montre que le bruit est constitué d'un bruit thermique (grande partie) et bruit 1/f	81
5.12	variation du bruit en fonction du gain de l'amplificateur dans le mode DSI en fixant la constante de temps RC ~ 1000 et le temps d'intégration : 2 μ s [orange], 15 μ s [bleu] et 20 μ s [gris] : le bruit diminue en augmentant le temps d'intégration du signal pour obtenir un bruit égale à 2.8 μ V avec un $T_{int} = 20 \mu$ s, au-delà le signal sature	82
5.13	Sortie de l'ASPIC, en visualisant le Vout+ et le Vout- en mode DSI : l'intégration de signal (en phases RU et RD) est visible, entre ces deux phases le signal est isolé	82
5.14	Le résidu de non-linéarité de l'ASPIC pour des différents configurations	83
5.15	Fuite au niveau de capacité de configuration du gain dans L'ASPIC	84
5.16	carte de test du CROC à chaud	85
5.17	Gain mesuré en fonction du gain à 6 bits sur les quatre canaux, montre un bon accord entre le gain mesuré et le gain configuré sur 6 bit	86
5.18	l'amplitude du signal du sortie en fonction de l'offset dans différents cas du gain	87
5.19	bruit à l'entrée du CROC en μ V en fonction du gain dans les quatre canaux montre une grande amélioration par rapport à l'ASPIC	87
5.20	le filtre passe bande appliqué sur les biais afin de mesurer la variation du bruit	88
5.21	synoptique de la carte 3 CABACs qui montre comment les biais et les horloges sont fabriqués à partir les trois CABACs en passant par des ampli op.	90

5.22 les horloges horizontales fabriquées par la carte CABAC nécessaires pour piloter un LBNL CCD.	91
5.23 les horloges verticales fournissent par les CABACs.	91
5.24 génération de VSUB durant la phase Erase	93
5.25 banc de test pour mesurer la diaphonie entre les horloges et les tensions de polarisation	93
5.26 Diaphonie entre les horloges et la tension de polarisation OD	94
5.27 la diaphonie entre la tension RD et les horloges séries n'est pas mesurable comme elle est très petite.	95
5.28 le diagramme du banc de test de l'ADC rapide	95
5.29 synoptique d'une carte d'évaluation du LTC2387-18 contenant 4 ADC	96
5.30 les sorties des quatre ADCs en ADU en fonction du temps	97
5.31 la transformée de Fourier des quatre ADCs en fonction de fréquence ne montre aucune harmonique importante ce qui confirme le bonne performance des ADCs	98
5.32 distribution normale de quatre ADCs, les paramètres correspondent l'équation 5.2	98
5.33 linéarité et INL du DAC sans connecter l'ADC	99
5.34 linéarité et l'INL des quatre ADCs montre un performance proche de celle de la fiche technique LTC2387, qui donne en moyenne une INL de 1.7 ADU sauf dans les derniers cas qui donne un INL de 4.7 AD, ce comportement bruité est du à la proximité des régulateurs de tension	101
5.35 l'entrée vs sortie de l'ADC montre un bon comportement de l'ADC	102
5.36 distribution normale de sortie de l'ADC montre que ce dernier est centré à zero	102
6.1 synoptique du système de pilotage et de lecture du CCD au LPNHE : l'ASPIC et le CCD dans le cryostat, les autres cartes électroniques sont à l'extérieur, une pompe et un Cryocooler sont connectés au cryostat pour le refroidir	105
6.2 Vue générale du cryostat en visualisant le vanne, la remise de pression, les emplacements électroniques, une sonde de pression, le doigt froid qui connecte le Cryocooler au cryostat et les connecteurs Sub_D 50 points pour la connexion des cartes électroniques.	106
6.3 (a) les emplacements électroniques; (b) une carte électronique pour mesurer la température est connectée au cryostat par un des emplacements	107
6.4 (a) et (b) : la boîte connectée au doigt froid dans le cryostat; (c) : le support du CCD où on connecte la carte frame adapter du CCD	107
6.5 (a) le CCD 4k x 2k dans une boîte en aluminium (b) : les boîtes de deux CCDs sont placées sur une plaque de cuivre pour la connexion au froid	108
6.6 (a) la pompe à de type Agilent TPS-compact; (b) la pompe est connectée au cryostat via une tube d'une vingtaine de centimètres	109
6.7 jauge connectée au Cryostat LPNHE, munie d'un port Ethernet pour envoyer les données à l'ordinateur	110
6.8 suivi de la pression avec un CCD branché	110
6.9 (a) compresseur utilisé vue en avant; (b) vue arrière du compresseur; (c) les tubes connectés au cryostat par le doigt froid	110
6.10 (a) une carte électronique est connectée au cryostat pour mesurer la température; (b) Lake shore Stycast ES-2-20 cryogenic epoxy pour surveiller la température mesurée	111

6.11 un suivi de la température du cryostat vide	112
6.12 l'architecture d'un FPGA du Cyclone III	113
6.13 Carte d'évaluation de FPGA Cyclone III en visualisant tous les éléments implémentés sur cette carte	114
6.14 l'interface graphique de l'application LabVIEW, en montrant les diverses fonctions appliquées dans le pilotage du CCD	114
6.15 résultats de traitement d'un signal de la sortie du CCD affiché dans LabVIEW	115
6.16 le banc de test du CCD au LPNHE : (a) les cartes électroniques à l'extérieur du cryostat sont connectées à la plaque en cuivre; (b) ces cartes sont connectées au cryostat par un connecteur Sub_ D 50points; (c) le cryostat est également lié à la plaque en cuivre par des rubans en cuivre pour créer un seul plan de masse	118
6.17 cadencement des horloges horizontales et verticales du CCD ainsi que les commandes de configuration de l'ASPIC, qui montre la seule rotation qui permet au CCD de détecter des particules	119
6.18 première image détectée par le canal 1 du CCD qui montre les particules cosmiques détectées	119
6.19 Partie d'une première image prise par le CCD dans DAMIC avec des pixels identifiés par leur position sur les axes x et y et un axe de couleur représentant les valeurs des charges en ADU	120
6.20 image du canal 0 du CCD qui montre une oscillation périodique et ne présente aucune détection des particules	120
6.21 Sortie analogique du CCD amplifiée et intégrée par l'ASPIC durant les deux phases RU et RD, entre ces deux phases le signal est isolé durant une période de 1.5 μ s	121
6.22 partie de l'image de la sortie du CCD avec un bruit de $\sim 77 \bar{e}$	122
6.23 FFT de deux images prises par le CCD avant et après le déplacement des électroniques dans la salle blanche qui montre une diminution importante du bruit comme le pic à 20 kHz étant réduit	122
6.24 FFT du système de lecture en isolant le CCD	123
6.25 en augmentant le gain de l'amplificateur, le bruit du CCD diminue (60 \bar{e} \rightarrow 24 \bar{e}) sachant que la constante de temps ($RC \sim 4\mu$ s) et le temps d'intégration ($T_{in} \sim 2\mu$ s) sont fixes	124
6.26 la sortie numérique du CCD en ADU et sa FFT dans trois cas [gain d'amplificateur] : 1, 4 et 7 montrent que le pic à 20 kHz est le même dans tous les cas.	125
6.27 variation du bruit en fonction de la constante de temps RC	126
6.28 la sortie du CCD et ses FFT en fonction du RC	126
6.29 variation du bruit en fonction de la constante de temps	127
6.30 la sortie numérisée du CCD et son FFT en fonction de constante de temps .	127
6.31 image prise par le CCD avec la configuration idéale	128
6.32 section de l'image idéale	129
6.33 image prise par le CCD en mode transparent	130
6.34 section de l'image en mode transparent	130
6.35 les différents types de particules détectées par le CCD	131

Liste des tableaux

2.1	les gammes des valeurs des tensions de polarisations, des horloges verticales et horizontales ainsi que les valeurs de largeur des horloges recommandées par la fiche technique du CCD dans les phases de lecture, d'« Erase », d'exposition et de purge	36
5.1	les valeurs du gain idéal en fonction de gain configuré obtenues par simulation (capacité de configuration)	74
5.2	Cas 1 : Filtre RC : $R1 = 1 \text{ M}\Omega$, $C1 = 1 \text{ nF}$ $\sim Fc = 160 \text{ Hz}$	88
5.3	Cas 2 : Filtre RC : $R1 = 1 \text{ M}\Omega$, $C1 = 10 \text{ nF}$ $\sim Fc = 16 \text{ Hz}$	89
5.4	Cas 3 : Filtre RC : $R1 = 1 \text{ M}\Omega$, $C1 = 100 \text{ nF}$ $\sim Fc = 1.6 \text{ Hz}$:	89
5.5	Les horloges horizontales et ses correspondances de la tension dans CABAC	90
5.6	Les valeurs des horloges horizontales selon la fiche technique du CCD	90
5.7	Les horloges verticales et leurs correspondances de la tension dans CABAC	91
5.8	Les valeurs des horloges verticales selon la fiche technique du CCD	92
5.9	les biais et les correspondances de tension dans CABAC	92
5.10	Les valeurs biais selon la fiche technique du CCD	92
5.11	les valeurs du bruit des quatre canaux avec ou sans le buffer	96
5.12	la configuration de l'ADC	99
5.13	les paramètres de caractérisation de l'ADC	102

INTRODUCTION

DÉPUIS des dizaines d'années, grâce aux observations cosmologiques et astrophysiques, les chercheurs ont constaté que notre Univers est constitué en minorité de matière ordinaire comme les étoiles, le gaz et les nuages de poussières, et majoritairement d'une matière invisible et inconnue appelée « matière noire ». La nature de cette dernière reste le mystère le plus tenace de l'astrophysique et de la physique subatomique, puisqu'il s'agit d'une matière neutre de charge qui n'interagit pas avec la force électromagnétique. Le WIMP (Weakly Interacting Massive Particles) est une classe privilégiée de particules candidates constituant la matière noire.

D'énormes progrès ont été accomplis à la fin du XXème siècle, mais jusqu'à aujourd'hui les astrophysiciens ne connaissent pas grand-chose sur cette matière noire. De nombreuses expériences ont été menées pour apporter des éléments de réponse aux questions de la nature de la matière noire. Plusieurs stratégies sont mises en place au sein de ces expériences afin de détecter ces particules : la production dans les collisionneurs, la détection indirecte ou la détection directe. Dans le cadre de cette thèse, nous nous consacrerons plus particulièrement à cette dernière stratégie qui est employée par l'expérience DAMIC (Dark Matter In CCD).

L'expérience DAMIC consiste à détecter directement la matière noire en utilisant le silicium de CCD (Charge Coupled Device) comme cible pour la diffusion élastique du WIMP. La masse relativement faible du noyau de silicium ainsi que le faible bruit de lecture du détecteur font du CCD un instrument idéal pour mesurer les reculs nucléaires des WIMPs massifs (< 10 GeV) avec un seuil d'énergie ~ 50 eV (pour DAMIC).

Cette thèse concerne la partie électronique de l'expérience DAMIC au LPNHE, à savoir les études des ASICs de lecture et de contrôle de CCD ainsi que les études du comportement de CCD avec le système de lecture actuel au LPNHE. Cette thèse comporte six chapitres.

Le **premier chapitre** traite de la problématique de la **matière noire**, en présentant les observations de son existence, la classification selon la vitesse et la masse ainsi que les principaux candidats issus de la physique des particules. Ensuite, nous discuterons de différentes méthodes de détection de particules de la matière noire : la production dans les collisionneurs, la détection indirecte (rayon gamma, neutrinos et rayons cosmiques chargés). Le cœur du chapitre sera consacré à la description de la détection directe, pour laquelle nous détaillerons les chambres à projection temporelle et les détecteurs à scintillation solide. La conclusion de ce premier chapitre fournira une vue générale sur l'expérience DAMIC.

Le **deuxième chapitre** présente le détecteur utilisé dans DAMIC : **Charge Coupled Device (CCD)**. Tout d'abord, nous y présenterons une brève introduction à l'histoire du CCD avant de décrire son architecture. L'élément principal du CCD est le substrat en silicium où s'effectue l'éventuelle interaction des particules de la matière noire. Ensuite, nous détaillerons le fonctionnement du CCD qui se décompose en 4 étapes principales : détection des particules par ionisation, accumulation des charges, transfert des charges vers le circuit de lecture et enfin numérisation de l'information. Le cœur de ce chapitre se chargera

de présenter les différentes sources de bruit du CCD qui peuvent limiter sa performance comme le courant d'obscurité, le bruit de grenaille, le bruit de lecture, le bruit de reset, le bruit de transfert de charge, la non-uniformité de sensibilité du capteur et les divers types de luminescence. Nous décrirons ensuite les prototypes du CCD LBNL utilisés dans DAMIC avant de conclure avec une brève présentation du Skipper CCD et de la nouvelle technique de lecture non-destructive.

Le **troisième chapitre** regroupe les circuits intégrés dédiés au contrôle et à la lecture du CCD. Ces ASICs ont été conçus dans le cadre de l'expérience LSST, mais ils ont été utilisés par DAMIC, lors de tests de CCD. **L'ASPIC**, qui est un ASIC de lecture, traite huit canaux de sortie de CCD. Ce circuit comprend un amplificateur avec un gain programmable et utilise la technique du « double échantillonnage corrélé (CDS) », via deux modes de lecture : le « Dual Slope Integration (DSI) » ou le « Clamp and Sample ». L'amplificateur convertit également le signal asymétrique en une sortie différentielle. Par ailleurs, cet ASIC n'étant pas optimal pour l'expérience DAMIC, l'équipe électronique de laboratoires LPNHE/LAL a conçu un nouvel ASIC appelé **CROC**, qui contient quatre canaux de lecture indépendants, un gain programmable pouvant atteindre 128 et implémente les mêmes modes de lecture (CDS) que l'ASPIC, mais avec un bruit plus faible. Un autre circuit intégré appelé **CABAC** (Clocks And Biases ASIC for CCDs) est utilisé pour le contrôle du CCD : il fournit toutes les tensions de polarisation et les horloges nécessaires.

Le signal de sortie de CROC sera numérisé pour qu'on puisse le traiter par ordinateur. C'est pourquoi la **conversion analogique numérique** est traitée dans le **quatrième chapitre**. Nous commencerons par son principe de fonctionnement, ses caractéristiques principales qui peuvent être : statistiques telles que l'erreur différentielle de non-linéarité (DNL), l'erreur intégrale de non linéarité (INL), l'erreur d'offset, l'erreur de gain statique, l'erreur de code manquant ou dynamiques comme le rapport signal sur bruit, la distorsion d'harmonique totale, le rapport signal sur bruit avec distorsion et le nombre effectif de bits. Toutes ces caractéristiques nous aident à évaluer l'ADC utilisé dans le système de lecture du CCD. Ensuite, nous présenterons la technique du suréchantillonnage, puisqu'il est prévu de l'appliquer dans notre système. Enfin, nous conclurons ce chapitre avec une présentation de l'ADC rapide utilisé dans DAMIC-M et des cartes d'évaluation créées au LPNHE.

Le **cinquième chapitre** sera consacré à l'étude des résultats de **caractérisation des ASICs** implémentés dans le système de fonctionnement du CCD. Nous tenterons de caractériser le gain, le bruit, la linéarité de l'ASPIC, puisque ce dernier agit directement sur la performance du CCD. Ensuite, nous évaluerons la première version du CROC. Enfin, nous présenterons les performances du CABAC en étudiant le bruit de tensions de polarisation et en exposant les résultats obtenus par le CABAC tels que les horloges horizontales et verticales ainsi que les tensions de polarisation nécessaires pour piloter un CCD LBNL.

Le dernier et **sixième chapitre** de cette thèse étudiera la **performance du CCD** avec notre système de lecture et de contrôle. Nous y étudierons la variations du bruit avec les paramètres de lecture comme le gain de l'amplificateur implémenté dans l'ASPIC, le temps d'intégration et la constante de temps (RC) intégrés dans le mode DSI ainsi que le comportement de CCD en mode Clamp & Sample. Les prochaines étapes prévues dans l'expérience DAMIC-M seront présentées en fin de ce chapitre.

Chapitre 1

La Matière Noire

Sommaire

1.1 L'existence de la matière noire	4
1.2 La nature de la matière noire	5
1.3 Les candidats de la matière noire	6
1.3.1 Les WIMPs (Weakly Interacting Massive Particles)	6
1.3.2 Les Neutrinos	8
1.3.3 Le neutrino stérile	8
1.3.4 L'axion	8
1.4 Méthodes de recherche	9
1.4.1 Production de la matière noire en accélérateurs	9
1.4.2 Détection indirecte de la matière noire	10
1.4.3 Détection directe	12
1.5 Expérience DAMIC (DARK MATTER IN CCD)	16
1.5.1 DAMIC à SnoLab	17
1.5.2 DAMIC-M	18
1.6 Références	19

LA révolution de la cosmologie de précision de la dernière décennie a révélé qu'environ un quart de notre univers est constitué de matière noire[18]. Plusieurs observations astrophysiques et cosmologiques indiquent la présence d'une grande quantité de matière invisible dans l'Univers. Malgré les preuves de l'existence de cette matière, la nature de cette dernière reste encore indéfinie, étant donné que ses particules ont échappé à toute détection¹.

Selon les résultats de la mission Planck et d'après le modèle standard cosmologique, l'univers contient 4.9% de matière visible ordinaire dite baryonique qui constitue les étoiles, les nuages de gaz et les planètes et 95.1% de constituants invisibles dont 26.8% seraient de la matière noire. Contrairement à la matière ordinaire, les matières non-baryoniques ne

1. Pour plus de détail visiter : <https://science.nasa.gov/astrophysics/focus-areas/what-is-dark-energy>

sont pas sensibles à la force électromagnétique. Elles ne peuvent donc être ni absorbées ni reflétées par la lumière, ce qui la rend extrêmement difficile à détecter.

Dans ce chapitre, nous rappelons l'histoire de la découverte de la matière noire, sa classification selon sa vitesse et sa masse pour mieux comprendre sa nature. Nous nous focaliserons ensuite sur les méthodes de recherche directe et indirecte de cet élément, puis nous présenterons l'expérience DAMIC.

1.1 L'existence de la matière noire

En 1933, en étudiant les vitesses des galaxies de l'amas de Coma (ensemble de galaxies liées gravitationnellement), l'astronome Fritz Zwicky a découvert, en ayant recours à la loi de Newton, que la masse totale de cet amas n'était pas suffisante pour créer la gravité nécessaire au maintien de l'ensemble de l'amas. Il a estimé que les amas étaient assez denses et concentrés pour être à l'équilibre, entre les mouvements désordonnés (énergie cinétique) et les forces gravitationnelles (énergie potentielle). Cela lui a permis de constater que la vitesse des amas était très grande par rapport à celle prévue (un écart d'un facteur ~ 500 entre la masse totale nécessaire à l'équilibre gravitationnel de l'amas de galaxies et la masse inférée par la luminosité de ces galaxies). Zwicky en a déduit qu'une masse manquante invisible et non lumineuse était présente dans l'amas [29].

Toute cette histoire de masse manquante et de matière noire est restée mystérieuse pendant quelques décennies. Plus tard, dans les années 1970, l'astronome Vera C. Rubin [23] a étudié la rotation de galaxies spirales et, en analysant les spectres de ces dernières, elle a trouvé le même problème lié à la masse de l'amas de galaxies évoqué par Zwicky. Ce fut elle qui inventa la première l'expression « matière noire » [24].

En traçant la courbe de rotation qui décrit la vitesse des étoiles en fonction de leur distance au centre de galaxie, elle a remarqué que cette courbe avait une forme plate et que les particules aux frontières des galaxies se déplaçaient à peu près à la même vitesse que les particules proches du centre, ce qui était contradictoire avec la loi de Newton, comme le montre la figure 1.1².

Selon la loi gravitationnelle de Newton, plus les particules sont éloignées du centre, plus leur vitesse est faible, ce qui est confirmé par l'équation de la vitesse de rotation suivante :

$$v_c(r) = \sqrt{\frac{GM(r)}{r}} \quad (1.1)$$

G y est la constante de gravitation et r est la distance entre une particule et la masse M(r) incluse dans la sphère de rayon r. L'observation de Rubin où $v_c(r)$ tend vers une constante apporte la preuve indiscutable qu'au sein des galaxies se pose aussi le problème de la masse manquante.

D'après tous ces indices, nous pouvons déduire que dans l'Univers, il manque de la masse et qu'elle doit provenir d'une hypothétique « matière noire ». Jusqu'à présent, nous ne connaissons pas les caractéristiques exactes de la matière noire (nature, masse, interactions). Un grand nombre d'expériences ont lieu dans ce domaine de recherche.

2. <https://blogs.letemps.ch/pierre-brisson/2019/11/23/lenigme-de-la-matiere-noire/>

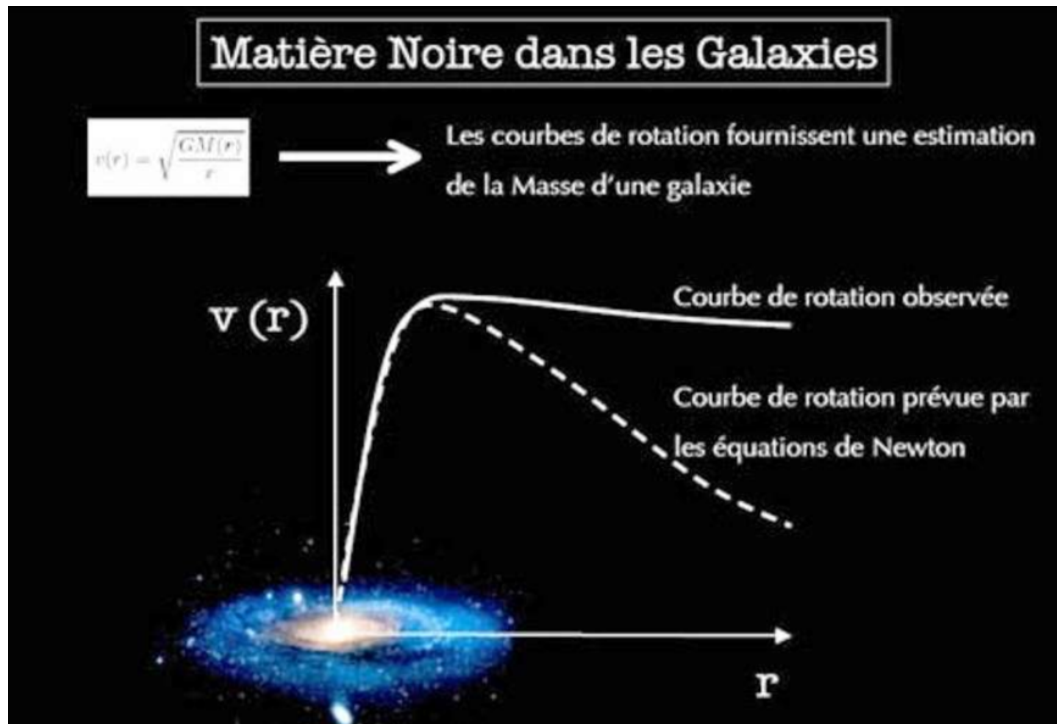


FIGURE 1.1 – courbe de rotation obtenue par Vera Rubin et dont la forme est plate comparée à la courbe prévue par la loi de Newton

1.2 La nature de la matière noire

Bien que la nature de la matière noire soit encore inconnue aujourd'hui, en appliquant des analyses et des simulations de la formation de l'Univers, les astronomes l'ont classifiée selon la masse et la vitesse des particules, ce qui a donné trois modèles [14] : « matière noire chaude », « matière noire froide » et « matière noire tiède ». Ces trois modèles ont une forte influence sur la structure de l'Univers à petites, moyennes et grandes échelles, comme l'indique la figure 1.2³.

La matière noire chaude (HDM pour Hot Dark Matter) est une particule légère avec une masse : $m \ll 1\text{KeV}$, rapide et relativiste au moment de son découplage avec le plasma primitif. Les neutrinos sont considérés comme le principal candidat de HDM, car ils interagissent faiblement avec la matière ordinaire. Le problème principal de la théorie HDM est que la vitesse élevée des particules ne permet pas aux petites fluctuations de densité de survivre, car elles sont balayées par le vent de particules rapides. Comme le montre la figure 1.2, un Univers dominé par la HDM n'a pas de petites structures (ni galaxies, ni clusters).

La matière noire froide (CDM pour Cold Dark Matter)[20] correspond aux particules non-relativistes au moment de leur découplage. Elles sont lourdes avec une masse « $m \gg 10\text{KeV}$ » et lentes et possèdent une faible interaction avec la matière ordinaire et le rayonnement électromagnétique. Le principe de cette théorie repose sur le « Bottom-up », selon lequel les grandes structures se forment par la fusion de structures plus petites. La matière noire froide est considérée comme le modèle standard, car elle présente la meilleure observation à grande échelle de l'Univers. Le WIMP (Weakly Interacting Massive Particles) est considéré comme le candidat le plus connu de la matière noire froide.

3. <https://www.planetastronomy.com/special/2018-special/15jun/Combes-SAF.htm>

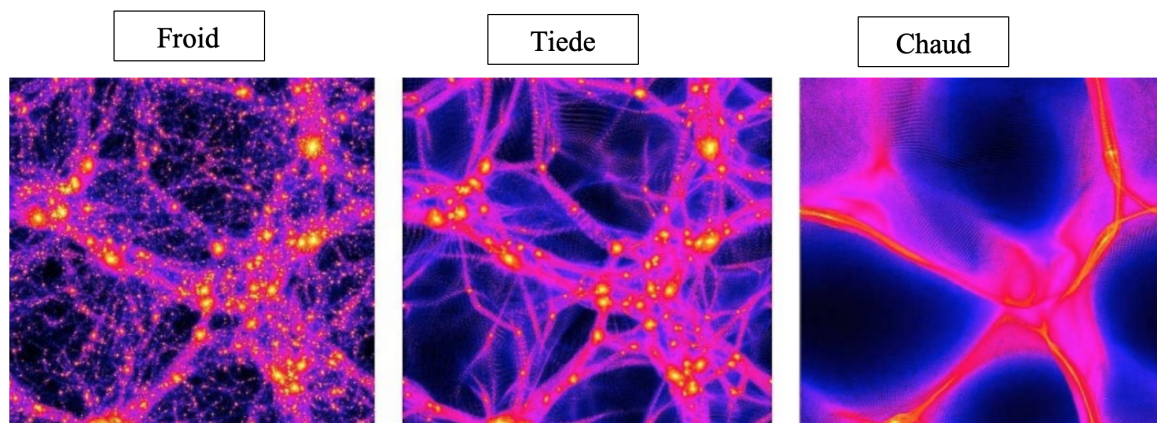


FIGURE 1.2 – la simulation numérique montre les différents types de matière noire : CDM présente la meilleure observation et il est constitué de petites structures comme les filaments cosmiques; HDM possède une structure à grande échelle à cause d’une vitesse relativiste; WDM, cas intermédiaire entre HDM et CDM possède des filaments plats.

Nous avons besoin de la matière noire froide pour former les galaxies et les amas de galaxies qui s’agglomèrent autour des halos de matière noire.

Une autre famille de la matière noire est la matière noire tiède (WDM pour Warm Dark Matter) [11] : il s’agit d’un modèle intermédiaire qui se compose de particules quasi-relativistes de masse « $1\text{KeV} < m < 10\text{KeV}$ ». Également, on peut dire que la matière noire est un mélange de matière noire chaude et froide [11]. Cependant, ce modèle pose des problèmes pour la formation des étoiles primordiales.

1.3 Les candidats de la matière noire

D’après les propriétés et la classification astrophysique de la matière noire, plusieurs candidats ont été mis en avant par la physique des particules en se basant sur les conditions suivantes [22] :

- la stabilité avec un temps de vie dépassant l’age de l’Univers actuel
- la faible interaction avec les radiations électromagnétiques.
- la matière non-baryonique, c’est-à-dire ne portant ni de charges électriques ni de charges colorées (neutre de charges).
- la densité relique correspondant à celle mesurée par la matière noire : $\Omega_c h^2 = 0.1188 \pm 0.0010$.

Alors que certains candidats illustrés dans la figure 1.3[8] sont envisagées juste pour résoudre les problèmes de la matière noire, d’autres émergent naturellement des solutions face aux problèmes de physiques des particules.

1.3.1 Les WIMPs (Weakly Interacting Massive Particles)

La matière noire est composée d’une nouvelle classe de particules massives (entre quelques GeV et 100 TeV) à faible interaction, le WIMP a été proposé en 1977 par Steve Weinberg. Les WIMPs sont considérées parmi les principaux candidats des particules, qui

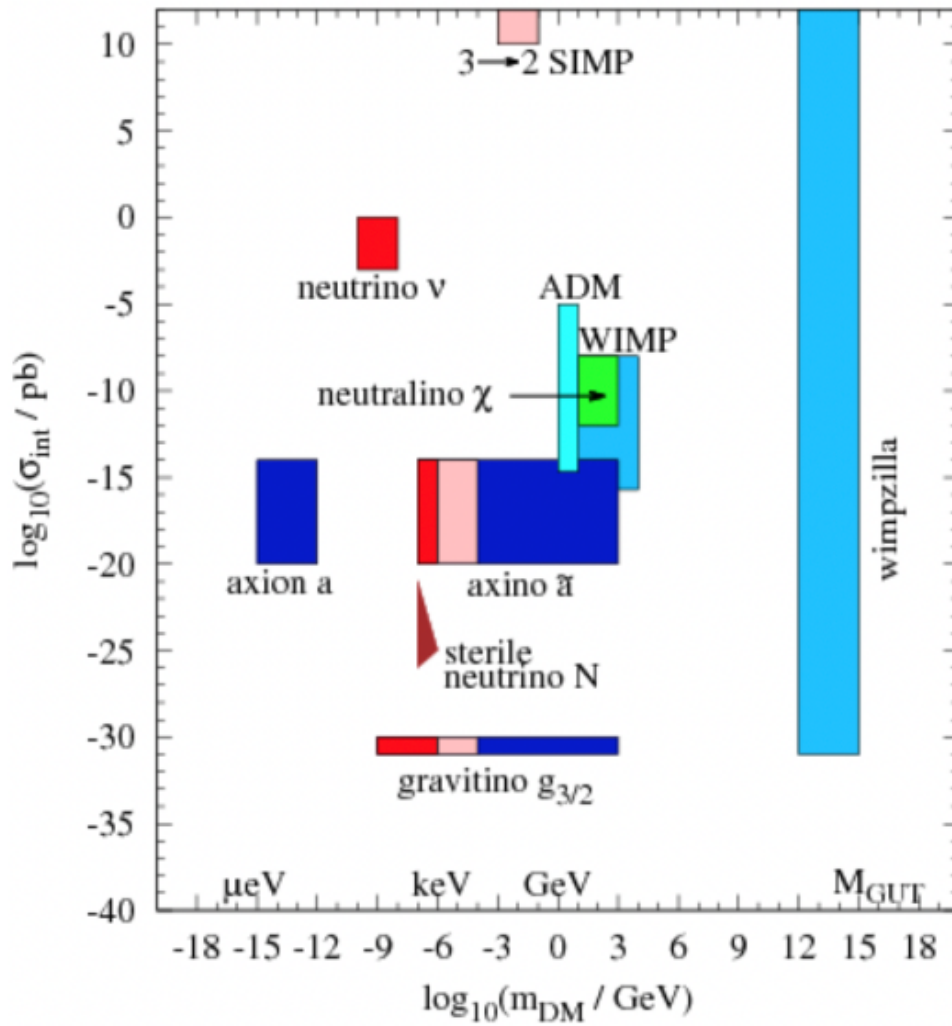


FIGURE 1.3 – les candidats de la matière noire en fonction de leur masse relicue et leur section efficace d'interaction (σ_{int}) avec la matière ordinaire. Les couleurs rouge, rose et bleue représentent respectivement HDM, WDM et CDM

permettent d'expliquer la nature de la matière noire, car elles présentent une bonne densité relique. Ainsi, elles sont détectables expérimentalement. Ces particules nécessitent une grande énergie pour être produites[14].

Le WIMP n'est pas une particule élémentaire spécifique, mais il s'agit d'une large classe de particules possibles. Les particules qui appartiennent à cette classe sont subatomiques, neutres de charge, 10 à 1000 fois plus lourdes que le proton⁴. Les particules considérées comme des candidats du WIMP sont :

- les particules super-symétriques comme le neutralino (\tilde{X}_1^0)[17],
- la particule de Kaluza-Klein qui est considérée comme une extension du modèle standard de la physique de particules
- la particule du petit Higgs, qui est une particule lourde.

Les premières particules WIMPs ont été produites lors de l'ère radiative, leur flux sur Terre est égal à ~ 100000 particules/sec/cm².

1.3.2 Les Neutrinos

Les neutrinos actifs sont des particules neutres à interaction faible, mais ils sont très légers, ce qui les distingue des WIMPs. En 1980, les neutrinos ont été considérés comme des candidats de la matière noire. Cependant, aujourd'hui, ils ne constitueraient que 5% de la matière noire, car leur masse est très petite.

En effet, la densité des neutrinos est connue et donnée par le modèle Big-Bang chaud, lequel suggère que cette densité est proche de celle du photon et peut être mesurée avec une grande précision⁵. Le neutrino est considéré comme faisant partie de la famille chaude de la matière noire grâce à sa vitesse relativiste qui empêche les fluctuations de matière à petite échelle de se concentrer sous l'effet de leur propre gravité [14].

1.3.3 Le neutrino stérile

Le neutrino stérile est une particule plus massive que le neutrino standard et il est ajouté à plusieurs extensions du modèle standard. Sa masse reste inconnue mais elle peut être comprise entre 3 et 10 keV, ce qui explique son absence dans l'accélérateur comme ce dernier ne détecte que les particules massives (de l'ordre du GeV au TeV). Le neutrino stérile peut être considéré comme un lepton lourd. Les neutrinos stériles sont des particules qui n'interagissent avec les autres particules ordinaires que par gravité [15].

1.3.4 L'axion

L'axion est une particule stable, neutre de charge, 10^{17} fois plus légère que le WIMP qui réagit faiblement avec la matière ordinaire, sa masse étant de l'ordre de 10^{-6} eV. Malgré leur faible masse, les axions peuvent former de la matière noire froide dans le cadre d'une production non thermique dans l'Univers primordial. Les physiciens suggèrent que l'axion serait un boson.

4. Tous ces critères ne correspondent pas aux particules qui appartiennent au modèle standard

5. <http://lapth.cnrs.fr/pg-nomin/taillet/>; section matière noire

1.4 Méthodes de recherche

Il existe trois stratégies pour chercher la matière noire : la production de matière noire par l'énergie dégagée lors de la collision de protons de haute énergie; l'observation des produits de l'annihilation de deux particules de matière noire qui se produit dans le cosmos (la détection indirecte) et la détection directe, comme le montre la figure 1.4. Cette dernière est sensible aux particules de masse inférieures à 100 GeV, cette limite étant liée aux flux⁶. Cependant, la détection indirecte est adaptée à des particules plus massives. Ces trois procédés sont complémentaires et permettent de contraindre les propriétés de la matière noire.

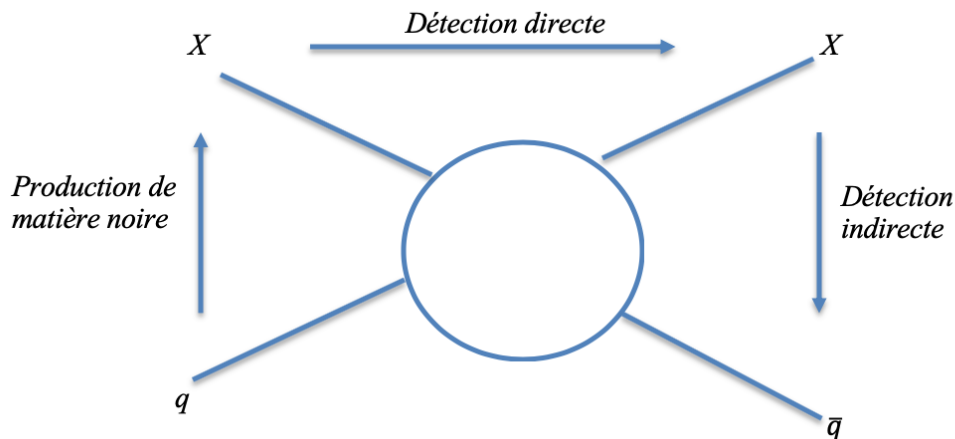


FIGURE 1.4 – schéma qui montre les différentes méthodes de détection de la matière noire. X et q font respectivement référence aux particules de matière noire et du modèle standard

1.4.1 Production de la matière noire en accélérateurs

La production de matière noire dans les laboratoires repose sur un collisionneur puissant où deux protons entrent en collision à très haute énergie, ce qui permet de créer de nouvelles particules lourdes et exotiques, qui peuvent être de la matière noire.

Aujourd'hui, l'accélérateur des particules le plus puissant est le LHC (Large Hadron Collider) au CERN : c'est un accélérateur circulaire de Hadrons (protons noyaux lourds) qui permet de produire des particules de matière noire de plus en plus massives. Cet accélérateur consiste en un anneau de 27 kilomètres de circonférence et il possède deux faisceaux (6,5 TeV par faisceau) qui circulent à une vitesse très proche de celle de la lumière, avant d'entrer en collision⁷. L'accélérateur LHC permet de faire 400 collisions de protons par seconde et 1000 Tbytes/s d'informations.

6. Pour les WIMPS la limite de la masse est autour de 100 GeV, cela est lié au flux. Plus les WIMPS sont massifs, moins il en faut pour faire les 25% de masse manquante dans l'Univers. S'ils sont de moins en moins nombreux le flux est de plus en plus faible et il faut des détecteurs de plus en plus grand pour en attraper quelques uns.

7. Plus d'informations sur LHC : <https://home.cern/fr/science/accelerators/large-hadron-collider>

Si les particules de matière noire sont très légères, la collision de protons génère des particules lourdes qui vont ensuite se désintégrer vers les particules de matière noire. Dans le cas contraire, les particules peuvent être produites directement par paires de type $q\bar{q} \rightarrow XX$. Cet événement n'est pas visible par le détecteur. Cependant, depuis la naissance du LHC en 2009, aucun candidat n'a été trouvé. La figure 1.5⁸ montre l'accélérateur LHC implémenté au CERN.

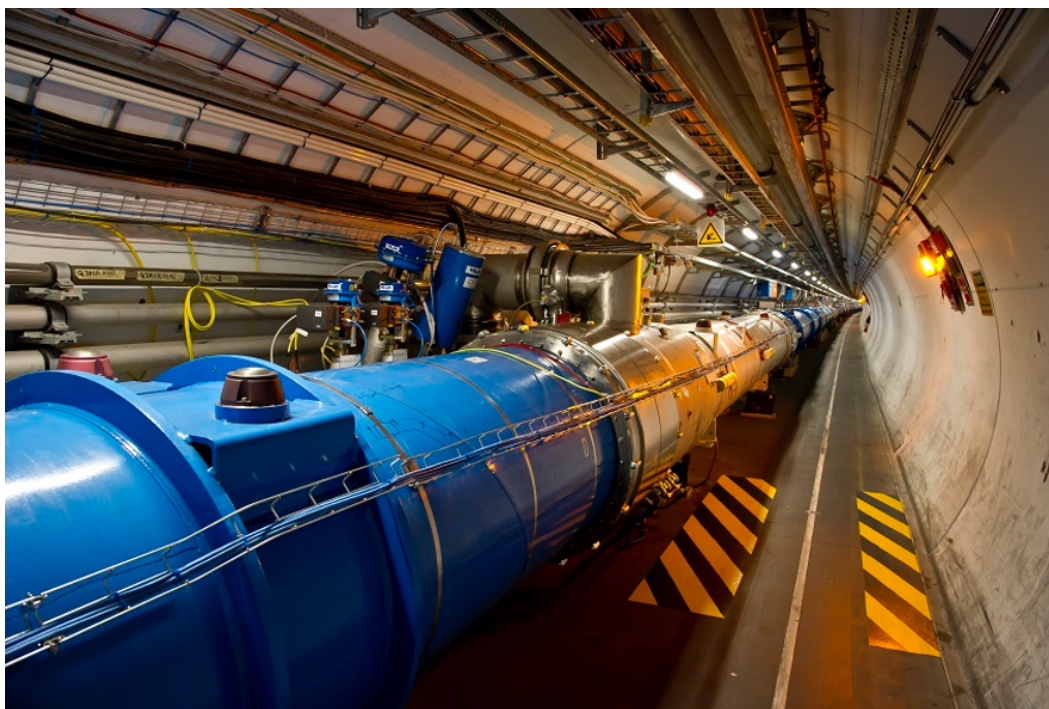


FIGURE 1.5 – l'accélérateur LHC dans un anneau de 27 Km de circonférence au CERN

1.4.2 Détection indirecte de la matière noire

La détection indirecte repose sur le principe d'annihilation en produisant des particules du modèle standard notamment des photons de haute énergie, neutrinos et des particules chargées, qui peuvent se propager jusqu'à la Terre et être mesurées.

Cette technique est complémentaire de la détection directe : elle peut sonder les propriétés des particules de matière noire, et elle peut également explorer leur distribution à partir de celle des photons ou des rayons cosmiques dans les objets astrophysiques lointains. La principale limite de cette méthode est le bruit de fond astrophysique qui rend l'extraction d'un signal potentiel extrêmement complexe.

On peut distinguer trois catégories d'expériences selon le type de particules que l'on détecte pour mettre en évidence l'annihilation de matière noire : les rayons gamma, les neutrinos et les rayons cosmiques chargés.

1.4.2.1 Rayons gamma

Les particules de matière ordinaire, telles que les rayons gamma de haute énergie, produites par l'annihilation de la matière noire, peuvent être détectables par des télescopes

8. <https://www.wired.co.uk/article/large-hadron-collider-explained>

terrestres. Cette méthode est considérée comme l'une des méthodes de détection indirecte de la matière noire de type $XX \rightarrow q\bar{q}$, qui se traduisent par l'observation d'une raie dans le spectre en énergie proche de la masse du WIMP.



FIGURE 1.6 – un des télescopes de H.E.S.S sur les hauts plateaux Khomas en Namibie qui permettent la détection indirecte de matière noire

Les principales expériences qui détectent ces rayons gamma sont les suivantes :

- L'expérience H.E.S.S. (High Energy Stereoscopic System)[1] capte la lumière Cherenkov produite par les gerbes électromagnétiques issues de l'interaction d'un rayon gamma très énergétique (dans la gamme \sim entre 30 GeV et 10 TeV) à son entrée dans l'atmosphère terrestre. En utilisant des réseaux de Télescopes à Imagerie Cherenkov Atmosphérique (IACT en anglais), cette expérience est capable d'obtenir des informations comme l'énergie, la direction et la nature du rayon cosmique [19]. Ces observatoires sont caractérisés par une surface collectrice de quelques centaines de mètres carrés. Nous voyons un des télescopes de l'expérience H.E.S.S dans la figure 1.6⁹.
- Le Satellite Fermi-LAT (Atwood et al. 2009)[2] mesure directement les photons γ grâce à un détecteur à conversion de paires. Cette expérience balaye un champ de vue équivalent à 20% du ciel et mesure des γ entre \sim 20 MeV et \sim 300 GeV.

1.4.2.2 Neutrinos

Les détecteurs de neutrinos couvrent de très grands volumes, ils sont composés d'eau comme le télescope ANTARES, ou de glace comme IceCube pouvant atteindre 1 km^3 . La meilleure cible pour ces expériences se trouve au cœur du Soleil. Les WIMPs peuvent être capturées par les noyaux du Soleil par une diffusion élastique. Cette interaction se traduit par une perte d'énergie des WIMPs qui les lie gravitationnellement à l'objet céleste.

9. <https://www.planetastronomy.com/special/2018-special/05dec/Sol-IAP.htm>

Lors de l'interaction de neutrinos par un courant chargé, des leptons chargés relativistes sont produits. Ces derniers seront détectés par la lumière Cherenkov qu'ils produisent dans le milieu. L'expérience ANTARES détecte les neutrinos grâce à l'eau de la Méditerranée, alors qu'IceCube emploie la glace de l'Antarctique. Cependant, ces deux télescopes sont complémentaires grâce à leur répartition sur les deux hémisphères terrestres.

1.4.2.3 Rayons cosmiques chargés

Les particules chargées créées par les processus d'annihilation/désintégration forment ce qu'on appelle des rayons cosmiques. Dans ces derniers, les canaux d'annihilation principaux sont ceux de la recherche d'excès en positron et antiproton. Les plus grandes expériences dans ce domaine sont le satellite PAMELA[3] (gamme d'énergie de 10 GeV à 100 GeV) et le détecteur AMS 02[5] (gamme en énergie de 0.6 GeV à 250 GeV). En 2008, l'expérience PAMELA a été la première à détecter un accroissement du rapport positrons électrons ($e^+ / e^+ + e$) à des énergies au delà de 10 GeV. Cet excès qui a été confirmé par AMS02 peut être expliqué par l'annihilation de matière noire en positrons ou par la présence d'un pulsar [22].

1.4.3 Détection directe

Dans cette section nous nous intéressons aux différentes techniques de la détection directe de la matière noire. En général, Les expériences de détection directe visent à rechercher la matière noire en mesurant l'énergie de recul nucléaire résultant de la diffusion d'un WIMP dans l'absorbeur de détecteur, afin d'émettre des contraintes sur les propriétés du WIMP [25] comme le montre la figure 1.7. En effet, lors de la collision de la matière noire avec le détecteur, une partie de l'énergie cinétique de la particule est transférée au noyau, cette énergie est redistribuée selon trois canaux : ionisation, scintillation et excitations.

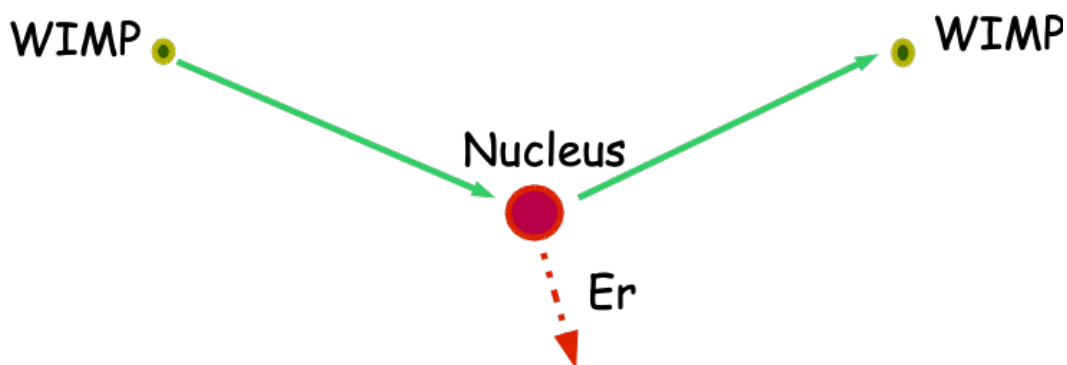


FIGURE 1.7 – détection directe d'un recul nucléaire induit par une diffusion élastique d'un WIMP sur un noyau de la cible

Le spectre exponentiel attendu des énergies de recul se traduit par une augmentation importante de la sensibilité des détecteurs si leur seuil est réduit. Nous pouvons contraindre la section efficace d'interaction des WIMPs en fonction de leur masse, à partir du nombre d'évènements observés.

Les expériences de détection directe ont lieu dans des laboratoires souterrains pour protéger les détecteurs des rayonnements cosmiques [21]. La radioactivité ambiante devient alors la principale limitation de la détection directe d'événements rares. Les détecteurs sont construits en matériaux ultra purs et protégés de la radioactivité ambiante par plusieurs couches de blindage.

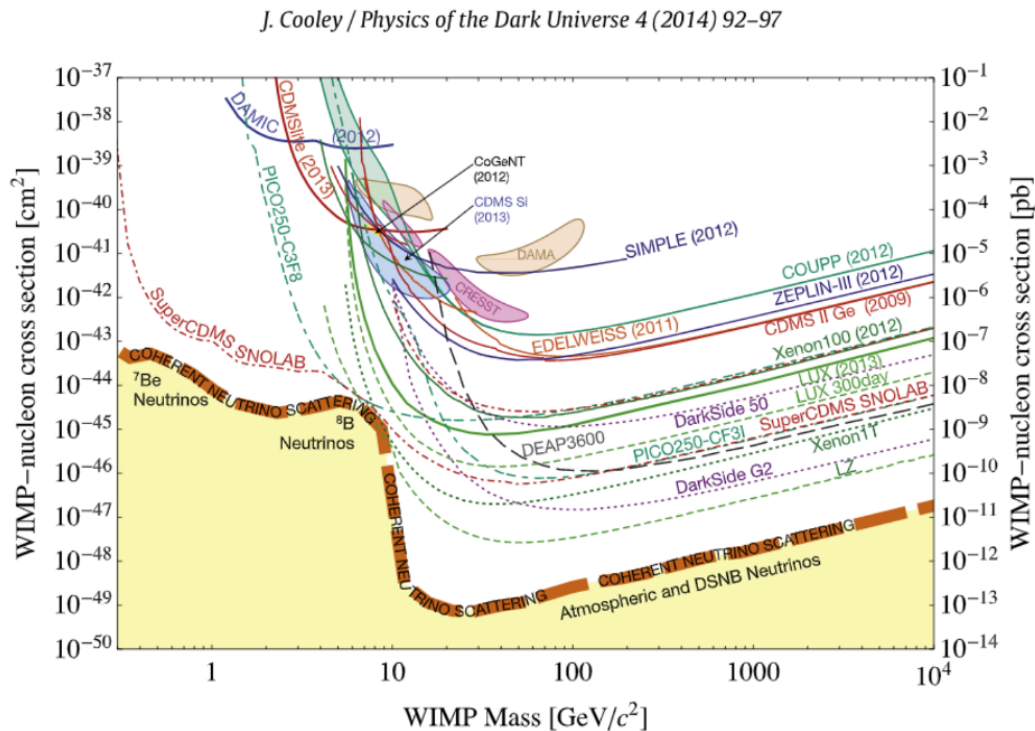


FIGURE 1.8 – graphe montrant les différentes expériences de détection de matière noire : en exposant la compilation des limites d'une section efficace du WIMP-nucléon vs m_χ , indépendantes du spin (lignes pleines) et des indices de signaux WIMP (contours fermés) provenant des expériences actuelles de la matière noire et des projections (en pointillés) pour les expériences planifiées de détection directe de la matière noire. Les longs tirets orange représentent la limite maximale qui ne pourra pas être dépassée du fait des collisions induites par les neutrinos.

Étant donné que le taux d'interaction est extrêmement faible, le détecteur doit avoir un fond radioactif aussi faible que possible. Si le détecteur est capable de faire la distinction entre les reculs nucléaires et les reculs électroniques, cela donne un avantage évident parce que les reculs électroniques des rayons γ et des désintégrations β seront rejetés.

La figure 1.8 [12] montre les différentes expériences de détection de matière noire : en exposant la compilation des limites d'une section efficace du WIMP nucléon en fonction de la masse des particules, indépendantes du spin (lignes pleines) et des indices de signaux WIMP (contours fermés) provenant des expériences actuelles de la matière noire et des projections (en pointillés) pour les expériences planifiées de détection directe de la matière noire.

Il existe plusieurs méthodes pour détecter directement la matière noire, mais nous nous focaliserons sur trois catégories : « Les Time Projection Chamber », les détecteurs à scintillation solide et les semi-conducteurs.

1.4.3.1 Chambres à Projection temporelle (en anglais Time Projection Chamber)

La plupart des expériences qui reposent sur des absorbeurs à liquides nobles utilisent des chambres à projection temporelle (TPC), grâce aux contraintes compétitives obtenues par cette dernière pour les WIMPs de masse supérieure à 10 GeV. Cette méthode se fonde sur l'utilisation d'un récipient à faible radioactivité rempli par un liquide ou un gaz ou par les deux (dual-phase TPC). Le liquide ou le gaz sont de type Xénon ou Argon.

Grâce à l'application d'une tension de polarisation sur tout le volume du récipient, un champ électrique de $\sim 1/10$ KV/cm est créé. Des réseaux de tubes photomultiplicateurs sont installés en haut et en bas de la chambre TPC pour détecter la lumière de scintillation prompte qui suit la désexcitation rapide des atomes Xe (ou Ar) lors de l'interaction d'une particule dans le Xénon (ou argon) liquide. Un signal initial (S1) provenant de la scintillation est produit au moment de l'interaction. Les électrons ionisés, créés par l'interaction, dérivent vers une grille à l'interface liquide gazeuse où ils subissent l'influence d'un fort champ. Les électrons sont dès lors accélérés dans le gaz pour produire un deuxième signal de scintillation (S2).

Les expériences les plus connues dans ce domaine sont DARKSIDE[4] qui utilise l'Argon liquide et Xénon-100/Xenon-1T[7] qui utilise le Xénon liquide. Ce dernier peut contenir près de 50% d'isotopes à spin non nul et offre une sensibilité supplémentaire aux interactions WIMP dépendantes du spin. Donc, le xénon liquide (LXe) est une excellente cible pour la détection directe des WIMPs. La scintillation est dans le régime ultraviolet à 128 nm pour l'Argon et à 175 nm pour le Xénon. La figure 1.9¹⁰ montre l'exemple d'un détecteur à liquides nobles à deux phases. Les détecteurs ont un seuil de détection d'ordre de la dizaine de keV, ce qui ne permet pas d'être compétitif pour la matière noire de faible masse. L'avantage de cette méthode est la disposition d'une grande masse extensible de détecteurs et l'adaptation du volume fiduciel aux besoins du rejet de fond.

1.4.3.2 Détecteurs à scintillation solide

L'expérience qui utilise des détecteurs à scintillation solide se fonde sur le même fonctionnement physique des TPC. La plupart des expériences dans ce domaine utilisent des cristaux scintillants NaI à haute efficacité, équipés de photomultiplicateurs afin de détecter les scintillements et l'électroluminescence produits par l'ionisation du cristal par les particules chargées éjectées suite à un recul nucléaire. En utilisant ce détecteur, nous pouvons obtenir une séparation entre les reculs nucléaires et électroniques en observant le temps de montée des signaux de scintillation. Ce sont des détecteurs dont le seuil de détection est inférieur à celui de TPC, ce qui leur permet de détecter une matière noire moins massive dont le seuil de détection est plus petit que celui des TPC. Les avantages de cette technique sont :

- la haute densité ~ 3.4 g/cm³ pour le NaI;
- le grand flux lumineux qui se traduit par une meilleure résolution énergétique

L'expérience DAMA/LIBRA qui utilise des détecteurs NaI(Tl) d'une masse de 232.8 kg [26], a été la seule avoir mis en avant un signal compatible avec l'hypothèse de la matière noire.

10. <https://www.ca-se-passe-la-haut.fr/2013/10/lux-un-detecteur-la-recherche-de-la.html>

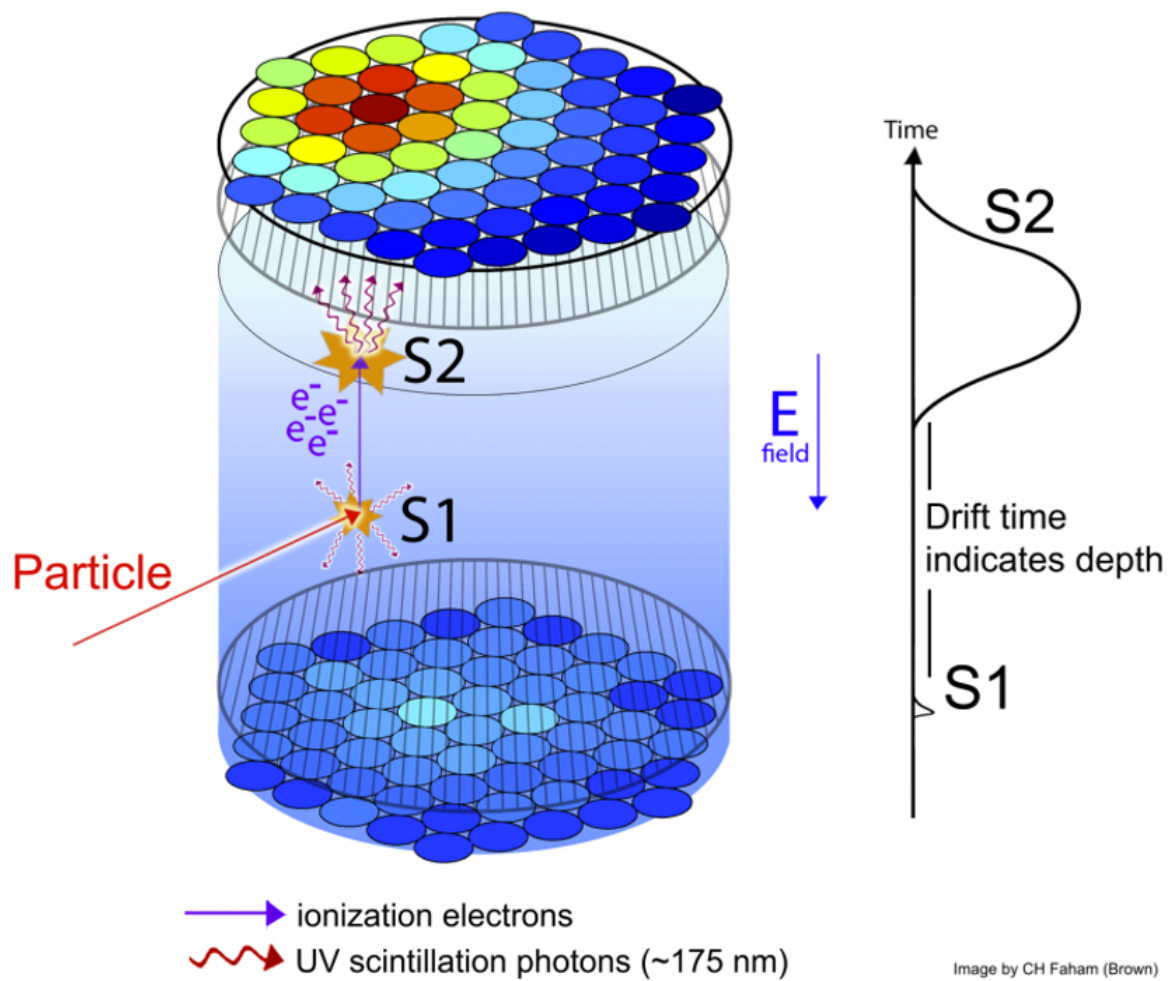


FIGURE 1.9 – schéma d’une détection à liquide noble à deux et visualisation des signaux enregistrés par l’interaction WIMP. Le rapport S2 / S1 est utilisé pour distinguer le recul électronique du recul nucléaire

L'analyse est basée sur la recherche de modulations annuelles du flux de particules de matière noire reçue sur Terre (figure 1.10).

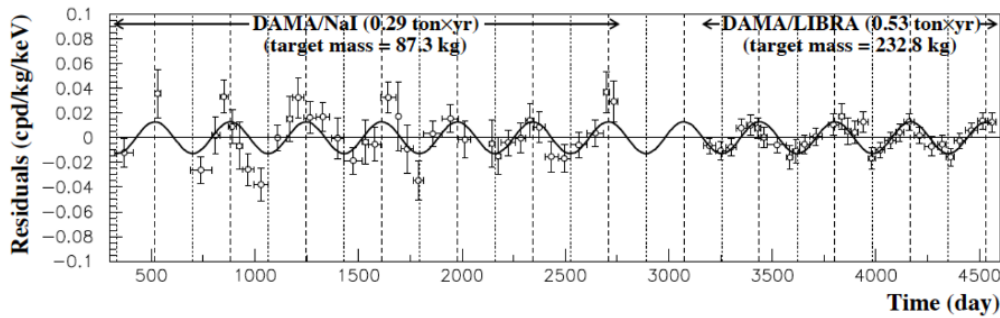


FIGURE 1.10 – Modulation annuelle du taux d'événements total (signal et bruit de fond) sur 7 ans dans le détecteur NaI de l'expérience DAMA[10] pour deux intervalles en énergie ($2-4 \text{ keV}_{ee}$ et $2-6 \text{ keV}_{ee}$).

1.4.3.3 Les détecteurs à semi-conducteurs

La détection directe de matière noire qui utilise les semi-conducteurs dans un système cryogénique est considérée comme une méthode prometteuse, grâce au faible bruit électronique intrinsèque de ce type de détecteurs.

Le principe de cette technique repose sur la mesure de l'énergie déposée par l'interaction directe d'une particule de matière noire dans un cristal de semi-conducteur, à travers deux voies distinctes : la quantité de charges créées lors de cette collision ou ionisation et la quantité de chaleur apportée au cristal. Ces détecteurs cherchent à capter ces interactions qui sont extrêmement faibles. Également, cette méthode a comme avantage de distinguer les reculs nucléaires des reculs électroniques¹¹.

Cette technique est répartie en deux types de développement :

- un **semi-conducteur de Germanium ultra-pur** : comme l'expérience EDELWEISS[9], cette expérience utilise des cristaux de germanium de 400 ou 800 g refroidis à moins de 20 mK. La sensibilité du germanium permet de rejeter le bruit de fond γ grâce à la discrimination des reculs nucléaires et électroniques. Cependant, aucun WIMP n'a encore été identifié.
- Un **semi-conducteur de silicium**, avec un seuil de détection très faible comme l'expérience DAMIC[6] qui utilise des Charge Coupled Device en Silicium. En raison de leur faible bruit électronique, ces détecteurs peuvent fonctionner avec des seuils d'énergie[16] aussi bas que 40 eV, ce qui permet de détecter de la matière noire de masse inférieure à 10 GeV. Cette technique sera détaillée dans la section suivante.

1.5 Expérience DAMIC (Dark Matter In CCD)

Le but de l'expérience DAMIC [27] [13] est de détecter directement la matière noire en utilisant le silicium d'un dispositif à transfert de charge (CCD en anglais : « Charge

11. Par exemple, dans l'expérience EDELWEISS, la mesure simultanée de l'ionisation et de la température permet de distinguer les reculs nucléaires et électroniques.

Coupled Device »), comme cible pour les interactions des particules de matière noire . Il s'agit d'une collaboration internationale entre 13 équipes provenant de 13 laboratoires.

1.5.1 DAMIC à SnoLab

L'expérience DAMIC est installée au SNOLAB[28], un laboratoire souterrain spécialisé en physique des neutrinos et de la matière noire, situé à 2 km sous la surface dans la mine Vale Creighton, une mine de nickel active, près de Sudbury (Ontario, Canada).

DAMIC détecte la diffusion élastique cohérente de particules massives à interaction faible (WIMP). Elle permet de sonder le domaine de masse des matières noires entre 1 et 20 GeV grâce à la masse faible du noyau du silicium et au seuil de détection très bas (40 eV). DAMIC repose sur un système de détection pour lequel le LPNHE a une très grande expertise pour avoir conçu une électronique de lecture et de cadencement de CCD totalement intégrée destinée au télescope LSST.

DAMIC à Snolab utilise 40 g de détecteur, composé de 8 CCDs 4K x 4K pixels (figure 11.a.). Ces CCDs ont été conçus au LBNL (Laboratoire national Lawrence-Berkeley) et fabriqués par DALSA. Les CCDs constituant le détecteur sont d'une épaisseur de 675 μm avec une zone active de 6 cm x 6 cm et une haute granularité (pixels de 15 x 15 μm), ce qui permet d'avoir une sensibilité très élevée. Les détecteurs sont fabriqués à partir de plaquettes de Silicium de type-n, à haute résistivité ($> 10\,000\ \Omega\text{cm}$) et complètement appauvries en appliquant une différence de potentiel ($\geq 40\text{V}$).

La figure 1.11 illustre les composants constituants DAMIC à SNOLAB :

Figure 11.a : Chaque CCD est monté sur un support de silicium de haute pureté avec un câble flexible qui est relié par un fil au CCD afin de fournir les tensions de polarisation, les horloges et les signaux vidéo nécessaires à son fonctionnement. Tous les CCDs sont entourés par un module de cuivre.

Figure 11.b : Ces CCDs ainsi que les modules de cuivre sont conservés dans une boîte en cuivre. DAMIC utilise 8 CCDs, dont un CCD qui est stocké entre deux blocs de plomb ancien très peu radioactif, dont la valeur de contamination est inférieure à 0.02Bq.kg^{-1} . Ce module du CCD est fait de cuivre électroformé.

Figure 11.c : Cette boîte est placée dans un récipient en cuivre et entourée par un bloc de blindage interne en plomb afin de protéger les CCD des rayonnements provenant des cartes électroniques. Le CCD est maintenu à une température comprise entre 120 K et 170 K, en utilisant un cryostat et une pompe à vide à une pression d'ordre 10^{-6} mbar. Le récipient, lui-même, est également entouré par un blindage externe en plomb ancien et basse radioactivité. Ce blindage est d'une épaisseur de 21 cm pour protéger le détecteur des radiations issues des parois de la caverne.

Figure 11.d : Une boîte est installée pour maintenir ce bloc de plomb; elle contient de l'azote pour que l'air qui est autour du détecteur ne soit pas contaminé par l'air de la grotte contenant du radon.

Figure 11.e : Tout le système est entouré par un blindage en polyéthylène d'une épaisseur de 42 cm qui est utilisé pour capturer les neutrons provenant des roches constituant

les murs de SNOLAB.

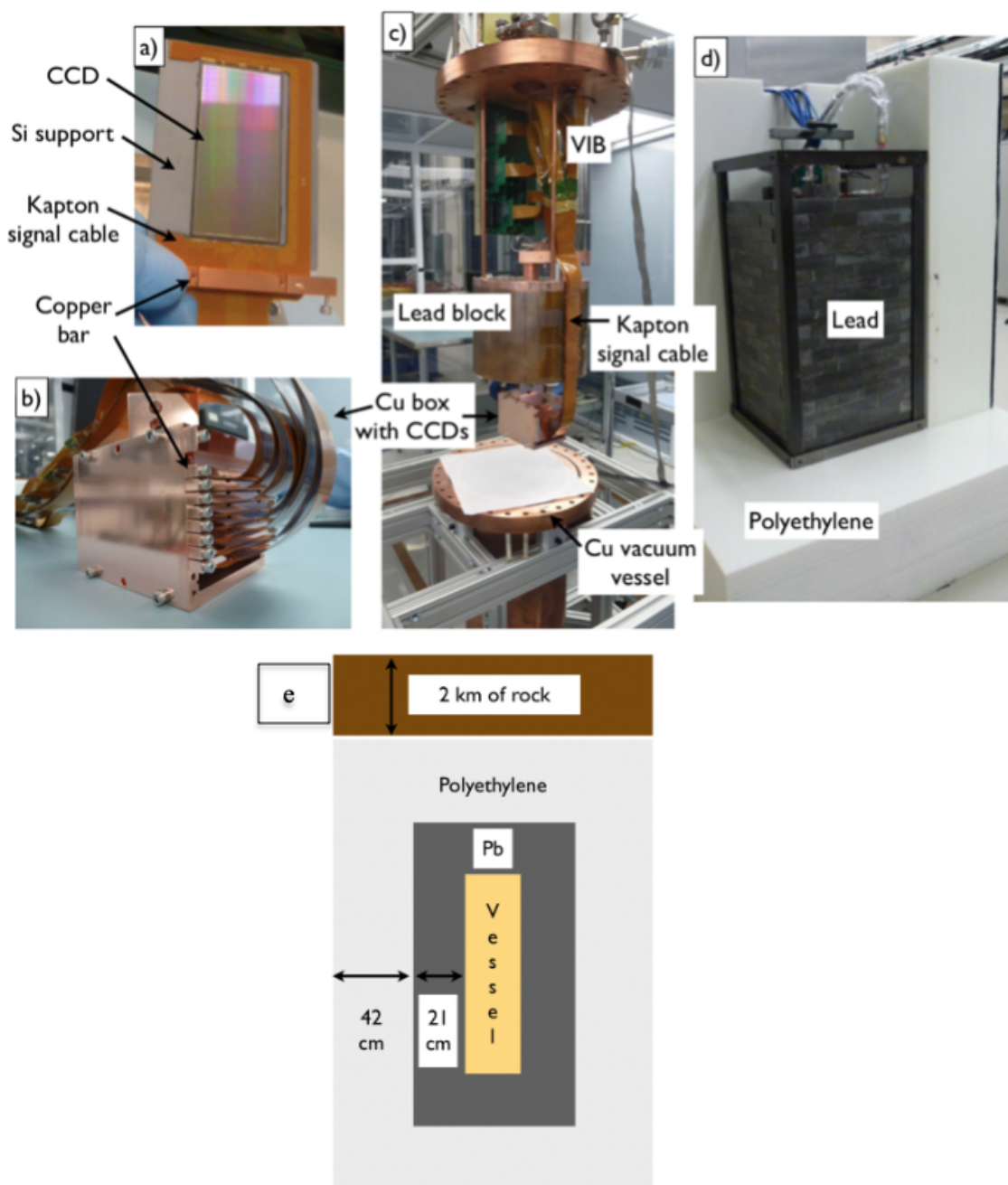


FIGURE 1.11 – l'expérience DAMIC à SnoLab : (a) CCD est démonté sur un support de silicium et connecté à un câble en Kapton; (b) la boîte contenant le CCD ainsi que le module en cuivre; (c) un récipient à vide contient le détecteur ainsi que le blindage interne (d) ce récipient qui est entouré par un blindage externe en plomb est placé dans une boîte pour maintenir ce dernier; (e) l'architecture du détecteur entier en visualisant un blindage de polyéthylène de 42 cm qui entoure tout le système

1.5.2 DAMIC-M

La deuxième génération du DAMIC, DAMIC-M, a débuté en 2018. Cette expérience aura lieu en France dans le Laboratoire Souterrain de Modane (LSM). Elle consiste à ins-

taller un nouveau détecteur en implémentant le plus massif CCD jamais utilisé. Les CCDs utilisés dans DAMIC-M sont appelés Skipper CCDs. Ce type de CCDs repose sur un nouveau concept de lecture, lequel consiste à mesurer chaque pixel N fois d'une façon non-destructive, ce qui permet d'obtenir une détection à haute résolution de chaque pixel. En appliquant cette méthode, on a une erreur sur la valeur du paquet de charge qui diminue en \sqrt{N} . Le bruit prévu à la fin de l'expérience est de $0.1\bar{e}$, sachant que le bruit actuel de DAMIC à SnoLab est de $\sim 2\bar{e}$. La seule limite de DAMIC-M est le temps de lecture qui sera très long (quelques heures pour lire une seule image).

Pour résoudre ce problème, le groupe électronique de DAMIC-M est en train d'améliorer le système de pilotage du CCD, en créant de nouveaux ASICs de lecture adaptés à ce nouveau concept de lecture, qui peut atteindre un bruit de lecture très faible (sub-electron) et en remplaçant les ADCs actuels par d'autres plus performants. Ainsi, il est prévu de changer le système d'acquisition pour obtenir un temps de lecture raisonnable.

Les CCDs standards utilisés dans DAMIC ainsi que les Skipper CCDs du DAMIC-M seront détaillés dans le chapitre suivant.

1.6 Références

- [1] Attila Abramowski, Felix Aharonian, F Ait Benkhali, AG Akhperjanian, EO Angüner, M Backes, S Balenderan, A Balzer, Anna Barnacka, Yvonne Becherini, et al. Constraints on an annihilation signal from a core of constant dark matter density around the milky way center with hess. *Physical review letters*, 114(8) :081301, 2015. [11](#)
- [2] F Acero, M Ackermann, M Ajello, A Albert, Luca Baldini, J Ballet, G Barbiellini, D Bastieri, R Bellazzini, E Bissaldi, et al. Development of the model of galactic interstellar emission for standard point-source analysis of fermi large area telescope data. *The Astrophysical Journal Supplement Series*, 223(2) :26, 2016. [11](#)
- [3] Oscar Adriani, GC Barbarino, GA Bazilevskaia, R Bellotti, Mirko Boezio, EA Bogomolov, L Bonechi, M Bongi, Valter Bonvicini, S Bottai, et al. An anomalous positron abundance in cosmic rays with energies 1.5–100 gev. *Nature*, 458(7238) :607–609, 2009. [12](#)
- [4] P Agnes, Ivone Freire da Mota Albuquerque, T Alexander, AK Alton, GR Araujo, David M Asner, M Ave, Henning O Back, B Baldin, G Batignani, et al. Low-mass dark matter search with the darkside-50 experiment. *Physical review letters*, 121(8) :081307, 2018. [14](#)
- [5] M Aguilar, Giovanni Alberti, B Alpat, A Alvino, G Ambrosi, K Andeen, H Anderhub, L Arruda, P Azzarello, A Bachlechner, et al. First result from the alpha magnetic spectrometer on the international space station : precision measurement of the positron fraction in primary cosmic rays of 0.5–350 gev. *Physical Review Letters*, 110(14) :141102, 2013. [12](#)
- [6] A Aguilar-Arevalo, D Amidei, X Bertou, M Butner, G Canelo, A Castañeda Vázquez, BA Cervantes Vergara, AE Chavarria, CR Chavez, JRT de Mello Neto, et al. Search for

- low-mass wimps in a 0.6 kg day exposure of the damic experiment at snolab. *Physical Review D*, 94(8) :082006, 2016. 16
- [7] Elena Aprile, KL Giboni, P Majewski, K Ni, M Yamashita, R Gaitskell, P Sorensen, Luiz DeViveiros, L Baudis, A Bernstein, et al. The xenon dark matter search experiment. *New Astronomy Reviews*, 49(2-6) :289–295, 2005. 14
- [8] Eric Armengaud. *Recherches de matière noire avec EDELWEISS : au-delà des WIMPs*. PhD thesis, 2018. 6
- [9] Quentin Arnaud. *Détection directe de matière noire avec l'expérience EDELWEISS-III : étude des signaux induits par le piégeage de charges, analyse de données et caractérisation de la sensibilité des détecteurs cryogéniques aux WIMPs de basse masse*. PhD thesis, Université Claude Bernard-Lyon I, 2015. 16
- [10] R Bernabei, Pierluigi Belli, F Cappella, R Cerulli, F Montecchia, F Nozzoli, A Incicchitti, D Prospero, CJ Dai, HH Kuang, et al. Dark matter search. *arXiv preprint astro-ph/0307403*, 2003. vii, 16
- [11] Paul Bode, Jeremiah P Ostriker, and Neil Turok. Halo formation in warm dark matter models. *The Astrophysical Journal*, 556(1) :93, 2001. 6
- [12] Sami Caroff. *Mesures du flux d'électrons, du flux de positons, et de leur rapport avec l'expérience AMS-02 : interprétation en terme de matière noire et pulsars*. PhD thesis, Université Grenoble Alpes, 2016. 13
- [13] Alvaro E Chavarria, Javier Tiffenberg, Alexis Aguilar-Arevalo, Dan Amidei, Xavier Bertou, Gustavo Cancelo, Juan Carlos D'Olivo, Juan Estrada, Guillermo Fernandez Moroni, Federico Izraelevitch, et al. Damic at snolab. *Physics Procedia*, 61 :21–33, 2015. 16
- [14] Françoise Combes. La matière noire, une sombre affaire. *Reflets de la physique*, (51) :4–10, 2016. 5, 8
- [15] Joseph A Formaggio, Janet Conrad, Michael Shaevitz, Artur Vaitaitis, and Robert Drucker. Helicity effects in neutral heavy lepton decays. *Physical Review D*, 57(11) :7037, 1998. 8
- [16] Kaoru Hagiwara, K Hikasa, Kenzo Nakamura, M Tanabashi, M Aguilar-Benitez, C Amsler, RMichael Barnett, PR Burchat, CD Carone, C Caso, et al. Review of particle physics : Particle data group. *Physical Review D-Particles, Fields, Gravitation and Cosmology*, 66(1 I) :100011–10001958, 2002. 16
- [17] Gerard Jungman, Marc Kamionkowski, and Kim Griest. Supersymmetric dark matter. *Physics Reports*, 267(5-6) :195–373, 1996. 8
- [18] Samuel K Lee. Three paths to particle dark matter. 2012. 3
- [19] Valentin Lefranc. *Recherche de matière noire, observation du centre galactique avec HESS et modernisation des caméras de HESS I*. PhD thesis, Paris Saclay, 2016. 11
- [20] Julio F Navarro. The structure of cold dark matter halos. In *Symposium-international astronomical union*, volume 171, pages 255–258. Cambridge University Press, 1996. 5

- [21] P. Privitera. The scientific proposal : Unveiling the hidden : A search for light dark matter with ccds. DAMIC. [13](#)
- [22] Joao Miguel DA ROCHA. *Recherche de matière sombre légère avec des CCDs de l'expérience DAMIC à SnoLab*. PhD thesis, LPNHE, 2019. [6](#), [12](#)
- [23] Vera C Rubin. Dark matter in spiral galaxies. *Scientific American*, 248(6) :96–109, 1983. [4](#)
- [24] Vera C Rubin and W Kent Ford Jr. Rotation of the andromeda nebula from a spectroscopic survey of emission regions. *The Astrophysical Journal*, 159 :379, 1970. [4](#)
- [25] Véronique SANGLARD. Détection directe de la matière noire avec l'expérience edelweiss. In *Journées Jeunes Chercheurs 2003*, 2003. [12](#)
- [26] Richard W Schnee. Introduction to dark matter experiments. In *Physics of the Large and the Small : TASI 2009*, pages 775–829. World Scientific, 2011. [14](#)
- [27] Mariangela Settimo. The damic experiment at snolab. *arXiv preprint arXiv :1805.10001*, 2018. [16](#)
- [28] NJT Smith. The snolab deep underground facility. *The European Physical Journal Plus*, 127(9) :108, 2012. [17](#)
- [29] Fritz Zwicky. On the masses of nebulae and of clusters of nebulae. *The Astrophysical Journal*, 86 :217, 1937. [4](#)

Chapitre 2

Charge Coupled Device

Sommaire

2.1 Histoire du CCD	23
2.2 Architecture du CCD	23
2.3 Principe de fonctionnement d'un CCD	24
2.4 Les sources de bruit du CCD	28
2.5 Avantages et inconvénients	32
2.6 Le prototype LBNL CCD	32
2.6.1 Vue générale du CCD dans DAMIC	32
2.6.2 Pilotage d'un CCD LBNL	33
2.7 Skipper CCD	36
2.7.1 Skipper CCD dans DAMIC	37
2.7.2 Le principe de lecture d'un Skipper CCD	37
2.8 Références	41

CHARGE Coupled Device « CCD » en anglais ou Dispositif à Transfert de Charge (DTC) en français, est un détecteur photosensible considéré, comme l'un des plus importants capteurs analogiques de la lumière, basé sur la technologie semi-conducteur. Le nom «charge coupled» fait référence au fait que le détecteur fonctionne en déplaçant, ou « en couplant », les charges entre deux emplacements adjacents.

Historiquement, le CCD était utilisé comme une mémoire de stockage. Avec le temps, son usage s'est répandu dans l'astronomie, ainsi que dans le domaine commercial, médical, scientifique ou encore militaire. En astronomie, le CCD est considéré comme un détecteur qui permet de détecter des photons, les transformer en un signal électrique et ensuite le transférer facilement à une chaîne de lecture pour le numériser et l'envoyer à un ordinateur sous forme de données numériques afin de l'analyser.

2.1 Histoire du CCD

Le Charge Coupled Device a été inventé en octobre 1969 dans les Laboratoires Bell, implantés aux États-Unis, par Willard S. Boyle et George Smith[3]. L'idée principale du CCD, telle que rédigée par ses créateurs, consiste à transformer un signal lumineux en un signal électrique, en formant une matrice de pixels. En juin 1970, Smith présenta sa première publication scientifique à l'occasion d'une conférence de recherche à Seattle, ce qui encouragea les autres scientifiques à faire des recherches afin de développer cette innovation. Cet article décrit un CCD p-Channel avec une entrée intégrée et une sortie diodes utilisées pour injecter et lire les charges. En 1974, un brevet sur les CCDs est attribué à Boyle et Smith. En 2009, plus de quarante ans plus tard, grâce à cette innovation, Boyle et Smith ont obtenu le prix de Nobel de physique.

Plus tard, le CCD est considéré comme un dispositif de mémoire basée sur la technologie semi-conducteur [4], alors que le CCD n'est pas un bon support de mémoire à cause du courant d'obscurité.

En 1976, la première application du CCD en astronomie, à l'université de l'Arizona a montré une énorme progression dans le domaine de détection des particules. Ultérieurement, en 1990, un télescope spatial Hubble, contenant quatre matrices de CCD 800 x 800 pixels, est mis en route par la NASA. Sur ces entrefaits, le développement continue d'une façon rapide et efficace jusqu'à nos jours. Aujourd'hui, les CCDs peuvent atteindre plusieurs dizaines de millions de pixels avec un bruit très faible et à une efficacité proche de 100%.

2.2 Architecture du CCD

Le CCD est un circuit intégré[5], constitué d'une puce de silicium dopé (n ou p), où un photon entrant d'énergie E_γ supérieure à l'énergie de bande interdite du semi-conducteur ($E_g = 1,12$ eV) peut produire des paires électron-trou (e-h). Généralement, cette puce fait 20-60 mm de côté, elle est recouverte par plusieurs cellules carrées appelées pixels faisant chacune 10-30 μm de côté qui stockent les charges lors de l'exposition.

Le silicium est un semi-conducteur et se caractérise par ses propriétés intermédiaires entre l'isolant et le conducteur où l'électron peut passer de la bande de valence à la bande de conduction. Dans le CCD, le photon incident doit tout d'abord traverser un revêtement de passivation à base de nitrure de silicium, ainsi que plusieurs films minces de dioxyde de silicium et de structures de grille en polysilicium, avant d'être absorbé par le substrat de silicium. L'énergie du photon incident doit être supérieure à l'énergie de bande interdite du substrat semi-conducteur afin de générer les paires électron-trous. L'efficacité quantique est considérée comme la principale performance pour l'interaction de photons avec le substrat du silicium, elle dépend de la longueur d'onde des photons absorbés.

Physiquement, le CCD est constitué d'un substrat semi-conducteur en silicium de type n (porteurs majoritaires électrons) ou p (porteurs majoritaires trous), une couche isolante d'oxyde de silicium (SiO_2), une grille métallique qui sert d'électrode formant une mosaïque de photosites et un canal enterré appelé « Buried Channel » de type inverse à

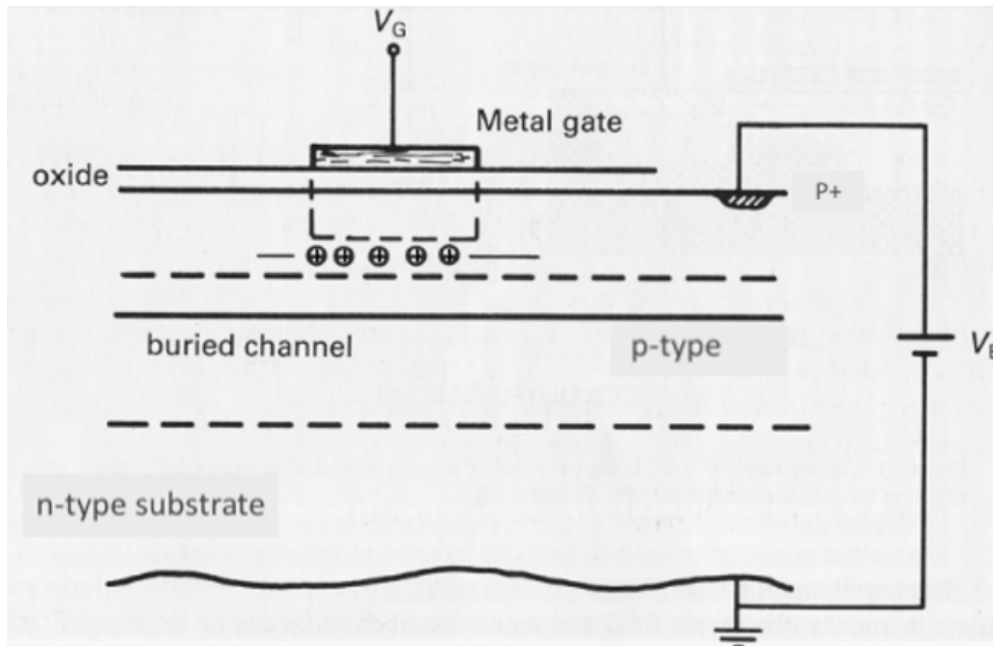


FIGURE 2.1 – un exemple d’une structure d’un CCD dopé n, en visualisant ses couches ainsi le Buried Channel qui fait quelques μm

celui du substrat. Généralement il fait $1\text{-}2\mu\text{m}$ d’épaisseur, et se situe entre l’oxyde de silicium et le substrat de silicium. La figure 2.1 montre un exemple de structure d’un CCD dopé n.

Le CCD est une série de capacités MOS, couplés les unes aux autres, représentant une matrice de pixels qui forme les lignes et les colonnes du CCD. Ces pixels permettent de collecter et stocker les charges générées dans le canal enterré (Buried Channel). Ils sont contrôlés par des horloges et couplés par des tensions de polarisation. Les charges dans le CCD sont déplacées en appliquant une tension sur les grilles de capacité d’une façon permettant aux charges de se déverser d’une capacité à l’autre (d’où le nom de « dispositif à couplage de charge »).

2.3 Principe de fonctionnement d’un CCD

Le mécanisme de lecture du CCD peut être illustré en 4 étapes : détection des particules, accumulation des charges, transfert des charges et numérisation du signal analogique. Le CCD décrit dans cette partie est un CCD dopé n.

- **Détection des photons :** Lorsqu’un photon incident, possédant une énergie plus grande que celle du gap ($E_\gamma > E_g$), frappe le silicium du CCD, il cède toute son énergie à un électron appartenant à un atome de silicium.

Grâce à cette interaction, des paires électron-trou sont générées : le trou reste dans la zone de déplétion (bande de valence) tandis que l’électron se déplace vers la bande de conduction, ce mécanisme est illustré dans la figure 2.2. Les photons d’énergie $E_\gamma \leq 3.65\text{eV}$ ne peuvent générer qu’une seule paire (e-h), avec une probabilité qui augmente avec l’énergie des photons. Le nombre des électrons créés est égal à :

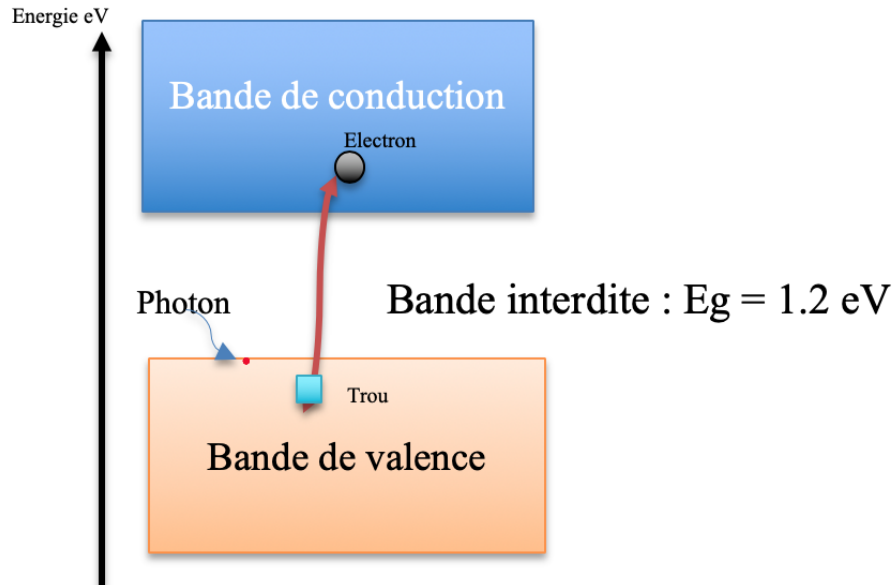


FIGURE 2.2 – l’interaction d’un photon avec le silicium génère une paire électron-trou, où l’électron se déplace vers la bande de valence et le trou vers la bande de conduction sachant que l’énergie moyenne nécessaire pour produire une paire e-h et $E_{e-h} = 3,65 \text{ eV}$

$$N_e = \frac{E_\gamma}{E_{e-h}} \quad (2.1)$$

Avec E_γ l’énergie de photon et E_{e-h} l’énergie d’ionisation moyenne dans le silicium pour créer une paire électron-trou.

Des charges sont aussi créées par l’agitation thermique, ce bruit s’appelle le courant d’obscurité. Il peut être réduit en augmentant la résistivité du CCD.

- **Accumulation des charges :** En appliquant une tension de polarisation sur le détecteur [$V_2 > V_1$]¹, les électrons seront attirés vers le fond du CCD, et les trous vers les grilles (électrodes métalliques) comme la figure 2.3 montre. En dérivant, les charges diffusent et s’étendent sur plusieurs pixels. Les trous sont ensuite attirés vers le canal enterré « Buried Channel », où ils s’accumulent. Si le CCD ne contient pas un « Buried Channel », les trous s’accumulent sur l’interface Si-SiO₂, ce qui résulte en une mauvaise performance (haut courant d’obscurité, faible efficacité de transfert), alors que ce canal permet d’éloigner les charges de l’interface oxyde-semi-conducteur (SiO₂) où elles peuvent être piégées. Par la suite, la charge continue de s’accumuler dans les pixels durant la phase d’exposition.

Un pixel peut contenir jusqu’à 10^6 électrons, selon la profondeur du canal et les tensions d’horloges appliquées. La gamme du CCD augmente avec la capacité de puits de potentiel, qui diminue avec l’augmentation de la température. C’est l’une des raisons pour lesquelles on détecte les particules à une température très basse

1. Le détecteur est constitué d’un transistor MOSFET, lorsque la différence de potentiel entre la grille et le substrat > 0 , les charges dans le semi-conducteur sont repoussées de la jonction oxyde-semi-conducteur, créant tout d’abord une zone dite de « déplétion ».

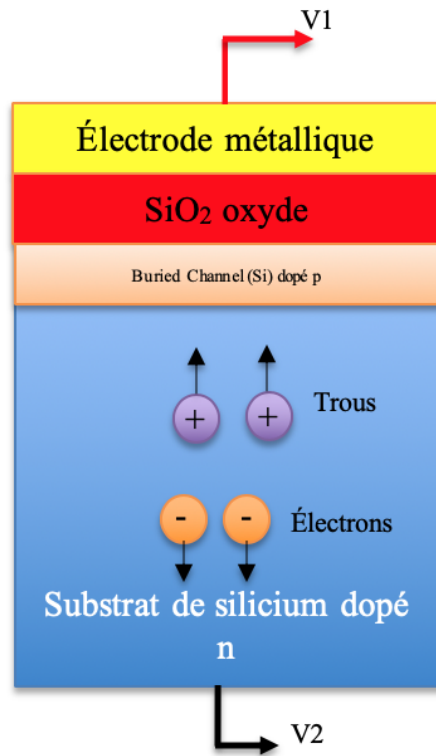


FIGURE 2.3 – un schéma du CCD dopé n, montrant ses couches (Électrode, l'oxyde, Buried Channel dopé p et le substrat en silicium dopé n). En appliquant une tension ($V_2 > V_1$) les électrons seront attirés vers le substrat, et les trous vers l'électrode

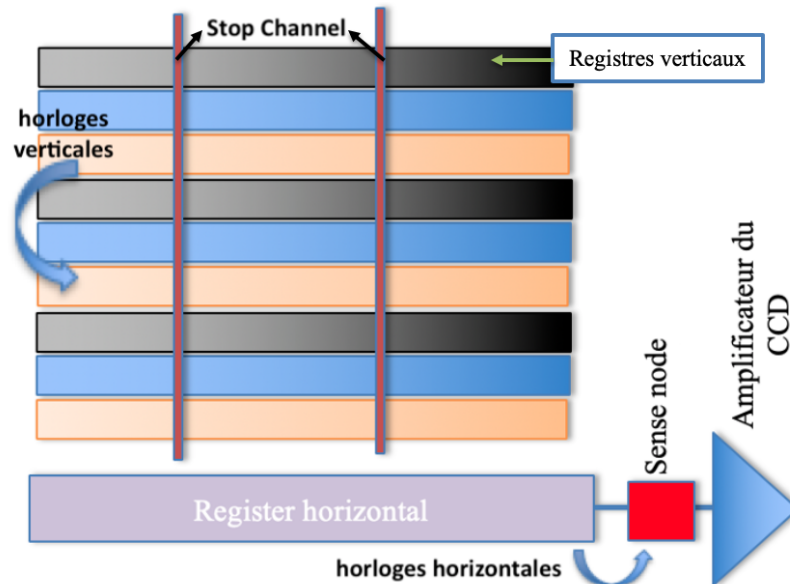
($T = 140$ K).

- **Transfert des charges vers le circuit de lecture :** Après l'exposition, une variation de potentiel est appliquée sur l'électrode qui permet aux charges de se déplacer, ligne par ligne, vers des registres horizontaux qui se trouvent à la fin de chaque colonne. Le transfert de charge se fait de manière séquentielle commandée par des signaux de polarisations appelés horloges[7] (figure 2.4b [6]).

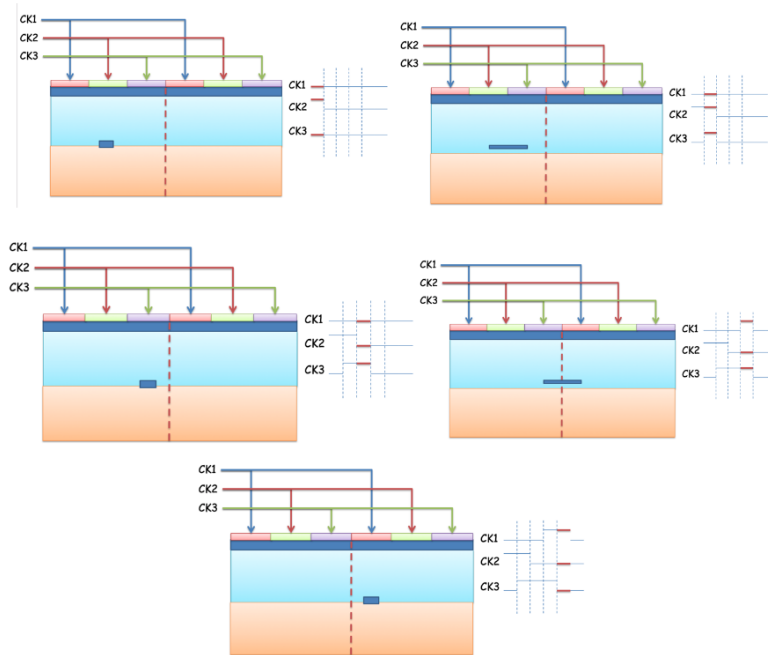
Le mécanisme de transfert de charge est illustré dans la figure 2.4a : les registres verticaux sont séparés par des barrières de potentiel appelées « Channel Stops » qui empêchent la propagation de la charge entre les colonnes adjacentes. Chaque registre vertical est connecté à la même série d'horloges qui entraînent le mouvement séquentiel des charges. En appliquant une séquence d'horloge verticale, seule la ligne du bas se déverse dans le registre horizontal, les autres lignes se décalent. Après que la première ligne sera stockée dans ce registre et, en appliquant une série l'horloger horizontale, le premier pixel sera transféré vers l'amplificateur de sortie du CCD. Une fois qu'un pixel est lu, l'amplificateur sera réinitialisé par l'interrupteur de reset. Ce mécanisme se répète pour que toute la ligne soit lue, et par suite, une nouvelle ligne sera transférée et un nouveau cycle recommence.

Pour que le mouvement des charges soit précis, il faut limiter les pertes de charges à chaque transfert : c'est que l'on définit comme l'efficacité de transfert (CTE). Ce paramètre dépend des plusieurs facteurs comme la température, la vitesse de transfert

et la quantité de charges transférées. L'inefficacité du transfert de charges (CTI = $1 - CTE$) d'un pixel à l'autre dans un CCD 4k x 2k est inférieure à 10^{-7} , ce qui rend la perte de charges négligeable puisque le nombre maximal de transferts requis pour la lecture est de 6 000.



(a)



(b)

FIGURE 2.4 – (a) Les registres verticaux sont séparés par des « Channel Stops » pour empêcher la propagation de la charge entre les colonnes adjacentes. Les charges se déplacent verticalement, ligne par ligne, pour arriver au registre horizontal, et ensuite horizontalement vers l'amplificateur de sortie du CCD; (b) Après l'accumulation des charges dans le puit de potentiel, on applique un système d'horloges pour les déplacer vers la sortie du CCD

— **Lecture de l'information** : Après le transfert de toutes les charges vers l'amplifica-

teur de sortie, les signaux analogiques sont envoyés vers la chaîne de lecture pour les amplifier afin de les numériser par un ADC et les transmettre sous forme de signal numérique vers l'ordinateur.

2.4 Les sources de bruit du CCD

De manière générale, le bruit est une fluctuation aléatoire qui s'ajoute au signal. Bien que le CCD se caractérise par son faible bruit, il existe tout de même des sources de bruit dans le CCD.

- **Le Courant d'obscurité :** Le bruit principal d'un CCD est le courant d'obscurité. Le courant d'obscurité est intrinsèque aux semi-conducteurs, il se produit par l'agitation thermique lors de la création des charges, sans intervention d'aucun signal lumineux. Ce courant est nommé « obscur » parce qu'il se produit lorsque le CCD est totalement dans l'obscurité. Son niveau détermine la durée nécessaire pour qu'un puits de potentiel collecte une charge. Par exemple, les CCD dans DAMIC sont exposés pendant environ 8 heures avant la lecture, ce qui rend le courant d'obscurité des CCD négligeable ($\sim 0.1\bar{e}.pix^{-1}.day^{-1}$) [9].

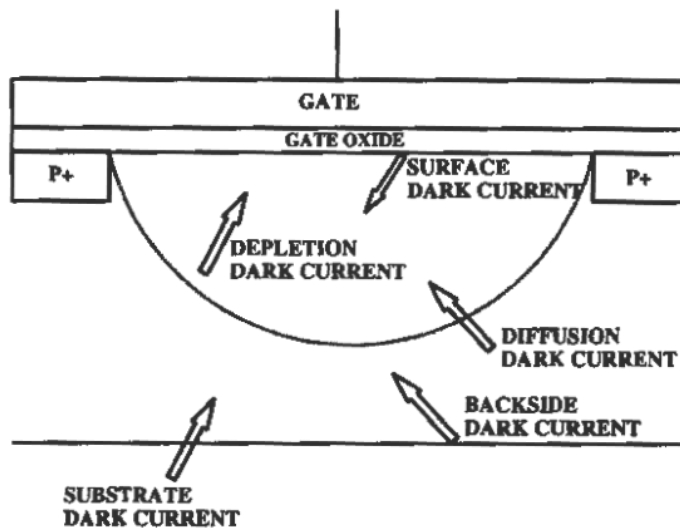


FIGURE 2.5 – les régions de génération du courant d'obscurité dans le CCD : l'interface $Si - SiO_2$, la surface appauvrie dans le « Potentiel Well ».

La figure 2.5 montre un exemple d'un CCD, en visualisant les régions de la génération du courant d'obscurité tel que l'interface $Si - SiO_2$ et la surface appauvrie dans le « Potentiel Well ». Cependant, la surface $Si - SiO_2$ est la source dominante du courant d'obscurité. Le courant d'obscurité d'un CCD, « D_R » s'exprime en $\bar{e}.s^{-1}.pixel^{-1}$ par l'équation suivante[4] qui permet de calculer l'évolution du courant d'obscurité avec la température :

$$D_R = 2.55 \times 10^{15} \cdot P_s \cdot D_{FM} T^{1.5} \cdot e^{-\frac{E_g}{2KT}} \quad (2.2)$$

Avec :

- P_s : la surface d'un photosites en cm^2
- T : température du CCD en K
- K = la constante de Boltzmann $\sim 8.62 \times 10^{-5} eV.K^{-1}$
- DFM : la figure de mérite du courant d'obscurité à 300 K en $nA.cm^{-2}$
- E_g : la largeur de la bande interdite en eV

Cette équation aide à déterminer la valeur de température nécessaire pour éliminer le courant d'obscurité. Ce courant dépend également de la qualité de la surface de la puce silicium du CCD et du pré-traitement de la plaquette utilisée. Par exemple, pour un CCD épitaxial d'épaisseur $10\mu m$, le courant d'obscurité égale $10 pA/cm^2$. Son bruit est indépendant du signal, il augmente avec la température. On peut forcé-ment le diminuer par le refroidissement du CCD ($\sim 140k$).

- **Bruit de grenaille ou shot noise** [1] en anglais : lors de la création des paires électrons-trous dans le substrat grâce à l'effet photoélectrique, un bruit de grenaille apparaît dans le détecteur CCD. La variance de ce bruit, selon la loi poissonnienne, σ_{sn}^2 est proportionnelle à la moyenne du nombre des électrons-trous créés \bar{N}_s . Le bruit de grenaille associé au courant d'obscurité est donné par :

$$N_{dark} = (D_R \times \Delta t)^{1/2} \quad (\bar{e}.rms) \quad (2.3)$$

- **Bruit de lecture** : c'est le bruit qui se produit à l'étage de sortie du CCD. Il représente la limite du bruit fondamental. Ce bruit provient de la conversion des électrons ou trous en tension analogique à la sortie du CCD. Le taux de conversion dans un CCD standard est $4\mu V$ par électron pour une capacité de $40fF$. Cependant, lorsque la tension et le courant au drain sont faibles, le gain diminue, ce qui entraîne une augmentation du bruit. Au contraire, si la tension et le courant au drain sont hauts, le gain augmente : il y aura une optimisation du bruit de lecture ainsi que du bruit de grenaille. Beaucoup de travail est fait pour réduire ce bruit, puisqu'il agit sur la résolution des images produites par le CCD, particulièrement lorsqu'il est dédié à la détection de particules comme la matière noire. Par exemple, la version actuelle des CCD dans DAMIC possède un bruit de $\approx 2\bar{e}$, dominé par le bruit de l'amplificateur de lecture.
- **Bruit de reset** : il est généré par la variation de potentiel lors de l'ouverture de l'interrupteur de reset du CCD avant la conversion des charges. Un signal aléatoire apparaît aux bornes de la capacité de lecture (Readout capacitor) et est ajouté au signal principal à la sortie du CCD. L'écart-type en charge du bruit de reset égale à :

$$\sqrt{\frac{K_B T}{C}} \quad (V) \quad (2.4)$$

$$\frac{\sqrt{K_B T C}}{q} \quad (\bar{e}) \quad (2.5)$$

Où q : charge électronique $\sim 1.6 \times 10^{-19} C$, T : température en Kelvin, C la capacité de transistor de sortie.

Par conséquent, le niveau de référence est différent d'un pixel à un autre. On peut aisément observer ce bruit à l'oscilloscope, sur la sortie de l'amplificateur du CCD.

Le bruit de reset peut être réduit ou éliminé en appliquant la méthode du double échantillonnage corrélé (présenté dans le chapitre 4).

- **Bruit de transfert de charges** : Il se produit lorsqu'une charge interagit avec une surface ou un composant, durant le transfert de charge. Il est relié à l'inefficacité du transfert de charge CTI par l'équation suivante :

$$N_{CTE}(\bar{e}) = \sqrt{2 \times CTI \times N_p \times S_{\bar{e}}} \quad (2.6)$$

Où $N_{CTE}(\bar{e})$ est le bruit de transfert en rms \bar{e} , N_p est le nombre de pixels transférés, S est la surface du CCD et CTI est l'inefficacité de transfert de charges. Donc en moyenne, le nombre d'électrons perdus d'une électrode à une autre est $CTI \times N_p$.

- **Non uniformité de sensibilité du capteur** : plusieurs facteurs sont sources de non-uniformité de sensibilité. Parmi eux, l'implantation des électrodes, l'épaisseur des différentes couches, la surface sensible et le transfert incomplet des charges. Cette non uniformité apparaît généralement sous forme d'une distribution gaussienne où la sensibilité d'un détecteur varie autour d'une valeur moyenne.
- **La luminescence ou « Glow » en anglais** est un problème commun à la plupart des CCDs, elle est représentée par une tache lumineuse sur l'image produite par le CCD. Il existe plusieurs types de luminescence : la luminescence de l'amplificateur de sortie intégrée à la sortie du CCD, la luminescence due aux horloges et la luminescence du pixel.
 - **La Luminescence de l'amplificateur**[4] Récemment, les études ont montré que le chauffage d'amplificateur n'est pas la cause d'apparition de ce type de luminescence. Cependant, un rayonnement non thermique dû au déplacement des charges dans le CCD le provoque. La luminescence est une tâche lumineuse qui apparaît aux coins de l'image. On peut l'éliminer en coupant l'alimentation du drain de semi-conducteur pendant le temps d'intégration. La figure 2.6 montre une image prise par le CCD en visualisant la luminescence de l'amplificateur aux coins de l'image.



FIGURE 2.6 – luminescence d'amplificateur dans une image capturée par un CCD

- **La luminescence du registre (horizontal et vertical)** : ce type de luminescence est observé dans le CCD dont l'isolant est de type SiO_2 . Elle est visible dans les

horloges horizontales (lignes) du CCD les plus proches du registre. Son origine est probablement liée au cadencement des horloges du registre pendant le temps d'intégration. La figure 2.7 montre un champ de rayon x Fe^{55} résultant d'un Hubble CCD.

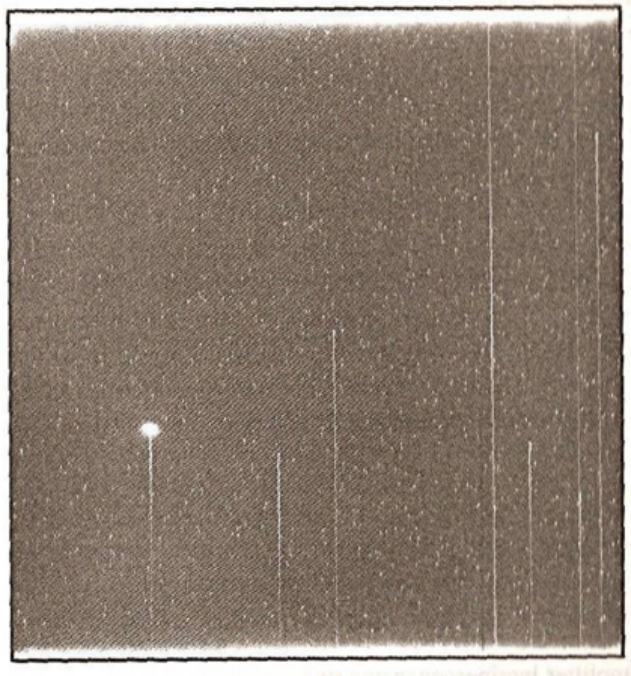


FIGURE 2.7 – image montrant la luminescence des horloges d'un registre horizontal en haut et en bas de l'image.



FIGURE 2.8 – image contenant une luminescence en deux pixels

- **La luminescence de pixel** : c'est le type le plus important de luminescence, il est associé à un pixel court-circuité. Ce problème est dû au damage ESD ou «

décharge électrostatique », à une haute tension sur la grille isolante (électrode) ou encore à une décharge électrostatique rapide. Ce court-circuit peut apparaître sans avertissement ou sans explication sous des conditions normales. Ce problème peut être contrôlé en ajustant les horloges ou la phase de synchronisation. La luminescence du pixel ne peut pas être résolue totalement ce qui nécessite un changement du CCD. La figure 2.8 montre ce problème, qui apparaît en deux pixels.

2.5 Avantages et inconvénients

Le détecteur CCD présente plusieurs avantages tel qu'un faible bruit, une bonne linéarité, une pixellisation importante et une bonne efficacité quantique dans le visible et l'infrarouge proche.

Cependant, il présente quelques inconvénients comme son coût très élevé dû au fait que les CCD sont fabriqués avec une technologie spécifique en intégrant une architecture complexe et une augmentation du nombre de pixels, sa grande consommation et sa lenteur de lecture puisqu'il n'existe pas de fonctions de lecture et de contrôle dans le CCD. Il est donc nécessaire d'ajouter par la suite des circuits supplémentaires pour numériser et transférer les données vers l'ordinateur.

2.6 Le prototype LBNL CCD

2.6.1 Vue générale du CCD dans DAMIC

Le CCD dans DAMIC est conçu au Laboratoire national Lawrence-Berkeley et fabriqué par DALSA. Il est constitué d'un substrat semi-conducteur en silicium à haute résistivité (10 à 20 $K\Omega/cm$). Pour collecter et transférer les charges, ce substrat est dopé n et dominé par une grille triphasée en poly-silicium qui joue le rôle d'une électrode.

L'expérience DAMIC utilise des CCD LBNL d'épaisseur 675 μm , qui contiennent des pixels de 15 $\mu m \times 15 \mu m$ de dimension. La figure 2.9 montre une coupe transversale d'un pixel dans un CCD dopé n. Chaque CCD possède quatre amplificateurs suiveurs avec une région d'imagerie continue, ce qui nous permet de le lire avec n'importe quel amplificateur. Grâce à sa haute résistivité, lorsqu'on allume le CCD avec une tension de polarisation ($V_{sub} \geq 40V$), on obtient une déplétion dans toute le volume du substrat, et on peut ensuite collecter les charges durant quelques heures.

Plusieurs prototypes du CCD sont testés au LPNHE : un petit CCD 1k x 500 et un CCD 4k x 2k. Il était initialement prévu de piloter un CCD 1024 x 512 pixels. Plusieurs tests et essais ont été faits avec le banc de test (CABAC, ASPIC) au LPNHE durant 6 mois, sans succès. Malheureusement, le CCD n'a pas été testé au LBNL, lieu de fabrication, avant l'envoi au LPNHE. Après un travail de 6 mois, il s'avère que le CCD est dysfonctionnel à cause d'erreurs de montage : les horloges et les biais² n'arrivent pas correctement au CCD. La figure 2.10a montre que certains fils sont déconnectés et mal reliés au CCD ce qui empêche le passage des horloges et des biais.

2. Biais : Tension de polarisation

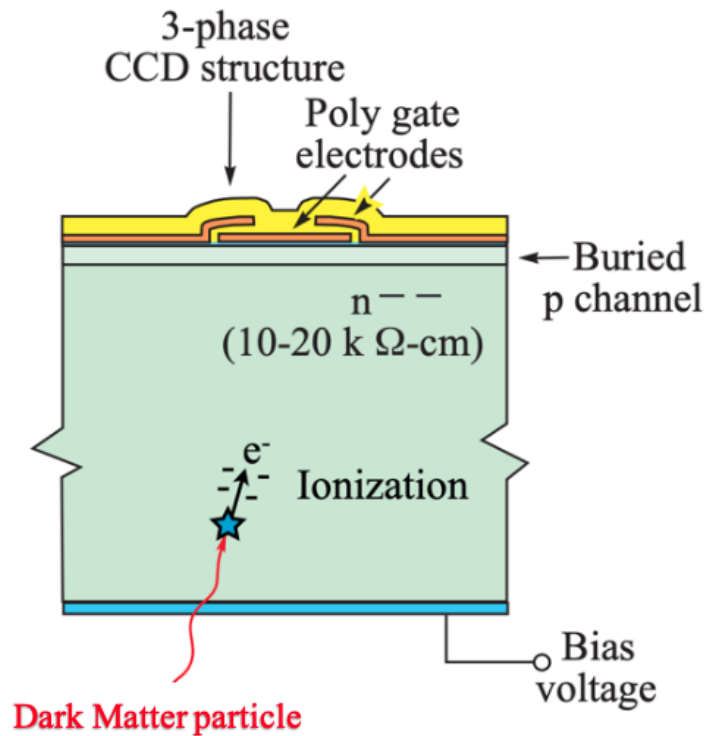


FIGURE 2.9 – coupe transversale d'un pixel dans un CCD dopé n en visualisant ses couches : substrat en silicium dopé n, un Buried channel dopé p, un électrode et un oxyde de silicium

Par la suite, nous avons piloté un autre CCD (D3500) 4K x 2K (figure 2.10b). L'architecture de ce CCD est vieille : il est câblé par un Flex à 50 pins soudé à un connecteur nano D compatible avec les cartes électroniques créées au LPNHE. Ce CCD dopé n, est logé dans un boîtier en aluminium de dimension 64.56 mm x 32.87 mm pour le protéger. La configuration du CCD diffère de celle qui est donné par sa fiche technique, car il a été monté avec des horloges inversées.

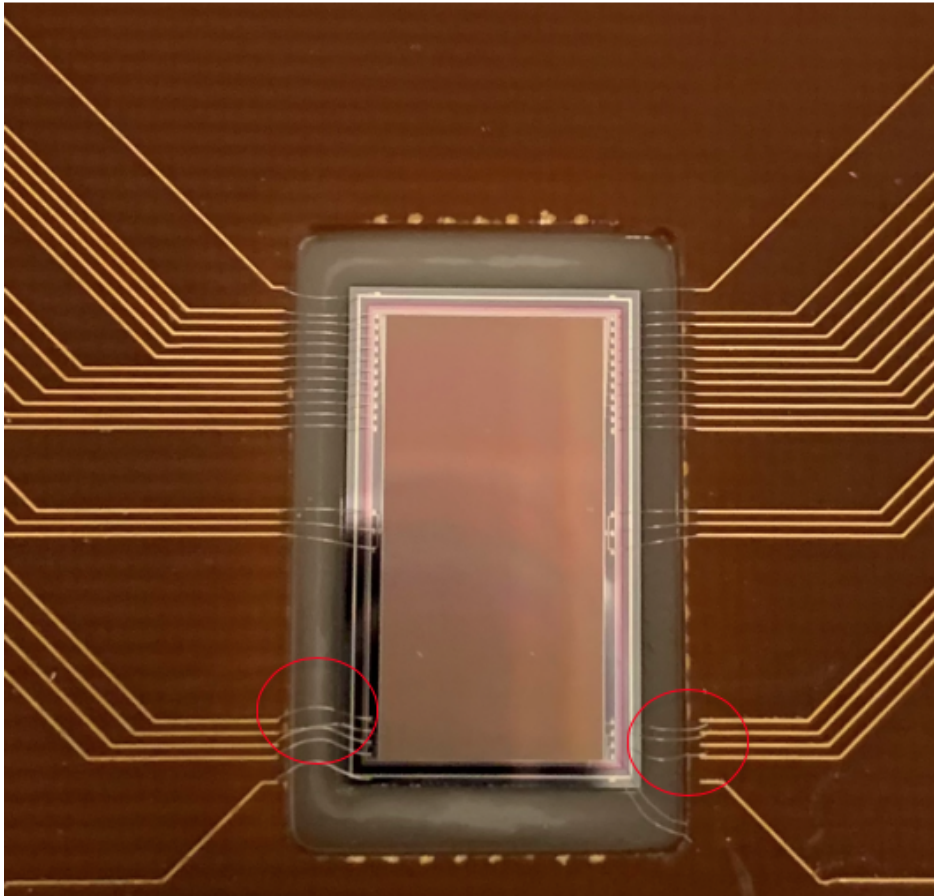
2.6.2 Pilotage d'un CCD LBNL

Chaîne de lecture d'un CCD

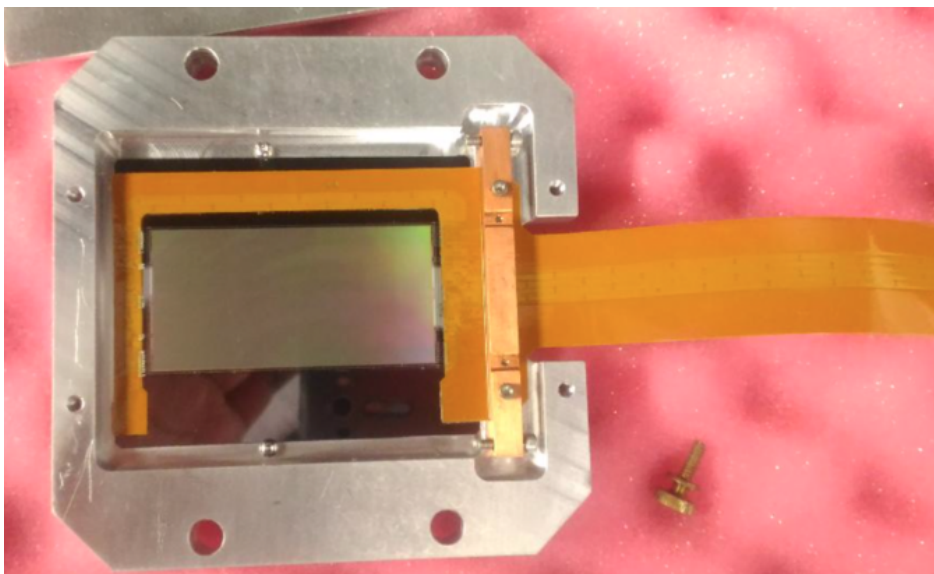
Les charges contenues dans un pixel du CCD sont transmises vers l'amplificateur de sortie sous forme d'un signal analogique, qui sera plus tard numérisé et envoyé à l'ordinateur sous forme d'une image pour être traité. La capacité de sortie du CCD est très faible, ce qui permet de mesurer quelques électrons collectés aux grilles. Le débit de lecture est égal 1 Mpixels/minute. Le bruit de lecture de chaque pixel dans le CCD est $2\bar{e}$ dans les conditions optimales de lecture dans le laboratoire souterrain de SnoLab. La sensibilité de l'amplificateur de sortie est égale à $\sim 3 \mu\text{V}/\bar{e}$ lorsque $I_{ds} = 90\mu\text{A}$ et $V_{ds} = 5\text{V}$. la figure 2.11 montre le spectre du bruit en fonction de la fréquence dans plusieurs cas en changeant la température. Ce spectre est donné par la fiche technique d'un CCD LBNL 4k x 2k [2].

Configuration optimale

Cette section est dédiée à l'étude de l'optimisation entre les horloges et les biais afin de trouver la meilleure configuration pour obtenir un bruit très faible durant la lecture



(a) un prototype LBNL CCD 1024 par 512 pixels, en montrant les fils des horloges déconnectés ce qui a empêché le passage des horloges et des biais au CCD.



(b) : LBNL CCD 4Kx2K pixels conçu dans un boîtier en aluminium

FIGURE 2.10 – CCDs LBNL utilisés dans DAMIC au LPNHE

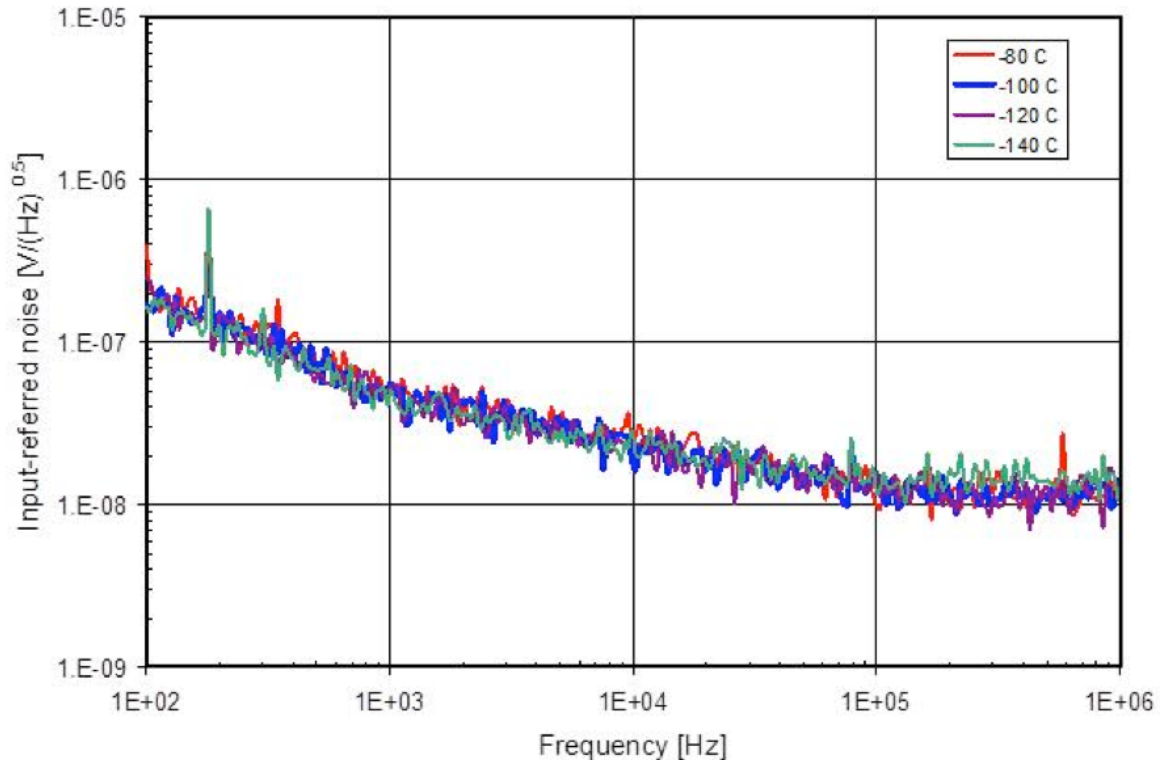


FIGURE 2.11 – variation du bruit en fonction de la fréquence en changeant la température qui montre une bonne approximation du bruit $1/f$ qui égale à $1\mu\text{V}$ à 1 Hz et du bruit blanc qui fait $15\text{ nV}/\sqrt{\text{Hz}}$ sachant que l'impédance de sortie est de $4\text{ k}\Omega$

d'un CCD. Cependant, il n'y a pas de règle standard pour choisir les valeurs d'optimisation. Le design de l'amplificateur de lecture est crucial pour un fonctionnement à faible bruit. Ce design offre une réduction du bruit grâce à la technique du double échantillonnage corrélé (CDS).

La gamme des valeurs des horloges et des biais est définie par le développeur du CCD au LBNL. Le tableau 2.1 montre les valeurs nominales des horloges et des biais dans ses différents modes de fonctionnements, ainsi que les gammes de tensions maximales et les valeurs de largeur des horloges recommandées pour un LBNL CCD $4\text{ k} \times 2\text{ k}$. En appliquant ces valeurs, on peut atteindre un bruit de quelques électrons.

Chaque horloge et biais peuvent entrainer un problème lorsque leurs valeurs ne respectent pas la gamme des valeurs recommandées par le développeur. Par exemple, durant l'exposition, si on applique sur le OG (tension de polarisation) une tension supérieure à 5 V , la charge contenue dans le « sense node » sera injectée dans le registre horizontal, et si nous appliquons une tension inférieure à 0 , un transfert de charge incorrect entre le registre horizontal et le « sense node » se produira. Les horloges horizontales et verticales peuvent provoquer une saturation du CCD, l'horloge de Summing Well peut introduit une perte de charge en augmentant le CTE.

Des études sont faites pour trouver la configuration optimale des biais et des horloges pour le LBNL CCD $4\text{ k} \times 2\text{ k}$. La meilleure configuration des horloges obtenue est présentée dans la figure 2.12. Les valeurs des tensions de polarisation appliquées sur le CCD sont : $\text{OG} \sim 2.2\text{ V}$, $\text{VDD} \sim -22\text{ V}$ et $\text{VR} \sim -12.5\text{ V}$, avec cette combinaison on est arrivé à un bruit

Signal	# of copies	Type	Exposure		Readout		Erase		Purge		Adj. Range		t width (µsec)	I
			VL	VH	VL	VH	VL	VH	VL	VH	VL	VH		
V1	2	ck	-3	5	-3	5	9	9	-9	-9	-5	15	50	
V2	2	ck	-3	5	-3	5	9	9	-9	-9	-5	15	50	
V3	2	ck	-3	5	-3	5	9	9	-9	-9	-5	15	50	
FS1	2	ck	-3	5	-3	5	9	9	-9	-9	-5	15	50	
FS2	2	ck	-3	5	-3	5	9	9	-9	-9	-5	15	50	
FS3	2	ck	-3	5	-3	5	9	9	-9	-9	-5	15	50	
TG	2	ck	-3	5	-3	5	-4	6	-4	6	-5	10	50	
H1	4	ck	-4	6	-4	6	-4	6	-4	6	-5	10	0.5	
H2	4	ck	-4	6	-4	6	-4	6	-4	6	-5	10	0.5	
H3	4	ck	-4	6	-4	6	-4	6	-4	6	-5	10	0.5	
SW	4	ck	-5	5	-5	5	-5	5	-5	5	-8	8	0.5	
RG	4	ck	-6	0	-6	0	-6	0	-6	-6	-8	0	0.15	
OG	4	dc	2.2		2.2		2.2		2.2		0	5		
VR	4	dc	-12.5		-12.5		-12.5		-12.5		-15	0		
VDD	4	dc	-22		-22		-22		-22		-25	0		<1 mA
VOUT	4	ac												
VSUB	1	dc	+40 to +80		+40 to +80		0		0		0	100		<1 µA
N+	3	float												
P+	1	dc	0		0		0		0		0			

TABLEAU 2.1 – les gammes des valeurs des tensions de polarisations, des horloges verticales et horizontales ainsi que les valeurs de largeur des horloges recommandées par la fiche technique du CCD dans les phases de lecture, d'« Erase », d'exposition et de purge

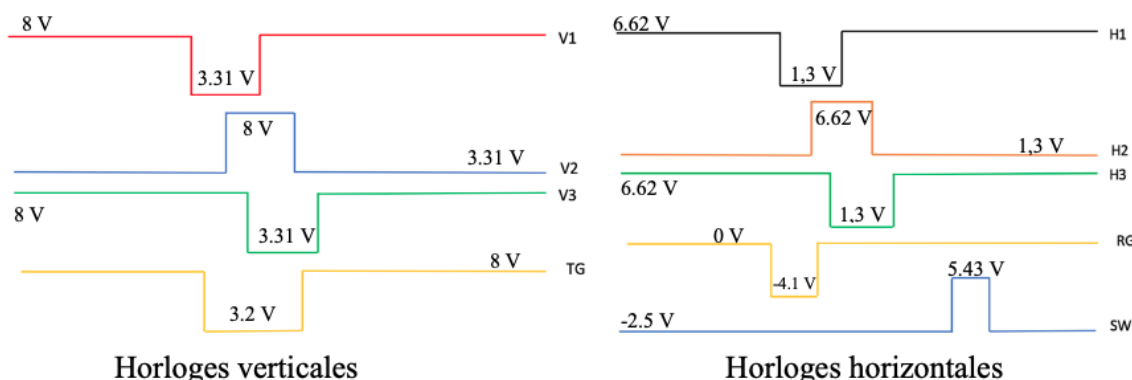


FIGURE 2.12 – la configuration optimale des horloges verticales et horizontales d'un LBNL CCD 4k x 2k appliqué au LPNHE

minimal de 5.5 ē. Cependant, d'autres paramètres agissent sur le bruit comme la chaîne de lecture (ADC, amplificateur de lecture) ainsi le bruit produit par l'amplificateur de la sortie du CCD lui-même. L'optimisation de ces paramètres sera étudiée dans le chapitre 6.

2.7 Skipper CCD

Malgré tous les avantages des CCDs scientifiques standards, le bruit de lecture reste un problème important qui empêche d'atteindre une performance sub-electron. Ce bruit est considéré comme un signal électrique ajouté au signal vidéo à la sortie du CCD. La source principale de ce bruit est l'amplificateur de sortie du CCD, mais la chaîne de lecture ajoute aussi des perturbations sur ce signal. Afin de le diminuer, un nouveau principe de lecture est introduit dans DAMIC, qui se fonde sur le Skipper CCD.

Le Skipper CCD se base sur un nouveau principe de lecture non-conventionnel, non-destructif et répétitif, en utilisant un amplificateur avec un « floating gate ». Ce système est inventé pour circonvenir le bruit $1/f$ et réduire le bruit de lecture en augmentant le temps d'échantillonnage. A la sortie de l'amplificateur, la charge est transférée par le puits de sommation (SG), le « dump gate » (DG) et la grille de sortie (OG).

2.7.1 Skipper CCD dans DAMIC

Le Skipper CCD [9] utilisé dans DAMIC est développé par Stephen Holland au laboratoire Berkeley depuis 2010. Il est composé de quatre amplificateurs placés chacun dans un coin du CCD, ce qui permet de lire les quatre régions (L1, L2, U1 et U2), comme montré dans la figure 2.13. Les amplificateurs diffèrent entre eux par la taille du « Floating gate ». Lorsque ce dernier est petit, sa capacité diminue et son gain augmente. La sortie de l'amplificateur possède une impédance de $2 \text{ K}\Omega$ et elle peut transférer le signal sur quelques centimètres sans dégradation. Au-delà, un bruit est ajouté au signal[8].



FIGURE 2.13 – Architecture du CCD qui montre les quatre régions de lecture (les quatre amplificateurs de lecture) U1, U2, L1 et L2 ainsi tous les horloges et les tensions de polarisation nécessaires pour piloter un Skipper CCD 6k x 6k

2.7.2 Le principe de lecture d'un Skipper CCD

Le Skipper CCD est une modification au niveau de l'étage de sortie du CCD où chaque pixel sera mesuré N fois dans le « sense node », afin de réduire le bruit de lecture, en le divisant par $1/\sqrt{N}$. La valeur finale du pixel est la moyenne d'échantillon :

$$\text{Pixel} = \frac{1}{N} \sum_i^N \text{échantillon de pixels} \quad (2.7)$$

Le Skipper CCD permet une lecture non-destructive de la charge dans un pixel. Son but est d'atteindre un bruit sub-électron. Cependant cette technique induit une vitesse de lecture particulièrement lent : $\mathcal{O}(ms)$ par pixel.

Le bruit $1/f$ est totalement réduit lors d'une lecture Skipper, vue que le temps d'intégration de chaque pixel mesuré est très court. Selon la figure 2.14 qui montre la différence entre la lecture conventionnelle et la lecture Skipper, durant la même durée qu'une lecture conventionnelle, le pixel est mesuré N fois, d'une manière non destructive dans la lecture Skipper. Cette technique montre que le spectre de bruit à basse fréquence est beaucoup plus petit dans la lecture Skipper que celle de la lecture conventionnelle.

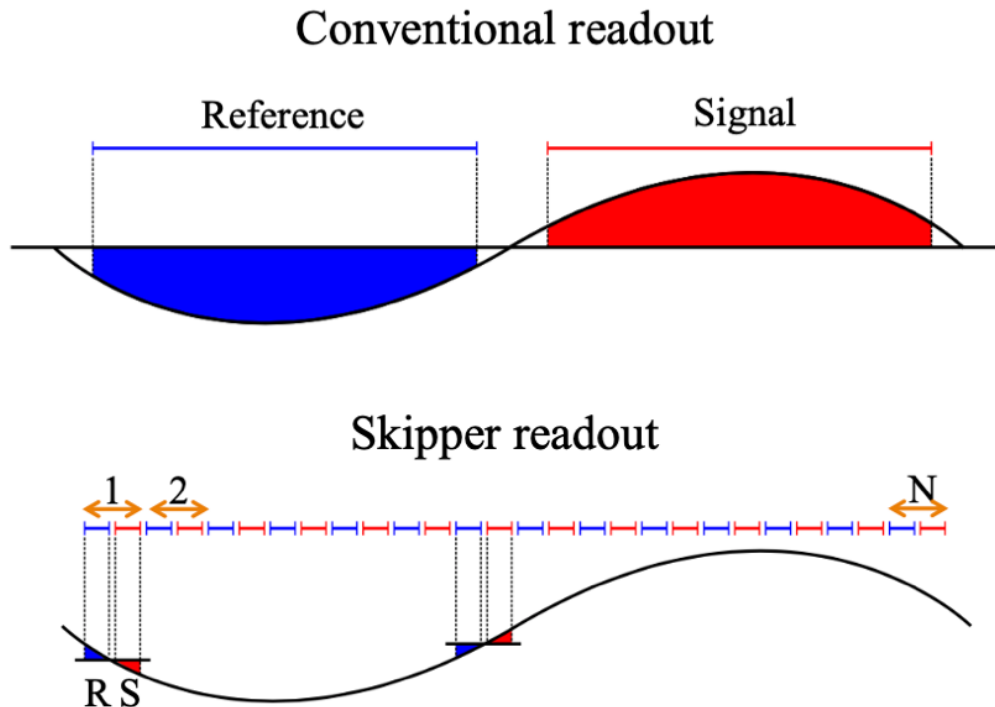


FIGURE 2.14 – la différence entre la lecture conventionnelle et la lecture Skipper durant la même durée. Chaque pixel est mesuré N fois d'une façon non destructive. Ce qui réduit l'effet de bruit $1/f$ dans le Skipper CCD

La distribution de pixels d'un prototype Skipper CCD dans DAMIC avec 4000 échantillons par pixel (largeur d'un bin $\sim 0.03\bar{e}$) est affichée dans la figure 2.15. Elle montre des pics bien séparés avec une haute résolution qui atteint à $0.0722\bar{e}$ correspondant aux pixels avec zéro, un, deux, trois ... électrons. Par exemple, le pic correspond à zéro \bar{e} a un bruit : rms de $0.068\bar{e}$ (rms/pixel), tandis que le pic à $777\bar{e}$ a un bruit : rms égale $0.086\bar{e}$ (rms/pixel). Cette distribution confirme que la lecture Skipper permet d'effectuer une réduction drastique du bruit.

Dans la figure 2.16, la résolution de charge mesurée en fonction de N (temps de lecture en ms) d'un prototype Skipper CCD, montre la suppression efficace du bruit $1/f$. Une résolution de charge de $0.2\bar{e}$ a été obtenue pour $T = 5\mu s$ et N égale une centaine de skip

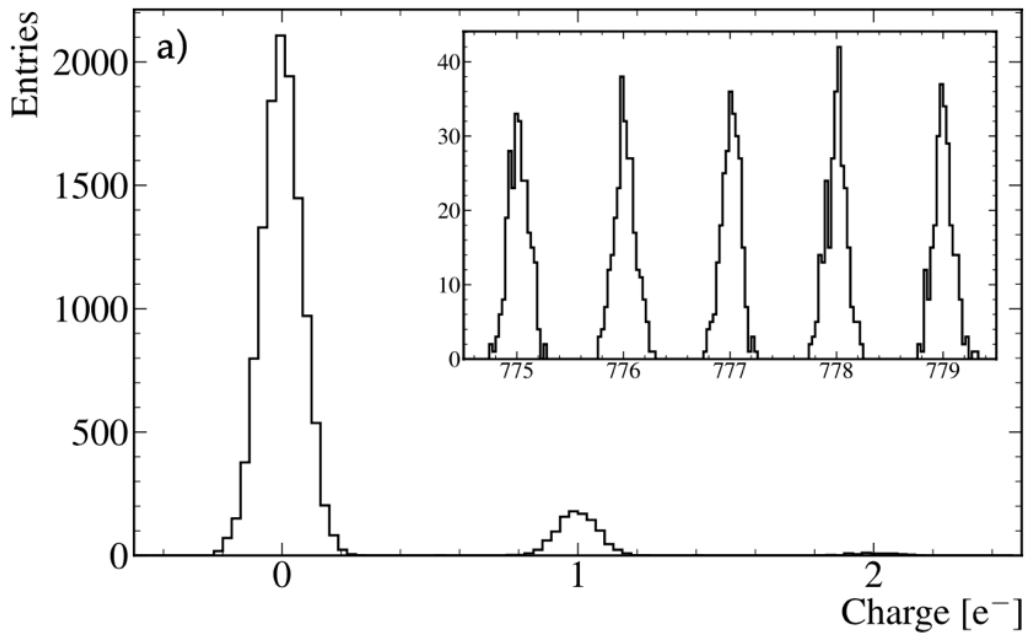


FIGURE 2.15 – la distribution des charges dans un Skipper CCD avec 4000 échantillons par pixel, où le bruit de lecture est équivalent à $0.0722 \pm 0.05\bar{e}$

ce qui correspond à une durée de lecture d'un pixel égale à quelques ms.

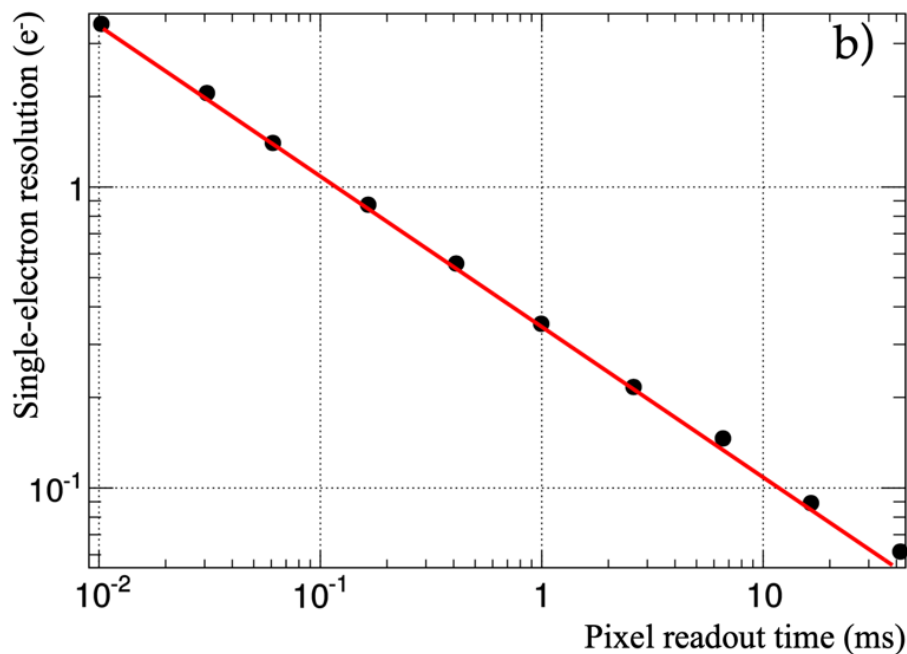


FIGURE 2.16 – Résolution d'une charge en fonction du temps de lecture d'un prototype Skipper CCD. Les points noirs montrent l'écart type de la distribution des pixels en fonction d'un nombre moyenne des échantillons. La ligne rouge est le résultat théorique prévu en supposant que les échantillons sont indépendants et non corrélés ($\sigma = \sigma_1 / \sqrt{N}$).

Pour optimiser la performance du détecteur, les paramètres du CCD tels que les horloges et les tensions de polarisation DC seront configurés indépendamment. De plus, un

ASIC est développé dans les laboratoires LPNHE/LAL pour lire le CCD. Cet ASIC sera placé aussi proche que possible du CCD dans le cryostat, pour obtenir un bruit optimal. Dans DAMIC-M le but est d'arriver à une résolution de 0.1 e^- pour $T < 1 \text{ ms}$, en utilisant une chaîne de lecture améliorée. Il est prévu de réduire la capacité de « sense node » et d'optimiser les tensions de polarisation de l'amplificateur afin de réduire le bruit.

La figure 2.17 montre l'architecture d'un amplificateur du Skipper CCD [10] ainsi que son séquençement de lecture. Son layout montre une électrode de grille flottante (floating gate) connectée à un amplificateur suiveur MOSFET (M1) conventionnel et à un interrupteur de réinitialisation MR pour remettre la tension de grille à la référence V_{ref} . Dans la même figure, on a H1, H2 et H3 qui sont les phases d'horloge du registre horizontal.

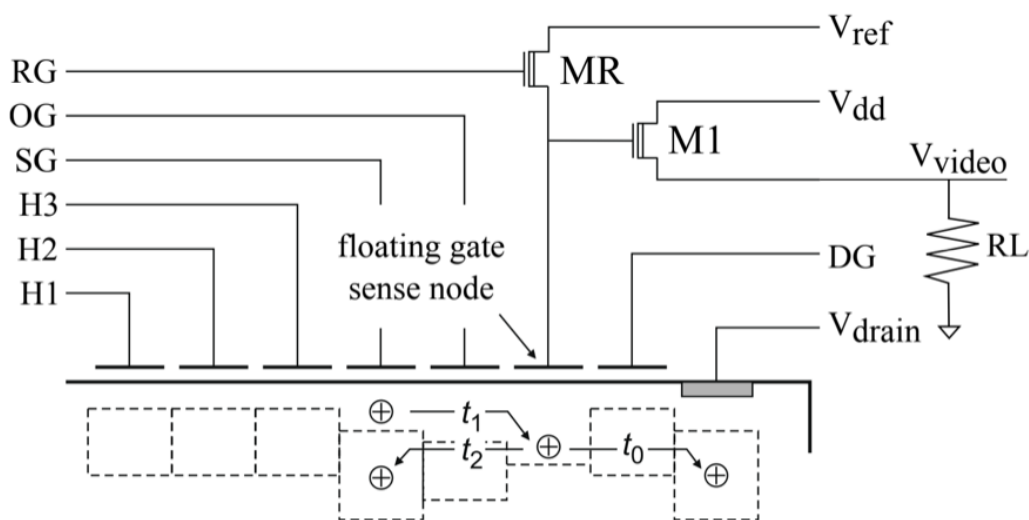


FIGURE 2.17 – schéma simplifié de l'étage de sortie d'un Skipper CCD, où H1, H2 et H3 sont les horloges horizontales, MR est un switch qui permet de réinitialiser le « sense node » à la tension « V_{ref} », M1 est le MOSFET dans la « source follower », le « Floating gate » qui permet la lecture non destructive dans le « sense node » et RL est la résistance de charge de sortie.

À t_0 : En appliquant une impulsion sur le « dump gate » (DG), toutes les charges dans le « sense node » sont extraites vers le V_{Drain} . Ensuite lorsqu'une impulsion de restauration (RG) est envoyée, la tension du « sense node » sera restaurée à la tension de référence V_{ref} .

À t_1 : L'augmentation du niveau du "puits de sommation" permet le transfert du paquet de charges vers le "sense node". À ce moment-là, la lecture du premier échantillon se termine.

À t_2 : Pour lire une autre échantillon, les tensions aux bornes de la "grille de sortie (OG)" et le "puits de sommation" se baissent. Celui-ci permet de déplacer la charge vers le "sense Node". La tension de référence de ce dernier est rétablie en appliquant une impulsion de restauration "RG". Ce mécanisme se répète N fois afin de mesurer chaque pixel N fois et ce cycle sera répété pour mesurer toutes les pixels.

2.8 Références

- [1] N. Uebelhart B. Girardet, S. Tanniger. *Capteurs CCD*. 2014. [29](#)
- [2] C. Bebek and N. Roe. *4k x 2k and 4k x 4k CCD Users Manual*, March 23 2011. [33](#)
- [3] W Boyle and G Smith. Buried channel charge coupled devices, February 12 1974. US Patent 3,792,322. [23](#)
- [4] James R Janesick. *Scientific charge-coupled devices*, volume 83. SPIE press, 2001. [23](#), [28](#), [30](#)
- [5] James R Janesick, Tom Elliott, Stewart Collins, Morley M Blouke, and Jack Freeman. Scientific charge-coupled devices. *Optical Engineering*, 26(8) :268692, 1987. [23](#)
- [6] Hervé Lebbolo. L'électronique dans les expériences. DAMIC. [26](#)
- [7] J-L Mairlot. L'imagerie ccd. *Le Ciel*, 68 :316–320, 2006. [26](#)
- [8] Guillermo Fernández Moroni, Juan Estrada, Gustavo Cancelo, Stephen E Holland, Eduardo E Paolini, and H Thomas Diehl. Sub-electron readout noise in a skipper ccd fabricated on high resistivity silicon. *Experimental Astronomy*, 34(1) :43–64, 2012. [37](#)
- [9] Paolo Privitera. A erc advanced grant 2017 research proposal. 2018. [28](#), [37](#)
- [10] Javier Tiffenberg, Miguel Sofo-Haro, Alex Drlica-Wagner, Rouven Essig, Yann Guardincerri, Steve Holland, Tomer Volansky, and Tien-Tien Yu. Single-electron and single-photon sensitivity with a silicon skipper ccd. *Physical review letters*, 119(13) :131802, 2017. [40](#)

Chapitre 3

Les ASICs de lecture et de contrôle

Sommaire

3.1 ASPIC : Analog Signal Processing IC	42
3.1.1 Description et Principe	42
3.1.2 Caractéristiques de l'ASPIC	43
3.1.3 Mode de lecture	44
3.1.4 Programmation et timing	48
3.1.5 Mise en œuvre d'ASPIC	49
3.2 CCD ReadOut Chip (CROC)	49
3.3 Clocks and Biases ASIC for CCD (CABAC)	51
3.3.1 Description et Principe	51
3.3.2 Mise en œuvre	53
3.3.3 Les problèmes rencontrés sur la carte CABAC	53
3.4 Conclusion	56
3.5 Références	57

DANS DAMIC au LPNHE et LAL, les groupes électroniques travaillent à créer un système de pilotage et lecture du CCD. A cette fin, des ASICs de lecture et du contrôle sont conçus, tels que l'ASPIC, CROC et CABAC. Ce chapitre est dédié à la description de ces ASICs.

3.1 ASPIC : Analog Signal Processing IC

3.1.1 Description et Principe

L'ASPIC [1] est un circuit de lecture de CCD conçu par les groupes de microélectronique du LPNHE et du LAL pour le projet LSST (Large Synoptic survey Telescope). Bien que ses caractéristiques ne soient pas optimales dans le contexte de DAMIC, ce circuit a été utilisé lors de tests de lecture de nos CCD, parce qu'il était prêt et nous pourrions l'implémenter directement. Cela nous permet de gagner du temps et d'obtenir rapidement des résultats de CCD. Cependant, ASPIC ne sera pas utilisé dans DAMIC-M, il sera

remplacé par un autre ASIC appelé CROC. Comme la dynamique de Skipper CCD est très faible, cela autorise un gain important. Le bruit de CROC est assez faible, celui-ci permet de répondre aux exigences de DAMIC-M.

L'ASPIC est un circuit intégré mixte (analogique/numérique) de technologie CMOS 0,35 μ m 5V du fondeur AMS (C35B4C3). Sa fonction essentielle est d'amplifier, de traiter et de filtrer le signal de sortie d'un CCD afin d'optimiser le rapport signal sur bruit. Le gain de l'amplificateur, le temps d'intégration et le mode de lecture implémentés dans cet ASIC sont programmables par un FPGA (field-programmable gate array) via des liens séries (SPI).

L'ASPIC est constitué de huit canaux identiques, chaque canal contient :

- Un amplificateur d'entrée à gain programmable sur 4 bits, le gain est fixé par un réseau de contre réaction constitué d'un condensateur série entre la sortie et l'entrée inverseuse de l'amplificateur, et de 4 condensateurs individuellement commutables entre l'entrée inversée et la référence.
- Un amplificateur de gain -1 chargé d'inverser le signal de sortie du premier amplificateur de telle sorte que l'entrée de l'étage suivant s'effectue en différentiel.
- Un étage intégrateur précédé d'un réseau de résistances commutables individuellement et de commutateurs permettant de changer la polarité de l'entrée de l'étage.

Le circuit est encapsulé dans un boîtier QFN100 avec une semelle métallique connectée à la masse du circuit et soudée au plan de masse de la carte le supportant afin d'assurer un bon contact électrique et thermique. Sa dimension fait $2.7 \times 3.8 \text{ mm}^2$ et son épaisseur égale 250 μ m. La figure 3.1 visualise la photolithographie du circuit ASPIC.

Le gain programmable (sur 4 bits) du premier étage permet d'optimiser la dynamique du CCD, donnée par le facteur de conversion de l'amplificateur de sortie du CCD (ici $\sim 6 \mu\text{V}$ par électron), la capacité maximale d'un pixel ($\sim 10^5$ électrons), et l'amplitude maximale du convertisseur analogique/numérique (ADC 18bits, entrée maximum 10V, LSB $\sim 21.8 \mu\text{V}$). Les valeurs de gain du 1^{er} étage s'échelonnent entre 2 et 13.

Le gain total d'un canal d'ASPIC est donné par : $A = G \times 2 \times T/RC$ où G est le gain du premier étage, le facteur 2 est dû à la conversion uni-polaire vers différentiel; T est le temps d'intégration contraint par la vitesse de lecture désirée et la fréquence de coupure du filtre optimisant le rapport signal sur bruit; RC est la constante de temps programmable sur 4 bits de l'intégrateur. L'optimisation de la dynamique de sortie et du rapport signal sur bruit conduisent à choisir un rapport T/RC proche de l'unité [3].

3.1.2 Caractéristiques de l'ASPIC

Les spécifications de l'ASPIC sont les suivantes :

- Alimentation : 5V/0V avec une tension de référence = 2.5 V et 3.3 V pour l'alimentation de la partie numérique
- Fonctionnement à une température de 173k
- - Entrée uni-polaire (+/- 1V max), sorties différentielles (+/- 5V max)
- - Bruit total = $13.2 \mu\text{V} \sim 2.3\bar{e}$ à 550 Kpixels/s
- Densité du bruit : $5 \text{ nV}/\sqrt{\text{Hz}}$

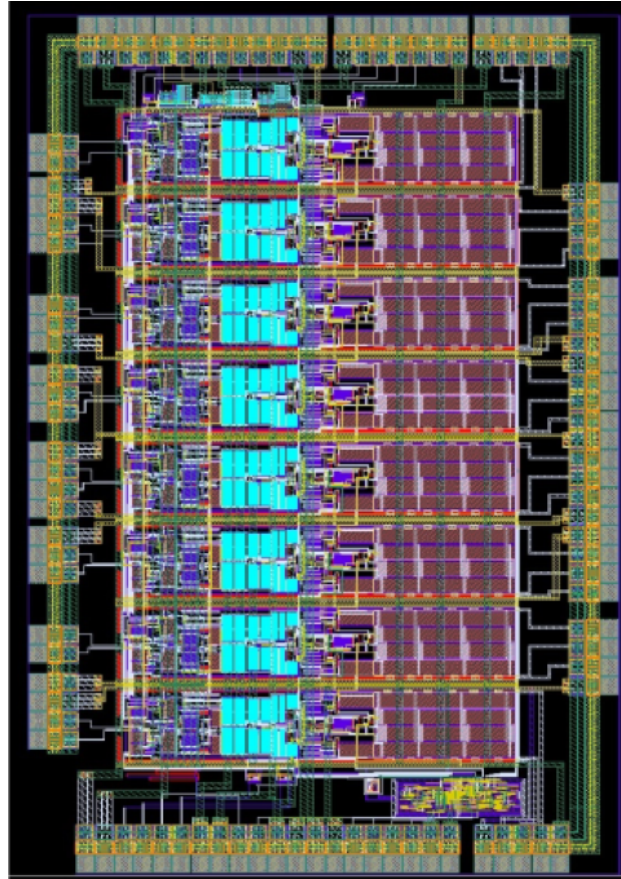


FIGURE 3.1 – Photolithographie du circuit ASPIC : dimension $2.7 \times 3.8 \text{mm}^2$, épaisseur $250 \mu\text{m}$

- Diaphonie maximale entre les canaux à 550kHz : 0.02%
- Linéarité : 0.5 %
- Puissance dissipée < 30 mW par canal
- Fréquence de lecture : F = de 250 kHz jusqu'à 550 kHz
- Temps de lecture d'un pixel sur LSST = $1.8 \mu\text{s}$
- Huit canaux avec une sortie différentielle chacun

3.1.3 Mode de lecture

Le mode utilisé pour la lecture du CCD est une technique dite de double échantillonnage corrélé (Correlated Double Sampling, CDS), qui consiste à soustraire la valeur du niveau obtenu lors de la remise à la référence de l'entrée de l'amplificateur de sortie à la valeur du niveau obtenu après que les charges ont été transférées dans le registre de lecture.

Cette technique de lecture est implémentée en une seule numérisation avec deux modes possibles : « Clamp & Sample » et « Dual Slope Integrator ». Ces deux modes visent à éliminer le bruit de lecture majeur des CCD, appelé bruit de Reset et dont la variance vaut KT/C où K est la constante de Boltzmann, T est la température en Kelvin et C la capacité effectuant la conversion charge en tension dans le registre de lecture ($\sim 15 \text{fF}$), soit quelques $\sim 500 \mu\text{V}$ à 173K. Ce bruit apparaît lors du relâchement de Reset, lorsque l'interrupteur (switch) court-circuitant le condensateur pour le vider est ouvert permettant

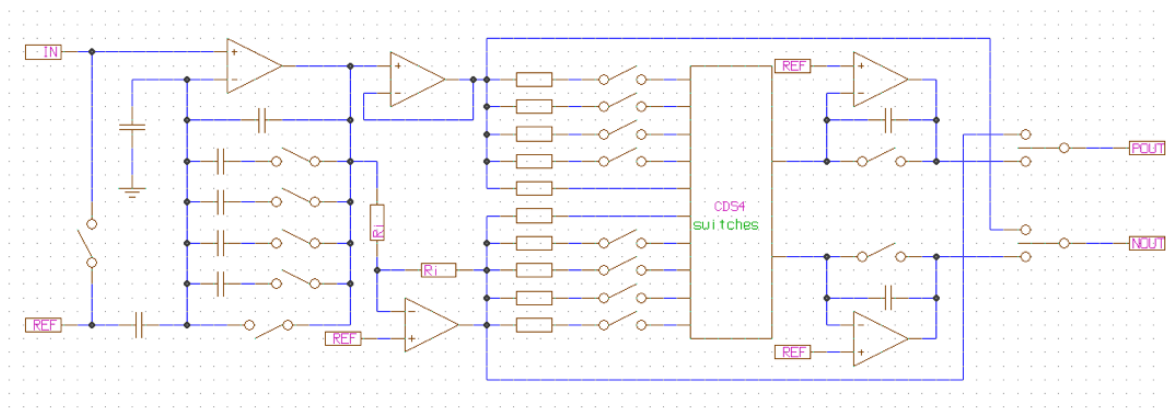


FIGURE 3.2 – Synoptique d'un canal d'ASPIC. Switch de clamp, étage d'entrée avec ses capacités commutées, amplificateur inverseur, Résistances commutées pour le choix de constante de temps, switches du CDS, intégrateurs. Switch permettant la sélection du mode C & S ou DSI

le transfert des charges du prochain pixel. La figure 3.2 montre l'architecture d'un seul canal de l'ASPIC en exposant les deux étages intégrés : étage d'entrée avec ses capacités commutées, amplificateur inverseur, résistances commutées pour le choix de constante de temps, switches du CDS, intégrateurs. Le switch permet la sélection du mode C & S ou DSI.

Clamp & Sample

Le mode Clamp & Sample consiste à stocker le bruit de Reset de la capacité de l'amplificateur de sortie du CCD dans un condensateur de liaison entre le CCD et ASPIC, et à lui substituer le bruit de Reset de la capacité de liaison, qui du fait de sa valeur ($> 1\text{nF}$) est plusieurs ordres de grandeur plus faible. La figure 3.3 montre la synoptique d'une implémentation du mode Clamp & Sample dans l'ASPIC en visualisant le switch « reset » et le switch « Clamp » ainsi la capacité de liaison entre le CCD et l'ASPIC.

Lors du Reset de la capacité de l'amplificateur de sortie du CCD, l'entrée d'ASPIC est court-circuitée à la référence par le switch « Clamp ». Au relâchement du Reset, le bruit en kT/C apparaît à la sortie de l'amplificateur du CCD, et charge la capacité de liaison entre le CCD et l'ASPIC dont l'entrée est toujours « clampée ». Le switch Clamp est ensuite relâché, le bruit de Reset de la capacité de liaison apparaît à l'entrée d'ASPIC ($\sim 2\mu\text{V}$ pour une capacité de 1nF).

Ce mode a l'avantage d'être simple, robuste, intrinsèquement plus rapide que le DSI, et de ne pas être très sensible à la précision du cadencement (gigue ou jitter). La contrepartie de cette simplicité est que, du fait de la valeur non nulle de la résistance du switch de Clamp et de la durée de Clamp, il reste une fraction de la charge du pixel précédent dans le condensateur de liaison, créant une distorsion de mémoire de lecture de pixel. Celle-ci peut être très gênante à la lecture d'un pixel quasiment vide après un pixel contenant un grand nombre de charges. Le chronogramme de la figure 3.4 montre le cadencement de ce mode de lecture en exposant le signal à l'entrée de l'ASPIC et la sortie du CCD, ainsi que les horloges de Reset et de Clamp.

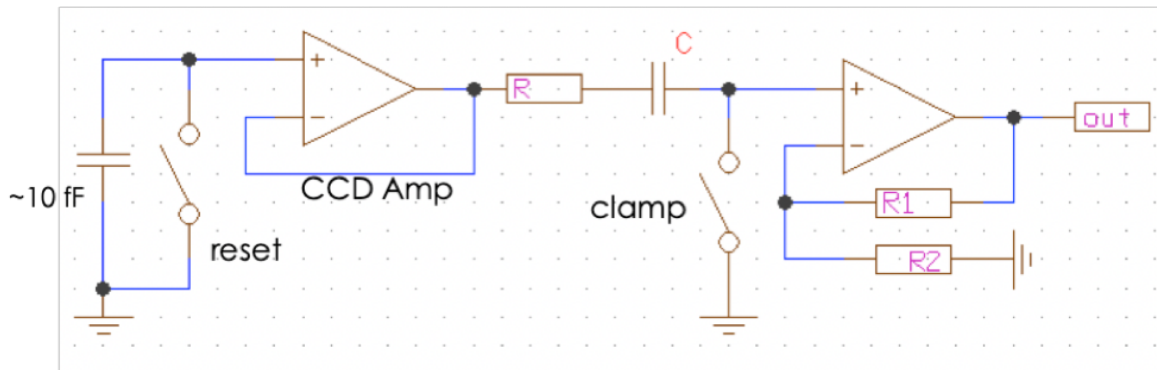


FIGURE 3.3 – Synoptique d’une implémentation du mode Clamp & Sample. La capacité de l’amplificateur de sortie du CCD et le switch de Reset, le condensateur de liaison et le switch de Clamp

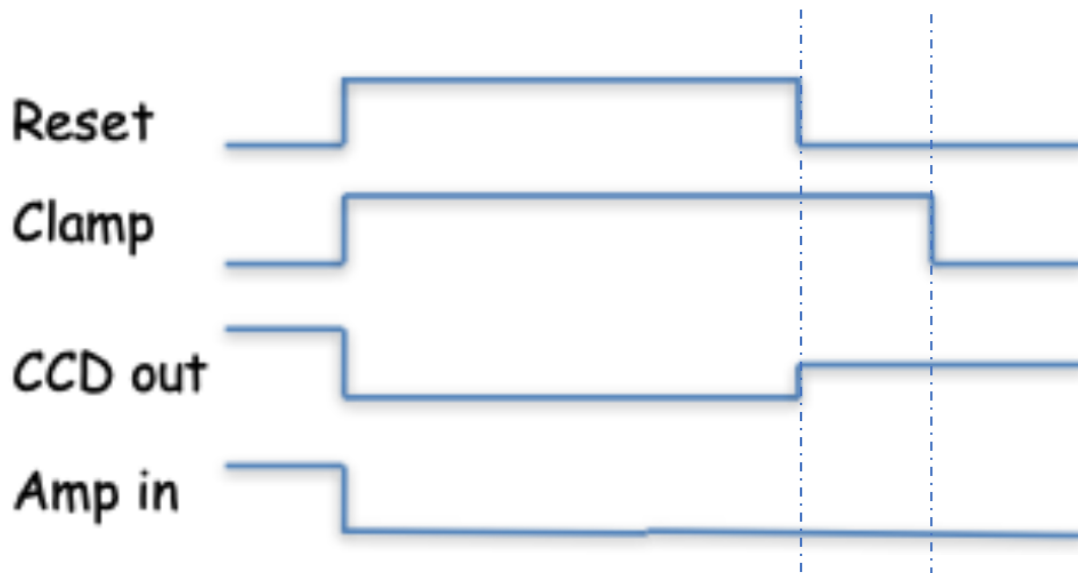


FIGURE 3.4 – : Sortie du CCD, entrée d’ASPIC et signaux de cadencement d’une partie de lecture en mode Clamp & Sample

Dual Slope Integrator (DSI)

Dans le mode DSI, l'utilisation du Clamp est facultative et celui-ci peut n'être utilisé que pour effectuer un « DC restore » périodique de l'entrée d'ASPIC dont le niveau DC peut dériver en fonction des courants de fuite et de la valeur moyenne du niveau de sortie du CCD. La figure 3.5 montre le synoptique d'une implémentation du mode DSI dans l'ASPIC.

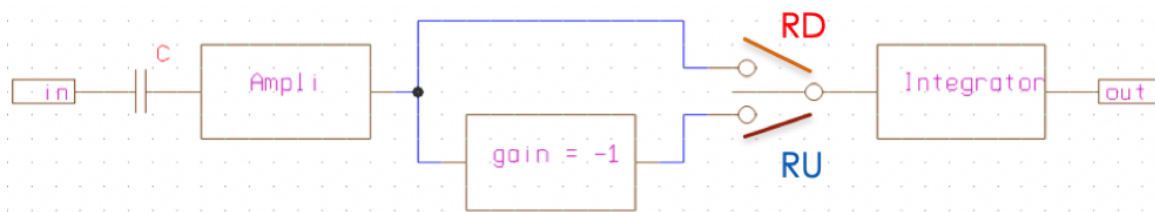


FIGURE 3.5 – Synoptique d'une implémentation du mode DSI. Le signal injecté vers les intégrateurs durant RU (-) est l'opposé de celui injecté durant RD (+).

Le DSI est une combinaison entre le double échantillonnage corrélé et l'intégration de signal de CCD. Il consiste à intégrer le niveau obtenu après le Reset de la capacité de l'amplificateur de sortie du CCD, puis à intégrer le niveau obtenu après le transfert de charges avec un signe opposé, en effectuant ainsi une soustraction du bruit de Reset. Après le transfert, les switches du CDS aiguillent le signal vers les intégrateurs avec un signe opposé pendant la même durée T_{int} . Le système a donc intégré le bruit B pendant la durée T_{int} puis (-Signal-Bruit) pendant le même temps, la sortie est donc l'intégrale du signal pendant T_{int} . Les capacités des intégrateurs sont ensuite court circuitées avant la lecture du pixel suivant. Les niveaux des signaux sont amplifiés puis intégrés pendant un temps T_{int} , le signe de l'intégration est donné par la position des switches du CDS. Après une durée T_{int} les switches du CDS sont ouverts, les intégrateurs sont isolés et la sortie n'évolue plus. Les intégrateurs sont également isolés durant le transfert de charge vers l'amplificateur de sortie du CCD. La cadencement de cette technique est illustrée dans la figure 3.6.

L'avantage de ce mode est qu'il réalise le filtrage « optimal » du signal, en éliminant le bruit de Reset par soustraction (filtre passe haut) et le bruit thermique par intégration (filtre passe bas).

Cependant, les points faibles de la méthode sont :

- Beaucoup de signaux de cadencement pouvant injecter des charges via les condensateurs parasite des transistors des switches.
- Le DSI est sensible aux différences de durée entre l'intégration du Reset (Ramp Down) et l'intégration du signal utile (Ramp Up)
- Le DSI est sensible à la valeur du gain de l'amplificateur inverseur qui transforme le signal unipolaire en signal différentiel
- Il peut être le lieu d'une distorsion de mémoire¹ si la durée du Reset des capacités des intégrateurs est insuffisante.

1. ie parfois, il en reste des informations de l'acquisition précédente dans la mémoire de l'ASPIC

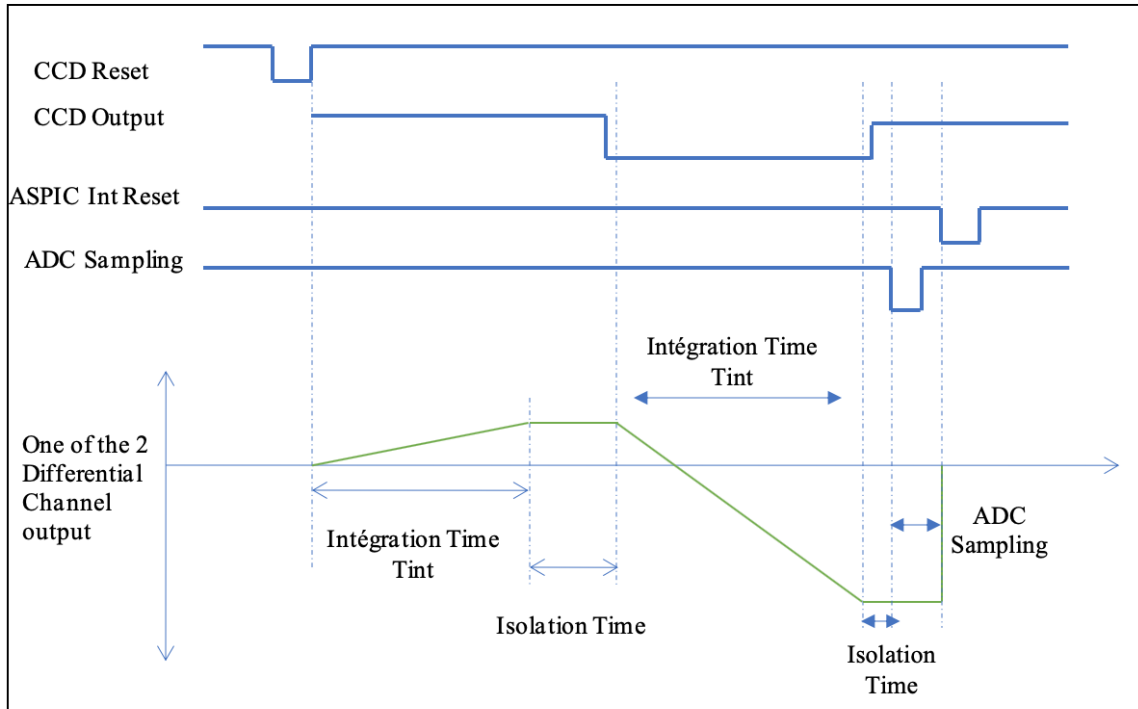


FIGURE 3.6 – Cadencement des horloges et des signaux du mode DSI

3.1.4 Programmation et timing

— **Programmation :**

Plusieurs paramètres sont programmables dans l'ASPIC tels que :

- Le gain du premier amplificateur sur 4 bits.
- La constante de temps de l'intégrateur sur 4 bits (RC).
- Le mode de lecture : mode DSI ou Clamp & Sample (transparent)
- Chaque canal peut voir son entrée court-circuitée à la référence.
- Un bit permet de forcer le gain de l'étage d'entrée à 1 ; Cette option est dite AF1

— **Timing :**

L'ASPIC est cadencé par des signaux externe LVDS (low voltage differential signals) :

- Clamp (ou DC restore) : court-circuite l'entrée à la référence.
- Reset Integrator : court-circuite le condensateur de contre réaction entre la sortie et l'entrée inversée (force le gain de l'étage d'entrée à 1).
- RD (Ramp down) : signal aiguillant le signal lors de l'intégration du Reset.
- RU (Ramp up) signal aiguillant le signal durant la phase d'intégration du signal utile.

Lorsque RU et RD sont inactifs, les intégrateurs sont isolés. Lorsque RU et RD sont actifs, les intégrateurs amplifient la différence entre les sorties de l'amplificateur d'entrée et l'étage inverseur. Ce mode permet de mesurer le gain de l'étage inverseur. A l'allumage ou à la réception d'un Reset, l'ASPIC sera en mode transparent avec un gain d'entrée forcé à 1. Dans ce mode, l'ASPIC n'a pas besoin de signaux de timing pour fonctionner.

3.1.5 Mise en œuvre d'ASPIC

Pour de besoins de tests de lecture de CCD, l'ASPIC a été monté sur une carte² connectée au CCD par un connecteur NanoD d'une part, et d'autre part prolongée par un Flex en Kapton (câble flexible) chargé de transporter les signaux vers le connecteur de sortie du cryostat contenant le CCD et l'ASPIC. Le froid est amené via 4 trous métallisés sur la carte reliés à la masse générale. La figure 3.7 montre la carte supportant l'ASPIC avec un connecteur NanoD connectée par un Flex à une autre carte contenant le translateur des signaux.

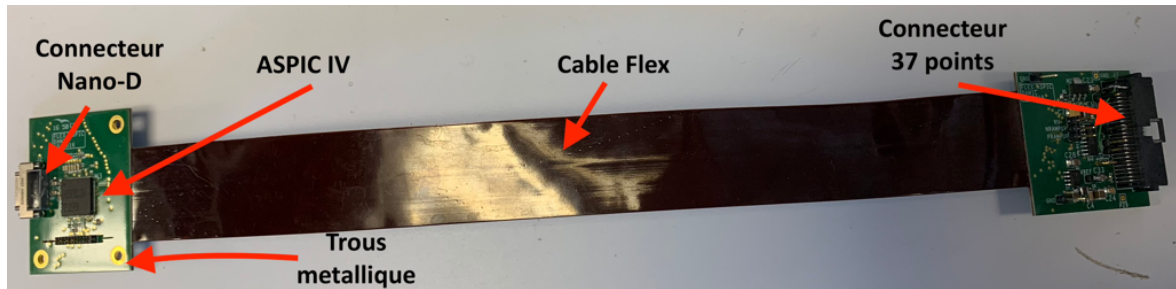


FIGURE 3.7 – La carte supportant ASPIC, le Flex et la carte équipée du connecteur de sortie

ASPIC a été conçu pour lire les CCD de la caméra du télescope LSST dont les pixels peuvent contenir jusqu'à plus de 10^5 électrons. Aussi le gain du circuit n'est pas du tout adapté à l'expérience DAMIC où les niveaux de sorties attendu sont beaucoup plus faibles et peuvent accepter une amplification beaucoup plus élevée que le gain maximum d'ASPIC. Pour toutes ces raisons un nouvel ASIC a été conçu pour répondre aux exigences de DAMIC-M. Ce nouvel ASIC est nommé CROC pour CCD Read-Out Chip.

3.2 CCD ReadOut Chip (CROC)

Le CROC est un ASIC de lecture de CCD en cours de conception reprenant en partie les principes utilisés dans ASPIC. Ses caractéristiques sont :

- Quatre canaux identiques à entrées unipolaires et sorties différentielles
- Gain programmable individuellement sur 6 bit de 4 à 128
- Constante de temps programmable individuellement sur 6 bits de 200ns à 50µs
- Mode de lecture individuellement programmable : DSI et C & S [même concept que ceux implémentés dans l'ASPIC]
- Courant de polarisation programmable commun aux 4 canaux
- Un offset de sortie programmable commun aux 4 voies, permettant d'optimiser l'interface entre les sorties de CROC et l'ADC et la polarité du signal d'entrée.

La figure 3.8 illustre le synoptique d'un seul canal (entrée unipolaire / sortie différentielle) du CROC en visualisant les différents blocs de configuration.

Le photolithographie du circuit CROC affiché dans la figure 5.16, ce circuit est conçu dans une technologie CMOS AMS 0.35µm (C35B4C3) et encapsulé dans un boîtier QFN100

2. Voir Annex B : Carte supportant l'ASPIC

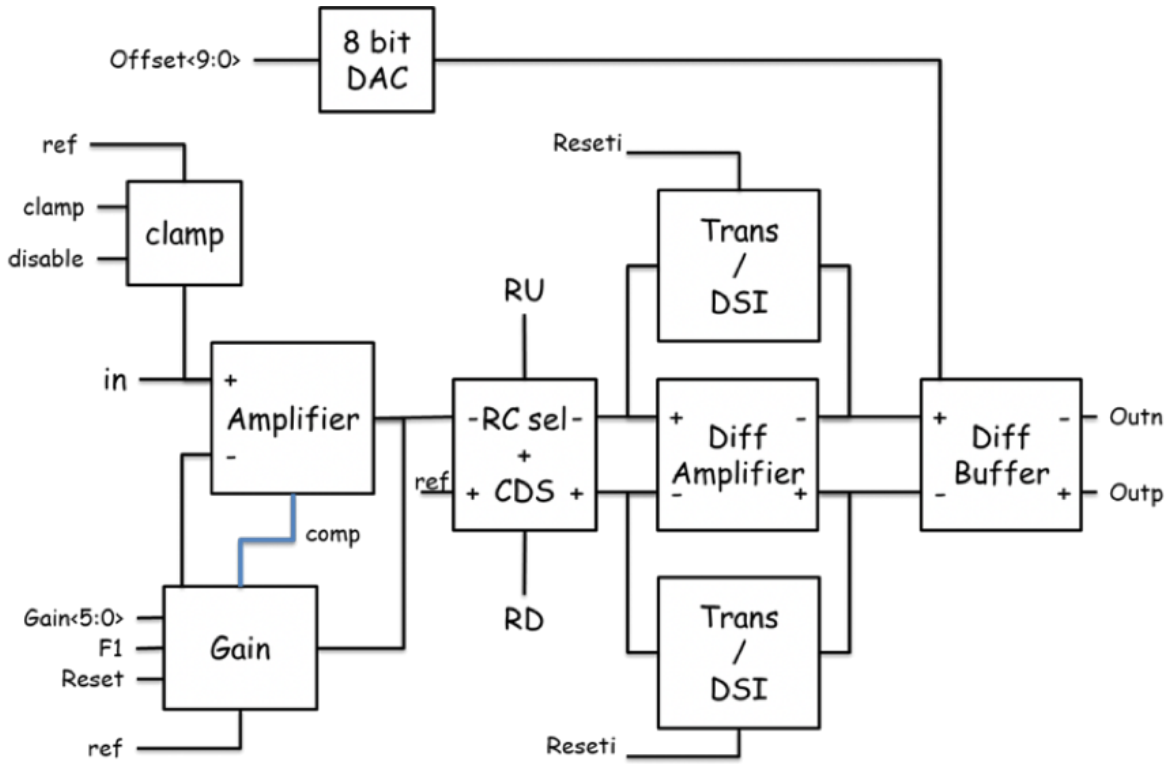


FIGURE 3.8 – Synoptique d'un seul canal de CROC en exposant les différents blocs de configuration

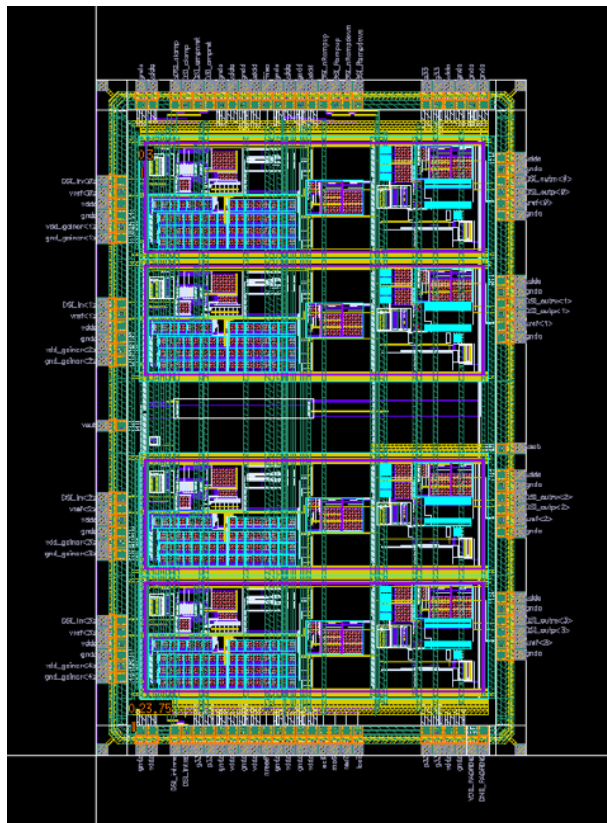


FIGURE 3.9 – Photolithographie du circuit CROC, surface $6 \times 3.8mm^2$

(pour faire les tests de caractérisation du CROC seulement) avec un plan thermique « Bottom pad ». Sa dimension est égale à $6 \times 3.8 \text{ mm}^2$.

Pour obtenir en sortie du CCD les signaux analogiques, il faut cadencer le CCD afin de déplacer les charges vers la sortie. Un circuit intégré a été conçu pour cela, appelé CABAC.

3.3 Clocks and Biases ASIC for CCD (CABAC)

3.3.1 Description et Principe

Le CABAC[1] (Clocks And Biases Asic for CCD) est un circuit intégré dont le but est de fournir les polarisations, les alimentations et les horloges nécessaires au fonctionnement d'un CCD. Cet ASIC[2] a été conçu pour fonctionner au froid dans la caméra du télescope LSST mais n'a pas été retenu.

Les amplitudes des horloges ainsi que le niveau des polarisations et alimentations sont programmables et peuvent atteindre plusieurs dizaines de volt. Il a été fait appel pour leur fabrication à une technologie haute tension (H35B4D3 CMOS 0,35 μm haute tension 50V). La figure 3.10 montre le photolithographie du circuit CABAC.

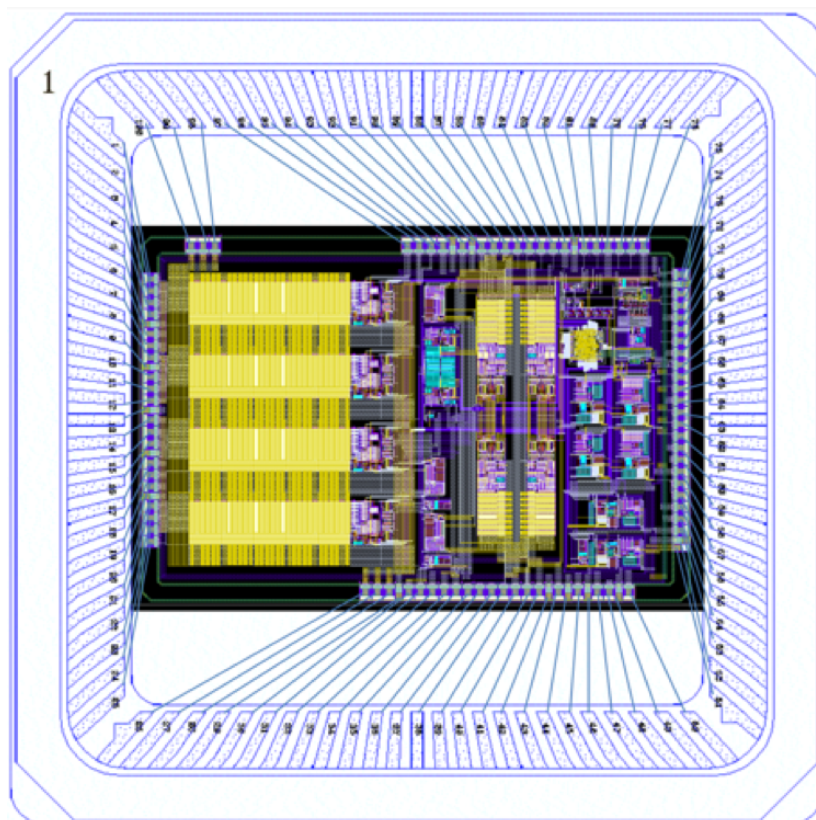


FIGURE 3.10 – : Photolithographie du circuit CABAC

Le CABAC peut fournir :

- 3 horloges séries, commandées individuellement par un signal LVDS, d'amplitude commune limitée par des alimentations externes. L'amplitude des horloges ne peut excéder 20V, les niveaux haut et bas peuvent être positifs ou négatifs relativement à

la masse locale. Chaque horloge série a une capacité en courant programmable sur 8 bits pouvant arriver à 60mA.

- 1 horloge RG, avec caractéristiques identiques aux horloges séries
- 4 horloges parallèles identiques aux horloges séries à part la capacité en courant qui peut atteindre 400mA
- 2 alimentations dont le niveau est programmable sur 10 bits de 0 à 45V ayant une capacité en courant de 60mA.
- 4 polarisations dont le niveau est programmable sur 10 bits de 0 à 45V, la capacité en courant est de l'ordre de 100µA.

Comme illustré dans la figure 5.21, chaque horloge a besoin de deux DAC pour programmer d'une manière indépendante ses pentes montantes et descendantes. Le DAC est utilisé également pour régler le courant délivré par chaque horloge, en respectant la variation maximale du courant.

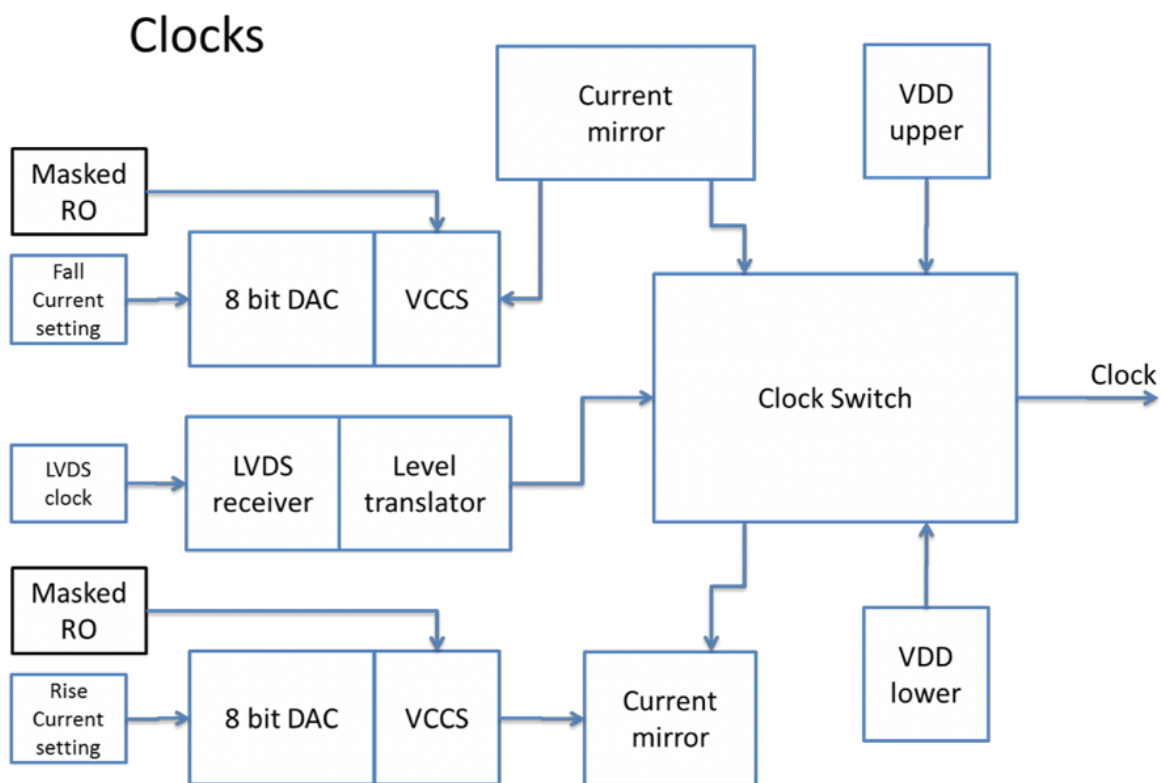


FIGURE 3.11 – Synoptique de la génération des horloges, en passant par des DAC 8 bits

A des fins de monitoring, le CABAC comprend deux multiplexeurs capables d'envoyer deux de tous les signaux générés pour la comparaison. Chaque CABAC comprend une sonde de température dont la sortie est reliée au multiplexeur et un générateur d'impulsion commandé par un signal LVDS destiné à fournir un signal de calibration électronique pour la chaîne de lecture, comme le montre la figure 3.12. Les paramètres des polarisation, des alimentations et des horloges sont programmés via un lien série SPI.

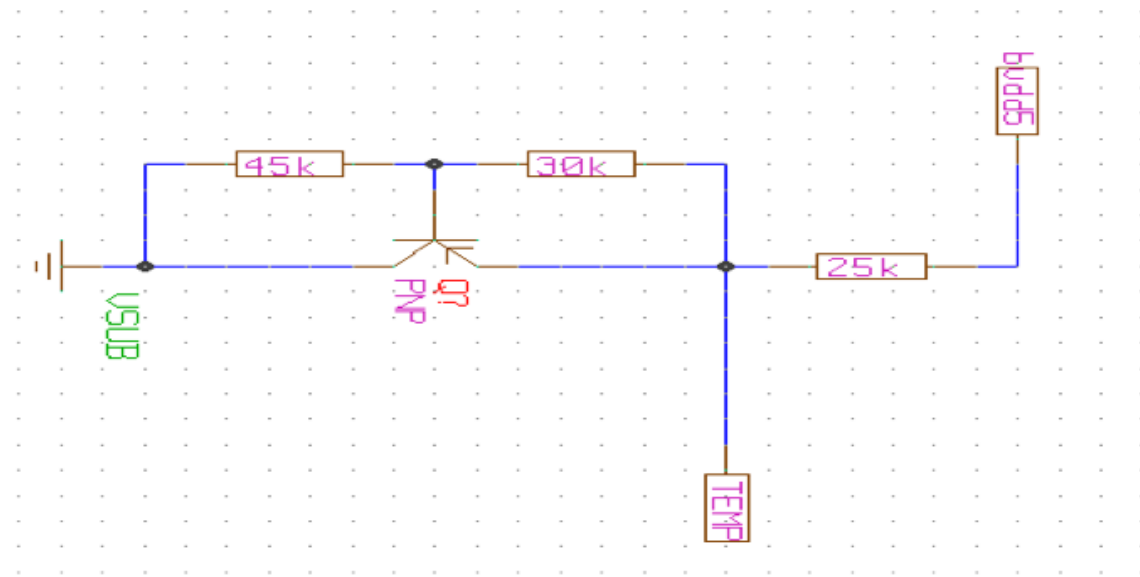


FIGURE 3.12 – circuit de capteur de température implémenté dans CABAC

3.3.2 Mise en œuvre

Pour le banc de tests CCD, une carte³ supportant 3 CABAC a été développée pour cadencer et polariser le détecteur. Cette carte est connectée à une carte d'évaluation FPGA chargée de programmer les circuits et d'envoyer les commandes d'horloges. Elle contient un étage d'alimentation constitué des borniers connectés aux alimentations externes qui fournissent diverses tensions dont certaines sont régulées directement sur la carte. Un deuxième étage permet la communication entre le FPGA et les CABAC à travers des translateurs CMOS/LVDS, notamment pour l'envoi des commandes de déclenchement LVDS qui sont transformés par le CABAC en horloges. Une troisième étage d'amplificateur suiveur permet de créer les rails des horloges séries et parallèles. Également, des amplificateurs sont implémentés pour ajuster les tensions de polarisation fournies par le CABAC au CCD. La figure 3.13 visualise cette carte.

3.3.3 Les problèmes rencontrés sur la carte CABAC

Le pilotage d'un CCD LBNL 4K × 2K nécessite 4 horloges verticales (V1, V2, V3 et TG), 8 horloges séries (H1a, H1b, H2a, H2b, H3a, H3b, RG et SW), VSUB et 6 biais (OGa, OGb, VRa, VRb, VDDa et VDDb). Toutes les horloges, les biais et l'alimentation sont soumis à des contraintes selon l'exigence du CCD. Des tests ont été effectués sur la carte qui contient les 3 CABAC pour s'assurer qu'elle fournissait les bonnes valeurs d'horloges, de biais et d'alimentation en respectant la fiche technique du CCD. Ces tests ont révélé plusieurs erreurs et problèmes qui ont été résolus.

La valeur négative de biais OG

Lors de la conception de la carte 3 CABAC, qui cadence le CCD, les horloges et les biais sont envoyées directement au CCD sans protection. Or selon la fiche technique du CCD, la tension de polarisation « OG » doit être positive. A la mise sous tension de la carte, les signaux de sortie de CABAC sont dans un état instable et peuvent être négatifs.

3. Voir Annexe B : Carte supportant 3 CABACs

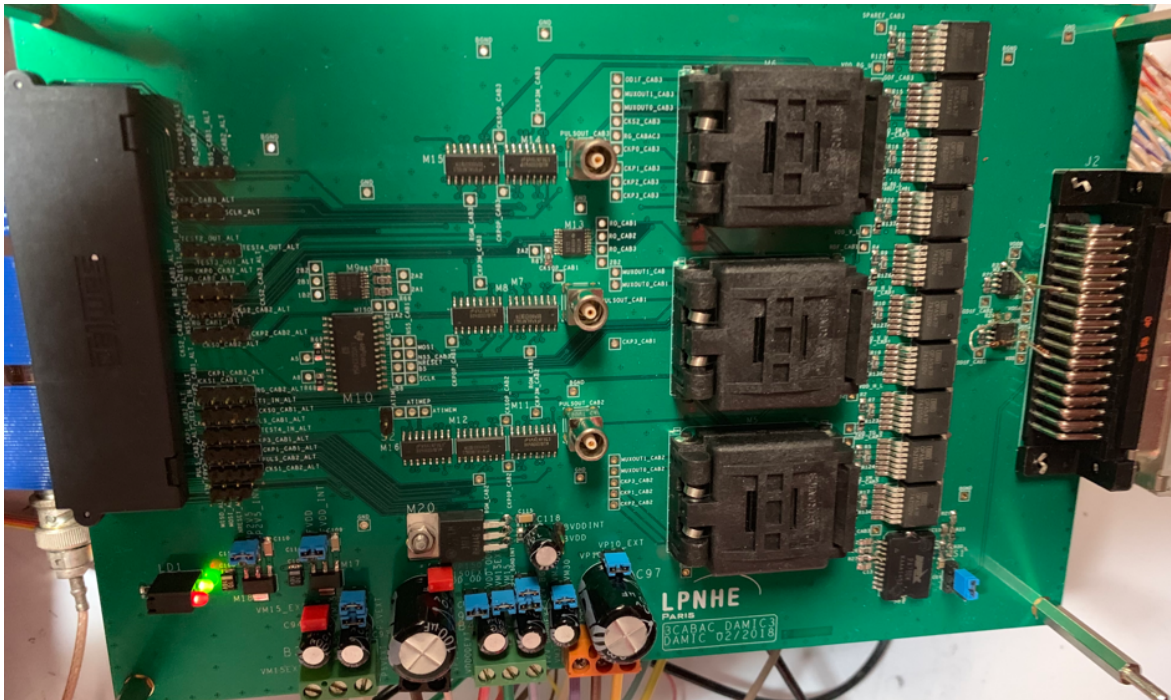


FIGURE 3.13 – carte électronique supportant 3 CABAC

Particulièrement, « OG » présente un pic de -7V qui dure 460 ms, comme le montre la figure 3.14.

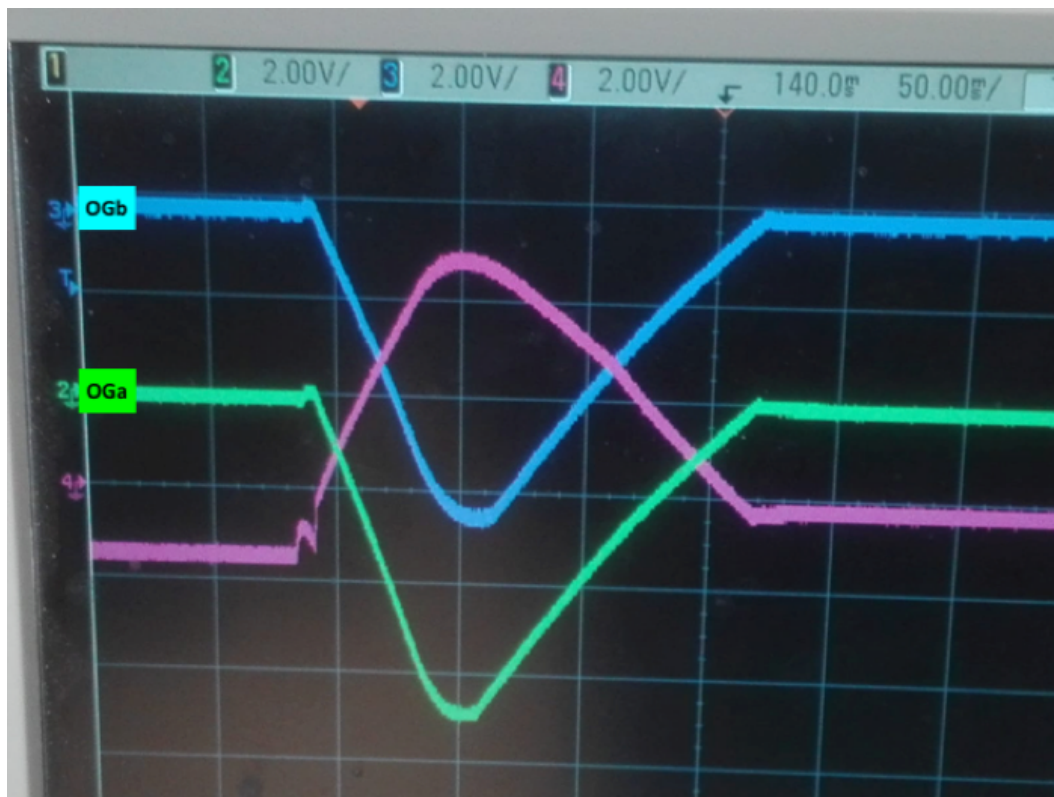


FIGURE 3.14 – la sortie du CABAC au démarrage de l'alimentation de la carte montre des valeurs négatives de VOG [-7V]

Pour résoudre ce problème, une série de diodes ont été ajoutées à la sortie du CABAC, les résultats sont affichés dans la figure 3.15. Après la mise sous tension du CABAC, la

tension OG passe à une valeur négative égale à 30 mV durant 200 ms (valeur négligeable), et ensuite elle passe à la valeur normale demandée.

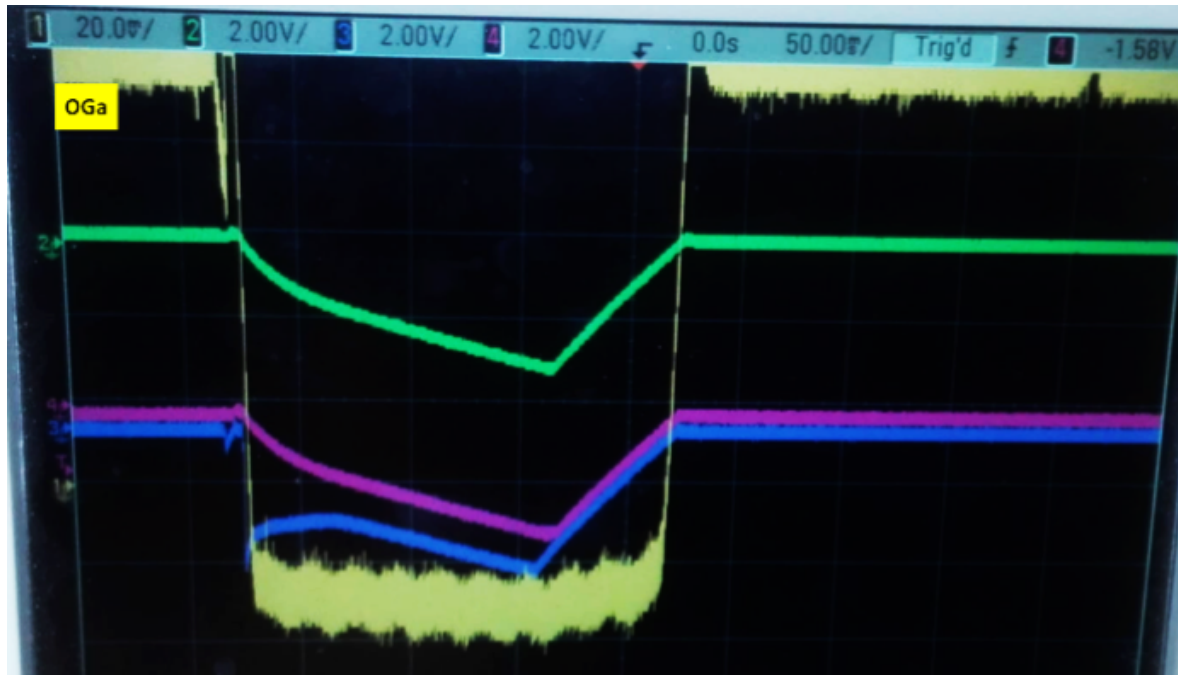


FIGURE 3.15 – les valeurs de « OG » positives fournissent du CABAC après l’ajout des diodes

Variation de VSUB

La tension d’alimentation du CCD, VSUB est fabriquée par le CABAC à travers un amplificateur « AOP PA78 » avec un gain de 5. La courbe de fonctionnement de VSUB en fonction de Vss (tension d’alimentation de l’amplificateur) montre une limitation qui empêche d’avoir des hautes valeurs de VSUB même si on augmente la valeur d’alimentation de l’amplificateur VSS. D’après la figure 3.16, on constate que l’amplificateur qui fabrique Vsub sature à Vss = 8V, ce qui limite la valeur de Vsub à 27V au lieu de 35V. Pour résoudre ce problème, on a modifié la gamme à l’entrée de l’amplificateur en augmentant l’alimentation de la carte qui fournit la tension à cet amplificateur⁴ jusqu’à 100V.

Également, durant la lecture du CCD, il faut passer par une phase « Erase », pour effacer toutes les charges présentes avant une nouvelle séquence d’acquisition. Durant cette phase la valeur du VSUB doit passer durant une période T (ordre de μ s) de Vmax à 0 et revienne à Vmax durant la même période. Pour cela, on a ajouté un filtre RC sur la carte actuelle à la sortie du CABAC, ce qui permis de programmer facilement le Vsub durant la phase « Erase ».

Boitier du CABAC

Le câblage du CABAC directement sur la carte a montré un mauvais comportement des CABACs tel qu’une grande consommation du courant et un comportement inhabituel des horloges.

4. Voir l’Annexe B : carte supportant trois CABACs

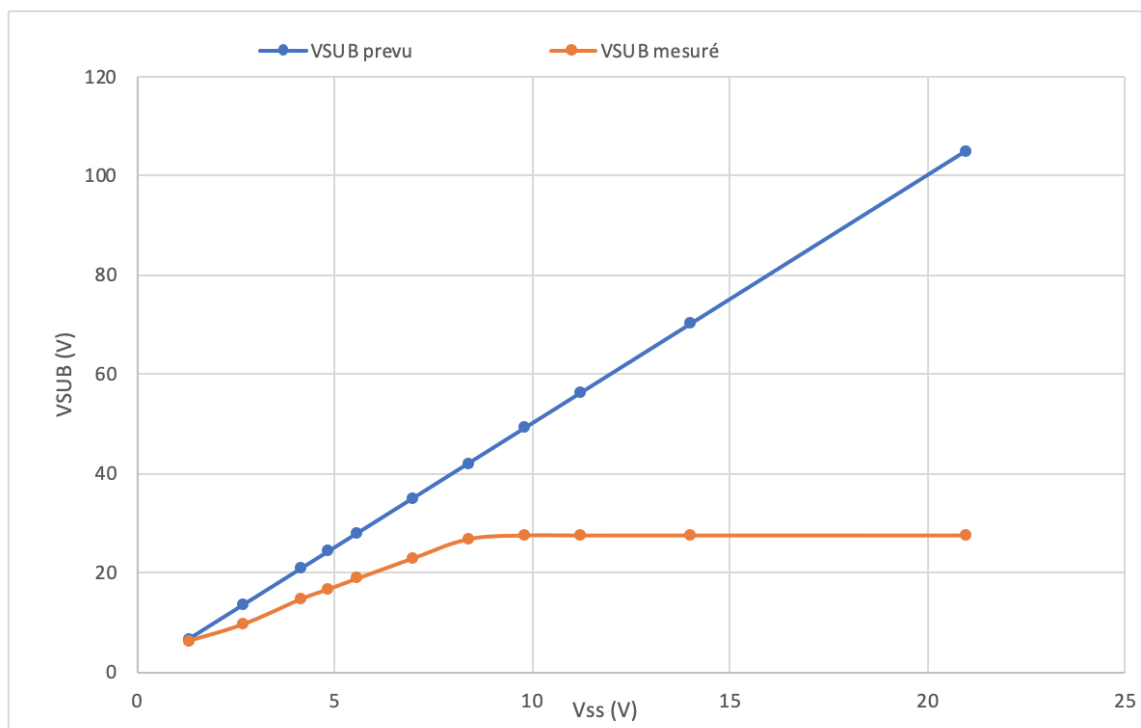


FIGURE 3.16 – la courbe de fonctionnement du Vsub obtenue par CABAC en fonction de Vss par rapport à Vsub prévu qui montre une limitation

Solution : Pour résoudre ce problème, des boîtiers QFN (Figure 3.17) sont été mis en œuvre pour implanter le CABAC sur la carte. Actuellement, on a changé l’encapsulation du CABAC, un boîtier « CQFP100 » est choisi.

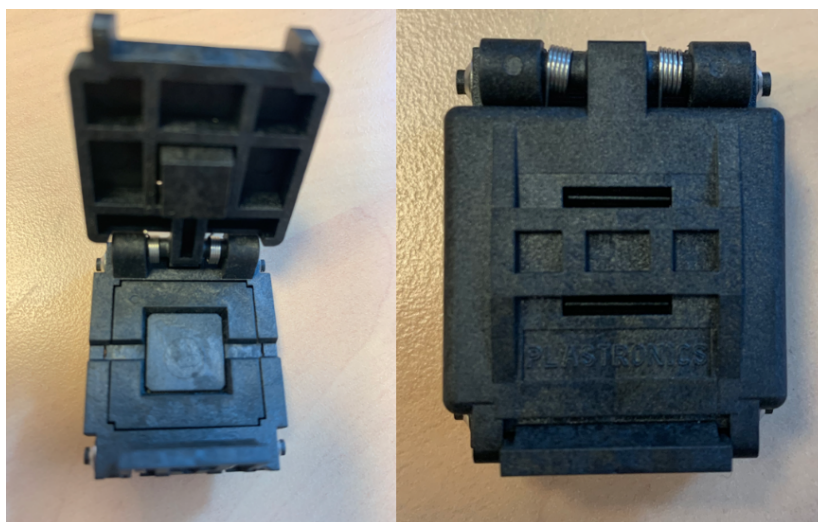


FIGURE 3.17 – boîtier du support QFN du CABAC

3.4 Conclusion

Ce chapitre nous a permis de présenter en détail la description de tous les ASICs implémentés dans le système de pilotage du CCD. L’ASPIC est un circuit de lecture permet

d'amplifier (avec un gain peut arriver jusqu'à 13), de filtrer et de traiter le signal fourni par le CCD. L'ASPIC n'était pas optimal pour l'expérience DAMIC, c'est pourquoi un nouveau ASIC a été conçu appelé CROC, qui sera utilisé dans DAMIC-M. Le CABAC est un ASIC de contrôle qui fournit toutes les horloges (verticales et horizontales) et les tensions de polarisation nécessaires pour faire fonctionner le CCD. L'implémentation de cet ASIC sur une carte électronique a présenté des problèmes, qui ont été résolus plus tard. Ces ASICs seront caractérisés chacun à part dans le chapitre 5.

3.5 Références

- [1] P Antilogus, P Bailly, P Barrillon, M Dhellot, J Jeglot, C Juramy-Gilles, H Lebbolo, D Martin, M Moniez, P Vallerand, et al. Aspic and cabac : two asics to readout and pilot ccd. *Journal of Instrumentation*, 12(03) :C03017, 2017. [42](#), [51](#)
- [2] Claire Juramy, Pierre Antilogus, Philippe Bailly, Sylvain Baumont, Marc Dhellot, Mowafak El Berni, Jimmy Jeglot, Hervé Lebbolo, David Martin, Aftab Qureshi, et al. Driving a ccd with two asics : Cabac and aspic. In *High Energy, Optical, and Infrared Detectors for Astronomy VI*, volume 9154, page 91541P. International Society for Optics and Photonics, 2014. [51](#)
- [3] Hervé Lebbolo. *Fiche technique de l'ASPIC4*. [43](#)

Chapitre 4

Numérisation du signal vidéo

Sommaire

4.1 Conversion analogique numérique	58
4.1.1 Principe de conversion analogique numérique	58
4.1.2 Caractéristiques principales de l'ADC	59
4.2 La sur-échantillonnage	63
4.3 L'ADC rapide dans DAMIC-M	65
4.3.1 L'ADC choisi au LPNHE	65
4.3.2 Les cartes d'évaluations	67
4.4 Références	70

4.1 Conversion analogique numérique

LE CCD fournit un signal analogique (continu). Pour lire et traiter ce signal sous forme d'une image numérique, il est nécessaire de le numériser. Un convertisseur analogique numérique (ADC) est implémenté pour convertir le signal analogique en un signal numérique (code binaire) lisible par l'ordinateur.

4.1.1 Principe de conversion analogique numérique

L'ADC est un montage électronique qui permet de convertir un signal analogique continu en temps et en amplitude en un signal numérique discret avec un certain nombre de bits de résolution. Le principe de fonctionnement d'un ADC peut être illustré par trois étapes : l'échantillonnage, la quantification et le codage, où chaque étape ajoute un bruit au signal CCD. Alors, il est important d'utiliser un ADC dont les caractéristiques permettent de fournir une bonne performance en termes de rapport signal sur bruit, de linéarité, de résolution, de vitesse, de consommation et d'une architecture permettant de réduire le bruit $1/f$. Il existe plusieurs applications pour réduire le bruit de l'ADC comme

le filtre passe bande, le suréchantillonnage et le filtrage spatial.

La première étape de la conversion consiste à échantillonner le signal analogique avec une fréquence d'échantillonnage f_e , en respectant le théorème de Shannon, qui consiste à choisir la fréquence d'échantillonnage selon l'équation suivante :

$$f_e > 2f_{max} \quad (4.1)$$

Où f_e est la fréquence d'échantillonnage f_{max} est la fréquence maximale du signal d'entrée. Si ce théorème n'est pas respecté, il y aura un repliement du spectre du signal ceci a pour conséquence une perte de données et une déformation du signal reconstitué.

Le signal échantillonné est ensuite quantifié par un nombre de bit (N). La résolution du signal à la sortie de l'ADC est reliée à la quantification, puisqu'elle égale le niveau de sortie de quantification. Pour numériser le signal, une tension de référence V_{ref} est requise afin de le diviser en un petit niveau de quantification. Le niveau de quantification de l'ADC est appelé le bit le moins significatif « LSB » ou quantum et il est donné par :

- Pour un ADC avec une tension de référence unipolaire :

$$LSB = \frac{V_{ref}}{2^N} \quad (4.2)$$

- Pour un ADC avec une tension de référence différentielle :

$$LSB = \frac{V_{ref(+)} - V_{ref(-)}}{2^N} \quad (4.3)$$

Où $V_{ref(+)}$ est la tension de référence haute et $V_{ref(-)}$ la tension de référence basse. Plus le nombre de pas augmente, plus le signal échantillonné ressemble au signal original.

Durant cette étape, le **bruit de quantification** est généré par un défaut de l'ADC. C'est la distorsion entre le signal d'entrée et le signal quantifié. Elle est caractérisée par une perte d'informations, ce qui agit directement sur la performance de l'ADC. Parfois, le bruit de quantification se présente comme un signal additif aléatoire, ajouté au signal original. Parfois, c'est une erreur non-linéaire qui dépend du signal. Le bruit de quantification est la différence entre la valeur réelle d'un signal avant la conversion et la valeur obtenue à la fin de quantification, à partir du niveau du quantification.

4.1.2 Caractéristiques principales de l'ADC

On peut classer les caractéristiques des ADCs selon deux catégories : les paramètres statiques et les paramètres dynamiques.

4.1.2.1 Les paramètres statiques

Les paramètres statiques représentent les erreurs qui agissent sur les caractéristiques de la fonction de transfert réelle par rapport à la fonction de transfert idéale[3].

- **L'erreur différentielle de non-linéarité (DNL)** est définie par la différence entre la largeur réelle d'un quanta et sa largeur idéale. La DNL est donnée par l'équation suivante, après annulation des erreurs d'offset et de gain statique :

$$DNL = \left\| \left[\frac{V_{D+1} - V_D}{V_{LSB-IDEAL}} - 1 \right] \right\| \quad (4.4)$$

Où $0 < D < 2^N - 2$, V_D est la valeur physique correspondant au code de sortie numérique (D), N est la résolution de l'ADC et $V_{LSB-IDEAL}$, le pas de quantification.

Durant la quantification, un signal parasite est ajouté au signal original, il en résulte une DNL plus élevée et implique une diminution de la performance de l'ADC en termes de rapport signal sur bruit. Dans un ADC idéal, la DNL égale zéro, chaque pas égale 1LSB et l'espace entre deux transitions fait 1LSB. Une DNL avec des valeurs inférieures ou égales à 1LSB garantit une conversion sans codes manquants. La figure 4.1 montre un exemple de l'erreur DNL en montrant la différence entre la courbe réelle et celle idéale.

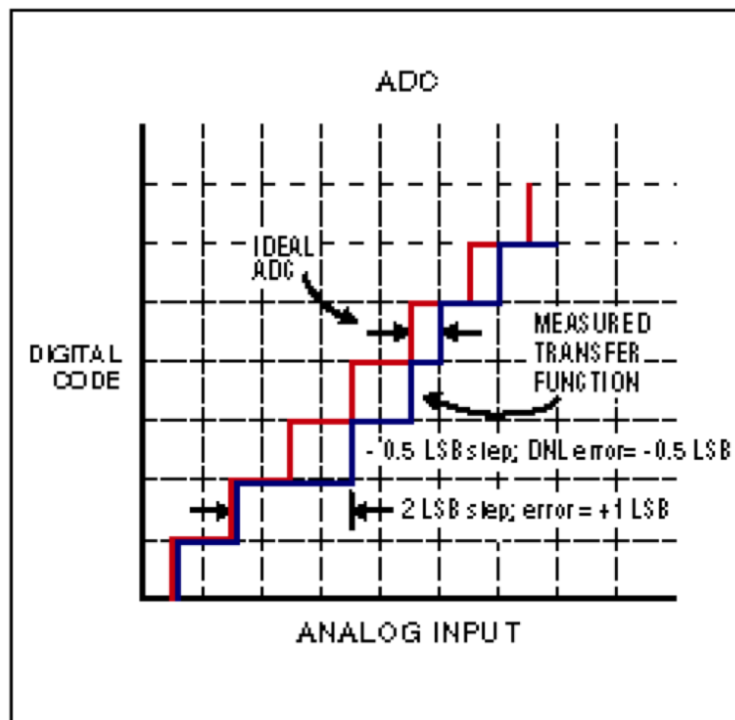


FIGURE 4.1 – l'erreur DNL en montrant la différence entre le cas idéal (rouge) et le signal mesuré (bleu) : l'erreur DNL de -0.5 LSB et de +1 LSB pour deux pas différents.

- **L'erreur intégrale de non-linéarité (INL) :** c'est une représentation cumulative de DNL qui qualifie la forme générale de fonction de transfert. Elle se définit par la déviation de la fonction de transfert réelle par rapport à la droite idéale ainsi que la variation de tension de référence. L'ordre de grandeur de l'INL dépend de la position choisie pour la droite idéale. La figure 4.2 montre l'erreur INL en comparant la courbe de fonction de transfert idéale et la fonction de transfert réelle. En outre, après l'élimination des erreurs de gain statique et d'offset, l'INL est donnée par l'équation suivante :

$$INL = \left\| \left[\frac{V_D - V_{zero}}{V_{LSB-IDEAL}} - D \right] \right\| \quad (4.5)$$

Avec $0 < D < 2^N - 1$, V_{ZERO} est la valeur analogique minimale qui correspond au code de sortie D.

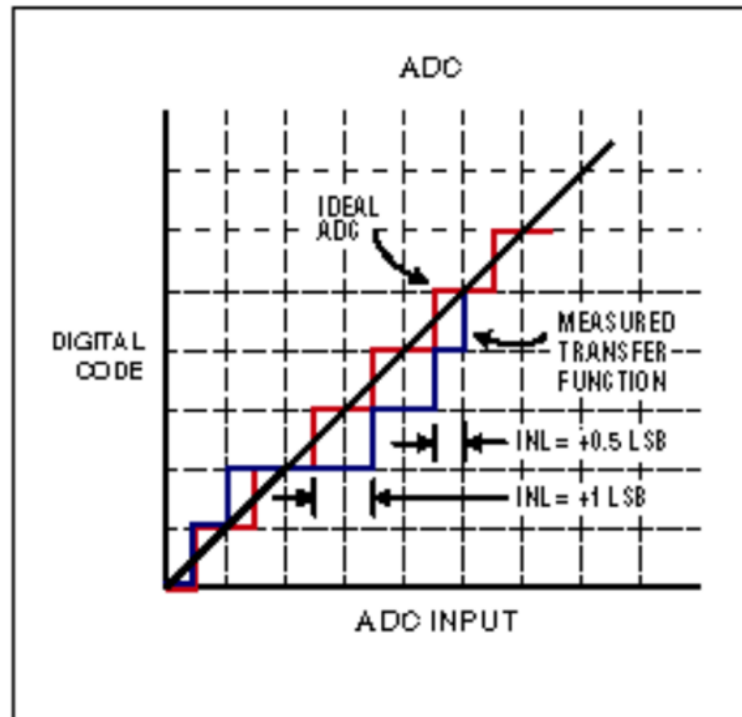


FIGURE 4.2 – l'INL d'un ADC en montrant la différence entre le cas idéal (rouge) et le signal mesuré (bleu) : l'erreur DNL de + 0.5 LSB et de +1 LSB pour deux pas différents.

- **L'erreur d'offset** : c'est le décalage horizontal de la fonction de transfert réelle par rapport à celle idéale. Il s'exprime en LSB. L'erreur d'offset est mesurée au milieu de la fonction de transfert de l'ADC. Pour un ADC idéal, la première transition se trouve à 0.5 LSB au-dessus de zéro. La figure 4.3 montre un exemple montrant l'erreur d'offset.

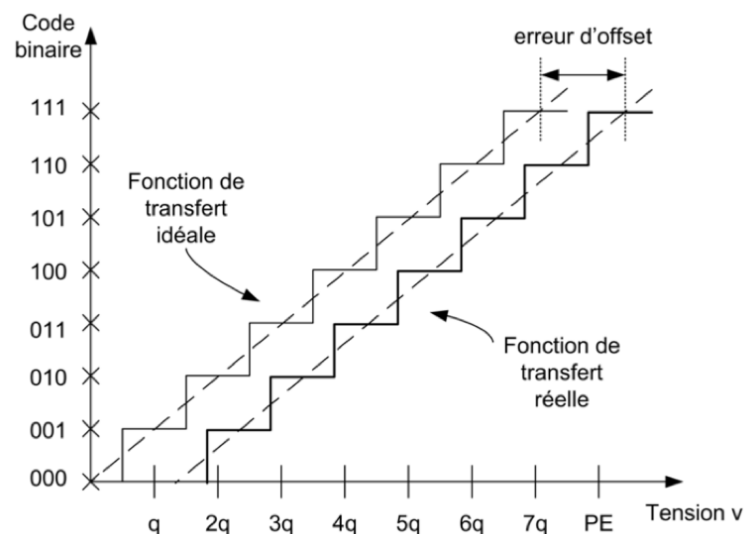


FIGURE 4.3 – l'erreur de l'offset qui montre un décalage entre la courbe de fonction de transfert idéale et celle du réelle

- **L'erreur de gain statique** : elle représente la différence entre la pente de la fonction de transfert obtenue et celle de la fonction de transfert idéale. Elle s'exprime en LSB. L'erreur de gain est égale à l'erreur pleine échelle moins l'erreur d'offset.
- **L'erreur de code manquant** : on a un code manquant lorsqu'une valeur de code de sortie ne correspond pas à celle du signal de l'entrée, ce qui se traduit par une absence d'un niveau sur la fonction de transfert. Dans ce cas, la DNL sera plus grand que 1 LSB.

4.1.2.2 Les paramètres dynamiques

Pour bien comprendre le comportement du signal numérique à la sortie d'un ADC, des analyses de spectre sont faites pour mesurer la dégradation et la distorsion de ce signal par rapport au signal analogique d'entrée. Ces paramètres permettent d'analyser la réponse à haute fréquence, quand l'entrée sinusoïdale atteint une amplitude pleine échelle.

- **Le rapport signal sur bruit (SNR)** : est le rapport entre l'amplitude du signal désiré et celle du bruit de signal à un moment donné. Cependant, le signal est lié directement au bruit, donc le SNR est défini par le rapport entre la valeur efficace du signal d'entrée et le bruit de quantification, sans prendre en compte la composante continue et les harmoniques, selon l'équation suivante :

$$(\text{SNR})_{dB} = 20 \cdot \log\left(\frac{S_{eff}}{B_q}\right) \quad (4.6)$$

Avec $S_{eff} = \frac{Acc}{2\sqrt{2}}$: la valeur efficace du signal et Acc est l'amplitude de signal d'entrée crête à crête, B_q est le bruit de quantification. Pour un ADC idéal de N bits, et avec un signal sinusoïdal à pleine échelle à l'entrée, le SNR maximal en décibel est égal à :

$$(\text{SNR})_{dB} = 6.02N + 1.76 \quad (4.7)$$

- **La distorsion d'harmonique totale (THD)** : c'est la distorsion contenue dans le signal. Elle calcule une estimation de la linéarité de l'ADC en mesurant les harmoniques sélectionnées du signal d'entrée. La THD est le rapport entre la somme quadratique des valeurs efficaces des amplitudes des raies harmoniques contenues dans le signal et la valeur efficace du signal fondamental :

$$\text{THD} = \sqrt{\frac{\sum_{K>1} H_k^2}{S_{eff}}} \quad (4.8)$$

Avec, H_k : la valeur efficace des harmoniques, k : l'ordre de l'harmonique et S_{eff} : la valeur efficace du signal. La figure 4.4 présente le spectre d'un code ADC en montrant la différence entre les raies harmoniques et fondamentales.

- **Le rapport signal sur bruit avec distorsion (SINAD) [4]** : est le rapport entre la valeur efficace du signal d'entrée et la valeur efficace du bruit du convertisseur plus la distorsion (sans le signal sinusoïdal). Le SINAD est lié directement à la puissance de toutes les composantes spectrales, dont la fréquence de Nyquist, le bruit, les harmoniques et les éventuels supérieurs. Le SINAD est donné par l'équation suivante :

$$\text{SINAD}_{dB} = -10 \cdot \log\left(10^{-\frac{\text{SNR}}{10}} + 10^{\frac{\text{THD}}{10}}\right) \quad (4.9)$$

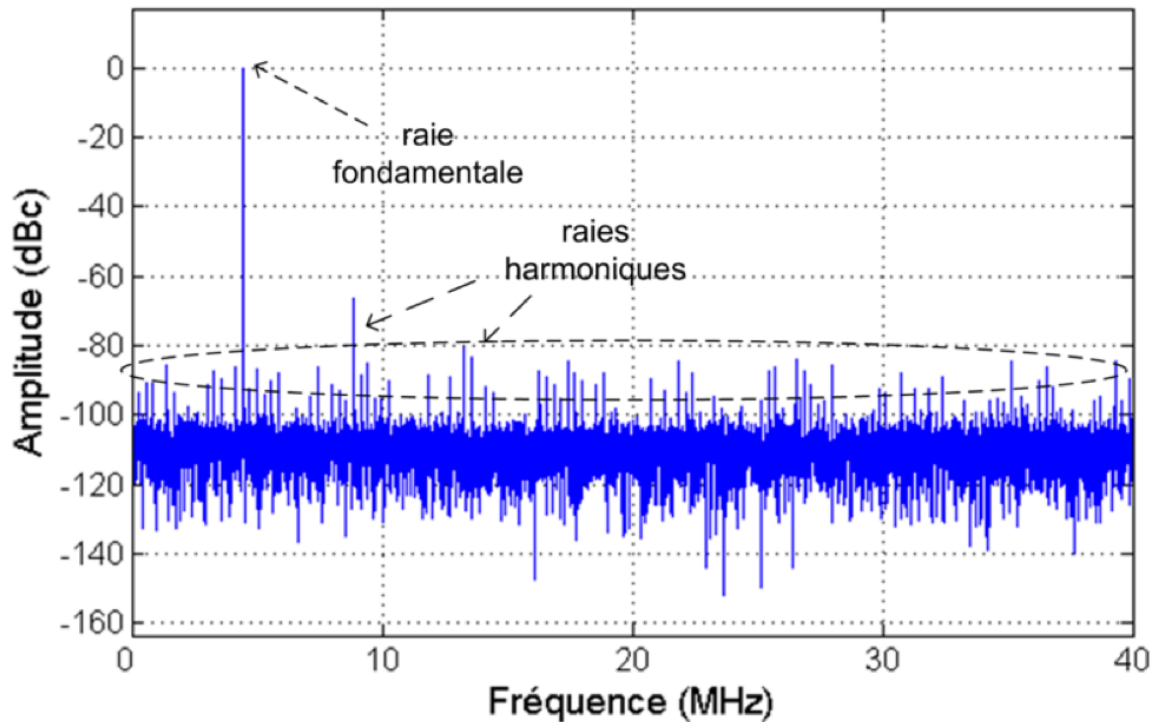


FIGURE 4.4 – spectre d'un signal de sortie de l'ADC en visualisant les raies harmoniques et la raie fondamentale

- **Le nombre effectif des bits (ENOB) :** il détermine la résolution dynamique d'un ADC à une fréquence d'échantillonnage spécifique. Idéalement, le bruit de l'ADC est seulement constitué du bruit de quantification. Lorsque des bruits discrets sont ajoutés, dus à la non-linéarité de l'ADC, on peut calculer l'ENOB en fonction de SINAD :

$$\text{ENOB} = \frac{\text{SINAD}_{dB} - 1.76}{6.02} \quad (4.10)$$

Ce paramètre montre la limitation d'ADC à cause des erreurs additionnées. Normalement l'ENOB doit être plus petit que le nombre de bits de l'ADC.

Les paramètres dynamiques et statiques seront étudiés dans le chapitre 5 pour caractériser l'ADC utilisé dans DAMIC-M.

4.2 La sur-échantillonnage

Afin d'atteindre un bruit assez faible dans DAMIC-M, il est prévu d'appliquer la technique de suréchantillonnage en utilisant un ADC rapide. Son principe est d'échantillonner le signal avec une fréquence beaucoup plus grande que celle de Nyquist imposée par le théorème de Shannon ($F_{OS} \gg F_s$). Cela nous permet de faire une moyenne dans le but de diminuer le bruit de quantification.

Le spectre FFT du signal suréchantillonné montre que le bruit de quantification est étalé sur une bande de fréquence plus importante que celle de Nyquist, ce qui diminue ce bruit [2]. La figure 4.5 présente les spectres du signal dans les deux cas : dans le premier graphe, on a échantillonné avec la fréquence standard de Nyquist (F_s); dans le deuxième, on a échantillonné avec la fréquence de suréchantillonnage (F_{os}). On remarque que dans

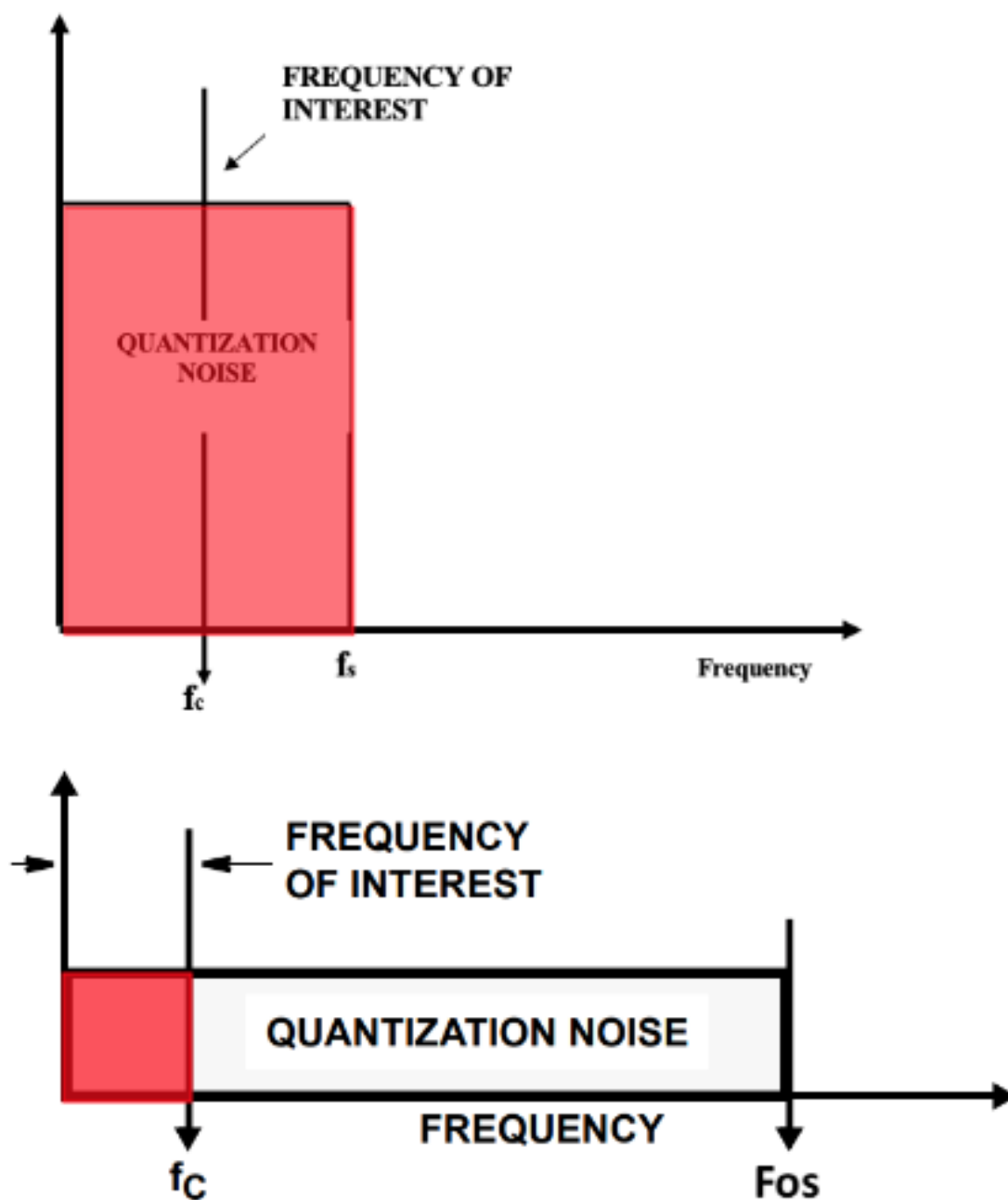


FIGURE 4.5 – la différence entre la distribution du spectre de bruit de quantification avec la fréquence donnée par le théorème de Shannon et la fréquence de suréchantillonnage, montre que le spectre de bruit est beaucoup plus petit dans la partie qui nous intéresse (région rouge) en appliquant le suréchantillonnage

le deuxième cas, le spectre de bruit est beaucoup plus petit dans la partie qui nous intéresse (F_c), que celui du premier cas, car il est distribué sur toute la gamme de fréquence de suréchantillonnage (F_{os}). Cette fréquence est calculée pour chaque bit de précision supplémentaire par l'équation suivante :

$$F_{os} = 4^w \times F_s \quad (4.11)$$

Où w : nombre de bits supplémentaires désirés et F_s : fréquence d'échantillonnage de Nyquist originale. Le bruit dans le cas de sur-échantillonnage sera égal à :

$$SNR_{os} = (6.02N + 1.76)_{dB} + 10 \log\left(\frac{F_{os}}{2F_c}\right)_{dB} \quad (4.12)$$

Avec N : nombre de bits de l'ADC, F_{os} : fréquence de suréchantillonnage, F_c : fréquence du signal désiré.

4.3 L'ADC rapide dans DAMIC-M

4.3.1 L'ADC choisi au LPNHE

Ces dernières années, l'expérience DAMIC 100 a utilisé des ADCs lents, par exemple, un ADC avec une résolution de 18 bits et une vitesse de 1 MSPS. Après l'évolution de l'expérience DAMIC 100 à DAMIC-M, il est prévu d'évoluer vers un ADC plus rapide. Plusieurs choix sont à l'étude entre Chicago et la France afin de choisir le plus performant.

Le but est d'obtenir un dépôt d'énergie de quelques eV jusqu'à une dizaine de KeV, ce qui demande une plage dynamique importante. En général, le nombre de bits est donné par la pleine échelle (les valeurs maximales et minimales) mesurées par l'ADC. Puisque la gamme du CCD est de 30 Ke^1 , on a besoin, au minimum, d'un ADC de 17 bits (pour $1\text{LSB}=0.4\text{e}$). Étant donné que la gamme dynamique doit être toujours plus faible que la gamme totale en raison du bruit, alors nous avons besoin d'au moins un ADC à 18 bits (suivant l'ENOB des ADC).

Les électroniciens de DAMIC-M au LPNHE ont choisi de caractériser le LTC2387-18[1], qui est un ADC à 18 bits avec une vitesse élevée pouvant atteindre 15 MSPS. Il possède une entrée différentielle avec une grande dynamique d'entrée de $\pm 4.096 \text{ V}$ crête à crête, une interface série LVDS, une fréquence d'échantillonnage jusqu'à 15 MHz et une puissance de consommation de 125mW. La figure 4.6 montre le diagramme de l'ADC LTC2387-18. Cet ADC est bien adapté puisqu'il est conçu pour appliquer le suréchantillonnage pour améliorer le bruit. Son application principale est dans l'imagerie : capteurs d'images, photographie aérienne, ou encore image satellitaire. Cet ADC se caractérise par :

- Un niveau de quantification : $\delta V = \frac{\Delta V}{2^N - 1} = \frac{8.192}{2^{18} - 1} = 31.28 \mu\text{V}$ ($1\text{LSB} \approx 31 \mu\text{V}$).
- Une architecture SAR qui n'affiche aucune latence, ni décalage, ni retard dans le pipeline et garantit une réduction de bruit $1/f$.
- Une interface LVDS série pour transmettre le signal numérique à un FPGA. Cela permet de réduire le bruit numérique dans le système de lecture. Afin de faciliter le flux de données en sortie, le LTC2387-18 a deux canaux LVDS. Si on utilise un seul

1. Pour une gamme du CCD égale à 75 KeV on a besoin d'un ADC de 17 bits (avec $1\text{LSB} = 1\text{e}$)

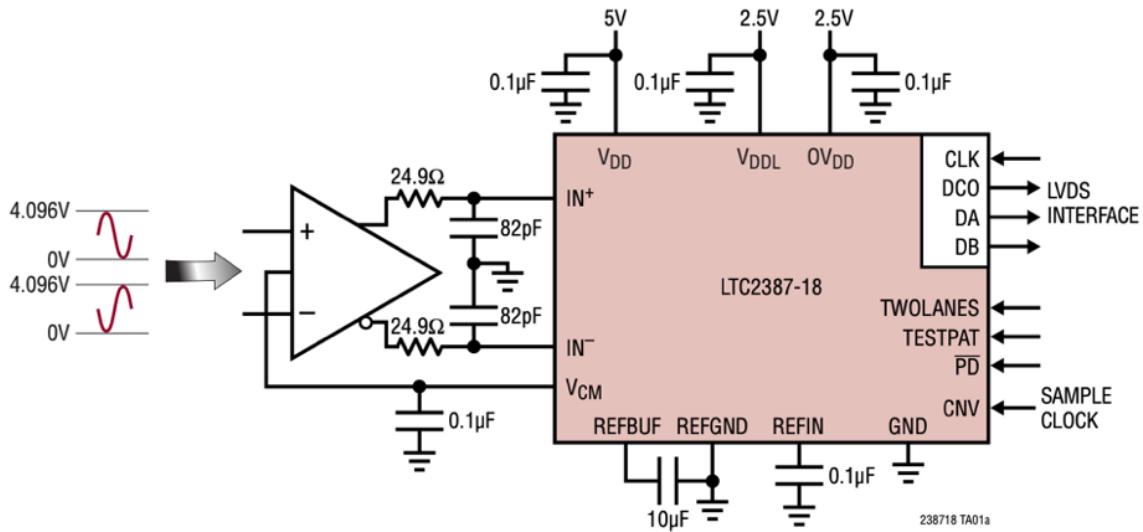


FIGURE 4.6 – l’ADC LTC 2387-18 en visualisant les signaux entrants et sortants : entrée différentielle entre 0V et 4.096 V, les signaux de contrôle, les interface LVDS et les tensions de référence et d’alimentation

canal le taux de données maximal peut atteindre 360 Mbps. Celui-ci est divisé par deux en utilisant deux canaux soit 180 Mbps.

- Une entrée différentielle avec une dynamique d’entrée de $\pm 4,096$ V à haute impédance sans erreur de gain. Il est conseillé dans la fiche technique de placer un buffer avant l’ADC pour améliorer la performance. La figure 4.7 montre un exemple de l’amplificateur tampon ainsi qu’un circuit de pilotage d’entrée de l’ADC. Typiquement, le SNR est égal à 95.7 dB.

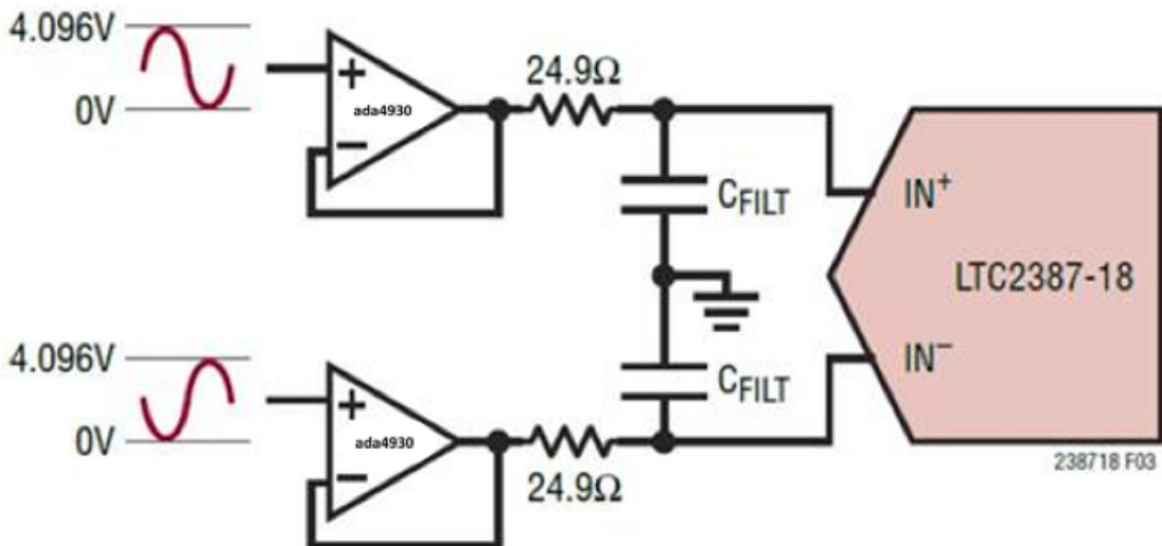
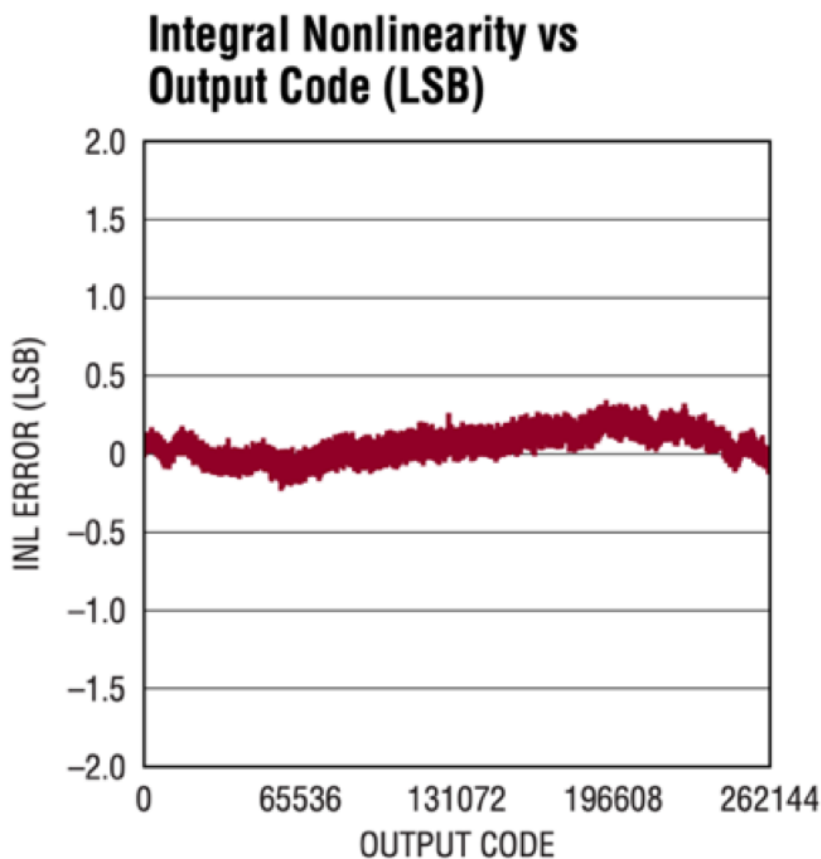


FIGURE 4.7 – circuit typique de pilotage d’entrée de LTC2387-18 en ajoutant un buffer

- Une meilleure performance au niveau de non-linéarité intégrale, qui peut atteindre au maximum ± 3 LSB. La figure 4.8 montre la performance de l’INL dans une application typique ($REFIN = 2.048V$, $f_S = 15Mps$) selon la fiche technique de LTC 2387-18, qui montre bien qu’on a une erreur de non-linéarité entre +0.3 et -0.3 LSB

FIGURE 4.8 – l'INL idéale du LTC2387-18 qui montre une erreur $< \pm 0.3$ LSB

Toutes ces caractéristiques répondent aux exigences de l'expérience DAMIC-M, notamment le bruit et la vitesse de lecture.

4.3.2 Les cartes d'évaluations

Afin de caractériser cet ADC, il est implémenté sur un circuit électronique et piloté par une carte d'évaluation contenant un FPGA. La première version contenant un seul ADC a servi à vérifier le fonctionnement de ce dernier et à le comparer avec les caractéristiques de la fiche technique. Cette carte contient un ADC « LTC2387-18 », un connecteur SubD 50 points, un connecteur HSMC pour se connecter au FPGA, un translateur de signaux (CMOS/LVDS), des régulateurs des tensions et un buffer ADA4930. La figure 4.9a montre le diagramme de la carte électronique d'un seul ADC, et la figure 4.9b montre cette carte électronique conçue au LPNHE. Elle est connectée à la carte d'évaluation FPGA Cyclone III.

Les signaux d'entrée et de sortie de l'ADC sont :

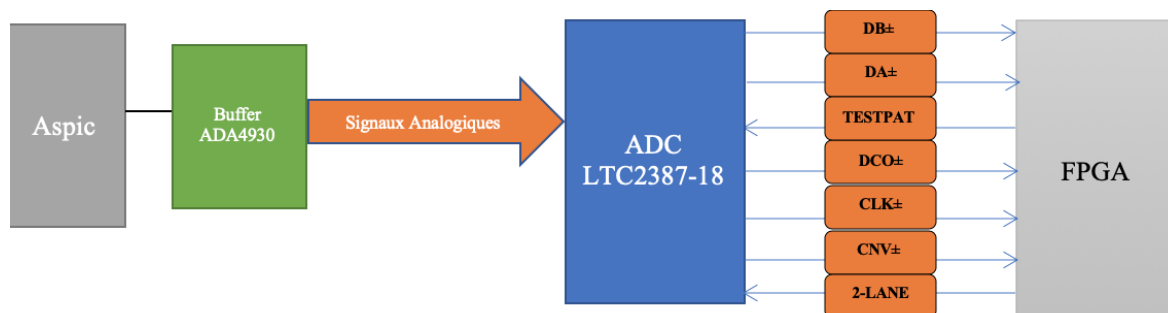
— **Entrée :**

1. Clk+/CLK- : L'horloge LVDS d'entrée
2. CNV+/CNV- : Commande de la conversion
3. IN+/IN- : Entrées analogiques différentielles positives et négatives
4. REFBUF : Sortie du buffer de référence interne
5. Testpat : Entrée numérique qui oblige les sorties de données à être un motif de test

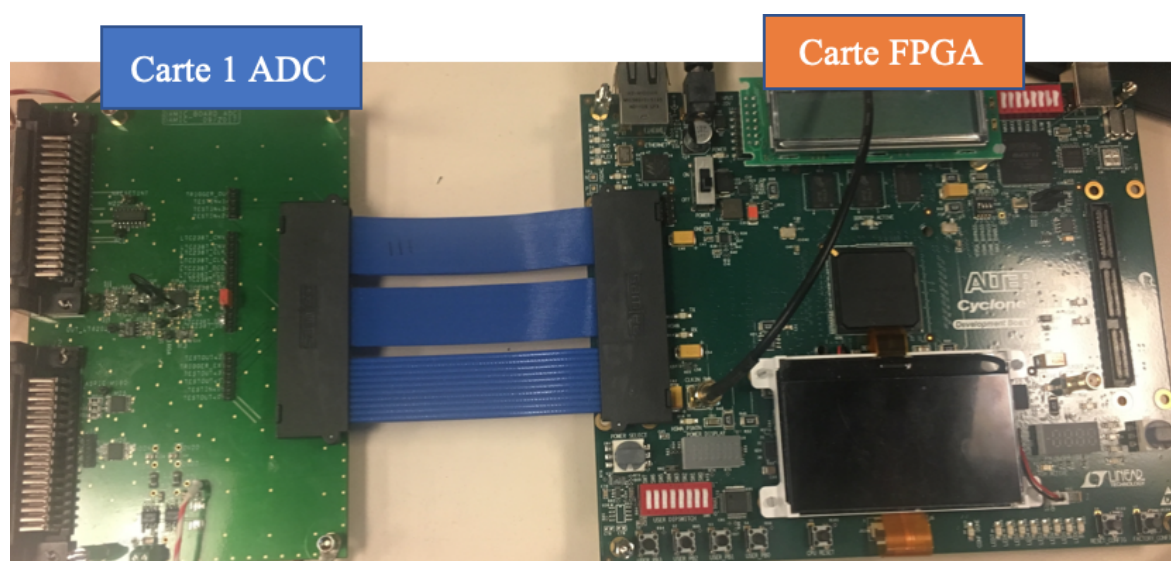
6. Twolanes : Entrée numérique qui active le mode de sortie à deux voies
7. PD : Entrée numérique qui active le mode de mise hors tension

— **Sortie :**

1. DA+/DA-/DB+/DB- : sorties LVDS série de données
2. DO+/DO- : Sortie LVDS d'horloge de données



(a) Diagramme de la carte contenant un ADC en visualisant les signaux sortants et entrants sur la carte qui sont fournis par la carte d'évaluation FPGA



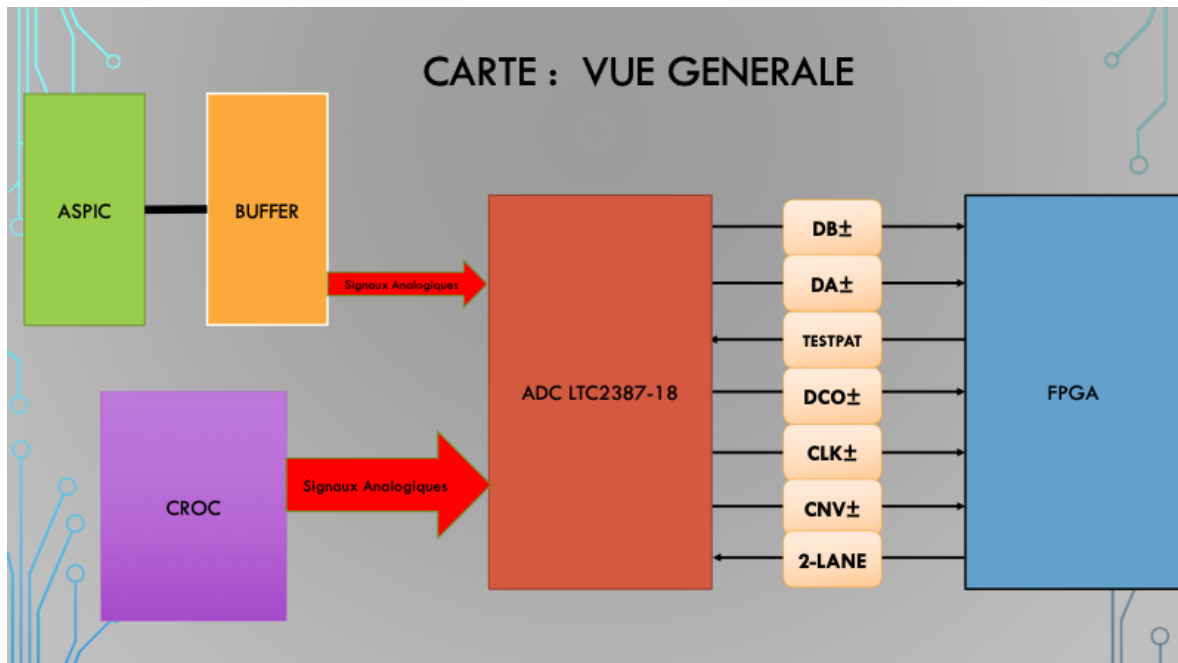
(b) : banc de test de la carte ADC : carte d'évaluation d'un seul ADC connectée à la carte d'évaluation d'un FPGA de série Cyclone III

FIGURE 4.9 – la carte d'évaluation supportant un ADC

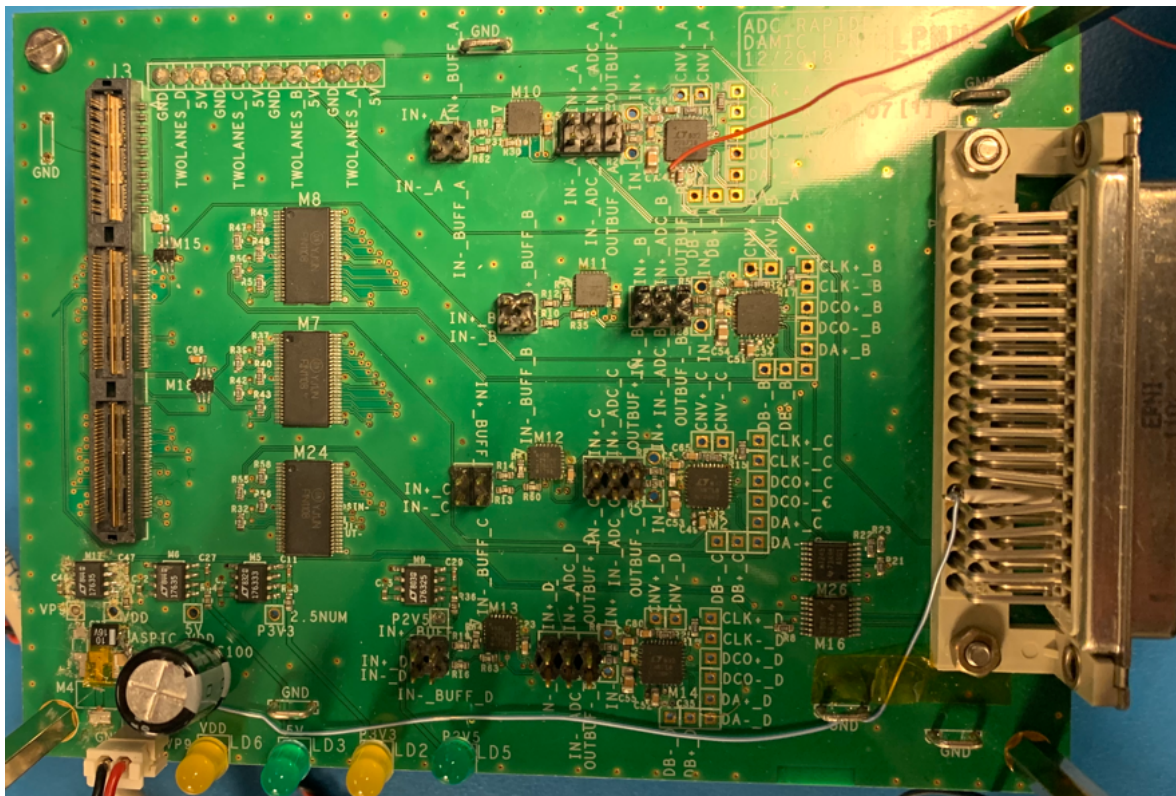
Après l'évaluation de la première carte, une deuxième version² contenant quatre ADCs a été fabriquée pour être compatible à la fois avec le CROC et l'ASPIC (figure 4.10a). Quasi-similaire au premier prototype, elle contient quatre ADCs, quatre buffers ADA4932, un connecteur SubD 50 points, un connecteur HSMC, des translateurs des signaux (CMOS, LVDS) et des régulateurs des tensions.

A partir d'un bornier, une tension de 9V entre sur la carte (figure 4.10b) et alimente tous les régulateurs. Pour piloter l'ADC, on a besoin de 2.5V et 5V. Pour cela on a choisi

2. Voir Annexe B : carte supportant 4 ADC



(a) Diagramme de la carte « 4 ADCs »



(b) la carte contenant quatre ADCs.

FIGURE 4.10 – la carte d'évaluation supportant quatre ADCs

le LT1763CS8-serie LT1763CS8-5 et LT1763CS8-2.5, qui sont deux régulateurs de tensions stables qui prennent comme entrée une tension variant entre 3.7 et 20V pour générer des tensions fixes 5V et 2.5V. Ces régulateurs ont un faible bruit et une faible consommation de courant égale à 500 mA. Pour alimenter le buffer ADA4932, on utilise un autre régulateur qui fournit 5V. Également, pour alimenter la carte contenant l'ASPIC, on a besoin d'une tension de 5V, donc on a choisi un régulateur qui fournit 5V à faible bruit : LT3082.

Les composants implémentés sur la carte :

- **FIN1108** : un suiveur LVDS rapide atteignant 800 Mbps, protège les signaux qui viennent du FPGA et garanti que les signaux à la sortie soient dans la gamme de notre fréquence. Ce suiveur est utilisé dans la carte pour les signaux suivants : CLK±, DA±, DB±, DCO±, CNV± et SPARELVDS±.
- **74LVC2G34** : un suiveur simple pour protéger les signaux « Testpat ».
- **SN74AVC4T245** : un translateur des niveaux, puisque les signaux qui sont envoyés par le FPGA ont un niveau de 2.5 V, alors, il faut les traduire en signaux du niveau de 3.3V pour qu'il soit acceptée par l'ASPIC.
- **Buffer ADA4932** : c'est un « Differential ADC Driver » à bruit faible ($3.6nV/\sqrt{Hz}$) avec une entrée et une sortie différentielle, peut atteindre une vitesse de 560 MHz à gain =1. Il est utilisé dans la carte pour adapter l'impédance des signaux qui arrivent du Flex (ASPIC) et pour traduire les niveaux de ces signaux.
- **Le connecteur SubD** à 50 points est l'interface entre le CROC/FLEX et la carte d'évaluation « 4 ADCs ». Le connecteur HSMC relie la carte avec le FPGA. La figure 10.b. montre la carte électronique « 4 ADCs ».

Tous les résultats de caractérisations de ces deux cartes seront présentés dans le chapitre suivant.

4.4 Références

- [1] *Linear technology, LTC 2387-18, 18-Bit, 15MSPS SAR ADC.* 65
- [2] A brief introduction to sigma delta conversion. Technical report, RENESAS Electronics Corporation, May 1995. 63
- [3] J.M. DUTERTRE. Conception avancées des circuits intégrés analogiques.convertisseurs a/n et n/a. 59
- [4] Brahima Traoré. *Echantillonnage opto-électronique pour application à la Conversion Analogique Numérique rapide.* PhD thesis, Limoges, 2006. 62

Chapitre 5

Bancs de tests à chaud

Sommaire

5.1 Les performances de l'ASPIC	71
5.1.1 Caractérisation du gain de l'ASPIC	72
5.1.2 Mesure du bruit	74
5.1.3 Linéarité de l'ASPIC	83
5.1.4 Fuite au niveau de la capacité	83
5.2 La caractérisation du CROC	85
5.2.1 Caractérisation du gain	85
5.2.2 Caractérisation de l'offset	86
5.2.3 Caractérisation du bruit	86
5.3 Les performances du CABAC	88
5.3.1 Mesure de bruit des biais	88
5.3.2 Résultats du CABAC	89
5.4 Caractérisation de l'ADC Rapide	95
5.4.1 Mesure du bruit	96
5.4.2 Étude de la linéarité	97
5.4.3 Régression sinusoïdale	100
5.5 Conclusion	103
5.6 Références	103

CETTE section est dédiée à la présentation des résultats de caractérisation des ASICs tels que l'ASPIC, le CROC et l'ADC à une température ambiante, avant de brancher le CCD.

5.1 Les performances de l'ASPIC

Des études de caractérisation sont faites afin de comprendre le comportement de l'ASPIC. Ces mesures sont divisées en plusieurs parties : caractérisation du gain, mesure de bruit, linéarité de l'ASPIC, diaphonie entre les canaux, fuite au niveau de la capacité.

Nous avons utilisé dans le banc de test d'ASPIC (Figure 5.1) la carte BEB3 (back-end Board), qui est une carte électronique dédiée à la numérisation du signal fourni par l'ASPIC. Cette carte contient un ADC 18 bits (AD-7982, 18-bit) avec une vitesse maximale de 1.8 MSPS, des régulateurs qui fournissent des tensions pour alimenter l'ADC (+/-5V, 2.5 V et 3.3V) et l'ASPIC ($V_{DD} \sim 5V$), de huit canaux, d'un amplificateur différentiel AD4940-1 avec un offset, ainsi que d'un connecteur SubD 50 points qui connecte cette carte à la carte de l'ASPIC et d'un connecteur HSMC qui connecte la carte au FPGA afin de communiquer avec le PC.

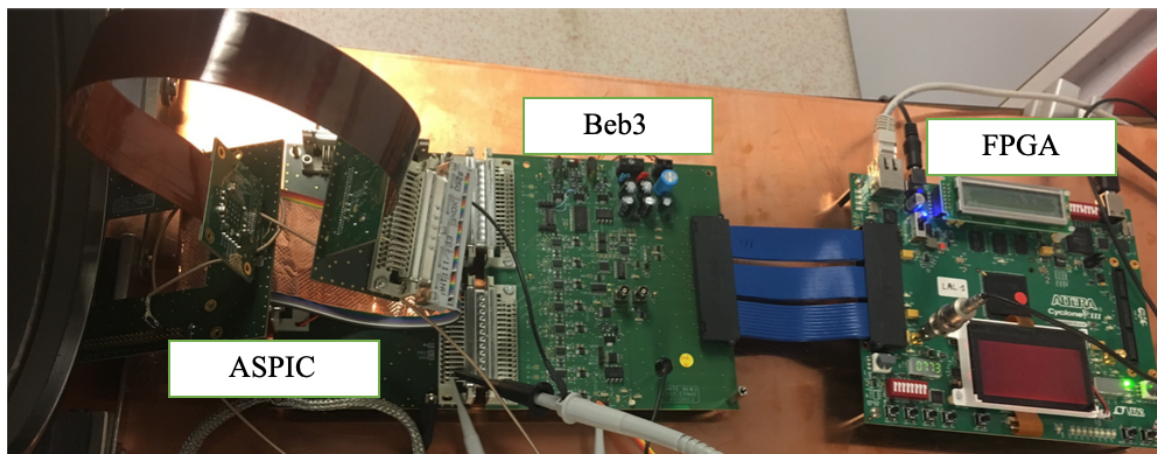


FIGURE 5.1 – Banc test de l'ASPIC contenant la carte de l'ADC connectée d'un part à la carte de l'ASPIC et d'autre part au FPGA

Avant de caractériser l'ASPIC, des tests sont réalisés dans le but de calibrer la carte BEB3, puisque toutes les études de l'ASPIC, CROC et CABAC sont basées sur l'ADC de cette carte. Le graphe de la figure 5.2 affiche la calibration de BEB3 pour les huit canaux, en visualisant la sortie de l'ADC en ADU en fonction de l'entrée en volt. L'offset et le gain des amplificateurs « buffers » situés avant l'ADC sont réglés de telle sorte que la gamme de sortie différentielle de l'ASPIC soit étendue sur presque toute la plage de l'ADC avec quelques marges, sachant que la carte BEB3 est adaptée pour les signaux négatifs (Entrée entre -1V et 5V). Cette calibration montre une bonne linéarité de la sortie par rapport à l'entrée. La sortie de l'ADC est symétrique et appartient à l'intervalle [-140 000 : 140 000 ADU] avec $1 \text{ ADU} \sim 21.4 \mu\text{V}$.

Lorsqu'on connecte l'entrée de l'ASPIC à la masse, la puissance de consommation est égale à 282.5 mW pour tous les canaux ($\sim 35.5 \text{ mW}$ par canal). Cette consommation augmente avec l'amplitude du signal injecté à l'entrée, pour arriver par exemple à 331 mW si l'amplitude du signal est de 1.07 V. Cependant, la consommation d'énergie augmente fortement lorsque l'entrée se rapproche de la saturation de l'ASPIC.

5.1.1 Caractérisation du gain de l'ASPIC

Le mécanisme de configuration du gain dans l'ASPIC [réf. 298] est détaillé dans le chapitre 3. L'amplificateur du premier étage est suivi par une étape intermédiaire où le signal est envoyé sur deux voies différentes, l'une avec un amplificateur « buffer » et l'autre avec un inverseur. Le mode transparent (TM) a été mis en œuvre pour fournir une vue directe des sorties de ces amplificateurs, sans passer par le seconde étage qui contient les com-

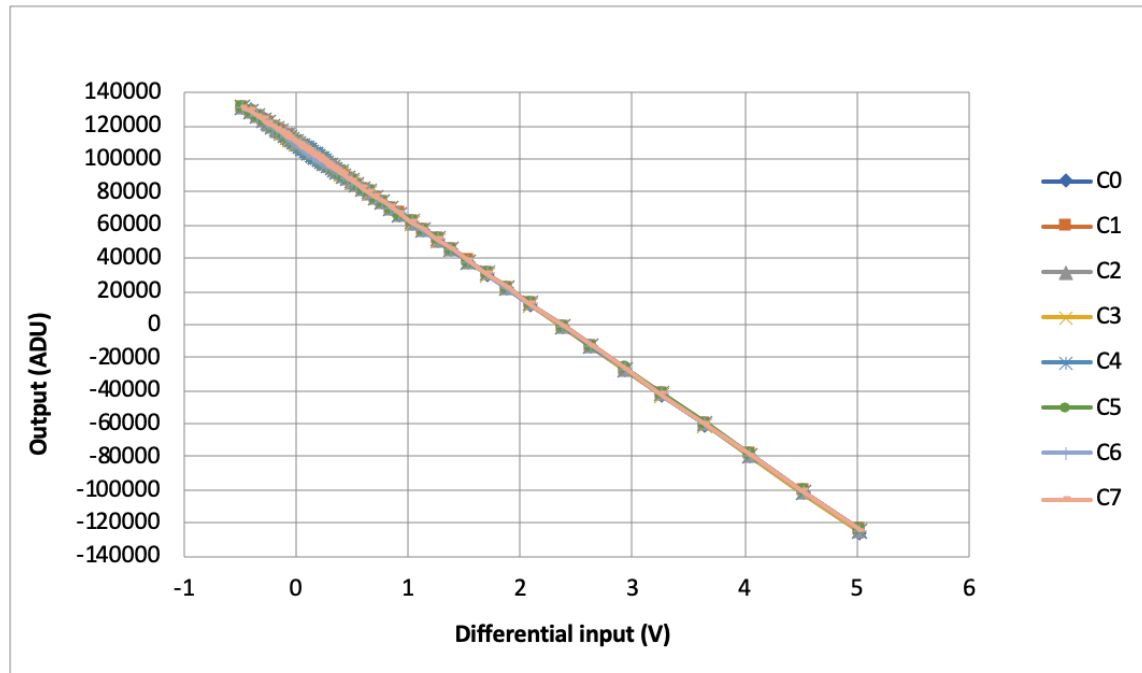


FIGURE 5.2 – la calibration de la carte beb3 sur les huit canaux, en visualisant la sortie en fonction de l'entrée. L'ADC est symétrique et ces valeurs appartiennent à l'intervalle [-140 000 : 140 000 ADU]

posants du mode DSI.

Cette section est dédiée à la caractérisation du gain expérimental et sa comparaison avec les valeurs théoriques et simulées. Dans l'ASPIC, il existe un bon accord entre le gain de l'amplificateur du premier étage obtenu pour chaque gain programmé sur 4 bits et le gain obtenu par la simulation. Le tableau 5.1 montre la variation du gain en fonction de la configuration, le gain est mesuré en se basant sur la comparaison avec le gain en mode AF1 (gain forcé à 1). Le gain est programmé en binaire, par exemple : la configuration G1111 correspond à un gain de ~ 6.5 , la configuration G10 correspond à un gain de 2.241.



FIGURE 5.3 – le séquençage des horloges de l'acquisition de l'ASPIC

Afin de vérifier le gain de l'ASPIC expérimentalement et pour le comparer avec le gain idéal, on a mis à l'entrée un pulse d'amplitude 300 mV et on a choisi le mode transparent

comme mode de lecture. Le séquençement de l'acquisition de l'ASPIC est affiché dans la figure 5.3. Il montre une simple configuration du séquenceur, contenant un trigger, un clamp (reset), un signal de conversion ainsi que le signal de sortie de l'ADC. On échantillonne 3 fois sur le signal et 3 fois sur le Reset, en clampant avant chaque séquence de conversion. L'ASPIC possède 8 canaux. On n'utilise que deux d'entre eux pour répondre à notre besoin dans l'expérience DAMIC-M. Pour cette raison, toutes les études sont faites sur ces deux canaux (Ch0 & Ch1).

Settings	Gain % AF1
AF1	1
G0	1.593
G1	1.913
G10	2.241
G11	2.562
G100	2.897
G101	3.216
G110	3.536
G111	3.853
G1000	4.322
G1001	4.637
G1010	4.958
G1011	5.274
G1100	5.603
G1101	5.918
G1110	6.233
G1111	6.546

TABLEAU 5.1 – les valeurs du gain idéal en fonction de gain configuré obtenues par simulation (capacité de configuration)

En variant le gain dans toute la gamme, la figure 5.4 montre le gain mesuré en fonction du gain en binaire (settings), qui est une droite quasiment linéaire. Ce graphe montre la similarité de comportement de deux canaux en fonction de la configuration de l'ASPIC, sauf à la configuration 1000. En pratique, on remarque que l'amplificateur de l'ASPIC présente des défauts assez négligeables par rapport à l'idéalisation que constitue la simulation de l'ASPIC. Tous ces mesures confirment que l'amplificateur est bien linéaire en fonction des capacités qui configurent ce gain : C0, C1, C2 et C3 comme le montre la figure 5.5.

5.1.2 Mesure du bruit

5.1.2.1 Mode Clamp & Sample

Pour faire une caractérisation du bruit de l'ASPIC, on a connecté l'entrée à la masse. Les mesures sont faites selon deux cas : en variant le gain et en variant la fréquence.

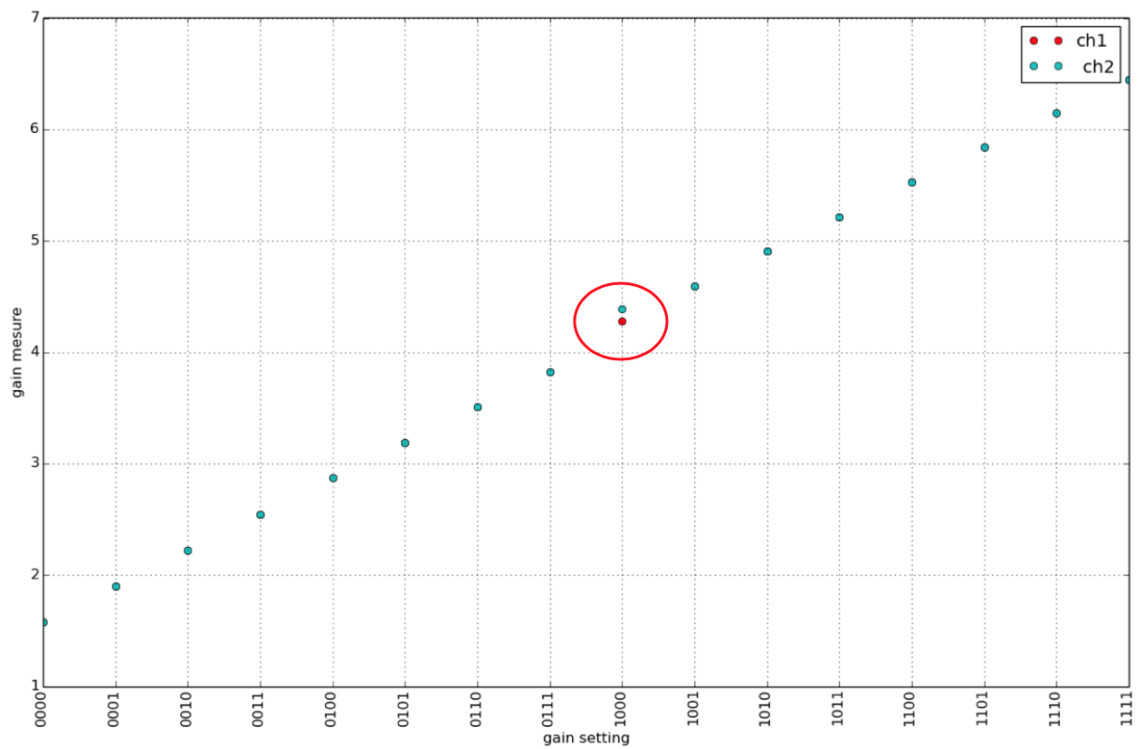


FIGURE 5.4 – le gain mesuré en fonction de capacité de configuration en injectant à l'entrée une pulse d'amplitude 300 mV

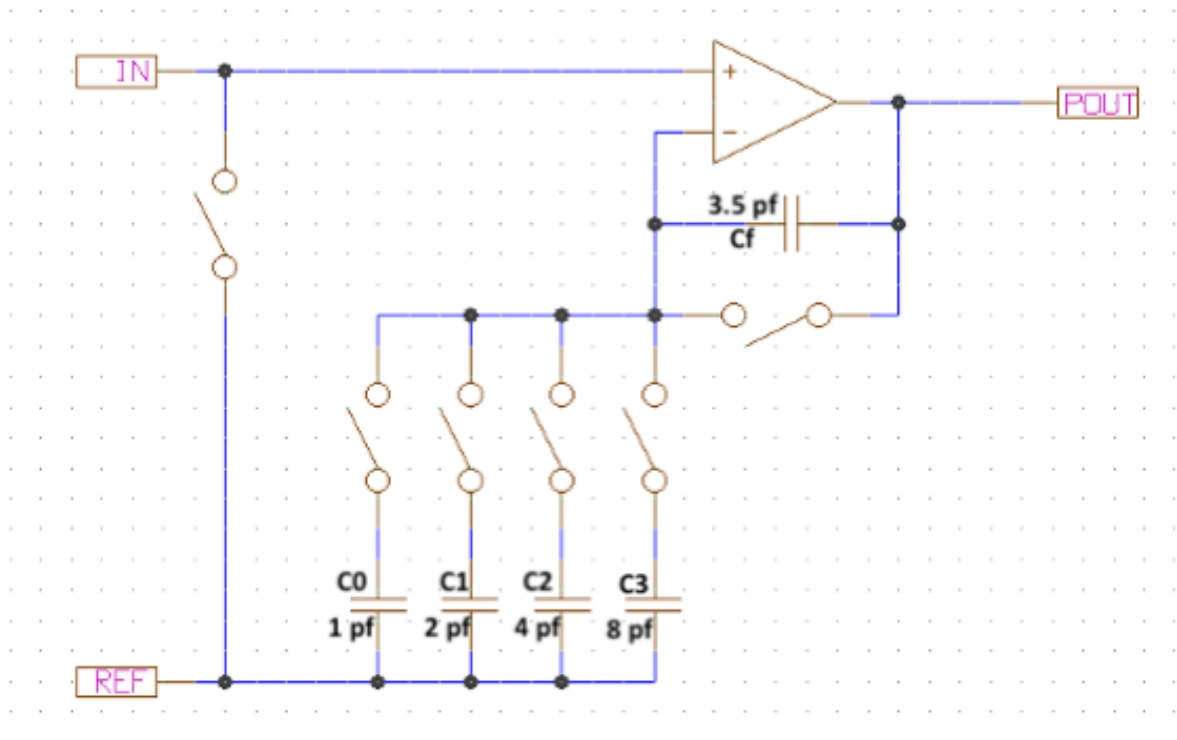


FIGURE 5.5 – la configuration du gain sur 4 bits en fonction de capacité C0, C1, C2 et C3 et une capacité série Cf.

L'ASPIC est ici configuré en mode transparent, les entrées de l'amplificateur sont liées à la masse et sa fréquence de lecture est 100 kHz en clamping au début de chaque acquisition. La première partie de la figure 5.6a montre la moyenne de 100 acquisitions qui sont normalisées par le gain, alors que la deuxième partie montre sa transformée de Fourier. La figure 5.6b montre un zoom de la figure 5.6a., on remarque au début du signal de sortie une oscillation périodique, qui provient des régulateurs sur la carte BEB3 qui alimentent les ADCs. La transformée de Fourier montre deux pics importants l'un à 5 kHz et l'autre à 10 kHz. La comparaison entre deux gains, où le gain maximal est égal à 6.5 et 1 (AF1), montre que la position du pic ne varie pas en fonction du gain, tandis que son amplitude change.

En reconnectant la carte BEB3 à la carte contenant l'ASPIC, et en variant la fréquence de lecture (100 kHz et 300 kHz), on remarque dans les figures 5.8a et 5.8b que la fréquence de lecture n'a pas un grand effet sur le bruit, ce qui est normal, mais l'amplitude de l'oscillation amortie augmente avec le même résiduel comme le montre la première partie de la figure 5.8a. Les mesures ci-dessous sont faites avec un gain maximal, sans soustraire le bruit de l'ADC ni diviser le signal par le gain. En ajoutant l'ASPIC, on remarque que le pic à 10 kHz apparaît. Après plusieurs tests, on peut conclure que le pic à 10-11 kHz est lié au bruit de l'ASPIC. Ce pic est indépendant de la fréquence de lecture et du gain.

Avec une fréquence de lecture égale à ~ 50 kHz, on a varié le gain dans toute la gamme. On remarque dans la figure 5.9, que le bruit à l'entrée¹ de l'ASPIC (en μ V) décroît lorsque le gain augmente, ce qui était prévu par simulation. Donc, on peut atteindre un bruit de $\sim 20,6 \mu$ V avec un gain maximal. Notant que le bruit dans le graphe suivant est celui de l'entrée de l'ASPIC seulement, c'est-à-dire, après la soustraction de bruit de l'ADC (2 ADU; 1 ADU $\sim 21,4 \mu$ V). La variation du bruit est similaire sur les deux canaux.

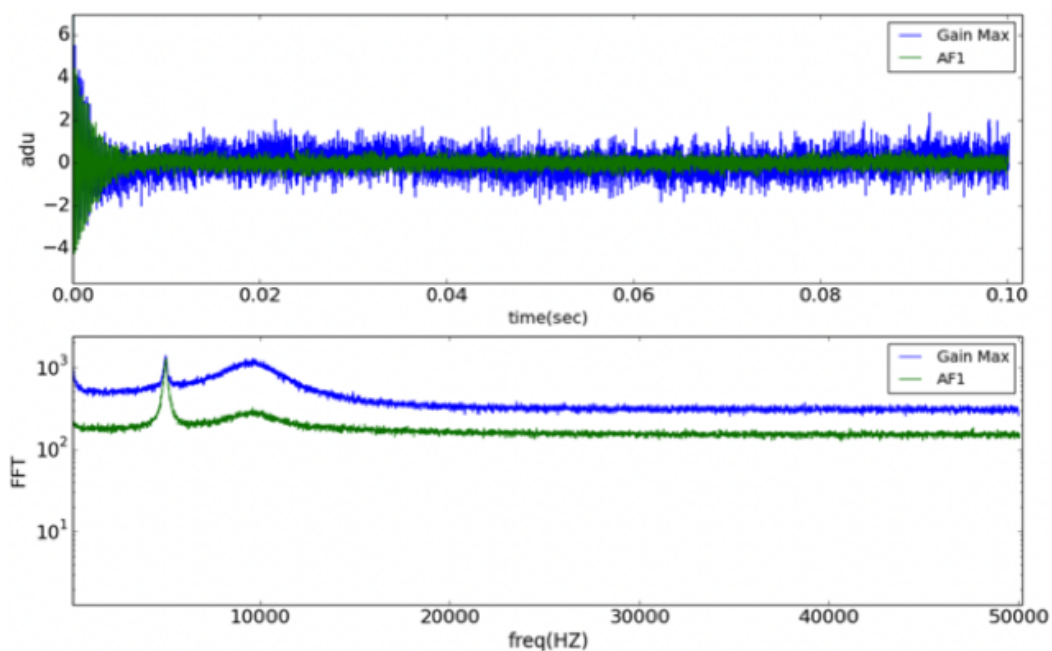
En condition réelle ASPIC travaillera à une température proche de celle du CCD, soit ~ 140 K. Le graphe de la figure (5.10) montre la différence entre le bruit à l'entrée de l'ASPIC à une température égale à 283K (bleue) et à une température de 142K (orange). Les résultats montrent que la diminution de la température entraîne une réduction du bruit de 10μ V par rapport au bruit à une température ambiante avec un gain maximal dans les deux canaux.

En fait, l'ASPIC est constitué d'un transistor MOS, dont la grande partie du bruit est un bruit thermique (Figure 5.11). Le refroidissement de l'ASPIC permet d'améliorer l'écoulement de chaleur thermique depuis l'intérieur du chip vers l'extérieur. Celui-ci permet de diminuer le bruit thermique avec la racine carré de la température selon l'équation suivante[1] :

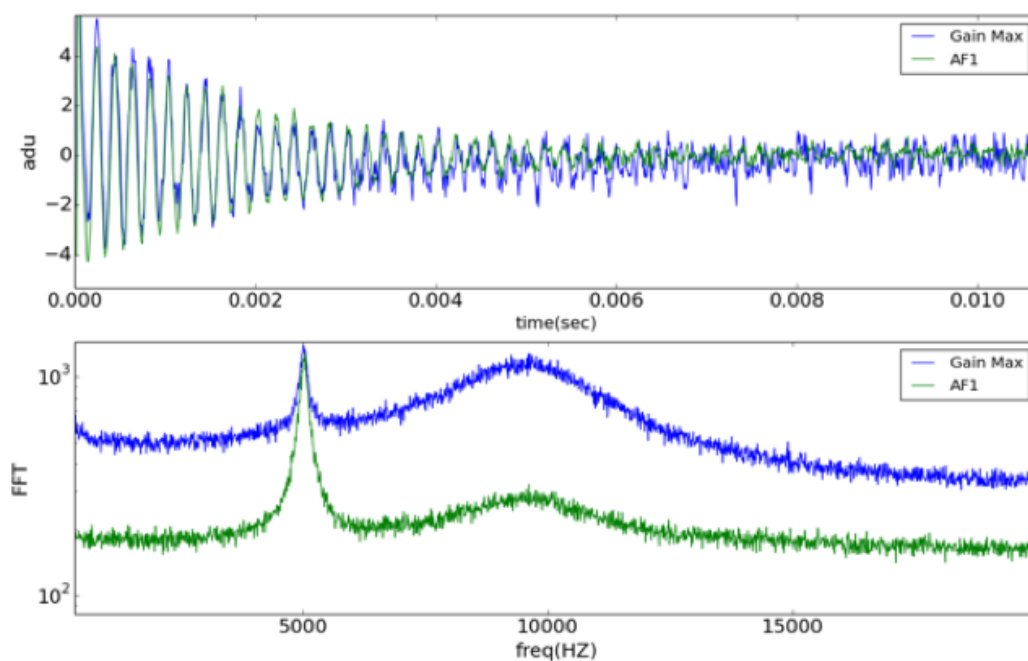
$$\overline{i_t^2 h} = \frac{8}{3} kT g_m \quad (5.1)$$

Avec K : est la constante de Boltzmann, T : est la température absolue de la résistance exprimée en Kelvins.

1. Le bruit ramené à l'entrée est calculé par la division du bruit total à la sortie de l'ASPIC par le gain appliqué par l'amplificateur de l'ASPIC

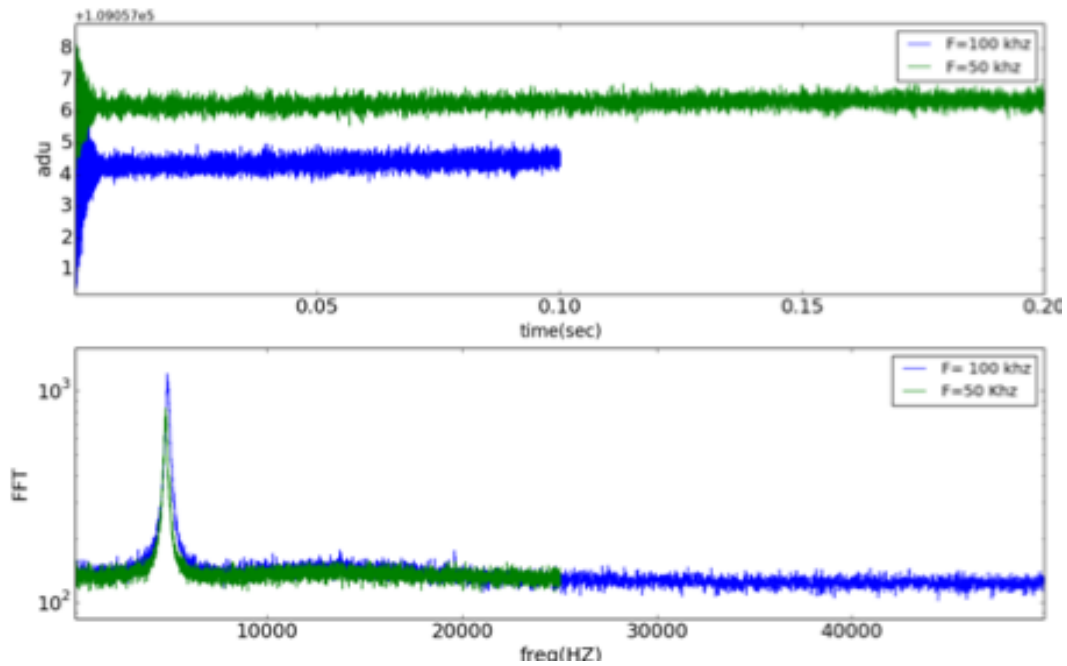


(a) signal de la sortie de l'ADC ainsi que sa FFT en connectant l'ASPIC à la masse

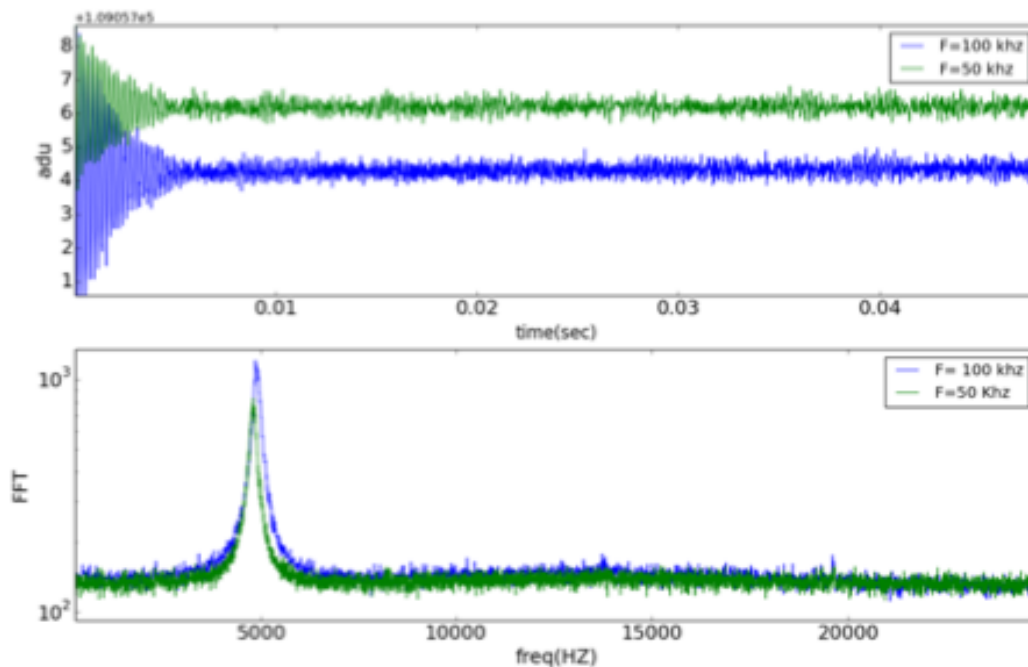


(b) zoom sur la sortie qui montre des oscillations périodiques au début de signal et la FFT qui montre deux pics importants à 5 kHz et 10 kHz

FIGURE 5.6 – Sortie de L'ADC en mode Clamp & sample en variant le gain

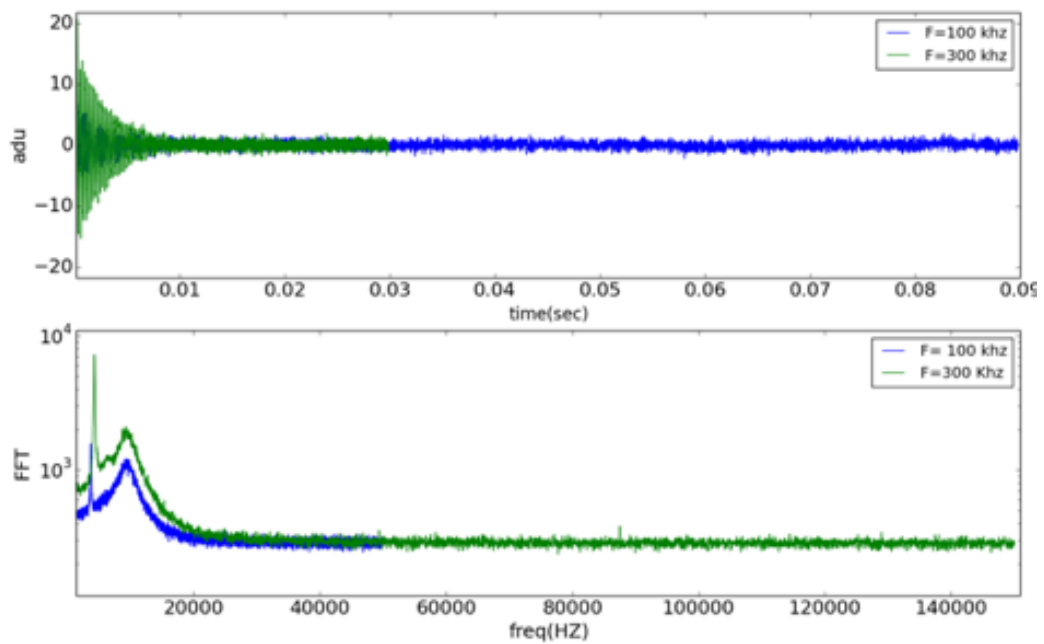


(a) signal de la sortie de l'ADC ainsi sa FFT pour deux fréquences différentes : 50kHz (vert) 100 kHz (bleu) sans connecter l'ASPIC

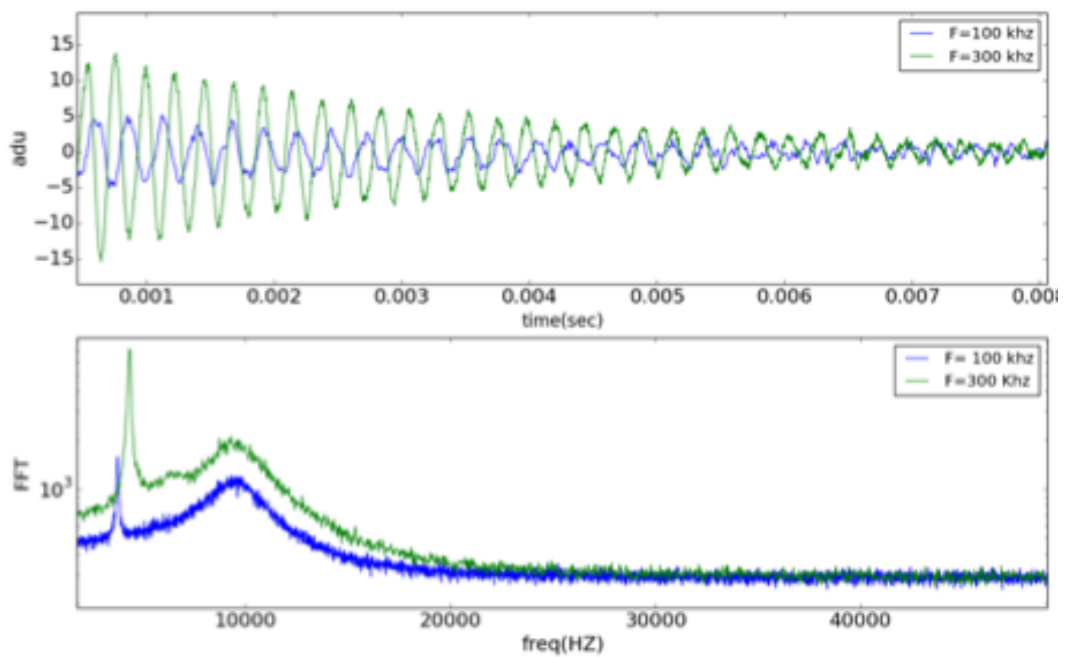


(b) zoom de sortie qui montre que les oscillations restent et sa FFT qui montre que le pic à 5 kHz est toujours visible pour les deux fréquences

FIGURE 5.7 – Sortie de L'ADC sans connectant l'ASPIC, en variant la fréquence de lecture

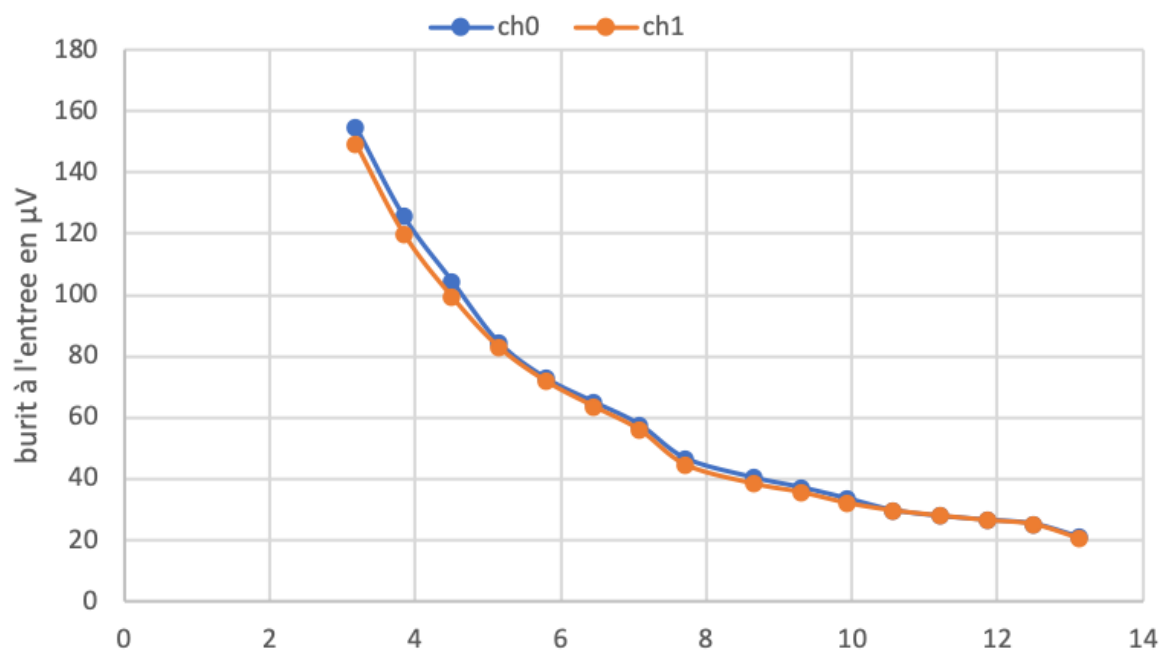


(a) signal de la sortie de l'ADC ainsi sa FFT pour deux fréquences différentes : 100 kHz (bleu) 300 kHz (vert), en connectant l'ASPIC à l'ADC



(b) zoom de la sortie et de sa FFT qui montre que le pic à 10 kHz vient de l'ASPIC et notamment de l'amplificateur intégré

FIGURE 5.8 – Sortie de L'ADC en mode Clamp & sample en fonction la fréquence en reconnectant l'ASPIC

FIGURE 5.9 – variation du bruit (en μV) à l'entrée de l'ASPIC en fonction du gain

5.1.2.2 Mode DSI

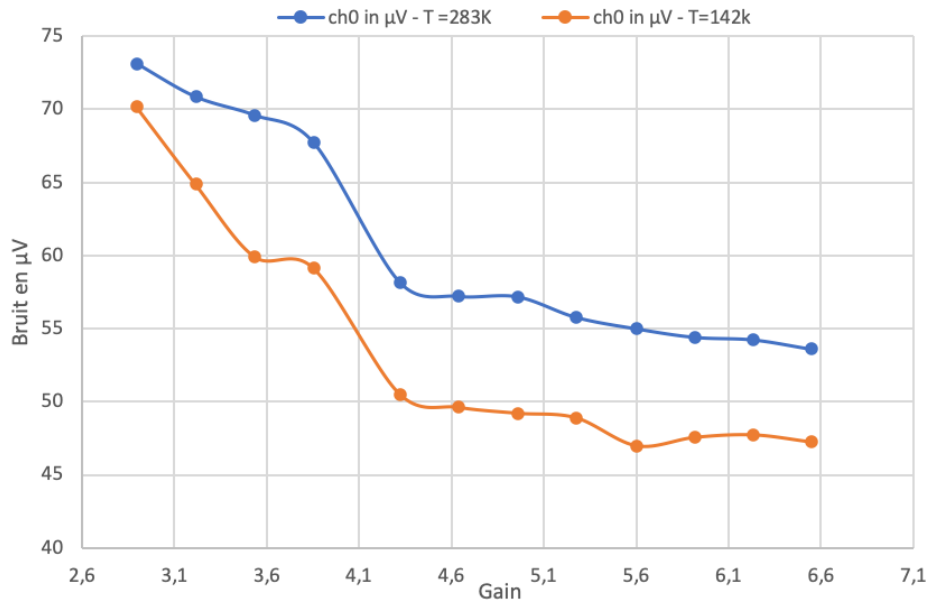
— Caractérisation du bruit

En mode DSI, le bruit va dépendre de paramètres supplémentaires liés à l'intégration du signal. Plusieurs études sont faites pour trouver la configuration optimale afin d'obtenir le bruit le plus faible. Le graphe de la figure 5.12 visualise la variation du bruit en fonction du gain en fixant la constante de temps RC [1000 \sim 2,13 μs] et le temps d'intégration [$T = 2\mu\text{s}$, $T = 15\mu\text{s}$ et $T = 20\mu\text{s}$].

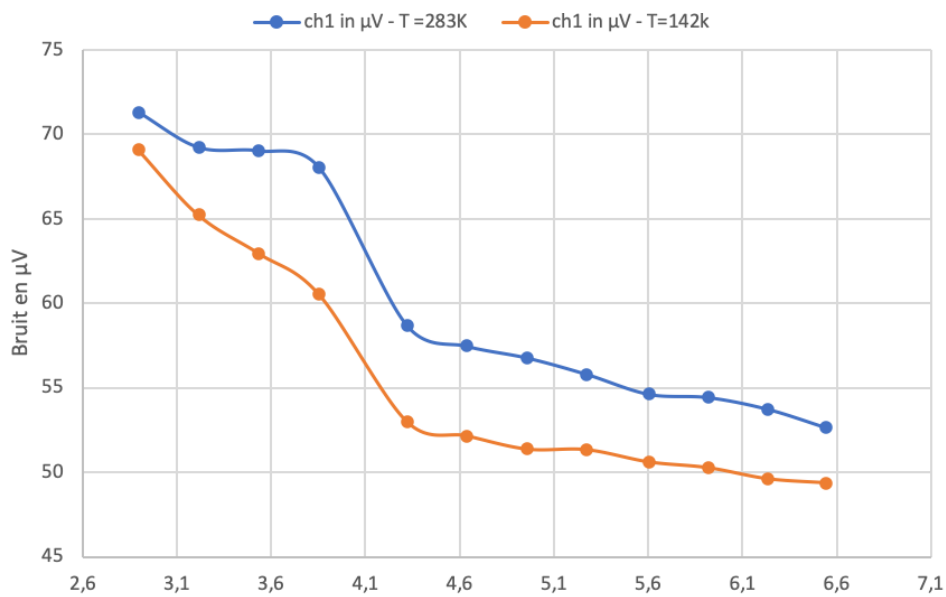
Ces mesures montrent qu'en augmentant le temps d'intégration, le bruit diminue, celui-ci peut atteindre une valeur de 2.9 μV avec un gain maximal et un temps d'intégration de 20 μs , qui est 10 fois inférieur à celui obtenu dans le mode transparent ($\sim 20\mu\text{V}$). En mode DSI, le signal sera intégré (phase RU et ensuite phase RD), ce qui permet d'éliminer le bruit thermique, tandis que les bruits à basse fréquence sont éliminés par la soustraction de deux phases à la sortie de l'ASPIC. En calculant la transformée de Fourier, on remarque que tous les pics sont éliminés. Notons qu'à $T = 2\mu\text{s}$ (orange) avec un gain maximal, le bruit augmente vu que le signal de sortie de l'ASPIC commence à saturer.

— Sortie de l'ASPIC en mode DSI

Cette partie montre la sortie de l'ASPIC en mode DSI sans connecter le CCD. La configuration de lecture est : nombre de colonnes = 4100, nombre de lignes = 2100, fréquence de lecture 100 kHz, mode de lecture DSI, $T_{\text{int}} = 2\mu\text{s}$, $G = 1111$, $RC = 1111$ (GDSI ~ 99) et une entrée liée à la masse. La figure 5.13 montre la sortie de l'ASPIC d'un canal ($V_{\text{out}+}$ et $V_{\text{out}-}$). Le comportement de sortie est bien compatible avec la configuration, l'intégration du signal (RD et RU) est visible sur le signal.



(a) Channel 0



(b) Channel 1

FIGURE 5.10 – bruit froid vs bruit chaud à l’entrée de l’ASPIC en fonction du gain dans les deux canaux : on gagne 10 µV en diminuant la température

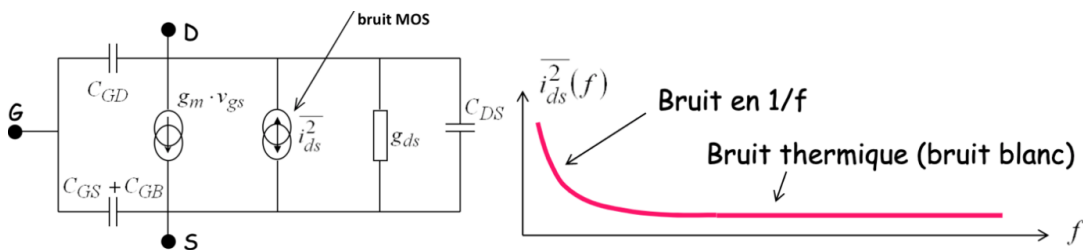


FIGURE 5.11 – (a) transistor MOS en montrant la source du bruit $\overline{i_d^2} = \overline{i_{th}^2} + \overline{i_{1/f}^2}$; (b) la courbe du bruit qui montre que le bruit est constitué d’un bruit thermique (grande partie) et bruit 1/f

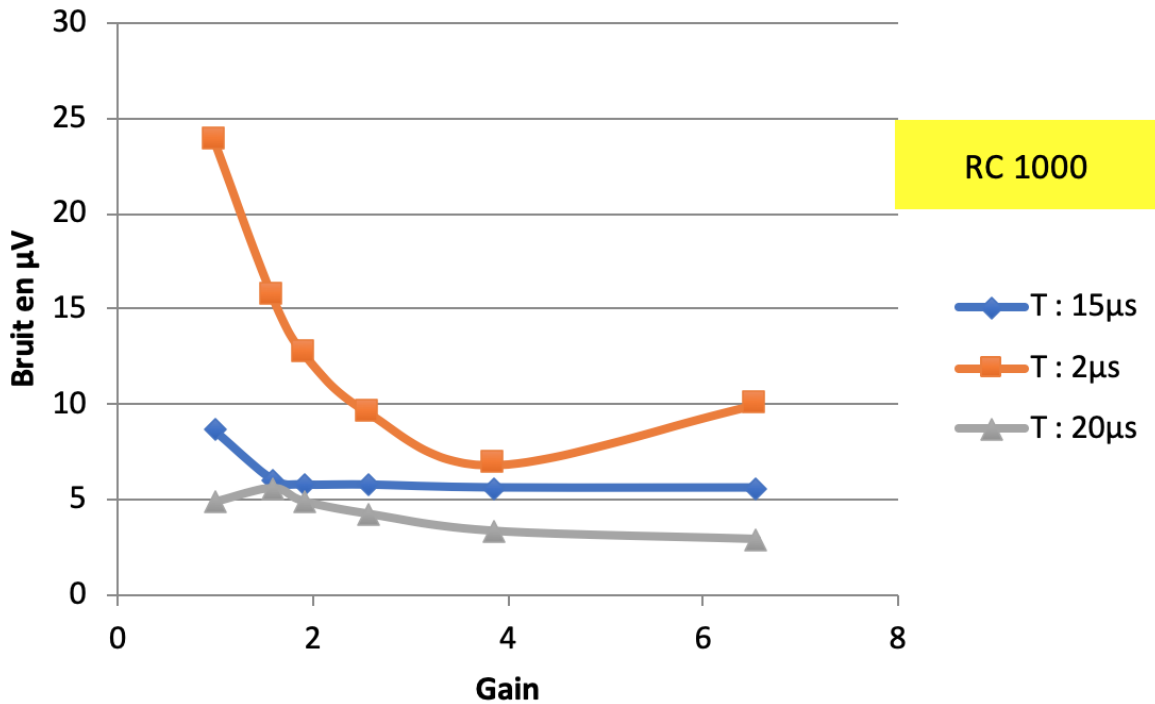


FIGURE 5.12 – variation du bruit en fonction du gain de l’amplificateur dans le mode DSI en fixant la constante de temps RC ~ 1000 et le temps d’intégration : 2 µs [orange], 15 µs [bleu] et 20 µs [gris] : le bruit diminue en augmentant le temps d’intégration du signal pour obtenir un bruit égale à 2.8 µV avec un Tint = 20 µs, au-delà le signal sature

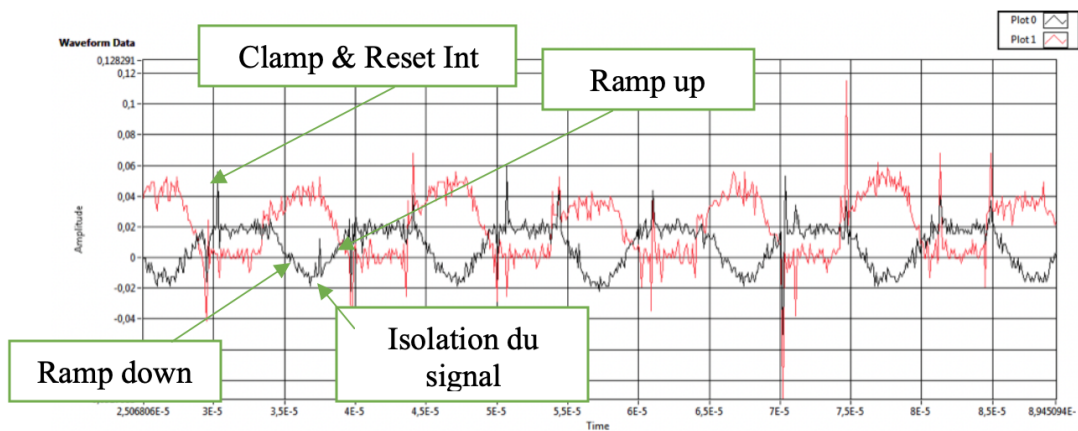


FIGURE 5.13 – Sortie de l’ASPIC, en visualisant le Vout+ et le Vout- en mode DSI : l’intégration de signal (en phases RU et RD) est visible, entre ces deux phases le signal est isolé

5.1.3 Linéarité de l'ASPIC

Le résultat de linéarité présenté dans cette partie se base sur les mesures faites par le groupe LSST . Pour mesurer la linéarité de l'ASPIC, un signal d'amplitude 3 V est injecté à l'entrée de l'ASPIC, liée à un atténuateur programmable. En changeant la constante de temps « RC » et le gain, on obtient le même spectre de résidu de la non-linéarité, tandis que son amplitude décroît avec le gain. La figure 5.14 montre les résidus de non-linéarité pour l'intervalle d'entrée qui nous intéresse ainsi pour différentes configurations [gain-RC-mode de lecture (TM et DSI)]. Pour l'intervalle [60 mV - 900 mV], on observe qu'on a une non-linéarité de 0.3 % et pour une entrée de 1V on a une non-linéarité de 0.5 %. Si on change le gain et la valeur de RC, on obtient le même spectre et les valeurs de résidus. Ce qui nous permet de constater que la non-linéarité est très stable entre les canaux. Ce résultat est compatible avec les simulations effectuées lors de la conception de l'ASPIC.

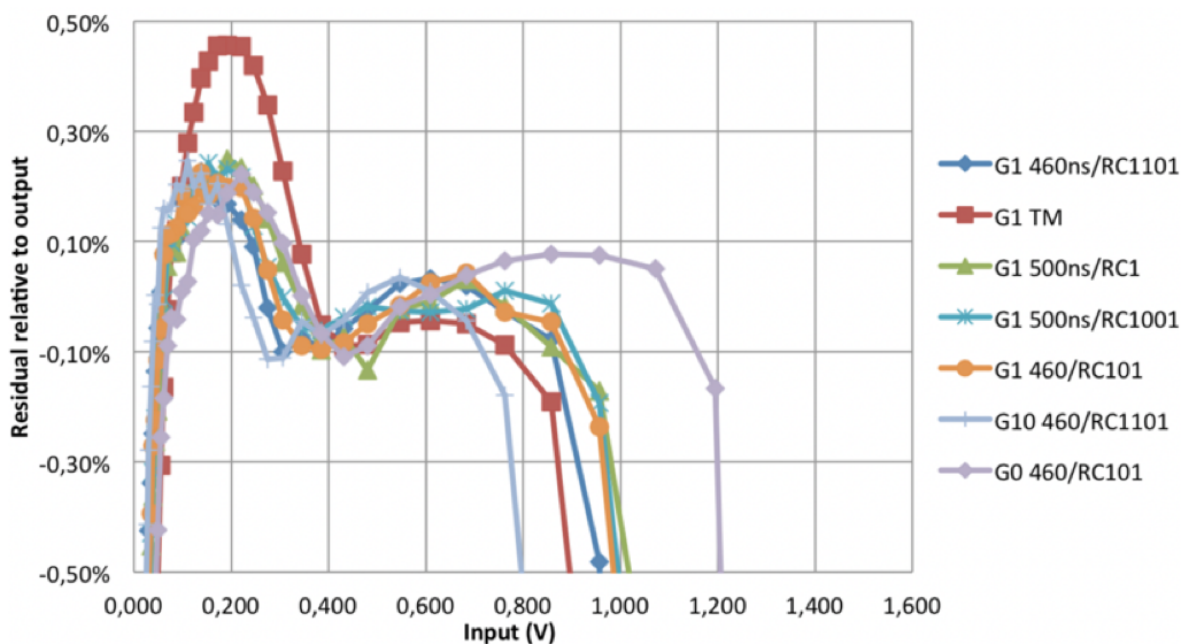
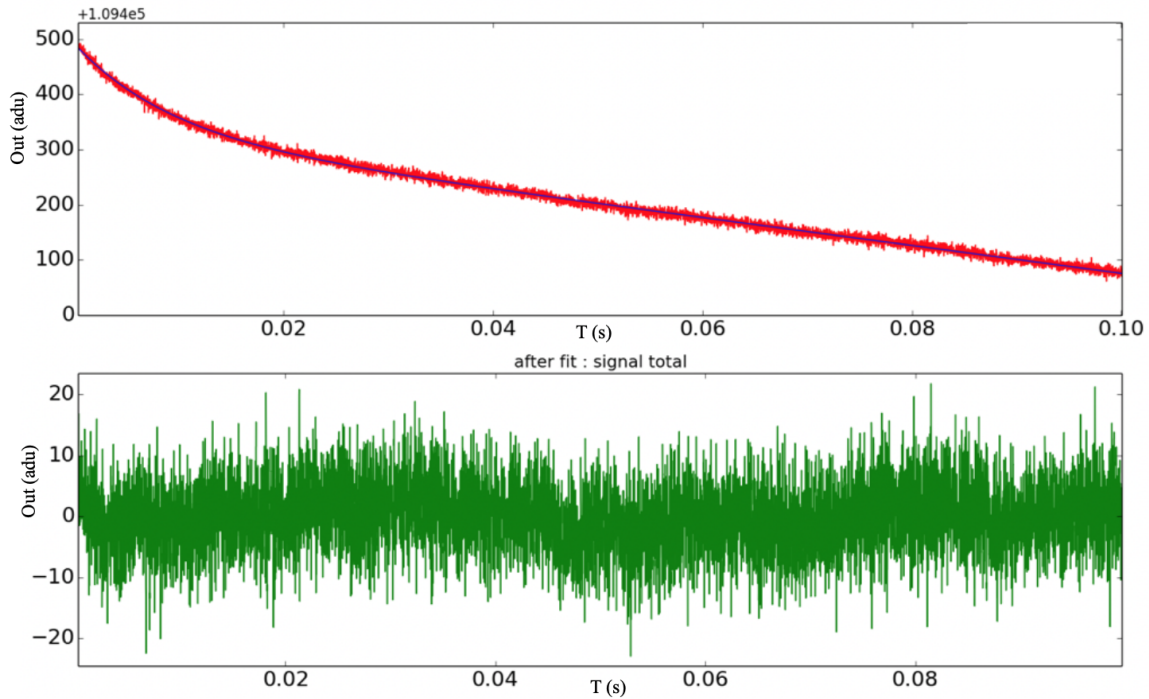


FIGURE 5.14 – Le résidu de non-linéarité de l'ASPIC pour des différents configurations

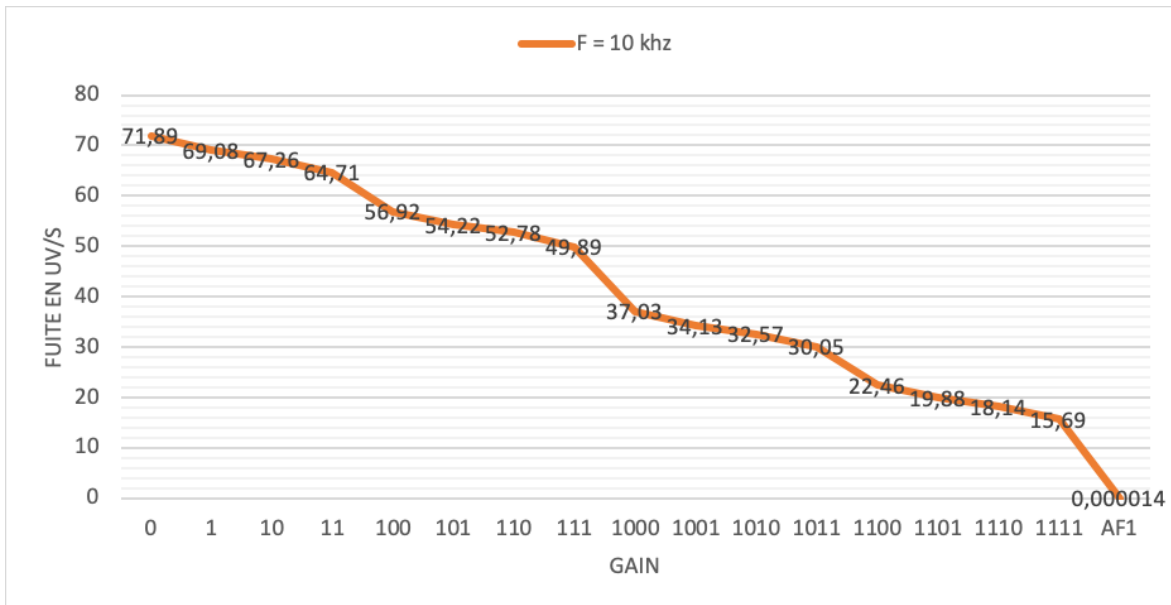
5.1.4 Fuite au niveau de la capacité

Dans le but de mesurer le bruit à basse fréquence, on a clampé au début de chaque simulation. On a remarqué qu'il y a une fuite dans l'ASPIC au niveau de la capacité Cf (en série) qui configure le gain. Pour mieux comprendre, on a réalisé des mesures de fuite en fonction du gain. Des études sont faites en connectant l'entrée à la masse et en choisissant le mode transparent comme mode de lecture. La figure 5.15a montre un exemple de fuite à la sortie de l'ASPIC, en fonction de temps et son résidu après le fit.

On mesure la sortie de l'ASPIC en changeant le gain, afin d'étudier l'effet de la fréquence de lecture et le gain sur la fuite. La figure 5.15b. montre que la fuite diminue lorsque le gain augmente. Par ailleurs, elle est presque nulle en forçant le gain à 1 (AF1). En effet, en mode AF1 la capacité de configuration du gain (Cf) est court-circuitée, ce qui confirme l'hypothèse selon laquelle la fuite est au niveau des capacités de configuration du gain.



(a) la sortie de l'ASPIC en clampant au début de l'acquisition montre qu'on a une fuite



(b) Fuite en fonction du gain au niveau des capacités dans l'ASPIC avec une fréquence de lecture $F = 10$ kHz, le bruit diminue en augmentant le gain, en mode AF1 où les capacités sont isolées la fuite est presque nulle.

FIGURE 5.15 – Fuite au niveau de capacité de configuration du gain dans L'ASPIC

5.2 La caractérisation du CROC

Le CROC est un nouveau circuit intégré, fabriqué pour être implémenté avec le CCD dans DAMIC-M. Une carte électronique est conçue au LPNHE pour faire la caractérisation du CROC, en la connectant à la carte BEB3 et en pilotant avec le FPGA Cyclone III. Cette carte contient un réceptacle pour CROC, un connecteur SUBD 50 points pour se connecter à la carte supportant les 3 CABAC (décrite dans le chapitre 3), des connecteurs SMA pour injecter des signaux à l'entrée du CROC, ainsi que des régulateurs de tension pour alimenter la carte, comme le montre la figure 5.16. Cette carte est connectée à une carte interface contenant des relais, qui est implémentée entre la carte BEB3 et le CROC, afin de sélectionner l'entrée des canaux, puisque le CROC contient quatre canaux indépendants. L'importance est de tester chaque canal à part, et de vérifier qu'il n'y a pas d'erreurs ou de dysfonctionnements. Un programme LabVIEW est créé pour contrôler ces mesures.

Des études sont faites pour diagnostiquer le CROC afin de signaler les erreurs qui peuvent être rencontrées sur la puce du CROC. Des mesures du gain, d'offset et du bruit réalisées sur le CROC ont montré des erreurs de conception au niveau du mode CF1. Toutes les mesures sont réalisées à une température ambiante (300K).

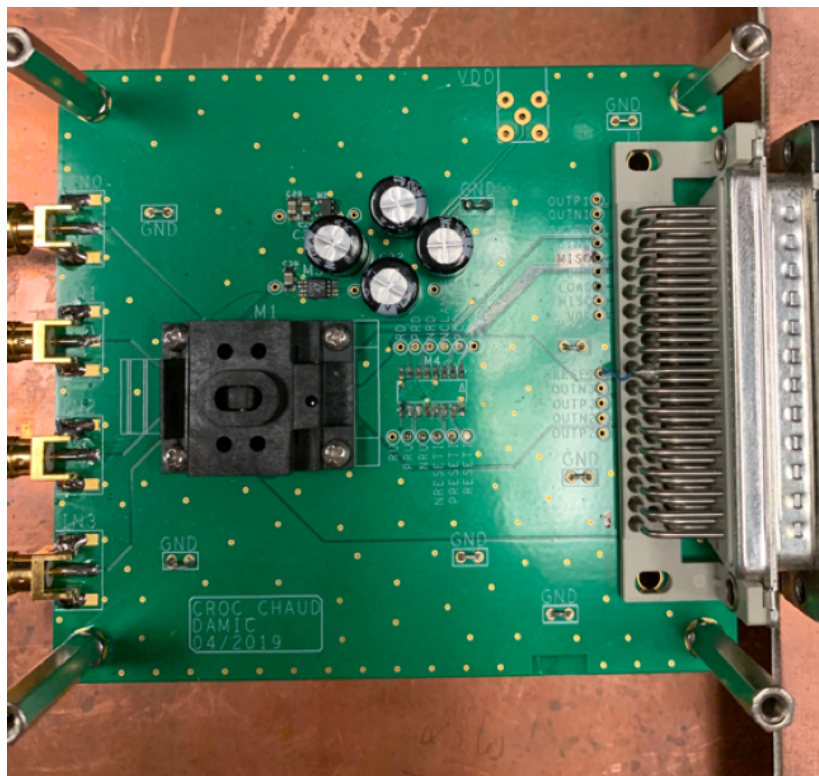


FIGURE 5.16 – carte de test du CROC à chaud

5.2.1 Caractérisation du gain

Dans le but de caractériser le gain, un signal est injecté à l'entrée du CROC, d'amplitude 80 mV et de fréquence 50 kHz. Selon la simulation du CROC, le gain du premier amplificateur doit se situer entre 4 et 128. En mode transparent, le second étage effectue la transformation unipolaire différentiel avec un gain de 2, et le buffer de sortie ajoute

aussi un gain de 2.

La figure 5.17 visualise le comportement du gain dans les quatre canaux. Ce comportement montre un bon accord entre le gain des amplificateurs obtenu pour chaque gain programmé par 6 bits, et le gain espéré de la simulation. Par ailleurs, il existe un mode appelé CF1, qui sert à forcer le gain du CROC à 1. Ce mode ne fonctionne pas correctement dans la première version du CROC. Les tests ont montré que durant ce mode, on obtient un gain de 200 au lieu de 1.

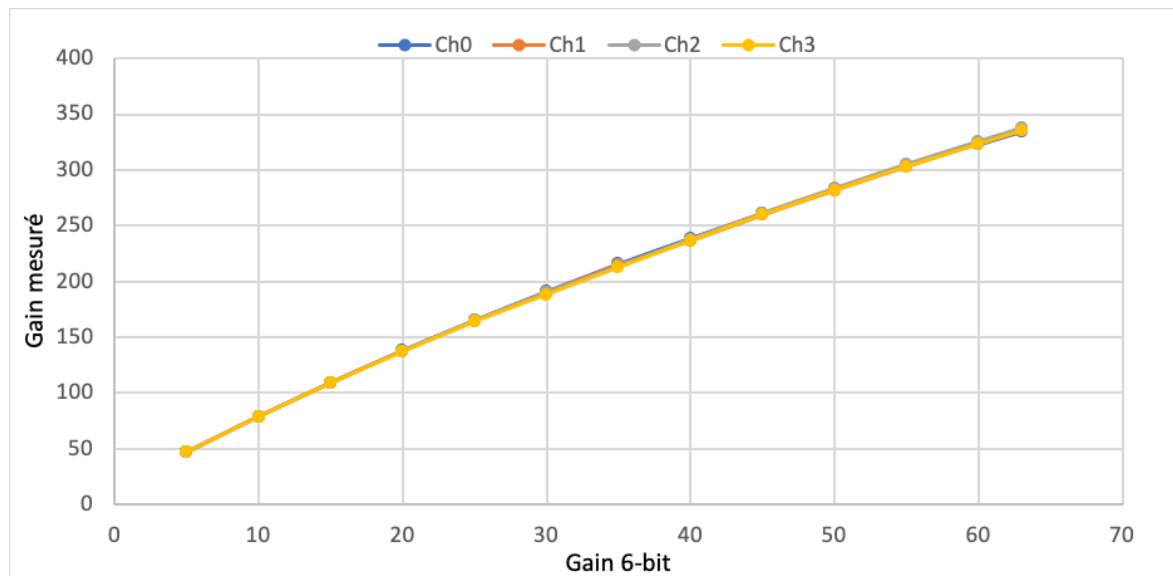


FIGURE 5.17 – Gain mesuré en fonction du gain à 6 bits sur les quatre canaux, montre un bon accord entre le gain mesuré et le gain configuré sur 6 bit

5.2.2 Caractérisation de l'offset

Une nouvelle fonction est ajoutée dans le CROC permettant de configurer l'offset du signal d'entrée. Pour tester cette fonction, on a injecté une pulse carré avec une amplitude d'une dizaine de mV. On a étudié le comportement de l'offset pour plusieurs gains. En changeant l'offset, on a pu remarquer un comportement normal de l'offset pour toute la gamme du CROC, comme le montrent les graphes de figure 5.18. Ces graphes montrent la variation de l'amplitude de sortie du canal 0 du CROC en fonction de l'offset, pour plusieurs gains. En régime linéaire, la sortie suit la configuration de l'offset. En dehors de la plage linéaire la sortie sature, et elle est bloquée à un seuil d'alimentation. Par exemple, entre un offset de 60 et 100 le signal de sortie sature pour devenir stable au-delà.

5.2.3 Caractérisation du bruit

Pour caractériser le bruit, on a connecté l'entrée à une résistance 50 Ohm. Le graphe 5.19 montre le bruit à l'entrée du CROC (en μV) en fonction du gain de tous les canaux en mode de lecture transparent et en configurant l'offset à 120 et la période entre deux conversions à $\sim 20\mu\text{s}$. Les quatre canaux se comportent de la même façon, ils possèdent la même évolution du bruit avec le gain. Le bruit du CROC diminue en augmentant le gain pour arriver avec un gain maximal à $\sim 3\mu\text{V}$, sachant que $1\text{ adu} \sim 21.4\mu\text{V}$. Cette ASIC

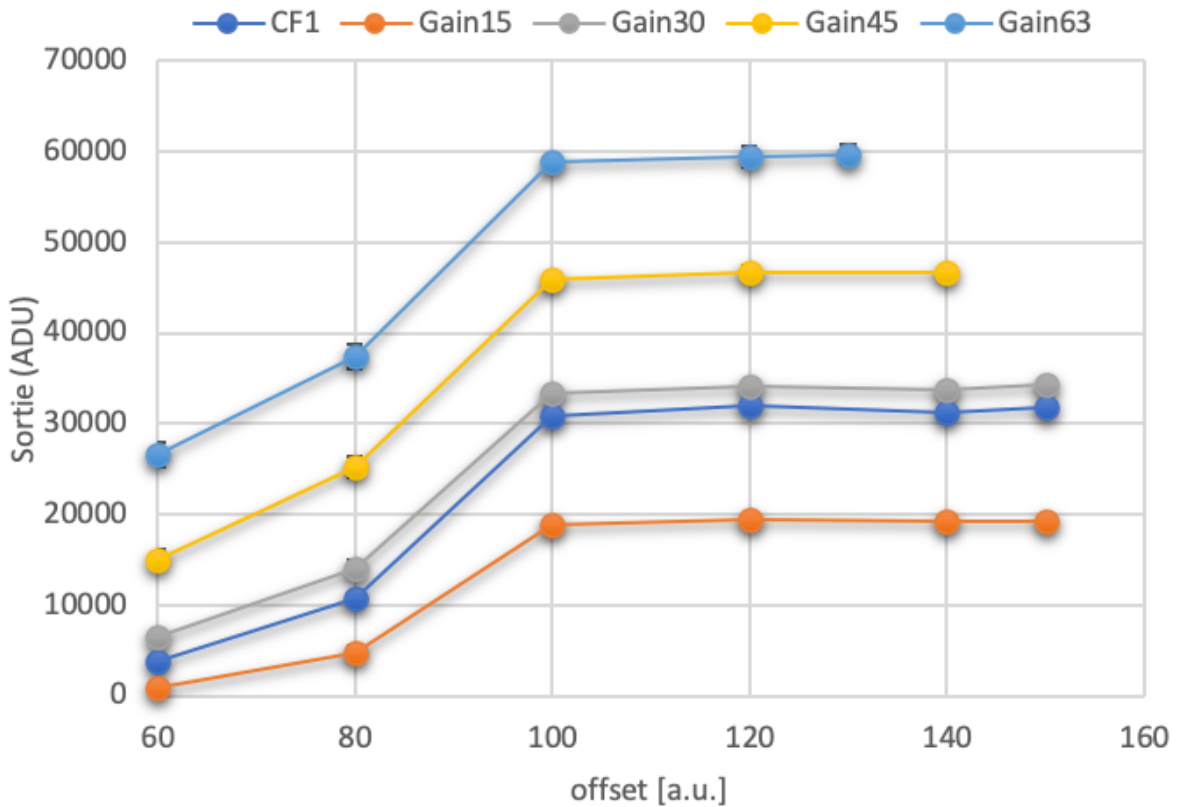


FIGURE 5.18 – l’amplitude du signal du sortie en fonction de l’offset dans différents cas du gain

présente une grande amélioration au niveau du bruit par rapport à l’ASPIC.

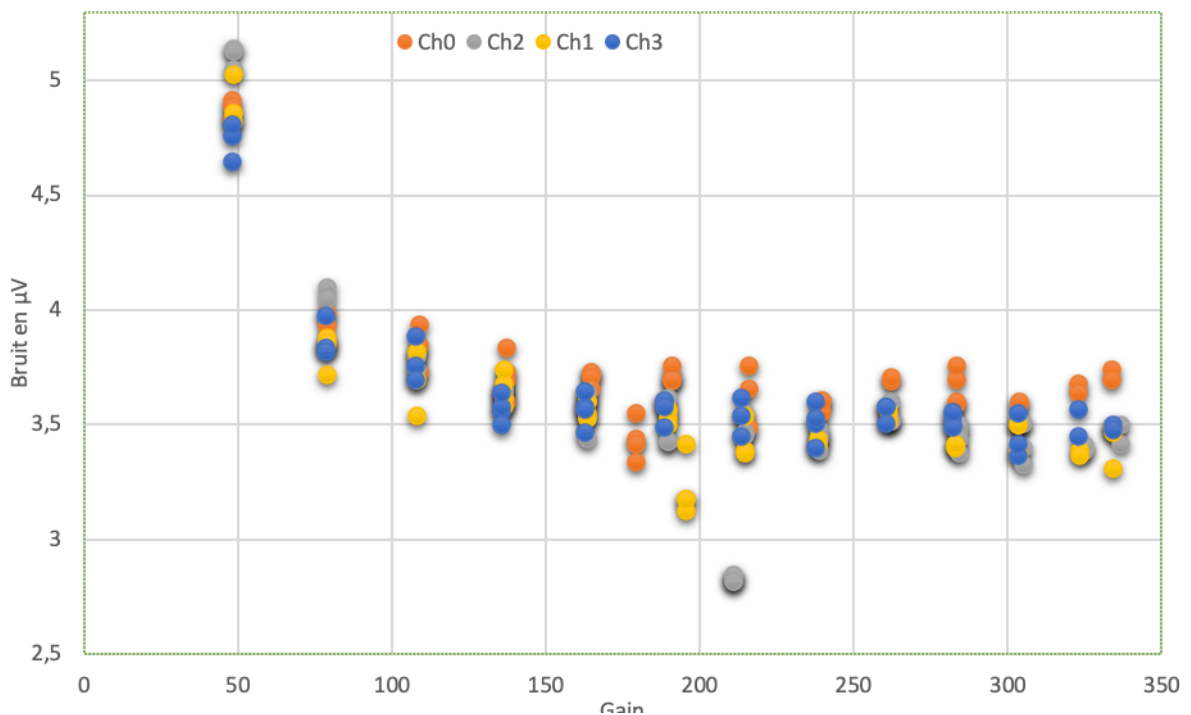


FIGURE 5.19 – bruit à l’entrée du CROC en μV en fonction du gain dans les quatre canaux montre une grande amélioration par rapport à l’ASPIC

La première version du CROC contient beaucoup de défauts, au niveau du gain (CF1),

de la polarisation (instable) et du clamp (instable). Malgré tout, on peut lire le CCD avec cette version. Une nouvelle version est en cours de fabrication afin de résoudre tous ces problèmes.

5.3 Les performances du CABAC

Le banc de test pour étudier la performance du CABAC est constitué de la carte de 3 CABACs, d'une carte d'évaluation de FPGA, d'un ordinateur et d'un multimètre à haute précision.

5.3.1 Mesure de bruit des biais

Il est important de mesurer le bruit des biais émis par le CABAC, puisqu'ils agissent directement sur le bruit du CCD. A cette fin, on a étudié leurs comportements dans trois cas, en ajoutant trois types des filtres « passe bande » qui sont constitués d'un filtre passe bas fixe implémenté directement sur la carte supportant CABAC $R2 = 200 \Omega$ & $C2 = 1\mu F \sim Fc = 800Hz$ et d'un filtre passe haut variable ajouté à l'extérieur afin de voir la variation du bruit en fonction de la fréquence de coupure. Ce filtre est illustré dans la figure 5.20.

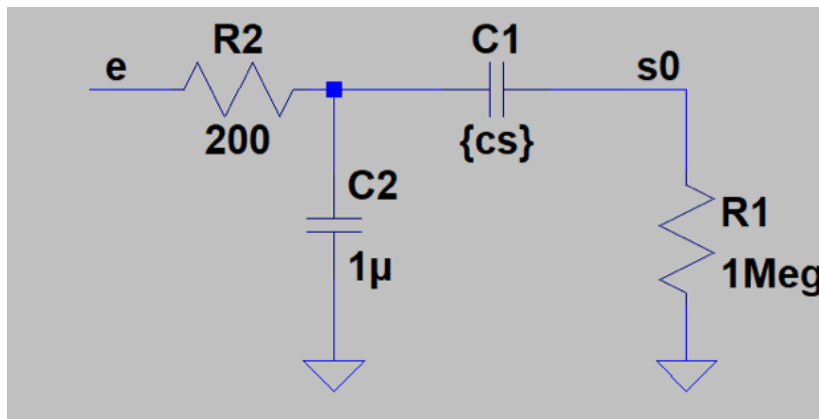


FIGURE 5.20 – le filtre passe bande appliqué sur les biais afin de mesurer la variation du bruit

Les tableaux suivants montrent la différence entre trois cas dépendant de la fréquence de coupure du filtre passe haut ajouté à l'extérieur de la carte. Selon les valeurs du bruit ci-dessous, on trouve que le bruit est important à basse fréquence (<160 Hz). Cependant, notre système de lecture élimine les basses fréquences et le rend négligeable.

Biais	Bruit(μV)
VDDa	5.2
VDDb	5.4
VOGa	25
VOGb	38
VRa	6.6
VRb	7.7

TABEAU 5.2 – Cas 1 : Filtre RC : $R1 = 1 M \Omega$, $C1 = 1nF \sim Fc = 160 Hz$

Biais	Bruit(μ V)
VDDa	18.18
VDDb	18.15
VOGa	76.53
VOGb	56.21
VRa	10.6
VRb	13.7

TABLEAU 5.3 – **Cas 2** : Filtre RC : R1=1 M Ω , C1=10nF \sim Fc = 16 Hz

Biais	Bruit(μ V)
VDDa	88.06
VDDb	60.8
VOGa	10mV
VOGb	78.08
VRa	20.1
VRb	17.6

TABLEAU 5.4 – **Cas 3** : Filtre RC : R1=1 M Ω , C1=100nF \sim Fc = 1.6 Hz :

5.3.2 Résultats du CABAC

Après correction des défauts de la carte CABAC présentés dans le chapitre 3, ainsi qu’après le changement de tous les composants défectueux, on a réussi à régler tous les niveaux des horloges et des tensions de polarisation souhaités. La figure 5.21 montre un synoptique de la carte supportant 3 CABACs, qui explique comment les horloges et les tensions de polarisation sont fabriquées. Les horloges horizontales et verticales ainsi que les tensions de polarisation VRa et VDDa sont émises à partir du CABAC1; les horloges transfert gate, le niveau haut de Summing Well, les tensions VRb, VDDb et VOGb sont fournies par le CABAC2, les horloges RESET GATE, le niveau bas de Summing Well, le biais VOGa et VSUB sont fournies par CABAC3. De plus, toutes les pentes des horloges sont contrôlées par les CABACs. La configuration des horloges, biais et VSUB se fait à travers LABVIEW.

Les Horloges

Lorsque la carte FPGA reçoit un signal de déclenchement, il envoie des signaux LVDS à la carte CABAC qui déclenche les horloges. Le CABAC fournit à la sortie des horloges verticales et horizontales. Le CABAC1 fournit les horloges suivantes : H1a, H2a, H3a, H1b, H2b, H3b, V1, V2 et V3. Le CABAC2 fournit : TG, SWa_ H et SWb_ H. Le CABAC3 fournit : Rga, Rgb, Swa_ L et Swb_ L.

- **Les horloges horizontales** : le tableau suivant présente le nom des horloges et la correspondance des rails des horloges fabriquées par les CABACs.

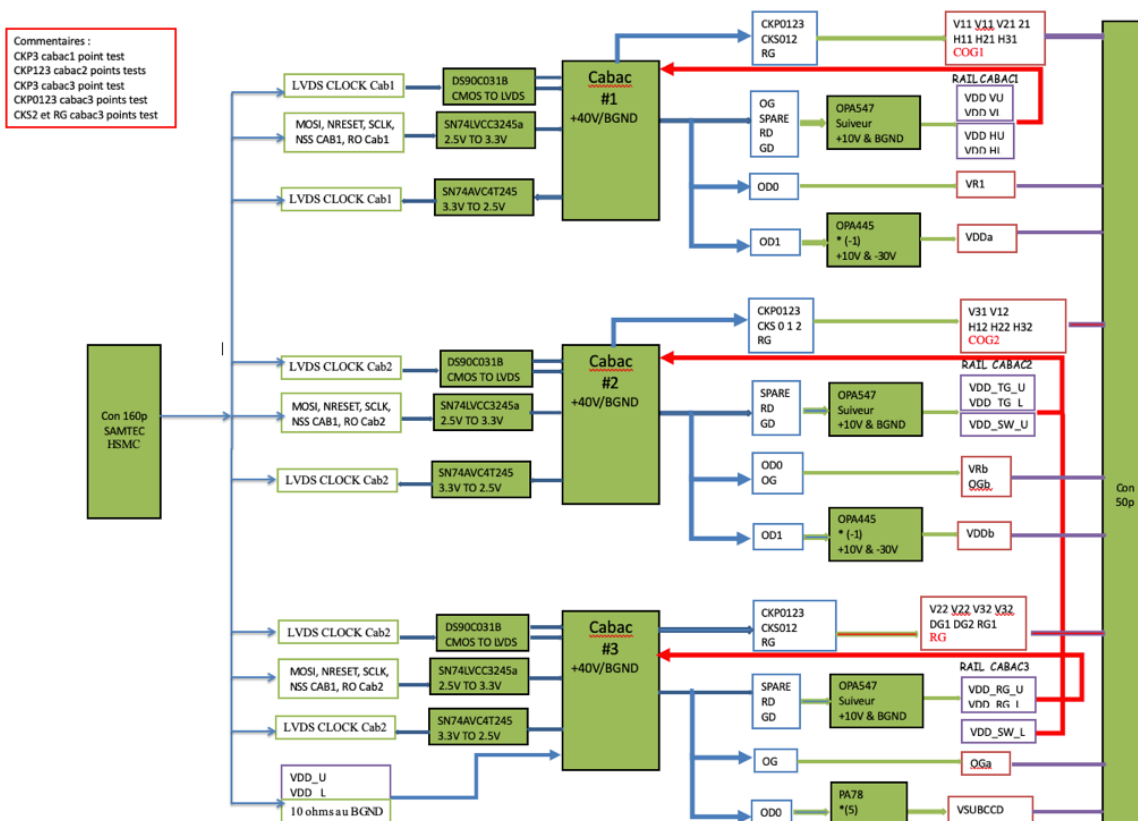


FIGURE 5.21 – synoptique de la carte 3 CABACs qui montre comment les biais et les horloges sont fabriqués à partir les trois CABACs en passant par des ampli op.

Horloges	Tension haute	Tension bas
H1/H2/H3	RD_CABAC1	GD_CABAC1
SW	GD_CABAC2	GD_CABAC3
RG	SPARE_CABAC3	RD_CABAC3

TABEAU 5.5 – Les horloges horizontales et ses correspondances de la tension dans CABAC

Il suffit de programmer les tensions ci-dessus par LabVIEW pour obtenir n'importe quelle valeur de niveau des horloges souhaité. La figure 5.22 présente un exemple des horloges horizontales qui correspond aux niveaux de tension nécessaires pour cadencer un CCD LBNL 4K x 2K.

Dans le tableau suivant, on trouve les valeurs pour chaque horloge (en Volt). Ces valeurs sont prévues pour piloter le CCD LBNL 4K x 2K.

Horloges	VL(V)	VH (V)	Pente(ns)
H1	1.3	6.62	880
H2	1.43	6.75	880
H3	1.58	6.87	880
SW	-2.5	5.43	580
RG	-4.1	0	560

TABEAU 5.6 – Les valeurs des horloges horizontales selon la fiche technique du CCD

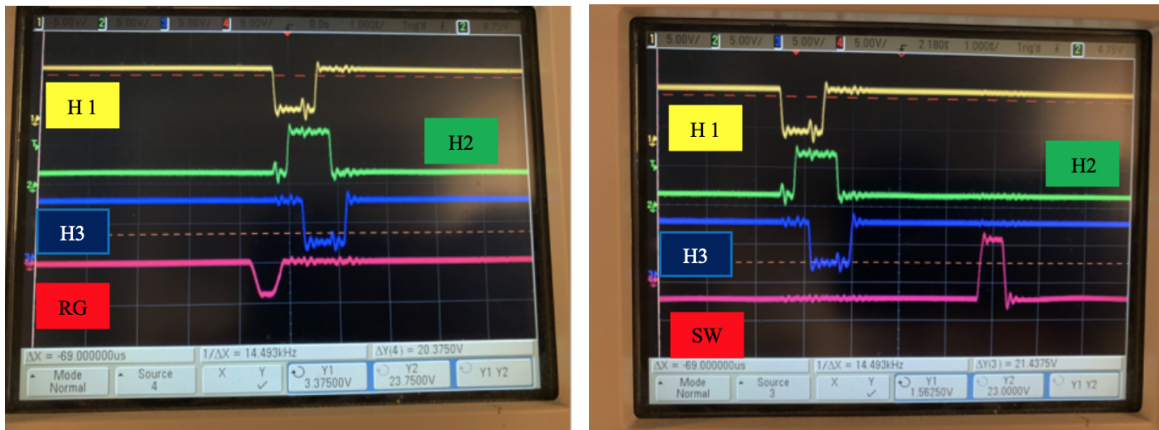


FIGURE 5.22 – les horloges horizontales fabriquées par la carte CABAC nécessaires pour piloter un LBNL CCD.

- **Les horloges verticales :** la programmation des horloges verticales se base sur le même principe que pour les horloges horizontales mais à travers d'autres rails de tensions. Dans le tableau suivant, on a la correspondance entre les rails des horloges et le nom d'horloge.

Horloges	Tension haute	Tension bas
V1/V2/V3	OG_CABAC1	SPARE_CABAC1
TG	SPARE_CABAC2	RD_CABAC2

TABEAU 5.7 – Les horloges verticales et leurs correspondances de la tension dans CABAC

Dans la figure 5.23, on a un exemple des horloges verticales correspondant à la configuration de CCD 4k x 2k.

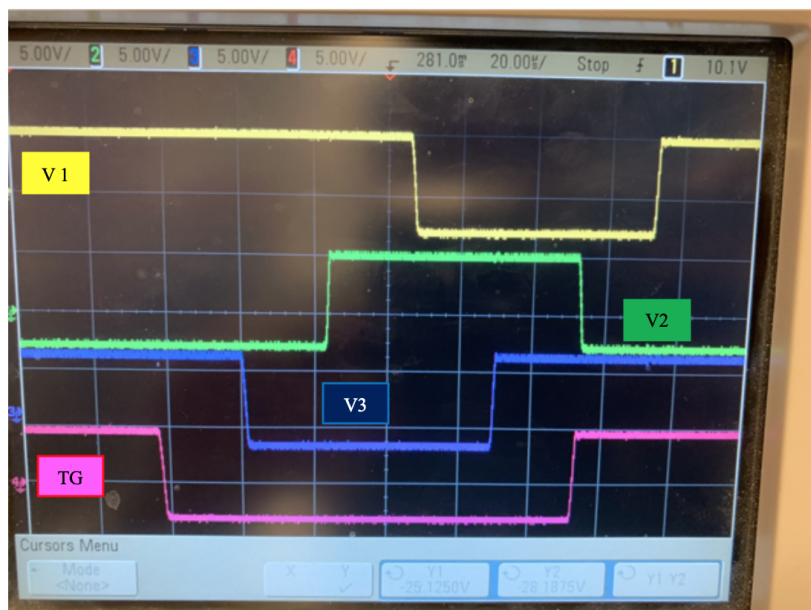


FIGURE 5.23 – les horloges verticales fournissent par les CABACs.

Dans le tableau suivant, on trouve les valeurs pour chaque horloge (en Volt). Ces valeurs sont prévues pour piloter le CCD LBNL 4K x 2K.

Horloges	VL(V)	VH (V)	Pente(ns)
V1	3.31	7.87	70
V2	3.56	8.01	70
V3	3.43	8.06	66
TG	3.2	7.93	115

TABLEAU 5.8 – Les valeurs des horloges verticales selon la fiche technique du CCD

Les tensions de polarisation

Les tensions de polarisation du CCD sont fournies également par le CABAC. Certains biais fabriqués par le CABAC sont envoyés directement au CCD et d'autres passent à travers des amplificateurs pour fabriquer les valeurs adaptées au CCD. Les tensions VOGa, VOGb, VRa et VRb sont envoyées directement par le CABAC au CCD, VDDa et VDDb passe par un AOP inverseur (OPA445) et VSUB passe par un AOP suiveur avec un gain de 5 (PA78).

De plus, les biais sont configurés par LabVIEW. Le tableau suivant montre les noms de tension de polarisation et leurs correspondances.

Biais	Tensions
VOGa	OG_ CABAC3
VOGb	OG_ CABAC2
VDDa	OD1_ CABAC1
VDDb	OD1_ CABAC2
VRa	OD0_ CABAC1
VRb	OD0_ CABAC2
VSUB	OD0_ CABAC3

TABLEAU 5.9 – les biais et les correspondances de tension dans CABAC

Le tableau suivant présente l'intervalle des biais pour alimenter un LBNL CCD 4k x 2k :

Biais	Range de Tension
VOG	0 – 5
VDD	-25 – 0
VR	-15 – 0

TABLEAU 5.10 – Les valeurs biais selon la fiche technique du CCD

Génération de VSUB

Durant la phase Erase, le Vsub doit passer de 47V à 0V et remonter durant quelques secondes en faisant une pente de 220 ns. Pour créer cette pente, on a ajouté un filtre RC (C = 220nF et R = 10MΩ), et on a contrôlé le VSUB par LabVIEW d'une façon autonome. La figure 5.24 montre la variation du VSUB et sa pente. Durant cette phase, les horloges verticales doivent être constantes de valeur égale à 9V.

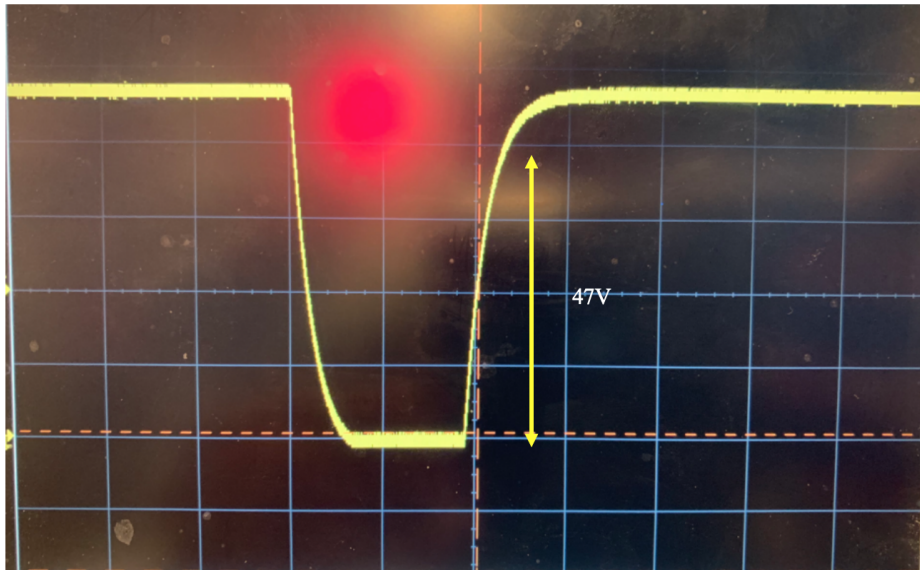


FIGURE 5.24 – génération de VSUB durant la phase Erase

5.3.2.1 La diaphonie entre les horloges et les tensions de polarisation

Cette section est dédiée à la mesure de la diaphonie entre les tensions de polarisation (OD & RD) et les horloges séries. La figure 5.25 montre le banc de test utilisé dans ce but, la diaphonie est mesurée directement sur un oscilloscope. Généralement, la diaphonie dépend de l’amplitude et des fronts d’horloge et de leur phase relative.

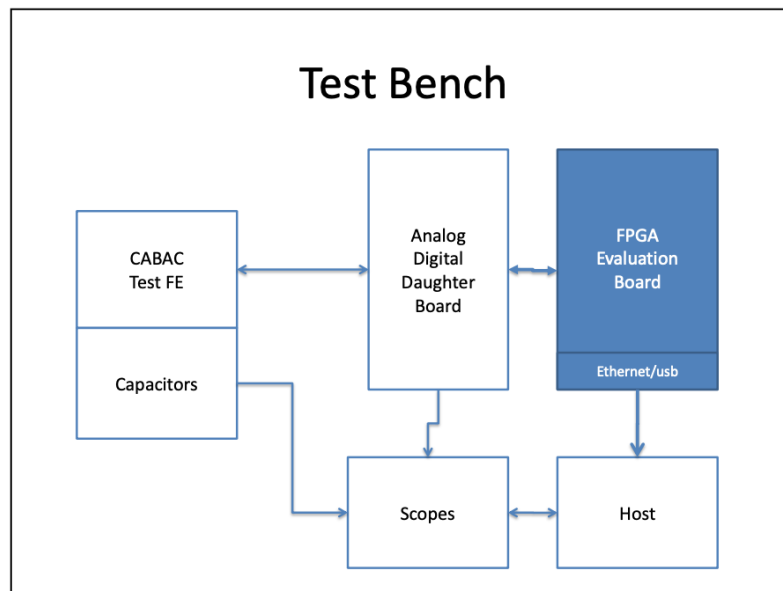
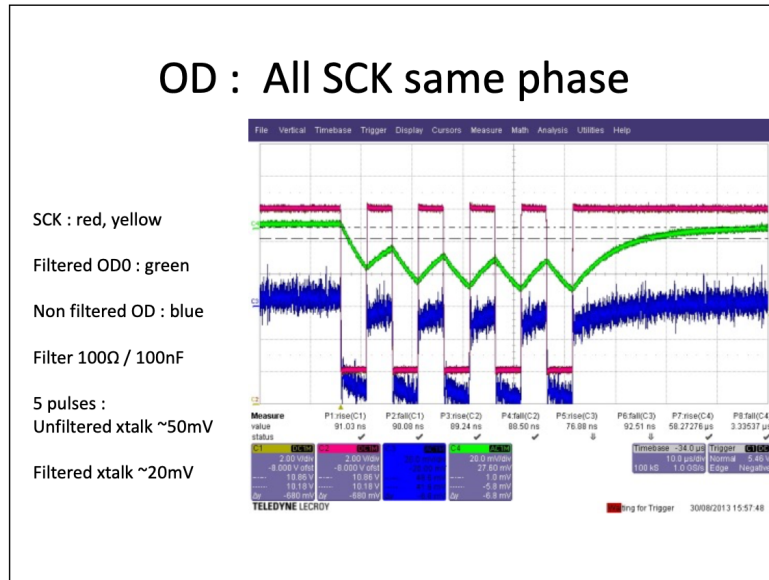


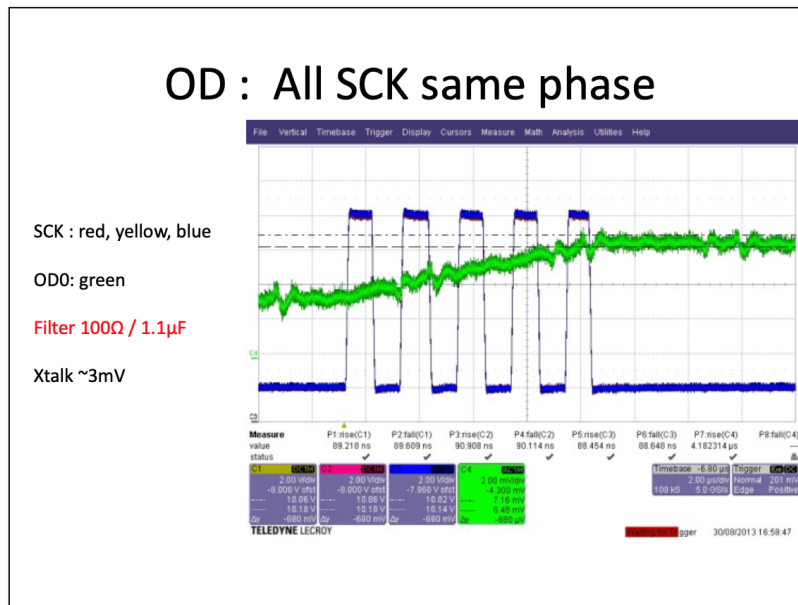
FIGURE 5.25 – banc de test pour mesurer la diaphonie entre les horloges et les tensions de polarisation

Dans le cas des horloges symétriques, les mesures montrent qu’aucune diaphonie n’est observée lorsque les horloges se croisent à 50%. Cependant, lorsque les horloges ne sont pas symétriques des diaphonies rapides et lentes sont mesurées. Sans filtrage, la diaphonie entre la tension OD et les horloges série synchrones est égale à $\sim 50\text{mV}$. En ajoutant un filtre RC ($R=100\ \Omega$; $C=100\text{nF}$) avec une fréquence de coupure : $F_c = 157\ \text{kHz}$

à la sortie de tension OD, la diaphonie diminue jusqu'à 20 mV. En changeant la valeur du filtre ($R=100\Omega$, $C=1.1\mu\text{F}$), c'est-à-dire en diminuant la fréquence de coupure ($\sim 17\text{ kHz}$), la diaphonie rapide devient inférieure à $\sim 3\text{ mV}$, comme le montre la figure 5.26. Pour la tension RD avec un filtre RC ($R=1\text{k}\Omega$; $C=1.1\mu\text{F}$) la valeur de diaphonie n'est pas mesurable, elle est très petite, comme le montre la figure 5.27.



(a) la diaphonie entre les horloges séries et la tension OD avec et sans filtrage montre qu'on a une diaphonie de $\sim 50\text{ mV}$ sans filtre et de $\sim 20\text{ mV}$ en ajoutant un filtre RC ($R=100\Omega$; $C=100\text{nF}$)



(b) en changeant la valeur de filtre RC ($R= 100\Omega$; $C= 1.1\mu\text{F}$) la diaphonie diminue jusqu'à 3 mV , le niveau de tension n'est pas stable puisqu'elle capte une tension des horloges, et le niveau de ces dernières varie.

FIGURE 5.26 – Diaphonie entre les horloges et la tension de polarisation OD

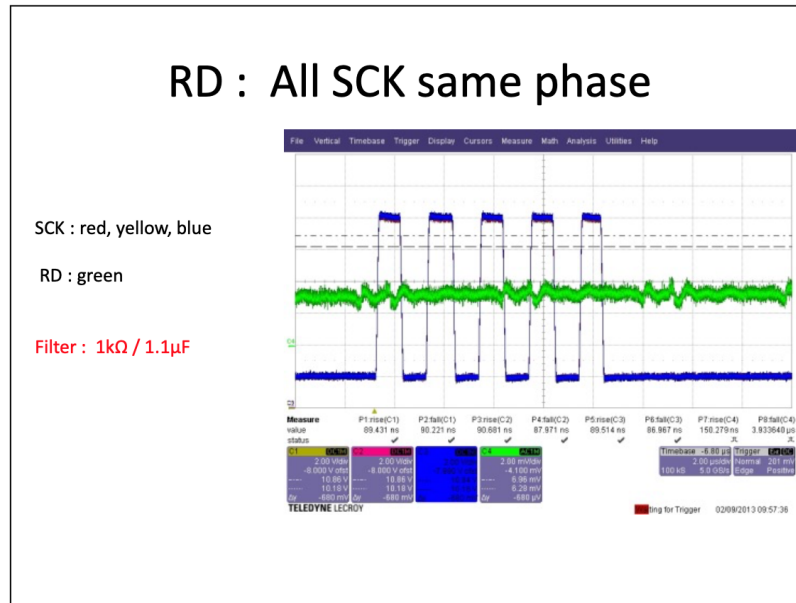


FIGURE 5.27 – la diaphonie entre la tension RD et les horloges séries n’est pas mesurable car elle est très petite.

5.4 Caractérisation de l’ADC Rapide

L’ADC 18 bits – 15MSPS était présenté dans le chapitre 4. Cette section est dédiée à l’étude de la performance de cet ADC. En fait, deux ADCs différents sont mis en étude dans DAMIC-M, le premier est l’ADC (18 bits, 15 MSPS « LTC2387-18 ») choisi par LPNHE et l’autre est choisi par l’université de Chicago (ADC 20 bits, 1.8 MSPS « AD4020 »). L’ADC qui a la meilleure performance sera sélectionné pour l’implémenter dans le nouveau banc test de DAMIC-M.

Le banc de test de l’ADC est composé d’une carte contenant 4 ADCs, un FPGA, une carte DAC et un ordinateur. La carte d’évaluation DAC est utilisée pour étudier la linéarité, c’est un DAC 20 bits (ad5791) avec un bruit de quelques microvolts. Ce banc de test est illustré dans la figure 5.28.

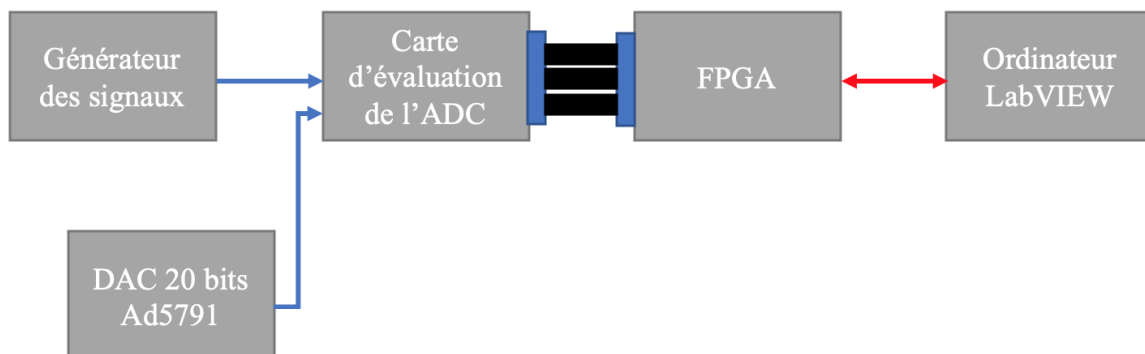


FIGURE 5.28 – le diagramme du banc de test de l’ADC rapide

Plusieurs méthodes peuvent être appliquées pour caractériser l’ADC comme la mesure du bruit, l’étude de la linéarité et la régression sinusoïdale.

5.4.1 Mesure du bruit

Le rapport signal sur bruit est le facteur le plus important qui évalue un ADC. Toutes les études pour caractériser le bruit sont faites en court-circuitant l'entrée de chaque ADC à la tension de référence interne de l'ADC ($V_{ref} = 2.048\text{ V}$). Cette tension est la plus stable et la moins bruitée, ce qui permet d'obtenir la valeur exacte du bruit de l'ADC. La carte d'évaluation de l'ADC contient des buffers (ADA4932) avant chaque ADC pour protéger les signaux injectés par CROC. Également, des filtres sont implémentés pour réduire le jitter des horloges. En effet, on a remarqué que le bruit de l'ADC (ADC3) qui est proche des régulateurs de tension, qui alimentent la carte, est plus grand que celui de ceux qui sont loin. La figure 5.29 montre l'emplacement des ADCs et des régulateurs sur la carte.

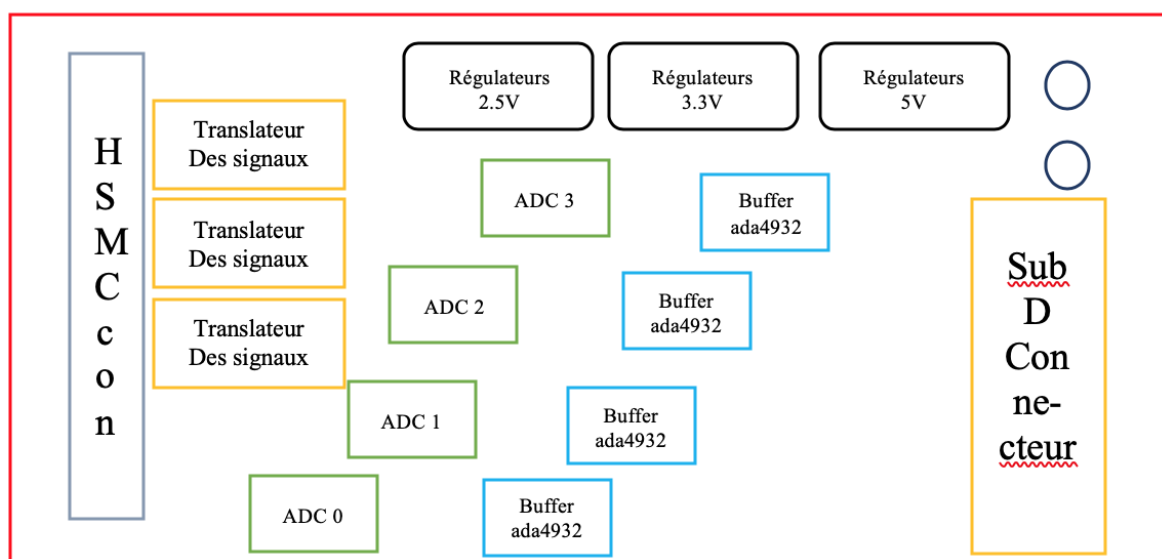


FIGURE 5.29 – synoptique d'une carte d'évaluation du LTC2387-18 contenant 4 ADC

La carte actuelle peut lire les ADCs avec une fréquence maximale égale $\sim 10.65\text{ MHz}$. Plusieurs facteurs sont en cause : le FPGA, qui limite la vitesse de lecture et une erreur dans le design de la carte d'évaluation.

En variant la fréquence d'échantillonnage de 500 kHz à 10.65 MHz , on a obtenu un bruit constant qui ne varie pas avec la fréquence pour les quatre ADCs avec ou sans les buffers. Les résultats des mesures présentés dans le tableau 6.9 montrent une bonne performance au niveau du bruit : l'ADC3 qui est proche des régulateurs de tension est le plus bruité, tandis que les autres présentent un bruit raisonnable en le comparant avec la fiche technique de LTC2387-18. En moyenne, le bruit obtenu égale à $44\mu\text{V}$, sachant que $1\text{ ADU} \sim 31\mu\text{V}$.

Bruit(ADU μV)	ADC0		ADC1		ADC2		ADC3	
Sans buffer	1.26	39.06	1.36	42.16	1.38	42.78	1.78	55,18
Avec buffer	2.02	62.62	2.66	82.46	2.64	81.84	4.14	128.34

TABEAU 5.11 – les valeurs du bruit des quatre canaux avec ou sans le buffer

La figure 5.30 montre les signaux issus des quatre convertisseurs : les signaux sont similaires, ils se distinguent par leur amplitude. Les signaux d'entrée des ADCs sont échantillonnés à 10.65 MHz avec un nombre d'échantillonnage égal à 256. Il est prévu dans la

dernière version de la carte de l'ADC, d'implémenter les ADCs dans un emplacement loin des régulateurs de tension pour réduire le bruit.

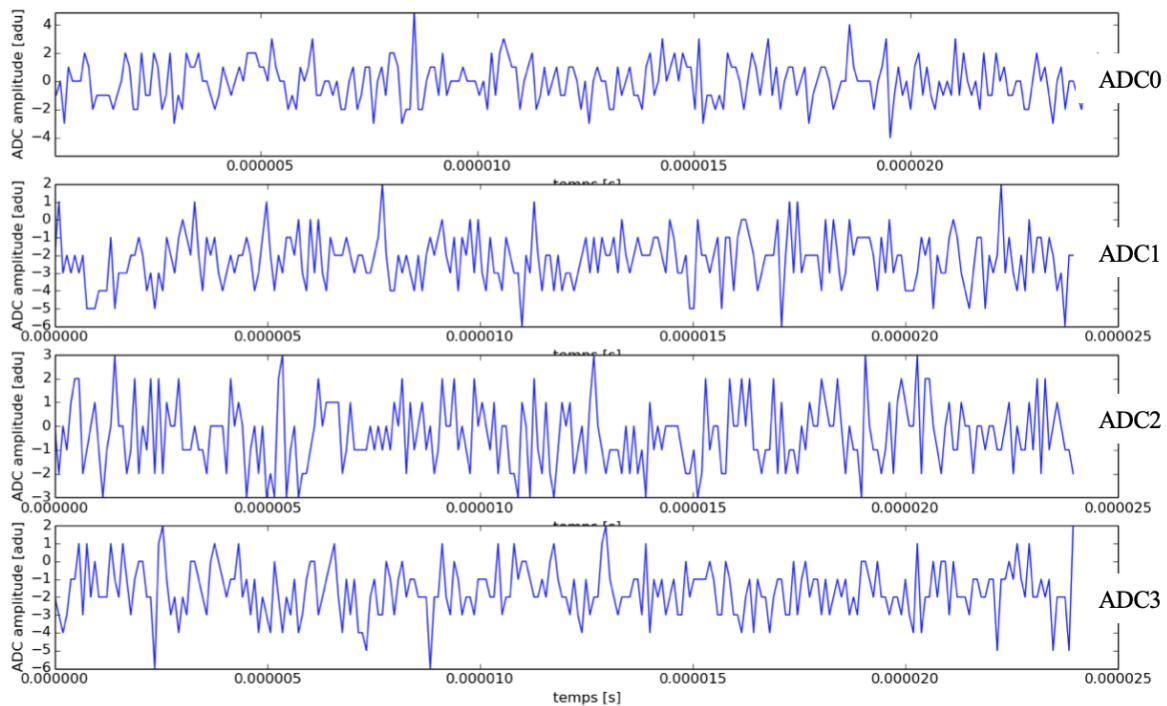


FIGURE 5.30 – les sorties des quatre ADCs en ADU en fonction du temps

La transformée de Fourier permet de caractériser le convertisseur d'une façon dynamique en présentant le spectre du signal obtenu en conservant la quantité d'information (N). La figure 5.31 montre la FFT des quatre ADCs avec une fréquence d'échantillonnage égale à 10.6 Mhz. Les spectres sont similaires, ne présentent aucune harmonique importante, ce qui confirme la bonne performance de LTC2387-18 bits au niveau du bruit, qui est de type gaussien.

Une autre méthode est appliquée dans la caractérisation de l'ADC appelée la distribution gaussienne, elle permet de présenter la répartition des valeurs de sortie en calculant la moyenne et la déviation standard. La figure 43.c. présente la distribution gaussienne des quatre ADCs en se basant sur l'équation suivante :

$$Y = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m}{\sigma}\right)^2} \quad (5.2)$$

Où : σ est la déviation standard, x : sortie de l'ADC et m la valeur moyenne.

Les quatre graphes (Figure 5.32) montrent la distribution de chaque ADC à part : l'ADC0, ADC1 et ADC3 présentent un décalage au centre de 2 ADU tandis que l'ADC2 est centré autour de 0.

5.4.2 Étude de la linéarité

Afin d'étudier la linéarité de l'ADC, on a implémenté dans le banc de test un DAC ad5791 à 20 bits pour générer une tension DC ou un pulse. Il se caractérise par une réso-

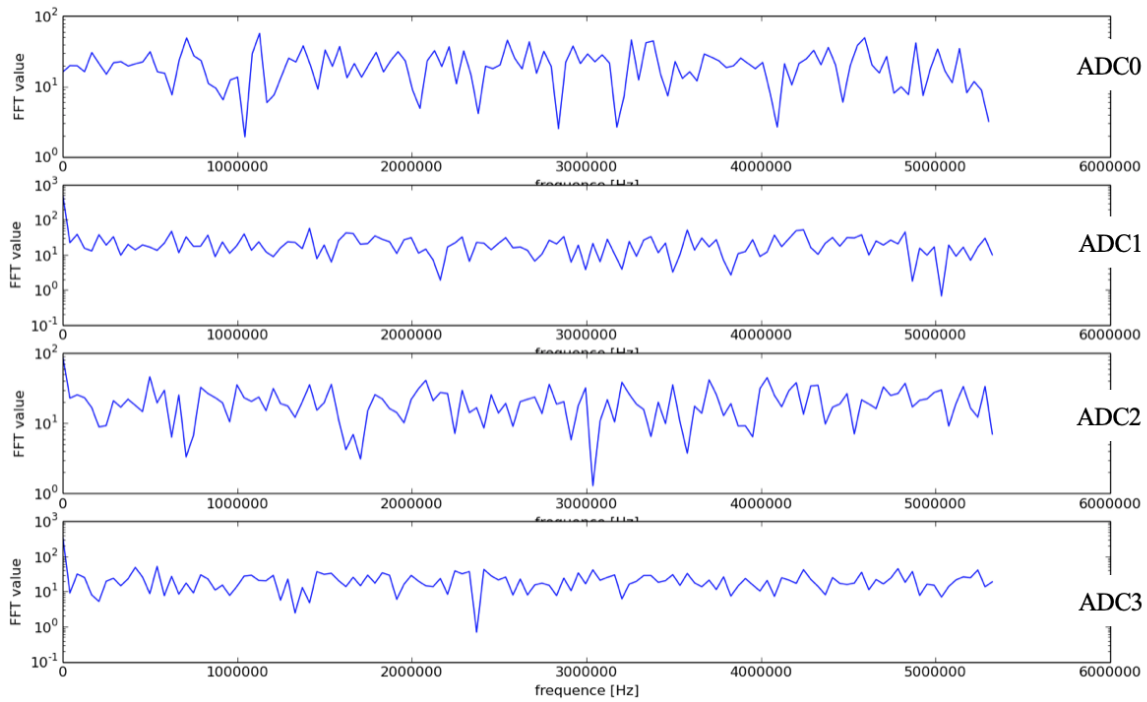


FIGURE 5.31 – la transformée de Fourier des quatre ADCs en fonction de fréquence ne montre aucune harmonique importante ce qui confirme le bonne performance des ADCs

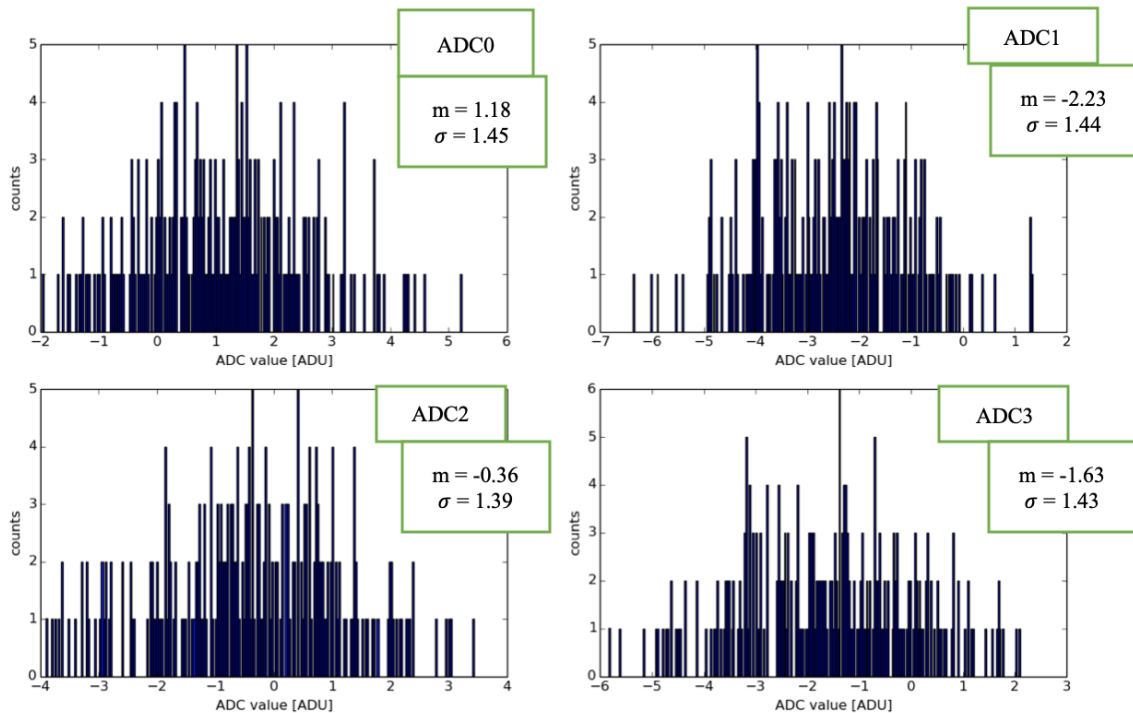


FIGURE 5.32 – distribution normale de quatre ADCs, les paramètres correspondent l'équation 5.2

lution de 1 ppm, un bruit de quelques μV , une INL de 1 ppm. La figure 5.33 présente la linéarité ainsi que l'INL du DAC, ce qui montre une bonne performance stable, et nous aide à étudier la performance de l'ADC. L'INL donne une erreur moyenne inférieure à 0.2 ADU. Les mesures sont réalisées sans connecter l'ADC, avec la configuration suivante : nombre d'échantillonnage : 4043, impédance d'entrée : $10\text{ M}\Omega$, NPLC = 1. La carte d'évaluation contient un FPGA intégré qui contrôle le DAC.

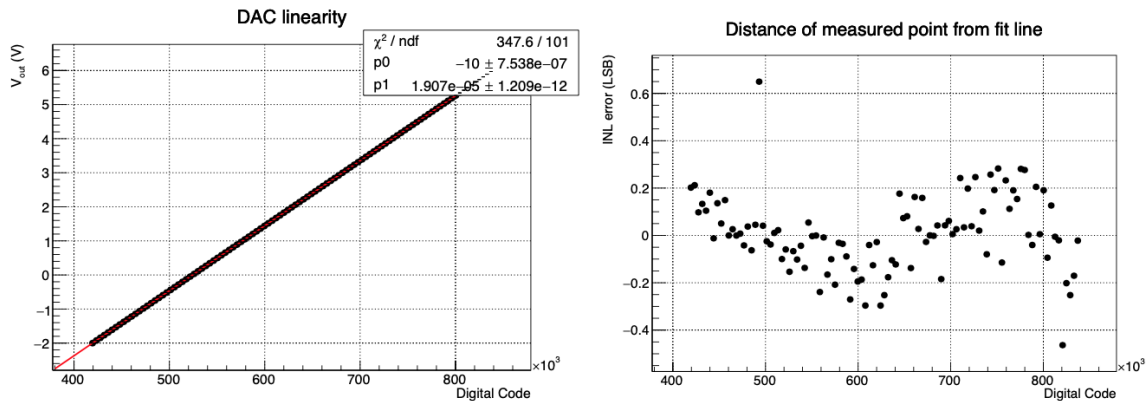


FIGURE 5.33 – linéarité et INL du DAC sans connecter l'ADC

Le DAC fournit un signal analogique unipolaire à la sortie de la carte d'évaluation, alors que l'entrée de l'ADC est différentielle. Pour cela, on a créé une carte « single-ended-differential-output » pour transformer le signal unipolaire en différentiel. Le tableau 5.12 illustre la configuration de l'ADC.

Fréquence d'échantillonnage	10.65 MHz
Range d'entrée de l'ADC	-4 : 0.25 : 4 V
Range de sortie du DAC	-2 : 0.25 : 6V
Nombre d'échantillonnage	4096
ADC numéro	0
Vref (ADC)	2.048V

TABLEAU 5.12 – la configuration de l'ADC

La figure 5.34 montre la linéarité ainsi que l'INL des quatre ADCs, et sa fonction d'ajustement (fitting equation) pour chaque ADC. L'entrée de chaque ADC est un signal DC fourni par la carte d'évaluation DAC suivi d'un convertisseur unipolaire différentiel. Les ADCs présentent une bonne performance de linéarité, le spectre de l'INL est similaire à celui donné par la fiche technique et il respecte la gamme des erreurs données par le constructeur. Les valeurs des erreurs varient :

- Entre ~ -2 et 2 ADU pour ADC0 ($\sigma^2=2.0647$)
- Entre ~ -1.5 et 1.5 ADU pour ADC1 ($\sigma^2=1.564$)
- Entre ~ -2.5 et 2.5 ADU pour ADC2 ($\sigma^2=2.805$)
- Entre ~ -4 et 4 ADU pour ADC3 ($\sigma^2=22.8484$), c'est l'ADC le plus bruité qui est proche des régulateurs de tension.

5.4.3 Régression sinusoidale

La régression sinusoidale permet d'estimer le gain et l'offset de l'ADC. Pour cela, un signal sinusoidal est injecté à l'entrée de l'ADC sous forme :

$$X = \sin(2\pi F + \Phi) \tag{5.3}$$

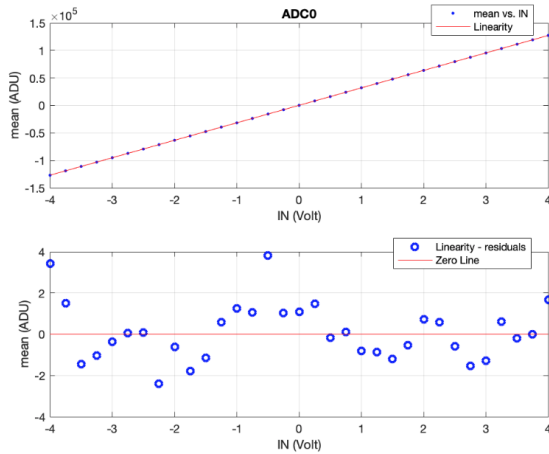
Pour obtenir à la sortie de l'ADC, un signal de forme :

$$Y = DC + A.\sin(2\pi F + \Phi + O) \tag{5.4}$$

Avec DC : offset en amplitude, A : le gain de l'ADC et O : l'offset en phase de l'ADC.

Cette méthode permet de calculer SNR, THD, SINAD et d'estimer l'erreur rms par rapport à sinusoidale idéale. Tous ces paramètres sont déjà détaillés dans le chapitre 4.

On a injecté à l'entrée un signal sinusoidal d'amplitude 2V et de fréquence 100 kHz. En échantillonnant le signal d'entrée avec une fréquence de 5.6 MHz, on a obtenu un signal

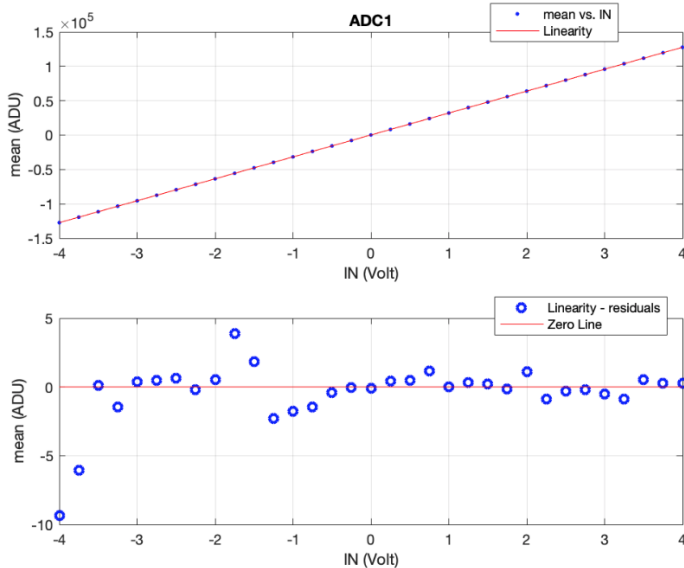


Note: **SSE:** The sum of squares due to error; **Rsquare:** ratio of the sum of squares (coefficient of determination); **DFE:** Degrees of freedom in the error; **Adjrsquare:** Degree-of-freedom adjusted coefficient of determination; **RMSE:** Root mean squared error (standard error).

```
fitresult(x) = p1*x^3 + p2*x^2 + p3*x + p4
where x is normalized by mean 0 and std 2.417
Coefficients (with 95% confidence bounds):
p1 = -7.206 (-7.891, -6.52)
p2 = 2.237 (1.646, 2.828)
p3 = 7.68e+04 (7.68e+04, 7.68e+04)
p4 = 207.7 (206.9, 208.4)

SSE: 59.863
RSQUARE: 1.0000
DFE: 29
adjrsquare: 1.0000
RMSE: 1.4368
```

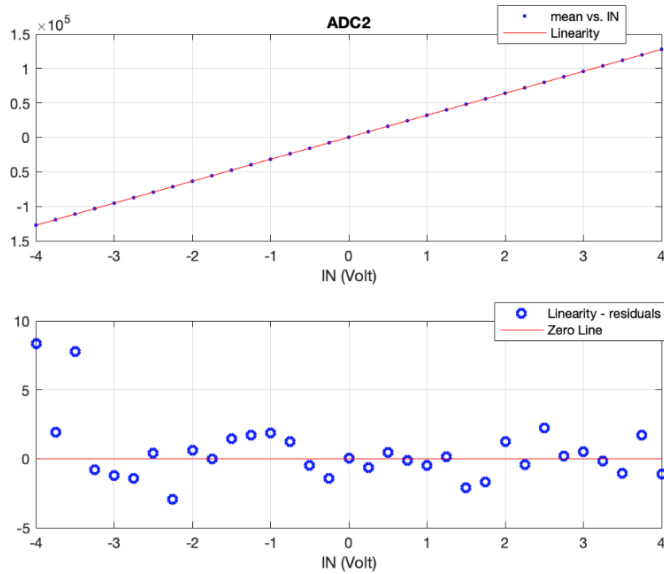
(a) ADC0



```
fitresult(x) = p1*x^3 + p2*x^2 + p3*x + p4
where x is normalized by mean 0 and std 2.417
Coefficients (with 95% confidence bounds):
p1 = -5.29 (-5.887, -4.694)
p2 = 4.237 (3.723, 4.752)
p3 = 7.704e+04 (7.704e+04, 7.704e+04)
p4 = 185.6 (185, 186.3)

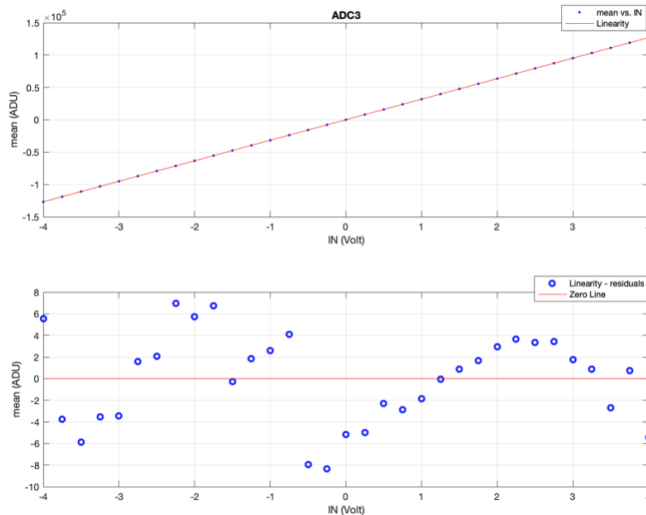
SSE: 45.3578
RSQUARE: 1.0000
DFE: 29
adjrsquare: 1.0000
RMSE: 1.2506
```

(b) ADC1



$f_{\text{result}}(x) = p1*x^3 + p2*x^2 + p3*x + p4$
 where x is normalized by mean 0 and std 2.417
 Coefficients (with 95% confidence bounds):
 p1 = -3.423 (-4.222, -2.624)
 p2 = 1.003 (0.3147, 1.692)
 p3 = 7.704e+04 (7.704e+04, 7.704e+04)
 p4 = 290.1 (289.2, 291)
 SSE: 81.3556
 RSQUARE: 1.0000
 DFE: 29
 adjrsquare: 1.0000
 RMSE: 1.6749

(c) ADC2



$f_{\text{result}}(x) = p1*x^3 + p2*x^2 + p3*x + p4$
 where x is normalized by mean 0 and std 2.417
 Coefficients (with 95% confidence bounds):
 p1 = 1.069 (-1.211, 3.349)
 p2 = 3.958 (1.994, 5.923)
 p3 = 7.672e+04 (7.672e+04, 7.673e+04)
 p4 = 137.8 (135.2, 140.3)
 SSE: 662.5997
 RSQUARE: 1.0000
 DFE: 29
 adjrsquare: 1.0000
 RMSE: 4.7800

(d) ADC3

FIGURE 5.34 – linéarité et l'INL des quatre ADCs montre un performance proche de celle de la fiche technique LTC2387, qui donne en moyenne une INL de 1.7 ADU sauf dans les derniers cas qui donne un INL de 4.7 AD, ce comportement bruité est du à la proximité des régulateurs de tension

sinusoïdal à la sortie de l'ADC. La figure 5.35 montre les signaux d'entrée et de sortie de l'ADC.

Le tableau 5.13 présente les valeurs mesurées des paramètres dynamiques ainsi que le gain, en comparant avec les valeurs données par la fiche technique. Ces valeurs montrent une bonne performance de l'ADC. La distribution normale de sortie montre que l'ADC est bien symétrique, comme le montre la figure 5.36.

Dans DAMIC-M, nous étudions plusieurs ADCs pour choisir le meilleur. Les résultats de caractérisation de l'ADC LTC2387-18 ($\sim 42 \mu\text{V}$) sont similaires à ceux de l'ADC ad4020 ($\sim 46.8 \mu\text{V}$) au niveau du bruit. Sauf que l'ADC LTC2387-18, avec lequel on peut appliquer

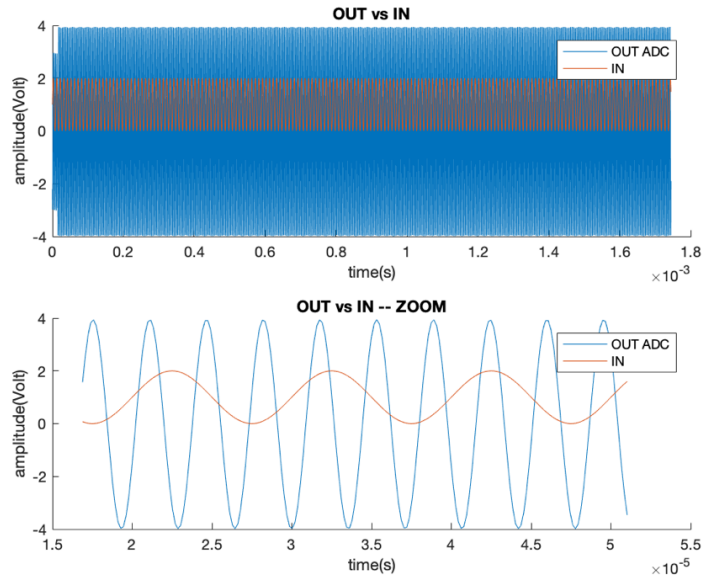


FIGURE 5.35 – l’entrée vs sortie de l’ADC montre un bon comportement de l’ADC

Paramètres	Valeur souhaité (fiche technique F ~ 15 Mhz)	Valeur mesuré (F ~ 5,6 MHz)
Le rapport signal sur bruit avec distorsion & (SINAD)	Min = 93 dB	105.95 dB
La distorsion d’harmonique totale (THD)	Max = -103 dB	-102 dB
Le rapport signal sur bruit (SNR)	Min = 93.2 dB	116 dB
Spurious Free Dynamic Range (SFDR)	Min = 97 dB	112 dB
Gain de l’ADC : G		4

TABLEAU 5.13 – les paramètres de caractérisation de l’ADC

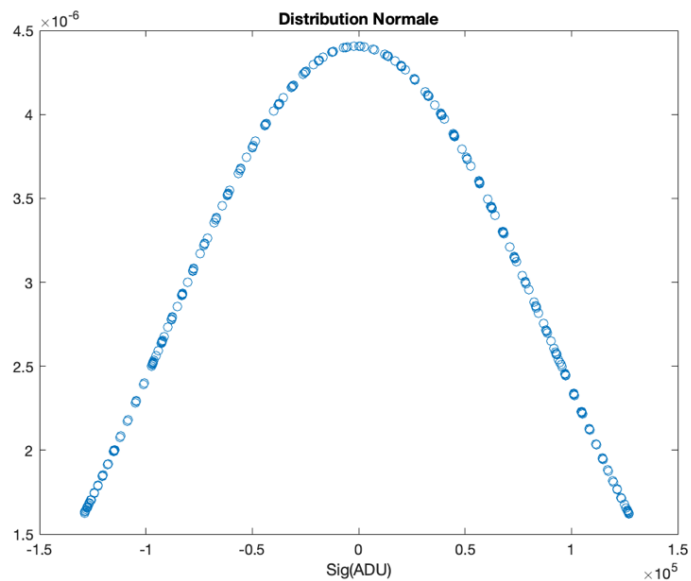


FIGURE 5.36 – distribution normale de sortie de l’ADC montre que ce dernier est centré à zero

le suréchantillonnage, il permet de diminuer le bruit de facteur 2. Par exemple, en appliquant un suréchantillonnage d'ordre 4 ($F_{os} \sim 1\text{Mhz}$) on a obtenu un bruit de valeur $0.6 \text{ADU} \sim 18.6 \mu\text{V}$.

5.5 Conclusion

Dans DAMIC-M l'ASPIC qui est utilisé dans le test de CCD sera remplacé par le CROC. Ce dernier a montré un comportement moins bruité par rapport à l'ASPIC et il peut amplifier le signal de CCD avec un gain de 128. Après avoir résolu toutes les difficultés, le CABAC a fourni correctement les tensions et les horloges nécessaires, cet ASIC sera également implémenté dans DAMIC-M. Donc, après la caractérisation des éléments implémentés dans le banc de test de lecture de CCD, nous étudierons dans le chapitre suivant le comportement de CCD à froid.

5.6 Références

- [1] Gorlois Gallois. Bruit dans un transistor mos. Présentation au sujet : "Bruit dans un transistor MOS". [76](#)

Chapitre 6

Banc de tests à froid

Sommaire

6.1 Banc de test au LPNHE	104
6.1.1 Architecture du système	105
6.1.2 Le Cryostat	106
6.1.3 Surveillance de la pression et de la température	108
6.1.4 Field Programmable Gate Arrays (FPGA)	112
6.1.5 DAQ (acquisition de données) et contrôle	113
6.2 Pilotage du CCD UW4207	116
6.2.1 Vue générale de fonctionnement	116
6.2.2 Première image détectée par le CCD	117
6.2.3 Caractérisation du bruit	121
6.2.4 La configuration idéale du bruit	128
6.2.5 Mode transparent	129
6.2.6 Types de particules détectées	129
6.3 Conclusion	132
6.4 Références	132

6.1 Banc de test au LPNHE

DANS les chapitres précédents, nous avons étudié toutes les caractéristiques des ASICs implémentées dans le système de pilotage et lecture du CCD ainsi que leurs circuits électroniques. Ce chapitre est dédié à la présentation du système de contrôle et de lecture d'un CCD. Celui-ci est composé :

- d'un cryostat,
- d'une pompe ultra vide,
- d'un Cryocooler,
- d'une carte de contrôle contenant les trois CABACs,
- d'une carte de lecture et d'amplification contenant l'ASPIC,
- d'un FPGA et d'un logiciel d'acquisition LabVIEW.

6.1.1 Architecture du système

La première section est dédiée à la présentation d'une vue générale du système installé au LPNHE, comme le montre la figure 6.1.

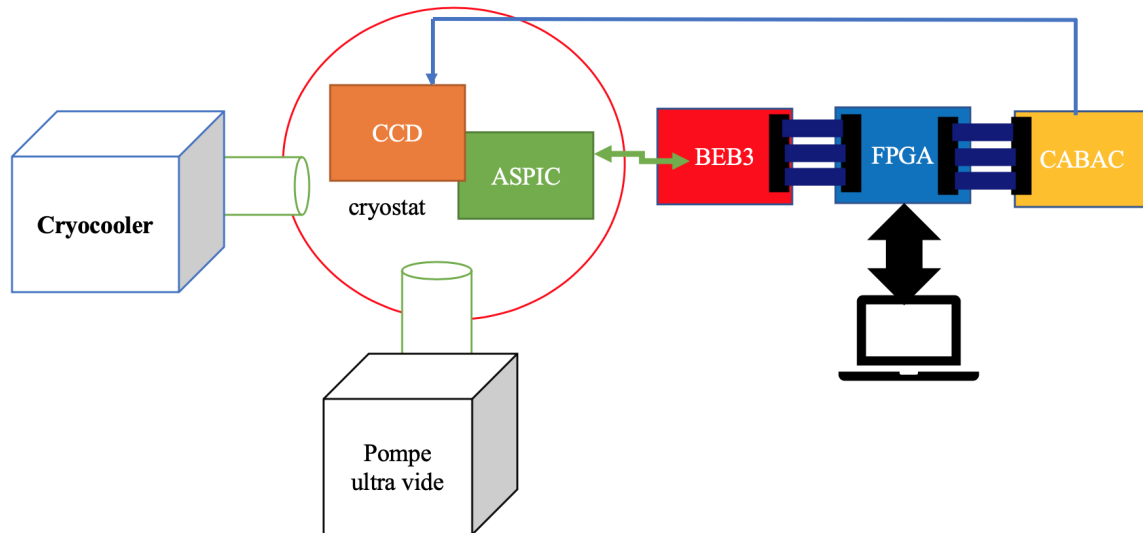


FIGURE 6.1 – synoptique du système de pilotage et de lecture du CCD au LPNHE : l'ASPIC et le CCD dans le cryostat, les autres cartes électroniques sont à l'extérieur, une pompe et un Cryocooler sont connectés au cryostat pour le refroidir

Le CCD et la carte de l'ASPIC sont installés dans un Cryostat et sont connectés entre eux par un connecteur « Nano D ». Le CCD est placé dans une boîte en cuivre, fixée à une plaque de cuivre en forme T par des vis. Cette plaque est connectée au doigt froid, pour refroidir le CCD.

Le but est d'atteindre une température égale à 140 K, pour étudier le fonctionnement du CCD. Le cryostat est pompé par une pompe ultra vide pour atteindre au minimum une pression égale à 10^{-4} mbar. À cette pression, on allume le Cryocooler pour refroidir le cryostat via des connexions transportant des fluides caloporteurs. Lorsque la température atteint 140K, on alimente la carte CABAC pour envoyer les horloges et les tensions de polarisation vers le CCD, via un connecteur Sub_D 50 points.

Les données capturées par le CCD sont envoyées à la carte de lecture à travers un connecteur Nano_D, où le signal sera amplifié par l'ASPIC. Par la suite, les données amplifiées seront envoyées à l'extérieur du Cryostat, grâce à un connecteur Sub_D 50 points, pour les numériser et les envoyer via le FPGA à l'ordinateur, pour les analyser. Tout le système est connecté à une seule masse au travers d'une plaque et de câbles torsadés en cuivre, afin de créer un seul plan de masse pour réduire le bruit électronique.

Des cartes d'interface sont mises en place, pour relier tout le système et traduire les signaux de contrôle. Initialement, le FPGA envoie des signaux CMOS 2.5V, vers la carte BEB3. Ces signaux seront traduits en signaux LVDS afin qu'ils soient adaptés pour l'ADC et pour l'ASPIC.

6.1.2 Le Cryostat

Le cryostat est une chambre en inox utilisée pour refroidir le CCD, il fait 20 cm de diamètre. Le doigt froid est connecté au Cryocooler par deux tubes flexibles qui transportent un gaz spécifique chargé de l'échange de chaleur.

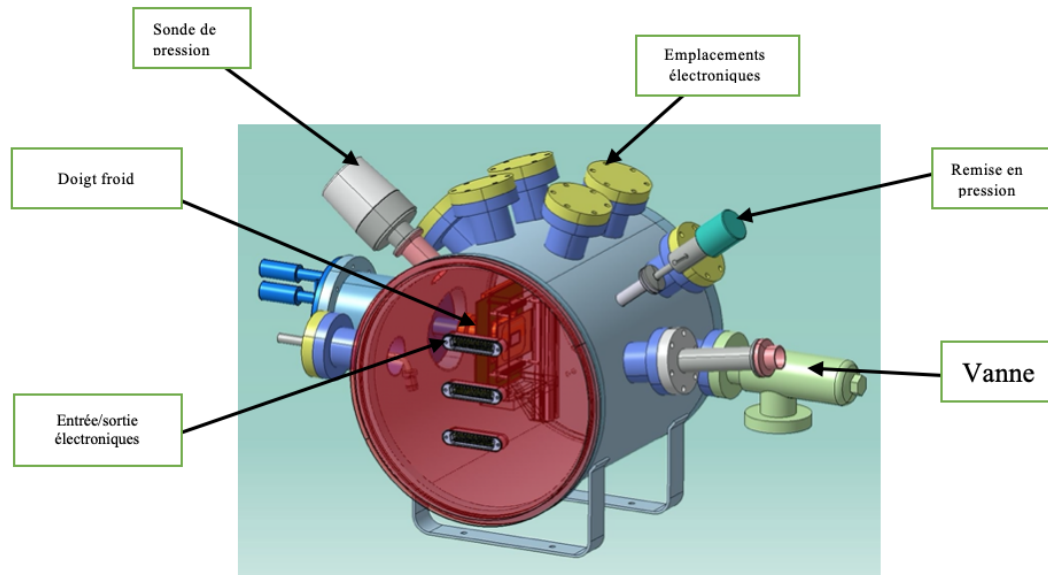


FIGURE 6.2 – Vue générale du cryostat en visualisant la vanne, la remise de pression, les emplacements électroniques, une sonde de pression, le doigt froid qui connecte le Cryocooler au cryostat et les connecteurs Sub_ D 50 points pour la connexion des cartes électroniques.

La figure 6.2 montre la vue extérieure du cryostat en exposant :

- Un couvercle de diamètre ~ 30 cm, supportant 3 connecteurs SubD_ 50, pour les connexions entre le CCD et ASPIC et l'électronique extérieure
- La vanne pour connecter le cryostat à la pompe à vide afin d'extraire l'air
- L'emplacement pour la jauge de pression
- L'emplacement pour la tête froide du Cryocooler
- Le bouchon pour la remise de pression après extinction de la pompe
- Les emplacements supplémentaires, si nécessaire.

La figure 6.3a montre les emplacements de 3 connecteurs 48 points dont un est dédié à la mesure et au contrôle de la température, il est relié aux sondes PT1000 (résistance à mousse de platine) d'une part et à un système d'asservissement « Lakeshore » d'autre part (Figure 6.3b).

Dans un premier temps, et durant 6 mois, un CCD 1k x 500 est mis en place dans le cryostat afin de le piloter. Le CCD était contenu dans sa boîte en cuivre, dont les dimensions sont : largeur 88 mm, longueur 94.9 mm et profondeur 25 mm. Elle est munie d'une ouverture rectangulaire pour faciliter la connexion entre le Flex de l'ASPIC et le CCD.

La figure 6.4a montre la boîte du CCD connectée au doigt froid par des vis et la figure 6.4b montre la boîte du CCD sur le support. Enfin, la figure 6.4c montre le support du CCD depuis le couvercle du cryostat, il est muni de : la carte « Frame adapter », la PT1000,

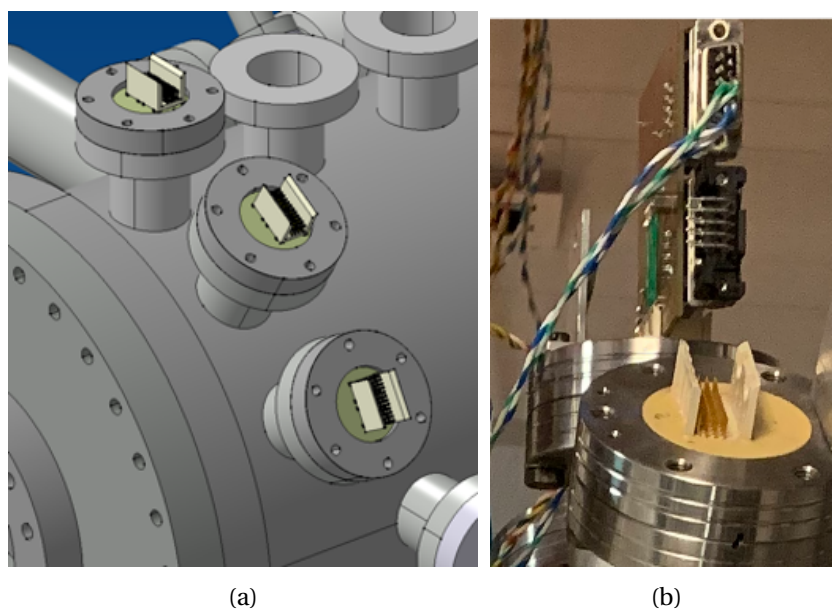


FIGURE 6.3 – (a) les emplacements électroniques; (b) une carte électronique pour mesurer la température est connectée au cryostat par un des emplacements

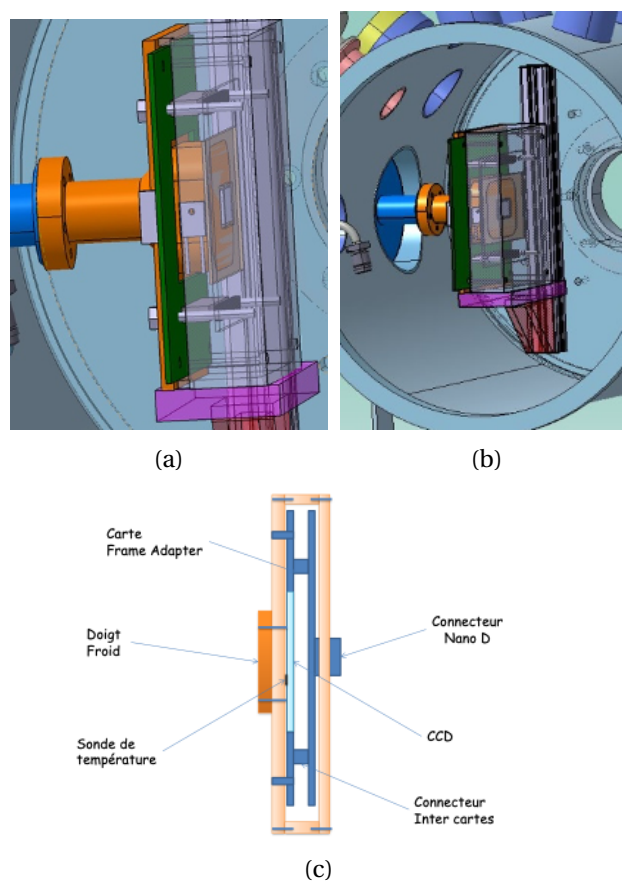


FIGURE 6.4 – (a) et (b) : la boîte connectée au doigt froid dans le cryostat; (c) : le support du CCD où on connecte la carte frame adapter du CCD

le connecteur Nano_D et l'emplacement du CCD. Avec cette configuration nous sommes parvenus jusqu'à une température de 140K et une pression atteignant 9.10^{-7} mbar.

Par la suite, on a remplacé ce support par une plaque de cuivre en forme de L, pour piloter un nouveau CCD 4k x 1k. Ce CCD était placé dans une boîte en aluminium fixée par des vis, sans couverture supérieure comme la figure 6.5a le montre.

Deux CCD sont implémentés dans le même cryostat, l'un est piloté par notre système de lecture et un autre, Skipper CCD, est piloté par le Leach¹ contrôlé par un autre groupe de chercheurs dans DAMIC-M (figure 6.5b). Les deux CCDs sont placés l'un sur l'autre et fixés par des vis.

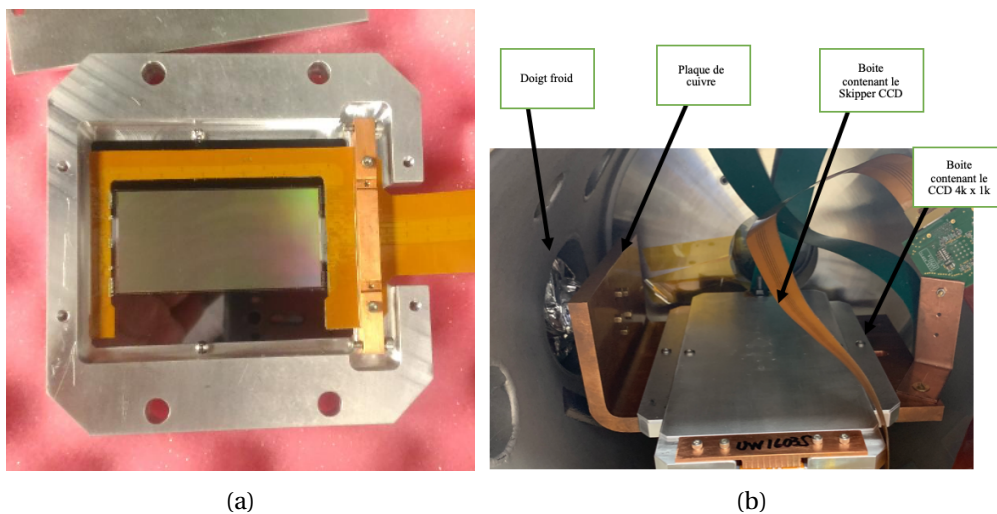


FIGURE 6.5 – (a) le CCD 4k x 2k dans une boîte en aluminium (b) : les boîtes de deux CCDs sont placées sur une plaque de cuivre pour la connection au froid

6.1.3 Surveillance de la pression et de la température

6.1.3.1 Suivi de la pression

Afin d'extraire l'air du cryostat, une pompe à vide est mise en place. L'équipe DAMIC-M a choisi une pompe Agilent[3] « TPS-compact » de référence « x3580-64010 ». Cette pompe se caractérise par un système « plug et pump » intégré, un lien analogique et RS-232 pour que la pompe communique avec l'ordinateur, afin de contrôler la pression et un système intégré permet de lire la jauge de pression active, et de contrôler la gamme de jauge à vide.

La figure 6.6a montre la pompe à vide en visualisant l'écran qui affiche la pression. La figure 6.6b montre cette pompe connectée au Cryostat par une vanne au travers d'un tube de 20 cm de longueur. Le joint entre la vanne et le tube, ainsi que la connexion entre le tube et la pompe sont bien sécurisés et fixés d'une manière solide. Avant de lancer la pompe, il faut vérifier qu'il n'y a aucune fuite au niveau du cryostat, en s'assurant, par

1. Le Leach est fondamental pour contrôler les tensions de polarisation et l'horloge d'un CCD, et pour traiter la sortie du signal vidéo

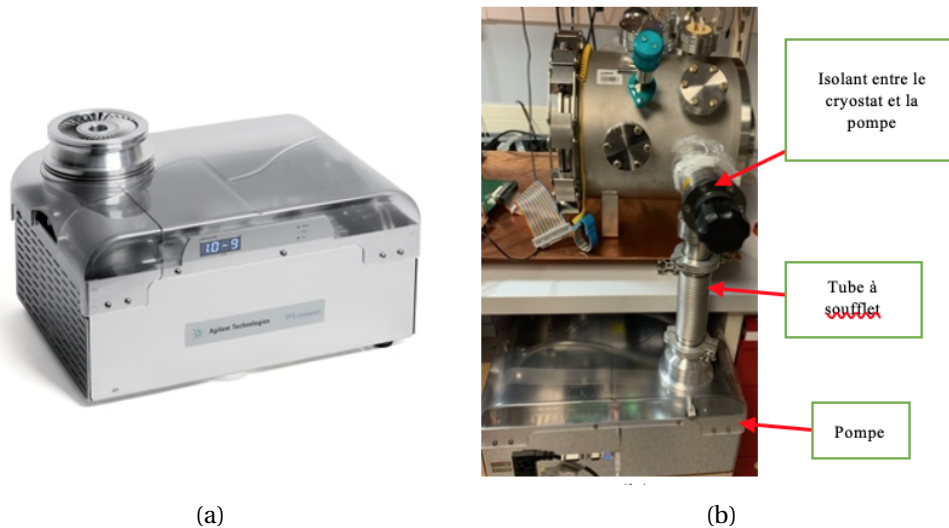


FIGURE 6.6 – (a) la pompe à de type Agilent TPS-compact; (b) la pompe est connectée au cryostat via une tube d'une vingtaine de centimètres

exemple, que le couvercle supérieur du cryostat est bien serré.

Une jauge [2] de type « FRG – 700/702 Pirani Inverted Maghetron » est installée sur le cryostat pour la surveillance de la pression. Cette sonde est implémentée directement au cryostat sur l'un de ses emplacements, selon la figure 6.7. Elle est liée par un câble Ethernet au contrôleur de type « PFEIFFER Vacuum ». Ce dernier est connecté à l'ordinateur par un câble USB, ce qui permet de contrôler et suivre la pression, instant par instant. Le contrôleur procède à une conversion numérique pour qu'on puisse lire les données par un logiciel sur l'ordinateur. Cette jauge se caractérise par : une plage dynamique de 1000mbar et une impédance de sortie minimale de $10k\Omega$. Elle est munie d'une sortie analogique. Elle peut mesurer une pression jusqu'une valeur de 5.10^{-9} mbar.

Le graphe dans la figure 6.8 montre un suivi de pression durant une semaine. Ce dernier démontre qu'on a besoin de trois heures pour atteindre la pression souhaitée ($\sim 10^{-4}$ mbar), au-delà, la pression change lentement pour atteindre une pression de l'ordre de 10^{-6} mbar (si on laisse le cryostat à température ambiante). La pression diminue plus rapidement lorsque la température diminue (chaque 30 min, elle diminue de l'ordre de 10^{-1} mbar). Au moment où la pression atteint 10^{-4} mbar, on allume le Cryocooler pour refroidir le cryostat.

6.1.3.2 Suivi de la température

Un système cryogénique est implémenté pour refroidir le CCD. Le groupe DAMIC-M du LPNHE a choisi un Cryocooler de type « Brooks APD Cryogenics T1101-01-000-13 IGC Cryotiger Compressor » [4].

Le compresseur utilise deux tubes pour l'échange de gaz avec la tête cryogénique. Il reçoit une pression faible continue du cryostat à travers le tube « retour de gaz ». Il comprime, il nettoie et il refroidit le gaz puis le transmet au cryostat à travers le tube « Injection de gaz ». En quittant le moteur du compresseur, le gaz contient du lubrifiant et

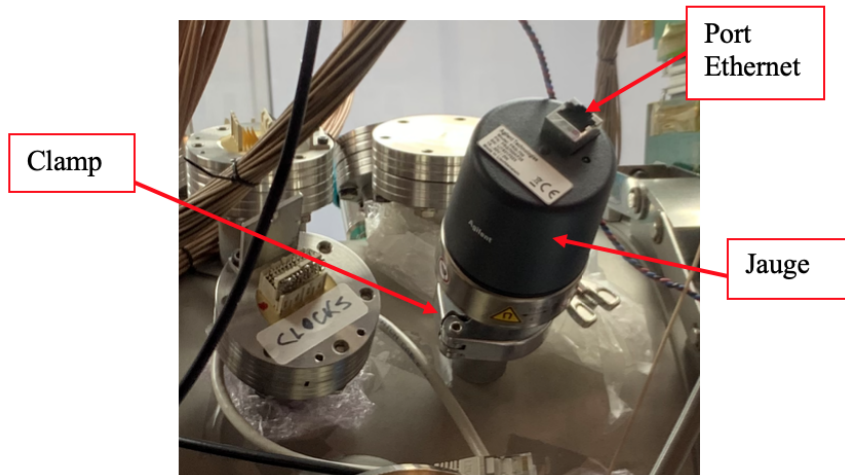


FIGURE 6.7 – jauge connectée au Cryostat LPNHE, munie d'un port Ethernet pour envoyer les données à l'ordinateur

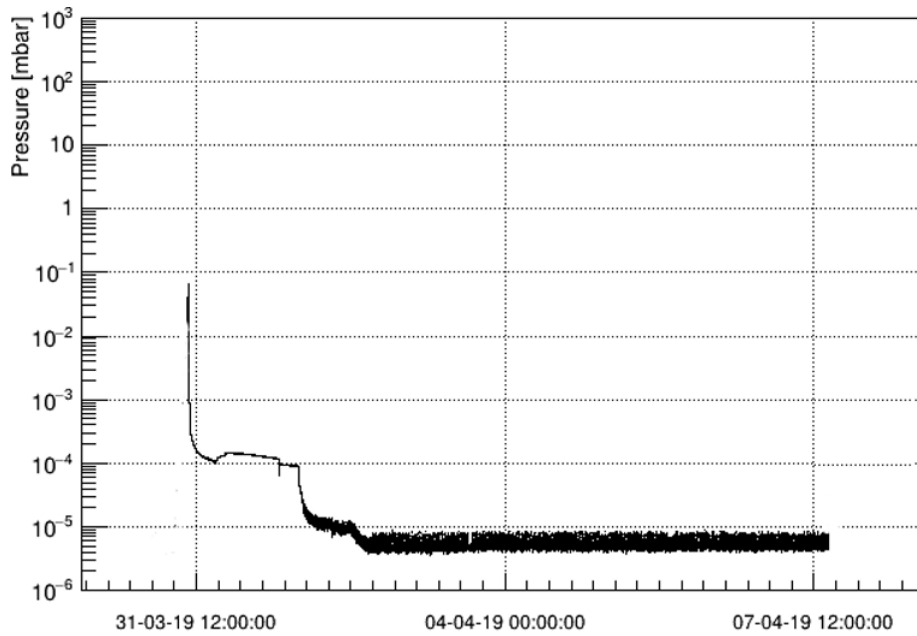


FIGURE 6.8 – suivi de la pression avec un CCD branché

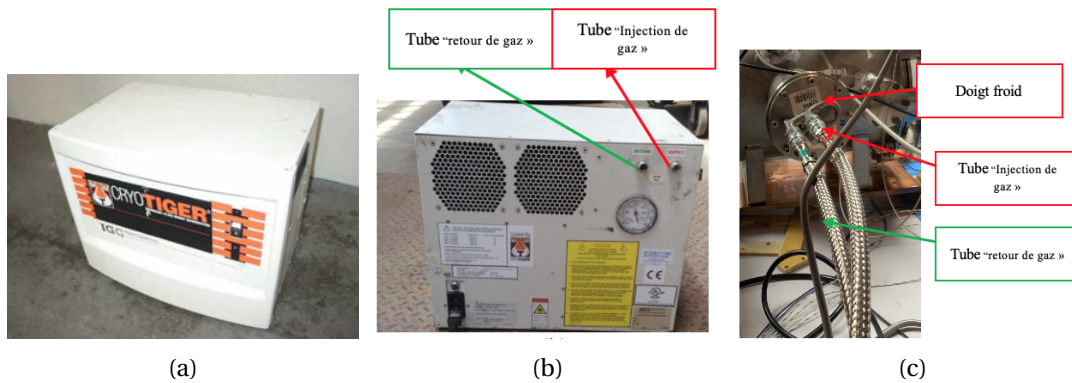


FIGURE 6.9 – (a) compresseur utilisé vue en avant; (b) vue arrière du compresseur; (c) les tubes connectés au cryostat par le doigt froid

de la chaleur. Ces deux derniers doivent être réduites à des niveaux acceptables afin qu'ils passent au cryostat .

La figure 6.9a montre la vue avant du compresseur de Cryocooler, affichant le bouton ON/OFF; la figure 6.9b montre la vue arrière du compresseur en visualisant l'écran qui affiche la pression interne du compresseur, l'ouverture de deux tubes et le ventilateur; la figure 6.9c affiche le cryostat connecté au doigt froid et les deux tubes.

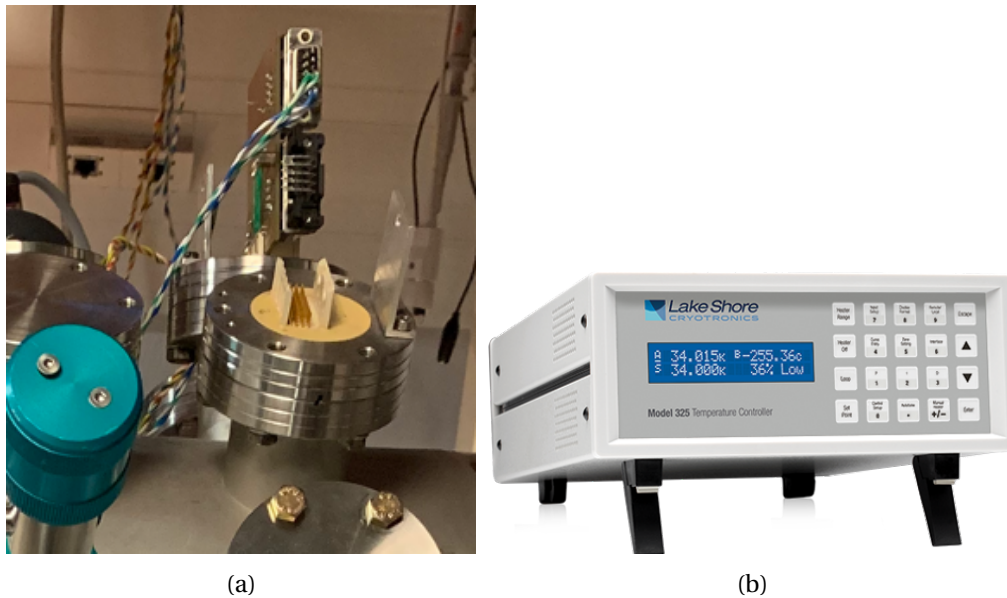


FIGURE 6.10 – (a) une carte électronique est connectée au cryostat pour mesurer la température ;
(b) Lake shore Stycast ES-2-20 cryogenic epoxy pour surveiller la température mesurée

Une carte électronique a été conçue pour mesurer la température et l'envoyer au Lake shore. Cette carte (à l'extérieur) est implémentée sur le cryostat par l'un de ses emplacements (figure 6.10a). Elle est liée à deux capteurs de températures de type PT1000 à travers un connecteur. Ce dernier est connecté à une deuxième carte à l'intérieur du cryostat qui reçoit directement les valeurs de température des deux capteurs. Le premier capteur est placé directement sur la boîte du CCD et le deuxième sur la plaque de cuivre. Les deux capteurs sont fixés par un ruban adhésif cryogénique en aluminium de type « RUAG B-R50 ». D'autre part, la carte extérieure est liée au Lake shore par deux câbles. Le Lake shore reçoit les données et les affiche sur son écran, comme le montre la figure 6.10b Il peut communiquer avec l'ordinateur afin d'envoyer et de contrôler la température. Aussi, peut-on installer une résistance chauffante dans le cryostat, et la contrôler par le Lake shore pour stabiliser la température du cryostat.

Par exemple, le graphe de la figure 6.11 montre un suivi de température, de l'instant où l'on allume le Cryocooler, pour un cryostat vide. Plusieurs facteurs agissent sur la vitesse de refroidissement et la valeur de la température qu'on peut atteindre, comme les composants situés dans le cryostat ou la carte électronique branchée à l'extérieur. Lorsque le cryostat est vide et n'est pas connecté à aucune carte, on peut arriver à une température 120K en un temps de 6 heures. On a besoin de 12 heures pour passer d'une température ambiante jusqu'à une température de valeur minimale 135K si le CCD est placé dans le cryostat et si ce dernier est connecté aux cartes extérieures.

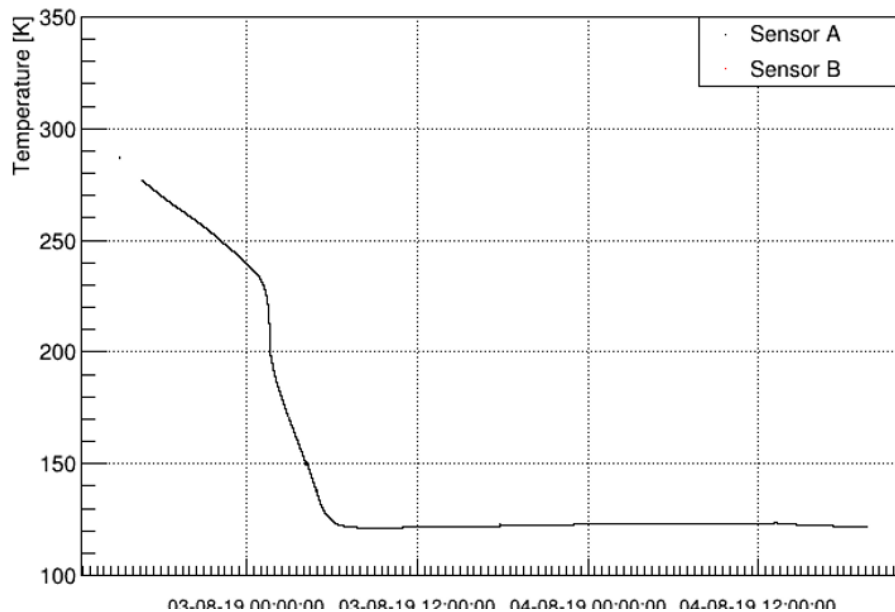


FIGURE 6.11 – un suivi de la température du cryostat vide

6.1.4 Field Programmable Gate Arrays (FPGA)

Le système de pilotage du CCD est contrôlé par un FPGA, à travers lequel transitent tous les signaux de contrôles ainsi que les données. Le FPGA est un circuit intégré numérique constitué d'entrées/sorties, de blocs élémentaires et d'interconnexions programmables par l'utilisateur. Il est ainsi configurable pour répondre aux besoins d'une application spécifique. Les FPGA peuvent également évoluer et supporter de nouvelles fonctionnalités au cours d'un projet ce qui les rend beaucoup plus flexibles qu'une carte électronique.

Le contenu d'un FPGA est un fichier de programmation provenant de langages de description de haut niveau comme Verilog ou VHDL. Dans notre cas, l'ensemble des fonctions spécifiques pour l'expérience DAMIC-M est décrit à l'aide du langage VHDL (Very high speed integrated circuit Hardware Description Language). C'est un langage de description comportemental de fonctions numériques qui permet de modéliser des circuits pour ensuite les simuler puis les synthétiser (c'est à dire traduire la description en blocs élémentaires logiques du FPGA).

Pour piloter des signaux à destination du CCD (via le CABAC) et acquérir des signaux provenant des CCD (à travers l'ASPIC/CROC), nous avons choisi de nous appuyer sur un kit d'évaluation appelé "Altera Cyclone III Development Board". Celui-ci offre une très grande capacité d'interconnexion grâce à ses deux connecteurs SAMTEC-172 points couplés à un FPGA de haute densité (le plus gros de la famille Cyclone III).

L'architecture du FPGA de la famille Cyclone III[1] se caractérise par une mémoire intégrée qui peut atteindre 8.2 Mbits arrangé en blocs de 9 kbits, 200 000 éléments logiques disposés verticalement, 396 multiplicateurs intégrés 18x18 bits chacun, comme le montre la figure 6.12.

Chaque bloc M9k de la mémoire intégrée fournit neuf kbits de la mémoire et est capable de gérer des systèmes avec une fréquence qui peut atteindre 315 MHz. Ces blocs

peuvent être configurés comme une mémoire RAM, un buffer FIFO (First-In First-out) ou une mémoire ROM. Ils sont optimisés pour être implémentés dans des applications telles que des processeurs programmables intégrés, du stockage des données et de traitement des paquets à haut débit. Les blocs supportent les modes d'opération suivants : port unique, dual-port simple et vrai dual-port.

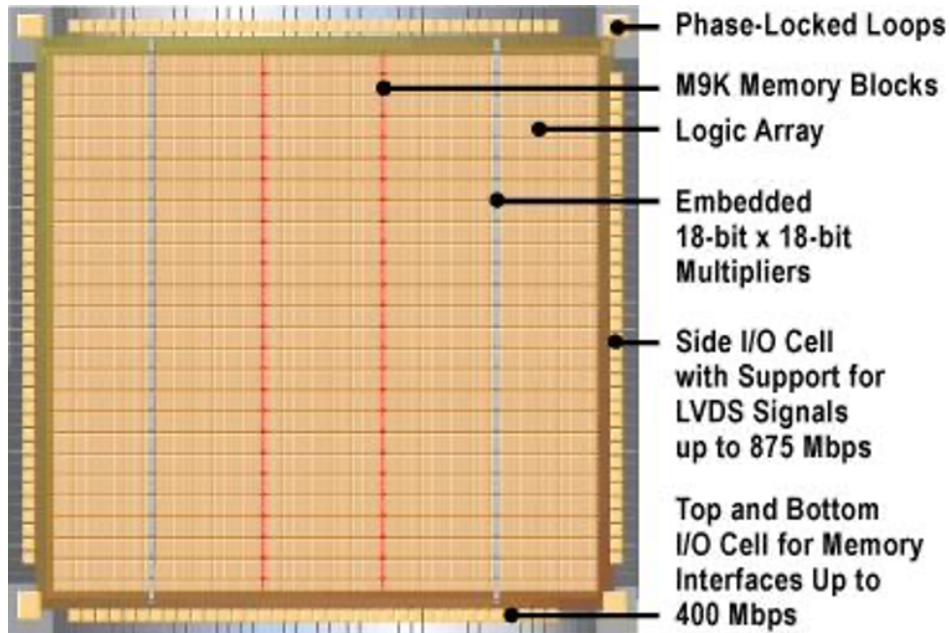


FIGURE 6.12 – l'architecture d'un FPGA du Cyclone III

Le Cyclone III comprend 20 réseaux globaux d'horloges et quatre PLLs (Phase Locked Loops) avec cinq sorties par PLL pour fournir une gestion des horloges robuste et une synthèse des appareils et des systèmes externes. La famille Cyclone III possède huit banques E/S qui supportent les normes d'E/S asymétriques et différentielles, le maintien de bus programmable, les résistances pull-up programmables, le retard programmable et la vitesse de balayage du contrôle programmable, pour optimiser l'intégration et le branchement du signal.

Chaque élément logique se caractérise par un registre programmable, un registre de chaîne de connexion, une capacité pour conduire les connexions suivantes : le local, la rangée, la colonne, le registre de la chaîne et le lien direct. La figure 6.13 montre la carte Cyclone III contenant le FPGA, en exposant tous les composants implémentés sur la carte. Elle se connecte aux autres cartes électroniques par deux connecteurs HSMC à 172 pins chacun.

6.1.5 DAQ (acquisition de données) et contrôle

Cette partie présente le système d'acquisition et du contrôle du banc de test. Au LPNHE, le groupe DAMIC-M a choisi d'utiliser l'interface LABVIEW (Laboratory Virtual Instrument Engineering Workbench) comme un logiciel d'acquisition. Cependant, à l'avenir, il est prévu de transformer ce système d'acquisition en langage C.

Le LabVIEW est un logiciel d'acquisition de données, basé sur un environnement de développement graphique facile à utiliser, développé par la société « National Instru-

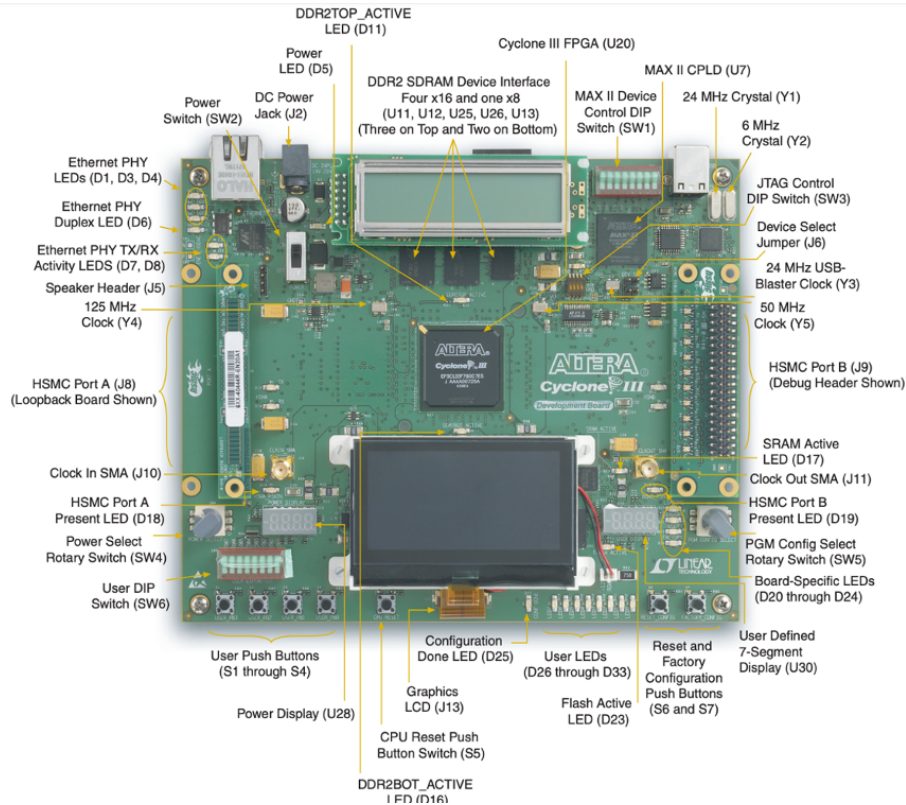


FIGURE 6.13 – Carte d'évaluation de FPGA Cyclone III en visualisant tous les éléments implémentés sur cette carte

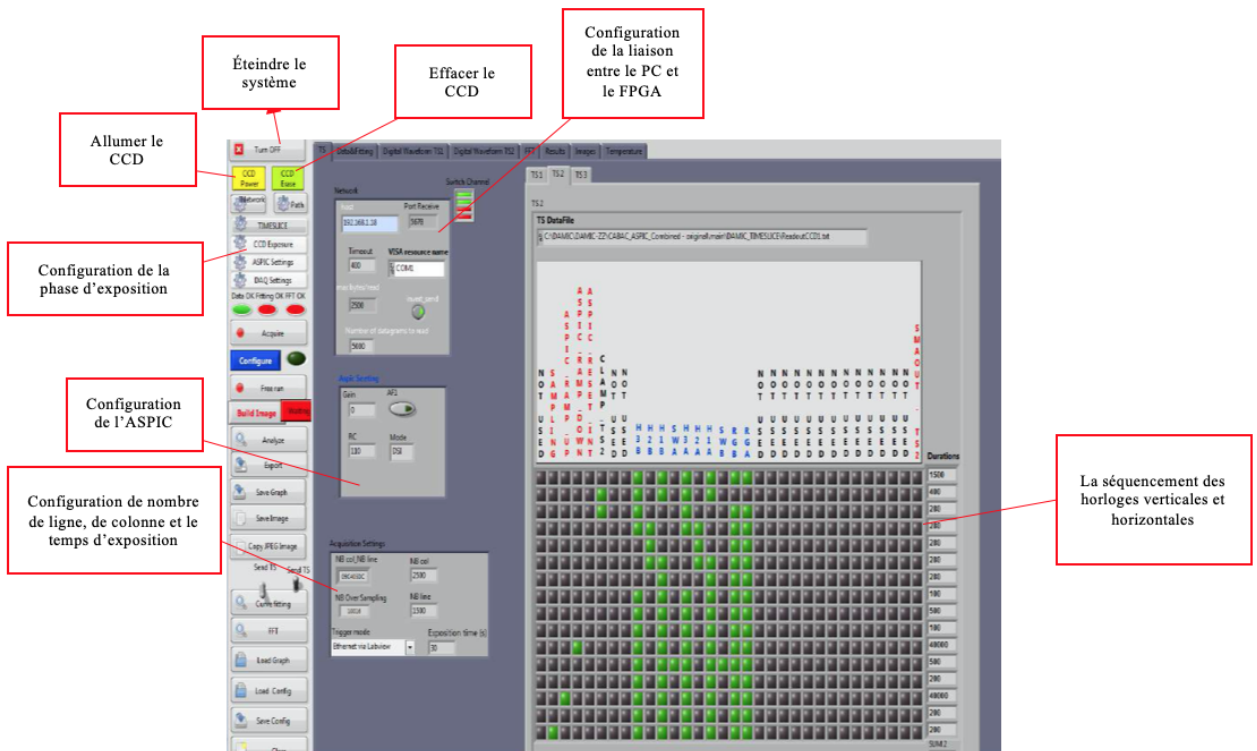


FIGURE 6.14 – l'interface graphique de l'application LabVIEW, en montrant les diverses fonctions appliquées dans le pilotage du CCD

ments ». Il est conçu pour contrôler, configurer et mesurer des applications électroniques et des systèmes embarqués à partir du PC, ainsi que pour faire du traitement de signal et d'acquisition des données. Il se caractérise par une communication entre l'ordinateur et le monde physique constitué par cartes électroniques, des cartes d'acquisitions numériques et analogiques, des liaisons séries et parallèles et des FPGAs.

Au sein de DAMIC-M, on a créé une application basée sur LabVIEW, qui permet de contrôler et lire le CCD au travers d'un FPGA. La figure 6.14 montre l'interface principale de l'application LabVIEW, en visualisant quelques fonctionnements, tels que :

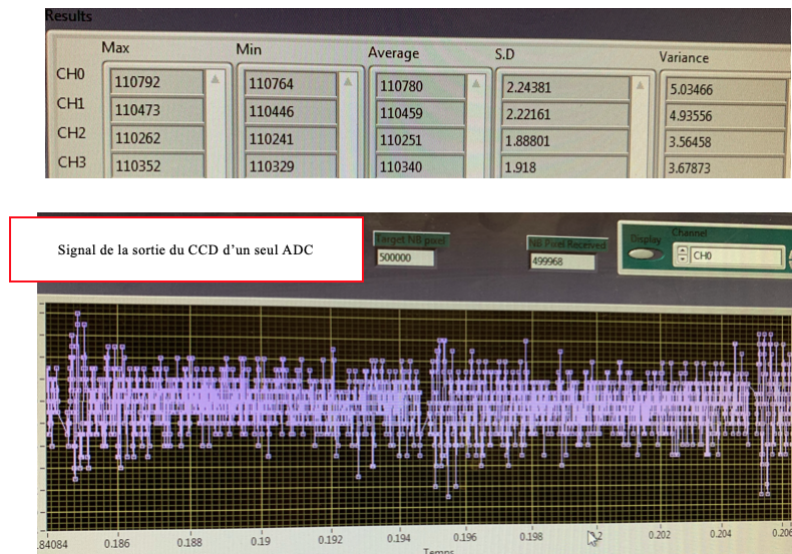


FIGURE 6.15 – résultats de traitement d'un signal de la sortie du CCD affichés dans LabVIEW

- **Configuration de l'ASPIC** : gain de l'amplificateur, mode de lecture (TM ou DSI), constante de temps RC et temps d'intégration.
- **Configuration du CABAC** : niveaux haut/bas et la pente des horloges, les valeurs de tensions de polarisation.
- Configuration du CABAC : des horloges de contrôle, les signaux de conversion et les signaux de lecture (clamp, RD, RU, ...).
- **Allumage du CCD** : une commande est envoyée au FPGA pour déclencher le système de contrôle. Le FPGA transmet la commande au CABAC, qui fabrique les biais, les horloges et le VSUB, puis il les envoie directement au CCD pour l'allumer. L'interface LabVIEW est capable de communiquer avec les appareils d'alimentation pour allumer le CCD d'une manière autonome.
- **Effacement du CCD** : on lance la phase d'ERASE pour effacer tout le CCD pour qu'on puisse détecter des nouvelles particules.
- **Détection des particules** : détecter les particules durant quelques minutes.
- **Accumulation des particules** : durant l'exposition, on accumule les particules détectées pendant une dizaine de minutes.
- **Lire le signal de sortie du CCD** : à la fin de l'exposition, on lance une commande par LabVIEW, pour envoyer le signal de sortie du CCD à l'ASPIC afin de l'amplifier et le transmettre à l'ADC pour le numériser et envoyer à l'ordinateur sous forme d'un signal numérique ou image de type fit.

Dans LabVIEW, on peut également faire du traitement de signal, en appliquant la transformée de Fourier ou en calculant rapidement la valeur moyenne, la déviation standard et les valeurs maximales et minimales du signal de sortie. La figure 6.15 montre un exemple de traitement du signal qui affiche les valeurs maximales, minimales moyennes du signal ainsi que la déviation standard et la variance pour les canaux de l'ASPIC. Également, il affiche le signal de sortie.

6.2 Pilotage du CCD UW4207

Après la caractérisation des ASICs implémentés dans le banc de test de lecture et du contrôle à chaud, nous avons mis en place le CCD UW4207 de taille 4k x 2k pixels dans le cryostat. Ce CCD est piloté par le système électronique créé dans l'expérience DAMIC, et présenté dans les sections précédentes.

6.2.1 Vue générale de fonctionnement

Toutes les études du CCD sont faites à une température égale à $\sim 128\text{K}$ et avec une pression de $\sim 7 \times 10^{-6}$ mbar. L'ASPIC est également placé dans le cryostat pour qu'il soit refroidi via quatre trous métallisés qui sont implémentés sur la carte qui supporte l'ASPIC, dans l'intention de réduire le bruit de lecture.

La figure 6.16 illustre le système installé au LPNHE :

Les cartes électroniques dont celle de l'ADC, du CABAC et de FPGA sont placées à l'extérieur du cryostat et sont connectées à ce dernier par un connecteur Sub_D 50 points [figures 16.a. et 16.b.]. Tout le système est contrôlé par le LabVIEW sur l'ordinateur.

Le FPGA est connecté à l'ordinateur par un câble Ethernet, lequel permet une lecture rapide et « full duplex² », et offre un Debugger gratuit sur Windows avec « WireShark », permettant ainsi de faciliter l'analyse des erreurs.

Le système de pilotage ainsi que le cryostat sont placés dans une salle blanche pour protéger le CCD des poussières. Le cryostat et les cartes électroniques sont connectés au même plan de masse à travers une plaque en cuivre (figure 16.c).

Le CCD possède quatre amplificateurs, ceci nous permet de le lire avec quatre configurations différentes des horloges. D'après les études une seule parmi les quatre configurations permettra la détection de traces de particules.

La lecture d'un CCD passe par plusieurs étapes :

- Alimentation automatique du CABAC par LabVIEW pour fournir les horloges et les tensions de polarisation au CCD, et ensuite l'alimentation du CCD par une tension (V_{SUB}) égale $\sim 47\text{V}$.
- Effacement des charges anciennes contenues dans le CCD et qui restent de l'acquisition précédente,

2. les données circulent de façon bidirectionnelle et simultanément.

- Détection des charges par le CCD, durant la phase d'exposition qui dure une dizaine de minutes,
- Après l'accumulation de charges dans le CCD, celles-ci sont transférées vers l'amplificateur de sortie,
- Le signal de sortie du CCD est ensuite envoyé vers l'ASPIC pour l'amplifier grâce à un câble de type Kapton,
- Conversion analogique numérique des signaux amplifiés est appliquée dans la carte BEB3.
- Envoi des données vers l'ordinateur à travers un FPGA sous forme d'un signal numérique pour être traité.

6.2.2 Première image détectée par le CCD

Dans un premier temps, les électroniques ont été placées à l'extérieur de la salle blanche, en les connectant au cryostat par un câble de 1.5 mètres qui a introduit du bruit au système de lecture. Le cadencement des horloges appliqué dans la plupart des acquisitions est illustré dans la figure 6.17. La première image obtenue par le CCD était très bruitée d'un bruit égal à $\sim 121 \text{ e}^3$, étant donné que les paramètres n'étaient pas optimaux.

Toutes les images sont enregistrées sous le format standard « Fits » et elles sont visualisées avec une échelle Histogramme & Min :Max pour que puisse être étudiée la gamme complète des pixels dans l'image. Ensuite, les images sont traitées avec un programme codé en Python.

La figure 6.18 affiche l'image issue du premier canal [canal 1] du CCD, elle montre les différentes formes des particules cosmiques détectées. Cette image est prise avec un temps d'exposition de deux minutes précédée d'une phase « Erase » destinée à effacer toutes les charges de l'acquisition précédente. Nous avons configuré le CCD avec 4300 lignes et 2500 colonnes, une taille plus grande que la taille réelle du CCD pour traiter le bruit du système de lecture ainsi que le CCD. Le mode de lecture utilisé est le DSI avec un temps d'intégration de $2\mu\text{s}$, une constante de temps (RC) égale à $4\mu\text{s}$ et un gain d'amplificateur de 2.

La figure 6.19 montre une section de cette image avec des pixels identifiés par leur position sur les axes x et y et un axe de couleur représentant les valeurs des charges en ADU. En réalité, l'image d'un CCD 4k x 2k contient des charges numérisées d'environ huit millions de pixels disposés en 4196 lignes et 2048 colonnes. La charge de chaque pixel est donnée sous la forme d'un nombre compris entre 0 et 262 144 ADU (18 bits). Cette valeur est proportionnelle à la somme de la charge associée au bruit de pixel et à celle produite par une particule ionisante. Les oscillations résultant de la carte supportant l'ADC sont bien visibles dans cette image.

Cependant, la figure 6.20 montre l'image du second canal [canal 0] du CCD qui n'affiche pas une détection des particules. Nous voyons bien que ce canal est très bruité : il contient des oscillations périodiques, sachant que l'ASPIC a été testé avant la mise en route avec le CCD, et il a présenté un comportement normal sur les deux canaux avec

3. Chaque 1 ADU donne $21.8 \mu\text{V}$; Chaque 1 e^3 correspond à $2.5\mu\text{V}$

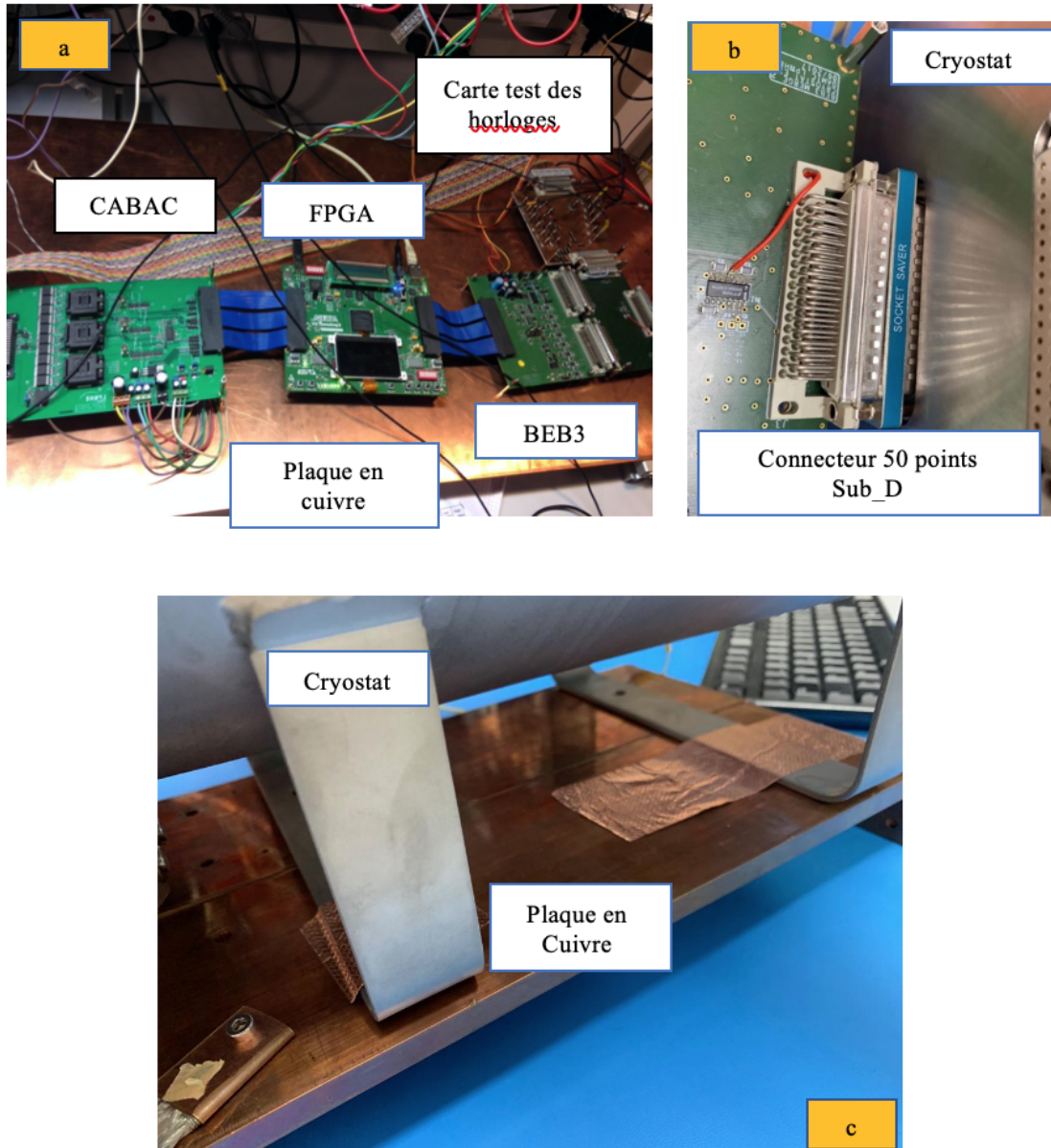


FIGURE 6.16 – le banc de test du CCD au LPNHE : (a) les cartes électroniques à l’extérieur du cryostat sont connectées à la plaque en cuivre; (b) ces cartes sont connectées au cryostat par un connecteur Sub_D 50points; (c) le cryostat est également lié à la plaque en cuivre par des rubans en cuivre pour créer un seul plan de masse

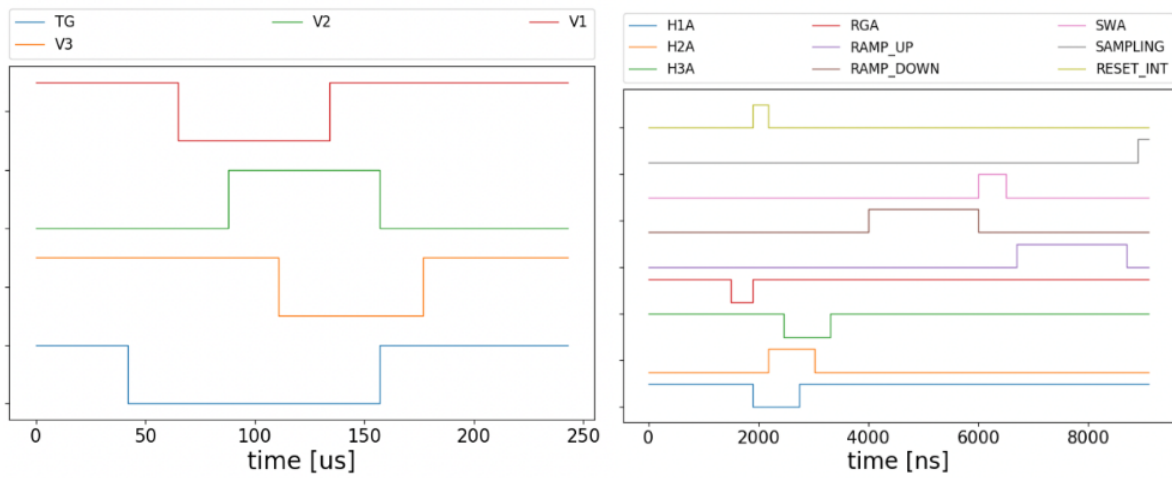


FIGURE 6.17 – cadencement des horloges horizontales et verticales du CCD ainsi que les commandes de configuration de l’ASPIC, qui montre la seule rotation qui permet au CCD de détecter des particules

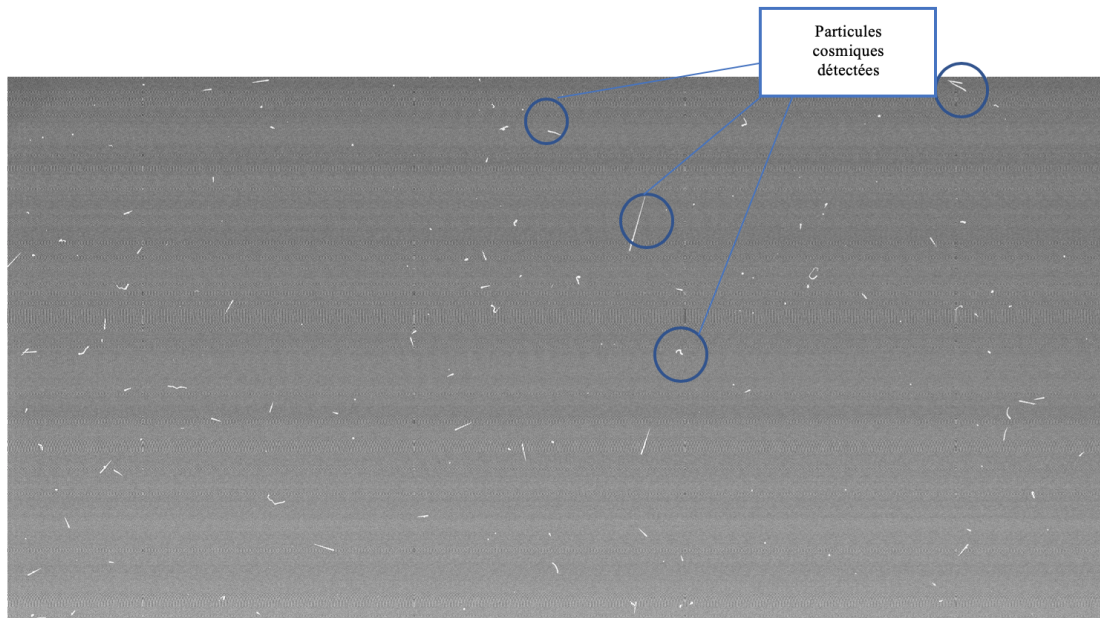


FIGURE 6.18 – première image détectée par le canal 1 du CCD qui montre les particules cosmiques détectées

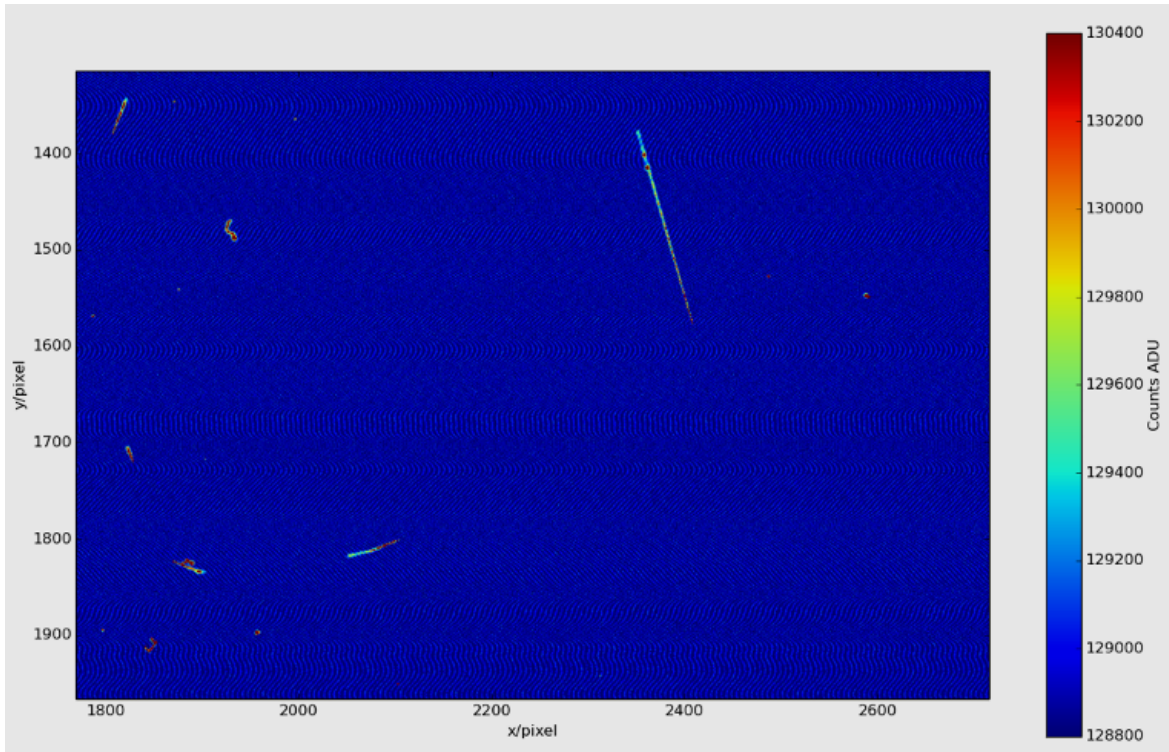


FIGURE 6.19 – Partie d’une première image prise par le CCD dans DAMIC avec des pixels identifiés par leur position sur les axes x et y et un axe de couleur représentant les valeurs des charges en ADU

la même valeur du bruit (voir chapitre 5 section ASPIC, figure 5.27), d’où nous pouvons conclure qu’un seul canal du CCD fonctionne.

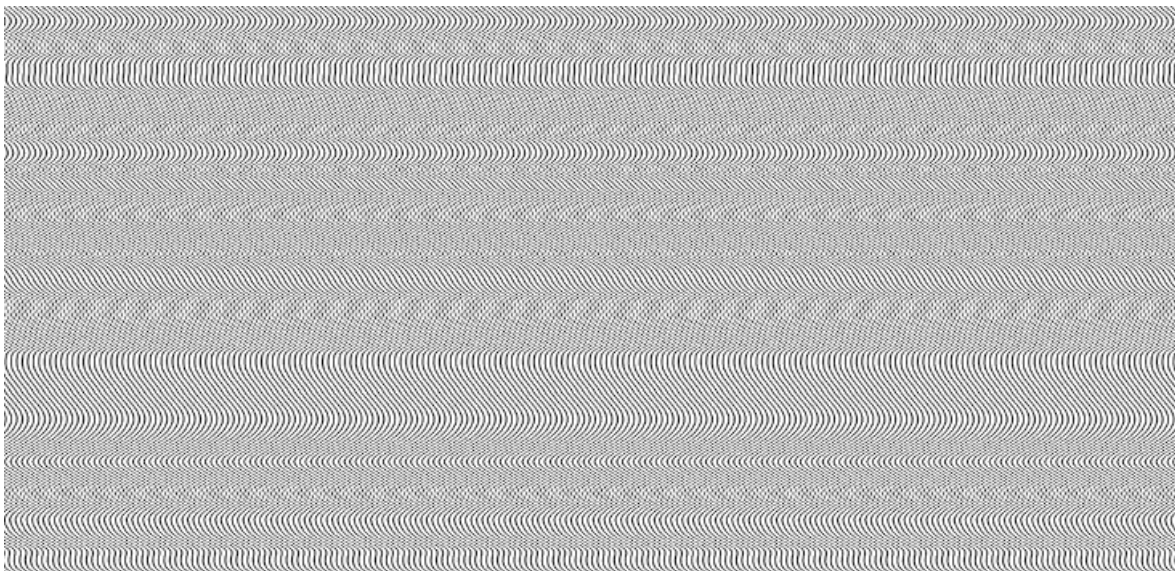


FIGURE 6.20 – image du canal 0 du CCD qui montre une oscillation périodique et ne présente aucune détection des particules

La figure 6.21 montre la sortie analogique du CCD amplifiée par l’ASPIC, en mode DSI, mesuré directement par l’oscilloscope. Le signal [rouge] est intégré durant une durée de temps « Tint » (RD/RU) et entre ces deux phases le signal est isolé durant $\sim 1.25 \mu\text{s}$.

Ensuite, le signal sera numérisé durant la phase conversion [bleu] et, enfin, le CCD sera réinitialisé durant la phase Reset gate [jaune].

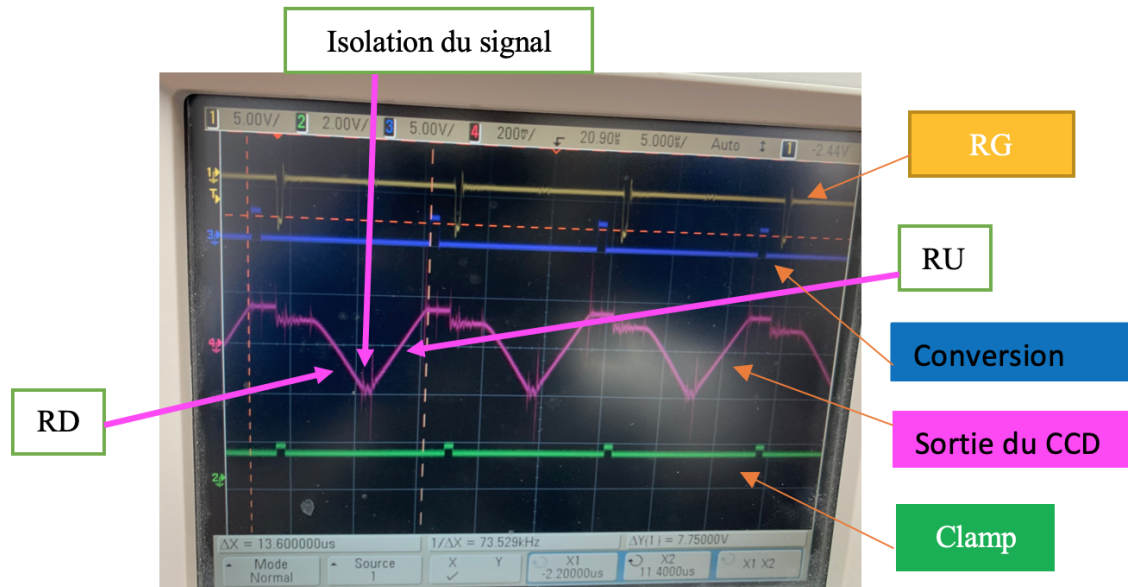


FIGURE 6.21 – Sortie analogique du CCD amplifiée et intégrée par l’ASPIC durant les deux phases RU et RD, entre ces deux phases le signal est isolé durant une période de 1.5 μ s

Dans ce qui suit, nous étudierons les principales caractéristiques du bruit du CCD en mode DSI et en mode Clamp & Sample. Ce bruit sera corrigé grâce aux nombreuses modifications appliquées sur les électroniques ainsi que sur la configuration du système, pour obtenir une configuration optimale.

6.2.3 Caractérisation du bruit

Nous avons déplacé le système de lecture et de contrôle pour le placer à l’intérieur de la salle blanche et nous avons connecté les cartes électroniques directement au cryostat sans aucun câble interface (voir figure 16.b.). Dans ce cas, le bruit de lecture a fortement diminué par rapport à la première image. Plusieurs changements sont effectués dans le but d’améliorer ce bruit : création d’un seul plan de masse en connectant tout le système électronique ainsi que le cryostat à la même masse à travers des câbles torsadés et une plaque en cuivre, protection des câbles d’alimentation du CABAC et l’ASPIC par des blindages de masse et recherche d’une configuration d’acquisition optimale en changeant la constante de temps RC, le temps d’intégration, le gain d’amplificateur et le mode de lecture.

Nous reprenons une image avec la même configuration de lecture que la première image du CCD dans la section 6.2.2. La nouvelle installation apporte une amélioration du bruit ramené à l’entrée de l’ASPIC à 44 ϵ . La figure 6.22.i montre l’image de sortie du CCD. Une partie du bruit observé dans le CCD est corrélée, ce qui entraîne des motifs spatiaux répétitifs dans l’image, comme le confirme la figure 6.22.ii.

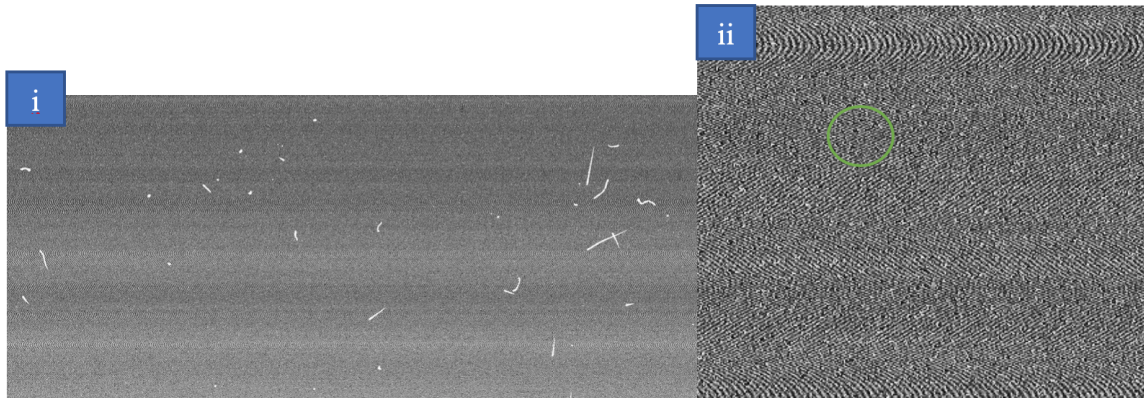


FIGURE 6.22 – partie de l'image de la sortie du CCD avec un bruit de $\sim 77 \bar{e}$

La figure 6.23 représente la FFT de chaque image, avant (i) et après (ii) le déplacement des électroniques dans la salle blanche, et ce afin d'étudier le comportement du bruit. Les deux images montrent la présence d'un pic à 20 kHz, dont l'amplitude varie avec le bruit, sachant que la fréquence de lecture est de 100 kHz. En déplaçant les électroniques dans la salle blanche et en connectant les électroniques directement au cryostat, l'amplitude du pic diminue d'un facteur environ 10.

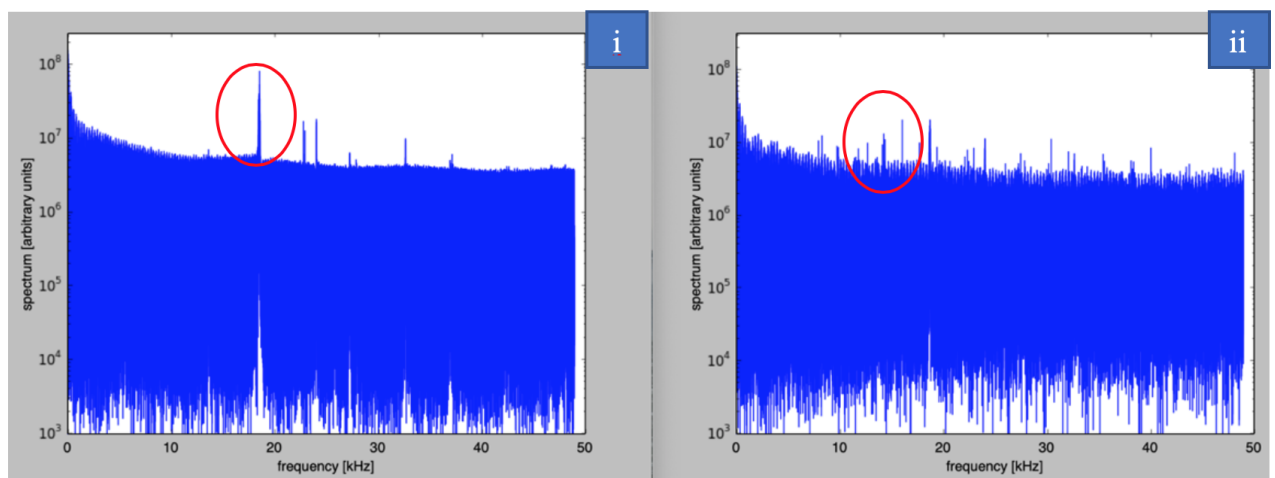


FIGURE 6.23 – FFT de deux images prises par le CCD avant et après le déplacement des électroniques dans la salle blanche qui montre une diminution importante du bruit comme le pic à 20 kHz étant réduit

Pour mieux comprendre la source du bruit, nous avons isolé l'entrée de l'ASPIC par LabVIEW (pincé l'entrée) et repris une acquisition avec la même configuration de lecture des images précédentes. La FFT de cette acquisition est visualisée dans la figure 6.24 et elle montre que le seul pic important est à 5 kHz. Ce pic qui vient de l'ADC est déjà étudié dans le chapitre 5 section ASPIC (section 5.1.2.2), tandis que le pic à 20 kHz a disparu. Cela confirme que ce pic est relié au bruit corrélé du CCD ou au système cryogénique qui peut introduire du bruit.

De même, plusieurs modifications dans le système de pilotage ont été effectuées pour

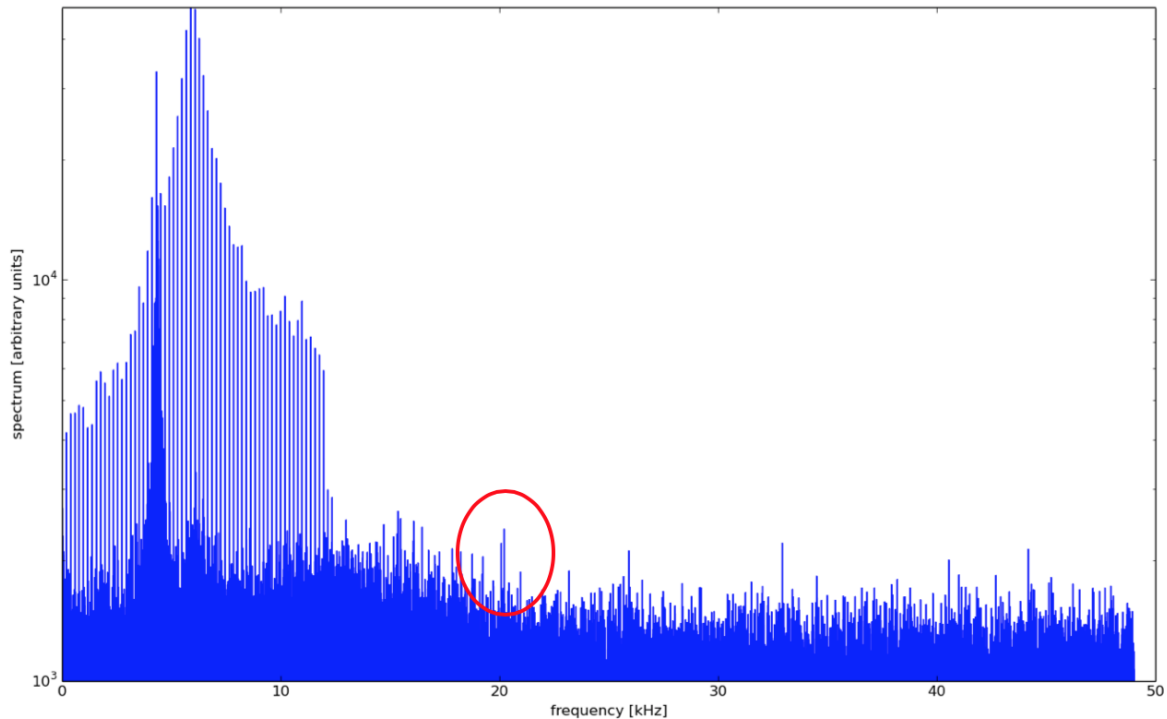


FIGURE 6.24 – FFT du système de lecture en isolant le CCD

étudier la source du pic à 20 kHz, à savoir éteindre le Cryocooler quelques instants, éteindre la lumière de la chambre, enlever toutes les sondes de mesures. Cependant, toutes ces tentatives n'ont aucun effet sur ce pic.

6.2.3.1 Variation du bruit en fonction du gain d'amplificateur en mode DSI

Comme nous l'avons observé dans la section précédente, une partie du bruit du CCD est constituée d'un bruit corrélé. Un système de lecture est implémenté au LPNHE et sert à réduire ce bruit en appliquant le mode DSI.

En mode DSI, le bruit va dépendre du gain de l'amplificateur ainsi que de paramètres liés à l'intégration du signal tels que la constante de temps et le temps d'intégration. Dans cette section nous commençons par l'étude de la variation du gain de l'amplificateur.

En fixant la constante de temps « RC » à $4\mu\text{s}$ et le temps d'intégration à $2\mu\text{s}$ ⁴, nous avons changé le gain d'amplificateur de l'ASPIC. Le CCD est configuré avec 4500 lignes et 2300 colonnes. Le graphe de la figure 6.25 montre la variation du bruit ramené à l'entrée de l'ASPIC en $\bar{\epsilon}$ en fonction du gain de l'amplificateur $[G_{\text{DSI}} = 2 \times T_{\text{int}} \times G_{\text{Ampli}}/RC]$. Si nous augmentons le gain d'amplificateur d'ASPIC, le bruit de lecture diminue, ce qui a déjà été constaté dans la section de caractérisation de l'ASPIC (section 5.1.2.2). Avec un gain d'amplificateur de 1 le bruit à la sortie du CCD égale $60 \bar{\epsilon}$ pour arriver à $24 \bar{\epsilon}$ avec un gain de 13. Cela n'empêche pas que le pic soit toujours visible dans le spectre de la transformée de Fourier de la sortie du CCD.

La figure 6.26 montre la FFT de différents cas de gain de l'amplificateur [1, 4 et 7] en

4. En fixant cette valeur, nous pouvons étudier toute la gamme de gain, sans prendre le risque de la saturation de l'ASPIC.

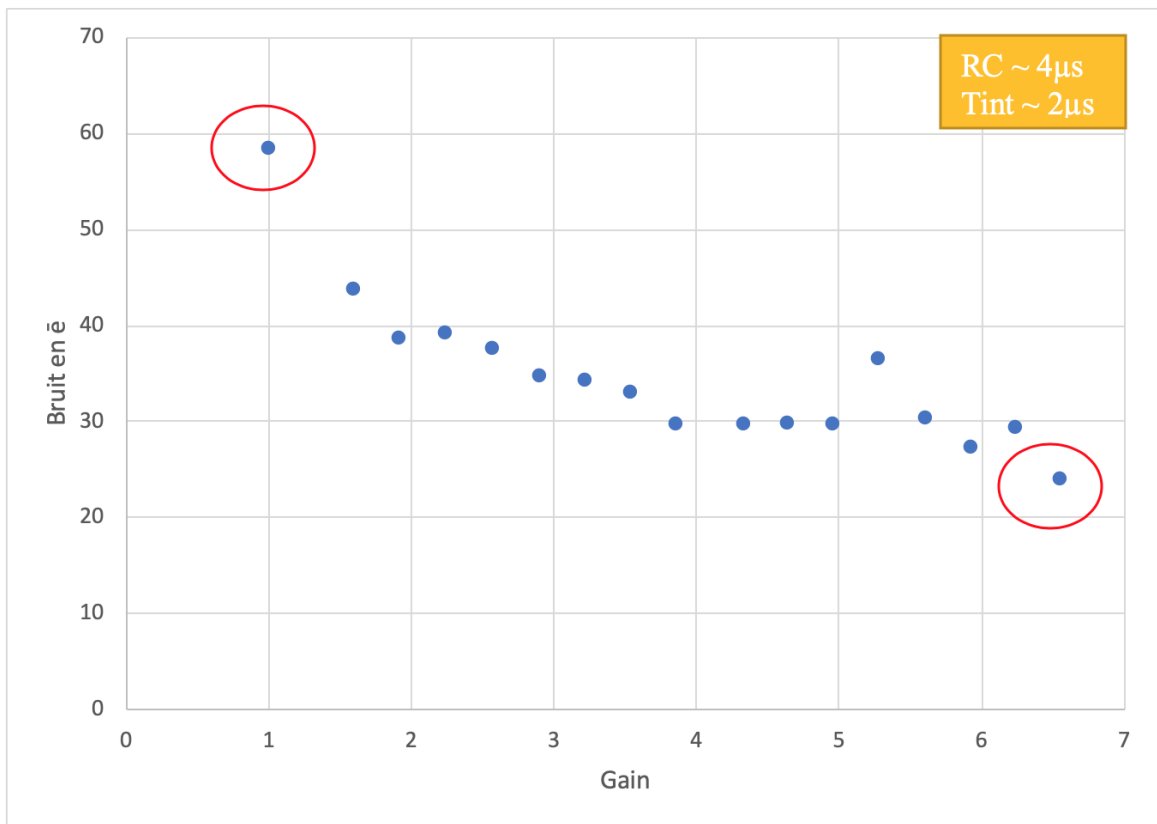


FIGURE 6.25 – en augmentant le gain de l’amplificateur, le bruit du CCD diminue ($60 \bar{e} \rightarrow 24 \bar{e}$) sachant que la constante de temps ($RC \sim 4\mu s$) et le temps d’intégration ($T_{in} \sim 2\mu s$) sont fixes

fixant la constante de temps et le temps d'intégration. La figure montre que la transformée de Fourier du signal de sortie du CCD contient un ensemble d'harmoniques qui présente des pics importants pour les fréquences : $f=15\text{ kHz}$, $f=20\text{ kHz}$, $f=28\text{ kHz}$ et $f=30\text{ kHz}$, sachant qu'on échantillonne les signaux avec la même fréquence de lecture ($F_e \sim 106\text{ kHz}$). La FFT révèle un comportement similaire dans les trois cas, ce qui confirme que le pic ne vient pas de l'amplificateur.

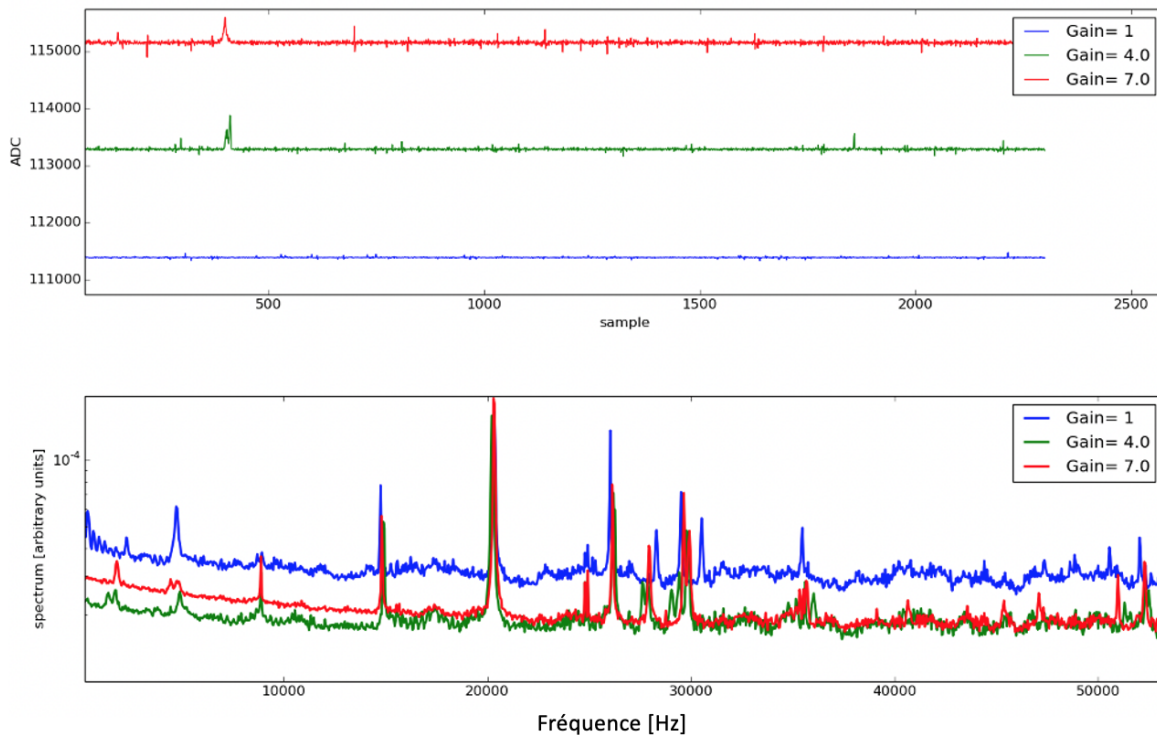


FIGURE 6.26 – la sortie numérique du CCD en ADU et sa FFT dans trois cas [gain d'amplificateur] : 1, 4 et 7 montrent que le pic à 20 kHz est le même dans tous les cas.

6.2.3.2 Variation du bruit en fonction de la constante de temps

La figure 6.27 montre la variation du bruit en fonction de la constante de temps (RC), en forçant le gain de l'amplificateur à 1 et le temps d'intégration à $2\mu\text{s}$, pour que nous puissions étudier le comportement de toute la gamme de RC sans qu'il n'y ait une saturation de l'amplificateur de sortie de l'ASPIC. Le bruit augmente avec la constante de temps comme le prouve le graphe suivant.

Prenons pour exemple la figure 6.28 qui montre la FFT de 4 cas de RC [$4\mu\text{s}$, $1,45\mu\text{s}$, 347 ns et 251 ns] pour étudier l'effet du RC sur le pic à 20kHz. Les graphes indiquent une similitude de comportement pour les quatre cas. La variation du RC n'affecte pas la position ni l'amplitude du pic.

6.2.3.3 Variation du bruit en fonction de temps d'intégration

Le paramètre le plus important qui agit sur le bruit est le temps d'intégration du signal. Nous avons étudié le comportement du bruit dans deux cas :

- en fixant le gain de l'amplificateur à 2.362 et la constante de temps à $4\mu\text{s}$

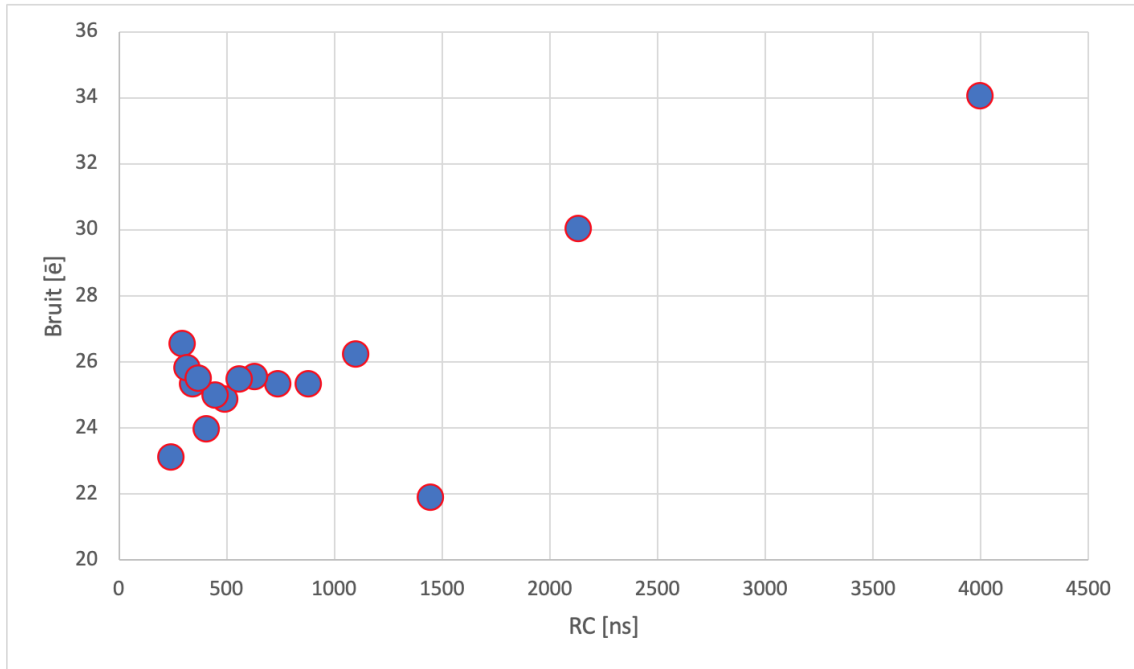


FIGURE 6.27 – variation du bruit en fonction de la constante de temps RC

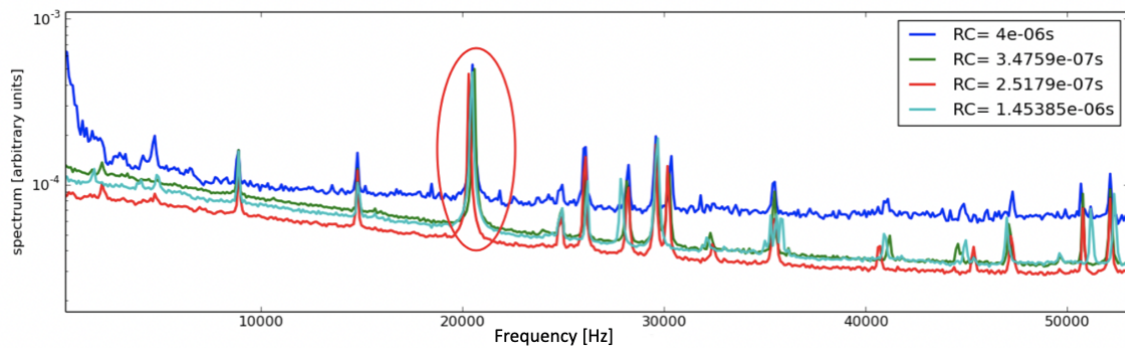


FIGURE 6.28 – la sortie du CCD et ses FFT en fonction du RC

— en fixant le gain de l'amplificateur à 1.59 et la constante de temps à $4\mu\text{s}$

Dans le premier cas, le bruit le plus faible est obtenu avec un temps d'intégration de $10\mu\text{s}$, et dans le second il est à $15\mu\text{s}$. En fait plusieurs facteurs agissent ensemble sur le bruit.

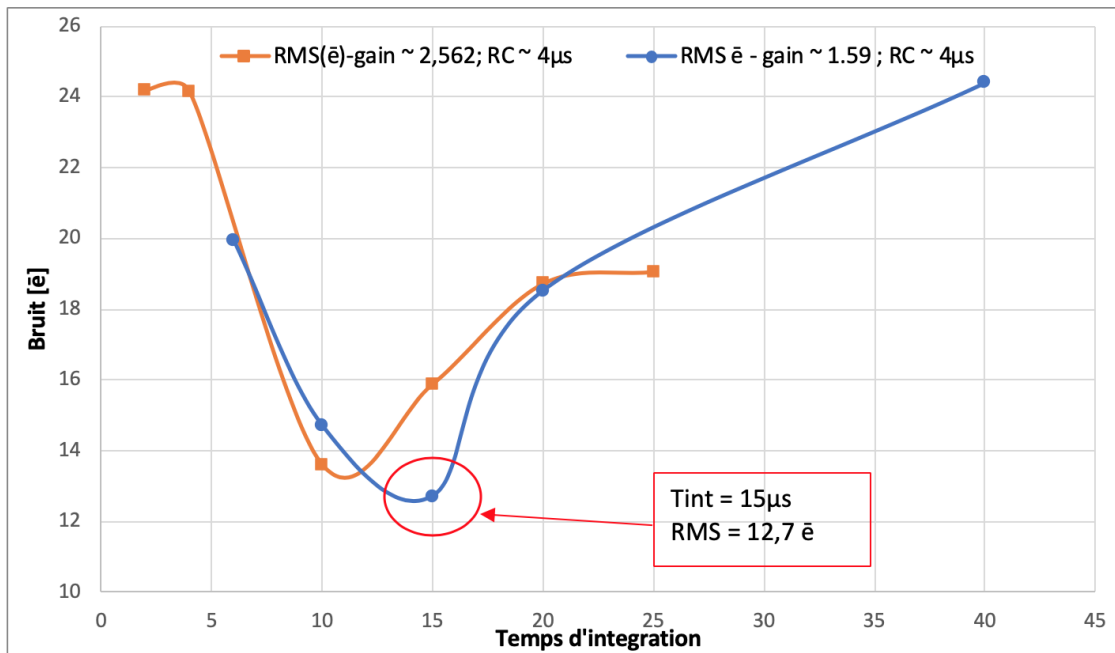


FIGURE 6.29 – variation du bruit en fonction de la constante de temps

La fréquence de lecture change avec la variation du temps d'intégration, ce qui nous empêche d'étudier le comportement de pic à 20kHz . Mais, remarquons dans la figure 6.30 qu'il n'y a pas de pics importants dans les cas de $T_{\text{int}} = 10\mu\text{s}$, $15\mu\text{s}$ et $40\mu\text{s}$, et les pics ne sont pas fixes dans tous les cas, il dépend d'un cas à un autre. Cela confirme que le pic à 20kHz est liée à la fréquence de lecture du CCD⁵.

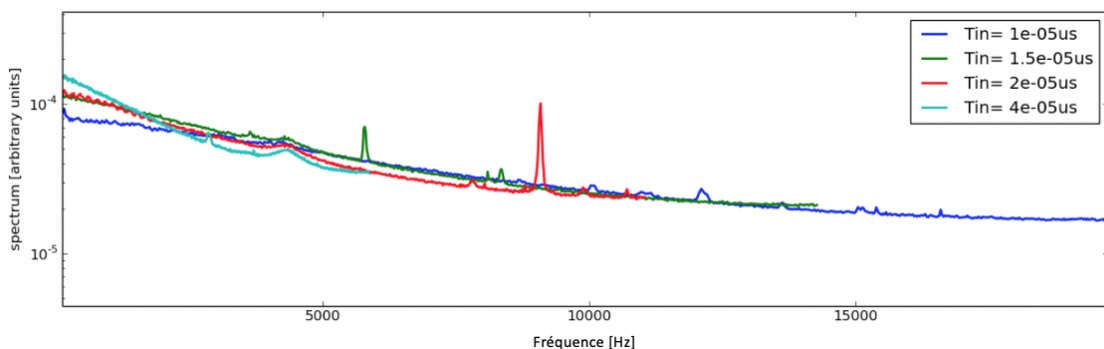


FIGURE 6.30 – la sortie numérisée du CCD et son FFT en fonction de constante de temps

5. le cadencement des horloges de lecture du CCD

6.2.4 La configuration idéale du bruit

Les études précédentes ont montré que l'ASPIC influence directement sur le bruit de lecture et nous avons également vu qu'en augmentant le temps d'intégration, le bruit thermique est réduit. Cependant, il n'existe pas de règle précise qui nous permettrait de trouver la configuration optimale. Pour ce faire, afin de trouver la meilleure configuration du CCD, nous avons essayé en mode DSI toutes les combinaisons possibles entre T_{int} , RC et le gain d'amplificateur [gamme total du gain et de RC; $2\mu s < T_{int} < 40\mu s$], pour parvenir enfin à une configuration optimale qui donne un bruit de 5.5ē.

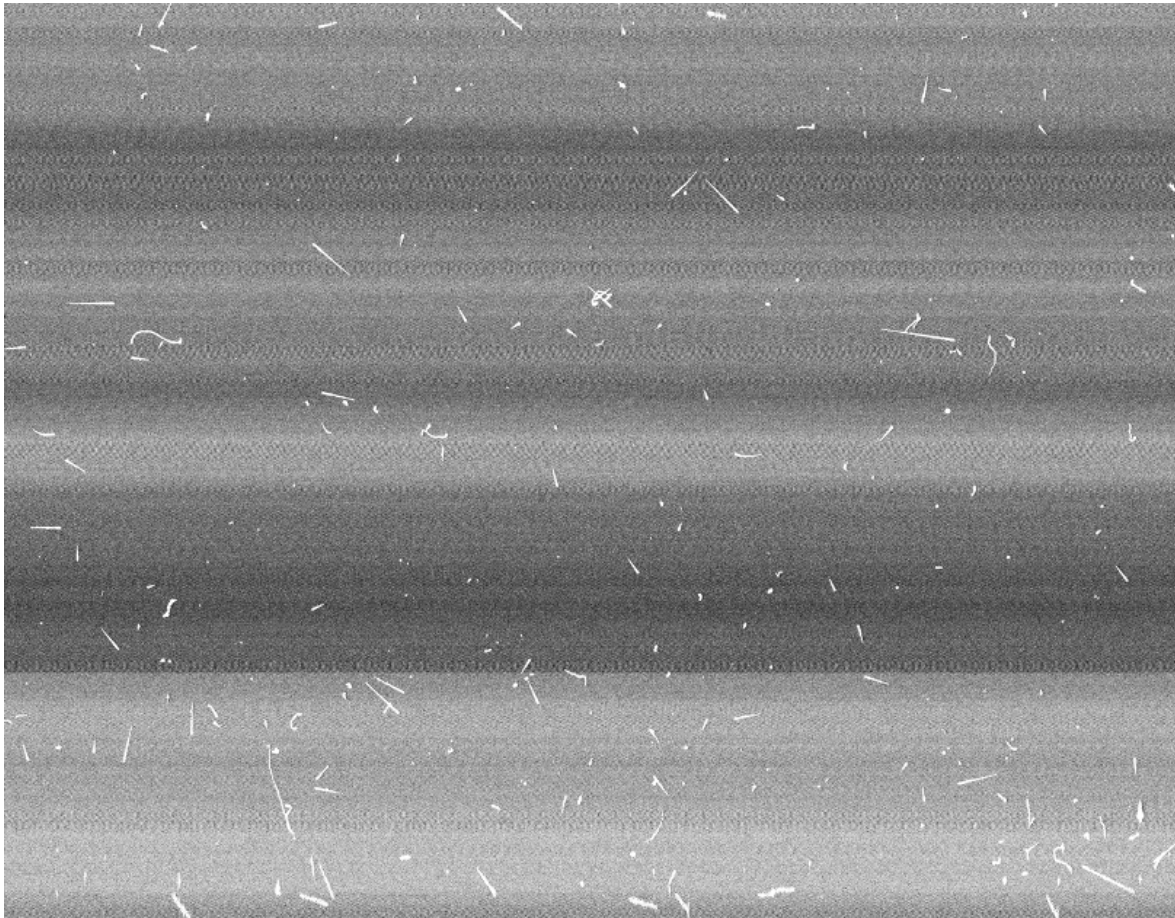


FIGURE 6.31 – image prise par le CCD avec la configuration idéale

La figure 6.31 présente l'image prise par le CCD avec la configuration suivante : gain d'amplificateur : $1111 \sim 13$, temps d'intégration $2\mu s$, RC : $1110 \sim 561 ns$ et DSI comme mode de lecture; celui-ci donne un gain total égale à ~ 47 . L'oscillation constatée dans les figures 6.18 et 6.22 est fortement réduite dans cette image.

Par ailleurs, la figure 6.32 représente une section de cette image qui montre les valeurs de pixels sur les axes x et y, en fonction d'une échelle de couleurs qui visualise la valeur des charges en ADU. Dans cette image, les oscillations figurant dans l'image 6.19 ont disparu. Le pic à 20 kHz est toujours visible dans la FFT puisqu'on intègre le signal avec un temps de $2\mu s$ (voir Figure 6.30).

Le bruit dans cette image a diminué si on le compare avec les résultats obtenus dans la première section du chapitre, puisqu'il est passé de 121 ē à 5.5 ē. Mais, nous pourrions

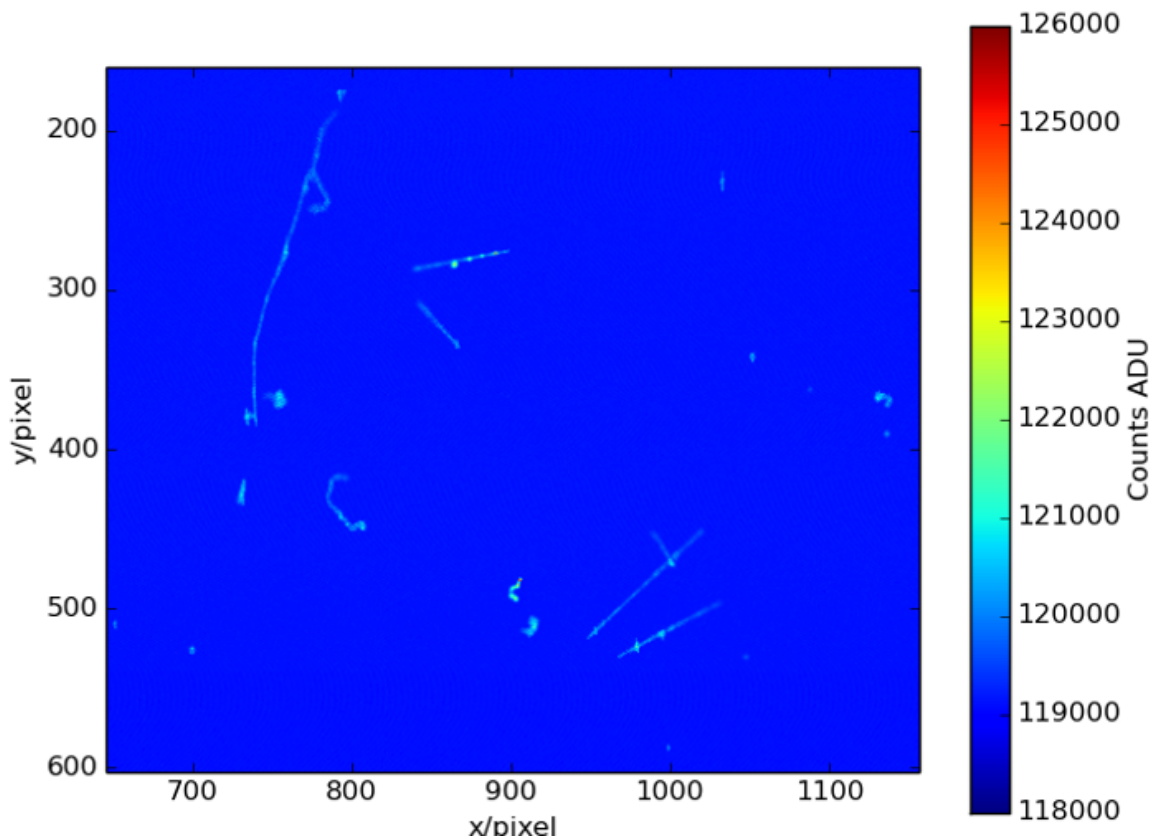


FIGURE 6.32 – section de l'image idéale

encore réduire ce bruit en utilisant un skipper CCD et une lecture non-conventionnelle, non-destructive et répétitive.

6.2.5 Mode transparent

Bien que le mode Clamp & Sample soit moins performant en terme de réduction de bruit, il a été possible de détecter des particules cosmiques. Dans ce mode, les images ont montré une performance très bruitée dans laquelle le bruit domine les particules puisque l'ASPIC n'intègre pas le signal du CCD.

La figure 6.33 montre une image prise par le CCD en mode transparent. Elle contient des oscillations périodiques et les particules sont dominées par le bruit de l'ASPIC. Quant à la figure 6.34, elle donne à voir une section de l'image en mode transparent avec un comportement très bruité.

6.2.6 Types de particules détectées

Dans DAMIC, la surface du CCD peut détecter des photons (gamma) et des électrons (beta) à basse énergie qui sont des clusters ponctuels dont la taille est donnée par la diffusion. La figure 6.35 expose des images contenant plusieurs types de particules telles que : (a) électron (un beta), (b) l'électron et muon.

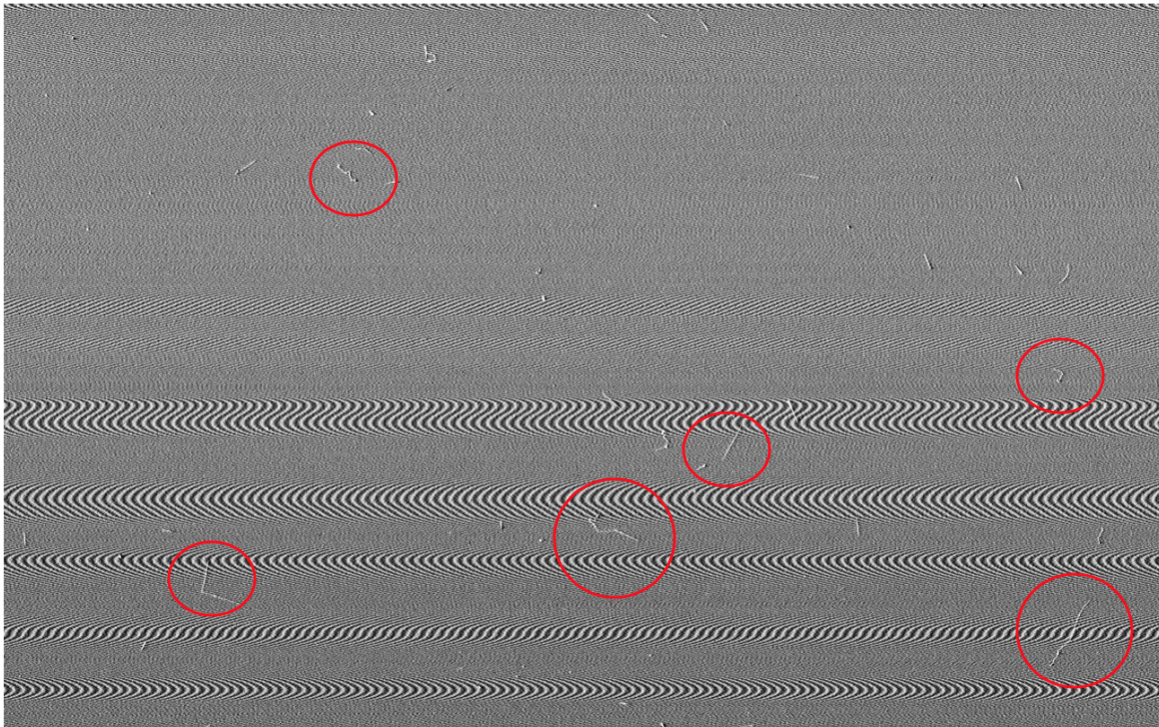


FIGURE 6.33 – image prise par le CCD en mode transparent

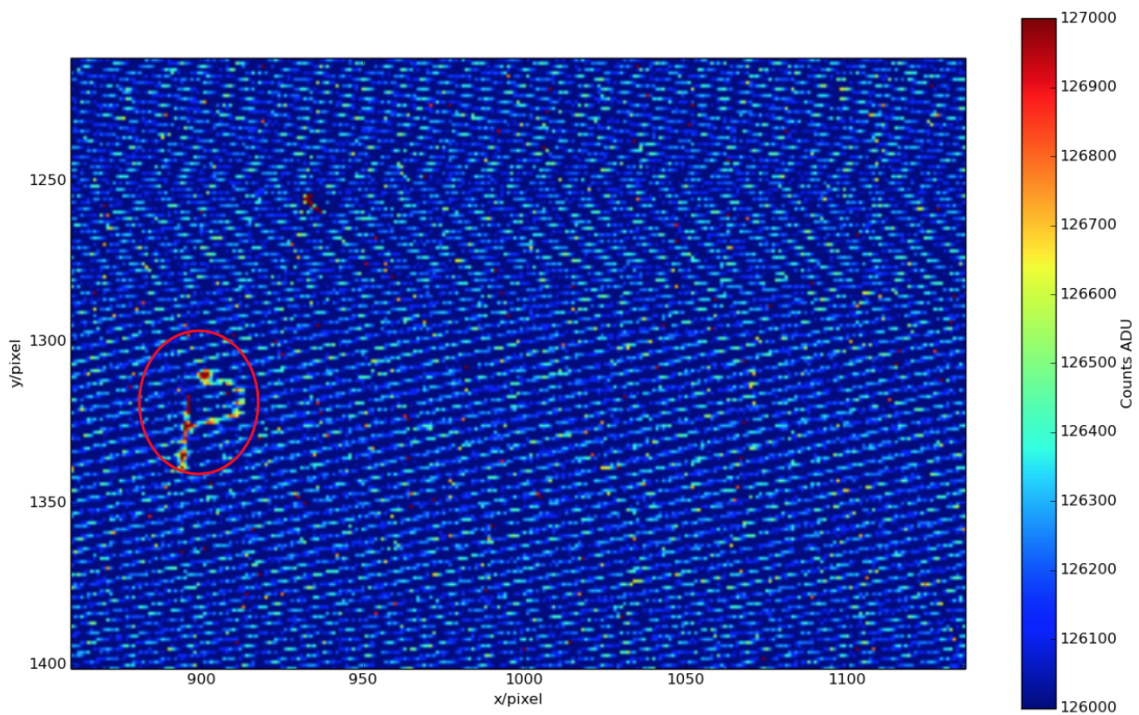


FIGURE 6.34 – section de l'image en mode transparent

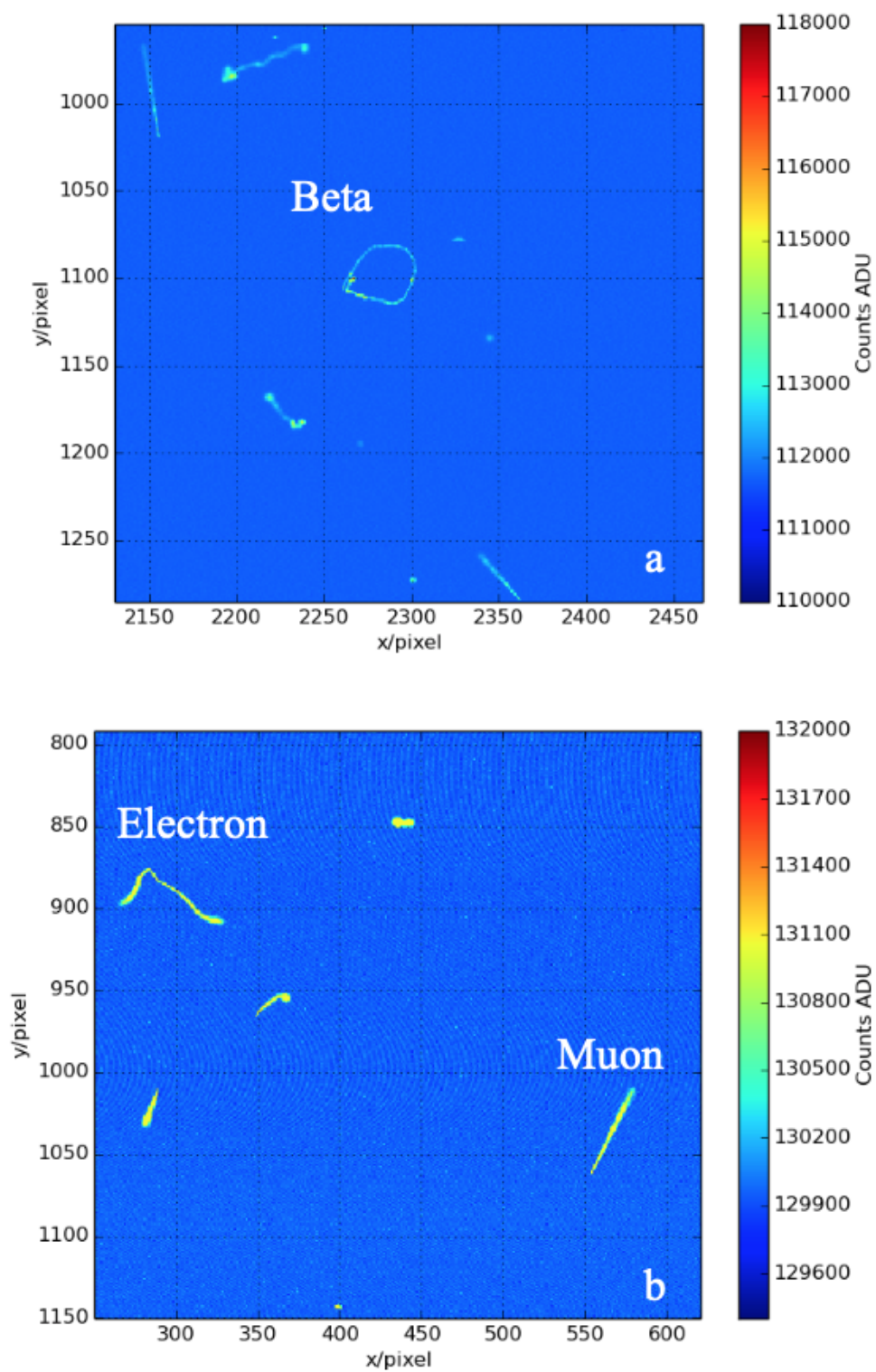


FIGURE 6.35 – les différents types de particules détectées par le CCD

6.3 Conclusion

En conclusion, en mode Clamp & Sample, le signal n'est pas intégré, c'est pourquoi la sortie est très bruitée. Par ailleurs, bien que l'ASPIC ne soit pas optimal pour le CCD LBNL dans DAMIC, on a réussi à trouver une configuration optimale en mode DSI, qui nous permet d'atteindre un bruit de lecture de CCD de 5.5 \bar{e} . Ce bruit sera réduit dans DAMIC-M en implémentant un Skipper CCD et en remplaçant l'ASPIC par le CROC pour répondre aux exigences de l'expérience.

6.4 Références

- [1] *Cyclone III Device Handbook*. Aletera, 2012. [112](#)
- [2] Agilent. *FRG-700/702 Pirani Inverted Magnetron Gauge*. [109](#)
- [3] Agilent. *TPS-compact*. [108](#)
- [4] Helix Polycold Systems Inc. *Field Service Manual : CRYOTIGER Systems*. [109](#)

CONCLUSION

LA première version de DAMIC a été installée à SNOLAB. En plus du blindage naturel fourni par les roches de SNOLAB, l'expérience DAMIC a été entourée par 42 cm de polyéthylène et par 21 cm de plomb supplémentaires afin de protéger les CCD des rayons cosmiques et des sources de fond radioactives environnantes. En optimisant les paramètres de fonctionnement des CCD, et à l'aide des interactions de particules de modèle standard, DAMIC à SNOLAB a pu rechercher certains des candidats de la matière noire. Les deux candidats principaux recherchés par DAMIC à SNOLAB sont les particules massives à faible interaction (WIMP) et les photons cachés (désignés par γ_{chi}). Les CCD LBNL implémentés dans DAMIC à SNOLAB fonctionnaient avec un courant de fuite $2 \times 10^{-22} \text{Acm}^{-2}$ et avec un bruit de lecture équivalent à $1.6\bar{e}$.

La deuxième génération de DAMIC, DAMIC-M, a débuté en 2018. Afin d'obtenir une meilleure sensibilité à la matière noire, l'expérience devrait atteindre des taux de fond plus faibles et devrait augmenter la masse du détecteur. C'est pourquoi un nouveau détecteur DAMIC sera installé au Laboratoire Souterrain de Modane (LSM) dans quelques années et il sera le plus massif CCD jamais construit. La collaboration DAMIC à Modane (DAMIC-M) utilisera une version améliorée des CCD conçus par Lawrence Berkeley National Laboratory avec des skippers amplificateurs qui utilisent une lecture non destructive avec plusieurs échantillonnages, permettant aux CCD d'atteindre un bruit de lecture inférieur à $0,068\bar{e}$. Ce dernier permettra au DAMIC-M de mesurer les reculs nucléaires avec un seuil d'énergie inférieur à 7 eV.

Avec un CCD Skipper, il est en principe possible d'atteindre un niveau de bruit faible mais avec un temps de lecture long. L'objectif de DAMIC-M est d'atteindre un bruit de l'ordre 0.1 ou $0.2\bar{e}$ en un temps de lecture minimum ($< 1\text{ms}$), ce qui suppose que le bruit d'une lecture rapide unique soit aussi faible que possible⁶.

Cette thèse présente une partie du développement électronique de l'expérience DAMIC. Notre travail s'est concentré sur les caractéristiques des circuits intégrés implémentés dans le système de pilotage du CCD ainsi que sur l'optimisation du bruit de lecture du détecteur. Après avoir résolu plusieurs difficultés avec ces ASICs, notre étude a débouché sur la mise en œuvre du CCD avec le système de lecture et de contrôle réalisé au LPNHE.

Tout d'abord, nous avons testé le fonctionnement de tous les ASICs implémentés dans le système de lecture et de contrôle des CCD, tels que l'ASPIC, CROC, le CABAC et l'ADC. Nous avons analysé la performance de chacun, afin d'étudier plus tard le comportement des CCD avec ce système.

- L'ASPIC a montré une performance de qualité :
 - En mode Clamp & Sample, le gain est le seul facteur programmable qui agit sur le bruit. Celui-ci à l'entrée de l'ASPIC diminue en augmentant le gain (gamme entre 2 et 13), ce qui était attendu par simulation. Nous avons obtenu un bruit de $\sim 20\mu\text{V}$ avec un gain maximal.
 - En mode DSI ($G_{\text{DSI}} = 2 \times G_{\text{A}} \times T_{\text{int}}/\text{RC}$), plusieurs facteurs agissent sur le bruit,

6. Pour un objectif de $0.1\bar{e}$ en 1 ms cela veut dire par exemple une lecture unique à $1\bar{e}$ pour 10 μs ou pour une lecture unique à $3.3\bar{e}$ pour 1 μs .

tels que le gain de l'amplificateur, le temps d'intégration du signal et la constante de temps (RC). Nous obtenons le même comportement du bruit avec le gain d'amplificateur qu'avec le mode C& S. Par ailleurs, le bruit diminue en augmentant le temps d'intégration pour saturer à $T_{int} > 20\mu\text{s}$. Cependant, le bruit augmente avec la constante de temps. Nous avons trouvé un bruit de $\sim 3\mu\text{V}$ avec une constante de temps $\sim 20\mu\text{s}$ et un gain maximal.

- La linéarité de l'ASPIC est un autre facteur important à étudier. La performance de l'ASPIC a montré une non-linéarité de 0.3% pour une entrée dans l'intervalle [60 mV – 900mV] et une non-linéarité de 0.5% pour une entrée de 1V.
- En injectant un signal à l'entrée du canal qui est situé au milieu et en reliant les entrées des autres canaux à la masse, nous avons trouvé une diaphonie avec un écart type inférieur à 5.10^{-6} pour tous les canaux, ce qui confirme que tous les canaux sont correctement indépendants.
- Au début de la thèse, la mise en place de CABAC a connu des difficultés pour sortir correctement les horloges et les tensions de polarisation. Après plusieurs modifications sur la carte supportant les trois CABACs, nous avons réussi à fournir correctement toutes les valeurs des horloges verticales et horizontales ainsi que les tensions nécessaires pour piloter un CCD LBNL.
- Le CROC qui est un nouvel ASIC conçu pour répondre aux besoins de DAMIC-M a été également testé pour évaluer ses performances. Mais, malheureusement, nous n'avons pas eu le temps de l'implémenter avec le CCD. Cet ASIC a révélé une performance satisfaisante au niveau du bruit, car nous avons réussi à atteindre un bruit égal à $\sim 3.3\mu\text{V}$ en mode Clamp & Sample (vs $20\mu\text{V}$ pour l'ASPIC). Cependant, son fonctionnement en mode CF1 (forçant le gain à 1) et sa polarisation ont été défaillant. C'est pourquoi une nouvelle version du CROC a été conçu pour résoudre ces problèmes.
- Pour la lecture d'un CCD LBNL, nous avons utilisé la carte ADC créée par le groupe LSST, mais dans DAMIC-M, il est prévu de changer cet ADC en un autre plus rapide. C'est pourquoi, nous avons choisi le LTC2387-18 qui est un ADC à 18 bits qui peut atteindre une vitesse de $\sim 15\text{ MSPS}$. La caractérisation de cet ADC a montré de bonnes performances : un bruit à 10.5 Mhz de $\sim 40\mu\text{V}$ et une bonne linéarité (INL) moins de 4 LSB. De même, tous les résultats obtenus confirment les valeurs de paramètres données par la fiche technique de du constructeur.
- Afin de détecter les particules de matière noire, les CCD doivent être refroidis par un système cryogénique à faible bruit. C'est pourquoi, nous avons utilisé un cryostat, où nous avons implémenté le CCD. Ce dernier a été refroidi par un Cryocooler via une tête cryogénique à une température égale à 140K et sous une pression d'ordre de 10^{-6} mbar . En utilisant le système actuel (ASPIC, CABAC et ADC à 18 bits 1.8 MSPS), et après de nombreuses modifications afin d'obtenir une configuration optimale du système de lecture, nous avons réussi à détecter des particules cosmiques en lisant le CCD avec un bruit de lecture égal à $5.5\bar{e}$.

Ce bruit sera amélioré à l'avenir, en changeant le CCD standard par un Skipper CCD et l'ASIC de lecture (ASPIC) par CROC et en créant une nouvelle carte de contrôle plus sécurisée contenant quatre CABAC.

Annexe A

Glossaire

Acronyme

ADC	Analog to Digital Converter
ASIC	Application-specific integrated circuit
ASPIC	Analog Signal Processing IC
CABAC	Clocks and Biases ASIC for CCD
CCD	Charge Coupled Device
CDS	Correlated Double Sampling
CROC	CCD ReadOut Chip
DAC	Digital Analog Converter
DAMIC	Dark Matter In CCD
DNL	Differential nonlinearity
DSI	Dual Slope Integrator
FPGA	Field Programmable Gate Arrays
INL	Integral nonlinearity
LBNL	Lawrence Berkeley National Laboratory
LSB	Least Significant Bit
LSST	Large Synoptic Survey Telescope
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSPS	Mega-Samples Per Second
RMS	Root Mean Square
SAR	Successive Approximation Register
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
THD	Total Harmonic Distortion

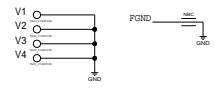
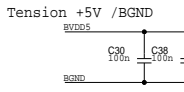
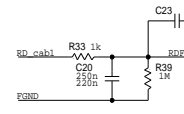
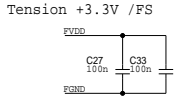
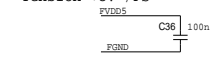
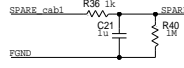
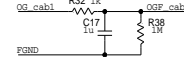
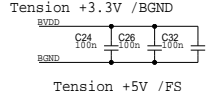
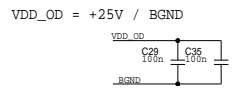
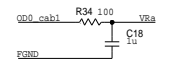
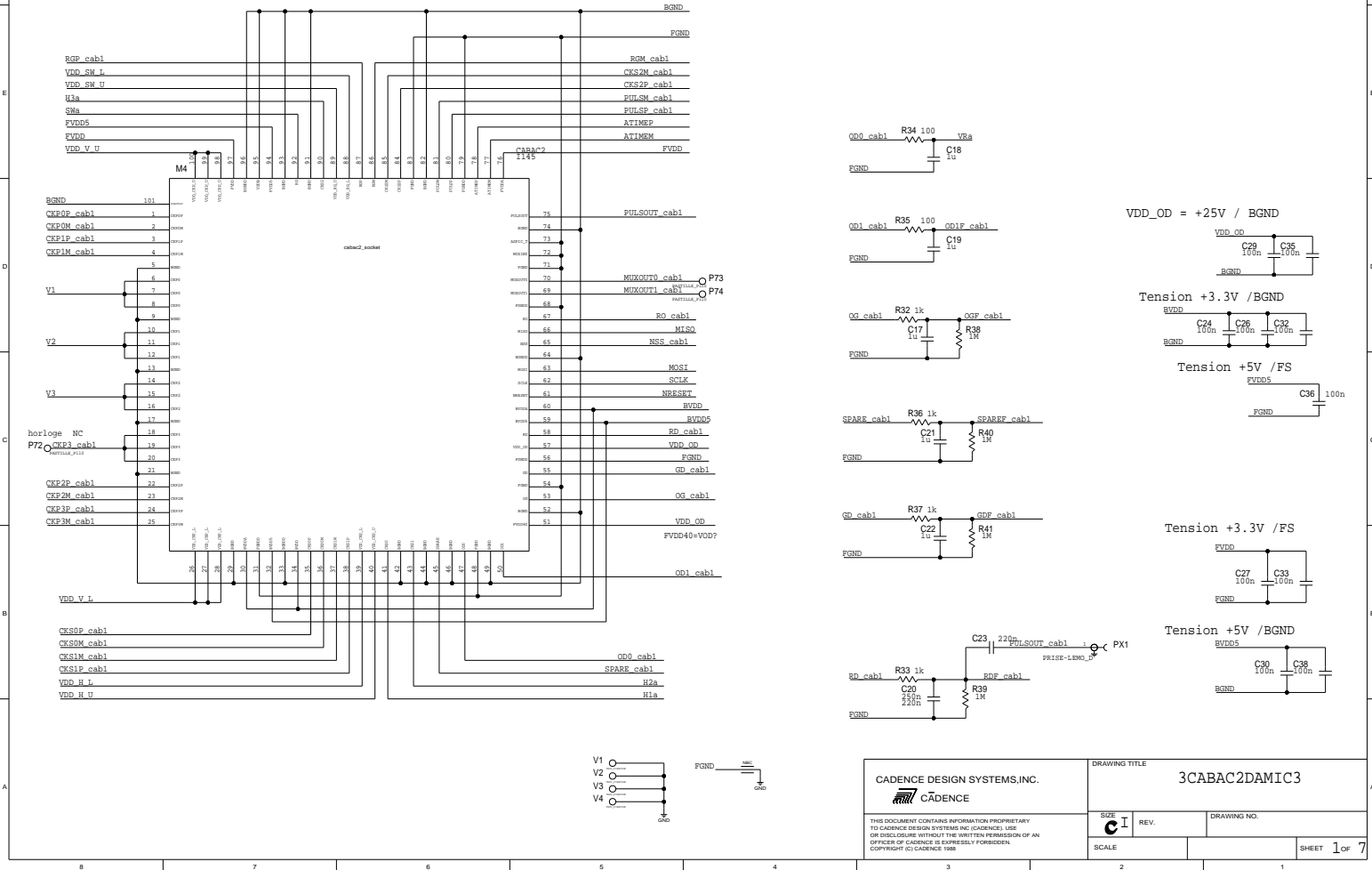
Annexe B

Cartes Électroniques

Schéma de carte supportant 3 CABAC

REVISIONS		DATE	APPR.
ZONE	LTR		

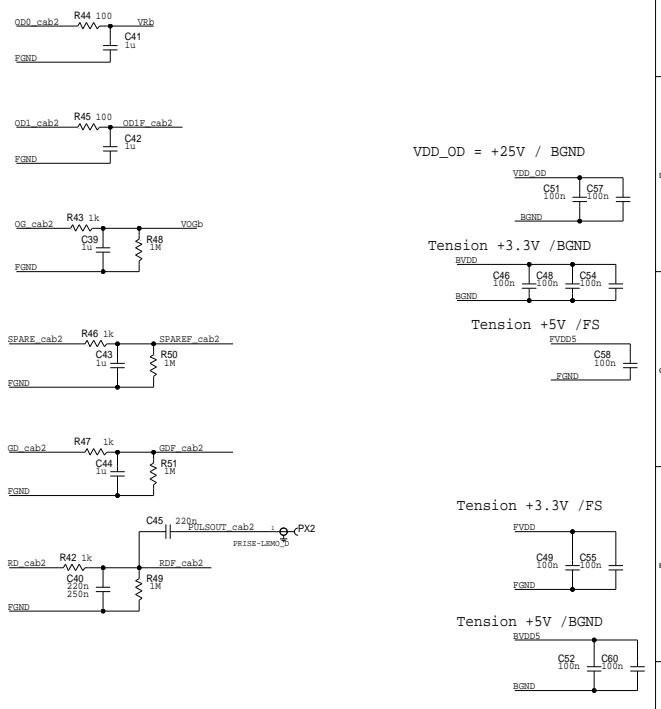
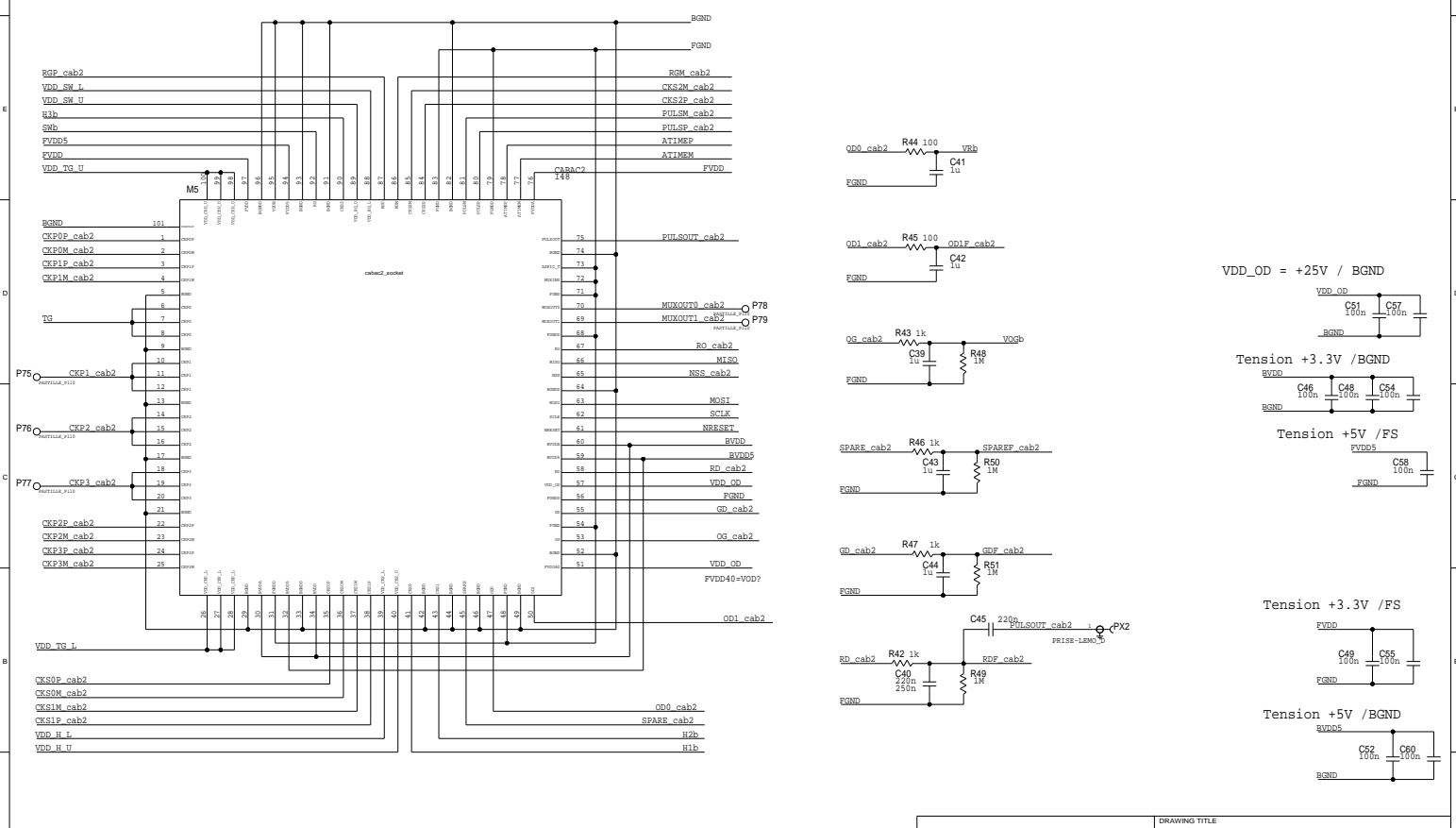
CABAC2_1



<p>CADENCE DESIGN SYSTEMS, INC.</p> <p>THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS INC (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.</p>	DRAWING TITLE	
	<p>3CABAC2DAMIC3</p>	
SCALE	REV.	DRAWING NO.
		SHEET 1 OF 7

CABAC2_2

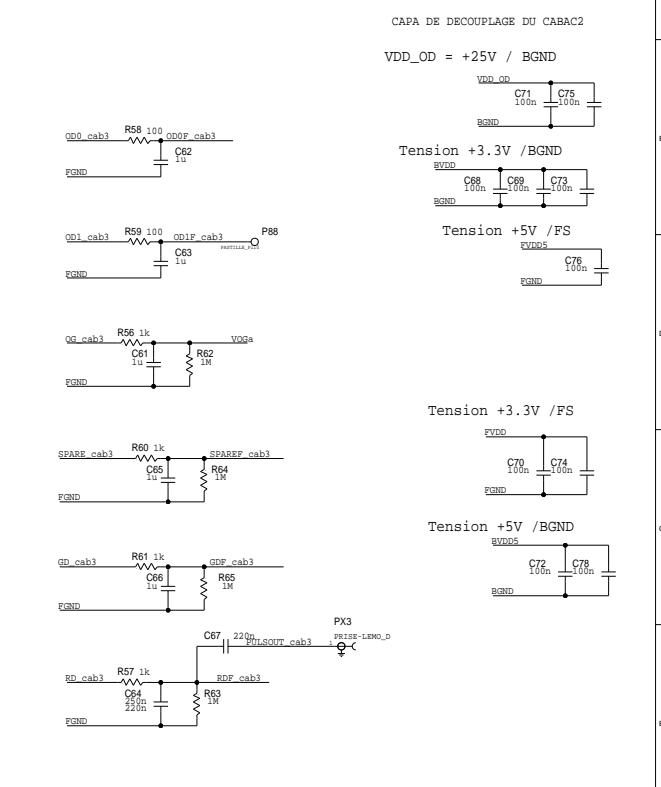
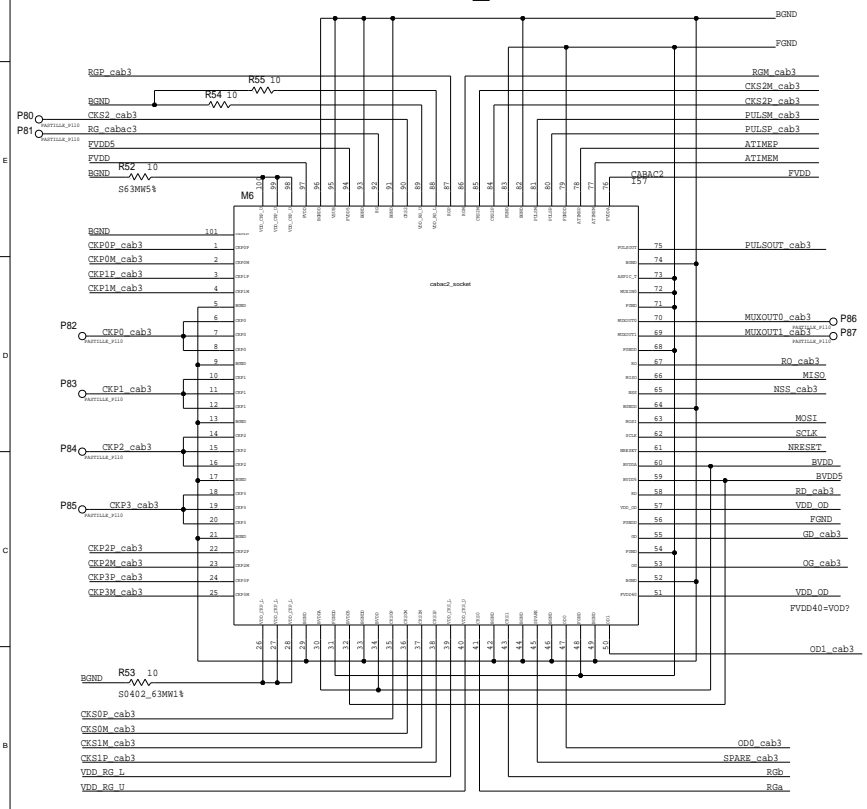
REVISIONS		DATE	APPR.
ZONE	LTR	DESCRIPTION	



<p>CADENCE DESIGN SYSTEMS, INC.</p> <p>THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS, INC. (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.</p>	DRAWING TITLE	
	3CABAC2DAMIC3	
SCALE	REV.	DRAWING NO.
		SHEET 2 of 7

REVISIONS		DATE	APPR.
ZONE	LTR	DESCRIPTION	

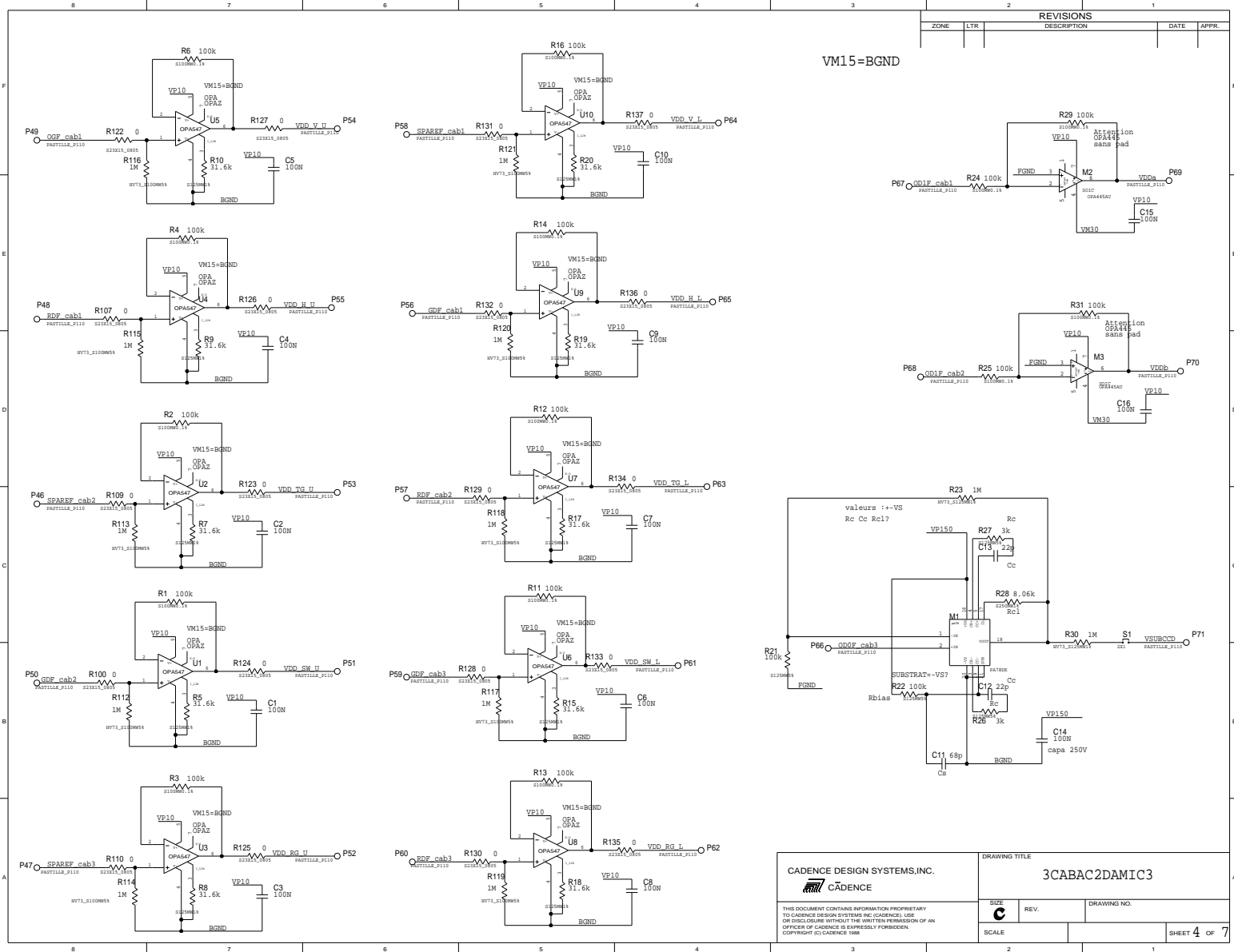
CABAC2_3



CADENCE DESIGN SYSTEMS, INC. 	DRAWING TITLE	
	3CABAC2DAMIC3	
THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS INC. (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.	SCALE	DRAWING NO.
	SCALE	SHEET 3 OF 7

ZONE		LTR		REVISIONS		DATE	APPR.
				DESCRIPTION			

VM15=BGND

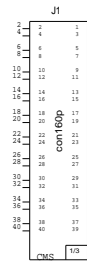
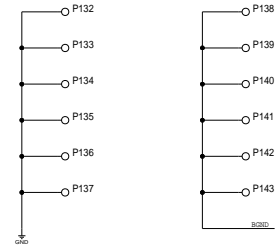
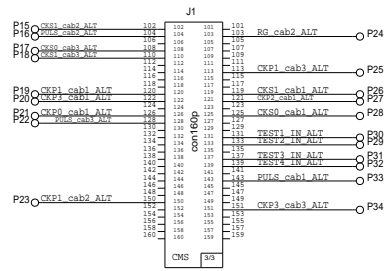
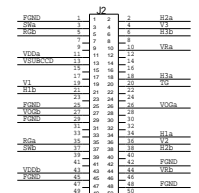
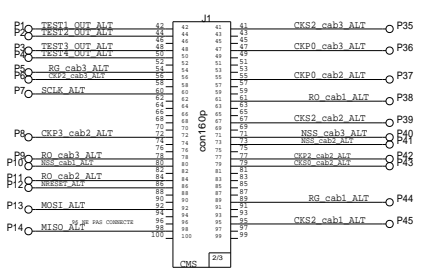


CADENCE DESIGN SYSTEMS, INC. 		DRAWING TITLE 3CABAC2DAMIC3	
<small>THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS INC. (CADENCE), USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.</small>		SIZE C	REV. 1
SCALE		DRAWING NO. SHEET 4 OF 7	

REVISIONS			
ZONE	LTR	DESCRIPTION	DATE

connecteursamtec

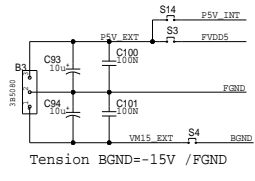
connecteur de sortie
3 CABAC



CADENCE DESIGN SYSTEMS, INC. 	DRAWING TITLE	
	3CABAC2DAMIC3	
THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS INC (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.	SCALE	DRAWING NO.
	SCALE	SHEET 5 OF 7

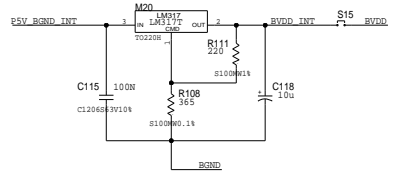
REVISIONS			
ZONE	LTR	DESCRIPTION	DATE

Tension+5V/FGND

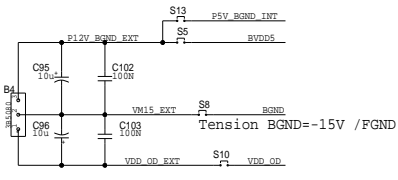


Tension BGNDD=-15V /FGND

Tension +3.3V /BGNDD

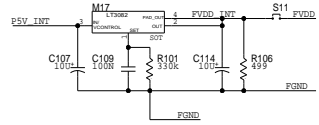


Tension5V_BGNDD=+5/BGNDD

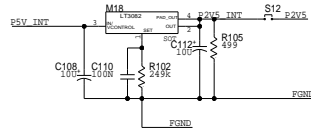


Tension VDD_OD=+25V/BGNDD

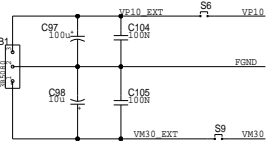
Tension +3.3V /FGND



Tension +2.5V /FGND

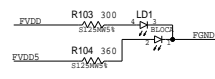


Tension VP10=+10V /FGND

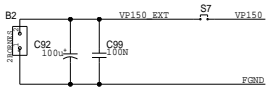


Tension VM30=-30V

Retourner les led!!!!

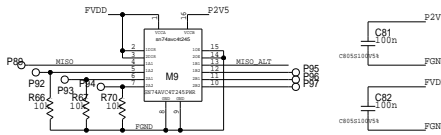


TensionVM150=150V

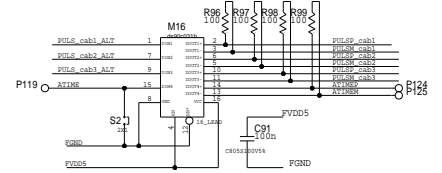


CADENCE DESIGN SYSTEMS, INC. 		DRAWING TITLE 3CABAC2DAMIC3	
THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS INC (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.		SIZE C	REV. DRAWING NO.
SCALE		SHEET 6 OF 7	

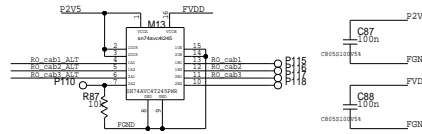
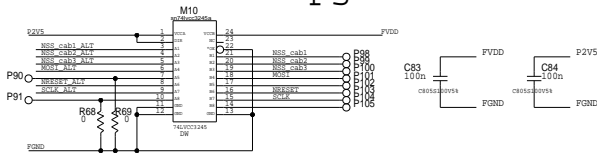
cabac vers fpga 3.3v-->2.5v



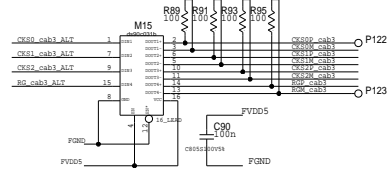
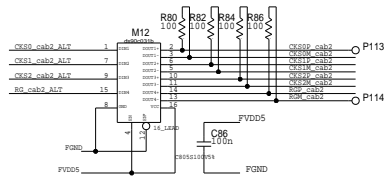
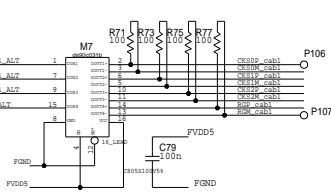
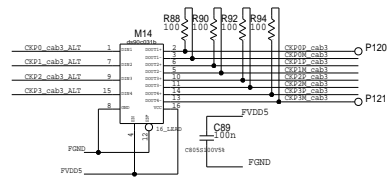
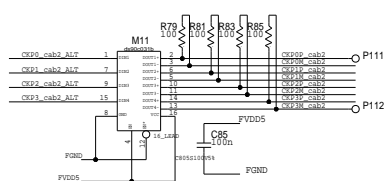
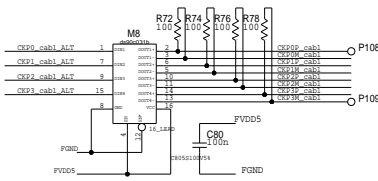
fpga vers cabac2 2.5v-->lvds



fpga vers cabac 2.5v-->3.3v



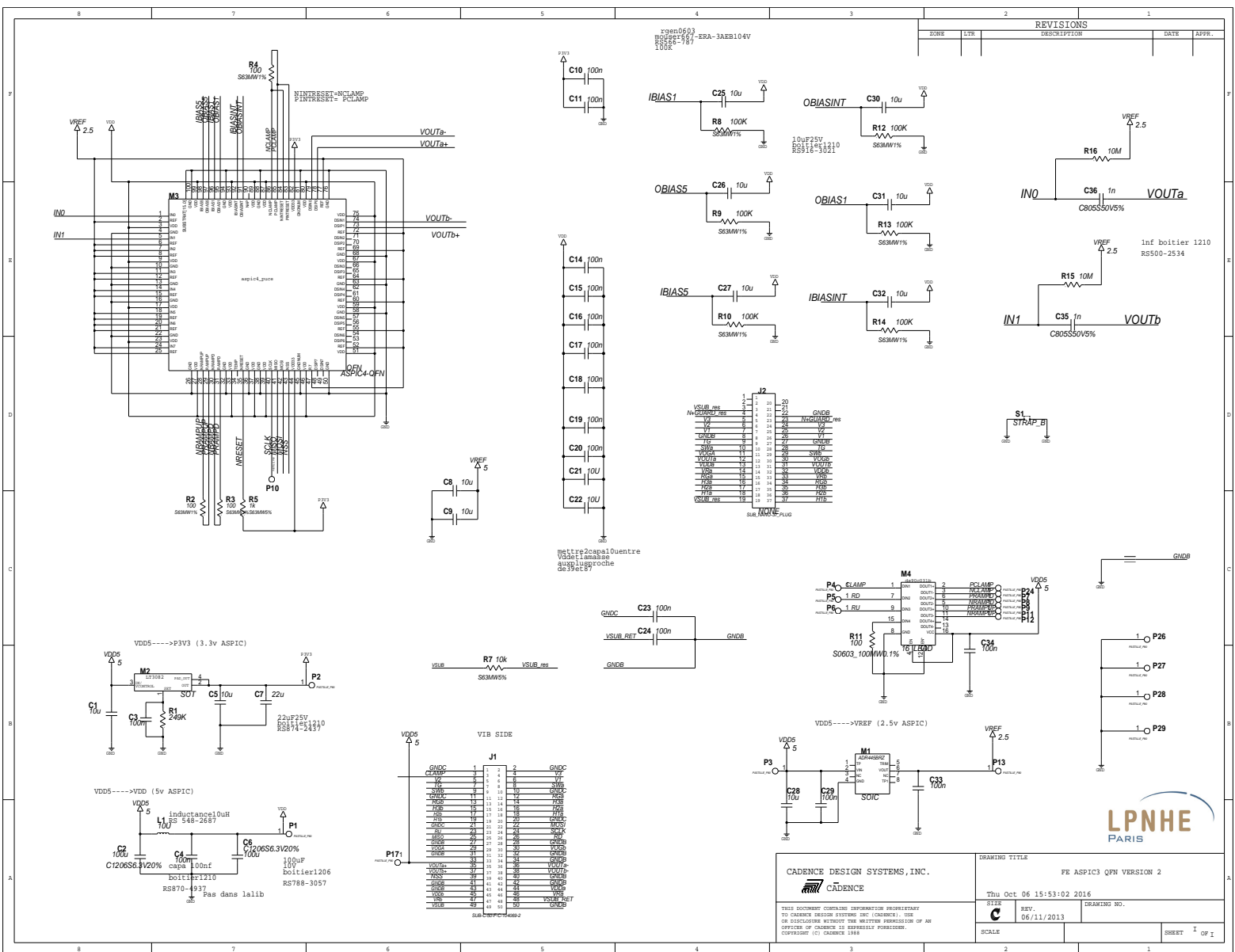
fpga vers cabac1 2.5v-->lvds



REVISIONS		DATE	APPR.
ZONE	LTR	DESCRIPTION	

CADENCE DESIGN SYSTEMS, INC. 		DRAWING TITLE	
THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS INC (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998		3CABAC2DMIC3	
SCALE	REV.	DRAWING NO.	SHEET 7 OF 7

Schéma de carte supportant l'ASPIC



REVISIONS				
ZONE	15R	DESCRIPTION	DATE	APPR.

F06n0603
 RS878-1210
 100K

IBIAS1 C25 10u
 R8 100K
 S63M01%

OBIASINT C30 10u
 R12 100K
 S63M01%

VREF 2.5
 R16 10M
 C36 1n
 C805550V5%

VREF 2.5
 R15 10M
 C35 1n
 C805550V5%

OBIAS5 C26 10u
 R9 100K
 S63M01%

OBIAS1 C31 10u
 R13 100K
 S63M01%

IBIAS5 C27 10u
 R10 100K
 S63M01%

IBIASINT C32 10u
 R14 100K
 S63M01%

J2	
1	20
2	21
3	22
4	23
5	24
6	25
7	26
8	27
9	28
10	29
11	30
12	31
13	32
14	33
15	34
16	35
17	36
18	37
19	38
20	39
21	40
22	41
23	42
24	43
25	44
26	45
27	46
28	47
29	48
30	49
31	50
32	51
33	52
34	53
35	54
36	55
37	56
38	57
39	58
40	59
41	60
42	61
43	62
44	63
45	64
46	65
47	66
48	67
49	68
50	69
51	70
52	71
53	72
54	73
55	74
56	75
57	76
58	77
59	78
60	79
61	80
62	81
63	82
64	83
65	84
66	85
67	86
68	87
69	88
70	89
71	90
72	91
73	92
74	93
75	94
76	95
77	96
78	97
79	98
80	99
81	100

VDD5 5
 C23 100n
 C24 100n

M4
 P4 ELAMP
 P5 1.8V
 P6 1.8V
 R11 100
 S0603 100M0.1%

VDD5 5
 C34 100n

P26
 P27
 P28
 P29

VDD5 5
 VREF 2.5
 M1
 P3
 C28 10u
 C29 100n
 S01C

VREF 2.5
 P13

VIB SIDE
 J1
 GND5 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

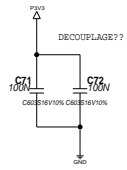
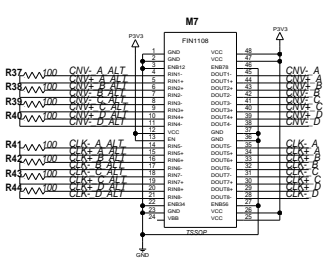


CADENCE DESIGN SYSTEMS, INC. 	DRAWING TITLE	
	FE ASPIC3 QFN VERSION 2	
THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS, INC. (CADENCE). USE OR DISCLOSURE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT (C) CADENCE 1994.	DATE	DRAWING NO.
	Thu Oct 06 15:53:02 2016	
	SCALE	SHEET 1 OF 1

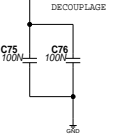
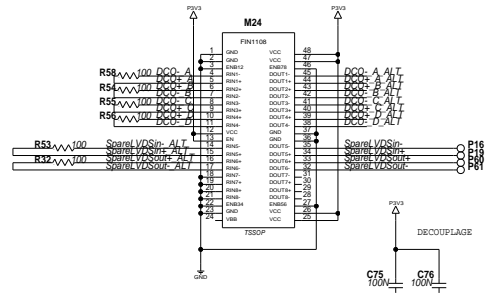
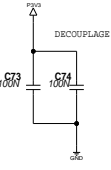
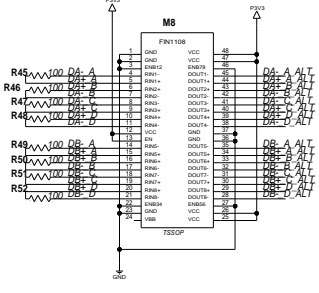
Schéma de carte supportant 4 ADC

REVISIONS			
ZONE	LTR	DESCRIPTION	DATE

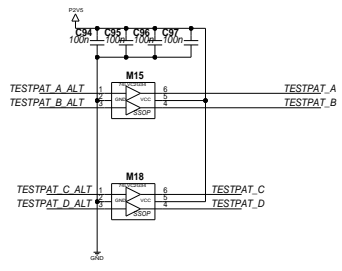
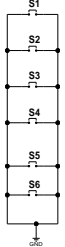
buffer Clock



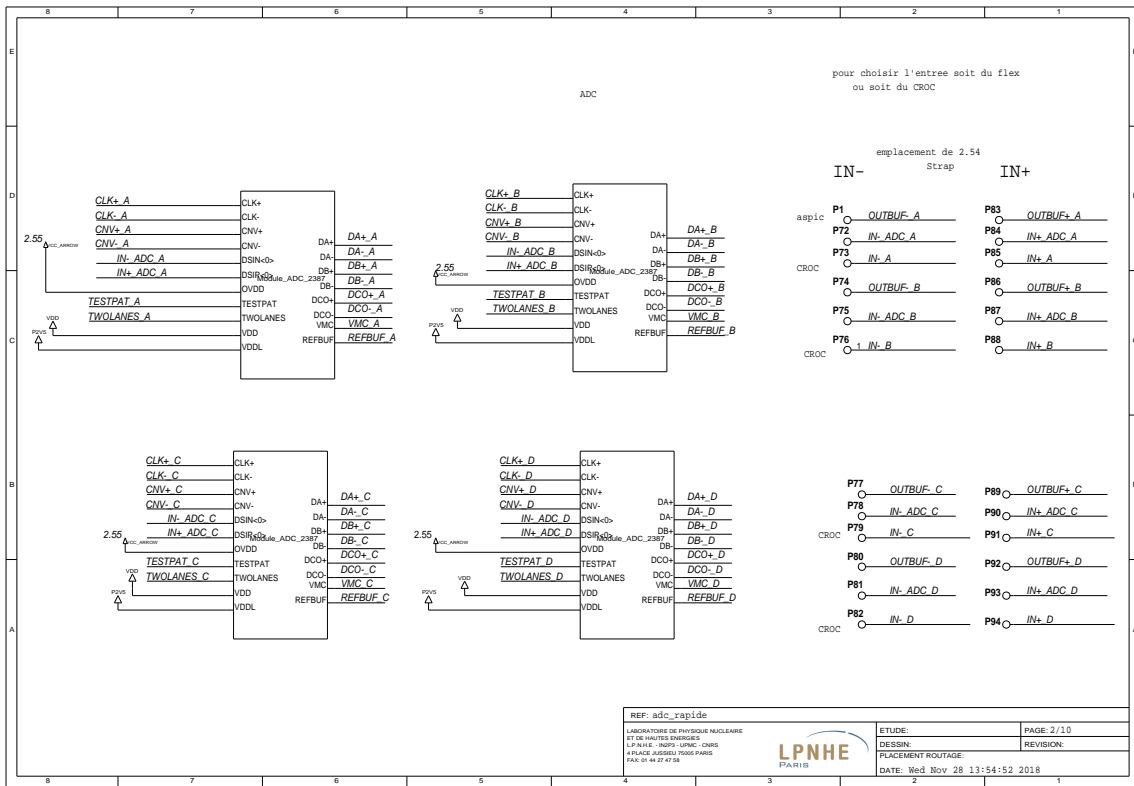
buffer sortie



IL FAUT PARTAGER LES GND SUR LA CARTE dans les espaces libres



CADENCE DESIGN SYSTEMS, INC. 	DRAWING TITLE	
	THIS DOCUMENT CONTAINS INFORMATION PROPRIETARY TO CADENCE DESIGN SYSTEMS, INC. (CADENCE), USE OR DISCLOSE WITHOUT THE WRITTEN PERMISSION OF AN OFFICER OF CADENCE IS EXPRESSLY FORBIDDEN. COPYRIGHT © CADENCE 1998.	SCALE C

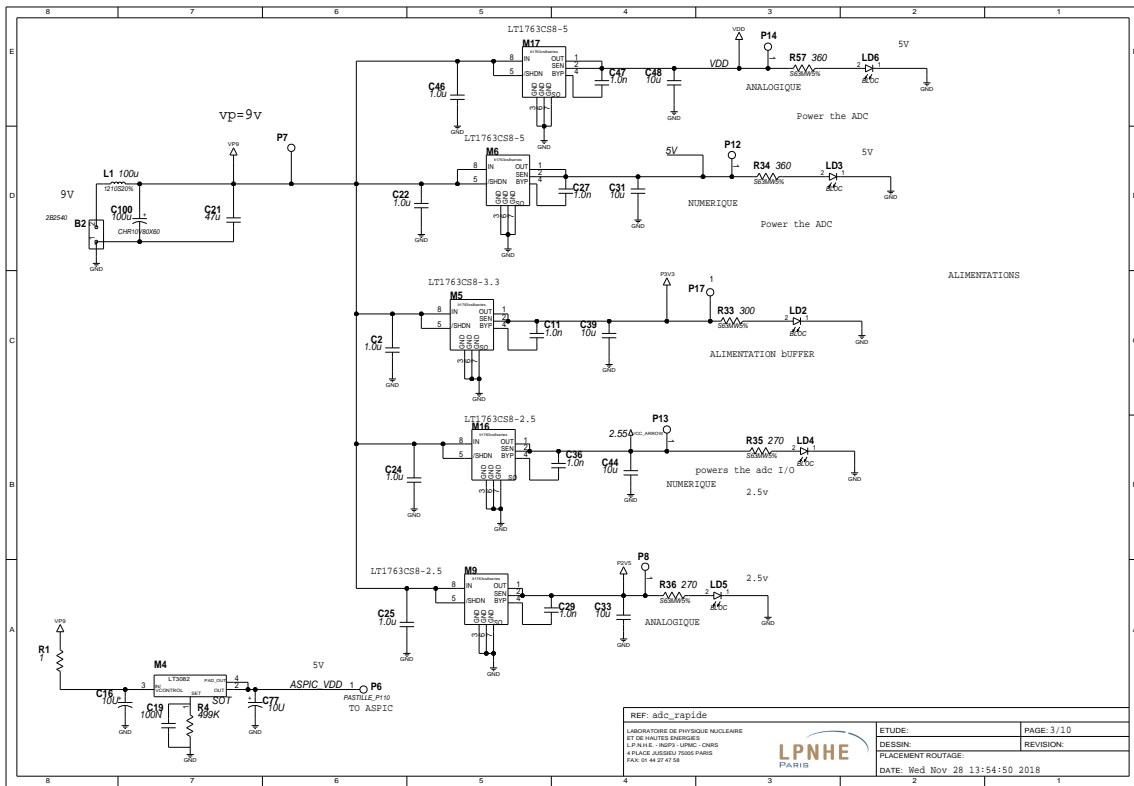


REF: adc_rapide

LABORATOIRE DE PHYSIQUE NUCLEAIRE
ET DE HAUTES ENERGIES
L.P.N.H.E. - IN2P3 - UMR5105 - CNRS
4 PLACE JUSSIEU 75005 PARIS
PAR. 01. 46.27.67.88



ETUDE:	PAGE: 2/10
DESSIN:	REVISION:
PLACEMENT ROUTAGE:	
DATE: Wed Nov 28 13:54:52 2018	



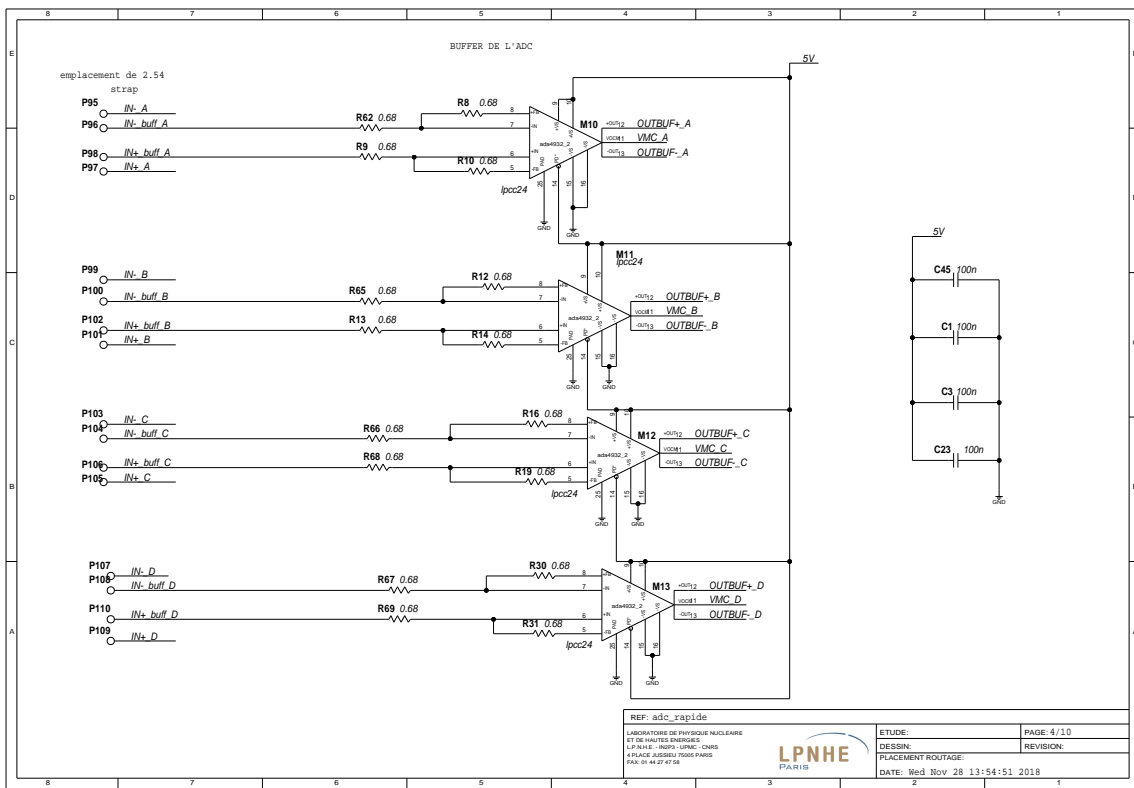
REF: adc_rapide

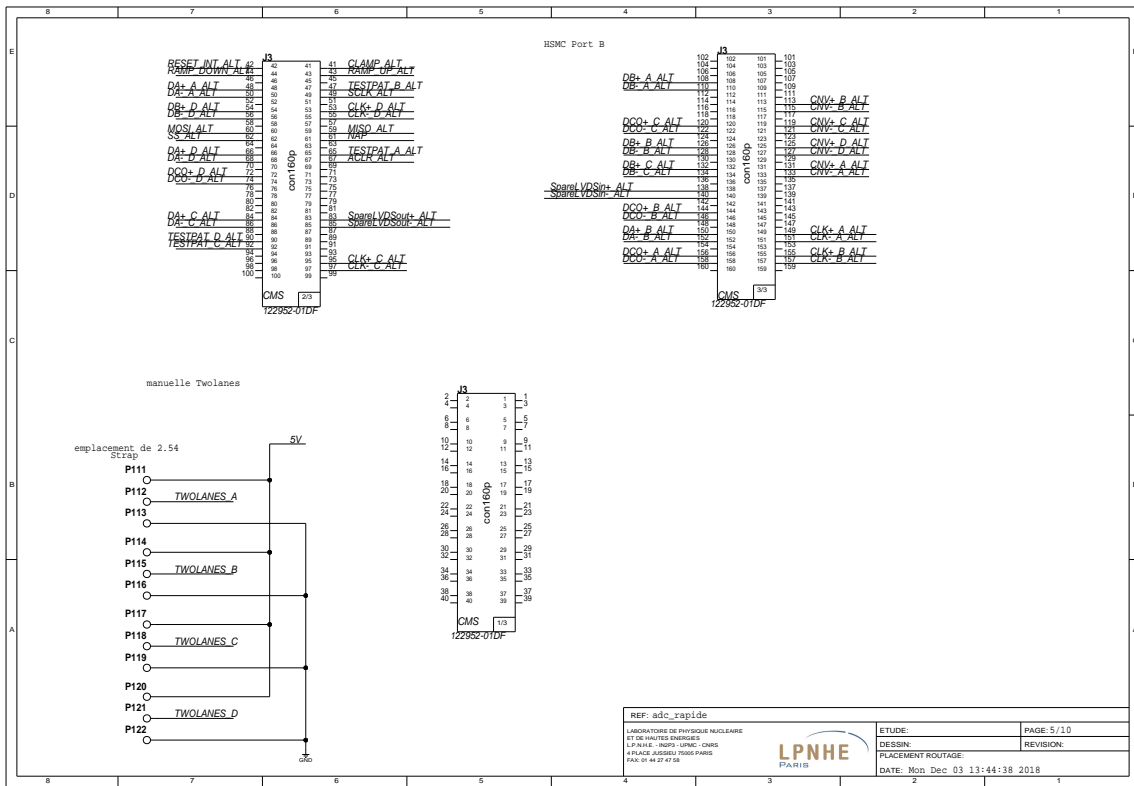
LABORATOIRE DE PHYSIQUE NUCLEAIRE
 ET DE HAUTES ENERGIES
 LE PRINCE - ROSSY - VENEC - CHRS
 4 PLACE JUSSIEU 75005 PARIS
 FAX: 01 42 77 67 88

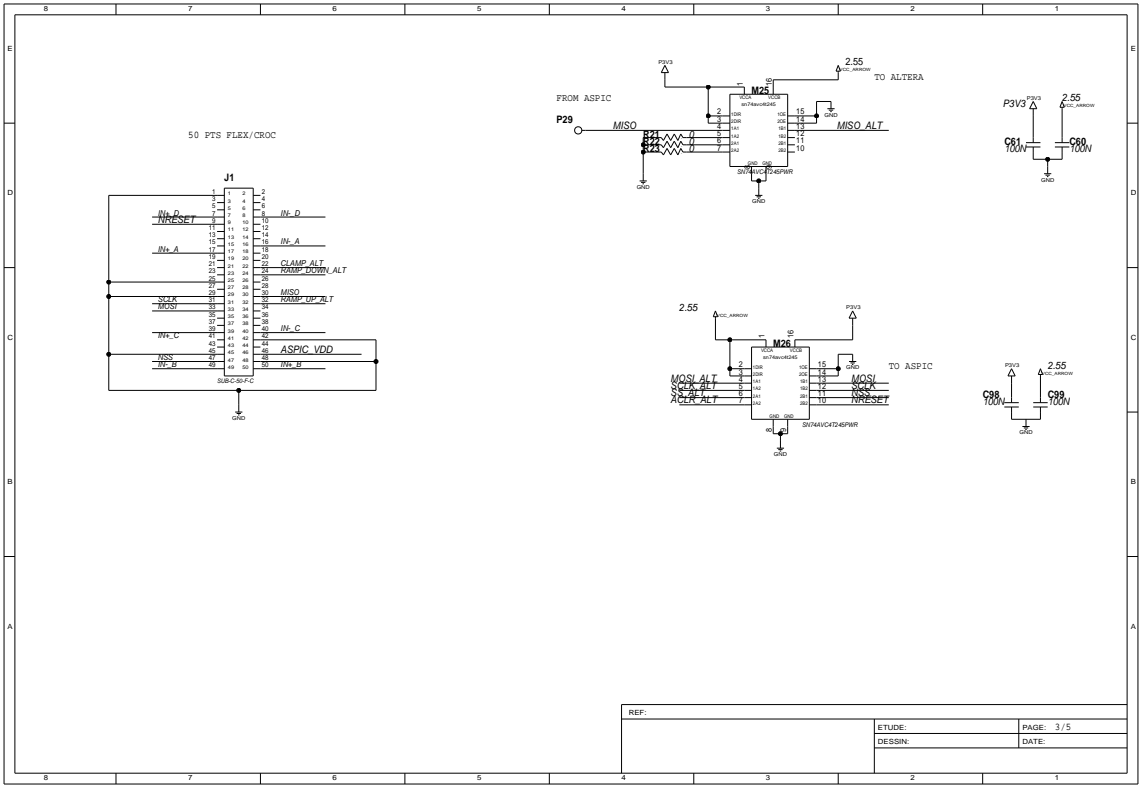


ETUDE: _____
 DESSIN: _____
 PLACEMENT ROUTAGE: _____

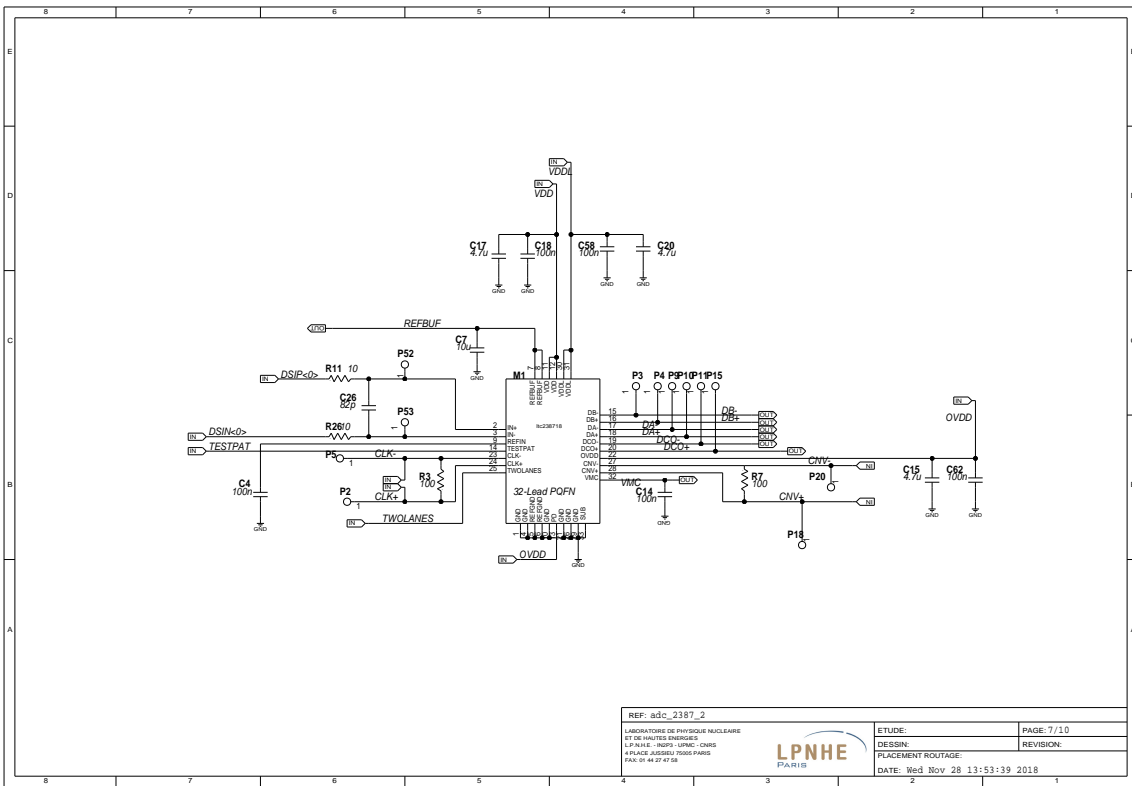
PAGE: 3/10
 REVISION: _____
 DATE: Wed Nov 28 13:54:50 2018







REF:	ETUDE:	PAGE: 3 / 5
	DESSIN:	DATE:



REF: sdc_2387_2

LABORATOIRE DE PHYSIQUE NUCLEAIRE
 ET DE HAUTES ENERGIES
 LE PAVILLON - 91190 - URSNY - FRANCE
 4 PLACE JUSSIEU 75230 PARIS
 FAX: 01 42 77 47 88



ETUDE:	PAGE: 7 / 10
DESSIN:	REVISION:
PLACEMENT ROUTAGE:	
DATE: Wed Nov 28 13:53:39 2018	

