



HAL
open science

Nouveaux composants électroniques à base du matériau AlN pour les futures applications de puissance

Idriss Abid

► **To cite this version:**

Idriss Abid. Nouveaux composants électroniques à base du matériau AlN pour les futures applications de puissance. Micro et nanotechnologies/Microélectronique. Université de Lille, 2021. Français. NNT : 2021LILUI042 . tel-03482762

HAL Id: tel-03482762

<https://theses.hal.science/tel-03482762v1>

Submitted on 16 Dec 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THESE

Présentée à l'Université de Lille

Ecole Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE

Spécialité : **Electronique, Microélectronique, Nanoélectronique**
et **Micro-Ondes**

Par

Idriss ABID

Nouveaux composants électroniques à base du matériau AlN pour les
futurs applications de puissance

Soutenance le 12 juillet 2021 devant la Commission d'examen :

Rapporteurs : Mme Nathalie LABAT Professeur (Université de Bordeaux)
M. Frédéric MORANCHO Professeur (Université de Toulouse)

Directeur de thèse : M. Farid MEDJDOUB Chercheur CNRS (IEMN)

Examineurs : M. Abdallah OUGAZZADEN Professeur (Georgia Institute of Technology)
M. Yvon CORDIER Directeur de recherche CNRS (CRHEA)
M. Katir ZIOUCHE Professeur (Université de Lille)

Remerciements

En ce début de partie, j'aimerais exprimer ma profonde et amicale reconnaissance à mon directeur de thèse, Dr. Farid MEDJDOUB et le remercier par la même occasion pour sa disponibilité permanente, ses précieux conseils ainsi que le partager de ses brillantes intuitions qui m'ont permis de mener à bien cette thèse.

Je remercie évidemment Dr. Katir ZIOUCHE, Professeur à l'Université de Lille, pour avoir accepté de présider le jury de soutenance.

Je remercie également Mme Nathalie LABAT, Professeur à l'Université de Bordeaux et M. Frédéric MORANCHO, Professeur à l'Université de Toulouse d'avoir accepté de rapporter ces travaux et remercie M. Abdallah OUGAZZADEN, Professeur à Georgia Institute of Technology et M. Yvon CORDIER, Directeur de recherche au Centre de Recherche sur l'Hétéro-Epitaxie et ses applications pour avoir pris de leur temps pour examiner mes travaux et d'avoir accepté de faire partie de mon jury de thèse.

Au cours de ces quelques années, l'environnement dans lequel j'ai été amené à travailler m'a permis d'évoluer scientifiquement comme humainement. Pour cette raison, je souhaite remercier l'ensemble du personnel salle blanche, pour leur temps et leurs aides ainsi que l'ensemble des personnes de la centrale de caractérisation et plus particulièrement Etienne OKADA pour sa disponibilité et son expérience.

Pour ces travaux, j'ai eu la chance de bénéficier de plusieurs collaborations avec différents partenaires, que je remercie.

Bien sûr, je n'oublie pas mon équipe, qui a changé dans le temps, mais qui m'a accompagné chaque jour. Je tiens à remercier les anciens membres de l'équipe dont Tommy DEFAIS et Ezgi DOGMUS qui m'ont tant apporté et avec qui j'ai tant appris. Sans oublier Riad KABBOUCHE qui fut la première personne du groupe que je rencontre et avec qui j'ai tant rigolé et partagé au quotient. Il m'a formé, guidé et conseillé comme un ami et pour ces raisons, je lui en serais toujours reconnaissant et me considère chanceux d'avoir croisé son chemin.

Je remercie également tous les membres de mon équipe actuelle, à savoir :

Kathia HARROUCHE pour sa gentillesse et l'énergie qu'elle dégage malgré les siroccos continuels qu'elle me fait manger. Je te suis redevable pour les soirées uniques passées au bureau et en salle blanche jusqu'à pas d'heure auxquelles on ne s'ennuie jamais. Je te souhaite bon courage pour la rédaction de ton manuscrit (shakespeareien) et pour ta soutenance que tu vas assurer.

Jash MEHTA pour sa bonne humeur, sa motivation et à son partage à la cuisine. Je te remercie pour ces discussions de tout et de rien en anglais et lui est redevable d'avoir apporté une touche d'Anglais au groupe. Je te souhaite bon courage pour ta thèse et te souhaite un maximum de résultats.

Elodie CARNEIRO pour sa sympathie et son comportement avenant. Au vu de ton sérieux et de ton efficacité en salle blanche, la thèse risque de n'être qu'une formalité pour toi. Prends bien soin de la machine à café.

Walid RILI qui a su apporter un soutien au groupe. Je te remercie pour la bonne ambiance que tu apportes et te souhaite bon courage pour les longues heures qui t'attendent en carac. Et j'attends avec impatience l'occasion d'aller faire enfin un foot avec toi.

Lena CHENU pour son aide en salle blanche. Je te remercie de m'avoir épaulé pour les process durant ma rédaction et dans mes 10 000 échantillons. Tu es une travailleuse motivée et n'hésites pas à te lever très tôt pour faire le travail. Je suis certain que tout ira bien pour toi. Je te souhaite toute la réussite.

Youssef HAMD AOUI pour son dévouement et son enthousiasme communicatif. Tu es une personne sur qui on peut compter. Tu es également un bosseur et tu as un esprit scientifique qui te sera très utile pour la suite. Je te souhaite beaucoup de force, de patience et de persévérance pour ta future thèse.

Yazid AMMOUR, l'homme capable de tout faire, je te remercie pour la bonne ambiance que tu apportes. Tu montres une très forte motivation et malgré le fait que l'on n'ait pas encore commencé la carac, je te souhaite bon courage pour les longues journées de mesures qui t'attendent.

Je remercie également l'ensemble de mes collègues du laboratoire que j'ai côtoyé tous les jours.

Enfin et avant tout, je remercie ma famille qui m'a accompagné, soutenu et encouragé tout au long de la réalisation de ma thèse et sans qui je n'aurais jamais été capable de faire quoi que ce soit.

RESUME

Les semiconducteurs à large bande interdite tels que le GaN et SiC sont des matériaux de choix pour les applications de forte puissance. En effet, les propriétés du matériau GaN, notamment la haute densité et mobilité des électrons du gaz bidimensionnel des hétérostructures associées permettent de réaliser un excellent compromis entre la résistance à l'état passant (R_{on}) et la tension de claquage. De plus, les récents progrès en matière de croissance de GaN sur substrat silicium (111) laissent espérer l'intégration future de composants de forte puissance à bas coût avec des technologies matures de type CMOS. Afin de repousser davantage les limites des transistors à haute mobilité électronique (HEMT) en GaN pour la conversion de puissance, l'un des défis est de repousser la tenue en tension de cette filière.

Dans ce cadre, nous avons, tout d'abord, étudié électriquement les couches tampons (buffer) par décomposition de l'empilement. Plusieurs hétérostructures ont été analysées avec une croissance stoppée à différents stades. De cette manière, nous avons été en mesure d'évaluer séparément le processus de conduction et de claquage de la couche de nucléation d'AlN, du buffer AlGaIn et de l'empilement des couches jusqu'à une couche GaN dopée carbone. Une seconde étude a permis de développer un buffer à base de super-réseaux (paires AlN/GaN ultrafines). Afin de mettre en évidence les avantages obtenus avec ce type de buffer, non seulement en termes de tenue en tension mais aussi d'effets de pièges réduits, une comparaison des caractérisations électriques avec un buffer standard a été réalisée.

Ensuite, nous avons développé une approche innovante basée sur l'introduction d'une couche épaisse d'AlN au sein de tranches gravées suivie d'un dépôt par électrolyse de cuivre épais en face arrière. Le matériau AlN constitue une barrière de potentiel après le dépôt de l'électrode métallique sur la face-arrière, étape indispensable dans les convertisseurs de puissance de type DC/DC par exemple. Après avoir vérifié le bénéfice de cette solution au niveau de la tension de claquage, nous avons analysé son impact sur les pièges, la dissipation thermique et les contraintes mécaniques.

Enfin, partant du principe que l'électronique à base de matériaux à grands gaps tels que le GaN et le SiC arrive à maturité, les matériaux à ultra large bande interdite tels que l'AlN (6,2 eV) ou l'AlGaIn riche en Al, pourraient permettre de repousser les limites en tension ou en température. En outre, l'utilisation d'un buffer AlN permettrait à la fois d'augmenter le confinement des électrons dans le canal du transistor mais aussi d'améliorer la dissipation thermique. Nous avons donc mené une étude préliminaire sur différentes configurations de transistors à base d'AlN et de canaux en AlGaIn, qui montre toutes les promesses de cette filière émergente.

Sommaire

LISTE DES ABREVIATIONS.....	9
INTRODUCTION GENERALE	11
CHAPITRE 1	13
INTRODUCTION AUX TRANSISTORS DE PUISSANCE DE TYPE HEMT A BASE DE GAN	13
1. CONTEXTE DE L'ELECTRONIQUE DE PUISSANCE	13
a. Généralités.....	13
b. Applications et marché.....	15
2. PROPRIETES DU GAN	18
a. Structure cristallographique	18
b. Structure de bandes électroniques	20
c. Croissance et Dopage	21
d. Propriétés physiques (EG , EC , μ , ϵ_r , κ)	22
3. TRANSISTOR HEMT GAN.....	23
a. Description de l'empilement typique d'un transistor GaN	23
b. Gaz bidimensionnel d'électrons.....	27
c. Techniques de fabrication	28
d. Techniques de caractérisation électrique.....	37
4. LIMITATIONS DES TRANSISTORS LATERAUX	41
a. Limitations du R_{ON} dynamique.....	41
b. Conduction parasite à l'interface du substrat Si.....	43
c. Transistors GaN de type normally-off	44
5. ETAT DE L'ART	45
CONCLUSION DU CHAPITRE 1	46
CHAPITRE 2	48
OPTIMISATION DU BUFFER AU SEIN DE TRANSISTORS DE PUISSANCE GAN NORMALLY-OFF.....	48
1. ANALYSE DU BUFFER PAR DECOMPOSITION	49
a. Description des structures	49
b. Caractérisations électriques	51
2. ETUDE D'UNE NOUVELLE ARCHITECTURE DE BUFFER A BASE DE SUPER RESEAUX	55

a.	<i>Comparaison du buffer référence (step-graded : gradient de buffer) et super-réseaux (SL)</i>	55
3.	DEVELOPPEMENT DE TRANSISTORS A BUFFER SL DE TYPE NORMALLY-OFF	64
a.	<i>Solution technologique choisie</i>	64
b.	<i>Fabrication des composants</i>	70
c.	<i>Caractérisations électriques</i>	75
	CONCLUSION DU CHAPITRE 2	79
	CHAPITRE 3	81
	GRAVURE LOCALISEE DU SUBSTRAT (LSR)	81
1.	PRESENTATION DU PRINCIPE DE GRAVURE LOCALISEE DU SUBSTRAT	81
2.	OPTIMISATION DE LA BRIQUE TECHNOLOGIQUE	82
a.	<i>Preuve de concept : transistors fabriqués à l'IEMN</i>	89
b.	<i>Application de l'approche à des composants industriels larges</i>	100
	CONCLUSION DU CHAPITRE 3	109
	CHAPITRE 4	111
	VERS L'IMPLEMENTATION DE SEMI-CONDUCTEURS A ULTRA LARGE BANDE INTERDITE	111
1.	INTRODUCTION AUX MATERIAUX A ULTRA LARGE BANDE INTERDITE	111
2.	HETEROSTRUCTURES AVEC BUFFER EN ALN	112
a.	<i>Description des structures</i>	113
b.	<i>Caractérisations électriques</i>	114
c.	<i>Mesure en température</i>	117
3.	IMPACT DE L'ÉPAISSEUR DU CANAL GAN SUR BUFFER ALN	117
a.	<i>Description des structures</i>	117
b.	<i>Caractérisations électriques</i>	118
4.	STRUCTURE A CANAL ALGAN	121
a.	<i>Description des structures</i>	122
b.	<i>Caractérisations électriques</i>	123
c.	<i>Contact ohmique par recroissance</i>	131
	CONCLUSION DU CHAPITRE 4	134
	CONCLUSION GENERALE	136
	PERSPECTIVES ET FUTURS TRAVAUX	138
1.	FIABILITE DES TRANSISTORS GAN A 1200 V AVEC BUFFER SUPER RESEAUX : MESURES DYNAMIQUES ET VIEILLISSEMENT	138

2. PROCÉDE DE FABRICATION DE TRANSISTORS NORMALLY OFF INNOVANTS SANS GRAVURE DE LA COUCHE GAN DOPEE P	139
3. UTILISATION DU PROCÉDE DE GRAVURE LOCALISEE DU SUBSTRAT POUR LE DEVELOPPEMENT DE TRANSISTORS VERTICAUX	140
4. DEVELOPPEMENT DE TRANSISTORS DE PUISSANCE A BASE DE UWBG	141
REFERENCES.....	143
LISTE DES PUBLICATIONS	155

LISTE DES ABREVIATIONS

- **GaN** : *Nitride de Gallium*
- **IGBT** : *Insulated-Gate Bipolar Transistor*
- **FET** : *Field Effect Transistor*
- **IGFET** : *Insulated Gate Field Effect Transistor*
- **MOSFET** : *Metal-Oxide-Semiconductor Field Effect Transistor*
- **CMOS** : *Complementary Metal-Oxide-Semiconductor*
- **JFET** : *Junction Field Effect Transistor*
- **Si** : *Silicium*
- **SiC** : *Carbure de Silicium*
- **GaAs** : *Arséniure de gallium*
- **Al₂O₃** : *Saphir*
- **NL** : *Couche de nucléation*
- **RTA** : *Recuit thermique rapide*
- **HEMT** : *Transistor à Haute Mobilité Electronique*
- **MOCVD** : *Metal Organic Chemical Vapor Deposition*
- **2DEG** : *Gaz d'électrons à 2 dimensions*
- **ZCE** : *Zone de Charge d'Espace*
- **GIT** : *Gate Injection Transistor*
- **PECVD** : *Plasma-Enhanced Chemical Vapor Deposition*
- **MOCVD** : *Metal Organic Chemical Vapor Deposition*
- **SiN** : *Nitride de silicium*
- **SiO₂** : *Oxide de silicium*
- **RIE** : *Reactive Ion Etching*
- **ICP** : *Inductive Coupled Plasma*
- **W_g** : *Développement de grille du transistor*
- **l_g** : *Longueur de grille du transistor*
- **GD** : *Distance grille-drain du transistor*
- **GS** : *Distance grille-source du transistor*
- **TLM** : *Transmission Line Measurement*
- **R_c** : *Résistance de contact*
- **MOS** : *Metal-Oxide-Semiconductor*
- **MIS** : *Metal-Insulator-Semiconductor*
- **AlN** : *Nitride d'aluminium*
- **InN** : *Nitride d'indium*
- **BN** : *Nitride de bore*
- **Ga₂O₃** : *Oxide de gallium*
- **DRIE** : *Deep Reactive Ion Etching*
- **GLS** : *Gravure locale du Substrat*
- **SL** : *Super réseaux*
- **I_D** : *Courant de drain*
- **R_{ON,sp}** : *Résistance spécifique à l'état passant*
- **I_{D,max}** : *Courant de drain maximal*
- **V_{DS}** : *Tension drain-source*
- **V_{GS}** : *Tension grille-source*

INTRODUCTION GENERALE

Bien que la pression environnementale pour réduire notre consommation soit forte, la demande mondiale d'énergie continue de croître et vraisemblablement cette tendance ne s'inversera pas. De nos jours, la production d'énergies fossiles représente plus de 80% de la production totale d'énergie dans le monde. D'après l'Agence Internationale de l'Energie (AIE), la demande mondiale d'énergie pourrait augmenter de 45 % d'ici 2030, notamment en raison du développement démographique et de l'industrialisation de pays émergents. Afin de répondre à cette demande d'énergie en perpétuelle croissance, de nouvelles sources d'énergie sont développées. En parallèle, des efforts sont également déployés pour améliorer les systèmes de conversion d'énergie. Cette thématique, en plein essor, impacte de nombreuses applications qui nécessitent des composants aux performances de plus en plus élevées. C'est pourquoi il est indispensable d'améliorer les transistors de puissance qui composent les systèmes de conversion d'énergie, en partie à l'origine de pertes énergétiques dans les circuits.

Afin d'améliorer les performances des composants de puissance actuels, des efforts importants de recherches sont menés sur les matériaux et les technologies associées. Des moyens importants ont notamment été mobilisés dans le développement de transistors de puissance basés sur des semi-conducteurs à «grands gaps», tels que le carbure de silicium (SiC) ou le nitrure de gallium (GaN). Ce dernier permet de repousser les limites des technologies silicium (transistors de type MOSFET ou IGBT), de manière significative, en termes de couple résistance à l'état passant/tension de claquage qui gouverne dans une large mesure le rendement des convertisseurs de puissance. La technologie HEMT (High Electron Mobility Transistor) en GaN permet également de bénéficier d'une tenue en température accrue.

Néanmoins, de nombreux effets physiques limitent les performances à haute tension des transistors GaN, en particulier, les effets de pièges activés sous fort champ électrique qui affectent directement les performances des dispositifs en régime dynamique ou tout simplement la tenue en tension verticale des transistors GaN qui est aujourd'hui limitée à environ 1 kV. Dans ce contexte, cette thèse porte sur le développement et l'étude de transistors GaN sur substrat de silicium pour des applications supérieures à 1 kV. Différentes hétérostructures et techniques de procédé de fabrication innovants ont été développées afin d'améliorer la tenue en tension des transistors tout en prenant en compte l'impact des effets de pièges.

Ce manuscrit résume les travaux réalisés sous 4 chapitres :

Chapitre 1 : Le chapitre 1 décrit le contexte de ces travaux ainsi que les effets physiques qui régissent les transistors GaN de type HEMT. Nous décrivons également les étapes de fabrication et les techniques utilisées de caractérisation des transistors, avant de mettre en avant les verrous technologiques existants et l'état de l'art pour cette filière de composants.

Chapitre 2 : Dans le chapitre 2, après une étude portée sur l'impact des couches tampons qui composent la structure HEMT, nous avons évalué une nouvelle architecture de buffer à base de super-réseaux que nous comparons à une structure commerciale. La supériorité de cette structure à la fois

en termes de tenue en tension mais aussi d'effets de pièges réduits a été étudiée. Enfin, nous avons développé un procédé de fabrication à base d'une couche GaN dopée p sous la grille permettant d'obtenir un comportement normally-off sur cette même architecture de buffer.

Chapitre 3 : Dans le troisième chapitre, nous avons optimisé un procédé de gravure localisée du substrat silicium au sein de transistors GaN. La preuve de concept sur des composants développés à l'IEMN nous a permis non seulement de vérifier le bénéfice drastique de cette approche sur la tension de claquage des transistors mais aussi d'évaluer son impact sur les effets de pièges, la dissipation thermique et les contraintes générées. Nous avons appliqué ce procédé à des composants industriels de 140 mm de développement de grille délivrant un courant élevé (> 10 A), améliorant ainsi leur tenue en tension.

Chapitre 4 : Dans le dernier chapitre, nous présentons l'ensemble des détails de fabrication et de caractérisations électriques et thermiques de transistors à base de matériaux à bande interdite ultra large. Nous avons notamment analysé l'impact de l'épaisseur du canal GaN d'une structure AlGaIn/GaN sur substrat AlN massif. Dans ce cadre, nous avons également étudié une structure à canal AlGaIn à fort taux d'Aluminium où l'ensemble des matériaux utilisés possède une bande interdite supérieure au GaN. Comme attendu, une tension de claquage accrue est observée. Il faut noter qu'un des verrous majeurs des structures riches en Aluminium est la résistance de contact généralement très élevée dû à une mobilité électronique relativement faible. Une technique de recroissance d'une couche GaN fortement dopée n+ sous les contacts ohmiques a été réalisée afin de réduire les résistances de contacts.

Nous terminons par une conclusion et par la présentation des perspectives de ces travaux.

CHAPITRE 1

INTRODUCTION AUX TRANSISTORS DE PUISSANCE DE TYPE HEMT A BASE DE GAN

1. CONTEXTE DE L'ELECTRONIQUE DE PUISSANCE

a. Généralités

L'électronique de puissance joue un rôle primordial dans le traitement, le conditionnement et l'utilisation de l'énergie électrique. Le convertisseur statique à semi-conducteur y est un élément clé. Des chargeurs de batterie de téléphones portables aux grandes interfaces d'éoliennes, l'électronique de puissance touche de nombreux aspects de l'activité humaine. Au cours de ces dernières années, la taille, le poids et le coût des convertisseurs n'ont cessé de diminuer, en grande partie grâce aux progrès réalisés dans le domaine des interrupteurs électroniques. Ces interrupteurs sont des composants commandables qui doivent être capables de supporter les contraintes en courant et en tension imposées par le reste du circuit. Dans le cas idéal, les transitions entre l'état ouvert (ON) et fermé (OFF) sont instantanées, la chute de tension à l'état passant est nulle et le courant est complètement bloqué à l'état OFF pour n'importe quelle tension. En réalité, les interrupteurs de puissance ne remplissent que partiellement ces conditions. Le comportement à l'ouverture, à la fermeture et en régime de conduction de l'interrupteur varie notablement selon le type d'interrupteur utilisé. Comme les puissances en jeu peuvent être importantes, la notion de rendement est essentielle car en plus des pertes, la chaleur devient difficile à évacuer et rend donc le système onéreux.

D'un point de vue chronologique, c'est la diode qui a été inventée la première au tout début du 20^{ème} siècle. En effet, c'est en 1901 que Peter Cooper Hewitt inventa le redresseur à vapeur de mercure. A cette même époque, en voulant améliorer la détection des ondes radio, John Fleming mettra au point la première diode à vide. Ce n'est qu'après la seconde guerre mondiale que la diode à semi-conducteur (à base de germanium ou de silicium) remplacera la diode à vide. Le développement des semi-conducteurs a entraîné la création de nombreuses variétés de diodes, exploitant les caractéristiques de la jonction PN, ou dans le cas des diodes électroluminescentes, des propriétés annexes du matériau. Le transistor à effet de champ (FET) a été observé et expliqué par John Bardeen et Walter Houser Brattain alors qu'ils travaillaient sous la direction de William Shockley aux Laboratoires Bell en 1947. Shockley a imaginé le concept des FET de manière indépendante en 1945, où il a d'abord essayé de moduler, sans succès, la conductivité d'un semi-conducteur composé de germanium et de cuivre. Ils inventèrent à la place un transistor à jonction bipolaire en 1947. Ils reçurent le prix Nobel de physique quelques années plus tard, en 1956. Le premier dispositif FET à avoir été mis au point avec succès est un transistor à effet de champ à jonction (JFET) en 1952 suivi du transistor à effet de champ métal-oxyde-semi-conducteur (MOSFET) en 1959 [1], [2]. Les bases de la technologie MOSFET ont donc été posées par les travaux de Shockley, Bardeen et Brattain. En 1946, Bardeen explique son échec causé par les états de surface. Il a réalisé que les électrons sont piégés dans ces états localisés et forment une couche d'inversion. L'hypothèse de Bardeen a marqué la naissance de la physique des surfaces.

Bardeen a ensuite breveté en 1948 le précurseur du MOSFET, un FET à grille isolée (IGFET) avec une couche d'inversion. La couche d'inversion confine le flux des porteurs minoritaires, augmente la modulation et la conductivité, bien que son transport d'électrons dépende de l'isolant de la grille ou de la qualité de l'oxyde s'il est utilisé comme isolant au-dessus de la couche d'inversion. Le brevet de Bardeen ainsi que le concept de couche d'inversion constituent aujourd'hui la base de la technologie CMOS (*Complementary MOS*) dans lequel les MOSFET à canal p et à canal n sont connectés en série [3]. En 1955, Carl Frosch et Lincoln Derrick ont accidentellement recouvert la surface d'une plaquette de silicium d'une couche de dioxyde de silicium. Ils montrèrent que la couche d'oxyde empêchait certains dopants de pénétrer dans le silicium, tout en laissant passer d'autres. Ils découvrent ainsi l'effet passivant de l'oxydation sur la surface du semi-conducteur. Leurs travaux ultérieurs ont montré comment graver de petites ouvertures dans la couche d'oxyde pour diffuser les dopants dans des zones sélectionnées de la plaquette de silicium. Par la suite, le MOSFET a largement supplanté le transistor bipolaire et le JFET. Grâce à sa grande extensibilité, à sa consommation d'énergie beaucoup plus faible et à sa densité plus élevée que les transistors bipolaires à jonction, le MOSFET a permis le développement des circuits intégrés à haute densité. Le MOSFET est également capable de supporter une puissance supérieure à celle du JFET. Il a été le premier transistor véritablement compact qui a pu être miniaturisé et produit en masse pour une large gamme d'utilisations générant des niveaux de performance et de densité impossibles à obtenir avec des transistors bipolaires. D'un point de vue fonctionnement, le dispositif FET consiste en un canal actif par lequel les porteurs de charges, électrons ou trous, circulent de la source au drain. En effet, les FETs sont des dispositifs à semi-conducteur comportant trois électrodes :

- source (S), par laquelle les porteurs entrent dans le canal.
- drain (D), par lequel les charges quittent le canal.
- grille (G), la borne qui module la conductivité du canal et ainsi contrôle I_D .

Les bornes de source et drain sont connectées au semi-conducteur par des contacts de type ohmique. De plus, la conductivité du canal est fonction du potentiel appliqué entre les bornes de grille et de source. Ces FETs peuvent être fabriqués à partir de divers matériaux tels que le carbure de silicium (SiC), l'arséniure de gallium (GaAs), ou le nitrure de gallium (GaN).

Au milieu des années 1970, la technique de croissance par faisceaux moléculaires (MBE) a été mise au point, de même que la technique de dopage par modulation. En 1979, Takashi Mimura et ses collaborateurs ont fait partie des premiers à concevoir le transistor à haute mobilité d'électrons (HEMT) [4]. L'hétérojonction à dopage modulé conduit à la formation d'un gaz d'électrons bidimensionnelle (2DEG) à l'hétéro-interface entre deux semi-conducteurs de bandes interdites différentes à forte mobilité [5]. Les premières démonstrations de modulation de dopage sur HEMT ont été réalisées avec des empilements AlGaAs/GaAs. Au cours des dernières décennies, les dispositifs de type HEMT ont utilisés divers systèmes de matériaux tels que AlGaAs/GaAs, InP/InAlAs/-InGaAs, SiC. Parmi ces systèmes, les HEMTs AlGaN/GaN sont les structures qui ont fait l'objet de recherches approfondies ces derniers temps de par leurs propriétés physiques exceptionnelles. Ils permettent de

bénéficier d'une forte tenue en tension et possèdent une grande vitesse de saturation des électrons, le positionnant comme un excellent candidat pour les applications de commutation de puissance.

b. Applications et marché

Les composants de puissance pour la gestion de l'énergie sont utilisés dans des applications en constante évolution nécessitant des systèmes de plus en plus compacts, moins chers et plus efficaces. Les divers avantages du GaN sur substrat de silicium (Si), tels que son faible coût et la réduction des besoins de refroidissement, ont renforcé son intérêt par rapport à ses concurrents, comme le silicium et le carbure de silicium (SiC). Il est important de noter que le gallium est un élément de production primaire complexe et ayant un impact important sur l'environnement. Son adoption grandissante ces dernières années a également été renforcée par la demande croissante de composants de puissance à faible consommation d'énergie et haute performance. En effet, l'évolution rapide du marché des composants à base de semi-conducteurs à large bande interdite entre 2018 et 2019 a positionné le SiC et le GaN comme des matériaux clés pour l'électronique de puissance. L'intérêt pour le GaN dans les applications grand public a connu un essor remarquable en raison de ses propriétés physiques avantageuses. Il permet, en effet, de délivrer simultanément une haute tension, un courant élevé et une faible résistance à l'état passant, ce qui se traduit par un fonctionnement à haut rendement sous forte puissance. En outre, sa large bande interdite offre une technologie robuste et fiable, capable de fonctionner à haute température. Cela ouvre donc la voie à un nombre croissant d'applications, notamment dans le domaine de l'électronique grand public, des transports et de l'énergie incluant les domaines de l'automobile et l'aérospatiale. Des exemples de marchés pouvant être ciblés par le GaN sont présentés sur la Figure 1.1. [6]

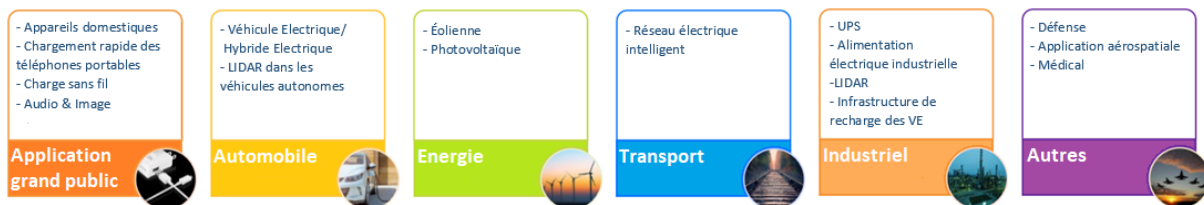


Figure 1.1 : Exemples d'applications dans le domaine de l'électronique de puissance pour les HEMTs GaN.

Actuellement, les transistors GaN disponibles dans le commerce proposent plusieurs gammes de tension :

- Basse tension ($V_{DS,max} < 200 \text{ V}$) qui trouvent leurs applications dans les convertisseurs de puissance DC-DC, les contrôleurs de moteurs (*motor driver*), le transfert de puissance sans fil, les applications LiDAR, les micro-onduleurs solaires et dans la robotique. Ces dispositifs peuvent avoir des résistances à l'état passant inférieures à $2 \text{ m}\Omega$ (pour des courants de drain de plusieurs dizaines d'ampères) [7] jusqu'à $100\text{-}200 \text{ m}\Omega$ (pour des courants de fonctionnement de l'ordre de $0,5\text{-}5 \text{ A}$) [8], [9].

- b) Moyenne tension ($V_{DS, max}$ jusqu'à 650V) : pour des applications telles que les serveurs de télécommunication, les convertisseurs industriels, les onduleurs photovoltaïques, la commande de servomoteurs [10], les applications d'éclairage, les adaptateurs de puissance [11], les amplificateurs de classe D [12], les SMPS de centres de données [13], [14] et pour certaines applications automobiles telles que les systèmes à commande électrique, les systèmes de propulsion électrique et les convertisseurs pour les véhicules électriques (EV) et hybrides.
- c) Haute tension ($V_{DS, max}$ au-delà de 1 kV). Actuellement, aucun transistor GaN n'est disponible dans cette gamme. Les transistors GaN commerciaux les plus puissants ont une tension maximale entre 900 V et 1 kV.

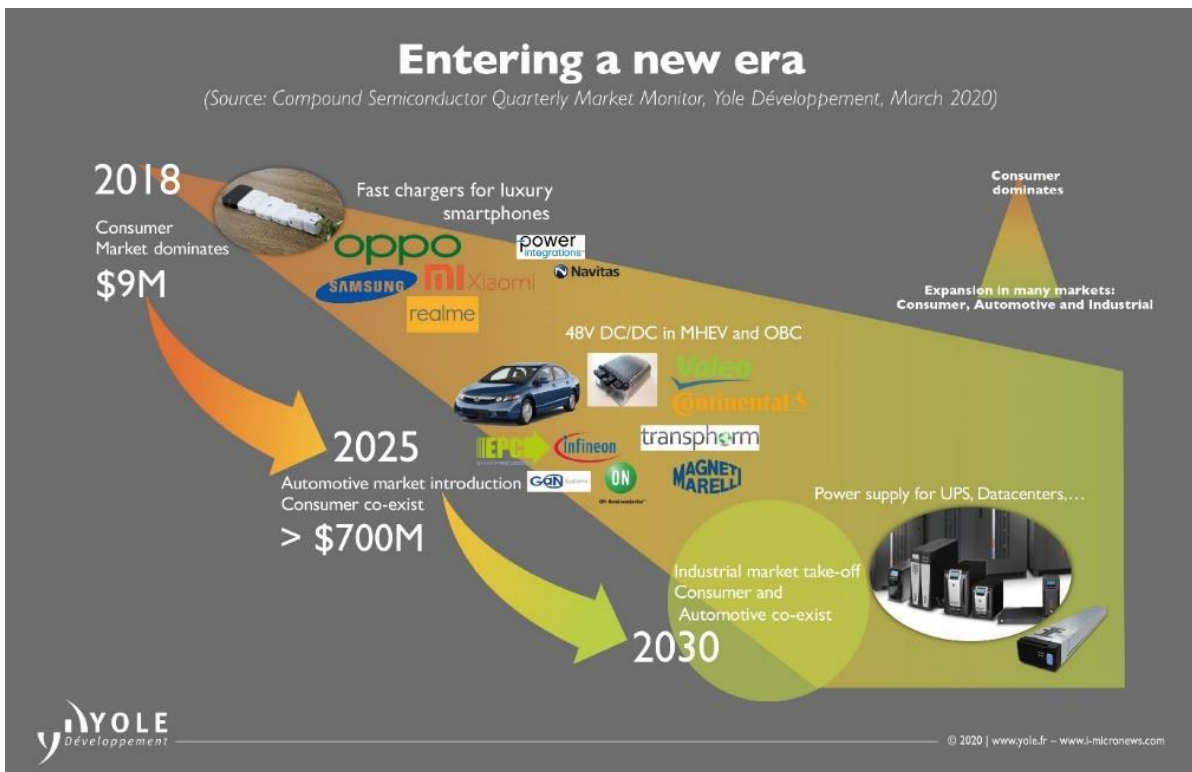


Figure 1.2 : Prédiction du marché des transistors GaN de puissance d'après Yole [15].

D'après la société d'études de marché Yole Développement, la croissance du marché des transistors GaN de puissance devrait être en constante évolution et représenter plus de 700 millions de dollars en 2025 (Voir Figure 1.2) [16]. En ce qui concerne la production industrielle, un grand nombre d'entreprises peut être cité. On peut voir sur la Figure 1.3, les principaux acteurs mondiaux dans le domaine du GaN de puissance dont la plupart ont démarré récemment sur ce matériau, ce qui confirme son intérêt significatif.

L'un des domaines en forte croissance actuellement au sein de la communauté scientifique est celui des semi-conducteurs à ultra-large bande interdite (UWBG) qui pourraient potentiellement surpasser les limites du GaN, notamment en termes de tenue en tension. Ils sont définis principalement par une bande interdite supérieure à 3,4 eV (correspondant au GaN et au SiC) et représentent un nouveau domaine de recherche passionnant couvrant à la fois les problématiques matériaux et la physique des composants [18]–[20]. Les matériaux à UWBG comprennent entre autres l'AlGaIn, l'AlN, le BN, le

Ga₂O₃, le diamant et peut-être d'autres matériaux encore non découverts (Figure 1.4). Alors que certains d'entre eux font l'objet de recherches depuis une ou deux décennies, les premières démonstrations à l'échelle du composant sont assez récentes, et par seulement un petit nombre de laboratoires dans le monde. Actuellement, les semi-conducteurs UWBG se trouvent à un stade de développement similaire à celui du GaN et du SiC dans les années 1990. Ces matériaux émergents présentent de nombreux défis de recherche mais aussi des possibilités d'amélioration des performances, tant pour les applications existantes que pour de nouveaux domaines d'application.

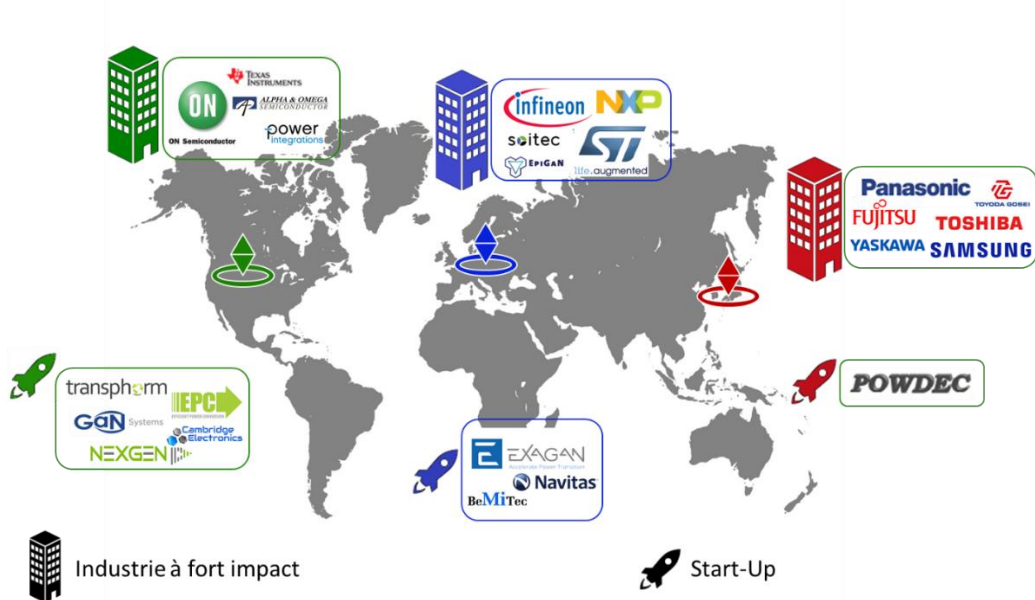
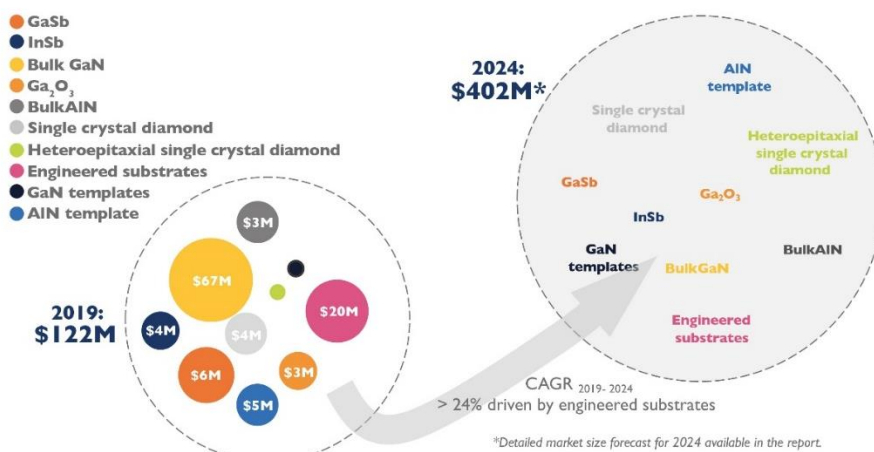


Figure 1.3 : Représentation des acteurs clés pour les transistors de puissance GaN dans le monde.

2018-2024 emerging materials - Market revenue

(Source: Emerging Semiconductor Substrates: Market & Technology Trends 2019 report, Yole Développement, 2019)



*Detailed market size forecast for 2024 available in the report.

Figure 1.4: Représentation des matériaux émergents pour les applications d'électronique de puissance [17].

2. PROPRIETES DU GAN

Au cours de la dernière décennie, le nitrure de gallium est apparu comme un matériau incontournable pour la fabrication de composants de puissance. Grâce aux propriétés uniques du GaN, les diodes et les transistors basés sur ce matériau ont d'excellentes performances, comparées à leurs homologues en silicium. En effet, le GaN est un semi-conducteur de composition binaire (groupe III/groupe V) à bande interdite directe. Comme tous semi-conducteurs, ils sont caractérisés entre autres par leur bande interdite. Il s'agit d'une plage d'énergie dans un solide où aucun électron ne peut transiter. Le GaN a une bande interdite de 3,4 eV, alors que celle du silicium est de 1,12 eV. La bande interdite plus large du GaN signifie qu'il peut supporter des tensions et des températures plus élevées que les MOSFETs en silicium par exemple.

a. Structure cristallographique

Les alliages à base de nitrures III-V (AlN, GaN et InN) peuvent cristalliser, en fonction des conditions de croissance et de l'orientation cristallographique du substrat, en deux structures principales: hexagonale (wurtzite), cubique (zinc-blende). La structure de type wurtzite possède une cellule unitaire hexagonale où chaque atome de gallium est lié à quatre atomes d'azote. Le réseau présente ainsi une symétrie hexagonale avec des plans formés par le même élément de manière alternée.

La maille cristalline (Fig. 1.5) est un prisme dont la base a des arêtes de même longueur notée (a) et désorientées de 120° et d'une hauteur de prisme notée (c). Les paramètres du réseau sont les suivants : $a \neq c$, $\alpha = 120^\circ$ et $\gamma = 90^\circ$. La structure cubique a des vecteurs de réseaux identiques $a = c$ et des directions orthogonales $\alpha = \gamma = 90^\circ$. La cellule unitaire suit un réseau cubique où les sommets du tétraèdre sont occupés par l'azote, tandis que le gallium les relie à l'intérieur de la cellule.

Les semi-conducteurs III-V cristallisant sous forme cubique présentent une bande interdite plus petite malgré une mobilité des porteurs plus importante. Ils sont cependant thermodynamiquement métastables [21]. A température et pression ambiantes, c'est la structure hexagonale qui est la plus stable [22], [23]. Cette structure est donc la plus répandue pour la croissance du GaN et la plus couramment employée lors de la croissance des HEMTs. En effet, cette forme engendre l'apparition d'une polarisation spontanée en raison de l'ionicté des liaisons covalentes et de la faible symétrie d'inversion (les atomes d'azotes hautement électronégatifs et les atomes de gallium moins électronégatifs). Cette polarisation est en partie à l'origine du 2DEG. Il faut savoir que la polarité du cristal dépend de la couche de surface mais aussi de la position des liaisons le long de l'axe [0001].

Selon la méthode de croissance, la polarité du cristal de GaN peut être :

- Soit de face Ga- (correspondant à la face cristalline (0001)) lorsque la liaison N-Ga pointe du substrat vers la surface, c'est-à-dire que les couches commencent par la croissance des atomes N jusqu'à une surface Ga ;
- Soit une polarité de face N lorsque la liaison N-Ga pointe de la surface vers le substrat, donc où les couches commencent par des atomes de Ga qui croissent et se terminent par des atomes de N [26], comme le montre la Figure 1.6. Il convient de noter que les propriétés

électriques des composants à base de GaN dépendent en grande partie de la couche surfacique.

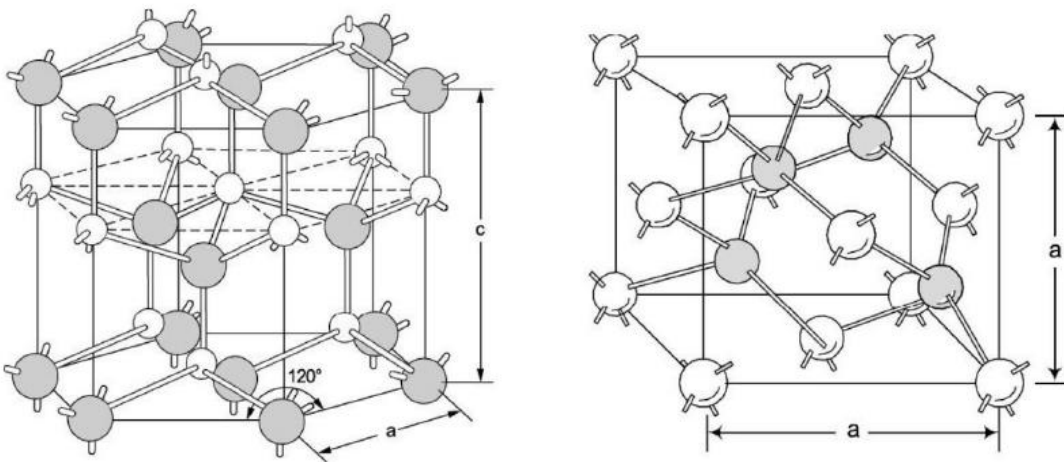


Figure 1.5 : Structure hexagonale (à gauche) et structure cubique (à droite) [24], [25].

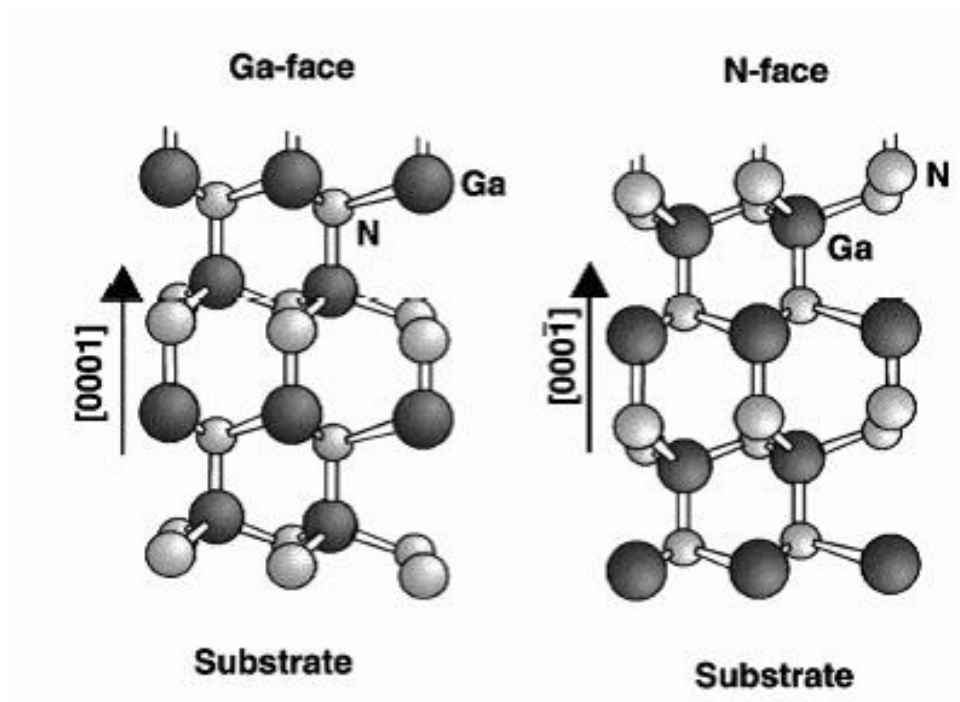


Figure 1.6 : Schéma de la structure cristalline hexagonale face Ga et face N [27].

De plus, les cristaux à face N sont plus actifs chimiquement que les faces Ga- en raison de la symétrie cristallographique du GaN. Ils se caractérisent par une morphologie de surface très rugueuse et une forte concentration de dopage [28]. Par ailleurs, les cristaux à face Ga ont une morphologie de surface beaucoup moins rugueuse, une concentration de dopage plus faible, des propriétés de transport d'électrons plus élevées et sont donc préférés pour les applications de puissance [29].

b. Structure de bandes électroniques

Le GaN sous forme hexagonale ou cubique possède un gap direct, c'est-à-dire que le maximum de la bande de valence et le minimum de la bande de conduction se situent au centre de la zone de Brillouin Γ . De cette manière, les électrons/trous peuvent se recombiner sans interaction avec les phonons. Ce paramètre a un impact direct sur les composants liés au domaine de l'optoélectronique. La Figure 1.7 présente le diagramme de bandes d'énergies d'une structure GaN hexagonale, où l'on peut remarquer 2 vallées secondaires, A et M-L. Ainsi, les électrons qui ont acquis suffisamment d'énergie, peuvent changer de vallée et se retrouver dans la vallée M-L ($E_{M-L}=4,3\text{eV} < E_A=4,5\text{eV}$). Dans cette vallée les conditions changent puisque la masse effective des électrons augmente, ce qui entraîne une diminution de la mobilité. On peut remarquer sur la Figure 1.7, que la dégénérescence de la bande de valence se décompose en trois sous bandes. Plus précisément au point Γ , où siègent les transitions radiatives pour les deux phases, le couplage spin-orbite (interaction entre le spin d'une particule et son mouvement) divise le haut de la bande de valence. L'un correspond aux bandes de trous lourds (Heavy holes) au point Γ_9 et le second (état Γ_7) correspond aux bandes de trous légers (Light holes). La dernière bande correspond à la bande de trous "split-off" décalée par rapport à la bande de trous légers.

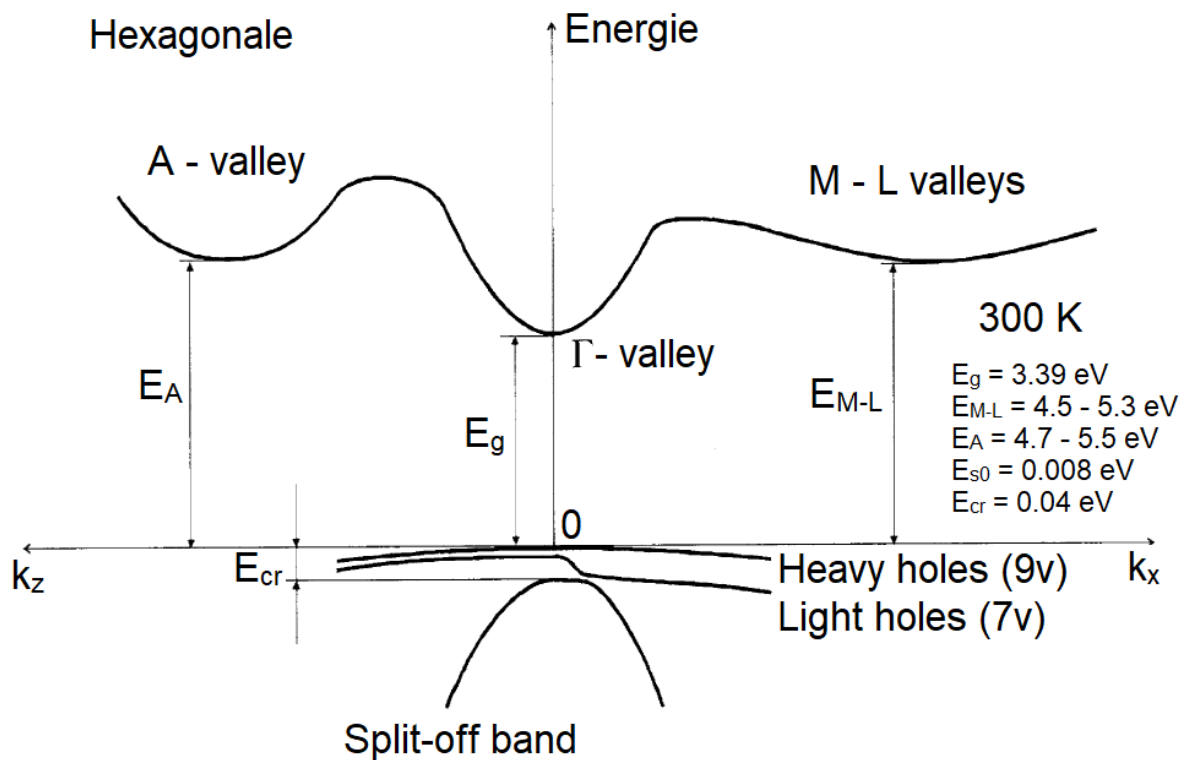


Figure 1.7 : Diagramme de bandes d'énergies du matériau GaN. [30], [31].

La Figure 1.8 montre le diagramme de bandes d'énergies du matériau AlN. Le même phénomène se produit et les électrons qui ont acquis suffisamment d'énergie se retrouveront dans la vallée M-L ($E_{M-L}=6,9\text{eV} < E_A=7,2\text{eV}$). Le matériau AlGaN étant une combinaison de ces deux matériaux, son diagramme de bandes d'énergies sera quasi-similaire à ces deux matériaux.

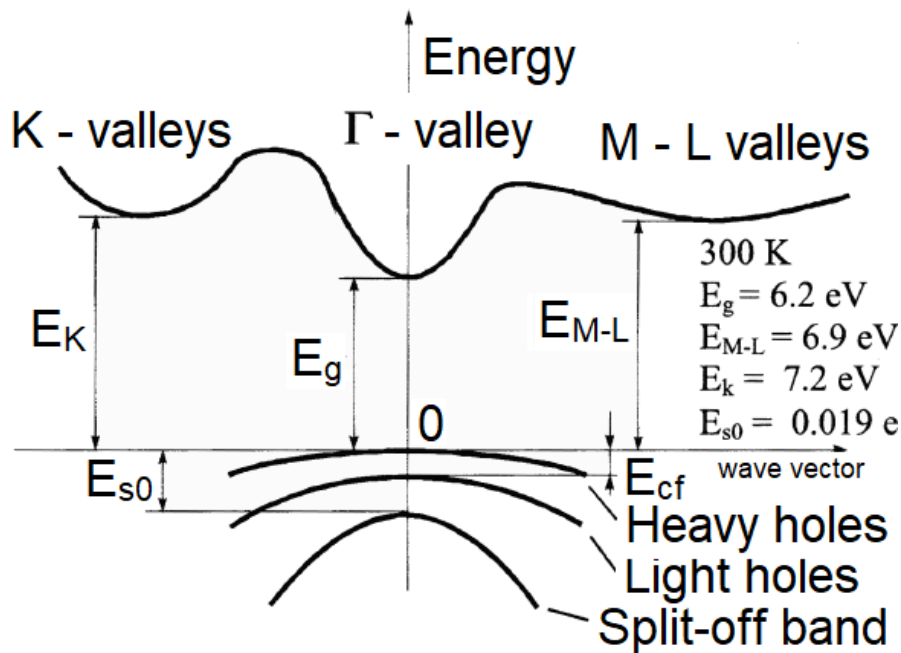


Figure 1.8 : Diagramme de bandes d'énergies du matériau AlN [32], [33].

c. Croissance et Dopage

Parmi les problématiques rencontrées dès les premières croissances de GaN, la difficulté du contrôle de la conductivité ainsi que l'incapacité d'obtenir un film de GaN de type P ont empêché la croissance de couches permettant le développement de composants. Ces différents verrous technologiques liés au dopage du GaN ont freiné considérablement la recherche dans le domaine du GaN jusqu'aux années quatre-vingt. En effet, c'est en 1986 qu'Amano et son équipe ont obtenu une couche GaN avec des propriétés morphologiques, optiques et électriques fortement améliorées. Cette couche a été obtenue pour la première fois par une croissance MOCVD (*Metal Organic Chemical Vapor Deposition*) sur un substrat de saphir (Al_2O_3) et notamment par l'intermédiaire d'une couche de nucléation en AlN [34]. De manière générale, le GaN possède une faible densité de porteurs intrinsèques en raison de sa large bande interdite. Toutefois après croissance, un dopage résiduel de type n est systématiquement observé. On parle ainsi de GaN non-intentionnellement dopé (NID). Les porteurs proviennent alors d'états électroniques résultant de défauts liés à sa croissance (impuretés, etc). La densité de porteurs du GaN NID est de l'ordre de 10^{16} cm^{-3} . Le dopage intentionnel de type n du GaN est le plus souvent réalisé avec du silicium ou du germanium qui peut atteindre une densité de l'ordre de 10^{20} cm^{-3} [35], [36], sachant que le dopage Si est le plus répandu en raison de sa meilleure solubilité.

Le dopage p est plus difficile à réaliser et nettement moins développé que le dopage n. L'accepteur le plus utilisé est le magnésium (Mg) [37], [38]. En effet, en 1993 Nakamura, Akasaki et Amano (prix Nobel de physique en 2014) ont montré qu'un recuit thermique sous atmosphère de N_2 permettait l'activation des atomes dopants Mg [39]. Il présente une énergie d'ionisation relativement élevée (100-200 meV), ce qui lui confère des propriétés d'accepteur profond et génère donc une faible concentration de porteurs à température ambiante. De plus, l'incorporation de ce dopant souffre également de limitations liées à sa solubilité dans le matériau à des concentrations élevées, ce qui entraîne la formation de précipités riches en Mg. Par ailleurs, l'incorporation non intentionnelle

d'impuretés résulte en un dopage résiduel de type n qui induit des effets de compensation, nuisibles aux propriétés électriques de type p [40].

d. Propriétés physiques (EG, EC, μ , ϵ_r , κ)

Le matériau GaN présente une combinaison de propriétés électriques exceptionnelles comparées aux autres semi-conducteurs. Le tableau 1.1 montre certaines des propriétés électroniques du GaN ainsi que celles d'autres semi-conducteurs couramment utilisés tels que le Si, le GaAs et le SiC. Les paramètres critiques pour les applications de puissance sont : le champ de claquage qui est la valeur du champ électrique maximum que peut supporter le matériau, la bande interdite qui représente l'espace entre les bandes de valence et de conduction ou encore la mobilité des électrons qui permet de caractériser la vitesse des électrons soumis à un champ électrique au sein du matériau.

	Si	GaAs	SiC	GaN
Energie de la bande interdite (eV)	1,1	1,43	3,2	3,4
Champ de claquage (MV/cm)	0,3	0,4	3,0	3,0
Mobilité des électrons (cm ² /V.s)	1350	6000	800	900 (2000)
Vitesse de saturation (10 ⁷ cm/s)	1	1	2	2,5
Conductivité thermique (W/cm.K)	1,5	0,46	3,5	1,7

Tableau 1.1 Propriétés électroniques du GaN ainsi que celles d'autres semi-conducteurs couramment utilisés [41]–[47].

Il apparaît clairement que la large bande interdite, la haute mobilité, le fort champ de claquage et la vitesse de saturation élevée du GaN se distinguent parmi les autres semi-conducteurs. Plus spécifiquement, on peut remarquer que le champ de claquage du GaN est de 3,4 MV/cm, ce qui est plus de dix fois supérieur à celui du silicium. La mobilité des électrons est proche de 2000 cm²/V.s au sein d'une hétérojonction avec une barrière AlGaIn. La Figure 1.9 présente certains des paramètres précédemment cités sur un diagramme en étoile, où une comparaison entre le Si, le SiC et le GaN y est représentée. On peut tout de même remarquer que la conductivité thermique du GaN est relativement modeste puisqu'elle est comparable à celle du Si : 1,3 W · cm⁻¹ · K⁻¹ [51] et très inférieure à celle du SiC. C'est pourquoi, pour les applications hyperfréquences de puissance utilisant des composants ultracourts et fonctionnant au « point chaud », les hétérostructures GaN sur substrat SiC sont

préférées car elles permettent de bénéficier à la fois des propriétés du GaN et de la conductivité thermique du SiC. Pour les interrupteurs de puissance, même si la conductivité thermique reste un paramètre important, il est beaucoup moins critique dans le cas d'un fonctionnement en commutation.

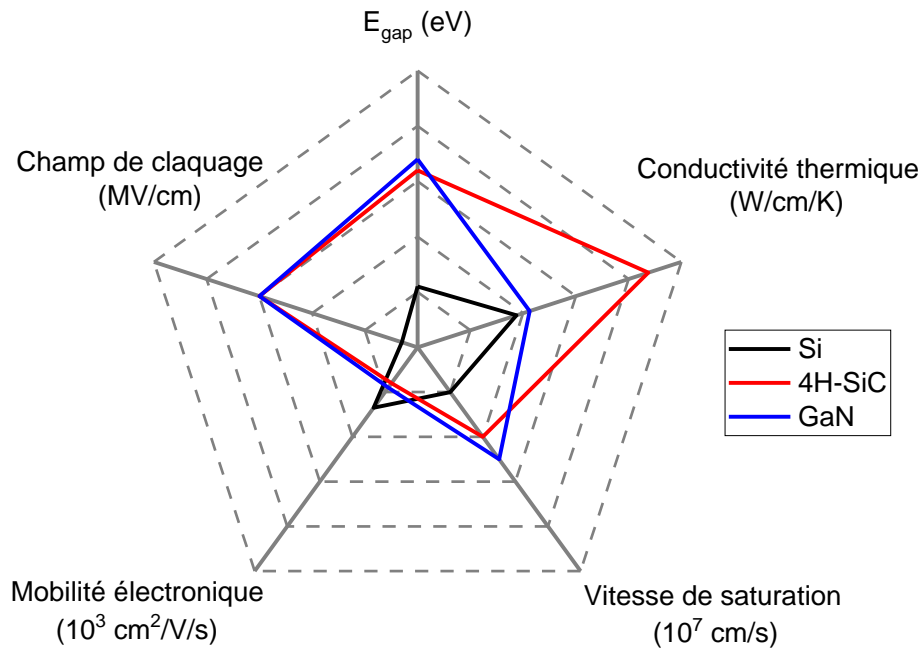


Figure 1.9: Comparaison des propriétés physiques du Si, SiC et du GaN. Dans le cas d'une hétérostructure AlGaN/GaN, la mobilité peut atteindre plus de 2000 cm²/Vs [48]–[50].

3. TRANSISTOR HEMT GAN

a. Description de l'empilement typique d'un transistor GaN

La structure d'un HEMT (Figure 1.10) est constituée d'un empilement de couches à base d'un matériau à large bande interdite (barrière) et un matériau à plus faible bande interdite (canal). La juxtaposition de ces deux couches permet de créer un gaz d'électron bidimensionnel (2DEG) à leur interface.

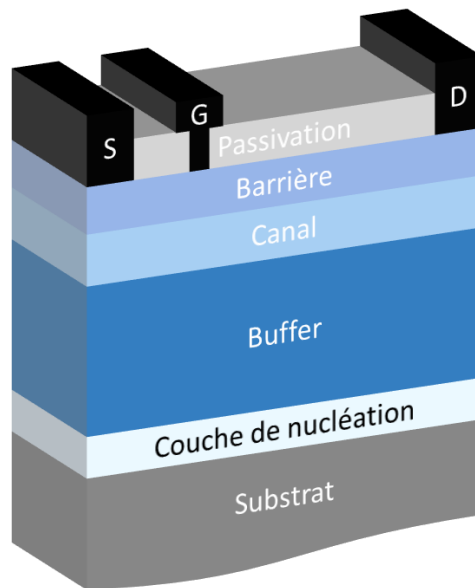


Figure 1.10 Structure typique d'un HEMT.

Le substrat, sur lequel les matériaux sont épitaxiés, présente généralement un désaccord de maille relativement important avec le GaN. Un fort désaccord de maille ainsi qu'une différence élevée de coefficient de dilatation thermique peuvent entraîner des chemins de fuite sous fort champ électrique en raison de la forte densité de dislocations ainsi générée, voire même des fissures sur le wafer dans les cas extrêmes. Les matériaux les plus utilisés en tant que substrat pour le GaN sont le saphir, le carbure de silicium et le silicium. Comme les paramètres de maille et les coefficients de dilatation thermique de ces substrats sont très différents de ceux du GaN, les couches épitaxiées ont des densités de dislocations élevées ($10^8 - 10^{10} \text{cm}^{-2}$) [52]–[54]. On peut voir sur le Tableau 1.2, certaines propriétés des substrats utilisés pour l'épitaxie du GaN. Le choix du substrat est lié aux applications visées. Dans le cas d'applications de puissance, le substrat Si est préféré en raison de son faible coût et de sa disponibilité en large diamètre (jusqu'à 12 pouces), malgré un désaccord de maille entre le GaN et le Si de 17%. En ce qui concerne le substrat saphir, le désaccord de maille est de 15% avec le GaN. De plus, même si le saphir a une résistivité élevée et un faible coût, il est caractérisé par une faible conductivité thermique, ce qui entraîne un auto-échauffement prononcé des composants. De ce fait, le saphir ne convient pas aux applications de puissance. Le carbure de silicium possède un désaccord de maille de seulement 3% avec le GaN et une conductivité thermique élevée. L'inconvénient du SiC est son coût de réalisation élevé et une disponibilité relativement faible.

	Structure	Coefficient de dilatation thermique	Coût	Conductivité thermique	Désaccord de maille
Unité		$10^{-6} / K$		W/cm.K	%
Al ₂ O ₃	Hexagonale	7,5	+	0,25	15
6H-SiC	Hexagonale	4,2	-	4,9	3,1
Si	Cubique	2,59	++	1,56	17
GaN	Hexagonale	5,59	--	1,3	
AlN	Hexagonale	4,15	---	3,2	2,4

Tableau 1.2 : Propriétés des substrats utilisés pour l'épitaxie du GaN [55].

Le cas idéal serait l'utilisation d'un substrat GaN qui permettrait un accord de maille quasi parfait [56], et qui serait d'autant plus intéressant pour des composants GaN à transport vertical. Cependant, malgré les récents progrès réalisés dans le domaine de la croissance de GaN massif avec un taux de dislocations très réduit, la commercialisation de substrats GaN reste pour l'instant coûteuse et limitée en taille.

La couche primaire déposée sur le substrat est la couche de nucléation, généralement en AlN dans le cas du Si. De faible épaisseur, elle influe l'ensemble de la structure dans le sens où elle permet de minimiser les contraintes et les dislocations améliorant ainsi la qualité des couches actives [57], [58]. La qualité de la couche de nucléation en AlN influe donc l'ensemble de l'empilement. On peut voir sur la Figure 1.11, une image TEM typique de l'interface entre le substrat Si et la couche de nucléation AlN.

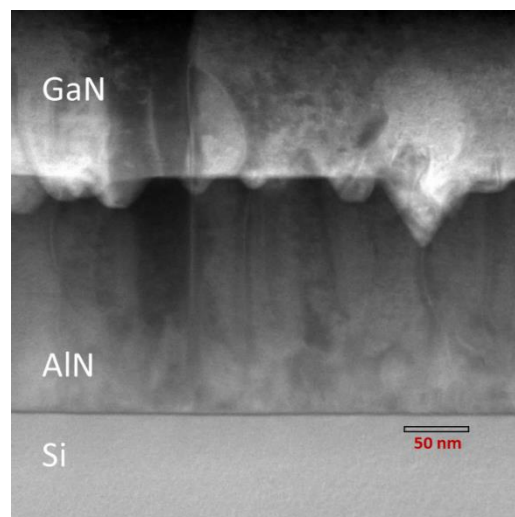


Figure 1.11 : Image TEM d'une coupe transversale d'une interface AlN/Si [59].

Un ensemble de couches tampons (buffer) est en général utilisé, constituant une transition entre la couche de nucléation en AlN et la couche de GaN. Plusieurs configurations de buffers ont été développées. Par exemple, une succession d'intercalaires en AlGaIn avec un taux d'Al dégressif jusqu'au canal GaN, comme on peut le voir sur la Figure 1.12. L'intérêt du buffer est d'améliorer le confinement des électrons sous fort champ électrique dans le canal en réduisant l'injection des

porteurs vers le substrat et tout en évitant de générer des pièges profonds. Par ailleurs, pour les applications à haute tension, la zone de charge d'espace se situe essentiellement dans le buffer. De ce fait, pour accroître la tenue en tension, une résistivité élevée et/ou un matériau à plus large bande interdite sont nécessaires. Cela passe par une compensation de dopage ou une polarisation repoussant l'injection des électrons vers le substrat. Outre la résistivité, un des autres facteurs permettant d'augmenter la tenue en tension est l'épaisseur du buffer. En effet, une épaisseur plus élevée se traduit par une tenue en tension plus élevée mais au risque d'induire un taux de dislocations, de contraintes et de défauts potentiellement plus importants.

Les couches de canal et de barrière permettent la création du 2DEG à leur interface. En effet, les effets de polarisation spontanée et piézoélectrique de l'hétérojonction forment le gaz bidimensionnel [28], [60], [61]. Le canal est non-intentionnellement dopé afin d'éviter de perturber le transport des électrons dans le 2DEG engendré. L'épaisseur de la couche de barrière et sa concentration en aluminium sont des paramètres qui influent directement la densité d'électrons (N_s), la mobilité (μ) et la résistance de feuille (R_{sheet}) du 2DEG. La densité des porteurs augmente en fonction du taux d'aluminium. Cependant, pour des taux d'Al trop élevés dans la barrière, une augmentation des courants de fuite est généralement observée. Cela peut en effet entraîner une détérioration des propriétés piézoélectriques en raison du phénomène de relaxation ainsi que la création de chemins de fuite liés aux défauts. Enfin, la dernière couche qui compose le HEMT est un cap de passivation, le plus souvent une couche mince en GaN ou en SiN. Un des problèmes pouvant être rencontré dans les structures GaN est relatif aux états de surface. Il est important de rappeler que les états de surface sont liés au 2DEG et sont responsables de plusieurs effets négatifs sur les performances des composants. Comme on peut le voir sur la Figure 1.13, les charges de surface provoquent une déplétion locale du 2DEG [62]–[64]. Les états de surface chargés négativement compensent les atomes donneurs, ce qui déplete le canal entre la grille et le drain causant une diminution du courant en régime dynamique. Cela a pour conséquence de dégrader les performances et/ou la fiabilité du composant. Ce problème a cependant été plus ou moins résolu et l'une des solutions est l'utilisation d'un cap couplé à une passivation (souvent en SiN) déposée lors du procédé de fabrication ou même directement lors de la croissance. Par ailleurs, en plus de protéger la surface et passiver les charges de surface, elle peut contribuer à la réduction des fuites de courant de grille.

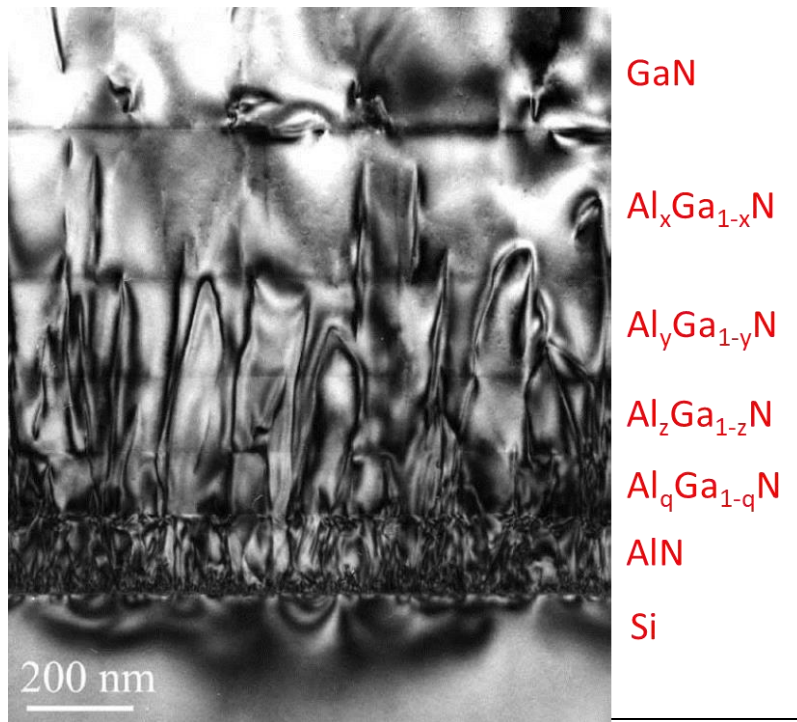


Figure 1.12 : Image TEM d'intercalaires AlGaN entre la couche de nucléation et la couche de GaN [59].

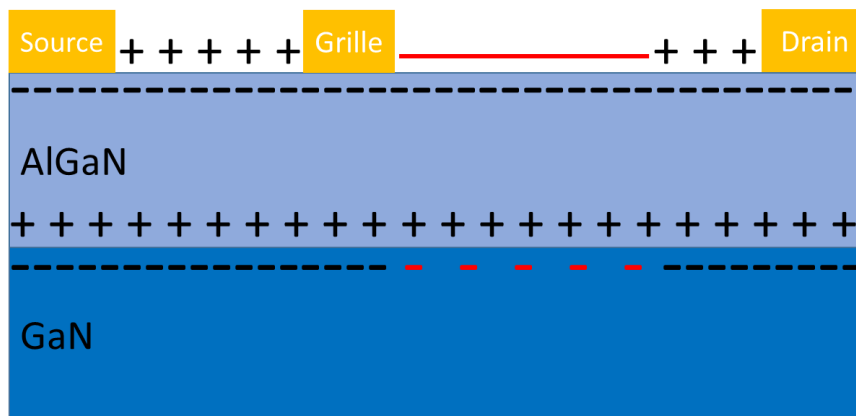


Figure 1.13: Schéma indiquant les charges de surface dans un transistor GaN.

b. Gaz bidimensionnel d'électrons

Dans le cas d'un HEMT, le 2DEG se crée à l'interface entre la barrière AlGaN et le canal GaN [28], [60]. Le diagramme de bandes typique d'une hétérostructure AlGaN/GaN apparaît sur la Figure 1.14a. La formation du 2DEG est à l'origine due aux états présents en surface de la couche AlGaN, présentés comme des états donneurs de surface. Puisque le niveau de Fermi est localisé sur ces zones, ces états de surfaces sont peuplés d'électrons. Lorsque la bande d'énergie se courbe, un amas d'électrons est transmis vers la bande de conduction (Fig. 1.14b). En raison du champ électrique formé par les polarisations intrinsèques, ces électrons se propagent vers l'interface AlGaN coté GaN (Fig. 1.14c).

Hors équilibre, les niveaux de Fermi ne sont pas alignés, comme on peut le voir sur la Figure 1.15a. A l'inverse, à l'équilibre, les niveaux de Fermi s'alignent avec une accumulation des électrons à l'interface

AlGa_N/Ga_N (Fig. 1.15b). Ces électrons présents à l'interface sont appelés gaz bidimensionnel (2DEG) car les électrons sont confinés dans un plan où ils peuvent se déplacer dans les directions X et Y, mais pas dans la direction Z.

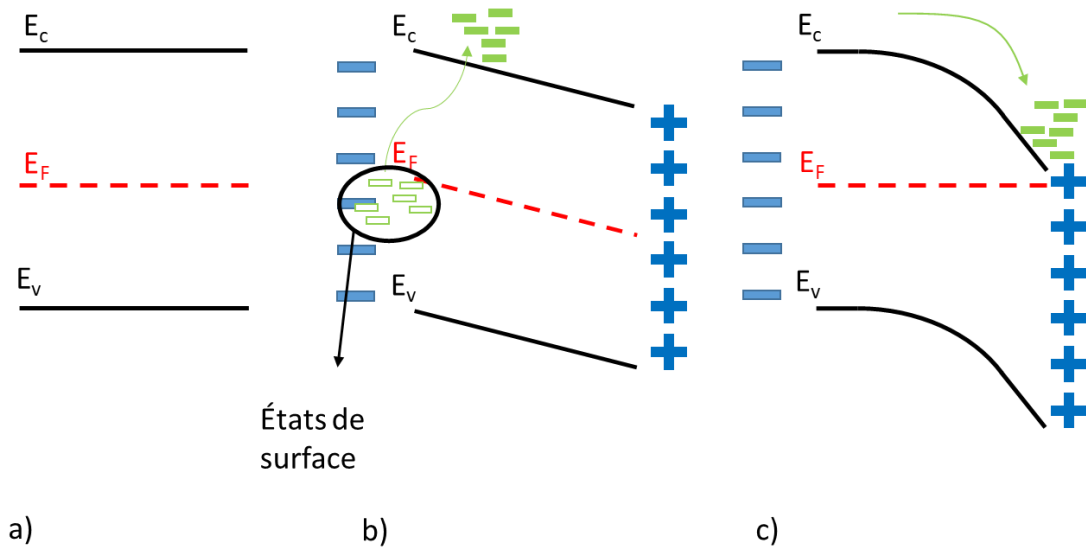


Figure 1.14 : Diagramme de bandes d'une couche AlGa_N à différent état : seul a), lors d'une jonction avec une couche Ga_N b) et avec une tension est appliquée à sa surface c).

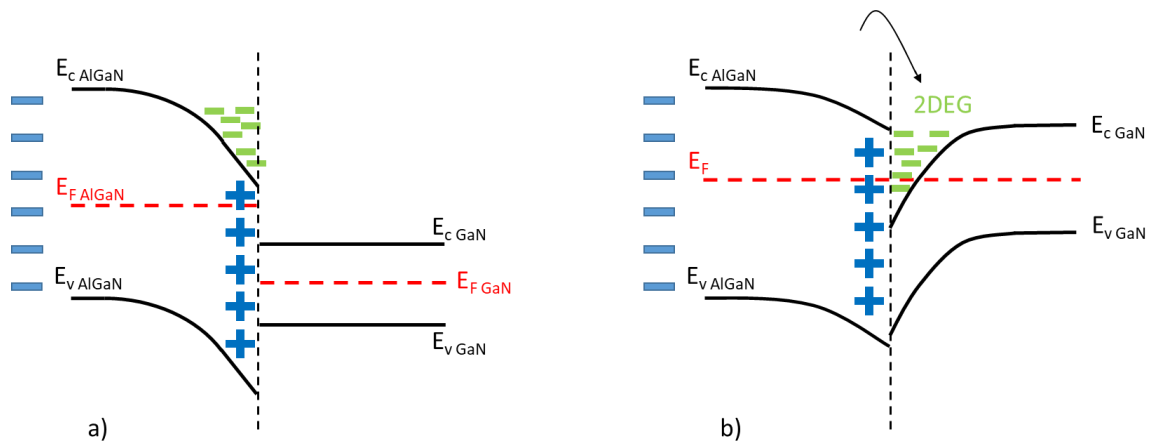


Figure 1.15: Diagramme de bandes de l'AlGa_N/Ga_N dans un état non équilibré a) et à l'équilibre b).

En résumé, on observe donc à l'équilibre, une discontinuité de la bande de conduction à l'interface AlGa_N/Ga_N qui provoque l'apparition d'un puits de potentiel triangulaire du fait de la courbure des bandes. Confinés sur une très faible épaisseur, les électrons libres s'accumulent à l'interface des 2 matériaux formant ainsi un 2DEG.

c. Techniques de fabrication

Dans cette partie, une présentation des étapes technologiques nécessaires à la fabrication de HEMT AlGa_N/Ga_N sur substrat Si est présentée. Seules les étapes indispensables au fonctionnement d'un transistor sont mises en avant. En plus du procédé standard utilisé pour la fabrication de HEMTs

normally-on (Fig. 1.16), le procédé utilisé pour la fabrication de transistors normally-off à base d'une couche de GaN sous la grille dopée p sera également présenté (Fig. 1.17).

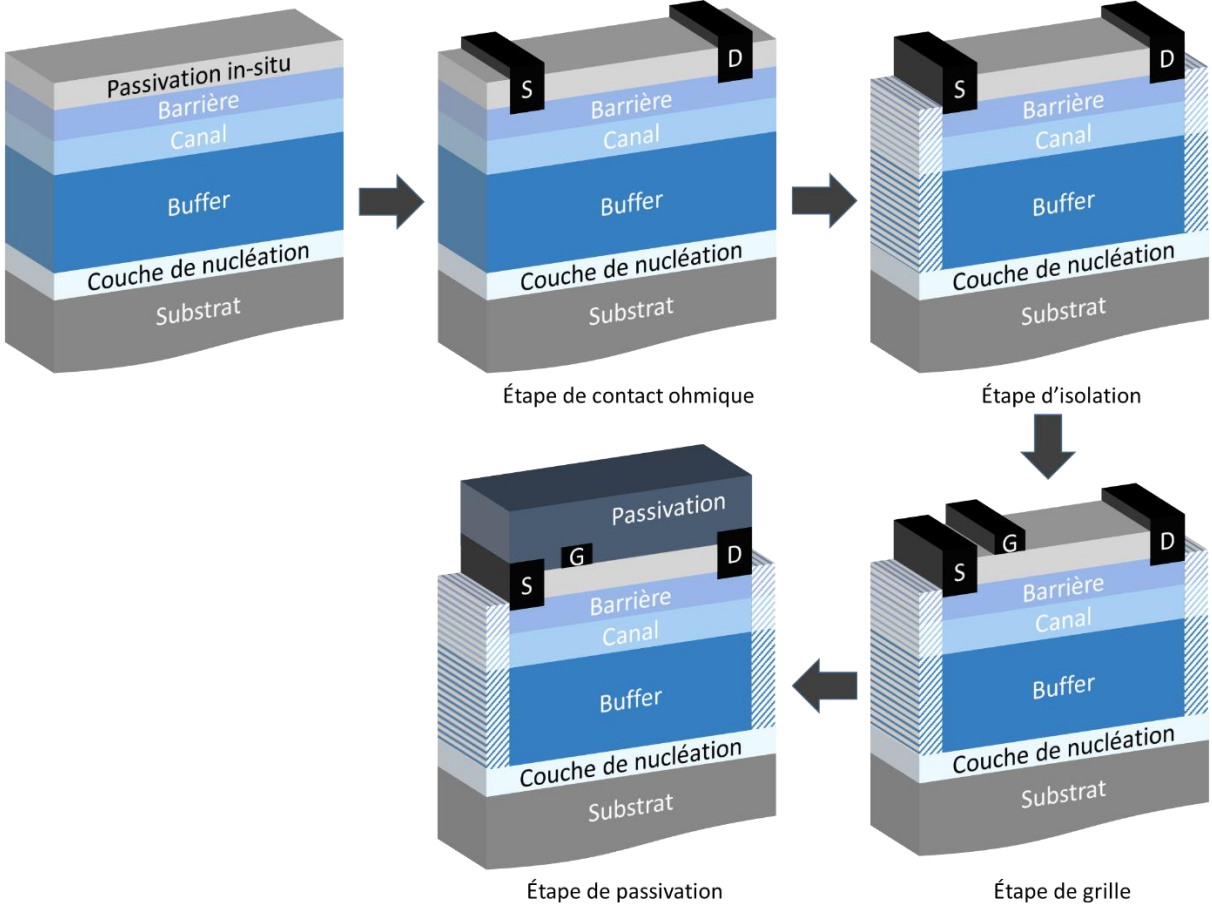


Figure 1.16 : Schéma du procédé de fabrication d'un MISHEMT AlGaIn/GaN de type normally-on.

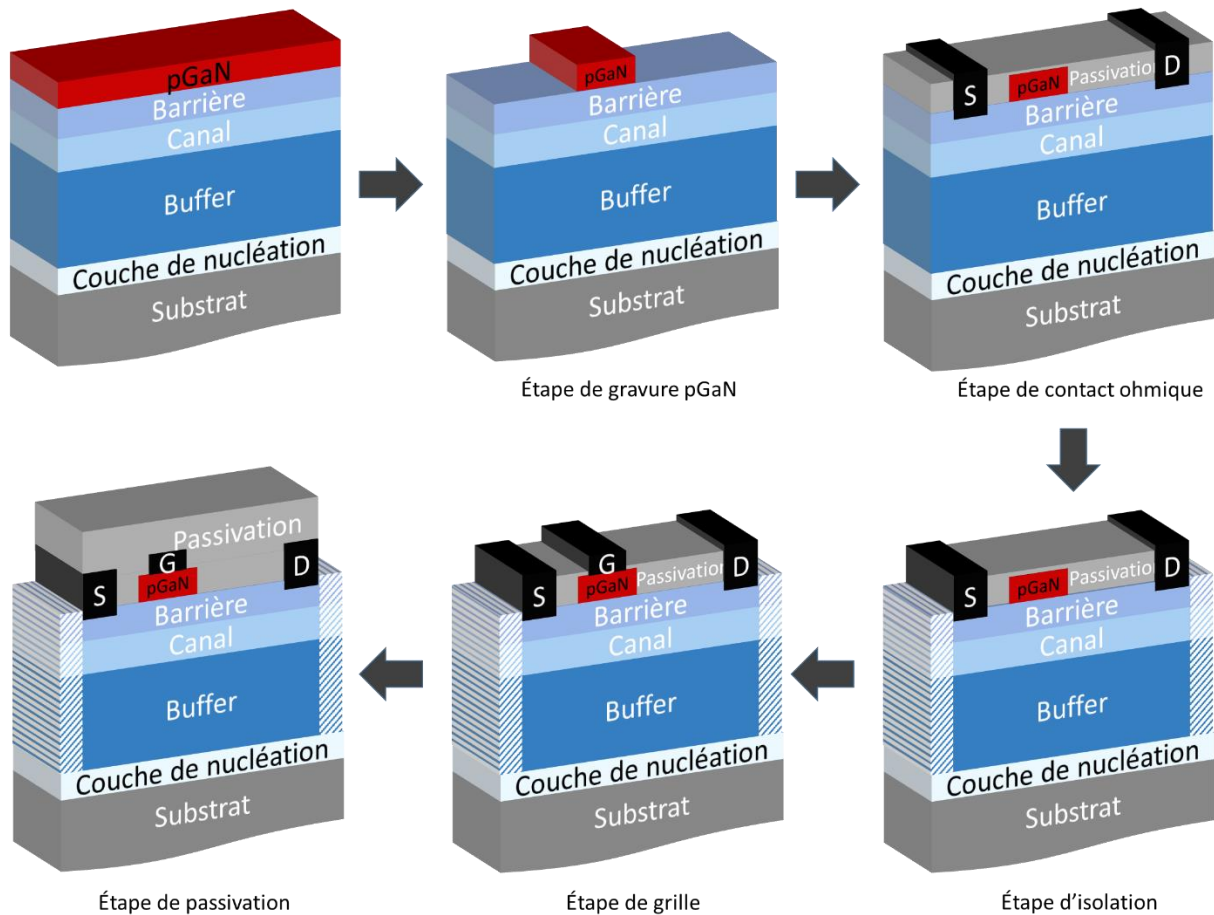


Figure 1.17 : Schéma du procédé de fabrication d'un HEMT AlGaIn/GaN de type normally-off à base d'une couche de GaN dopée p.

i. Gravure de la couche p-GaN

Afin d'obtenir un comportement normally-off, la zone p doit se trouver uniquement sous la grille afin de dépléter localement le 2DEG (Fig. 1.18). La présence de la couche p-GaN relève les niveaux d'énergie au sein du diagramme de bandes (Fig. 1.19), de sorte que la déplétion du 2DEG se produise même en l'absence de polarisation externe. Pour cette raison, une étape de gravure doit être réalisée. Un point critique concernant la gravure est qu'elle ne doit pas dégrader la barrière. En effet, graver ou détériorer la barrière entraîne une dégradation des propriétés du 2DEG ainsi que des performances statiques et dynamiques du transistor. Cette gravure doit donc être finement optimisée aussi bien en termes de précision/vitesse de gravure que de morphologie de surface.

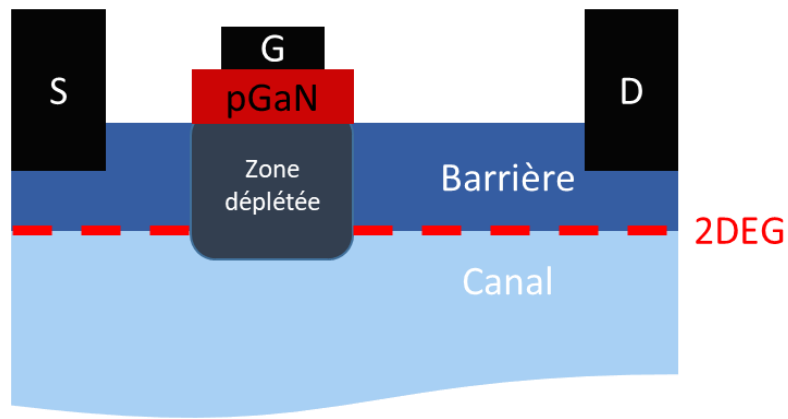


Figure 1.18 : Coupe transversale schématique d'un HEMT à grille p-GaN.

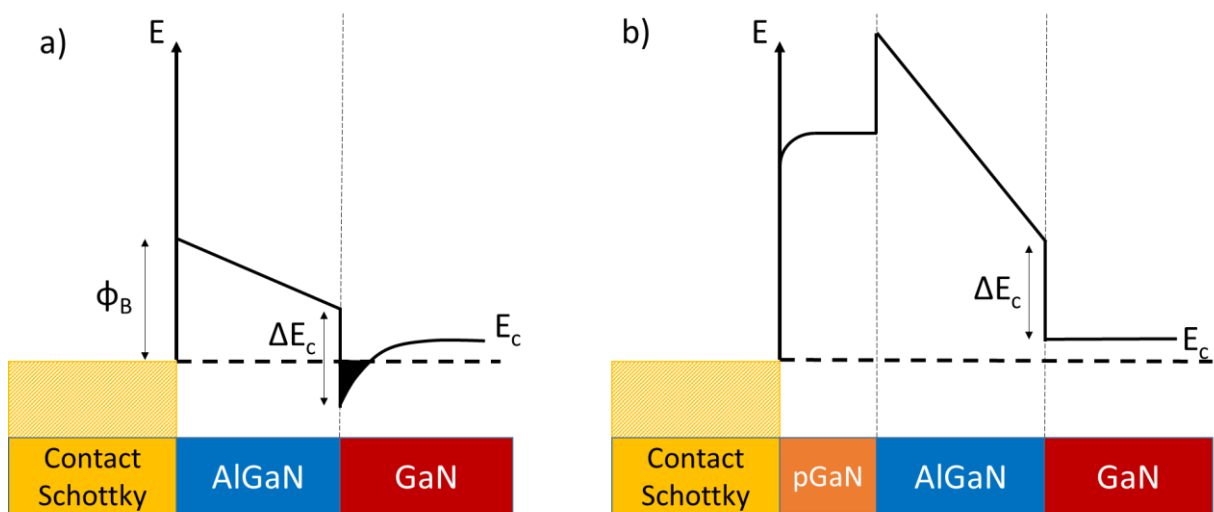


Figure 1.19 : Diagramme de bandes d'une hétérostructure AlGaN/GaN avec a) et sans b) couche p-GaN.

De manière générale, la gravure de la couche p-GaN est réalisée par plasma chloré et fluoré à faible puissance afin de créer une certaine sélectivité et réduire les dommages causés à la barrière. La sélectivité entre le GaN et l'AlGaN varie suivant plusieurs paramètres dont les plasmas utilisés, les conditions de gravure et le taux d'Al dans la barrière.

ii. Contact Ohmique

La réalisation de contacts ohmiques de source et de drain à faibles résistances de contact avec le 2DEG est cruciale car elles impactent directement les performances du composant à l'état ON. L'ensemble des résistances contribuant aux résistances d'accès sont présentées sur la Figure 1.20.

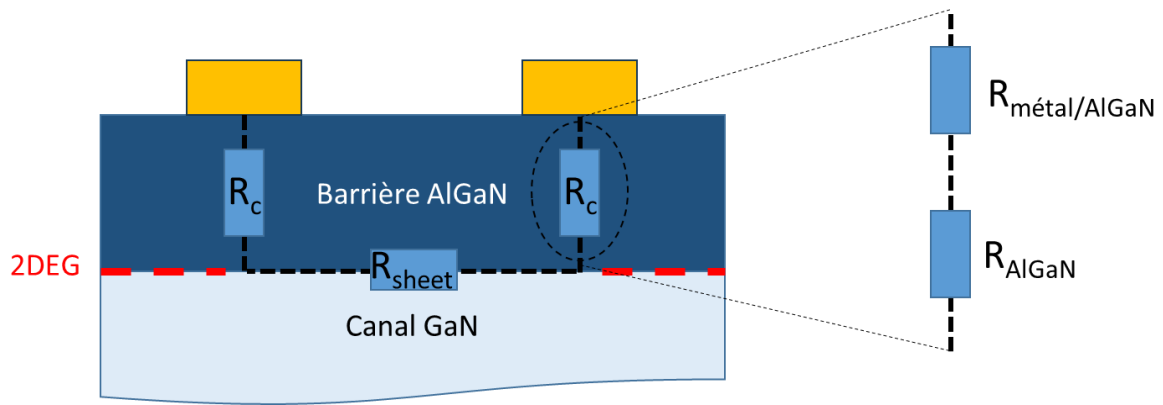


Figure 1.20 : Schéma d'une structure HEMT AlGaN/GaN indiquant les différentes résistances entre deux contacts ohmiques.

La résistance totale entre deux contacts peut s'exprimer de la manière suivante :

$$R_{Totale} = \frac{2R_C}{W} + \frac{L \cdot R_{Sheet}}{W}$$

Où R_C représente la résistance de contact, W la longueur des contacts, L la distance entre les contacts ainsi que R_{Sheet} qui représente la résistance de feuille.

L'étude des contacts ohmiques a fait l'objet de nombreux travaux [65]–[70]. L'optimisation de l'empilement de métal afin d'obtenir une résistance de contact la plus faible possible sur des hétérostructures à base de GaN a été réalisée par le passé au sein du laboratoire. Cette optimisation a abouti à un empilement Ti/Al/Ni/Au d'épaisseur 12/200/40/100 nm suivi d'un recuit rapide (RTA) permettant la formation d'alliages favorisant la réduction de la résistance de contact [71]–[74]. Le Titane (Ti) est utilisé à la fois comme couche d'accroche, mais permet également de former un alliage TiN après recuit à l'interface entre le métal et le semi-conducteur [75]–[77] favorisant ainsi une diffusion dans la barrière. Un autre point clé est la formation de l'alliage Ti-Al permettant de diminuer la réactivité entre le titane et le GaN [78]–[80]. L'or (Au) qui est déposé en fin d'empilement est un excellent conducteur et permet par la même occasion d'éviter toute oxydation de l'empilement. Une couche de Nickel (Ni) est déposée entre l'or et l'aluminium afin d'éviter la formation d'alliage pouvant générer un effet de « peste pourpre » (Figure 1.21), dégradant ainsi grandement les performances.



Figure 1.21 : Contact Ti/Al/Ni/Au sans (a) et avec (b) effet de « peste pourpre ».

Par ailleurs, il est important de préciser que la température de recuit est un paramètre prépondérant. On peut voir sur la Figure 1.22, un ensemble de mesures I(V) entre 2 contacts TLM espacés de $5\ \mu\text{m}$ pour différentes températures de recuit au sein d'une même structure d'épitaxie. Pour un empilement et une structure donnée, il existe une température optimale correspondant au minimum de résistance de contact.

Après dépôt et recuit à température adéquate, une étape de contrôle s'impose afin d'évaluer la qualité des contacts. Des motifs TLM (*Transmission Line Measurement*) sont utilisés. Composés de plusieurs contacts (Figure 1.23a), ils sont espacés de différentes distances. Les mesures I(V) varient suivant les distances entre contacts (Figure 1.23b). Des mesures 4 pointes permettent ainsi d'extraire les résistances de contacts.

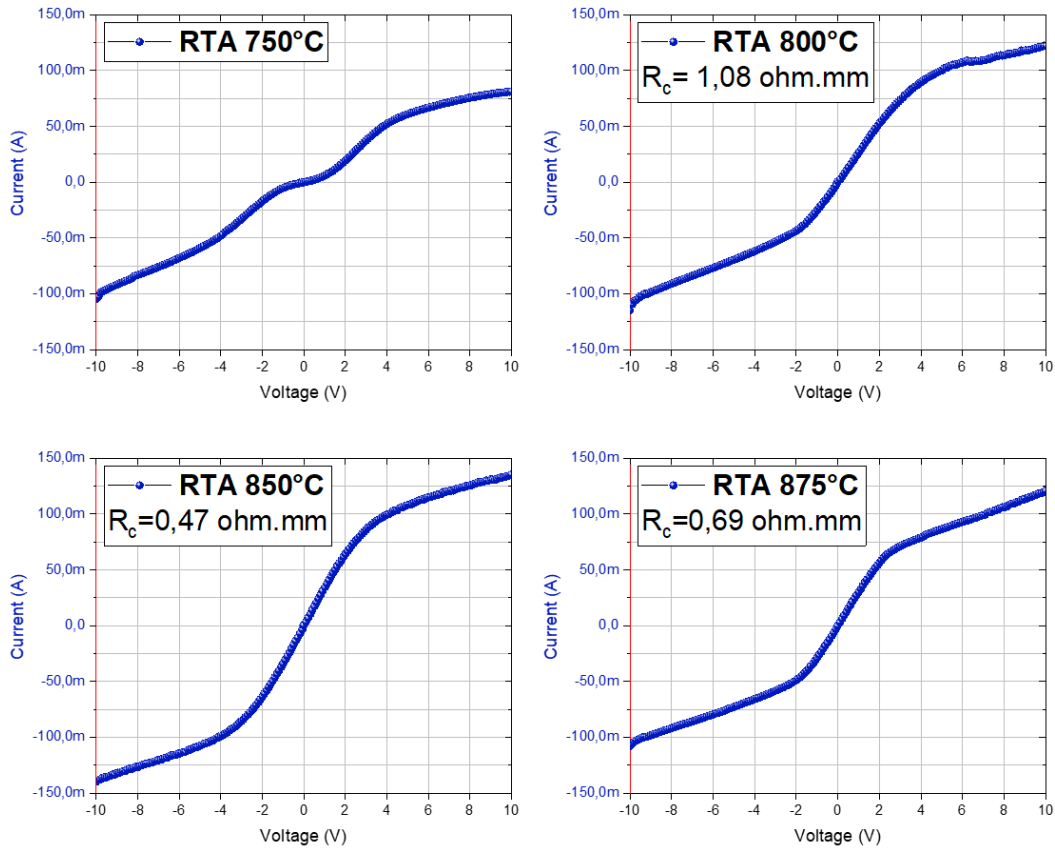


Figure 1.22: Mesures I(V) pour différentes températures de recuit sur une même structure.

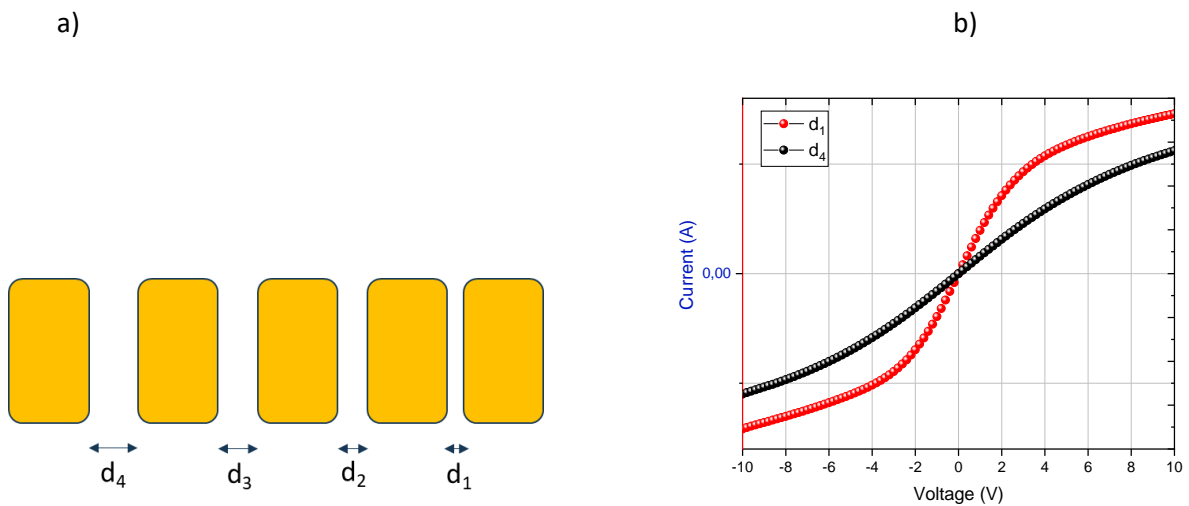


Figure 1.23 : Représentation de contacts TLM (a) et mesures I(V) pour plusieurs distances entre contacts (b).

iii. Isolation

Afin d'isoler électriquement les zones actives des composants, une étape d'isolation est nécessaire. Celle-ci peut être réalisée de différentes manières. Une méthode couramment utilisée et fiable est une

isolation par implantation. Elle est réalisable par implantation ionique d'azote, argon, hélium ou oxygène. Elles sont accélérées suivant différents niveaux d'énergies pour définir la profondeur de pénétration des espèces. L'objectif est de détruire la structure cristalline de manière localisée et ainsi empêcher toute conduction en dehors des zones actives. L'implantation se décompose en plusieurs niveaux d'énergies permettant d'isoler de manière optimale les zones en surface mais également en profondeur.

Une autre méthode d'isolation est une isolation par mesa. Celle-ci consiste à graver l'ensemble des zones non actives jusqu'à une certaine profondeur (plusieurs centaines de nm). Néanmoins, la gravure profonde peut détériorer la surface et les flancs des zones gravées, générant des états de surface pouvant éventuellement être activés sous fort champs électriques. De plus, le dénivelé important entre les zones actives et non-actives génère des difficultés de process supplémentaires. La Figure 1.24 présente les 2 méthodes d'isolation.

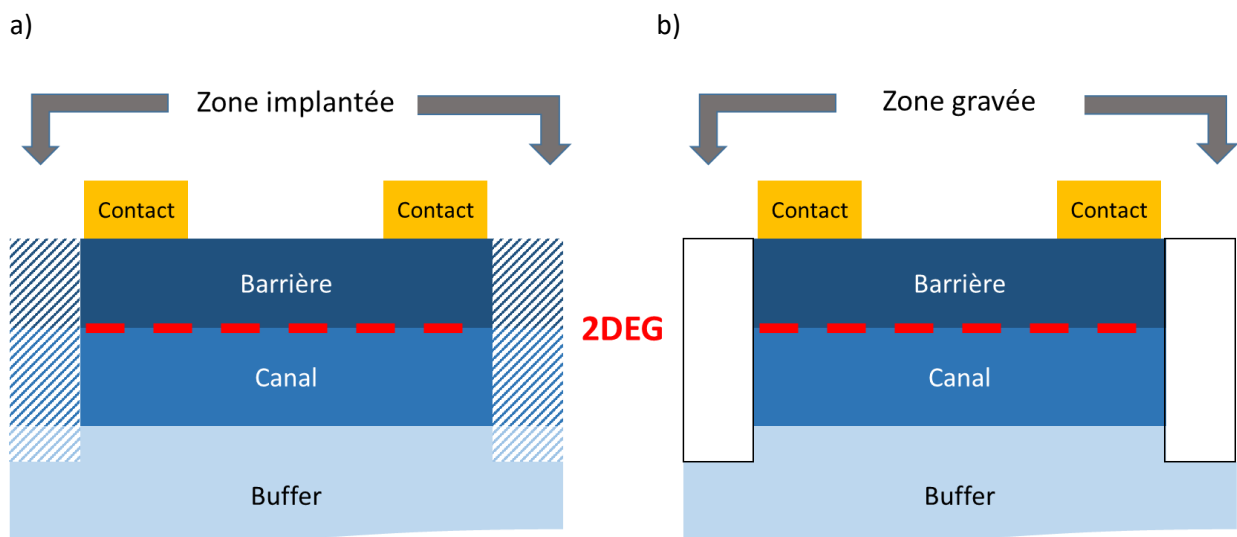


Figure 1.24 : Schémas de structures avec une isolation par implantation a) et mesa b).

iv. Grille

L'étape de grille est critique pour la réalisation de transistors. Concernant les transistors de type normally-on, la grille est déposée sur une couche isolante et forme un MOS (*Metal-Oxide-Semiconductor*) ou MIS (*Metal-Insulator-Semiconductor*) suivant le type d'isolant.

Les MISHEMT sont plus adaptées pour les applications de conversion à haute puissance du fait de leur faible courant de fuite et la large amplitude de commande de la grille. Le choix de l'empilement de métal est déterminé par la hauteur de barrière entre le métal et le semi-conducteur. Par exemple, le Nickel (Ni) est couramment utilisé comme contact de grille avec une hauteur de barrière d'environ 0,66-1eV [81].

Comme on peut le voir sur la Figure 1.25, la grille est placée entre le contact de drain et de source. La tension de claquage augmente de manière non linéaire avec l'augmentation de la distance grille-drain (GD). Cependant, une courte distance GD permet d'atteindre des niveaux de courant plus élevés car

les résistances d'accès sont inversement proportionnelles à GD. La Figure 1.32 représente différente distance GD, vu du MEB.

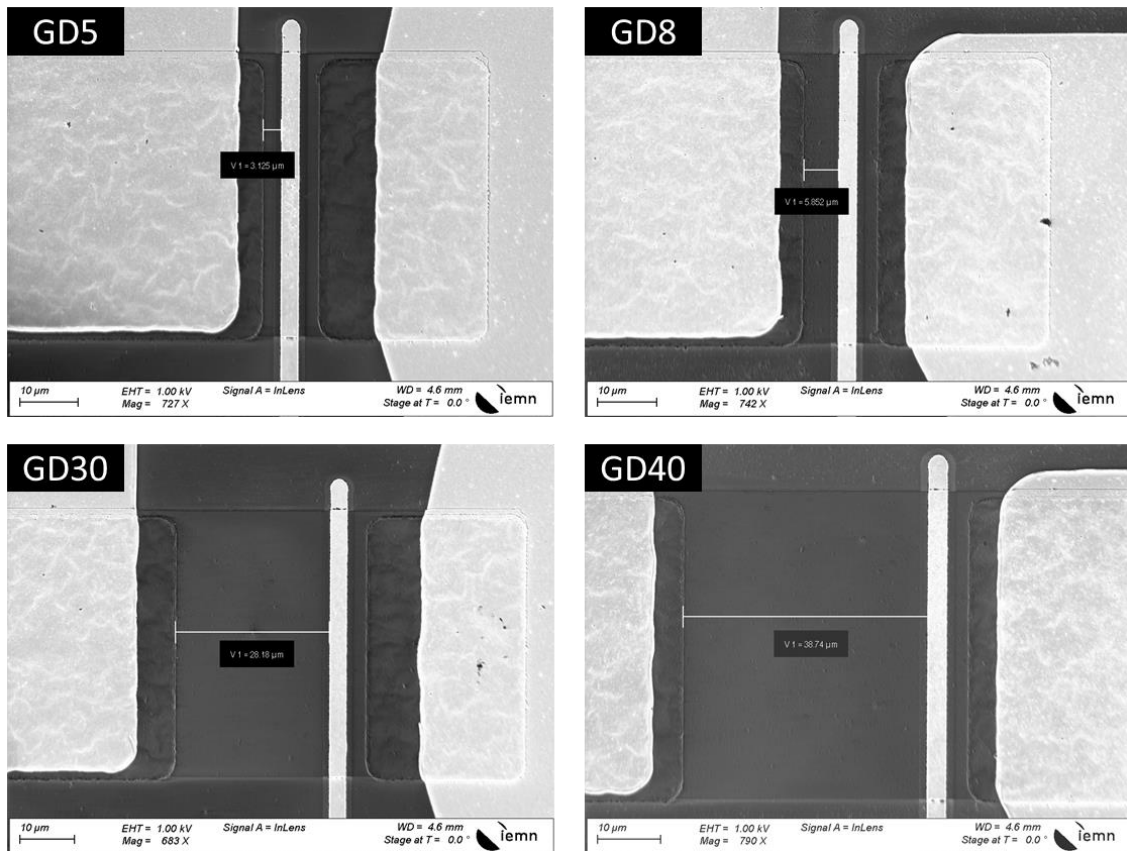


Figure 1.25 : Images MEB de transistors AlGaIn/GaN avec différentes distances grille-drain.

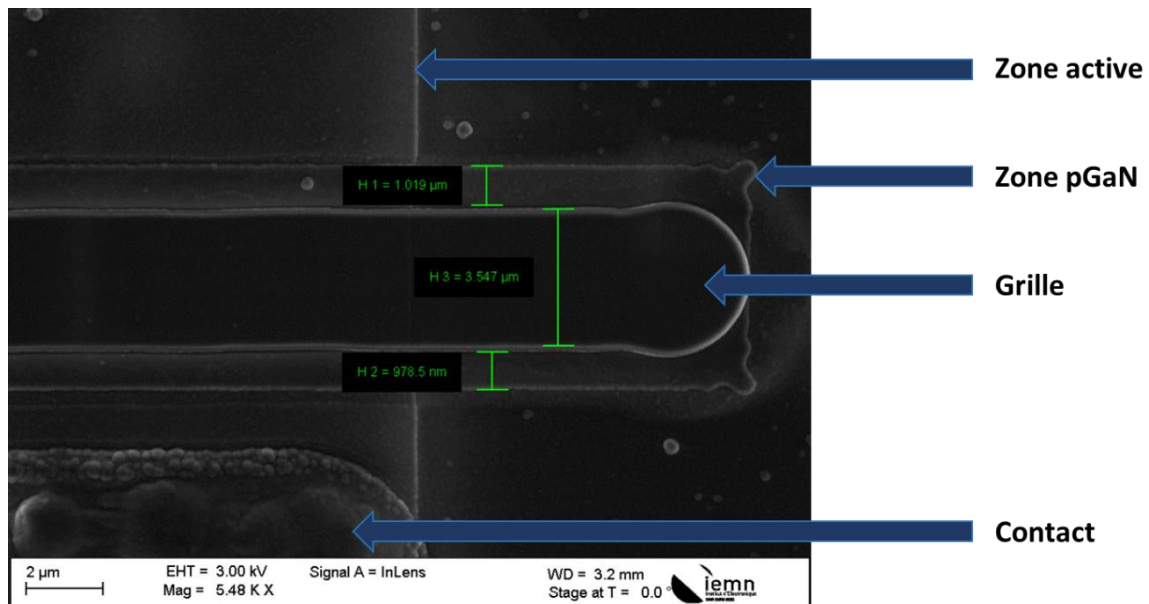


Figure 1.26 : Alignement de grille sur la zone p-GaN d'un transistor GaN normally-off.

Dans le cas de transistors de type normally-off, la grille est déposée sur la couche de p-GaN. La gravure (comme évoquée précédemment) et l'alignement de la grille sur la zone p sont critiques au bon fonctionnement de ce type de transistors (Figure 1.26).

d. Techniques de caractérisation électrique

L'ensemble des caractérisations sont réalisées sur un banc de mesure Haute Tension (HT) présent à l'IEMN (Fig. 1.27). Ce banc permet d'effectuer des mesures tension/courant de 10kV/20A à température ambiante.

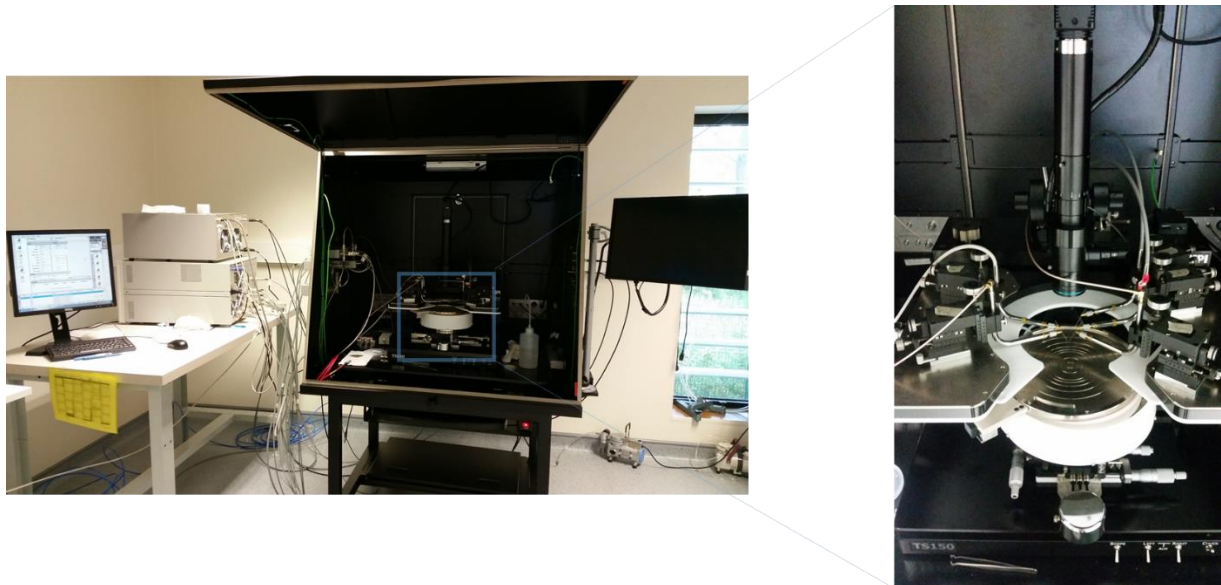


Figure 1.27 : Photos du banc de mesures à Haute Tension.

Les caractéristiques électriques des structures sont étudiées au travers de différents types de mesures :

La tension de claquage verticale : Celle-ci est effectuée en mettant le substrat à la masse (Fig. 1.28). La tension de claquage verticale reflète la qualité de l'épitaxie (liée à la densité de défauts) pour une épaisseur donnée.



Figure 1.28 : Schéma de la mesure de claquage vertical d'une hétérostructure à base de GaN.

La tenue en tension latérale en fonction de l'espacement entre des contacts isolés et espacés de différentes distances (Figure 1.29) : Sur substrat silicium, la tension de claquage sature systématiquement pour de larges distances entre contacts (Figure 1.30). En effet, pour un niveau d'énergie assez élevé, la zone de charge d'espace atteint le substrat silicium, créant une conduction parasite responsable du claquage [82].

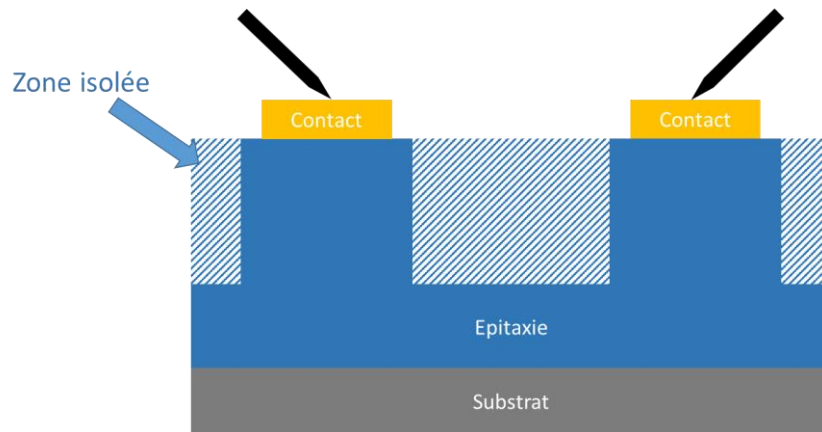


Figure 1.29 : Schéma de la mesure de claquage latéral d'une hétérostructure à base de GaN.

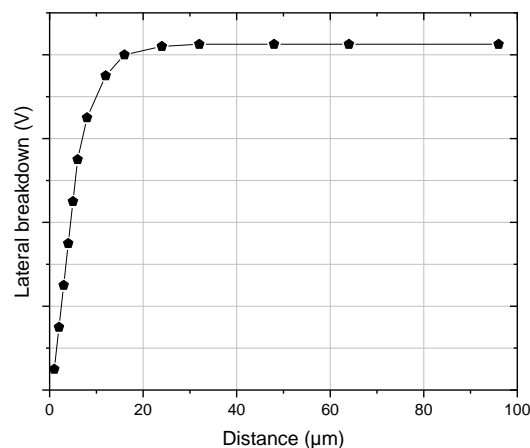


Figure 1.30 : Evolution typique de la tension de claquage latéral en fonction des distances entre contacts isolés.

Les mesures par balayage en tension du substrat permettent d'évaluer le piégeage au sein du buffer en dessous du 2DEG indépendamment de la surface. Elle consiste à polariser deux contacts ohmiques tout en appliquant un potentiel (négatif) sur le substrat silicium. Un schéma de la configuration de ce type de mesure est présenté sur la Figure 1.31.

Toute redistribution de charge au sein du buffer en cas de polarisation inverse entrainera une modification de la conductivité du 2DEG. Ainsi, le piégeage ou le stockage de charge dans le buffer sera visible sur la caractéristique IV au travers d'une hystérésis. Cette technique simple et rapide permet d'évaluer en amont et d'anticiper un problème éventuel de résistance dynamique à l'état passant. Néanmoins, il faut noter qu'il n'est pas possible de localiser le piégeage des électrons entre les

différentes couches du buffer avec cette approche. Par contre, la modulation de la vitesse de balayage permet d'obtenir une estimation de la constante de temps des pièges.

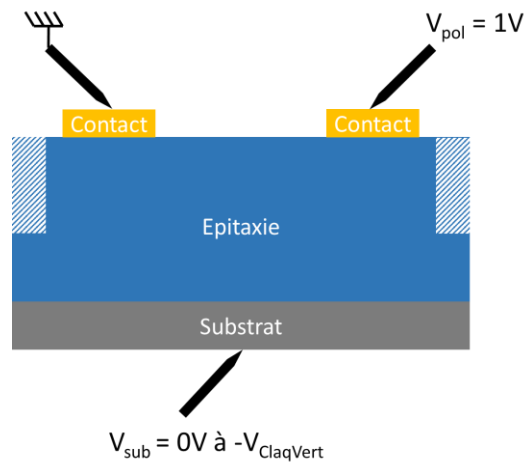


Figure 1.31 : Schéma de la mesure par balayage en tension d'une hétérostructure à base de GaN sur substrat silicium.

La Figure 1.32 montre un exemple de balayage en tension du substrat sur une structure commerciale spécifiée à 650V. Les résultats montrent un faible effet de piégeage jusqu'à 800 V. On peut remarquer qu'au-delà de 800V, une forte hystérésis apparaît, mettant en évidence l'activation de pièges au sein de la structure.

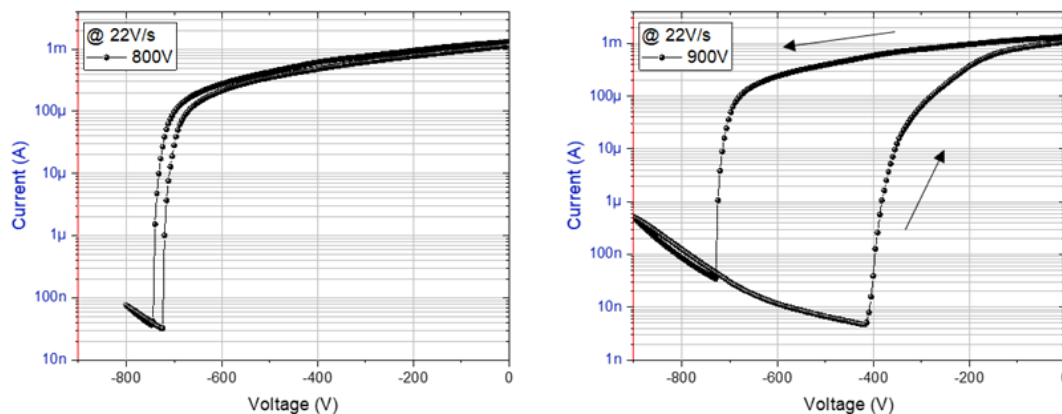


Figure 1.32 : Exemple de mesures par balayage en tension du substrat sur une structure commerciale.

Afin d'évaluer quantitativement l'impact du piégeage d'électrons sur le courant de drain, nous utiliserons des mesures dites de « back-gating » (Figure 1.33). Cette analyse en fonction de la température peut être utilisée pour identifier l'impact du piégeage dans la structure du buffer sans la contribution des effets de surface. Dans ce cas, le piégeage est activé par une impulsion dans le substrat. Plus précisément, le composant testé est soumis à une phase de piégeage ($V_{D,F}$; $V_{B,F}$) à l'état OFF pendant une période de 10 s ($V_{D,F}$ et $V_{B,F}$ sont les points de polarisation utilisés sur le drain et sur

le substrat pour induire le piégeage). Lors de la seconde phase, le composant est polarisé à l'état passant, à faible champ et faible puissance. Lors de cette phase de dépiégeage ($V_{D,M}$; $V_{B,M}$) le recouvrement du courant est analysé durant une période de 100 s à partir de 100 μ s ($V_{D,M}$ et $V_{B,M}$ sont les points de polarisation utilisés sur le drain et le substrat durant la mesure de la résistance à l'état passant dans la phase de dépiégeage). Les mesures sont effectuées sur des structures TLM ou sur des transistors, permettant une estimation précise de l'impact du piégeage du buffer sur la résistance à l'état passant.

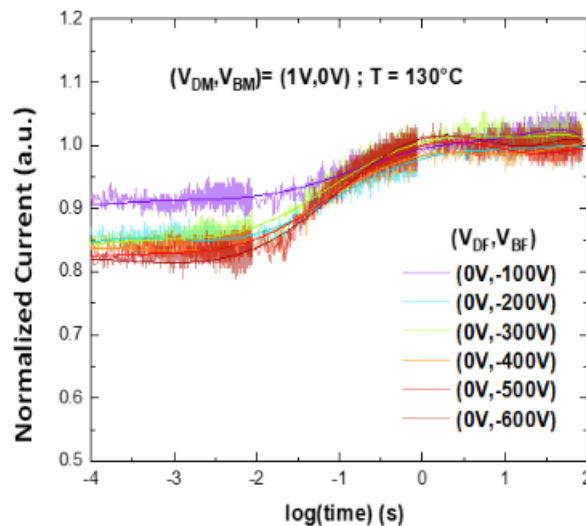


Figure 1.33 : Exemple de mesures "back-gating" à $T=130^{\circ}\text{C}$ sur TLM sous six conditions de piégeage.

Enfin, un ensemble de mesures est réalisé sur les transistors afin d'en déterminer les performances : les caractéristiques de transfert $I_d V_g$ et $I_d V_d$ des transistors pour plusieurs distances grille-drain (GD). Ces mesures permettent de relever les paramètres liés aux différents régimes de conduction des composants tels que la tension de seuil, la résistance à l'état passant, les courants de fuite à l'état bloqué ainsi que la densité de courant maximum en régime de saturation, en fonction de la distance GD (Figure 1.34). La campagne de caractérisation se termine généralement par des mesures de claquage de transistors avec et sans substrat à la masse. Ces mesures sont relativement destructives (Figure 1.35).

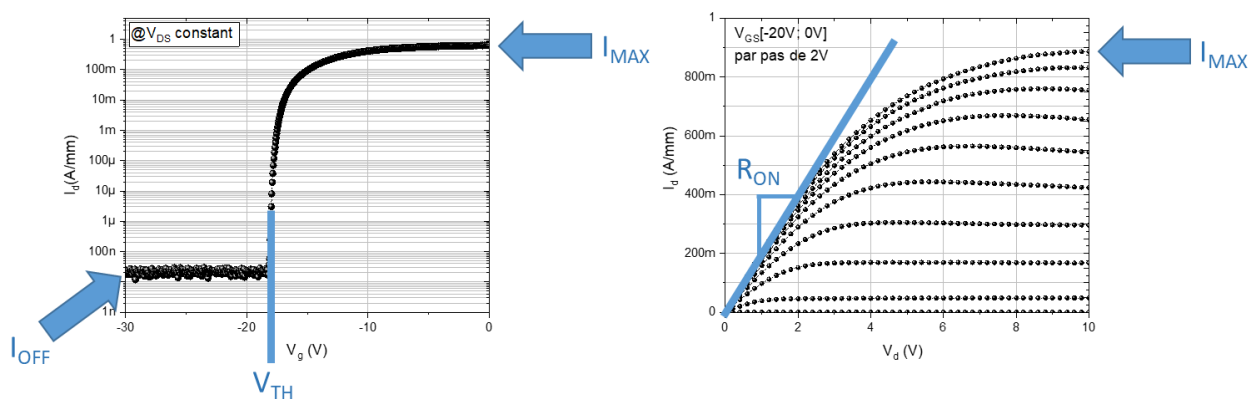


Figure 1.34 : Caractéristiques de transfert $I_d V_g$ (à gauche) et de sortie $I_d V_d$ (à droite).

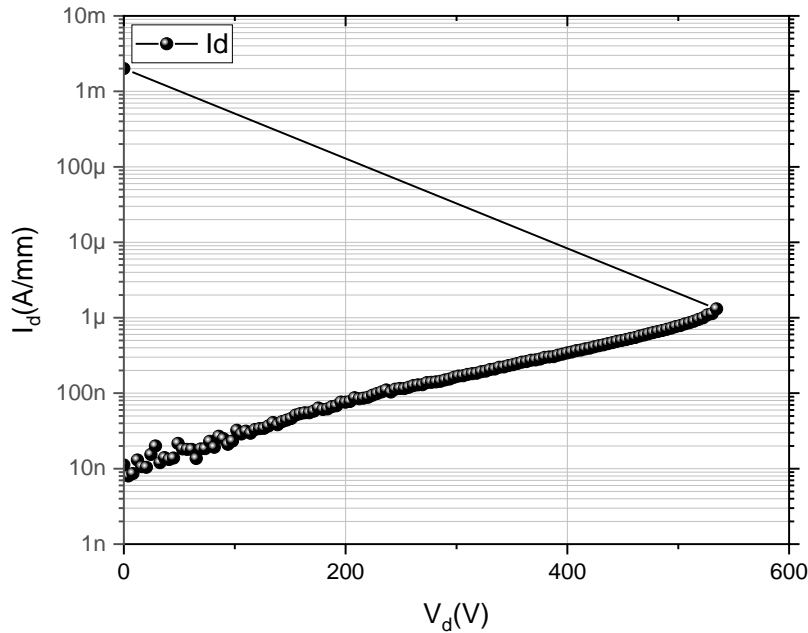


Figure 1.35 : Exemple de mesure de tension de claquage d'un transistor à l'état off.

4. LIMITATIONS DES TRANSISTORS LATÉRAUX

Les principales limitations des transistors latéraux à base de GaN sont :

- La fiabilité des composants, essentielle pour toutes les applications. Au-delà de la qualité du procédé de fabrication, les principaux mécanismes affectant la fiabilité de ce type de composants sont liés aux effets de pièges responsables de la dégradation de la résistance à l'état passant R_{ON} en régime dynamique. Le piégeage des électrons sous fort champ électrique en surface et/ou au sein du buffer génère une déplétion d'une partie du 2DEG et par conséquent un effondrement du courant de drain en régime opérationnel.
- La montée en tension est limitée par plusieurs paramètres. Au-delà de la qualité du matériau et du procédé de fabrication, le facteur limitant les transistors à base de GaN fabriqués sur substrat de Si est le substrat lui-même en raison de son faible champ électrique critique.
- Enfin, comme le canal entre source/drain est conducteur lorsque le HEMT est à l'équilibre, le transistor est de type normally-on (tension de pincement négative). Cette caractéristique est cependant aussi une limitation car pour des raisons de sécurité et d'économie d'énergie, il est préférable que le HEMT soit de type normally-off avec une tension de pincement strictement positive.

a. Limitations du R_{ON} dynamique

Comme évoqué précédemment, le nitrure de gallium présente de très bonnes propriétés intrinsèques en termes de vitesse de saturation des électrons et de mobilité. Néanmoins, il a été observé que le courant de drain est fortement influencé par le champ électrique fonction de la fréquence de fonctionnement et de la tension de polarisation. Cet effet s'explique par la dégradation de la résistance à l'état passant (R_{ON}) pendant la commutation. Cette dégradation est due à l'effet de piégeage dans la

structure du transistor. Comme le montre la Figure 1.36, cet effet parasite peut provoquer une dégradation significative de la résistance dynamique à l'état passant par rapport à la résistance en régime statique et entraîne une forte diminution du courant de drain.

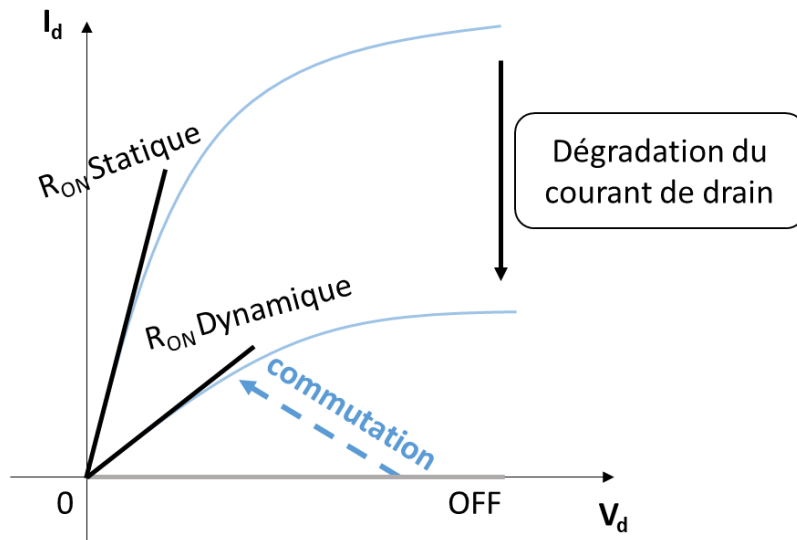


Figure 1.36 : Dégradation du R_{ON} dynamique lors de la commutation pour un dispositif HEMT GaN.

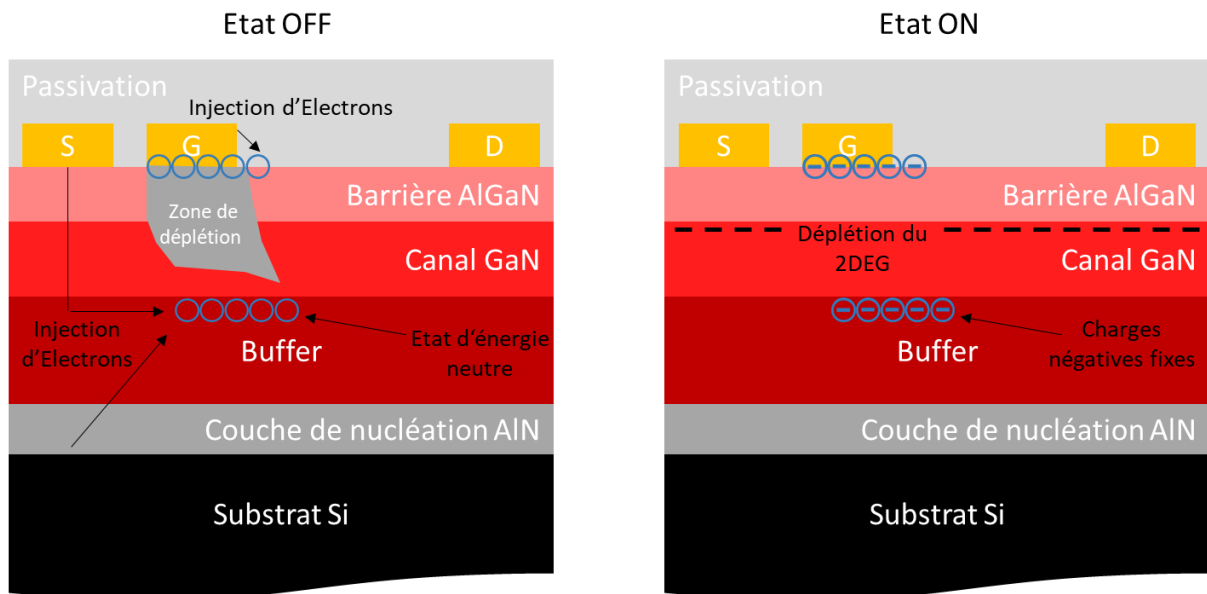


Figure 1.37 : Illustration de l'influence de l'effet de piégeage du R_{ON} sur un dispositif HEMT GaN lors de la commutation a) état OFF b) état ON.

Cet effet de piégeage au sein de l'hétérostructure responsable de la dégradation du R_{ON} dynamique est généralement représenté par des charges électriques négatives localisées dans différentes zones : la surface (proche du 2DEG) et le buffer [83]–[85]. À l'état OFF, la conduction entre la source et le drain est bloquée par une forte polarisation négative de la grille induisant une large zone de charge d'espace. L'intensité du champ électrique résultant conduit éventuellement à l'injection d'électrons provenant de différentes sources (courant de fuite). Les porteurs libres sont susceptibles d'être piégés dans la

structure à différents niveaux d'énergie plus ou moins profonds en fonction du champ électrique, ce qui entraîne des charges négatives fixes (Figure 1-37a). Lors de la commutation (de l'état OFF à l'état ON), la présence de ces charges négatives fixes à proximité de la zone active induit une déplétion du 2DEG (figure 1-37b). Cette déplétion entraîne une dégradation du courant de drain, ce qui explique l'augmentation du R_{ON} dynamique. Afin de réduire l'impact des pièges de surface, une couche de passivation supplémentaire est déposée sur la barrière [86]–[90]. Pour réduire l'impact des pièges profonds, des structures à super-réseaux ont été étudiées et seront présentées dans la prochaine partie.

b. Conduction parasite à l'interface du substrat Si

La limitation majeure des composants latéraux en GaN sur substrat Si en termes de tenue en tension est la conduction parasite du substrat sous fort champ électrique. La Figure 1.38 représente les principales sources de fuite d'un HEMT AlGaN/GaN. Différents types de fuites peuvent être observés : les fuites latérales (fuites de surface, de grille et de buffer) et les fuites verticales (fuites à travers le substrat). Les fuites latérales sont aujourd'hui relativement bien maîtrisées, grâce à l'amélioration de la qualité des matériaux et des passivations associés. Cependant les mécanismes à l'origine des fuites de courant verticales sont encore mal connus. En raison de la composante verticale du champ électrique sous la grille pendant le blocage du transistor, les lignes de champ électrique se propagent verticalement dans l'épitaxie à mesure que la tension de drain augmente. Pour une valeur de tension de drain critique fonction de l'épaisseur totale du buffer, les lignes de champ atteignent le substrat Si et génèrent une conduction parasite à l'interface avec le substrat [91], [92]. Cette conduction entraîne une augmentation drastique du courant de fuite.

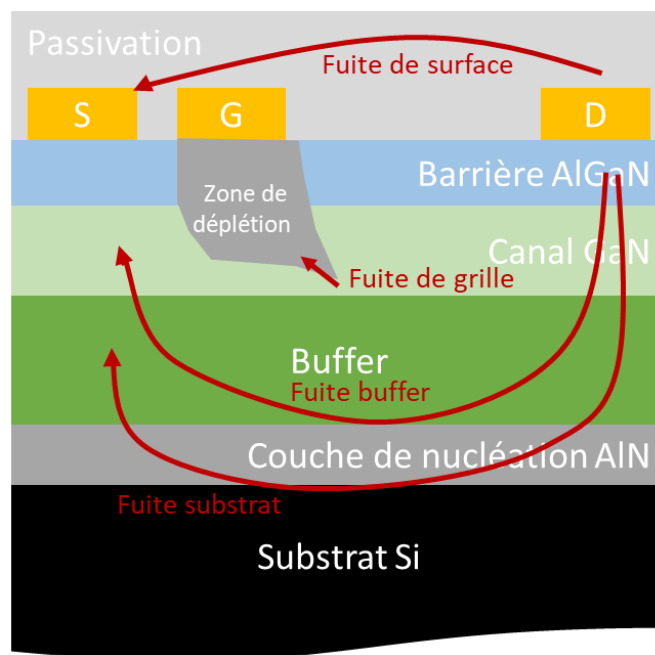


Figure 1.38: Représentation des principales sources of de fuite au sein d'un HEMT AlGaN/GaN sur substrat Si.

La Figure 1.39 montre un exemple de tension de claquage, définie à un courant de fuite à 1 mA/mm, pour 2 épaisseurs d'épitaxie en fonction de la distance grille-drain (GD). On voit que pour des distances GD courtes (typiquement < 10 à 15 μm), la tension de claquage évolue linéairement avec GD. En revanche, pour des distances GD plus élevées (> 15 μm), la tension de claquage sature, illustrant cette fois le claquage vertical fonction de l'épaisseur totale de l'épitaxie.

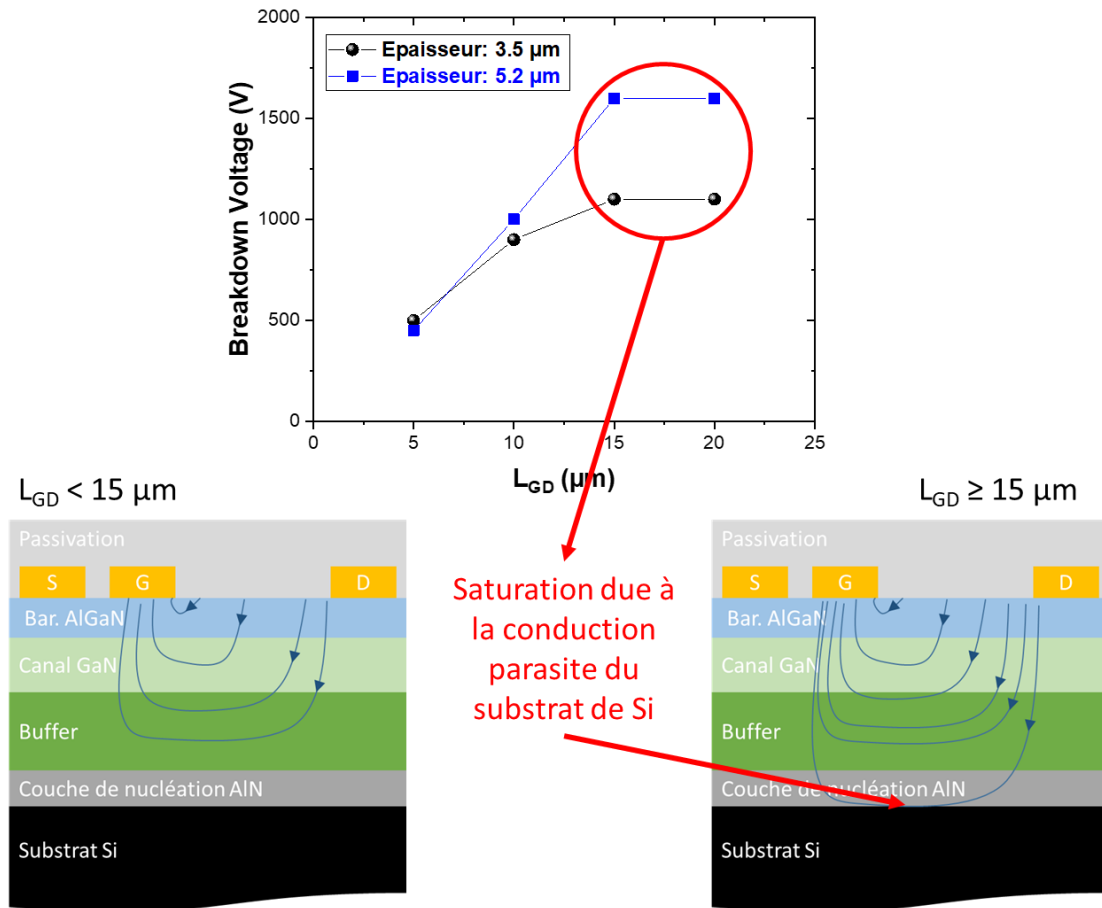


Figure 1.39 : Comparaison de la tension de claquage de HEMTs AlGaIn/GaN avec plusieurs épaisseurs d'épitaxies en fonction de la distance grille-drain.

c. Transistors GaN de type normally-off

Les transistors HEMTs à base de GaN délivrent une tension de seuil négative, qui définit un fonctionnement de type normally-on. Cependant, il est souhaité pour les convertisseurs de puissance d'assurer un état bloqué lorsqu'aucune polarisation n'est appliquée. C'est pour cette raison que le comportement normally-off est préféré. Cela permet de garantir un fonctionnement sécurisé si une panne se produit et une simplicité de circuit de commande de grille. Plusieurs solutions ont été proposées afin d'obtenir un fonctionnement normally-off. Parmi elle, l'approche d'une couche GaN dopée p sous la grille semble être la plus attractive à l'heure actuelle et fait l'objet d'un consensus relativement large au sein de la communauté. C'est donc cette méthode que nous avons choisie de développer et qui sera approfondie dans le prochain chapitre.

5. ETAT DE L'ART

Dans les applications à basse et moyenne tension, les transistors à haute mobilité électronique (HEMT) à base de GaN sont supérieurs aux composants de puissance conventionnels à base de silicium (Si) en termes de fréquence de commutation, de niveau de puissance, de densité de courant et de tenue en tension, qui sont des facteurs cruciaux pour améliorer les performances des convertisseurs de puissance avancés. Les principaux acteurs du marché proposent aujourd'hui des transistors en GaN fonctionnant à 600/650V, présentant des résistances à l'état passant très inférieures à celles des composants Si. Néanmoins, la technologie GaN actuelle n'a pas encore atteint son véritable potentiel, compte tenu de ses caractéristiques intrinsèques exceptionnelles. Pour des tensions plus élevées (> 1 kV), il n'existe pas encore de dispositifs en GaN commercialisés. On peut voir sur la Fig. 1.40, un benchmark des HEMT GaN avec le substrat flottant et le substrat à la masse. On peut remarquer que les performances sont limitées en dessous du kilovolt lorsque le substrat est polarisé à la masse. Des efforts de la communauté de recherche sont encore nécessaires pour atteindre une compréhension plus complète de la physique des matériaux et des composants à base de GaN afin de repousser les limites de cette filière. Il est important de noter la limite du GaN présenté par le trait rouge, est également valable pour les composants verticaux.

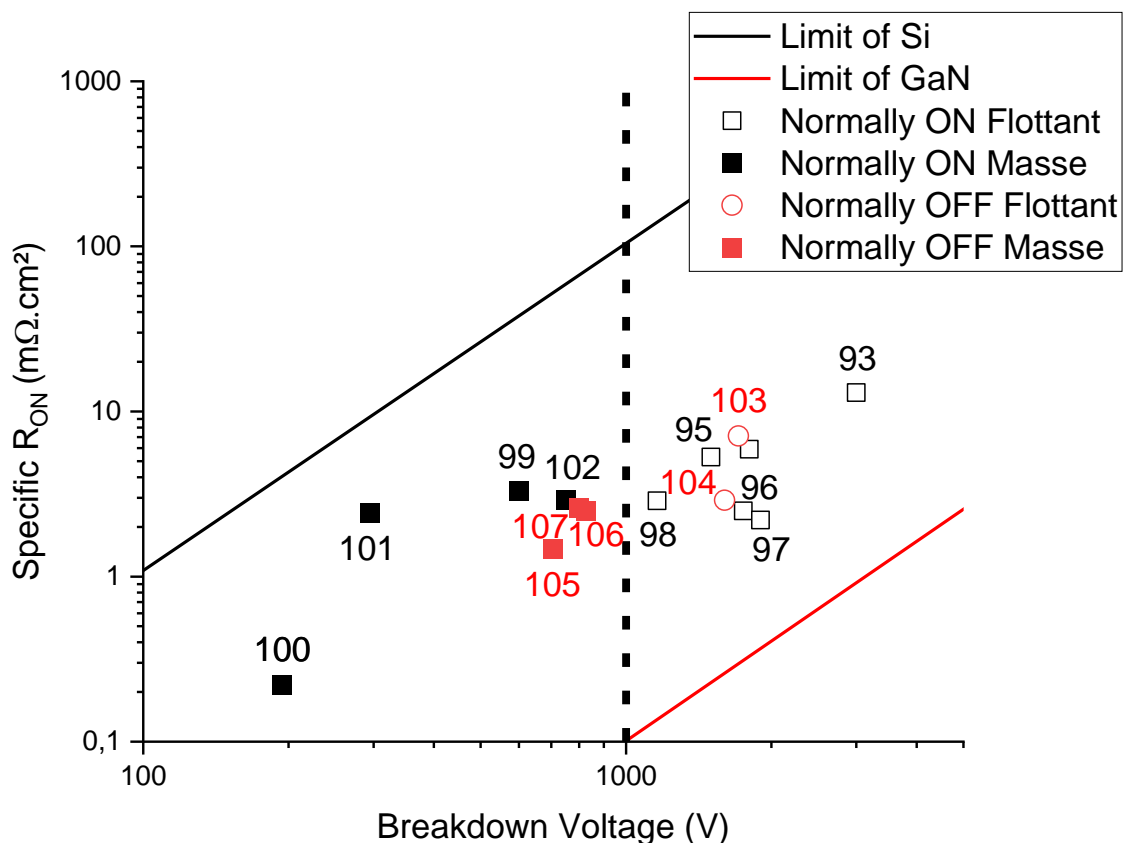


Figure 1.40 : Etat de l'art ($R_{ON,sp}$ versus V_b) de HEMT AlGaIn/GaN sur Si. [93 –107].

CONCLUSION DU CHAPITRE 1

L'évolution rapide des semi-conducteurs à large bande interdite au cours des dernières années a positionné les transistors latéraux GaN sur substrat Si comme un élément clé du marché des composants de puissance de prochaine génération. L'impact potentiel des transistors HEMT en GaN sur les applications de puissance devrait être remarquable en raison de ses avantages technologiques, qui permettent d'obtenir simultanément une forte tenue en tension, un courant élevé et une faible résistance à l'état passant. Ces figures de mérite se traduisent par une puissance élevée, un fonctionnement à haut rendement et un faible coût lié au substrat silicium. C'est pourquoi les transistors de puissance latéraux à base de GaN apparaissent comme des composants de commutation idéaux pour la prochaine génération de convertisseurs visant des applications fonctionnant à 650V et au-delà.

Néanmoins, des limitations existent, empêchant l'exploitation de tout le potentiel que le GaN pourrait offrir. Il existe aujourd'hui plusieurs verrous technologiques principaux incluant 1) la fiabilité des composants liés principalement aux effets de pièges responsables de la dégradation de la résistance à l'état passant R_{ON} en régime dynamique, 2) la conduction parasite à l'interface avec le substrat limitant la tenue en tension des transistors et 3) le comportement naturellement normally-on des HEMTs GaN.

Dans ce contexte, ce travail de thèse se focalise sur l'étude et la fabrication de transistors GaN visant un fonctionnement à plus d'un kilovolt. En collaboration avec nos partenaires, nous avons optimisé une nouvelle architecture de buffer composée de super-réseaux, permettant non seulement d'accroître la tenue en tension comparée aux structures conventionnelles mais aussi de délivrer de faibles effets de pièges sous forte polarisation de drain. Nous avons mis en place un procédé de fabrication permettant d'obtenir un comportement normally-off à base d'une couche GaN dopée p sous la grille et a été appliqué au buffer optimisé à base de super-réseaux. Nous avons également développé un procédé technologique reproductible et compatible au niveau industriel permettant de graver localement le substrat Si afin de supprimer la conduction parasite. Ces travaux ont notamment permis de repousser l'état de l'art des transistors GaN sur Si en termes de tenue en tension ainsi que notre compréhension du phénomène de conduction parasite au travers du substrat. Enfin, toujours dans le cadre de la montée en tension, nous avons mené une étude préliminaire sur des hétérostructures à base de matériaux à ultra grand gap.

CHAPITRE 2

OPTIMISATION DU BUFFER AU SEIN DE TRANSISTORS DE PUISSANCE GAN NORMALLY-OFF

La plupart des composants GaN commerciaux se limitent aujourd'hui à des tensions allant jusqu'à 900 V, tandis que d'autres semi-conducteurs à large bande interdite (tels que le SiC) offrent des solutions disponibles pour des tensions supérieures à 1 kV. Les composants GaN au-delà du kiloVolt bénéficieraient d'une résistance à l'état passant inférieure à celle des technologies SiC, tandis que la croissance sur substrat Si permettrait la fabrication de composants bas coûts. C'est pourquoi des efforts importants sont maintenant déployés pour développer des structures épitaxiales optimales de GaN-sur-Si permettant de fonctionner sur cette gamme de tension tout en délivrant de faibles effets de pièges. Récemment, des efforts significatifs ont été déployés [93], [108]–[110], cependant certains problèmes persistent. Afin de maintenir le courant de fuite des composants en dessous des limites de sécurité, les fuites verticales doivent être minimisées. Cela nécessite de minimiser la présence de défauts tels que les dislocations et une compensation optimale du buffer via un dopage au carbone. Il est toutefois important de noter que l'ajout de carbone dans le buffer peut entraîner des effets de piégeages indésirables, dont l'ampleur dépend fortement de la conductivité verticale des composants [111].

La nécessité de faire croître du GaN sur des substrats Si conduit au développement de buffers complexes et à des couches de transition qui permettent d'obtenir une bonne qualité cristalline et donc une amélioration des performances électriques des composants. Cela passe par la réduction des fuites entre le drain et le substrat lorsque les composants sont maintenus à l'état bloqué sous haute tension. La compréhension des mécanismes physiques du processus de fuite et de dégradation verticale des structures GaN sur Si est donc primordiale. Il a été suggéré [112] que l'accumulation de trous dans le buffer et l'injection d'électrons du substrat Si dominant le claquage lors d'une polarisation directe. De plus, le buffer et la couche de nucléation ne sont pas des matériaux intrinsèquement semi-isolants. C'est pour cette raison que pour augmenter la résistivité des accepteurs profonds sont généralement introduits pour compenser le dopage des donneurs (impuretés résiduelles) [113]. Cette haute résistivité permet de réduire les courants de fuite à l'état bloqué et diminuer l'effet « punch through » qui provoque le claquage prématuré.

En général, les accepteurs (avec une densité N_A) et les donneurs (avec une densité N_D) coexistent dans le buffer/ couche de transition, et suivent la relation $N_A > N_D$. Ces états profonds n'ont guère d'influence significative sur les performances des composants lorsqu'une polarisation de drain moyenne est appliquée ; cependant, pour les applications de commutation de puissance qui nécessitent une polarisation de drain importante (proche de la tension de claquage verticale), un champ électrique élevé se forme dans le buffer/couche de transition pouvant interagir fortement avec ces niveaux profonds. Ces interactions pourraient donc être potentiellement corrélées avec le comportement de fuite/claquage vertical.

1. ANALYSE DU BUFFER PAR DECOMPOSITION

Dans cette première partie, les résultats d'une étude dite de "décomposition de buffers" seront présentés. Trois structures différentes ont été fabriquées pour lesquelles la croissance a été interrompue à différents stades. De cette manière, nous avons été en mesure d'évaluer séparément le processus de conduction et de claquage de la couche de nucléation d'AlN, du buffer AlGaN et de l'empilement des couches jusqu'à une couche GaN dopée carbone (C). Enfin, des mesures par polarisation du substrat ont été réalisées sur l'ensemble des structures afin d'analyser les effets de pièges.

a. Description des structures

La Figure 1.39 montre un exemple de tension de claquage, définie à un courant de fuite à 1 mA/mm, pour 2 épaisseurs d'épitaxie en fonction de la distance grille-drain (GD). On voit que pour des distances GD courtes (typiquement < 10 à $15 \mu\text{m}$), la tension de claquage évolue linéairement avec GD. En revanche, pour des distances GD plus élevées ($> 15 \mu\text{m}$), la tension de claquage sature, illustrant cette fois le claquage vertical fonction de l'épaisseur totale de l'épitaxie.

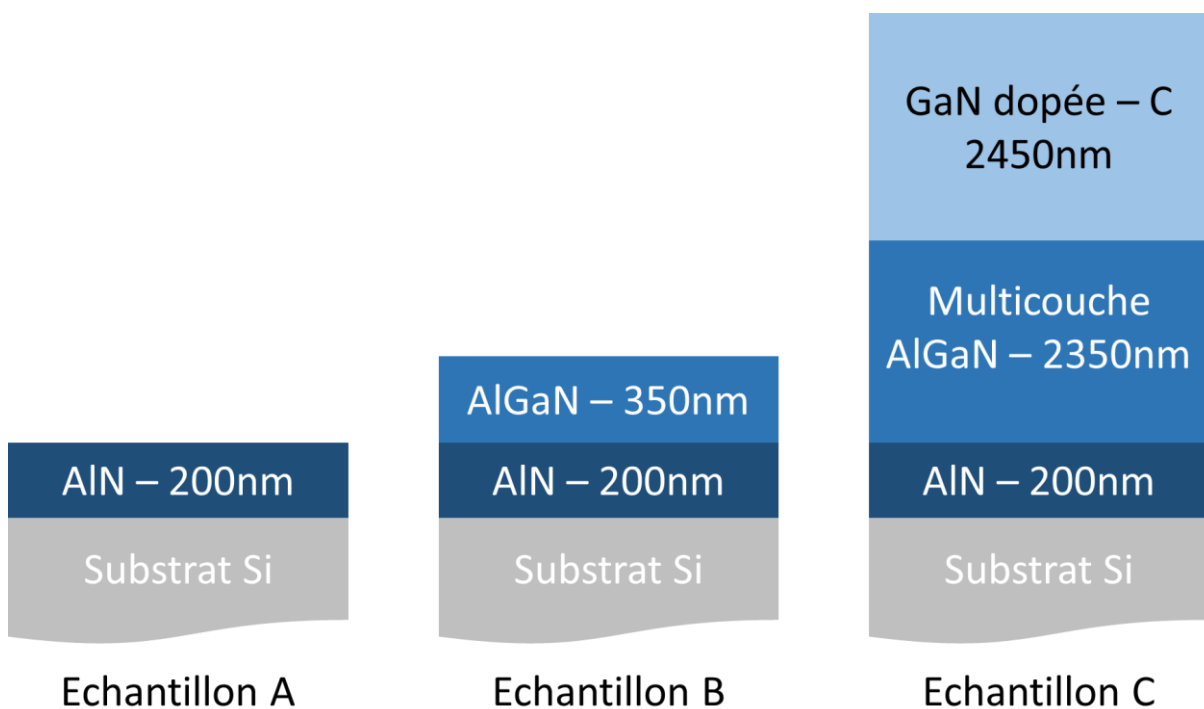


Figure 2.1 : Représentation schématique des trois structures fabriquées dans le cadre de l'étude de décomposition de buffer : échantillon A (gauche), échantillon B (centre) et échantillon C (droite).

L'étude présentée dans cette partie se focalise sur trois échantillons livrés par la compagnie SOITEC-B (ex. EpiGaN) (Figure 1). L'échantillon A consiste en une couche de nucléation en AlN de 200 nm

d'épaisseur déposée par MOCVD (dépôt chimique en phase vapeur organométallique) sur un substrat silicium. De manière générale, dans une structure GaN-sur-Si, la couche de nucléation en AlN agit comme une couche de transition permettant l'hétéro-épitaxie des couches (Al)GaN de bonne qualité. L'échantillon B a une structure similaire à l'échantillon A, avec cependant une couche supplémentaire d' $\text{Al}_{0.7}\text{Ga}_{0.3}\text{N}$ de 350 nm d'épaisseur.

Typiquement, dans un empilement GaN-sur-Si, plusieurs couches d'AlGaN avec un taux d'aluminium dégressif sont interposées entre la couche de nucléation et la couche de GaN. L'un des intérêts de ces couches est de générer une contrainte de compression pour compenser la contrainte de traction induite par la dilatation thermique générée lors de la phase de refroidissement (Fig. 2.2).

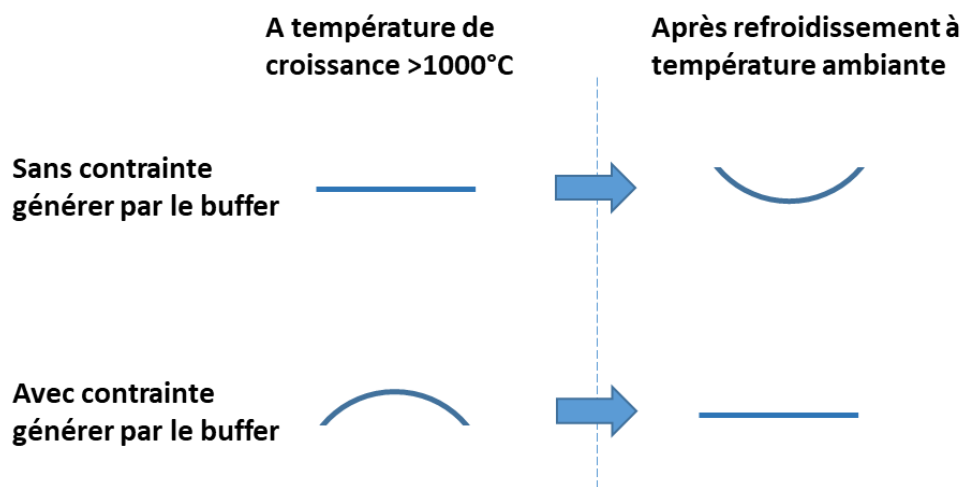


Figure 2.2 : Maîtrise de l'arc de courbure d'hétéro-épitaxie GaN sur Si.

L'échantillon C est donc constitué d'un substrat silicium dopé p, d'une couche d'AlN de 200 nm, d'une multicouche d'AlGaN de 2350 nm d'épaisseur, qui empêche les dislocations de se propager à travers l'empilement, et d'une couche de GaN dopée C de 2450 nm d'épaisseur. La concentration de dopage carbone est de $2 \times 10^{19} \text{ cm}^{-3}$. Pour rappel, l'objectif de la couche dopée C est d'augmenter la résistivité du buffer au plus proche du gaz 2D et ainsi empêcher l'injection des électrons vers le substrat sous fort champ électrique (communément appelé "punch through effect"). Plusieurs études dans la littérature montrent que cette couche joue un rôle crucial non seulement pour la robustesse mais aussi pour la stabilité des transistors dans des conditions de fonctionnement opérationnel [114], [115].

Nous avons réalisé une étude structurale sur la qualité des différentes couches. En utilisant une coupe transversale et une analyse TEM, les densités de dislocations ont été estimées à $3,2 \times 10^{10} \text{ cm}^{-2}$ pour les couches de nucléation d'AlN des trois structures, $2,3 \times 10^{10} \text{ cm}^{-2}$ pour les couches d' $\text{Al}_{0.7}\text{Ga}_{0.3}\text{N}$ des structures B et C, et $3,1 \times 10^9 \text{ cm}^{-2}$ pour le GaN:C de la structure C. Les morphologies de surface ont été analysées par MEB et AFM. Les résultats observés par microscopie MEB sont présentés sur la Figure 2.3. La structure A présente une surface avec un grand nombre de défauts en V en raison des conditions non optimisées. En effet, les défauts en V sont critiques pour les structures GaN/Si. Il a notamment été démontré qu'elles agissent comme de réels chemins de courant de fuite au travers

des dislocations, et ont un fort impact sur le claquage des composants. Une corrélation claire entre le claquage vertical et la densité de défauts en V a été obtenue. Des travaux précédents ont identifié les défauts en V comme des régions avec des concentrations plus élevées de porteurs de type n et des chemins de fuites verticales [116].

L'échantillon A présente une densité de défauts en V de $\approx 1,5 \times 10^{10} \text{ cm}^{-2}$ avec un diamètre moyen de $\approx 60 \text{ nm}$. La surcroissance sur les défauts de la couche d'AlN conduit à l'agrandissement de ces défauts dans les couches suivantes. En effet, une densité plus faible, de $\approx 5 \times 10^9 \text{ cm}^{-2}$ mais avec un plus grand diamètre typique de $\approx 120 \text{ nm}$, est observée pour la structure B. Dans le cas de la structure C, aucun défaut en V n'est observé, due à une croissance réussie de la couche GaN:C et probablement celle des couches inférieures. L'utilisation d'une couche de GaN:C entraîne une plus grande uniformité des chemins de fuite en raison de l'importante réduction des défauts et de la densité de dislocations. Les valeurs de rugosité obtenues sur une échelle de $5 \times 5 \mu\text{m}^2$ par AFM sont de 2,35 nm, 7,55 nm, et 0,25 nm pour les structures A, B et C respectivement.

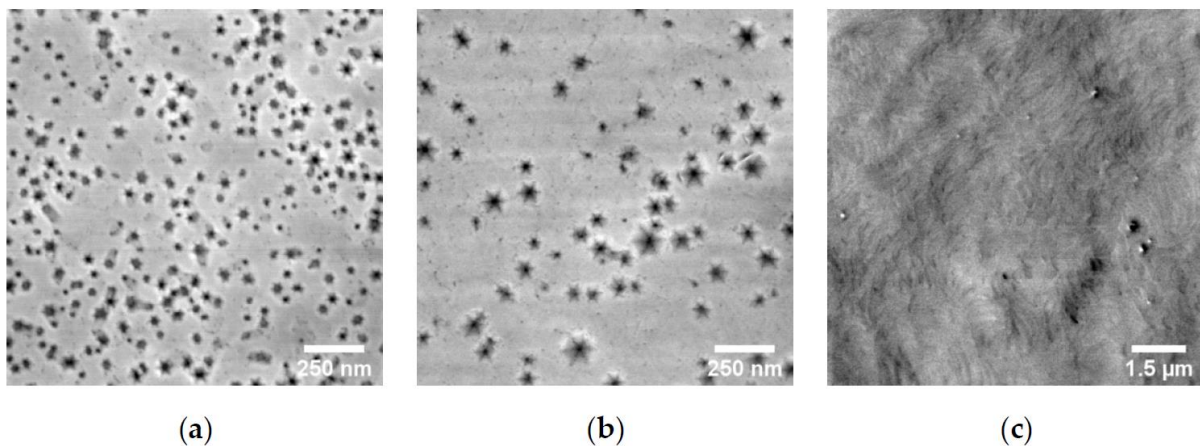


Figure 2.3 : Images MEB des surfaces de la structure A (a), de la structure B (b) et de la structure C (c).

b. Caractérisations électriques

Afin d'obtenir un aperçu du comportement électrique des trois structures, différentes mesures ont été mises en place. Nous avons réalisé des caractérisations électriques en polarisant un ensemble de contacts Ti(40nm)/Au(20nm), définis par photolithographie, où la surface de contact est de $95 \times 95 \mu\text{m}$. L'isolation entre contacts a été réalisée par implantation azote. La première analyse électrique a permis de confirmer la présence de l'importante densité de défauts en V sur les échantillons A et B en montrant un niveau de fuite relativement élevé et non uniforme (Fig. 2.4).

L'échantillon A présente un courant de fuite bruité, ainsi qu'une large disparité entre les composants. Ceci peut être attribué au taux de défauts élevé de la couche d'AlN formée sur le substrat de silicium. Même si la couche de nucléation est fondamentale pour la croissance des couches d'(Al)GaN, le désaccord de maille élevé entre l'AlN et le Si entraîne la création de défauts et de dislocations. Ces dernières induisent une conduction localisée, responsable de la grande variabilité observée. Pour l'échantillon B, on peut remarquer que la couche d'AlGaN déposée sur la couche de nucléation d'AlN

améliore fortement la stabilité et l'uniformité des courants de fuite. Enfin, dans le cas de l'échantillon C, la couche hautement résistive améliore considérablement la robustesse verticale de l'empilement des couches tout en empêchant l'effet *punch through*. La mesure électrique montre que le courant de fuite des composants est très stable jusqu'au claquage vertical. De plus, on peut remarquer que l'uniformité de l'ensemble de l'empilement est remarquablement améliorée avec une tension de claquage à température ambiante accrue, supérieure à 700V.

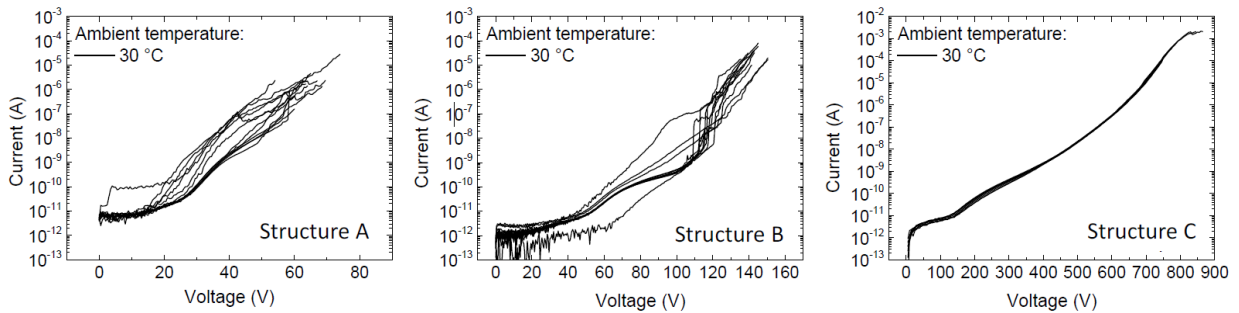


Figure 2.4 : Mesures de claquage vertical sur plusieurs contacts pour chacune des structures, jusqu'à destruction du matériau.

L'étude électrique s'est poursuivie par l'analyse des caractéristiques courant-tension à basse et à haute température des trois structures, toujours jusqu'à destruction du matériau (Fig. 2.5). On peut remarquer que le courant de fuite de l'échantillon A n'est pas fortement affecté par la température, ce qui signifie qu'une conduction verticale directe se propage de l'interface Si/AlN vers le contact sur le dessus de l'AlN au travers des dislocations. D'autre part, le courant de fuite sur l'échantillon B a une dépendance plus élevée à la température, ce qui signifie qu'il n'y a pas seulement une conduction à travers les dislocations, mais que l'émission thermique ou la conduction de bande jouent également un rôle. En passant de la couche d'AlN à la couche d'AlGaN, les dislocations et les densités de défauts diminuent. En conséquence, même si une grande quantité d'électrons est injectée par effet tunnel dans l'AlN, la conduction dans l'AlGaN, qui dépend de la température, limite le courant global circulant dans l'empilement de l'échantillon B.

La Figure 2.5 montre le fort impact de la température ambiante sur le courant de fuite vertical de l'échantillon C. La dépendance élevée de la température est compatible avec la présence d'un niveau d'accepteur profond (c'est-à-dire le carbone). L'explication plausible est qu'à haute température, la compensation de la conductivité résiduelle du GaN est moins efficace qu'à basse température, ce qui entraîne une forte augmentation du courant de fuite vertical avec l'augmentation de la température.

Afin d'étudier l'uniformité des mesures à travers les échantillons, les mesures de claquage vertical ont été réalisées sur plusieurs contacts de chaque structure, à différentes températures (30°C, 100°C et 170°C) et dans les mêmes conditions que les mesures précédentes. En raison de la nature conductrice du substrat Si, on peut supposer que dans le cas de l'échantillon A, toute la tension appliquée est localisée dans la couche d'AlN. De plus, l'AlN peut être considéré comme un matériau isolant, ce qui signifie que le champ électrique qui le traverse est quasi constant sur toute son épaisseur. Ces deux approximations nous permettent d'estimer le champ électrique maximum qui provoque le claquage

de la couche d'AlN en calculant le rapport entre la tension de claquage et l'épaisseur de la couche d'AlN. A 30 °C, le champ électrique moyen de claquage de la couche d'AlN est de 3,2 MV/cm, et il tombe à 2,78 MV/cm à 170 °C (Fig. 2.6a).

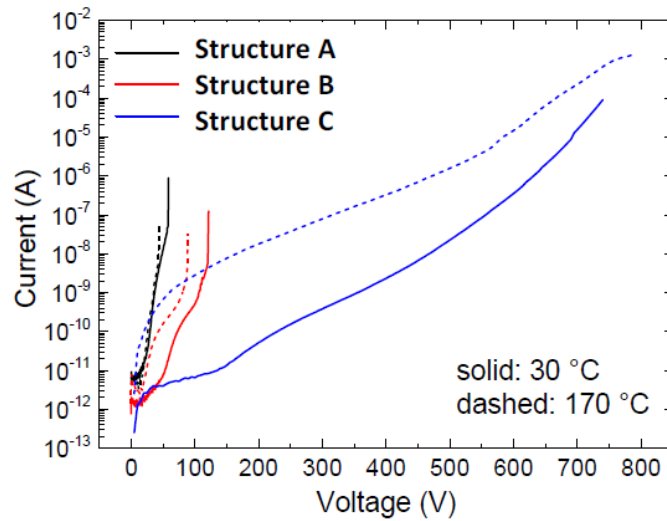


Figure 2.5 : Caractéristiques courant-tension réalisées à basse et à haute température des trois structures, jusqu'à destruction du matériau.

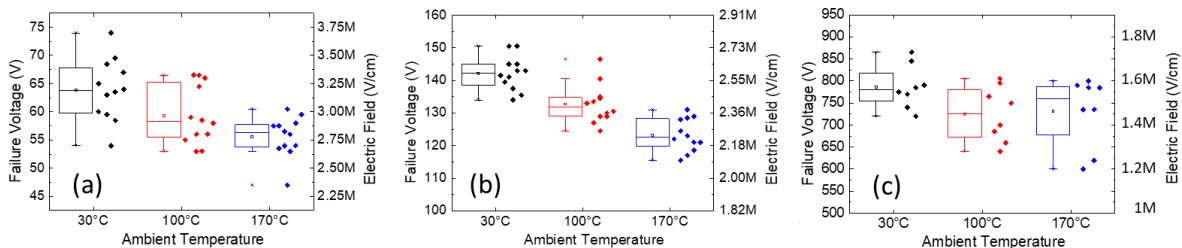


Figure 2.6 : Diagramme des tensions de claquage verticale des contacts sur les échantillons A (a), échantillon B (b) et échantillon C (c). L'axe y de droite montre le champ électrique correspondant.

En raison de l'épaisseur totale plus élevée des couches épitaxiales dans le cas de l'échantillon B, la tension de claquage est plus élevée par rapport à celle de l'échantillon A. De même, le champ électrique a été calculé comme le rapport de la tension de claquage et de l'épaisseur totale des couches d'AlN et d'AlGaIn. Il résulte un champ de claquage de 2,58 MV/cm à 30 °C. Ce calcul est une forte approximation, puisque le champ électrique de l'échantillon B est inférieur à celui calculé dans l'échantillon A, ce qui signifie que le champ électrique n'est pas distribué uniformément dans l'empilement AlN/AlGaIn. Ceci peut être attribué à la différence de constante diélectrique et à la différence de conductivité des deux matériaux. Comme pour l'échantillon A, une température plus élevée entraîne une baisse de la tension de claquage (Fig. 2.6b).

La haute qualité de la couche de GaN dopée carbone ainsi que l'augmentation de l'épaisseur totale permettent de considérablement améliorer la tension de claquage (supérieure à 700 V), et l'uniformité entre les composants testés (Figure 2.6c). La température a un impact évident sur le courant de fuite traversant la structure. Ce dernier étant plus important à des températures plus élevées qui peut être expliqué par l'augmentation de la conductivité.

Afin d'étudier plus en détail les processus de conduction, les trois structures analysées ont été soumises à un double balayage en tension (aller-retour) à basse et à haute température. L'objectif de la mesure est d'évaluer la présence éventuelle d'une hystérésis entre les courbes ascendante et descendante. La tension maximale est choisie afin d'éviter le claquage des composants, et est donc respectivement pour l'échantillon A, B et C de 40 V, 80 V et 600 V.

Dans le cas de l'échantillon A (Fig. 2.7a), on peut remarquer que lorsque la température augmente de 30°C à 150°C, l'hystérésis est considérablement réduite. Cela peut être attribué à l'effet de la température sur la dynamique de dépiégeage, qui se traduit par une quantité plus faible de charges piégées pendant le balayage retour.

Contrairement à l'échantillon A, l'échantillon B présente une hystérésis comparable à basse et haute température (Fig. 2.7b). Il convient de noter que contrairement à l'échantillon A dans lequel le niveau de courant pendant le balayage aller ne dépend pas de la température, le courant de fuite dans l'échantillon B dépend fortement de la température. Cela conduit à une injection de porteurs plus élevée, qui se traduit par une augmentation de charges pouvant être piégées. La plus grande densité de charges piégées pendant le balayage aller, empêche la conduction d'obtenir le même niveau de courant durant le balayage retour, ce qui fait que l'hystérésis est plus élevée que dans l'échantillon A.

L'échantillon C qui est la structure la plus complexe de l'étude de par la présence du dopage carbone, est la seule structure où une source de charges positives (trous) est également présente. Le rôle du carbone dans l'hystérésis du courant de fuite à travers l'empilement est clair sur la Figure 2.7c: le courant pendant le balayage retour est légèrement plus élevé que le courant pendant le balayage aller ; ce qui signifie que les charges positives qui favorisent l'injection de porteurs, sont piégées dans l'empilement. La température élevée accentue ce phénomène dû à la plus grande disponibilité des charges positives dans les couches épitaxiales.

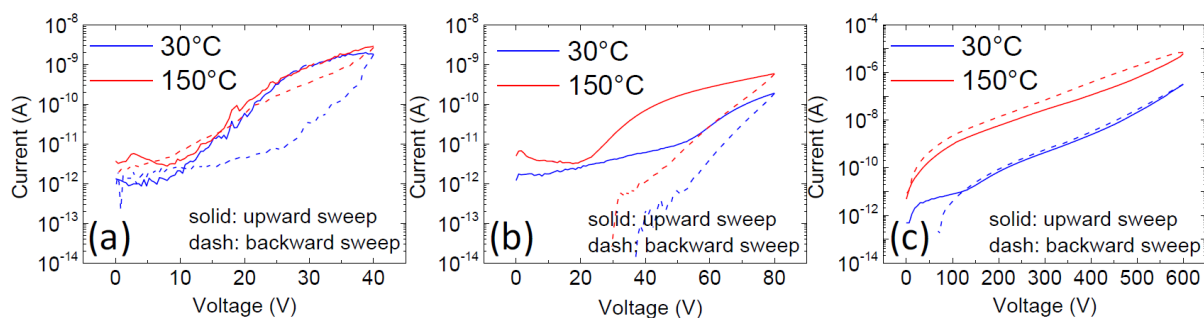


Figure 2.7 : Caractérisation à double balayage (aller : trait continu, retour : pointillé) de la tension en fonction du courant à température ambiante et à haute température.

Au final, les caractérisations courant-tension (IV) effectuées à la fois à température ambiante et à haute température ont montré que : (i) les défauts de la couche de nucléation en AlN sont la cause fondamentale des fuites à travers la jonction AlN/Silicium et entraînent une grande variabilité des caractéristiques I-V verticales d'un composant à l'autre ; (ii) la première couche d'AlGaN formée sur l'AlN améliore la tension de claquage de l'ensemble de la structure, et permet une meilleure stabilité et uniformité du courant de fuite ; (iii) l'épaississement de l'empilement par une couche GaN dopée

carbone augmente la tension de claquage jusqu'à plus de 750 V à 170 °C (dans le cas présent), et garantit une uniformité remarquablement élevée d'un composant à l'autre.

2. ETUDE D'UNE NOUVELLE ARCHITECTURE DE BUFFER A BASE DE SUPER RESEAUX

Dans cette partie, nous présentons une comparaison entre une structure avec un buffer à gradient AlGa_N (structure de référence : REF) et une structure utilisant des super-réseaux (SL), toutes deux réalisées par la compagnie SOITEC-B. Des mesures de fuites latérale et verticale ainsi que des mesures de « back-gating » ont été réalisées pour obtenir des informations concernant les effets de pièges jusqu'à une température de 150°C.

a. Comparaison du buffer référence (step-graded : gradient de buffer) et super-réseaux (SL)

i. Description des structures

L'utilisation de couches buffer à gradient AlGa_N (Figure 2.8) est une approche bien connue. Des couches d'Al_xGa_{1-x}N de plusieurs micromètres d'épaisseur avec différents taux d'Al permettent d'atténuer les effets néfastes du désaccord de maille et d'expansion thermique.

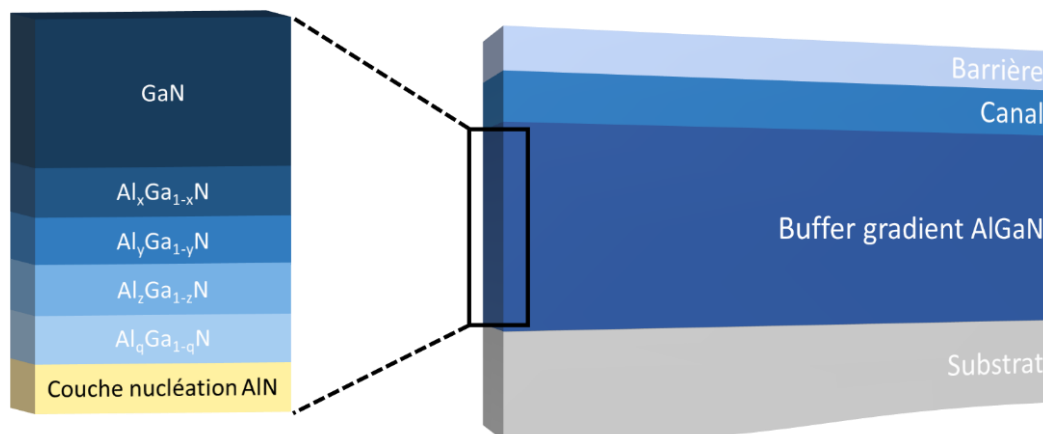


Figure 2.8 : Schéma d'une coupe transversale de couches AlGa_N avec différents taux d'Al entre la couche de nucléation et la couche GaN.

D'autre part, l'introduction d'un dopage intentionnel permet d'augmenter significativement la résistivité du buffer. Le dopage au fer ou au carbone est généralement utilisé pour produire des buffers hautement résistifs. Pour rappel, la couche de GaN non dopée présente une résistivité insuffisante pour un fonctionnement à haute tension en raison du dopage résiduel de type n, tel que les impuretés d'oxygène par exemple, induisant des courants de fuite parasites. Une résistivité élevée peut être obtenue en dopant avec des donneur profond tels que des atomes de Fe ou des accepteurs profonds tels que des atomes de C, afin de compenser le dopage résiduel. Cependant, il a été démontré qu'une concentration de dopage Fe ou C trop élevée génère un effet d'effondrement du courant (*current collapse*) [113], [117], [118].

Pour améliorer encore le confinement des porteurs tout en supprimant les effets de piégeage indésirables, la compensation du dopage peut être combinée avec des couches d'AlGaN sous le canal [119] ou des super-réseaux constitués de paires AlN/GaN [120], [121]. L'alternance de couches minces de semi-conducteurs à large bande interdite de haute qualité cristalline (par exemple AlGaN, AlN ou GaN) permet de supprimer l'accumulation de contraintes internes tout en créant un buffer hautement isolant (Figure 2.9).

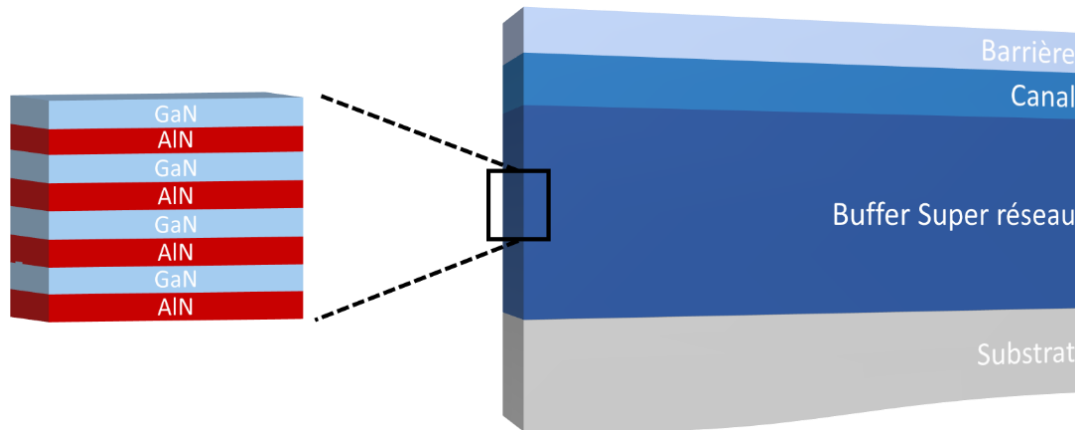


Figure 2.9 : Schéma d'une coupe transversale d'un HEMT à base de super-réseaux AlN/GaN.

La Figure 2.10 montre une représentation schématique des hétérostructures AlGaN/GaN-sur-Si développées par dépôt MOCVD qui se conclut par une épaisse couche de SiN in situ. Après la couche de nucléation, la première structure appelée REF (Fig. 2.10a) comprend un buffer de 2,6 μm (couche de nucléation en AlN et couches à gradient d'AlGaN) et une couche de GaN dopée carbone de 2,9 μm ($2 \times 10^{19} \text{ cm}^3$), ce qui donne une épaisseur totale de buffer de 5,5 μm . Le canal GaN non-dopé est de 0,3 μm . La barrière en $\text{Al}_{0,29}\text{Ga}_{0,71}\text{N}$ a une épaisseur de 20 nm suivie d'une passivation MOCVD en SiN de 50 nm d'épaisseur. La deuxième structure (Fig. 2.10b) possède des couches actives identiques mais avec un buffer GaN dopé carbone de 1,3 μm et une succession de SL AlN/GaN de 3,7 μm d'épaisseur sur le dessus de la couche de nucléation AlN.

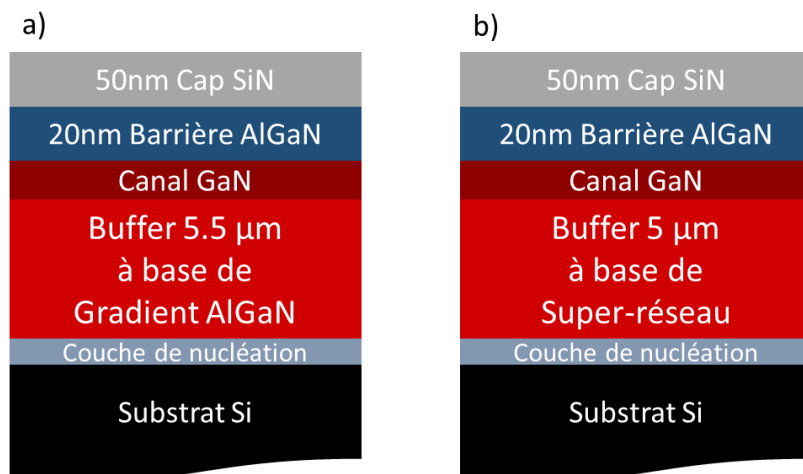


Figure 2.10 : Représentation schématique des structures avec un buffer à gradient AlGaN a) et un buffer SL b).

La Figure 2.11 présente des images TEM de la structure SL, mettant en avant le buffer ainsi que les successions des couches AlN/GaN.

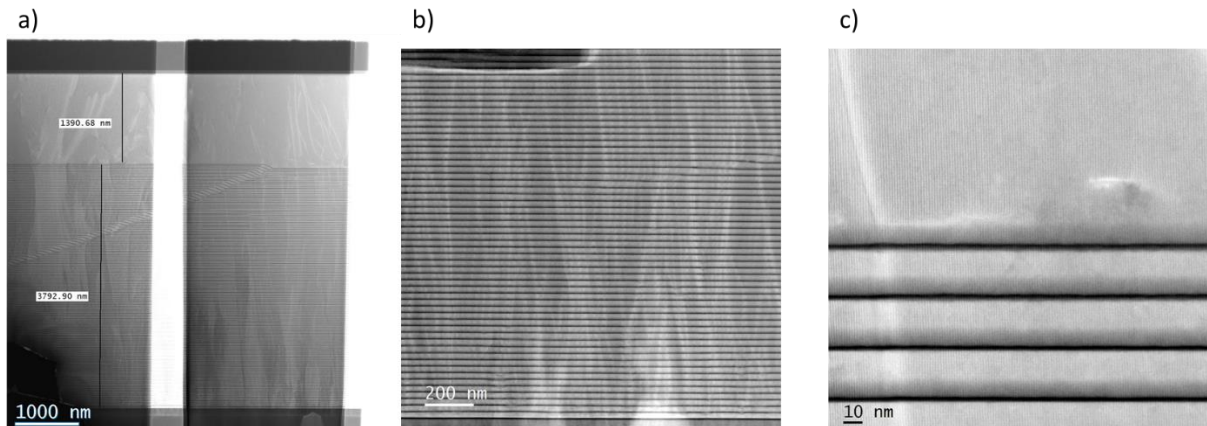


Figure 2.11 : Images TEM de la structure SL a), zoom sur les SL b) et c).

ii. Fabrication des composants

Nous avons utilisé un empilement Ti (12 nm)/Al (200 nm)/Ni (50 nm)/Au (100 nm) avec un recuit thermique rapide à 875°C pendant 1 min pour la réalisation des contacts ohmiques. Ils ont été formés sur le dessus de la barrière en gravant entièrement la couche de SiN épaisse à l'aide d'une gravure à base de fluor, donnant lieu à des résistances de contacts typiques de 0,4 Ω.mm. Ensuite, l'étape d'isolation a été réalisée par triple implantation d'ions Azote avec les doses d'énergie suivantes : 20, 50 et 100 keV, ce qui résulte en une profondeur d'isolation d'environ 200 nm. Le métal de grille Ni/Au a été enterré dans la couche SiN par gravure sèche partielle sur une profondeur de 20 nm à l'aide d'un plasma SF₆. La longueur de grille du transistor et la distance source-grille étaient respectivement de 2 μm et 1 μm, avec différentes distances grille-drain (GD). La première structure présente une résistivité de 300 Ω/sq, mesurée par effet Hall, et une mobilité électronique de 1800 cm²/V.s ainsi qu'une concentration électronique de 1,15 x 10¹³ /cm². La seconde structure montre une mobilité de 1600 cm²/V.s et une concentration d'électrons de 1,3 x 10¹³ /cm².

iii. Caractérisations et comparaison électriques

1. Mesures de claquage du buffer

La Figure 2.12 montre des mesures de claquage vertical des deux structures dupliquées plusieurs fois. La structure SL présente un claquage vertical proche de 1,3 kV défini à 1 mA/mm², tandis que la structure REF délivre 1 kV dans les mêmes conditions malgré des couches buffer légèrement plus épaisses. Le claquage vertical à l'état de l'art supérieur à 1,2 kV reflète la haute qualité de croissance et du cristal. On peut également noter que de 1,1 à 1,3 kV, le claquage vertical montre un second plateau observé systématiquement avec un courant de fuite inférieur à 1mA/mm². Même si le mécanisme associé est encore en cours d'investigation, il montre que la tension de blocage accrue de

la structure SL AlN/GaN est certainement liée à une bande interdite effective plus élevée que les buffers AlGaIn et d'une meilleure relaxation des contraintes.

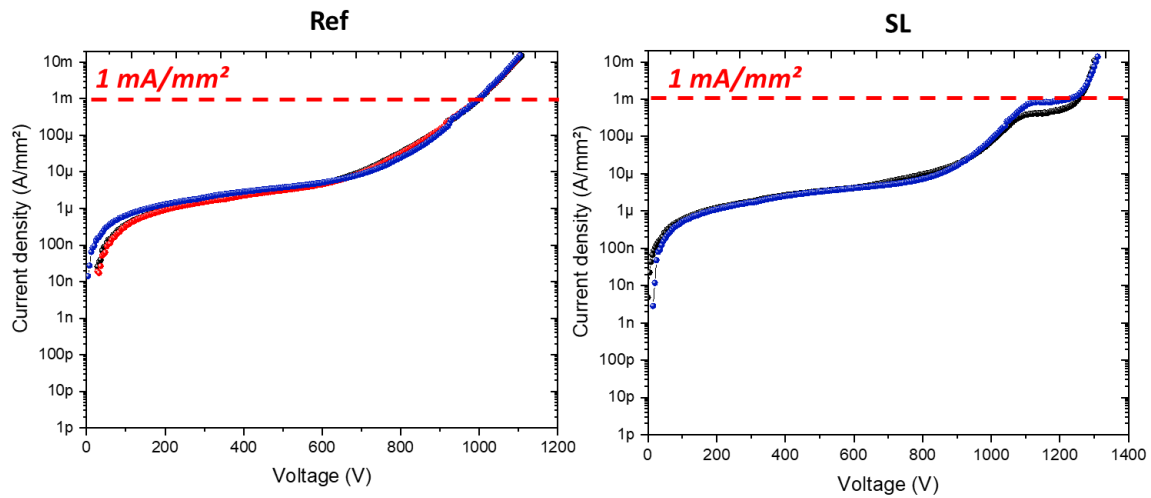


Figure 2.12 : Mesures de claquage vertical pour la structure REF et la structure SL à température ambiante.

De plus, nous avons effectué des mesures de claquage vertical en fonction de la température jusqu'à 1 kV (limitées par le banc de mesure), comme le montre la Figure 2.13. Un courant de fuite vertical plus faible est observé jusqu'à 150°C pour la structure SL. L'augmentation du courant de fuite avec la température est beaucoup plus faible que pour la structure REF, ce qui confirme la nature plus isolante de la structure SL. En outre, la Figure 2.14 montre le claquage latéral en fonction des distances de contacts isolées sans polarisation du substrat. Les mesures ont été réalisées en immergeant les échantillons dans une solution de Fluorinert afin d'éviter les arcs électriques dans l'air. Les mesures de claquage latéral obtenues sont bien supérieures à 2000 V et relativement similaires pour les deux structures que soit la distance entre les contacts. On peut remarquer que le régime de saturation est atteint à partir d'une distance de 12 μm entre les contacts. Il s'avère que l'avantage de la configuration SL ne s'observe que lorsque le substrat est polarisé à la masse (donc lorsque le champ électrique vertical est important). Ceci dit, d'un point de vue pratique, les composants de puissance sont très majoritairement utilisés avec un substrat polarisé à la masse.

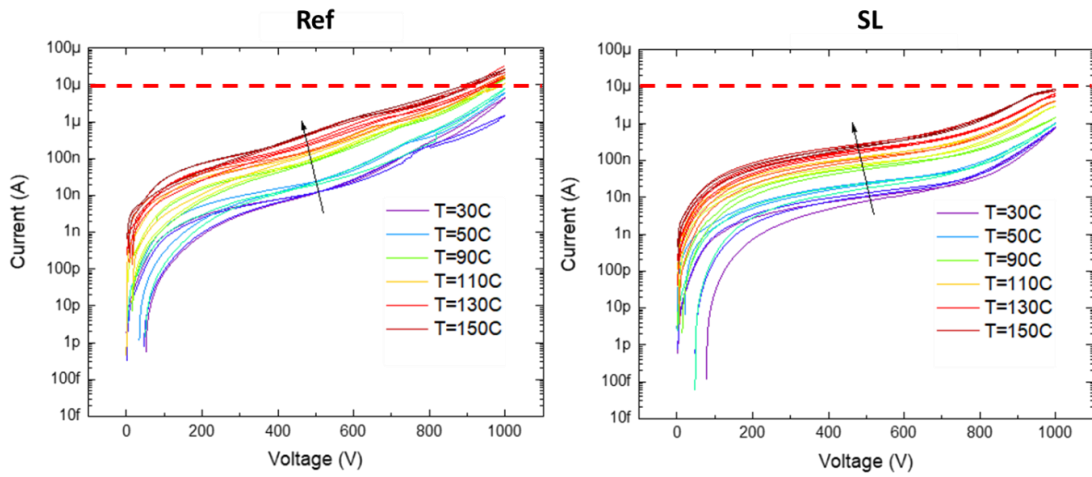


Figure 2.13 : Claquage vertical pour la structure REF (à gauche) et la structure SL (à droite) pour différentes températures.

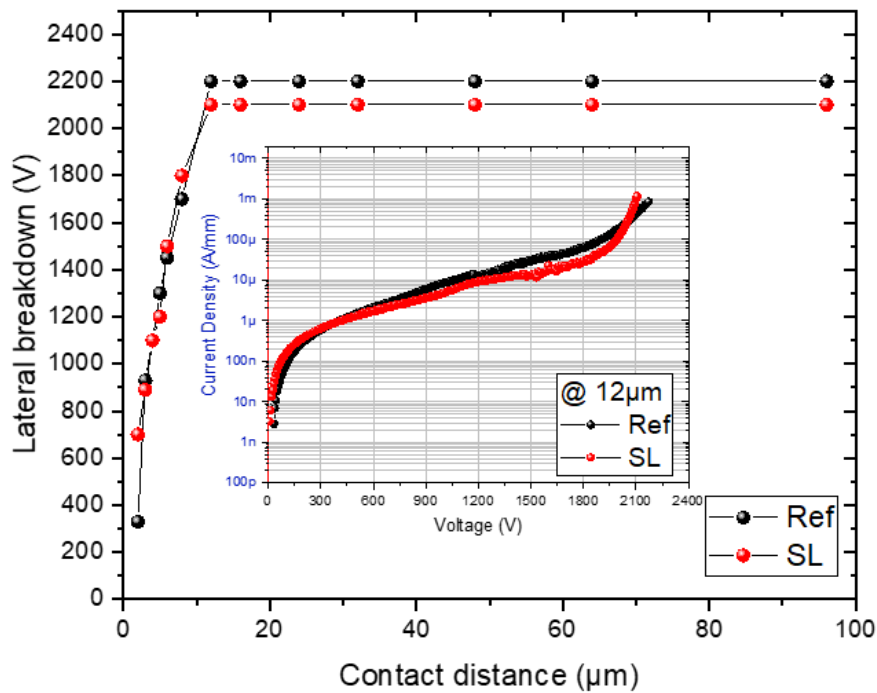


Figure 2.14 : Tension de claquage latéral en fonction des distances entre les contacts pour la structure REF (noir) et la structure SL (rouge) à température ambiante.

2. Caractérisations statiques des transistors

Les caractérisations électriques sur des transistors de $2 \times 50 \mu\text{m}$ de développement de grille et de longueur de la grille de $2 \mu\text{m}$ avec différentes distances grille-drain (GD) apparaissent sur les Figures 2.15 (REF) et 2.16 (SL). Les caractéristiques de transfert I_d - V_g révèlent un faible courant de fuite et un excellent comportement au pincement reflétant l'absence d'effets parasites de type punch-through

ou de courant de fuite de grille. La tension de seuil légèrement plus élevée de la structure SL est due à une gravure plus profonde du cap SiN sous la grille. Des densités de courant élevées sont observées dans les deux cas.

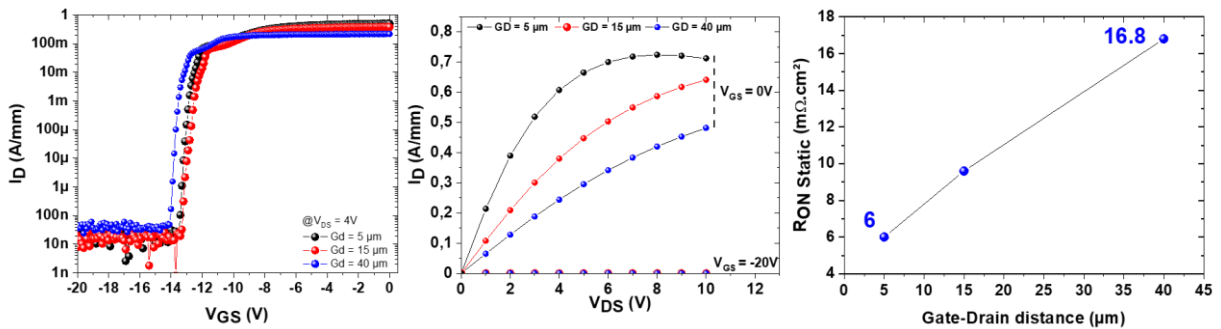


Figure 2.15 : Caractéristiques de transfert, de sortie et R_{ON} en fonction de la distance GD pour la structure REF.

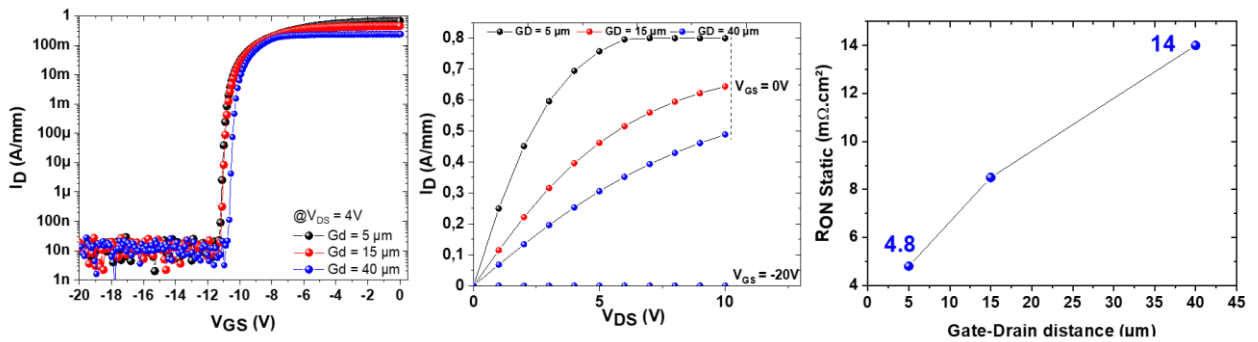


Figure 2.16 : Caractéristiques de transfert, de sortie et R_{ON} en fonction de la distance GD pour la structure SL.

La densité de courant plus faible de la structure REF que celle de la structure SL est en accord avec les concentrations d'électrons respectives. Ceci est dû à l'AlGaN présent dans le buffer (sous le canal) qui induit une polarisation assez proche du canal et qui l'appauvrit légèrement. On peut noter qu'une faible résistance statique à l'état passant (R_{ON_STATIC}) d'environ $5 \text{ m}\Omega.\text{cm}^2$ avec une distance GD de $5 \mu\text{m}$ a été obtenue. Pour des distances GD plus grandes, le R_{ON_STATIC} augmente, comme on peut s'y attendre, mais reste toujours inférieur à $15 \text{ m}\Omega.\text{cm}^2$.

3. Claquage transistors 3-terminals

Les Figures 2.17 et 2.18 présentent les tensions de claquage de transistors à l'état off des structures REF et SL pour plusieurs distances GD avec le substrat à la masse et flottant. Lorsque le substrat est à la masse, les mesures de claquage de transistors à $V_{GS} = -22\text{V}$ sont d'environ 1 kV et $1,3 \text{ kV}$ pour les structures REF et SL, respectivement. De même, avec un substrat flottant, les deux structures montrent une tension de claquage de transistors supérieure à 2 kV pour de grandes distances GD.

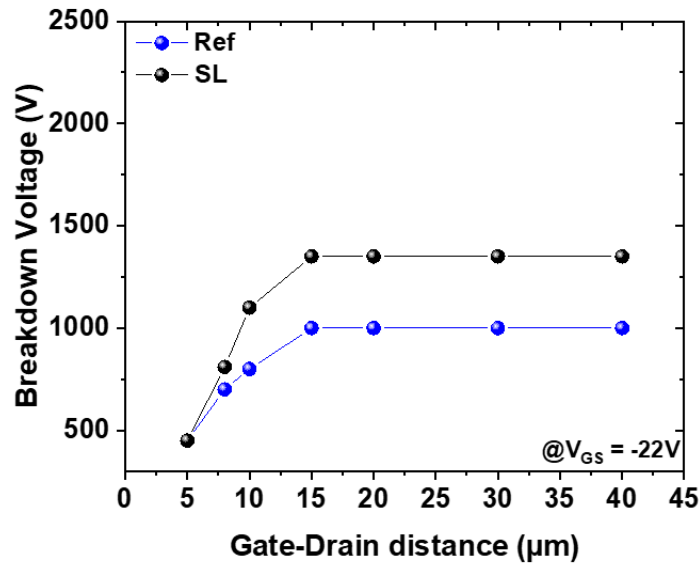


Figure 2.17 : Tension de claquage de transistors pour différentes distances GD avec substrat à la masse pour les structures REF et SL.

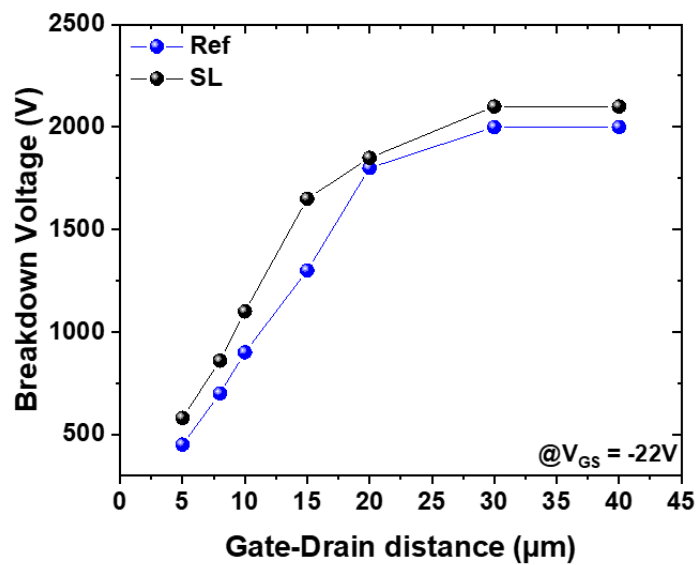


Figure 2.18 : Tension de claquage de transistors pour différentes distances GD avec substrat flottant pour les structures REF et SL.

L'étude de composants de commutation de puissance GaN à polarisation élevée requiert l'évaluation des effets de pièges associés. Les pièges provenant du buffer ont été étudiés au moyen de mesures de balayage du courant par polarisation du substrat, sur différents composants, en utilisant différentes vitesses à température ambiante (Fig. 2.19).

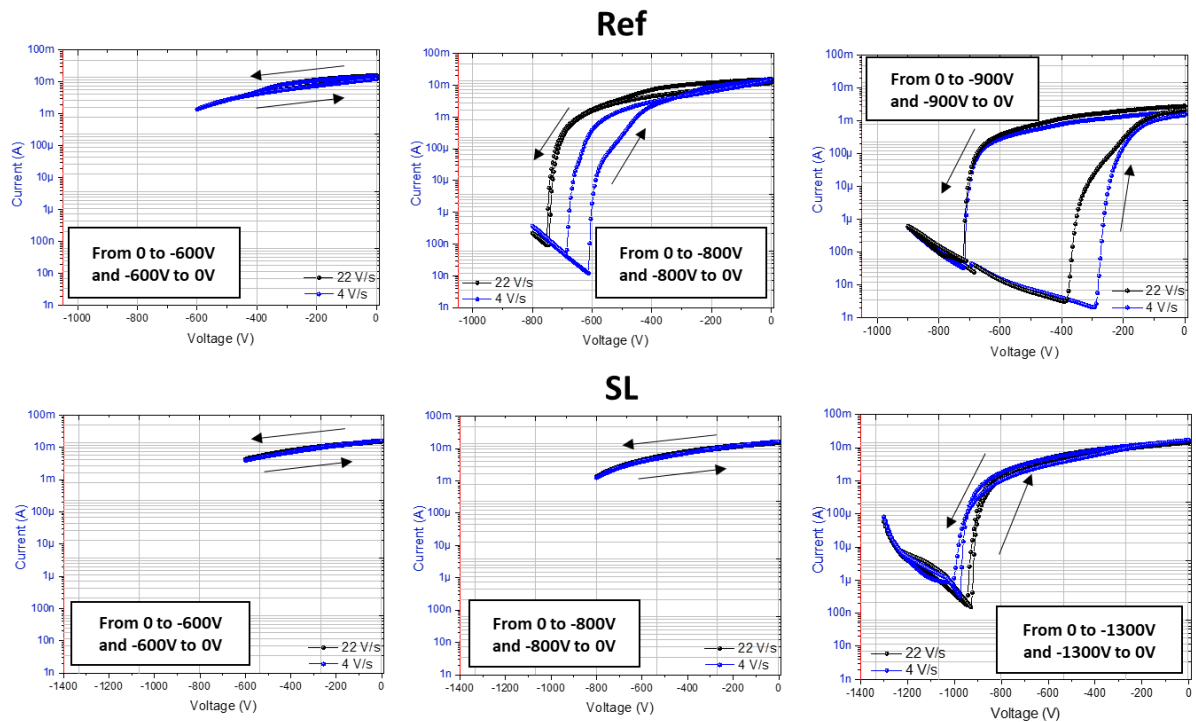


Figure 2.19 : Mesures de balayage du courant par polarisation du substrat pour la structure REF (en haut) et la structure SL (en bas) à température ambiante.

La structure REF montre de faibles effets de pièges jusqu'à 800V avec une vitesse de balayage rapide (22 V/s). Cependant, une forte activation des pièges peut être observée à 800V en utilisant une vitesse de balayage lente (4 V/s). L'hystérésis augmente significativement à 900V. D'autre part, la structure SL délivre uniformément de faibles effets de pièges indépendamment des vitesses de balayages, jusqu'à 1300V, ce qui est remarquable. Ces mêmes mesures ont également été effectuées à haute température afin de confirmer ces données (Fig. 2.20). A 150°C, la structure REF montre une activation des pièges à 800V. La structure SL reste non affectée par les effets de piégeage à haute température (Figure 2.20). L'effet de piégeage réduit peut être attribué à l'incorporation plus faible de carbone dans le cas du buffer SL en raison d'une croissance plus lente par rapport à la structure REF.

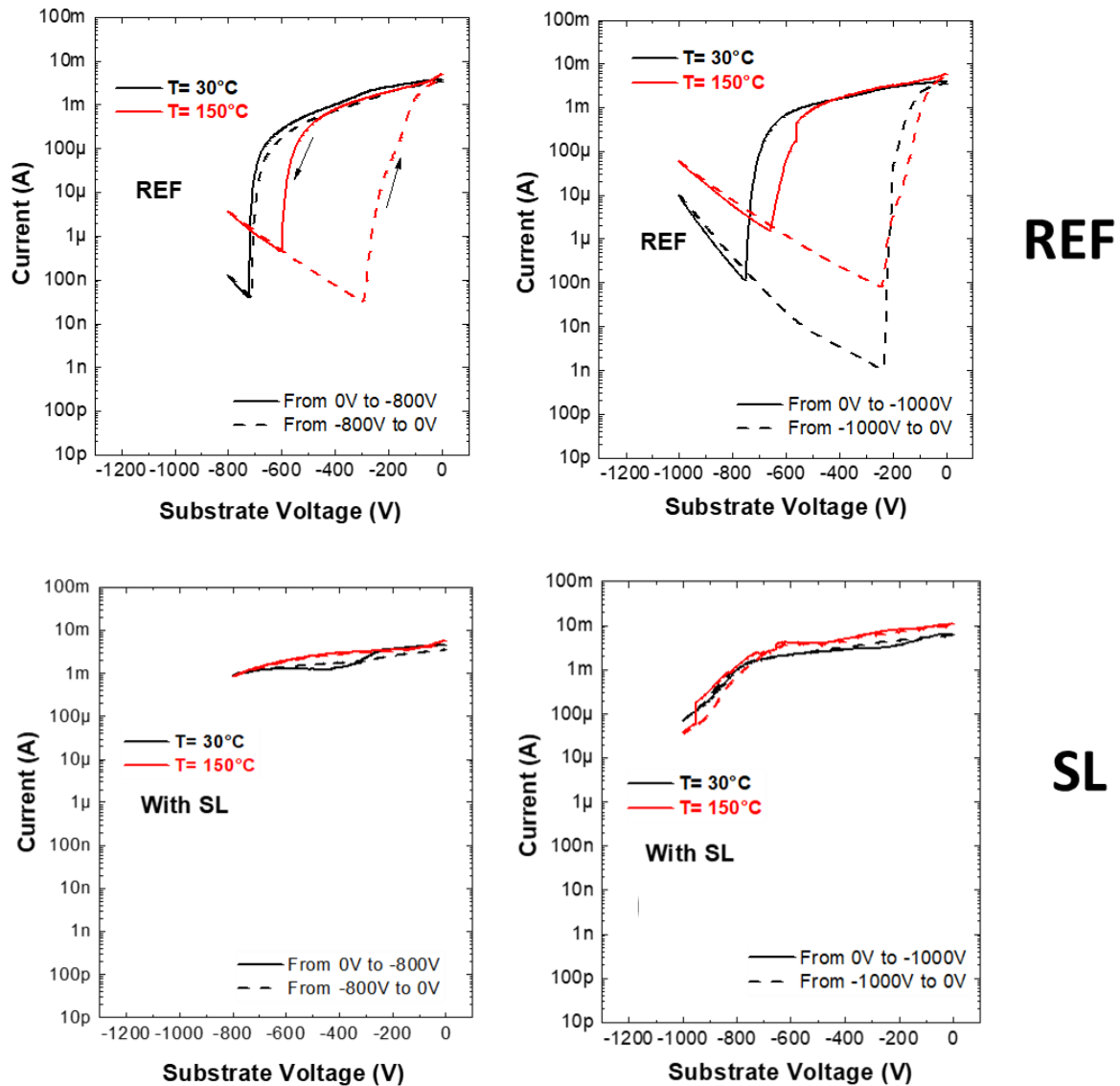


Figure 2.20 : Mesures par polarisation du substrat sur la structure REF (à gauche) et la structure SL (à droite) jusqu'à 150 °C.

Nous avons également étudié le piégeage au travers de mesures de « back-gating » sur des transistors sous champ électrique élevé. La Figure 2.21 présente les mesures de back-gating effectuées sur la structure REF à une polarisation de drain de 10V. On peut observer une corrélation parfaite avec les mesures de balayage du courant (TLM) par polarisation du substrat illustrée par de faibles effets de pièges jusqu'à 800 V en utilisant des vitesses de balayage lente et rapide ainsi qu'une activation à partir de 800 V pour une vitesse de balayage rapide. Dans le cas de la structure SL (Figure 2.22), les mesures de back-gating ont été appliquées et confirment le faible piégeage du buffer jusqu'à 1200 V malgré des pièges de surface résiduels dus au procédé de fabrication qui doit encore être optimisé afin d'obtenir un fonctionnement adapté au-delà de 1 kV.

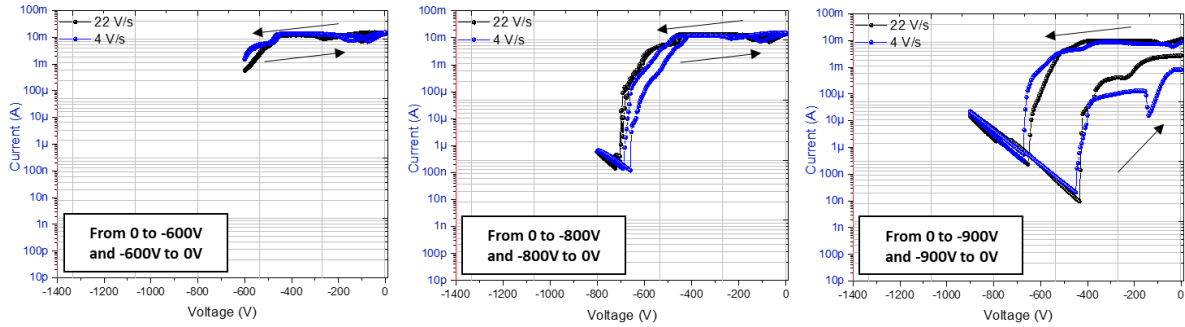


Figure 2.21 : Mesures de back-gating jusqu'à 900V pour la structure REF à $V_{DS} = 10$ V.

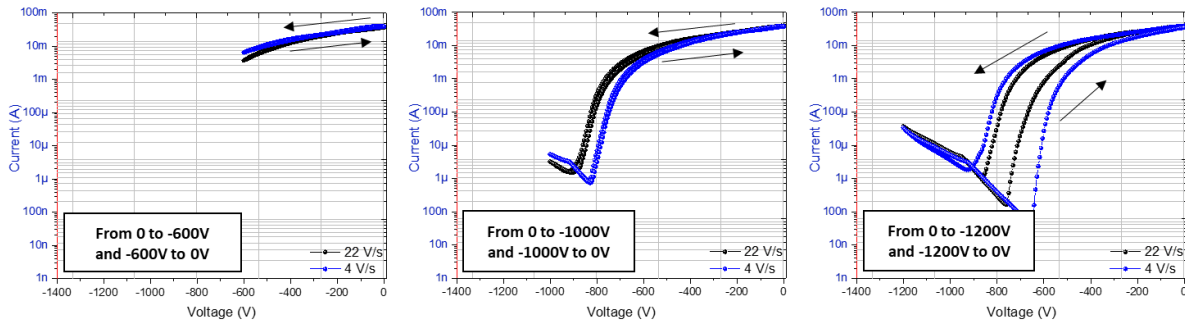


Figure 2.22 : Mesures de back-gating jusqu'à 1200V pour la structure SL à $V_{DS} = 10$ V.

Cette étude a permis de mettre en avant des performances exceptionnelles dont un claquage vertical autour de 1,3 kV en utilisant un buffer dopé carbone sur une structure avec SL de 5 μm d'épaisseur totale contre 1 kV avec un buffer à gradient AlGaIn plus épais. De plus, de très faibles effets de pièges jusqu'à 1,3 kV ont été observés pour la première fois au travers de mesures par polarisation du substrat jusqu'à 1 kV à température ambiante et à 150°C. Des mesures de back-gating ont également été effectuées sur des transistors et ont confirmé le faible piégeage jusqu'à 1 kV, limité par le procédé de fabrication pour des tensions plus élevées.

Enfin, une tension de claquage supérieure à 2 kV et un R_{ON} inférieur 15 $\text{m}\Omega\cdot\text{cm}^2$ pour des transistors GD30 ont été atteints. Ces résultats ouvrent la voie à des transistors de puissance latéraux GaN-sur-Si fonctionnant à 1200V avec une faible résistance à l'état passant et de faibles effets de pièges.

3. DEVELOPPEMENT DE TRANSISTORS A BUFFER SL DE TYPE NORMALLY-OFF

a. Solution technologique choisie

Dans un HEMT AlGaIn/GaN, la tension de seuil V_{TH} dépend de plusieurs paramètres liés au métal de grille et aux propriétés de l'hétérojonction, comme le montre l'équation suivante [122] :

$$V_{TH}(x) = \phi_B(x) + E_F(x) - \Delta EC(x) - \frac{\sigma(x)}{\epsilon_0 \epsilon_{AlGaIn}(x)} d_{AlGaIn} - \frac{qN_D}{2\epsilon_0 \epsilon_{AlGaIn}(x)} (d_{AlGaIn})^2$$

x représente la teneur en Al dans la couche barrière ; $\phi_B(x)$ est la hauteur de la barrière Schottky entre le métal de grille et la barrière AlGaIn; $E_F(x)$ est la différence d'énergie entre le niveau de Fermi et la bande de conduction du canal GaIn; $\Delta EC(x)$ est la différence d'énergie entre les deux bandes de conduction à l'interface AlGaIn/GaIn; $\sigma(x)$ est la polarisation de charge qui inclut la polarisation spontanée et piézoélectrique; ϵ_0 est la permittivité du vide; $\epsilon_{AlGaIn}(x)$ est la permittivité de la couche d'AlGaIn; d_{AlGaIn} est l'épaisseur d'AlGaIn; q est la charge électrique; N_D est le dopage de la couche d'AlGaIn.

Des barrières AlGaIn plus épaisses et des différences de polarisation plus importantes entre l'AlGaIn et le GaIn conduisent à des V_{TH} plus négatifs car ils augmentent le N_s à polarisation nulle. A partir de cette équation, il est évident que plusieurs paramètres existent pour contrôler le V_{TH} tels que la hauteur de la barrière Schottky, la densité de porteurs 2DEG liée à la barrière AlGaIn, qui dépend du teneur en Al et de son épaisseur. Différentes topologies ont été proposées pour réaliser des HEMTs GaIn normally-off: une configuration cascade combinant un MOSFET en silicium normally-off et un HEMT GaIn normally-on [123]–[125], un HEMT avec implantation de fluor sous la grille [126]–[128], un MISHEMT (métal-isolant-semiconducteur) avec gravure partielle [129], [130] ou complète de la barrière AlGaIn [131] sous la grille, et un HEMT à grille p-GaIn [96], [132], [133].

Configuration Cascade

La configuration cascade utilise un HEMT GaIn normally-on haute tension en série avec un MOSFET silicium basse tension dans le circuit de commutation, comme on peut le voir sur la Figure 2.23. Le MOSFET silicium contrôle la commutation du HEMT GaIn. Lorsqu'une tension de grille positive supérieure à la tension de seuil est appliquée au MOSFET, la tension de grille du HEMT GaIn est proche de zéro et le composant est passant. Comme les deux composants sont connectés en série, lorsqu'une tension est appliquée au drain du HEMT, le courant passe également par le MOSFET. D'autre part, lorsqu'aucune tension de grille n'est appliquée au MOSFET pour le bloquer, une tension négative entre les bornes de grille et de source du HEMT est créée, pinçant le 2DEG. De plus, toute augmentation de la tension de drain sera traitée par le HEMT.

Par conséquent, la configuration cascade permet de tirer profit de la tension de seuil positive du MOSFET ainsi que de la faible résistance à l'état passant du 2DEG et du champ de claquage élevé du HEMT GaIn à l'état bloqué. Cependant, on peut remarquer que cette approche limite le fonctionnement à haute température par la présence du composant Si. De plus, la complexité et la taille du packaging sont importantes et des inductances parasites sont introduites, ce qui affecte les performances de commutation du montage.

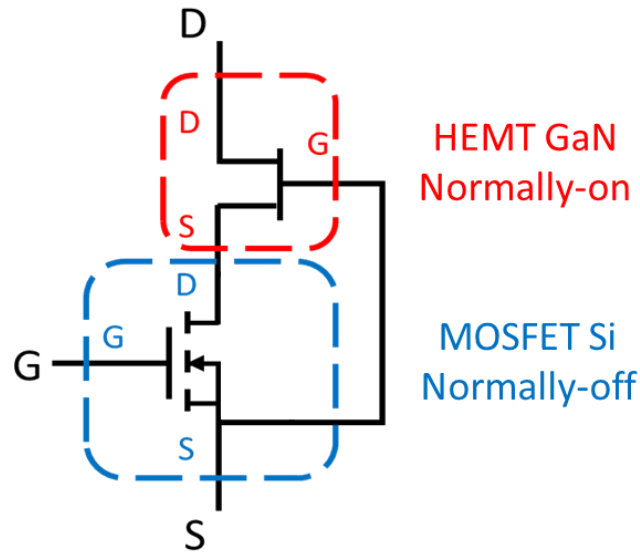


Figure 2.23 : Montage cascode montrant le HEMT normally-on en série avec un Si-MOSFET normally-off.

MISHEMT à grille enterrée

Une autre approche consiste à graver la couche barrière d'AlGaN sous la zone de grille suivie d'un dépôt d'une couche isolante (diélectrique de grille). La couche barrière d'AlGaN est entièrement gravée par plasma dans la région de la grille (Fig. 2.24). Cela permet d'obtenir des tensions de seuil élevées, tandis que le diélectrique de grille épais permet une polarisation de grille maximale importante (> +10 V).

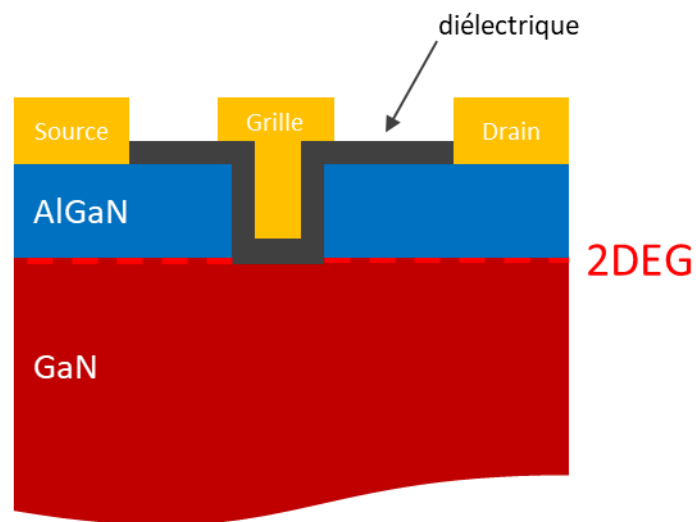


Figure 2.24 : Représentation schématique d'un MISHEMT GaN à grille enterrée.

Le choix du diélectrique est extrêmement important car il aura un impact direct sur la mobilité des électrons dans le 2DEG [134] et sur la stabilité de la tension de seuil [135]. De plus, la qualité du diélectrique et la rugosité de la surface de la zone gravée sont des paramètres critiques et, enfin, la densité de charge de l'interface doit être bien contrôlée. Plusieurs mécanismes, impliquant les états

de surface et le piégeage associé, ont été proposés pour expliquer l'origine possible des phénomènes de dégradation des composants. Cependant, cette technologie souffre toujours de l'absence d'un diélectrique de haute qualité avec une faible densité d'interface, de bonnes propriétés d'isolation et une grande stabilité.

HEMT avec implantation de fluor sous la grille

Les ions fluorés implantés dans la couche d'AlGaN sous la grille (Fig. 2.25) peuvent également générer un comportement normally-off. Lorsqu'une petite quantité d'ions fluor est implantée jusqu'à l'interface AlGaN/GaN, cela entraîne une déplétion du 2DEG. Cette déplétion favorisée par les charges négatives des ions fluor est introduite soit par gravure plasma [136], soit par implantation ionique [137]. Les ions négatifs dans la barrière augmentent le potentiel de surface, appauvrissant ainsi le 2DEG. Cependant, la stabilité du V_{TH} après recuit à haute température et/ou sous champ électrique élevé est une source de préoccupation pour cette approche. De plus, de précédentes études ont montré la dépendance de la concentration en fluor sur la dégradation du courant en régime dynamique, ce qui n'est pas compatible avec les applications de commutation de puissance [138]. Ces détériorations peuvent être éliminées par des étapes de recuit thermique réduisant les effets de pièges mais aux dépens d'une tension de seuil qui devient négative, tendant vers des transistors normally-on.

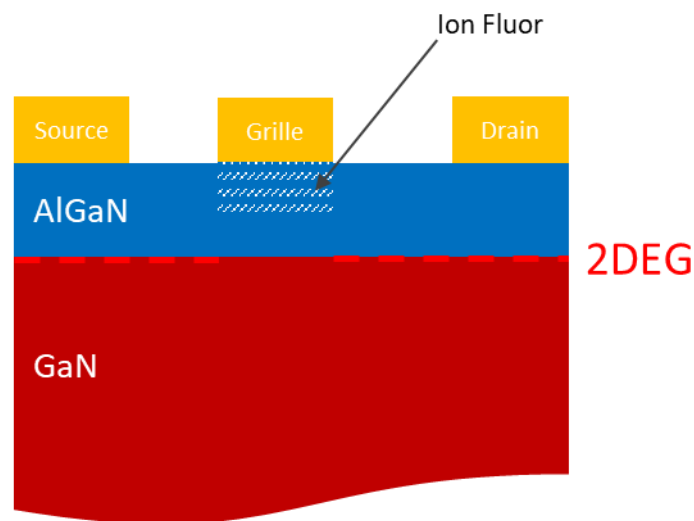


Figure 2.25 : Représentation schématique d'un HEMT GaN avec implantation fluor.

Grille p-GaN

Une méthode attractive pour réaliser des transistors GaN normally-off est l'utilisation d'une couche GaN dopée p sous la zone de grille (Fig. 2.26) [133], [139]. La présence de la couche p-GaN élève le diagramme de bandes (Fig. 2.27), de sorte que la déplétion locale du 2DEG soit permanente, y compris en l'absence d'une polarisation externe appliquée. Afin de maximiser la déplétion du 2DEG par la couche p-GaN, une épaisseur de barrière et un taux d'Al relativement faible sont utilisés en tenant compte d'un compromis avec la densité de porteurs du 2DEG.

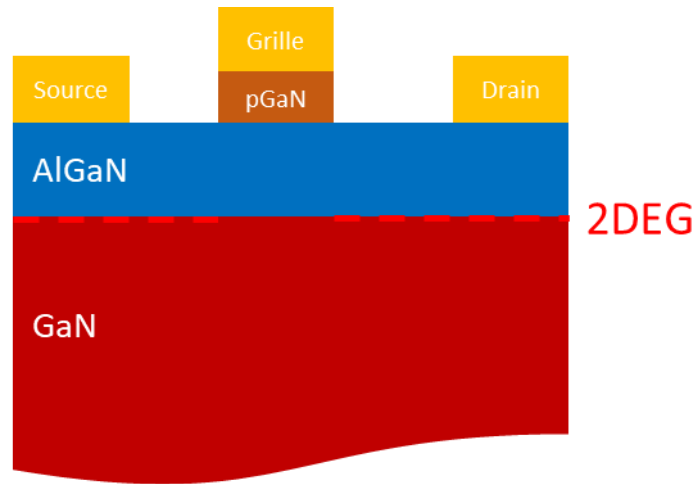


Figure 2.26 : Représentation schématique d'un HEMT à grille p-GaN.

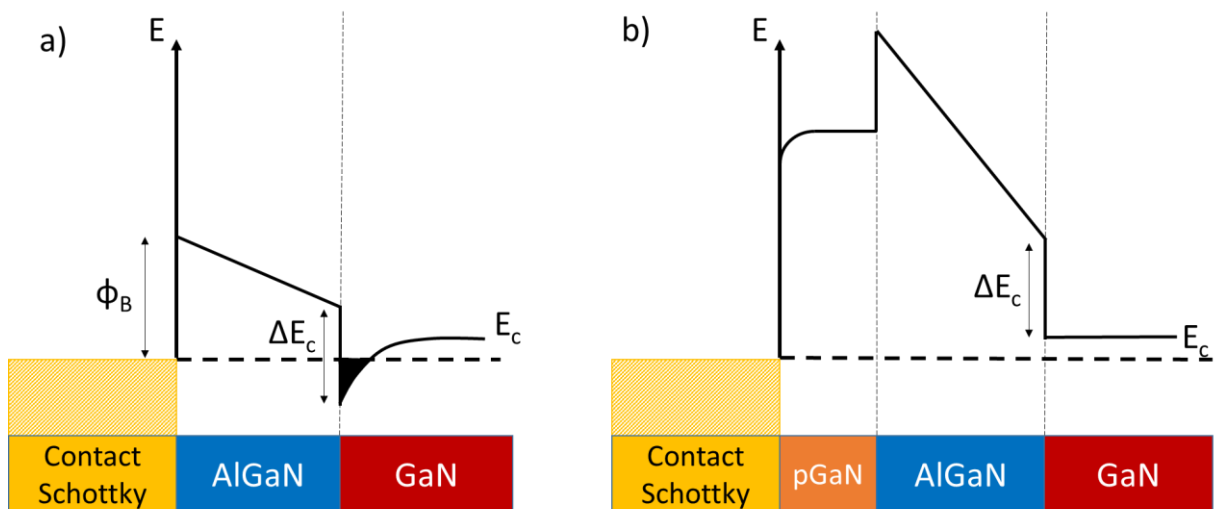


Figure 2.27 : Diagramme de bandes d'une hétérostructure AlGaN/GaN avec a) et sans b) couche p-GaN.

La Fig. 2.28 montre le diagramme de bandes d'énergie, déterminé à l'aide du modèle Schrödinger-Poisson, de deux structures ayant une épaisseur de barrière identique (25 nm) mais un taux d'Al différent (12% et 26%) et une couche p-GaN de 50 nm avec une concentration d'accepteur de $3 \times 10^{19} \text{ cm}^{-3}$ [138]. On peut voir que, malgré la présence de la couche de p-GaN, la structure à fort taux d'Al présente toujours un comportement normally-on, avec une bande de conduction en dessous du niveau de Fermi à l'interface AlGaN/GaN, contrairement à la structure à taux d'Al réduit qui donne des HEMT GaN normally-off. De même, le diagramme de bande de conduction des hétérojonctions p-GaN/AlGaN/GaN avec deux épaisseurs de barrière différentes (10 nm et 25 nm, avec un taux d'Al fixe de 26%) a été simulé. On peut noter que la structure avec une épaisseur de 25 nm révèle un comportement normally-on alors que la barrière plus fine présente un comportement normally-off. Ceci confirme la nécessité de réduire l'épaisseur de la barrière et/ou le taux d'Al pour obtenir des transistors normally-off. Sur la base d'une série de tests, un graphique récapitulatif a pu être réalisé, montrant la zone normally-on et normally-off en fonction de l'épaisseur et du taux d'Al de la barrière AlGaN (Fig. 2.29).

De plus, une concentration élevée de Mg dans la couche p-GaN est nécessaire, généralement supérieure à 10^{18} cm^{-3} , ce qui fait l'objet d'un compromis avec la détérioration de la qualité du cristal pour une concentration de dopage Mg trop élevée. De plus, la faible sélectivité de la gravure entre le p-GaN et la barrière doit être soigneusement optimisée afin d'obtenir une tension de seuil élevée et stable [99], [140].

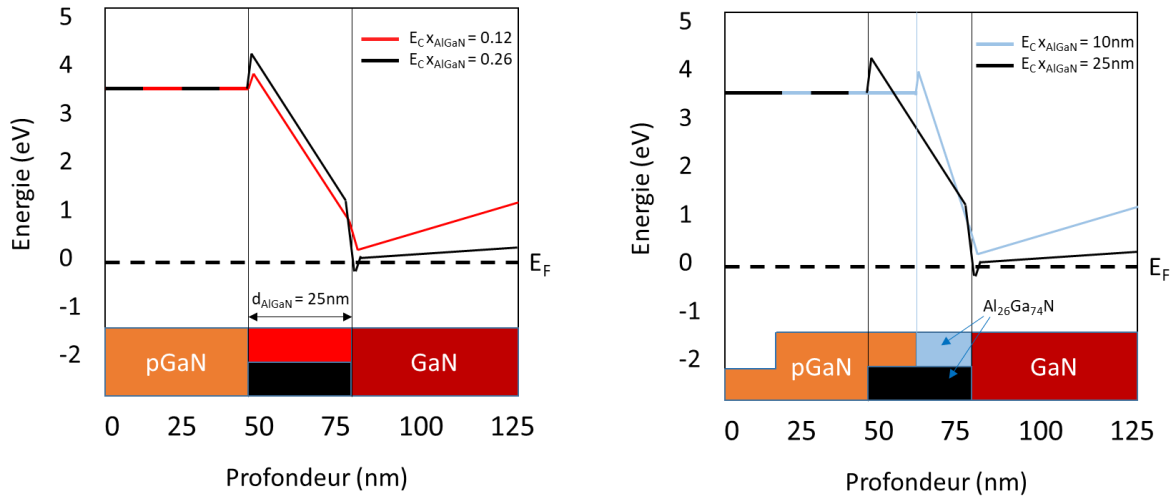


Figure 2.28: Diagrammes de bandes simulés d'une hétérostructure p-GaN/AlGaIn/GaN pour taux d'Al différents (12 % et 26 %) dans la barrière d'AlGaIn (à gauche) et deux épaisseurs de barrière AlGaIn distinctes (à droite) [138].

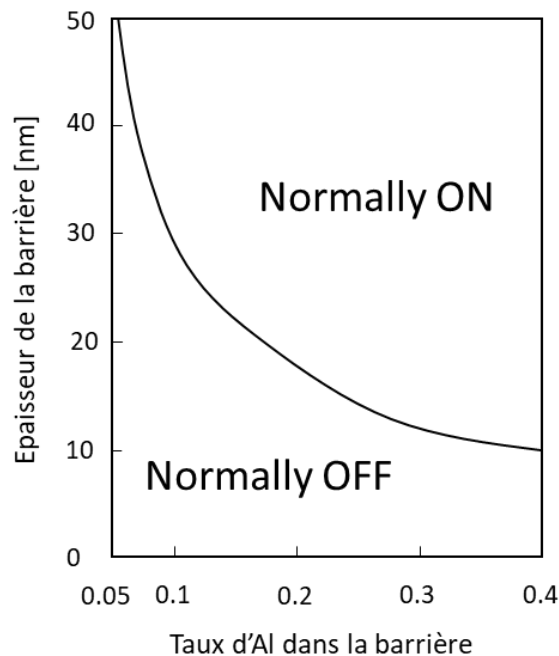


Figure 2.29 : Comportement de transistor en fonction de la teneur en Al et de l'épaisseur de la barrière [138].

Un autre paramètre à ne pas négliger est le choix du métal de la grille. La hauteur de barrière Schottky entre le métal et la couche de p-GaN a un impact direct sur la tension de seuil et suit la relation suivante :

$$\phi_B = E_g - (\phi_m - \chi_s)$$

où ϕ_B est la hauteur de la barrière Schottky entre le métal de la grille et la barrière en AlGaIn ; E_g est la bande interdite du semi-conducteur ; ϕ_m est la fonction de travail du métal ; et χ_s est l'affinité électronique du semi-conducteur. En se basant sur cette équation, les métaux ayant une fonction de travail plus faible fournissent une hauteur de barrière plus élevée, ce qui entraîne une tension de seuil plus élevée [141].

Parmi les méthodes permettant l'obtention d'un comportement normally-off, l'approche la plus prometteuse est l'utilisation d'une couche p-GaN sous la région de contact de grille [99], [141]. Cette méthode fait l'objet d'une grande attention au sein de la communauté scientifique et, en fait à ce jour, le seul HEMT GaN normally-off intrinsèque disponible commercialement, même si cette technologie est assez complexe à mettre en œuvre. Dans notre cas, c'est cette méthode qui a été choisie pour la démonstration d'un comportement normally-off couplé au buffer SL décrit précédemment.

b. Fabrication des composants

La Figure 2.30 représente la structure AlGaIn/GaN-sur-Si dont la croissance a été réalisée par MOCVD avec un cap p-GaN de 80 nm. La couche de nucléation est suivie d'un buffer à base de super-réseaux similaire à celui décrit précédemment mais avec une épaisseur totale de 6 μm . L'épaisseur de barrière $\text{Al}_{0,18}\text{Ga}_{0,82}\text{N}$ est de 12 nm.



Figure 2.30 : Représentation schématique de la structure avec un buffer SL à cap p-GaN.

Les mesures par effet Hall de cette structure révèlent une résistivité autour de 600 Ω/sq , une mobilité électronique de 1800 $\text{cm}^2/\text{V}\cdot\text{s}$ ainsi qu'une concentration électronique de $8 \times 10^{12} / \text{cm}^2$.

A la différence d'un procédé de fabrication standard pour MISHEMT à comportement normally-on, la réalisation de transistors normally-off sur couche p-GaN nécessite quelques étapes supplémentaires qui peuvent grandement impacter les performances électriques des transistors. La première étape du procédé de fabrication consiste à graver la couche p-GaN en dehors des zones de grille. Sachant que

la barrière se trouve sous la couche p-GaN, une sous-gravure ne permettra pas d'obtenir une configuration normally-off alors qu'une sur-gravure réduira inévitablement la densité de courant, d'où l'importance d'une gravure contrôlée et précise.

Lors du développement du procédé de gravure de la couche p-GaN à base de Cl_2/Ar , nous avons réalisé des tests afin de déterminer la vitesse de gravure de cette couche. Des mesures AFM ont été réalisées afin de mesurer de manière précise la profondeur des motifs gravés, comme le montre la Figure 2.31. Cependant, lors de l'analyse des images AFM, il s'est avéré que la rugosité de la zone gravée était bien supérieure à la rugosité de la couche p-GaN non-gravée. En effet, la rugosité moyenne de la couche p-GaN est de 1,4 nm contre 5,4 nm après gravure. Sachant que la barrière a une épaisseur de 14 nm, cette gravure engendrerait une dégradation de la surface de la barrière trop importante. Pour cette raison, nous avons entrepris deux changements dans l'étape de gravure. Le premier concerne la puissance de gravure qui a été réduite, tout en favorisant une gravure plus chimique. Pour ce faire, le ratio RIE/ICP est passé de 35 W/150 W à 6 W/90 W. Le second changement concerne le choix des gaz utilisés. Sachant qu'une gravure à base de fluor présente une meilleure sélectivité, notre choix s'est tourné vers une gravure sèche à base de BCl_3/SF_6 . En effet, ce choix favorise la formation d' AlF_3 non volatils sur la surface de l' AlGaN . L' AlF_3 réduit la vitesse de gravure du chlore permettant une gravure relativement sélective du GaN sur l' AlGaN . La Figure 2.32 présente les images AFM avant et après gravure de la couche p-GaN et montre une rugosité de 1,9 nm après gravure.

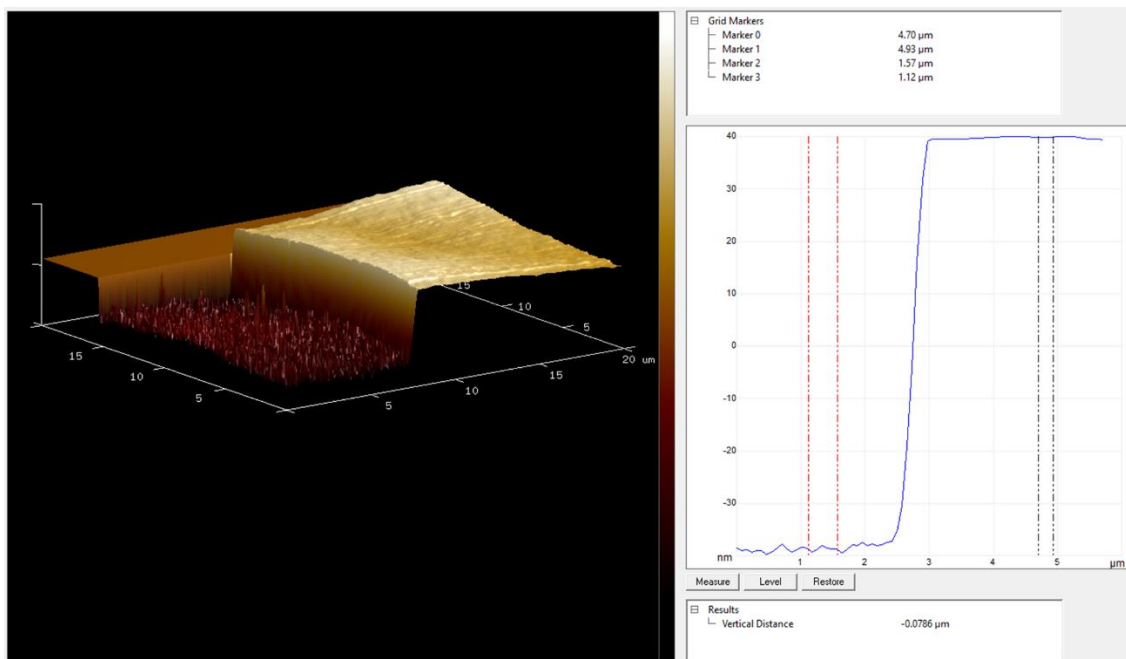


Figure 2.31 : Image AFM d'une zone p-GaN gravée et non gravée.

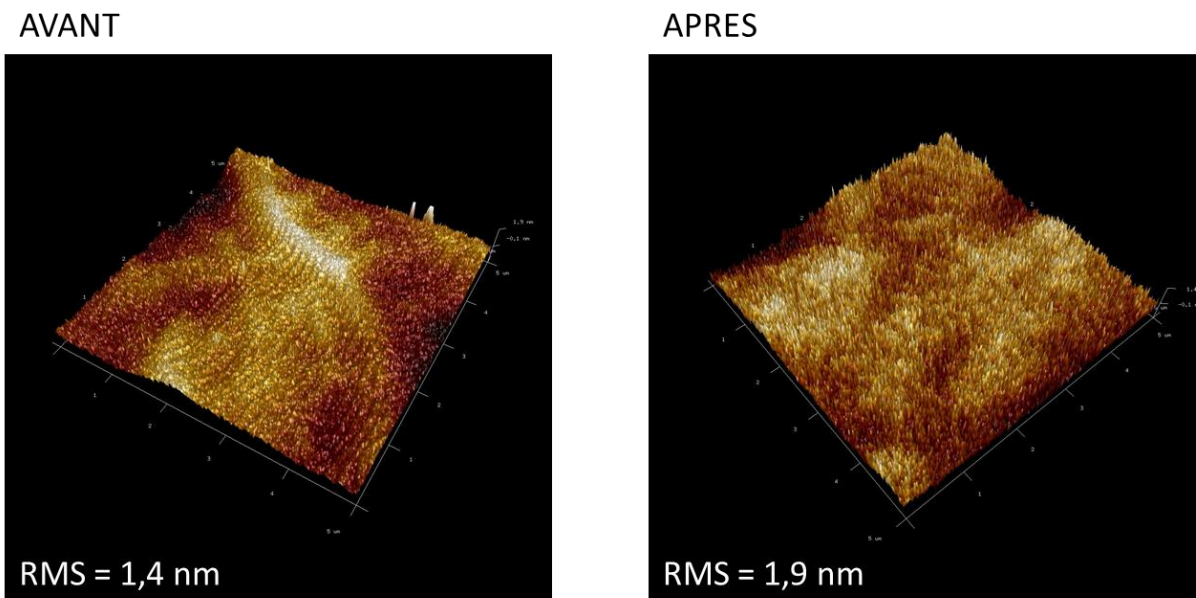


Figure 2.32 : Images AFM d’une zone avant et après gravure à base de BCl_3/SF_6 .

Une fois l’étape de gravure mise en place, la couche p-GaN est totalement gravée à l’exception des zones de grille (Fig. 2.33a). Afin de ne pas laisser la barrière à l’air libre, une passivation est déposée. De ce fait, il est nécessaire d’ouvrir localement cette passivation avant le dépôt métallique des grilles (Fig. 2.33b).

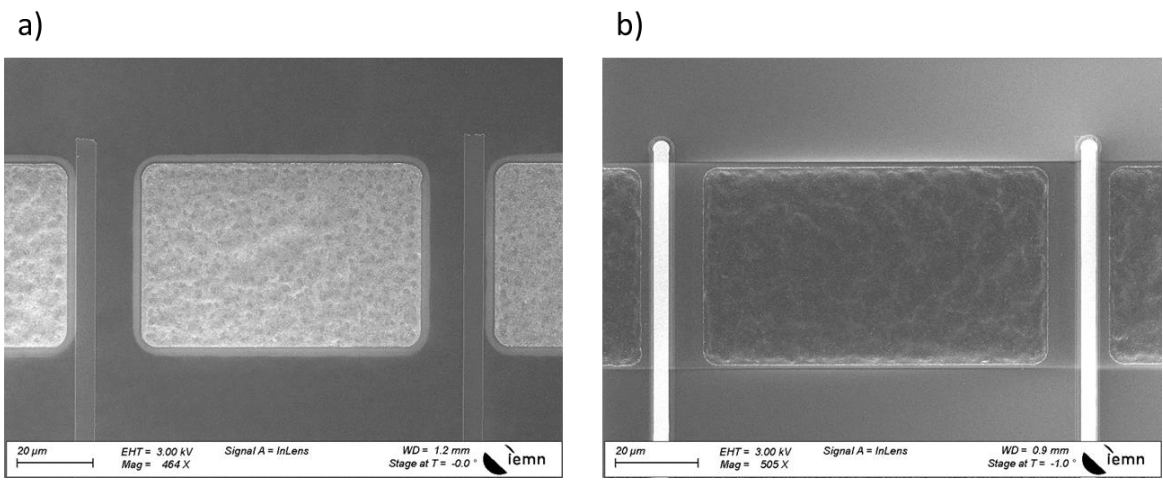


Figure 2.33 : Images MEB après gravure de la couche p-GaN, en dehors des zones de grilles a), et après métallisation des grilles b).

Cependant, à l’issue de la fabrication, les mesures DC ont montré un comportement normally-on des transistors. Comme le montre la Figure 2.34a, une double commande apparaissait sur les mesures de caractéristique de transfert mettant en évidence un problème à l’étape de grille. De plus, les tensions de claquage de transistors étaient extrêmement faibles, autour de 50V pour de larges GD (Fig. 2.34b).

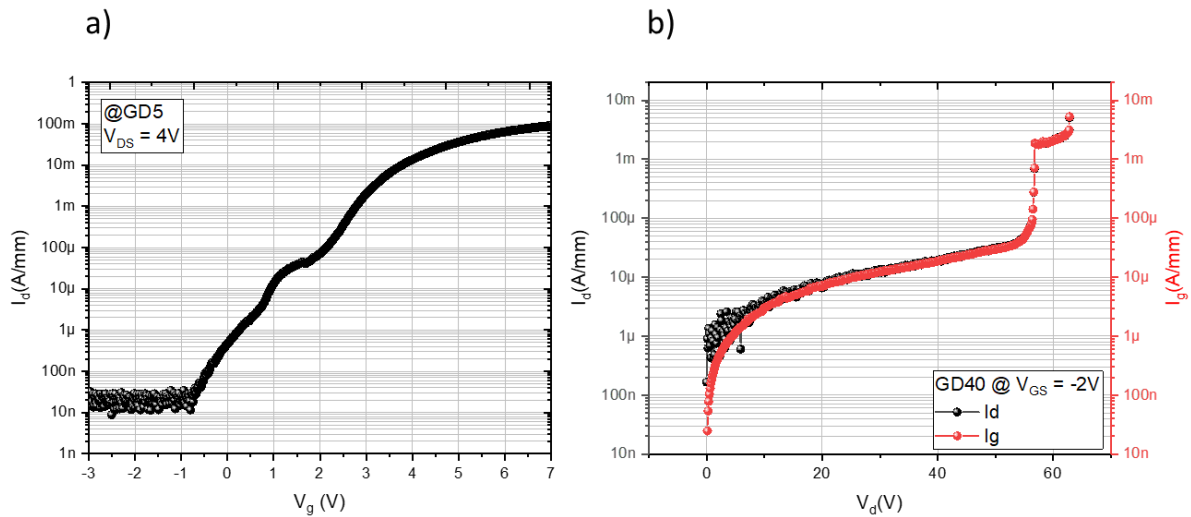


Figure 2.34 : Caractéristique de transfert montrant une double commande a) et mesures de claquage sur transistors b).

Les images MEB (Fig. 2.35) révèlent une gravure latérale importante de la passivation SiN au-delà de la surface p-GaN sous la grille, avant dépôt métallique des grilles. En effet, cette gravure a provoqué une exposition de la barrière AlGaIn au plasma, expliquant la double commande. Afin de remédier à ce problème, l'étape d'ouverture de passivation a été modifiée. De ce fait, après gravure localisée de la couche p-GaN, nous avons déposé une passivation SiO₂. Afin d'éviter d'implanter dans la zone gravée, un plasma RIE contrôlé, à faible puissance a été utilisé. Une fois l'ouverture de passivation terminée, l'étape de grille est réalisée.

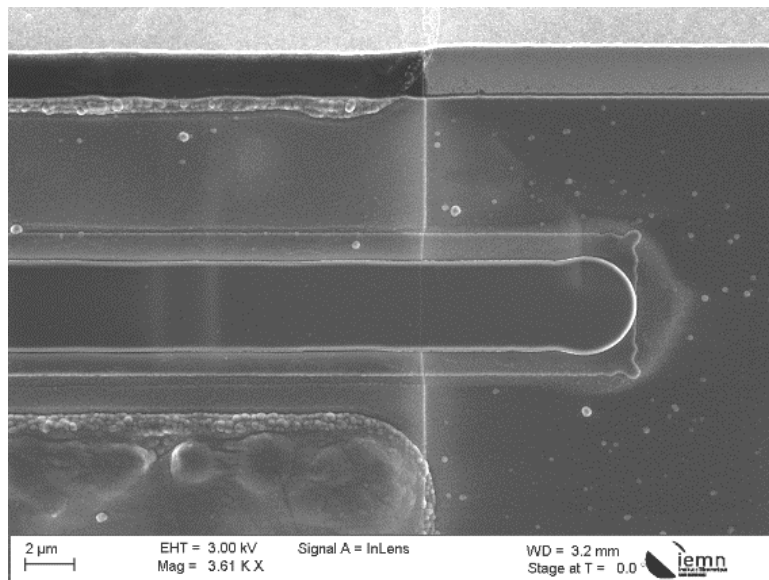


Figure 2.35 : Image MEB d'une grille sur zone p-GaN présentant un contour légèrement blanchâtre (gravure de la passivation SiN).

Ce nouveau procédé de fabrication a permis de résoudre le problème de claquage prématuré. Les différentes tensions de claquage seront présentées dans la prochaine partie. Néanmoins, le

phénomène de double commande est toujours présent de manière non-uniforme (Fig. 2.36). En se focalisant sur la grille, les images MEB ont permis de mettre en évidence un aspect des grilles atypiques. Comme on peut le voir sur la Figure 2.37, il semble que les grilles ne soient pas en contact direct avec la surface. Afin de confirmer cette hypothèse, nous avons réalisé un retrait de la passivation par voie chimique (BOE). D'un point de vue électrique, ce retrait de passivation a eu pour impact de réduire ou supprimer la double commande d'un certain nombre de transistors. De ce fait, un dernier échantillon a été réalisé. Cette fois, la couche de passivation n'a été déposée qu'une fois l'étape de grille terminée.

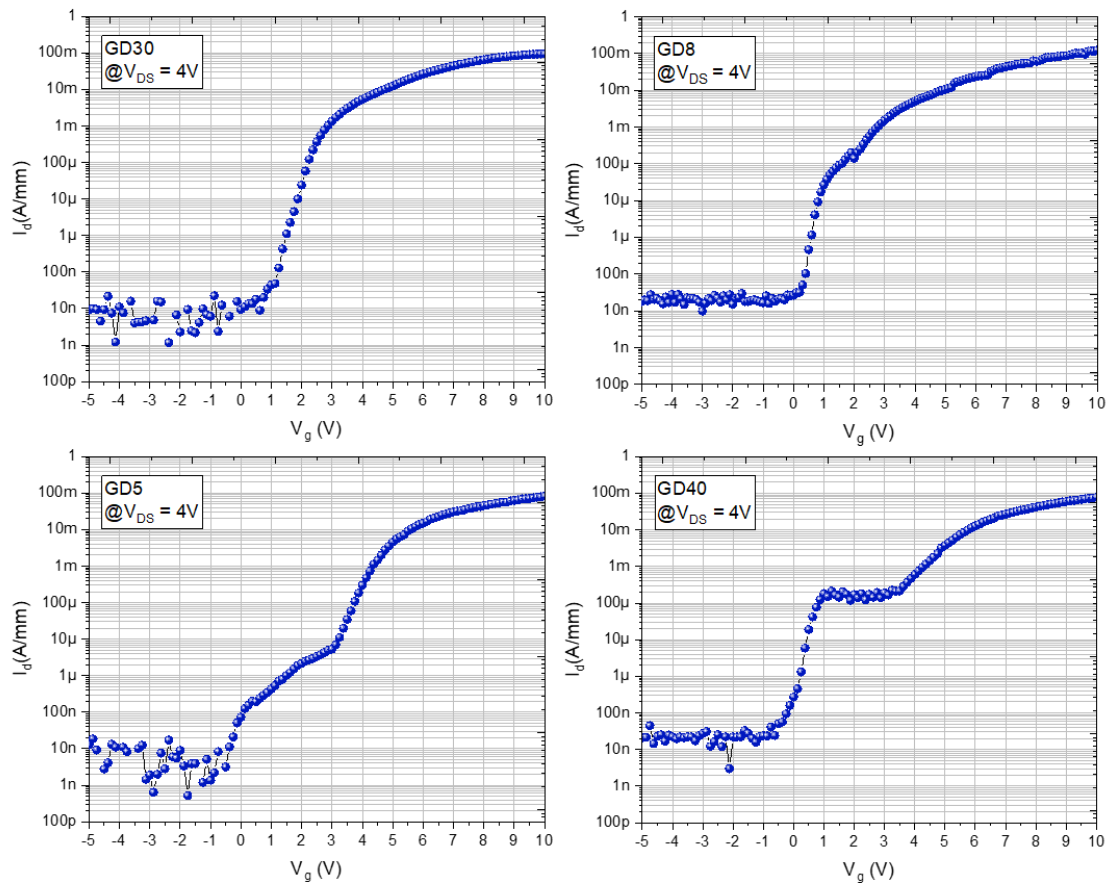


Figure 2.36 : Différentes caractéristiques de transfert mesurées sur l'échantillon.

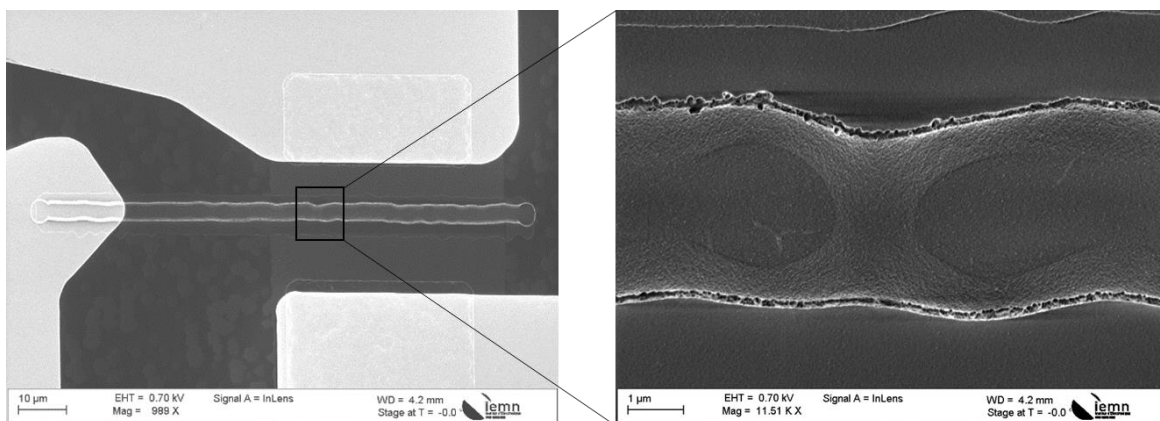


Figure 2.37 : Images MEB d'une grille après ouverture de passivation SiO_2 .

c. Caractérisations électriques

i. Claquage Buffer

Les mesures de claquage vertical de la structure à cap p-GaN sont présentées sur la Figure 2.38. On peut relever qu'à 1 mA/mm^2 , une tension de 1350V est atteinte. Il est intéressant de noter que cette structure à cap p-GaN et buffer plus épais délivre une tension de claquage de 1500V contre 1350V pour la précédente structure SL, confirmant l'intérêt d'une épaisseur de buffer plus importante dans le cas de la structure normally-off.

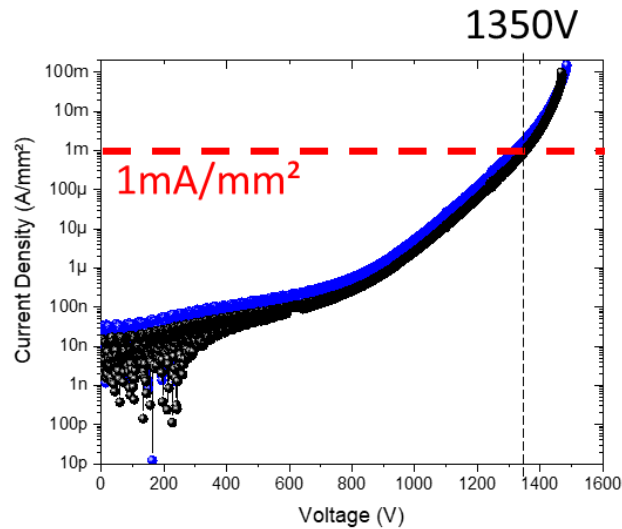


Figure 2.38 : Mesures de claquage vertical pour la structure SL à cap p-GaN.

La Figure 2.39 montre le claquage latéral en fonction des distances de contacts isolés de la structure SL à cap p-GaN. De même que pour les structures précédentes, l'échantillon est immergé dans une solution de Fluorinert, afin d'éviter le claquage dans l'air.

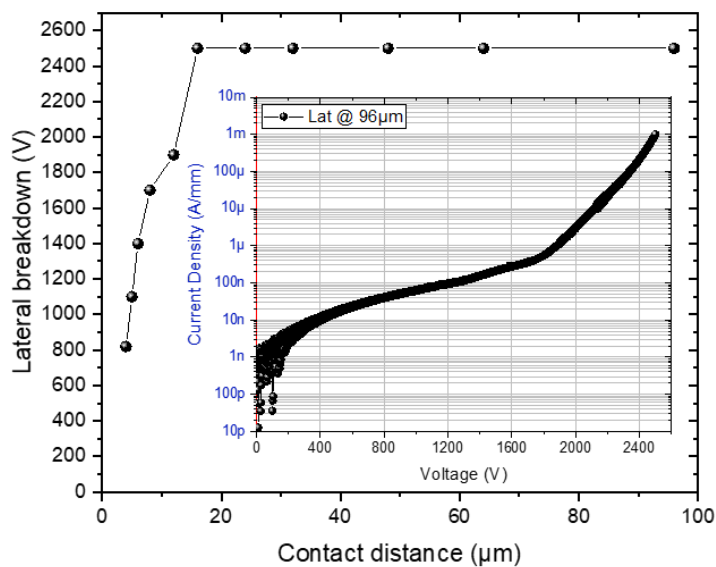


Figure 2.39 : Tension de claquage latéral en fonction des distances entre les contacts.

Le régime de saturation est atteint à partir d'une distance de 16 μm entre les contacts. Une tension de plus de 2500V est atteinte. Cependant, c'est la tension verticale qui présente l'information la plus utile. En effet, elle laisse prévoir un possible fonctionnement à 1200V même si le substrat est polarisé à la masse.

ii. Caractérisations statiques des transistors

Les caractéristiques de transfert sur des transistors de $2 \times 50 \mu\text{m}$ confirment pleinement le comportement normally-off. La Figure 2.40 présente les caractéristiques de transfert en échelles semi-logarithmique et linéaire afin de mettre en évidence la tension de seuil. Celle-ci révèle un faible courant de fuite et un excellent comportement de pincement reflétant l'absence d'effets parasites de type punch-through ou de courant de fuite de grille. Une tension de seuil supérieure à 0V est obtenue de manière uniforme. Comparé à la structure SL précédente, le niveau plus faible de courant à l'état ON est dû à la plus faible concentration de porteurs dans le 2DEG.

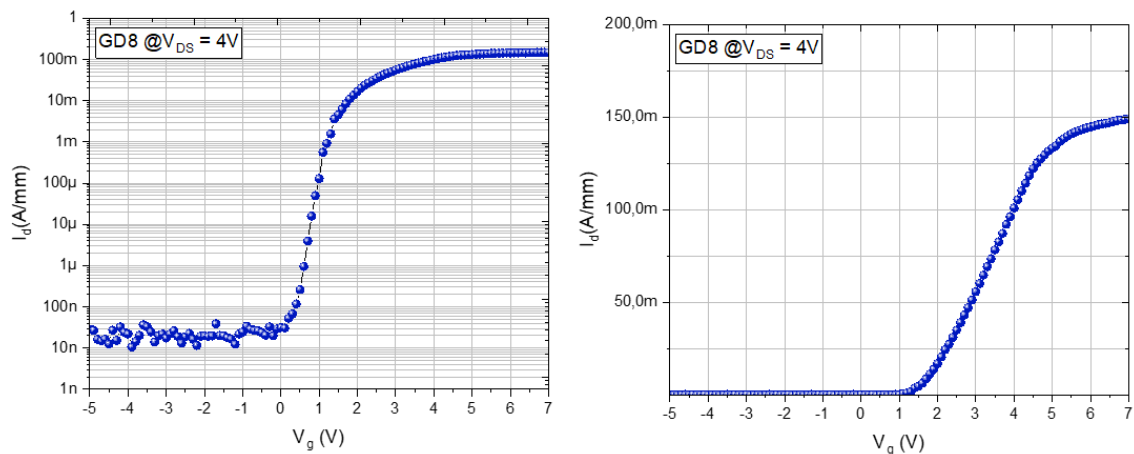


Figure 2.40 : Caractéristiques de transfert en échelles semi-logarithmique et linéaire.

iii. Tenue en tension des transistors

Les mesures de tension de claquage de transistors à l'état off en fonction des distances GD avec substrat à la masse et substrat flottant sont représentées sur la Figure 2.41, à $V_{GS} = 0\text{V}$, les mesures de claquage de transistors avec substrat à la masse sont légèrement supérieures à 1400V. De même, avec un substrat flottant, une tension de claquage des transistors de 2500V est obtenue pour de larges distances GD. Ces performances représentent l'état de l'art pour des transistors GaN de type normally-off comme l'indique le benchmark qui apparaît sur la Figure 2.42.

On peut voir sur la Figure 2.43, les mesures de balayage du courant par polarisation du substrat, réalisées à différentes vitesses. De même que sur la structure SL précédente, un faible effet de piège indépendant des vitesses de balayage est relevé. Les mesures ont été réalisées jusqu'à 1400V.

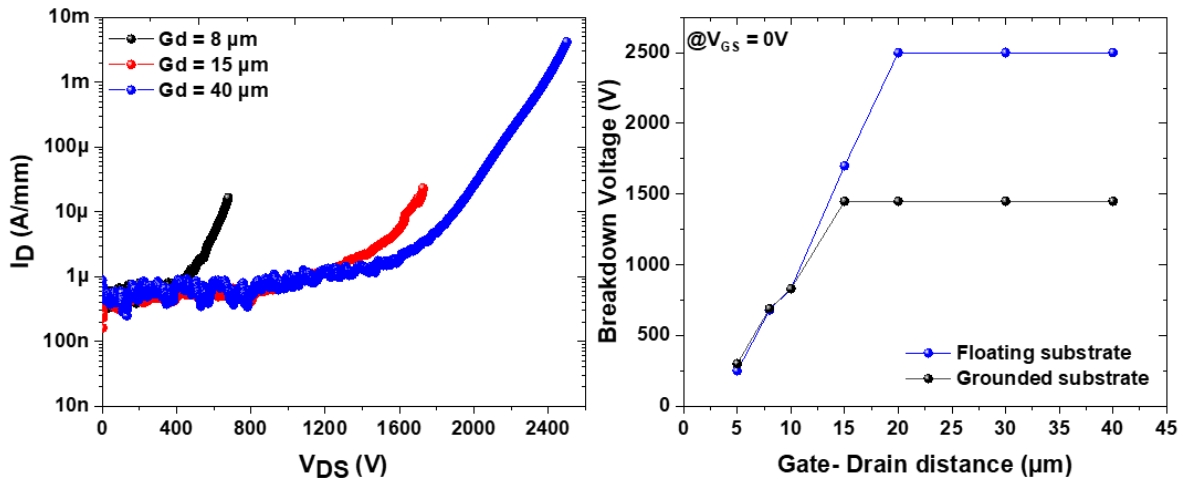


Figure 2.41 : Tension de claquage de transistors pour différentes distances GD avec substrat flottant (à gauche) et en fonction de GD avec substrat à la masse et flottant (à droite) sur la structure SL.

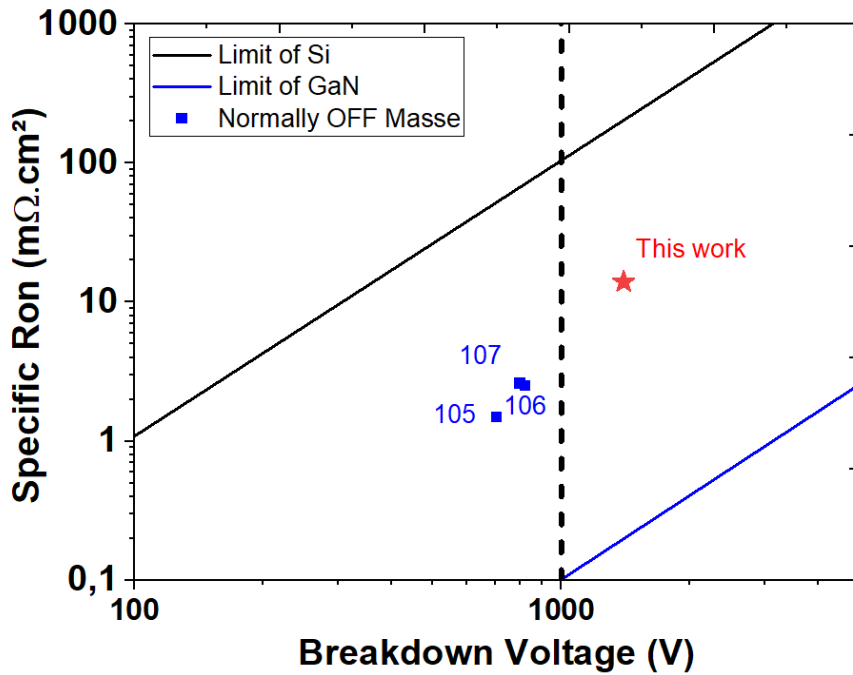


Figure 2.42 : Etat de l'art de transistors GaN-sur-Si normally-off

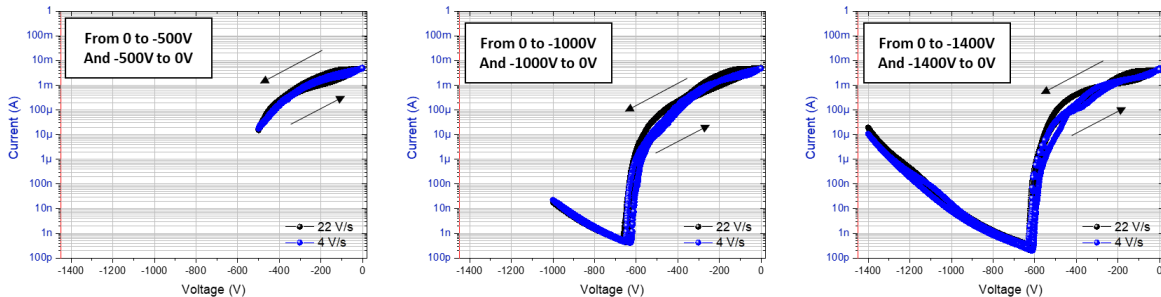


Figure 2.43 : Mesures de balayage du courant par polarisation du substrat pour la structure p-GaN à SL.

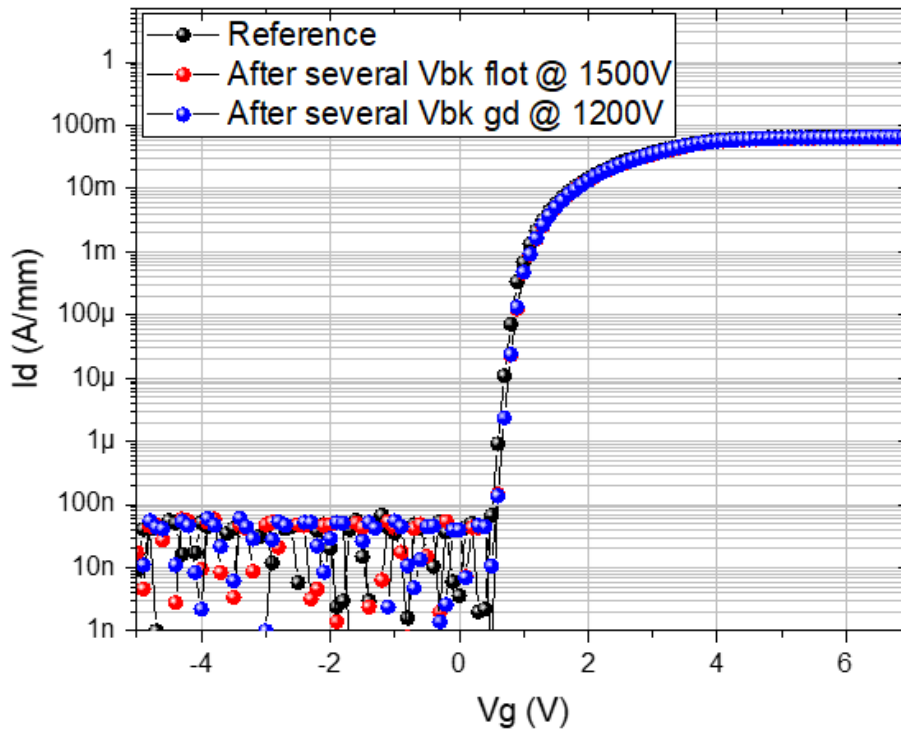


Figure 2.44 : Caractéristiques de transfert après chaque série de mesures à haute tension jusqu'à 1500V avec substrat flottant et 1200V avec substrat à la masse.

Afin d'évaluer (de manière préliminaire) la robustesse de ces composants, une série de caractéristiques de transfert ont été réalisées après plusieurs mesures à haute tension à l'état bloqué. Des mesures successives avec substrat flottant jusqu'à 1500V et à la masse jusqu'à 1200V, n'ont révélé aucune dégradation du composant, comme on peut le voir sur la Figure 2.44, qui superpose les mesures de $I_d V_g$ réalisées après chaque série de mesures à haute tension. Ces résultats sont particulièrement encourageants en vue des futures mesures dynamiques jusqu'à 1200V (jamais démontrées jusqu'à présent sur cette filière).

CONCLUSION DU CHAPITRE 2

Dans ce chapitre, nous avons réalisé une étude sur le comportement électrique d'une croissance épitaxiale complexe de GaN sur substrat Si par décomposition du buffer. Les résultats montrent que l'épaisseur et la composition de l'empilement permettent, en plus d'augmenter la tension de claquage, d'améliorer la qualité du matériau en limitant la propagation des défauts et des dislocations. Une amélioration significative de la stabilité et l'uniformité des courants de fuite ainsi que des effets de pièges est observée après la croissance des couches de transition et notamment de la couche épaisse de GaN dopée carbone.

Nous avons, ensuite évalué une nouvelle architecture de buffer composée de super-réseaux (paires AlN/GaN ultrafines) visant un fonctionnement au-delà du kilovolt. Une comparaison par rapport à une structure commerciale optimisée pour des applications à 650V a été réalisée. La structure à base de super-réseaux de 5 μm d'épaisseur totale délivre un claquage vertical exceptionnel au-dessus de 1,3 kV contre 1 kV pour un buffer plus standard à gradient d'AlGaN de 5,5 μm . Les mesures sur transistors avec substrat à la masse ont montré une tenue en tension supérieure à 1200V, et plus de 2000V lorsque le substrat est flottant. Des mesures de *back-gating* ont permis d'observer, pour la première fois, des effets de pièges de buffer extrêmement faibles jusqu'à 1,3 kV, y compris à haute température (jusqu'à 150°C).

Nous avons également optimisé un procédé de fabrication sur cette même architecture de buffer à base de super-réseaux (un peu plus épais : 6 μm) dans le but d'obtenir des transistors normally-off par l'utilisation d'une couche GaN dopée p sous la grille. Les caractéristiques électriques du buffer ont confirmé les excellents résultats obtenus avec un claquage vertical aux alentours de 1500V et latéral proche de 2500V pour des distances entre contacts supérieures ou égales à 16 μm . La tension de pincement supérieure à +1V a permis de démontrer une tenue en tension, à l'état de l'art, de 1400V à $V_g = 0\text{V}$ sur des transistors avec substrat à la masse. De plus, de faibles effets de pièges ont été observés jusqu'à cette même tension. Au travers de cette étude, on peut conclure sur le réel avantage des buffers à base de super-réseaux même si la croissance est plus complexe.

CHAPITRE 3

GRAVURE LOCALISEE DU SUBSTRAT (LSR)

1. PRESENTATION DU PRINCIPE DE GRAVURE LOCALISEE DU SUBSTRAT

Les transistors GaN fabriqués sur substrat de Si souffrent d'un champ électrique critique relativement faible lié aux propriétés du Si, ainsi que d'une conduction parasite à l'interface buffer/substrat, ce qui entraîne le claquage du composant [82], [92], [142]–[145]. Afin d'améliorer la tenue en tension de cette filière de transistors, plusieurs approches ont été reportées dans la littérature. Parmi elles, la croissance de buffer plus épais est la technique la plus répandue. Toutefois, cette technique a ses limites en raison de l'important désaccord de maille et d'un coefficient de dilation thermique différent entre le Si et les couches de nitrure, qui peut donner lieu à une forte déformation du wafer, des dislocations au sein des couches épitaxiées, voire même la cassure du wafer. Une autre méthode prometteuse permettant d'augmenter la tension de claquage a été mise au point : la gravure localisée du substrat (GLS) [146], [147]. En effet, comme il a été présenté précédemment, une conduction à l'interface entre le substrat et la couche de nucléation en AlN peut exister. Elle est liée à la diffusion d'espèces (Al, Ga) dans le substrat. De plus, dans tous les cas, la tenue en tension est limitée par la faible bande interdite du substrat Si. Le claquage du transistor a donc lieu lorsque la zone de charge d'espace atteint le substrat avec un champ électrique suffisamment élevé.

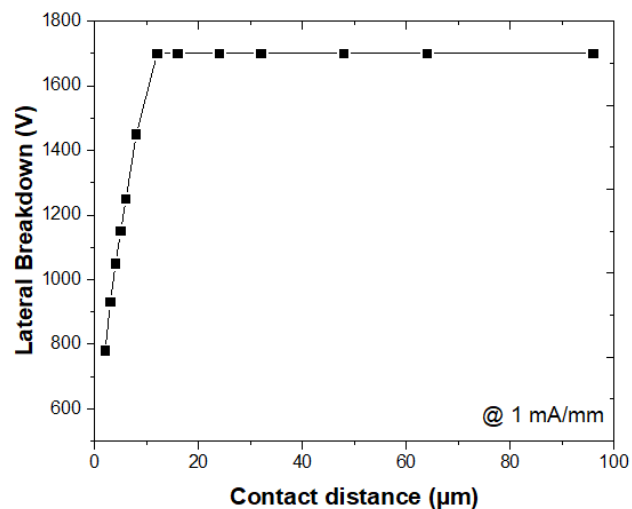


Figure 3.1 : Tension de claquage latéral en fonction des distances entre contacts

Lors d'une polarisation à l'état bloqué, le champ électrique se propage verticalement à travers l'épitaxie. Pour une certaine distance entre les contacts, le champ électrique atteint le substrat et le claquage vertical sature. La Figure 3.1 présente un exemple de mesures de claquage latéral pour différentes distances entre les contacts. On peut remarquer dans ce cas la saturation de la tension, pour des distances supérieures ou égales à 12 µm. Cette saturation met en avant la limitation du substrat Si sous fort champ électrique. La solution choisie afin de pallier cette limite est une gravure localisée du substrat (GLS). L'intérêt d'une telle technique est, une fois le substrat retiré sous le

composant, de supprimer le chemin de conduction parasite (Figure 3.2). Après GLS, la tension de claquage ne sature plus et augmente quasi-linéairement avec la distance entre les contacts. Cette méthode permet d'augmenter la tenue en tension, indépendamment de l'architecture des hétérostructures.

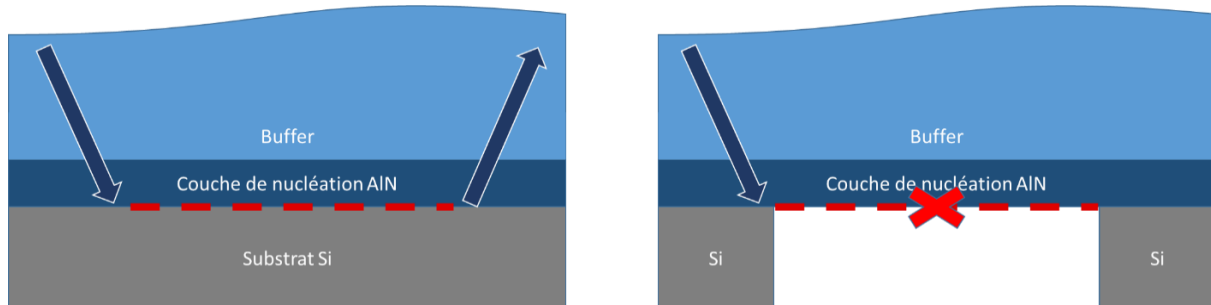


Figure 3.2 : Représentation schématique de la structure avant et après gravure localisée du substrat.

2. OPTIMISATION DE LA BRIQUE TECHNOLOGIQUE

À la suite de la fabrication des composants en face avant, un procédé de fabrication sur la face arrière peut être entamé. La réalisation de membranes passe par les étapes suivantes (Figure 3.3) :

1. Protection des composants en face avant afin de ne pas dégrader les caractéristiques électriques durant la réalisation des membranes : une passivation est déposée sur la structure. La couche de protection doit pouvoir résister à tous les traitements ultérieurs mais doit également pouvoir être facilement enlevée sans affecter les composants. Pour cette raison, une passivation SiN/SiO_2 a été choisie car le retrait de ce type de couches est facilement réalisable par voie chimique.
2. Pour ne pas devoir graver entièrement le substrat qui peut avoir jusqu'à 1 mm d'épaisseur, un amincissement jusqu'à 200 μm est réalisé au préalable. En dessous de cette épaisseur, l'échantillon devient extrêmement fragile, ce qui peut occasionner des dommages lors de manipulation de l'échantillon. Une couche de résine est déposée sur la passivation et l'échantillon à amincir est collé sur un support en verre avec de la cire. L'intérêt de la résine est qu'elle permet, après amincissement, de retirer toute trace de cire après retrait. L'amincissement du substrat de l'échantillon est effectué à l'aide d'une « meuleuse ». Sous un débit régulier d'eau permettant de refroidir et de nettoyer la surface traitée, ce procédé permet une élimination du substrat rapide et contrôlée.
3. Lithographie en face arrière avec alignement des motifs formés autour des composants. Le masque utilisé pour la création des motifs a été réalisé de telle manière qu'un composant sur deux est gravé en face arrière. De cette façon, la comparaison de composants avec et sans GLS sans variation d'épitaxie ou de procédé de fabrication sur un même échantillon devient possible.
4. Gravure locale du substrat : le silicium est totalement retiré sous le composant, une étape de nettoyage est réalisée afin de supprimer toute trace de résine. Le déroulement de ces étapes technologiques est présenté sur la Figure 3.3.

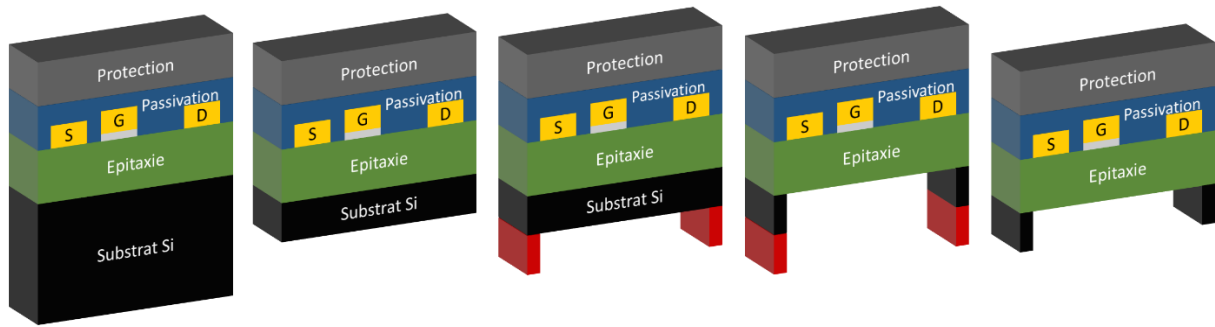


Figure 3.3 : Représentation schématique du procédé de gravure localisée du substrat.

Dans notre procédé de fabrication, la résine sert de masque pour la gravure, d'où la nécessité d'en déposer une épaisseur relativement importante. Durant les premières réalisations de membranes, il s'était avéré que l'épaisseur de résine n'était pas suffisante. De ce fait, après gravure des motifs en face arrière, la totalité du masque de résine fut gravée. Le silicium est ainsi également gravé non-intentionnellement, rendant l'échantillon extrêmement mince et fragile. On peut voir sur la Figure 3.4, un échantillon qui présente une courbure importante en raison de la faible épaisseur du substrat après gravure. Dans le cas d'une résine trop épaisse, un re-dépôt peut se produire lors de la gravure qui induit un micro-masquage sur le fond du motif, empêchant le retrait de silicium à certains endroits. On peut voir sur la Figure 3.5 une membrane présentant un micro-masquage.

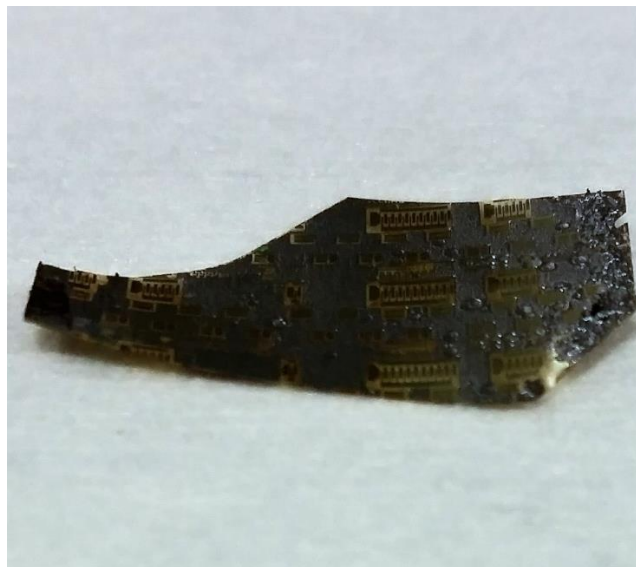


Figure 3.4 : Image d'un échantillon après gravure du Si utilisant une épaisseur de résine insuffisante.

La gravure du substrat est réalisée sous le composant jusqu'à la couche de nucléation à l'aide d'une gravure profonde par ions réactifs basée sur le procédé Bosch [148]. Ce procédé alterne une phase de gravure et une phase de passivation, tout en garantissant une gravure profonde anisotrope avec un fort rapport d'aspect. Un plasma fluoré est utilisé dans ce procédé pour graver de manière anisotrope. Après la phase de gravure, une passivation des flancs est réalisée à l'aide d'une phase de dépôt produisant une couche très proche du Téflon. La passivation des flancs de gravure permet de conserver l'anisotropie. La première phase de gravure détruit la couche de passivation au fond du motif par un bombardement ionique et permet à la deuxième phase de gravure d'attaquer le Si (Fig. 3.6).

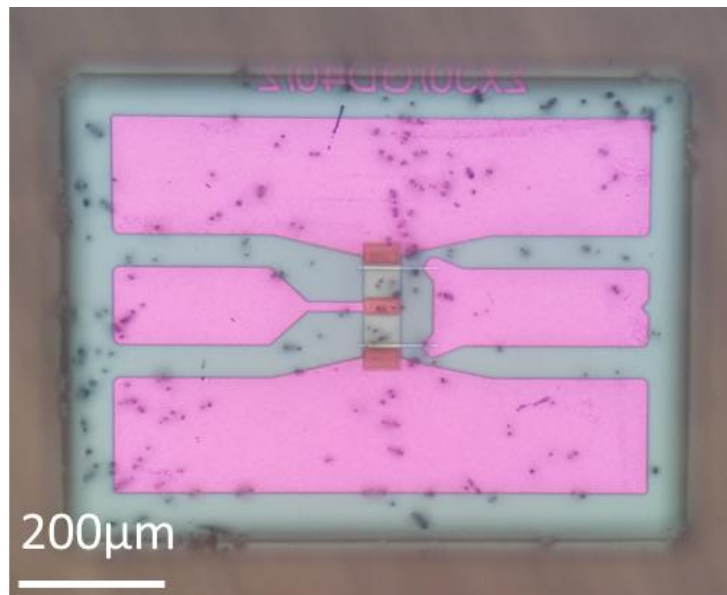


Figure 3.5 : Transistor avec GLS vue en face arrière présentant un micro-masquage.

Il est donc nécessaire d'enchaîner de nombreuses phases de gravure et de passivation pour arriver à des gravures profondes à flancs verticaux et ainsi conserver l'anisotropie (Fig. 3.7). La vitesse de gravure du Si est relativement homogène sur toute la profondeur d'un motif ; néanmoins, elle varie selon ses dimensions. Dans le cas d'un motif sous transistor, la vitesse de gravure est aux alentours de $0,6 \mu\text{m}/\text{cycle}$. Cela équivaut approximativement, pour la réalisation d'une gravure complète d'un transistor, à plus de 330 cycles.

On peut voir sur la Figure 3.8 l'évolution de la gravure d'un transistor vue en face arrière, au fil des cycles de gravure. Il est important de préciser qu'une sur-gravure est réalisée malgré l'ouverture totale des motifs afin d'éliminer les résidus de silicium au fond des membranes. Cette nécessité de sur-gravure met en évidence l'importance de la sélectivité entre le Si et l'AlN, afin de ne pas graver ou dégrader l'épitaxie en fin de gravure.

Durant l'étape de gravure, un suivi est réalisé. Plus précisément, un contrôle optique et un contrôle de la profondeur des membranes sont réalisés. En effet, la gravure est contrôlée à la fois par profilométrie pour déterminer l'épaisseur de silicium gravée mais aussi optiquement au microscope pour surveiller l'apparition des composants présent en face-avant. Cet effet est dû à la très faible épaisseur de l'épitaxie, permettant de voir par transparence, le composant en face avant. Il est cependant nécessaire de contrôler toutes les membranes car, en dehors de la différence de taille de motifs faisant varier la vitesse de gravure, les membranes présentes au centre de l'échantillon ont tendance à s'ouvrir avec moins de cycles de gravure.

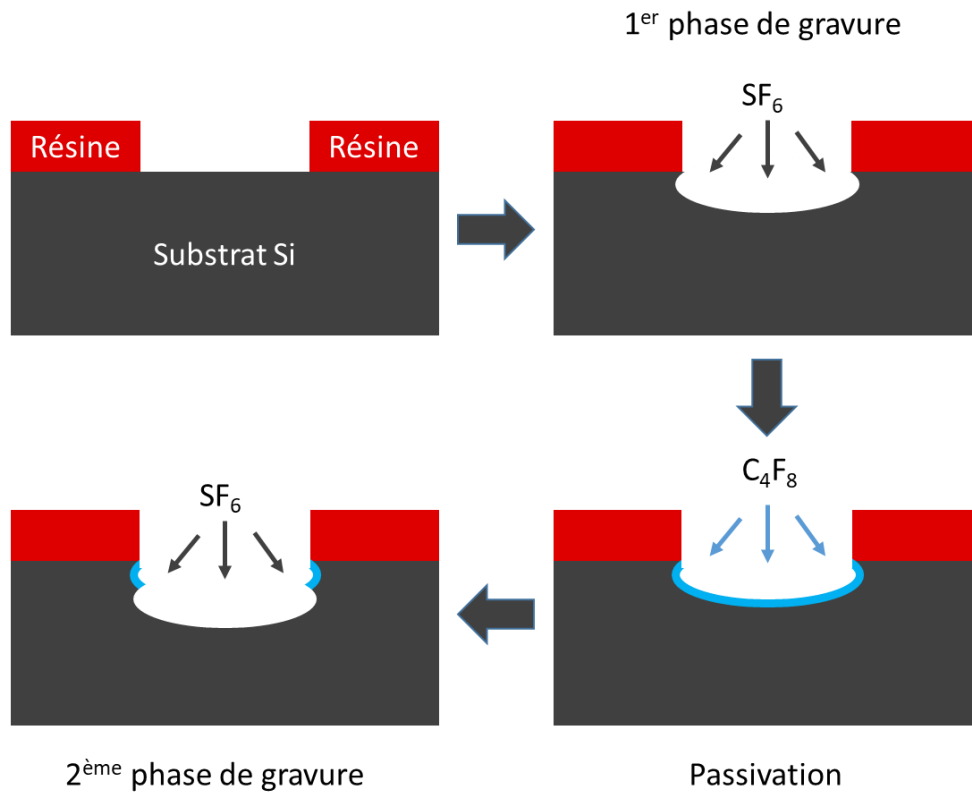


Figure 3.6 : Illustration des différentes phases de la gravure Bosch utilisée.

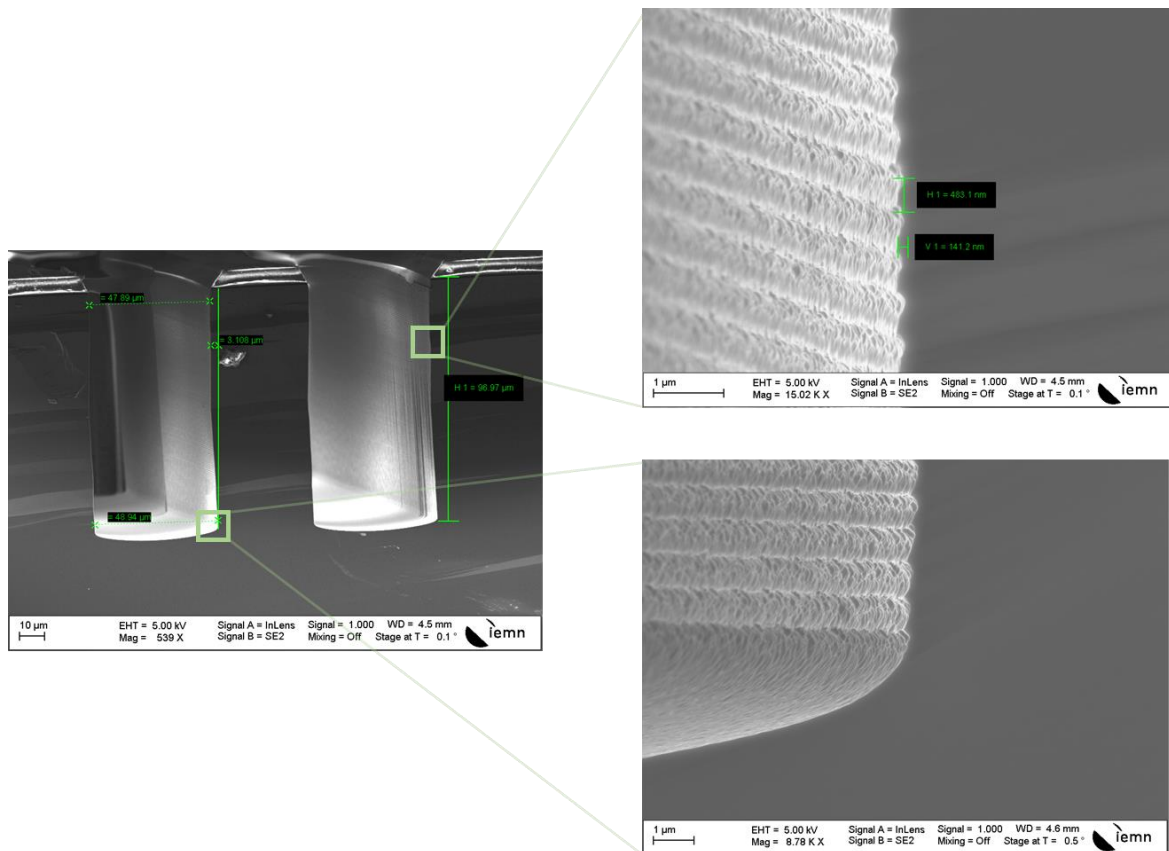


Figure 3.7 : Image MEB de zones Si après gravure Bosch.

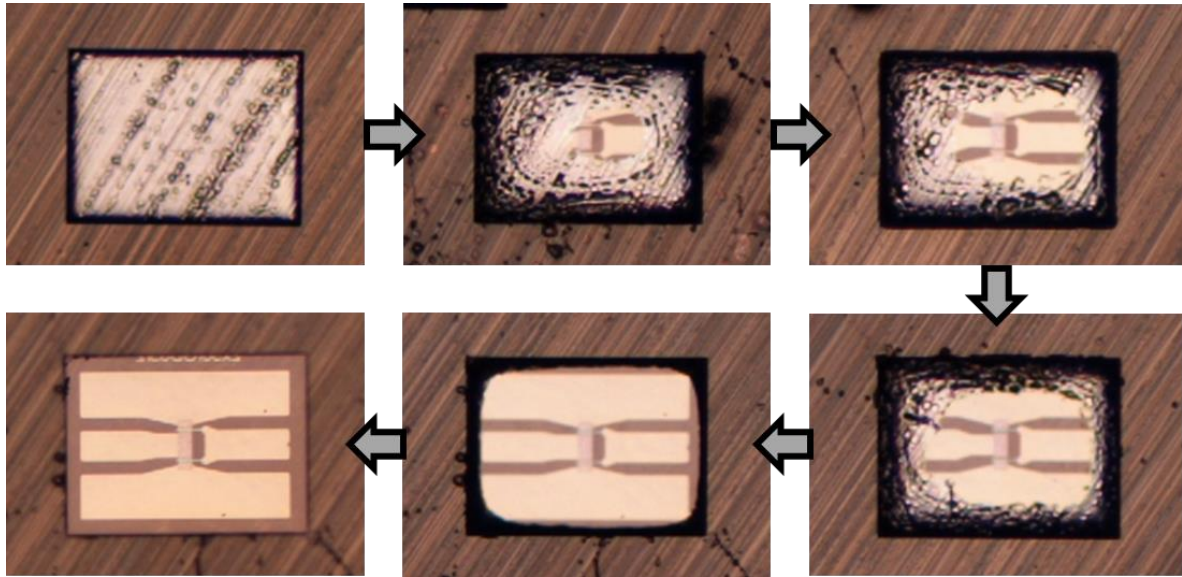


Figure 3.8 : Evolution de la gravure localisée du substrat d'un transistor vue en face arrière.

Après ouverture totale des membranes réalisées, une étape de nettoyage est appliquée afin de retirer la résine de protection sans endommager les membranes. Le retrait de résine est réalisé par voie chimique. Cette étape est relativement critique car, en raison de la très faible épaisseur des membranes, l'immersion de l'échantillon dans le solvant génère une contrainte mécanique pouvant amener la membrane à se briser (voir Figure 3.9). Celle-ci doit être plongée avec précaution. La Figure 3.10 montre un transistor avec GLS intact en fin de procédé, vue en face arrière et après retrait de résine.

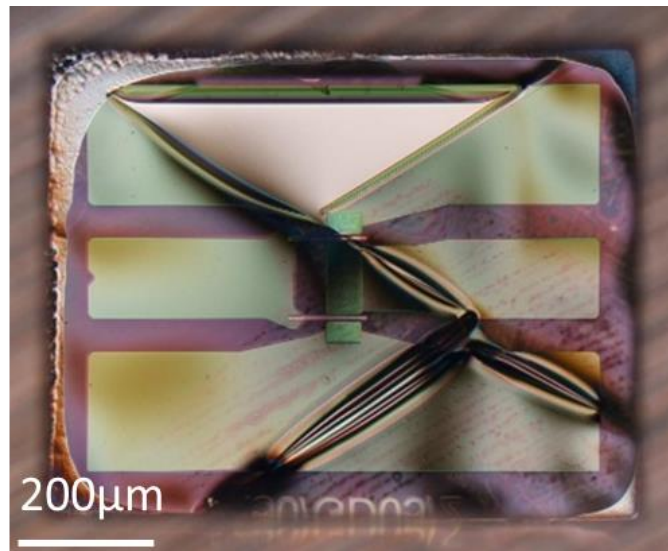


Figure 3.9 : Fissures de la membrane après gravure localisée du substrat.

Au cours de l'optimisation du procédé de fabrication en face arrière, nous avons constaté que la fragilité des membranes était directement dépendante de la taille des motifs et en particulier de l'épaisseur totale de l'épitaxie. La Figure 3.11 présente des membranes de transistors réalisées sur une structure d'épaisseur inférieure à 500 nm. On peut clairement constater la génération de contraintes

mécaniques (exacerbées pour ces épaisseurs d'épitaxie) au travers du contraste de couleurs sur cette image effectuée au microscope optique.

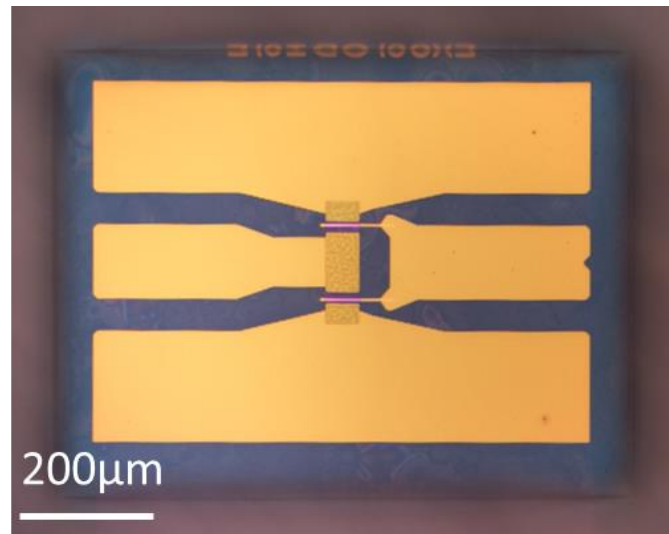


Figure 3.10 : Transistor vu en face arrière après retrait de résine (800 μm x 600 μm).

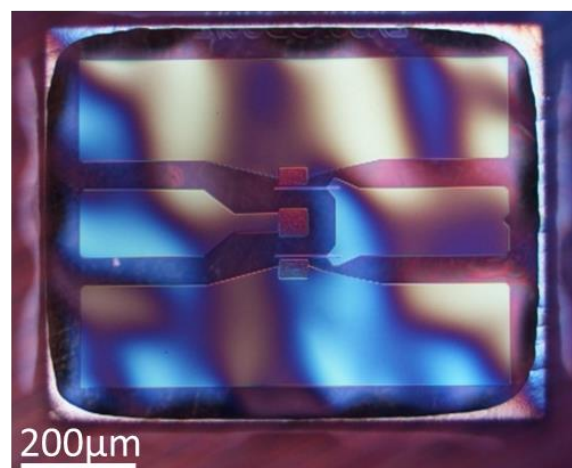
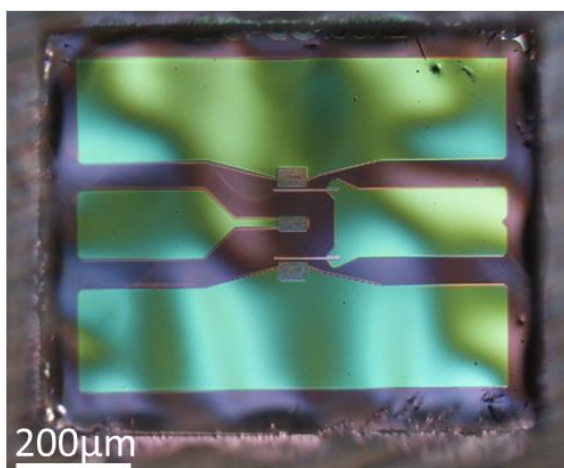
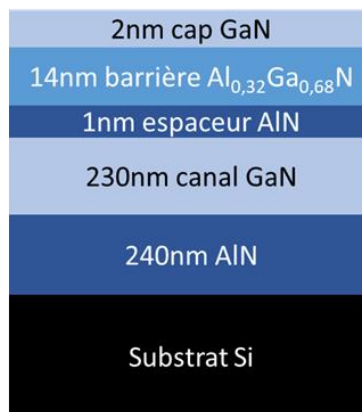


Figure 3.11 : Schéma de la structure et images microscopes de membranes vue en face arrière où le contraste de couleurs met en évidence les contraintes mécaniques.

Pour les applications de puissance, les dimensions des transistors sont beaucoup plus larges (jusqu'à des dizaines de mm^2). Une optimisation du procédé de fabrication a donc été réalisée dans le but d'améliorer la robustesse des membranes et rendre possible son utilisation sur de larges dimensions. Comme attendu, nous avons d'abord constaté les limites de notre procédé de fabrication en face arrière. En effet, comme on peut le voir sur la Figure 3.12a, le procédé standard ne permet pas la réalisation de larges membranes (proche de $2\text{ cm} \times 2\text{ cm}$). Les membranes se sont fissurées montrant une tenue mécanique limitée pour les grandes surfaces. L'amélioration du procédé de fabrication a principalement porté sur la protection en face avant. Plusieurs empilements ont été testés sur différents lots d'échantillons. La passivation initiale utilisée au préalable était composée d'une couche de SiN passivant les composants fabriqués suivie d'une couche de SiO_2 permettant d'augmenter l'épaisseur de protection. La combinaison de diélectriques SiN/ SiO_2 a été remplacée par une passivation uniquement composée de SiO_2 plus épais d'une épaisseur de 300 nm. L'épaisseur a été fixée de telle manière que son retrait soit facilement réalisable et sans dégrader les caractéristiques électriques des composants. Les Figures 3.12b et 3.13 montrent de larges membranes après optimisation sans aucune fissure.

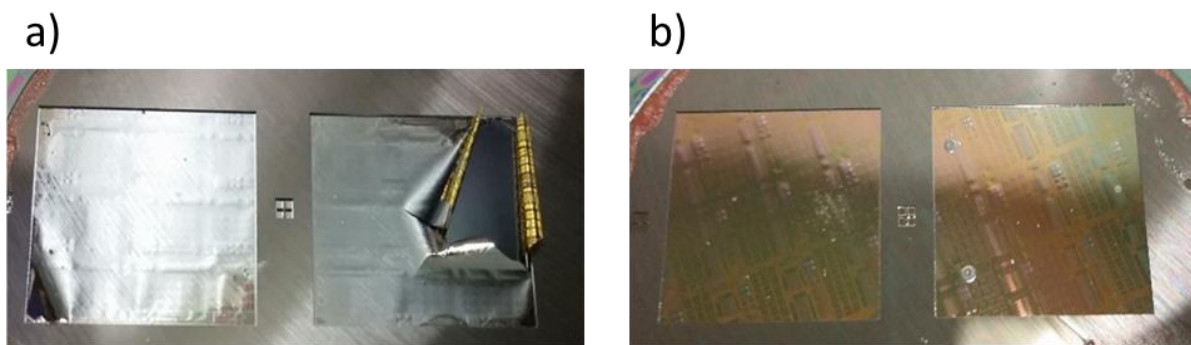


Figure 3.12 : Comparaison entre l'ancien procédé de fabrication (a) et le procédé optimisé (b).

Pour pouvoir supporter un champ électrique plus élevé tout en maintenant une dissipation thermique correcte au sein des composants après retrait local du substrat de silicium, nous avons choisi de déposer un matériau à fort champ de claquage ($> 4\text{ MV/cm}$) suivi d'une métallisation faisant office de puits thermique. Une couche épaisse d'AlN d'environ $15\ \mu\text{m}$ est déposée par PVD (Pulsed Vapor Deposition) à 300°C (Fig. 3.14a). Les mesures de claquage vertical ont confirmé le fort champ de claquage de ce matériau (bien au-delà du GaN) qui ne sera alors plus une limitation en termes de tenue en tension de l'ensemble de la structure (Figure 3.14b). Afin d'anticiper les limitations thermiques, un dépôt de plusieurs μm de Cu est utilisée dans le rôle de radiateur et ainsi permettre d'améliorer la dissipation thermique.

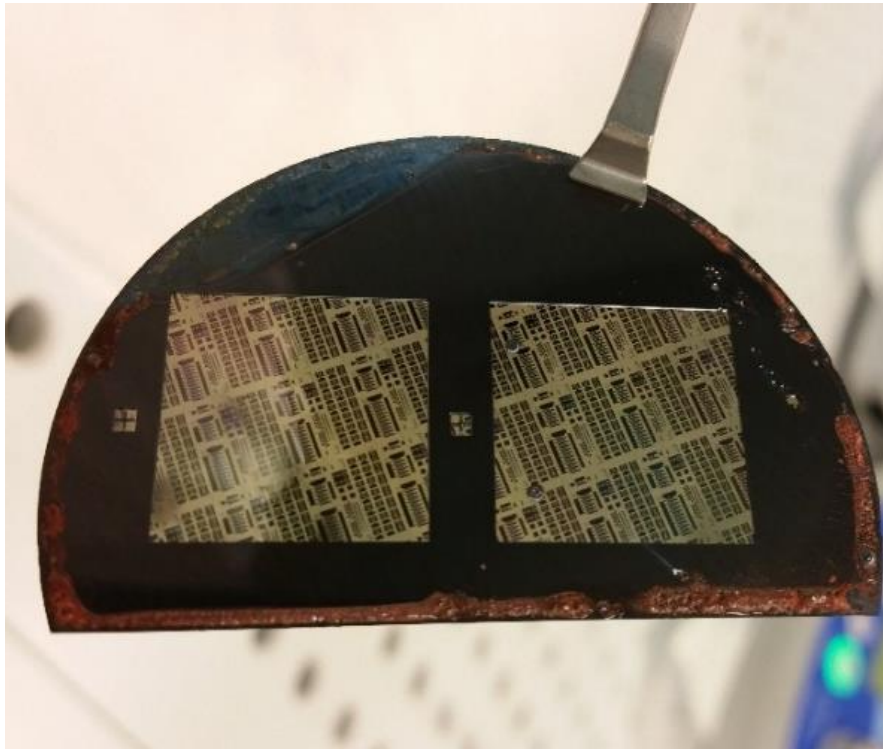


Figure 3.13 : Procédé de fabrication en face arrière optimisée sur une grande surface (1,8×1,8 cm).

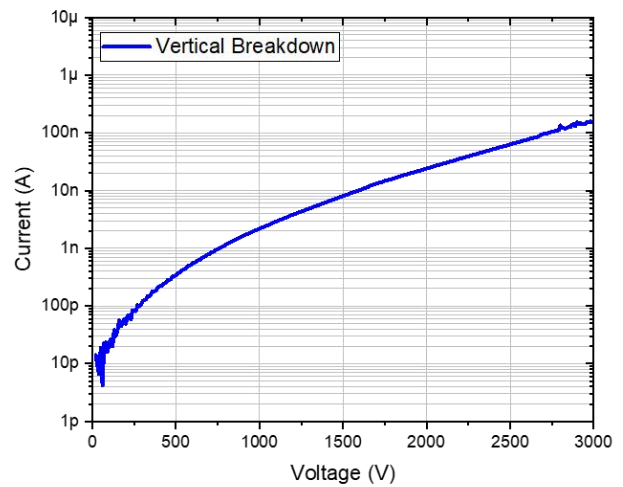
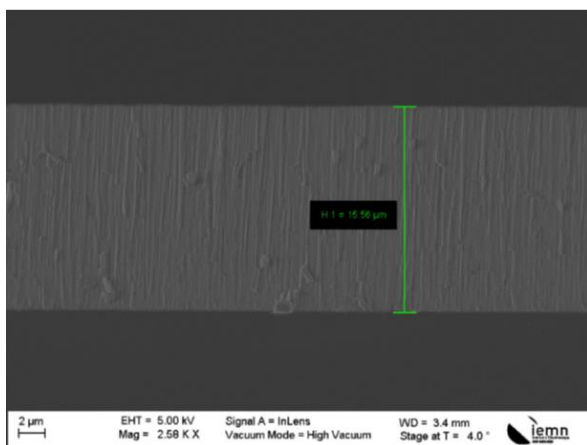


Figure 3.14 : Coupe transversale vue du MEB d'un dépôt d'AlN PVD de 15 μm a) et mesure de claquage vertical b).

a. Preuve de concept : transistors fabriqués à l'IEMN

Différentes études dans la littérature ont démontré la nette amélioration de la tension de claquage et donc le bénéfice de l'approche GLS [109], [121]. Cependant, aucune analyse de l'impact de cette approche sur les effets de pièges et sur la dissipation thermique n'a été réalisée.

C'est pourquoi nous avons entrepris la fabrication et la caractérisation de transistors dans le but :

- de vérifier la montée en tension des composants après procédé de fabrication en face arrière.
- d'évaluer l'impact du procédé face arrière sur les effets de pièges au travers de mesures dites de « back-gating ».
- de déterminer les conséquences en termes de dissipation thermique et de contraintes de l'approche GLS par le biais de mesures Raman.

On peut voir sur la Figure 3.15, un récapitulatif du procédé de fabrication en face arrière incluant les étapes de dépôts. La structure utilisée pour cette étude est une double hétérostructure AlGaN/GaN/AlGaN réalisée par dépôt chimique en phase vapeur (MOCVD) sur substrat Si de 6 pouces, provenant de chez Enkris. La structure HEMT est constituée d'une couche de nucléation en AlN, suivie de couches de transition à gradient AlGaN et d'une couche buffer en $Al_{0,08}Ga_{0,92}N$. L'épaisseur totale du buffer de 5 μm est suivie d'un canal GaN de 150 nm, d'une couche barrière $Al_{0,25}Ga_{0,75}N$ de 20 nm et d'une couche de passivation Si_3N_4 de 50 nm. Concernant les paramètres des transistors, la largeur/longueur de grille = 50 $\mu m/2 \mu m$ et la distance entre grille-drain (GD) varie de 2 à 40 μm .

La fabrication des composants sur le même wafer permet de réduire les variations induites par le procédé de fabrication ou de l'épitaxie.

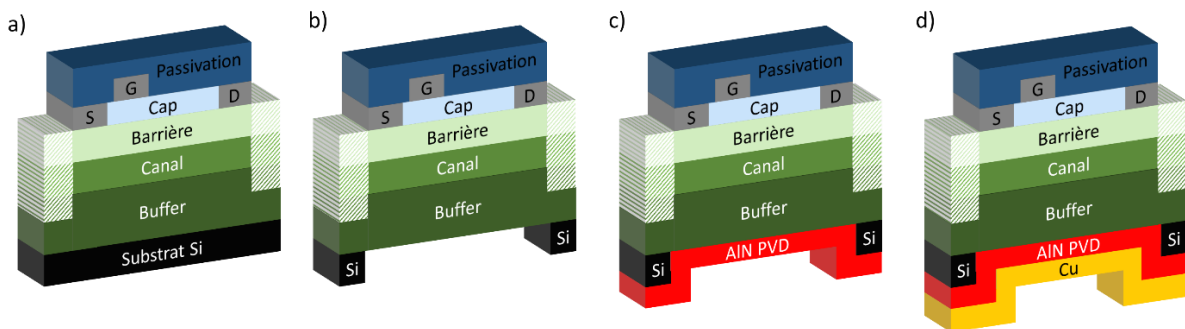


Figure 3.15 : Schéma d'une coupe transversale d'un transistor AlGaN/GaN de type MISHEMT après le (a) procédé de fabrication en face avant, (b) gravure localisée du substrat, (c) dépôt d'AlN par PVD et (d) dépôt de Cu sur la face arrière.

i. Mesures électriques

Les mesures de courant de fuite verticale effectuées sur des contacts isolés avec GLS montrent une augmentation remarquable de 1000 V à plus de 3000 V (limitation de notre banc de mesures) comparées aux transistors sans GLS (Fig. 3.16). Cela confirme la suppression des phénomènes de conduction du substrat ainsi que le fort champ de claquage de l'AlN PVD.

Il est important de noter qu'après GLS, les mesures par effet Hall restent identiques, prouvant que la gravure localisée du substrat n'affecte pas le 2DEG. Les caractéristiques $I_d V_d$ sont présentées sur la Figure 3.17. La densité de courant de saturation a diminué d'environ 20% après l'élimination du substrat de Si sous la région active en raison de l'auto-échauffement. Cet auto-échauffement entraîne une augmentation de la température du canal, ce qui diminue la mobilité des électrons et provoque

donc une réduction du courant de drain. Cependant, les valeurs extraites de la résistance spécifique statique ($R_{ON-STATIC}$) à basse tension (zone linéaire) sont assez proches, avec par exemple 8,5 contre 8,7 $m\Omega.cm^2$ pour des transistors GD30, sans et avec GLS, respectivement (Fig. 3.17).

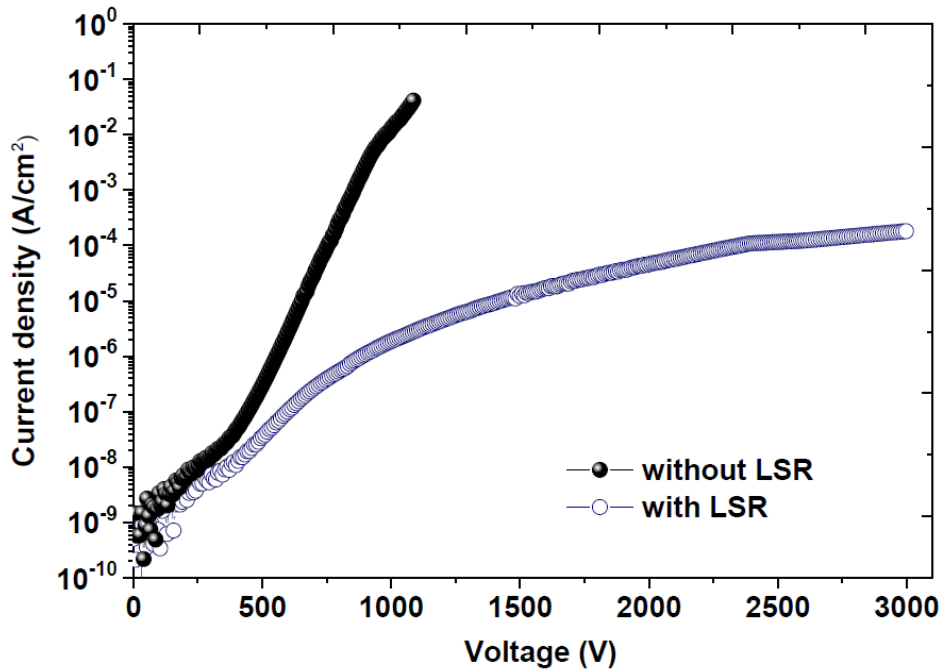


Figure 3.16 : Tenue en tension verticale à température ambiante d'une hétérostructure avec et sans procédé face arrière.

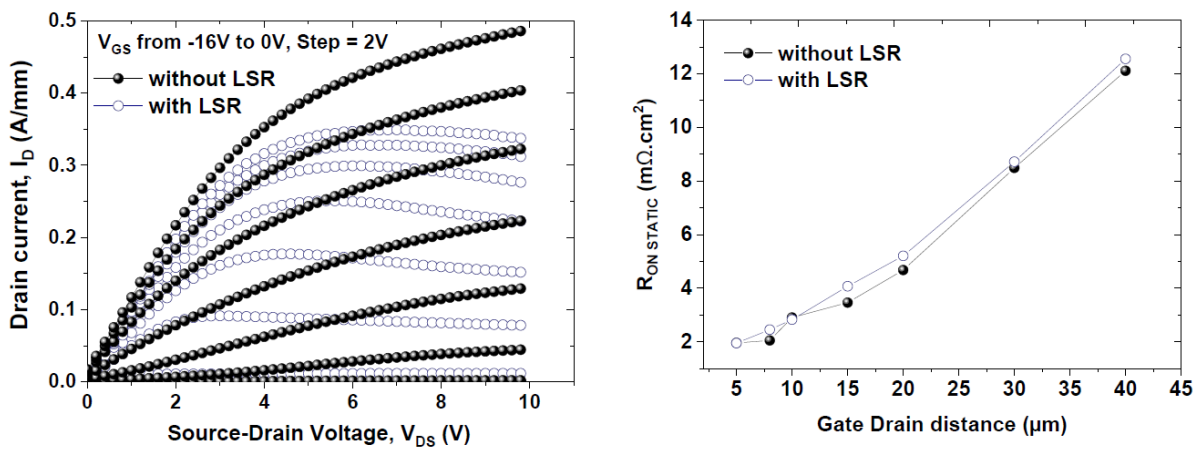


Figure 3.17 : Caractéristiques I_D - V_{DS} (à gauche) et résistance spécifique à l'état passant en fonction de la distance grille-drain (à droite) avec et sans procédé face arrière.

Les caractéristiques de transfert correspondantes avec GLS de 5 μm sont présentées sur la Figure 3.18. Malgré un léger décalage de la tension de seuil, il apparaît que les courants de fuite à l'état bloqué avec et sans GLS sont similaires et inférieurs à 0,1 $\mu A/mm$ pour une faible polarisation de drain.

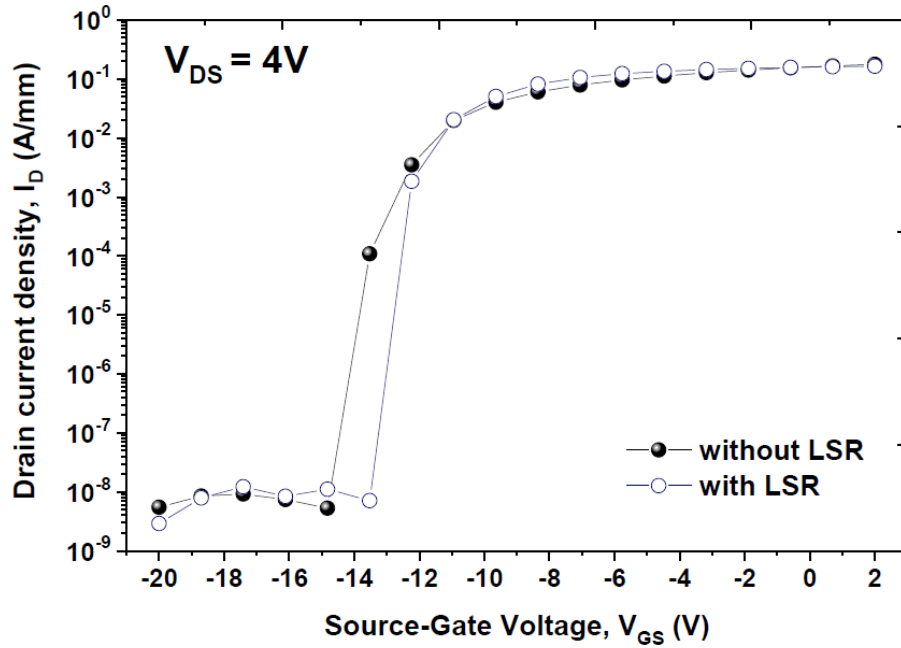


Figure 3.18 : Caractéristiques de transfert d'un transistor GD5 avec et sans procédé face arrière.

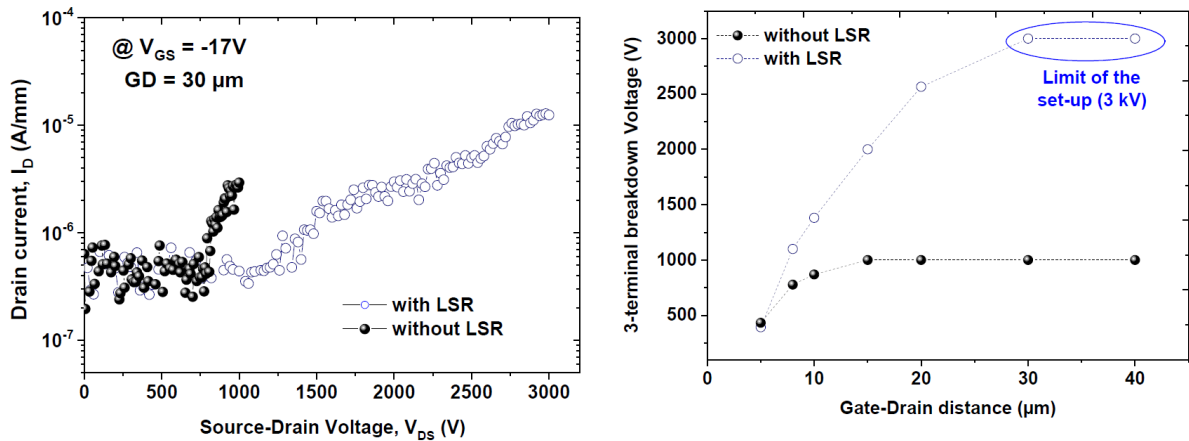


Figure 3.19 : Caractéristiques du courant à l'état off et à température ambiante pour des transistors GD30 et évolution de la tension de claquage de transistors en fonction de GD avec et sans procédé de fabrication en face arrière.

Les caractéristiques de tension de claquage à l'état off sont tracées en fonction de GD sur la Figure 3.19. Les transistors sans GLS présentent un plateau autour de 1000 V en raison de la limitation de l'épaisseur du buffer. Pour les composants avec GLS, la tension de claquage évolue presque linéairement en fonction du GD (comme attendu), pour atteindre plus de 3000 V pour les larges GD.

ii. Etude de l'impact de la GLS sur les pièges

Après avoir confirmé le bénéfice en termes de montée en tension à l'aide du procédé GLS, une étude concernant l'impact sur les pièges a été réalisée. En effet, jusqu'à présent aucune étude n'a montré les conséquences du procédé GLS sur les pièges présents dans une structure. Dans ce cadre, des

mesures de « back-gating » ont été réalisées. Ces mesures consistent à polariser le substrat à différentes tensions sur un courant de TLM ou de transistor. Cette technique permet de séparer les effets de pièges dans le buffer de ceux présents en surface. Les composants mesurés font partie d'un même échantillon, excluant toute variation de procédé de fabrication ou de croissance. Dans un premier temps, ces mesures ont été réalisées sur des contacts ohmiques espacés de 20 μm et polarisés à +1 V. Ce type de mesure impose un potentiel élevé (négatif) sur le substrat, reproduisant le fonctionnement à l'état OFF d'un transistor. En effet, toute redistribution de charges dans le buffer lors de la polarisation inverse modifiera le champ électrique. Ainsi, le piégeage ou le stockage des charges dans le buffer est visible sur la caractéristique IV par balayage dans les deux sens au travers d'une éventuelle hystérésis. L'une des particularités de cette approche est qu'elle est indépendante des effets de charge de surface car elle applique un champ vertical quasi 1-D.

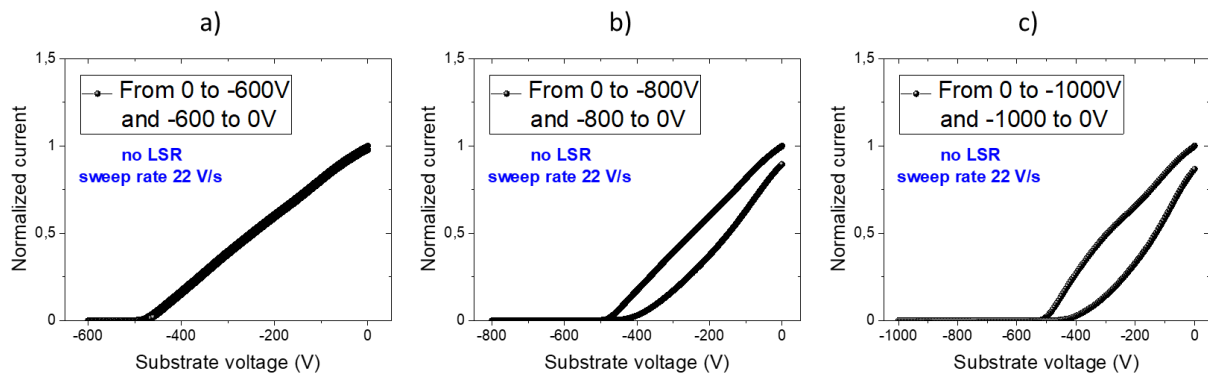


Figure 3.20 : Mesures par polarisation du substrat réalisées sur une TLM sans GLS jusqu'à 600V (a), 800V (b) et 1000V (c).

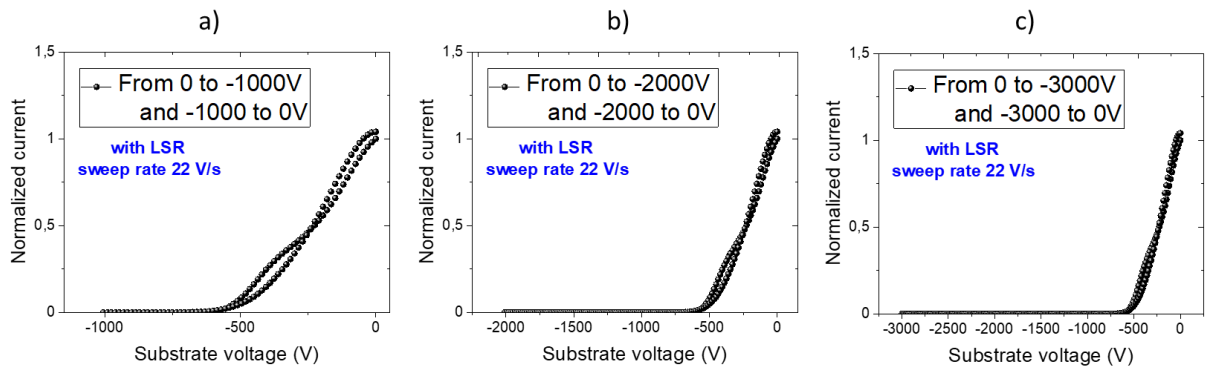


Figure 3.21 : Mesures par polarisation du substrat réalisées sur une TLM avec GLS jusqu'à 1000V (a), 2000V (b) et 3000V (c).

La vitesse de balayage a été fixée à 22 V/s. Les caractéristiques révèlent une faible hystérésis jusqu'à 600 V (Figure 3.20a) sur la structure sans GLS, traduisant un faible effet de pièges dans cette plage de tension. Au-delà de 600 V, une hystérésis de plus en plus prononcée apparaît, comme on peut le voir sur les Figures 3.20b et Figure 3.20c, jusqu'à une tension de 1000V. En revanche, il est intéressant de noter que les composants avec GLS présentent une faible hystérésis et donc un effet de pièges réduit jusqu'à 3000 V (Fig.3.21). Cela signifie que le retrait du substrat suivi par le dépôt épais d'AlN permet

non seulement de préserver l'intégrité du buffer mais pourrait également étendre considérablement sa gamme de tension sans piégeage additionnel.

Afin de vérifier ces observations et d'évaluer plus précisément les effets de pièges sur les structures avec et sans GLS, des mesures de « back-gating » sur transistors à température ambiante ont été réalisées, toujours sur des transistors à largeur/longueur de grille = 50 μm /2 μm , seuls de larges GD ont été sélectionnés afin de pouvoir appliquer de fortes polarisations. La démarche de cette mesure est divisée en une phase de stress et une phase de recouvrement. Pour la phase de stress, le composant est maintenu dans des conditions de piégeage pendant 10 s, durant laquelle un champ électrique élevé est appliqué. La phase de recouvrement s'effectue dans la foulée en remettant le transistor dans des conditions de « repos ». Le suivi du recouvrement du courant de drain est réalisé pendant 120 s. Plusieurs tensions de polarisation sont testées, de 200 V à 1,3 kV durant la phase de stress. Pendant la phase de recouvrement, le contact de drain est fixé à 1 V, la source à 0 V et la grille à 0 V. La Figure 3.22 montre le suivi du recouvrement du courant de drain après un stress à différentes tensions en fonction du temps.

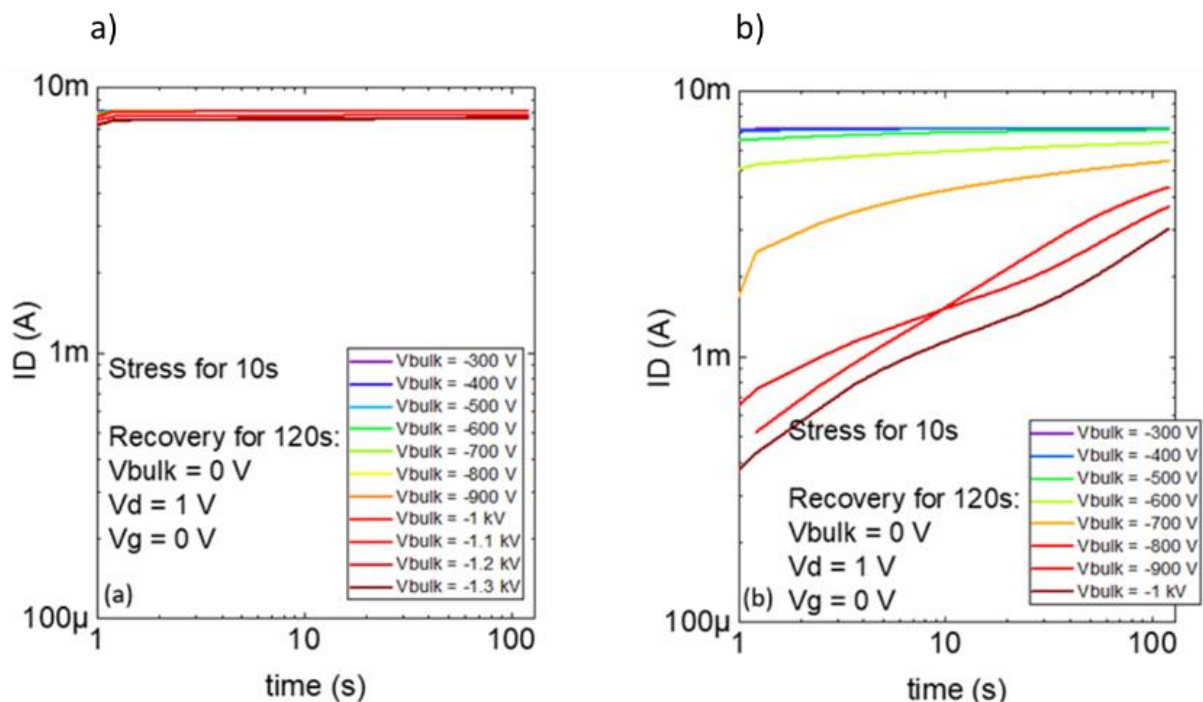


Figure 3.22 : Mesures de back-gating sur transistors avec différentes tensions de piégeage a) avec et b) sans procédé de fabrication en face arrière [149].

En cohérence avec les mesures sur TLM, les mesures de "back-gating" sur transistors ne montrent aucun effet de piégeage jusqu'à 1,3 kV pour les composants avec GLS avec un comportement totalement stable dans le temps, indépendamment de la polarisation appliquée sur le substrat. En revanche, dans des conditions identiques, les transistors sans GLS présentent un piégeage important au-delà de 600 V. La Figure 3.23 résume les mesures de "back-gating" des transistors avec et sans GLS en montrant le courant normalisé après stress (rapport entre le courant initial après stress et le courant après 120 s de récupération) en fonction de la polarisation appliquée. Contrairement aux transistors

avec GLS mesurés (pour rappel, sur le même échantillon), nous observons un effondrement du courant pour les transistors sans GLS. Ces résultats indiquent que le piégeage des électrons se produirait essentiellement à proximité de l'interface entre la couche de nucléation en AlN et le substrat Si lorsque la polarisation appliquée est élevée.

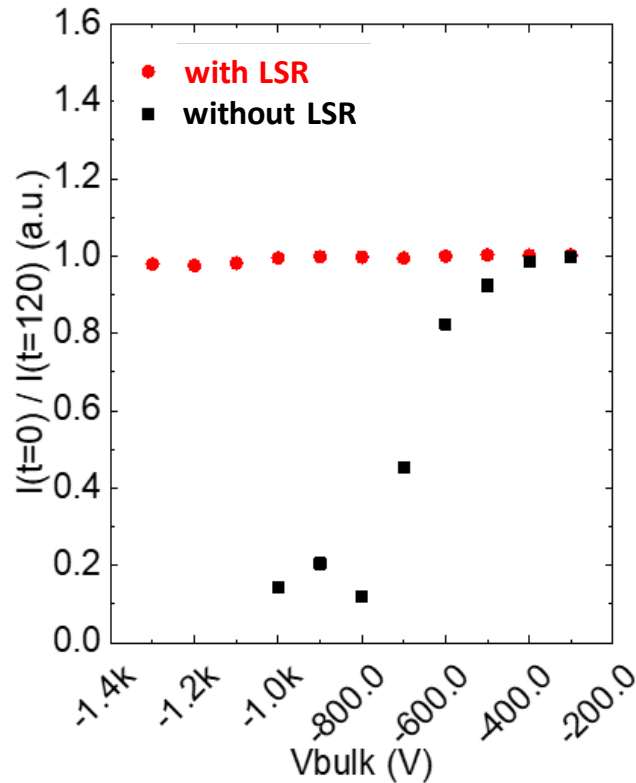


Figure 3.23 : Courant normalisé après stress en fonction de la polarisation du substrat avec et sans GLS [149].

iii. Analyse thermique

En collaboration avec l'Université de Georgia Tech, Atlanta, des analyses thermiques ont été effectuées par thermométrie Raman afin de déterminer et de comparer les températures de jonction avec et sans GLS. La dynamique thermique transitoire des transistors est obtenue au travers de la température du métal de grille via l'imagerie par thermoréfectance transitoire (TTI). La Figure 3.24 montre les localisations des mesures Raman et TTI sur les transistors.

On peut rappeler que la spectroscopie Raman est une méthode d'analyse permettant de déterminer la température du matériau analysé. Sachant que l'énergie d'un photon incident sur un matériau est plus faible que l'énergie d'un photon diffusé en raison de la transformation en vibration d'une partie de l'énergie incident, le spectromètre récupère la lumière diffusée et donne accès à un spectre de diffusion Raman. Ce spectre présente un pic qui se décale en fonction de la température. De ce fait, il est possible de déterminer la température en fonction du déplacement de ce pic.

Etant donné que les transistors sont normalement utilisés dans des conditions de polarisation RF ou de commutation, la mesure de la réponse thermique transitoire est essentielle pour caractériser les performances du transistor. Pour répondre au besoin d'une technique temporelle et spatiale à haute

résolution, la thermographie Raman transitoire s'est avérée être une méthode précise mais elle nécessite de multiples acquisitions pour cartographier thermiquement un transistor car il s'agit d'une mesure en un seul point.

La technique utilisée pour mesurer la distribution transitoire de la température à travers un HEMT GaN est l'imagerie de thermoréfectance transitoire (TTI). Cette technique consiste à éclairer la surface du transistor avec une longueur d'onde spécifique et à mesurer la variation de la thermoréfectivité en fonction de la température. La précision de la TTI est basée sur l'utilisation d'un coefficient de thermoréfectance. Ce coefficient est extrait par une méthode électrique appelée thermométrie par résistance de grille (GRT). En effet, il existe une concordance entre l'augmentation de température du métal de la grille mesurée par TTI et la température moyenne de la grille contrôlée par GRT. De cette manière, la TTI peut être utilisée pour cartographier thermiquement les transistors GaN dans des conditions pulsées, fournissant simultanément une résolution temporelle et spatiale.

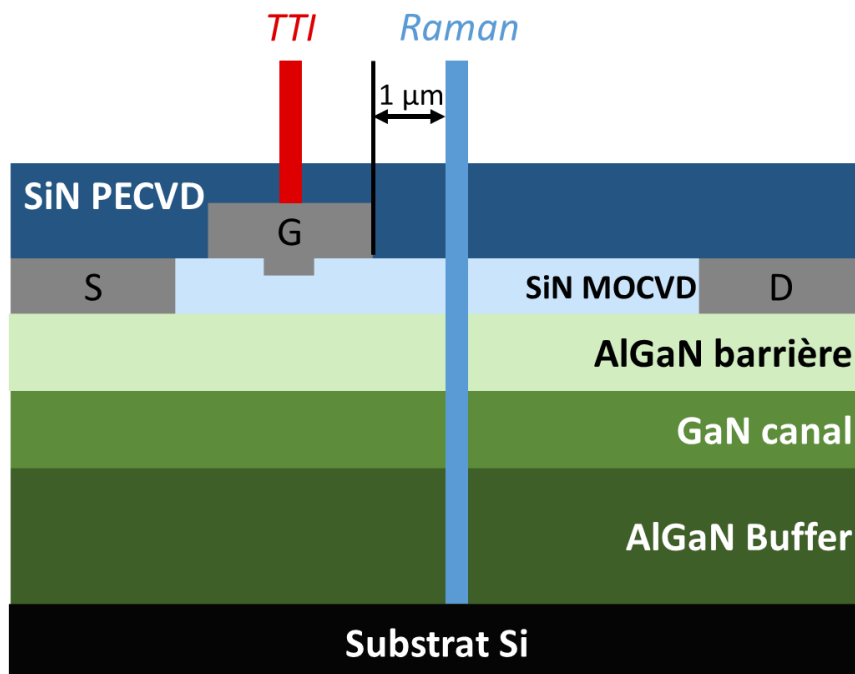


Figure 3.24 : Localisation des mesures Raman et TTI sur un transistor.

La Figure 3.25 montre la température de jonction en fonction de la puissance dissipée de transistors de $2 \times 50 \mu\text{m}$ avec et sans GLS. Une dégradation significative de la dissipation thermique est clairement observée sur les transistors avec GLS. En raison de la réduction de la dissipation thermique dans l'air comparée au silicium, une température de jonction de 200°C est atteinte pour une densité de puissance de 3 W/mm contre 10 W/mm pour les transistors sans GLS. L'augmentation significative de la température a (entre autres) pour conséquence une réduction drastique de la durée de vie et la fiabilité des composants. C'est pourquoi, il est primordial d'améliorer la gestion thermique au sein de cette approche.

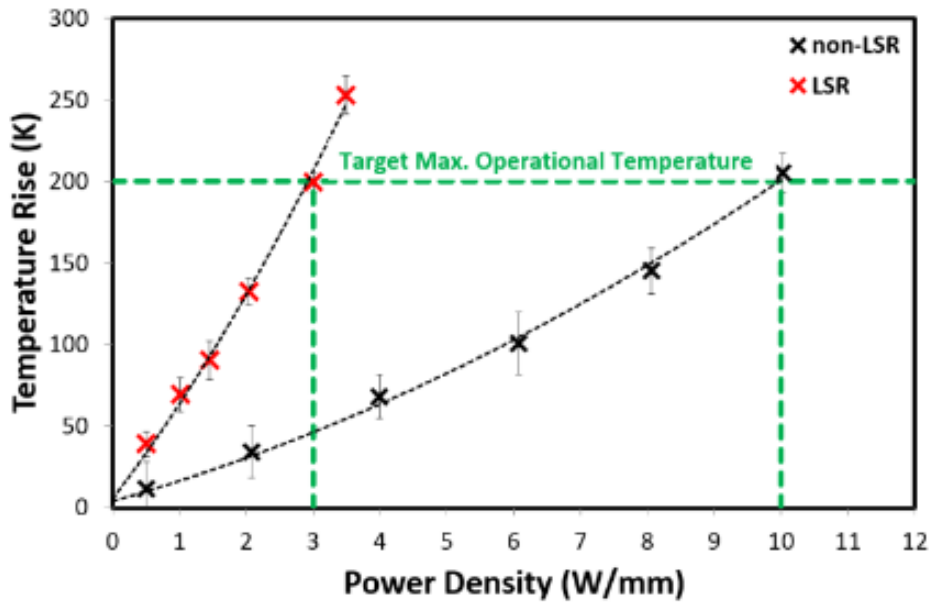


Figure 3.25 : Comparaison des performances thermiques d'un transistor AlGaIn/GaN avec (rouge) et sans GLS (noir) [150].

Bien que l'élimination du substrat Si améliore la tenue en tension des transistors, la dissipation de puissance globale devient donc limitée en raison de l'augmentation excessive de la température de jonction. Après dépôt d'AlN, nous avons entrepris d'effectuer un dépôt de cuivre en face arrière dans le but de récupérer une partie de la densité de courant.

À l'aide d'un laser de 488 nm, les mesures Raman ont été effectuées à 1 μm de la grille du côté drain à température ambiante. Nous avons alors mesuré l'augmentation de température moyenne à travers la couche de GaN. La Figure 3.26 montre la réponse thermique en fonction de la puissance dissipée des transistors pour deux polarisations de drain différentes : 10V et 28V.

Dans le cas d'une polarisation de drain de 10V, l'augmentation de la température est réduite lorsque l'on passe de la couche d'AlN seule à la combinaison d'AlN et de cuivre. Le transistor sur Si délivre une température de jonction beaucoup plus faible que les composants gravés, même après l'ajout de la couche d'AlN et de cuivre. Néanmoins, la température de jonction décroît de près de 40% pour les transistors avec AlN+Cu comparés à ceux avec GLS sans dépôt. En augmentant la tension de drain à 28 V, le pic thermique devient plus intense et la température mesurée par Raman au bord de la grille augmente sensiblement.

Nous avons également évalué le budget thermique de ces transistors sous polarisation pulsée par thermo-réflexance (TTI). La présence d'une épaisse couche de passivation en SiN complique l'évaluation de la distribution de la température du canal GaN. L'utilisation de différentes sources d'excitation LED produisent de forts signaux de thermo-réflexance dans la région du GaN mais les effets d'interférence des couches minces causent des non-uniformités dans le signal et entraînent de grandes incertitudes en raison du faible rapport signal/bruit. Le signal le plus cohérent a été obtenu à partir du métal de grille.

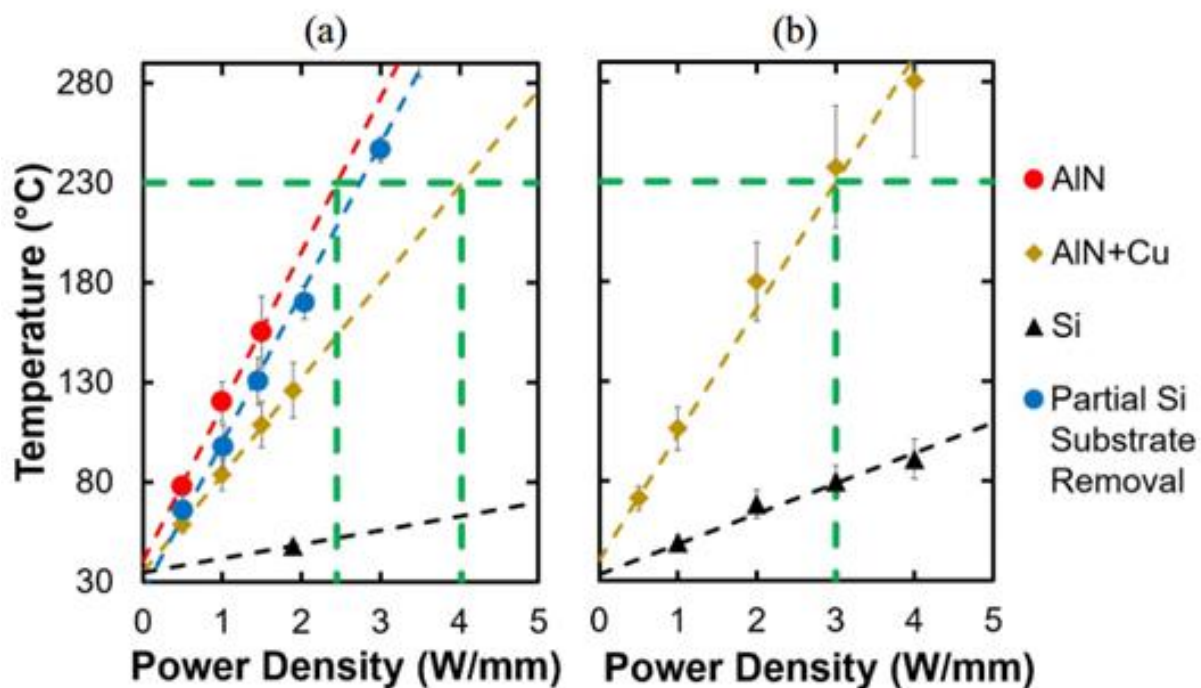


Figure 3.26 : Comparaison de la température du transistor mesurée par thermométrie Raman à différentes densités de puissance pour une polarisation de drain constante de a) 10 V et b) 28 V. Toutes les mesures ont été effectuées à température ambiante [151].

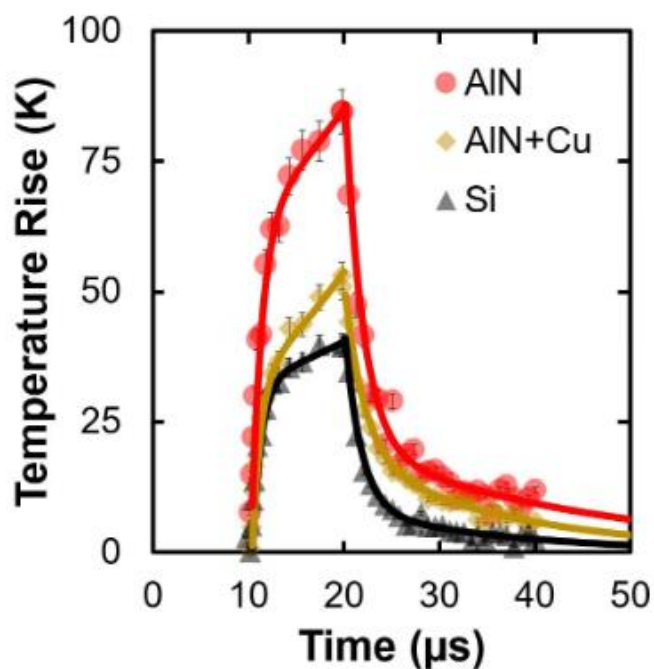


Figure 3.27 : Profils de température transitoire du métal de grille mesurés par thermo-réflexance (TTI) [151].

Pour comparer directement les performances thermiques aux résultats Raman en régime permanent, les transistors ont été polarisés en régime pulsé avec une polarisation de drain de 28V pour une période de temps de 100 μs avec un rapport cyclique de 10 %. La polarisation de grille a été ajustée pour chaque composant afin de correspondre à un courant de 20 mA (5,6 W/mm). En effectuant un

balayage transitoire des trois transistors, le profil de température de chaque composant peut être tracé (Figure 3.27). Comme pour l'analyse en régime permanent, le transistor avec dépôt d'AlN entraîne la plus forte augmentation de température (environ le double de l'augmentation de température détectée par rapport au composant sur Si). Le dépôt de cuivre sur l'AlN permet une réduction du pic de température qui reste cependant supérieur à la température atteinte sur Si.

Malgré ce plus faible pic de température, on peut voir que la température du transistor AlN/Cu décroît plus lentement que celle du transistor AlN durant les premières 20 μs . Cependant, au-delà de 20 μs , le transistor AlN décroît plus lentement que le transistor AlN/Cu. Cette différence suggère qu'il existe une résistance de propagation thermique plus élevée dans les premiers micromètres du transistor sur AlN/Cu par rapport au transistor sur AlN. Bien que cette résistance plus élevée puisse entraver la dissipation thermique transitoire à travers le transistor, la température globale du transistor est tout de même réduite par l'ajout de la couche métallique en Cu.

iv. Analyse des contraintes

Sachant que la croissance des HEMT GaN est généralement réalisée sur des substrats Si, SiC ou saphir, une contrainte intrinsèque est systématiquement présente dans les HEMTs AlGaN/GaN en raison des désaccords de maille et de coefficient de dilatation thermique entre les couches épitaxiées et le matériau du substrat. Par conséquent, il est important d'évaluer expérimentalement les niveaux de déformation/contrainte et leur distribution dans les transistors après GLS afin de déterminer l'impact du retrait du substrat et de l'ajout de matériaux dans ce cadre. Pour ce faire, la contrainte résiduelle de la couche de GaN a été mesurée par photoluminescence (PL). La photoluminescence est une technique de caractérisation optique des matériaux qui permet d'analyser les distributions de déformation/contrainte. Elle permet de quantifier le niveau de contrainte dans le GaN puisque l'énergie de la bande interdite est fortement sensible à l'état de contrainte. En effet, une diminution de la bande interdite du GaN résulte d'une contrainte de traction, alors qu'elle augmente avec une contrainte de compression. L'échantillon doit pouvoir absorber un photon (lumière entrante) pour promouvoir un électron de la bande de valence vers la bande de conduction. Une fois l'électron dans la bande de conduction, un photon peut être émis lorsque l'électron retourne dans la bande de valence. C'est ce phénomène d'émission qui est appelé photoluminescence. Des cartographies des contraintes par PL ont donc été réalisées sur le canal entre la grille et le drain par pas de 10 μm le long du développement de la grille et par pas de 5 μm à travers le canal. Les cartes de contrainte résiduelle pour les trois différents transistors sont représentées sur la Figure 3.28.

Comme indiqué dans la littérature [152], [153], la contrainte résiduelle dans un film de GaN sur substrat Si s'avère être de traction (dans cette étude ≈ 950 MPa). Le retrait du substrat et l'ajout de la couche d'AlN par PVD montrent une réduction de la contrainte résiduelle (580 MPa). Cette réduction est bénéfique à la tenue mécanique des composants et offre donc la possibilité de graver sans "fissurer" les membranes de grande surface. En mesurant la répartition des contraintes après le dépôt de la couche de cuivre, on observe une légère augmentation de la contrainte moyenne globale (750 MPa).

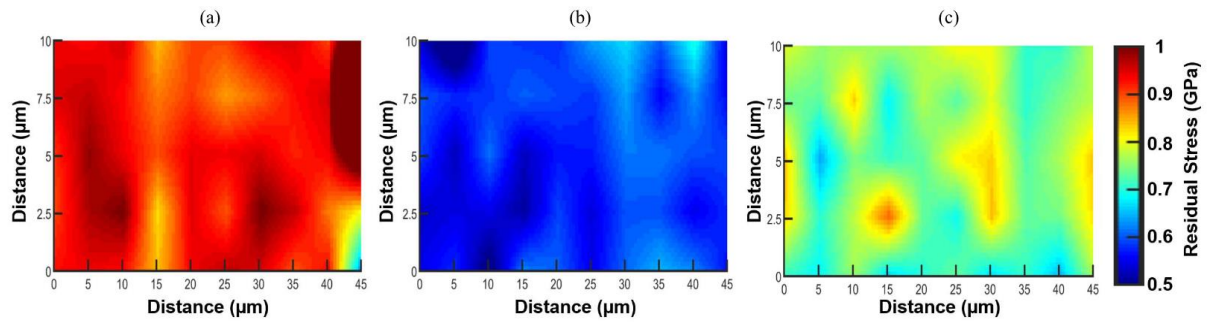


Figure 3.28 : Cartographie des contraintes résiduelles des HEMT GaN/Si a) sans GLS b) avec GLS + AlN et c) avec GLS + AlN + Cu [151].

b. Application de l'approche à des composants industriels larges

Après optimisation et étude du procédé GLS sur des transistors de $2 \times 50 \mu\text{m}$ fabriqués en salle blanche à l'IEMN, nous avons appliqué cette approche à des composants industriels de la compagnie ONSEMICONDUCTOR. Une plaquette de 6 pouces contenant de larges transistors de puissance nous a été livrée (Fig. 3.29). Ces transistors, représentatifs des applications de puissance en termes de design, possèdent différentes distance grille-drain et un développement total de grille de 140 mm. Chaque transistor a une dimension de $2 \text{ mm} \times 4 \text{ mm}$ (Fig. 3.30). Après réception de ces composants, des caractérisations électriques ont été réalisées permettant de confirmer la conformité des caractéristiques par rapport aux données de la fonderie. Le banc de mesure haute tension utilisé à l'IEMN possède les spécifications suivantes : 3000V/8 mA ou 10 kV / 1 mA. Cependant, afin de pouvoir mesurer des courants élevés, le banc a été équipé de pointes HC (haut courant) et adapté dans une configuration 2V/20 A. De cette manière, il a été possible de vérifier le courant à l'état ON, les niveaux de courant de fuite à l'état OFF ainsi que la tension de claquage (Fig. 3.31).

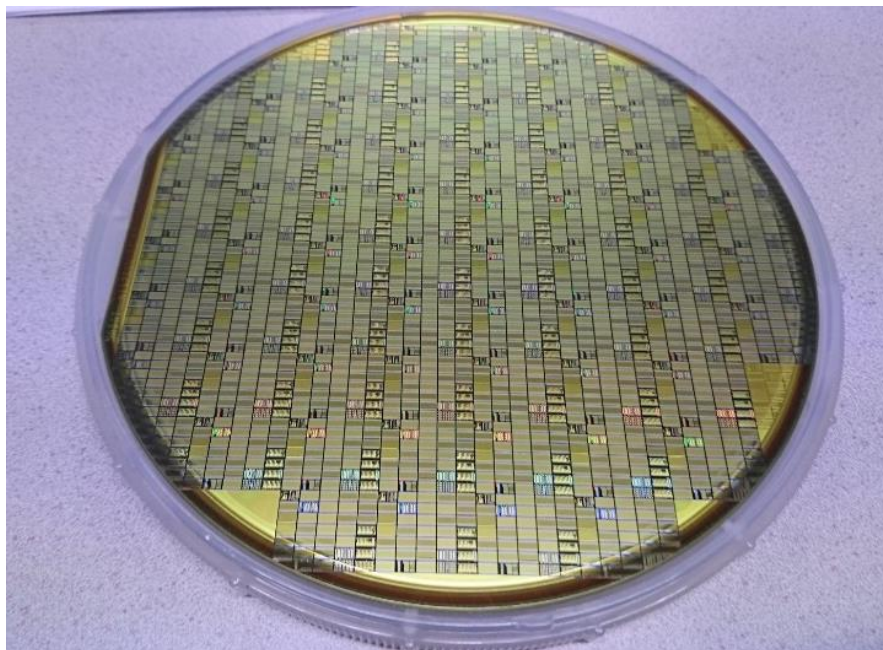


Figure 3.29 : Plaquette de 6 pouces de chez ONSEMICONDUCTOR contenant de larges transistors de puissance.



Figure 3.30 : Transistors de puissance de la compagnie ONSEMICONDUCTOR.

La gravure localisée du substrat sur de larges composants industriels n'a jamais été démontrée par le passé. Comme pour la preuve de concept sur les transistors réalisés en laboratoire, l'objectif est de pouvoir bénéficier d'une amélioration de la tension de claquage à l'état OFF tout en délivrant un courant élevé à l'état ON. Afin d'appliquer le procédé GLS sur ces composants, un jeu de masques spécifiques a été fabriqué.

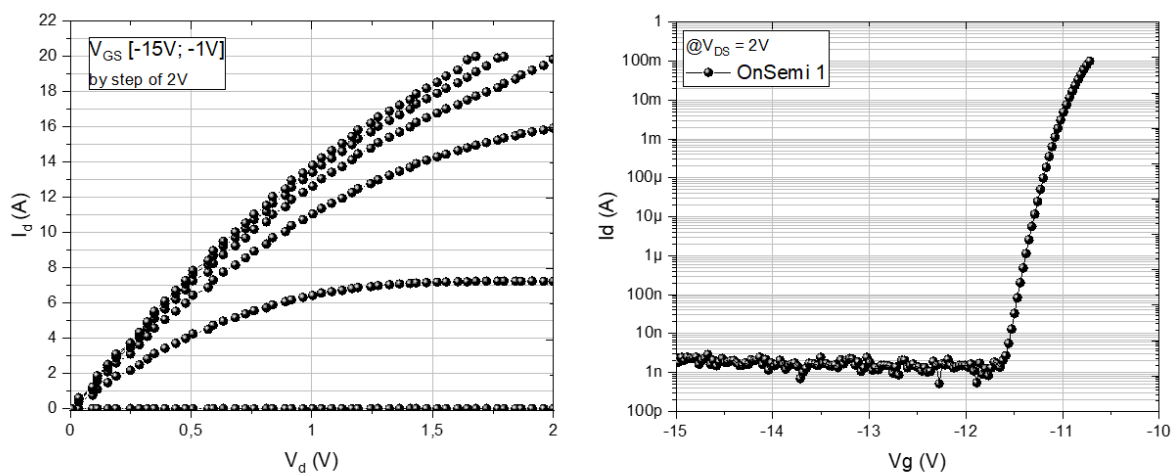


Figure 3.31 : Caractéristique de sortie $I_d V_d$ et caractéristique de transfert $I_d V_g$ des larges composants ONSEMICONDUCTOR.

D'un point de vue fabrication, comme précédemment, un amincissement du substrat est réalisé jusqu'à une épaisseur inférieure à 200 μm , une lithographie en face arrière suivie d'une gravure localisée du substrat Si sont effectuées. Toutefois, ce premier lot d'échantillons ne bénéficiait pas encore du procédé optimisé (décrit en début de chapitre), conduisant les membranes à se fissurer lors du dépôt d'AlN en face arrière (Figure 3.32). Néanmoins, cela a permis de mettre en évidence les points critiques du procédé à améliorer. En parallèle, ONSEMICONDUCTOR travaillait sur le développement d'une technologie normally-off basée sur une architecture de grille GaN à dopage p. Suite à l'optimisation de leurs composants, notamment l'obtention d'une tension de seuil positive et stable,

une passivation adéquate des régions d'accès pour la suppression des fuites à l'état OFF ainsi que la réduction de la résistance dynamique à l'état passant, une seconde plaquette a été livrée à l'IEMN.

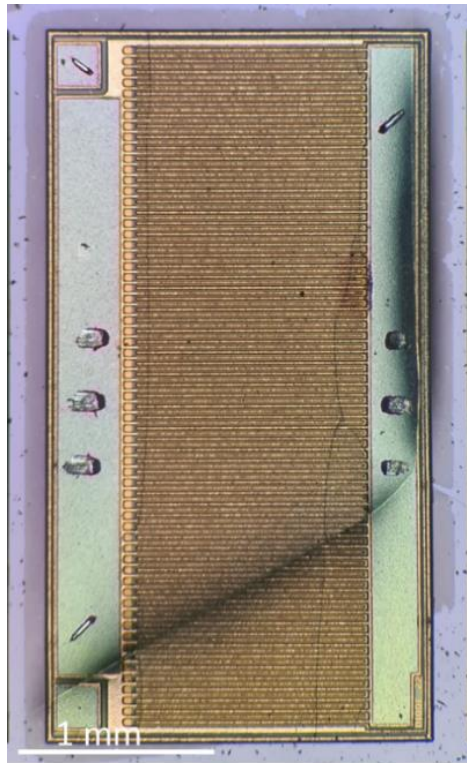


Figure 3.32 : Photo optique d'une large membrane fissurée.

Les caractérisations préliminaires ont montré un comportement normally-off avec une tension de seuil de +0,7 V et un niveau de courant à l'état passant atteignant 13 A. En raison de la nouvelle configuration des transistors sur le nouveau wafer, un nouveau jeu de masques a été fabriqué afin d'adapter notre procédé à cette configuration (Fig. 3.33). Un autre problème a été rencontré sur ces composants. En effet, avant le dépôt d'AIN PVD en face arrière, il s'est avéré que le polyamide, utilisé par ONSEMICONDUCTOR pour protéger électriquement leurs composants de l'apparition d'arcs électriques sous forts champs, n'était pas compatible avec le procédé de nettoyage de la résine de protection SPR220 que nous utilisons (Fig. 3.34). La réaction qui apparaît entre le polyamide et la solution utilisée de SVC-14 chauffé pour retirer la résine impacte les performances électriques des composants. Sachant que ces composants sont sensés bloquer le courant au-delà 800V, on peut voir sur la Figure 3.35 un claquage abrupt et prématuré avant 700V.

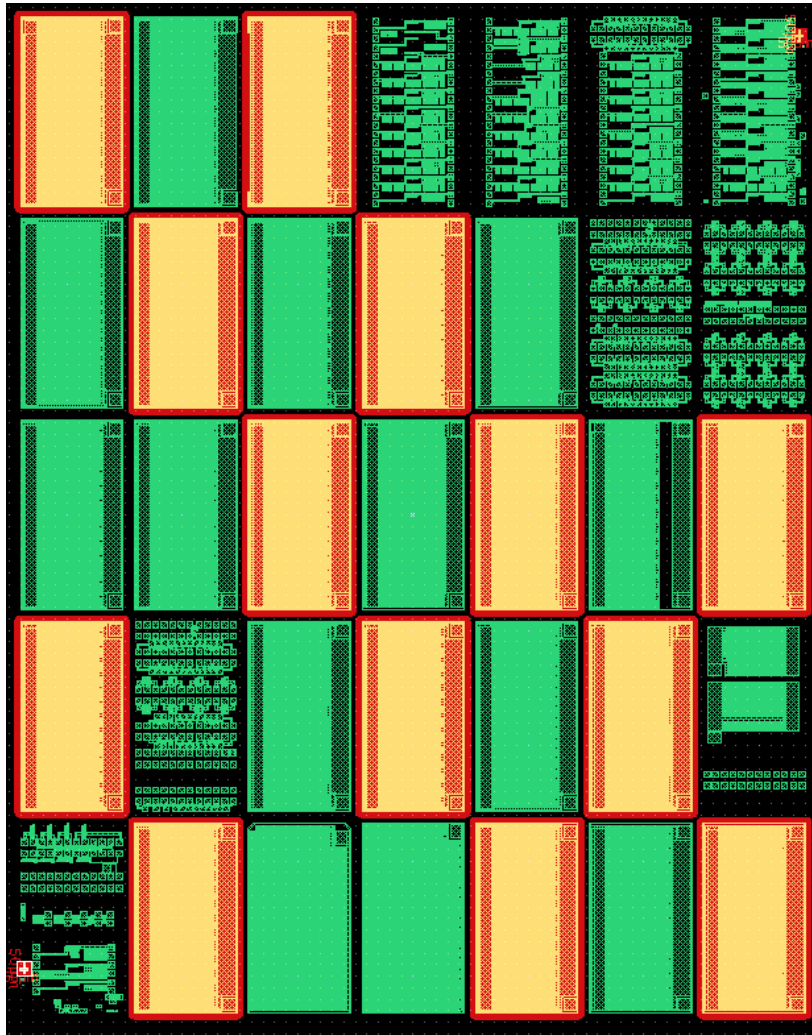


Figure 3.33 : Jeu de masques fabriqué pour la réalisation du procédé GLS sur composants industriels.

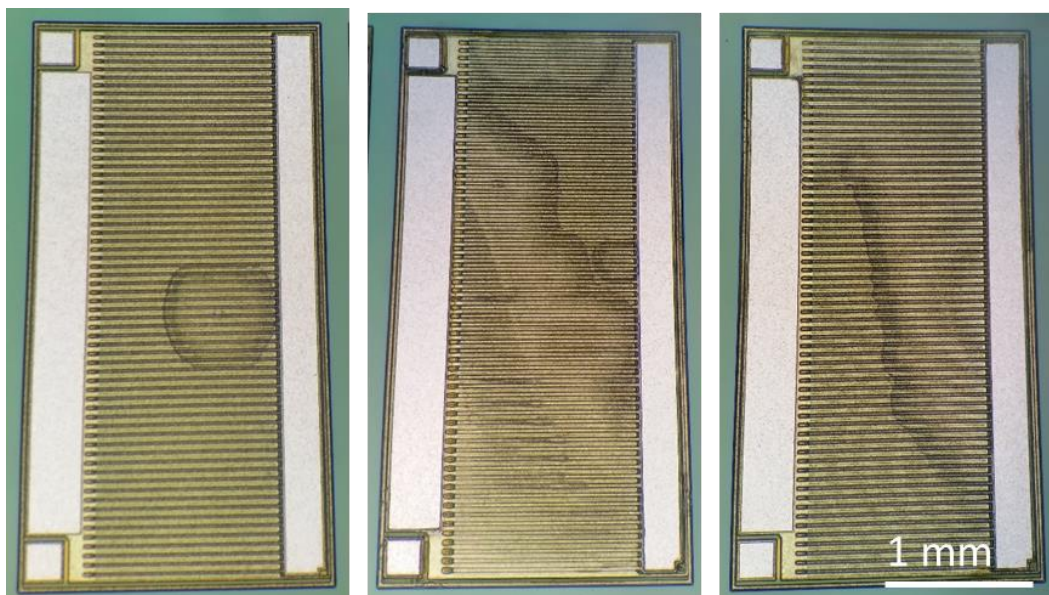


Figure 3.34 : Image au microscope optique de composants ONSEMICONDUCTOR présentant une réaction du polyamide.

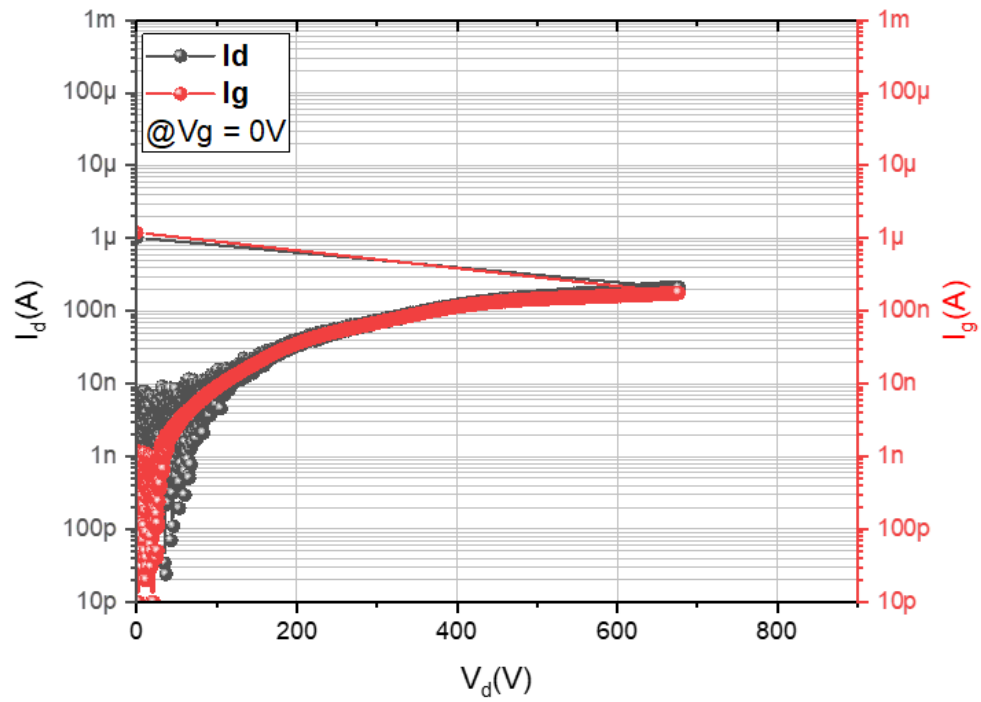


Figure 3.35 : Mesure de claquage sur transistor ONSEMICONDUCTOR présentant une réaction du polyamide.

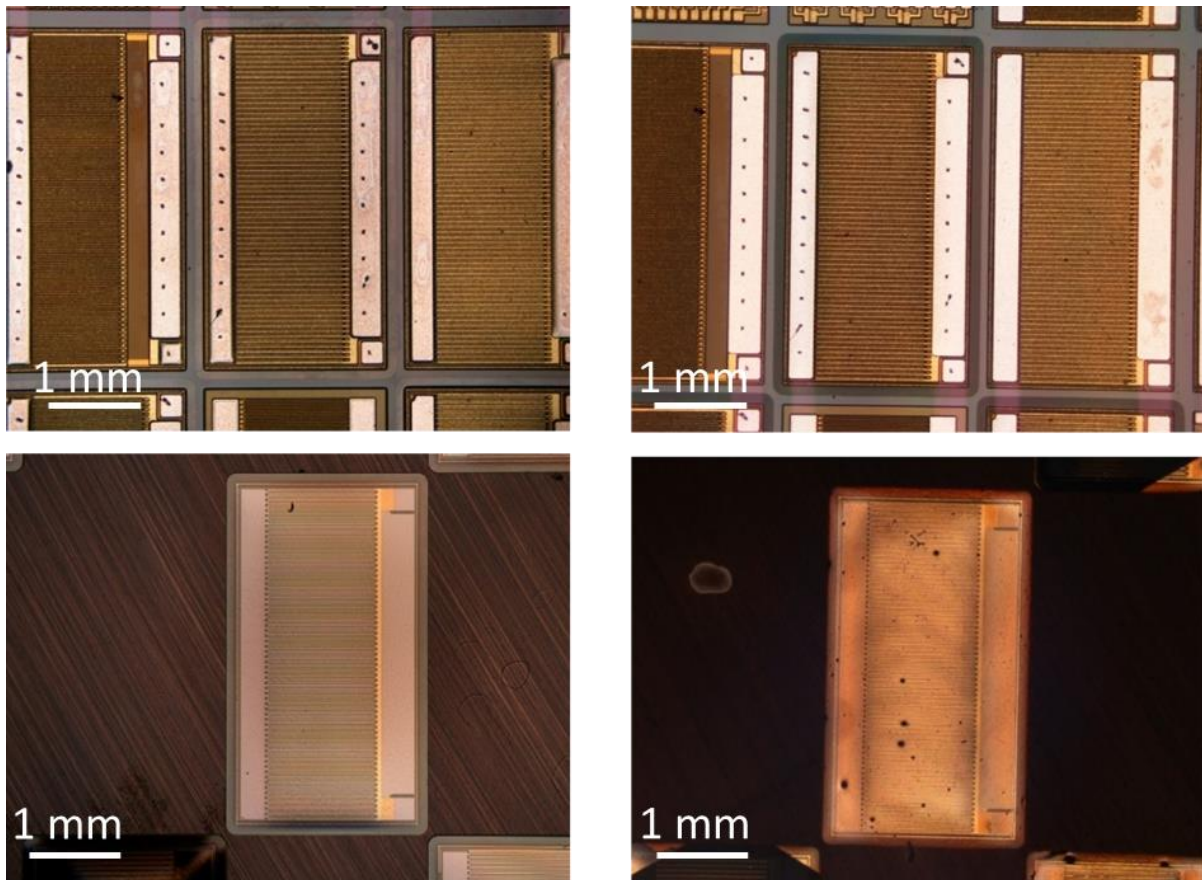


Figure 3.36 : Vue de la face avant et arrière, sans (colonne gauche) et avec dépôt d'AlN (colonne droite).

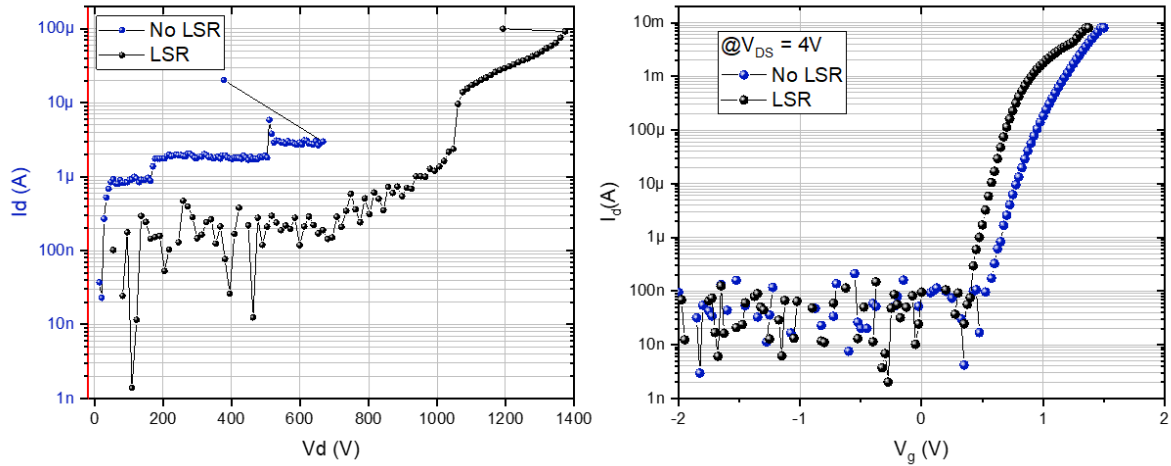


Figure 3.37 : Tension de claquage à $V_g = 0V$ (à gauche) et caractéristiques de transfert (à droite) des transistors ONSEMICONDUCTOR normally-off avec et sans GLS.

Nous avons réadapté le procédé existant en réalisant les retraits de résine à température ambiante durant une courte période. Ce procédé a été appliqué aux nouveaux composants normally-off. La réalisation de membranes non dégradées a ainsi pu être réalisée. La Figure 3.36 montre une vue en face avant et arrière de membranes avant et après dépôt d'AlN. Après le dépôt d'AlN sur la face arrière, les caractérisations à haute tension de ces transistors à une polarisation de grille $V_{GS} = 0V$ ont montré une augmentation significative de la tension de claquage (d'un facteur 2) par rapport aux mêmes composants sans GLS (de 670V à 1370V), sans variation de la tension de seuil (Fig. 3.37). Comme attendu, nous avons constaté une diminution du niveau de courant à canal ouvert après GLS, en raison de la réduction de la dissipation thermique (ainsi qu'une diminution du R_{ON} de 15 à 20%). Le niveau de courant à canal ouvert est d'environ 8 A à $V_{GS} = +6V$ pour les composants avec GLS et dépôt d'AlN contre 9 A pour les composants sur Si (Fig. 3.38), ce qui explique la légère dégradation de la résistance à l'état passant.

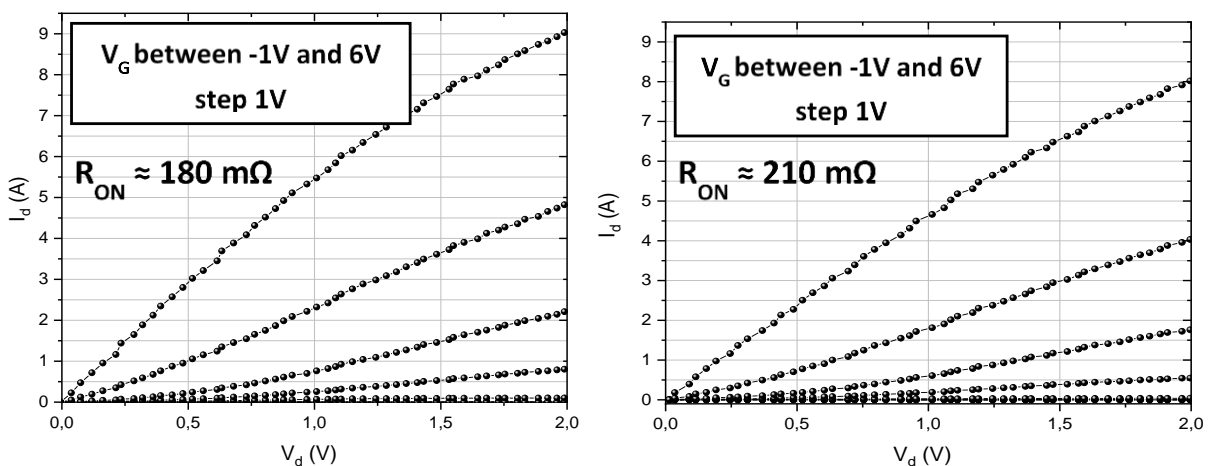


Figure 3.38 : Caractéristiques I_dV_d sur des transistors normally-off de ONSEMICONDUCTOR sans (à droite) et avec (à gauche) GLS.

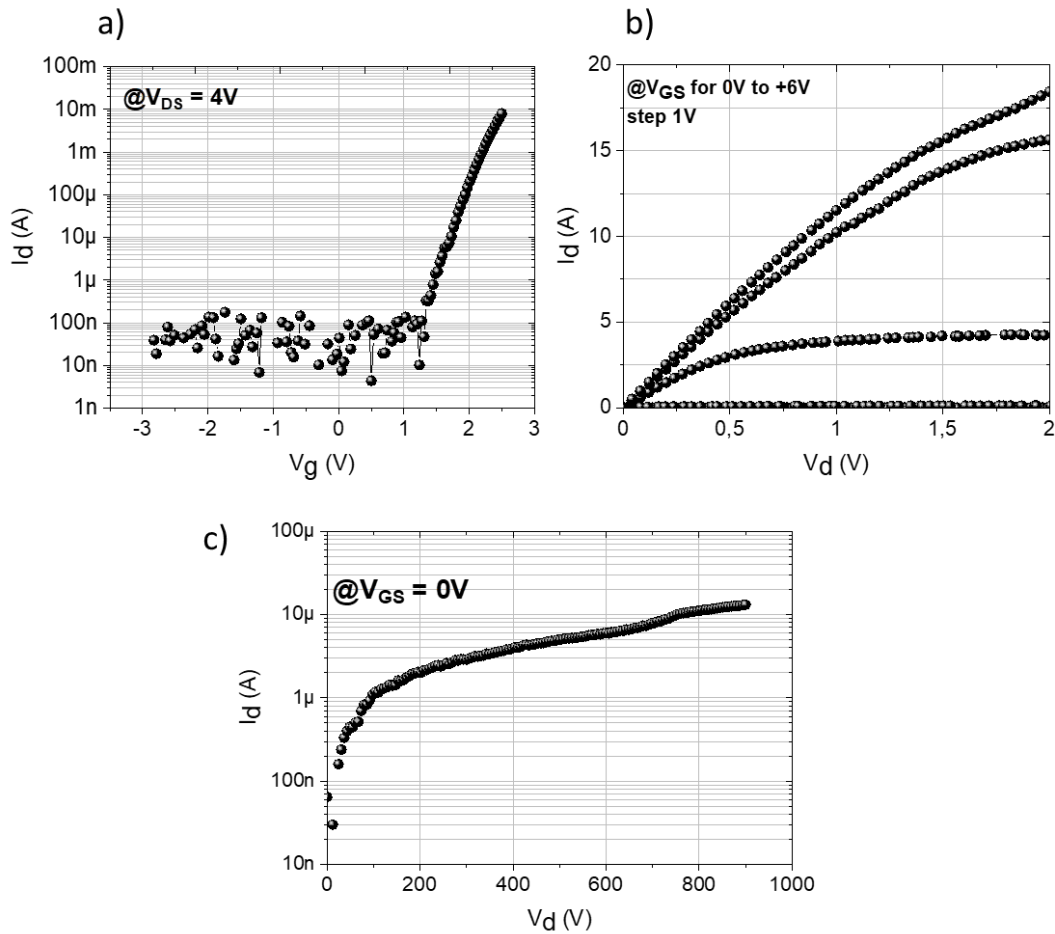


Figure 3.39 : Caractéristiques de transfert (a), $I_d V_d$ (b) et tenue en tension à $V_g = 0V$ (c).

Enfin, une dernière plaquette de ONSEMICONDUCTOR avec de larges composants normally-off et aux performances améliorées nous a été envoyée. Par rapport aux composants précédents, la tension de seuil est supérieure à +1V tout en délivrant un courant à l'état passant beaucoup plus élevé de 18 A à $V_{GS} = +6V$. Une tension de claquage légèrement supérieure à 900 V a également été mesurée (Fig. 3.39).

Cette plaquette nous a permis de réaliser des mesures de balayage du courant par polarisation du substrat, permettant ainsi de mettre en évidence les effets de piégeage. Le substrat est polarisé jusqu'à une tension de -800 V pour les transistors sans GLS et jusqu'à -1,5 kV pour les transistors avec GLS. Les potentiels de grille et de drain sont fixés à +3,5 V et 1 V, respectivement. Les caractéristiques I-V sont illustrées sur la Figure 3.40. Les caractéristiques inverses (balayage retour) sont pour la plupart situées au-dessus de la caractéristique initiale, ce qui indique un stockage de charge positif (le courant est plus élevé après balayage inverse, indiquant une densité d'électron plus élevée). Nous observons, dans les 2 cas, une augmentation puis une diminution de l'hystérésis en fonction de la tension appliquée au substrat. Cette évolution est expliquée par la formation de zones de charges négatives et positives au sein des couches dopées carbone [154].

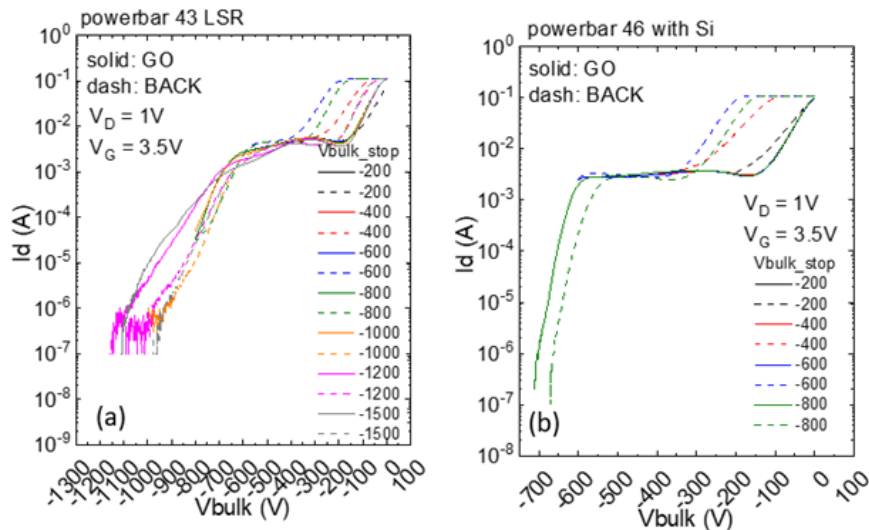


Figure 3.40 : Balayage du courant par polarisation du substrat sur des transistors normally-off avec (a) et sans GLS (b).

De plus, nous avons réalisé des mesures de back-gating à température ambiante sur des transistors avec et sans GLS. De même que pour les transistors de petites dimensions, la procédure de mesure est divisée en une phase de stress et une phase de recouvrement. Pour la phase de stress, le composant est maintenu dans des conditions de piégeage pendant 10 s ; puis la phase de recouvrement utilisant des conditions de repos pendant laquelle le courant transitoire de drain est enregistrée durant 120 s. Plusieurs tensions de polarisation sont testées, de -200 V à -1,3 kV. Pendant la phase de stress, la grille et la source sont maintenues à 0 V, tandis que, lors du recouvrement du courant, le drain est fixé à +1 V, la source à 0 V et la grille à +3,5 V. Les résultats des courants transitoires de drain en fonction du temps pour les différentes tensions de polarisation sont présentés sur la Figure 3.41.

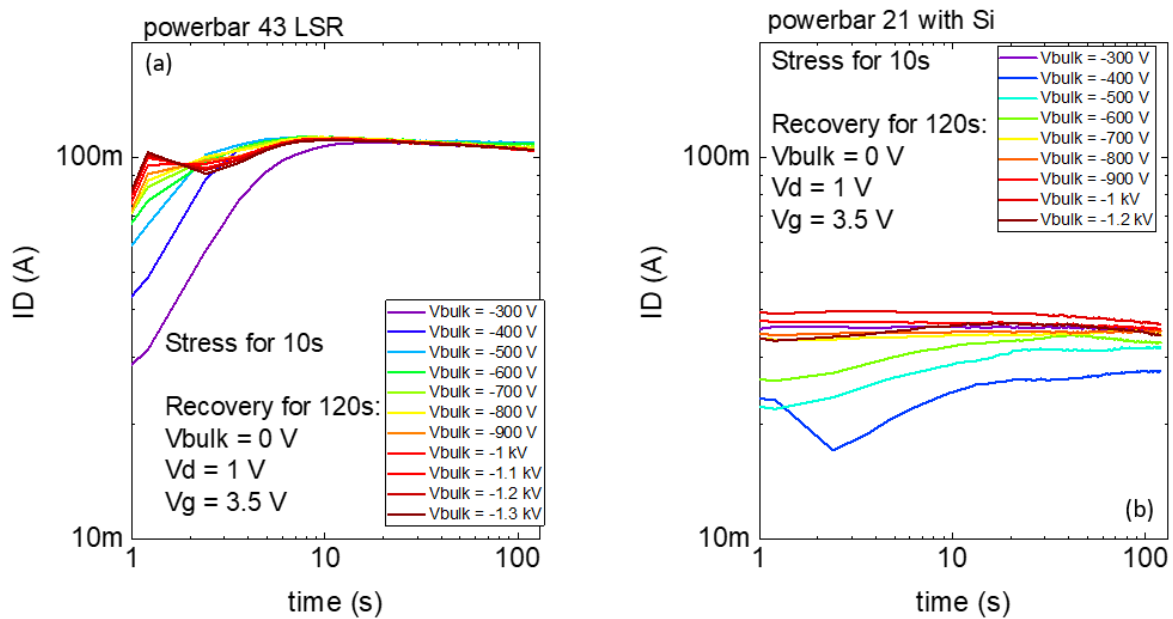


Figure 3.41 : Mesures de back-gating sur les transistors de ONSEMICONDUCTOR normally-off avec (à gauche) et sans (à droite) GLS.

L'interprétation des résultats nécessite des investigations supplémentaires. En effet, les larges transistors sans GLS montrent une augmentation puis une diminution du piégeage en fonction de la polarisation en face arrière, ce qui est également en accord avec les caractérisations de balayage du courant par polarisation du substrat. En revanche, les larges composants avec GLS montrent une diminution linéaire des effets de piégeage en fonction de l'augmentation de la polarisation du substrat, ce qui se traduit par un piégeage extrêmement faible à 1,3 kV.

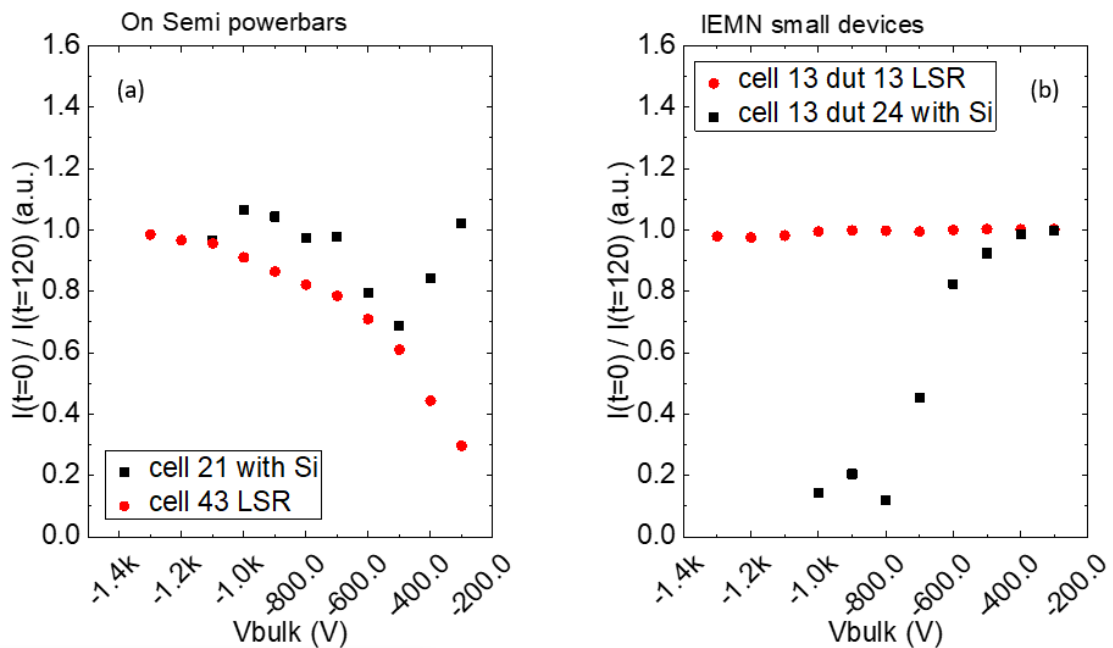


Figure 3.42 : Rapport entre les valeurs de courant à $t = 0$ s et $t = 120$ s (carré noir pour les composants sans GLS et cercle rouge pour les composants avec GLS) pour les larges transistors de puissance normally-off (a) et pour les transistors de petites dimensions normally-on (b).

Finalement, les résultats des mesures de back-gating sont résumés sur la Figure 3.42, qui présente le rapport entre les valeurs de courant à $t = 0$ s et $t = 120$ s. On peut constater que, pour les transistors de faibles dimensions avec GLS fabriqués à l'IEMN, la polarisation en face arrière n'a pratiquement aucun impact sur le courant de drain, contrairement à un piégeage significatif sur les transistors du même échantillon sans GLS (voir Fig. 3.42b). Les composants normally-off provenant de ONSEMICONDUCTOR ont un comportement différent, surtout à faible polarisation, mais il convient de souligner que la configuration du buffer et la technologie sont sensiblement différentes pour ces deux technologies. En particulier, la concentration de carbone utilisée sur les composants industriels est probablement très différente.

CONCLUSION DU CHAPITRE 3

Dans cette étude, nous avons évalué les caractéristiques statiques, haute tension et dynamiques de transistors de petites dimensions fabriqués en laboratoire et de larges composants de puissance industriels avec et sans GLS. Ce travail démontre que l'approche du retrait du substrat et son remplacement par un matériau à bande interdite plus large permettent à la fois :

1. D'accroître drastiquement la tenue en tension des HEMTs GaN-sur-Silicium tout en maintenant une faible résistance à l'état passant
2. De réduire le piégeage affectant le comportement dynamique des interrupteurs de puissance. L'impact du procédé GLS vis à vis des pièges a été quantifié à l'aide de mesures de balayage du courant par polarisation du substrat. Nous avons démontré une réduction des effets de pièges confirmée par l'amélioration du temps de recouvrement du courant de drain après stress électrique pour différentes polarisations. Cela indique qu'une grande partie du piégeage des électrons sous forte polarisation se produit à l'interface entre la couche de nucléation en AlN et le substrat en Si.

Les profils thermiques des composants ont été évalués à l'aide de la thermométrie Raman en régime permanent et de l'imagerie par thermo-réfectance transitoire (TTI). L'évolution de la dissipation thermique après retrait du substrat et ajout de couches a été quantifiée en fonction de la polarisation. Il est possible de limiter la réduction de la dissipation thermique résultant de l'élimination du silicium par le dépôt d'une couche de métal épais en face arrière. Le procédé de fabrication est applicable aux larges composants (délivrant plus de 10 A). En effet, une analyse des contraintes du canal GaN avant et après GLS a été réalisée par photoluminescence. Nous avons observé que l'élimination du substrat de silicium réduisait la contrainte résiduelle au sein du GaN, ce qui offre la possibilité d'utiliser cette approche sur de larges dimensions.

Ces résultats montrent que les applications de puissance supérieures à 1000 V, couvertes actuellement par les composants à base de SiC et de silicium, pourraient bénéficier de la haute mobilité des électrons et du faible R_{ON} associé offerte par les hétérostructures de GaN sur silicium.

CHAPITRE 4

VERS L'IMPLEMENTATION DE SEMI-CONDUCTEURS A ULTRA LARGE BANDE INTERDITE

Bien que les matériaux semi-conducteurs à large bande interdite (WBG) continuent de s'améliorer, les semi-conducteurs à ultra large bande interdite (UWBG) pourraient faire l'objet de la prochaine génération de composants de puissance. Ceux-ci comprennent l'alliage AlGaN, l'AlN, le diamant, le Ga₂O₃, le BN cubique et probablement d'autres matériaux encore non découverts. Ces matériaux sont devenus un domaine d'intérêt en raison de leur champ de claquage encore plus élevé. L'AlN wurtzite possède la plus large bande interdite et donc potentiellement le champ électrique critique le plus élevé. Cependant, en raison des défis posés par la croissance du matériau et la fabrication des composants, assez peu de travaux ont été publiés jusqu'à présent. À l'heure actuelle, l'AlN est principalement utilisé en tant que substrat ou couche tampon pour la croissance de composants optoélectroniques. Cependant, pour l'électronique de puissance, les composants à base d'AlN ont le potentiel de surpasser les filières « grands gaps » actuelles en raison du champ électrique critique plus important de l'AlN (12 MV/cm) et de sa conductivité thermique (340 W/mK).

1. INTRODUCTION AUX MATERIAUX A ULTRA LARGE BANDE INTERDITE

Les semi-conducteurs à large bande interdite (WBG) tels que le GaN et le SiC deviennent des matériaux de choix pour les applications de forte puissance. Comme détaillé dans le chapitre 1, les composants et les circuits basés sur ces matériaux dits « grands gaps » sont mieux adaptés pour fonctionner à des tensions et des températures plus élevées que les composants à base de Si, en raison de leurs propriétés physiques supérieures [105], [109], [123], [155]–[160]. Cependant, afin de repousser encore les limites notamment en termes de tenue en tension (> 1200 V) et de répondre à de nouvelles exigences, l'utilisation de matériaux à ultra large bande interdite (UWBG) tels que l'AlN est attractive en raison de leurs propriétés intrinsèques [18], [23], [161], [162]. Les UWBG sont communément définis par une bande interdite supérieure à celle du GaN (3,4 eV) et du SiC (3,2 eV), incluant le β-Ga₂O₃ (4,9 eV) [163], [164], le diamant (5,5 eV) [165], [166] ou l'AlN (6,2 eV) [167], [168]. L'utilisation de l'AlN comme buffer permet potentiellement de supporter des tensions extrêmement élevées grâce à son champ de claquage électrique important [169], [170]. L'AlN permet de combiner de manière unique un champ électrique critique [171] et une conductivité thermique [172] plus élevés que celle des structures à base de GaN. Ces propriétés supérieures permettront certainement d'améliorer les figures de mérite et repousser les performances des composants à large bande interdite. Par exemple, la figure de mérite de Baliga [173] permet de mettre en évidence l'avantage des UWBG au travers des limites théoriques des semi-conducteurs définies comme suit :

$$V_{BR}^2 / R_{ON-SP}$$

où V_{BR} est la tension de claquage et R_{ON-SP} est la résistance spécifique à l'état passant. Elle reflète la combinaison de la tenue en tension du composant à l'état OFF et la conductivité par unité de surface à l'état ON. La Figure 4.1 présente les limites théoriques de la résistance à l'état passant et de la tension de claquage pour différents semi-conducteurs montrant clairement la supériorité des UWBG.

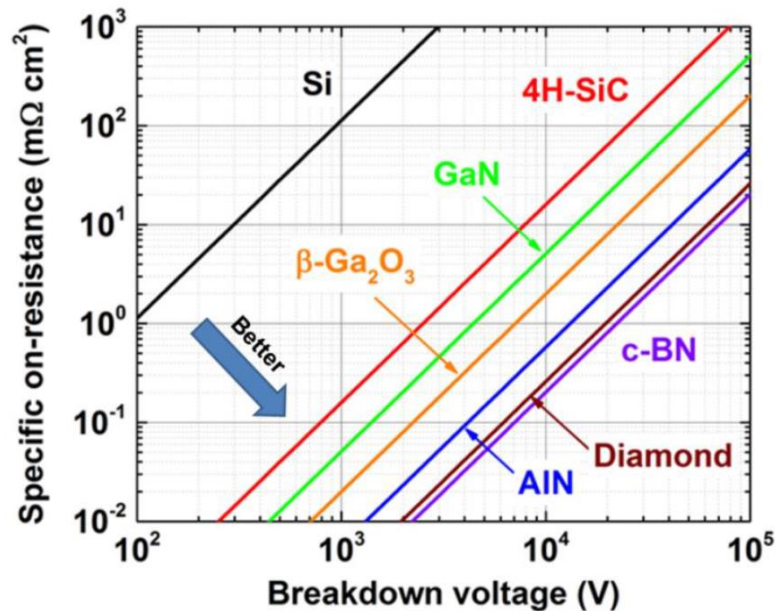


Figure 4.1 : Limites théoriques de la résistance à l'état passant et de la tension de claquage pour différents semi-conducteurs [174].

Malgré le potentiel d'amélioration des performances que peuvent apporter les semi-conducteurs à UWBG, la qualité des matériaux et technologies associés sont, pour le moment, immatures. Alors que certains des semi-conducteurs à UWBG font l'objet de recherches depuis un certain nombre d'années, les publications sur des résultats de composants sont assez récentes, et de plus, uniquement dans un petit nombre de laboratoires. Ainsi, les semi-conducteurs à UWBG se trouvent actuellement à un stade de développement similaire à celui des semi-conducteurs comme le GaN et SiC dans les années 1990. Ces nouveaux matériaux présentent donc de nouveaux défis de recherches mais aussi des possibilités d'amélioration des performances de plusieurs ordres de grandeur, tant pour les applications existantes que pour les domaines d'applications jusqu'à présent considérés comme impossibles à aborder. Parmi les semi-conducteurs à UWBG, l'AlN et les alliages AlGaN à fort taux d'Al possèdent des propriétés exceptionnelles d'un point de vue électrique. En effet, ils présentent des bandes interdites directes allant de 3,4eV (GaN) à $\approx 6,2$ eV (AlN), un champ de claquage élevé qui peut être supérieur à 10 MV/cm dans le cas de l'AlN, une mobilité électronique et une vitesse de saturation élevée.

2. HETEROSTRUCTURES AVEC BUFFER EN ALN

Comparé aux autres matériaux UWBG, l'utilisation d'AlN présente un avantage unique en raison de la possibilité de former des hétérojonctions variées, ce qui élargit considérablement la flexibilité en termes de conception de composants. En outre, le matériau AlN en tant que buffer est idéal pour les applications à haute tension en raison de son champ de claquage électrique important combiné à une

conductivité thermique élevée [169], [170], [175], [176]. De même, une couche « back-barrier » en AlN peut potentiellement non seulement augmenter le confinement des électrons dans le canal du transistor mais aussi contribuer à augmenter la tension de claquage, en raison de sa bande interdite plus large par rapport aux composants à buffer (Al)GaN.

a. Description des structures

Nous avons mené une étude expérimentale sur une hétérostructure à base d'AlN développée par le CRHEA. La Figure 4.2 montre un schéma de la structure AlGaN/GaN composée d'un canal mince sur un buffer AlN qui a été réalisée sur un template AlN/saphir par MBE au CRHEA. L'objectif est la réalisation de transistors permettant de bénéficier de la bande interdite élevée de l'AlN afin d'accroître notamment la tenue en tension comparée à des structures à base de GaN.

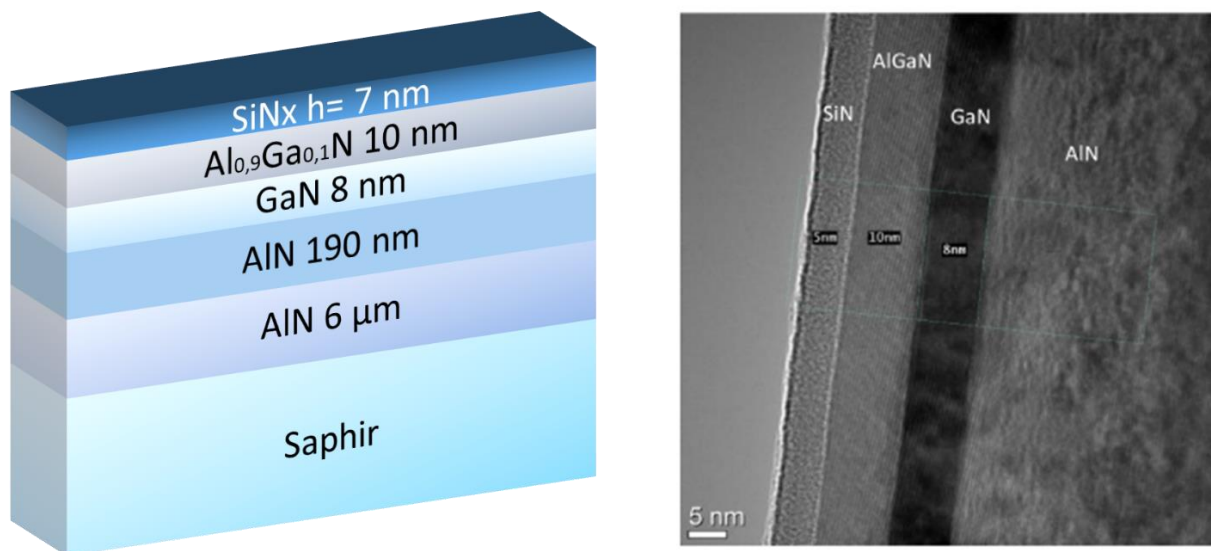


Figure 4.2 : Schéma de la structure AlGaN/GaN à canal fin avec buffer AlN (à gauche) et image HRTEM (*High Resolution Transmission Electron Microscopy*) des couches actives réalisées par MBE.

La structure à canal mince comprend un buffer AlN de 190 nm dont la croissance a été réalisée sur un template AlN sur saphir de 6 μm d'épaisseur, suivi d'un canal GaN mince de 8 nm, d'une couche barrière AlGaN de 10 nm à fort taux d'aluminium (90 %) et d'une couche de passivation SiN in situ de 5 nm. L'intérêt d'un canal GaN fin est de tenter de bénéficier dans une large mesure du champ électrique critique de l'AlN en condition opérationnelle. Le fort taux d'Al dans la barrière a pour but de générer une densité d'électrons dans le canal élevée. Les propriétés du 2DEG qui ont été obtenues par des mesures d'effet Hall montrent une densité de porteurs de charges de $1,9 \times 10^{13}/\text{cm}^2$ et une mobilité électronique de $340 \text{ cm}^2/\text{V.s}$. La mobilité plutôt faible peut être attribuée au canal mince et/ou à la teneur élevée en Al dans la couche barrière.

b. Caractérisations électriques

i. Mesures du claquage latéral du Buffer

Une fois la fabrication des transistors terminée, les premières séries de mesures ont pour but de déterminer les caractéristiques électriques de l'épithaxie. Les mesures de claquage latéral ont été réalisées sur des contacts isolés et espacés de différentes distances. L'évaluation de la tension de claquage latéral révèle des performances intéressantes. Pour une distance entre les contacts espacés de $2\ \mu\text{m}$, une tension de claquage latéral légèrement supérieure à 1000V est obtenue (Figure 4.3), ce qui correspond à un champ de claquage remarquable, supérieure à $5\ \text{MV/cm}$. Ce champ de claquage est bien supérieur à la limite théorique du GaN.

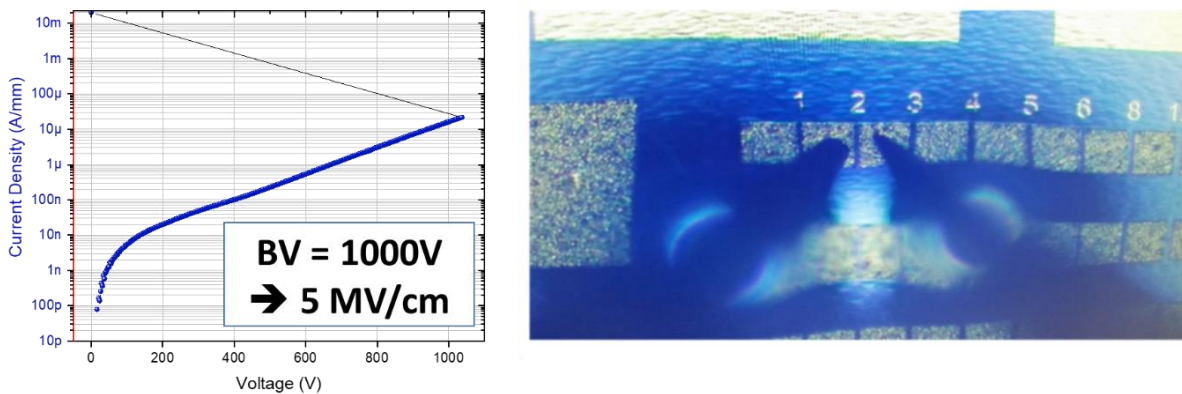


Figure 4.3 : Caractéristique typique du claquage latéral entre deux contacts isolés et espacés de $2\ \mu\text{m}$ entre les contacts.

D'autre part, nous avons mesuré un claquage latéral significatif de $10\ \text{kV}$ sur de larges distances de contacts supérieures à $90\ \mu\text{m}$ (Figure 4.4). La tension de claquage très élevée et le faible courant de fuite montrent que l'hétérostructure ne souffre d'aucune conduction parasite puisque la zone de charge d'espace atteint le substrat de saphir dans ce cas. La Figure 4.5 présente l'évolution du claquage latéral en fonction de la distance entre les contacts. Il semble donc que l'influence du canal GaN sur le mécanisme de claquage pourrait être réduite lorsque celui-ci a une épaisseur inférieure à $10\ \text{nm}$, permettant de tirer parti de la bande interdite de l'AlN pour de courtes distances de contact.

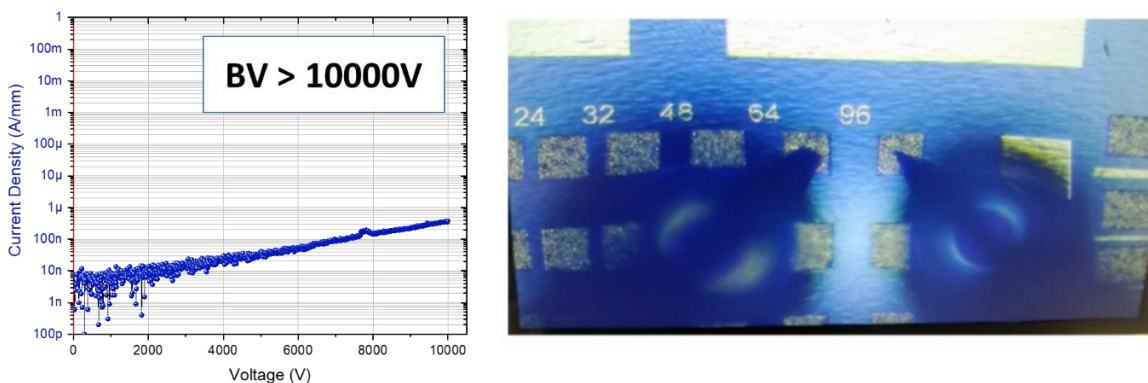


Figure 4.4 : Mesure de claquage latéral entre deux contacts isolés et espacés de $96\ \mu\text{m}$ de distance.

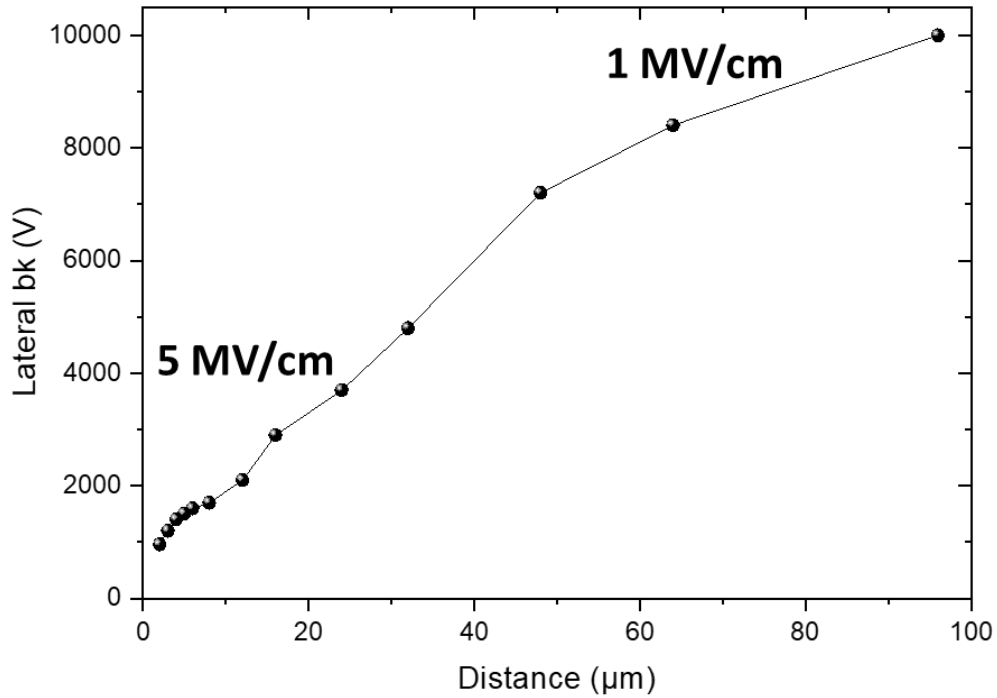


Figure 4.5 : Evolution du claquage latéral en fonction de la distance entre les contacts.

ii. Caractérisations des transistors

La caractérisation DC a été réalisée sur des transistors ayant une largeur/longueur de grille = $50\ \mu\text{m}/2\ \mu\text{m}$ et un espacement grille-drain (GD) qui varie de 5 à 30 μm . Les mesures $I_d V_g$ montrent un faible courant de fuite à l'état OFF et à $V_d = 4\text{V}$ d'environ 200 nA/mm. La résistance R_{ON} évolue, comme attendu, avec la distance grille-drain, pour atteindre des valeurs inférieures à $15\ \text{m}\Omega\cdot\text{cm}^2$ pour une distance de 5 μm (Figure 4.6).

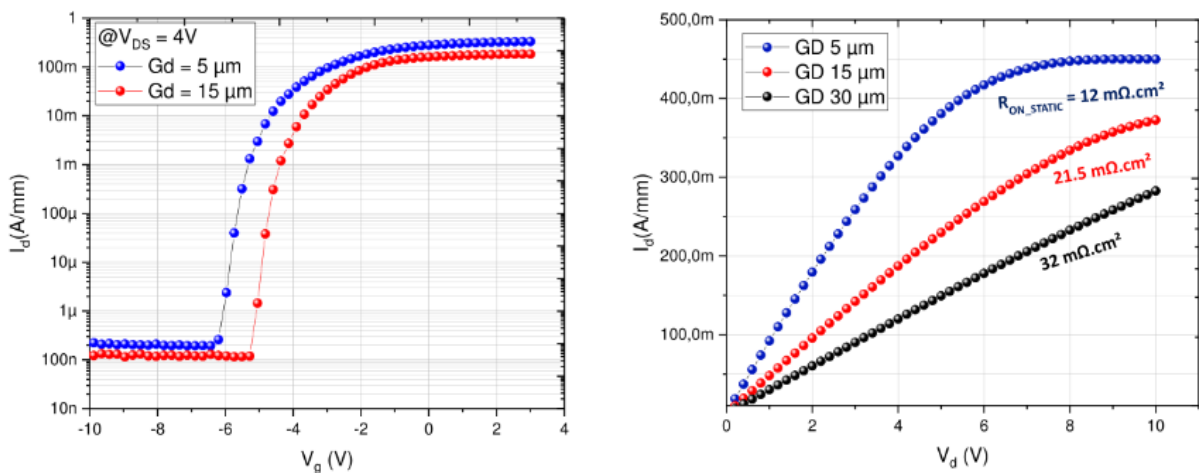


Figure 4.6 : Mesures de $I_d V_g$ (à gauche) et $I_d V_d$ à canal ouvert (droite) pour différentes distances grille-drain sur structure à canal fin.

iii. Tenue en tension des transistors

Les tensions de claquage mesurées sur des transistors $2 \times 50 \mu\text{m}$ ont montré des valeurs limitées. En effet, une tension de claquage autour de 100V est observée sur les transistors (Figure 4.7) alors que les mesures de claquage latéral laissaient présager une tension de claquage beaucoup plus importante. Les mesures de fuite réalisées au pincement confirment que le claquage prématuré du transistor est dû à la surface. En effet, on peut voir qu'un niveau de fuite élevé du courant de grille est responsable du claquage du transistor. De plus, la relative indépendance de ce claquage prématuré en fonction de GD indique un courant de fuite parasite surfacique au sein des couches actives : barrière riche en Aluminium et / ou cap SiN non-optimisé.

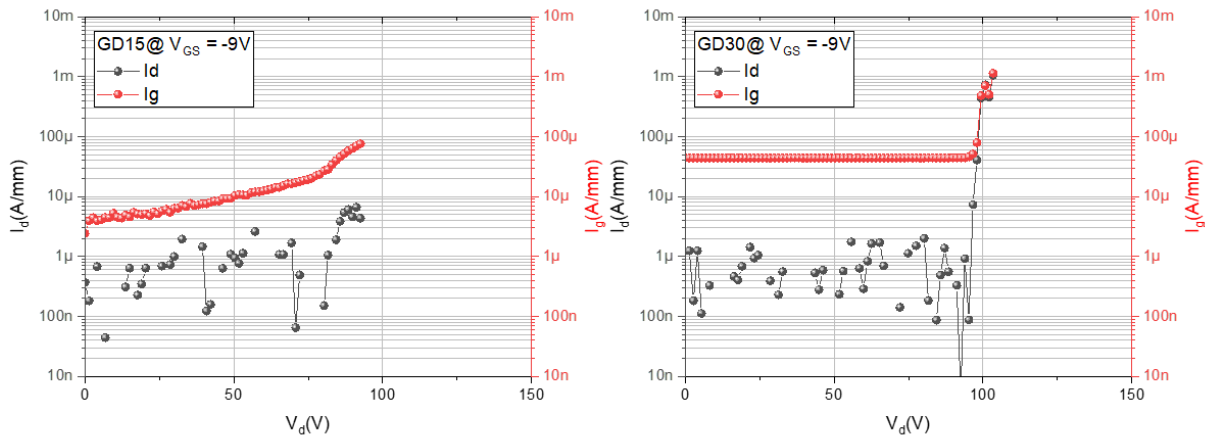


Figure 4.7 : Mesure de claquage de transistor $2 \times 50 \mu\text{m}$ GD15 et GD30.

L'utilisation d'un diélectrique de grille en SiN de 50 nm après gravure du cap SiN a permis de réduire le courant de grille de manière significatif à basse tension sans toutefois améliorer la tenue en tension du transistor (Figure 4.8). Cela confirme clairement la localisation des fuites au sein des couches actives.

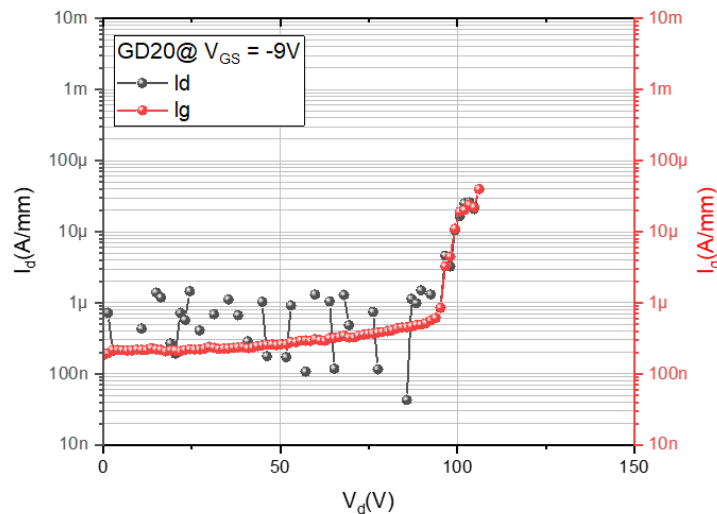


Figure 4.8 : Mesure de claquage de transistor $2 \times 50 \mu\text{m}$ GD20 après gravure du cap SiN.

Malgré des transistors à base d'AlN entièrement fonctionnels avec un faible courant de fuite et un faible R_{ON} , les tensions de claquage sont limitées en raison des couches actives. C'est pourquoi nous avons entrepris une autre étude de l'épaisseur du canal GaN sur buffer AlN qui sera détaillée dans la suite de ce travail.

c. Mesure en température

En plus de son très grand champ de claquage, l'AlN dispose d'une conductivité thermique élevée et d'une forte tenue en température. Des mesures en température ont été réalisées à l'institut NEEL, afin d'en évaluer l'impact sur les performances des transistors. Des caractéristiques de transfert à $V_d = 1V$ et $V_{DS} = 10V$ ont été réalisées jusqu'à une température de $300^{\circ}C$. On peut constater sur la Figure 4.9 que la montée en température réduit le courant à canal ouvert (comme pour tous semi-conducteurs du fait de la réduction de la mobilité électronique) mais n'influe que très peu le courant de fuite à l'état off ainsi que la tension de pincement. Ces résultats sont extrêmement encourageants et reflètent le bénéfice potentiel de l'utilisation de l'AlN.

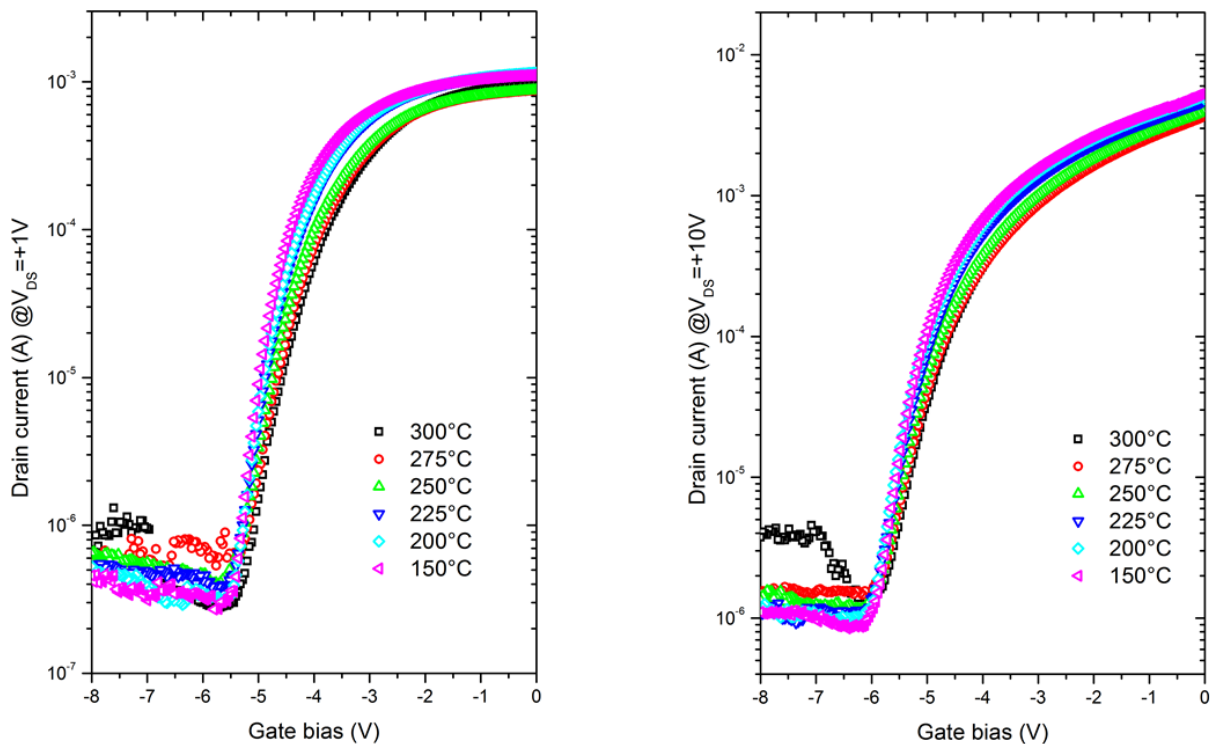


Figure 4.9 : Mesures $I_d V_g$ à $V_d = 1V$ (à gauche) et $V_d = 10V$ (à droite) en fonction de la température allant de $150^{\circ}C$ à $300^{\circ}C$ dans le cas d'un transistor GD10 sur la structure à canal fin.

3. IMPACT DE L'ÉPAISSEUR DU CANAL GAN SUR BUFFER ALN

a. Description des structures

Afin de confirmer l'hypothèse concernant l'épaisseur du canal émise dans la partie précédente, un second lot de structures a été développé par le CRHEA. Pour ne pas être limité par le courant de fuite de grille comme lors de l'étude précédente, une structure à barrière plus classique, avec un taux d'Al plus faible et un cap en GaN a été mise en place. On peut voir sur la Figure 4.10 une représentation

schématique des différentes structures dont la croissance a été réalisée sur des substrats AlN massifs. Les structures possèdent un cap GaN de 2 nm, une barrière AlGaN à 30% d'Al ayant une épaisseur de 19 nm et un espaceur AlN de 1 nm. L'ensemble des couches actives sont identiques, à l'exception de l'épaisseur du canal GaN qui varie entre 500 nm et 8 nm.

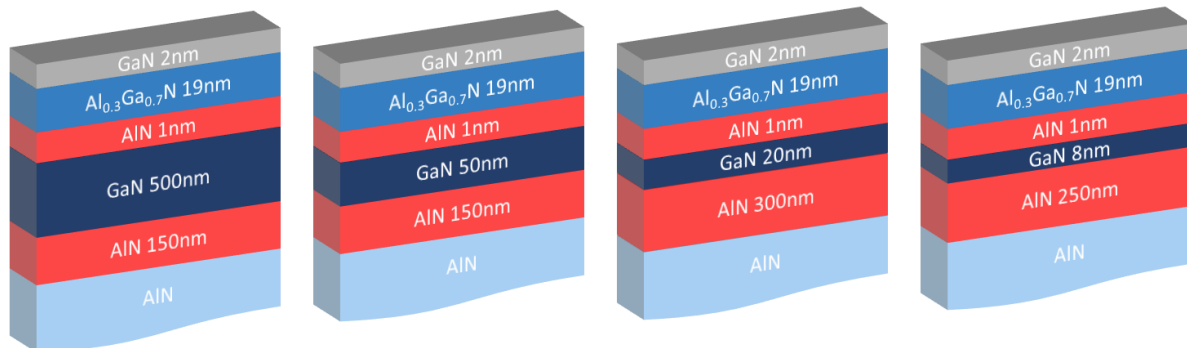


Figure 4.10 : Schéma des structures $\text{Al}_{30}\text{Ga}_{70}\text{N}/\text{GaN}$ étudiées avec variation de l'épaisseur de canal.

Lors du début de la fabrication des transistors, la trop faible mobilité des structures à canaux 20 nm et 8 nm a empêché la réalisation des contacts ohmiques et, de ce fait a entravé l'étude de transistors sur ces structures. Concernant les deux autres structures, les mesures par effet Hall ont permis de relever une densité dans le 2DEG aux alentours de $1 \times 10^{13}/\text{cm}^2$. Cependant, la mobilité des électrons est significativement plus élevée ($1920 \text{ cm}^2/\text{V.s}$) pour le canal épais, ce que nous attribuons à une réduction de l'impact des défauts générés notamment à l'interface GaN/AlN. Le Tableau 4.1 présente un récapitulatif des mesures par effet Hall ainsi que des résistances de contacts obtenues.

Structure	Epaisseur de canal	$R_c (\Omega.\text{mm})$	$R_{\text{sheet}} (\Omega/\square)$	Mobilité ($\text{cm}^2/\text{V.s}$)	$N_s (\text{cm}^{-2})$
A	500 nm	0,6	330	1920	$1,0 \times 10^{13}$
B	50 nm	1,8	1700	460	$8,0 \times 10^{12}$

Tableau 4.1 : Résistances de contact et mesures *par effet* Hall obtenues sur les structures étudiées.

b. Caractérisations électriques

i. Mesures du claquage latéral du buffer

Les mesures de claquage latéral, réalisées sur des contacts isolées et espacés de différentes distances, montrent des tensions de claquage élevées. Pour de larges distances entre contacts, des tensions de 6 à 7 kV sont atteintes pour les structures à canaux épais et fin, respectivement (Fig. 4.12).

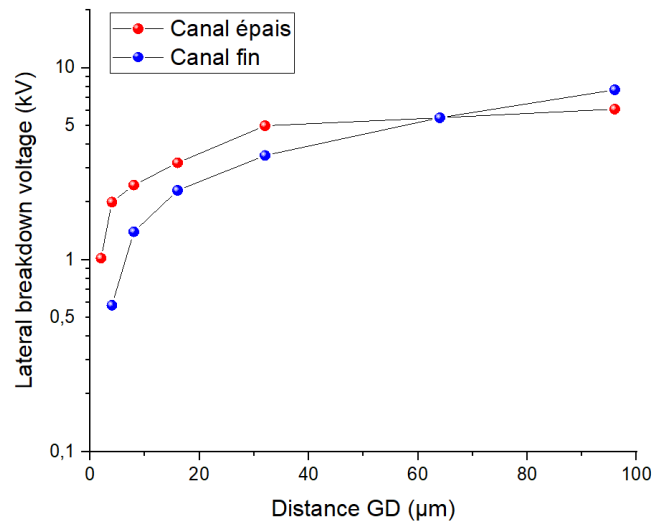


Figure 4.11 : Tension de claquage latéral en fonction des distances entre contacts isolés pour les structures à canal épais et fin.

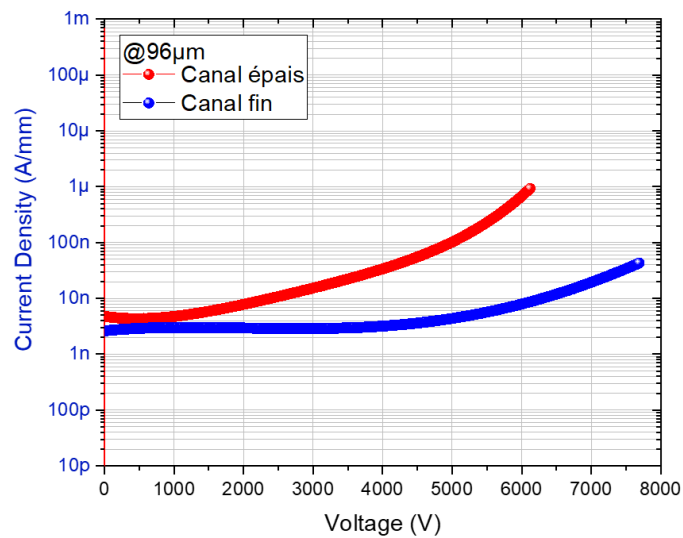


Figure 4.12 : Caractéristiques du claquage latéral entre deux contacts isolés et espacés de 96 μm pour les structures à canal épais et fin.

ii. Caractérisations des transistors

Les caractérisations statiques montrent des transistors de $2 \times 50 \mu\text{m}$ totalement fonctionnels. Les caractéristiques de transfert révèlent un faible courant de fuite à l'état OFF ainsi que différents niveaux de courant à canal ouvert, suivant les structures. La différence de tension de pincement V_{TH} est due à une gravure plus profonde dans le cas de la structure à canal mince.

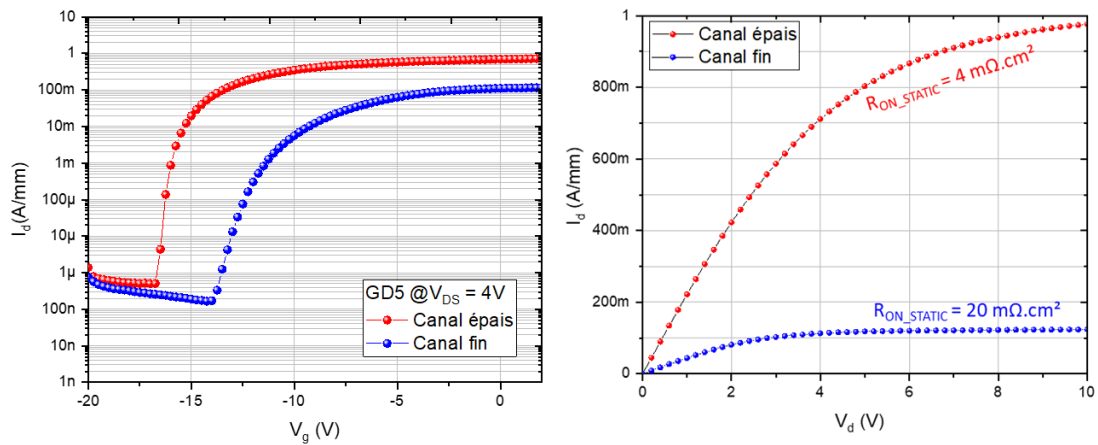


Figure 4.13 : Mesures I_dV_g (à gauche) et I_dV_d à canal ouvert (droite) pour différentes distances grille-drain pour les structures à canal épais et fin.

Les caractéristiques électriques de sortie ont permis de mettre en avant de faibles valeurs de R_{ON} . Le niveau de courant plus faible de la structure à canal fin s'explique par la plus faible mobilité dans le 2DEG.

iii. Tenue en tensions des transistors

Les mesures de claquage ont, dans un premier temps, été réalisées sur la structure à canal épais. La Figure 4.14 présente les tensions atteintes pour une courte (GD8) et une large distance (GD40). Une augmentation peut être observée malgré des valeurs faibles de tension de claquage (BV). En effet, pour une courte distance grille-drain (GD8), une BV autour de 20V est observée avec une forte dégradation à 10 V. Dans le cas d'une large distance (GD40), une tension de claquage autour de 110V est obtenue.

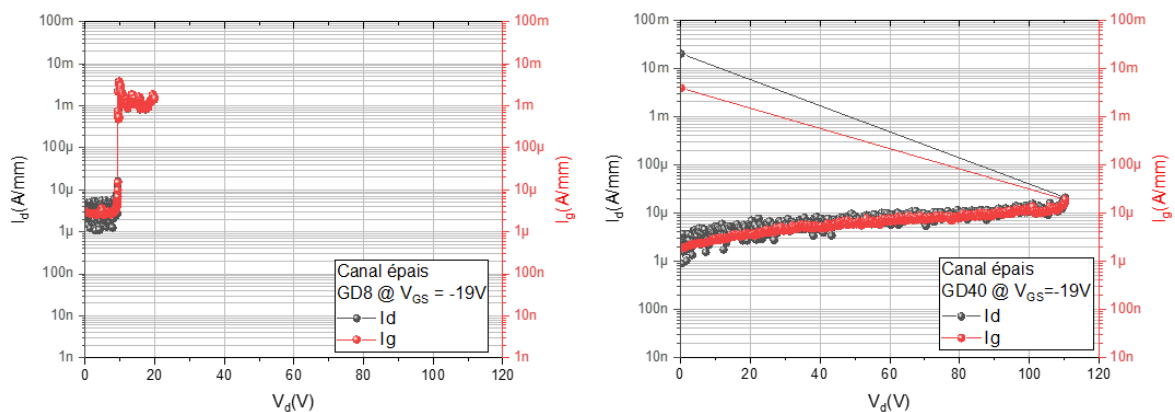


Figure 4.14 : Mesures de claquage de transistor GD8 et GD40 sur la structure à canal épais.

Dans le cas de la structure à canal fin, des BV remarquablement supérieurs ont été obtenues. De même que pour la structure précédente, des mesures à courte et large distance sont présentées sur la

Figure 4.15. On peut observer une tenue en tension avoisinant les 350V pour un GD5 et 1400V pour un GD40. L'hypothèse émise dans la partie précédente est donc confirmée. On peut voir sur la Figure 4.16 montrant le BV des transistors en fonction de GD l'impact significatif de l'épaisseur du canal. L'extension de la zone de charge d'espace couvrant une plus grande portion de la couche d'AlN comparée à la structure à canal épais permet donc de réduire la limitation liée au canal GaN et de bénéficier des propriétés de l'AlN. Il faut toutefois remarquer que le champ de claquage critique pour la structure à canal de 50 nm reste modeste (< 1 MV/cm). Cette même structure à canal sub-10 nm permettrait de confirmer la tendance observée.

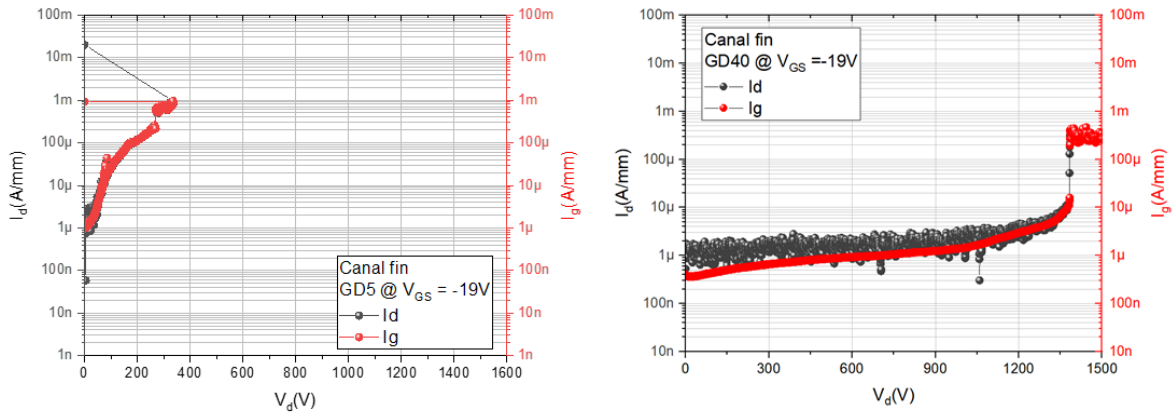


Figure 4.15 : Mesure de claquage de transistor GD5 et GD40 sur la structure à canal fin.

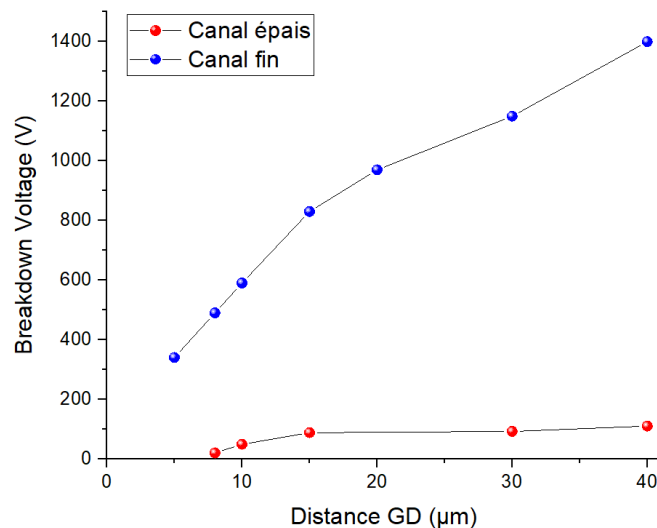


Figure 4.16 : Tension de claquage de transistors en fonction des distances grille-drain.

4. STRUCTURE A CANAL ALGAN

Théoriquement, la solution la plus attractive pour repousser la tenue en tension de cette filière est d'augmenter l'ensemble des bandes interdites de l'empilement. Nous avons fabriqué et caractérisé des transistors à buffer AlN utilisant des canaux AlGaN. Différentes configurations ont été étudiées dans le but de démontrer l'intérêt de ces types de transistors en termes de tenue en tension. Un accent

particulier a été accordé à la réduction des résistances de contact, qui est un défi majeur pour ce type de HEMTs à ultra large bande interdite. En effet, dans ce cadre, une recroissance de contacts a été développée et mise en œuvre.

a. Description des structures

La croissance des structures étudiées dans cette partie a été réalisée par SOITEC sur des templates d'AlN de 200 nm d'épaisseur sur des substrats de saphir. Les couches épitaxiales comprennent un buffer d'AlN de 170 nm d'épaisseur, un canal AlGa_N à fort taux d'Al de 50% de 200 nm d'épaisseur et diverses épaisseurs de barrières AlN. Les barrières AlN sont toutes recouvertes d'une couche SiN MOCVD de 20 nm d'épaisseur. Les deux structures sont identiques, à l'exception de l'épaisseur de la barrière qui est de 20 nm et 30 nm (Figure 4.17). Les barrières AlN relativement épaisses ont pour objectif de générer de fortes densités de porteurs dans le canal. La Figure 4.18 montre une image AFM de la structure après gravure du cap SiN, révélant une densité de dislocations importantes.

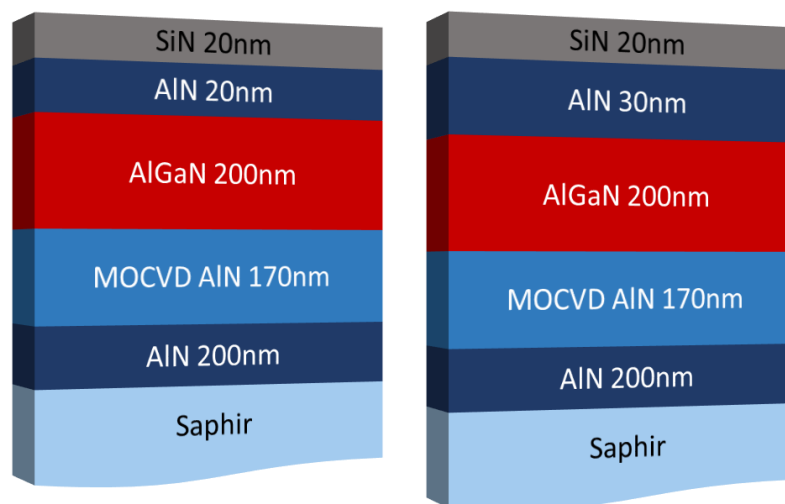


Figure 4.17 : Schéma des doubles hétérostructures AlN/Al₅₀Ga₅₀N/AlN étudiées avec plusieurs épaisseurs de barrière.

D'un point de vue procédé de fabrication, les contacts source/drain ont été déposés après gravure des couches de passivation SiN ainsi qu'une partie de la couche barrière afin de laisser une épaisseur de 3 à 5 nm sous les contacts. L'empilement métallique Ti/Al/Ni/Au a été ensuite recuit à 875°C. Comme attendu d'après les travaux publiés sur les transistors à canal AlGa_N, des résistances de contact élevées sont observées (plusieurs dizaines de Ω.mm). L'isolation du composant a été réalisée par gravure mesa (350 nm de profondeur). La densité de charge du 2DEG a été mesurée sur les motifs Van der Pauw. L'ensemble des mesures par effet Hall sont présentées sur le Tableau 4.2.

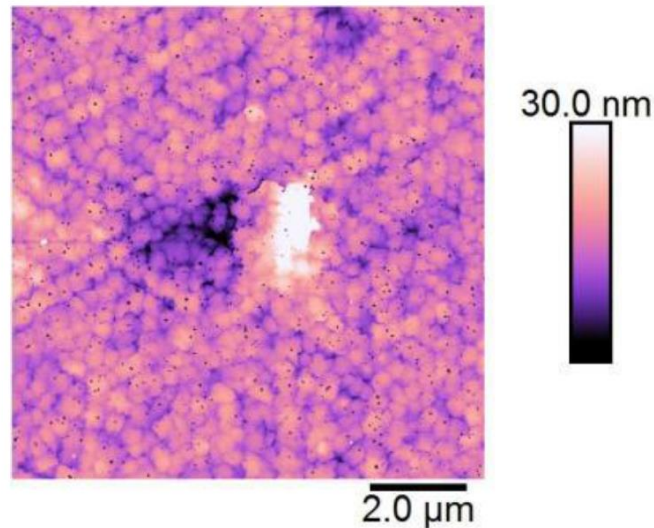


Figure 4.18 : Image AFM de la double hétérostructure AlN/AlGaN/AlN après gravure de la couche de couverture SiN.

Structure	Epaisseur de barrière	R_c (Ω .mm)	R_{sheet} (Ω/\square)	N_s (cm^{-2})	Mobilité ($cm^2/V.s$)
A	20nm AlN	45	2260	$1,9 \times 10^{13}$	145
B	30nm AlN	15	1660	$2,5 \times 10^{13}$	150

Tableau 4.2 : Résistances de contact et mesures par effet Hall obtenues sur les structures étudiées.

b. Caractérisations électriques

i. Caractérisations statiques et à haute tension

La tension de claquage du buffer latéral évaluée sur des contacts isolés pour différentes distances apparaît sur la Figure 4.19. On peut remarquer que le claquage du buffer atteint environ 1000V avec un faible courant de fuite pour une distance entre deux contacts de $1,7 \mu m$, ce qui correspond à un remarquable champ de claquage proche de 6 MV/cm (voir Fig. 4.20). Pour une distance plus importante, un claquage latéral significatif jusqu'à 7 kV a été mesuré. On peut souligner que la chute du champ de claquage pour des distances de contacts plus importantes est principalement limitée par le substrat en saphir, qui a un champ de claquage typiquement inférieur à 1 MV/cm. Les tensions de claquage latéral sont similaires pour les deux structures.

Les caractéristiques en régime statique révèlent des transistors entièrement fonctionnels avec un rapport I_{on} / I_{off} principalement limité par les faibles résistances de contact. Les caractérisations

électriques ont été effectuées sur des transistors avec une largeur/longueur de grille = $50\ \mu\text{m}/2\ \mu\text{m}$ et une distance grille-drain (LGD) variant de 5 à $40\ \mu\text{m}$.

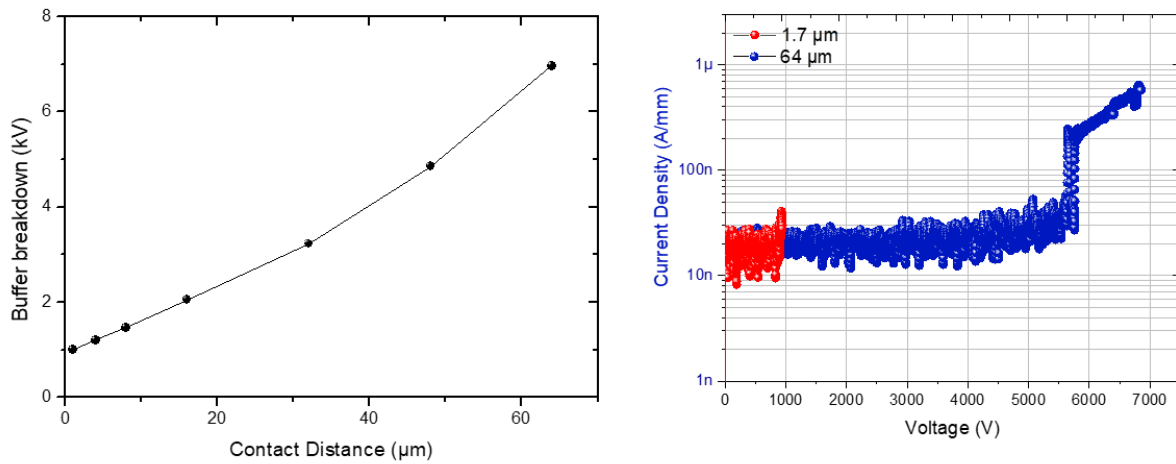


Figure 4.19 : Tension de claquage latéral sur des contacts isolés pour différentes distances de contacts et caractéristiques IV correspondantes pour les distances $1,7\ \mu\text{m}$ et $64\ \mu\text{m}$.

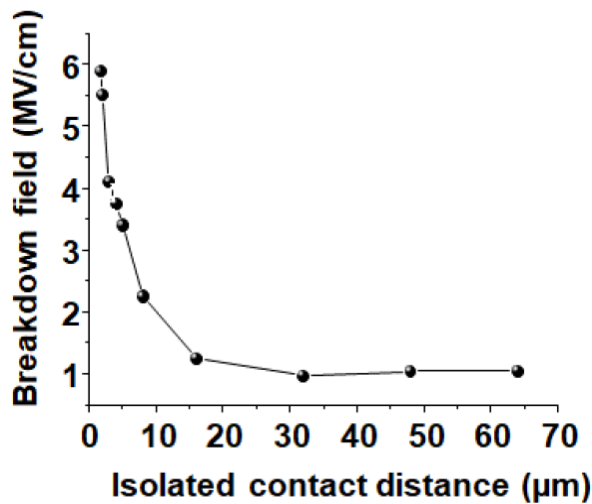


Figure 4.20 : Champ de claquage du buffer pour différentes distances entre contacts.

La première structure avec une épaisseur de barrière de $20\ \text{nm}$ délivre un courant à l'état passant relativement faible d'environ $25\ \text{mA}/\text{mm}$ dû aux résistances de contact élevées. La Figure 4.21 illustre les caractéristiques de transfert et de sortie montrant un faible courant de fuite à l'état bloqué et une tension de claquage élevée sur transistors uniformément supérieure à $4\ \text{kV}$ pour un GD40.

Sur la deuxième structure ayant une épaisseur de barrière AlN de $30\ \text{nm}$, bien que les contacts ohmiques soient légèrement améliorés, la densité de courant maximale proche de $40\ \text{mA}/\text{mm}$ à $V_d = 10\ \text{V}$ est toujours limitée avec un courant de fuite à l'état bloqué autour de $20\ \text{nA}/\text{mm}$ (Figure 4.22). Les mesures de claquage des transistors en fonction de GD montrent une tension de claquage record de $4500\ \text{V}$ avec un courant de fuite à l'état bloqué inférieur à $0,1\ \mu\text{A}/\text{mm}$. On peut remarquer que la faible distance grille-drain de $5\ \mu\text{m}$ donne un champ de claquage de $3,5\ \text{MV}/\text{cm}$, ce qui est bien supérieur à celui des composants en SiC et GaN.

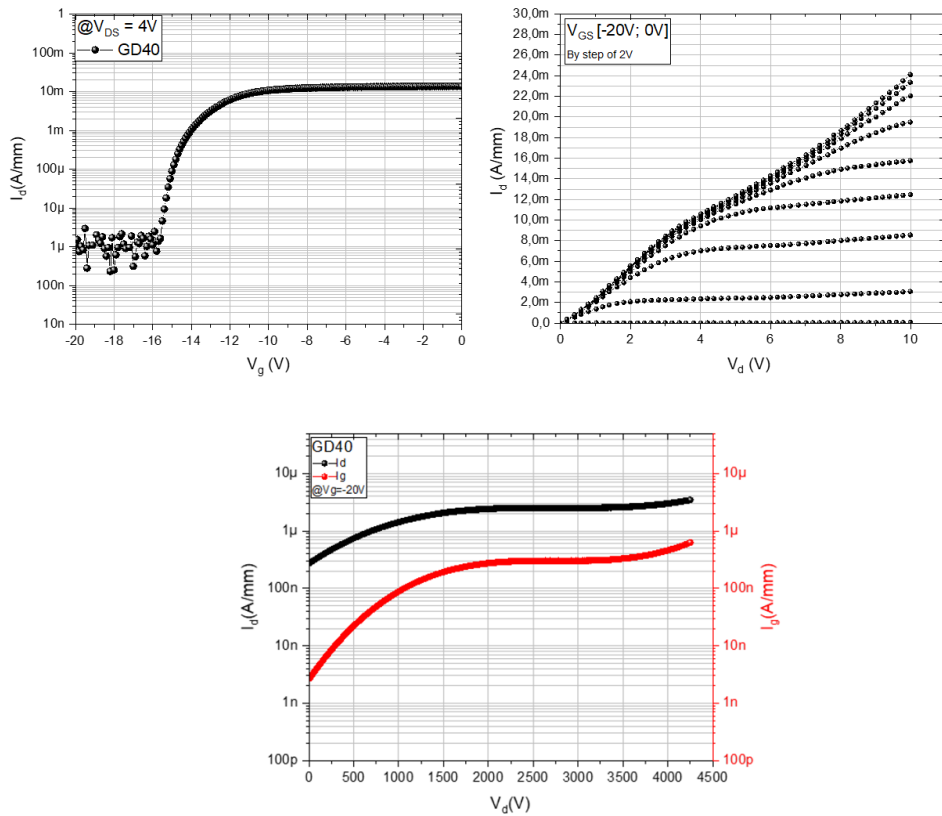


Figure 4.21 : Caractéristiques de transfert et de sortie, et tension de claquage sur transistor AlN/AlGaN/AlN avec une épaisseur de barrière de 20 nm.

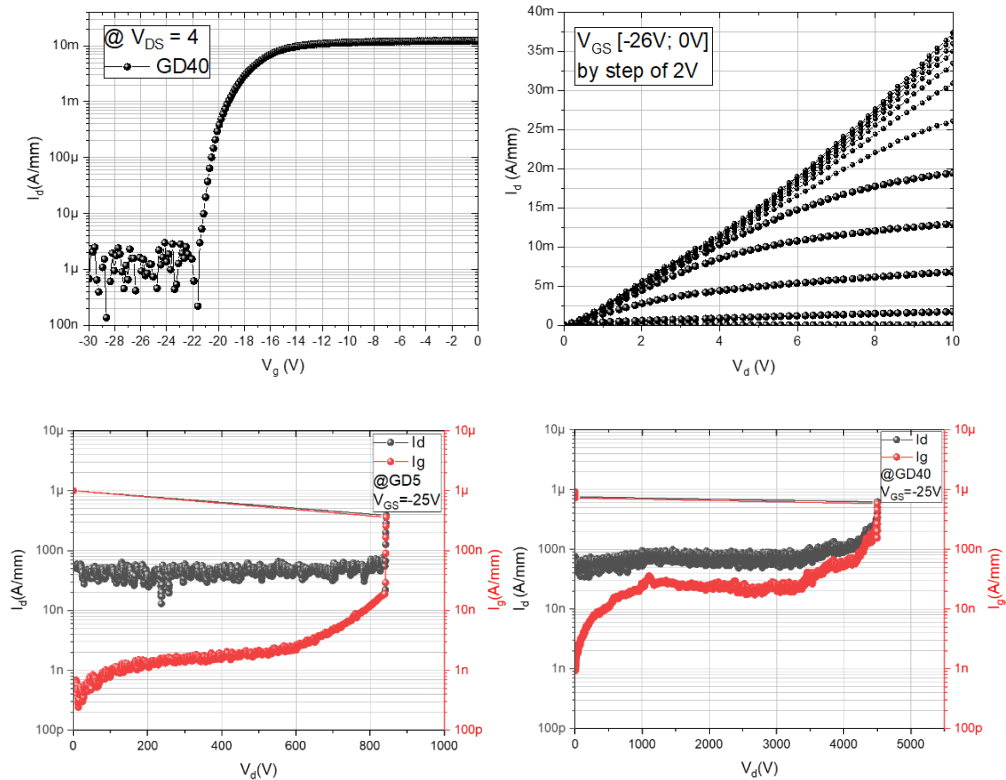


Figure 4.22 : Caractéristiques de transfert et de sortie, et tension de claquage sur transistor AlN/AlGaN/AlN d'une épaisseur de barrière de 30 nm.

ii. Caractéristiques de transfert et de sortie en fonction de la température

En plus des potentialités à haute tension, le comportement en température de la structure à canal 30 nm a été étudié par l'université de Padova. Les paramètres suivis pour les caractérisations DC sont les suivants :

- $I_d V_g$ pour $V_g = [-20V, 0V]$ à $V_d = 4V$;
- $I_d V_d$ pour $V_d = [0V, 15V]$ à $V_g = -12V, -8V, -4V, 0V$.
- Températures : 30°C, 70°C, 110°C, 150°C et 200°C.

Les caractéristiques de transfert pour différentes températures, sont reportées sur les Figures 4.23, et 4.24 pour des GD10 et GD40 respectivement. Les mesures de $I_d V_g$ ont été dupliquées sur chaque champ qui compose l'échantillon et pour plusieurs GD. De cette manière, il a été possible d'évaluer l'uniformité des mesures. Les mesures sont présentées à la fois en échelles linéaire et semi-logarithmique.

Indépendamment de la distance grille-drain, les transistors montrent un comportement très stable en fonction de la température, sans variation de la tension de seuil et avec une faible augmentation du courant de fuite à l'état bloqué jusqu'à 200°C. Pour rappel, à une telle température, les composants GaN souffrent typiquement d'un décalage prononcé de la tension de pincement et d'une augmentation des courants de fuite liée à l'accroissement de la conductivité au sein du buffer.

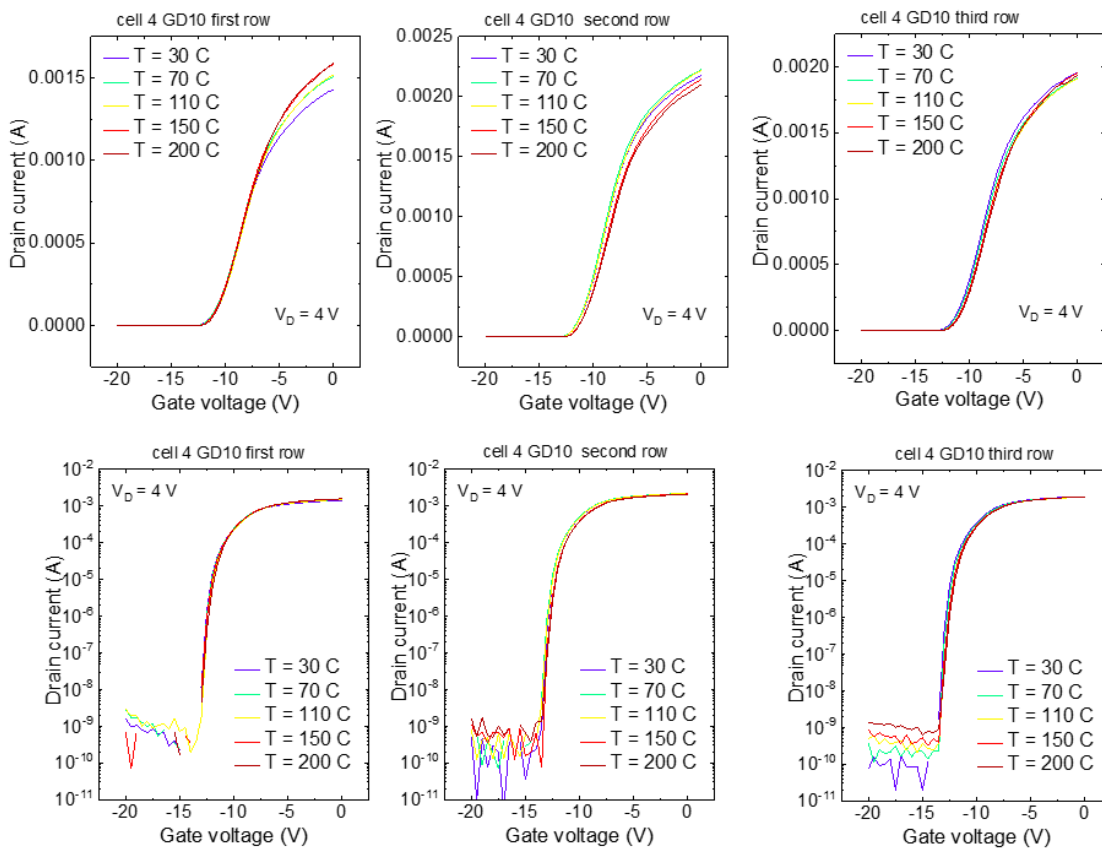


Figure 4.23 : Caractéristiques de transfert $I_d V_g$ en échelles linéaire et semi-logarithmique à 30°C, 70°C, 110°C, 150°C et 200°C pour des composants GD10.

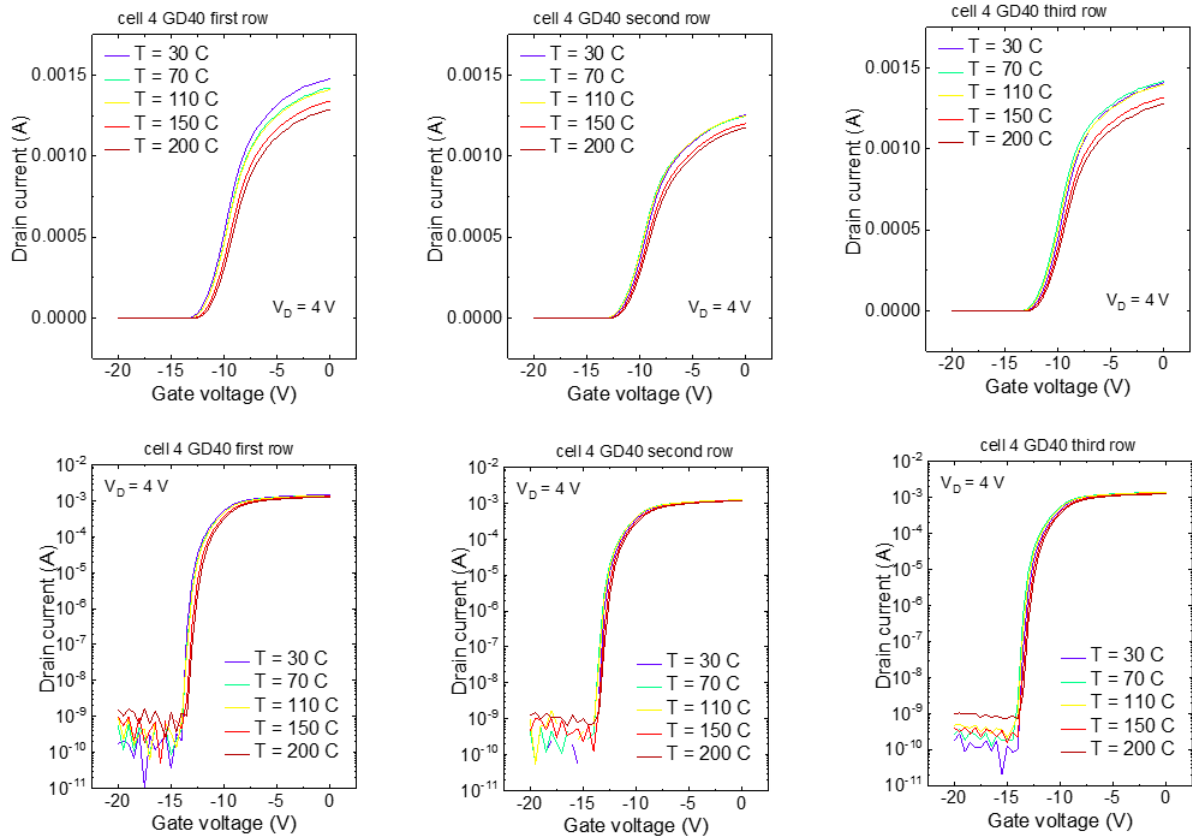


Figure 4.24 : Caractéristiques de transfert $I_D V_g$ en échelles linéaire et semi-logarithmique à 30°C, 70°C, 110°C, 150°C et 200°C pour des composants GD40.

Les caractéristiques de sortie pour différentes températures sont présentées sur les Figures 4.25, et 4.26, pour des GD10 et GD40 respectivement. Une diminution d'environ 5% seulement de la densité de courant du canal ouvert est observée pour tous les composants jusqu'à 200°C. Cette dégradation est nettement inférieure à celui des transistors à base de GaN pour lesquels la mobilité des électrons est largement affectée à des températures aussi élevées, ce qui entraîne une forte baisse de la densité de courant.

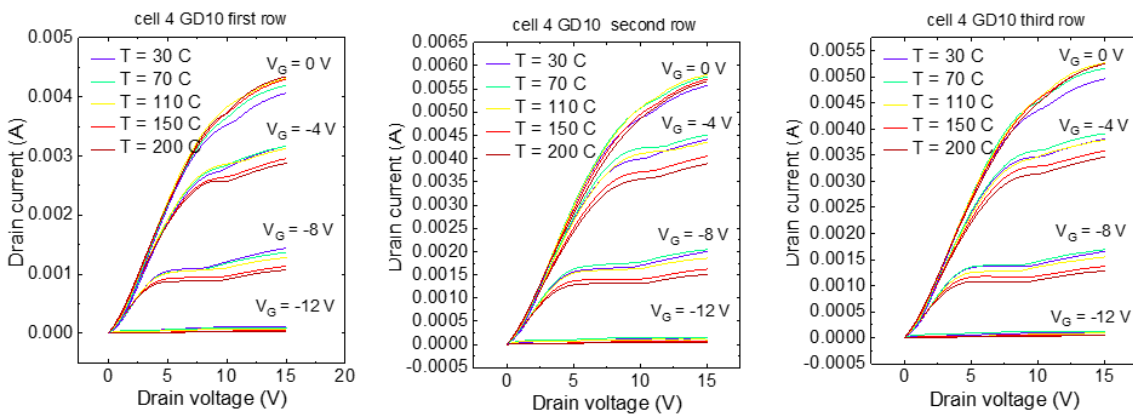


Figure 4.25 : Caractéristiques de sortie à 30°C, 70°C, 110°C, 150°C et 200°C pour des transistors AlN/AlGaN/AlN à GD10.

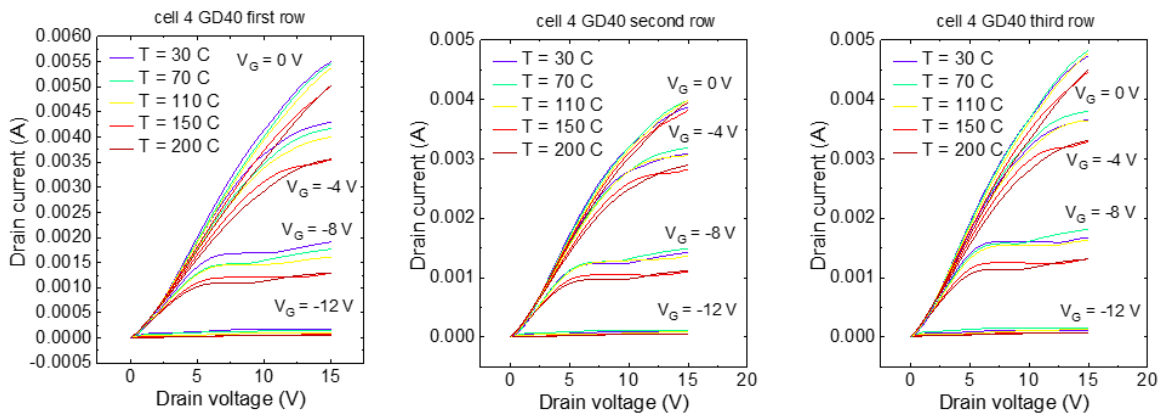


Figure 4.26 : Caractéristiques de sortie à 30°C, 70°C, 110°C, 150°C et 200°C pour des transistors AlN/AlGaN/AlN à GD40.

iii. Mesures du courant de fuite jusqu'à 1 kV pour différentes températures

De plus, des mesures de fuites ont été réalisées jusqu'à 1 kV à $V_{GS} = -16V$ également à différentes températures $T = 30^\circ C, 60^\circ C, 90^\circ C, 120^\circ C$. Lors de ces mesures, les courants de drain et de grille sont relevés. Des caractérisations DC ont été réalisées avant chaque mesure de fuite à l'état bloqué. Certaines des mesures sont reportées dans les Figure 4.27 et Figure 4.28, sur des GD10, et GD40 respectivement. À l'exception de quelques composants qui ont montré un claquage prématuré dû à des défauts localisés (Fig. 4.29), la plupart des transistors présentent de faible courant de fuite inférieur à $10 \mu A/mm$ jusqu'à $120^\circ C$ et 1 kV. Ceci confirme l'excellente stabilité thermique de ces composants grâce à leur bande interdite ultra large qui résiste mieux aux hautes températures.

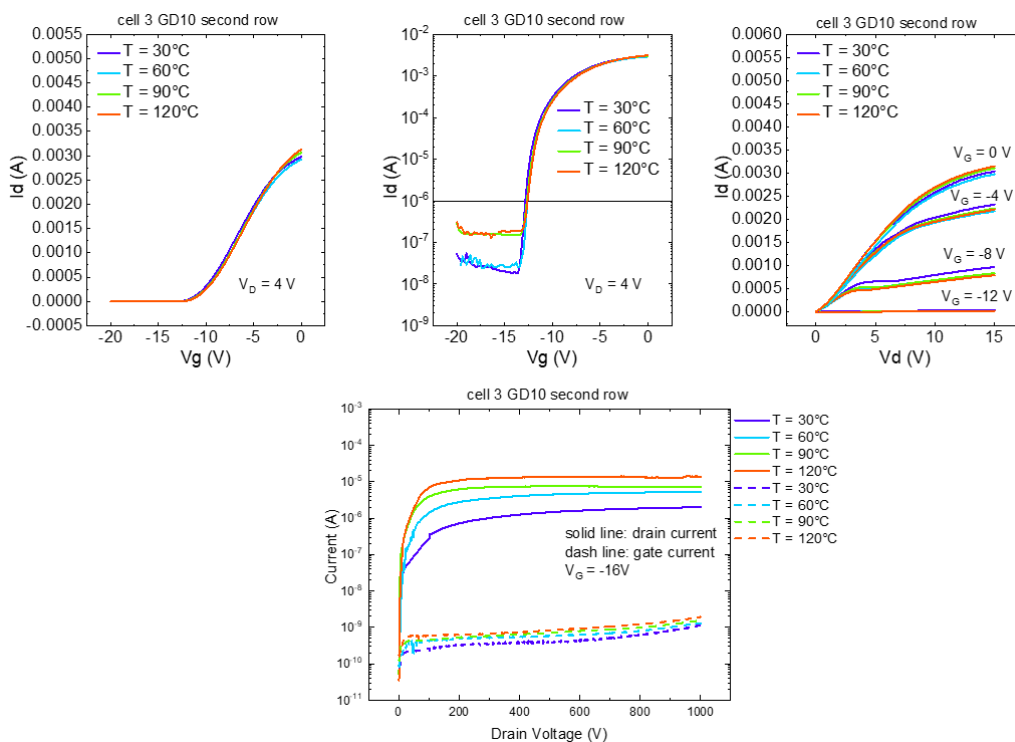


Figure 4.27 : Caractérisation DC préliminaire (mesures $I_d V_g$ et $I_d V_d$) et mesure de fuite à l'état bloqué à différentes températures pour un GD10.

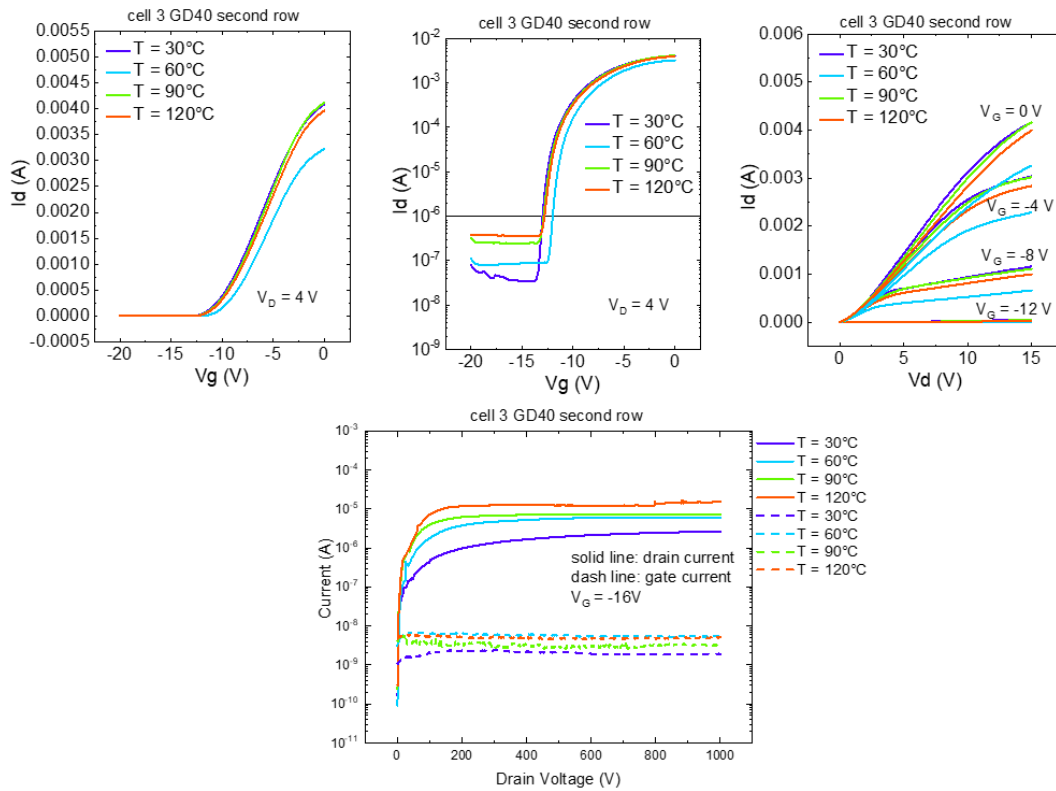


Figure 4.28 : Caractérisation DC préliminaire (mesures $I_d V_g$ et $I_d V_d$) et mesure de fuite à l'état bloqué à différentes températures pour un GD40.

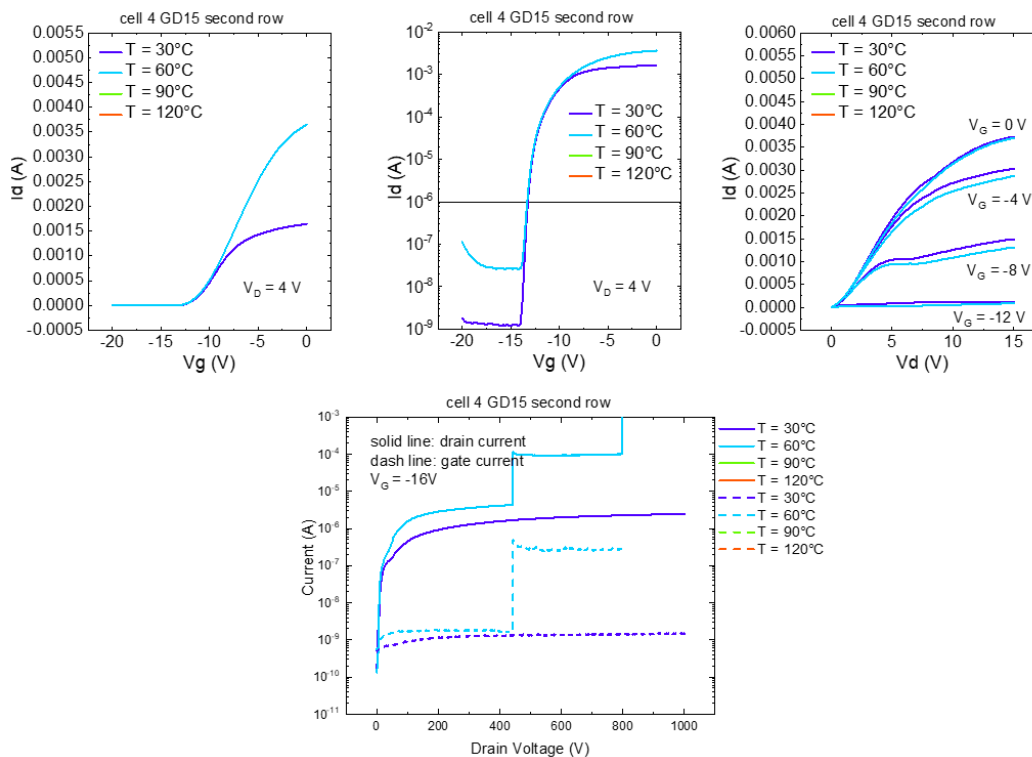


Figure 4.29: Caractérisation DC préliminaire (mesures $I_d V_g$ et $I_d V_d$) et mesure de fuite à l'état bloqué à différentes températures pour un GD15.

Nous avons résumé les résultats en traçant la tendance de certains paramètres en fonction de la température et du GD. Il s'agit en particulier des paramètres suivants :

- Tension de seuil V_{TH} à $I_d = 1 \mu A$ (Fig. 4.30) ;
- Résistance à l'état passant R_{ON} (Fig. 4.30) ;
- $I_{g\ off}$ à $V_d = 4 V$ et $V_g = -20 V$ et à $V_d = 400 V$ et $V_g = -16 V$ (Fig. 4.31).

On peut apprécier la faible dérive de ces paramètres critiques en fonction de la température. Dans la grande majorité des transistors caractérisés jusqu'à $120^\circ C$, le décalage de V_{TH} est inférieur à 5%, le R_{ON} varie de 10 à 20% selon le design du transistor et la variation des fuites de grille reste très limitée.

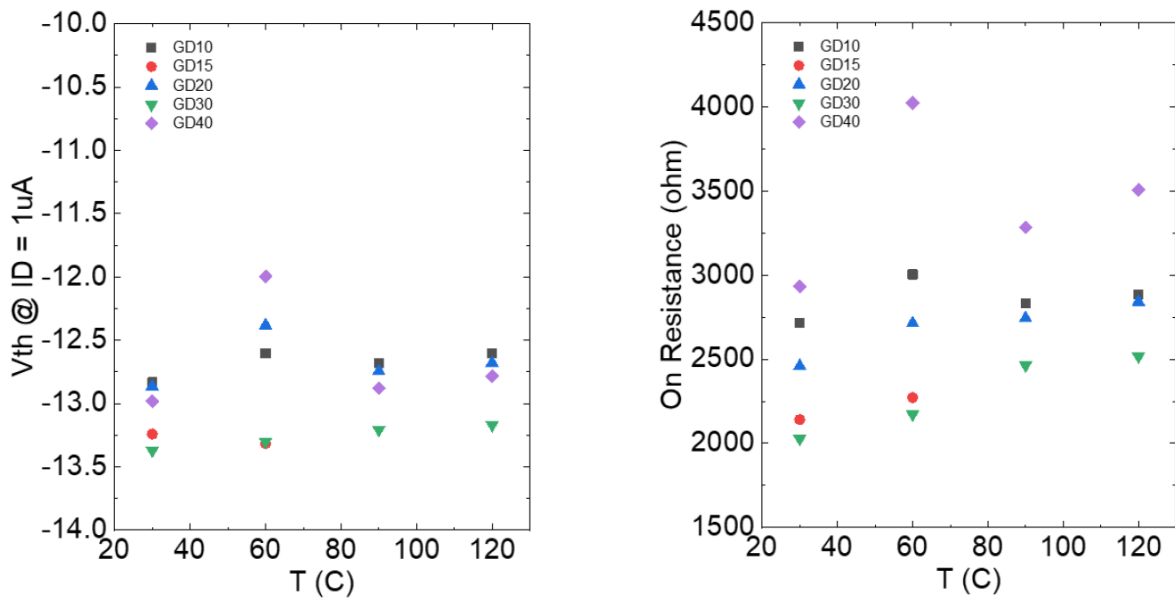


Figure 4.30 : Tension de seuil V_{TH} à $I_d = 1 \mu A$ et résistance R_{ON} en fonction de la température et de GD.

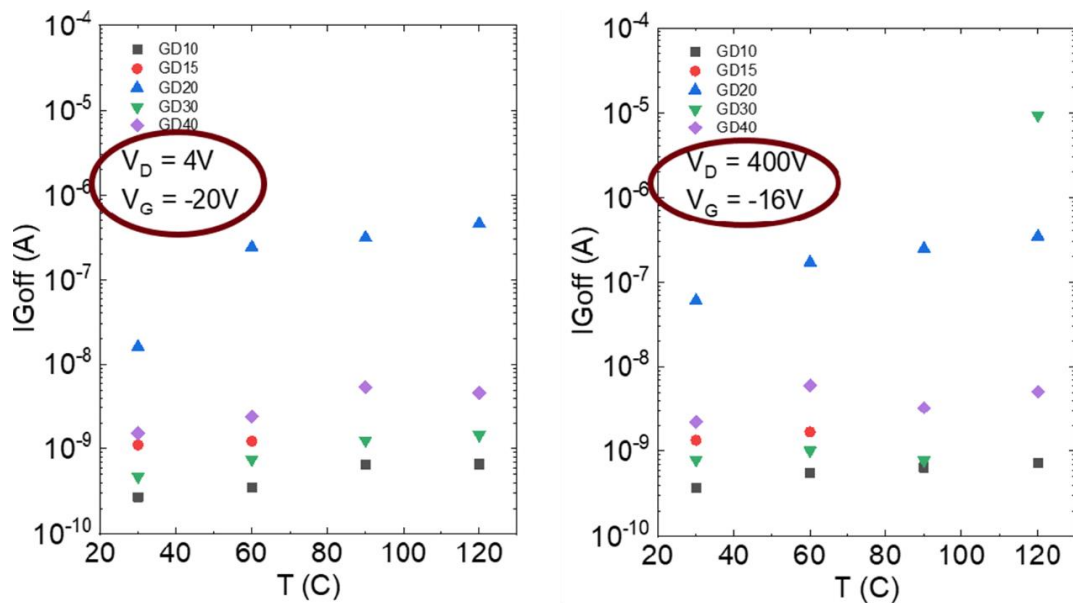


Figure 4.31 : $I_{g\ off}$ à $V_d = 4 V$ et $V_g = -20 V$ et à $V_d = 400 V$ et $V_g = -16 V$ en fonction de la température et de GD.

c. Contact ohmique par recroissance

Alors que les contacts avec les HEMT conventionnels AlGaIn/GaN sont plutôt bien maîtrisés, la teneur plus élevée en aluminium et les bandes interdites encore plus larges des barrières AlN posent un défi de fabrication encore plus grand pour obtenir une faible résistance reproductible. Dans le but de diminuer les résistances d'accès et ainsi augmenter la densité de courant à l'état passant des HEMTs à base de canaux AlGaIn, des contacts ohmiques par recroissance ont été réalisés sur la structure ayant une épaisseur de barrière de 20nm, par le CRHEA.

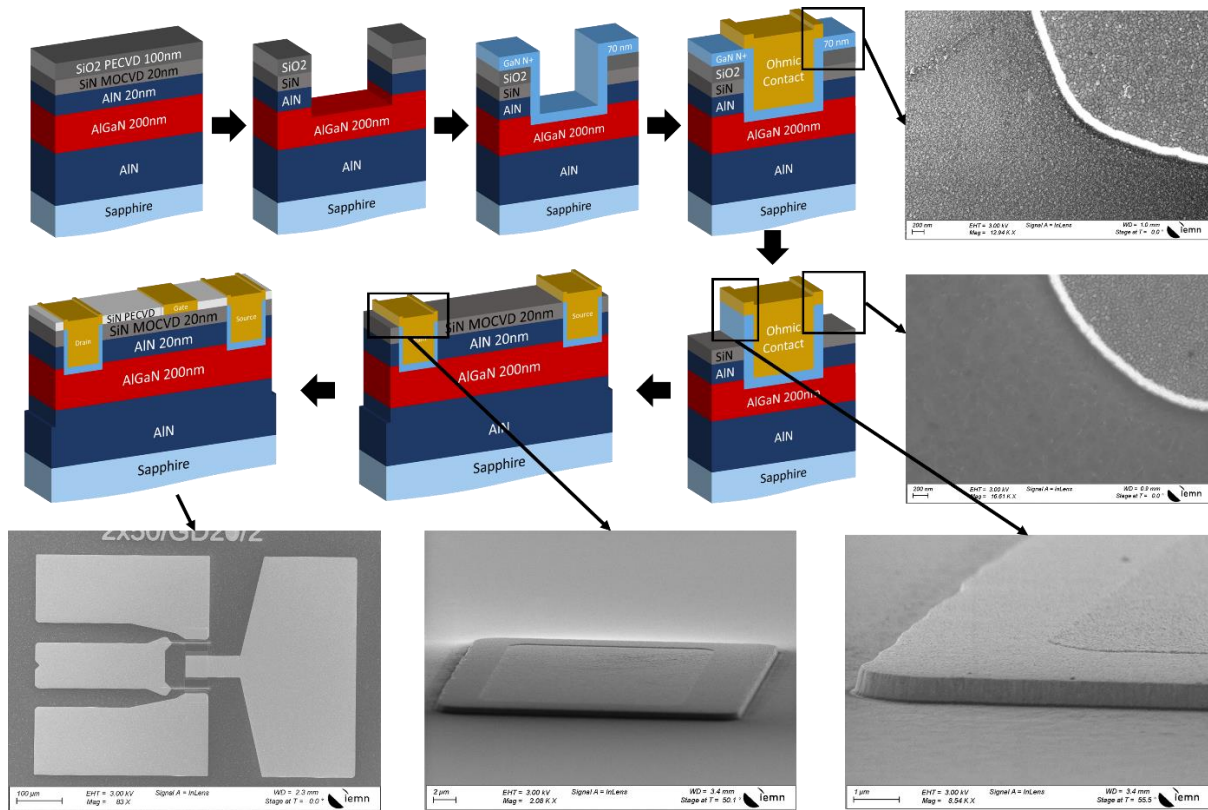


Figure 4.32 : Schéma du procédé de recroissance des contacts ohmiques des HEMT AlN/AlGaIn/AlN.

Un masque SiO₂ est d'abord déposé par dépôt chimique en phase vapeur assisté par plasma (PECVD), suivi de l'ouverture des contacts ohmiques par lithographie optique et gravure sèche à base de SF₆. Une coupe transversale schématique de chaque étape ainsi que des images MEB apparaissent sur la Figure 4.32. L'hétérostructure a ensuite été gravée dessous les contacts par gravure sèche à base de Cl₂ à une profondeur de 90 nm. Avant de placer les échantillons dans le bâti MBE pour la croissance de 70 nm de GaN n+ ($5 \times 10^{19} \text{ cm}^{-3}$), la surface gravée a été traitée dans une solution et rincée à l'eau désionisée afin de désoxyder la surface. On peut remarquer qu'une grande fenêtre a été laissée ouverte afin de permettre le suivi RHEED pendant la croissance MBE comme on peut le voir sur la Figure 4.33. Après la recroissance, le masque SiO₂ est retiré dans une solution de HF dilué. Les contacts ont été réalisés par évaporation d'un stack de métal Ti/Au pour former les contacts ohmiques. Les grilles Ni/Au et les pads métalliques Ti/Au complètent la fabrication des transistors. Enfin, une passivation PECVD SiN de 100 nm a été déposée.

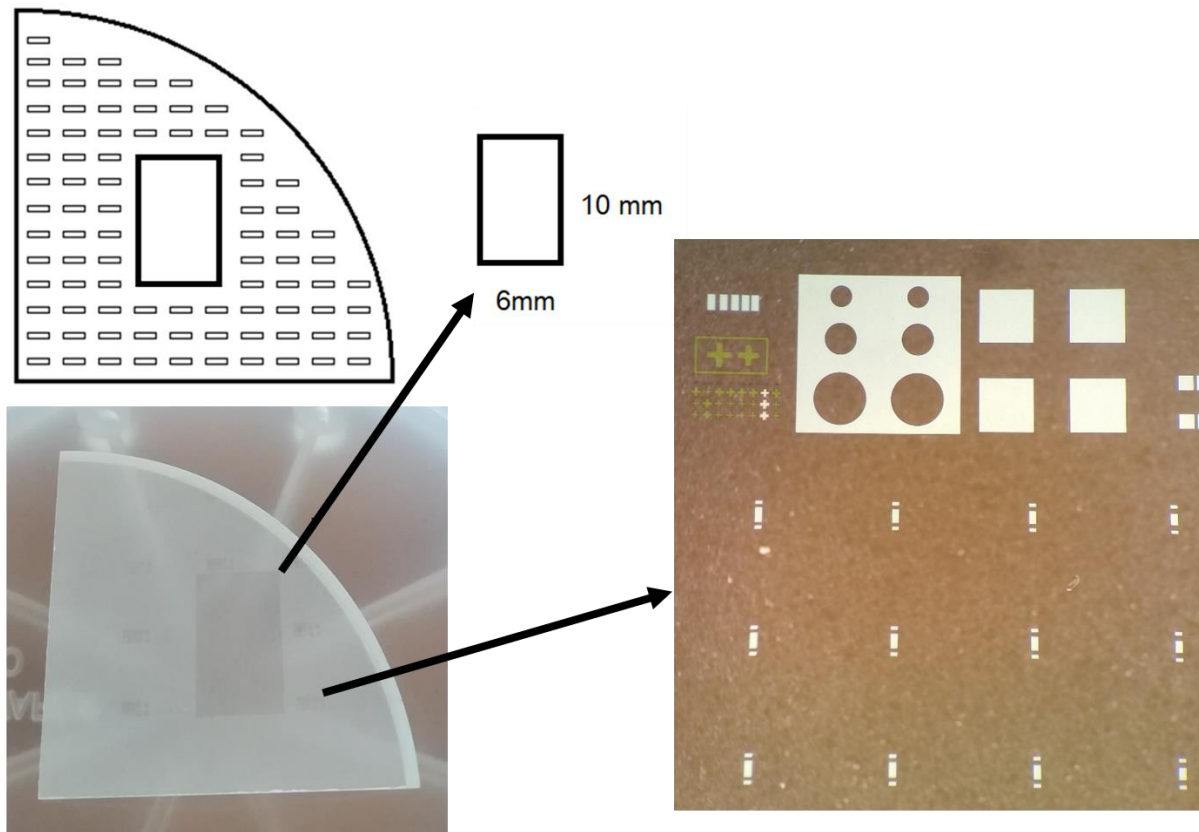


Figure 4.33 : Images optiques de l'échantillon (1/4 de 2 pouces) utilisé pour la recroissance du contact ohmique montrant la grande fenêtre laissée pour le contrôle RHEED pendant la recroissance MBE.

Echantillon	Epaisseur de barrière	Type de contact ohmique	R_c ($\Omega \cdot \text{mm}$)	R_{sheet} (Ω)	N_s (cm^{-2})	Mobilité ($\text{cm}^2/\text{V.s}$)
1	20nm AlN	Recuit	45	2260	$1,9 \times 10^{13}$	145
2	20nm AlN	Recroissance (sans recuit)	13	1990	$2,1 \times 10^{13}$	149

Tableau 4.3 : Résistances de contact et mesures par effet Hall obtenues sur la structure à 20 nm d'épaisseur de barrière avec et sans recroissance des contacts.

La résistance de contact totale, mesurée à partir d'une structure TLM, est de 13 $\Omega \cdot \text{mm}$ contre 45 $\Omega \cdot \text{mm}$ dans le cas de la gravure partielle de la barrière, comme indiquée sur le Tableau 4.3. La réduction des résistances de contact a été vérifiée au niveau des transistors. Tous les composants présentent un faible courant de fuite et un pincement abrupt. Les caractéristiques de sortie des transistors avec recroissance des contacts non-recuits montrent une augmentation significative de la densité de courant au-dessus de 100 mA/mm par rapport aux composants avec une barrière partiellement gravée et des contacts recuits (voir Figure 4.34). Ceci résulte clairement de la chute drastique des résistances de contact de près d'un facteur 3. La tenue en tension du buffer et des transistors à $V_{GS} = -19\text{V}$ en fonction des distances de contact ont été mesurées. La recroissance n'a clairement aucun impact sur les performances à haute tension (voir Figure 3.35). Les tensions de claquage latéral du buffer et sur transistors à l'état bloqué s'avère similaire avec et sans recroissance des contacts, avec par exemple

une tension de claquage de 4300V et un courant de fuite à l'état bloqué inférieur à 1 $\mu\text{A}/\text{mm}$ pour un $\text{GD} = 40 \mu\text{m}$. Par conséquent, la couche de GaN n+ n'a pas altéré les propriétés du matériau tout en permettant une amélioration significative des contacts ohmiques et de la densité de courant à canal ouvert associée, passant d'environ 40 mA/mm à plus de 100 mA/mm .

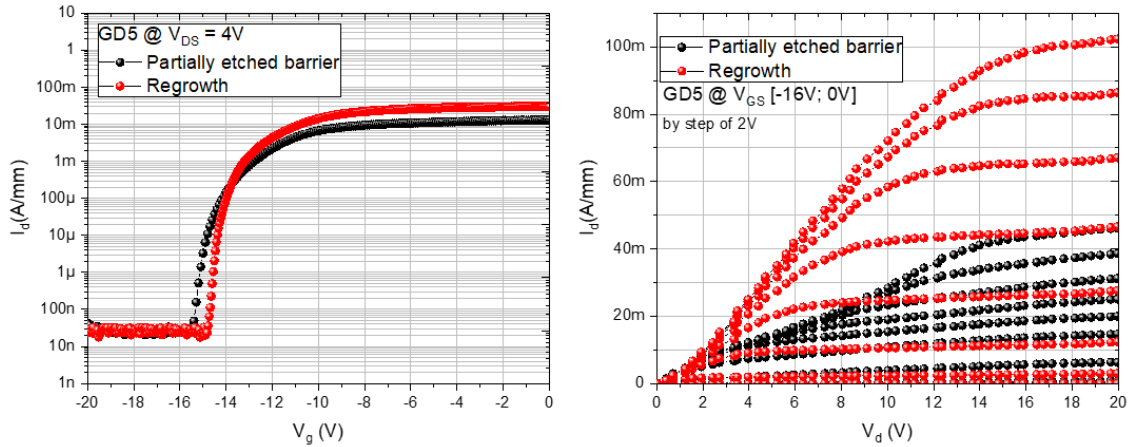


Figure 4.34 : Caractéristiques de transfert (gauche) et de sortie (droite) de HEMTs AlN/AlGaIn/AlN pour une distance grille-drain de 5 μm utilisant une recroissance des contacts ohmiques (rouge) et une barrière partiellement gravée (noir).

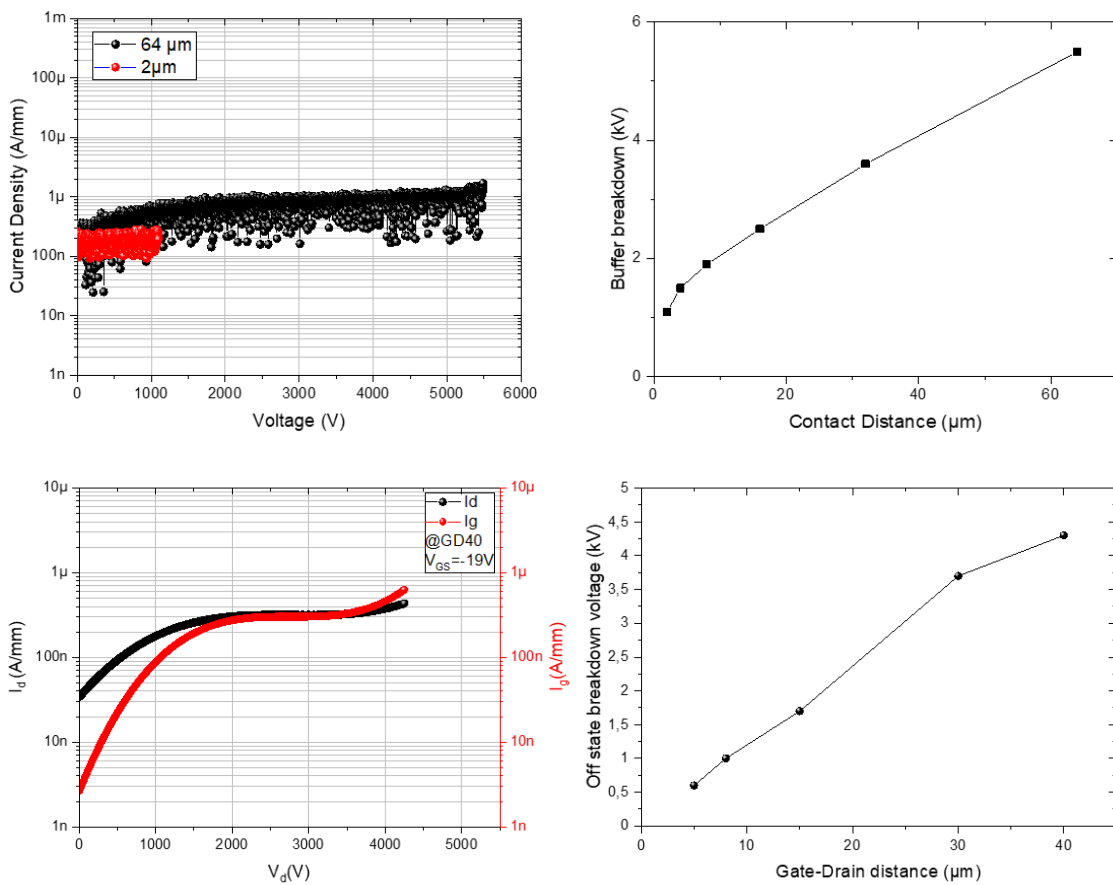


Figure 4.35 : Tension de claquage latéral sur des contacts isolés et tension de claquage sur transistors pour différents GD de HEMTs AlN/AlGaIn/AlN avec recroissance des contacts ohmiques.

CONCLUSION DU CHAPITRE 4

Dans ce chapitre, nous avons mené une étude de l'épaisseur du canal GaN sur une hétérostructure AlGa_N/Ga_N/Al_N. Un canal fin sur transistors à base d'Al_N permet de délivrer un R_{ON} relativement faible tout en bénéficiant d'un champ de claquage élevé. Une passivation appropriée doit être implémentée afin de tirer parti des propriétés de l'Al_N au niveau des transistors.

Nous avons également évalué une structure à canal AlGa_N riche en Al combinée au matériau Al_N. Nous avons démontré une tenue en tension ainsi qu'une stabilité en température sans précédent sur une hétérostructure Al_N/AlGa_N/Al_N utilisant un taux d'Al de 50% dans le canal lié à l'augmentation du champ électrique critique par rapport aux HEMTs Ga_N standards. Ces résultats préliminaires soulignent l'intérêt des HEMTs à base d'Al_N en termes de stabilité thermique et de fonctionnement potentiel à haute tension. Un procédé de fabrication incluant des contacts ohmiques par recroissance d'une couche Ga_N fortement dopée sous les contacts nous a permis de réduire les résistances de contact de manière significative et ainsi augmenter la densité de courant à l'état passant.

Cependant, des efforts significatifs doivent être menés afin d'améliorer la qualité et l'uniformité des cristaux de cette nouvelle filière. De même, le comportement dynamique lié aux effets de piégeage par le biais de mesures pulsées et/ou autres types de mesures électriques doit être analysé. Cela permettra d'optimiser la qualité du matériau et du procédé de fabrication associé.

CONCLUSION GENERALE

Depuis 1973, la consommation mondiale d'énergie a plus que doublé. Les énergies renouvelables (solaire, éolienne et géothermique) connaissent une croissance rapide mais ne représentent qu'une petite partie de la consommation totale d'énergie mondiale. Par conséquent, des travaux de recherche visant à améliorer l'efficacité des systèmes de conversion, responsable en partie des pertes d'énergies sont activement menés. Dans le premier chapitre, nous avons présenté le contexte de l'électronique de puissance, en décrivant l'historique des composants de puissance jusqu'à l'émergence des transistors AlGaIn/GaN à haute mobilité électronique. Nous avons ensuite décrit les différentes propriétés de ce matériau, la structure typique d'un HEMT AlGaIn/GaN ainsi que les étapes de fabrication des transistors. De plus, nous avons présenté les applications potentielles pour différentes gammes de tension. Nous avons montré qu'actuellement les transistors à base de GaN sont commercialisés uniquement pour des gammes de tension inférieures à 650V. Cette technologie est donc limitée, pour le moment, à des applications en-dessous de 800V. Des verrous technologiques empêchent la montée en tension tels que la fiabilité des transistors liée principalement aux effets de pièges responsables de la dégradation de la résistance à l'état passant R_{ON} en régime dynamique et la conduction parasite à l'interface avec le substrat. Dans le cadre de cette thèse, nous avons développé différentes approches innovantes permettant de repousser la tension de claquage de cette filière en prenant en compte les effets de pièges.

Nous avons d'abord tenté de comprendre le comportement électrique d'une croissance épitaxiale complexe de GaN sur substrat Si. Pour ce faire, nous avons décomposé le buffer au travers de 3 structures où la croissance a été arrêtée à différents niveaux permettant de mettre en évidence le rôle des différentes couches. Ensuite, nous avons évalué une nouvelle architecture de buffer composée de super-réseaux (paires AlN/GaN ultrafines) visant un fonctionnement au-delà du kilovolt. La fabrication de transistors sur ce type de buffer a montré non seulement un claquage vertical accru par comparaison avec des transistors réalisés sur un buffer commercial plus classique mais aussi en minimisant les effets de pièges, y compris à haute tension (au-delà du kilovolt) et à haute température (150°C). Cette amélioration est attribuée à la fois à la meilleure qualité cristalline de l'épitaxie liée à l'implémentation des super-réseaux et à une incorporation de carbone réduite expliquant les faibles effets de pièges. Nous avons également développé un procédé de fabrication permettant d'obtenir des transistors de type normally-off par l'utilisation d'une couche GaN dopée p sous la grille sur ce même buffer. Une tenue en tension, à l'état de l'art, de 1400V à $V_g = 0V$ sur des transistors avec substrat à la masse a ainsi été obtenue.

Dans le but de repousser les limites imposées par le substrat Si, nous avons développé et optimisé un procédé de gravure localisée du substrat (GLS) après fabrication des composants en face avant. L'objectif est de supprimer la conduction parasite à l'interface après gravure totale du substrat et ainsi améliorer la tenue en tension des transistors. Un dépôt épais d'AlN PVD est réalisé en face arrière afin de permettre la métallisation en face en arrière sans dégrader la tenue en tension. Afin de compenser la diffusion thermique, fortement réduite après gravure du Si, nous avons déposé une couche métallique de Cu en face arrière au sein des zones gravées. Cette approche a donné lieu à des

transistors délivrant des tensions de claquage jusqu'à 3 kV. L'impact du procédé GLS vis-à-vis des pièges a été quantifié à l'aide de mesures de *back-gating*. Nous avons démontré une réduction remarquable des effets de pièges confirmée par l'amélioration du temps de recouvrement du courant de drain après stress électrique pour différentes polarisations. Cela indique qu'une grande partie du piégeage des électrons sous forte polarisation se produit à l'interface entre la couche de nucléation en AlN et le substrat en Si. Nous avons évalué le profil thermique des transistors avant et après GLS par thermométrie Raman et par thermo-réflectance transitoire, montrant une augmentation de la température de jonction de près de 40% après dépôt de métal contre 80% avant dépôt du métal. De plus, nous avons analysé les contraintes du canal GaN par photoluminescence qui a montré une réduction des contraintes résiduelles, offrant la possibilité d'optimiser cette approche sur de larges dimensions. C'est pourquoi, nous avons pu appliquer le procédé GLS sur de larges transistors industriels avec développement de grille de 140 mm. L'optimisation et l'adaptation du procédé de fabrication nous a permis de quasiment doubler la tension de claquage, sans effet de piège additionnel et tout en maintenant un courant important.

Dans le dernier chapitre, nous avons réalisé quelques études préliminaires de structures à base de matériaux à ultra large bande interdite. Ces matériaux émergents pourraient permettre, dans un futur proche, de créer une rupture dans le domaine de l'électronique de puissance compte tenu de leurs propriétés exceptionnelles. Une analyse de l'épaisseur du canal GaN au sein d'une structure AlGaIn/GaN sur substrat AlN massif a permis de démontrer qu'un canal GaN plus fin réduit son impact sur la tenue en tension, permettant de tirer parti des propriétés de l'AlN. Une seconde étude sur une structure à canal AlGaIn à fort taux d'Al nous a permis d'atteindre des tensions de claquage sans précédent ($> 4,5$ kV) sur ce type de transistors. Des mesures en température ont également été réalisées montrant une excellente stabilité. Néanmoins, une limitation majeure des HEMTs à canaux AlGaIn riche en Al est la résistance de contact ohmique élevée en grande partie dû à la faible mobilité électronique. Afin de réduire les résistances de contacts et améliorer le niveau de courant à l'état passant, une recroissance d'une couche GaN fortement dopée n+ sous les contacts a été réalisée avec succès.

PERSPECTIVES ET FUTURS TRAVAUX

1. FIABILITE DES TRANSISTORS GAN A 1200 V AVEC BUFFER SUPER RESEAUX : MESURES DYNAMIQUES ET VIEILLISSEMENT

L'amélioration de la tenue en tension verticale (au-delà de 1200 V) couplée à de faibles effets de pièges par l'utilisation d'un buffer à super-réseaux est très encourageante. On peut rappeler que cette tension d'opération n'est toujours pas accessible actuellement pour les transistors GaN et uniquement couverte par les composants SiC et silicium. Néanmoins, il est nécessaire de réaliser des mesures électriques en régime dynamique (conditions d'utilisation opérationnelles) afin de démontrer toutes les potentialités de cette structure à 1200 V. Ce type de mesure est extrêmement important pour les applications de puissance et d'autant plus pour les composants HEMT GaN-sur-Si qui souffrent du phénomène de dégradation de R_{ON} dynamique, en raison des pièges dans la structure et des états de surfaces liés au procédé de fabrication. Ainsi, la dégradation éventuelle en régime dynamique du R_{ON} et les effets de piégeage du transistor pourront être mesurés en fonction de divers paramètres, dont la tension de polarisation à l'état OFF et le temps de stress. À faible polarisation à l'état passant, le dépiégeage se produit et les valeurs de R_{ON} diminuent jusqu'à la valeur de référence (Figure 5.1). En parallèle, des mesures de vieillissement à cette même tension seront nécessaires afin de confirmer l'absence de phénomènes parasites à long terme.

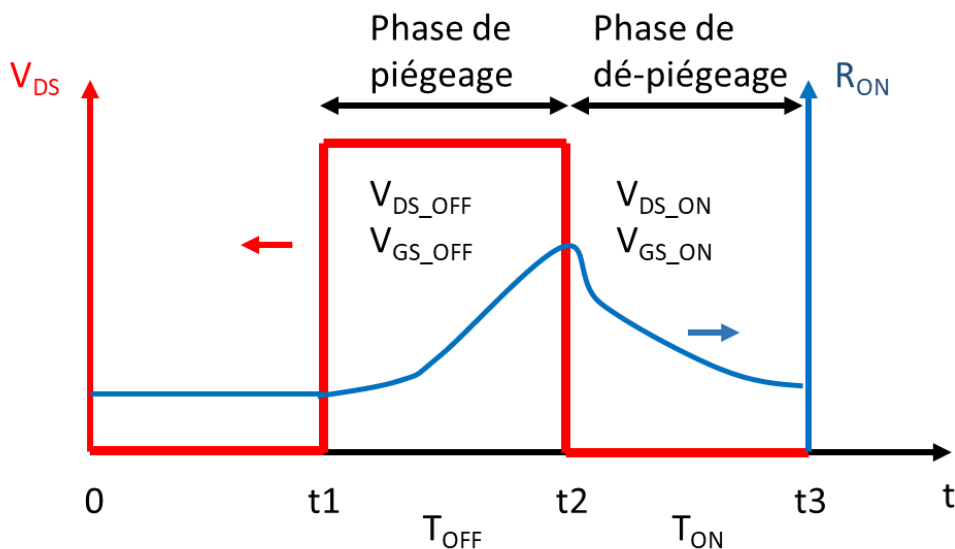


Figure 5.1 : Mesures de commutation d'un HEMT GaN.

Un autre élément clé sera l'évaluation des performances thermiques qui sont déterminantes pour les applications de puissance. On peut, par exemple, remarquer que la solution développée récemment par l'IMEC en collaboration avec la compagnie QROMIS [177] dégrade fortement la dissipation thermique comparée au buffer sur substrat de silicium. Cela sera certainement un verrou pour la démonstration de transistors larges à fort courant (plusieurs dizaines d'Ampères).

2. PROCÉDE DE FABRICATION DE TRANSISTORS NORMALLY OFF INNOVANTS SANS GRAVURE DE LA COUCHE GAN DOPEE P

Dans le cas des structures à grilles p-GaN (Fig. 5.2a), l'amélioration du procédé de fabrication est nécessaire, notamment au niveau de l'étape de gravure non sélective de la couche p-GaN qui a un impact négatif sur les performances des transistors. En effet, le fait de graver localement toute la couche p-GaN implique de laisser la barrière à l'air libre pendant une certaine période avant passivation, introduisant des impuretés en surface ainsi qu'une oxydation de la barrière. Ce genre d'impuretés génère des états de surface, assimilés à des pièges responsables de la dégradation de R_{ON} . De plus, on peut également rappeler que cette gravure est non sélective avec la couche barrière et donc particulièrement critique en termes de précision de gravure puisqu'une sur-gravure dégrade les résistances d'accès. Pour cette raison, une approche alternative sans gravure de la couche p-GaN serait intéressante.

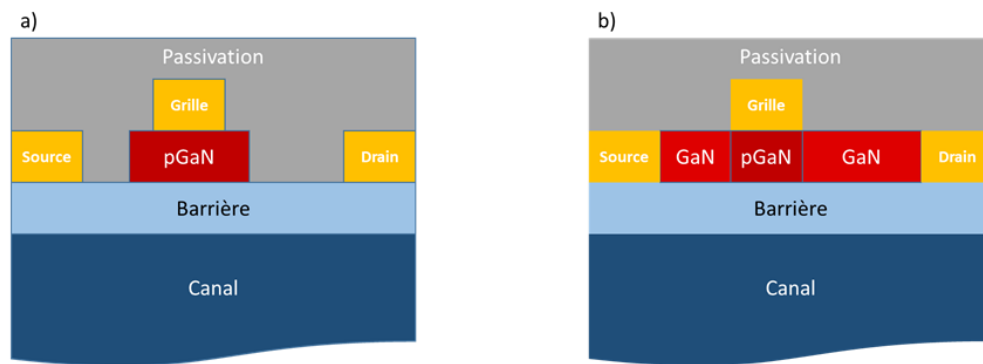


Figure 5.2 : Représentation schématique du procédé de fabrication standard a) et nouveau procédé b).

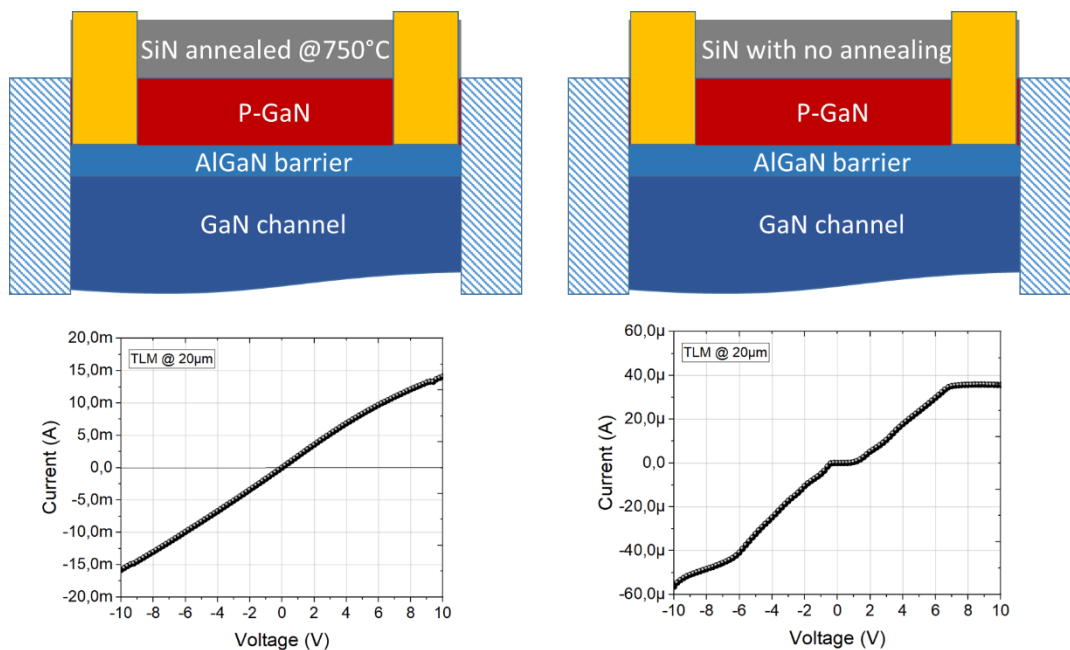


Figure 5.3 : Mesures I(V) de TLMs espacées de 20µm d'une structure p-GaN/AlGaIn/GaN passivée en SiN PECVD avec (à gauche) et sans (à droite) recuit à 750°C.

L'approche que nous proposons est basée sur la « désactivation » locale du dopage Mg de la couche p-GaN en dehors des régions de grille au moyen d'un traitement d'hydrogène permettant d'éviter la gravure physique de cette couche. En effet, sous certaines conditions, les atomes d'hydrogène permettent de passiver les accepteurs de Mg dans la couche p-GaN par la formation de complexes Mg-H [178]. Nous avons vérifié expérimentalement cette passivation des accepteurs de Mg aux travers de mesures I(V) sur des TLMs espacées de 20 μm déposées sur une structure p-GaN/AlGaN/GaN passivée en SiN PECVD avec et sans recuit à 750°C (Fig. 5.3). Nous avons clairement constaté l'effet du recuit de SiN sur la conductivité de la couche p-GaN, rendu possible par la diffusion de l'hydrogène après recuit, provenant de la passivation SiN. Cela se traduit par un contact ohmique sans gravure de la couche p-GaN entre les TLMs. Des transistors seront fabriqués basés sur cette approche afin d'évaluer le bénéfice de l'absence de gravure sur leur comportement dynamique.

3. UTILISATION DU PROCÉDE DE GRAVURE LOCALISÉE DU SUBSTRAT POUR LE DÉVELOPPEMENT DE TRANSISTORS VERTICAUX

Dans le cadre d'un nouveau projet Européen H2020 de type ECSEL à l'IEMN, le consortium souhaite développer une nouvelle classe de transistors GaN de puissance verticaux basée sur l'approche de gravure localisée du substrat décrite dans cette thèse. Le développement de ces MOSFETs verticaux à base de GaN combine les avantages des transistors verticaux à large bande interdite permettant potentiellement une montée en tension plus importante avec un encombrement réduit comparés aux transistors latéraux tout en maintenant un faible coût de la technologie établie sur silicium.

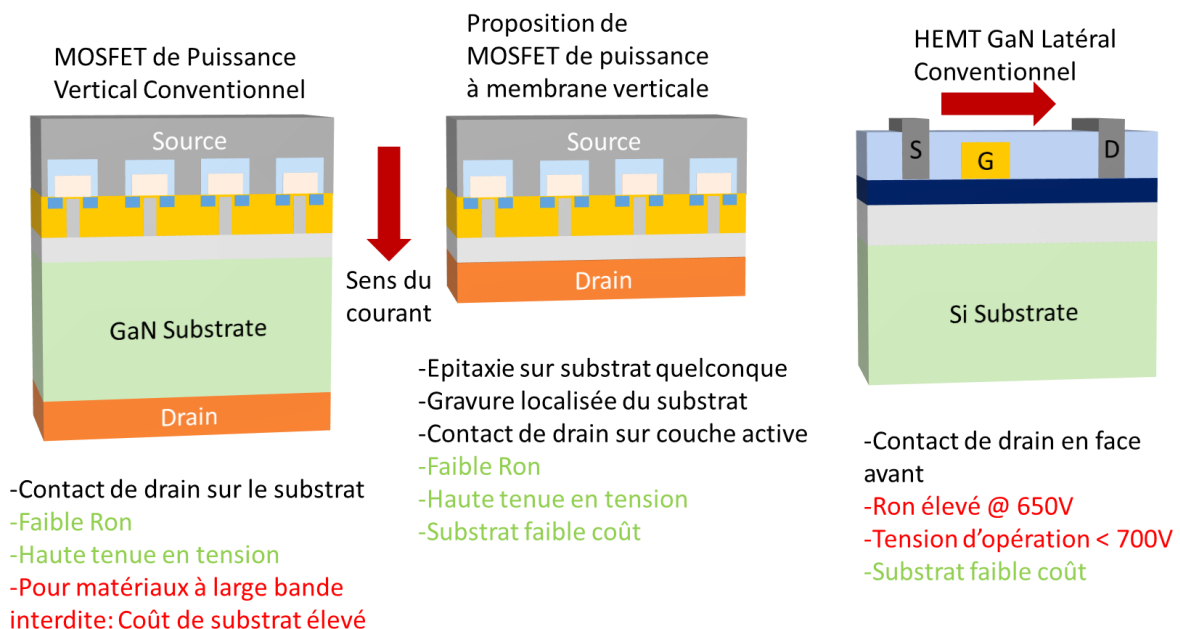


Figure 5.4 : Comparaison d'architectures de transistors de puissance vertical conventionnel, à membrane vertical proposé et latéral à base de GaN.

Le fonctionnement du composant vertical est rendu possible par l'élimination sélective du substrat localement ainsi que des couches de transition afin de contacter électriquement les couches actives par la face arrière. Cela permettra d'obtenir un véritable transistor à membrane verticale comprenant tous les avantages inhérents à cette architecture, comme le montre la Figure 5.4. On peut également noter que cette approche permet la réalisation de différents types de transistors à membranes verticales tels que le Trench-MOS, VD-MOS ou FinFET (voir Fig. 5.5).

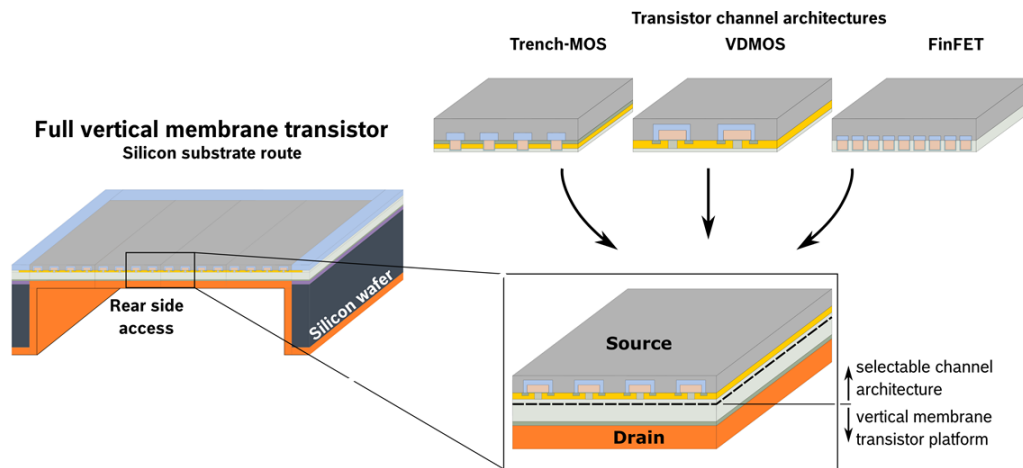


Figure 5.5 : Transistor à membrane pouvant permettre la réalisation de différentes architectures.

4. DEVELOPPEMENT DE TRANSISTORS DE PUISSANCE A BASE DE UWBG

Une voie à suivre pour repousser les limites des composants de puissance GaN et SiC est le domaine des matériaux à UWBG. L'AlN est clairement un candidat attractif compte tenu de ses propriétés remarquables en termes de tenue en tension et de dissipation thermique. Cette thématique est encore à l'état émergent mais il ne fait aucun doute que les recherches sur ce sujet vont s'accroître. La croissance de ces matériaux (AlN, AlGaN riche en Al) est encore immature et des efforts importants sont nécessaires afin de bénéficier pleinement de ces nouvelles filières. A court terme, au-delà de l'amélioration de la croissance, notamment par la réduction de la densité de défauts, il sera nécessaire d'effectuer des études paramétriques telles que l'épaisseur et la nature de la barrière, le taux d'Al dans la barrière et dans le canal avec des croissances réalisées sur substrat AlN massif. Il est important de poursuivre les études préliminaires entamées dans cette thèse sur ce sujet. La Figure 5.6 présente un exemple de lot d'échantillons qui sera étudié prochainement. Il est composé d'une variation du taux d'Al dans la barrière et dans le canal choisi sur la base de simulations. Un point clé sur ce type d'hétérostructures sera de réduire la résistance des contacts ohmiques qui reste un verrou critique. La recroissance de couche GaN n+ ou l'implantation ionique sous les contacts pourraient permettre de surmonter ce problème.

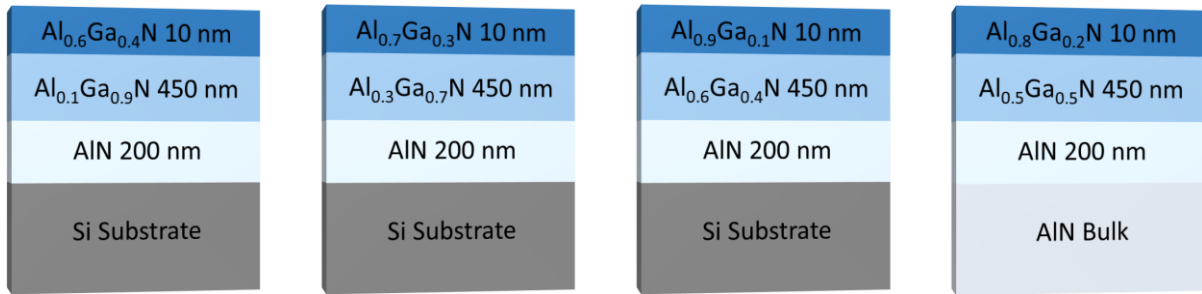


Figure 5.6 : Schéma des structures HEMTs à canaux AlGaN sur substrat Si et AlN présentant différents taux d'Al dans la barrière et le canal.

Il sera également intéressant de compléter l'étude sur la variation de l'épaisseur du canal sur substrat AlN. La Figure 5.7 présente un schéma de la structure. Cette étude devrait nous permettre d'approfondir nos connaissances sur les mécanismes de claquage au sein de cette filière.



Figure 5.7 : Schéma de structure AlGaN/AlN sur substrat AlN.

REFERENCES

- [1] R. G. Arns, "The other transistor: early history of the metal-oxide semiconductor field-effect transistor," *Eng. Sci. Educ. J.*, vol. 7, no. 5, p. 1998.
- [2] D. E. H. and W. W. T. W. F. Brinkman, "A History of the Invention of the Transistor and Where It Will Lead Us," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, 1997.
- [3] M. Bhuyan, "History and Evolution of CMOS Technology and its Application in Semiconductor Industry," *SEU Journal of Science and Engineering*, vol. 11. pp. 28–42, 2017.
- [4] T. Mimura, "The early history of the high electron mobility transistor (HEMT)," *IEEE Trans. Microw. Theory Tech.*, vol. 50, no. 3, pp. 780–782, 2002, doi: 10.1109/22.989961.
- [5] M. Takashi, H. Satoshi, F. Toshio, and N. Kazuo, "A New Field-Effect Transistor with Selectively Doped GaAs / n-Al_xGa_{1-x}As Heterojunctions," *Jpn. J. Appl. Phys.*, vol. 19, 1980.
- [6] U. K. Mishra, P. Parikh, and Y. F. Wu, "AlGaIn/GaN HEMTs - An overview of device operation and applications," *Proc. IEEE*, vol. 90, no. 6, pp. 1022–1031, 2002, doi: 10.1109/JPROC.2002.1021567.
- [7] "Efficient Power Conversion Corporation EPC2023," https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2023_datasheet.pdf.
- [8] "Efficient Power Conversion Corporation EPC2012C," https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2012C_datasheet.pdf.
- [9] "Efficient Power Conversion Corporation EPC2108," https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2108_datasheet.pdf.
- [10] "Transphorm TP65H035G4WS," <https://www.transphormusa.com/en/document/datasheet-tp65h035g4ws-650v-gan-fet/>.
- [11] "Transphorm TP65H300G4LSG," <https://www.transphormusa.com/en/document/datasheet-tp65h300g4lsg-2/>.
- [12] "Infineon IGT40R070D1 E8220," https://www.infineon.com/dgdl/Infineon-IGT40R070D1%20E8220-DataSheet-v02_01-EN.pdf?fileId=5546d4626afcd350016b269dd8f34ec4.
- [13] "Infineon IGT60R070D1," https://www.infineon.com/dgdl/Infineon-IGT60R070D1-DataSheet-v02_12-EN.pdf?fileId=5546d46265f064ff016686028dd56526.
- [14] "Panasonic PGA26E06BA," https://industrial.panasonic.com/content/data/SC/ds/ds4/PGA26E06BA_E.pdf.
- [15] "Yole Entering a new era," http://www.yole.fr/iso_album/illus_compoundsemimarketmonitor_enteringanewera_yole_march2020.jpg.
- [16] "Yole Quarterly Market Monitor–Q2, 2020," http://www.yole.fr/iso_upload/News/2020/PR_COMPOUND_SEMI_QUARTERLY_MARKET_MONITOR_YOLE_June2020.pdf.
- [17] "Yole Market revenue," http://www.yole.fr/iso_album/illus_emerging_semiconductor_substrates_marketrevenue_yole_june2019.jpg.

- [18] J. Y. Tsao *et al.*, "Ultrawide-Bandgap Semiconductors: Research Opportunities and Challenges," *Adv. Electron. Mater.*, vol. 4, no. 1, 2018, doi: 10.1002/aelm.201600501.
- [19] J. He, "Comparison between the ultra-wide band gap semiconductor algan and gan," *IOP Conf. Ser. Mater. Sci. Eng.*, vol. 738, no. 1, 2020, doi: 10.1088/1757-899X/738/1/012009.
- [20] T. Razzak *et al.*, "Ultra-wide band gap materials for high frequency applications," *2018 IEEE MTT-S Int. Microw. Work. Ser. Adv. Mater. Process. RF THz Appl. IMWS-AMP 2018*, pp. 17–19, 2018, doi: 10.1109/IMWS-AMP.2018.8457144.
- [21] D. Schikora, M. Hankeln, D. As, K. Lischka, T. Litz, and A. Waag, "Epitaxial growth and optical transitions of cubic GaN films," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 54, no. 12, pp. R8381–R8384, 1996, doi: 10.1103/PhysRevB.54.R8381.
- [22] O. L. and B. Monemar, "Variation of lattice parameters in GaN with stoichiometry and doping," *Phys. Rev. B*, vol. 19, no. 6, pp. 3064–3070, 1979.
- [23] C. Y. Yeh, Z. W. Lu, S. Froyen, and A. Zunger, "Zinc-blendewurtzite polytypism in semiconductors," *Phys. Rev. B*, vol. 46, no. 16, pp. 10086–10097, 1992, doi: 10.1103/PhysRevB.46.10086.
- [24] S. H. Park and S. L. Chuang, "Comparison of zinc-blende and wurtzite GaN semiconductors with spontaneous polarization and piezoelectric field effects," *J. Appl. Phys.*, vol. 87, no. 1, pp. 353–364, 2000, doi: 10.1063/1.371915.
- [25] T. Wonglakhon and D. Zahn, "Interaction potentials for modelling GaN precipitation and solid state polymorphism," *J. Phys. Condens. Matter*, vol. 32, no. 20, 2020, doi: 10.1088/1361-648X/ab6cbe.
- [26] T. Li, R. P. Joshi, and C. Fazi, "Monte Carlo evaluations of degeneracy and interface roughness effects on electron transport in AlGaIn-GaN heterostructures," *J. Appl. Phys.*, vol. 88, no. 2, pp. 829–837, 2000, doi: 10.1063/1.373744.
- [27] S. Li, "The atomic struture of inversion domains and grain boundaries in wurtzite semonconductors : an investigation by atomistic modelling and high resolution transmission electron microscopy Siqian Li To cite this version : HAL Id : tel-02064267 The atomic stru," 2019.
- [28] O. Ambacher *et al.*, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- And Ga-face AlGaIn/GaN heterostructures," *J. Appl. Phys.*, vol. 85, no. 6, pp. 3222–3233, 1999, doi: 10.1063/1.369664.
- [29] O. Ambacher *et al.*, "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn/GaN heterostructures," *J. Appl. Phys.*, vol. 87, no. 1, pp. 334–344, 2000, doi: 10.1063/1.371866.
- [30] and A. Y. M. Suzuki, T. Uenoyama, "First-principles calculations of effective-mass parameters of AlN and GaN," *Phys. Rev. B*, vol. 52, 1995.
- [31] S. Chen and G. Wang, "High-field properties of carrier transport in bulk wurtzite GaN: A Monte Carlo perspective," *J. Appl. Phys.*, vol. 103, no. 2, pp. 1–7, 2008, doi: 10.1063/1.2828003.
- [32] N. E. C. and I. Gorczyca, "Optical and structural properties of III-V nitrides under pressure," *Phys. Rev. B*, vol. 50, 1994.
- [33] P. Jonnard, N. Capron, F. Semond, J. Massies, E. Martinez-Guerrero, and H. Mariette, "Electronic structure of wurtzite and zinc-blende AlN," *Eur. Phys. J. B*, vol. 42, no. 3, pp. 351–359, 2004, doi: 10.1140/epjb/e2004-00390-7.

- [34] A. B. F. and F. S. T. Ando, "Electronic properties of two-dimensional systems," *Rev. Mod. Phys.*, vol. 54, no. 2, p. 437, 1982.
- [35] P. Bogusławski and J. Bernholc, "Doping properties of C, Si, and Ge impurities in GaN and AlN," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 56, no. 15, pp. 9496–9505, 1997, doi: 10.1103/PhysRevB.56.9496.
- [36] A. Cremades, L. Görgens, O. Ambacher, M. Stutzmann, and F. Scholz, "Structural and optical properties of Si-doped GaN," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 61, no. 4, pp. 2812–2818, 2000, doi: 10.1103/PhysRevB.61.2812.
- [37] Isamu Akasaki, Hiroshi Amano, Masahiro Kito, and Kazumasa Hiramatsu, "Photoluminescence of Mg-doped p-type GaN and electroluminescence of GaN p-n junction LED," *J. Lumin.*, vol. 48–49, no. PART 2, pp. 666–670, 1991, doi: 10.1016/0022-2313(91)90215-H.
- [38] M. Asif Khan, J. N. Kuznia, D. T. Olson, M. Blasingame, and A. R. Bhattarai, "Schottky barrier photodetector based on Mg-doped p-type GaN films," *Appl. Phys. Lett.*, vol. 63, no. 18, pp. 2455–2456, 1993, doi: 10.1063/1.110473.
- [39] S. Nakamura, T. Mukai, M. Senoh, and N. Iwasa, "Thermal annealing effects on P-type Mg-doped GaN films," *Jpn. J. Appl. Phys.*, vol. 31, no. 2, pp. 139–142, 1992, doi: 10.1143/JJAP.31.L139.
- [40] L. Amichi, "Etude du dopage de type p dans des nanostructures de GaN par corrélation entre sondeatomique tomographique et holographie électronique hors axe optique," *Sci. des matériaux-Université Grenoble Alpes*, 2018.
- [41] R. S. Pengelly, S. M. Wood, J. W. Milligan, S. T. Sheppard, and W. L. Pribble, "A review of GaN on SiC high electron-mobility power transistors and MMICs," *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 6 PART 2, pp. 1764–1783, 2012, doi: 10.1109/TMTT.2012.2187535.
- [42] M. G. T. Chow, "SiC power devices," *MRS Online Proc. Libr. Arch.*, vol. 423, 1996.
- [43] B. Ozpineci, *Comparison of Wide-Bandgap Semiconductors for Power Electronics Applications*. 2004.
- [44] H. Choi, "Overview of Silicon Carbide Power Devices," *Syst. Appl. Eng. - Fairchild Semicond.*, 2016.
- [45] T. Boles, "GaN-on-Silicon - Present capabilities and future directions," *AIP Conf. Proc.*, vol. 1934, no. February, 2018, doi: 10.1063/1.5024484.
- [46] and N. S. A. K. Agarwal, S. S. Mani, S. Seshadri, J. B. Cassady, P. A. Sanger, C. D. Brandt, "SiC power devices," *Nav. Res. Rev.*, vol. 51, no. 14, 1999.
- [47] K. Shenai, R. S. Scott, and B. J. Baliga, "Optimum semiconductors for high-power electronics," *IEEE Trans. Electron Devices*, vol. 36, no. 9, pp. 1811–1823, 1989, doi: 10.1109/16.34247.
- [48] T. P. Chow, "High-voltage SiC and GaN power devices," *Microelectron. Eng.*, vol. 83, no. 1, pp. 112–122, 2006.
- [49] M. F. Fatahilah, K. Stempel, F. Yu, S. Vodapally, A. Waag, and H. S. Wasisto, "3D GaN nanoarchitecture for field-effect transistors," *Micro Nano Eng.*, vol. 3, no. May, pp. 59–81, 2019, doi: 10.1016/j.mne.2019.04.001.
- [50] O. Deblecker, Z. De Grève, and C. Versèle, "Comparative Study of Optimally Designed DC-DC Converters with SiC and Si Power Devices," *Adv. Silicon Carbide Devices Process.*, no. September, 2015, doi: 10.5772/61018.

- [51] E. K. S. and J. I. Pankove, "THERMAL CONDUCTIVITY OF GaN, 25-360," *J. Phys. Chem. Solids*, vol. 38, p. 330, 1977.
- [52] S. D. Lester, F. A. Ponce, M. G. Craford, and D. A. Steigerwald, "High dislocation densities in high efficiency GaN-based light-emitting diodes," *Appl. Phys. Lett.*, vol. 1249, no. August 1998, p. 1249, 1995, doi: 10.1063/1.113252.
- [53] M. Haeberlen, D. Zhu, C. McAleese, M. J. Kappers, and C. J. Humphreys, "Dislocation reduction in MOVPE grown GaN layers on (111)Si using SiN_x and AlGa_xN layers," *J. Phys. Conf. Ser.*, vol. 209, 2010, doi: 10.1088/1742-6596/209/1/012017.
- [54] E. C. S. M. Abstracts, "Defect Reduction through Confined Epitaxy of GaN on SiC," *ECS Meet. Abstr.*, 2009, doi: 10.1149/ma2009-02/30/2330.
- [55] S. A. Kukushkin, A. V. Osipov, V. N. Bessolov, B. K. Medvedev, V. K. Nevolin, and K. A. Tcarik, "Substrates for epitaxy of gallium nitride: New materials and techniques," *Rev. Adv. Mater. Sci.*, vol. 17, no. 1–2, pp. 1–32, 2008.
- [56] M. B. and H. A. A. Tanaka, K. Nagamatsu, S. Usami, M. Kushimoto, M. Deki, S. Nitta, Y. Honda, "V-shaped dislocations in a GaN epitaxial layer on GaN substrate," *AIP Adv.*, vol. 9, 2019.
- [57] L. Pan, X. Dong, Z. Li, W. Luo, and J. Ni, "Influence of the AlN nucleation layer on the properties of AlGa_xN/GaN heterostructure on Si (1 1 1) substrates," *Appl. Surf. Sci.*, vol. 447, pp. 512–517, 2018, doi: 10.1016/j.apsusc.2018.04.001.
- [58] J. Lu *et al.*, "Transmorphic epitaxial growth of AlN nucleation layers on SiC substrates for high-breakdown thin GaN transistors," *Appl. Phys. Lett.*, vol. 115, no. 22, 2019, doi: 10.1063/1.5123374.
- [59] J. Derluyn, "Materials and Epigrowths for wide bandgap semiconductor devices," *InRel Summer Sch. Present.*, 2017.
- [60] J. C. Choton, A. Begum, and J. K. Saha, "Design and characterization of 2DEG structure of a gallium nitride HEMT," *1st Int. Conf. Robot. Electr. Signal Process. Tech. ICREST 2019*, pp. 486–489, 2019, doi: 10.1109/ICREST.2019.8644147.
- [61] X. G. He, D. G. Zhao, and D. S. Jiang, "Formation of two-dimensional electron gas at AlGa_xN/GaN heterostructure and the derivation of its sheet density expression," *Chinese Phys. B*, vol. 24, no. 6, 2015, doi: 10.1088/1674-1056/24/6/067301.
- [62] W. Lu, V. Kumar, R. Schwindt, E. Piner, and I. Adesida, "A comparative study of surface passivation on AlGa_xN/GaN HEMTs," *Solid. State. Electron.*, vol. 46, no. 9, pp. 1441–1444, 2002, doi: 10.1016/S0038-1101(02)00089-8.
- [63] Y. Xia *et al.*, "Effects of the cap layer on the properties of AlN barrier HEMT grown on 6-inch Si(111) substrate," *Mater. Res. Express*, vol. 7, no. 6, 2020, doi: 10.1088/2053-1591/ab96f5.
- [64] A. Gupta, N. Chatterjee, P. Kumar, and S. Pandey, "Effect of Surface Passivation on the Electrical Characteristics of Nanoscale AlGa_xN/GaN HEMT," *IOP Conf. Ser. Mater. Sci. Eng.*, vol. 225, p. 012095, 2017, doi: 10.1088/1757-899x/225/1/012095.
- [65] J.-C. Z. Q. Feng, L.-M. Li, Y. Hao, J.-Y. Ni, "The improvement of ohmic contact of Ti/Al/Ni/Au to AlGa_xN/GaN HEMT by multi-step annealing method," *Solid. State. Electron.*, vol. 53, pp. 955–958, 2009.
- [66] C. Wang and N. Y. Kim, "Electrical characterization and nanoscale surface morphology of optimized Ti/Al/Ta/Au ohmic contact for AlGa_xN/GaN HEMT," *Nanoscale Res. Lett.*, vol. 7, pp. 1–8, 2012, doi: 10.1186/1556-276X-7-107.

- [67] S. Ruvimov, Z. Liliental-weber, J. Washburn, K. J. Duxstad, E. E. Haller, and L. Berkeley, "Microstructure of Ti / Al and Ti / Al / Ni / Au Ohmic contacts for n-AlGaIn," *Appl. Phys. Lett.*, vol. 73, no. 18, pp. 2582–2584, 1996.
- [68] Z. Fan, S. N. Mohammad, W. Kim, Ö. Aktas, A. E. Botchkarev, and H. Morkoç, "Very low resistance multilayer Ohmic contact to n-GaN," *Appl. Phys. Lett.*, vol. 68, no. 12, pp. 1672–1674, 1996, doi: 10.1063/1.115901.
- [69] J. S. Foresi and T. D. Moustakas, "Metal contacts to gallium nitride," *Appl. Phys. Lett.*, vol. 62, no. 22, pp. 2859–2861, 1993, doi: 10.1063/1.109207.
- [70] M. Asif Khan, J. N. Kuznia, A. R. Bhattarai, and D. T. Olson, "Metal semiconductor field effect transistor based on single crystal GaN," *Appl. Phys. Lett.*, vol. 62, no. 15, pp. 1786–1787, 1993, doi: 10.1063/1.109549.
- [71] Y. Zhu, W. Cao, Y. Fan, Y. Deng, and C. Xu, "Effects of rapid thermal annealing on ohmic contact of AlGaIn/GaN HEMTs," *J. Semicond.*, vol. 35, no. 2, 2014, doi: 10.1088/1674-4926/35/2/026004.
- [72] L. Song *et al.*, "Influence factors and temperature reliability of ohmic contact on AlGaIn/GaN HEMTs," *AIP Adv.*, vol. 8, no. 3, 2018, doi: 10.1063/1.5024803.
- [73] J. Liu, J. Wang, H. Wang, L. Zhu, and W. Wu, "Improved Ohmic-contact to AlGaIn/GaN using Ohmic region recesses by self-terminating thermal oxidation assisted wet etching technique," *J. Phys. Conf. Ser.*, vol. 864, no. 1, 2017, doi: 10.1088/1742-6596/864/1/012019.
- [74] A. F. B. de C. and E. M. F. G.-P. Flores, J. A. Bardwell, S. Moisa, S. Haffouz, H. Tang, "Surface cleaning and preparation in AlGaIn/GaN-based HEMT processing as assessed by X-ray photoelectron spectroscopy," *Appl. Surf. Sci.*, vol. 25, no. 14, 2017.
- [75] Y. F. Wu *et al.*, "Low resistance ohmic contact to n-GaN with a separate layer method," *Solid. State. Electron.*, vol. 41, no. 2 SPEC. ISS., pp. 165–168, 1997, doi: 10.1016/s0038-1101(96)00151-7.
- [76] M. Meer, A. Rawat, K. Takhar, S. Ganguly, and D. Saha, "Interface dynamics in ohmic contact optimization on AlGaIn/GaN heterostructure by the formation of TiN," *Microelectron. Eng.*, vol. 219, no. October 2019, p. 111144, 2020, doi: 10.1016/j.mee.2019.111144.
- [77] J. C. Gerbedoen *et al.*, "Study of ohmic contact formation on AlGaIn/GaN HEMT with AlN spacer on silicon substrate," *Eur. Microw. Week 2009, EuMW 2009 Sci. Prog. Qual. Radiofreq. Conf. Proc. - 4th Eur. Microw. Integr. Circuits Conf. EuMIC 2009*, no. September, pp. 136–139, 2009.
- [78] S. S. Mahajan, A. Dhaval, R. Laishram, S. Kapoor, S. Vinayak, and B. K. Sehgal, "Micro-structural evaluation of Ti/Al/Ni/Au ohmic contacts with different Ti/Al thicknesses in AlGaIn/GaN HEMTs," *Mater. Sci. Eng. B Solid-State Mater. Adv. Technol.*, vol. 183, no. 1, pp. 47–53, 2014, doi: 10.1016/j.mseb.2013.12.005.
- [79] G. V. and M. Y. A. Crespo, R. Fitch, J. Gillespie, N. Moser, "Ti/Al/Ni/Au Ohmic Contacts on AlGaIn/GaN HEMTs," *Int. Conf. Compd. Semicond.*, 2003.
- [80] W. Yan, R. Zhang, Y. Du, W. Han, and F. Yang, "Analysis of the ohmic contacts of Ti/Al/Ni/Au to AlGaIn/GaN HEMTs by the multi-step annealing process," *J. Semicond.*, vol. 33, no. 6, 2012, doi: 10.1088/1674-4926/33/6/064005.
- [81] Q. Z. Liu, L. S. Yu, S. S. Lau, J. M. Redwing, N. R. Perkins, and T. F. Kuech, "Thermally stable PtSi Schottky contact on n-GaN," *Appl. Phys. Lett.*, vol. 70, no. 10, pp. 1275–1277, 1997, doi: 10.1063/1.118551.

- [82] D. Visalli *et al.*, "Investigation of light-induced deep-level defect activation at the AlN/Si interface," *Appl. Phys. Express*, vol. 4, no. 9, pp. 5–8, 2011, doi: 10.1143/APEX.4.094101.
- [83] M. Meneghini, A. Tajalli, P. Moens, A. Banerjee, E. Zanoni, and G. Meneghesso, "Trapping phenomena and degradation mechanisms in GaN-based power HEMTs," *Mater. Sci. Semicond. Process.*, vol. 78, no. October 2017, pp. 118–126, 2018, doi: 10.1016/j.mssp.2017.10.009.
- [84] P. Vigneshwara Raja, J. C. Nallatamby, N. DasGupta, and A. DasGupta, "Trapping effects on AlGaIn/GaN HEMT characteristics," *Solid. State. Electron.*, vol. 176, no. November 2020, p. 107929, 2021, doi: 10.1016/j.sse.2020.107929.
- [85] B. Dong *et al.*, "Trap behaviours characterization of AlGaIn/GaN high electron mobility transistors by room-temperature transient capacitance measurement," *AIP Adv.*, vol. 6, no. 9, 2016, doi: 10.1063/1.4963740.
- [86] Z. H. Liu, G. I. Ng, H. Zhou, S. Arulkumaran, and Y. K. T. Maung, "Reduced surface leakage current and trapping effects in AlGaIn/GaN high electron mobility transistors on silicon with SiN/ Al₂O₃ passivation," *Appl. Phys. Lett.*, vol. 98, no. 11, pp. 1–4, 2011, doi: 10.1063/1.3567927.
- [87] T. Hashizume, K. Nishiguchi, S. Kaneki, J. Kuzmik, and Z. Yatabe, "State of the art on gate insulation and surface passivation for GaN-based power HEMTs," *Mater. Sci. Semicond. Process.*, vol. 78, no. September 2017, pp. 85–95, 2018, doi: 10.1016/j.mssp.2017.09.028.
- [88] J. Madan, R. Pandey, H. Arora, and R. Chaujar, "Analysis of Varied Dielectrics as Surface Passivation on AlGaIn/GaN HEMT for Analog Applications," *2018 6th Ed. Int. Conf. Wirel. Networks Embed. Syst. WECON 2018 - Proc.*, pp. 15–18, 2018, doi: 10.1109/WECON.2018.8782074.
- [89] C. Liu, E. F. Chor, and L. S. Tan, "Enhanced device performance of AlGaIn/GaN HEMTs using HfO₂ high-k dielectric for surface passivation and gate oxide," *Semicond. Sci. Technol.*, vol. 22, no. 5, pp. 522–527, 2007, doi: 10.1088/0268-1242/22/5/011.
- [90] Y. Pei, S. Rajan, M. Higashiwaki, Z. Chen, S. P. DenBaars, and U. K. Mishra, "Effect of dielectric thickness on power performance of AlGaIn/GaN HEMTs," *IEEE Electron Device Lett.*, vol. 30, no. 4, pp. 313–315, 2009, doi: 10.1109/LED.2009.2012444.
- [91] T. C. and X. Y. J. Ni, Z. Li, C. Kong, J. Zhou, "Study on parasitic conductive layer in GaN on Si substrate," *Electronics*, vol. 33, no. 4, pp. 312–316, 2013.
- [92] H. Chandrasekar, K. N. Bhat, M. Rangarajan, S. Raghavan, and N. Bhat, "Thickness Dependent Parasitic Channel Formation at AlN/Si Interfaces," *Sci. Rep.*, vol. 7, no. 1, pp. 1–10, 2017, doi: 10.1038/s41598-017-16114-w.
- [93] E. Dogmus, M. Zegaoui, and F. Medjdoub, "GaN-on-silicon high-electron-mobility transistor technology with ultra-low leakage up to 3000 v using local substrate removal and AlN ultra-wide bandgap," *Appl. Phys. Express*, vol. 11, no. 3, 2018, doi: 10.7567/APEX.11.034102.
- [94] M. and S. K. N. Ikeda, S. Kaya, J. Li, T. Kokawa, M., "High-power AlGaIn/GaN MIS-HFETs with field-plates on Si substrates," *21st Int. Symp. Power Semicond. Devices IC's*, 2009.
- [95] N. Ikeda *et al.*, "Over 1.7 kV normally-off GaN hybrid MOS-HFETs with a lower on-resistance on a Si substrate," *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 284–287, 2011, doi: 10.1109/ISPSD.2011.5890846.
- [96] I.-K. Y. and K. K. I. Hwang, H. Choi, J. Lee, H. S. Choi, J. Kim, J. Ha, C.-Y. Um, S.-K. Hwang, J. Oh, J.-Y. Kim, J. K. Shin, Y. Park, U. Chung, "1.6kV, 2.9 mΩ cm² normally-off p-GaN HEMT device," *24th Int. Symp. Power Semicond. Devices ICs*, 2012.

- [97] H. Transistor *et al.*, "Low On-Resistance Normally-Off GaN Double-Channel Metal – Oxide – Semiconductor," vol. 36, no. 12, pp. 1287–1290, 2015.
- [98] J. J. Freedman *et al.*, "Normally OFF Al₂O₃/AlGa_N/Ga_N Metal–Oxide–Semiconductor High-Electron-Mobility Transistor on 8in. Si with Low Leakage Current and High Breakdown Voltage (825V)," *Appl. Phys. Express*, vol. 041003, no. 825 V, pp. 7–10, 2014.
- [99] Y. Uemoto *et al.*, "Gate injection transistor (GIT) - A normally-off AlGa_N/Ga_N power transistor using conductivity modulation," *IEEE Trans. Electron Devices*, vol. 54, no. 12, pp. 3393–3399, 2007, doi: 10.1109/TED.2007.908601.
- [100] B. Lu and T. Palacios, "High breakdown (>1500 V) AlGa_N/Ga_N HEMTs by substrate-transfer technology," *IEEE Electron Device Lett.*, vol. 31, no. 9, pp. 951–953, 2010, doi: 10.1109/LED.2010.2052587.
- [101] J. M. and E. Matioli, "High Performance Tri-Gate Ga_N Power MOSHEMTs on Silicon Substrate," *IEEE Electron Device Lett.*, vol. 38, no. 3, 2017.
- [102] Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. Denbaars, and U. K. Mishra, "High breakdown voltage achieved on AlGa_N/Ga_N HEMTs with integrated slant field plates," *IEEE Electron Device Lett.*, vol. 27, no. 9, pp. 713–715, 2006, doi: 10.1109/LED.2006.881020.
- [103] Z. Zhang *et al.*, "Studies on high-voltage Ga_N-on-Si MIS-HEMTs using LPCVD Si₃N₄ as gate dielectric and passivation layer," *IEEE Trans. Electron Devices*, vol. 63, no. 2, pp. 731–738, 2016, doi: 10.1109/TED.2015.2510445.
- [104] T. O. and H. O. W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, I. Omura, "High breakdown voltage AlGa_N-Ga_N power-HEMT design and high current density switching behavior," *IEEE Trans. Electron Devices*, vol. 50, no. 12, 2003.
- [105] S. Arulkumaran, S. Vicknesh, G. I. Ng, Z. H. Liu, M. Bryan, and C. H. Lee, "Low specific on-resistance AlGa_N/AlN/Ga_N high electron mobility transistors on high resistivity silicon substrate," *Electrochem. Solid-State Lett.*, vol. 13, no. 5, 2010, doi: 10.1149/1.3339068.
- [106] M. J. Anand *et al.*, "Low specific ON-resistance and high figure-of-merit AlGa_N/Ga_N HEMTs on Si substrate with non-gold metal stacks," *Device Res. Conf. - Conf. Dig. DRC*, vol. 4, no. 2011, pp. 53–54, 2013, doi: 10.1109/DRC.2013.6633789.
- [107] M. Van Hove *et al.*, "CMOS process-compatible high-power low-leakage AlGa_N/Ga_N MISHEMT on silicon," *IEEE Electron Device Lett.*, vol. 33, no. 5, pp. 667–669, 2012, doi: 10.1109/LED.2012.2188016.
- [108] A. Tajalli *et al.*, "Dynamic-ron control via proton irradiation in AlGa_N/Ga_N transistors," *Proc. Int. Symp. Power Semicond. Devices ICs*, vol. 2018-May, pp. 92–95, 2018, doi: 10.1109/ISPSD.2018.8393610.
- [109] N. Herbecq *et al.*, "1900V, 1.6mWcm² AlN/Ga_N-on-Si power devices realized by local substrate removal," *Appl. Phys. Express*, vol. 7, no. 3, pp. 6–9, 2014, doi: 10.7567/APEX.7.034103.
- [110] H. Umeda *et al.*, "Blocking-voltage boosting technology for Ga_N transistors by widening depletion layer in Si substrates," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 480–483, 2010, doi: 10.1109/IEDM.2010.5703400.
- [111] M. J. Uren *et al.*, "'leaky Dielectric' Model for the Suppression of Dynamic RON in Carbon-Doped AlGa_N/Ga_N HEMTs," *IEEE Trans. Electron Devices*, vol. 64, no. 7, pp. 2826–2834, 2017, doi: 10.1109/TED.2017.2706090.

- [112] A. G. Devices, C. Zhou, Q. Jiang, S. Huang, K. J. Chen, and S. Member, "Vertical Leakage / Breakdown Mechanisms in Vertical Leakage / Breakdown Mechanisms in AlGa_N / GaN-on-Si Devices," no. February, pp. 245–248, 2016.
- [113] Y. C. Choi, L. F. Eastman, and M. Pophristic, "Effects of an Fe-doped GaN buffer in AlGa_N/GaN power HEMTs on Si substrate," *ESSDERC 2006 - Proc. 36th Eur. Solid-State Device Res. Conf.*, vol. 53, no. 12, pp. 282–285, 2006, doi: 10.1109/ESSDER.2006.307693.
- [114] H. S. Kang *et al.*, "Effect of multiple carbon-doped/undoped GaN buffer layer on current collapse in AlGa_N/GaN HEMTs," no. September, pp. 3–5, 2015, doi: 10.7567/ssdm.2013.j-4-3.
- [115] N. Zagni, A. Chini, F. M. Puglisi, P. Pavan, and G. Verzellesi, "The Role of Carbon Doping on Breakdown, Current Collapse, and Dynamic On-Resistance Recovery in AlGa_N/GaN High Electron Mobility Transistors on Semi-Insulating SiC Substrates," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 217, no. 7, pp. 1–5, 2020, doi: 10.1002/pssa.201900762.
- [116] S. Besendörfer *et al.*, "Vertical breakdown of GaN on Si due to V-pits," *J. Appl. Phys.*, vol. 127, no. 1, 2020, doi: 10.1063/1.5129248.
- [117] M. Meneghini *et al.*, "Buffer traps in Fe-doped AlGa_N/GaN HEMTs: Investigation of the physical properties based on pulsed and transient measurements," *IEEE Trans. Electron Devices*, vol. 61, no. 12, pp. 4070–4077, 2014, doi: 10.1109/TED.2014.2364855.
- [118] G. Verzellesi *et al.*, "Influence of buffer carbon doping on pulse and AC behavior of insulated-gate field-plated power AlGa_N/GaN HEMTs," *IEEE Electron Device Lett.*, vol. 35, no. 4, pp. 443–445, 2014, doi: 10.1109/LED.2014.2304680.
- [119] A. Tajalli *et al.*, "High breakdown voltage and low buffer trapping in superlattice gan-on-silicon heterostructures for high voltage applications," *Materials (Basel)*, vol. 13, no. 19, 2020, doi: 10.3390/MA13194271.
- [120] R. Kabouche *et al.*, "Low On-Resistance and Low Trapping Effects in 1200 V Superlattice GaN-on-Silicon Heterostructures," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 217, no. 7, pp. 2–7, 2020, doi: 10.1002/pssa.201900687.
- [121] P. Srivastava *et al.*, "Silicon substrate removal of GaN DHFETs for enhanced (>1100 V) breakdown voltage," *IEEE Electron Device Lett.*, vol. 31, no. 8, pp. 851–853, 2010, doi: 10.1109/LED.2010.2050673.
- [122] A. Asgari and M. Kalafi, "The control of two-dimensional-electron-gas density and mobility in AlGa_N/GaN heterostructures with Schottky gate," *Mater. Sci. Eng. C*, vol. 26, no. 5–7, pp. 898–901, 2006, doi: 10.1016/j.msec.2005.09.002.
- [123] X. Huang, Z. Liu, Q. Li, and F. C. Lee, "Evaluation and application of 600 v GaN HEMT in cascode structure," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2453–2461, 2014, doi: 10.1109/TPEL.2013.2276127.
- [124] X. Huang, Q. Li, Z. Liu, and F. C. Lee, "Analytical loss model of high voltage GaN HEMT in cascode configuration," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2208–2219, 2014, doi: 10.1109/TPEL.2013.2267804.
- [125] G. Sorrentino, M. Melito, A. Patti, G. Parrino, and A. Raciti, "GaN HEMT devices: Experimental results on normally-on, normally-off and cascode configuration," *IECON Proc. (Industrial Electron. Conf.)*, pp. 816–821, 2013, doi: 10.1109/IECON.2013.6699239.

- [126] K. J. Chen *et al.*, "Physics of fluorine plasma ion implantation for GaN normally-off HEMT technology," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 1, pp. 465–468, 2011, doi: 10.1109/IEDM.2011.6131585.
- [127] and B. Z. Zhili Zhang, Kai Fu, Xuguang Deng, Xiaodong Zhang, Yaming Fan, Shichuang Sun, Liang Song, Zheng Xing, Wei Huang, Guohao Yu, Yong Cai, "Normally Off AlGa_N / GaN MIS-High-Electron Mobility Transistors Fabricated by Using Low Pressure Chemical Vapor Deposition Fluorine Ion Implantation," *IEEE ELECTRON DEVICE Lett.*, vol. 36, no. 11, pp. 1128–1131, 2015.
- [128] C. H. Wu *et al.*, "Normally-OFF GaN MIS-HEMT with F-Doped Gate Insulator Using Standard Ion Implantation," *IEEE J. Electron Devices Soc.*, vol. 6, no. April, pp. 893–899, 2018, doi: 10.1109/JEDS.2018.2859769.
- [129] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, and I. Omura, "Recessed-gate structure approach toward normally off high-voltage AlGa_N/Ga_N HEMT for power electronics applications," *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 356–362, 2006, doi: 10.1109/TED.2005.862708.
- [130] S. D. Burnham *et al.*, "Gate-recessed normally-off GaN-on-Si HEMT using a new O₂-BCl₃ digital etching technique," *Phys. Status Solidi Curr. Top. Solid State Phys.*, vol. 7, no. 7–8, pp. 2010–2012, 2010, doi: 10.1002/pssc.200983644.
- [131] T. Oka and T. Nozawa, "AlGa_N/Ga_N recessed MIS-Gate HFET with high-threshold-voltage normally-off operation for power electronics applications," *IEEE Electron Device Lett.*, vol. 29, no. 7, pp. 668–670, 2008, doi: 10.1109/LED.2008.2000607.
- [132] O. Hilt, F. Brunner, E. Cho, A. Knauer, E. Bahat-Treidel, and J. Wurfl, "Normally-off high-voltage p-GaN gate Ga_N HFET with carbon-doped buffer," *Proc. Int. Symp. Power Semicond. Devices ICs*, no. 50, pp. 239–242, 2011, doi: 10.1109/ISPSD.2011.5890835.
- [133] M. Meneghini, O. Hilt, J. Wurfl, and G. Meneghesso, "Technology and reliability of normally-off Ga_N HEMTs with p-type gate," *Energies*, vol. 10, no. 2, 2017, doi: 10.3390/en10020153.
- [134] and F. G. P. Fiorenza, G. Greco, "Effects of interface states and near interface traps on the threshold voltage stability of Ga_N and SiC transistors employing SiO₂ as gate dielectric," *J. Vac. Sci. Technol. B*, vol. 35, no. 1, 2016.
- [135] G. Greco, F. Giannazzo, A. Frazzetto, V. Raineri, and F. Roccaforte, "Near-surface processing on AlGa_N/Ga_N heterostructures: A nanoscale electrical and structural characterization," *Nanoscale Res. Lett.*, vol. 6, no. 1, pp. 1–7, 2011, doi: 10.1186/1556-276x-6-132.
- [136] K. J. Chen and C. Zhou, "Enhancement-mode AlGa_N/Ga_N HEMT and MIS-HEMT technology," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 208, no. 2, pp. 434–438, 2011, doi: 10.1002/pssa.201000631.
- [137] A. Lorenz *et al.*, "Influence of thermal anneal steps on the current collapse of fluorine treated enhancement mode Si_N/AlGa_N/Ga_N HEMTs," *Phys. Status Solidi Curr. Top. Solid State Phys.*, vol. 6, no. SUPPL. 2, pp. 996–998, 2009, doi: 10.1002/pssc.200880838.
- [138] G. Greco, F. Iucolano, and F. Roccaforte, "Review of technology for normally-off HEMTs with p-GaN gate," *Mater. Sci. Semicond. Process.*, vol. 78, no. October 2017, pp. 96–106, 2018, doi: 10.1016/j.mssp.2017.09.027.
- [139] M. Meneghini *et al.*, "Gate stability of Ga_N-Based HEMTs with P-Type Gate," *Electron.*, vol. 5, no. 2, pp. 1–8, 2016, doi: 10.3390/electronics5020014.

- [140] I. Hwang *et al.*, "P-GaN Gate HEMTs with tungsten gate metal for high threshold voltage and low gate current," *IEEE Electron Device Lett.*, vol. 34, no. 2, pp. 202–204, 2013, doi: 10.1109/LED.2012.2230312.
- [141] I. C. Kizilyalli, P. Bui-Quang, D. Disney, H. Bhatia, and O. Aktas, "Reliability studies of vertical GaN devices based on bulk GaN substrates," *Microelectron. Reliab.*, vol. 55, no. 9–10, pp. 1654–1661, 2015, doi: 10.1016/j.microrel.2015.07.012.
- [142] D. Visalli *et al.*, "(Invited) GaN-on-Si For High-Voltage Applications," *ECS Trans.*, vol. 41, no. 8, pp. 101–112, 2019, doi: 10.1149/1.3631489.
- [143] S. Arulkumaran, T. Egawa, S. Matsui, and H. Ishikawa, "Enhancement of breakdown voltage by AlN buffer layer thickness in AlGaNGaN high-electron-mobility transistors on 4 in. diameter silicon," *Appl. Phys. Lett.*, vol. 86, no. 12, pp. 1–3, 2005, doi: 10.1063/1.1879091.
- [144] D. Visalli *et al.*, "Experimental and simulation study of breakdown voltage enhancement of AlGaNGaN heterostructures by Si substrate removal," *Appl. Phys. Lett.*, vol. 97, no. 11, pp. 2–4, 2010, doi: 10.1063/1.3488024.
- [145] G. Meneghesso, M. Meneghini, and E. Zanoni, "Breakdown mechanisms in AlGaNGaN HEMTs: An overview," *Jpn. J. Appl. Phys.*, vol. 53, no. 10, 2014, doi: 10.7567/JJAP.53.100211.
- [146] P. Srivastava *et al.*, "Record breakdown voltage (2200 V) of GaN DHFETs on Si with 2- μ m buffer thickness by local substrate removal," *IEEE Electron Device Lett.*, vol. 32, no. 1, pp. 30–32, 2011, doi: 10.1109/LED.2010.2089493.
- [147] P. Srivastava *et al.*, "Si Trench Around Drain (STAD) technology of GaN-DHFETs on Si substrate for boosting power performance," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 473–476, 2011, doi: 10.1109/IEDM.2011.6131587.
- [148] F. Laermer, A. Engineering, and R. B. Gmbh, "1.08 Dry Etching," pp. 217–233, 2008.
- [149] I. Abid, E. Canato, M. Meneghini, G. Meneghesso, K. Cheng, and F. Medjdoub, "GaN-on-silicon transistors with reduced current collapse and improved blocking voltage by means of local substrate removal," *Appl. Phys. Express*, vol. 14, no. 3, 2021, doi: 10.35848/1882-0786/abdca0.
- [150] G. Pavlidis, D. Mele, T. Cheng, F. Medjdoub, and S. Graham, "The thermal effects of substrate removal on GaN HEMTs using Raman Thermometry," *Proc. 15th Intersoc. Conf. Therm. Thermomechanical Phenom. Electron. Syst. ITherm 2016*, pp. 1255–1260, 2016, doi: 10.1109/ITHERM.2016.7517691.
- [151] G. Pavlidis, S. H. Kim, I. Abid, M. Zegaoui, F. Medjdoub, and S. Graham, "The effects of AlN and copper back side deposition on the performance of etched back GaN/Si HEMTs," *IEEE Electron Device Lett.*, vol. 40, no. 7, pp. 1060–1063, 2019, doi: 10.1109/LED.2019.2915984.
- [152] S. Choi, E. Heller, D. Dorsey, R. Vetury, and S. Graham, "Analysis of the residual stress distribution in AlGaNGaN high electron mobility transistors," *J. Appl. Phys.*, vol. 113, no. 9, 2013, doi: 10.1063/1.4794009.
- [153] H. F. Liu *et al.*, "Influence of stress on structural properties of AlGaNGaN high electron mobility transistor layers grown on 150 mm diameter Si (111) substrate," *J. Appl. Phys.*, vol. 113, no. 2, 2013, doi: 10.1063/1.4774288.
- [154] H. C. Chiu, L. Y. Peng, C. W. Yang, H. C. Wang, Y. M. Hsin, and J. I. Chyi, "Analysis of the back-gate effect in normally OFF p-GaN gate high-electron mobility transistor," *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 507–511, 2015, doi: 10.1109/TED.2014.2377747.

- [155] B. J. Baliga, "Gallium nitride devices for power electronic applications," *Semicond. Sci. Technol.*, vol. 28, no. 7, 2013, doi: 10.1088/0268-1242/28/7/074011.
- [156] K. J. Chen *et al.*, "GaN-on-Si power technology: Devices and applications," *IEEE Trans. Electron Devices*, vol. 64, no. 3, pp. 779–795, 2017, doi: 10.1109/TED.2017.2657579.
- [157] C. Scognamillo, A. P. Catalano, P. Lasserre, C. Duchesne, V. d'Alessandro, and A. Castellazzi, "Combined experimental-FEM investigation of electrical ruggedness in double-sided cooled power modules," *Microelectron. Reliab.*, vol. 114, no. June, p. 113742, 2020, doi: 10.1016/j.microrel.2020.113742.
- [158] T. T. and D. U. Tatsuo Morita, Manabu Yanagihara, Hidetoshi Ishida, Masahiro Hikita, Kazuhiro Kaibara, Hisayoshi Matsuo, Yasuhiro Uemoto, Tetsuzo Ueda, "650V 3.1mOhm.cm² GaN-based Monolithic Bidirectional Switch Using Normally-off Gate Injection Transistor," *IEEE Int. Electron Devices Meet.*, pp. 3–6, 2007.
- [159] E. Bahat-Treidel, O. Hilt, F. Brunner, V. Sidorov, J. Würfl, and G. Tränkle, "AlGaN/GaN/AlGaN DH-HEMTs breakdown voltage enhancement using multiple grating field plates (MGFPs)," *IEEE Trans. Electron Devices*, vol. 57, no. 6, pp. 1208–1216, 2010, doi: 10.1109/TED.2010.2045705.
- [160] R. Kabouche, I. Abid, M. Zegaoui, K. Cheng, and F. Medjdoub, "Demonstration of GaN-on-silicon material system operating up to 3 kilovolts with reduced trapping effects," *CS MANTECH 2019 - 2019 Int. Conf. Compd. Semicond. Manuf. Technol. Dig. Pap.*, vol. 28, no. 720527, pp. 3–4, 2019.
- [161] R. J. Kaplar *et al.*, "Review—Ultra-Wide-Bandgap AlGaN Power Electronic Devices," *ECS J. Solid State Sci. Technol.*, vol. 6, no. 2, pp. Q3061–Q3066, 2017, doi: 10.1149/2.0111702jss.
- [162] T. J. Anderson, J. K. Hite, and F. Ren, "Ultra-Wide Bandgap Materials and Device," *ECS J. Solid State Sci. Technol.*, vol. 6, no. 2, pp. Y1–Y1, 2017, doi: 10.1149/2.0151702jss.
- [163] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, "Development of gallium oxide power devices," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 211, no. 1, pp. 21–26, 2014, doi: 10.1002/pssa.201330197.
- [164] S. J. Pearton *et al.*, "A review of Ga₂O₃ materials, processing, and devices," *Appl. Phys. Rev.*, vol. 5, no. 1, 2018, doi: 10.1063/1.5006941.
- [165] C. J. H. Wort and R. S. Balmer, "Diamond as an electronic material," *Mater. Today*, vol. 11, no. 1–2, pp. 22–28, 2008, doi: 10.1016/S1369-7021(07)70349-8.
- [166] R. C. Powell, G. A. Tomasch, Y. W. Kim, J. A. Thomson, and J. E. Greene, "Diamond, Silicon Carbide and Related Wide Band Gap Semiconductors," *MRS Symp. Proc.*, vol. 162, no. August, p. 525, 1990.
- [167] X. Fu, "Aluminum Nitride Wide Band-gap Semiconductor and Its Basic Characteristics," no. Emim, pp. 555–558, 2016, doi: 10.2991/emim-16.2016.117.
- [168] J. Li *et al.*, "Band structure and fundamental optical transitions in wurtzite AlN," *Appl. Phys. Lett.*, vol. 83, no. 25, pp. 5163–5165, 2003, doi: 10.1063/1.1633965.
- [169] J. R. Shealy *et al.*, "An AlGaN/GaN high-electron-mobility transistor with an AlN sub-buffer layer," *J. Phys. Condens. Matter*, vol. 14, no. 13, pp. 3499–3509, 2002, doi: 10.1088/0953-8984/14/13/308.
- [170] N. Yafune, S. Hashimoto, K. Akita, Y. Yamamoto, H. Tokuda, and M. Kuzuhara, "AlN/AlGaN HEMTs on AlN substrate for stable high-temperature operation," *Electron. Lett.*, vol. 50, no. 3, pp. 211–212, 2014, doi: 10.1049/el.2013.2846.

- [171] I. Abid *et al.*, “High lateral breakdown voltage in thin channel AlGaIn/GaN high electron mobility transistors on AlN/Sapphire Templates,” *Micromachines*, vol. 10, no. 10, 2019, doi: 10.3390/mi10100690.
- [172] S. Kume, I. Yamada, K. Watari, I. Harada, and K. Mitsuishi, “High-thermal-conductivity AlN filler for polymer/ceramics composites,” *J. Am. Ceram. Soc.*, vol. 92, no. SUPPL. 1, pp. 153–156, 2009, doi: 10.1111/j.1551-2916.2008.02650.x.
- [173] B. J. B. K. Shenai, R.S. Scott, “Optimum semiconductors for high-power electronics,” *IEEE Trans. Electron Devices*, vol. 36, no. 9, 1989.
- [174] M. A. Hollis, P. W. Juodawlkis, R. J. Kaplar, and W. Street, “Ultrawide-Bandgap Semiconductors : Introduction and Key Parameters (Talk # 1 of 5 for Special Session on UWBG Materials),” *Talk - UWBG Mater. - Spec. Sess.*, pp. 5–7, 2016.
- [175] Y. Wu, D. Kapolnek, J. P. Ibbetson, P. Parikh, B. P. Keller, and U. K. Mishra, “Very-High Power Density AlGaIn / GaN HEMTs,” vol. 48, no. 3, pp. 586–590, 2001.
- [176] T. Kinoshita *et al.*, “Fabrication of vertical Schottky barrier diodes on n-type freestanding AlN substrates grown by hydride vapor phase epitaxy,” *Appl. Phys. Express*, vol. 8, no. 6, pp. 3–6, 2015, doi: 10.7567/APEX.8.061003.
- [177] “GaN takes on SiC with imec breakthrough,” <https://www.eenewseurope.com/news/gan-takes-sic-imec-breakthrough>.
- [178] W. Götz, N. M. Johnson, J. Walker, D. P. Bour, H. Amano, and I. Akasaki, “Hydrogen passivation of Mg acceptors in GaN grown by metalorganic chemical vapor deposition,” *Appl. Phys. Lett.*, vol. 67, no. July 1995, p. 2666, 1995, doi: 10.1063/1.114330.

LISTE DES PUBLICATIONS

Revues internationales à comité de lecture

1. AlGaN channel high electron mobility transistors with regrown ohmic contacts
ABID I., MEHTA J., CORDIER Y., DERLUYN J., DEGROOTE S., MIYAKE H., MEDJDOUB F.
Electronics **10**, 6 (2021) 635 (published march 10, 2021) *doi: 10.3390/electronics10060635*
2. GaN-on-silicon transistors with reduced current collapse and improved blocking voltage by means of local substrate removal
ABID I., CANATO E., MENEGHINI M., MENEGHESSO G., CHENG K., MEDJDOUB F.
Appl. Phys. Express **14**, 3 (2021) 036501 (available online january 18, 2021 ; published february 2021) *doi: 10.35848/1882-0786/abdca0*
3. High breakdown voltage and low buffer trapping in superlattice GaN-on-silicon heterostructures for high voltage applications
TAJALLI A., MENEGHINI M., BESENDORFER S., KABOUCHE R., ABID I., PUSCHE R., DERLUYN J., DEGROOTE S., GERMAIN M., MEISSNER E., ZANONI E., MEDJDOUB F., MENEGHESSO G.
Materials **13**, 19 (2020) 4271, 12 pages (published september 25, 2020)
doi: 10.3390/ma13194271
4. Vertical leakage in GaN-on-Si stacks investigated by a buffer decomposition experiment
TAJALLI A., BORGA M., MENEGHINI M., DE SANTI C., BENAZZI D., BESENDÖRFER S., PUSCHE R., DERLUYN J., DEGROOTE S., GERMAIN M., KABOUCHE R., ABID I., MEISSNER E., ZANONI E., MEDJDOUB F., MENEGHESSO G.
Micromachines **11**, 1 (2020) 101, 9 pages (available online january 17, 2020 ; published january 2020) *doi: 10.3390/mi11010101*
5. High lateral breakdown voltage in thin channel AlGaIn/GaN high electron mobility transistors on AlN/sapphire templates
ABID I., KABOUCHE R., BOUGEROL C., PERNOT J., MASANTE C., COMYN R., CORDIER Y., MEDJDOUB F. Micromachines **10**, 10 (2019) 690, 8 pages (published october 12, 2019)
doi: 10.3390/mi10100690
6. The effects of AlN and copper back side deposition on the performance of etched back GaN/Si HEMTs
PAVLIDIS G., KIM S.H., ABID I., ZEGAOUI M., MEDJDOUB F., GRAHAM S.
IEEE Electron Device Lett. **40**, 7 (2019) 1060-1063 (available online may 9, 2019 ; published july 2019) *doi: 10.1109/LED.2019.2915984*
7. Low on-resistance and low trapping effects in 1200 V superlattice GaN-on-silicon heterostructures
KABOUCHE R., ABID I., PUSCHE R., DERLUYN J., DEGROOTE S., GERMAIN M., TAJALLI A., MENEGHINI M., MENEGHESSO G., MEDJDOUB F.
Phys. Status Solidi A-Appl. Mat. Sci. **217**, 7 (2020) 1900687, 6 pages (available online october 24, 2019 ; published april 2020) *doi: 10.1002/pssa.201900687*

8. Buffer breakdown in GaN-on-Si HEMTs: a comprehensive study based on a sequential growth experiment

BORGA M., MENEGHINI M., BENAZZI D., CANATO E., PUSCHE R., DERLUYN J., ABID I., MEDJDOUB F., MENEGHESSO G., ZANONI E.

Microelectron. Reliab. **100-101** (2019) 113461, 5 pages (available online september 23, 2019 ; published september 2019) doi: 10.1016/j.microrel.2019.113461

Conférences nationales et internationales à comité de lecture et avec proceeding

1. GaN integration on silicon for high power devices

ABID I., KABOUCHE R., MEDJDOUB F.

European Materials Research Society Meeting, E-MRS Fall 2019 , Warsaw, Poland , september 16-19 , 2019 , Symposium B - Integration of advanced materials on silicon: from classical to quantum applications , paper B.II.1

2. Remarkable breakdown voltage on AlN/AlGaN/AlN double heterostructure

ABID I., KABOUCHE R., MEDJDOUB F., BESENDORFER S., MEISSNER E., DERLUYN J., DEGROOTE S., GERMAIN M., MIYAKE H.

Proceedings of 32nd IEEE International Symposium on Power Semiconductor Devices and ICs, ISPSD 2020 , Vienna, Austria , september 13-18 , 2020 , Session B4P-D - GaN Technology and Devices Poster , paper 2115, 310-312, doi: 10.1109/ISPSD46842.2020.9170170

3. Low on-resistance and low trapping effects in 1200 V superlattice GaN-on-silicon heterostructures

KABOUCHE R., ABID I., PUSCHE R., DERLUYN J., DEGROOTE S., GERMAIN M., TAJALLI A., MENEGHINI M., MENEGHESSO G., MEDJDOUB F.

13th International Conference on Nitride Semiconductors 2019, ICNS-13 , Bellevue, WA, USA , july 7-12 , 2019 , Session B02 - Power Devices, paper B02.04

4. AlGaN/GaN high electron mobility transistors with ultra-wide bandgap AlN buffer

ABID I., KABOUCHE R., ZEGAOUI M., BOUGEROL C., COMYN R., CORDIER Y., MEDJDOUB F.

Proceedings of 43rd Workshop on Compound Semiconductor Devices and Integrated Circuits, WOCSDICE 2019 , Cabourg, France , june 17-19 , 2019 , Session 8 - Ultra-wide bandgaps , 52-54

5. Buffer breakdown in GaN-on-Si HEMTs: a comprehensive study based on a sequential growth experiment

BORGA M., MENEGHINI M., BENAZZI D., CANATO E., PUSCHE R., DERLUYN J., ABID I., MEDJDOUB F., MENEGHESSO G., ZANONI E.

30th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, ESREF 2019 , Toulouse, France , september 23-26 , 2019 , Session F2-1 - GaN Devices Reliability, paper F2-1-1

6. Demonstration of GaN-on-silicon material system operating up to 3 kilovolts with reduced trapping effects

KABOUCHE R., ABID I., ZEGAOUI M., CHENG K., MEDJDOUB F.

Proceedings of 2019 International Conference on Compound Semiconductor Manufacturing Technology, CS MANTECH 2019 , Minneapolis, MN, USA , april 29-may 2 , 2019 , Session 9 - GaN Lateral Power Devices , paper 9.2, 4 pages

<https://hal.archives-ouvertes.fr/hal-02356891/>

7. GaN-on-silicon buffer decomposition experiment: analysis of the vertical leakage current

BORGA M., MENEGHINI M., BENAZZI D., PÜSCHE R., DERLUYN J., ABID I., MEDJDOUB F., MENEGHESSO G., ZANONI E.

Proceedings of 43rd Workshop on Compound Semiconductor Devices and Integrated Circuits, WOCS DICE 2019 , Cabourg, France , june 17-19 , 2019 , Session 1 - GaN power devices , 31-32

8. Superlattice GaN-on-silicon heterostructures with low trapping in 1200 V

TAJALLI A., MENEGHINI M., KABOUCHE R., ABID I., ZEGAOUI M., PÜSCHE R., DERLUYN J., DEGROOTE S., GERMAIN M., MEDJDOUB F., MENEGHESSO G.

Proceedings of 43rd Workshop on Compound Semiconductor Devices and Integrated Circuits, WOCS DICE 2019 , Cabourg, France , june 17-19 , 2019 , Session 1 - GaN power devices , 44-45

9. High voltage GaN-on-silicon with low-trapping up to 1200V

TAJALLI A., ABID I., KABOUCHE R., ZEGAOUI M., MENEGHINI M., MENEGHESSO G., ZANONI E., NISHIKAWA A., MEDJDOUB F.

10th International Workshop on Nitride Semiconductors, IWN 2018 , Kanazawa, Japan , november 11-16 , 2018 , Session ED15 - Power Devices II , paper ED15-3

10. Towards low-trapping GaN-on-silicon material system for 1200 V applications

TAJALLI A., ABID I., KABOUCHE R., ZEGAOUI M., MENEGHINI M., MENEGHESSO G., ZANONI E., NISHIKAWA A., MEDJDOUB F.

2018 European Materials Research Society Fall Meeting, E-MRS Fall 2018 , Warsaw, Poland , september 17-20 , 2018 , Symposium R - New frontiers in wide-bandgap semiconductors and heterostructures for electronics, optoelectronics and sensing , paper R.2.2

Articles de presses

1. Kyma materials help IEMN scientists reduce leakage currents in high-voltage GaN-on-Si HEMTs

MEDJDOUB F., ZEGAOUI M., KABOUCHE R., ABID I., DEFAIS T.

Kyma Technologies News, july 30, 2018

2. IEMN demonstrates over 1400V breakdown on ALLOS' new GaN-on-Si epi

MEDJDOUB F., ZEGAOUI M., KABOUCHE R., ABID I., DEFAIS T.

Semiconductor Today, february, 2018

