



Conception et modélisation d'un générateur de fréquences millimétriques par multiplication à grand facteur-N intégrant un circuit de détection de verrouillage pour la calibration automatique de fonctionnalité et performances

Abdessamad Boulmirat

► To cite this version:

Abdessamad Boulmirat. Conception et modélisation d'un générateur de fréquences millimétriques par multiplication à grand facteur-N intégrant un circuit de détection de verrouillage pour la calibration automatique de fonctionnalité et performances. Optique / photonique. Université Grenoble Alpes [2020-..], 2021. Français. NNT : 2021GRALT049 . tel-03505922

HAL Id: tel-03505922

<https://theses.hal.science/tel-03505922>

Submitted on 1 Jan 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE GRENOBLE ALPES

Spécialité : **Optique et radiofréquences**

Arrêté ministériel : 25 mai 2016

Présentée par

Abdessamad BOULMIRAT

Thèse dirigée par **José Luis GONZALEZ JIMENEZ** et
encadré par **Alexandre SILIGARIS** et **Clément JANY**

préparée au sein du laboratoire **LAIR** du **CEA-Léti**
dans l'**École Doctorale EEATS**

intitulée

Conception et modélisation d'un générateur de fréquences millimétriques par multiplication à grand facteur-N intégrant un circuit de détection de verrouillage pour la calibration automatique de fonctionnalité et performances

Thèse soutenue publiquement le **28 mai 2021**,
devant le jury composé de :

M. Sylvain BOURDEL

Professeur Grenoble-INP UGA

Président du jury

Mme Almudena SUAREZ

Professeur Université de Cantabrie

Rapporteur

M. Piet WAMBACQ

Ingénieur IMEC

Rapporteur

Professeur Université Libre de Bruxelles

M. Diego MATEO PEÑA

Professeur Université polytechnique de Catalogne

Examineur

M. José Luis GONZALEZ JIMENEZ

Ingénieur CEA-Léti

Directeur de thèse

M. Alexandre SILIGARIS

Ingénieur CEA-Léti

Encadrant

M. Clément JANY

Ingénieur TiHive Technologies

Membre invité

M. Lionel VOGT

Ingénieur STMicroelectronics

Membre invité



Titre : Conception et modélisation d'un générateur de fréquences en bande millimétrique par multiplication à grand facteur N intégrant d'un circuit intégré de détection de verrouillage pour la calibration automatique de fonctionnalité et performances

Résumé :

Ces dernières années, le marché des systèmes de transmissions sans fils et très haut débit est en expansion rapide, porté notamment par l'électronique grande consommation et des ambitions d'un monde connecté de bout-en-bout (plus connues sous la nomination « Internet of Everything »). Pour suivre cette croissance et adresser les exigences en débit d'échanges d'informations (dizaines voire des centaines de Gigabits par secondes), les fréquences millimétriques sont très bien placées avec des bandes très larges (dizaines de GHz).

Pour concevoir des architectures d'émission réception à ces gammes de fréquences mmW plusieurs défis et limitations doivent être adressées, notamment le bruit de phase élevé des oscillateurs locaux (OL) à très haut fréquences. En effet, le bruit de phase limite l'efficacité spectrale des modulations adressables par le système d'émission-réception et donc le débit.

Afin de limiter l'augmentation du bruit de phase des oscillateurs en montant en fréquence, l'utilisation de multiplicateurs de fréquence semble prometteur comparé aux techniques de synthèse classique par PLL. De plus, l'utilisation d'un facteur de multiplication élevé permet d'utiliser une référence de fréquence (en basse fréquences : de l'ordre du GHz) avec une meilleure pureté spectrale (grâce au grand facteur de qualité) et permet donc d'obtenir un bruit de phase très bas en sortie du multiplicateur.

Une architecture de synthèse de fréquence par multiplication basée sur la génération d'oscillations pulsés et le verrouillage harmonique permet d'atteindre des facteurs de multiplication de plus de 30 est proposée dans la littérature. Pourtant, cette architecture de génération de fréquences est complexe et les signaux impliqués dans la synthèse sont fortement non-linéaires et présentent un défi de modélisation encore non-adressé dans ce contexte. De plus, ce multiplicateur utilise des oscillateurs verrouillés par injection (« injection locked oscillators » ou ILO) dont la fonctionnalité et les performances spectrales ne sont pas toujours assurées (à cause des variations PVT notamment).

Fort de ce contexte et afin de comprendre et optimiser les performances de ce type d'architectures, deux contributions majeures sont proposées dans ce travail :

- Propositions des modèles analytiques comportementaux des signaux mis en jeux et de leurs propriétés spectrales (bruit de phase et jitter intégré) en fonction des paramètres du circuit (fréquences libres des oscillateurs, rapport cyclique du signal de référence... etc.). En plus d'optimiser le dimensionnement du circuit en phase de conception, ces modèles permettent d'identifier les paramètres clés contrôlant la fonctionnalité et les performances du circuit. Des méthodologies de calibration du circuit sont ainsi proposées.
- La conception d'un détecteur de verrouillage intégré dans le multiplicateur de fréquence permettant de détecter l'état de fonctionnalité du circuit et déterminer par conséquent les zones de fonctionnement optimales pour des fins de calibration.

Les modèles analytiques sont validés par les résultats de mesures d'un prototype du multiplicateur de fréquence fonctionnant à 60-GHz fabriqué dans le cadre de cette thèse en technologie CMOS 45RFSOI. Grâce au méthodologies construites de la phase de modélisation, le circuit a atteint un bruit de phase et un jitter intégré compétitifs à l'état de l'art.

Par ailleurs, le circuit de détection de verrouillage (DV) intégré dans le circuit de multiplication et basée sur une technique innovante à basse consommation, a permis d'identifier les états de l'oscillateur en fonction des paramètres du circuit. Cela a permis ensuite d'effectuer une preuve de concept de la calibration automatique de la fonctionnalité et du jitter intégré de l'oscillateur à 60-GHz.

Mots clés : Synthèse de fréquences, oscillateur, Multiplicateur de fréquence, Ondes millimétriques, Modélisation, Bruit de phase, Verrouillage par injection, Circuit non-linéaires, Détecteur de verrouillage, Technologie CMOS.

Title: Design and Modeling of a High-Order-N Multiplication-Based Millimeter-Waves Frequency Synthesizer with an Integrated Lock Detector for Performance and Functionality Calibration

Abstract:

This work is a part of the design of high-speed wireless transceivers for future communication networks (ex: Beyond 5G, 6G). Due to the limitation of sub- 10GHz bands and overuse causing interferences, millimeter-waves (mmW: from 30GHz to 300GHz) have offered new underused ground to meet this growing demand on large bandwidths required to achieve high throughput. The use of high-order modulation schemes (256QAM, 64QAM, 16QAM...) along with channel bonding at these mmW bands can enable high-data rates reaching hundreds of *Gbits/s*.

However, to address complex modulations in millimeter-wave bands, very low Phase Noise (PhN) oscillators are necessary. However, PhN increases drastically when increasing the operating frequency of the LO and therefore limits the front-end systems to low order modulations with limited data-rate. Multiplication-based frequency synthesizers have been shown to provide better PhN at the mmW when compared to classical PLL-based techniques. Also, the smaller the frequency reference (better spectral purity thanks to high quality factors) along with large multiplication ratios, the greater the spectral purity of the generated mmW frequency references.

A possible implementation of high-order- N frequency multiplication is based on Pulsed-Injection Locking Oscillator. This technique achieves multiplication factors of the order of 30 compared to so-called " n -push" or harmonic distortion techniques which are limited to much smaller multiplication factors (less than 10). Nevertheless, understanding and modeling of these type of architectures remain a challenge due to the highly nonlinear behavior of signals involved. Furthermore, the use of injection locked oscillators (ILOs) exhibit, if not functionality issues, poor performances that need to be optimized.

To take advantage of this high-order- N multiplication technique, accurate understanding and modelling of phase noise through the frequency multiplier chain is required. For this aim, two main contributions are achieved in this work:

- Complete behavioral models of waveforms and associated PhN figures involved in the multiplication process is proposed. This allows system and circuit level designers to optimize the overall PhN and RMS jitter of the output signal reference during the design process. Besides, on the scope of real time calibration and optimization processes, the proposed behavioral models allowed to determine the oscillator key parameters that directly control the LO performances.
- Design in CMOS advanced technology of an integrated low-power and low-area functionality detector into the frequency synthesizer operating at 60GHz -band. This circuit allow to detect the oscillator state (or functionality: locked or not) when changing the circuit parameters.

The analytical expressions are validated with measurements of a multiplication-based LO operating at the 60GHz -band designed for this purpose in 45RFSOI CMOS technology. The models allowed better understanding of such architectures. State of the art phase noise and integrated jitter are performed.

The low power lock detector (LD) allowed, during measurements, to determine the optimum operation zones of the oscillator. Additionally, using LD results, allowed to implement a proof of concept of real time calibration and optimization with an external loop (not integrated). The

performed calibration scenario is inspired from the flows and methodologies constructed from the proposed analytical models.

Keywords: Frequency synthesizer, Oscillator, Frequency multiplier, Injection locked oscillator, Millimeter-waves, Modeling, Nonlinear circuits, Lock detector, Phase noise, CMOS.

REMERCIEMENTS

Ces travaux de thèse se sont déroulés au laboratoire d'architectures intégrées radiofréquences (LAIR) au sein du CEA-Léti à Grenoble sous la direction de Mr José Luis GONZALEZ JIMENEZ et sous l'encadrement de Mr Alexandre SILIGARIS et Mr Clément JANY. Je profite de ces lignes pour exprimer mes remerciements à l'ensemble des collègues, responsables du laboratoire et à toutes les personnes qui ont contribué de près ou de loin à l'aboutissement de ce projet.

Je tiens à remercier Mme Almudena SUAREZ, Mr Piet WAMBACQ, Mr Sylvain BOURDEL et Mr Diego MATEO PEÑA pour avoir accepté de rapporter et examiner les travaux présentés dans ce mémoire. Je remercie également Mr Lionel VOGT pour avoir accepté l'invitation et participer au jury de cette thèse. Merci à vous tou-te-s de l'intérêt que vous portez à ce travail.

Je dois particulièrement des remerciements à mon encadrant Alexandre SILIGARIS. J'ai beaucoup appris de son accompagnement durant les 4 dernières années (stage et thèse). En plus, bien sûr, des compétences techniques et du succès de ces travaux dans le domaine de la conception millimétriques et RF ; ce qui m'a le plus touché est son engagement personnel et humain avec ses étudiants. Il a toujours répondu présent. Merci de m'avoir accordé la liberté et le soutien durant les périodes parfois compliquées de la thèse. Encadrant, collègue et ami, il a toujours su mettre la bonne casquette. Je suis très reconnaissant des nombreux conseils, encouragements ou de simples discussions qu'on a eu sur la passerelle durant les pauses clopes ou ailleurs.

Je remercie également mon deuxième encadrant Clément JANY. D'abord pour son amitié dès les premiers jours. Merci de m'avoir initié au métier de la recherche et pour l'encadrement durant les deux premières années de cette thèse. Merci pour les conseils et les échanges techniques qui ont contribué à l'aboutissement de ce travail.

Je tiens à remercier mon directeur de thèse José Luis GONZALEZ JIMENEZ. J'ai toujours apprécié nos échanges et les réponses apportées aux problématiques les plus complexes de la thèse. Ses connaissances pointues des architectures de communication sans fils fonctionnant à très hautes fréquences m'ont permis de mieux comprendre ces systèmes électroniques. Je dois également mentionner que j'ai toujours été impressionné par son intelligence et sa rapidité de compréhension.

Je remercie Mme Almudena SUAREZ pour le soutien technique apporté à cette thèse par les nombreux réunions et échanges par messagerie électronique. J'ai beaucoup appris des conseils et

pistes de recherche proposées par ses soins pour comprendre le fonctionnement des simulateurs numériques et les analyses non-linéaires des circuits radiofréquences.

Je tiens à remercier également Dominique MORCHE, Abdelaziz HAMANI, Cédric DEHOS, Ayssar SERHAN, Etienne ANTIDE, Benjamin BLAMPEY et Frédéric HAMEAU pour les nombreux échanges et le soutien technique apporté à ce travail. Merci à tous les autres collègues et membres du LAIR qui ont facilité mon intégration et rendu agréable mon séjour au sein du laboratoire : Éric MERCIER, Michael PELISSIER, Alexandre GIRY, Guillaume WALTNER, Pierre COUROUVE, Mykhailo ZARODNIEV, Alice BOSSUET, Jean Baptiste DAVID et Pascal REYNIER. Evoluer à vos côtés durant les quatre dernières années était une expérience enrichissante à la fois sur le plan professionnel et personnel.

Merci aux groupes des thésards et assimilés qui m'ont accueilli pendant le stage et qui m'ont beaucoup appris sur le CEA : Marguerite MARNAT, David BUFFETEAU, Florian VOINEAU, Tu VO TIEN, Antony GOAVEC, Zoltan NEMES, Raphaël VANSEBROUCK. J'ai bien transmis votre héritage ☺, enfin je crois... Merci également à Joe BACHI, Jorge-Luis GULFO MONSALVE, Antoine SOUKIASSIANE, Lèa BARRAU, Naci PEKÇOKGÜLER, Etienne ANTIDE, Aicha SAID, Ghita YAAKOUBI, Damien PARAT, Lucien PAQUIEN.

Merci à tous mes ami-e-s Rachid BOULMIRAT (mon frère), Bilal AZENNOUD, Saad BOUTAYEB et Mathilde OUVRIER-BUFFET pour votre soutien et votre présence durant les moments de joie mais aussi les moments les plus durs des quatre dernières années. Je me réjouis encore des débats enrichissants et le nombre de fois qu'on a réinventé le monde autour d'un verre dans un bar quelques part à Grenoble. Merci également à Leila OUARDAS pour son amitié et son soutien continue durant la période de cette thèse et particulièrement lors de la rédaction.

Finalement, au moment d'écrire ces lignes je me rends compte de la distance parcourue pour arriver à ce point. Une longue course contre le temps pour un seul objectif : apprendre. Tout a commencé au salon de notre maison dans la ville d'Agadir, au Maroc. Je me revois faisant mes devoirs en compagnie de mon frère Rachid, pendant que notre mère nous surveillait. Sans électricité. Mais avec une réserve de chandelles. Je me rappelle les fois où nous nous retrouvions à cours. Je me souviens de notre air réjoui. Cette pénurie marquait, pour nous, le début des jeux. Pour nous permettre de finir notre travail, notre mère trouvait toujours un voisin à qui emprunter quelques bougies pour que lumière soit. Nous étions toujours déçus de devoir nous y remettre. Mais elle était, à chaque fois, soulagée. Soulagée que nous ayons accès à l'éducation, que nous apprenions, que nous allions à l'école. Elle qui n'a pas pu y aller. Elle nous refusait ce sort. Elle nous a fait prendre conscience tout jeunes de la valeur de ces apprentissages et de ce que cela pouvait nous permettre de réaliser. Dix ans plus tard, je m'envolais pour la France, pour réaliser mon rêve et par la même occasion celui de mes parents. Celui d'apprendre toujours plus, de

devenir chaque jour meilleur. Malgré la longue distance entre la maison et la France, et pendant plus de sept années, le soutien de mes parents était toujours là. Je ne peux pas vous remercier assez, je vous dois la vie.

A mes parents, à mes frères

A la mémoire de Tarik

«

𐤅𐤁𐤁. 𐤌𐤕. 𐤍𐤁𐤕 ** 𐤇𐤆𐤕 𐤕𐤆𐤕 𐤕𐤕𐤕𐤕
 𐤕. 𐤕𐤕𐤕 𐤕𐤕𐤕𐤕 𐤕𐤕𐤕 ** 𐤕. 𐤕𐤕𐤕𐤕 𐤕𐤕𐤕𐤕𐤕 𐤕𐤕𐤕𐤕𐤕.

»

<<

La vie est vaste comme un océan, et pourtant les gens choisissent de vivre la vie des poissons
Gouvernés par la loi du plus fort, celui en position de force dévore le reste.

>>

Fatima Tabaamrant – ረገድ ዓብይኛ የተፃሰመች

TABLE DES MATIERES

Remerciements	8
Introduction générale	17
Chapitre 1: Systèmes de communications sans fils et techniques de génération de fréquences en bandes millimétriques	20
1.1 Introduction	20
1.2 Réseaux de communications sans fils et très hauts débits	22
1.2.1 Spectre en bande millimétrique	22
1.2.2 Chaines d'émission-réception – limitations et positionnements	22
1.3 Techniques de synthèse de fréquences millimétriques	27
1.3.1 Oscillateur contrôlé en tension VCO	27
1.3.2 Boucle à verrouillage de phase PLL	27
1.3.3 Techniques de multiplication harmoniques	27
1.4 Conclusions et objectifs	30
Références	33
Chapitre 2: Modélisation et simulations des oscillateurs en bande millimétrique et en technologies CMOS avancées	35
2.1 Introduction	35
2.2 Modèles des composants technologiques pour la conception en bande millimétriques	37
2.2.1 Modélisation des composants passifs	37
2.2.2 Modélisation des composants actifs	37
2.3 Etudes analytiques non-linéaires des oscillateurs en bande mmW	40
2.3.1 Introduction	40
2.3.2 Oscillateurs en régime libres	41
2.3.3 Oscillateurs en régime forcés	43
2.3.4 Bruit de phase	52
2.4 Extension de la modélisation du multiplicateur de fréquences	57

2.4.1	Introduction	57
2.4.2	Architecture et principe de fonctionnement du multiplicateur de fréquences	57
2.4.3	Formes d'ondes.....	58
2.4.4	Bruit de phase dans la chaine de multiplication	70
2.4.5	Sous-espaces d'optimisation du multiplicateur de fréquence	82
2.5	Conclusions	84
Références.....		85
Chapitre 3: Calibration de fonctionnalité et performances des oscillateurs basés sur les technique de multiplication harmonique et le verrouillage par injection		
3.1	Introduction	88
3.2	Calibration des oscillateurs verrouillés par injection.....	91
3.2.1	Fonctionnalité de l'oscillateur	91
3.2.2	Performances de l'oscillateur – bruit de phase et jitter intégré	92
3.2.3	conclusion – Calibration de fonctionnalité et performances	93
3.3	Paramètres clés du multiplicateur de fréquence à grand facteur de multiplication	95
3.3.1	Paramètres contrôlant le verrouillage de l'oscillateur.....	95
3.3.2	Paramètres clés déterminant les performances du circuit.....	96
3.3.3	Conclusion.....	100
3.4	Etudes du détecteur de verrouillage.....	102
3.4.1	Introduction - positionnement.....	102
3.4.2	Principe de fonctionnement et formalisme théorique (subharmonic sampling [20])	
	104	
3.4.3	Etude et dimensionnement du circuit.....	107
3.4.4	Etudes des limites de l'architecture de détection proposée	119
3.5	Conclusions	122
Références.....		123
Chapitre 4: Synthétiseur de fréquence en bande millimétrique à grand facteur de multiplication intégrant un détecteur de verrouillage en technologies CMOS 45nm RFSOI pour des applications hauts débits et sans fils.....		
4.1	Introduction	125
4.2	Chaine de synthèse de fréquences par multiplication.....	128

4.2.1	Implémentation	128
4.2.2	Mesures.....	131
4.2.3	Conclusions.....	138
4.3	Intégration du détecteur de fonctionnalité dans le multiplicateur de fréquences.....	140
4.3.1	Implémentation	140
4.3.2	Mesures.....	142
4.3.3	Conclusions.....	146
4.4	Preuve de concept : calibration de fonctionnalité et performances du multiplicateur de fréquence.....	149
4.5	Conclusions	152
Conclusions et perspectives		154
Références.....		156
Glossaire		157
Listes des tables.....		159
Listes des figures.....		160
Liste des publications.....		168

INTRODUCTION GENERALE

Le débit d'échanges d'informations sans fils pour des applications dans les marchés industriels, militaires et grand public est en augmentation continue depuis les premières générations. Des premiers télégraphes à la 4G-Advanced aujourd'hui (Mars 2021), les systèmes communicants sans fils sont passés par plusieurs transformations dans le but de personnaliser la technologie et augmenter la connectivité des utilisateurs [1]. D'un côté, la personnalisation est atteinte en passant par des réseaux S2S (pour « Station-to-station ») dans les premières solutions, à P2P (ou « People-to-People ») plus récemment. La grande révolution promise par la 5G aujourd'hui est le passage à des réseaux X2X où X peut représenter un objet ou personne (voitures, montres, maisons, capteurs ou machines connectés... etc.). « Internet of everything » ou « l'internet de tout » est désormais la nouvelle devise. L'augmentation de la connectivité de l'autre côté va de soi. En effet, augmenter le débit pour un accès rapide et instantané à l'information en a été la motivation préalable. Actuellement, cette demande est davantage poussée par la transformation numérique des industries et des sociétés humaines. D'ailleurs, la pandémie de la COVID-19 en 2020 a accentué et confirmé ce phénomène dans plusieurs domaines : éducation (les cours à distance, recherches de l'information par vidéo), loisirs (expériences immersives, jeux vidéo, visites à réalité augmentée, vidéo 3D), travail

(télétravail, contrôles des machines industriels à distance). Il est important de citer qu'au moment d'écriture de ces lignes, l'Europe se lance déjà dans la course de la 6G (6^{ème} génération) à travers le projet Hexa-X qui vise, entre autres, à multiplier le débit d'échanges d'informations par 10 comparé à la 5G. Ainsi, pour répondre à ces exigences, le flux d'informations sans fils dans les nouvelles et futures générations doit excéder les dizaines voire des centaines de *Gbps* (Giga-bits ou milliards de bits par seconde).

Le travail présenté dans ce manuscrit s'inscrit dans le cadre de la conception des circuits communicants pour des applications sans fils et à très hauts débits. En raison de la limite des bandes de fréquence sub-10GHz et des interférences dues à une large exploitation, les fréquences millimétriques offrent un nouveau terrain pour répondre à cette demande croissante du marché de systèmes de communication sans fil. En effet, la montée en fréquence est associée à des bandes de transmission très larges (allant jusqu'à 70 GHz dans le standard IEEE 802.15.3d). L'utilisation des modulations complexes dans ces bandes permet d'atteindre des débits très élevés pouvant atteindre à des centaines de *Gbps*. En revanche, le passage aux bandes de fréquences millimétriques admet également des inconvénients : détérioration du bruit, atténuation dans l'air, complexité élevée des circuits, consommation élevée... etc.

Dans le but d'adresser des modulations d'ordres élevés (256QAM, 64QAM, 16QAM... où M-QAM désigne « M-state Quadrature Amplitude Modulation ») dans la gamme de fréquences millimétriques, des synthétiseurs de fréquences très purs sont nécessaires (faible bruit de phase en particulier). Les techniques de génération de fréquences basées sur la multiplication harmonique se distinguent pour atteindre cet objectif. L'avantage de ces techniques est leurs niveaux de bruit de phase réduits aux fréquences visées comparées aux techniques classiques de synthèse basées sur des PLLs fonctionnant à la fréquence visée. Par ailleurs, plus le facteur de multiplication est grand (fréquence de référence basse avec bruit de phase réduit) plus la pureté spectrale des fréquences générées par multiplication est meilleure en comparaison aux autres méthodes de génération de fréquences [2], [3].

Pour maintenir et confirmer l'utilité d'une technique de génération de fréquence basée sur la multiplication à très grand facteur- N (autour de $N=30$), plusieurs objectifs sont adressés dans cette thèse :

1. Comprendre et modéliser le processus variation de bruit de phase ainsi que les formes d'ondes des signaux impliqués tout au long de la chaîne de synthèse de fréquence en fonction des paramètres du circuit. Ensuite, développer des méthodologies d'optimisations à partir de ces résultats.
2. Etant donné la complexité de ces architectures, les phases de conception et d'optimisation sont souvent longues et complexes (simulations coûteuses en temps et en mémoire). Le

but est ainsi de proposer des circuits non-linéaires équivalents (CNE) avec une complexité réduite pour accélérer les phases d'optimisation.

3. En profitant des méthodologies et conclusions développées aux premiers points, proposer une technique adaptée de calibration automatique de fonctionnalité et des performances du circuit multiplicateur de fréquences.

Au premier chapitre, le contexte et les motivations de ce travail sont révélés avec une comparaison des différentes techniques de synthèse de fréquence en bandes millimétrique.

Au deuxième chapitre, les bases d'analyse et simulation des circuits oscillants sont présentées. Ensuite, une contribution à la modélisation des systèmes de multiplication de fréquences à grand facteur N est proposée. Des expressions analytiques dans le domaine fréquentiel, des formes d'ondes ainsi que du bruit de phase des différents signaux impliqués dans le processus de multiplication sont données. Ces modèles analytiques sont ensuite comparés et validés, à deux niveaux : d'un côté, par des simulations numériques des circuits réels utilisant les composants de la technologie (niveau 0), et d'un autre côté par la simulation des circuits non-linéaires équivalents (CNEs : niveau 1) extraits des circuits du niveau 0.

Au troisième chapitre, une introduction aux techniques de calibration des oscillateurs est donnée dans un premier temps. Puis, en profitant des connaissances tirées du deuxième chapitre, une solution de détection de verrouillage adaptée au multiplicateur de fréquences, faisant l'objet de cette thèse, est proposée et étudiée à la fin du chapitre.

Enfin, au quatrième et dernier chapitre, l'implémentation des deux circuits est détaillée, i. e. le générateur de fréquences et le détecteur de verrouillage qui sont fabriqués en technologie 45nm CMOS RFSOI dans le cadre de ce travail. Les résultats de mesures de l'ensemble sont présentés. Le multiplicateur de fréquence est dimensionné pour générer des fréquences dans la bande non-licencié autour 60 GHz . Les résultats de mesure de bruit de phase et du RMS Jitter intégré sont comparés avec les modèles présentés au deuxième chapitre. Finalement, à l'aide du circuit de détection, les zones de fonctionnement optimal du système sont déterminées et une preuve de concept de la calibration automatique est effectuée.

Chapitre 1: SYSTEMES DE COMMUNICATIONS SANS FILS ET TECHNIQUES DE GENERATION DE FREQUENCES EN BANDES MILLIMETRIQUES

1.1 INTRODUCTION

Ce chapitre vise à introduire les limitations des architectures d'émission-réception Tx/Rx, comprendre l'impact du bruit de phase (ou jitter intégré) sur le choix de l'ordre des modulations utilisé et, ensuite, faire une revue des techniques de synthèse de fréquences en bande millimétrique ; avant de conclure sur les objectifs des travaux menés dans le cadre du projet de cette thèse.

A la première partie, le spectre des fréquences millimétrique et quelques exemples de standards de communications destinés aux applications sans fils et hauts débits sont présentés. Ensuite, on souligne quelques limitations des architectures des systèmes Tx/Rx avant d'exposer quelques exemples des positionnements proposés à la littérature.

A la deuxième partie, une comparaison des techniques de génération de fréquence en gamme de fréquences millimétriques est effectuée avant de conclure sur les architectures permettant d'obtenir les performances souhaitées.

La troisième partie définit le cadre et les objectifs adressés dans la suite de ce manuscrit.

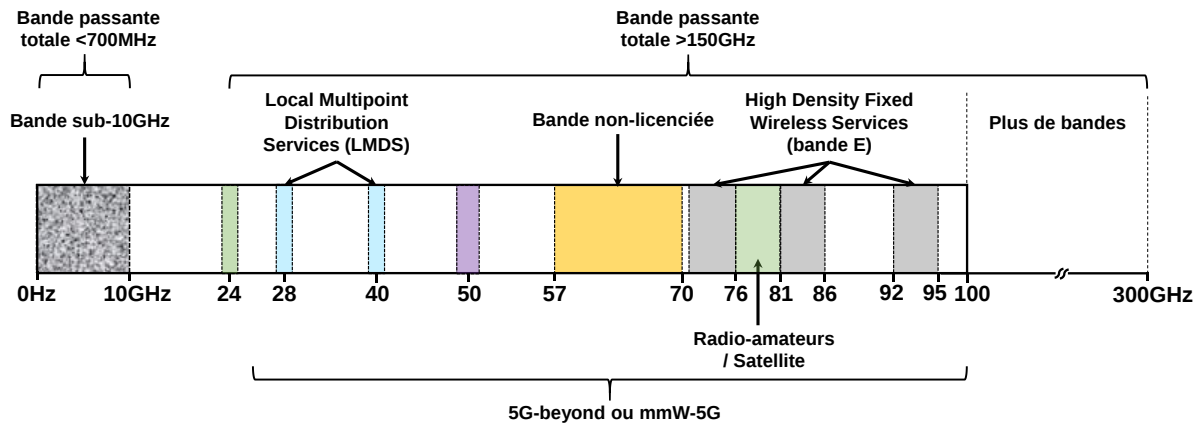


Fig. 1-1 :Spectre des ondes électromagnétiques. Quelques exemples de l'allocation des bandes pour les futures générations de communications sans fils et réseaux cellulaires.

1.2 RESEAUX DE COMMUNICATIONS SANS FILS ET TRES HAUTS DEBITS

1.2.1 SPECTRE EN BANDE MILLIMETRIQUE

Le besoin de larges bandes passantes, très limité dans la gamme sous-10 GHz, a motivé les opérateurs des systèmes de communication sans fils à explorer le spectre des ondes millimétriques (30GHz - 300GHz). Les bandes passantes disponibles dans cette gamme de fréquences sont très larges et peuvent atteindre des dizaines de GHz comparées à quelques centaines de MHz dans les bandes inférieures comme montré à la Fig. 1-1. Plusieurs standards de communications sans fils à très hauts débits sont déjà publiés ou en cours de construction dans le spectre des fréquences mmW pour les futures applications ou réseaux cellulaires. La norme IEEE 802.11ay publiée en 2019 par exemple, est un standard destiné aux futures générations du Wi-Fi ou WLAN dans la bande non-licenciée 60 GHz (WLAN est une abréviation de « Wireless Local Area Network » ou réseaux locaux sans fils). Offrant une bande passante totale de 13 GHz répartie sur 6 canaux (58.32-69.12 GHz illustré à la Fig. 1-2(a)), ce standard vise un débit de 100Gbit/s en utilisation l'agrégation de fréquences et des modulations d'ordre élevée (16QAM et 64QAM) [4].

1.2.2 CHAINES D'EMISSION-RECEPTION – LIMITATIONS ET POSITIONNEMENTS

1.2.2.1 Limitation des interfaces digitales

Les chaines de transmission-réception Tx/Rx sont limitées par la bande passante des interfaces digitales en bande de base, notamment les convertisseurs numériques/analogiques CNA ou CAN. En effet, les larges bandes passantes permises par les fréquences mmW sont souvent trop larges et non-supportées par ces interfaces. Une contrainte sur la fréquence d'échantillonnage est imposée en fonction de la bande passante visée (dizaines de giga-échantillons par seconde GS/s). Le non-respect de ces conditions peuvent détériorer la qualité du signal le long de la chaîne [5], [6].

Une solution pour adresser ce problème consiste à diviser la bande passante totale en plusieurs sous-bandes de largeurs réduites et supportées par les blocs CNAs comme illustré par la Fig. 1-2(b) (montre l'architecture du Tx seulement) [7]. L'agrégation en RF de ces sous-bandes Δf résulte d'une bande passante totale du circuit Tx/Rx égale à $n \times \Delta f$ où n est le nombre de branches en bande de base. L'inconvénient majeur de ce type d'architecture réside la nécessité de plusieurs oscillateurs locaux (OL) pour générer les fréquences porteuses de chaque canal afin de transposer les données DBB en RF (illustration à la Fig. 1-2(b)). Cela peut en effet contraindre le système Tx/Rx à dupliquer le circuit de synthèse de fréquences avec en conséquence des surplus de consommation considérable.

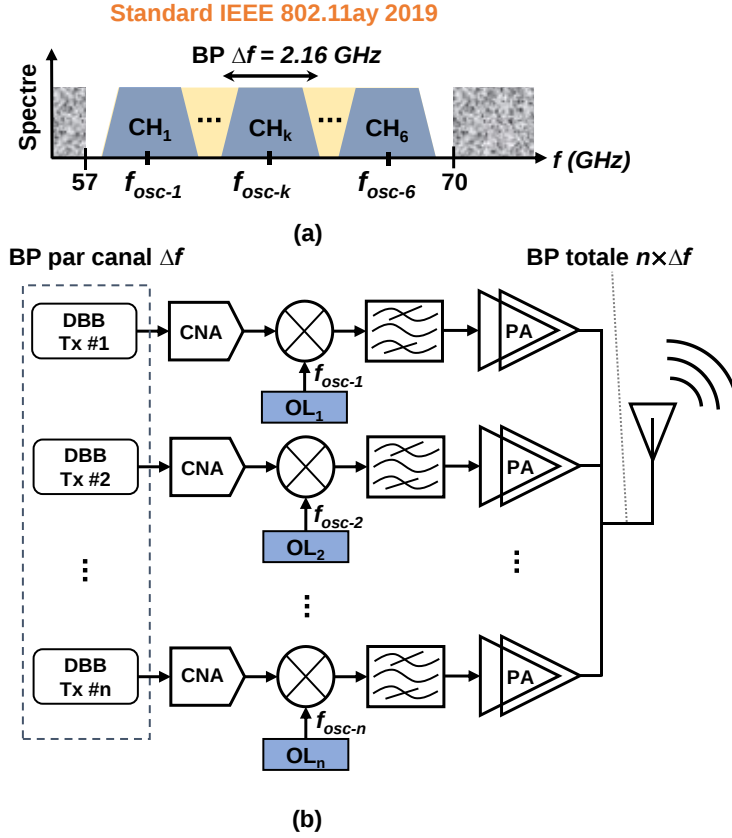


Fig. 1-2 : (a) Allocation du spectre et les canaux du standard IEEE 802.11ay. (b) Architecture Tx utilisant l'agrégation de plusieurs bandes de fréquences. BP et DBB désignent Bande Passante et Data en Bande de Base respectivement.

1.2.2.1 Pureté spectrale de la synthèse de fréquences

Les architectures Tx/Rx sont limitées par de nombreux facteurs dégradant la qualité du signal et affectent par conséquent le débit de données atteint. Certains de ces facteurs sont : les caractéristiques de gain et puissance de l'émetteur-récepteur, les non-linéarités des composants de l'émetteur (mélangeurs, amplificateur de puissance PA... etc.), le rapport signal sur bruit SNR (ou « Signal to Noise Ratio »), l'efficacité spectrale et le bruit de phase de l'oscillateur local (OL)[5]. Toutes ces imperfections peuvent perturber le signal reçu et impacter la constellation des états de la modulation utilisée en dégradant l'EVM du système (EVM désigne « Error Vector Magnitude » ou l'amplitude du vecteur d'erreur). Comme son nom l'indique, pour une modulation donnée, ce paramètre mesure l'amplitude du vecteur d'erreur entre les positions idéales des points de la constellation et les positions réellement reçu par le Tx/Rx. Il peut être exprimé en fonction des imperfections par la relation suivante [5], [8] :

$$EVM_{Tx/Rx} = \sqrt{\frac{1}{SNR^2} + \phi_{RMS}^2 + EVM_r^2} \quad \text{Eq. 1-1}$$

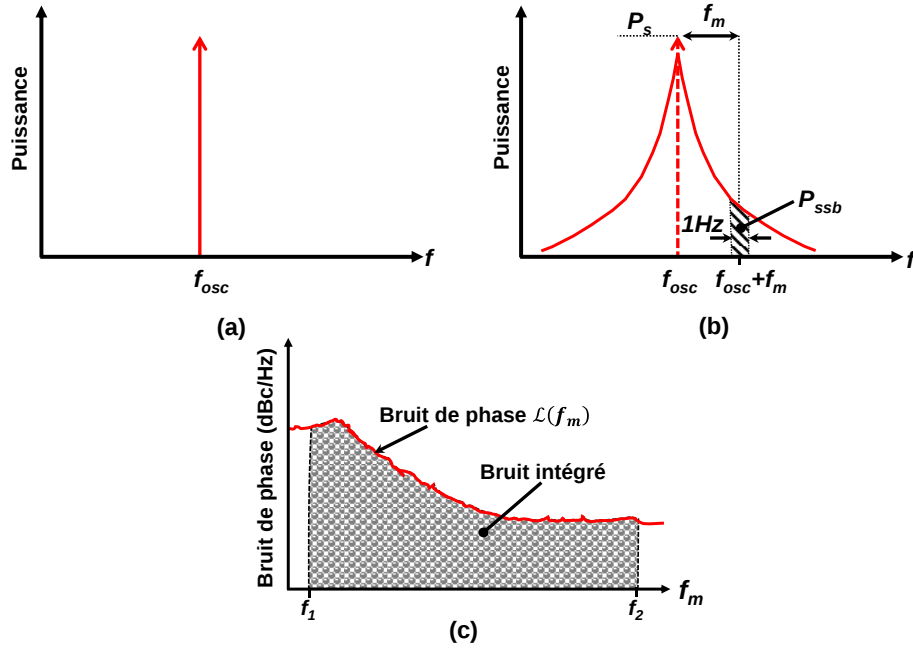


Fig. 1-3 : Comparaison des spectres d'un oscillateur parfait (a) et un oscillateur réel (b). (c) Figure de bruit de phase d'un OL. f_m représente la fréquence d'offset

Le SNR désigne le rapport signal sur bruit de la chaîne Tx/Rx, φ_{RMS} la moyenne quadratique de la gigue (ou « Integrated RMS Jitter ») caractérisant la pureté spectrale de l'oscillateur local et EVM_r représente le reste des contributions provenant d'autres imperfections (gain large bande, linéarité, ... etc.).

Pour atteindre des débits de transfert de données de plusieurs Gbps sur chaque bande Δf , l'utilisation des modulations d'ordre élevé est seulement possible quand les valeurs l'EVM respectent certaine exigences (par extension le SNR et le bruit de phase) [8]. Par exemple, pour supporter les modulations 64QAM, 16QAM ou QPSK il est nécessaire de respecter d'avoir un EVM d'au moins -26, -20 ou -13 dB respectivement (pour un taux d'erreur ou « Bit Error Rate » inférieur à 10^{-5}) [9].

- Oscillateur parfait et réel

Un oscillateur harmonique est parfait si sa tension de sortie est une fonction trigonométrique à amplitude et fréquence constantes. Dans ce cas, son spectre de sortie est exprimé par la fonction delta de Dirac dont la puissance est concentrée à la fréquence de sortie f_{osc} (illustration à la Fig. 1-3(a)).

En réalité, une telle fonction n'est pas réalisable physiquement. Le spectre d'un oscillateur réel est un étalement continu de la puissance sous forme de « jupe » (« skirt » comme décrit par A. Hajimiri [10]) centrée autour de la fréquence nominal de sortie f_{osc} (illustration Fig. 1-3(b)). Cette répartition de puissance est le résultat de variations aléatoires de la fréquence (ou la phase) et l'amplitude due aux phénomènes aléatoires dans les circuits électroniques.

Une grandeur caractéristique qui décrit cette imperfection est appelée bruit de phase et est définie comme suit :

$$\mathcal{L}_{ssb}(f_m) = 10 \log \frac{P_{ssb}(f_m)}{P_s} \quad \text{Eq. 1-2}$$

$\mathcal{L}_{ssb}$ est le bruit de phase, exprimé en dBc/Hz , dans la bande latérale autour de f_{osc} (SSB désigne « single sideband »). P_s est la puissance de sortie de l'oscillateur à la fréquence nominale f_{osc} et $P(f_m)$ est celle à une fréquence d'offset f_m mesuré à partir de f_{osc} . $P_{ssb}(f_m)$ représente la puissance à une position spectrale située à f_m de distance de la fréquence nominale f_{osc} et est mesurée sur une bande de largeur $1Hz$ comme illustré à la Fig. 1-3(b).

- Détérioration du bruit des OL en fonction de la fréquence

En utilisant l'approche de la fonction de transfert d'un résonateur RLC (bloc de base des oscillateurs), le bruit de phase en $1/f^2$ d'un oscillateur peut simplement être exprimé par [11] :

$$\mathcal{L}(f_m) = 10 \log \left\{ \frac{2FkT}{P_s} \left(\frac{f_{osc}}{2Q_t f_m} \right)^2 \right\} \quad \text{Eq. 1-3}$$

Où k est la constante de Boltzmann, T la température et Q_t le facteur de qualité du résonateur. F est un paramètre empirique d'ajustement.

La magnitude du bruit de phase est ainsi directement proportionnelle au carrée de la fréquence de fonctionnement f_{osc} , tandis qu'elle est inversement proportionnelle à la puissance de sortie et au carrée du facteur de qualité.

- Effet sur les architectures Tx/Rx :

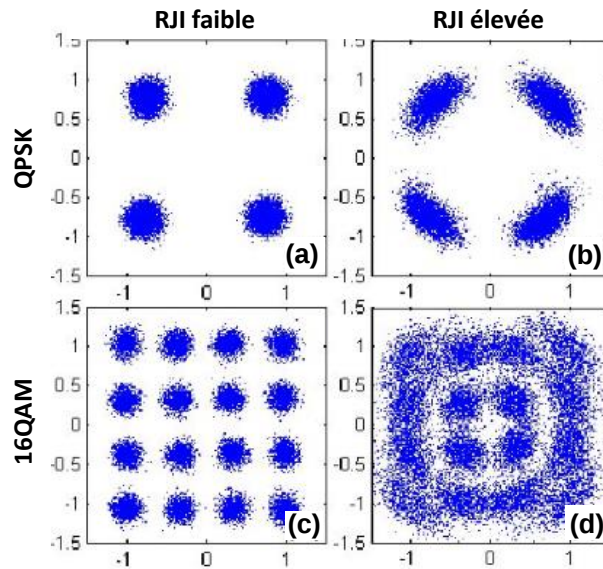


Fig. 1-4 :Exemples de constellations pour deux types de modulations en fonction du bruit de phase du synthétiseur de fréquence. QPSK, (a) et (b), et 16QAM, (c) et (d), d'ordre 2 et 4 respectivement.

Dans les systèmes de communications large bande, on utilise souvent la moyenne quadratique de la gigue ou le RMS jitter intégré (RJI) dans une bande donnée $BP=[f_1 - f_2]$ pour décrire le bruit des OLs [8] :

$$\varphi_{RMS} = \sqrt{2 \cdot \int_{f_1}^{f_2} 10^{-\mathcal{L}(f)/10} df} \quad \text{Eq. 1-4}$$

Le RJI est ainsi définie comme l'intégrale du bruit de phase (illustration à la Fig. 1-3) dans la bande d'intérêt BP autour de la fréquence porteuse¹ (bande passante du Tx/Rx).

Comme exprimé par l'Eq. 1-1, afin de minimiser l'EVM en adressant une modulation type M-QAM où M représente son ordre, il est nécessaire de minimiser le RJI de l'oscillateur local. Dans le cas d'un bruit intégré φ_{RMS} élevé, le diagramme de constellation à la sortie du Tx/ Rx devient très bruité comme illustré par la Fig. 1-4. Cela conduit par conséquent à une confusion entre les symboles de la modulation utilisée et une perte de l'information transmise (illustration QPSK et 16QAM aux Fig. 1-4(b) et (d)) contrairement à une constellation propre dans le cas de faible bruit de phase (illustration QPSK et 16QAM aux Fig. 1-4(a) et (c)).

Le travail présenté dans ce manuscrit vise, en partie, à trouver des solutions pour améliorer l'efficacité spectrale des synthétiseurs de fréquences en bande millimétriques réalisés en technologies CMOS avancées et pour des applications sans fils à très hauts débits.

¹ La fréquence porteuse est déterminée par la fréquence nominale de l'oscillateur local (LO).

1.3 TECHNIQUES DE SYNTHÈSE DE FRÉQUENCES MILLIMÉTRIQUES

Il existe différentes techniques de synthèse de fréquences dans les gammes radiofréquences et millimétriques. Dans cette partie, on expose quelques architectures destinées aux applications réalisables en technologies silicium CMOS.

1.3.1 OSCILLATEUR CONTRÔLE EN TENSION VCO

L'oscillateur contrôlé en tension ou VCO (Fig. 1-5(a)) représente l'architecture la plus simple et un élément de base de la synthèse de fréquences. Il permet de générer une fréquence fondamentale en associant un résonateur LC et une rétroaction négative réalisé par des transistors. Le résonateur est constitué de lignes de transmissions ou inductances dans et une diode varactor ou capacités-commutées de capacité variable pour changer la fréquence de résonance [12]–[17].

L'avantage d'utilisation des VCOs réside dans une grande plage d'accord de la fréquence de sortie et une faible consommation. En revanche, le bruit de phase en bandes millimétriques est fortement affecté par la dégradation du facteur de qualité du tank LC à ces fréquences [18], [19].

1.3.2 BOUCLE A VERROUILLAGE DE PHASE PLL

Les boucles de verrouillage de phase ou PLLs (architecture montrée à la Fig. 1-5(b)) stabilise un VCO fonctionnant à hautes fréquences par un signal de référence de fréquence très faible (généralement un quartz). Le mélangeur ou le comparateur de phase mesure l'erreur de phase entre la référence et le signal à la sortie f_{osc} divisé par un facteur $N=f_{osc}/f_{ref}$. Le résultat de comparaison est ensuite utilisé pour rétroagir sur la tension d'accord du VCO afin de corriger la différence entre f_{osc} et $N f_{ref}$ et donc de synchroniser le VCO à la référence [20], [21].

L'avantage des PLLs est leur effet de filtrage du bruit de VCO dans la bande de son filtre. Dans cette même bande la PLL copie le bruit de la référence (très stable), qui est ainsi relativement réduit comparé au bruit du VCO libre. Cependant, la bande de filtrage est très étroite (~ 100 kHz) due aux besoins de stabilité de la PLL par rapport aux fréquences de référence typiquement utilisées. Au-delà de cette fréquence, c'est le bruit de phase de l'oscillateur libre qui prédomine. L'inconvénient réside dans l'emploi de diviseurs de fréquence (avec des grands facteurs de division) qui fonctionnent autour de la fréquence de sortie en bande millimétriques. Cela complique par conséquent la conception de ces blocs en plus de leurs consommation souvent élevée.

1.3.3 TECHNIQUES DE MULTIPLICATION HARMONIQUES

Il existe deux types de générateurs de fréquences par multiplication harmonique :

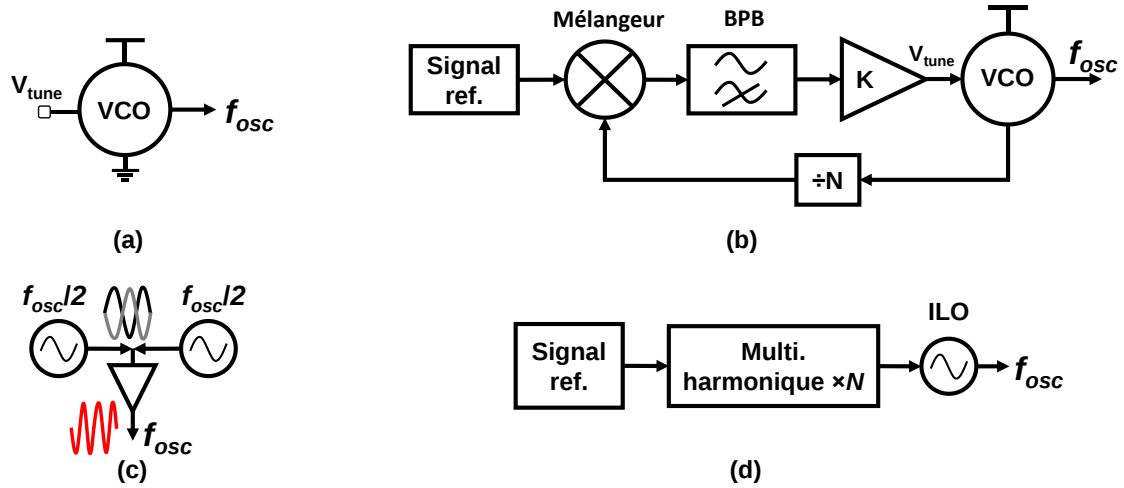


Fig. 1-5 : Différentes architectures CMOS-intégrables de synthèse de fréquences radiofréquences et millimétriques : (a) oscillateur contrôlé par tension ou VCO (pour « Voltage Controlled Oscillator »), (b) Boucle à verrouillage de phase ou PLL (désigne « Phase Locked Loop »), (c) oscillateur push-push et (d) multiplicateur harmonique de fréquences.

- Les techniques « n-push » (Fig. 1-5(c))

Les oscillateurs « n-push » sont basés sur l'extraction d'une harmonique d'ordre supérieure par distorsion harmonique (amplification des non-linéarités)[22] ou en combinant n -oscillateurs fonctionnant à f_{osc}/n et de phase différentes [23]. Le principe d'une multiplication push-push, $n=2$, est montrée par l'exemple de la Fig. 1-5. Dans ce cas, l'idée est de connecter deux oscillateurs identiques de fréquences $f_{osc}/2$ et dont les sorties sont déphasées de 180° , de sorte que le fondamental $f_{osc}/2$ s'annule et que les composantes de la deuxième harmonique f_{osc} s'ajoutent de manière constructive. Un signal oscillant à la fréquence f_{osc} est ainsi obtenue à la sortie après amplification ($n=2$: push-push [24], [25] ou $n=3$: triple-push [26], [27]).

L'avantage des multiplicateurs de type « n-push » réside dans l'utilisation des résonateurs fonctionnant à plus basses fréquences, ce qui permet d'avoir des facteurs de qualités plus élevés à hautes fréquences [28]. En plus, l'utilisation de cette technique pour la multiplication de fréquences à la sortie des PLLs permet d'éviter l'emploi des diviseurs de fréquences fonctionnant à f_{osc} , souvent trop encombrant en surface et en énergie.

En revanche, les oscillateurs « n-push » sont souvent très sensibles aux erreurs de déphasage entre les étages (idéalement $360^\circ/n$). Cela affecte fortement le bruit de phase à la sortie et complique par conséquent la conception de ce type d'oscillateurs avec les performances visés (d'autant plus pour $n>2$)[27]. De plus, la consommation et la surface occupée sont proportionnelles au facteur de multiplication qui reste limité à des faibles facteurs de multiplication ($n<10$: un exemple de $n=9=3\times3$ est présenté dans [22] avec une consommation totale de $348mW$ et une très grande surface occupée).

- Multiplication harmonique à grand facteur- N (Fig. 1-5(d))

Il s'agit de la multiplication d'une fréquence de référence (généralement la sortie d'une PLL, illustration Fig. 1-5(d)) par un facteur N en utilisant la sélection sous-harmonique par le verrouillage par injection (Injection Locked Frequency Multiplier - ILFM). Cela peut se faire selon deux techniques. La première technique se base sur l'injection de la référence dans un oscillateur fondamentale de fréquence située dans la bande visée [2]. Sous les conditions de verrouillage, la fréquence de sortie serait un multiple N de la référence. La deuxième technique consiste à l'utilisation d'un générateur de signal pulsé suivi d'un oscillateur verrouillé par injection [3], [29].

Les solutions basées sur la première technique sont généralement difficiles à mettre en œuvre du fait des plages de verrouillage très étroites (d'autant plus quand N augmente) et souvent inférieures aux fluctuations aléatoires de la fréquence libre de l'oscillateur de sortie. C'est pour cela que le rapport de multiplication atteignable par ces architectures est généralement limité ($N < 15$ [2]) et nécessite des techniques de calibration pour corriger les déviations aléatoires de la fréquence de sortie.

Les architectures utilisant la deuxième technique permettent de maximiser la puissance des sous-harmoniques de la référence autour de la bande visée en bande mmW. Cela permet d'obtenir des plages de verrouillage relativement grandes et facilite ainsi la synchronisation des oscillateurs injectés de sortie sur l'harmonique N de la référence [30]. De plus, cette technique permet d'atteindre des facteurs de multiplication très grands et programmables ($N=21$ [7], $N=29$ [3] et $N=30$ [31] $N=120$ [29]).

Contrairement aux techniques classiques de génération de fréquences par PLL ou VCO, les multiplicateurs de fréquences permettent de recopier le bruit de phase du signal de référence avec une augmentation théorique de $20 \times \log(N)$, où N représente le facteur de multiplication. En plus, l'utilisation de cette technique pour multiplier les signaux PLL basses fréquences permet d'éviter l'emploi des diviseurs de fréquence.

1.4 CONCLUSIONS ET OBJECTIFS

La Fig. 1-6 montre le bruit de phase à 1 MHz d'offset en fonction de la fréquence porteuse de fonctionnement et pour les différentes catégories de synthèse de fréquences présentées dans la littérature. D'abord, le bruit de phase se dégrade fortement en augmentant la fréquence de fonctionnement des OLs. Ensuite, la pente d'évolution du bruit des techniques de synthèse classiques de fréquences par PLL-VCO est plus grande aux fréquences millimétriques comparée à celle des techniques de synthèse par multiplication.

En effet, l'étude présentée aux travaux de thèse de D. Cabrera Salas [19], montre que lorsque la fréquence augmente, l'oscillateur passe par deux régions d'opération différentes (Fig. 1-7) : une région dite Q_L -limité située en basse fréquences ($f_{osc} < 30\text{GHz}$) où le facteur de qualité du résonateur est principalement limité par sa partie inductive du résonateur (Fig. 1-7(a)) ; et une deuxième région dite Q_C -limité situé aux très hautes fréquences ($f_{osc} > 30\text{GHz}$: fréquences millimétriques), où le facteur de qualité est limité par la partie capacitive (notamment des capacités du résonateur et les capacités parasites des transistors : Fig. 1-7(a)). Cela a donc une conséquence directe sur le bruit de phase qui, en plus d'être détérioré par la montée en fréquence, devient encore plus limité aux fréquences millimétriques (deuxième région) à cause de la chute du facteur de qualité comme illustré par la Fig. 1-7(b).

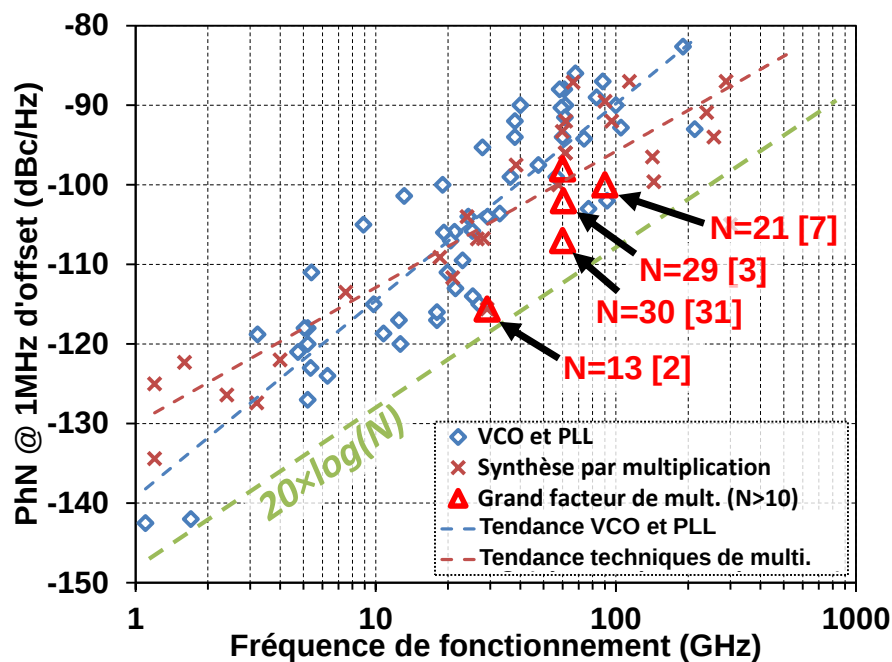


Fig. 1-6 : Bruit de phase à 1MHz d'offset des techniques de génération de fréquence en fonction de leurs fréquences de sorties. Comparaison des tendances entre les techniques classiques de synthèse de fréquences par PLL et VCO (symbole diamant) et celles utilisant la multiplication harmonique (symbole croix). Les techniques à grand facteur-N de multiplication sont également montrés par le symbole triangle.

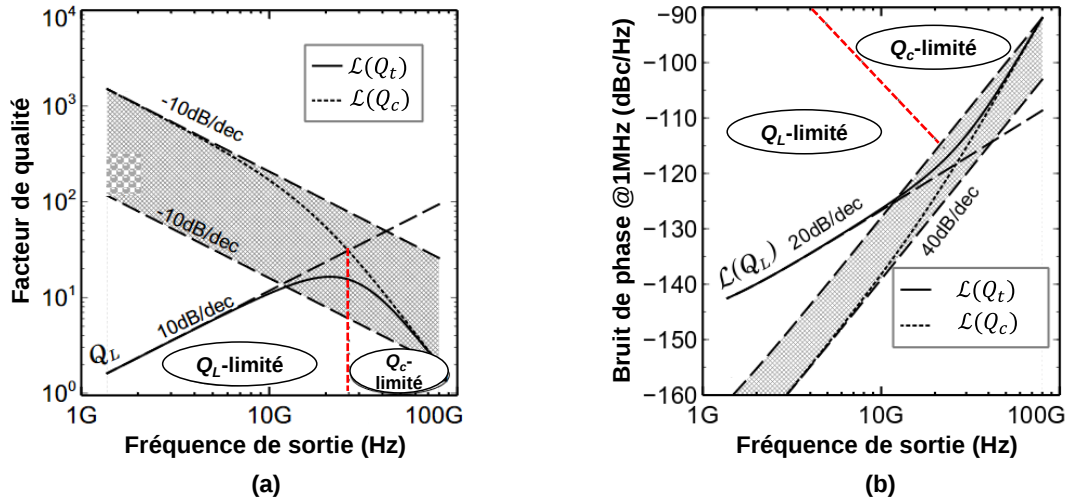


Fig. 1-7 : (a)Facteur de qualité en fonction de la fréquence de sortie du résonateur. (b) Dégradation du bruit de phase en fonction de la fréquence d'oscillation de sortie (source [19]).

La Fig. 1-6 confirme ces analyses et montre que les techniques de multiplication de fréquences permettent de contourner la limitation fatale du facteur de qualité aux fréquences millimétriques et garder donc la tendance selon le facteur multiplicatif $20 \times \log(N)$.

Par ailleurs, pour viser une fréquence en bande mmW, le choix d'un grand facteur de multiplication semble plus judicieux puisque qu'il permet l'utilisation d'une référence de fréquence réduite avec des caractéristiques spectrales avantageuses.

Tableau 1-1 : Jitter intégré requis (pour un $BER < 10^{-3}$) et débit théorique activé (sur une bande de largeur 2.16 GHz) pour différents types de modulations.

Schéma de modulation	Nombre de bits par symbol	RMS jitter intégré [10kHz – 1GHz] (fs) ¹	Débit théorique (Gbit/s) ²
QPSK	2	710	4.32
16QAM	4	370	8.64
64QAM	6	193	12.96
128QAM	7	126	15.12
256QAM	8	97	17.28

¹ On considère un profil de bruit de phase en $1/f^2$ avec un plancher de bruit à hautes fréquences d'offset variable (le jitter dans une bande d'intégration large est dominé par la valeur du plancher).

² Sur une bande de largeur 2.16GHz.

Dans le but d'adresser des modulations d'ordre élevé dans les bandes de fréquences millimétriques, des OLs respectant certaines spécifications de jitter intégré dans la bande d'intérêt sont nécessaires (voir Tableau 1-1). Les techniques de génération de fréquences basées sur la multiplication harmonique se distinguent pour atteindre ces objectifs. Par ailleurs, comme justifié ci-haut, plus le facteur de multiplication est grand, plus la pureté spectrale des fréquences

générées est meilleure. Une technique, en particuliers, permet d'atteindre des rapports de multiplication de plus de 30 est présentée dans [3], [29]. Toutefois, les signaux impliqués dans ce type d'architectures sont le résultat des processus et phénomènes non-linéaires complexes. Afin de maîtriser la génération de fréquences par cette technique de multiplication à grand facteur N , des études et méthodologies de conception et optimisation sont proposées dans les chapitres suivants.

RÉFÉRENCES

- [1] G. Hueber et A. M. Niknejad, Éd., *Millimeter-Wave Circuits for 5G and Radar*, 1^{re} éd. Cambridge University Press, 2019.
- [2] S. Yoo, S. Choi, J. Kim, H. Yoon, Y. Lee, et J. Choi, « A Low-Integrated-Phase-Noise 27-30-GHz Injection-Locked Frequency Multiplier With an Ultra-Low-Power Frequency-Tracking Loop for mm-Wave-Band 5G Transceivers », *IEEE J. Solid-State Circuits*, vol. PP, n° 99, p. 1-14, 2017, doi: 10.1109/JSSC.2017.2749420.
- [3] C. Jany, A. Siligaris, J. L. Gonzalez-Jimenez, P. Vincent, et P. Ferrari, « A Programmable Frequency Multiplier-by-29 Architecture for Millimeter Wave Applications », *IEEE J. Solid-State Circuits*, vol. 50, n° 7, p. 1669-1679, juill. 2015, doi: 10.1109/JSSC.2015.2411623.
- [4] Y. Ghasempour, C. R. C. M. da Silva, C. Cordeiro, et E. W. Knightly, « IEEE 802.11ay: Next-Generation 60 GHz Communication for 100 Gb/s Wi-Fi », *IEEE Commun. Mag.*, vol. 55, n° 12, p. 186-192, déc. 2017, doi: 10.1109/MCOM.2017.1700393.
- [5] R. Wu *et al.*, « 64-QAM 60-GHz CMOS Transceivers for IEEE 802.11ad/ay », *IEEE J. Solid-State Circuits*, vol. 52, n° 11, p. 2871-2891, nov. 2017, doi: 10.1109/JSSC.2017.2740264.
- [6] L. Kull *et al.*, *A 90GS/s 8b 667mW 64x Interleaved SAR ADC in 32nm Digital SOI CMOS*, vol. 57. 2014.
- [7] A. Hamani *et al.*, « A 108-Gb/s 64-QAM CMOS D-Band Rx With Integrated LO Generation », *IEEE Solid-State Circuits Lett.*, vol. 3, p. 202-205, 2020, doi: 10.1109/LSSC.2020.3011529.
- [8] T. Siriburanon *et al.*, « A Low-Power Low-Noise mm-Wave Subsampling PLL Using Dual-Step-Mixing ILFD and Tail-Coupling Quadrature Injection-Locked Oscillator for IEEE 802.11ad », *IEEE J. Solid-State Circuits*, vol. 51, n° 5, p. 1246-1260, mai 2016, doi: 10.1109/JSSC.2016.2529004.
- [9] R. A. Shafik, Md. S. Rahman, et A. R. Islam, « On the Extended Relationships Among EVM, BER and SNR as Performance Metrics », in *2006 International Conference on Electrical and Computer Engineering*, Dhaka, Bangladesh, déc. 2006, p. 408-411, doi: 10.1109/ICECE.2006.355657.
- [10] A. Hajimiri et T. H. Lee, *The design of low noise oscillators*. Boston: Kluwer Academic Publishers, 1999.
- [11] A. Hajimiri et T. H. Lee, « A general theory of phase noise in electrical oscillators », *IEEE J. Solid-State Circuits*, vol. 33, n° 2, p. 179-194, févr. 1998, doi: 10.1109/4.658619.
- [12] Q. Wu *et al.*, « A 10mW 37.8GHz current-redistribution BiCMOS VCO with an average FOMT of $\#x2212;193.5\text{dBc/Hz}$ », in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, févr. 2013, p. 150-151, doi: 10.1109/ISSCC.2013.6487677.
- [13] M. Kraemer, D. Dragomirescu, et R. Plana, « A High Efficiency Differential 60 GHz VCO in a 65 nm CMOS Technology for WSN Applications », *IEEE Microw. Wirel. Compon. Lett.*, vol. 21, n° 6, p. 314-316, juin 2011, doi: 10.1109/LMWC.2011.2134841.
- [14] M. Vigilante et P. Reynaert, « Analysis and Design of an E-Band Transformer-Coupled Low-Noise Quadrature VCO in 28-nm CMOS », *IEEE Trans. Microw. Theory Tech.*, vol. 64, n° 4, p. 1122-1132, avr. 2016, doi: 10.1109/TMTT.2016.2530703.
- [15] H. Jia, B. Chi, L. Kuang, et Z. Wang, « A resonant-mode switchable VCO with 47.6–71.0 GHz tuning range based on π -type LC network », in *2013 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, nov. 2013, p. 321-324, doi: 10.1109/ASSCC.2013.6691047.
- [16] D. D. Kim *et al.*, « A 70GHz Manufacturable Complementary LC-VCO with 6.14GHz Tuning Range in 65nm SOI CMOS », in *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, févr. 2007, p. 540-620, doi: 10.1109/ISSCC.2007.373533.
- [17] J. L. G. Jimenez, F. Badets, B. Martineau, et D. Belot, « A 56GHz LC-tank VCO with 17% tuning range in 65nm bulk CMOS for wireless HDMI applications », in *2009 IEEE Radio Frequency Integrated Circuits Symposium*, juin 2009, p. 481-484, doi: 10.1109/RFIC.2009.5135585.

- [18] O. Momeni et E. Afshari, « High Power Terahertz and Millimeter-Wave Oscillator Design: A Systematic Approach », *IEEE J. Solid-State Circuits*, vol. 46, n° 3, p. 583-597, mars 2011, doi: 10.1109/JSSC.2011.2104553.
- [19] C. S. Dwight Jose, « Générateurs de fréquence millimétrique à faible bruit de phase destinés à des applications backhauling sur une technologie BiCMOS - document », PhD, Université de Bordeaux, Bordeaux, 2018.
- [20] D. Murphy *et al.*, « A Low Phase Noise, Wideband and Compact CMOS PLL for Use in a Heterodyne 802.15.3c Transceiver », *IEEE J. Solid-State Circuits*, vol. 46, n° 7, p. 1606-1617, juill. 2011, doi: 10.1109/JSSC.2011.2143950.
- [21] V. Szortyka, Q. Shi, K. Raczkowski, B. Parvais, M. Kuijk, et P. Wambacq, « 21.4 A 42mW 230fs-jitter sub-sampling 60GHz PLL in 40nm CMOS », in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, févr. 2014, p. 366-367, doi: 10.1109/ISSCC.2014.6757472.
- [22] N. Mazar et E. Socher, « Analysis and design of an X-band-to-W-band CMOS active multiplier with improved harmonic rejection », *IEEE Trans. Microw. Theory Tech.*, vol. 61, n° 5, p. 1924-1933, mai 2013, doi: 10.1109/TMTT.2013.2252914.
- [23] Shih-Chieh Yen et Tah-Hsiung Chu, « An Nth-harmonic oscillator using an N-push coupled oscillator array with voltage-clamping circuits », in *IEEE MTT-S International Microwave Symposium Digest, 2003*, juin 2003, vol. 3, p. 2169-2172 vol.3, doi: 10.1109/MWSYM.2003.1210593.
- [24] H. Koo, C.-Y. Kim, et S. Hong, « Design and Analysis of 239 GHz CMOS Push-Push Transformer-Based VCO With High Efficiency and Wide Tuning Range », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 62, n° 7, p. 1883-1893, juill. 2015, doi: 10.1109/TCSI.2015.2426957.
- [25] C. Marcu *et al.*, « A 90 nm CMOS Low-Power 60 GHz Transceiver With Integrated Baseband Circuitry », *IEEE J. Solid-State Circuits*, vol. 44, n° 12, p. 3434-3447, déc. 2009, doi: 10.1109/JSSC.2009.2032584.
- [26] H. Holisaz et S. Safavi-Naeini, « A Low Noise D-Band VCO With a Wide Bandwidth and a Steady Output Power », *IEEE Microw. Wirel. Compon. Lett.*, vol. 25, n° 11, p. 742-744, nov. 2015, doi: 10.1109/LMWC.2015.2481083.
- [27] Z. Zong, M. Babaie, et R. B. Staszewski, « A 60 GHz Frequency Generator Based on a 20 GHz Oscillator and an Implicit Multiplier », *IEEE J. Solid-State Circuits*, vol. 51, n° 5, p. 1261-1273, mai 2016, doi: 10.1109/JSSC.2016.2528997.
- [28] J. Choi et A. Mortazawi, « Design of push-push and triple-push oscillators for reducing 1/f noise upconversion », *IEEE Trans. Microw. Theory Tech.*, vol. 53, n° 11, p. 3407-3414, nov. 2005, doi: 10.1109/TMTT.2005.858382.
- [29] N. Deparis, A. Siligaris, P. Vincent, et N. Rolland, « Ultra low consumption UWB pulsed-ILO RF front-end transmitter at 60 GHz in 65-nm CMOS-SOI », in *2009 IEEE 20th International Symposium on Personal, Indoor and Mobile Radio Communications*, sept. 2009, p. 1652-1656, doi: 10.1109/PIMRC.2009.5449967.
- [30] R. Adler, « A Study of Locking Phenomena in Oscillators », *Proc. IRE*, vol. 34, n° 6, p. 351-357, juin 1946, doi: 10.1109/JRPROC.1946.229930.
- [31] A. Siligaris *et al.*, « A Multichannel Programmable High Order Frequency Multiplier for Channel Bonding and Full Duplex Transceivers at 60 GHz Band », in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Los Angeles, CA, USA, août 2020, p. 259-262, doi: 10.1109/RFIC49505.2020.9218433.

Chapitre 2: MODELISATION ET SIMULATIONS DES OSCILLATEURS EN BANDE MILLIMETRIQUE ET EN TECHNOLOGIES CMOS AVANCEES

2.1 INTRODUCTION

Les techniques de multiplication de fréquences permettent d'augmenter la pureté spectrale des synthétiseurs dans la gamme de fréquences millimétriques comparées aux techniques classiques de génération par la boucle à verrouillage de phase PLL ou les oscillateurs commandés par tensions VCO. De plus, plus la fréquence de référence est petite (bruit réduit) et le rapport de multiplication est grand (pour atteindre les fréquences millimétriques), plus le bruit de phase en sortie du multiplieur de fréquences est réduit. En particulier, une technique de multiplication basée sur l'utilisation d'oscillations pulsés permet d'atteindre des grands facteurs de multiplication (30 et 120 dans [1], [2] respectivement). L'architecture de cette technique est montrée à la Fig. 2-1.

Afin de tirer profits des avantages présentés par cette technique de multiplication, une compréhension de la distribution du bruit de phase le long de la chaîne de synthèse et son mécanisme de variation en fonction des paramètres du circuit est une étape essentielle. Cela permettra également la maîtrise de l'architecture pour des fins d'optimisation en phase de conception et de mesures. Toutefois, les signaux impliqués dans ce type d'architectures sont le résultat des processus et phénomènes non-linéaires complexes. L'étude de ces phénomènes représente un défi adressé dans ce travail de thèse.

Dans cette optique, des techniques d'analyses et de simulations des circuits non-linéaires oscillants en bande millimétrique sont présentées.

Premièrement, la modélisation des éléments technologiques (actifs et passifs) est présentée. Ensuite, la formulation analytique des équations non-linéaires différentielles algébriques (ENA) génériques des oscillateurs en régimes libre et forcé dans le domaine temporel sont données [1, 2]. Des solutions approchées, comme présenté à la littérature, des paramètres caractéristiques sont exposées (fréquences et amplitudes d'oscillation, bandes de synchronisation...).

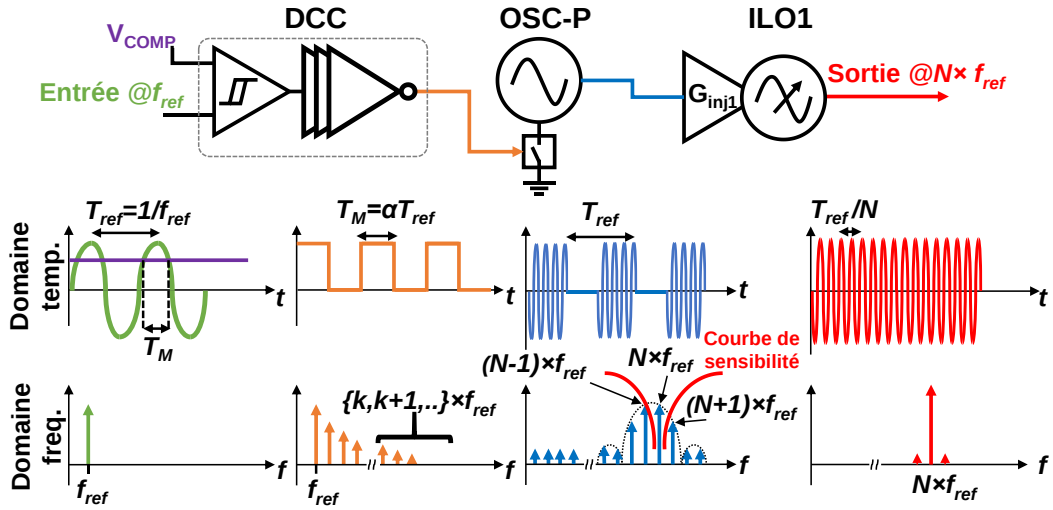


Fig. 2-1 : Architecture d'un multiplieur de fréquences à grand facteur de multiplication [1], [5].

Les simulations numériques au niveau technologiques sont plus précises que les techniques de linéarisation au détriment d'un temps de calcul et des besoins en mémoire importants. Des techniques de simulations numériques alternatives, utilisant des modèles linéaires et non-linéaires simplifiés des éléments passifs et actifs, dans les deux domaines temporel et fréquentiel sont utilisés. Cette résolution numérique des ENDA a permis de trouver des solutions approchées tout en réduisant les coûts de simulations (en temps et en mémoires).

A la dernière partie de ce chapitre sont présentés les contributions à la modélisation de la chaîne de multiplication de fréquences de la Fig. 2-1. Les expressions dans le domaine fréquentiel des formes d'ondes sont exposées ainsi que ceux du bruit de phase des différents signaux impliqués dans le processus de multiplication. Ces modèles analytiques sont comparés avec les simulations numériques des circuits non-linéaires équivalents (CNEs) et les circuits niveaux réels utilisant les composants de la technologie.

2.2 MODELES DES COMPOSANTS TECHNOLOGIQUES POUR LA CONCEPTION EN BANDE MILLIMETRIQUES

2.2.1 MODELISATION DES COMPOSANTS PASSIFS

Les éléments distribués comme les lignes de transmissions sont difficiles à traiter par les techniques de simulations numériques [6]. Les méthodes d'intégrations temporels par exemple décrivent ces éléments par leur réponse impulsionnelle extraite des matrices S , Y ou Z . L'intégration de la réponse impulsionnelle dans le système des ENDAs du circuit est effectué par des opérations de convolutions. En plus que le nombre d'opérations effectué est généralement très coûteux en temps, cette technique requière une évaluation de la réponse de l'élément à chaque pas de calcul le long de tout l'intervalle de simulation.

Pour réduire la complexité des circuits utilisant les éléments distribués, il est possible de remplacer ces derniers par des éléments dits localisés. Comme leur nom l'indique, les éléments localisés permettent de modéliser le comportement des éléments distribués par des simples configurations de composants RLC autour d'une fréquence donnée f_0 (capacités, inductances et résistances). La ligne de transmission de longueur d , impédance caractéristique Z_c et de constante de propagation γ peut ainsi être remplacé par un simple réseau équivalent RLC comme illustré à la Fig. 2-2(a). Les valeurs des composants RLC sont déterminés en fonctions des paramètres caractéristiques de la ligne $\{Z_c, \gamma, d\}$ [7], [8, p. 29].

2.2.2 MODELISATION DES COMPOSANTS ACTIFS

De même que les lignes de transmissions, les simulations numériques des circuits électroniques avec des modèles physiques des transistors sont plus rigoureux que les modèles empiriques réduits. En revanche, ces derniers permettent de réduire les contraintes sur les temps de calculs [9, p. 83] et les conditions de convergence des simulateurs (pas de calcul dépend de l'ordre de linéarités des composants du circuit [6, p. 275]). De plus, une forme analytique des grandeurs du circuits permet de comprendre l'influence de chaque paramètre sur le fonctionnement et les performances du circuit.

Il existe deux types de modèles de transistors : modèle linéaire petit signal et modèle non-linéaire grand signal. On fait généralement appel au premier dans les calculs analytiques petit signal pour par exemple évaluer le comportement fréquentiel des montages en hautes fréquences (capacités C_{gs} , C_{gd} , C_{ds} ... etc.). Les modèles non-linéaires sont utilisés pour approcher un fonctionnement plus réaliste du circuit. Ce modèle prend en compte des non-linéarités d'ordre supérieur des transistors afin de qualifier et/ou quantifier leurs effets sur la réponse du circuit (phénomènes non-linéaires comme la génération naturel d'harmoniques absentes dans le signal d'excitation,

l'intermodulation, conversion AM $\rightleftharpoons$ PM...etc.) ainsi que sur ses grandeurs caractéristiques (fréquence et amplitudes d'oscillations, bruits de phase). La Fig. 2-2(b) montre le montage d'extraction des paramètres des deux modèles linéaires et non-linéaires d'un transistor T de largeur de canal W_T et la longueur L .

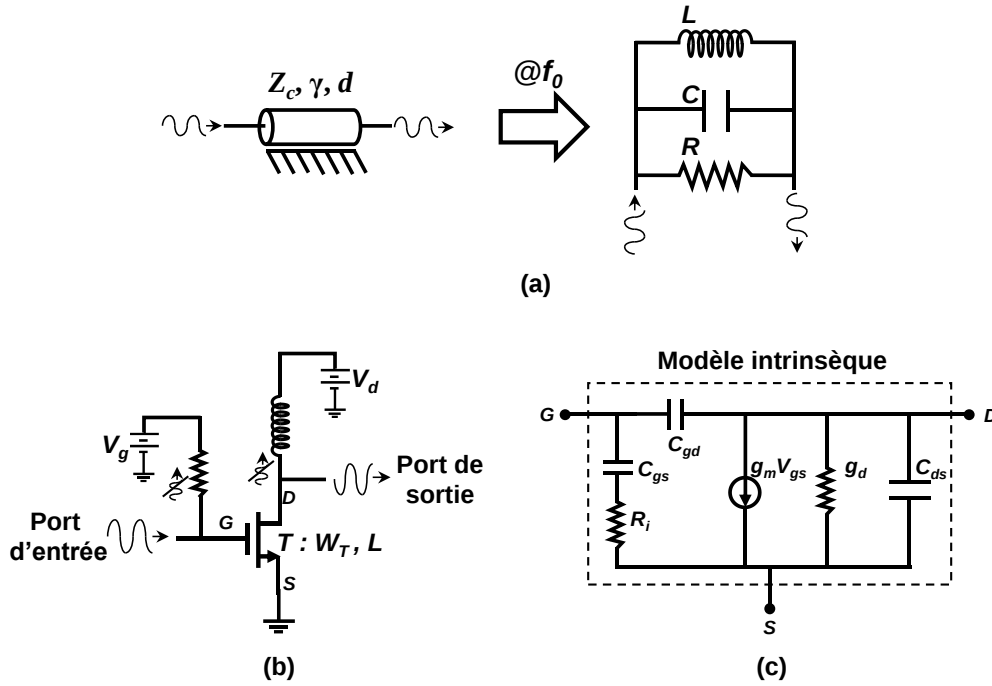


Fig. 2-2 : (a) Réseau RLC équivalent d'une ligne de transmission autour de la fréquence f_0 . (b) Schéma électrique de la technique d'extraction des paramètres de l'éléments actif. (c) Modèle linéaire petit signal du transistor NMOS SOI.

2.2.2.1 Modèle linéaire petit signal du transistor CMOS SOI

La Fig. 2-2(c) montre un schéma équivalent petit signal intrinsèque simplifié du transistor de la technologie 45nm CMOS RFSOI autour d'un point de polarisation [9], [10]. Il est constitué des éléments suivants : la résistance intrinsèque R_i entre la source et le canal de propagation des charges (généralement négligeable du fait du faible courant qui la parcourt) ; C_{gs} et C_{gd} représentant les capacités équivalentes entre la grille et la source ou le drain respectivement ; C_{ds} est la capacité équivalente du part et d'autres du canal (entre le drain et la source) ; une transconductance linéaire g_m liant la tension d'excitation V_{gs} au courant de sortie I_{ds} ; enfin g_d représente la conductance du canal source drain.

Autour du point de polarisation, la détermination de la matrice Y en fonction de la fréquence permet généralement d'extraire les valeurs des paramètres du modèle petit signal (relations de passages donnée dans [10], [11]). Pour la technologie 45nm RFSOI utilisée dans le cadre de ce travail, un exemple des valeurs de ces paramètres par unité de longueur et autour d'un point de polarisation $\{V_{gs0}, V_{ds0}\}$ sont donnée au Tableau 2-1.

Tableau 2-1 : Les paramètres intrinsèques extraites par unité de largeur W_T du transistor RF de la technologie CMOS 45nm RFSOI.

g_m (mS/ μ m)	g_d (mS/ μ m)	C_{ds} (fF/ μ m)	C_{gs} (fF/ μ m)	C_{gd} (fF/ μ m)
1.03	0.28	0.49	0.59	0.29

2.2.2.2 Modèle non-linéaire grand signal du transistor CMOS SOI

L'extraction des non-linéarités du transistor T autour d'un point $\{V_{gs0}, V_{ds0}\}$ est effectué en variant légèrement les tensions de polarisation V_{gs} et V_{ds} autour de ce point. Le courant à la sortie du transistor peut s'exprimer par des fonctions polynomiales selon le développement de Taylor comme suit :

$$I_{DS}(V_{gs}, V_{ds})|_{\{V_{gs0}, V_{ds0}\}} = I_0 + \sum_{k=1}^n g_{m,k} (V_{gs} - V_{gs0})^k + g_{d,k} (V_{ds} - V_{ds0})^k + O(V^n) \quad \text{Eq. 2.1}$$

Le courant I_0 est le courant DC obtenue au point de polarisation. Les termes de non-linéarités sont déterminés par les relations suivantes :

$$\begin{cases} g_{m,k} = \frac{1}{k!} \frac{\partial^k I_{DS}}{\partial V_{gs}^k} \\ g_{d,k} = \frac{1}{k!} \frac{\partial^k I_{DS}}{\partial V_{ds}^k} \end{cases} \quad \text{Eq. 2.2}$$

A partir de ces linéarisations équivalentes des composants actifs et passifs, on extrait les schéma équivalent des circuits dans le but de les simuler numériquement et les étudier analytiquement comme exposer dans la suite de ce travail.

2.3 ETUDES ANALYTIQUES NON-LINEAIRES DES OSCILLATEURS EN BANDE MMW

2.3.1 INTRODUCTION

Historiquement, les approches théoriques de bases pour la conception des oscillateurs électriques sont définies depuis plus d'un demi-siècle [3], [12], [13]. Barkhausen décrit l'oscillateur comme un circuit linéaire à rétroaction et formule les fameux de stabilité [13]. Selon Kurokawa dans [12], l'analyse d'un oscillateur dans la gamme de fréquences microondes se ramène à une analyse d'un dipôle à résistance négative. L'oscillateur est ainsi décrit par une mise en parallèle d'un dipôle à résistance négative (partie non-linéaire active) et l'impédance équivalente vue par ce dipôle (partie linéaire passive). A partir de ce modèle, Kurokawa formule les conditions de démarrage et maintien d'oscillations stables. Les solutions dans ce cas correspondent au régime permanent (fréquence et amplitude d'oscillation). Malgré que cette technique ne décrive pas la dynamique de variation des paramètres du circuit dans le domaine temporel, elle est encore utilisée aujourd'hui pour le dimensionnement des oscillateurs en bandes des radiofréquences et des fréquences millimétriques. Van der Pol de son côté explique le phénomène d'oscillations par la caractéristique non-linéaire de l'élément actif [3]. Cela a permis de formuler le comportement de l'oscillateur par une équation non-linéaire différentielle algébrique dont la forme généralisée est donnée par l'Eq. 2.3.

$$\ddot{v} + \omega_0^2 v = \varepsilon \omega_0 (1 - kv^2) \dot{v} \quad \text{Eq. 2.3}$$

ω_0 est la pulsation propre en absence de l'amortissement non-linéaire $\varepsilon \omega_0 (1 - kv^2)$. ε est le coefficient d'amortissement. Dans le cas des oscillateurs à résistance négative (compensation des pertes d'amortissement) comme dans le cas des oscillateurs RF et mmW, on suppose que $\varepsilon \ll 1$. Cela signifie que la vitesse d'évolution de l'amplitude sur une période d'oscillation est négligeable. Autrement dit, la construction des oscillations quasi-sinusoïdal est lente sur l'échelle de la période. Contrairement aux oscillateurs de relaxation ($\varepsilon \gg 1$) où les l'amplitude le régime permanent est atteint en une période approximativement. L'oscillateur harmonique ou sinusoïdal est obtenu pour $\varepsilon=0$, mais ne représente pas un cas réel d'oscillateurs compte tenu de l'absence des pertes.

L'équation NDA de Van der Pol décrit la dynamique de variation de l'amplitude et fréquence d'oscillation en fonction du temps dans les deux régimes transitoire et permanent. Elle n'admet de solution analytique exacte [14]. En revanche, selon le théorème de Poincaré-Bendixson [15], si la trajectoire est bornée (par la tension d'alimentation dans les systèmes électroniques), alors soit la fonction v converge vers une limite (point DC ou pas d'oscillation), soit son comportement asymptotique est une fonction périodique appelée cycle-limite. Des solutions approchées a la fonction v ont été proposées à la littérature sous la forme généralisée :

$$v(t) = A_i(t) \cos(\omega_i(t)t + \varphi_0) \quad \text{Eq. 2.4}$$

Où A_i et ω_i représentent l'amplitude la pulsation instantanées d'oscillation. φ_0 est la phase moyenne absolue à la sortie de l'oscillateur.

Les approximations de la solution de l'équation de Van der Pol proposées à l'état de l'art sont exposées dans cette partie. Ces solutions décrivent l'évolution des grandeurs de l'Eq. 2.4 dans le domaine temporel (Amplitude, fréquence et phase). A la fin de la partie, un bref rappel des modèles de bruit de phase souvent utilisé à l'état de l'art est donné.

2.3.2 OSCILLATEURS EN REGIME LIBRES

Le circuit électrique d'un oscillateur à paire croisée en oscillation libre est montré à la Fig. 2-3(a). Il est constitué d'un montage de transistor représentant la rétroaction non-linéaire, un résonateur LC représentant la partie linéaire. La Fig. 2-3(b) montre le schéma équivalent basé sur les modèles présentés dans la première partie de ce chapitre.

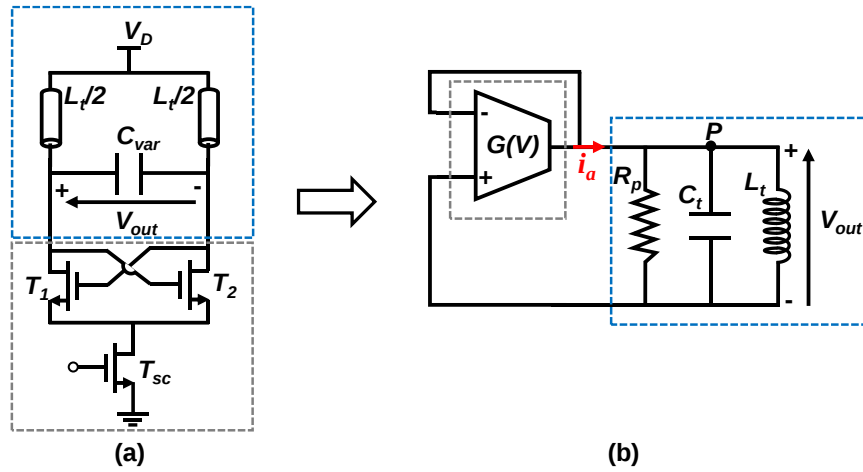


Fig. 2-3 : La réalisation électrique d'un oscillateur à paire croisée avec les éléments de la technologie (a) et son circuit non-linéaire équivalent simplifié utilisant les modèles des éléments technologiques (b).

Le schéma équivalent est constitué d'un élément actif et un résonateur $\{R_p; L_t; C_t\}$. La résistance R_p modélise les pertes dans le résonateur LC. La capacité équivalente C_t est la somme de la capacité C_{var} et les capacités parasites du transistor et de la ligne de transmission (voir les modèles des parties 2.2.1 et 2.2.2). Le courant à la sortie de l'élément actif peut être exprimé par [8] :

$$i_a(V_{out}) = g_1 V_{out} + g_3 V_{out}^3 + \dots + O(V_{out}^n) \quad \text{Eq. 2.5}$$

Où les non-linéarités g_i sont extraites comme expliqué à la partie 2.2.2. Une approximation non-linéaire du courant au troisième ordre est suffisante pour modéliser le comportement de l'oscillateur sans augmenter la complexité de l'équation NDA.

En utilisant la loi de Kirchhoff au nœud P de la Fig. 2-3(b), le courant de l'Eq. 2.5 peut également être exprimé par :

$$i_a = i_L + i_C + i_R \quad \text{Eq. 2.6}$$

Où i_R , i_C et i_L représentent les courants traversant les branches du résonateur RLC. Leurs expressions respectives sont données par les formules suivantes :

$$\begin{cases} V_{out} = L_t \frac{di_L}{dt} \\ i_C = C_t \frac{dV_{out}}{dt} \\ i_R = \frac{V_{out}}{R_p} \end{cases} \quad \text{Eq. 2.7}$$

En dérivant les termes de l'Eq. 2.6 et en remplaçant par les expressions des Eq. 2.5 et Eq. 2.7, on peut écrire :

$$\frac{V_{out}}{L_t} + C_t \frac{d^2 V_{out}}{dt^2} = \left(g_1 - \frac{1}{R_p} + 3g_3 V_{out}^2 \right) \frac{dV_{out}}{dt} \quad \text{Eq. 2.8}$$

Cette équation peut ainsi être mise sous la forme généralisée de l'équation NDA de Van der Pol (Eq. 2.3). Où :

$$\begin{cases} \omega_0 = \frac{1}{\sqrt{L_t C_t}} \\ \varepsilon = \frac{g_1 - 1/R_p}{C_t \omega_0} \\ k = \frac{3g_3}{g_1 - 1/R_p} \end{cases} \quad \text{Eq. 2.9}$$

- Amplitude d'oscillation

L'approximation de l'amplitude instantanée d'oscillations (enveloppe variable) a été premièrement introduit par Van der Pol. Il est exprimé comme suit :

$$A_i(t) = \frac{2/\sqrt{k}}{\sqrt{1 + e^{-\varepsilon \omega_0 (t-t_0)}}} \quad \text{Eq. 2.10}$$

Avec t_0 introduite comme variable arbitraire d'intégration. Cette équation décrit l'évolution de l'amplitude entre le régime transitoire et permanent suivant la fonction $e^{+\varepsilon \omega_0 t}$. En régime établi, sa valeur est égale :

$$A_{RP} = A_i(\infty) = 2/\sqrt{k} \quad \text{Eq. 2.11}$$

Une autre expression de l'enveloppe instantanée d'oscillations a été proposé par Krylov-Bogoliubov sous la forme [8] :

$$A_i(t) = \frac{A_0 e^{\frac{\varepsilon \omega_0 t}{2}}}{\sqrt{1 + \left(\frac{A_0}{A_{RP}}\right)^2 (e^{\varepsilon \omega_0 t} - 1)}} \quad \text{Eq. 2.12}$$

A_0 représente l'amplitude initiale d'oscillation déterminé les conditions de initiales.

- Fréquence d'oscillation

Van der Pol a également donné une approximation de la fréquence d'oscillation en régime permanent en tenant en compte les harmoniques d'ordre supérieur par la relation suivante :

$$\omega_{RP}' = \omega_0 \left[1 - \frac{1}{2} \sum_{n=2}^{\infty} (n^2 - 1) \left(\frac{a_n}{A_{RP}} \right)^2 \right] \quad \text{Eq. 2.13}$$

Où ω_0 est la pulsation propre. Les termes a_i sont les coefficients de Fourier définies tel que :

$$V_{out}(t) = \sum_{n=1}^{\infty} a_n \cos(n\omega_{RP}t + \varphi_0) \quad \text{Eq. 2.14}$$

Où l'amplitude du fondamental a_1 est donné par l'Eq. 2.11.

Une autre forme de la fréquence est proposée en utilisant la méthode de Poincaré-Lindstedt [16] (sous l'hypothèse $\varepsilon \ll 1$) :

$$\omega_{RP} = \omega_0 \left[1 - \left(\frac{\varepsilon}{16} \right)^2 \right] \quad \text{Eq. 2.15}$$

Les deux équations Eq. 2.13 et Eq. 2.15 sont cohérentes. En effet, leur interprétation physique coïncide : plus les non-linéarités de l'oscillateur (représenté par l'amplitude des harmoniques dans la première et ε dans la deuxième) sont fortes plus la fréquence est réduite.

Bien que ces deux derniers modèles donnent une approximation à la fréquence au régime permanent, ils ne décrivent pas son évolution instantanée. En exploitant la corrélation entre la variation instantanée de l'amplitude et la fréquence, Jany a exprimé cette dernière par la relation [8] :

$$\omega_i(t) = \omega_N + K \frac{dA_i}{dt} A_i(t)^2 + \frac{\omega_{RP} - \omega_N}{A_{RP}} A_i(t)^2 \quad \text{Eq. 2.16}$$

ω_N est la pulsation dans la phase de démarrage d'oscillation obtenue en négligeant la partie non-linéaire de l'élément actif. K est une constante d'ajustement obtenue en supposant que la fréquence instantanée est égale, au plus, à la fréquence propre ω_0 .

2.3.3 OSCILLATEURS EN REGIME FORCES

Jusqu'à présent, on a étudié les oscillateurs en régime libre, c'est-à-dire les circuits capables d'auto-entretenir des oscillations sans la présence d'une excitation extérieure. Il existe un autre

type d'oscillateurs dits en régime forcé. Comme leur nom l'indique, ce sont des circuits oscillants avec la présence d'un signal d'excitation à leurs « entrées ». Selon la nature du signal d'entrée, deux types d'oscillateurs forcés pourront être distingués : oscillateur verrouillé par injection (ILO : injection locked oscillator) et oscillateurs à allumage périodique (OSC-P : oscillateur pulsé). Dans cette partie, on présente l'état de l'art des théories des deux types d'oscillateurs.

2.3.3.1 Oscillateurs verrouillés par injection - ILO

Le verrouillage par injection admet plusieurs applications dans le domaine des radiofréquences. Cette technique est utilisée dans les diviseurs de fréquences, les générateurs de signaux quadratiques et le filtrage harmonique. Dans ce manuscrit, seul le cas de filtrage harmonique est étudié. Le rapport f_{in}/f_{out} entre la fréquence d'entrée et de sortie dans ce cas est au voisinage de 1.

La Fig. 2-4 (a) montre le schéma électrique d'un circuit à paire croisée injecté par un signal V_{in} . Un courant I_{inj} est introduit dans le résonateur de la paire croisée à l'aide de deux transistors $T_{inj1\&2}$. Le circuit non-linéaire équivalent est dessiné à la Fig. 2-4(b). A noter que les capacités parasites ramenés par les transistors d'injection sont négligées dans ce cas (peuvent également être rajouté dans la valeur de la capacité C_t).

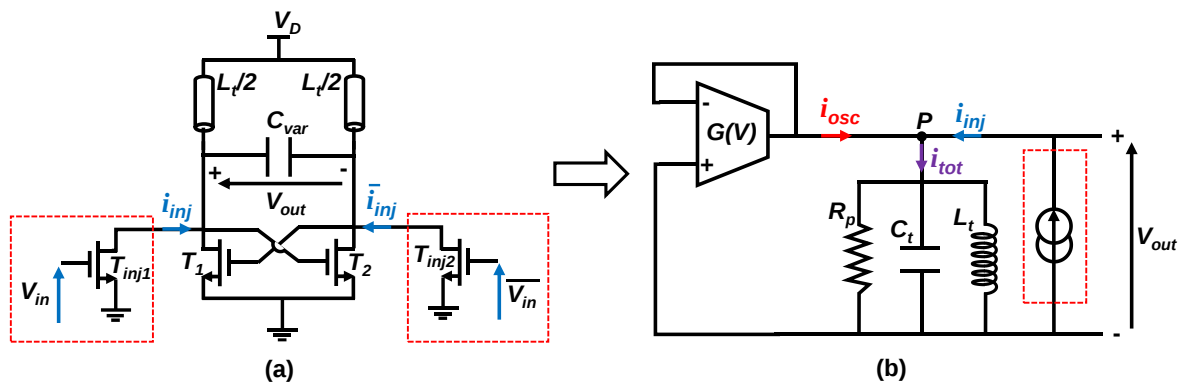


Fig. 2-4 : Schéma électrique d'un oscillateur à paire croisée verrouillé par injection (a) et son circuit non-linéaire équivalent (b).

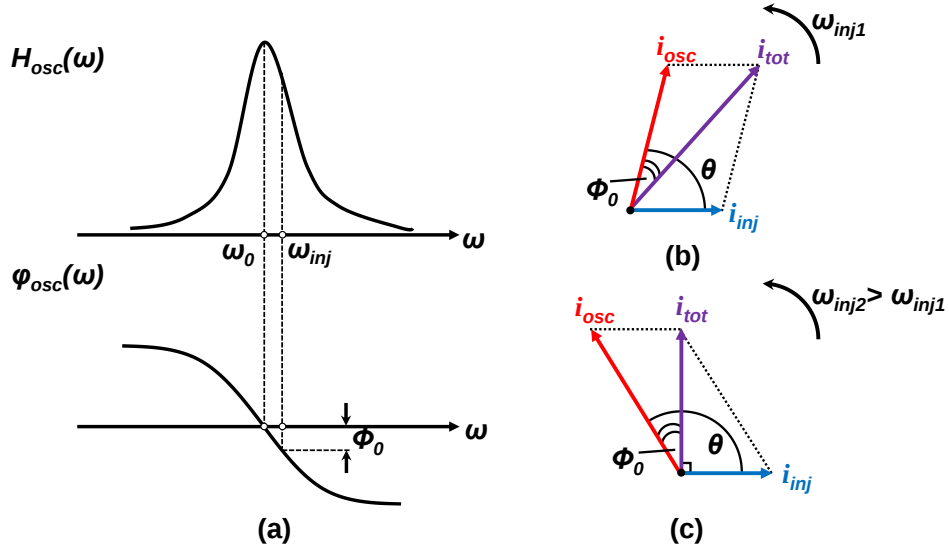


Fig. 2-5 : Illustration du phénomène d'injection. La phase absolue à la sortie de l'oscillateur est représentée par φ_{osc} . L'angle θ représente le déphasage entre le signal d'injection et le signal de sortie ($\theta = \varphi_{osc} - \varphi_{inj}$).

De la même façon que le cas d'un oscillateur libre, les lois de Kirchhoff au nœud P permettent d'extraire l'équation non-linéaire différentiel algébrique suivante :

$$\frac{V_{out}}{L_t C_t} + \frac{d^2 V_{out}}{dt^2} = \frac{1}{C_t} \left(g_1 - \frac{1}{R_p} + 3g_3 V_{out}^2 \right) \frac{dV_{out}}{dt} + \frac{1}{C_t} \frac{di_{inj}}{dt} \quad \text{Eq. 2.17}$$

Dans le cas des oscillateurs verrouillés par injection, on suppose généralement que le signal d'injection est sinusoïdal exprimé sous la forme :

$$i_{inj} = I_{inj} \sin(\omega_{inj} t + \varphi_{inj}) \quad \text{Eq. 2.18}$$

Ainsi l'ENDA peut s'écrire comme suit :

$$\ddot{v} - \varepsilon \omega_0 (1 - kv^2) \dot{v} + \omega_0^2 v = \frac{I_{inj} \omega_{inj}}{C_t} \cos(\omega_{inj} t + \varphi_{inj}) \quad \text{Eq. 2.19}$$

C'est la forme canonique de l'équation de Van der Pol en régime forcé avec ω_0, ε et k sont donnés à l'Eq. 2.9.

La forme de la solution de l'Eq. 2.19 dépend des paramètres de l'oscillateur et du signal d'injection. Sous certaines conditions, le signal de sortie se synchronise au signal injecté. Le circuit oscille dans ce cas à la fréquence d'excitation ω_{inj} au lieu de la fréquence d'oscillation libre (que l'on suppose égale à ω_0). En effet, quand l'oscillateur est en régime libre, la phase totale en boucle ouverte est de 360° (condition d'oscillation de Barkhausen à la fréquence ω_0). La présence du signal d'injection introduit un déphasage supplémentaire de ϕ_0 comme illustré à la Fig. 2-5(a). Par conséquent, pour rattraper ce déphasage, et sous certaines conditions, le circuit oscille à une nouvelle fréquence ω_{inj} tel que $\phi_0 = |\varphi_{osc}(\omega_0) - \varphi_{osc}(\omega_{inj})|$.

Pour illustrer graphiquement ce phénomène, supposons que les conditions de synchronisation sont respectées. Lors de l'introduction d'une phase non-nulle Φ_0 par l'ajout d'une composante de courant i_{inj} , le courant résultant à la sortie du résonateur forme un angle avec le courant sortant de l'élément actif i_{osc} (en phase avec la tension d'oscillation). Ce dernier, forme à son tour un angle θ avec le courant injecté (car si le courant i_{inj} est en phase avec i_{osc} , le courant résultant de la somme des deux i_{tot} sera à son tour en phase avec les premiers... or cela contredit la supposition $\Phi_0 \neq 0$). On peut ainsi représenter les trois courants dans le domaine complexe par le digramme illustré de la Fig. 2-5(b).

- Bande de verrouillage :

Afin de déterminer la bande de verrouillage (fréquences pour lesquelles la synchronisation se produit), il faut d'abord déterminer l'évolution des phases θ et Φ_0 quand ω_{inj} varie au voisinage de ω_0 . A partir du diagramme de la Fig. 2-5(b), on peut écrire :

$$\sin \Phi_0 = \frac{I_{inj}}{I_{tot}} \sin \theta = \frac{I_{inj} \sin \theta}{\sqrt{I_{osc}^2 + 2I_{inj}I_{osc} \cos \theta + I_{inj}^2}} \quad \text{Eq. 2.20}$$

Où I_{inj} , I_{osc} et I_{tot} sont les amplitudes des courants i_{inj} , i_{osc} et i_{tot} respectivement. Par conséquent, quand ω_{inj} s'éloigne de ω_0 , la phase Φ_0 augmente provoquant à son tour l'augmentation de l'angle θ . Le maximum du deuxième terme est atteint quand [17]:

$$\cos \theta = -\frac{I_{inj}}{I_{osc}} \quad \text{Eq. 2.21}$$

L'Eq. 2.20 devient donc :

$$\sin \Phi_{0,max} = \frac{I_{inj}}{I_{osc}} \quad \text{Eq. 2.22}$$

Une illustration graphique de ce cas est donnée à la Fig. 2-5(c). Or la caractéristique de variation du déphasage du résonateur RLC au voisinage de la fréquence de résonance peut s'approximer par une droite sous la forme :

$$\tan \Delta \varphi_{osc} \approx \frac{2Q}{\omega_0} (\omega_0 - \omega) \quad \text{Eq. 2.23}$$

Où ω est une fréquence variable au voisinage de ω_0 . Ainsi, en notant $\omega_L = |\omega_0 - \omega_{inj,max}|$, on peut écrire que (au voisinage de ω_0 on a $\Phi_{0,max} < \pi/2$) :

$$\tan \Phi_{0,max} = \frac{2Q}{\omega_0} \omega_L \quad \text{Eq. 2.24}$$

Soit, en utilisant le résultat de l'Eq. 2.21 dans la relation $\tan \Phi_{0,max} = I_{inj}/I_{tot}$ (config. Fig. 2-5(c)), la bande de verrouillage (ou de synchronisation) de l'oscillateur sur le signal d'injection peut être exprimée par [17], [18]:

$$\omega_L = \frac{\omega_0 I_{inj}}{2Q I_{osc}} \frac{1}{\sqrt{1 - \left(\frac{I_{inj}}{I_{osc}}\right)^2}} \quad \text{Eq. 2.25}$$

Sous l'hypothèse de faible injection $I_{inj} \ll I_{osc}$, on retrouve l'expression approchée proposé par Adler [4] :

$$\omega_{L,A} = \frac{\omega_0 I_{inj}}{2Q I_{osc}} \quad \text{Eq. 2.26}$$

Par conséquent, le circuit se synchronise au signal d'injection si et seulement si (aussi appelé condition d'Adler) :

$$|\omega_0 - \omega_{inj}| < \omega_L \quad \text{Eq. 2.27}$$

Cette condition détermine limite minimale une limite de la puissance à injecter pour synchroniser un oscillateur au signal d'injection.

- Equation d'Adler décrivant la dynamique de verrouillage

A noter que dans cette partie, la condition de verrouillage n'est pas forcément respectée. Il y a donc une différence entre la fréquence injectée ω_{inj} et la fréquence instantanée ω .

Revenons à l'illustration graphique du phénomène d'injection de la Fig. 2-5. On peut écrire :

$$\tan \phi_0 = \frac{I_{inj} \sin \theta}{I_{osc} + I_{inj} \cos \theta} \quad \text{Eq. 2.28}$$

En utilisant l'expression de déphasage introduit par le résonateur à une fréquence ω (Eq. 2.23), on peut écrire :

$$\frac{2Q}{\omega_0} [(\omega_0 - \omega_{inj}) - (\omega - \omega_{inj})] = \frac{I_{inj} \sin \theta}{I_{osc} + I_{inj} \cos \theta} \quad \text{Eq. 2.29}$$

Où $\Delta\omega_0 = (\omega_0 - \omega_{inj})$ représente la différence de fréquence initiale entre la fréquence du signal injecté et celui de l'oscillateur en régime libre. Etant donné que $\theta = \varphi_{osc} - \varphi_{inj}$, la différence instantanée entre d'oscillation et la fréquence d'injection peut être exprimée comme suit :

$$\frac{d\theta}{dt} = (\omega - \omega_{inj}) \quad \text{Eq. 2.30}$$

Ainsi en remplaçant cette expression dans l'Eq. 2.29 on obtient l'équation décrivant la dynamique des oscillateurs verrouillés par injection :

$$\frac{d\theta}{dt} = \Delta\omega_0 - \frac{\omega_0}{2Q} \frac{I_{inj} \sin \theta}{I_{osc} + I_{inj} \cos \theta} \quad \text{Eq. 2.31}$$

Cette équation est une généralisation de l'équation d'Adler. Elle permet de décrire le mécanisme de variation des paramètres caractéristiques (fréquence et phase) du circuit injecté pour

différents états de la sortie : verrouillage et pulling (perte de synchronisation). Sous la condition de faible injection ($I_{inj} \ll I_{osc}$), on retrouve l'équation originale proposée par Robert Adler en 1946.

Les deux signaux se synchronisent quand les deux vecteurs i_{osc} et i_{inj} tournent à la même vitesse angulaire ($\omega = \omega_{inj}$). Autrement dit, quand $d\theta/dt=0$. L'expression de l'équation Eq. 2.31 devient :

$$\Delta\omega_0 = \frac{\omega_0}{2Q} \frac{I_{inj} \sin \theta}{I_{osc} + I_{inj} \cos \theta} \quad \text{Eq. 2.32}$$

A la limite de la synchronisation ($\theta=\pi/2$, config. Fig. 2-5(b)), on retrouve l'expression de la bande de verrouillage $\Delta\omega_{0,max} = \omega_L$ de l'Eq. 2.25. Dans ces conditions, la solution de l'Eq. 2.32 permet de déterminer la différence de phase entre les courants d'entrée et de sortie en régime permanent. Sous l'hypothèse de faible injection, Adler exprime ce déphasage par [4]:

$$\theta_{RP} = \sin^{-1} \frac{\Delta\omega_0}{\omega_{L,A}} \quad \text{Eq. 2.33}$$

Où $\Delta\omega_{L,A}$ est la valeur de la bande de verrouillage dans le cas de faible injection exprimée à l'Eq. 2.26. Paciorek généralise cette solution pour des niveaux d'injection élevés [17]:

$$\theta_{RP} = \sin^{-1} \frac{\Delta\omega_0}{\omega_{L,A} \sqrt{1+J^2}} + \sin^{-1} \frac{J}{\sqrt{1+J^2}} \quad \text{Eq. 2.34}$$

Avec J est défini par :

$$J = 2Q \frac{\Delta\omega_0}{\omega_0} \quad \text{Eq. 2.35}$$

2.3.3.2 Oscillateurs à allumage périodique – OSC-P

La réalisation électrique d'un oscillateur forcé de type à allumage périodique est montrée à la Fig. 2-6(a). Comme dans le cas d'un circuit à paire croisée en oscillation libre, il est constitué de deux transistors $T_{1\&2}$ représentant la partie non-linéaire active et un résonateur RLC représentant la partie linéaire passive. En revanche, l'accès des courants à la masse dans ce cas (et donc la polarisation du circuit) est contrôlé par un transistor monté en interrupteur. La transconductance du canal du transistor T_{SW} est contrôlée par un signal carré d'entrée ou de référence V_{ref} . L'activation périodique de ce transistor active périodiquement les non-linéarités de la partie active. Un circuit non-linéaire équivalent simplifié de cette architecture est donnée à la Fig. 2-6(b) [2]. Le résultat de cette opération sous certaines conditions permet d'obtenir un train d'oscillation répétés périodiquement (oscillations pulsées comme illustré à la Fig. 2-1).

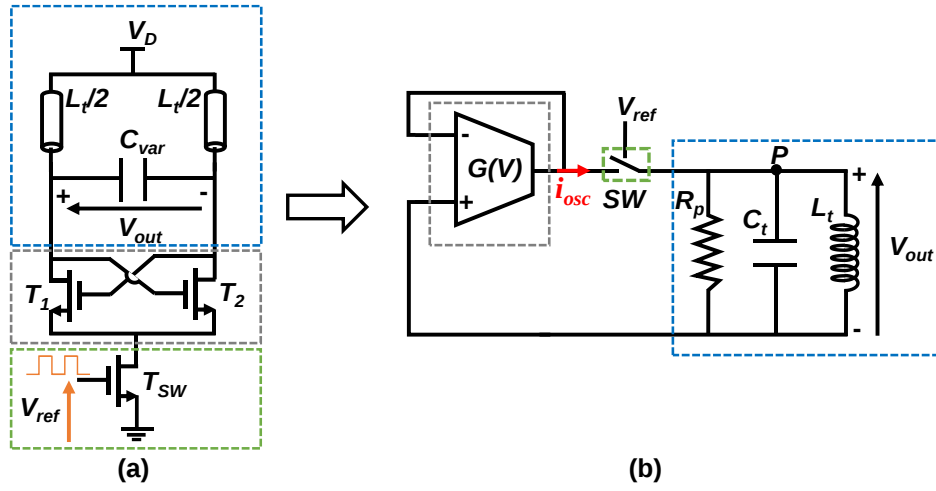


Fig. 2-6 : Schéma électrique d'une architecture à paire croisé à allumage périodique (a) et son circuit non-linéaire équivalent simplifié [2]. Le signal de contrôle ou de référence est représenté par V_{ref} .

Cette architecture a été initialement proposée et étudiée par Deparis dans [2]. Ensuite une contribution à l'étude dans le domaine temporel de ce type d'architecture a été proposée par Jany dans [8]. Un résumé de deux contributions sont résumé dans cette partie. Par ailleurs, une extension de ces modèles dans le domaine spectral est nécessaire.

En suivant le même raisonnement que les parties précédentes, on aboutit à l'équation décrivant la dynamique du circuit. En effet, deux modes de fonctionnement sont possibles selon l'état de l'interrupteur SW.

- Interrupteur à l'état ON

Quand l'interrupteur est à l'état passant, on se ramène à l'étude de l'architecture d'un oscillateur en oscillation libre dont l'équation non-linéaire algébrique est exprimé par l'Eq. 2.3 (plus de détails dans la partie 2.3.2). A noter que la valeur résistance équivalente à l'état passant est supposée négligeable (transconductance infinie à l'état passant).

La solution analytique dans ce cas est approchée par la forme asymptotique de l'Eq. 2.4. L'enveloppe d'oscillations est approximée par les expressions des équations Eq. 2.10 et Eq. 2.12 dans les travaux de Deparis et Jany respectivement. Une estimation de la fréquence instantanée est donnée par l'Eq. 2.16 [8]. En conclusion l'expression de la solution approchée est donnée par :

$$v_{ON}(t) = A_i(t) \cos(\omega_i(t)t + \varphi_{ON,0}) \quad \text{Eq. 2.36}$$

Les conditions initiales permettent de déterminer le couple $A_i(0)$ et $\varphi_{ON,0}$.

- Interrupteur à l'état OFF

Quand l'interrupteur SW est à l'état bloqué, la résistance non-linéaire négative est déconnectée du résonateur. Le circuit n'est constitué dans ce cas que de la partie avec des pertes dans la résistance R_p . L'équation décrivant l'évolution du circuit peut ainsi être exprimée par :

$$\begin{cases} \ddot{v} + 2\zeta\dot{v} + \omega_0^2 v = 0 \\ v(0) = v_0; \dot{v}(0) = \dot{v}_0 \end{cases} \quad \text{Eq. 2.37}$$

C'est une équation linéaire du second ordre dont la solution est sous forme d'oscillations avec une amplitude décroissante (pertes due à l'amortissement). Où $\zeta=1/(2R_p C_t)$ est une constante représentant le coefficient d'amortissement linéaire. Les conditions initiales dans ce cas dépendent de l'état du circuit au moment de passage entre l'état ON à l'état OFF (conditions aux limites). La solution exacte de l'Eq. 2.37 est donnée par [8] :

$$v_{OFF}(t) = A_{OFF,0} e^{-\zeta t} \cos(\omega_{OFF} t + \varphi_{OFF,0}) \quad \text{Eq. 2.38}$$

Avec $\omega_{OFF} = \frac{1}{2} \sqrt{(2\omega_0)^2 - (4\zeta)^2}$. Le couple $A_{OFF,0}$ et $\varphi_{OFF,0}$ est déterminé par les conditions initiales définies à l'Eq. 2.37.

- Forme d'onde pulsée résultante

Pour donner la solution complète approchée décrivant le fonctionnement du générateur d'oscillations pulsées (OSC-P), on suppose que les deux modes de fonctionnement précédents ON et OFF ne se superposent pas. Le signal résultant peut donc être entièrement reconstituer par superposition des deux solutions des équations Eq. 2.36 et Eq. 2.38 comme suit :

$$v(t) = \begin{cases} v_{ON}^n(t - nT_{ref}, v_{ON,0}^n, \varphi_{ON,0}^n); & t \in [0, T_M[\\ v_{OFF}^n(t - nT_M, v_{OFF,0}^n, \varphi_{OFF,0}^n); & t \in [T_M, T_{ref}[\end{cases}; n \in \mathbb{N} \quad \text{Eq. 2.39}$$

Où $T_{ref}=1/f_{ref}$ est la période d'activation de l'interrupteur et n le numéro de la période T_{ref} . $T_M=\alpha T_{ref}$ est la durée de maintien de l'interrupteur à l'état passant. Les couples $\{v_{ON,0}^n, \varphi_{ON,0}^n\}$, $\{v_{OFF,0}^n, \varphi_{OFF,0}^n\}$ sont les conditions initiales entre chaque changement de mode {OFF-ON} et {ON-OFF} respectivement.

La Fig. 2-7 montre le résultat du modèle de l'Eq. 2.39 de la sortie de générateur d'oscillations pulsées OSC-P pour deux valeurs du rapport cyclique $\alpha=T_M/T_{ref}$ (25% et 50%).

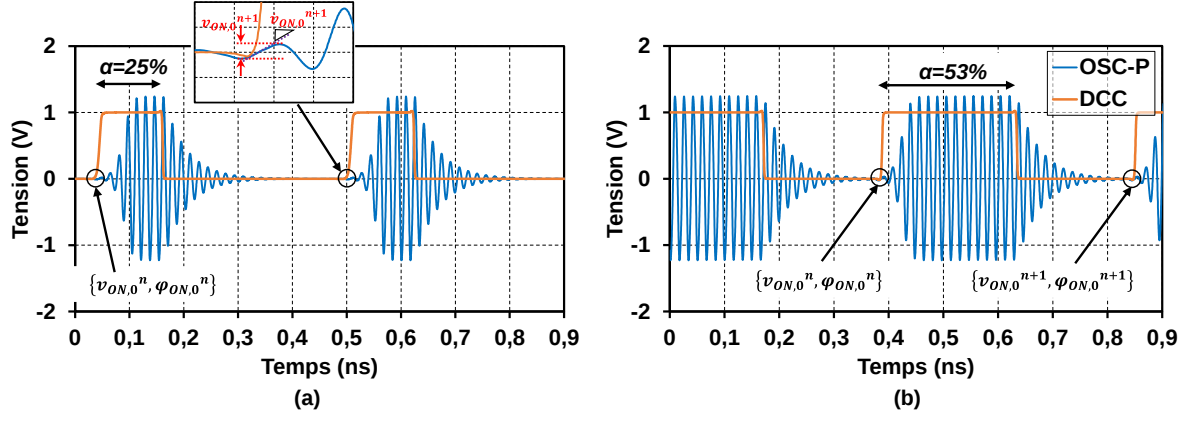


Fig. 2-7 : Résultat du modèle de la sortie de l'oscillateur à allumage périodique de l'Eq. 2.39. Le signal de référence DCC à l'entrée du générateur est un signal carré de fréquence f_{ref} et de rapport cyclique α . Ce calcul est fait pour deux valeurs du rapport cyclique : (a) $\alpha=25\%$ et (b) $\alpha=53\%$.

- Notion de cohérence

Comme exprimé dans l'expression l'Eq. 2.39, les conditions initiales sont déterminantes pour le fonctionnement du générateur d'oscillations pulsées. La phase {OFF-ON} au début de chaque wagon d'oscillation dépend de la phase au d'évanouissement à la fin wagon précédent {ON-OFF} et ainsi de suite.

Supposons qu'un même couple donné de conditions initiales $\{v_{ON,0}, \varphi_{ON,0}\}$ au démarrage d'un wagon n produit, après la durée T_M , une même condition initiale pour le mode d'évanouissement $\{v_{ON,T_M}, \varphi_{ON,T_M}\}$. Cela se traduit par :

$$\forall n \in \mathbb{N} : \{v_{OFF,0}^n, \varphi_{OFF,0}^n\} = \{v_{ON,T_M}, \varphi_{ON,T_M}\} = cste \quad \text{Eq. 2.40}$$

Par conséquent la seule variable dans le système serait $\{v_{ON,0}^n, \varphi_{ON,0}^n\}_{n \in \mathbb{Z}}$. Le signal à la sortie de l'oscillateur à allumage périodique est dit cohérent ou en pseudo-verrouillé si la série $\{v_{ON,0}^n, \varphi_{ON,0}^n\}_{n \in \mathbb{Z}}$ converge, i. e. :

$$\exists p \in \mathbb{N}, \forall n > p : \{v_{ON,0}^n, \varphi_{ON,0}^n\} = \{v_{ON,p}, \varphi_{ON,p}\} = cste \quad \text{Eq. 2.41}$$

Les phases au début (et la fin) de chaque wagon sont ainsi identiques dans ce cas.

Sous l'hypothèse de pseudo-verrouillage ou cohérence, le signal de sortie du générateur OSC-P la même période que le signal de référence T_{ref} . Dans ce cas le spectre obtenu est sous forme de raies adjacentes séparées par la fréquence de référence f_{ref} . C'est le fonctionnement souhaité pour garantir les avantages de cette technique de multiplication harmonique.

Plus de détails sur la notion de la cohérence et l'effet sur le fonctionnement sont présentés dans [8]. Parmi les solutions proposées pour garantir la cohérence de ce type de synthétiseur de fréquences est l'utilisation d'une architecture gyrateur au lieu d'une architecture à paire croisée. Cela a été expliqué au préalable par la nature instable de l'architecture type gyrateur sans exposer

de détails techniques sur cette opération. Dans la suite de ce chapitre, une explication théorique de ce phénomène sera présentée.

2.3.4 BRUIT DE PHASE

Comme expliqué dans le premier chapitre, le bruit de phase des oscillateurs est d'une importance majeure. Comprendre et étudier le mécanisme de variation de cette figure de mérite permet d'optimiser les performances des systèmes électroniques que ça soit pour utilisation des applications analogiques ou numériques.

Ce phénomène aléatoire et indésirable fait l'objet d'études depuis plus d'un demi-siècle dans de nombreux travaux [19]–[24]. On se limite dans cette partie aux contributions permettant de comprendre ce phénomène dans le contexte de cette thèse.

2.3.4.1 Oscillateurs libres

- Modèle de Leeson [19]

Dans son analyse, Leeson considère l'oscillateur comme un système linéaire invariant (LTI pour désigner Linear Time Invariant) à rétroaction composé d'une partie active et un résonateur. Il a ensuite montré que, vis-à-vis le bruit de phase, cette configuration est équivalente à un circuit passe-bas perturbé par une source de bruit (représentant les sources de bruits des éléments du circuit). La densité spectrale de puissance (DSP) du bruit de phase résultant $S_n(f_m)$ à la sortie de l'oscillateur est ainsi exprimée en fonction de la perturbation $S_p(f_m)$ par :

$$S_n(f_m) = \frac{1}{|1 - FTB(f_m)|^2} S_p(f_m) \quad \text{Eq. 2.42}$$

Où $FTB(f_m)$ représente la fonction de transfert du filtre passe-bas vis-à-vis le bruit (FTB pour fonction de transfert du bruit) à la fréquence d'offset f_m . Elle est exprimée sous la forme :

$$FTB(f_m) = \frac{1}{1 + 2jQ \frac{f_m}{f_0}} \quad \text{Eq. 2.43}$$

Où Q et f_0 représentent le facteur de qualité et la fréquence de résonance de l'oscillateur respectivement.

Dans le modèle Leeson, la perturbation est constituée de deux composantes principales : le bruit blanc large bande, et le bruit de scintillation en $1/f$. Par conséquent, la DSP de la perturbation est exprimée comme suit :

$$S_p(f_m) = \frac{FkT}{P_{sig}} \left(1 + \frac{f_c}{f_m} \right) \quad \text{Eq. 2.44}$$

Où P_{sig} est la puissance de sortie. k est la constante de Boltzmann, T la température et F une constante de d'ajustement ou de proportionnalité. f_c est appelée fréquence du coin (corner frequency). Ainsi, en remplaçant les deux équations Eq. 2.43 et Eq. 2.44 dans Eq. 2.42, on obtient le bruit de phase à la sortie de l'oscillateur :

$$\mathcal{L}(f_m) = \frac{S_n(f_m)}{2} = \frac{FkT}{2P_s} \left(1 + \frac{f_c}{f_m}\right) \left[1 + \frac{\left(\frac{f_0}{2Q}\right)^2}{f_m^2}\right] \quad \text{Eq. 2.45}$$

Selon ce modèle de Leeson, pour réduire le bruit de phase de l'oscillateur, il faut simplement augmenter le facteur de qualité ou maximiser la puissance de sortie du signal.

- Modèle de Hajimiri-Lee [20]

Dans ce modèle, bien que le modèle de l'oscillateur soit le même, l'hypothèse selon laquelle le système est invariant dans le temps est écartée. Selon la théorie de Hajimiri-Lee, le système est variant dans le temps. C'est-à-dire, que l'instant d'injection de la perturbation est aussi important que l'amplitude de celle-ci. Le bruit de phase dans ce cas s'exprime à l'aide d'une fonction modélisant cette dépendance en temps, notée $\Gamma(t)$ et appelée ISF (pour désigner Impulse Sensitivity Function), par la formule suivante :

$$\mathcal{L}(f_m) = 10 \log \left\{ \frac{\overline{i_n^2} / \Delta f \sum_{n=0}^{\infty} c_n^2}{2q_{max}^2 (2\pi f_m)^2} \right\} \quad \text{Eq. 2.46}$$

Où q_{max} est la déviation maximale provoquée par la perturbation. $\overline{i_n^2} / \Delta f$ est la densité spectrale de la perturbation en forme de courant dans le résonateur. Les termes c_n représentent les coefficients de fourrier de la fonction périodique $\Gamma(t)$.

Ce modèle décrit, ainsi, le mécanisme de transformation du bruit de la perturbation en bruit autour de la porteuse. Par exemple, le bruit en $1/f$ est modulé en une composante selon $1/f^3$ au voisinage de f_0 . Sa valeur est pondérée par le terme DC de la fonction ISF : c_0 . Conséquence, en minimisant cette composante c_0 on peut minimiser le bruit proche porteuse. Une valeur minimale est obtenue quand le cycle limite d'oscillations - et par conséquent ISF - est symétrique. De la même façon, les autres termes de Fourier de l'ISF, module ou démodule le bruit blanc (large bande) autour des harmoniques de la porteuse les transformant, par conséquence, en bruit dans la région $1/f^2$ autour de f_0 .

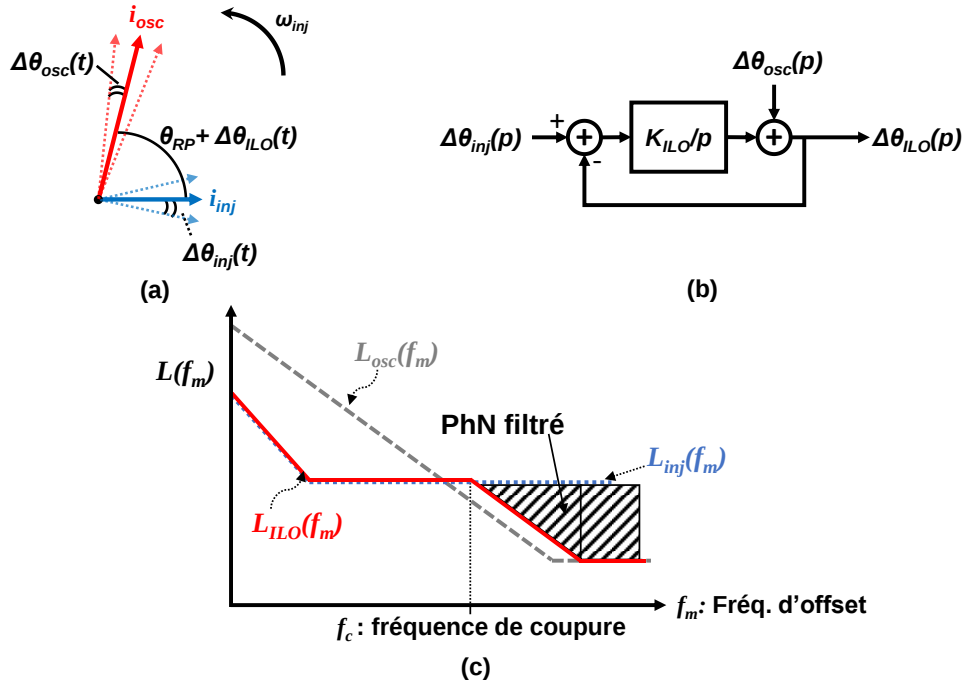


Fig. 2-8 : Modèle linéaire du bruit de phase dans les oscillateurs verrouillé par injection ILO. C'est un modèle linéaire autour de la solution en régime permanent. (c) Illustration du process de transfert du bruit de phase dans les oscillateurs forcés.

2.3.4.2 Oscillateurs forcés

- Oscillateur verrouillé par injection – ILO

En plus du bruit aléatoire en oscillation libre, le bruit de phase des oscillateurs verrouillés par injection dépend également de celui du signal de synchronisation. En se basant sur le modèle de l'Eq. 2.31, Kalia montre dans [24] que le processus de déviations aléatoires de phase dans les ILOs – en cas de verrouillage et autour de la solution en régime permanent - peut-être décrit par le modèle linéaire de la Fig. 2-8. Sous ces conditions, le bruit de phase résultant à la sortie de l'oscillateur verrouillé par injection est par conséquent donné par :

$$\mathcal{L}_{ILO}(f_m) = \frac{K_{ILO}^2}{f_m^2 + K_{ILO}^2} \mathcal{L}_{inj}(f_m) + \frac{f_m^2}{f_m^2 + K_{ILO}^2} \mathcal{L}_{osc}(f_m) \quad \text{Eq. 2.47}$$

Où $\mathcal{L}_x(f_m)$ représente la densité spectrale du bruit de phase associé à la déviation aléatoire $\Delta\theta_x(t)$. K_{ILO} est une constante dépendant du déphasage en régime permanent. Elle est exprimée par :

$$K_{ILO}(\theta_{RP}) = \frac{\left(\frac{I_{inj}}{I_{osc}}\right)^2 + \frac{I_{inj}}{I_{osc}} \cos \theta_{RP}}{\left(1 + \frac{I_{inj}}{I_{osc}} \cos \theta_{RP}\right)^2} \frac{f_0}{2Q} \quad \text{Eq. 2.48}$$

Où I_{inj} et I_{osc} sont les amplitudes des courants injecté et de sortie de l'oscillateur respectivement comme définie dans les parties précédentes.

Le modèle de l'Eq. 2.47 permet de formuler deux constatations majeures : 1) L'ILO se comporte comme un filtre passe-bas vis-à-vis du bruit injecté tandis qu'il présente un caractère passe-haut vis-à-vis le bruit de phase en oscillation libre (absence d'injection). Ce phénomène est illustré dans la Fig. 2-8(c). 2) Les filtres équivalents ont les mêmes fréquences de coupures dont la valeur est directement proportionnelle à K_{ILO} . De plus, selon l'Eq. 2.48, la valeur de K_{ILO} dépend de la position de la fréquence injectée par rapport à la fréquence d'oscillation libre de l'ILO. Par conséquent, un « bon » profil de bruit de phase peut être obtenu dans seulement 75% de la bande de verrouillage.

- Oscillateurs à allumage périodique – OSC-P

Une étude analytique du bruit de phase dans les oscillateurs à allumage périodique est effectuée dans [25]. En revanche, quoi que l'architecture du circuit étudié dans le travail de Maffezzoni permet d'obtenir des oscillations allumées périodiquement, elle n'est pas similaire au type d'architecture étudié dans ce manuscrit pour deux raisons principales : 1) L'allumage périodique des oscillations se fait en court-circuitant la tension aux bords du résonateur, contrairement à l'OSC-P qui allume et éteint périodiquement les non-linéarités de l'élément actif (comparaison des modèles des deux architectures est montré à la Fig. 2-9) ; et 2) le rapport cyclique dans le cas de l'étude présentée par Maffezzoni est fixé à une valeur très faible (de tel sorte à considérer le court-circuit comme une opération d'injection sous-harmonique). Pour plus de détails sur la différence des caractéristiques spectrales entre les deux architectures de la Fig. 2-9, une analyse comportementale du spectre est présentée dans [8, p. 77] (spectres cohérent et non-cohérent).

Le DSP du bruit à la sortie du PILO (signifiant « Pulse Injection-Locked Oscillator »)- dont le modèle équivalent est montré à la Fig. 2-9(b) – est donnée par [25]:

$$S_{n,PILO}(f_m) = 2 \cdot \mathcal{L}_{PILO}(f_m) = |1 - T(f_m)|^2 S_n(f_m) + \left[\sum_{k \neq 0} S_n(f_m - k f_{ref}) \right] |T(f_m)|^2 \quad \text{Eq. 2.49}$$

Où $S_n(f_m)$ représente le bruit de phase de l'oscillateur en régime d'oscillation libre. f_{ref} est la fréquence de référence contrôlant l'interrupteur SW (aussi appelée fréquence d'injection). $T(f_m)$ représente la fonction de transfert du modèle linéaire vis-à-vis le bruit. $T(f_m)$ est exprimée par :

$$T(f_m) = \frac{1}{\pi} \frac{\frac{f_{ref}}{f_m} \tan\left(\pi \frac{f_m}{f_{ref}}\right)}{1 + j \frac{(2 - \beta)}{\beta} \tan\left(\pi \frac{f_m}{f_{ref}}\right)} \quad \text{Eq. 2.50}$$

Où β est une constante du circuit.

Le modèle de l'Eq. 2.49 ne prends pas en compte le bruit du signal de référence. Ceci explique la dépendance du bruit de phase à la sortie du PILO, dans l'expression de l'Eq. 2.49, seulement de

son propre bruit de phase en oscillation libre. Dans le contexte du travail présenté dans ce manuscrit, cette hypothèse est incorrecte et peut conduire à des fausses conclusions.

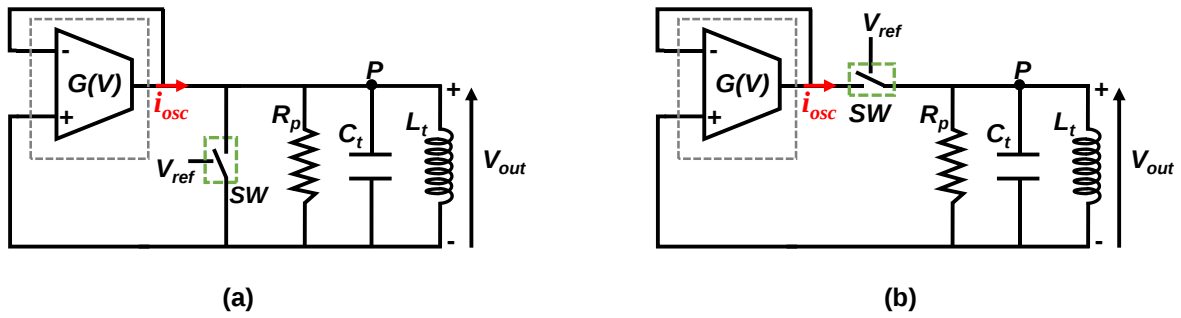


Fig. 2-9 : Modèles équivalents de deux configurations possibles de l'oscillateur à allumage périodique : (a) un oscillateur pulsé « non-cohérent » présenté et étudié dans [25] et (b) celle d'un OSC-P utilisé dans la multiplication de fréquence étudié dans le cadre de cette thèse.

2.4 EXTENSION DE LA MODELISATION DU MULTIPLICATEUR DE FREQUENCES

2.4.1 INTRODUCTION

Dans les parties précédentes, les bases et connaissances techniques utilisées dans la littérature pour la modélisation des oscillateurs sont exposées. Ces techniques ont permis de comprendre, de manière approchée, la physique et les phénomènes chaotiques qui se produisent dans les systèmes électroniques non-linéaires. En revanche, plusieurs défis restent à adresser pour appréhender les architectures de multiplications harmoniques utilisant les oscillateurs à allumage périodique. Plus particulièrement, à la connaissance de l'auteur, aucune théorie n'a permis de décrire le bruit de phase dans cette architecture en fonction des paramètres du circuit et du signal de référence (rapport cyclique, fréquence libre d'oscillation, les non-linéarités... etc.).

Dans cette partie, nous nous focaliserons sur l'étude analytiques du multiplicateur de fréquence dont l'architecture est montrée à la Fig. 2-1. Les résultats des modèles obtenus seront ensuite comparés aux de simulations numériques. Pour cela, des circuits non-linéaires équivalents (CNE) permettant de réduire la complexité des architectures sont utilisés. Basées sur les techniques de modélisation des éléments des technologies présentées dans la partie 2.2 de ce chapitre, ces techniques servent à réduire drastiquement les coûts, en temps et en ressources mémoires, parfois colossaux des simulations utilisant les éléments standards de la technologie.

2.4.2 ARCHITECTURE ET PRINCIPE DE FONCTIONNEMENT DU MULTIPLICATEUR DE FREQUENCES

Comme montré à la Fig. 2-1, le multiplicateur de fréquences est constitué d'un circuit de mise en forme, un oscillateur pulsé ou à allumage périodique et un oscillateur verrouillé par injection. Le circuit de mise en forme (ou DCC pour désigner « Duty Cycle Controller ») transforme un signal sinusoïdal d'entrée en un signal carré de rapport cyclique $\alpha = T_M/T_{ref}$. La valeur de ce dernier est contrôlée par la tension de comparaison du comparateur, ce qui permet de fixer des valeurs de α allant de 0 à 1. Le spectre du signal carré obtenue est sous forme de raies distancées par la fréquence de référence f_{ref} .

Le signal créneau à la sortie du DCC active et désactive périodiquement, avec un taux fixé par la période de référence, un oscillateur dont la fréquence d'oscillation en régime libre se situe dans la gamme de fréquence visée (dans ce cas autour de 60 GHz). L'oscillateur allumé périodiquement (ou OSC-P pour désigner oscillateur pulsé) génère ainsi des trains d'oscillations répété périodiquement (aussi appelé TORP). Dans le domaine spectral, ce dernier est constitué de raies séparées par la fréquence de référence et rapatrié sur tout le spectre. La puissance est concentrée majoritairement autour de la fréquence d'oscillation libre de l'OSC-P, $f_{libre, OSC-P}$, sous la forme d'une

enveloppe en sinus cardinal. Ceci est mathématiquement équivalent à une discrétisation de l'enveloppe en sinus cardinal, centré autour de la $f_{libre,OSC-P}$, par la fréquence de référence. Le changement de $f_{libre,OSC-P}$ change la position de l'enveloppe et agit par conséquent sur la répartition de la puissance sur les harmoniques de la fréquence de référence.

Ensuite, pour sélectionner une seule raie des harmoniques de la référence et filtrer le reste, un oscillateur verrouillé par injection (ILO pour désigner « Injection Locked Oscillator ») est utilisé. Ce dernier remplace l'utilisation d'un filtre à très grand facteur de qualité non-réalisable dans cette gamme de fréquence. L'ILO se synchronise à l'harmonique la plus proche à sa fréquence d'oscillation libre $f_{libre,ILO}$ tout en filtrant les raies voisines (illustration à la Fig. 2-1). Un signal « quasi-sinusoïdal » est obtenue à la sortie de l'ILO dont le spectre est composé de l'harmonique N de la fréquence de référence, i. e. $f_{out}=N \times f_{ref}$. Compte tenu de la réjection parfois limitée de l'ILO, le spectre contient également quelques traces des harmoniques adjacentes (d'où l'appellation quasi-sinusoïdal). Pour augmenter d'avantages la réjection de ces dernier, un deuxième ILO est utilisé comme dans [5], [26].

2.4.3 FORMES D'ONDES

2.4.3.1 Circuit de mise en forme – DCC

Le circuit de mise en forme DCC est composé d'un comparateur et des inverseurs comme montré par son schéma électrique de la Fig. 2-10(a). En fonction de la tension de comparaison V_{COMP} , le DCC transforme le signal sinusoïdal d'entrée en un signal carré de rapport cyclique α . La Fig. 2-10(b) montre les résultats de simulation des valeurs de rapport cyclique α en fonction de V_{COMP} . Les Fig. 2-10(c) et (d) affichent des illustrations de la sortie du DCC pour deux valeurs de rapport cyclique $\alpha=0.43$ et $\alpha=0.63$ respectivement.

La fonction carrée $v_{DCC}(t)$ à la sortie du DCC peut être exprimée dans le domaine temporel, sur une période, par (on suppose que $v_{DCC-Tref}$ est centré par rapport à l'origine) :

$$v_{DCC-Tref}(t) = \begin{cases} V_{DD}, & |t| \leq \frac{T_M}{2} \\ 0, & |t| > \frac{T_M}{2} \end{cases}, \quad -\frac{T_{ref}}{2} < t \leq \frac{T_{ref}}{2} \quad \text{Eq. 2.51}$$

Où V_{DD} représente la tension d'alimentation, T_M temps de maintien et T_{ref} la période de référence.

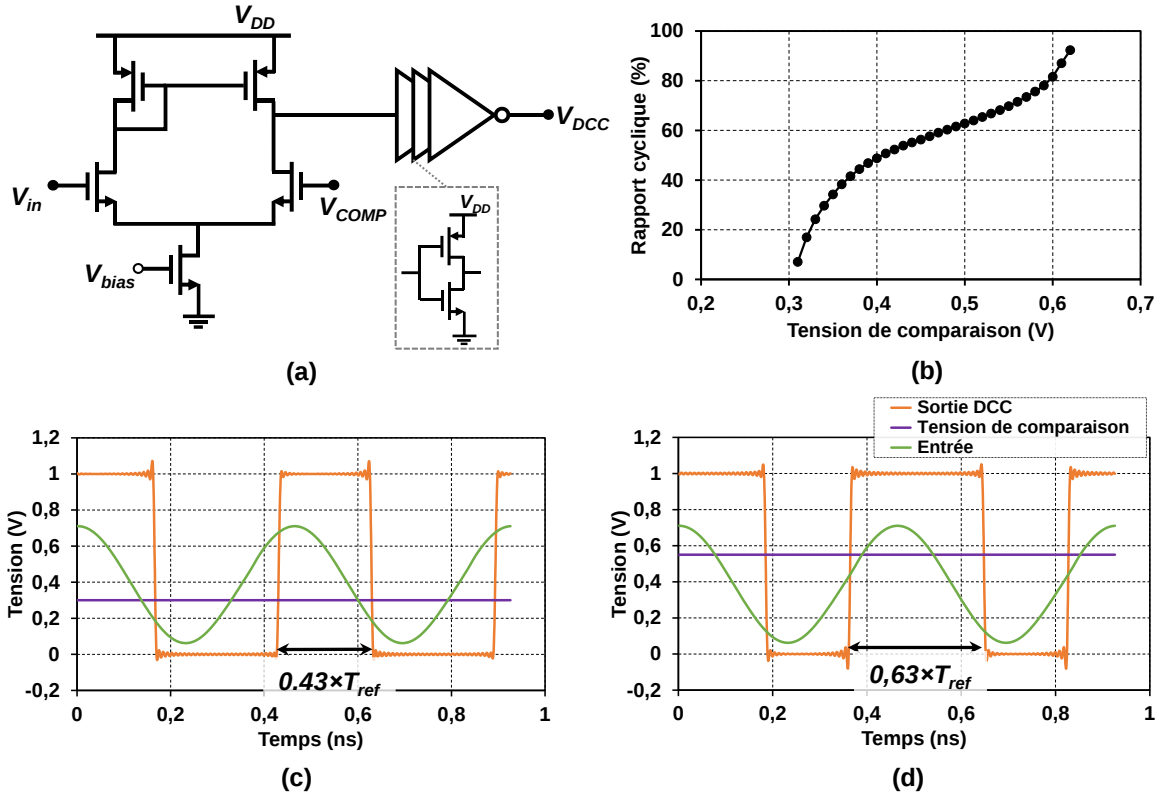


Fig. 2-10 : (a) Réalisation électrique du circuit de mise en forme DCC. (b) Résultats de simulation du rapport cyclique α du signal carré en sortie en fonction de la tension de comparaison. Pour exemple, la réponse dans le domaine temporel du circuit est montrée pour deux valeurs de tension de comparaison (deux valeurs du rapport cyclique) : (c) $\alpha=0.43$ et (d) $\alpha=0.63$.

Dans le domaine spectral, cette fonction T_{ref} -périodique peut être décomposée en coefficients de Fourier comme suit :

$$v_{DCC}(t) = \sum_{n=-\infty}^{+\infty} c_n e^{j2\pi \frac{n}{T_{ref}} t} \quad \text{Eq. 2.52}$$

Où les coefficients de Fourier c_n de cette fonction sont exprimés par :

$$c_n = \frac{1}{T_{ref}} \int_{-T_{ref}/2}^{T_{ref}/2} v_{DCC-T_{ref}}(t) e^{-j2\pi \frac{n}{T_{ref}} t} dt \quad \text{Eq. 2.53}$$

En utilisant l'expression de l'Eq. 2.51 :

$$\begin{aligned} c_n &= \frac{1}{T_{ref}} \int_{-T_{ref}/2}^{T_{ref}/2} V_{DD} e^{-j2\pi \frac{n}{T_{ref}} t} dt = \frac{V_{DD}}{T_{ref}} \left[\frac{e^{-j2\pi \frac{n}{T_{ref}} t}}{-j2\pi \frac{n}{T_{ref}}} \right]_{-\alpha \frac{T_{ref}}{2}}^{\alpha \frac{T_{ref}}{2}} \\ &= \frac{V_{DD}}{-j2\pi n} [e^{-j\pi n \alpha} - e^{j\pi n \alpha}] = \end{aligned} \quad \text{Eq. 2.54}$$

En utilisant la relation $e^{-jx} + e^{jx} = 2\cos(x)$, on obtient :

$$c_n = \frac{V_{DD}}{n\pi} \sin(n\alpha\pi) = \alpha V_{DD} \text{sinc}(n\alpha\pi) \quad \text{Eq. 2.55}$$

Par symétrie de la fonction, la décomposition en série de fourrier de Eq. 2.52 peut s'écrire sous la forme :

$$v_{DCC}(t) = \alpha V_{DD} + \sum_{n=1}^{+\infty} 2c_n e^{j2\pi \frac{n}{T_{ref}} t} \quad \text{Eq. 2.56}$$

Par conséquent, la transformée de Fourier du signal carrée à la sortie du DCC peut être approximée par :

$$V_{DCC}(f) = \alpha V_{DD} \cdot \delta(f) + \sum_{n=1}^{+\infty} 2c_n \cdot \delta(f - nf_{ref}) \quad \text{Eq. 2.57}$$

Une comparaison entre le modèle et les résultats de simulations numérique HB du circuit de la Fig. 2-10(a) est montrée à la Fig. 2-11. Le modèle de l'Eq. 2.57 permet ainsi de bien approximer la forme d'onde du signal carré de référence pour les différentes valeurs du rapport cyclique $\alpha \in [0;1]$.

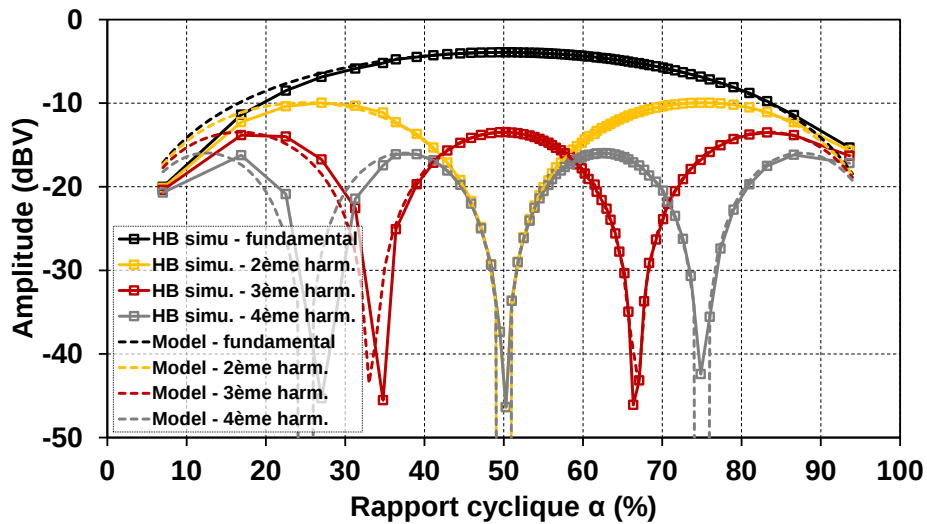


Fig. 2-11 : Résultats de simulations numériques de l'amplitude des harmoniques 1 à 4 en sortie du circuit de mise en forme DCC en fonction du rapport cyclique. Comparaison avec le model de l'Eq. 2.57.

2.4.3.2 Oscillateur pulsé – OSC-P

Comme mentionné plus haut, la cohérence du signal à la sortie de l'OSC-P est nécessaire pour le bon fonctionnement de l'architecture de multiplication. Afin de favoriser la cohérence dans ce type d'architecture, la désactivation périodique des non-linéarités de l'oscillateur est une meilleure solution en opposition au court-circuitage périodique de la sortie [8] (comparaison des deux architectures à la Fig. 2-9).

Malgré que cette solution ne soit pas suffisante pour garantir la cohérence de la phase au début de chaque wagon d'oscillations, elle facilite l'ajustement du circuit pour y parvenir (Vérification de la condition de l'Eq. 2.41). Avant de donner une expression approchée de la forme d'onde à la sortie de l'OSC-P, une explication de la cohérence dans une architecture type gyrateur est présentée.

- Cohérence d'une architecture gyrateur :

Dans le cas d'utilisation d'une architecture à paire croisée pour obtenir un oscillateur à allumage périodique [27], il est nécessaire d'imposer des conditions initiales au début de chaque période d'activation afin d'assurer la cohérence des oscillations (illustration à la Fig. 2-12(a)). A l'opposé, l'utilisation d'une architecture gyrateur - montrée à la Fig. 2-12(b) - garantit « naturellement » l'obtention de la cohérence sans utilisation de signal d'excitation. Ce phénomène est justifié au préalable par la nature instable du circuit.

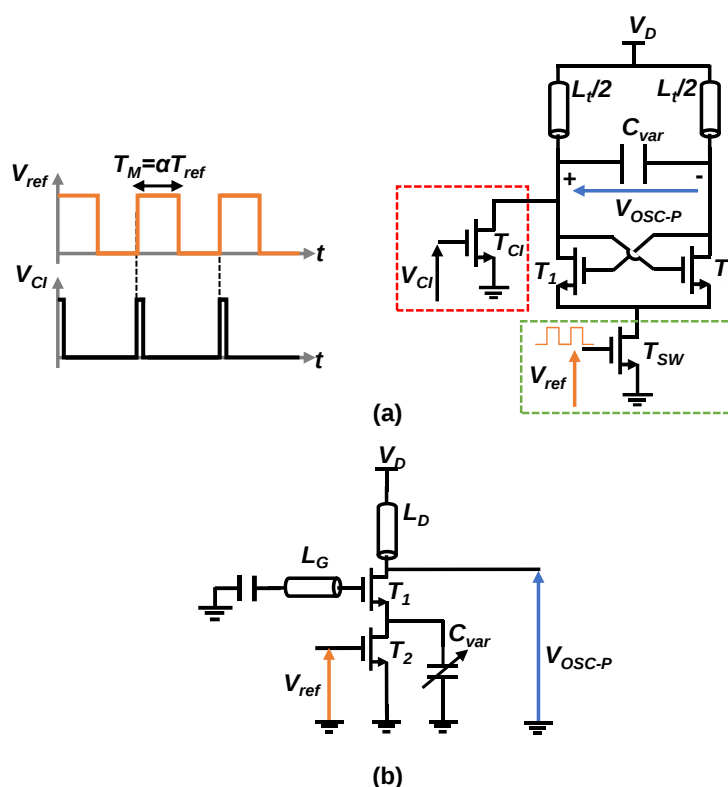


Fig. 2-12 : Deux architectures possibles pour implémentation d'un oscillateur à allumage périodique.

En réalité, lors de chaque passage ON-OFF ou OFF-ON du signal de référence, la variation brutale de la tension aux bornes de la capacité C_{OSC-P} induit un courant proportionnel au dérivé de variation de la tension (i. e. $i_{CI} = C_{OSC-P} dV/dt$). Ainsi, des conditions initiales sont naturellement instaurées au début et la fin de chaque wagon d'oscillations comme illustré à la Fig. 2-13. En se

basant sur ces observations, on peut modéliser le comportement de l'OSC-P avec une architecture gyrateur par le modèle de la Fig. 2-14(a).

La Fig. 2-14(b) et (c) compare les résultats de simulations numériques des spectres de sorties du circuit non-linéaire équivalent de la Fig. 2-14(a) avec ceux d'un circuit gyrateur (Fig. 2-12(b)) réalisé en utilisant des composants de la technologie 45nm RFSOI. Le modèle comportemental simplifié permet de bien reproduire le spectre et formes d'ondes de l'OSC-P tout en évitant des surplus considérables en termes de temps de simulations et de mémoires.

Par ailleurs, l'alignement de phase extrémité de chaque wagon est équivalent à une opération d'injection qui permet également de corriger la phase de l'oscillateur. Le bruit de phase de l'oscillateur sera directement proportionnel à celui de la référence avec éventuellement une dégradation proportionnelle au nombre de période entre chaque injection. La modélisation du bruit est traitée en détail dans la suite du chapitre.

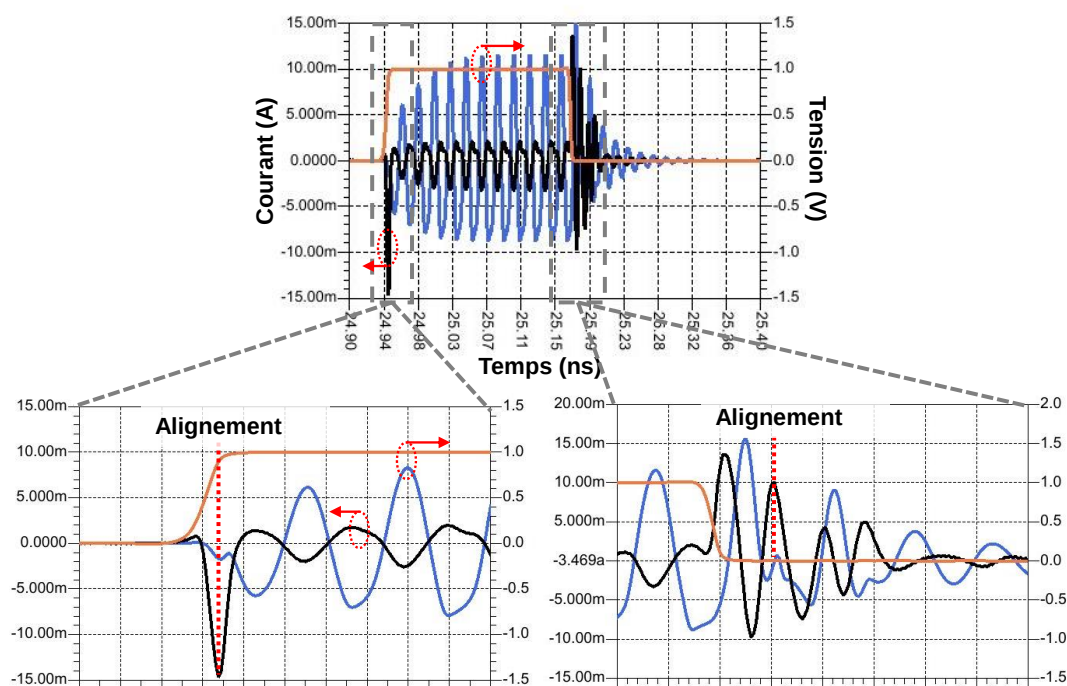


Fig. 2-13 : Les conditions initiales au début des trains d'oscillation de l'OSC-P.

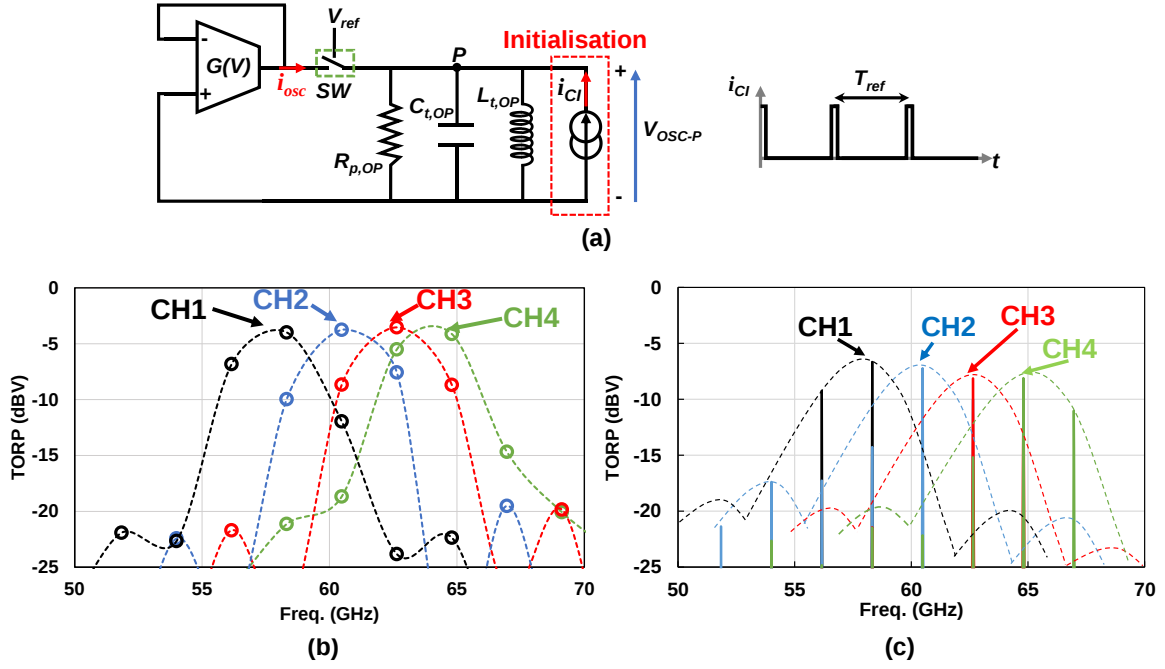


Fig. 2-14 : (a) Circuit non-linéaire équivalent de l'oscillateur à allumage périodique cohérent (architecture gyrateur). Comparaison des spectres obtenues par simulations numériques du CNE (a) et d'un OSC-P type gyrateur, Fig. 2-12(b), utilisant des éléments de la technologie 45nm RFSOI pour différentes valeurs de la capacité du résonateur. Le rapport cyclique du signal de référence dans ce cas est fixé à $\alpha=0.53$.

- Forme d'onde résultante :

Sous la condition de pseudo-verrouillage, la sortie de l'oscillateur peut être exprimée par la formule suivante [5] :

$$v_{OSC-P}(t) = s(t) * \sum_{n=-\infty}^{+\infty} \delta(t - nT_{ref}) \quad \text{Eq. 2.58}$$

Où $s(t)$ représente un seul wagon d'oscillations. Comme exprimé à l'aide de cette équation et comme son nom l'indique (TORP), le signal à la sortie de l'OSC-P est une périodisation dans le domaine temporel du wagon $s(t)$. En se basant sur les analyses précédentes, notamment du modèle de l'Eq. 2.39, on peut approximer la forme du wagon $s(t)$ par (on néglige les temps de montée et descente et on suppose que le régime permanent est atteint rapidement) :

$$s(t) = A_{libre,OSCP} \cdot e^{2j\pi f_{libre,OSCP}t} \cdot \Pi\left(\frac{f_{ref}}{\alpha}t\right) \quad \text{Eq. 2.59}$$

Où $A_{libre-OSCP}$ et $f_{libre-OSCP}$ sont l'amplitude et la fréquence en régime établie de l'OSC-P en oscillation libre exprimées par les équations Eq. 2.11 et Eq. 2.15 respectivement.

Dans le domaine fréquentiel, la sortie de l'OSC-P est ainsi approchée par :

$$V_{OSC-P}(f) = \left[\alpha A_{libre,OSCP} \delta(f - f_{libre,OSCP}) * \text{sinc} \left(\pi f \frac{\alpha}{f_{ref}} \right) \right] \cdot \sum_{n=-\infty}^{+\infty} \delta(f - n f_{ref}) \quad \text{Eq. 2.60}$$

Que l'on puisse également écrire comme suit :

$$V_{OSC-P}(f) = \left\{ \alpha A_{libre,OSCP} \cdot \text{sinc} \left[\pi (f - f_{libre,OSCP}) \frac{\alpha}{f_{ref}} \right] \right\} \cdot \sum_{n=-\infty}^{+\infty} \delta(f - n f_{ref}) \quad \text{Eq. 2.61}$$

Les harmoniques du TORP sont obtenues par discrétisation de l'enveloppe $\alpha A_{libre,OSCP} \times \text{sinc}(f - f_{libre,OSCP})$ aux différentes harmoniques de la référence. Autrement dit, le spectre sous forme de raies adjacentes distancées par la fréquence de référence f_{ref} et dont l'enveloppe des puissances suit un sinus cardinal centré autour de la fréquence d'oscillation libre $f_{libre,OSCP}$. Cela est illustré sur la Fig. 2-15 où sont exposés des exemples de comparaison entre le modèle proposé et les résultats de simulation numériques HB. La Fig. 2-15(a) et (b) compare les spectres obtenus pour deux valeurs de rapport cyclique $\alpha=0.64$ et $\alpha=0.26$ respectivement. Le modèle de l'Eq. 2.61 permet ainsi de donner une forme approchée au spectre de sortie du l'OSC-P en fonction des paramètres du circuit.

Par ailleurs, d'après le modèle de l'Eq. 2.61, l'expression de l'amplitude d'une harmonique N est donnée par :

$$V_{OSC-P}^N = \alpha A_{libre,OSCP} \cdot \text{sinc} \left[\pi (N f_{ref} - f_{libre,OSCP}) \frac{\alpha}{f_{ref}} \right] \quad \text{Eq. 2.62}$$

La Fig. 2-15(c) montre la variation de l'amplitude de la 28^{ème} harmoniques de la référence ($28 \times f_{ref}$) à la sortie de l'OSC-P en fonction du rapport cyclique du signal d'excitation. Les résultats de simulation HB et ceux issues des calculs utilisant la formule de l'Eq. 2.62 sont comparés et montrent une bonne concordance. Malgré la différence observée entre le modèle et les simulations pour des faibles valeurs de α (due à la simplicité du modèle), la modélisation de la forme d'onde par la formule de l'Eq. 2.61 permet de capturer les tendances de variation en fonction des paramètres du circuit.

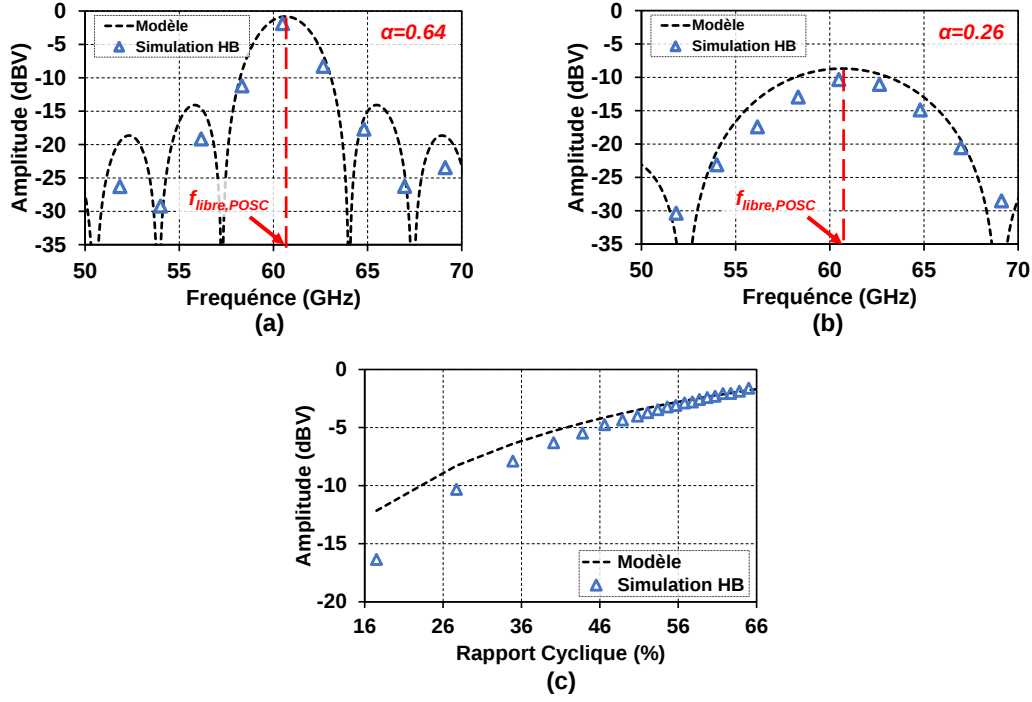


Fig. 2-15 : Comparaison entre les résultats de simulation du spectre de sortie de l'OSC-P et le modèle proposé de l'Eq. 2.61 pour deux valeurs de rapport cyclique : (a) $\alpha=0.64$ et (b) $\alpha=0.26$. (c) Amplitude, en dBV, du 28^{ème} harmonique du TORP en fonction de α . Comparaison avec les résultats du modèle proposé. A noter que la fréquence d'oscillations libre dans ces cas vaut $f_{libre,OSCP}=60.65\text{GHz}$.

2.4.3.3 Oscillateur verrouillé par injection – ILO

- Etude de l'injection par une signal multi-tons :

Le phénomène de verrouillage par injection étudié jusqu'à présent (paragraphe 2.3.3.1) correspond à une simple excitation par un signal sinusoïdal monofréquence (ou harmonique) comme illustré dans la Fig. 2-17(a). Dans le cas de l'injection par un signal multi-tons comme celui de l'OSC-P, l'oscillateur injecté ILO est par conséquent sensible à toutes les harmoniques présentées à son entrée comme illustré à la Fig. 2-17(b). Un autre phénomène se produit dans ce cas appelé effet de pulling, (ou « pulling effect » en anglais). Cela signifie que, le signal à la sortie de l'ILO, même quand il est verrouillé sur l'harmonique N la plus proche, est « tiré » par les harmoniques adjacentes. Ce phénomène de pulling est étudié par Razavi dans [18]. Ce dernier définit une fréquence caractéristique au pulling appelée fréquence de battement ω_b ; elle caractérise la sensibilité du circuit à ces fréquences « tirants » : plus ω_b est faible plus l'effet sur le spectre de sortie de l'ILO est important (termes de bruit autour de la porteuse, illustration Fig. 2-16). Pour étudier l'effet du pulling dans le cas d'une injection par un signal multi-tons, on suppose que l'ILO est verrouillé sur l'harmonique N la plus proche de sa fréquence libre

d'oscillations (Fig. 2-17(b)). Pour une harmonique k adjacente ($k=N-1$ ou $k=N+1$ illustré à la Fig. 2-17(b)), la fréquence de battement est exprimée par :

$$\omega_{b,k} = \omega_{L,k} \sqrt{\left(\frac{\omega_{libre,ILO} - k\omega_{ref}}{\omega_{L,k}}\right)^2 - 1} \quad \text{Eq. 2.63}$$

Où $\omega_{libre,ILO}$ est la fréquence d'oscillations de l'ILO, et $\omega_{L,k}$ la bande de sensibilité ou de verrouillage à l'harmonique k .

Etant donné que l'ILO est verrouillé à l'harmonique N (i. e. $\omega_{libre,ILO} - N\omega_{ref} < \omega_{L,N}$ et $\omega_{libre,ILO} - k\omega_{ref} > \omega_{L,k}$) et sous l'hypothèse de faible injection par les harmoniques k (en comparaison avec l'injection par la $N^{ème}$ harmonique), on peut facilement justifier que :

$$\omega_{libre,ILO} - k\omega_{ref} \gg \omega_{L,k}$$

Ainsi l'Eq. 2.63 devient :

$$\omega_{b,k} = |\omega_{libre,ILO} - k\omega_{ref}| \cong |N - k| \times \omega_{ref} \quad \text{Eq. 2.64}$$

Ainsi, sous ces conditions, la fréquence de battement est ainsi très large par rapport aux bandes de synchronisation. Cela signifie que le pulling par les harmoniques adjacents k provoquent peu d'effet sur le spectre de sortie de l'ILO. En outre, la deuxième approximation dans l'Eq. 2.64, valable quand $\omega_{libre,ILO} \approx N\omega_{ref}$, peut être interprétée physiquement par une simple dégradation de la réjection - par l'ILO - des raies adjacentes due à l'effet de pulling (c'est-à-dire, sous ces conditions, les termes de bruits sont rajoutés aux fréquences exactement multiples de f_{ref}).

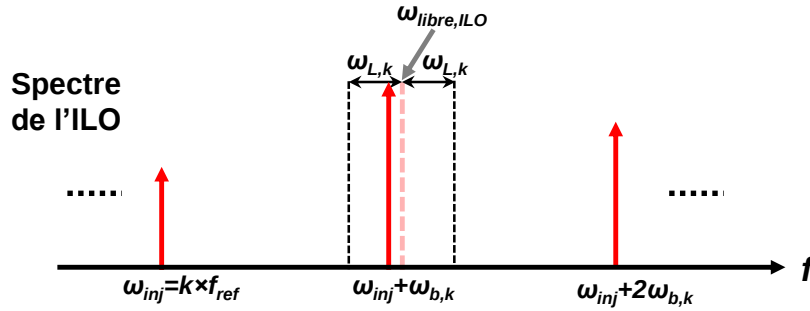


Fig. 2-16 : Effet de pulling par une harmonique adjacente k sur le spectre de sortie de l'oscillateur verrouillé par injection [18].

Pour simplification, on néglige ce phénomène et on ne considère que l'injection par l'harmonique la plus proche N . Les études analytiques présentées dans la partie 2.3.3.1 sur les ILOs forcés par une seule harmonique peuvent être applicables par extension dans ce cas.

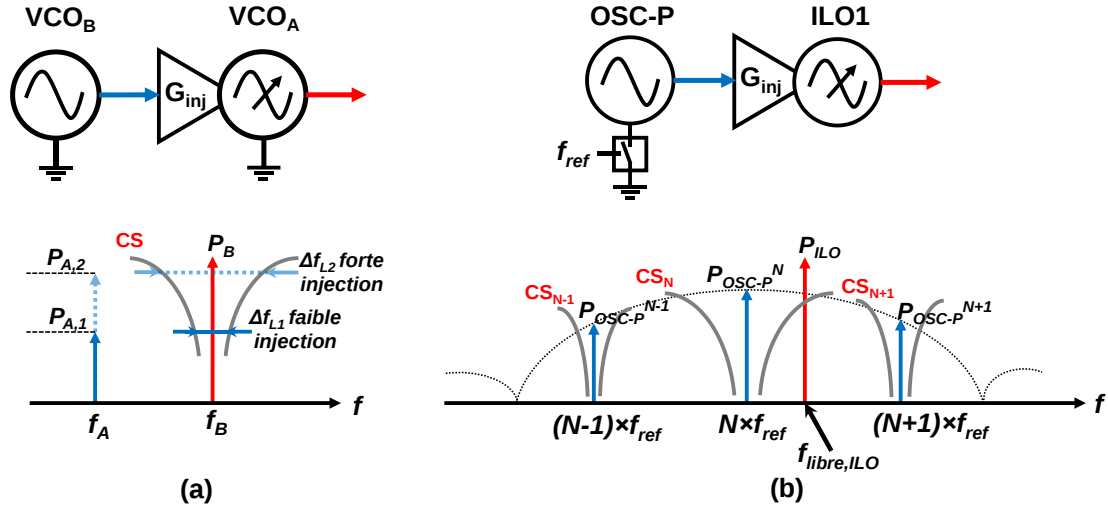


Fig. 2-17 : Phénomène de verrouillage par injection pour deux types du signal injecté : (a) le cas d'un oscillateur harmonique et (b) un OSC-P multi-tons. CS désigne la Courbe de Sensibilité.

- Forme d'onde résultante :

Sous les conditions de verrouillage sur l'harmonique numéro N , le signal à la sortie de l'ILO peut être approché dans le domaine temporel par :

$$v_{ILO}(t) = A_{ILO} \cdot e^{2j\pi N f_{ref} t + \theta_{RP}} \quad \text{Eq. 2.65}$$

La phase en régime permanent θ_{RP} est exprimée par l'Eq. 2.34. f_{ref} représente la fréquence de référence du signal carrée et N l'ordre de multiplication. A_{ILO} est l'amplitude d'oscillations en régime permanent. Un exemple de la réponse temporelle ainsi que le spectre associé est montré à la Fig. 2-18. Du fait de la réjection limitée des harmoniques adjacentes, l'enveloppe des oscillations est variable.

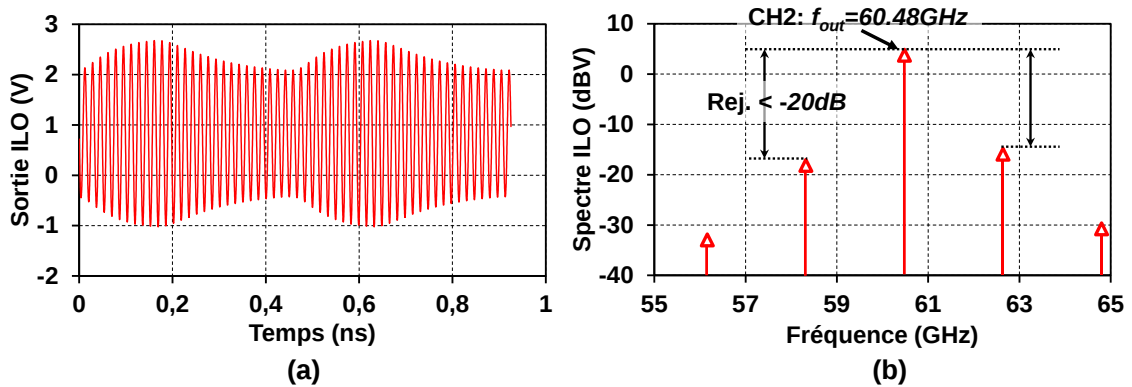


Fig. 2-18 : Exemple de la réponse temporelle et spectre du signal de sortie de l'ILO dans le cas de verrouillage sur la 28^{ème} harmonique de la référence.

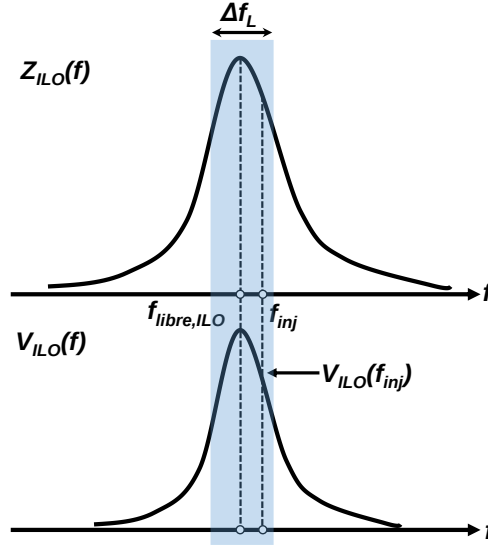


Fig. 2-19 : Illustration de la variation de l'amplitude à la sortie de l'ILO en fonction de la différence de fréquence entre la fréquence libre d'oscillation et la fréquence injectée $|f_{inj} - f_{libre,ILO}|$.

Les valeurs de la phase et l'amplitude en régime permanent, dans l'Eq. 2.65, dépendent de la position à l'intérieur de la bande de synchronisation. En effet, comme expliqué dans la partie 2.3.3.1, pour compenser l'excès de phase introduit par le signal d'injection, l'ILO oscille, sous la condition de verrouillage, à une nouvelle fréquence f_{inj} différente de la fréquence de résonance $f_{libre,ILO}$. Par conséquent, comme illustrée à la Fig. 2-19, l'amplitude d'oscillations à la sortie de l'ILO peut être ainsi exprimée comme suit [8] :

$$A_{ILO} = 2 \sqrt{\frac{g_{1,ILO} - 1/|Z_{ILO}(f_{inj})|}{3g_{3,ILO}}} \quad \text{Eq. 2.66}$$

$g_{1,ILO}$ et $g_{3,ILO}$ représentent les non-linéarités du premier et 3^{ème} ordre de l'élément actif de l'oscillateur injecté. $Z_{ILO}(f_{inj})$ symbolise l'impédance équivalente du résonateur RLC évaluée à la nouvelle fréquence d'oscillation f_{inj} . De manière plus générale, l'expression de $Z_{ILO}(f)$ en fonction de la fréquence est donnée par :

$$Z_{ILO}(f) = \frac{R_{p,ILO}}{1 + jQ_t \frac{f}{f_0} \left[1 - \left(\frac{f_0}{f} \right)^2 \right]} \quad \text{Eq. 2.67}$$

Avec $R_{p,ILO} = Q_t \sqrt{\frac{L_{t,ILO}}{C_{t,ILO}}}$ est l'impédance équivalente du résonateur à la résonance. Q_t le facteur de qualité et $f_0 = f_{libre,ILO}$ est la fréquence d'oscillation libre en absence du signal d'injection.

La Fig. 2-20 compare les résultats obtenus en trois niveaux de complexité : (N1) Simulations numériques HB du circuit niveau transistor comme montré à la Fig. 2-4(a) ; (N2) Simulations numériques HB du circuit non-linéaire équivalent simplifié (CNE) de la Fig. 2-4(b) ; (N3) Modèle analytique proposé dans l'Eq. 2.66.

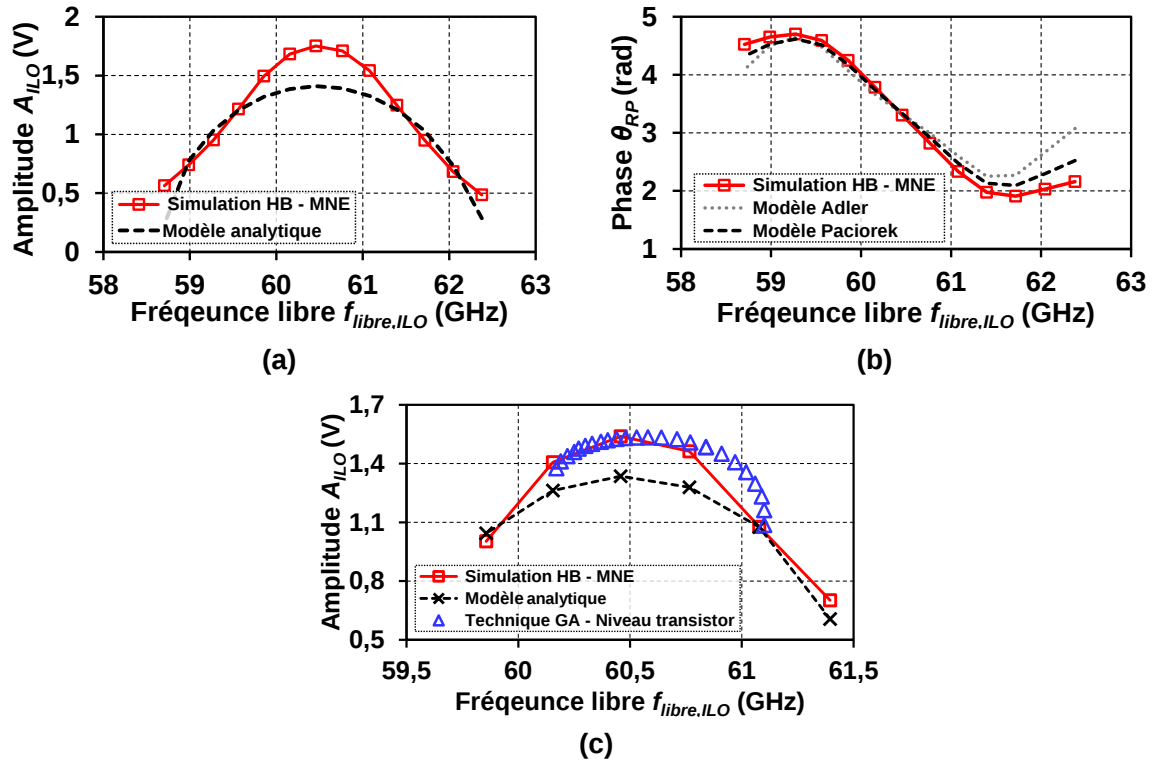


Fig. 2-20 : Comparaison entre le modèle analytique de l'Eq. 2.66 et simulations numériques du circuit non-linéaires équivalent (CNE de la Fig. 2-4(b)). Les solutions des amplitudes (a) et phases (b) en régime permanent sont obtenues en fonction de la fréquence d'oscillations libre $f_{libre,ILO}$ de l'oscillateur injecté ILO (variation de la capacité du résonateur). (c) Comparaison des résultats des modèles précédents avec les simulations numériques du circuit niveau transistor. Les résultats de la courbe en diamants dans la dernière figure sont obtenues en utilisant la technique de simulations numériques appelée générateur auxiliaire [6].

La Fig. 2-20(a) trace les solutions des amplitudes en régime permanent en fonction de la fréquence d'oscillation libre de l'ILO (contrôlé par la variation de la capacité du résonateur). Dans ce cas, la comparaison est faite pour deux niveaux (N2) et (N3). Pour une fréquence d'injection fixe (dans ce cas $f_{inj}=28 \times 2.16=60.48$ GHz), la variation de $f_{libre,ILO}$ permet de balayer la bande de verrouillage. Cela permet d'observer les variations des solutions en amplitude et en phase (en régime permanent) en fonction de la position à l'intérieur de cette bande de synchronisation. L'amplitude en régime permanent A_{ILO} est ainsi maximale au milieu de la bande de verrouillage ; c'est-à-dire, quand la fréquence d'oscillations libre $f_{libre,ILO}$ est exactement aligné avec la fréquence d'injection f_{inj} .

La Fig. 2-20(b) compare les solutions de phase en régime permanent θ_{PR} en fonction de la position à l'intérieur de la bande de verrouillage. La comparaison est faite entre les modèles analytiques (N1) proposés par Adler et Paciorek (expressions aux Eq. 2.33 et Eq. 2.34 respectivement) d'un côté, et les résultats de simulations numériques HB du CNE (N2) de l'autre. Les modèles analytiques permettent donc de bien approximer les solutions de la phase en régime permanent en fonction des paramètres du circuit. Par ailleurs, le modèle analytique proposé par Adler, le plus simple en comparaison avec celui de Paciorek, est suffisant pour prédire la valeur de θ_{PR} dans le

cas de faibles injections. En revanche, pour des niveaux d'injection élevés c'est le deuxième qui prend le relais.

La Fig. 2-20(c) montre simultanément les résultats de comparaison entre les trois niveaux mentionnés plus hauts (N1), (N2) et (N3). A noter que la transconductance d'injection dans ce cas est de $G_{inj}=1.49mS$ extraite du transistor d'injection utilisé dans le circuit niveau (N1) et de largeur $W_{inj}=5\mu m$. Le Circuit non-linéaires équivalent (N2 : carrés en rouge) est en bon accord avec les résultats de simulations du circuit niveau transistor (N3 : diamants en bleu). Le modèle analytique de l'Eq. 2.66 permet d'approcher la solution avec une différence relativement faible. Cependant, il permet de décrire et de comprendre le mécanisme de variation de la forme d'onde à la sortie de l'ILO en fonction des paramètres du circuit. Cela permettra dans la suite de modéliser et quantifier le bruit de phase à la sortie de l'ILO.

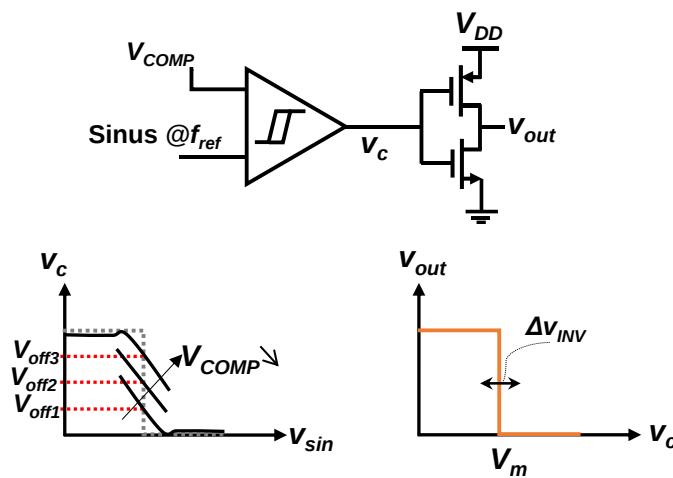


Fig. 2-21 : Architecture simplifiée et caractéristiques de tension-tension dans le circuit de mise en forme DCC.

2.4.4 BRUIT DE PHASE DANS LA CHAÎNE DE MULTIPLICATION

2.4.4.1 Circuit de mise en forme – DCC

Le schéma électrique simplifié du circuit de mise en forme DCC (Fig. 2-21) utilisé dans le multiplicateur de fréquence est constitué d'un comparateur et des inverseurs. Le transfert de bruit entre la sortie et l'entrée dépend des paramètres de ces deux architectures.

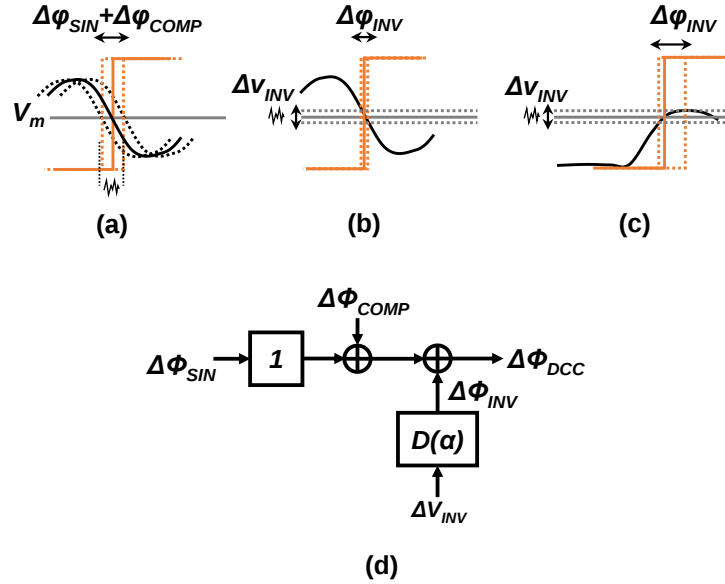


Fig. 2-22 : Illustrations et modèle (d) du transfert du bruit de phase entre l'entrée et la sortie du circuit de mise en forme. Deux contributions principales sont rajoutées au bruit de phase de sortie : (a) Bruit blanc rajouté par le comparateur ; bruit propre de l'inverseur pour deux cas de figures : (a) pente de variation de V_{COMP} élevée (b) et faible (c).

En raison du gain limité du comparateur, la tension d'offset ainsi que la forme du signal obtenu à sa sortie dépendent fortement de la tension de comparaison V_{COMP} comme illustré par la caractéristique tension-tension (v_{sin}, v_c) de la Fig. 2-21. Pour des valeurs limites de la tension de comparaison, on obtient un signal distordu et dont la tension d'offset se dévie de la valeur médiane $V_{DD}/2$.

Pour simplification, on néglige le bruit introduit par les tensions de comparaison et d'alimentation (hypothèse cohérente car ces bruits sont contrôlables en mesures). Sous ces conditions, le bruit de phase en sortie du comparateur copie celui à son entrée avec une dégradation $\Delta\phi_{COMP}$. Il peut ainsi être exprimé par la relation suivante (Fig. 2-22) :

$$\Delta\phi_c(t) = \Delta\phi_{SIN}(t) + \Delta\phi_{COMP}(t) \quad \text{Eq. 2.68}$$

Où $\Delta\phi_{COMP}$ modélise le bruit blanc thermique propre rajouté par les éléments du comparateur.

Ensuite, le signal à la sortie du comparateur alimente le montage inverseur qui la transforme en signal bistable de valeurs V_{DD} ou $0V$. Bien que le gain des inverseurs soit très grand, la tension de bascule V_m entre les deux états (Fig. 2-21) est constante. De plus, il introduit un bruit non négligeable au signal carré de sortie du DCC. Le transfert de ce bruit en bruit de phase à la sortie dépend fortement de la pente de variation du signal à la sortie du comparateur comme illustré aux Fig. 2-22(a) et (b). Le circuit inverseur contribue ainsi au bruit total en rajoutant le terme suivant :

$$\Delta t_{INV} = \frac{\Delta\phi_{INV}(t)}{\omega_{ref}} = \frac{\delta t}{\delta v_c} \cdot \Delta v_{INV}(t) \quad \text{Eq. 2.69}$$

Dans le domaine fréquentiel ($\delta v_c / \delta t = j\omega_{ref} V_c$), cela est équivalent à :

$$\Delta\Phi_{INV}(f) = \frac{\Delta V_{INV}(f)}{|V_c(f)|} = D(\alpha) \cdot \Delta V_{INV}(f) \quad \text{Eq. 2.70}$$

Où $D(\alpha) = 1/|V_c(f)|$ est une fonction de α caractéristique de la distorsion du signal à la sortie du comparateur. Plus la tension de comparaison est proche des valeurs limites, plus le signal v_c est distordu ou fortement non-linéaire (Fig. 2-22(c)). C'est-à-dire, la puissance du signal se rapatrie sur les termes d'ordre élevé au détriment du fondamental. Par conséquent, l'augmentation de $D(\alpha)$ dans ces conditions augmente le bruit rajouté par les inverseurs. $D(\alpha)$ et par conséquent le bruit de phase sont minimales pour des valeurs intermédiaires du rapport cyclique α .

Ainsi le bruit total résultant à la sortie du DCC est donné dans le domaine spectrale par :

$$\Delta\Phi_{DCC}(f) = \Delta\Phi_{SIN}(f) + \Delta\Phi_{COMP}(f) + D(\alpha) \cdot \Delta V_{INV}(f) \quad \text{Eq. 2.71}$$

Etant donné que les trois bruits sont indépendants, la densité spectrale de puissance du bruit résultant à la sortie du DCC peut s'écrire sous la forme :

$$S_{\phi,DCC}(f) = S_{\phi,SIN}(f) + S_{\phi,COMP}(f) + D(\alpha)^2 \cdot S_{v,INV}(f) \quad \text{Eq. 2.72}$$

Par conséquent, le bruit de phase du signal carré à la sortie du DCC peut être approché par la formule :

$$\mathcal{L}_{\phi,DCC}(f_m) = \mathcal{L}_{\phi,SIN}(f_m) + \frac{1}{2} [S_{\phi,COMP}(f_m) + D(\alpha)^2 \cdot S_{v,INV}(f_m)] \quad \text{Eq. 2.73}$$

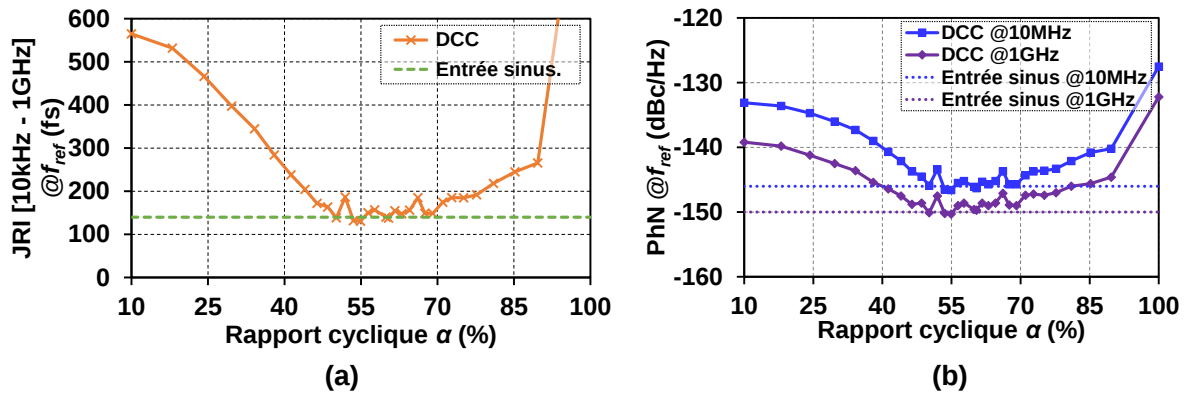


Fig. 2-23 : (a) Résultats de simulations numériques du jitter Intégré (JRI) à la sortie du DCC à $f_{ref}=2.16\text{GHz}$ en fonction de la variation du rapport cyclique α (la bande d'intégration [10kHz - 1GHz]). (b) Bruit de phase à la sortie du DCC à deux fréquences d'offset : 10MHz (carrés) et 1GHz (losanges). Dans les deux figures, une comparaison est faite avec le bruit de l'entrée sinusoïdale (en pointillé).

La Fig. 2-23 montre les résultats de simulations numériques du bruit de et du jitter intégré (JRI) à la sortie du DCC en fonction du rapport cyclique α . La Fig. 2-23(a) compare le JRI intégré dans la bande [10kHz - 1GHz] en comparaison avec le bruit de phase de l'entrée sinusoïdale pour

différentes valeurs de α . On constate ainsi que, comme prévu par le modèle comportemental de Eq. 2.73, le bruit de phase rajouté par le DCC est minimal pour des valeurs du rapport cyclique entre $\alpha=0.45$ et $\alpha=0.7$. En revanche, en se rapprochant des limites $\alpha \rightarrow 1$ ou $\alpha \rightarrow 0$, le bruit à la sortie du rapport se détériore fortement (dégradation de plus de 500fs).

2.4.4.2 Oscillateur pulsé – OSC-P

Comme justifié dans les parties précédentes, le circuit non-linéaires équivalent d'un oscillateur à allumage périodique cohérent P-OSC peut être représenté par la Fig. 2-24. Sous ces conditions, l'oscillateur pulsé se comporte comme un oscillateur verrouillé par injection sous-harmoniques [28], [29]. Le modèle linéaire décrivant le bruit de phase à la sortie peut donc être schématisé par le modèle de la Fig. 2-24(c).

Ainsi, le bruit total à une harmonique N à la sortie du circuit allumé périodiquement peut être exprimé par [28] :

$$\Delta\Phi_{OSC-P}(f) = N \cdot H_n(f)\Delta\Phi_{DCC}(f) + [1 - H_n(f)]\Delta\Phi_{VCO}(f) \quad \text{Eq. 2.74}$$

$\Delta\Phi_{DCC}(f)$ est le bruit de la référence et $\Delta\Phi_{VCO}(f)$ le bruit propre en oscillation libre de l'oscillateur pulsé (en absence du signal d'allumage périodique). La fonction de transfert du bruit (FTB) est celle d'un filtre passe-bas du premier ordre exprimé par :

$$H_n(f) = \frac{1}{\left(1 + j \frac{f}{f_{c,OSCP}^N}\right)} \quad \text{Eq. 2.75}$$

Où $f_{c,OSCP}^N$ étant la fréquence de coupure ou bande passante de la FTB d'une harmonique N donnée du TORP. Elle est exprimée en fonction de l'amplitude du signal de synchronisation i_{CI} par la relation suivante :

$$f_{c,POSC}^N = \frac{f_{libre,OSCP}}{2Q_t} \times \frac{I_{CI}}{I_{POSC}^N} \quad \text{Eq. 2.76}$$

Où Q_t est le facteur de qualité du résonateur et $f_{libre,OSCP}$ étant sa fréquence de résonance.

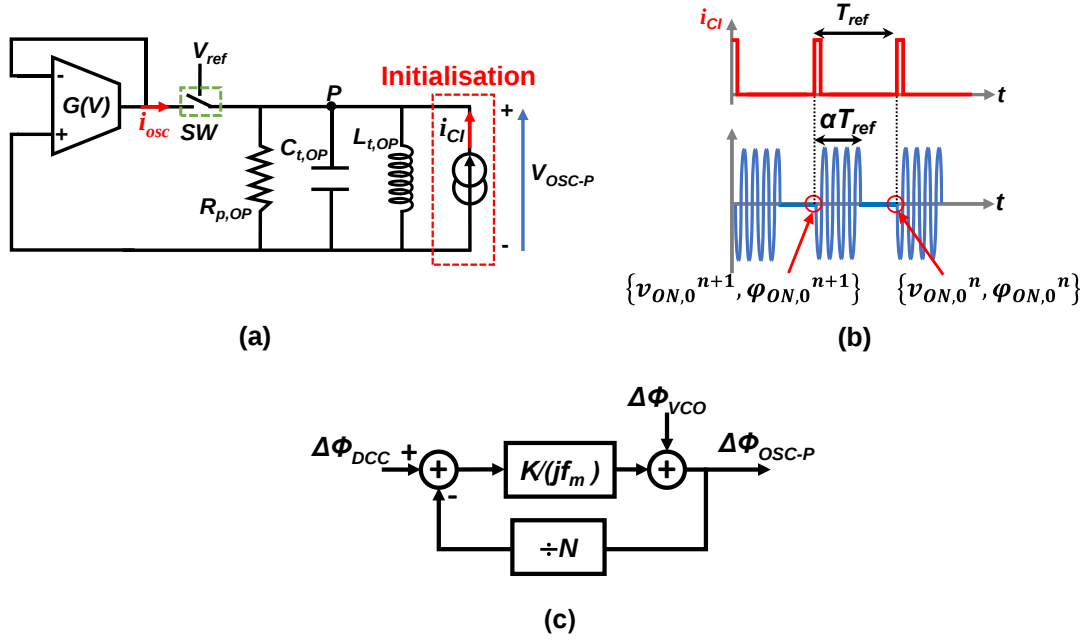


Fig. 2-24 : Schéma équivalent (CNE) de l'oscillateur pulsé cohérent (a) avec une illustration de l'application des conditions initiales au début de chaque wagon d'oscillations (b). (c) Modèles simplifié du bruit de phase à la sortie de l'OSC-P.

L'expression du signal de synchronisation I_{Cl} est exprimé par (fondamentale à l'expression de l'Eq. 2.55) :

$$I_{Cl} = 2\alpha V_{DD} g_{1,eq} \text{sinc}(\alpha\pi) \quad \text{Eq. 2.77}$$

α est le rapport cyclique du signal carré de référence et $g_{1,eq}$ représente la transconductance équivalente d'injection. Dans le cas d'un oscillateur pulsé de type gyrateur de la Fig. 2-12(b), $g_{1,eq}$ sera obtenue par la mise en série des deux transconductances équivalentes des transistors T_1 et T_2 .

L'amplitude de l'harmonique N à la sortie de l'OSC-P est donnée par :

$$I_{POSC}^N = V_{OSCP}^N / |Z_{OSCP}(Nf_{ref})| \quad \text{Eq. 2.78}$$

Où V_{OSCP}^N est donnée par l'expression de l'Eq. 2.62. $Z_{OSCP}(Nf_{ref})$ est l'impédance équivalente du résonateur RLC du l'OSC-P évalué à la fréquence équivalent de synchronisation Nf_{ref} .

Ainsi en remplaçant les expressions des équations Eq. 2.62, Eq. 2.77 et Eq. 2.78 dans le résultat de l'Eq. 2.76, on obtient l'expression de la bande passante de la FTB à une harmonique N de l'OSC-P en fonction de ses paramètres caractéristiques et les paramètres du signal carrée de contrôle :

$$f_{c,POSC}^N = \frac{f_{libre,OSCP}}{2Q_t} \frac{2V_{DD} g_{1,eq} \text{sinc}(\alpha\pi)}{A_{libre,OSCP} \text{sinc}\left[\pi \frac{\alpha(Nf_{ref} - f_{libre,OSCP})}{f_{ref}}\right]} \cdot |Z_{OSCP}(Nf_{ref})| \quad \text{Eq. 2.79}$$

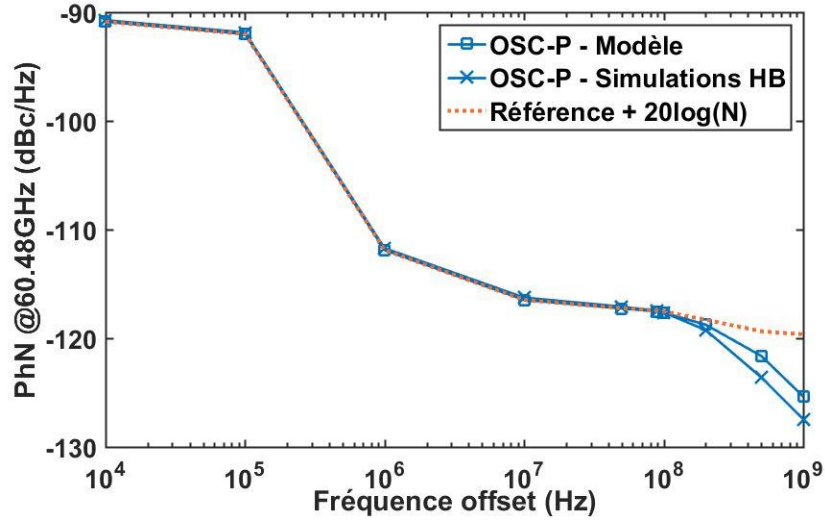


Fig. 2-25 : Figure de bruit de phase à la fréquence 60.48GHz correspondant à la 28^{ème} harmonique à la sortie de l'OSC-P. Comparaison entre le bruit simulé du CNE (symbole x) et analytique de l'Eq. 2.81 (symbole carré). Le bruit de phase de la référence à 2.16GHz augmenté de $20 \times \log(N)$ est également tracé en pointillé.

Etant donné que les deux bruits sont indépendants, la densité spectrale de puissance du bruit résultant à la sortie de l'OSC-P peut s'écrire sous la forme (DSP de l'Eq. 2.74) :

$$S_{\varphi,OSC-P}(f) = N^2 |H_n(f)|^2 S_{\varphi,DCC}(f) + |1 - H_n(f)|^2 S_{\varphi,VCO}(f) \quad \text{Eq. 2.80}$$

Par conséquent, le bruit de phase à la sortie à l'harmonique N du signal TROP peut être approché par la formule :

$$\mathcal{L}_{OSC-P}(f_m) = N^2 |H_n(f_m)|^2 \mathcal{L}_{DCC}(f_m) + |1 - H_n(f_m)|^2 \mathcal{L}_{VCO}(f_m) \quad \text{Eq. 2.81}$$

$\mathcal{L}_{VCO}(f_m)$ étant la DSP du bruit de phase propre de l'OSC-P en oscillation libre (en absence du signal de référence à son entrée). Le bruit de phase du signal carrée de référence est représenté par $\mathcal{L}_{DCC}(f_m)$. L'OSC-P se comporte ainsi comme un filtre passe-bas vis-à-vis du bruit à son entrée (signal de référence DCC) tandis qu'il adopte un comportement passe-haut envers son bruit propre en régime libre.

La Fig. 2-25 montre la comparaison entre modèle et simulations de la figure de bruit de phase de la 28^{ème} harmonique du TROP en fonction de la fréquence d'offset f_m . Le rapport cyclique du signal carré de référence DCC dans ce cas est de $\alpha=65\%$. La figure de bruit de phase correspondante est tracée en pointillé (couleur orange) dans la Fig. 2-25. Le caractère filtre passe-bas de l'OSC-P vis-à-vis du signal d'entrée est visible sur la figure. En effet, pour des fréquences d'offsets supérieures à la fréquence de coupure (dans ce cas 605MHz), le bruit de phase de l'oscillateur pulsé ne recopie plus le bruit de la référence (augmenté de $20 \times \log(N)$), en revanche ce dernier est filtré par l'oscillateur pour obtenir une figure de bruit améliorée à ces fréquences loin de la porteuse.

Pour observer ce phénomène de plus près, la Fig. 2-26(a) trace le bruit de phase à 1GHz d'offset (résultats du modèle analytique comparé avec les simulations HB du CNE) en fonction du rapport

cyclique du signal de référence. A noter que le bruit de phase à la sortie du DCC varie considérablement en fonction du rapport cyclique (Fig. 2-23). Par conséquent, cette variation est directement transmise à la sortie de l'OSC-P comme montré par la Fig. 2-26(a). La réjection du bruit de phase à travers le OSC-P en fonction de α est exposée à la Fig. 2-26(b). Pour des faibles valeurs de α , le filtrage du bruit de phase est constant (i. e. $\Delta PhN=-2$) tandis que pour $\alpha>0.5$ ce filtrage augmente de plus en plus. Ceci est principalement dû à l'augmentation de l'amplitude de l'harmonique N en fonction de α (variation montrée à la Fig. 2-15(c)) provoquant par conséquent la baisse de la fréquence de coupure comme illustré par le résultat du modèle de l'Eq. 2.79 à la Fig. 2-26(c).

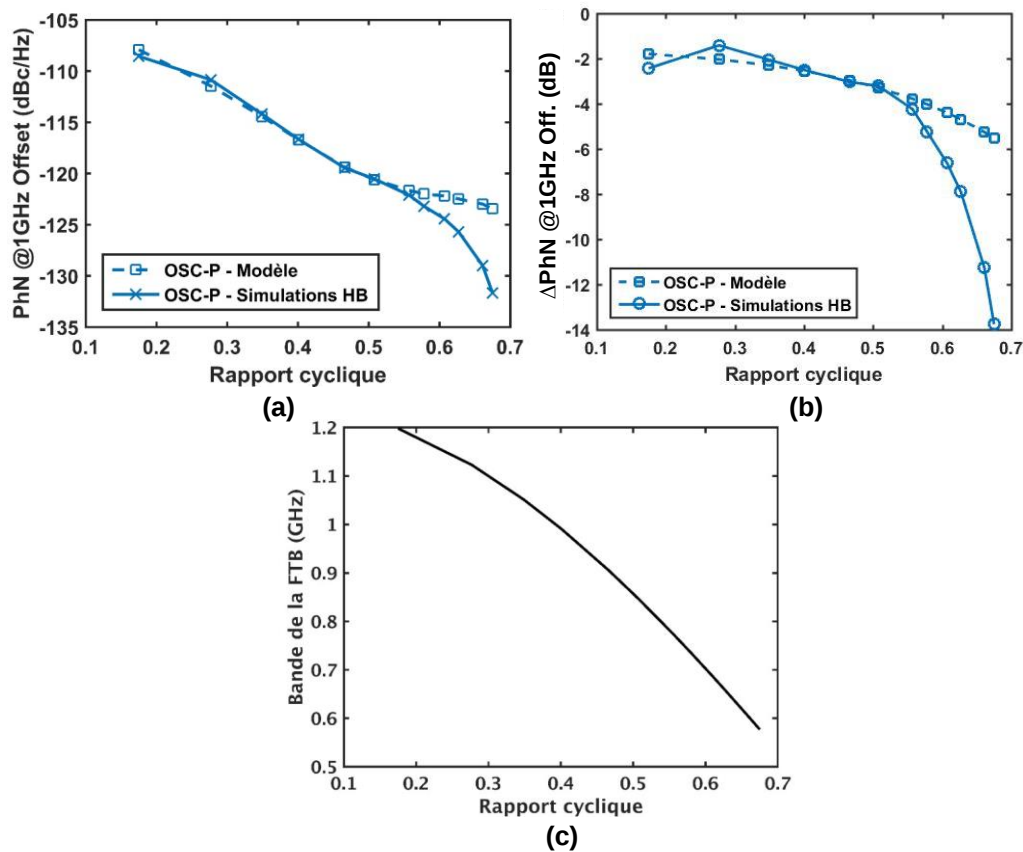


Fig. 2-26 : En fonction de la variation du rapport cyclique du signal carré de référence, on a calculé les grandeurs suivantes : (a) Bruit de phase à 1GHz d'offset de la 28^{ème} harmonique du TROP ; (b) Dégradation de ce dernier à travers l'OSC-P (i. e. $\Delta PhN = PhN_{out} - PhN_{in}$) ; (c) Résultats du modèle analytique de la fréquence de coupure ou bande passante de la FTB (Eq. 2.79). Les figures (a) et (b) comparent les résultats du modèle analytique et celles obtenues par simulations numériques du circuit non-linéaires équivalent (CNE).

Finalement, la différence entre les résultats de simulations du CNE et le modèle analytique de l'Eq. 2.81 pour des valeurs élevées de α est due principalement à la simplicité de ce dernier. En effet, dans ce modèle on suppose que l'OSC-P est seulement injecté par le fondamentale du signal carré de référence (expression de I_{cl} à l'Eq. 2.77). En réalité, en plus du fondamental, les harmoniques

d'ordre supérieurs à la sortie du DCC injectent également une puissance non-négligeable dans l'OSC-P et dont l'effet sur le bruit de phase est particulièrement visible pour des valeurs de rapport cyclique se rapprochant de 1.

Un modèle analytique prenant en compte les non-linéarités d'ordre élevé du signal carré de référence serait plus précis au détriment d'une complexité élevée d'analyses et interprétation. Le modèle linéaire proposé est suffisant pour caractériser et comprendre, le mécanisme de variation du bruit de phase dans la chaîne de synthèse de fréquence.

2.4.4.3 Oscillateur verrouillé par injection – ILO

Comme montré plus haut, le circuit équivalent d'un l'oscillateur verrouillé par injection est donné à la Fig. 2-27(a). Sous les conditions de verrouillage et l'approximation d'injection par un signal harmonique (détails au paragraphe 2.4.3.3), les déviations aléatoires de phase dans l'ILO sont décrites par le modèle linéaire de la Fig. 2-27(b) [24].

Le bruit résultant à la sortie de l'ILO peut ainsi être exprimé par :

$$\Delta\Phi_{ILO}(f) = H_n(f)\Delta\Phi_{OSC-P}(f) + [1 - H_n(f)]\Delta\Phi_{VCO}(f) \quad \text{Eq. 2.82}$$

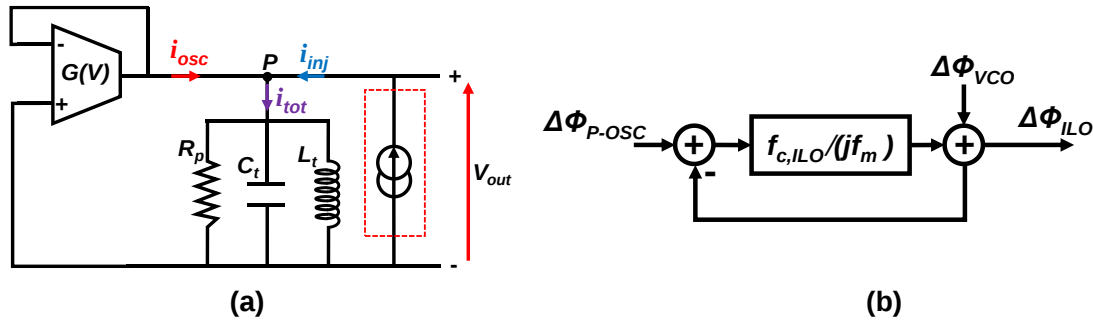


Fig. 2-27 : (a) Circuit non-linéaires équivalent (CNE) de l'oscillateur verrouillé par injection et (c) son modèle linéaire de bruit de phase [24].

$\Delta\Phi_{OSC-P}(f)$ est le bruit d'entrée injecté par l'OSC-P et $\Delta\Phi_{VCO}(f)$ le bruit propre en oscillation libre (en absence du signal TORP). De même que le modèle du bruit de l'OSC-P, la FTB est celle d'un filtre passe-bas du premier ordre exprimé par :

$$H_n(f) = \frac{1}{\left(1 + j\frac{f}{f_{c,ILO}}\right)} \quad \text{Eq. 2.83}$$

Où $f_{c,ILO}$ étant la fréquence de coupure ou bande passante de la FTB à la sortie de l'ILO. Elle est exprimée par la relation suivante :

$$f_{c,ILO} = \frac{f_{libre,ILO}}{2Q_t} \times \frac{G_{inj}V_{POS}^N}{I_{ILO}} \quad \text{Eq. 2.84}$$

Où V_{OSC}^N représente l'amplitude du signal à la sortie de l'OSC-P injecté par l'intermédiaire d'un transistor d'injection T_{inj} dont la transconductance équivalente est donnée par G_{inj} . Q_t est le facteur de qualité du résonateur et $f_{libre,OSCP}$ étant sa fréquence de résonance.

De même que l'OSC-P, l'expression du courant circulant dans le résonateur RLC de l'ILO est donnée par :

$$I_{ILO} = A_{ILO} / |Z_{ILO}(Nf_{ref})| \quad \text{Eq. 2.85}$$

Où A_{ILO} est donnée par l'expression de l'Eq. 2.66. $Z_{ILO}(Nf_{ref})$ est l'impédance équivalente du résonateur RLC de l'ILO-P évalué à la fréquence équivalent de synchronisation $N \times f_{ref}$.

Ainsi en remplaçant les expressions des équations l'Eq. 2.66, Eq. 2.78 dans le résultat de l'Eq. 2.84, on obtient l'expression de la bande passante de la FTB équivalente à la sortie de l'ILO :

$$f_{c,ILO} = \frac{f_{libre,ILO}}{Q_t} \sqrt{3g_{3,ILO}} \frac{\alpha G_{inj} A_{libre,OSCP} |Z_{ILO}(Nf_{ref})| \text{sinc} \left[\pi (Nf_{ref} - f_{libre,OSCP}) \frac{\alpha}{f_{ref}} \right]}{\sqrt{g_{1,ILO} - 1 / |Z_{ILO}(Nf_{ref})|}} \quad \text{Eq. 2.86}$$

Etant donné que les différents bruits sont indépendants, la densité spectrale de puissance du bruit résultant à la sortie de l'ILO peut s'écrire sous la forme (DSP de l'Eq. 2.82) :

$$S_{\phi,ILO}(f) = |H_n(f)|^2 S_{\phi,OSC-P}(f) + |1 - H_n(f)|^2 S_{\phi,VCO}(f) \quad \text{Eq. 2.87}$$

Par conséquent, le bruit de phase associé peut être approché par la formule :

$$\mathcal{L}_{ILO}(f_m) = |H_n(f_m)|^2 \mathcal{L}_{OSC-P}(f_m) + |1 - H_n(f_m)|^2 \mathcal{L}_{VCO}(f_m) \quad \text{Eq. 2.88}$$

$\mathcal{L}_{VCO}(f_m)$ étant la DSP du bruit de phase propre de l'ILO en régime d'oscillation libre (en absence du signal d'injection). Le bruit de phase du signal injecté est $\mathcal{L}_{OSC-P}(f_m)$.

La Fig. 2-28 montre un exemple de la figure de bruit de phase quand l'ILO est verrouillé à la 28^{ème} harmonique du signal multi-tons à la sortie de l'OSC-P. Le bruit injecté dans l'ILO (en bleu) correspond à celui obtenu dans l'exemple de la partie précédente (partie 2.4.4.2). La figure affiche également la comparaison entre le modèle analytique (pointillés et symbole carré) et les résultats numériques de simulations numériques du CNE (lignes continues et symbole x). Le modèle analytique montre un bon accord les résultats de simulations du CNE.

De même que L'OSC-P (en bleu), l'oscillateur injecté se comporte comme un filtre passe-bas vis-à-vis du bruit à son entrée et passe-haut envers son bruit propre en régime d'oscillations libres. En effet, pour des fréquences d'offset de la porteuse supérieures à la fréquence de coupure du filtre équivalent présenté par l'ILO (dans ce cas 522 MHz inférieure à celle de l'OSC-P : 605 MHz), le bruit à la sortie de l'ILO filtre le bruit de l'OSC-P et suit par conséquent le bruit de propre du résonateur qui présente une pente plus raide.

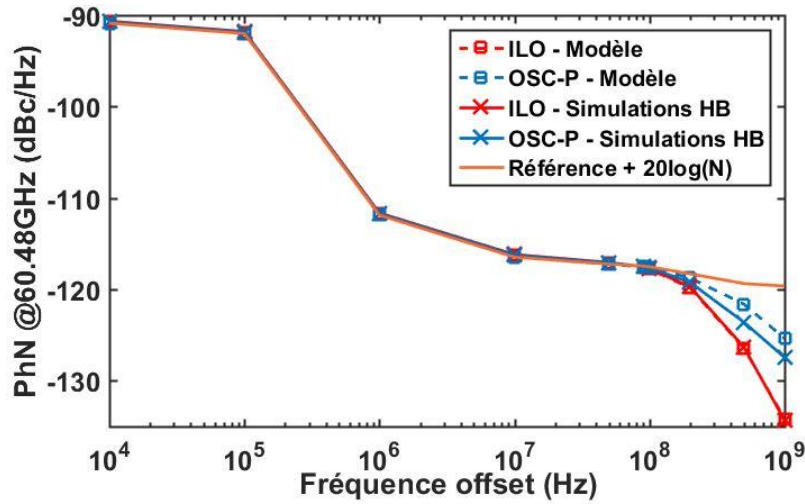


Fig. 2-28 : Figures de bruit de phase à la fréquence porteuse 60.48GHz à la sortie de l'ILO (en rouge) et l'OSC-P (en bleu). Comparaison entre le bruit simulé du CNE (symbole x) et analytique de l'Eq. 2.88 (symbole carré). Le bruit de phase de la référence à 2.16GHz augmenté de $20 \times \log(N)$ est également tracé (ligne continue).

La figure précédente est obtenue pour une valeur de rapport cyclique $\alpha=0.65$ du signal carré à l'entrée de l'OSC-P. La Fig. 2-29(a) montre la variation du bruit de phase à 1GHz d'offset de la porteuse 60.48GHz (28^{ème} harmonique de la référence 2.16GHz) à la sortie de l'ILO en fonction du paramètre α . Le bruit injecté est celui de l'OSC-P montré à la Fig. 2-26(a). La décroissance du bruit à 1GHz d'offset en fonction de α est majoritairement imposée par le DCC (Fig. 2-23). Par ailleurs, comme expliqué dans la partie précédente, l'influence de l'OSC-P est prépondérant et filtre le bruit pour des valeurs de α supérieure à 0.5. Que peut-on conclure sur l'effet de l'ILO ? Pour ce faire, la Fig. 2-29(b) affiche la dégradation du bruit de phase à travers l'oscillateur verrouillé par injection. Contrairement à l'OSC-P, l'ILO améliore la figure du bruit de phase totale du multiplicateur pour des faibles du rapport cyclique α .

Dans le cas de faibles valeurs de α , ILO permet ainsi de rattraper partiellement l'effet de dégradation du bruit imposé par le DCC. Autrement dit, pour certaines applications où une faible valeur du rapport cyclique est imposée (par exemple pour générer des courts « chirps » pour des systèmes RADAR), il faudrait agir sur l'ILO afin d'améliorer la figure de bruit totale du multiplicateur de fréquence initialement dégradé par le circuit de mise en forme DCC d'entrée.

Ce comportement est justifié en effet par des faibles valeurs de fréquence de coupure de la FTB équivalente comme représenté par la Fig. 2-29(c). Par ailleurs, à partir des expressions des fréquences de coupures de l'OSC-P et l'ILO (données respectivement par les Eq. 2.79 et Eq. 2.86), on constate que leur évolution est liée. Cela est en effet due à l'amplitude de l'harmonique N du TORP présente dans les deux expressions (dénominateur de $f_{c,OSC-P}^N$ et numérateur de $f_{c,ILO}$).

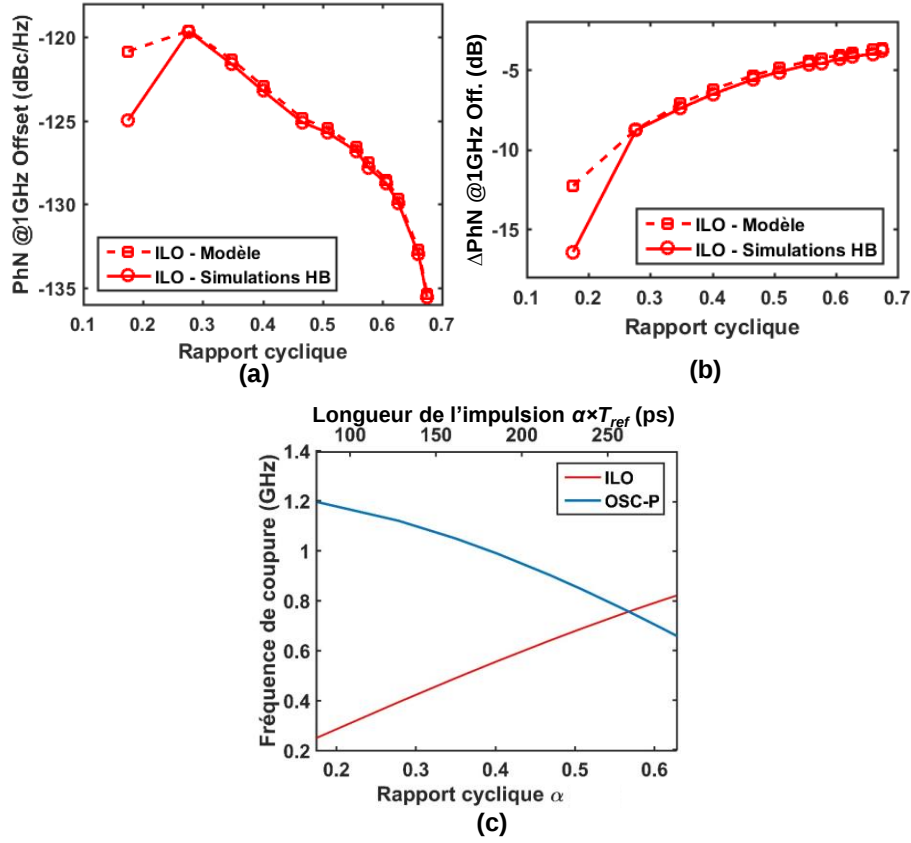


Fig. 2-29 : En fonction de la variation du rapport cyclique du signal carré de référence, on a calculé les grandeurs suivantes : (a) Bruit de phase à 1GHz d'offset à la sortie de l'ILO ($f_{out}=28 \times 2.16=60.48\text{GHz}$) ; (b) Dégradation de ce dernier à travers l'ILO (i. e. $\Delta\text{PhN} = \text{PhN}_{out}-\text{PhN}_{in}$) ; (c) Résultats du modèle analytique de la fréquence de coupure de la FTB (Eq. 2.79 pour OSC-P et Eq. 2.86 pour ILO). Les figures (a) et (b) comparent les résultats du modèle analytique et celles obtenues par simulations numériques du circuit non-linéaires équivalent (CNE).

De plus, pour une valeur fixe de α , il existe d'autres paramètres qui permettent d'améliorer la figure du bruit de phase à la sortie du multiplicateur de fréquences : la capacité du résonateur et le niveau d'injection.

- Niveau du signal d'injection

La puissance d'injection représente la quantité de courant injecté dans l'oscillateur ILO. Elle peut être contrôlée par différentes techniques : (1) en utilisant un étage de gain variable entre l'OSC-P et l'ILO ; (2) en contrôlant la transconductance équivalente des transistors d'injections T_{inj} . Cette dernière est contrôlée par les largeurs des canaux des transistors T_{inj} dans la phase de conception ou par les tensions de polarisations dans la phase de mesures. Le principe est le même pour les différentes techniques et est modélisé dans la suite par une simple transconductance d'injection G_{inj} .

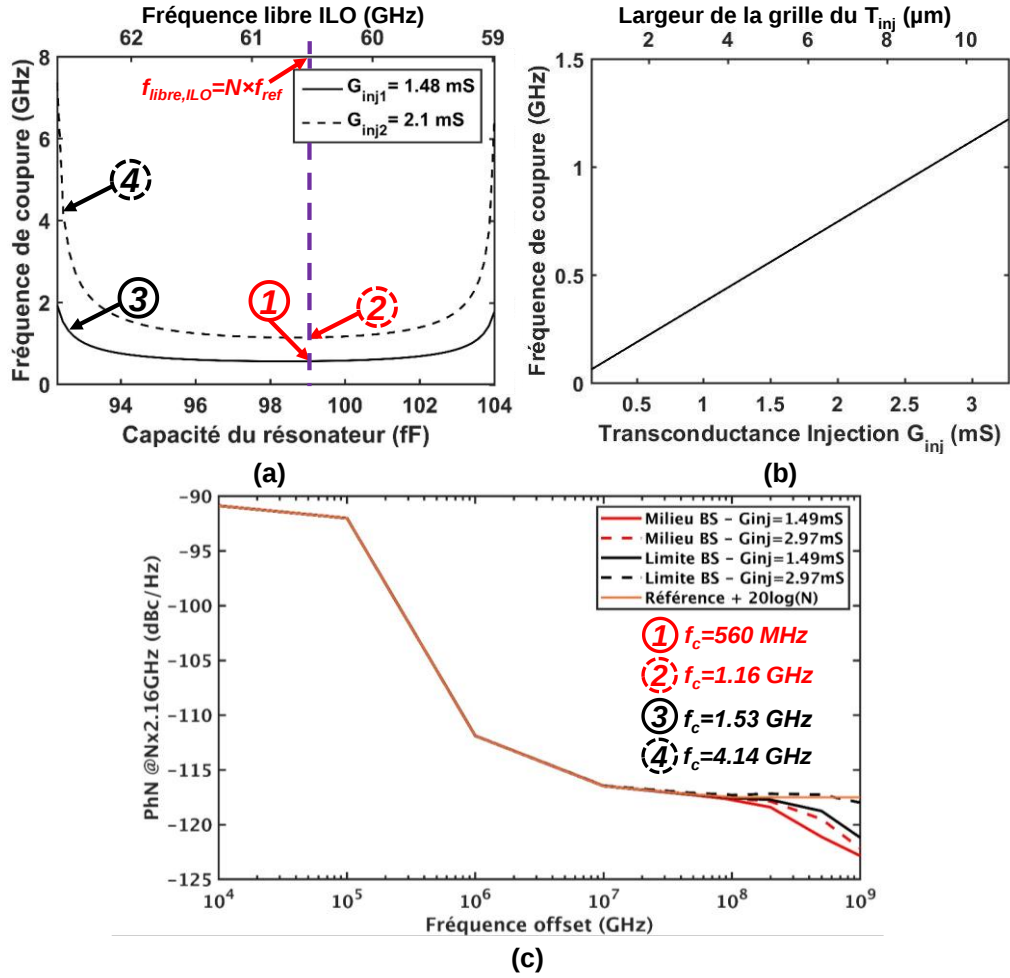


Fig. 2-30 : Variation de la fréquence de coupure de l'ILO en fonction de : (a) la capacité du résonateur (contrôlant la fréquence libre d'oscillation) ; (b) la transconductance du transistor d'injection T_{inj} (contrôlé par la largeur du canal du transistor W_{inj}). (c) Figures de bruit de phase résultants à la sortie de l'ILO pour différents endroits de la bande de synchronisation (BS) et pour deux niveaux d'injections : $G_{inj} = 1.49 \text{ mS}$ et 2.97 mS .

Selon le modèle analytique de l'Eq. 2.86 (courbe la Fig. 2-30(b)), la bande passante de la FTB dans un ILO est directement proportionnelle à la transconductance du transistor d'injection (dans ce cas contrôlé par les largeurs des transistors). C'est-à-dire, l'augmentation de la puissance injectée dans l'ILO augmente la bande de copie du bruit de phase d'entrée. Dans le cas de la Fig. 2-30(c) par exemple, cela augmente le bruit de phase copié loin de la porteuse et dégrade, par conséquence, la figure de bruit totale de l'oscillateur.

- Capacité du résonateur

Sous la condition de verrouillage de l'ILO sur la fréquence injecté (i. e. $|N \times f_{ref} - f_{libre,ILO}| < \Delta f_{BS}$), son bruit de phase varie selon de la position de sa fréquence d'oscillation libre $f_{libre,ILO}$ par rapport à f_{inj} . La variation de la valeur de la capacité du résonateur $C_{t,ILO}$ contrôle $f_{libre,ILO}$ et par conséquent la position de la courbe de sensibilité de l'ILO par rapport à f_{inj} . Dans ce cas, le bruit de phase est décrit selon le modèle analytique de l'Eq. 2.88 dont la fréquence de coupure de la FTB est tracé à la Fig. 2-30(a). La forme obtenue est justifiée par la variation de son dénominateur I_{ILO} selon la

courbe tracée à la Fig. 2-20(a). Une figure de bruit de phase optimale est donc obtenue autour de $f_{libre,ILO} = N \times f_{ref}$ (i. e. au milieu de la bande de synchronisation Fig. 2-30(a)). Cela correspond à une fréquence de coupure minimale et la figure de bruit de phase correspondante est montrée à la Fig. 2-30(c).

La Fig. 2-31 montre les résultats de simulations numériques du CNE. De même que le modèle analytique, un jitter intégré optimal est obtenu autour du milieu de la bande de verrouillage et pour des faibles valeurs de la puissance d'injection.

Ces mêmes conclusions sur le comportement de l'ILO à l'intérieur de la bande de verrouillage sont également vérifiées analytiquement et par mesures dans plusieurs travaux de la littérature [24], [30]–[33].

2.4.5 SOUS-ESPACES D'OPTIMISATION DU MULTIPLICATEUR DE FREQUENCE

L'architecture synthétiseur de fréquence à grand facteur de multiplications est montrée à la Fig. 2-1. A partir des modèles analytiques développés et exposés dans les précédentes parties de ce chapitre, on constate plusieurs degrés de liberté dans le fonctionnement et l'optimisation du multiplicateur de fréquence. Pour en citer qu'une partie, l'ensemble des paramètres suivants : {rapport cyclique α , le rapport de multiplication N ; fréquence libre d'oscillations de l'OSC-P et de l'ILO : $f_{libre,OSCP}$ et $f_{libre,ILO}$; puissance d'injection représentée par la transconductance G_{inj} } construit un champ de possibilités multiples. D'ailleurs, pour simuler numériquement le synthétiseur à grand facteur de multiplication (avec HB ou des simulations transients) dans l'espace construit par l'ensemble des paramètres en prenant 10 points pour chaque variable et un temps de calculs de 40 minutes par simulations (estimation grandement optimiste), les résultats de simulations peuvent être obtenus en $40 \times 10^5 \simeq 8$ ans. Cela sans compter les éventuels problèmes de convergences des simulateurs commerciaux. A l'aide des modèles analytiques proposés et validés par simulation et ensuite par mesure dans le dernier chapitre, cela prend quelques secondes seulement.

Rappelons que pour augmenter la réjection des raies adjacentes, un deuxième ILO est utilisé à la sortie du multiplicateur de fréquence [5], [26]. Un exemple d'espace de variations du jitter intégré dans la bande [10kHz – 1GHz] est montré à la Fig. 2-32(a) et (b) pour deux fréquences de sortie 58.32GHz et 60.48GHz (27 et 28^{ème} harmoniques de la référence f_{ref} respectivement). Le bruit minimal est obtenu quand les deux fréquences des ILOs sont alignées entre elles et sont à leur tour alignées avec l'harmonique de référence choisie.

Une infinité de solutions sont ainsi possibles et plusieurs scénarios de calibration par un circuit intégré dans le synthétiseur peuvent ainsi être envisageables.

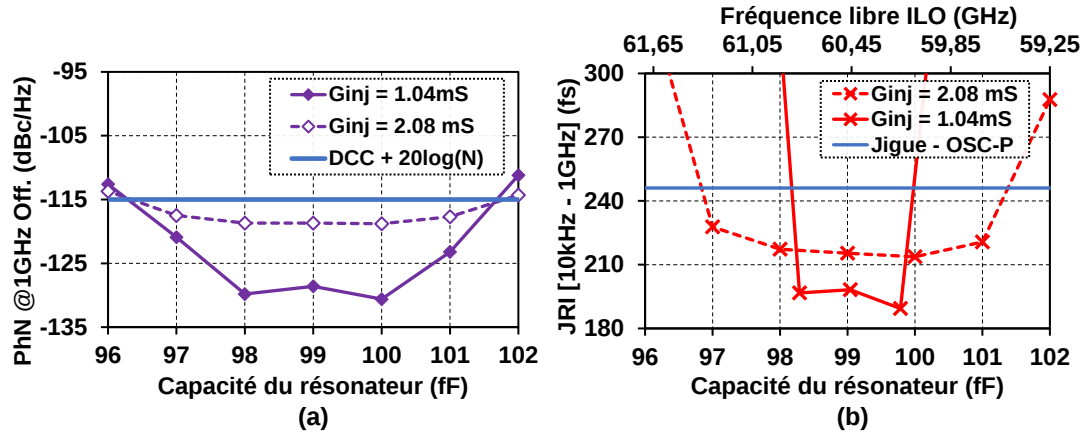


Fig. 2-31 : Résultats de simulations du (a) bruit de phase (à 1GHz d'offset de la porteuse $f_{out}=60.48\text{GHz}$) et du (b) Jitter RMS Intégré (JRI) dans la bande [10kHz - 1GHz] à la sortie du CNE en fonction de la capacité du résonateur (ou la fréquence libre d'oscillation) pour deux niveaux d'injections : $G_{inj}=1.04\text{mS}$ et 2.08mS . La variation de la capacité du résonateur (ou de $f_{libre,ILO}$) contrôle la position de la fréquence injectée à l'intérieur de la bande de synchronisation (BS).

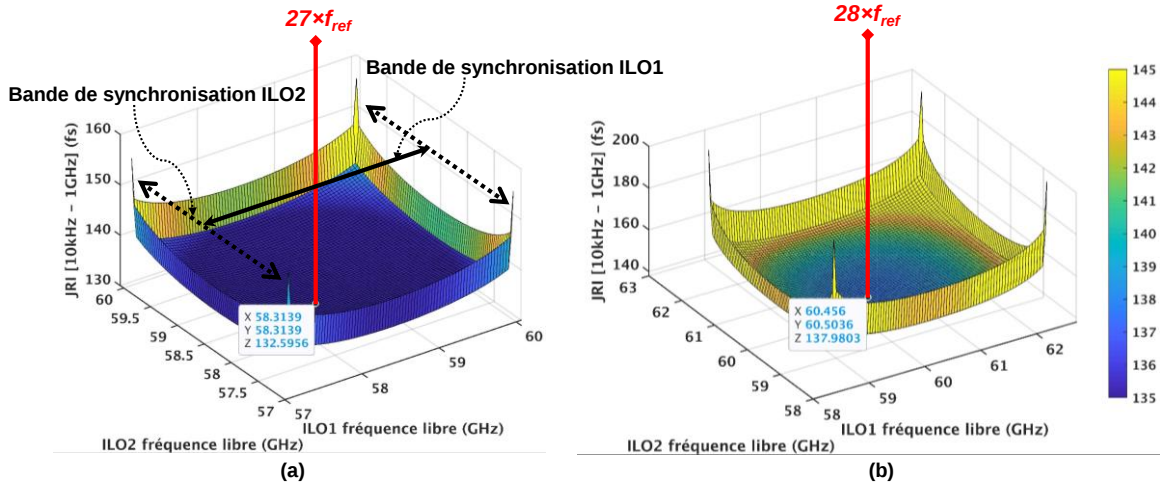


Fig. 2-32 : Résultats de calculs du jitter intégré (JRI) dans la bande [10kHz-1GHz] à la sortie du multiplicateur de fréquence en fonctions des fréquences libres d'oscillations des deux ILOs de sortie et pour deux fréquences porteuses : (a) 85.32GHz (multiplication par 27) et (b) 60.48GHz (multiplication par 28).

2.5 CONCLUSIONS

Dans ce chapitre, des techniques d'analyses et simulations des circuits oscillants en bande millimétrique sont présentées. Les simulations numériques utilisant les circuits non-linéaires simplifiés (résolution numériques équations de Van Der Pol) ont permis de trouver des solutions approchées tout en réduisant les coûts de simulations (en temps et en mémoire). Des modèles analytiques, présentés à la fin du chapitre, ont permis de comprendre le mécanisme les modes de variation des formes d'ondes ainsi que les performances spectrales du multiplicateur en fonction de chaque paramètre du circuit. La comparaison entre ces modèles avec les résultats de simulations des CNEs montre un bon accord et a permis de valider, jusque-là, les formulations analytiques.

Finalement, les résultats de modélisations et simulations permettent de tirer les conclusions suivantes sur le fonctionnement et les performances du multiplicateur de fréquence :

- Le contributeur majoritaire au bruit de phase du synthétiseur de fréquence est le circuit de mise en forme DCC. Le bruit rajouté par l'inverseur dépend fortement de la valeur du rapport cyclique. Pour des applications où la valeur du rapport cyclique n'est pas fixe ou imposée, il est possible d'optimiser la figure du bruit de phase totale du DCC et par conséquent son jitter en choisissant une valeur adéquate de la largeur de l'impulsion du signal de référence. Une amélioration du RJ1 de plus $500fs$ est montré par simulation à la Fig. 2-23
- L'optimisation du bruit l'oscillateur pulsé OSC-P est limité du fait des larges fréquences de coupures imposées pour garantir la cohérence des trains d'oscillation à sa sortie.
- Dans les oscillateurs verrouillés par injection ILOs, le bruit de phase est meilleur au milieu de la bande de synchronisation
- Une injection faible dans les deux oscillateurs ILO permet rejeter le bruit blanc à haute fréquence d'offset et par conséquent améliorer le jitter intégré à la sortie de l'oscillateur.

RÉFÉRENCES

- [1] C. Jany, A. Siligaris, J. L. Gonzalez-Jimenez, P. Vincent, et P. Ferrari, « A Programmable Frequency Multiplier-by-29 Architecture for Millimeter Wave Applications », *IEEE J. Solid-State Circuits*, vol. 50, n° 7, p. 1669-1679, juill. 2015, doi: 10.1109/JSSC.2015.2411623.
- [2] N. Deparis, A. Siligaris, P. Vincent, et N. Rolland, « Ultra low consumption UWB pulsed-ILO RF front-end transmitter at 60 GHz in 65-nm CMOS-SOI », in *2009 IEEE 20th International Symposium on Personal, Indoor and Mobile Radio Communications*, sept. 2009, p. 1652-1656, doi: 10.1109/PIMRC.2009.5449967.
- [3] B. van der Pol, « The Nonlinear Theory of Electric Oscillations », *Proc. IRE*, vol. 22, n° 9, p. 1051-1086, sept. 1934, doi: 10.1109/JRPROC.1934.226781.
- [4] R. Adler, « A Study of Locking Phenomena in Oscillators », *Proc. IRE*, vol. 34, n° 6, p. 351-357, juin 1946, doi: 10.1109/JRPROC.1946.229930.
- [5] A. Siligaris *et al.*, « A Multichannel Programmable High Order Frequency Multiplier for Channel Bonding and Full Duplex Transceivers at 60 GHz Band », in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Los Angeles, CA, USA, août 2020, p. 259-262, doi: 10.1109/RFIC49505.2020.9218433.
- [6] A. Suárez, *Analysis and Design of Autonomous Microwave Circuits: Suárez/Analysis and Design of Autonomous Microwave Circuits*. Hoboken, NJ, USA: John Wiley & Sons, Inc., 2008.
- [7] T. Quémerais, L. Moquillon, J. Fournier, et P. Benech, « 65-, 45-, and 32-nm Aluminium and Copper Transmission-Line Model at Millimeter-Wave Frequencies », *IEEE Trans. Microw. Theory Tech.*, vol. 58, n° 9, p. 2426-2433, sept. 2010, doi: 10.1109/TMTT.2010.2058277.
- [8] C. Jany, « Conception et étude d'une synthèse de fréquence innovante en technologies CMOS avancées pour les applications en bande de fréquence millimétrique », PhD, Université Grenoble Alpes, 2014.
- [9] S. A. Maas, *Nonlinear Microwave and RF Circuits*, Artech House microwave library. Norwood, MA, 2003.
- [10] G. Dambrine, A. Cappy, F. Heliodore, et E. Playez, « A new method for determining the FET small-signal equivalent circuit », *IEEE Trans. Microw. Theory Tech.*, vol. 36, n° 7, p. 1151-1159, juill. 1988, doi: 10.1109/22.3650.
- [11] R. A. Minasian, « Simplified GaAs m.e.s.f.e.t. model to 10 GHz », *Electron. Lett.*, vol. 13, n° 18, p. 549-551, sept. 1977, doi: 10.1049/el:19770395.
- [12] K. Kurokawa, « Some basic characteristics of broadband negative resistance oscillator circuits », *Bell Syst. Tech. J.*, vol. 48, n° 6, p. 1937-1955, juill. 1969, doi: 10.1002/j.1538-7305.1969.tb01158.x.
- [13] H. Barkhausen, *Lehrbuch der Elektronen-Röhren und ihrer technischen Anwendungen*.
- [14] D. E. Panayotounakos, N. D. Panayotounakou, et A. F. Vakakis, « On the lack of analytic solutions of the Van der Pol oscillator », *ZAMM - J. Appl. Math. Mech. Z. Für Angew. Math. Mech.*, vol. 83, n° 9, p. 611-615, 2003, doi: <https://doi.org/10.1002/zamm.200310040>.
- [15] B. K. Shivamoggi, *Nonlinear Dynamics and Chaotic Phenomena: An Introduction*, 2nd ed. 2014. Dordrecht: Springer Netherlands : Imprint: Springer, 2014.
- [16] Peter J. Melvin, « On the Construction of Poincare-Lindstedt Solutions: The Nonlinear Oscillator Equation », *SIAM J. Appl. Math.*, vol. 33, n° 1, p. 161-161-194, juill. 1977.

- [17] L. J. Paciorek, « Injection locking of oscillators », *Proc. IEEE*, vol. 53, n° 11, p. 1723-1727, 1965, doi: 10.1109/PROC.1965.4345.
- [18] B. Razavi, « A study of injection locking and pulling in oscillators », *IEEE J. Solid-State Circuits*, vol. 39, n° 9, p. 1415-1424, sept. 2004, doi: 10.1109/JSSC.2004.831608.
- [19] D. B. Leeson, « A simple model of feedback oscillator noise spectrum », *Proc. IEEE*, vol. 54, n° 2, p. 329-330, févr. 1966, doi: 10.1109/PROC.1966.4682.
- [20] T. H. Lee et A. Hajimiri, « Oscillator phase noise: a tutorial », *IEEE J. Solid-State Circuits*, vol. 35, n° 3, p. 326-336, mars 2000, doi: 10.1109/4.826814.
- [21] A. Demir, A. Mehrotra, et J. Roychowdhury, « Phase noise and timing jitter in oscillators », in *Proceedings of the IEEE 1998 Custom Integrated Circuits Conference (Cat. No.98CH36143)*, Santa Clara, CA, USA, 1998, p. 45-48, doi: 10.1109/CICC.1998.694904.
- [22] F. X. Kaertner, « Analysis of white and $f^{-\alpha}$ noise in oscillators », *Int. J. Circuit Theory Appl.*, vol. 18, n° 5, p. 485-519, 1990, doi: <https://doi.org/10.1002/cta.4490180505>.
- [23] B. Razavi, « A study of phase noise in CMOS oscillators », *IEEE J. Solid-State Circuits*, vol. 31, n° 3, p. 331-343, mars 1996, doi: 10.1109/4.494195.
- [24] S. Kalia, M. Elbadry, B. Sadhu, S. Patnaik, J. Qiu, et R. Harjani, « A simple, unified phase noise model for injection-locked oscillators », in *2011 IEEE Radio Frequency Integrated Circuits Symposium*, Baltimore, MD, USA, juin 2011, p. 1-4, doi: 10.1109/RFIC.2011.5940707.
- [25] P. Maffezzoni et S. Levantino, « Phase Noise of Pulse Injection-Locked Oscillators », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 61, n° 10, p. 2912-2919, oct. 2014, doi: 10.1109/TCSI.2014.2321200.
- [26] A. Boulmirat, A. Siligaris, C. Jany, et J. L. Gonzalez-Jimenez, « Lock Detector Integrated in a High Order Frequency Multiplier Operating at 60-GHz-Band in 45nm CMOS SOI Technology », in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, août 2020, p. 944-947, doi: 10.1109/IMS30576.2020.9223899.
- [27] C. Jany, A. Siligaris, P. Vincent, et P. Ferrari, « Pulsed oscillations generator based on initial conditioned and switched cross-coupled MOS oscillator. Application to the synchronization of the pulsed oscillations », in *2014 10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, juin 2014, p. 1-4, doi: 10.1109/PRIME.2014.6872665.
- [28] K. Tsutsumi, M. Tsuru, et E. Taniguchi, « A sub-harmonic injection-locked oscillator with auto aligned multiple pulse injection », in *2013 European Microwave Integrated Circuit Conference*, oct. 2013, p. 101-104.
- [29] Sheng Ye, L. Jansson, et I. Galton, « A multiple-crystal interface PLL with VCO realignment to reduce phase noise », *IEEE J. Solid-State Circuits*, vol. 37, n° 12, p. 1795-1803, déc. 2002, doi: 10.1109/JSSC.2002.804339.
- [30] A. Musa, R. Murakami, T. Sato, W. Chaivipas, K. Okada, et A. Matsuzawa, « A Low Phase Noise Quadrature Injection Locked Frequency Synthesizer for MM-Wave Applications », *IEEE J. Solid-State Circuits*, vol. 46, n° 11, p. 2635-2649, nov. 2011, doi: 10.1109/JSSC.2011.2166336.
- [31] F. Ramirez, M. Ponton, S. Sancho, et A. Suarez, « Phase-Noise Analysis of Injection-Locked Oscillators and Analog Frequency Dividers », *IEEE Trans. Microw. Theory Tech.*, vol. 56, n° 2, p. 393-407, 2008, doi: 10.1109/TMTT.2007.914375.
- [32] A. Elkholy, M. Talegaonkar, T. Anand, et P. Kumar Hanumolu, « Design and Analysis of Low-Power High-Frequency Robust Sub-Harmonic Injection-Locked Clock Multipliers », *IEEE J. Solid-State Circuits*, vol. 50, n° 12, p. 3160-3174, déc. 2015, doi: 10.1109/JSSC.2015.2478449.
- [33] M. Hossain et A. C. Carusone, « CMOS Oscillators for Clock Distribution and Injection-Locked Deskew », *IEEE J. Solid-State Circuits*, vol. 44, n° 8, p. 2138-2153, août 2009, doi: 10.1109/JSSC.2009.2022917.

Chapitre 3: CALIBRATION DE FONCTIONNALITE ET PERFORMANCES DES OSCILLATEURS BASES SUR LES TECHNIQUE DE MULTIPLICATION HARMONIQUE ET LE VERROUILLAGE PAR INJECTION

3.1 INTRODUCTION

Les circuits électroniques subissent des variations des conditions de fonctionnement pendant leur opération. La température par exemple peut varier les caractéristiques thermiques des porteurs de charges et modifie par conséquent les paramètres caractéristiques du circuit (mobilités des charges, conductance électrique... etc). Cela induit par conséquent un changement dans les performances du circuit. De plus, les processus de fabrications des nano-circuits entraînent souvent introduit des erreurs dans les longueurs de la grille des transistors et les largeurs et/ou épaisseurs des métaux fins (changement des valeurs capacités par exemple) ...etc. Cela se traduit également par le changement des conditions de fonctionnement. Toutes ces imperfections, généralement dénommé variations PVT (pour désigner Voltage-Process-Temperature), subis par les circuits nanoélectroniques perturbe leurs fonctionnalités et performances.

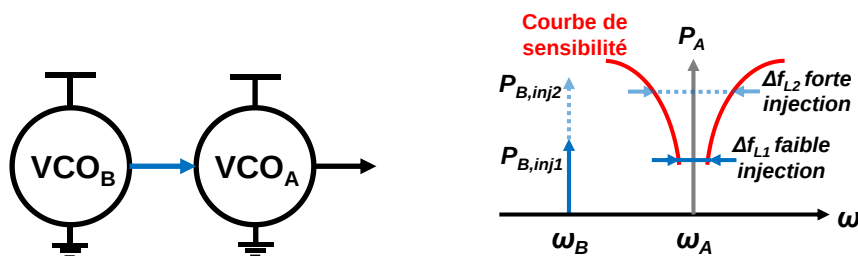


Fig. 3-1 : Configuration du principe du verrouillage par d'injection d'un oscillateur A (esclave) par un oscillateur B (maître). $P_{B,inj}$ représente la puissance injectée par VCO_B et P_A la puissance de sortie du VCO_A .

D'un autre côté, dans le cas des oscillateurs verrouillés par injection, les variations de la fréquence d'oscillation libre de l'oscillateur entraînent une perte de sa fonctionnalité. En effet, comme montré à la Fig. 3-1, un oscillateur VCO_A se synchronise à la fréquence injectée d'un oscillateur VCO_B quand cette dernière se situe à l'intérieur de la courbe de sensibilité (i. e. bande de verrouillage Δf_L en fonction de la puissance d'injection) centré autour de la fréquence d'oscillation libre de l'oscillateur injecté [1], [2]. Or, dans le cas des faibles injections, autrement dit dans le cas d'une bande de verrouillage faible (illustration à droite de Fig. 3-1) l'amplitude des fluctuations aléatoires de la fréquence libre d'oscillation ω_A peut être plus grande que la bande de synchronisation. Dans ce cas l'oscillateur ne se synchronise pas à la fréquence injectée. Par conséquent, le spectre de sortie de l'oscillateur est sous forme de termes de bruit autour de la fréquence souhaitée. La Fig. 3-2 montre des exemples de spectre obtenus selon les états de fonctionnalité de l'oscillateur de sortie. A l'état non-verrouillé, le spectre est constitué de bruit autour de la fréquence visée (Fig. 3-2(a)). En revanche, quand les conditions de verrouillage sont vérifiées (Fig. 3-2(b)), le spectre de sortie correspond à celui d'un signal quasi-sinusoïdal de fréquence constante.

Par ailleurs, quand la fonctionnalité du circuit est assurée, les performances des oscillateurs sont également sensibles aux variations aléatoires des paramètres du circuit. En effet, le bruit de phase à titre d'exemple varie significativement à l'intérieur de la bande de synchronisation comme montré dans le deuxième chapitre.

Pour répondre à ces problématiques et stabiliser le fonctionnement des oscillateurs, un circuit de calibration automatique est nécessaire. Ce circuit permet de calibrer automatiquement la fonctionnalité de l'oscillateur [3]–[6] en plus d'optimiser ses performances en temps réel [7].

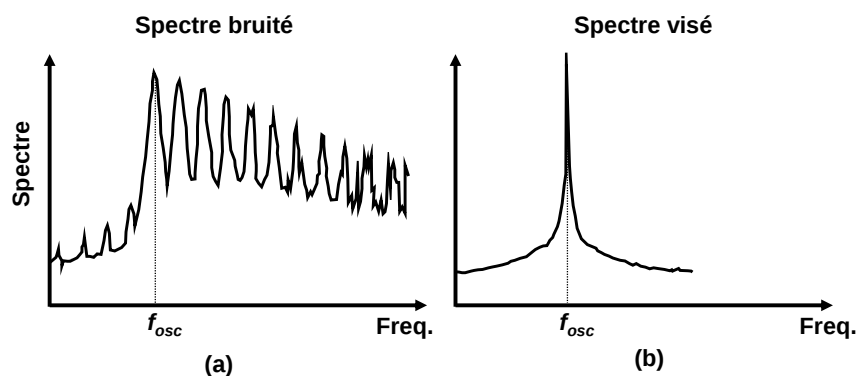


Fig. 3-2 : Exemple du spectre de sortie d'un oscillateur injecté. Le spectre représente deux états à la sortie de l'oscillateur : (a) non-verrouillage et (b) verrouillé.

Dans ce chapitre, une introduction aux techniques de calibration des oscillateurs est donnée à la première partie. Ensuite, afin d'optimiser la calibration de l'oscillateur étudié dans le cadre de cette thèse, les paramètres clés contrôlant sa fonctionnalité et ces performances sont identifiés à

la deuxième partie. Enfin, une solution de détection de verrouillage du multiplicateur de fréquence à grand facteur de multiplication est proposée et étudiée à la troisième partie.

3.2 CALIBRATION DES OSCILLATEURS VERROUILLES PAR INJECTION

3.2.1 FONCTIONNALITE DE L'OSCILLATEUR

Comme présenté au Chapitre 2:, la synchronisation par injection est un phénomène physique qui se produit lorsqu'un oscillateur harmonique est perturbé par un deuxième oscillateur fonctionnant à une fréquence proche. Lorsque le couplage est assez fort et les fréquences sont assez proches, le deuxième oscillateur peut capturer le premier, ce qui lui permet d'avoir une fréquence identique. Dans le cas du multiplicateur de fréquence présenté au chapitre 2 (Fig. 3-7), les deux ILOs de sortie sont injectés par le générateur du signal pulsé OSC-P. La Fig. 3-3 montre les deux états à la sortie de l'oscillateur. Le fonctionnement souhaité de l'oscillateur dans ce cas est atteint quand les deux ILOs sont verrouillés à l'une des harmoniques du signal à la sortie de l'OSC-P. Comme montré à la Fig. 3-3(b), dans ce cas la sortie du multiplicateur est un signal quasi-sinusoïdal à la fréquence multiple de la fréquence de référence et les raies adjacentes sont fortement filtrées. En revanche, quand les conditions d'injection ne sont pas vérifiées, le signal de sortie est sous forme de termes de pulling et d'intermodulation entre la fréquence injectée et la fréquence d'oscillation libre de l'oscillateur de sortie (illustration Fig. 3-3(a)).

Une solution pour assurer la fonctionnalité d'un oscillateur verrouillé par injection est d'appliquer une forte puissance d'injection pour élargir sa bande d'accrochage pour qu'elle soit plus grande que l'amplitude des fluctuations aléatoires de la fréquence d'oscillation libre. En revanche, cette technique se réalise avec des surplus de consommation et des performances réduites du circuit (plus de détail au Chapitre 2:).

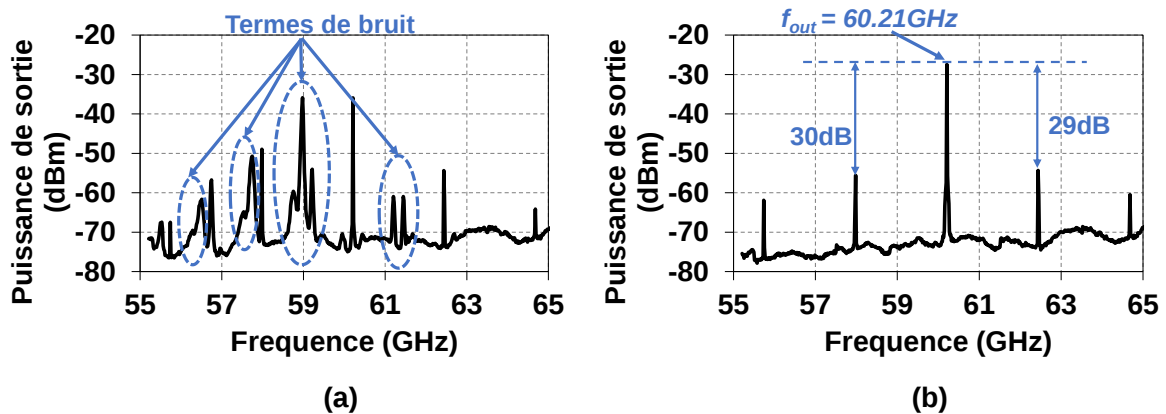


Fig. 3-3 : Exemples de spectres de sortie du multiplicateur de fréquence. Le spectre de sortie dans ses deux états possibles : (a) non-verrouillé et (b) verrouillé.

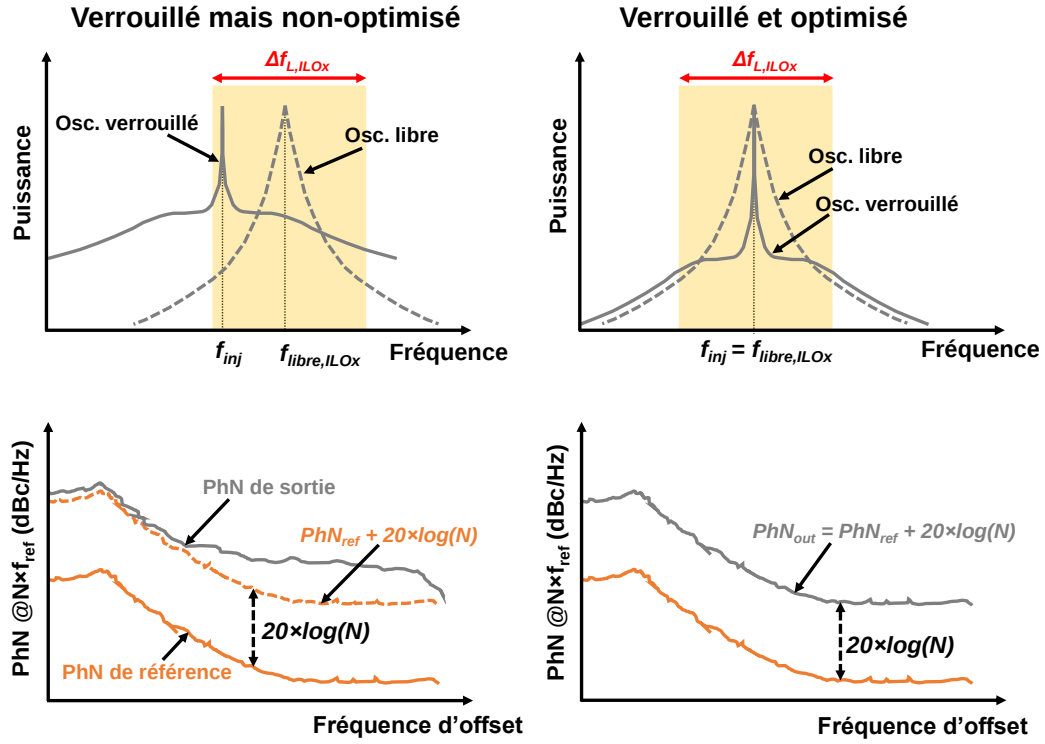


Fig. 3-4 : Illustration de la variation de la figure de bruit de phase entre deux positions à l'intérieur de la bande de synchronisation.

3.2.2 PERFORMANCES DE L'OSCILLATEUR – BRUIT DE PHASE ET JITTER INTEGRE

En plus des perturbations de fonctionnalité de l'oscillateur, les performances des circuits oscillants sont également fortement sensibles aux variations PVT.

Dans le cas du multiplicateur de fréquence basé sur le verrouillage par injection, on a montré que le bruit de phase et le jitter intégré sont optimales dans certaines zones spécifiques du fonctionnement de l'oscillateur. Autrement dit, même si le spectre de l'oscillateur affiche un état fonctionnel avec fréquence constante et multiplie de la fréquence de référence, ses performances ne sont pas naturellement optimisées. La Fig. 3-4 illustre la variation de la figure bruit de phase pour deux positions de la fréquence injectée à l'intérieur de la bande de synchronisation. Un fonctionnement optimal est obtenu au milieu de la bande de verrouillage [8]. Autrement dit, quand la fréquence d'oscillation libre de l'oscillateur ILO_x est aligné avec la fréquence injectée.

Le comportement passe-bas des oscillateurs verrouillés par injection vis-à-vis du bruit de phase à leurs entrées est un autre exemple des champs d'amélioration des performances spectrales des oscillateurs utilisant la technique de verrouillage par injection (Fig. 3-5 illustre ce phénomène). L'identification des paramètres contrôlant la fréquence de coupure des filtres équivalents permet de rejeter le bruit de phase d'entrée à grande fréquence d'offset et améliorer le jitter intégré à la sortie du multiplicateur de fréquence.

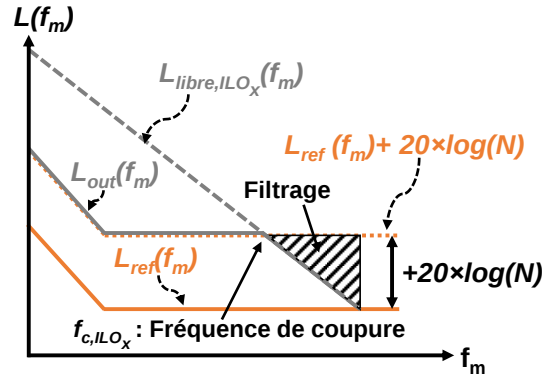


Fig. 3-5 : Illustration du caractère passe-bas de l'ILO face au bruit de phase à son entrée. L'ILO se comporte également comme un passe-haut vis-à-vis son bruit de phase en oscillation libre.

3.2.3 CONCLUSION – CALIBRATION DE FONCTIONNALITE ET PERFORMANCES

La calibration est nécessaire pour garantir un fonctionnement optimal des oscillateurs. En particuliers ceux dont la génération de fréquences est basée sur la multiplication harmonique et le verrouillage par injection. La Fig. 3-6 montre la vue système d'un exemple simplifié de circuit de calibration. Les éléments constituant de ce circuit incluent nécessairement un détecteur de verrouillage et un circuit de rétroaction pour corriger les erreurs à la sortie du synthétiseur de fréquences.

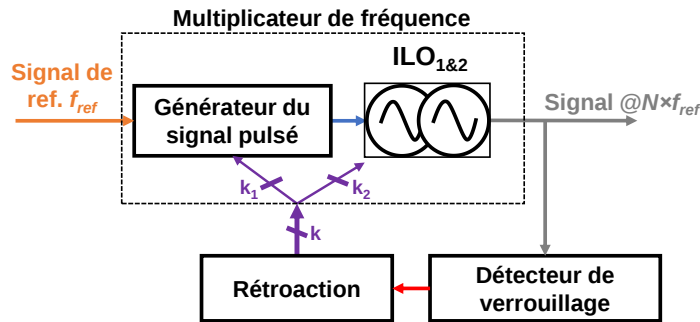


Fig. 3-6 : Vue système d'un multiplicateur de fréquence basé sur le verrouillage par injection muni d'un circuit de détection de verrouillage et un circuit de rétroaction.

Le détecteur de verrouillage traite le signal de sortie de l'oscillateur pour en extraire l'information sur l'état de sa fonctionnalité. La sortie du détecteur peut être un signal analogique DC différenciant entre l'état verrouillé et non-verrouillé de l'oscillateur (par exemple 1V pour l'état verrouillé et 0V pour l'état non-verrouillé) [11]. Une autre solution est de produire à la sortie du détecteur un signal alternatif dont la fréquence donne une information sur la position de la fréquence libre de l'oscillateur de sortie par rapport à la fréquence du signal injecté [12]. Cette dernière technique permet d'effectuer une calibration plus précise en corrigeant directement la valeur de la capacité du résonateur afin d'aligner les deux fréquences.

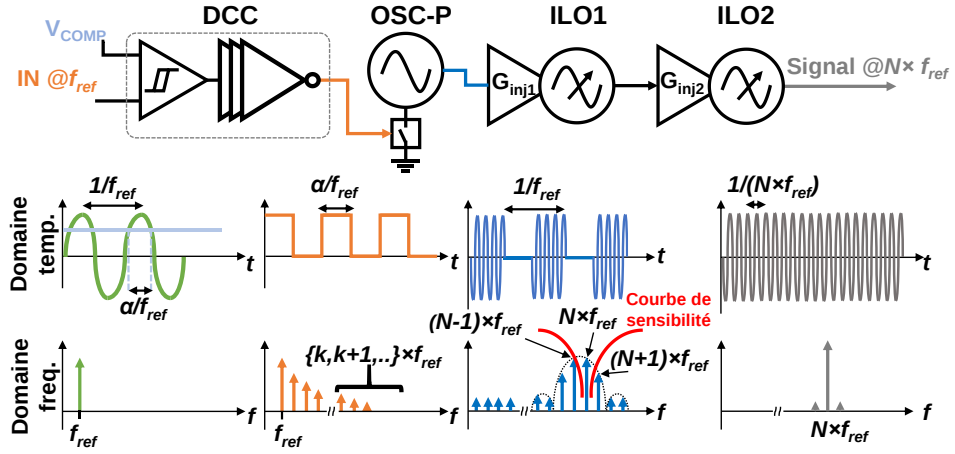


Fig. 3-7 : Architecture et formes d'ondes du multiplicateur de fréquence basé sur la génération d'un signal pulsé multi-tons et le verrouillage par injection [13], [14].

En fonction de la sortie générée par le détecteur de verrouillage, le bloc de rétroaction agit sur les paramètres clés de l'oscillateur (e. g. k paramètres) afin de corriger automatiquement les erreurs à la fréquence de sortie et améliorer les performances du circuit. Dans la partie suivante on identifie les paramètres clés dans le cas particulier du multiplicateur de fréquence objet d'étude dans ce manuscrit.

3.3 PARAMETRES CLES DU MULTIPLICATEUR DE FREQUENCE A GRAND FACTEUR DE MULTIPLICATION

Pour faciliter et proposer une technique de calibration adaptée au multiplicateur de fréquence présenté à la Fig. 3-7, il faut comprendre son fonctionnement et déterminer les paramètres clés qui ont une influence directe sur sa fonctionnalité et ses performances. En effet, le circuit regroupe plusieurs paramètres de contrôle variables. Les capacités des résonateurs des ILOs (en particuliers trois ILOs : le générateur du signal pulsé et les deux ILOs de sortie), les niveaux d'injection dans les ILOs de sortie (transistors d'injection ou les buffers contrôlant le niveau d'injection) et le rapport cyclique du signal de référence (contrôlant la durée des wagons à la sortie du OSC-P). A noter que cette partie est basée sur les conclusions des résultats analytiques et de simulations présentées au chapitre 2.

3.3.1 PARAMETRES CONTROLANT LE VERROUILLAGE DE L'OSCILLATEUR

Le verrouillage des ILOs de sortie (ILO₁ et ILO₂) sur une des harmoniques du signal multi-tons se produit quand les conditions d'Adler pour le verrouillage sont vérifiées. Pour le premier oscillateur injecté ILO₁, la valeur théorique de la bande de synchronisation dans ce cas est donnée par (sous l'hypothèse de faible injection) [2] :

$$\Delta f_{L,ILO1} = \frac{f_{libre,ILO1}}{2Q_t} \times \frac{I_{inj}^N}{I_{ILO1}} \quad \text{Eq. 3.1}$$

Avec I_{inj}^N est le courant injecté dans l'ILO₁. I_{ILO1} , $f_{libre,ILO1}$ représentent le courant de sortie et la fréquence libre d'oscillation de l'ILO₁ respectivement. Q_t représente le facteur de qualité du résonateur de l'ILO₁. A noter que cette bande de verrouillage est centré autour de la fréquence d'oscillation libre (donnée par : $f_{libre,ILO} = \frac{1}{2\pi\sqrt{L_{t,ILO1}C_{t,ILO1}}}$). Ainsi, le changement de cette dernière contrôle la position de la courbe de sensibilité par rapport à la fréquence injectée.

Le courant injecté dans l'ILO₁ est exprimé comme suit [13] :

$$I_{inj}^N = G_{inj1} \times V_{P-OSC}^N \quad \text{Eq. 3.2}$$

Où V_{P-OSC}^N représente l'amplitude de la $N^{ème}$ harmonique du OSC-P. $G_{inj,1}$ est la transconductance équivalente du transistor d'injection comme schématisé dans la Fig. 3-7 (imposée par la largeur et la polarisation du transistor utilisé pour injecter l'ILO).

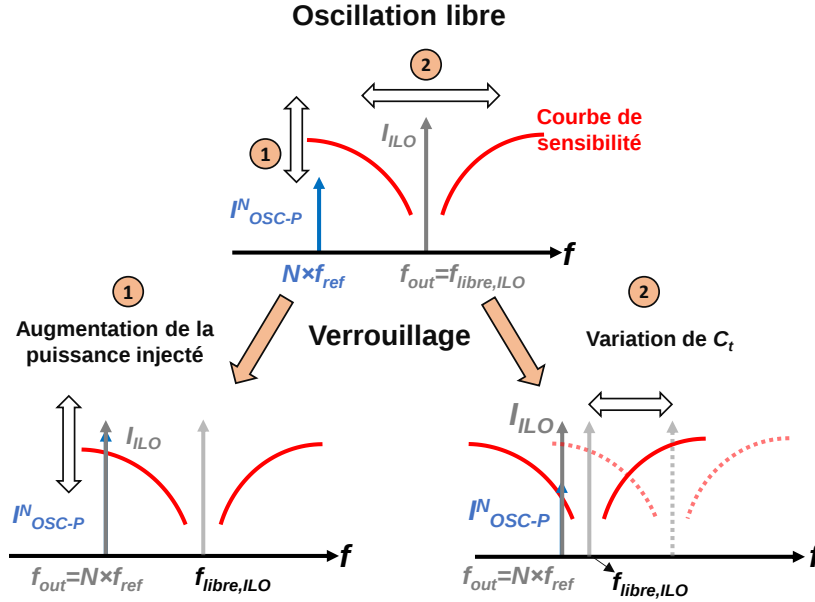


Fig. 3-8 : Schéma de principe expliquant les paramètres contrôlant la fonctionnalité d'un oscillateur injecté. A noter que la fréquence de sortie est égale à $N \times f_{ref}$ quand l'oscillateur est verrouillé, et $f_{libre,ILO}$ en cas de non-verrouillage.

A partir de ces équations, la fréquence d'oscillation libre de l'ILO₁ (i. e. $f_{libre,ILO1}$ contrôlée par la capacité du résonateur $C_{t,ILO1}$) et le courant injecté (I^N_{inj} contrôlé par la transconductance d'injection G_{inj1}) ont une influence significative sur la synchronisation de l'ILO₁ sur l'harmonique du OSC-P et par conséquent sur la fonctionnalité du multiplicateur de fréquence. En effet, comme illustré à la Fig. 3-8, on peut envisager deux scénarios de calibration : le premier en agissant sur la capacité du résonateur de l'ILO₁ contrôlant ainsi la position de la fréquence libre d'oscillation et donc la position de la zone de sensibilité de l'ILO₁ par rapport à l'harmonique injectée de l'OSC-P ; Le deuxième en modifiant la transconductance du transistor d'injection G_{inj1} pour contrôler la longueur de cette zone de sensibilité autour de $f_{libre,ILO1}$.

La même analyse est appliquée pour le deuxième oscillateur injecté (ILO₂) à la sortie du multiplicateur de fréquence. Rappelons que l'utilisation de ce dernier permet d'augmenter la réjection des raies adjacentes provenant de l'OSC-P.

En conclusion, compte tenu des modèles du circuit multiplicateur de fréquence, les paramètres $C_{t,ILO,k}$ et $G_{inj,k}$ des ILO₁ et ILO₂ sont des paramètres clés pour contrôler son fonctionnement. La rétroaction pour calibrer la fonctionnalité de l'oscillateur peut être ainsi réalisée en agissant sur ces paramètres.

3.3.2 PARAMETRES CLES DETERMINANT LES PERFORMANCES DU CIRCUIT

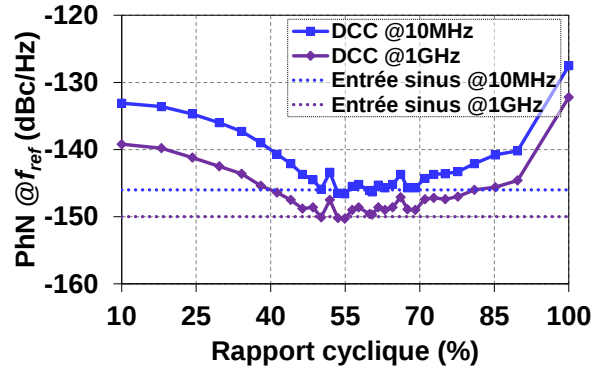


Fig. 3-9 : Variation du bruit de phase à la sortie du DCC pour deux fréquences d'offset (10MHz et 1GHz en lignes pleine bleu et violet respectivement) et en fonction du rapport cyclique du signal carré de référence généré. Comparaison avec le bruit de phase de l'entrée sinusoïdal (lignes en pointillées).

L'avantage de la multiplication de fréquence d'ordre N est de recopier le bruit de phase du signal de référence avec une augmentation de $20 \times \log(N)$. Or, dans le cas du verrouillage des deux ILOs sur une harmonique du signal multi-tons, les performances résultantes à la sortie du multiplicateur ne sont pas naturellement optimisées. Afin de garder l'utilité de la technique de multiplication, l'optimisation de cette figure de mérite est donc nécessaire.

Le bruit de phase du circuit multiplicateur de fréquence dépend de plusieurs paramètres du circuit. Afin de comprendre le mécanisme de variation de cette figure et du jitter intégré en fonction des paramètres de l'oscillateur, des modèles analytiques sont proposés et validés par des simulations numériques Harmonique Balance (HB) au chapitre 2. Dans la suite de cette partie, un rappel/résumé de ces résultats et leurs exploitations dans la technique de calibration automatique sont présentées.

- Rapport cyclique du signal carré de référence :

Le circuit de mise en forme (appelé également DCC : Duty Cycle Controller) génère à partir d'un signal d'entrée sinusoïdale de fréquence f_{ref} un signal carré de la même fréquence et avec un rapport cyclique programmable (config. Fig. 3-7 $\alpha = T_M/T_{ref}$). La Fig. 3-9 montre les résultats de simulations numériques du bruit de phase à la sortie du circuit de mise en forme en fonction du rapport cyclique. A noter que le signal d'entrée du DCC est un signal sinusoïdal avec un bruit de phase réaliste extrait des résultats de mesures du générateur *Agilent E8257D*.

A partir de la Fig. 3-9, le DCC dégrade fortement le bruit de phase résultant du signal carré en comparaison avec celui du signal sinusoïdal à son entrée. En particuliers, une dégradation forte est remarquable au voisinage des deux limites haute et basse de la valeur du rapport cyclique (quand α tends vers 100% et 0% respectivement). A l'inverse, le DCC recopie le bruit de phase du signal d'entrée pour des valeurs du rapport cyclique au voisinage de 50%. Dans le cas de la Fig. 3-9 le minimum de bruit de phase est obtenue dans la bande entre $\alpha=50$ et $\alpha=70\%$.

Etant donné que le multiplicateur de fréquence recopie le bruit de phase du signal carré de référence avec une augmentation théorique minimale de $20 \times \log(N)$, la dégradation du bruit de phase par le circuit de mise en forme DCC est directement transmise à la sortie de l'oscillateur. La Fig. 3-10 montre les résultats de simulations du jitter intégré à la sortie du multiplicateur de fréquence de la Fig. 3-7 en fonction du rapport cyclique du signal carré de référence. A noter que pour des valeurs de α plus grande que 70% le simulateur numérique HB diverge. A partir de cette figure on constate que le jitter intégré à la sortie de l'oscillateur est élevé pour des faibles valeurs de α . Les valeurs minimales de cette figure de mérite sont obtenues dans la bande allant de 50% à 70% suivant ainsi la même variation que le bruit de phase à la sortie du circuit de mise en forme DCC.

- Niveau d'injection dans les ILOs :

Dans l'architecture de la chaîne de synthèse par multiplication étudiée, deux oscillateurs verrouillés par injection sont utilisés. Premièrement, le signal à la sortie de l'OSC-P est injecté dans l'ILO₁ par l'intermédiaire des transistors d'injection (représenté dans la figure par leurs transconductance équivalente G_{inj1}). De la même façon, la sortie de l'ILO₁ est ensuite injectée dans l'ILO₂. Pour simplification, on note ILO_x pour désigner les deux ILOs.

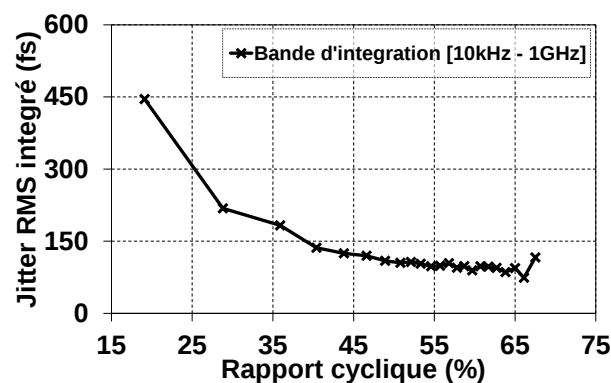


Fig. 3-10 : Variation du jitter RMS intégré dans la bande [10kHz – 1GHz] autour de la porteuse 60.48GHz de sortie du multiplicateur de fréquence en fonction du rapport cyclique du signal carré de référence.

En pratique, le niveau d'injection dans les deux oscillateurs ILO_{1&2} sont contrôlées par différentes techniques. En effet, il peut être contrôlé par le gain variable des buffers introduits entre les oscillateurs OSC-P - ILO₁ et ILO₁ - ILO₂. Il est également possible de contrôler le niveau d'injection par les dimensions et/ou la polarisation des transistors d'injection dans les ILOs (représenté par la transconductance équivalente dans la Fig. 3-7). Les deux techniques sont équivalentes. Pour simplification, seule la deuxième technique est considérée dans la suite.

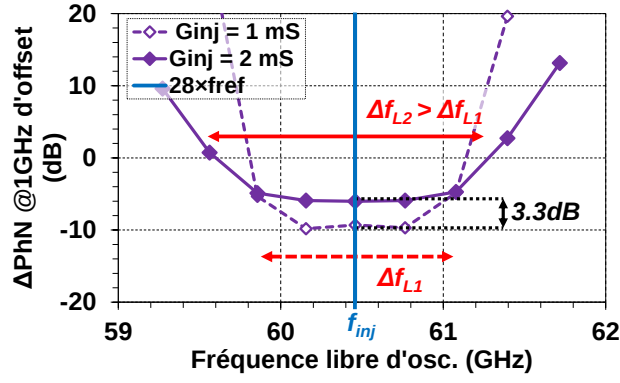


Fig. 3-11 : Résultats de simulations numériques de la contribution de l'ILO, ΔPhN , au bruit de phase injecté (à 1GHz d'offset) en fonction de la fréquence d'oscillation libre de l'ILO (contrôlé par C_{t, ILO_x}). Les simulations sont réalisées pour deux niveaux d'injection (2 valeurs de transconductances du transistor d'injection) : $G_{\text{inj}} = 2 \text{ mS}$ en ligne pleine et $G_{\text{inj}} = 1 \text{ mS}$ en pointillé.

Dans les chapitres précédents, on a montré qu'un oscillateur verrouillé par injection se comporte comme un filtre passe-bas par rapport au bruit de phase à son entrée et un filtre passe-haut par rapport au bruit de phase propre de l'ILO en oscillation libre (illustration à la Fig. 3-5) [9], [15].

La bande de passante de filtrage associé au filtre équivalent f_{c, ILO_x} est exprimée par :

$$f_{c, \text{ILO}_x} = \frac{f_{\text{libre, ILO}_x}}{2 \cdot Q_t} \times \frac{I_{\text{inj}, x}}{I_{\text{ILO}_x}} \quad \text{Eq. 3.3}$$

Où Q_t , I_{ILO_x} et $f_{\text{libre, ILO}_x}$ représente respectivement le facteur de qualité, le courant de sortie et la fréquence d'oscillation libre de l'oscillateur verrouillé par injection ILO_x. $I_{\text{inj}, x}$ est le courant induit par les transistors d'injection dans l'ILO_x. De la même façon que dans l'Eq. 3.2, ce courant est exprimé par la relation suivante :

$$I_{\text{inj}, x} = G_{\text{inj}, x} \cdot V_{\text{inj}, x} \quad \text{Eq. 3.4}$$

$V_{\text{inj}, x}$ est le signal injecté et $G_{\text{inj}, x}$ est la transconductance équivalente du transistor d'injection (contrôlée par sa largeur du canal). A partir des modèles des équations Eq. 3.3 et Eq. 3.4, la bande passante de la fonction de transfert du bruit de phase dans un ILO est directement proportionnelle à la transconductance du transistor d'injection $G_{\text{inj}, x}$.

Ainsi de manière plus générale, l'augmentation du niveau d'injection dans l'ILO augmente la fréquence de coupure de filtrage du bruit de phase à son entrée. Comme illustré par simulations numériques à la Fig. 3-11, cela augmente le bruit de phase aux hautes fréquences d'offset et dégrade par conséquent le jitter intégré des oscillateurs destinés aux applications larges bandes.

- Capacités des résonateurs des ILOs :

Sous la condition de de verrouillage de l'ILO_x sur une fréquence d'injection f_{inj} (i. e. $|f_{\text{inj}} - f_{\text{libre, ILO}_x}| < \Delta f_{Lx}/2$), son bruit de phase varie en fonction de la position de sa fréquence d'oscillation libre $f_{\text{libre, ILO}_x}$ par rapport à f_{inj} (i. e. de la différence $|f_{\text{inj}} - f_{\text{libre, ILO}_x}|$). Le changement de la valeur de la

capacité du résonateur $C_{t,ILOx}$ contrôle la distance entre la fréquence injectée et la fréquence d'oscillation libre de l'ILO_x. En effet, considérons la bande de filtrage du bruit de phase donnée par l'Eq. 3.3. En parcourant la bande de synchronisation, l'augmentation du bruit de phase est également justifiée par la variation du niveau d'injection $I_{inj,x}/I_{ILOx}$. En revanche, contrairement au point précédent, le paramètre variable dans ce cas n'est plus le courant injecté mais celui du signal de sortie I_{ILOx} . En oscillation libre, l'oscillateur est en résonance et oscille à sa fréquence libre (Fig. 3-12(a)). En cas d'injection, pour rattraper l'excès de phase introduit par le signal injecté, l'oscillateur est forcé à osciller à la nouvelle fréquence d'oscillation f_{inj} , l'oscillateur n'est donc plus en condition de résonance. Par conséquent, l'amplitude du courant en sortie I_{ILOx} diminue, augmentant ainsi le rapport $I_{inj,x}/I_{ILOx}$. Résultat : la bande de filtrage du bruit s'élargit laissant donc passer plus de bruit aux hautes fréquences d'offset. A noter qu'une figure de bruit de phase optimale est obtenue quand la différence de fréquence $|f_{inj} - f_{libre,ILOx}|$ est nulle (i. e. milieu de la bande de synchronisation) comme montré par simulation aux Fig. 3-11 et Fig. 3-12(b).

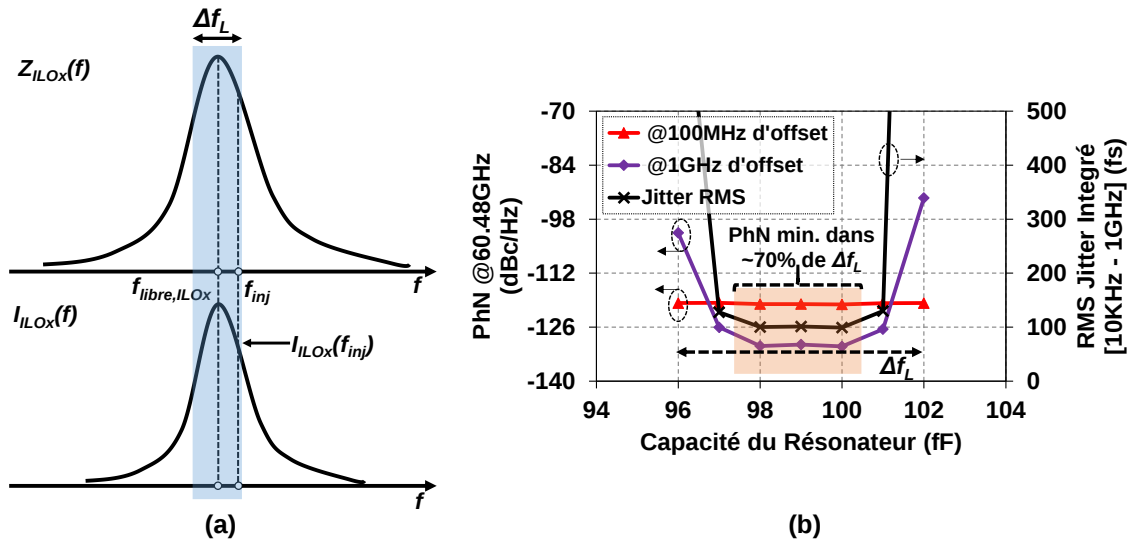


Fig. 3-12 : (a) Illustration de la variation de l'amplitude du courant de sortie en fonction de la différence de fréquence entre la fréquence libre d'oscillation et la fréquence injectée $|f_{inj} - f_{libre,ILOx}|$. (b) Simulation du bruit de phase et jitter intégré à la fréquence de sortie 60.48GHz du multiplicateur de fréquence en fonction de la variation de la capacité du résonateur de l'ILO₂.

3.3.3 CONCLUSION

Pour réduire le bruit à la constellation des modulations complexes et augmenter l'EVM dans les applications très large bande, des synthétiseur de fréquences basé sur la multiplication et le verrouillage par injection sont utilisés [16]. L'avantage de ces techniques est leurs niveaux de bruit relativement réduits aux fréquences millimétriques comparés aux techniques de synthèses de fréquence par PLL. Afin de garantir et confirmer l'utilité des multiplicateurs de fréquences en bande millimétrique, la modélisation a permis de comprendre le mécanisme de variation et

l'influence de chaque paramètre sur le fonctionnement et les performances à la sortie. Ceci a conduit à l'identification des paramètres déterminants pour un fonctionnement optimal du multiplicateur de fréquences. Le but est ensuite d'utiliser ses paramètres par le circuit de calibration afin de rétroagir et corriger l'état de sortie et ses performances.

La fonctionnalité du multiplicateur de fréquence est majoritairement contrôlée par les capacités des résonateurs RLC des ILOs. Le niveau d'injection représente également un paramètre déterminant pour la fonctionnalité de l'oscillateur étudié. Une solution pour assurer la fonctionnalité serait d'injecter une grande puissance dans les ILOs. En revanche, cette technique augmente la consommation du circuit et dégrade son bruit de phase.

Le processus de variation des performances spectrales de l'oscillateur a été ensuite étudié et formalisé analytiquement en fonction de différents paramètres du circuit. Premièrement, le bruit de phase est fortement dégradé par le circuit de mise en forme qui génère le signal carré de référence. Un bon profil de bruit est obtenu dans une zone limitée du rapport cyclique du signal de référence. Par ailleurs, les capacités des résonateurs des ILOs jouent également un rôle déterminant du profil du bruit de phase du signal de sortie. Elles permettent de contrôler la position de l'harmonique injecté à l'intérieur de la bande de verrouillage et servent donc à l'optimisation du bruit de phase en ajustant la différence entre la fréquence d'injection et la fréquence de libre oscillation de l'ILO (minimum obtenu approximativement à seulement 70% de la bande de verrouillage autour de $f_{libre,ILOx}$). Enfin, le niveau d'injection contrôle les grandeurs caractéristiques du filtre équivalent incarné par l'ILO vis-à-vis le bruit de phase à son entrée. Un couplage faible permet de filtrer les composantes du bruit à hautes fréquences d'offset et réduit par conséquent le jitter intégré sur une large bande.

Tous les paramètres identifiés dans cette partie seront par la suite utilisés dans les mesures ainsi que dans la technique de calibration afin de corriger l'état de sortie et optimiser les performances spectrales du synthétiseur de fréquence par multiplication.

3.4 ETUDES DU DETECTEUR DE VERROUILLAGE

3.4.1 INTRODUCTION - POSITIONNEMENT

Le détecteur de verrouillage est un bloc impératif pour effectuer une calibration de la fonctionnalité d'un oscillateur utilisant le verrouillage par injection. Il permet d'activer ou désactiver le processus de la calibration en fonction de l'information détectée. Plusieurs solutions de détection intégrée dans les circuits de calibrations sont proposées à la littérature [3]–[5], [12], [17]–[19]. Selon la bande de fonctionnement du détecteur de verrouillage (i. e. la fréquence de traitement du signal à la sortie de l'oscillateur), ces techniques peuvent être réparties en deux catégories :

- Fonctionnement en bande millimétrique (autour $f_{libre,ILO}$)

Certaines solutions de détection de la forme du spectre de sortie de l'oscillateur utilisent des circuits fonctionnant à hautes fréquences. La solution proposée dans [5] utilise un mélangeur et des diviseurs de fréquence fonctionnant à f_{osc} en bande millimétrique pour ramener le contenu du spectre de sortie en bande de base afin d'en extraire l'information sur le verrouillage. Une autre solution proposée par A. Musa dans [3], utilise un Réplica-VCO (copie exacte du VCO verrouillé par injection) pour détecter les variations aléatoires de la fréquence d'oscillation libre du l'ILO de sortie afin de les corriger en temps réel à l'aide d'un circuit de calibration numérique.

Les inconvénients de ces techniques résident dans la complexité de la conception, leurs consommations élevées aux fréquences millimétriques et la surface occupée non négligeable dans le cas des diviseurs de fréquences par injection ou des oscillateurs réplica.

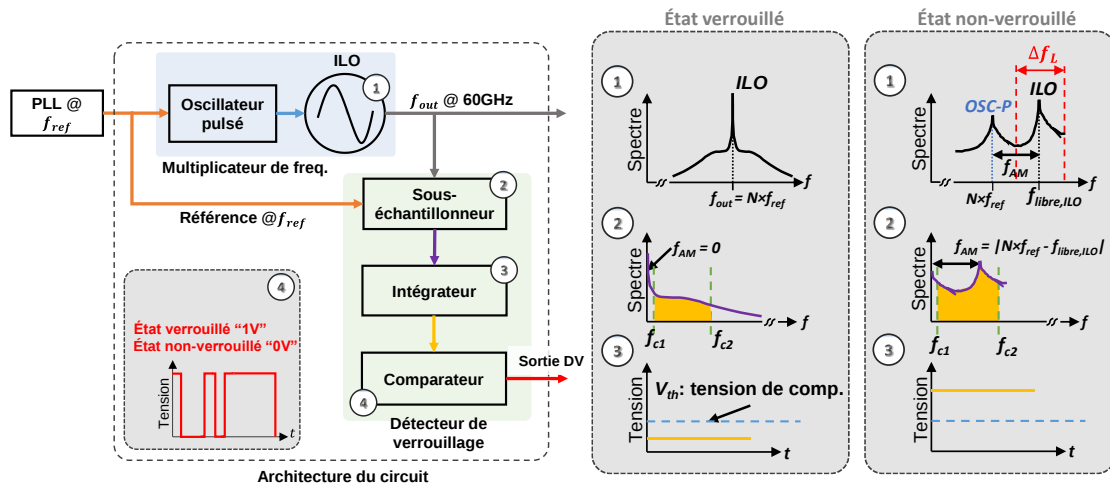


Fig. 3-13 : Architecture du circuit intégrant le détecteur de verrouillage proposé est montrée à gauche. Le principe de fonctionnement du circuit de détection est montré à droite de la figure.

- Fonctionnement à basses fréquences (autour de f_{ref})

Il existe d'autres techniques utilisant des détecteurs de verrouillage fonctionnement en basses fréquences. La technique proposée dans [12], [17] utilise un détecteur d'enveloppe pour détecter les fluctuations d'amplitude présente à l'état non-verrouillé de l'oscillateur (modulation d'amplitude AM). En effet, quand l'ILO de sortie n'est pas verrouillé par injection, son spectre est sous forme de modulation entre la fréquence injectée et la fréquence d'oscillation libre d'oscillation. Le signal modulé est ainsi démodulé en utilisant le détecteur d'enveloppe pour obtenir un signal AC dans le cas de non-verrouillage et un signal DC quand le verrouillage se produit. De plus, la solution utilisé dans [19] emploi un détecteur de phase pour détecter la variation de phase (sur une période) entre les sorties en quadrature du QILO (ILO en quadrature). Ces déviations de phase sont directement liées à la déviation de la fréquence d'oscillation libre du QILO par rapport à la fréquence injectée. Une tension de contrôle V_{tune} proportionnelle à la différence entre les deux fréquences est ensuite générée pour corriger la déviation de f_{vco} . L'avantage de cette technique repose sur le fait qu'elle traque la fréquence même quand le verrouillage se produit activant par conséquent la calibration du bruit de phase. En revanche, l'utilisation de ce détecteur des déviations phase est limité aux ILO en quadrature.

A noter que l'avantage des techniques fonctionnant à basses fréquences repose dans leurs simplicités et un niveau de consommation fortement réduit par rapport aux solutions fonctionnant autour de la fréquence de sortie de l'oscillateur.

La technique proposée dans ce travail est basée sur le sous-échantillonnage de la sortie du multiplicateur de fréquence par le signal de référence (le même que celui utilisé dans la multiplication). Le principe de fonctionnement de cette technique ainsi que l'architecture du circuit sont donnés à la Fig. 3-13. L'étude et le dimensionnement de cette architecture sont présentés dans les sous-parties 3.4.2 et 3.4.3. La dernière partie 3.4.4 traite les limites et défauts de la solution proposé.

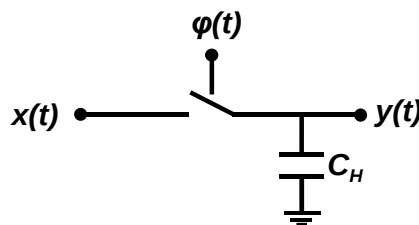


Fig. 3-14 : Model simplifié d'un échantillonneur-bloqueur.

3.4.2 PRINCIPE DE FONCTIONNEMENT ET FORMALISME THEORIQUE (SUBHARMONIC SAMPLING [20])

Un modèle simple d'un échantillonneur-bloqueur est montré à la Fig. 3-14. Le sous-échantillonnage ou l'échantillonnage par une fréquence inférieure à la fréquence de Shannon est une technique utilisée dans les architectures d'émission-réception pour remplacer les mélangeurs classiques [21]. Il permet de convertir un signal RF à bande limitée en bande de base. Pour reconstituer le signal en bande de base (i. e. éviter le repliement), le signal sous-échantillonné doit avoir une bande limitée B , et la fréquence d'échantillonnage doit être au moins le double de cette bande ($f_{s,min}=2B$) [20].

Le but d'utilisation de cette technique dans notre cas est de détecter la présence de termes bruit dans une bande $B=2f_{ref}$ autour des harmoniques de la fréquence de référence, i. e. $k \times f_{REF}$. Le repliement ou la reconstitution du signal ne présente pas un problème dans ce cas. Par conséquent, le respect de la condition sur la fréquence de sous-échantillonnage ne présente pas d'importance majeure. La Fig. 3-15 donne une illustration des signaux impliqués dans cette opération ainsi que le phénomène de repliement en bande de base.

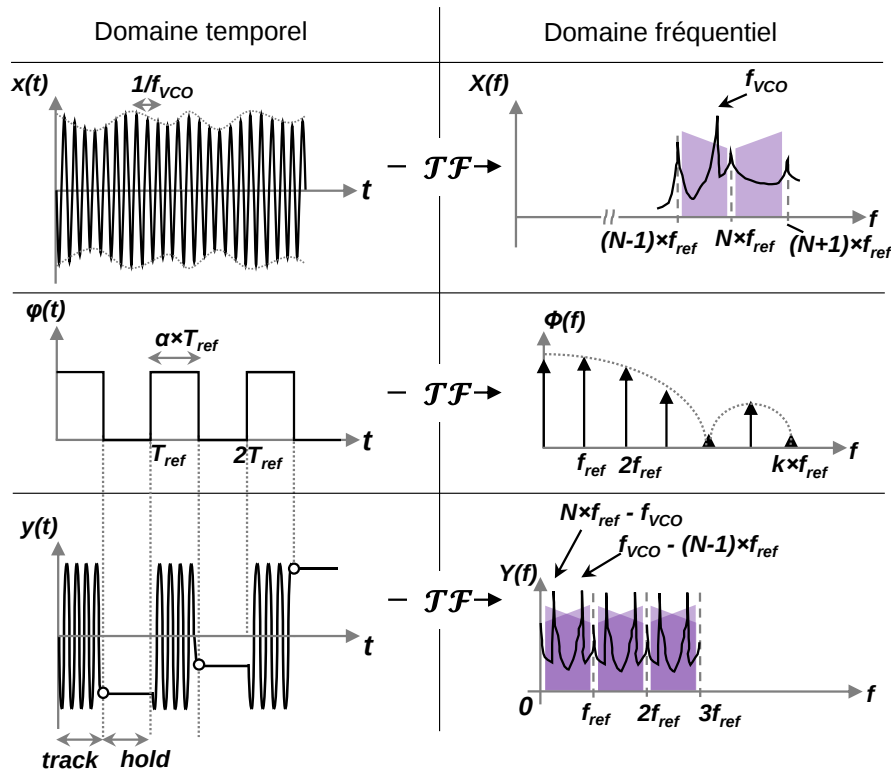


Fig. 3-15 : Illustration des formes d'ondes impliquées dans l'opération du sous-échantillonnage (dans cet exemple le MF n'est pas verrouillé). Le phénomène de repliement est également illustré dans la forme du spectre du signal $y(t)$.

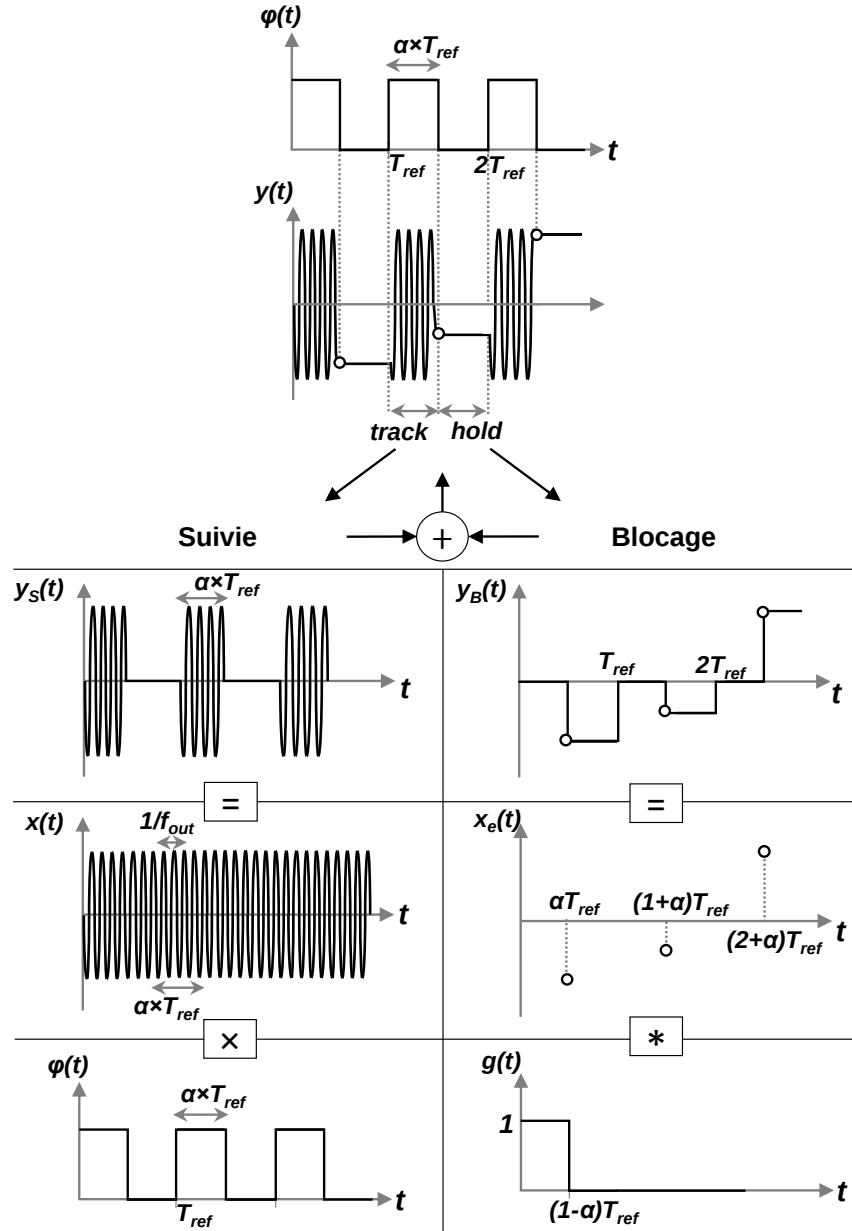


Fig. 3-16 : Illustration dans le domaine temporel des deux phases de fonctionnement du sous-échantillonneur.

Comme illustré à la Fig. 3-16, l'échantillonneur-bloqueur (Fig. 3-14) fonctionne en deux phases [21]. La première phase est la phase de suivi : quand l'interrupteur est fermé, le signal de sortie suit le signal d'entrée. Le circuit dans ce cas se comporte comme un filtre passe-bas. La deuxième phase est la phase de maintien : quand l'interrupteur est ouvert la capacité C_H bloque la dernière valeur prélevée jusqu'au prochain cycle. Les deux phases de suivi-maintien ne se superposent pas dans le temps. Le signal résultant $y(t)$ peut donc être reconstituée par superposition des deux phases. On peut donc écrire :

- Domaine temporel :

$$\begin{aligned}
y(t) &= y_s(t) + y_h(t) \\
&= x(t) \cdot \left[\sum_{k=-\infty}^{+\infty} \delta(t - k \cdot T_{ref}) * \Pi\left(\frac{t}{\alpha T_{ref}} - \frac{1}{2}\right) \right] \\
&\quad + \left[x(t) \sum_{k=-\infty}^{+\infty} \delta(t - k \cdot T_{ref}) \right] * \Pi\left(\frac{t}{(1-\alpha)T_{ref}} - \frac{1}{2}\right)
\end{aligned} \tag{Eq. 3.5}$$

Où y_s est la réponse du circuit durant la phase de suivi et y_h est celle durant la phase de maintien.

Dans le domaine temporel, comme illustré à la Fig. 3-16, cette opération permet de détecter les déviations de la fréquence du VCO de sortie par rapport aux harmoniques de la référence. Quand la fréquence de sortie du multiplicateur est un exacte multiple de la référence, les échantillons prélevés périodiquement gardent la même valeur en fonction du temps (i. e. signal continu DC). Quelques petites variations dues au bruit de phase du signal de sortie peuvent être détectées dans ce cas. Dans le cas inverse, lorsque la fréquence de sortie n'est pas un multiple de la référence, l'amplitude de la variation des valeurs des échantillons en fonction du temps est relativement grande (i. e. signal alternatif). Idéalement, le taux de variation des valeurs des échantillons est proportionnel à la différence entre la fréquence d'oscillation libre du VCO injecté et l'harmonique de la référence la plus proche (i. e. $\min_k \{|k \cdot f_{ref} - f_{VCO}|\}$).

- Domaine fréquentiel :

$$\begin{aligned}
Y(f) &= Y_s(f) + Y_h(f) \\
&= \alpha \sum_{k=-\infty}^{+\infty} \text{sinc}(k\alpha\pi) e^{-jk\alpha\pi} \cdot X(f - k \cdot f_{ref}) + (1 - \alpha) \\
&\quad \cdot \text{sinc}\left[(1 - \alpha)\pi \frac{f}{f_{ref}}\right] e^{-j\pi(1-\alpha)\frac{f}{f_{ref}}} \sum_{k=-\infty}^{+\infty} X(f - k \cdot f_{ref})
\end{aligned} \tag{Eq. 3.6}$$

Dans le domaine fréquentiel, cette opération correspond à une périodisation du spectre de l'oscillateur avec la fréquence f_{ref} .

La composante d'intérêt se trouve dans la bande de base (appelé également bande de Nyquist [20]). Prenons l'exemple d'illustration de la Fig. 3-15. Supposons que le signal d'entrée de l'échantillonneur-bloqueur est un signal sinusoïdal à la fréquence f_{VCO} , i. e. remplaçons $X(f) = A \cdot \delta(f - f_{VCO})$ dans l'expression de l'Eq. 3.6. On obtient ainsi :

$$\begin{aligned}
Y(f) &= \alpha A \sum_{k=-\infty}^{+\infty} \text{sinc}(k\alpha\pi) \cdot e^{-jk\alpha\pi} \cdot \delta(f - f_{VCO} - k \cdot f_{ref}) + A(1 - \alpha) \\
&\quad \cdot \text{sinc}\left[(1 - \alpha)\pi \frac{f}{f_{ref}}\right] e^{-j\pi(1-\alpha)\frac{f}{f_{ref}}} \sum_{k=-\infty}^{+\infty} \delta(f - f_{VCO} - k \cdot f_{ref})
\end{aligned} \tag{Eq. 3.7}$$

Soit N l'harmonique la plus proche à la fréquence f_{VCO} et $\Delta f = N \times f_{ref} - f_{VCO}$. En tenant en compte que le terme le plus proche du DC, l'Eq. 3.7 devient :

$$Y(\Delta f) = \alpha A \cdot \text{sinc}(N\alpha\pi) e^{-jN\alpha\pi} + A(1 - \alpha) \text{sinc} \left[(1 - \alpha)\pi \frac{\Delta f}{f_{ref}} \right] e^{-j\pi(1-\alpha)\frac{\Delta f}{f_{ref}}} \quad \text{Eq. 3.8}$$

Le contenu spectral à une distance $\Delta f = |N \times f_{ref} - f_{VCO}|$ de l'harmonique N de la référence est ainsi ramené en à la fréquence intermédiaire $IF = \Delta f$ située en bande de base. Par conséquent, quand le multiplicateur de fréquence est non-verrouillé les termes dus au pulling et les termes d'intermodulation autour de la fréquence multiple de la référence sont ramenés autour du DC. A l'opposé, quand l'oscillateur est verrouillé, l'expression de l'Eq. 3.7 ne comporte qu'un terme DC avec une puissance négligeable étalée en bande de base.

Par ailleurs, en utilisant l'architecture proposée, un même détecteur permet de détecter le verrouillage sur les différents canaux à la sortie du multiplicateur de fréquence [14] (i. e. pour N variable : $\text{Canal}_1 = N \times f_{ref}$, $\text{Canal}_2 = \{N+1\} \times f_{ref} \dots$ etc.).

3.4.3 ETUDE ET DIMENSIONNEMENT DU CIRCUIT

Le schéma électrique détaillé du circuit de détection est donné sur la Fig. 3-17. Il est constitué d'un sous-échantillonneur, un filtre passe bande à grand gain, un intégrateur et un comparateur à la sortie. L'étude et le dimensionnement ainsi que les résultats de simulations de chacun de ces étages sont présentés dans les paragraphes suivants.

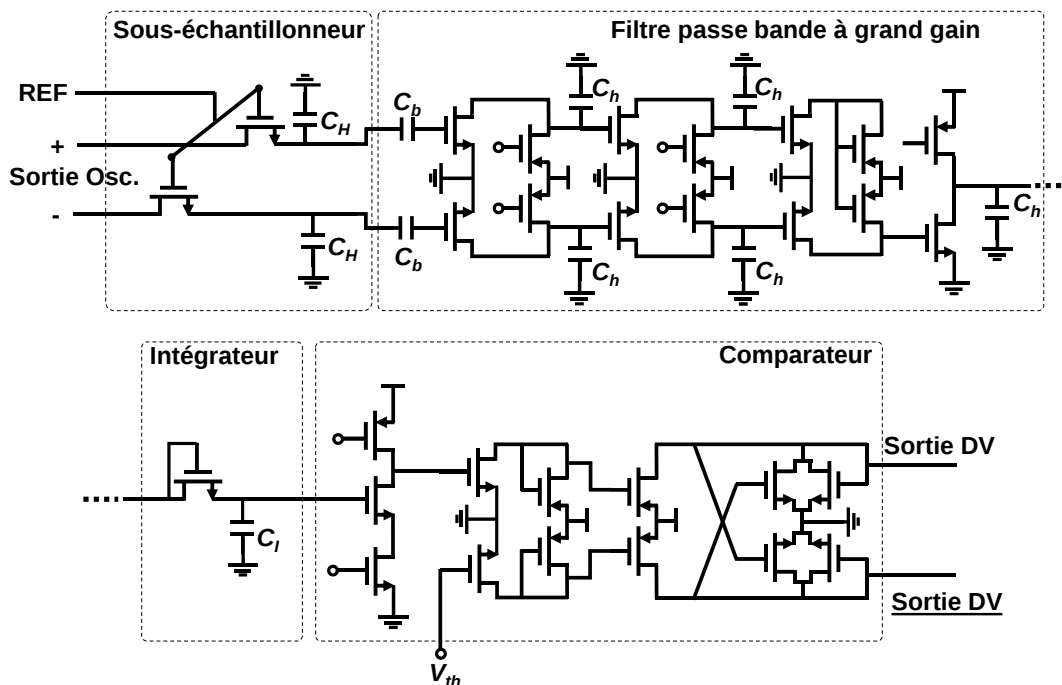


Fig. 3-17 : Schéma électrique du détecteur de verrouillage proposé dans ce travail.

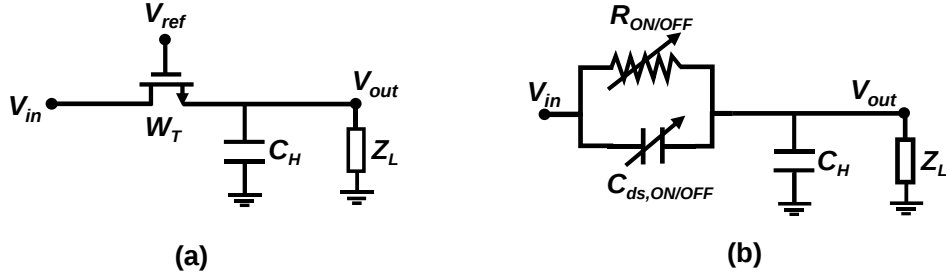


Fig. 3-18 : Schéma électrique d'un échantillonneur (a) et son modèle linéaire équivalent dans le domaine fréquentiel (b).

3.4.3.1 Sous-échantillonneur

La Fig. 3-18(a) montre le schéma électrique de l'échantillonneur-bloqueur réalisé avec un transistor nMOS. En fonction de la tension de contrôle à la grille du transistor V_{ref} , ce dernier fonctionne en deux phase :

- Etat passant : quand la tension de contrôle de la grille est à l'état haut, le transistor nMOS devient passant, le courant drain-source (proportionnel à V_{in}) permet de charger la capacité C_H .
- Etat bloqueur : quand la tension de contrôle de la grille est à l'état bas, le transistor nMOS ne passe aucun courant entre l'entrée et la sortie. Le transistor dans ce cas bloque la charge prélevée à l'état ON pendant une période déterminée par les paramètres du circuit.

La constante de temps de charge du commutateur doit être petite pour suivre les variations de l'entrée tandis que la constante de temps de maintien doit être grande pour bloquer la charge prélevée jusqu'au prochain cycle. En revanche, il existe une limite haute pour la constante de temps de charge qui doit être respectée afin de filtrer les deux composantes spectrales à DC et f_{ref} . En effet, l'existence des composantes non-négligeables aux harmoniques de la fréquence de référence dans les deux états de sorties de l'oscillateur (verrouillé ou non) peut perturber la détection.

Pour maximiser le courant entrant dans la capacité C_H à l'état passant, le transistor doit avoir une grande conductance. Etant donné que le transistor nMOS fonctionne en zone ohmique à l'état ON, sa conductance est exprimée par la relation suivante [22]:

$$g_{ON} = 1/R_{ON} = \mu C_{ox} \frac{W_T}{L} (V_{gs} - V_{th}) \quad \text{Eq. 3.9}$$

Où C_{ox} et μ représentent la capacité de l'oxyde et la mobilité des porteurs de charges. W_T et L représentent respectivement la largeur et la longueur du canal du transistor. V_{gs} et V_{th} représentent la tension de grille-source et la tension de seuil du transistor respectivement.

La conductance est ainsi d'autant plus grande que la largeur du transistor est grande, sa longueur du canal est petite et/ou la tension de contrôle V_{gs} est forte. Afin de déterminer les constantes de temps du circuit sous-échantillonneur, un modèle linéaire est donné sur la Fig. 3-18(b). Les fréquences de coupures sont exprimées comme suit :

- Etat passant :

$$f_{c,ON} = \frac{1}{2\pi} \cdot \frac{\mu C_{ox} \frac{W_T}{L} (V_{gs} - V_{th})}{C_H + C_{ds,ON}} \quad \text{Eq. 3.10}$$

Où $C_{ds,ON}$ est la capacité du canal drain-source quand le transistor est passant. La Fig. 3-19(a) montre l'évolution de cette fréquence en fonction de W_T/L pour différentes valeurs de C_H .

- Etat bloqué :

$$f_{c,OFF} = \frac{1}{2\pi} \cdot \frac{1}{|Z_L| \cdot (C_H + C_{ds,OFF})} \quad \text{Eq. 3.11}$$

Où $C_{ds,OFF}$ est la capacité drain-source du transistor à l'état OFF. Z_L est l'impédance de charge du circuit. La Fig. 3-19.(b) montre l'évolution de $f_{c,OFF}$ en fonction de W_T/L pour différente valeur de C_H .

Le choix de la valeur de la capacité C_H ainsi que la largeur du canal du transistor nMOS doit respecter les deux conditions évoquées plus haut (temps de charge faible à l'état ON et long à l'état OFF). En revanche, selon la Fig. 3-19 un grand W_T/L à l'état ON avec C_H faible augmente la fréquence de coupure à des valeurs plus grandes que f_{ref} . Un compromis est trouvé avec le couple ($C_H=100$ fF et $W_T/L = 25$). Ceci permet de fixer un temps de charge assez faible tout en garantissant un temps de décharge important.

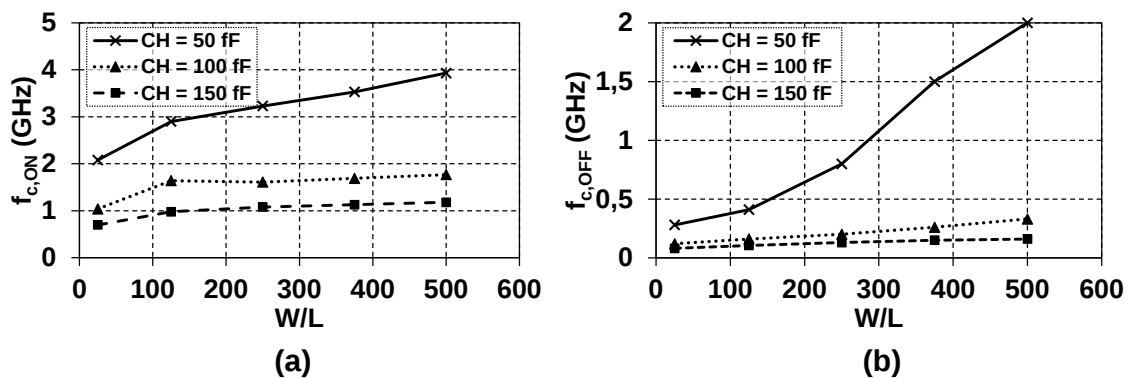


Fig. 3-19 : Fréquences de coupures de l'échantillonneur-bloqueur en fonction du rapport W_T/L pour différentes valeurs de la capacité C_H . ($L=40$ nm)

A noter qu'il y a également un compromis entre la valeur de la conductance et l'impédance d'entrée présentée à la sortie du circuit oscillant (invasivité du détecteur de verrouillage). Cette problématique est adressée à la dernière partie de ce chapitre.

3.4.3.2 Etages de gain

La réalisation électrique du circuit amplificateur à bande passante est montré à la Fig. 3-17. Il est constitué de deux étages d'amplification source-commune suivie d'un étage amplificateur opérationnel à transconductance OTA (transformation différentiel-asymétrique). La bande passante de cet étage de gain doit être définie afin d'amplifier les signaux détectés dans une bande choisie $[f_{c,min} - f_{c,max}]$ en plus de filtrer les puissances ramenées aux fréquences DC et f_{ref} . La fréquence basse de filtrage est fixée par les capacités C_b (conf. Fig. 3-17) tandis que la fréquence haute est fixée par l'ensemble des capacités C_h . Cette dernière est transcrite à la sortie de chaque étage afin d'augmenter l'ordre de filtrage tout en fixant une même fréquence de coupure. Ceci permet d'augmenter la rejection de la composante fréquentielle proche de f_{ref} .

Dans la suite de cette partie, les choix ainsi que les dimensionnements de chaque étage sont expliqués.

- Amplificateur à source commune [22]

Le schéma électrique de cet étage ainsi que son modèle petit signal est montrée à la Fig. 3-20. L'intérêt d'utiliser ce montage réside dans sa grande impédance d'entrée permettant de charger le circuit sous-échantillonneur comme discuté à la partie précédente (Impédance Z_L dans l'Eq. 3.11).

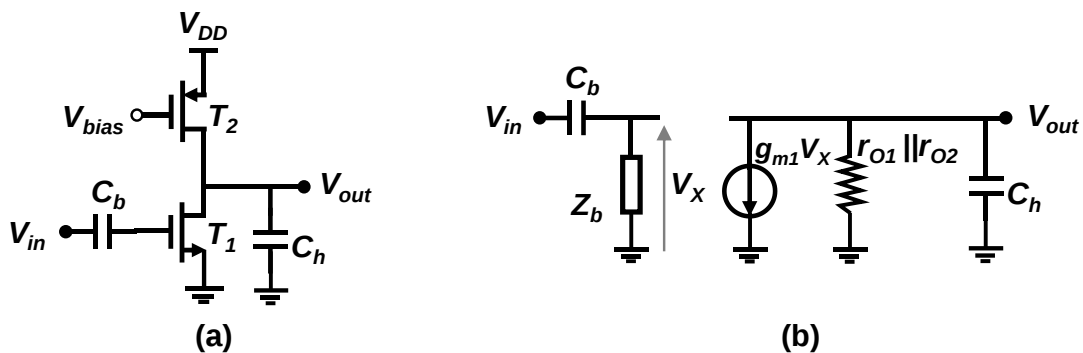


Fig. 3-20 : Schéma électrique de l'amplificateur à source commune (a) et le modèle petit signal associé (b) où Z_b représente l'impédance vu par la capacité C_b . g_{m1} représente la transconductance du transistor T_1 . r_{O1} et r_{O2} représentent les résistances drain-source des transistors T_1 et T_2 respectivement.

A partir du modèle équivalent petit signal de la Fig. 3-20(b) du circuit, on peut exprimer sa fonction de transfert comme suit (On considère $Z_b = R_b - j/(C_{gs}\omega) \approx R_b$) :

$$H_{SC}(j\omega) = \frac{V_X}{V_{in}} \cdot \frac{V_{out}}{V_X} = -\frac{jR_b C_b \omega}{1 + jR_b C_b \omega} \cdot \frac{g_{m1}(r_{O1} \parallel r_{O2})}{1 + j(r_{O1} \parallel r_{O2})C_h \omega} \quad \text{Eq. 3.12}$$

La fonction de transfert totale de l'étage est donc le résultat du produit entre un filtre passe-haut et un filtre passe-bas. Le gain de la source commune est égal à $g_{m1}(r_{O1} \parallel r_{O2})$. Ce montage permet ainsi d'avoir un grand gain contrôlable par la valeur de r_{O2} à travers la tension de polarisation V_{bias} du transistor T_2 . Les fréquences de coupures des filtres respectives sont données par :

$$f_{c,passe-haut} = f_{c,min} = \frac{1}{2\pi} \cdot \frac{1}{R_b C_b} \quad \text{Eq. 3.13}$$

$$f_{c,passe-bas} = f_{c,max} = \frac{1}{2\pi} \cdot \frac{1}{(r_{O1} \parallel r_{O2})C_h} \quad \text{Eq. 3.14}$$

La fréquence de coupure basse totale du détecteur de verrouillage est fixée par la fréquence de l'Eq. 3.13. A noter qu'il existe un compromis entre la valeur de la capacité C_b et la surface occupée du circuit de détection. Autrement dit, plus on augmente la capacité C_b plus on augmente la bande des fréquences détectables mais au détriment d'une grande surface occupée. Une fréquence basse de 40MHz est un bon compromis étant donné qu'en dessous de cette valeur l'oscillateur se verrouille (i. e. comme montré au dernier chapitre la bande de synchronisation minimale est supérieure à 40MHz). En revanche pour la mesure du bruit de phase proche porteuse en cas de verrouillage, il est intéressant de diminuer encore la valeur de la fréquence basse.

De l'autre côté, la fréquence de coupure haute (Eq. 3.14) doit être fixée à une valeur supérieure ou égale à $f_{ref}/2$. En effet, grâce au phénomène de repliement, le nombre de bandes repliées en bande de base $[0 - f_{ref}]$ est $B/f_{ech} = 2$ ($B=2 \times f_{ref}$ étant la bande d'intérêt du signal RF et $f_{ech}=f_{ref}$ la fréquence d'échantillonnage : Fig. 3-15) [20]. Ainsi, le spectre à la sortie du sous-échantillonneur est symétrique par rapport à $f_{ref}/2$ (Fig. 3-15). Le Tableau 3-1 résume les performances totales du circuit source commune.

Tableau 3-1 : Résumé des performances du circuit amplificateur à source commune.

Gain	<i>8 dB</i>
Impédance d'entrée	<i>10 kΩ</i>
Fréquence de coupure haute	<i>1.27 GHz</i>
Fréquence de coupure basse	<i>35 MHz</i>
Longueur et largeur des transistors	<i>$L = 40 \text{ nm}; W_{T1} = 2 \text{ } \mu\text{m}; W_{T2} = 2 \text{ } \mu\text{m}$</i>
Budget courant	<i>0.22 mA</i>
Consommation	<i>0.22 mW</i>

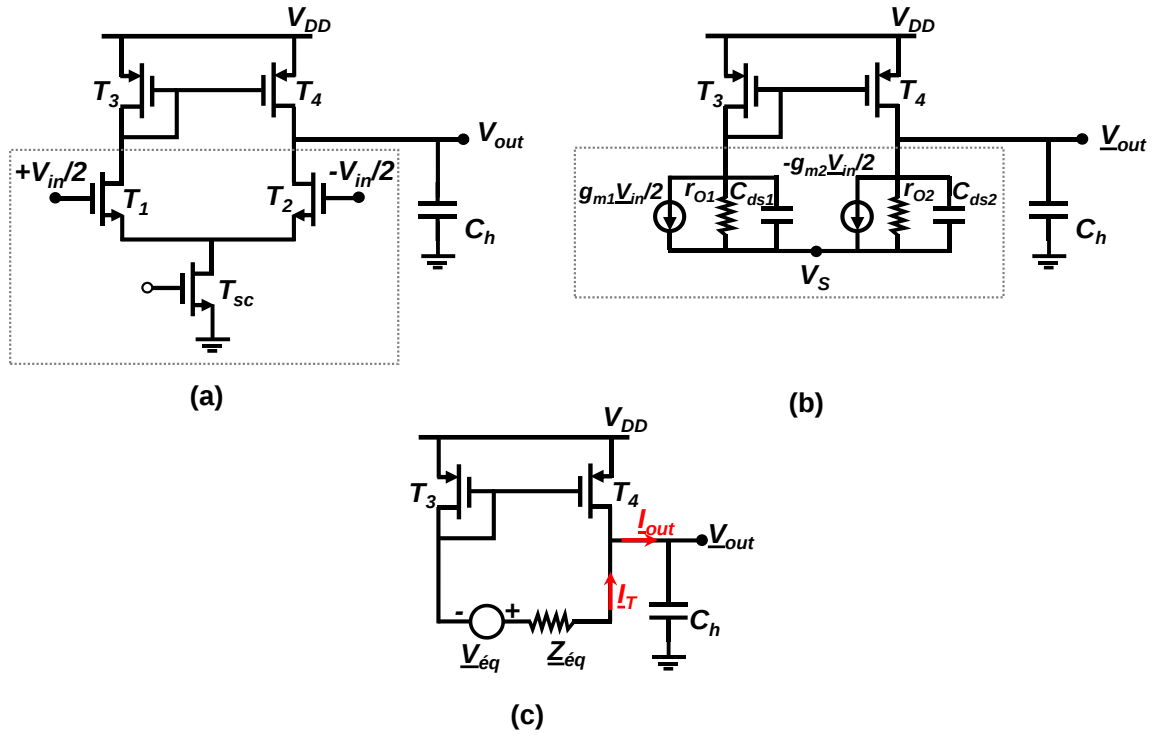


Fig. 3-21 : (a) Schéma électrique d'un amplificateur opérationnel à transconductance et (b) son modèle équivalent petit signal. (c) Représentation en modèle de Thévenin [22].

- Amplificateur opérationnel à transconductance - OTA

Le schéma électrique de l'amplificateur OTA est montré à la Fig. 3-21(a). Le modèle équivalent petit signal ainsi que la représentation en modèle de Thévenin sont donnés à la Fig. 3-21(b) et (c).

En plus de son gain important, l'utilisation de ce montage permet de passer d'un signal différentiel à un signal asymétrique (ou « Single Ended »). Le but de cette opération est d'augmenter la réjection des composantes de puissances proches DC ramenées par le commutateur-bloqueur et qui peuvent fausser la mesure de l'état du circuit oscillant.

Tous les transistors sont en zone saturée pour garantir un grand gain. Une analyse petit signal permet d'estimer les valeurs des $(W/L)_i$ de chaque transistor pour assurer la saturation de chaque transistor tout en limitant le budget de courant parcourant le circuit (par conséquent la consommation).

A partir du modèle petit signal de la Fig. 3-21(b), les valeurs des éléments du modèle de Thévenin peuvent être exprimé comme suit :

$$\underline{Z}_{eq} = (r_{O1} \parallel \underline{Z}_{C_{ds1}}) + (r_{O2} \parallel \underline{Z}_{C_{ds2}}) = 2 \cdot (r_{O1,2} \parallel \underline{Z}_{C_{ds1,2}}) \quad \text{Eq. 3.15}$$

$$\underline{V}_{eq} = g_{m1,2}(r_{O1,2} \parallel \underline{Z}_{C_{ds1,2}})\underline{V}_{in} \quad \text{Eq. 3.16}$$

Où $\underline{V}_{in}$ représente la tension en entrée de l'étage. $\underline{Z}_{ds,k}$ représente l'impédance complexe associée à la capacité drain-source du transistors T_k . g_{mk} et r_{Ok} sont, respectivement, sa transconductance et

résistance drain-source. Grâce à la symétrie de l'architecture de l'amplificateur (justifié par l'utilisation d'un miroir actif de courant : T_3), les paramètres des transistors (T_1 , T_2) ou (T_3 , T_4) sont identiques.

A partir des équation Eq. 3.15 et Eq. 3.16, on peut exprimer le courant I_T comme suit (Fig. 3-21(c)) :

$$I_T = \frac{g_{m1,2}(r_{O1,2} \parallel Z_{C_{ds1,2}}) \cdot V_{in} - V_{out}}{2 \cdot (r_{O1,2} \parallel Z_{C_{ds1,2}}) + \left(\frac{1}{g_{m3}} \parallel r_{O3} \parallel Z_{C_{ds3,4}} \right)} \quad \text{Eq. 3.17}$$

Où V_{out} représente la tension de sortie. Etant donné que ce courant I_T est copié par le transistor T_3 dans la branche de T_4 avec un gain unitaire (miroir actif de courant [22]). Le courant totale I_{out} peut ainsi être exprimé par :

$$I_{out} = \frac{V_{out}}{(r_{O3,4} \parallel Z_{C_{ds3,4}} \parallel Z_{C_L})} = 2 \frac{g_{m1,2}(r_{O1,2} \parallel Z_{C_{ds1,2}}) \cdot V_{in} - V_{out}}{2(r_{O1,2} \parallel Z_{C_{ds1,2}}) + \left(\frac{1}{g_{m3}} \parallel r_{O3} \parallel Z_{C_{ds3,4}} \right)} \quad \text{Eq. 3.18}$$

On néglige les capacités parasites devant la capacité de charge (i. e. $C_{ds} \ll C_L$). On considère également $1/g_{m3} \ll r_{O3}$. Ainsi la fonction de transfert peut être exprimée par :

$$H_{OTA}(j\omega) = \frac{g_{m1,2}(r_{O1,2} \parallel r_{O3,4})}{1 + jC_L(r_{O1,2} \parallel r_{O3,4})\omega} \quad \text{Eq. 3.19}$$

Tableau 3-2 : Résumé des performances du circuit OTA.

Gain	<i>10 dB</i>
Fréquence de coupure haute	<i>1.7 GHz</i>
Gain @ 2.16GHz	<i>5.6 dB</i>
Longueur et largeur des transistors	<i>$L = 40 \text{ nm}$; $W_{Tsc} = 5 \mu\text{m}$; $W_{T1,2} = 5 \mu\text{m}$; $W_{T3,4} = 4 \mu\text{m}$</i>
Budget courant	<i>0.3 mA</i>
Consommation	<i>0.3 mW</i>

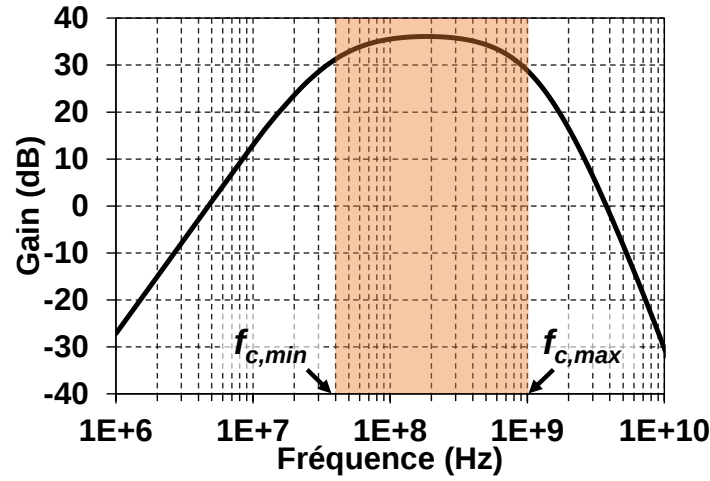


Fig. 3-22 : Réponse fréquentiel du filtre passe bande à grand gain de la Fig. 3-17.

Le gain est par conséquent donnée par $g_{m1,2}(r_{O1,2} || r_{O3,4})$. Ceci justifie le gain important de ce type d'architecture. La fréquence de coupure est donnée par :

$$f_{c,OTA} = f_{c,OTA} = \frac{1}{2\pi} \cdot \frac{1}{C_L(r_{O1,2} || r_{O3,4})} \quad \text{Eq. 3.20}$$

Le

Tableau 3-2 résume les performances de l'amplificateur opérationnel à transconductance OTA étudié dans cette partie. Pour limiter la bande passante haute du montage, un étage buffer source-commune est rajouté en charge de l'OTA.

- Réponse totale de l'amplificateur à bande passante

L'architecture finale de l'amplificateur à grand gain, montrée à la Fig. 3-17, est constitué de deux étages d'amplification sources communes en cascode, un amplificateur OTA et une source commune à la sortie. La réponse fréquentielle obtenue par simulation de l'architecture totale de l'amplificateur à bande passante est donnée à la Fig. 3-22. Le Tableau 3-3 résume les performances totales du circuit.

Tableau 3-3 : Résumé des performances du filtre passe bande à grand gain.

Gain	<i>39 dB</i>
Fréquence de coupure basse	<i>40 MHz</i>
Fréquence de coupure haute	<i>1 GHz</i>
Gain @ 2.16GHz	<i>15 dB</i>
Budget courant	<i>1.6 mA</i>
Consommation	<i>1.6 mW</i>

Le signal obtenu à la sortie du filtre passe bande à grand gain est un signal alternatif de fréquence proportionnelle à la déviation entre la fréquence de l'ILO de sortie et l'harmonique de l'OSC-P la plus proche. En cas de d'une déviation nulle (ou égale à $k \times f_{ref}$) entre les deux fréquences, le signal obtenu est continu avec une faible oscillation à la fréquence f_{ref} . Ce signal est ensuite converti par un rectificateur (se comportant comme un intégrateur) pour obtenir un signal DC proportionnel à la puissance détectée dans la bande de base $[f_{c,min} - f_{c,max}]$.

3.4.3.3 Intégrateur – Convertisseur AC-DC [23]

La réalisation électrique du circuit convertisseur AC –DC ainsi que son modèle comportemental équivalent sont donnés à la Fig. 3-23(a) et (b) respectivement. Le principe de fonctionnement de ce montage est illustré à la Fig. 3-23(c). Il transforme le signal AC à la sortie de l'amplificateur en un signal DC en utilisant un transistor nMOS monté en diode. Quand la diode est passante (i. e. $V_{in} > V_{d,ON}$ où $V_{d,ON}$ représente la tension de seuil de la diode), elle charge la capacité C_I jusqu'à atteindre la valeur maximale du signal d'entrée (i. e. $V_{in} = A$). Dans ce cas la tension de sortie V_{out} atteint la valeur $(A - V_{d,ON})$. Après ce point, V_{in} commence à décroître triant par conséquent la diode à l'état bloqué (i. e. $V_d < V_{d,ON}$). La capacité se décharge alors dans la résistance de charge R_L selon une constante de temps définie par les valeurs de la résistance R_L et de la capacité C_I . Autrement dit, le circuit se comporte comme un filtre passe bas de fréquence de coupure $f_{c,I} = 1/(2\pi R_L C_I)$. Pour augmenter le temps de décharge de C_I et réduire par conséquent l'amplitude d'ondulation V_{ond} (illustration Fig. 3-23), la valeur de la fréquence de coupure doit être la plus faible possible. A noter que quand V_{ond} est grande, l'hystérésis du comparateur augmente (fausses détections). L'utilisation d'une grande capacité C_I est une solution possible mais au détriment d'une grande surface occupée dans le circuit. Une autre solution consiste à charger le circuit par un buffer avec une grande résistance d'entrée R_L . Dans ces conditions, le circuit se comporte comme un intégrateur passif comme illustré dans la Fig. 3-23(d). Ainsi, la tension de sortie V_{out} peut être approximé par [23]:

$$V_{out} = A - V_{d,ON} - V_{ond} \approx (A - V_{d,ON}) \cdot \left(1 - \frac{1}{2\pi R_L C_I f_{in}}\right) \quad \text{Eq. 3.21}$$

La tension de sortie est donc une tension continue DC qui dépend de l'amplitude du signal d'entrée. En cas d'absence de signal en bande de base (oscillateur verrouillé), l'amplitude A est nulle ou négligeable et la tension à la sortie de l'intégrateur est par conséquent minimale.

3.4.3.4 Comparateur

Le signal à la sortie de l'intégrateur est ensuite comparé avec une tension de comparaison V_{th} aux entrées d'un comparateur. La tension de seuil doit être choisie pour différencier entre le cas verrouillé et non verrouillé de l'oscillateur. La Fig. 3-17 montre la réalisation électrique du circuit complet de comparaison. Il est constitué d'une source commune (avec dégénérescence à la

source), un amplificateur opérationnel à grand gain (monté en comparateur) et un étage d'auto-bascule à la sortie (latch).

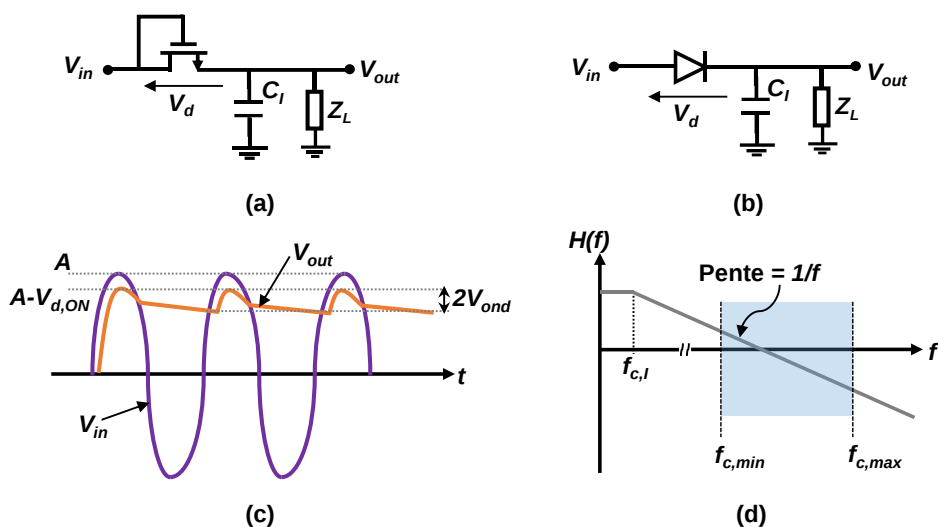


Fig. 3-23 : (a) Réalisation électrique du circuit intégrateur et, (b), son modèle comportemental équivalent. (c) Illustration du principe de fonctionnement (convertisseur AC-DC). (d) Explication du comportement intégrateur du circuit. $V_{d,ON}$ est la tension de seuil de la diode et « A » représente l'amplitude crête du signal d'entrée.

- Source commune :

La source commune, montrée à la Fig. 3-24(a), est utilisée pour trois raisons : (1) présenter une grande impédance à la sortie de l'intégrateur, (2) augmenter l'excursion en tension limitée à la sortie de ce dernier en plus, (3), d'inverser la tension à la sortie de l'intégrateur afin d'appliquer une grande tension de comparaison. En effet, le premier point sert à réduire la bande passante de l'intégrateur comme expliqué dans la partie précédente. Le deuxième point permet de réduire les contraintes de conception du comparateur (gain relativement réduit $G_{min} = \frac{V_{DD}}{\Delta V_{min}}$ où ΔV_{min} désigne l'excursion minimale à amplifier comme illustré à la Fig. 3-24(b)). Le troisième point permet de réduire l'amplitude de l'hystérésis du comparateur en fonction de la tension de comparaison V_{th} . En effet, comme montré au Tableau 3-4, plus la tension de comparaison est grande plus l'amplitude de l'hystérésis est réduite. Ceci permet de gagner en précision aux voisinages de V_{th} (distinguer entre les deux états verrouillés et non-verrouillés quand la différence entre les puissances intégrées sont proches).

Tableau 3-4 : Résultats de simulation de l'hystérésis du comparateur en fonction de la tension de comparaison V_{th}

V_{th} (mV)	350	400	500	600	650	700	750
V_{hys} (mV)	64	55	32	16	10	6	5

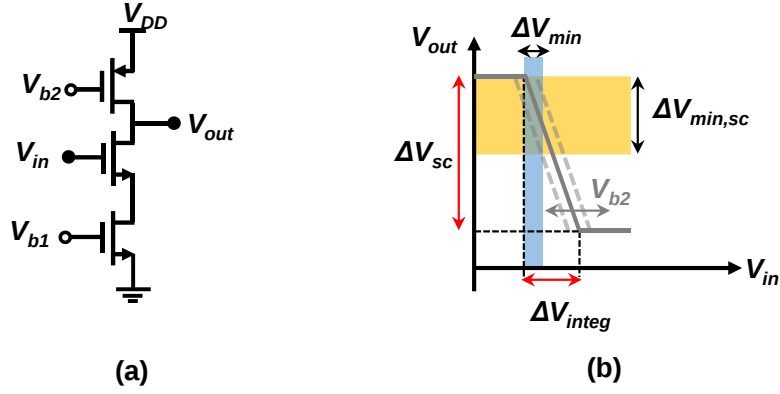


Fig. 3-24 : (a) Schéma électrique de l'étage inverseur source-commune avec dégénérescence de source. (b) Caractéristique tension d'entrée- tension de sortie associée.

- Comparateur Latché (latched comparator) [24], [25]:

Le schéma électrique du comparateur latché est montré à la Fig. 3-25. Il est constitué d'un Op-amp monté en comparateur et un étage d'auto-bascule. Chaque branche de ce dernier étage se comporte comme un feedback positif sur la branche opposée pour accélérer le passage entre les états logiques $0V$ et $1V$. En plus, il permet de ramener une impédance faible à la sortie.

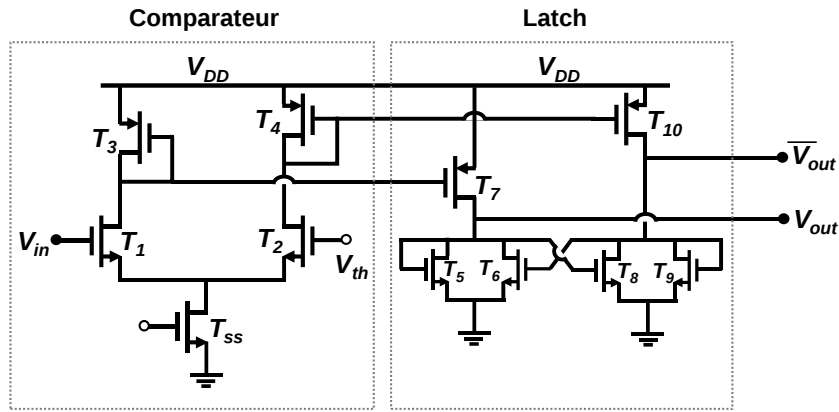


Fig. 3-25 : Schéma électrique du comparateur latché.

Le comparateur complet fonctionne en deux régions de V_{in} :

- Quand $V_{in} > V_{th}$

Comme illustré à la Fig. 3-26, le transistor T_1 est en région de saturation absorbant tout le courant du transistor T_{ss} . Par conséquent, les transistors T_2 , T_4 et T_{10} sont bloqués. Le courant parcourant T_1 est ensuite copié avec un gain unitaire par le miroir de courant actif présenté par T_7 . La tension de sortie est donc à l'état logique haut ($V_{out} = V_{DD}$). Les transistors T_6 , T_8 et T_9 sont à l'état bloqué (ceci en régime établie ; en régime transitoire la paire croisée T_6 et T_8 est activée pour accélérer le passage entre les états logiques $0V$ et $1V$) tandis que le transistor T_5 fait passer tout le courant

miroité par T_7 . L'impédance présentée à la sortie est par conséquent égale à $1/g_{m5}$ (impédance de sortie faible).

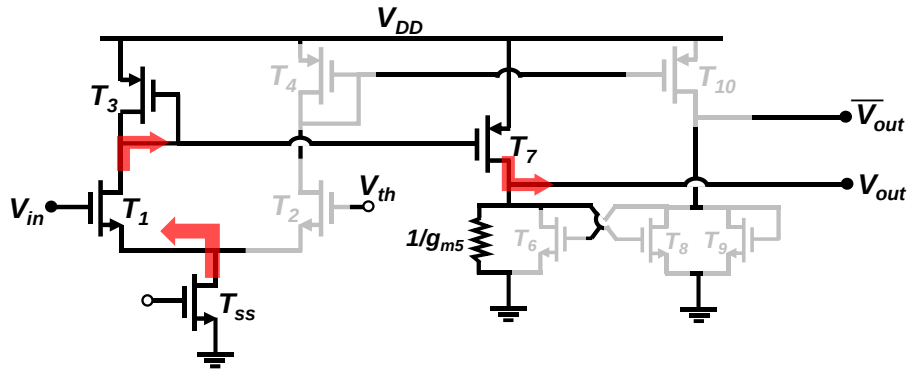


Fig. 3-26 : Illustration en régime établie des sens de courants parcourant le circuit quand $V_{in} > V_{th}$.

➤ Quand $V_{in} < V_{th}$

Inversement, comme illustré à la Fig. 3-27, le transistor T_4 est en région de saturation absorbant tout le courant du transistor T_{ss} . Les transistors T_1 , T_3 et T_7 sont ainsi bloqués. Le courant parcourant T_2 est ensuite copié avec un gain unitaire par le miroir de courant actif présenté par T_{10} . La tension de sortie est donc à l'état logique bas ($V_{out} = 0V$). Les transistors T_5 , T_6 et T_8 sont à l'état bloqué (en régime établie ; en régime transitoire T_6 et T_8 sont activés pour accélérer le passage entre les états logiques $0V$ et $1V$) tandis que le transistor T_9 fait passer tout le courant miroité par T_7 . L'impédance présentée à la sortie est par conséquent égale à $1/g_{m9}$ (impédance de sortie faible).

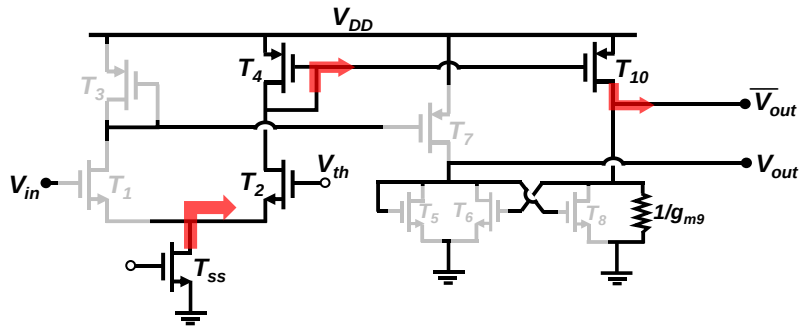


Fig. 3-27 : Illustration en régime établie des sens de courants parcourant le circuit quand $V_{in} < V_{th}$.

La constante de temps de passage entre les deux états précédents est donnée par :

$$\tau = \frac{C_L (r_{O7,10} \parallel r_{O6,8})}{g_{m5,9} (r_{O7,10} \parallel r_{O6,8}) - 1} \quad \text{Eq. 3.22}$$

Où $g_{m,k}$ et $r_{O,k}$ représentent respectivement la transconductance et la résistance drain-source du transistor T_k . C_L est la capacité de charge à la sortie du comparateur Latché.

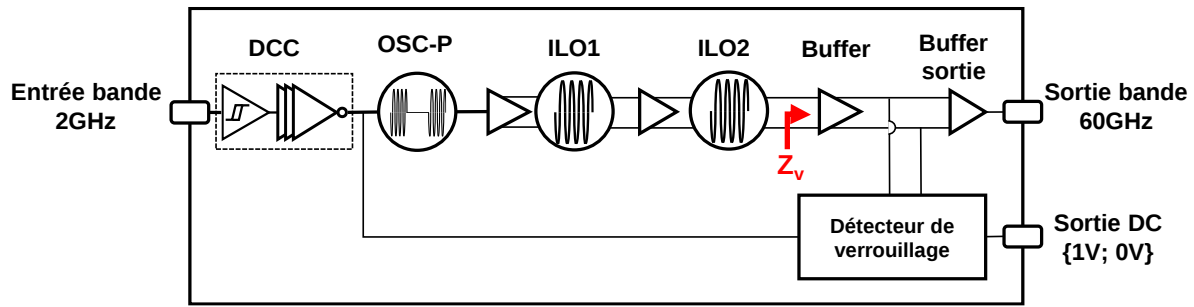


Fig. 3-28 : Architecture d'intégration du circuit détecteur de verrouillage à la sortie du multiplicateur de fréquences.

Le Tableau 3-5 résume les performances du comparateur proposé. Ainsi, le temps d'établissement du circuit comparateur est très faible par rapport au celui de l'intégrateur. Le temps d'établissement du circuit de détection de verrouillage est ainsi fixé par ce dernier.

Tableau 3-5 : Résumé des performances du comparateur proposé dans le circuit de détection de verrouillage.

Gain	<i>63dB</i>
Produit gain bande passante	<i>10.7 GHz</i>
Impédance d'entrée	<i>43 MΩ</i>
Impédance de sortie	<i>78.3 Ω</i>
Budget courant	<i>$0.944 + 1.46 \times 2 \text{ mA} = 3.86 \text{ mA}$</i>
Consommation	<i>3.86 mW</i>

3.4.4 ETUDES DES LIMITES DE L'ARCHITECTURE DE DETECTION PROPOSEE

L'architecture de détection du spectre à la sortie du multiplicateur de fréquences présente également des limites.

- Invasivité :

Le détecteur de verrouillage est connecté à la sortie du multiplicateur de fréquence par l'intermédiaire d'un buffer comme illustré à la Fig. 3-28. Ce dernier présente une faible impédance de sortie en plus d'isoler l'oscillateur de sortie ILO₂ d'une éventuelle dégradation qui pourrait être introduite par le circuit de détection. Par ailleurs, le block échantillonneur bloqueur est dimensionné pour présenter une grande impédance d'entrée comme étudié à la partie 3.4.3.1. Cela explique le choix d'une faible largeur du canal du transistor de l'échantillonneur bloqueur au détriment d'un gain de conversion relativement petit. Les résultats de simulation de l'impédance présenté par l'ensemble {Buffer ILO₂, détecteur de verrouillage, buffer 50 Ω de sortie} à la sortie de ILO₂ sont montrés à la Fig. 3-29. A partir des données de cette figure, on peut conclure que le

détecteur de verrouillage ne présente quasiment aucune variation d'impédance vue par l'oscillateur ILO₂ auquel est connecté.

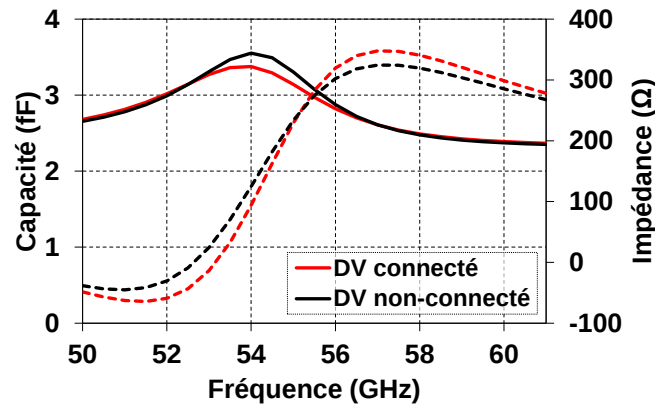


Fig. 3-29 : Résultats de simulation de l'impédance vue par l'oscillateur de sortie ILO₂ du multiplicateur de fréquences en présence et en absence du détecteur de verrouillage (DV connecté et non-connecté respectivement).

- Gain de conversion en fonction du rapport cyclique du signal carré de référence :

Le gain de conversion de l'architecture du sous-échantillonnage dépend fortement du rapport cyclique du signal carré de référence [21]. En effet, comme montré à la Fig. 3-28, le signal de référence qui alimente l'entrée du circuit OSC-P est identique à celui utilisé dans l'opération de l'échantillonnage.

Rappelons la forme du signal à la sortie de l'échantillonneur-bloqueur (Fig. 3-14) lorsqu'il est alimenté par un signal sinusoïdal à la fréquence f_{in} . Dans le domaine fréquentiel, la forme du signal résultants peut être exprimé par :

$$Y(\Delta f) = \alpha \cdot \text{sinc}(N\alpha\pi) e^{-jN\alpha\pi} + (1 - \alpha) \cdot \text{sinc}\left[(1 - \alpha)\pi \frac{\Delta f}{f_{ref}}\right] e^{-j\pi(1-\alpha)\frac{\Delta f}{f_{ref}}} \quad \text{Eq. 3.23}$$

Où $\Delta f = |k \times f_{ref} - f_{in}|$ représente la fréquence intermédiaire FI (situé en bande de base) et α le rapport cyclique du signal de référence utilisé dans le sous-échantillonnage. A noter que cette expression ne tient en compte que les termes situés dans la bande de base $[0 - f_{ref}/2]$.

A partir de cette équation, on constate que la densité de puissance du signal ramené en bande de base et le gain de conversion dépendent fortement de la différence de fréquence Δf et du rapport cyclique α . La Fig. 3-30 montre la variation du gain de conversion du sous-échantillonneur en fonction de la fréquence intermédiaire et pour trois valeurs du rapport cyclique.

Ainsi, un rapport cyclique faible du signal carré est favorable pour maximiser la sensibilité de l'architecture du sous-échantillonnage. En contrepartie, un faible rapport cyclique dégrade fortement les performances du multiplicateur de fréquence comme montré dans les deux figures Fig. 3-9 et Fig. 3-10.

Pour éviter ce dilemme entre sensibilité de détection et performances du circuit multiplicateur, il faut générer deux signaux carrés de références différents : (1) un signal de rapport cyclique variable utilisé pour alimenter l'entrée de l'oscillateur pulsé (OSC-P) et (2) un autre avec rapport cyclique faible pour contrôler l'interrupteur dans le circuit échantillonneur-bloqueur.

- Applicabilité aux techniques de multiplication :

Finalement, la technique de détection de verrouillage présentée dans ce chapitre est seulement applicable aux oscillateurs utilisant la technique de multiplication harmonique. En effet, comme expliqué dans les parties précédentes, cette technique détermine si ou pas la fréquence de sortie est un multiple de la fréquence de référence.

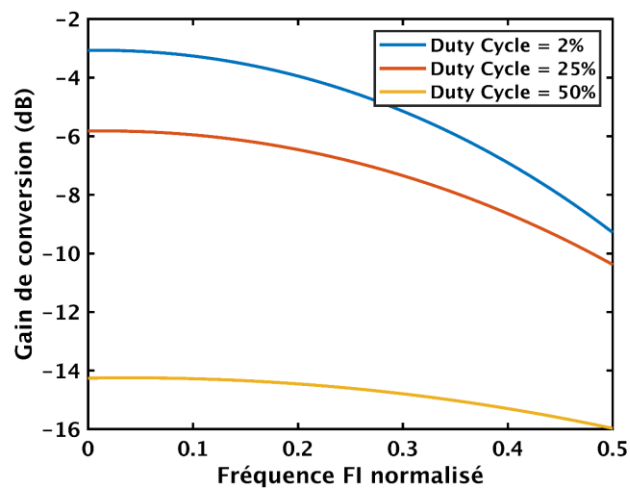


Fig. 3-30 : Gain de conversion du sous-échantillonneur en fonction de la fréquence intermédiaire pour trois valeurs du rapport cyclique (résultats du modèle Eq. 3.8).

3.5 CONCLUSIONS

Afin d'adresser des modulations complexes (64QAM, 16QAM...) dans les fréquences millimétriques, des synthétiseurs de fréquences avec de bonnes performances spectrales doivent être utilisés. En particuliers, les techniques de synthèse basées sur la multiplication se démarque pour atteindre cet objectif. L'avantage de ces techniques est leurs niveaux de bruit réduit aux fréquences millimétriques comparés aux techniques classiques de synthèses de fréquence par PLL.

Afin de garantir et confirmer l'utilité des multiplicateurs de fréquences en bande millimétrique, la calibration de fonctionnalité et performances contre les variations aléatoires introduites par différentes sources extérieures ou intérieures au circuit est nécessaire.

Dans cette optique, une étude est faite pour déterminer les zones de fonctionnement optimal ainsi que les paramètres clés contrôlant la fonctionnalité et les performances du circuit. Ensuite, une architecture adaptée pour la détection de ces zones de fonctionnement est proposée, étudiée et dimensionnée dans ce chapitre.

Le circuit de détection est intégré dans le circuit multiplicateur afin de s'en servir pour implémenter une preuve de concept de calibration automatique de fonctionnalités et performances du synthétiseur de fréquences millimétriques.

RÉFÉRENCES

- [1] R. Adler, « A Study of Locking Phenomena in Oscillators », *Proc. IRE*, vol. 34, n° 6, p. 351-357, juin 1946, doi: 10.1109/JRPROC.1946.229930.
- [2] B. Razavi, « A study of injection locking and pulling in oscillators », *IEEE J. Solid-State Circuits*, vol. 39, n° 9, p. 1415-1424, sept. 2004, doi: 10.1109/JSSC.2004.831608.
- [3] A. Musa, W. Deng, T. Siriburanon, M. Miyahara, K. Okada, et A. Matsuzawa, « A Compact, Low-Power and Low-Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration », *IEEE J. Solid-State Circuits*, vol. 49, n° 1, p. 50-60, janv. 2014, doi: 10.1109/JSSC.2013.2284651.
- [4] M. Kim, S. Choi, T. Seong, et J. Choi, « A Low-Jitter and Fractional-Resolution Injection-Locked Clock Multiplier Using a DLL-Based Real-Time PVT Calibrator With Replica-Delay Cells », *IEEE J. Solid-State Circuits*, vol. 51, n° 2, p. 401-411, févr. 2016, doi: 10.1109/JSSC.2015.2496781.
- [5] W. Deng, T. Siriburanon, A. Musa, K. Okada, et A. Matsuzawa, « A Sub-Harmonic Injection-Locked Quadrature Frequency Synthesizer With Frequency Calibration Scheme for Millimeter-Wave TDD Transceivers », *IEEE J. Solid-State Circuits*, vol. 48, n° 7, p. 1710-1720, juill. 2013, doi: 10.1109/JSSC.2013.2253396.
- [6] H.-Y. Chang, C.-C. Chan, S.-M. Li, H.-N. Yeh, I. Y.-E. Shen, et G.-L. Huang, « Design and Analysis of CMOS Low-Phase-Noise Low Quadrature Error $\sqrt{V}$ -Band Subharmonically Injection-Locked Quadrature FLL », *IEEE Trans. Microw. Theory Tech.*, vol. 66, n° 6, p. 2851-2866, juin 2018, doi: 10.1109/TMTT.2018.2824830.
- [7] D. Shin et K. J. Koh, « An Injection Frequency-Locked Loop–Autonomous Injection Frequency Tracking Loop With Phase Noise Self-Calibration for Power-Efficient mm-Wave Signal Sources », *IEEE J. Solid-State Circuits*, vol. PP, n° 99, p. 1-14, 2018, doi: 10.1109/JSSC.2017.2782762.
- [8] A. Musa, R. Murakami, T. Sato, W. Chaivipas, K. Okada, et A. Matsuzawa, « A Low Phase Noise Quadrature Injection Locked Frequency Synthesizer for MM-Wave Applications », *IEEE J. Solid-State Circuits*, vol. 46, n° 11, p. 2635-2649, nov. 2011, doi: 10.1109/JSSC.2011.2166336.
- [9] S. Kalia, M. Elbadry, B. Sadhu, S. Patnaik, J. Qiu, et R. Harjani, « A simple, unified phase noise model for injection-locked oscillators », in *2011 IEEE Radio Frequency Integrated Circuits Symposium*, Baltimore, MD, USA, juin 2011, p. 1-4, doi: 10.1109/RFIC.2011.5940707.
- [10] P. Maffezzoni et S. Levantino, « Phase Noise of Pulse Injection-Locked Oscillators », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 61, n° 10, p. 2912-2919, oct. 2014, doi: 10.1109/TCSI.2014.2321200.
- [11] A. Boulmirat, A. Siligaris, C. Jany, et J. L. Gonzalez-Jimenez, « Lock Detector Integrated in a High Order Frequency Multiplier Operating at 60-GHz-Band in 45nm CMOS SOI Technology », in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, août 2020, p. 944-947, doi: 10.1109/IMS30576.2020.9223899.
- [12] D. Shin, S. Raman, et K. J. Koh, « 2.8 A mixed-mode injection frequency-locked loop for self-calibration of injection locking range and phase noise in 0.13 μ m CMOS », in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, janv. 2016, p. 50-51, doi: 10.1109/ISSCC.2016.7417901.
- [13] C. Jany, « Conception et étude d'une synthèse de fréquence innovante en technologies CMOS avancées pour les applications en bande de fréquence millimétrique », PhD, Université Grenoble Alpes, 2014.
- [14] C. Jany, A. Siligaris, J. L. Gonzalez-Jimenez, P. Vincent, et P. Ferrari, « A Programmable Frequency Multiplier-by-29 Architecture for Millimeter Wave Applications », *IEEE J. Solid-State Circuits*, vol. 50, n° 7, p. 1669-1679, juill. 2015, doi: 10.1109/JSSC.2015.2411623.
- [15] X. Zheng et al., « Frequency-Domain Modeling and Analysis of Injection-Locked Oscillators », *IEEE J. Solid-State Circuits*, vol. 55, n° 6, p. 1651-1664, juin 2020, doi: 10.1109/JSSC.2019.2946226.

- [16] A. Hamani *et al.*, « A 108-Gb/s 64-QAM CMOS D-Band Rx With Integrated LO Generation », *IEEE Solid-State Circuits Lett.*, vol. 3, p. 202-205, 2020, doi: 10.1109/LSSC.2020.3011529.
- [17] D. Shin, S. Park, S. Raman, et K. J. Koh, « A subharmonically injection-locked PLL with 130 fs RMS jitter at 24 GHz using synchronous reference pulse injection from nonlinear VCO envelope feedback », in *2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, juin 2017, p. 100-103, doi: 10.1109/RFIC.2017.7969027.
- [18] S. Choi *et al.*, « An Ultra-Low-Jitter 22.8-GHz Ring-LC-Hybrid Injection-Locked Clock Multiplier With a Multiplication Factor of 114 », *IEEE J. Solid-State Circuits*, p. 1-10, 2018, doi: 10.1109/JSSC.2018.2883090.
- [19] S. Yoo, S. Choi, J. Kim, H. Yoon, Y. Lee, et J. Choi, « 19.2 A PVT-robust 39dBc 1kHz-to-100MHz integrated-phase-noise 29GHz injection-locked frequency multiplier with a 600 W frequency-tracking loop using the averages of phase deviations for mm-band 5G transceivers », in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, févr. 2017, p. 324-325, doi: 10.1109/ISSCC.2017.7870392.
- [20] R. G. Vaughan, N. L. Scott, et D. R. White, « The theory of bandpass sampling », *IEEE Trans. Signal Process.*, vol. 39, n° 9, p. 1973-1984, sept. 1991, doi: 10.1109/78.134430.
- [21] A. Parssinen, R. Magoon, S. I. Long, et V. Porra, « A 2-GHz subharmonic sampler for signal downconversion », *IEEE Trans. Microw. Theory Tech.*, vol. 45, n° 12, p. 2344-2351, déc. 1997, doi: 10.1109/22.643841.
- [22] B. Razavi, *Design of analog CMOS integrated circuits*. Boston, MA: McGraw-Hill, 2001.
- [23] B. Razavi, *Fundamentals of Microelectronics*. John Wiley & Sons, 2013.
- [24] R. Angelo, *CMOS: Front-End Electronics for Radiation Sensors*. Boca Raton, FL: CRC Press, 2015.
- [25] D. J. Moni et P. Jisha, « High-speed and low-power dynamic latch comparator », in *2012 International Conference on Devices, Circuits and Systems (ICDCS)*, mars 2012, p. 259-263, doi: 10.1109/ICDCSyst.2012.6188715.
- [26] S. Karvonen, T. Riley, et J. Kostamovaara, « A low noise quadrature subsampling mixer », in *ISCAS 2001. The 2001 IEEE International Symposium on Circuits and Systems (Cat. No.01CH37196)*, mai 2001, vol. 4, p. 790-793 vol. 4, doi: 10.1109/ISCAS.2001.922356.
- [27] P. Eriksson et H. Tenhunen, « The noise figure of a sampling mixer: theory and measurement », in *ICECS'99. Proceedings of ICECS '99. 6th IEEE International Conference on Electronics, Circuits and Systems (Cat. No.99EX357)*, sept. 1999, vol. 2, p. 899-902 vol.2, doi: 10.1109/ICECS.1999.813259.
- [28] O. Bernal, « Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales », p. 215.

Chapitre 4: SYNTHETISEUR DE FREQUENCE EN BANDE MILLIMETRIQUE A GRAND FACTEUR DE MULTIPLICATION INTEGRANT UN DETECTEUR DE VERROUILLAGE EN TECHNOLOGIES CMOS 45NM RFSOI POUR DES APPLICATIONS HAUTS DEBITS ET SANS FILS

4.1 INTRODUCTION

Des techniques d'analyse et simulation d'un générateur de fréquences en bandes millimétriques par multiplication ont été présentées. Cela a permis de déterminer les zones de fonctionnement optimales et les paramètres clés contrôlant l'état du circuit. Par ailleurs, afin de tirer profits de la technique de la synthèse de fréquences à grand facteur N de multiplication utilisée dans le cadre de ce travail, la calibration de fonctionnalité et performances sont nécessaires. La calibration de fonctionnalité consiste à trouver la configuration des circuits composant le générateur de fréquences qui correspondent à un fonctionnement correct. Dans le cas de notre système, ceci veut dire que la fréquence de sortie est un multiple entier exact de la fréquence du signal d'entrée. Les variations environnementaux (température, voltage d'alimentation) et les déviations du procédé de fabrication des circuits peuvent amener un échantillon donné du générateur de

fréquences dans une configuration non-fonctionnel. La calibration de fonctionnalité permet de retrouver une configuration ou le système devient fonctionnel en agissant sur les paramètres variables des circuits qui le composent. Une fois le système est fonctionnel on peut chercher à optimiser ses performances. Dans le cas du générateur de fréquences il s'agit normalement de trouver une configuration ou le système présente un bruit de phase minimal ou un jitter intégré, dans une bande donnée, le plus petit possible. Pour une condition environnemental donnée, les différentes valeurs possibles de ces paramètres variables des circuits définissent des régions ou zones ou le circuit est fonctionnel. A l'intérieur de ces zones de fonctionnalité correcte se trouvent comprises des valeurs de paramètres qui optimisent les performances. Une architecture adaptée pour la détection de ces zones de fonctionnement a été ainsi proposée et étudiée. Dans ce chapitre, les deux circuits conçus et fabriqués dans le cadre de la thèse {générateur de fréquences et détecteur de verrouillage} sont décrits et les résultats de mesures sont exposés.

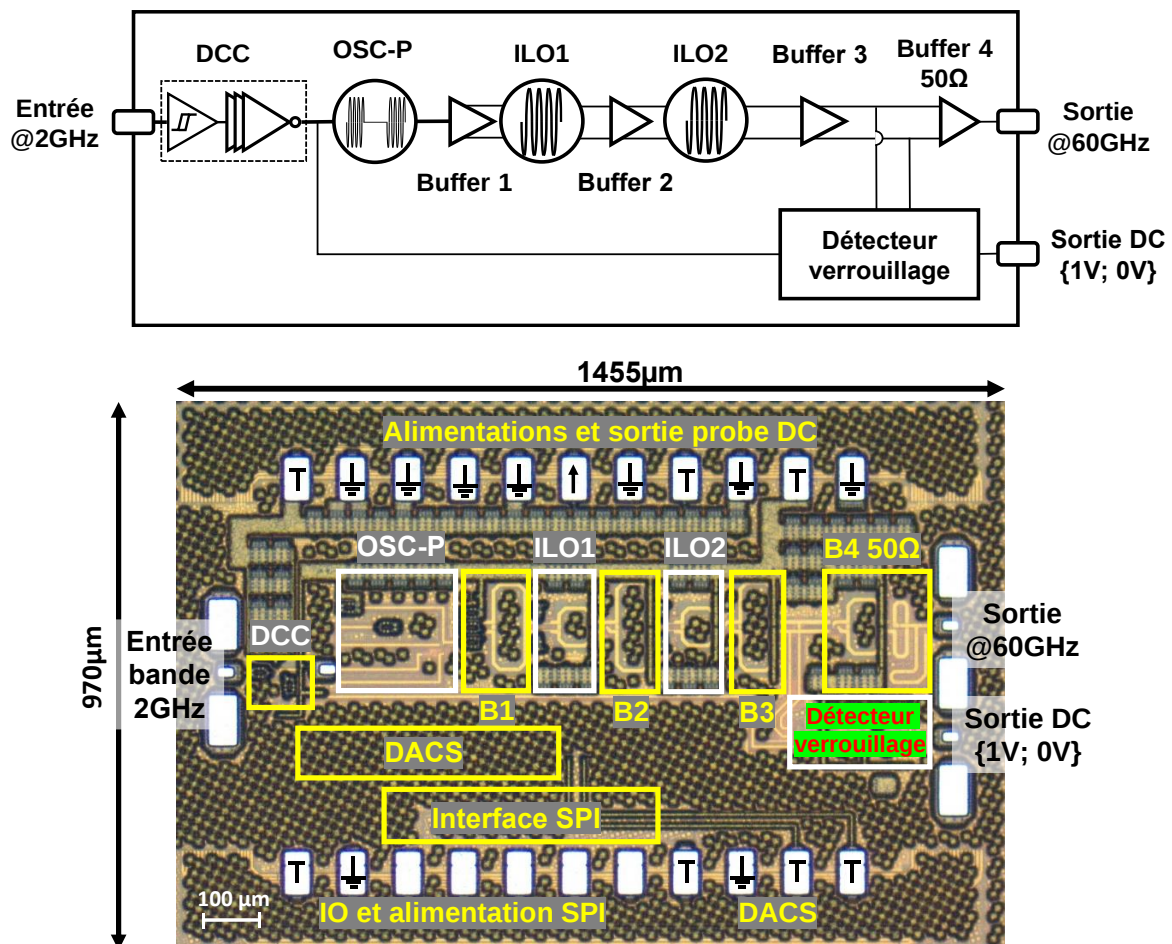


Fig. 4-1 : Schéma block et photomicrographie du circuit fabriqué en technologie avancée 45nm CMOS PDSOI. B1-4 représentent les buffer inter-étages du multiplicateur de fréquences.

Le générateur de fréquence fonctionne dans la bande non-licenciée autour 60-GHz. L'ensemble des deux circuits sont fabriqués en technologie 45nm CMOS PDSOI. L'architecture et la photomicrographie du circuit complet sont affichés à la Fig. 4-1. Dans ce chapitre, le traitement du caractère multicanal de l'architecture est estimé sans importance majeure. En effet, cela est étudié en détails dans les précédents travaux [1]–[3]. On se limite ainsi à étudier les formes d'ondes et les performances du multiplicateur en fonction de ses paramètres dans un seul canal.

Ce chapitre est organisé comme suit :

Premièrement, l'implémentation du synthétiseur de fréquences par multiplication est détaillée et ses résultats de mesures dans les différents régimes de fonctionnement (libre et forcé) sont exposés.

Ensuite, l'implémentation du circuit détecteur est brièvement décrite dans la deuxième partie. Les résultats de mesures montrant la capacité du circuit de détection à identifier et mesurer les zones de fonctionnement de l'oscillateur sont également donnés dans cette partie.

Enfin, à l'aide d'une boucle de rétroaction extérieure, une preuve de concept de la calibration (de fonctionnalité et performances spectrales) du multiplicateur de fréquences est effectué à la dernière partie de ce chapitre.

4.2 CHAÎNE DE SYNTHÈSE DE FRÉQUENCES PAR MULTIPLICATION

4.2.1 IMPLEMENTATION

Le schéma électrique du générateur de fréquences par multiplication réalisé dans le cadre de ce travail est montré à la Fig. 4-2. Il est constitué d'un circuit de mise en forme DCC – non inclus dans la figure – alimenté par un signal sinusoïdal d'entrée dans la bande de départ autour 2 GHz ; un oscillateur pulsé OSC-P ; et deux oscillateurs verrouillés par injections ILO₁ et ILO₂. Les buffers inter-étages {Buffer 1 ; Buffer 2} admettent un gain programmable et permettent ainsi de contrôler le niveau de signal injecté dans les ILOs. Dans la suite de cette partie, les détails de réalisation de chaque block du circuit sont donnés (à l'exception du DCC dont la réalisation est détaillée au Chapitre 2:).

4.2.1.1 Oscillateur pulsé - OSC-P

La sortie du circuit DCC sous forme d'un signal carré de rapport cyclique donnée alimente l'oscillateur de type gyrateur dont la fréquence d'oscillation libre est dimensionnée dans la bande de 60 GHz . La réalisation électrique de ce block est montrée à la Fig. 4-2 et le dessin du masque (ou layout) associé est montrée à la Fig. 4-3. Il est constitué de deux transistor T₁ et T₂, trois lignes de transmissions type microrubans, un varactor nMOS de capacité programmable et des capacités de découplage C.

La largeur du canal du transistor T₁ ainsi que les dimensions des lignes de transmissions (TL₁ TL₂ et TL₃) sont déterminées pour respecter la condition d'oscillation, c'est à dire pour garantir que la résistance négative implémentée par la partie active compense les pertes dans le résonateur dans la bande de fréquences visée.

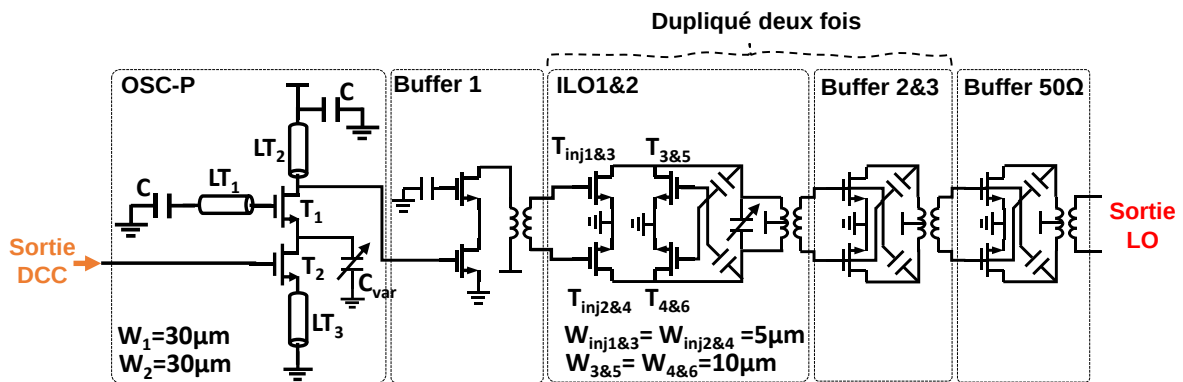


Fig. 4-2 : Réalisation électrique du circuit multiplicateur de fréquences à grand facteur de multiplication N en technologie 45nm CMOS PDSOI. Le circuit de mise en forme DCC n'est pas montré à cette figure.

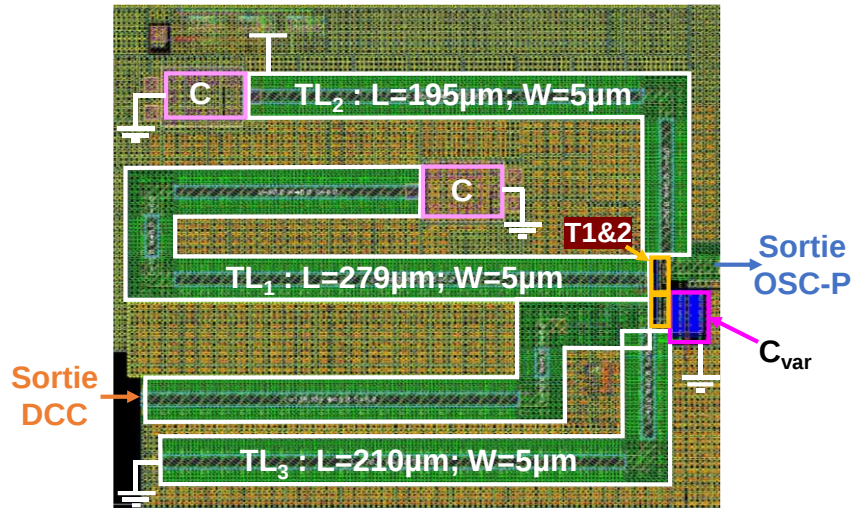


Fig. 4-3 : Dessin du masque de l'oscillateur pulsé réalisé en technologie 45nm CMOS PDSOI.

La fréquence d'oscillation libre $f_{libre,OSCP}$ du circuit gyrateur est contrôlé par la valeur du varactor C_{var} . La variation de ce paramètre détermine la position de l'enveloppe en sinus cardinal (centré autour $f_{libre,OSCP}$) et permet par conséquent de balayer les 4 chaînes de la bande non-licencié 60 GHz (de 58.32 à 64.8 GHz).

L'allumage périodique de l'oscillateur est effectué par l'intermédiaire du transistor T_2 – équivalent à un switch - dont la largeur du canal est fixé à $W_1=30\mu m$. Cette largeur contrôle directement l'excursion de l'amplitude du courant injecté (ou de tension aux bords du transistor) dans l'oscillateur à chaque basculement de la tension du signal de référence et garantit par conséquent la cohérence du signal TORP (détails explicatifs au 2.4.3.2).

Enfin, le signal à la sortie de l'OSC-P sous forme de trains d'oscillations répétés périodiquement TORP alimente un buffer monté en cascode (Buffer 2 ou B2). Il est composé de deux transistors source commune et grille commune en plus d'une charge inductive dimensionnés pour avoir un gain et une bande passante assez large pour supporter les différentes harmoniques du signal TORP entre 58 et 64GHz. Ayant un gain variable (programmable par les tensions de polarisation des transistors), le buffer permet de contrôler le niveau de puissance injecté dans l'ILO₁. Sa charge est constituée d'un balun qui permet de transformer le signal unipolaire (ou Single Ended) à la sortie de l'OSC-P en un signal différentiel adapté à l'opération d'injection dans l'ILO.

4.2.1.2 Oscillateurs verrouillés par injection – ILO₁ et ILO₂

Pour isoler une seule raie spectrale du signal multi-ton TORP, ce dernier est injecté dans l'oscillateur verrouillé par injection ILO₁. La fréquence d'oscillation en régime libre de ce dernier est dimensionnée pour balayer les fréquences de la bande 60-GHz. Le dessin du masque des deux oscillateurs verrouillés par injection ILO₁ et ILO₂ est donné à la Fig. 4-4.

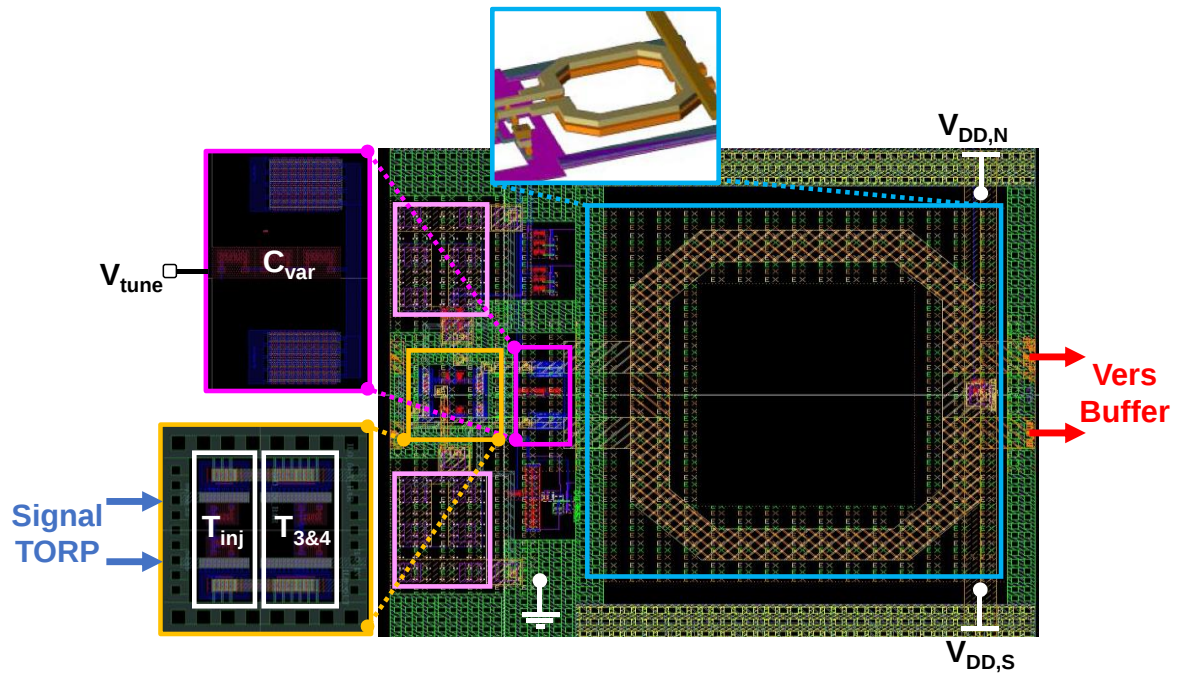


Fig. 4-4 : Dessin de masque des deux montages à paire-croisé injectés (ILOs) réalisés en technologie 45nm CMOS PDSOI.

L'architecture de l'ILO est celle d'un oscillateur à paire croisée. Il est composé de deux transistor T_3 et T_4 , un varactor C_{var} dont la valeur est programmable, un transformateur différentiel et deux transistors d'injection T_{inj1} et T_{inj2} . Pour assurer la symétrie du circuit, deux tensions d'alimentations nord $V_{DD,N}$ et sud $V_{DD,S}$ sont appliqué pour chaque branche du circuit.

Les tailles des transistors T_3 et T_4 et les dimensions du transformateur différentiel sont fixés pour respecter les conditions d'oscillation (équilibre entre les pertes dans le résonateur et la résistance négative ramenée par le couple du transistor) dans toute la gamme de fréquence visée entre 58 et 65-GHz. Le varactor C_{var} de capacité programmable à l'aide de la tension de contrôle V_{tune} permet de modifier la valeur de la fréquence libre et par conséquent sa courbe de sensibilité centré autour de cette dernière. Cela permet de choisir une des raies à la sortie de l'OSC-P et filtrer le reste pour enfin obtenir un signal quasi-sinusoïdal de fréquence multiple à celle de la référence.

Les tailles des transistors d'injection sont fixées à $5\mu m$ (relativement petites) pour respecter les conditions de verrouillage sur une des harmoniques du TORP, mais sans pour autant injecter des puissances élevées qui risquent de dégrader les performances de l'oscillateur (le bruit de phase à hautes fréquences d'offset en particulier). À noter que les tensions de polarisation de ces deux transistors ainsi que le gain des buffer inter-étages permettent de contrôler le niveau d'injection. En pratique, on a fait le choix de fixer un gain optimal des buffers et ensuite affiner le contrôle des niveaux de signal injectés en variant les tensions de polarisation des transistors d'injection.

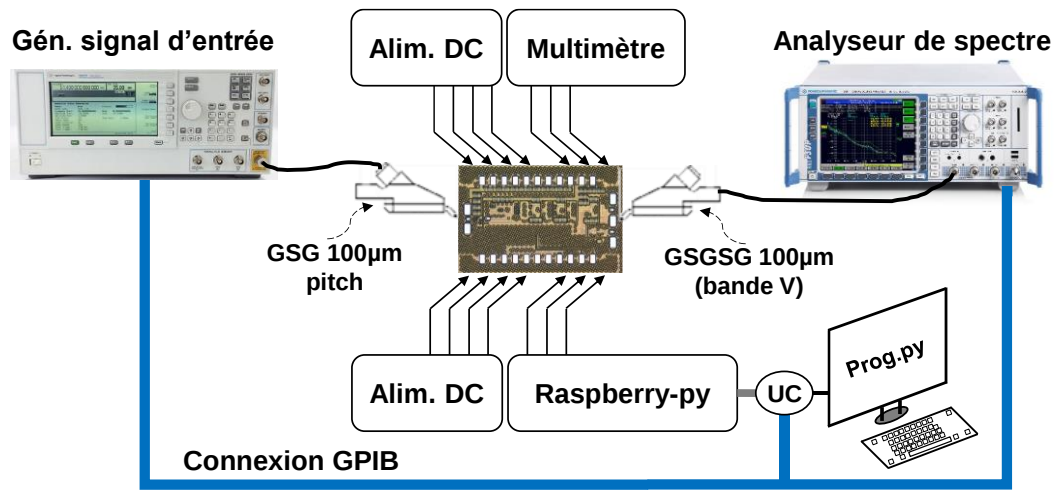


Fig. 4-5 : Montage du dispositif de mesure du multiplicateur de fréquences.

Finalement, dans cette réalisation, l'ILO est dupliqué (ILO₁ et ILO₂) pour principalement augmenter la réjection des raies spectrales voisines à la l'harmonique de sortie visée (les amplitudes harmoniques $N-1$ et $N+1$ où N est le facteur de multiplication cherché). En fin de chaine, un buffer monté en source commune est placé à la sortie de l'ILO₂ afin de ramener une impédance 50Ω adapté pour les mesures du circuit.

4.2.2 MESURES

4.2.2.1 Setup des mesures

Le schéma du dispositif de mesures du multiplicateur de fréquence est montré sur la Fig. 4-5. Le circuit occupe une surface totale de $0.97 \times 1.46 \text{ mm}^2$. Il est mesuré sous pointes. Des pointes RF GSG (pitch $100\mu\text{m}$) sont utilisées pour appliquer le signal d'entrée et GSGSG (pitch $100 \mu\text{m}$) en bande-V pour mesurer la sortie du multiplicateur à la bande autour de 60 GHz . Les pointes DC pour les alimentations et les entrées/sorties de l'interface SPI est un dispositif de $11 \times 2 \text{ DC Probes}$ (pitch $100\mu\text{m}$) répartis de part et d'autre du circuit. Le multiplicateur de fréquences ainsi que le détecteur de verrouillage (DV) sont alimentés par une tension $V_{DD}=1\text{V}$.

Le générateur du signal d'entrée utilisé dans les mesures est *Agilent E8257D*. Il fournit un signal sinusoïdal de fréquence variable dans la bande $1\text{-}10 \text{ GHz}$.

L'interface SPI (pour "Serial Peripheral Interface") intégrée dans le circuit programme des registres de 8-bits (dont ceux des CANs) pour la gestion des tensions de polarisation et les signaux de control internes.

Les appareils de mesures, les alimentations DC et l'interface SPI sont entièrement contrôlés par un environnement de test sur ordinateur. Le rôle de la Raspberry-Py est de convertir les données USB vers le protocole SPI pour permettre le contrôle des registres à l'intérieur du circuit.

4.2.2.2 Résultats

Deux formes d'ondes de la chaîne de multiplication sont mesurées : dans un premier temps, une sonde haute-impédance prélève la sortie du circuit de mise en forme DCC. La forme d'onde correspondante est affichée par l'oscilloscope *Tektronix*. Ensuite, la sortie du multiplicateur de fréquences est mesurée à l'aide de l'analyseur de spectre *R&S FSU67*.

- Signal de référence à la sortie du DCC :

En variant la tension de contrôle du circuit DCC (détermine le seuil de comparaison), le rapport cyclique varie entre les valeurs 10% et 90%. comme montré à la Fig. 4-7(a). La Fig. 4-6 montre trois exemples de réponses temporelles et leurs spectres associés mesurés à la sortie du DCC pour trois différentes valeurs de rapport cyclique α (25%, 50% et 80%). La variation des valeurs du fondamental et les harmoniques 3 à 4 du signal carré de la référence en fonction de la variation du rapport cyclique sont montrés à la Fig. 4-7(b). Les mêmes variations sont prévues par les modèles analytiques du Chapitre 2.

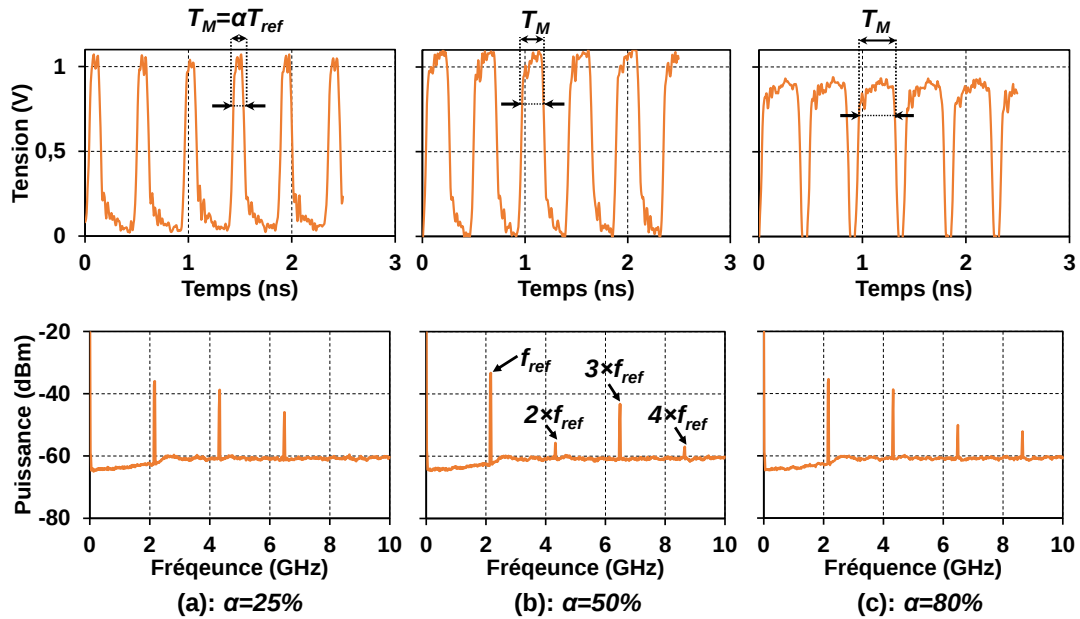


Fig. 4-6 : Frome de l'onde du signal de référence à la sortie circuit de mise en forme pour trois valeurs du rapport cyclique.

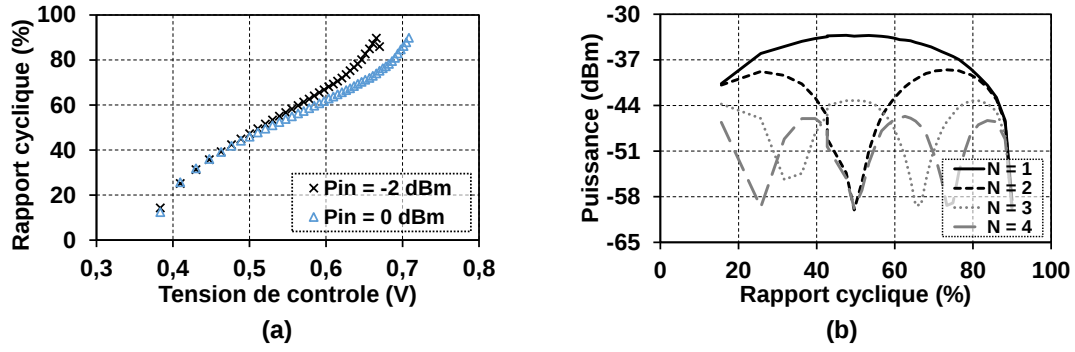


Fig. 4-7 : (a) Valeurs de rapports cycliques mesurées du signal carré de référence à la sortie du DCC en fonction de tension de contrôle et pour deux différentes valeurs de la puissance fournie par le générateur du signal sinusoïdal d'entrée ($P_{in} = -2$ dBm et 0 dBm). (b) Harmoniques du signal de la référence en fonction de α .

- Fréquences libres des oscillateurs ILO₁ et ILO₂ :

La Fig. 4-8 montre les fréquences d'oscillations des oscillateurs ILO₁ et ILO₂ en régimes libres, en absence de signal d'excitation à leurs entrées, en fonction de la tension de contrôle des capacités de leurs résonateurs respectifs. La fréquence de VCO₁ varie dans une plage de fréquences 8.1-GHz autour de la fréquence 61.3-GHz. Cela correspond à une plage d'accord relative de 13.2% permettant ainsi de balayer les quatre premiers canaux du standard IEEE 802.11ay. D'autre part, VCO₂ couvre une plage de 5.6-GHz autour de la fréquence moyenne 60.8-GHz. Avec une plage d'accord relative de 9.2%, VCO₂ permet de couvrir seulement les 3 premiers canaux du même standard IEEE 802.11ay. Bien que VCO₂ ne permet pas d'atteindre CH4 du standard, il est possible de synchroniser ILO₂ à ce canal en lui imposant une grande plage d'accrochage sur ILO₁ (c'est-à-dire en augmentant le niveau d'injection entre ILO₁ et ILO₂). L'association des deux ILOs permet ainsi de couvrir les quatre canaux du standard de travail.

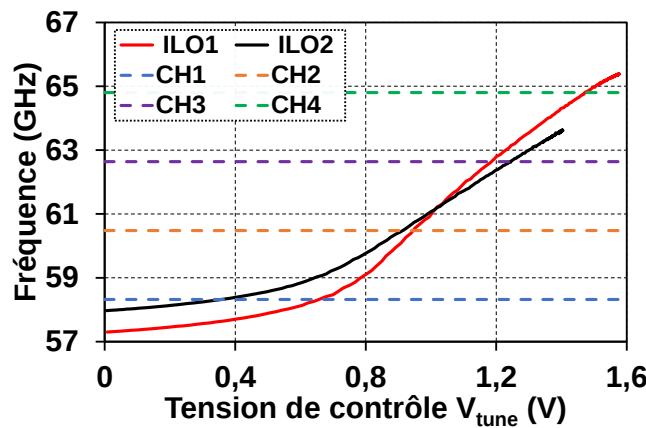


Fig. 4-8 : Fréquence libre d'oscillations ILO₁ (en rouge) et ILO₂ (en noire) en fonction des tensions de contrôle V_{tune} des capacités de leurs résonateurs respectifs.

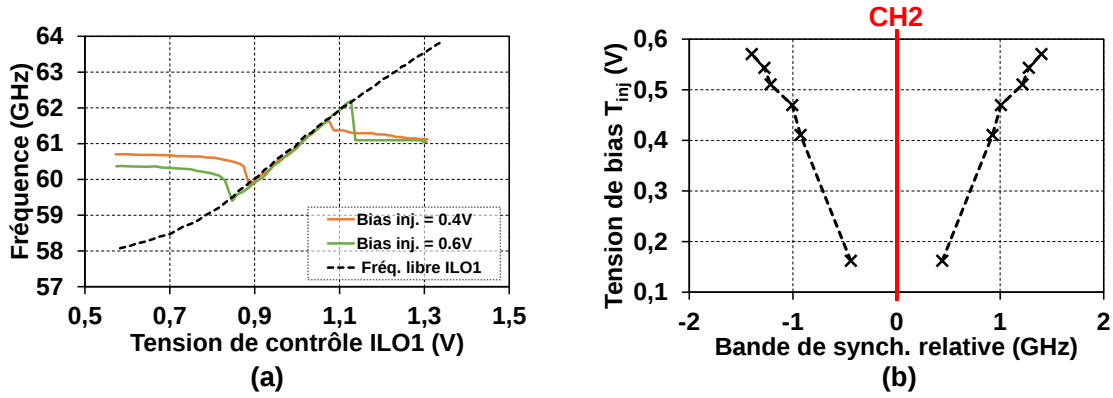


Fig. 4-9 : Injection de ILO₂ par ILO₁ : (a) Fréquence mesurée à la sortie de ILO₂ (lignes pleines) en fonction de tension de contrôle de la fréquence du signal d'excitation ILO₁ et pour deux valeurs de tension de polarisation des transistors d'injection. (b) Courbe de sensibilité correspondant qui résume les plages d'accrochage de ILO₂ sur ILO₁ pour différents niveaux injections. A noter que la fréquence libre de ILO₂ est dans cas fixé à une valeur proche de 60.48-GHz (CH2).

- Courbe de sensibilité :

Afin de donner des ordres de grandeurs sur les plages de synchronisation des oscillateurs ILO₁ et ILO₂, on a mesuré la courbe de sensibilité (bandes de verrouillages en fonction du niveau d'injection) de l'ILO₂ sur l'ILO₁ et les résultats sont illustrés sur la Fig. 4-9. La fréquence d'oscillation libre de l'oscillateur injecté est fixé à une valeur proche de 60.48-GHz. Pour chaque point de mesure sur la figure de gauche, on fait varier la tension de contrôle de la fréquence d'excitation ILO₁ (e. g. la variable est la fréquence injecté $f_{inj}(V_{tune})=f_{libre,ILO1}$) pour enfin mesurer la fréquence à la sortie de ILO₂. Pour chaque niveau d'injection (ou tension de polarisation des transistors d'injection), l'ILO₂ est synchronisé à ILO₁ quand, en variant la tension de contrôle V_{tune} de l'ILO₁, la fréquence à la sortie de ILO₂ suit celle du ILO₁ ($f_{libre,ILO2}=f_{libre,ILO1}$). En répétant cette opération pour plusieurs niveaux d'injections, on obtient la courbe de sensibilité de ILO₂ comme montré à la Fig. 4-9(b). Les bandes de synchronisations varient donc entre quelques centaines de MHz à quelques GHz.

- Multiplicateur de fréquences à grand facteur de multiplication :

Dans ce cas, tous les blocks du circuit sont actifs et on accorde les tensions de contrôle et de polarisations pour obtenir le spectre montré à la Fig. 4-10(a). Le circuit multiplicateur de fréquence consomme 44 mW. L'oscillateur génère dans ce cas un signal quasi-sinusoïdal de fréquence égale à la 27^{ème} harmonique du signal d'entrée. Cela correspond à une multiplication par le facteur $N=27$. La réjection des harmoniques adjacentes dans ce cas est de plus de 37-dB. La figure de bruit de phase associé au spectre prélevé est montrée à la Fig. 4-10(b). Le bruit de phase résultant à 1 MHz et 1 GHz d'offset sont de -96 dB/Hz et -123 dBc/Hz respectivement. Le tableau résume les performances du circuit. Ces résultats seront améliorés dans la suite.

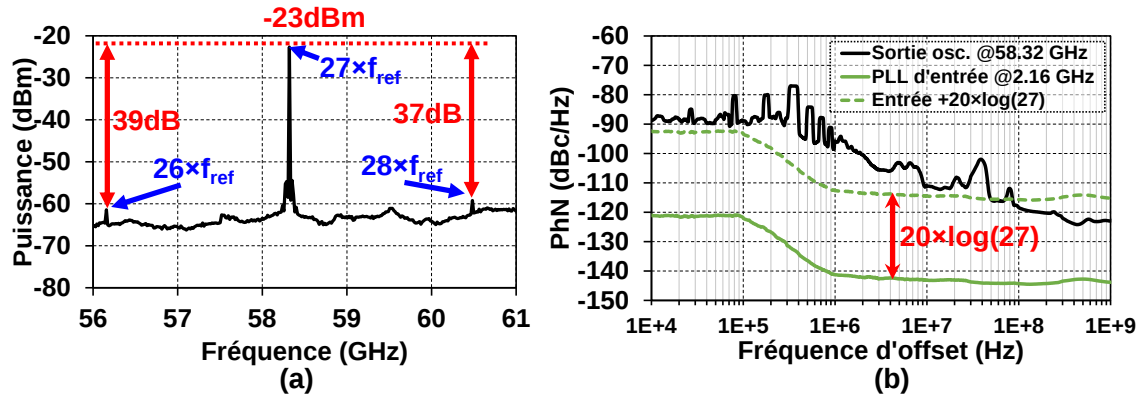


Fig. 4-10 : Spectre de sortie du multiplicateur accordé sur la 27^{ème} harmonique de la référence (CH1 : multiplication par 27) et le bruit de phase correspondant. Dans la deuxième

Tableau 4-1 : Résumé des performances du circuit.

Technologie	f_{ref} (GHz)	f_s (GHz)	PhN (dBc/Hz)		RMS jitter [10kHz – 1GHz] (fs)	P_{DC} (mW)
		N	@1MHz	@1GHz		
45nm PDSOI	2.16	58.32	-96	-123	227	44
		27				

4.2.2.3 Espaces de variation du bruit de phase du multiplicateur

Dans cette partie, les techniques et méthodologies d'amélioration des performances du circuit sont exposées. En effet, une exploitation des résultats d'analyses proposées dans le Chapitre 2 sera appliquée. Pour simplification, au lieu de traiter le bruit de phase à une fréquence d'offset, on opte pour la valeur de la moyenne quadratique de la gigue intégrée (ou RMS jitter intégré) dans la bande [10kHz – 1GHz]. En effet, cette valeur est plus significative car elle représente une intégrale du bruit de phase dans toute la bande d'intérêt des applications larges bandes.

- Variation du rapport cyclique du signal carré de référence

La Fig. 4-11 montre le RMS jitter intégré entre les fréquences 10kHz et 1GHz en fonction du rapport cyclique α du signal carré de référence (ou la tension de contrôle de α). La valeur de l'intégrale du bruit dans la bande d'intérêt est ainsi minimale autour des valeurs médianes du rapport cyclique (autour de $\alpha=50\%$) tandis qu'elle diverge aux extrémités. La dégradation aux valeurs limites de α est justifiée par la dégradation du bruit introduit par le circuit de mise en forme.

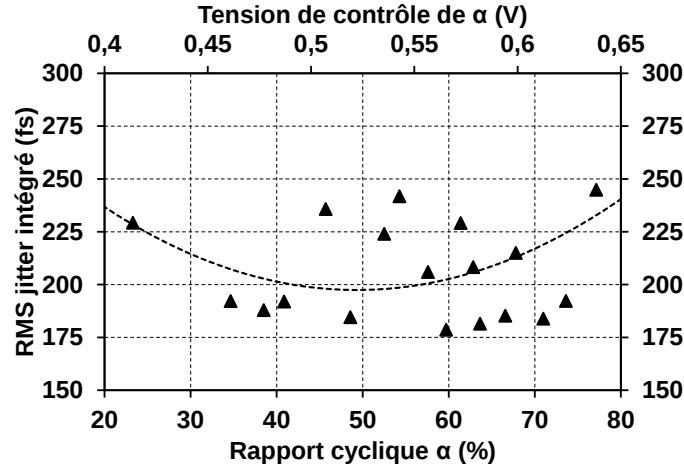


Fig. 4-11 : Résultats de mesures de la moyenne quadratique de la gigue intégrée dans la bande [10kHz – 1GHz] (ou RMS Jitter intégré) en fonction du rapport cyclique ou sa tension de contrôle.

Ce résultat impose par conséquent une contrainte sur les valeurs du rapport cyclique à appliquer pour synthétiser les fréquences destinées à certaines applications. Des considérations de bruits doivent être pris en compte dans ces cas. En revanche, pour des applications où la valeur de α représente un degré de liberté supplémentaire, une amélioration de plusieurs centaines de femto-secondes sur le RMS jitter est possible en appliquant un signal carrée symétrique dans le temps.

- Variation de la fréquence libre d'oscillation

Rappelons que la variation de la capacité du résonateur $C_{t,ILO1/2}$ contrôle la fréquence $f_{libre,ILO1/2}$ et par conséquent la position de fréquence injecté à l'intérieure de la courbe de sensibilité de l'ILO_{1/2}.

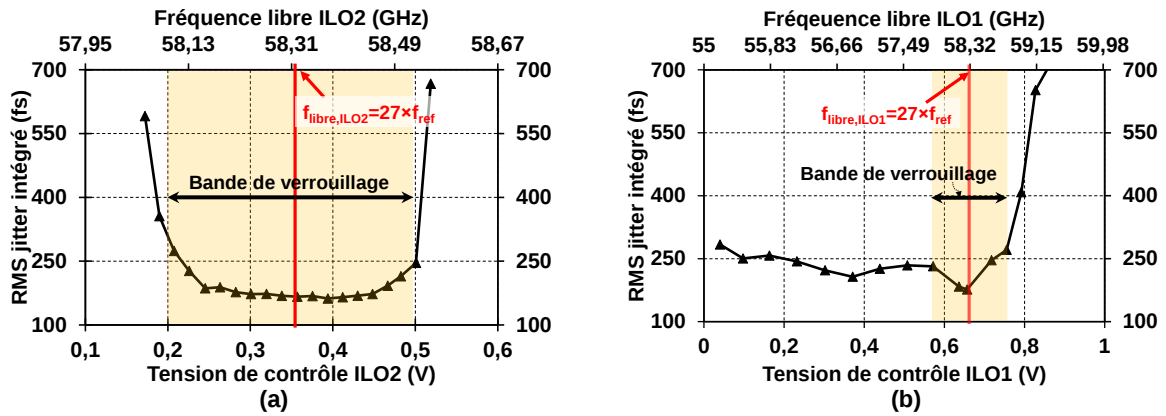


Fig. 4-12 : RMS jitter intégré dans la bande [10kHz – 1GHz] à la sortie du multiplicateur à la fréquence porteuse 58.32 GHz en fonction de : (a) la tension de contrôle de la capacité du résonateur de l'oscillateur verrouillé par injection ILO₂ ; (b) La tension de contrôle de la capacité du résonateur de l'oscillateur ILO₁. Les fréquences libres associées aux tensions de contrôle sont également affichées sur l'axe horizontal secondaire.

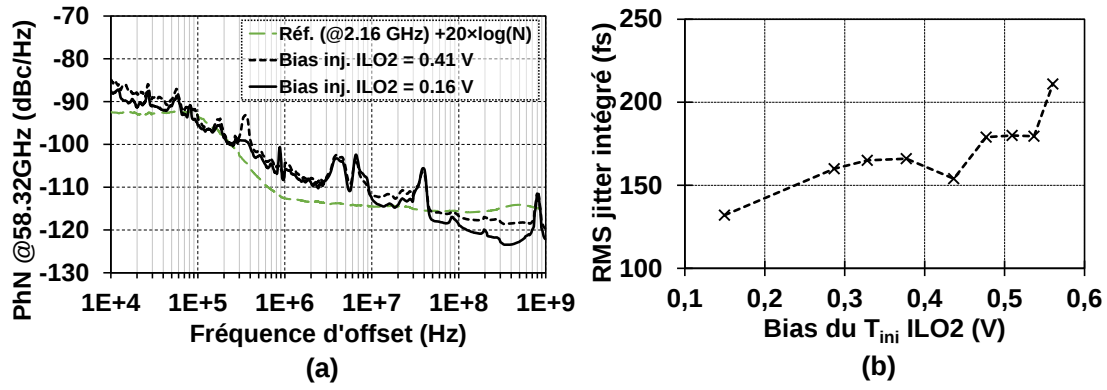


Fig. 4-13 : (a) Figures de bruit de phase à la sortie de multiplicateur à la fréquence porteuse 58.32-GHz pour deux valeurs de tension de polarisation du transistor d'injection $T_{inj3\&4}$ (contrôle le niveau d'injection). Comparaison avec la figure de bruit de phase de l'entrée dégradé par la valeur théorique de $20 \times \log(27)$. (b) RMS jitter intégré dans la bande [10kHz – 1GHz] en fonction de la tension de contrôle du niveau de puissance injecté dans l'ILO₂ de sortie.

La Fig. 4-12(a) montre la variation du RMS jitter intégré à la sortie du circuit multiplicateur à la fréquence porteuse 58.32 GHz en fonction de la tension de contrôle de la valeur de la capacité du résonateur (contrôlant la fréquence libre d'oscillation $f_{libre,ILO2}$). Le bruit résultant dépend ainsi de la position de la fréquence injectée à l'intérieure de la bande de verrouillage. En effet, une valeur minimale est obtenue au milieu de cette bande ; c'est-à-dire, quand les deux fréquences injectées et libres sont alignées (i. e. $f_{libre,ILO2} = N \times f_{ref}$ où $N=27$ ici). Sous la condition de verrouillage, une amélioration de plusieurs dizaines de femto-secondes est possible en variant ce paramètre.

La même opération est répétée à la Fig. 4-12(b) avec cette fois le changement de la valeur de la capacité du résonateur ILO₁ (contrôlant $f_{libre,ILO1}$). Comme dans le cas précédent, une valeur minimale du bruit intégré est obtenue pour $f_{libre,ILO1} = N \times f_{ref}$.

- Variation du niveau de signal d'injection

Le niveau de signal d'injection représente la quantité de courant injecté dans l'oscillateur ILO. Elle peut être contrôlée par différentes techniques : (1) en utilisant un étage de gain variable entre l'OSC-P et l'ILO ; ou (2) en contrôlant la transconductance équivalente des transistors d'injections T_{inj} . On a opté pour la deuxième technique afin d'avoir une variation quasi-linéaire du niveau d'injection.

La Fig. 4-13(a) compare deux exemples de la figure de bruit de phase à 58.32-GHz. La courbe continue correspond à une tension de polarisation $V_{bias,inj3\&4} = 0.16V$ appliquée aux transistors d'injection dans l'ILO₂ $T_{inj3\&4}$, tandis que la deuxième est obtenue pour $V_{bias,inj3\&4} = 0.4V$. Les deux figures de bruit sont également comparées au bruit de phase du signal sinusoïdal d'entrée augmenté de $20 \times \log(N)$ (où $N=27$ représente l'ordre de multiplication).

D'abord, une grande amélioration est visible quand on compare les deux courbes à celle obtenue dans la Fig. 4-10. En effet, en basse fréquences d'offsets, les deux figures de bruit sont proches et copient le bruit de phase de l'entrée avec une dégradation théorique proportionnelle au rapport de multiplication. A partir de 40 MHz d'offset, on remarque un comportement de filtrage pour lequel le bruit à la sortie du multiplicateur ne suit plus le bruit de phase de l'entrée.

Ensuite, une meilleure réjection du bruit de phase est obtenue pour le cas d'application d'un signal d'injection faible (i. e. $V_{bias, inj3\&4}=0.16\text{V}$). Cela est justifié, comme prévu par les modèles proposés au deuxième chapitre, par une fréquence de coupure du filtre équivalent en bruit plus faible, essentiellement due à un faible niveau d'injection dans l'oscillateur ILO_2 .

Enfin, la Fig. 4-13(b) expose les résultats de mesures du RMS jitter intégré à 58.32-GHz pour plusieurs niveaux d'injection dans l' ILO_2 . Le RMS jitter résultant (bande d'intégration entre 10-kHz et 1-GHz) varie entre 132 fs dans le cas d'injection faible ($V_{bias, inj3\&4}=0.16\text{V}$) et 211 fs pour une injection relativement élevée ($V_{bias, inj3\&4}=0.56\text{V}$). Soit une amélioration totale de 37% .

4.2.3 CONCLUSIONS

Les mesures et les techniques d'amélioration présentés plus haut ont permis de valider les méthodologies construites à partir des modèles proposés dans les chapitres précédents. Par ailleurs, ces méthodologies ont permis d'accorder le circuit multiplicateur de fréquences afin d'obtenir des performances compétitives avec l'état de l'art. La Fig. 4-14 montre le spectre et le bruit de phase à la sortie de l'oscillateur synchronisé à la fréquence 58.32 GHz après optimisation.

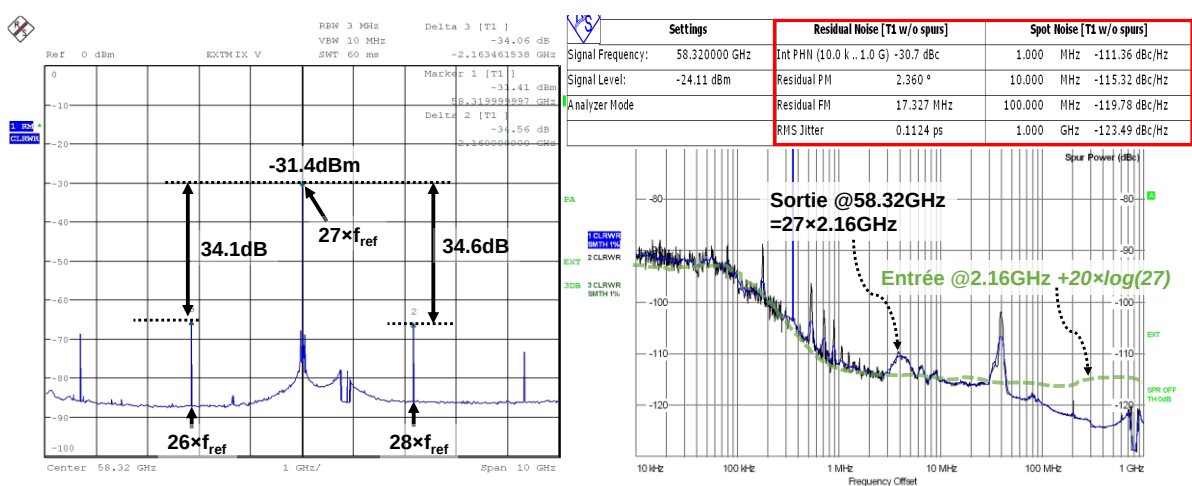


Fig. 4-14 : Spectre (à gauche) et figure de bruit de phase (à droite) du synthétiseur de fréquences par multiplication dans la bande millimétrique et à grand facteur de multiplication.

Tableau 4-2 : Comparaison des résultats du circuit multiplicateur de fréquences avec l'état de l'art.

	Technologie CMOS	f_{ref} (GHz)	f_s (GHz)	PhN @ f_s (dBc/Hz)		RMS jitter [bande intégration (Hz)]	P_{DC} (mW)
			$\times N$	@1MHz	@1GHz		
[4]	65nm	20	58.32-64.8	-91	--	290 fs [10k – 40M]	32
			3				
[5]	130nm	8	24	-104	--	130 fs [10k – 100M]	38
			3				
[6]	130nm	8.85	26.5-29.7	-106	-118	--	49.7
			3				
[7]	65nm	3.8	28-31	-105	--	76 fs [1k – 30M]	42
			7.5				
[8]	65nm	1.2	22.8	-109	--	153 fs [1k – 30M]	7.4
			19				
[9]	65nm	1.5	25-30	-101	--	206 fs [1k – 100M]	34.6
			15				
Ce travail	45nm PDSOI	2.16	58.32-64.8	-111	-119	112 fs [10k – 1G]	44
			27-30				

Le Tableau 4-2 compare les performances du synthétiseur de fréquences présenté avec les techniques de multiplication réalisé à l'état de l'art. Fort par un grand facteur de multiplication, le bruit de phase obtenu à la bande 60-GHz est très faible comparé aux autres solutions fonctionnant à des bandes de fréquences inférieures. A la fréquence porteuse 58.32-GHz le bruit de phase à 1MHz d'offset est de -111 dBc/Hz. A la même fréquence d'offset et pour une fréquence de sortie deux fois plus faible (meilleure facteur de qualité), l'oscillateur présenté à [8] atteint un bruit de phase de -109 dBc/Hz. De même que la solution présentée dans ce travail, cela est en effet obtenue grâce l'utilisation d'une fréquence de référence très basse autour 1.2-GHz et un grand facteur de multiplication de l'ordre de 19.

Par ailleurs, la moyenne quadratique de la gigue intégrée dans la bande [10kHz – 1GHz] et à la fréquence de sortie de 58.32 GHz est de 112 fs. Les multiplicateurs présentés dans [5] et [7] atteignent des valeurs de 130 fs et 76 fs aux fréquences de fonctionnement 29-GHz et 24-GHz respectivement et sur des bandes d'intégration 10 fois plus faibles [10kHz – 100MHz].

4.3 INTEGRATION DU DETECTEUR DE FONCTIONNALITE DANS LE MULTIPLICATEUR DE FREQUENCES

4.3.1 IMPLEMENTATION

Le schéma block du circuit complet intégrant le multiplicateur de fréquences et le détecteur de verrouillage (DV) est montré dans la Fig. 4-15(a). Le principe de fonctionnement est décrit à la Fig. 4-15(b).

Contrairement aux techniques classiques utilisant des circuits de détection fonctionnant à la même gamme de fréquences que la sortie de l'oscillateur [10-11], la technique utilisée dans ce circuit repose sur une approche innovante de sous-échantillonnage permettant de replier l'information en bande de base. En effet, la sortie du multiplicateur est sous échantillonné par le même signal carré de référence utilisé dans la multiplication (i. e. même fréquence de référence f_{ref}). Le contenu spectral de la sortie de l'ILO₂ autour de l'harmonique N de la référence est donc replié à la bande autour de DC. Quand l'ILO est verrouillé sur cette harmonique, le contenu spectral autour de celle-ci est relativement faible et par conséquent la puissance repliée en bande de base, hors le terme à DC, est faible (illustration Fig. 4-15(b)). En revanche, quand l'ILO n'est pas verrouillé à une harmonique $N \times f_{ref}$, son spectre de sortie contient plusieurs termes provenant du spectre de l'ILO en oscillation libre ainsi que des termes d'intermodulation entre sa fréquence libre d'oscillation et les harmoniques de la référence (illustration Fig. 4-15(b)). Ces termes sont repliés autour du DC par le circuit sous-échantillonneur et apparaissent dans son spectre de sortie en bande de base. L'intégrale du signal de bande-base, en excluant le terme à DC, obtenue par le sous-échantillonneur donne donc une indication du contenu spectral autour de $N \times f_{ref}$ à la sortie de l'ILO dans les deux cas : soit très faible en cas de verrouillage, soit avec un certain niveau si l'ILO n'est pas verrouillé, comme le montre la Fig. 4-15(b).

La Fig. 4-15(c) montre le reste des blocks constitutifs du détecteur de verrouillage. Le contenu spectral à la sortie du sous-échantillonneur est ensuite amplifié et filtré par un amplificateur à grand gain. Le gain de ce block est d'environ 40 dB pour compenser les pertes de puissances dues à l'opération du sous-échantillonnage. La bande passante est définie entre 35 MHz et 1 GHz afin filtrer la composante DC en bande de base et de ne pas intégrer les harmoniques de f_{ref} présentes dans les deux états de sortie de l'oscillateur (i. e. état verrouillé et non-verrouillé) et qui fausserait la mesure.

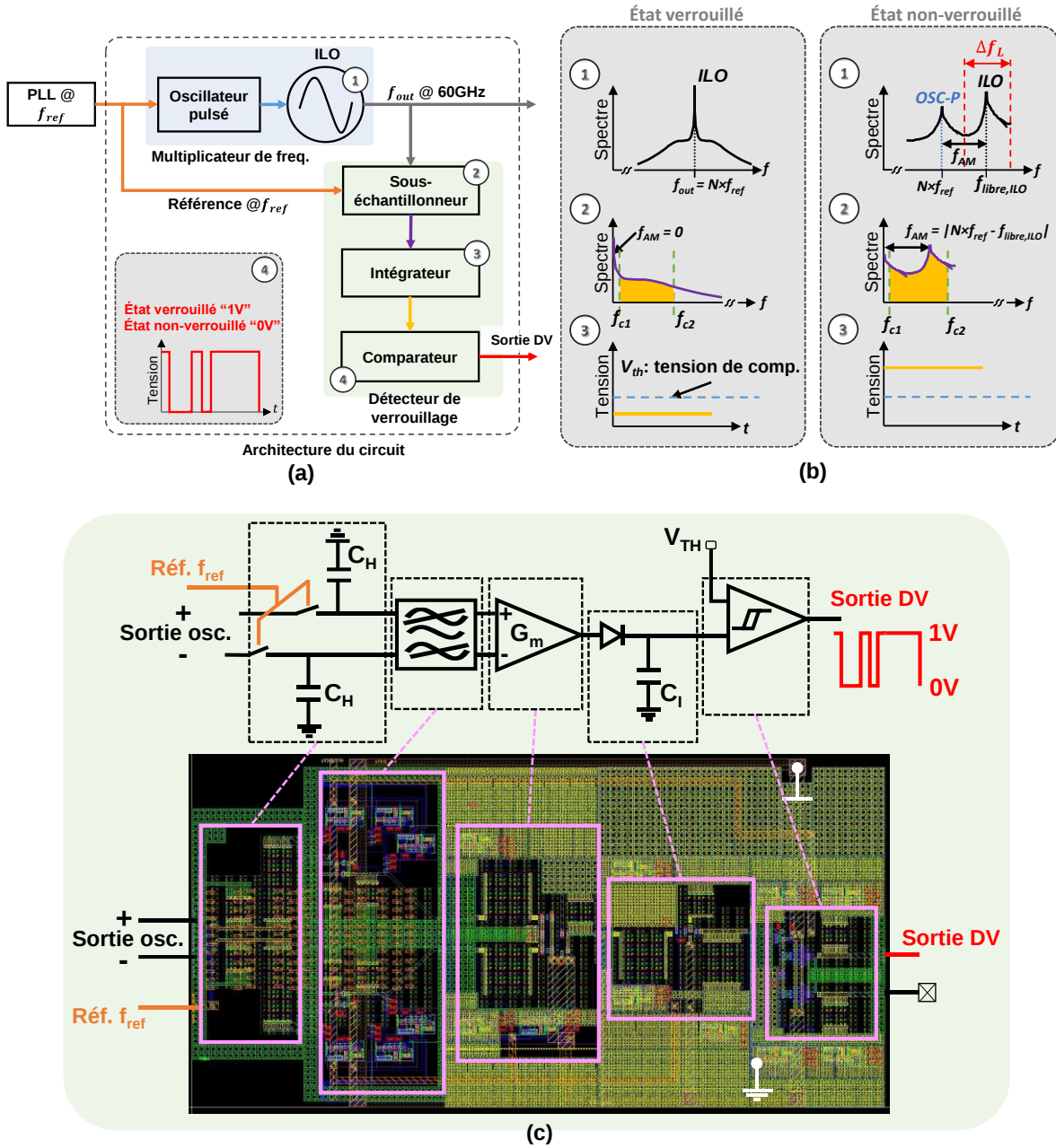


Fig. 4-15 : Intégration de détecteur de verrouillage dans le multiplicateur de fréquences. (a) Schéma-block du circuit complet. (b) Principe de fonctionnement du détecteur de verrouillage (DV), (c) son dessin du masque et détails des blocks constituant (dimensions du LD 248×138 μm^2).

Le spectre à la sortie de l'amplificateur à grand gain est ensuite intégré par un intégrateur/rectificateur pour obtenir une tension proportionnelle à la densité de puissance spectrale dans la bande intégrée (illustration Fig. 4-15(b)). Ensuite, cette tension à la sortie de l'intégrateur est comparée avec une tension de seuil V_{TH} afin de distinguer les deux états possibles du multiplicateur de fréquences (verrouillé/non-verrouillé). La comparaison est effectuée par un comparateur à très grand gain d'environ 63dB.

Comme illustré par la Fig. 4-15(b), le comparateur suit et affiche un signal DC en temps réel permettant de connaître l'état de sortie du multiplicateur de fréquences. Quand la sortie de

l'oscillateur est synchronisée à $N \times f_{ref}$, la sortie du comparateur est un signal DC à «1V». Il devient «0V» quand la synchronisation ne se produit pas. Entre deux changements d'états à la sortie de l'oscillateur (de l'état verrouillé à l'état non-verrouillé ou l'inverse), la latence entre le spectre et la sortie du comparateur en temps réel est estimée par simulation à une valeur autour de $100ns$.

4.3.2 MESURES

4.3.2.1 Setup des mesures

Le schéma du dispositif de mesures du multiplicateur de fréquence est montré à la Fig. 4-16. Ce montage est similaire à celui décrit dans la partie 4.2.2.1 à l'exception du rajout d'une sonde haute impédance et d'un multimètre pour prélever la sortie du détecteur de verrouillage. Dans le but d'effectuer des comparaisons entre le spectre de sortie, la sortie du comparateur et la puissance intégrée en bande de base ; la tension de sortie de l'intégrateur est également mesurée à l'aide d'une sonde intégrée dans le circuit (monitoring analogique du nœud). A noter que le circuit consomme dans ce cas 49.2 mW répartie entre le synthétiseur de fréquences (44 mW) et le détecteur de verrouillage (5.2 mW).

- Résultats

Dans cette partie, la fréquence de référence est fixée à 2.23-GHz de tel sorte à se situer sur la partie linéaire des courbes de variation des fréquences d'oscillation libres en fonction de la tension de contrôle (voir Fig. 4-8). 60.21-GHz serait ainsi la $27^{\text{ème}}$ harmonique dans ce cas.

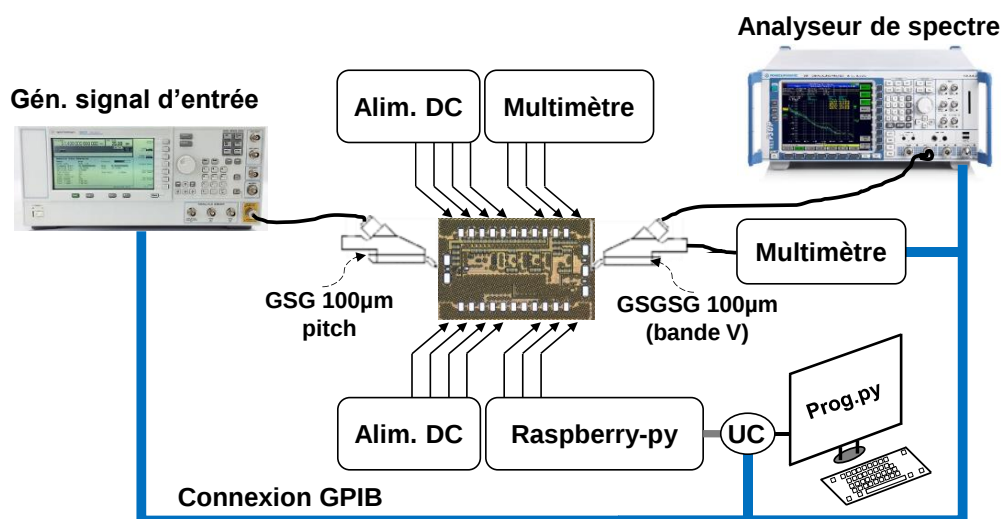


Fig. 4-16 : Montage du dispositif de mesure de l'ensemble multiplicateur de fréquence et le détecteur de verrouillage.

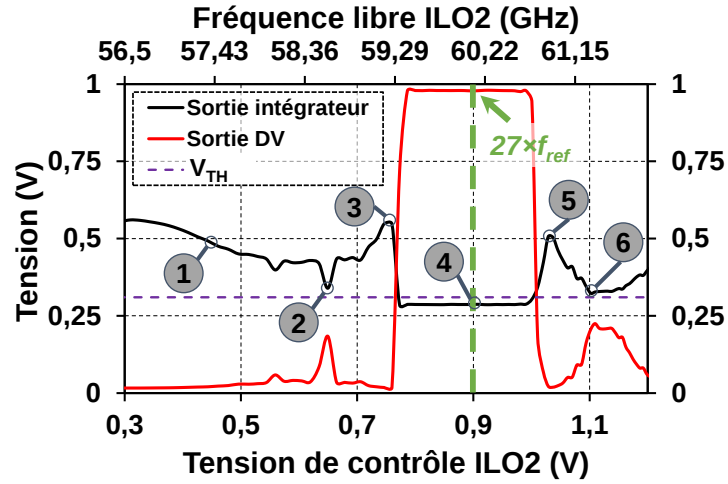


Fig. 4-17 : Sortie de l'intégrateur et celle du détecteur de verrouillage (DV) en fonction de la tension de contrôle de la capacité du résonateur (contrôlant la fréquence d'oscillations libre $f_{libre,ILO2}$). Des exemples de spectres pour 6 points (1-6) sont montrés à la Fig. 4-18.

La Fig. 4-17 montre la sortie du détecteur de verrouillage (DV) ainsi que la sortie de l'intégrateur en fonction de la tension de contrôle de la capacité du résonateur de l'ILO₂ (ou de sa fréquence d'oscillation libre $f_{libre,ILO2}$). En fonction de cette dernière, l'oscillateur traverse trois régions : région non-verrouillée basse (RNB) entre 0,3V et 0,75V ; région verrouillée (RV) entre les tensions 0,75V et 1V et la dernière région non-verrouillée haute (RNH) entre les tensions 1V et 1,2V. Dans la première et dernière région, la tension du comparateur est à l'état logique bas « 0V » indiquant que l'oscillateur n'est pas verrouillé. Dans la région du milieu cette tension est à l'état haut « 1V » indiquant le verrouillage de l'oscillateur. Pour visualiser les formes d'ondes dans les trois régions, six points sont choisis et leurs spectres respectifs sont montrés sur la Fig. 4-18.

Pour les points 1 et 2, on remarque un spectre bruité résultant des termes d'intermodulation entre la fréquence libre d'oscillation $f_{libre,ILO2}$ et les harmoniques injectés (26^{ème} et 27^{ème} harmoniques de la référence de fréquences respectives de 57,98 GHz et 60,21 GHz). Dans le premier spectre, on remarque que les puissances des termes proches de la 26^{ème} harmonique sont relativement plus fortes en raison de la différence faible entre cette dernière et la fréquence libre de l'ILO₂ (c'est l'effet de pulling décrit dans les chapitres précédents). Dans le deuxième exemple, $f_{libre,ILO2}$ se situe exactement au milieu des deux harmoniques. Dans les deux cas, le contenu spectral autour des 26^{ème} et 27^{ème} harmoniques de la référence est replié par le sous-échantillonneur en bande de base pour obtenir une tension non-négligeable à la sortie de l'intégrateur (voir Fig. 4-17). A noter que, sur le point de mesure 2, la tension intégrée obtenue est relativement faible car la puissance repliée en bande de base dans ce cas tombe à la limite de la bande de filtrage de l'amplificateur à grand gain utilisé dans le DV.

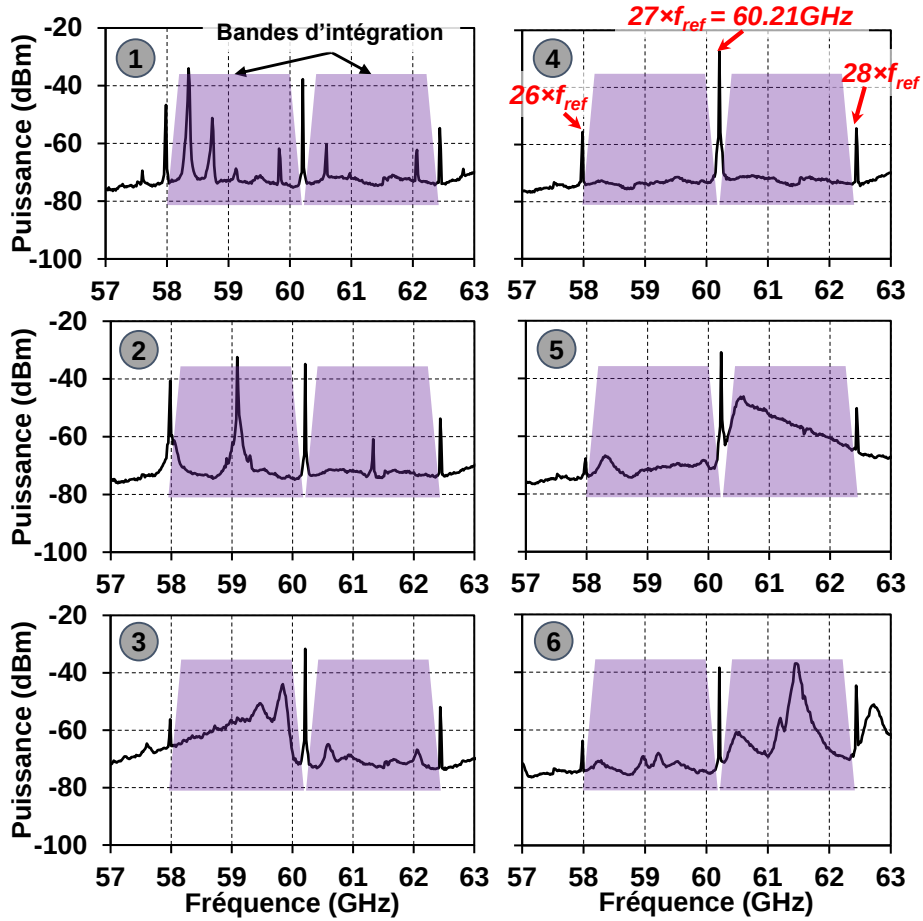


Fig. 4-18 : Exemple de spectres à la sortie du multiplicateur de fréquences pour six valeurs de tension de contrôle de la capacité du résonateur ILO_2 V_{tune} : ① 0.43V ; ② 0.65 V ; ③ 0.75V ; ④ 0.9V ; ⑤ 1V ; ⑥ 1.12V.

Un autre point important est montré par le troisième point. En effet, cet état représente un point de bifurcation (ou « turning point » en Anglais) entre les deux régions RNB et RV. Dans ce cas, la puissance spectrale est étalée entre les deux harmonique 26 et 27 de la référence avec un niveau de puissance fort du côté de la 27^{ème} indiquant ainsi une distance faible entre ce dernier et la bande de verrouillage de l' ILO_2 .

A partir du point de bifurcation, une incrémentation de la tension de contrôle permet de verrouiller l'oscillateur ILO_2 sur la 27^{ème} harmonique de la référence. On se situe ainsi à la région intermédiaire verrouillé RV. Un exemple de spectre est dans ce cas montré par le quatrième point de la Fig. 4-18.

Comme illustré par le quatrième point, le spectre de sortie du multiplicateur de fréquence dans cette région est celui d'un signal quasi-sinusoïdal de fréquence 60.21 GHz (i. e. $27 \times f_{\text{ref}}$) avec une réjection des raies adjacentes de plus de 30dB. Par ailleurs, contrairement aux exemples précédents, on remarque l'absence de raies dans la bande visible par le détecteur de verrouillage. Cela explique la valeur de tension obtenue à la sortie de l'intégrateur qui est ainsi inférieure à la

tension de seuil V_{TH} (voir Fig. 4-17). Le détecteur de verrouillage est à l'état haut « 1V » : c'est le fonctionnement souhaité du synthétiseur de fréquences par multiplication.

En augmentant d'avantage la tension de contrôle de la fréquence d'oscillation libre de l'ILO₂, on rencontre un deuxième point de bifurcation dont le spectre est montré par le cinquième exemple de la Fig. 4-18. On est ainsi dans la région RNH où l'oscillateur n'est plus verrouillé sur la 27^{ème} harmonique de la fréquence. Par symétrie au premier point de bifurcation, le spectre contient une puissance étalée entre les harmoniques 27 et 28 de la référence. Le niveau de puissance est important au voisinage de la 27^{ème} indiquant ainsi sa sortie imminente de la bande de sensibilité de l'ILO₂. Ce niveau de puissance est replié en bande de base pour obtenir une tension intégrée supérieure à la tension de seuil V_{TH} . Résultat : la sortie du DV est à l'état bas « 0V ».

Le dernier exemple d'illustration dans la RNH est un cas symétrique au spectre numéro 2 où la fréquence d'oscillation libre tombe exactement au milieu des deux raies 27 et 28. De même, la tension à la sortie de l'intégrateur est relativement faible dans ce cas car la puissance repliée en bande de base se situe à la limite de la bande de filtrage de l'amplificateur à grand gain utilisé dans le DV. Cette tension reste en revanche légèrement supérieure à la tension de seuil V_{TH} . Enfin, à l'aide du gain important du comparateur, le DV arrive à distinguer l'état non-verrouillé de la sortie de l'oscillateur. Cette limitation de la bande passante de l'amplificateur à grand gain peut fausser la mesure dans certain cas. Il faut ainsi l'augmenter légèrement dans les prochaines versions de ce circuit.

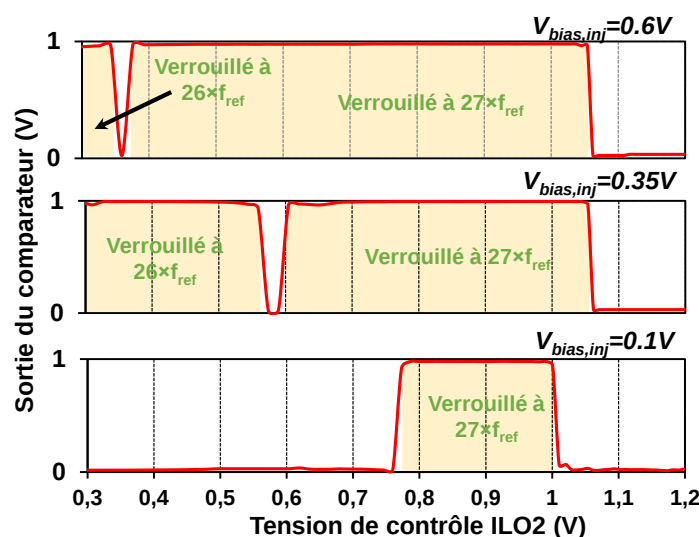


Fig. 4-19 : Sortie du détecteur de verrouillage (DV) en fonction de la tension de contrôle de la capacité du résonateur (contrôlant la fréquence d'oscillations libre $f_{libre,ILO2}$) pour trois valeurs de la tension de polarisation du transistor d'injection $T_{inj3\&4}$ (contrôlant le niveau d'injection). La bande de synchronisation augmente en augmentant ce dernier.

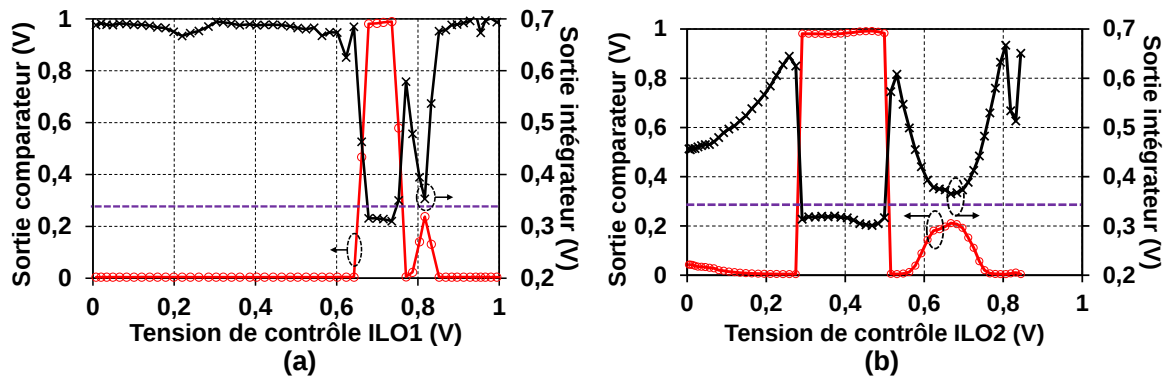


Fig. 4-20 : Sortie du détecteur de verrouillage (DV) en fonction de la tension de contrôle des capacités des deux ILOs de sortie ILO₁ et ILO₂ (contrôlant la fréquence d'oscillations libre $f_{libre,ILO1\&2}$).

L'opération décrite jusqu'à ce point correspond à un seul niveau d'injection. La Fig. 4-19 montre la sortie du DV pour différentes tensions de polarisation des transistors d'injection $T_{inj3\&4}$ (contrôlant le niveau d'injection). Pour une question de simplification, il faut noter qu'un comparateur parfait est rajouté à la sortie du DV pour compenser la limitation de la bande passante de l'amplificateur à grand gain. En effet cela sert à distinguer les zones de sensibilité de l'oscillateur ILO₂ aux différents harmoniques injectés (du haut : première et deuxième courbe de la Fig. 4-19). Comme discuté dans les parties précédentes, l'augmentation du niveau d'injection agrandi la largeur de la bande de synchronisation. Cela est également détecté par le détecteur de verrouillage intégré dans le multiplicateur de fréquences.

Finalement, la Fig. 4-20 montre les mesures de la sortie du détecteur de verrouillage et celle de l'intégrateur en fonction des deux tensions de contrôle des capacités des deux oscillateurs de sortie ILO₁ et ILO₂ (Fig. 4-20(a) et Fig. 4-20(b) respectivement). A noter que dans ce cas la fréquence d'entrée est fixée à $f_{ref}=2.16\text{ GHz}$ et la zone verrouillée du milieu des deux figures correspond au verrouillage sur la 27^{ème} harmonique de la référence (i. e. 58.32 GHz). Comparé aux résultats de la Fig. 4-17, cela justifie le positionnement de la région verrouillée entre les tensions de contrôle 0.3V et 0.5V à la Fig. 4-20(b). Ces résultats montrent qu'un seul détecteur de verrouillage suffit pour détecter la fonctionnalité du multiplicateur de fréquence même dans le cas d'utilisation de deux ILOs en cascade.

4.3.3 CONCLUSIONS

Le circuit détecteur de verrouillage présenté dans ce travail permet ainsi de détecter les zones de fonctionnalité du multiplicateur de fréquences en fonction des différents paramètres du circuit.

Le Tableau 4-3 résume les performances du circuit synthétiseur de fréquences par multiplication intégrant le circuit de détection de verrouillage présenté dans ce travail. Une comparaison est également faite avec les autres solutions de générations de fréquences par multiplication

intégrant des circuits de calibrations. Le circuit de détection proposé consomme $5.2\text{-}mW$ dont $3.9\text{-}mW$ est consommé par le comparateur de sortie destiné à produire une tension DC à des fins de mesures. Dans une version intégrée de la boucle de rétroaction, on peut exclure ce block et fermer la boucle en exploitant le signal analogique à la sortie de l'amplificateur. Une calibration plus rapide et précise est possible étant donné que la fréquence de ce dernier est proportionnelle à la différence $|N \times f_{ref} - f_{libre, ILO}|$. Dans ce cas le traitement de l'information du verrouillage sera davantage moins coûteux grâce à l'utilisation du sous-échantillonnage fonctionnant en basse fréquence.

Tableau 4-3 : Tableau de comparaison des oscillateurs en bande millimétriques intégrant des circuits de calibration de fréquence.

		[5]	[6]	[11]	[12]	Ce travail
Technologie (nm)		130	130	65	65	45 SOI
f_s (GHz)		24	26.5 – 29.7	58.1 – 65.0	27.4 – 30.8	58.32 – 62.48
Ordre de multiplication		3	3	3	15	27 – 29
Technique de détection du verrouillage		Détection d'enveloppe	Détection d'enveloppe	Mélangeur	Déviator de phase	Sous-échantillonnage
RMS jitter intégré (fs) [bande d'intégration (Hz)]		130 [1K-100M]	-	-	86 [1K-100M]	112 [10K - 1G]
P_{DC} (mW)	Totale	37.3	49.7	137	24.3	49.2
	Calibration	23	2.4	65	0.6	5.2*
Surface (mm²)	Totale	0.4	1	3.8	0.11	1.4
	Calibration	0.224	0.015	~0.95	-	0.034*

*Déecteur de verrouillage uniquement et sans circuit de rétroaction.

A partir de ce tableau on constate que les techniques utilisant des circuits de détection autour de la fréquence de sortie f_s consomment généralement autant que le circuit lui-même. La solution présenté par Deng [11] en 2013 utilise un circuit mélangeur pour mélanger la sortie de l'oscillateur à 60 GHz avec le double de la référence (i. e. $2 \times f_{ref}$) afin d'obtenir un produit autour de la fréquence de référence (sachant que $f_{ref}=20\text{ GHz}$). Le produit est ensuite comparé avec le signal de référence en bande de base après une division par un facteur N . Le résultat de comparaison est ensuite utilisé pour rétroagir et calibrer la fréquence libre du résonateur de sortie afin de s'aligner à la troisième harmonique de la référence. Bien que cette technique réponde au besoin de calibration, l'utilisation d'un mélangeur, doubleurs et diviseurs de fréquence fonctionnant à f_s augmentent drastiquement la consommation. La consommation totale atteinte dans ce cas est $137\text{-}mW$ dont $65\text{-}mW$ est réservé au circuit de détection ; soit 48% de la consommation totale du circuit.

Le travail proposé par Yoo en 2017 [12] présente une technique beaucoup moins coûteuse en terme de puissance consommé ($0.6\text{-}mW$ soit moins de 3% de la consommation totale du circuit).

En effet, cette technique mesure la déviation de phase entre les sorties en quadrature du QILO à 30-GHz (désigne « Quadrature ILO ») d'une part et le signal d'injection autour de 2-GHz de l'autre. Ces déviations de phase sont directement liées à la déviation de la fréquence d'oscillation libre du QILO par rapport à la fréquence injectée $N \times f_{ref}$. Une tension de contrôle V_{tune} proportionnelle à la différence entre les deux fréquences est ensuite générée pour corriger la déviation de $f_{libre,ILO}$. La rétroaction est assurée en utilisant un circuit simple. En revanche, cette technique effectue le suivi de fréquence seulement quand l'oscillateur QILO est verrouillé à une harmonique de la référence (FTL ou « Frequency Tracking Loop »). Elle ne permet donc pas de conclure sur le verrouillage ou non de l'oscillateur.

4.4 PREUVE DE CONCEPT : CALIBRATION DE FONCTIONNALITE ET PERFORMANCES DU MULTIPLICATEUR DE FREQUENCE

Les résultats du détecteur de verrouillage ont démontré sa capacité à déterminer les zones de fonctionnement optimales de l'oscillateur en fonction des paramètres du circuit. En utilisant ces résultats ainsi que ceux du synthétiseur de fréquence par multiplication, une preuve de concept de la calibration automatique de fonctionnalité et performances du circuit est effectuée et présentée dans cette partie.

La rétroaction sur le circuit est effectuée en utilisant une boucle extérieure non-intégrée dans le circuit comme schématisé par la Fig. 4-21. La fermeture de la boucle est effectuée par un bloc de rétroaction programmé sous Python. L'organigramme de la calibration automatique est montré à la Fig. 4-21.

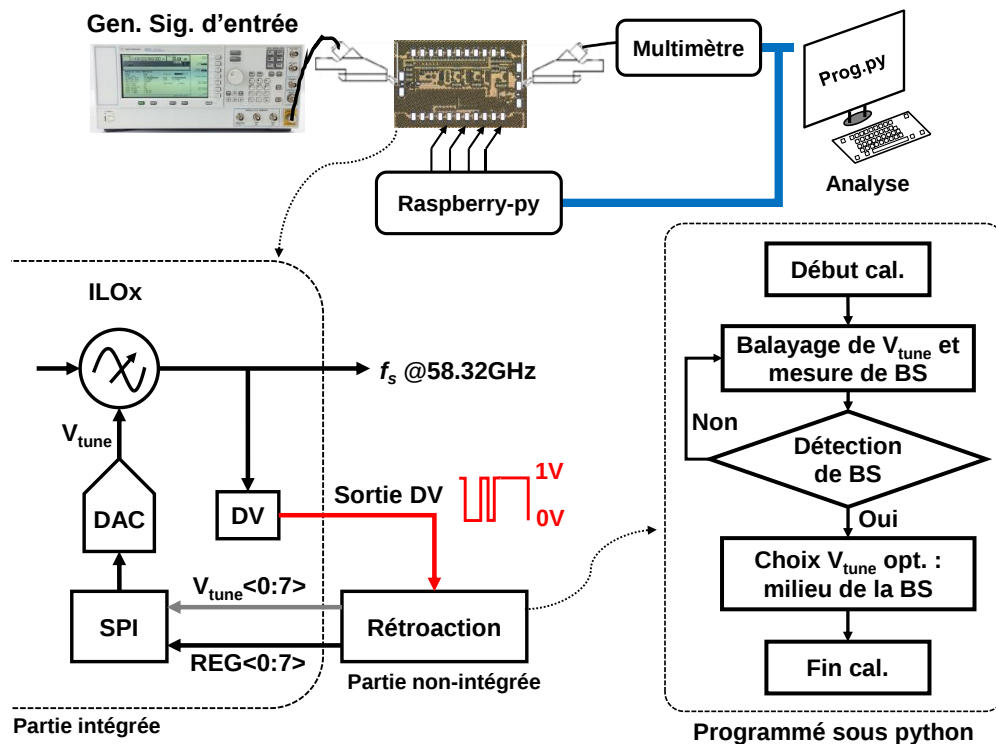


Fig. 4-21 : Dispositif de montage de la boucle de calibration automatique, son schéma block et organigramme de la technique de correction de fonctionnalité et performances. BS désigne la bande de synchronisation.

Quel que-soit l'état initial du multiplicateur de fréquence (verrouillé ou non) ce montage permet de corriger sa fonctionnalité et/ou améliorer ces performances en l'accordant sur un point optimal. En effet, quand la calibration du circuit est activée, l'organigramme proposé permet de mesurer la bande de synchronisation (BS) autour de la fréquence de sortie d'intérêt (CH_1 à CH_4), et ensuite selon cette information une tension de contrôle V_{tune} est appliquée aux ILOs. A partir des résultats de mesures et de modélisation, le point optimum de fonctionnement est supposé être au milieu de cette bande de synchronisation.

La Fig. 4-22 montre les étapes de calibration et l'évolution des paramètres du circuit impliqués dans l'opération. A noter que l'axe de temps est mis à titre indicatif étant donné qu'il est dominé par le temps de réponse et communications avec les appareils de mesures (Analyseur de spectre, multimètres, RaspberryPi, SPI, ...) et ne représente en rien le temps de calibration qui serait obtenu en intégrant la fonction analogique/numérique.

A l'état initial, l'oscillateur est verrouillé sur la 27^{ème} harmonique de la référence correspondant à la fréquence 58.32 GHz (pour CH_1). En revanche, le verrouillage suffit-il pour avoir les meilleures performances ? Le bruit intégré dans la bande $[10\text{kHz} - 1\text{GHz}]$ est dans ce cas de 227 fs .

La calibration est déclenchée. Afin de mesurer la bande de synchronisation (BS), le bloc de rétroaction agit sur la tension de contrôle de la capacité du résonateur de sortie ILO₂ contrôlant par conséquent la fréquence d'oscillation libre. En fonction de la position de cette dernière par rapport à l'harmonique visée, le détecteur de verrouillage mesure l'état du circuit. Au début du processus de calibration la sortie du DV est à l'état logique bas « 0 » indiquant l'état non-verrouillé de l'ILO₂. A l'instant $t=20\text{s}$ le premier point de bifurcation est détecté, la valeur V_{tune1} est ainsi mémorisée. Entre les instants $t=20\text{s}$ et $t=35\text{s}$ l'oscillateur reste verrouillé. La fréquence instantanée mesurée dans ce cas correspond bien à 58.32 GHz . La valeur du RMS jitter intégré est mesurée à chaque point de cette bande comme montré à la Fig. 4-22(b). Ensuite à partir de l'instant $t=35\text{s}$, ILO₂ sort de la bande de verrouillage et une valeur V_{tune2} est mémorisée. Après ce point l'oscillateur n'est plus verrouillé et la fréquence instantanée suit par conséquent la fréquence d'oscillations en régime libre comme montré par la Fig. 4-22(a). Le balayage de V_{tune} continue jusqu'à une valeur maximale fixée pour marquer la fin de la calibration. Le circuit est ensuite accordé à la valeur $V_{tune}=(V_{tune1}+V_{tune2})/2$ correspondants approximativement au milieu de la bande de synchronisation. L'état final du circuit après la fin de cette opération est donc verrouillé sur la 27^{ème} harmonique de la référence. Qu'en est-il pour le bruit ? Le RMS jitter intégré à la fin de la calibration est de 166fs . Soit une amélioration de 27% par rapport à l'état initial.

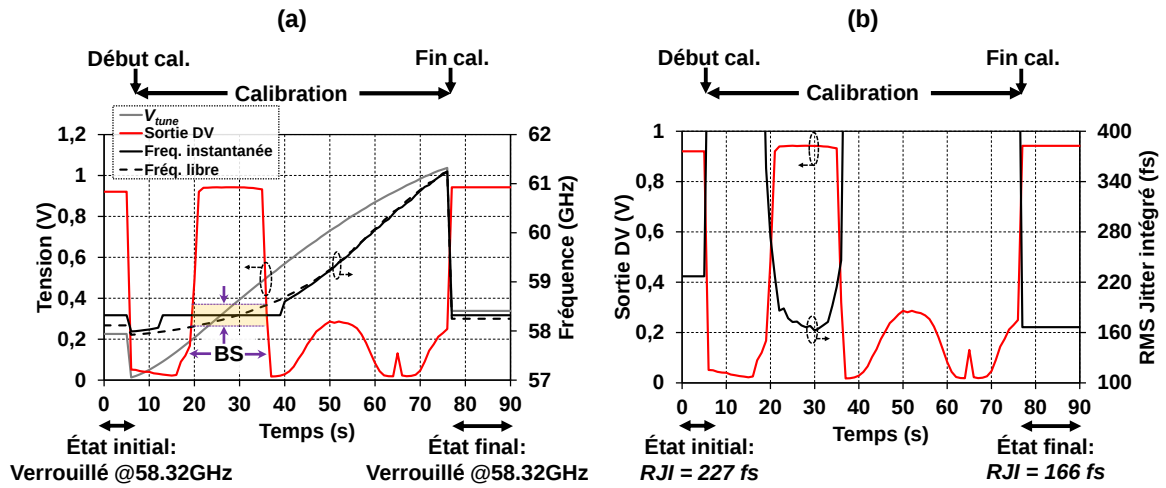


Fig. 4-22 : Evolution en fonction du temps des paramètres impliqués dans la calibration de l'oscillateur sur la première chaine du standard IEEE.308.11a à 58.32GHz. (a) Sortie du détecteur de verrouillage, tension de contrôle de la capacité du résonateur V_{tune} de l'IL_{O2}, fréquence en oscillation libre et fréquence instantanée. (b) Sortie du détecteur de verrouillage et le RMS Jitter intégré dans la bande [1kHz – 1GHz] autour de la porteuse 58.32GHz. BS désigne la bande de synchronisation.

Cette même opération est également effectuée sur un état initial non-verrouillé et le système de rétroaction arrive à corriger sa fonctionnalité et assure un bruit intégré acceptable à la sortie du multiplicateur de fréquences.

La preuve de concept effectuée dans cette partie constitue une démonstration des méthodologies construites à partir des modèles analytiques et des résultats de mesures. C'est également une première brique pour arriver à une version intégrée du système complet.

4.5 CONCLUSIONS

Dans ce chapitre, les résultats de mesures du synthétiseur de fréquences à grand-facteur- N de multiplication dans la gamme de fréquences millimétriques intégrant un détecteur de fonctionnalité sont présentés. Le circuit complet est fabriqué en technologie avancée CMOS 45nm RFSOI.

Le synthétiseur de fréquences par multiplication permet d'atteindre des grands facteurs de multiplication 27-30. Cela a permis d'obtenir un signal en bande mmW avec des performances spectrales à l'état de l'art en recopiant le bruit d'une référence à très grand facteur de qualité fonctionnant à très basses fréquences.

Les résultats de mesure du bruit de phase du générateur de fréquence par multiplication confirment les modèles et méthodologies construites à partir des études analytiques présentées au deuxième chapitre de ce manuscrit. Ces méthodologies sont ensuite utilisées pour booster davantage les performances du circuit et gagner par conséquent une place avancée dans la littérature des techniques de générations de fréquences (Fig. 4-23).

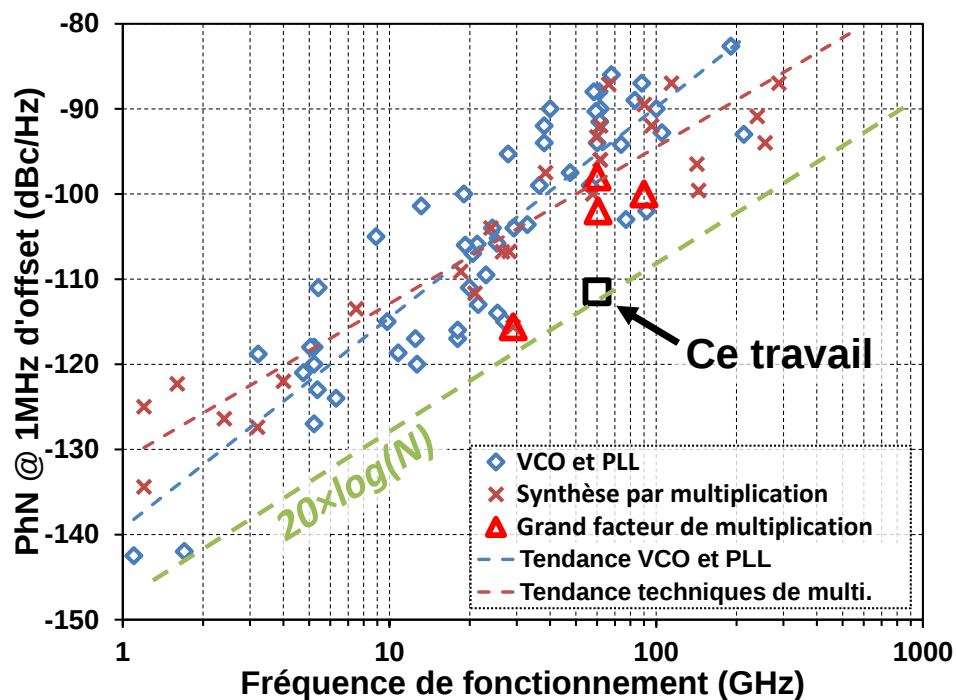


Fig. 4-23 : Bruit de phase à 1MHz d'offset des techniques de génération de fréquence en fonction de leurs fréquences de sorties. Comparaison des tendances entre les techniques classiques de synthèse de fréquences par PLL et VCO (en bleu) et celles utilisant la multiplication harmonique (en rouge).

Ensuite, un circuit de détection de fonctionnalité intégré dans le synthétiseur de fréquences mmW permet d'identifier et mesurer les zones de fonctionnement optimal de l'oscillateur en fonction de ses paramètres clés. Enfin, à l'aide d'une boucle de rétroaction extérieure, une preuve de concept de la calibration de fonctionnalité et performances spectrales de l'oscillateur est effectuée, tirant ainsi profit du circuit détecteur et des modèles analytiques élaborés dans la cadre de thèse et présentés aux premiers chapitres de ce manuscrit.

CONCLUSIONS ET PERSPECTIVES

Conclusions :

Dans le but de limiter l'augmentation du bruit de phase des oscillateurs en bandes millimétriques, l'utilisation d'une architecture de multiplication de fréquence a permis d'atteindre des niveaux de bruit de phase très bas comparé aux techniques de synthèse classique par PLL ou VCO. L'architecture de synthèse de fréquence basée sur la génération d'oscillations pulsées et le verrouillage harmonique permet d'atteindre des facteurs de multiplication de plus de 30. Cela a permis d'utiliser des références de fréquences à basses fréquences avec un facteur de qualité élevée (meilleure pureté spectrale). Pourtant, l'étude et modélisation des signaux impliqués dans la synthèse présentent un défi non-adressé dans ce contexte. De plus, l'utilisation des oscillateurs verrouillés par injection causent souvent des problèmes de fonctionnalités et les performances spectrales.

Afin de comprendre et optimiser les performances de ce type d'architectures, deux contributions majeures sont proposées dans ce travail :

- Propositions des modèles analytiques comportementaux des signaux mis en jeux et de leurs propriétés spectrales (bruit de phase et jitter intégré) en fonction des paramètres du circuit (fréquences libres des oscillateurs, rapport cyclique du signal de référence... etc.). En plus d'optimiser le dimensionnement du circuit en phase de conception, ces modèles permettent d'identifier les paramètres clés contrôlant la fonctionnalité et les performances du circuit. Des méthodologies de calibration du circuit sont ainsi formées.
- La conception d'un détecteur de verrouillage intégré dans le multiplicateur de fréquences permettant de détecter l'état de fonctionnalité du circuit et déterminer par conséquent les zones de fonctionnement optimales pour des fins de calibration.

Les modèles analytiques sont validés par les résultats de mesures d'un prototype du multiplicateur de fréquence fonctionnant à 60-GHz fabriqué dans le cadre de cette thèse en technologie CMOS 45RFSOI. Grâce aux méthodologies construites de la phase de modélisation, le circuit a atteint un bruit de phase et un jitter intégré compétitifs à l'état de l'art.

Par ailleurs, le circuit de détection de verrouillage intégré dans le circuit de multiplication et basée sur une technique innovante à basse consommation, a permis d'identifier les états de l'oscillateur en fonction des paramètres du circuit. Cela a permis ensuite d'effectuer une preuve de concept de la calibration automatique de la fonctionnalité et du jitter intégré de l'oscillateur à 60-GHz.

Perspectives :

La suite de ce travail vise à pousser davantage les performances du circuit pendant les initiales phases de conception en fonction des applications adressées. En plus, pour rendre pratique l'utilisation de la technique de synthèse par multiplication dans les systèmes RF, une boucle de calibration automatique est nécessaire. Pour ce faire, les points suivants doivent être pris en compte :

- Trouver une architecture alternative au circuit de mise en forme DCC par afin de limiter le bruit de phase rajouté dans certaines zones du rapport cyclique
 - Adaptation du synthétiseur de fréquence, au cours des phase conception, à l'application visée en se basant sur les modèles et les résultats de mesures présentés dans ce mémoire. En effet, pour une application donnée (Systèmes de communications sans fils ou RADAR...), il faut étudier les exigences du système et déterminer ses degrés de libertés (rapport cyclique fixe ou variable, compromis entre le bruit intégré et plage de verrouillage nécessaires...) pour définir un cahier des charges adapté. Ensuite, adresser ces objectifs durant la phase de conception (taille des transistors d'injection, circuit de mise en forme de rapport cyclique fixe et un bruit optimisé... etc.)
 - Intégrer une solution complète de calibration automatique permettant de corriger du verrouillage de l'oscillateur et optimiser son bruit en temps réel en se basant sur les méthodologies d'optimisation mis au point dans ce travail. Le circuit doit également inclure la technique de détection de verrouillage proposée pour limiter la consommation et la surface occupée
 - Le rapport cyclique signal carrée de sous-échantillonnage doit être fixé (contrairement au cas présenté dans ce travail) pour limiter la chute du gain de conversion du sous-échantillonneur en fonction de ce paramètre.

REFERENCES

- [1] C. Jany, « Conception et étude d'une synthèse de fréquence innovante en technologies CMOS avancées pour les applications en bande de fréquence millimétrique », PhD, Université Grenoble Alpes, 2014.
- [2] A. Siligaris *et al.*, « A Multichannel Programmable High Order Frequency Multiplier for Channel Bonding and Full Duplex Transceivers at 60 GHz Band », in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Los Angeles, CA, USA, août 2020, p. 259-262, doi: 10.1109/RFIC49505.2020.9218433.
- [3] C. Jany, A. Siligaris, J. L. Gonzalez-Jimenez, P. Vincent, et P. Ferrari, « A Programmable Frequency Multiplier-by-29 Architecture for Millimeter Wave Applications », *IEEE J. Solid-State Circuits*, vol. 50, n° 7, p. 1669-1679, juill. 2015, doi: 10.1109/JSSC.2015.2411623.
- [4] T. Siriburanon *et al.*, « A Low-Power Low-Noise mm-Wave Subsampling PLL Using Dual-Step-Mixing ILFD and Tail-Coupling Quadrature Injection-Locked Oscillator for IEEE 802.11ad », *IEEE J. Solid-State Circuits*, vol. 51, n° 5, p. 1246-1260, mai 2016, doi: 10.1109/JSSC.2016.2529004.
- [5] D. Shin, S. Park, S. Raman, et K. J. Koh, « A subharmonically injection-locked PLL with 130 fs RMS jitter at 24 GHz using synchronous reference pulse injection from nonlinear VCO envelope feedback », in *2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, juin 2017, p. 100-103, doi: 10.1109/RFIC.2017.7969027.
- [6] D. Shin et K. J. Koh, « An Injection Frequency-Locked Loop–Autonomous Injection Frequency Tracking Loop With Phase Noise Self-Calibration for Power-Efficient mm-Wave Signal Sources », *IEEE J. Solid-State Circuits*, vol. PP, n° 99, p. 1-14, 2018, doi: 10.1109/JSSC.2017.2782762.
- [7] J. Kim *et al.*, « 16.2 A 76fsrms Jitter and -40dBc Integrated-Phase-Noise 28-to-31GHz Frequency Synthesizer Based on Digital Sub-Sampling PLL Using Optimally Spaced Voltage Comparators and Background Loop-Gain Optimization », in *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*, févr. 2019, p. 258-260, doi: 10.1109/ISSCC.2019.8662532.
- [8] S. Choi *et al.*, « An Ultra-Low-Jitter 22.8-GHz Ring-LC-Hybrid Injection-Locked Clock Multiplier With a Multiplication Factor of 114 », *IEEE J. Solid-State Circuits*, p. 1-10, 2018, doi: 10.1109/JSSC.2018.2883090.
- [9] H. Yoon *et al.*, « A -31dBc integrated-phase-noise 29GHz fractional-N frequency synthesizer supporting multiple frequency bands for backward-compatible 5G using a frequency doubler and injection-locked frequency multipliers », in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, févr. 2018, p. 366-368, doi: 10.1109/ISSCC.2018.8310336.
- [10] A. Musa, W. Deng, T. Siriburanon, M. Miyahara, K. Okada, et A. Matsuzawa, « A Compact, Low-Power and Low-Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration », *IEEE J. Solid-State Circuits*, vol. 49, n° 1, p. 50-60, janv. 2014, doi: 10.1109/JSSC.2013.2284651.
- [11] W. Deng, T. Siriburanon, A. Musa, K. Okada, et A. Matsuzawa, « A Sub-Harmonic Injection-Locked Quadrature Frequency Synthesizer With Frequency Calibration Scheme for Millimeter-Wave TDD Transceivers », *IEEE J. Solid-State Circuits*, vol. 48, n° 7, p. 1710-1720, juill. 2013, doi: 10.1109/JSSC.2013.2253396.
- [12] S. Yoo, S. Choi, J. Kim, H. Yoon, Y. Lee, et J. Choi, « A Low-Integrated-Phase-Noise 27-30-GHz Injection-Locked Frequency Multiplier With an Ultra-Low-Power Frequency-Tracking Loop for mm-Wave-Band 5G Transceivers », *IEEE J. Solid-State Circuits*, vol. PP, n° 99, p. 1-14, 2017, doi: 10.1109/JSSC.2017.2749420.

GLOSSAIRE

AC	Alternatif Current
BER	Bit Error Rate
BP	Bande Passante/Bandwidth
BS/BV	Bande de Synchronisation/Bande de Verrouillage
CAN/ADC	Convertisseur Analogique-Numérique/Digital-To-Analog Converter
CNA/DAC	Convertisseur Numérique-Analogique/Digital-To-Analog Converter
CNE	Circuit Non-linéaire Equivalent
CMOS	Complementary Metal Oxide Semiconductor
UC	Unité Centrale
DC/CC	Direct Current/Courant Continue
DV/LD	Détecteur de Verrouillage/Lock Detector
EVM	Error Vector Magnitude
FI/IF	Fréquence intermédiaire/Intermediate Frequency
IEEE	Institute of Electrical and Electronics Engineers
ILO	Injection Locked Oscillator ou oscillateur verrouillé par injection
mmW	Millimeter-Waves
OL	Oscillateur Local
OSC-P	Oscillateur Pulsé
PA	Power Amplifier
PLL	Phase Locked Loop ou boucle à verrouillage de phase
PhN	Phase Noise ou bruit de phase
PSD	Power Spectral Density
PVT	Process Voltage Temperature
QAM	Quadrature Amplitude Modulation

QPSK	Quadrature Phase Shift Keying
RADAR	Radio Detection and Ranging
RF	Radiofréquences
RJI	RMS jitter intégré
RMS	Root Mean Square ou moyenne quadratique
RP	Régime Permanent
Rx	Receiver
SNR	Signal to Noise Ratio
SOI	Silicon On Insulator
TORP	Train d'Oscillations Répétés Périodiquement
Tx	Transmitter
VCO	Voltage Controlled Oscillator ou oscillateur contrôlé par tension
WLAN	Wireless Local Area Network
WPAN	Wireless Personal Area Network

LISTES DES TABLES

Tableau 1-1 : Jitter intégré requis (pour un $BER < 10^{-3}$) et débit théorique activé (sur une bande de largeur 2.16 GHz) pour différents types de modulations.....	31
Tableau 2-1 : Les paramètres intrinsèques extraites par unité de largeur W_T du transistor RF de la technologie CMOS 45nm RFSOI.	39
Tableau 3-1 : Résumé des performances du circuit amplificateur à source commune.....	111
Tableau 3-2 : Résumé des performances du circuit OTA.	113
Tableau 3-3 : Résumé des performances du filtre passe bande à grand gain.....	114
Tableau 3-4 : Résultats de simulation de l'hystérésis du comparateur en fonction de la tension de comparaison V_{th}	116
Tableau 3-5 : Résumé des performances du comparateur proposé dans le circuit de détection de verrouillage.	119
Tableau 4-1 : Résumé des performances du circuit.	135
Tableau 4-2 : Comparaison des résultats du circuit multiplicateur de fréquences avec l'état de l'art.	139
Tableau 4-3 : Tableau de comparaison des oscillateurs en bande millimétriques intégrant des circuits de calibration de fréquence.....	147

LISTES DES FIGURES

Fig. 1-1 :Spectre des ondes électromagnétiques. Quelques exemples de l'allocation des bandes pour les futures générations de communications sans fils et réseaux cellulaires.....	21
Fig. 1-2 : (a) Allocation du spectre et les canaux du standard IEEE 802.11ay. (b) Architecture Tx utilisant l'agrégation de plusieurs bandes de fréquences. BP et DBB désignent Bande Passante et Data en Bande de Base respectivement.....	23
Fig. 1-3 :Comparaison des spectres d'un oscillateur parfait (a) et un oscillateur réel (b). (c) Figure de bruit de phase d'un OL. f_m représente la fréquence d'offset	24
Fig. 1-4 :Exemples de constellations pour deux types de modulations en fonction du bruit de phase du synthétiseur de fréquence. QPSK, (a) et (b), et 16QAM, (c) et (d), d'ordre 2 et 4 respectivement.	25
Fig. 1-5 :Différents architectures CMOS-intégrables de synthèse de fréquences radiofréquences et millimétriques : (a) oscillateur contrôlé par tension ou VCO (pour « Voltage Controlled Oscillator), (b) Boucle à verrouillage de phase ou PLL (désigne « Phase Locked Loop »), (c) oscillateur push-push et (d) multiplicateur harmonique de fréquences.	28
Fig. 1-6 : Bruit de phase à 1MHz d'offset des techniques de génération de fréquence en fonction de leurs fréquences de sorties. Comparaison des tendances entre les techniques classiques de synthèse de fréquences par PLL et VCO (symbole diamant) et celles utilisant la multiplication harmonique (symbole croix). Les techniques à grand facteur-N de multiplication sont également montrés par le symbole triangle.....	30
Fig. 1-7 : (a)Facteur de qualité en fonction de la fréquence de sortie du résonateur. (b) Dégradation du bruit de phase en fonction de la fréquence d'oscillation de sortie (source [19]).	31
Fig. 2-1 : Architecture d'un multiplieur de fréquences à grand facteur de multiplication [1], [5].	36
Fig. 2-2 : (a) Réseau RLC équivalent d'une ligne de transmission autour de la fréquence f_0 . (b) Schéma électrique de la technique d'extraction des paramètres de l'éléments actif. (a) Modèle linéaire petit signal du transistor NMOS SOI.....	38
Fig. 2-3 : La réalisation électrique d'un oscillateur à paire croisée avec les éléments de la technologie (a) et son circuit non-linéaire équivalent simplifié utilisant les modèles des éléments technologiques (b).....	41
Fig. 2-4 : Schéma électrique d'un oscillateur à paire croisée verrouillé par injection (a) et son circuit non-linéaire équivalent (b).....	44
Fig. 2-5 : Illustration du phénomène d'injection. La phase absolue à la sortie de l'oscillateur est représentée par φ_{osc} . L'angle θ représente le déphasage entre le signal d'injection et le signal de sortie ($\theta = \varphi_{osc} - \varphi_{inj}$).	45

Fig. 2-6 : Schéma électrique d'une architecture à paire croisé à allumage périodique (a) et son circuit non-linéaire équivalent simplifié [2]. Le signal de contrôle ou de référence est représenté par V_{ref}	49
Fig. 2-7 : Résultat du modèle de la sortie de l'oscillateur à allumage périodique de l'Eq. 2.39. Le signal de référence DCC à l'entrée du générateur est un signal carré de fréquence f_{ref} et de rapport cyclique α . Ce calcul est fait pour deux valeurs du rapport cyclique : (a) $\alpha=25\%$ et (b) $\alpha=53\%$.	51
Fig. 2-8 : Modèle linéaire du bruit de phase dans les oscillateurs verrouillé par injection ILO. C'est un modèle linéaire autour de la solution en régime permanent. (c) Illustration du process de transfert du bruit de phase dans les oscillateurs forcés.	54
Fig. 2-9 : Modèles équivalents de deux configurations possibles de l'oscillateur à allumage périodique : (a) un oscillateur pulsé « non-cohérent » présenté et étudié dans [25] et (b) celle d'un OSC-P utilisé dans la multiplication de fréquence étudié dans le cadre de cette thèse.	56
Fig. 2-10 : (a) Réalisation électrique du circuit de mise en forme DCC. (b) Résultats de simulation du rapport cyclique α du signal carré en sortie en fonction de la tension de comparaison. Pour exemple, la réponse dans le domaine temporel du circuit est montrée pour deux valeurs de tension de comparaison (deux valeurs du rapport cyclique) : (c) $\alpha=0.43$ et (d) $\alpha=0.63$	59
Fig. 2-11 : Résultats de simulations numériques de l'amplitude des harmoniques 1 à 4 en sortie du circuit de mise en forme DCC en fonction du rapport cyclique. Comparaison avec le model de l'Eq. 2.57.	60
Fig. 2-12 : Deux architectures possibles pour implémentation d'un oscillateur à allumage périodique.....	61
Fig. 2-13 : Les conditions initiales au début des trains d'oscillation de l'OSC-P.....	62
Fig. 2-14 : (a) Circuit non-linéaire équivalent de l'oscillateur à allumage périodique cohérent (architecture gyrateur). Comparaison des spectres obtenues par simulations numériques du CNE (a) et d'un OSC-P type gyrateur, Fig. 2-12(b), utilisant des éléments de la technologie 45nm RFSOI pour différentes valeurs de la capacité du résonateur. Le rapport cyclique du signal de référence dans ce cas est fixé à $\alpha=0.53$	63
Fig. 2-15 : Comparaison entre les résultats de simulation du spectre de sortie de l'OSC-P et le modèle proposé de l'Eq. 2.61 pour deux valeurs de rapport cyclique : (a) $\alpha=0.64$ et (b) $\alpha=0.26$. (c) Amplitude, en dBV, du 28 ^{ème} harmonique du TORP en fonction de α . Comparaison avec les résultats du modèle proposé. A noter que la fréquence d'oscillations libre dans ces cas vaut $f_{libre,OSCP}=60.65\text{GHz}$	65
Fig. 2-16 : Effet de pulling par une harmonique adjacente k sur le spectre de sortie de l'oscillateur verrouillé par injection [18].	66
Fig. 2-17 : Phénomène de verrouillage par injection pour deux types du signal injecté : (a) le cas d'un oscillateur harmonique et (b) un OSC-P multi-tons. CS désigne la Courbe de Sensibilité.....	67

Fig. 2-18 : Exemple de la réponse temporelle et spectre du signal de sortie de l'ILO dans le cas de verrouillage sur la 28 ^{ème} harmonique de la référence.....	67
Fig. 2-19 : Illustration de la variation de l'amplitude à la sortie de l'ILO en fonction de la différence de fréquence entre la fréquence libre d'oscillation et la fréquence injecté $ f_{inj} - f_{libre,ILO} $	68
Fig. 2-20 : Comparaison entre le modèle analytique de l'Eq. 2.66 et simulations numériques du circuit non-linéaires équivalent (CNE de la Fig. 2-4(b)). Les solutions des amplitudes (a) et phases (b) en régime permanent sont obtenues en fonction de la fréquence d'oscillations libre $f_{libre,ILO}$ de l'oscillateur injecté ILO (variation de la capacité du résonateur). (c) Comparaison des résultats des modèles précédents avec les simulations numériques du circuit niveau transistor. Les résultats de la courbe en diamants dans la dernière figure sont obtenues en utilisant la technique de simulations numériques appelée générateur auxiliaire [6]......	69
Fig. 2-21 : Architecture simplifié et caractéristiques de tension-tension dans le circuit de mise en forme DCC.	70
Fig. 2-22 : Illustrations et modèle (d) du transfert du bruit de phase entre l'entrée et la sortie du circuit de mise en forme. Deux contributions principales sont rajoutées au bruit de phase de sortie : (a) Bruit blanc rajouté par le comparateur ; bruit propre de l'inverseur pour deux cas de figures : (a) pente de variation de V_{COMP} élevée (b) et faible (c)......	71
Fig. 2-23 : (a) Résultats de simulations numériques du jitter Intégré (JRI) à la sortie du DCC à $f_{ref}=2.16GHz$ en fonction de la variation du rapport cyclique α (la bande d'intégration [10kHz – 1GHz]). (b) Bruit de phase à la sortie du DCC à deux fréquences d'offset : 10MHz (carrés) et 1GHz (diamants). Dans les deux figures, une comparaison est faite avec le bruit de l'entrée sinusoïdal (en pointillé).	72
Fig. 2-24 : Schéma équivalent (CNE) de l'oscillateur pulsé cohérent (a) avec une illustration de l'application des conditions initiales au début de chaque wagon d'oscillations (b). (c) Modèles simplifié du bruit de phase à la sortie de l'OSC-P.	74
Fig. 2-25 : Figure de bruit de phase à la fréquence 60.48GHz correspondant à la 28 ^{ème} harmonique à la sortie de l'OSC-P. Comparaison entre le bruit simulé du CNE (symbole x) et analytique de l'Eq. 2.81 (symbole carré). Le bruit de phase de la référence à 2.16GHz augmenté de $20 \times \log(N)$ est également tracé en pointillé.	75
Fig. 2-26 : En fonction de la variation du rapport cyclique du signal carré de référence, on a calculé les grandeurs suivantes : (a) Bruit de phase à 1GHz d'offset de la 28 ^{ème} harmonique du TROP ; (b) Dégradation de ce dernier à travers l'OSC-P (i. e. $\Delta PhN = PhN_{out} - PhN_{in}$) ; (c) Résultats du modèle analytique de la fréquence de coupure ou bande passante de la FTB (Eq. 2.79). Les figures (a) et (b) comparent les résultats du modèle analytique et celles obtenues par simulations numériques du circuit non-linéaires équivalent (CNE).	76
Fig. 2-27 : (a) Circuit non-linéaires équivalent (CNE) de l'oscillateur verrouillé par injection et (c) son modèle linéaire de bruit de phase [24].....	77

Fig. 2-28 : Figures de bruit de phase à la fréquence porteuse 60.48GHz à la sortie de l'ILO (en rouge) et l'OSC-P (en bleu). Comparaison entre le bruit simulé du CNE (symbole x) et analytique de l'Eq. 2.88 (symbole carré). Le bruit de phase de la référence à 2.16GHz augmenté de $20 \times \log(N)$ est également tracé (ligne continue).	79
Fig. 2-29 : En fonction de la variation du rapport cyclique du signal carré de référence, on a calculé les grandeurs suivantes : (a) Bruit de phase à 1GHz d'offset à la sortie de l'ILO ($f_{out}=28 \times 2.16=60.48\text{GHz}$) ; (b) Dégradation de ce dernier à travers l'ILO (i. e. $\Delta\text{PhN} = \text{PhN}_{out} - \text{PhN}_{in}$) ; (c) Résultats du modèle analytique de la fréquence de coupure de la FTB (Eq. 2.79 pour OSC-P et Eq. 2.86 pour ILO). Les figures (a) et (b) comparent les résultats du modèle analytique et celles obtenues par simulations numériques du circuit non-linéaires équivalent (CNE).	80
Fig. 2-30 : Variation de la fréquence de coupure de l'ILO en fonction de : (a) la capacité du résonateur (contrôlant la fréquence libre d'oscillation) ; (b) la transconductance du transistor d'injection T_{inj} (contrôlé par la longueur du canal du transistor W_{inj}). (c) Figures de bruit de phase résultants à la sortie de l'ILO pour différents endroits de la bande de synchronisation (BS) et pour deux niveaux d'injections : $G_{inj}=1.49 \text{ mS}$ et 2.97 mS	81
Fig. 2-31 : Résultats de simulations du (a) bruit de phase (à 1GHz d'offset de la porteuse $f_{out}=60.48\text{GHz}$) et du (b) Jitter RMS Intégré (JRI) dans la bande [10kHz – 1GHz] à la sortie du CNE en fonction de la capacité du résonateur (ou la fréquence libre d'oscillation) pour deux niveaux d'injections : $G_{inj}=1.04 \text{ mS}$ et 2.08 mS . La variation de la capacité du résonateur (ou de $f_{libre,ILO}$) contrôle la position de la fréquence injectée à l'intérieur de la bande de synchronisation (BS)... ..	83
Fig. 2-32 : Résultats de calculs du jitter intégré (JRI) dans la bande [10kHz-1GHz] à la sortie du multiplicateur de fréquence en fonctions des fréquences libres d'oscillations des deux ILOs de sortie et pour deux fréquences porteuses : (a) 85.32GHz (multiplication par 27) et (b) 60.48GHz (multiplication par 28).	83
Fig. 3-1 : Configuration du principe du verrouillage par d'injection d'un oscillateur A (esclave) par un oscillateur B (maître). $P_{B,inj}$ représente la puissance injectée par VCO_B et P_A la puissance de sortie du VCO_A	88
Fig. 3-2 : Exemple du spectre de sortie d'un oscillateur injecté. Le spectre représente deux états à la sortie de l'oscillateur : (a) non-verrouillage et (b) verrouillé.	89
Fig. 3-3 : Exemples de spectres de sortie du multiplicateur de fréquence. Le spectre de sortie dans ses deux états possibles : (a) non-verrouillé et (b) verrouillé.	91
Fig. 3-4 : Illustration de la variation de la figure de bruit de phase entre deux positions à l'intérieure de la bande de synchronisation.	92
Fig. 3-5 : Illustration du caractère passe-bas de l'ILO face au bruit de phase à son entrée. L'ILO se comporte également comme un passe-haut vis-à-vis son bruit de phase en oscillation libre.	93
Fig. 3-6 : Vue système d'un multiplicateur de fréquence basé sur le verrouillage par injection muni d'un circuit de détection de verrouillage et un circuit de rétroaction.	93

Fig. 3-7 : Architecture et formes d'ondes du multiplicateur de fréquence basé sur la génération d'un signal pulsé multi-tons et le verrouillage par injection [13], [14].....	94
Fig. 3-8 : Schéma de principe expliquant les paramètres contrôlant la fonctionnalité d'un oscillateur injecté. A noter que la fréquence de sortie est égale à $N \times f_{ref}$ quand l'oscillateur est verrouillé, et $f_{libre,ILO}$ en cas de non-verrouillage.....	96
Fig. 3-9 : Variation du bruit de phase à la sortie du DCC pour deux fréquences d'offset (10MHz et 1GHz en lignes pleine bleu et violet respectivement) et en fonction du rapport cyclique du signal carré de référence généré. Comparaison avec le bruit de phase de l'entrée sinusoïdal (lignes en pointillées).....	97
Fig. 3-10 : Variation du jitter RMS intégré dans la bande [10kHz – 1GHz] autour de la porteuse 60.48GHz de sortie du multiplicateur de fréquence en fonction du rapport cyclique du signal carré de référence.....	98
Fig. 3-11 : Résultats de simulations numériques de la contribution de l'ILO, $\Delta\phi_N$, au bruit de phase injecté (à 1GHz d'offset) en fonction de la fréquence d'oscillation libre de l'ILO (contrôlé par $C_{t,ILOx}$). Les simulations sont réalisées pour deux niveaux d'injection (2 valeurs de transconductances du transistor d'injection) : $G_{inj} = 2$ mS en ligne pleine et $G_{inj} = 1$ mS en pointillé.	99
Fig. 3-12 : (a) Illustration de la variation de l'amplitude du courant de sortie en fonction de la différence de fréquence entre la fréquence libre d'oscillation et la fréquence injecté $ f_{inj} - f_{libre,ILOx} $. (b) Simulation du bruit de phase et jitter intégré à la fréquence de sortie 60.48GHz du multiplicateur de fréquence en fonction de la variation de la capacité du résonateur de l'ILO ₂ .	100
Fig. 3-13 : Architecture du circuit intégrant le détecteur de verrouillage proposé est montrée à gauche. Le principe de fonctionnement du circuit de détection est montré à droite de la figure.	102
Fig. 3-14 : Model simplifié d'un échantillonneur-bloqueur.....	103
Fig. 3-15 : Illustration des formes d'ondes impliqué dans l'opération du sous-échantillonnage (dans cet exemple le MF n'est pas verrouillé). Le phénomène de repliement est également illustré dans la forme du spectre du signal $y(t)$	104
Fig. 3-16 : Illustration dans le domaine temporel des deux phases de fonctionnement du sous-échantillonneur.....	105
Fig. 3-17 : Schéma électrique du détecteur de verrouillage proposé dans ce travail.....	107
Fig. 3-18 : Schéma électrique d'un échantillonneur (a) et son modèle linéaire équivalent dans le domaine fréquentiel (b).	108
Fig. 3-19 : Fréquences de coupures de l'échantillonneur-bloqueur en fonction du rapport W_T/L pour différentes valeurs de la capacité C_H . ($L=40$ nm).....	109
Fig. 3-20 : Schéma électrique de l'amplificateur à source commune (a) et le modèle petit signal associé (b) où Z_b représente l'impédance vu par la capacité C_b . g_{m1} représente la transconductance	

du transistor T1. r_{01} et r_{02} représentent les résistances drain-source des transistors T1 et T2 respectivement.	110
Fig. 3-21 : (a) Schéma électrique d'un amplificateur opérationnel à transconductance et (b) son modèle équivalent petit signal. (c) Représentation en modèle de Thévenin [22].	112
Fig. 3-22 : Réponse fréquentiel du filtre passe bande à grand gain de la Fig. 3-17.	114
Fig. 3-23 : (a) Réalisation électrique du circuit intégrateur et, (b), son modèle comportemental équivalent. (c) Illustration du principe de fonctionnement (convertisseur AC-DC). (d) Explication du comportement intégrateur du circuit. $V_{d,ON}$ est la tension de seuil de la diode et « A » représente l'amplitude crête du signal d'entrée.	116
Fig. 3-24 : (a) Schéma électrique de l'étage inverseur source-commune avec dégénérescence de source. (b) Caractéristique tension d'entrée- tension de sortie associée.	117
Fig. 3-25 : Schéma électrique du comparateur latché.	117
Fig. 3-26 : Illustration en régime établie des sens de courants parcourant le circuit quand $V_{in} > V_{th}$	118
Fig. 3-27 : Illustration en régime établie des sens de courants parcourant le circuit quand $V_{in} < V_{th}$	118
Fig. 3-28 : Architecture d'intégration du circuit détecteur de verrouillage à la sortie du multiplicateur de fréquences.	119
Fig. 3-29 : Résultats de simulation de l'impédance vue par l'oscillateur de sortie ILO ₂ du multiplicateur de fréquences en présence et en absence du détecteur de verrouillage (DV connecté et non-connecté respectivement).	120
Fig. 3-30 : Gain de conversion du sous-échantillonneur en fonction de la fréquence intermédiaire pour trois valeurs du rapport cyclique (résultats du modèle Eq. 3.8).	121
Fig. 4-1 : Schéma block et photomicrographie du circuit fabriqué en technologie avancée 45nm CMOS PDSOI. B1-4 représentent les buffer inter-étages du multiplicateur de fréquences.	126
Fig. 4-2 : Réalisation électrique du circuit multiplicateur de fréquences à grand facteur de multiplication N en technologie 45nm CMOS PDSOI. Le circuit de mise en forme DCC n'est pas montré à cette figure.	128
Fig. 4-3 : Dessin du masque de l'oscillateur pulsé réalisé en technologie 45nm CMOS PDSOI.	129
Fig. 4-4 : Dessin de masque des deux montages à paire-croisé injectés (ILOs) réalisés en technologie 45nm CMOS PDSOI.	130
Fig. 4-5 : Montage du dispositif de mesure du multiplicateur de fréquences.	131
Fig. 4-6 : Frome de l'onde du signal de référence à la sortie circuit de mise en forme pour trois valeurs du rapport cyclique.	132
Fig. 4-7 : (a) Valeurs de rapports cycliques mesurés du signal carré de référence à la sortie du DCC en fonction de tension de contrôle et pour deux différentes valeurs de la puissance fournie par le	

générateur du signal sinusoïdal d'entrée ($P_{in}=-2$ dBm et 0 dBm). (b) Harmoniques du signal de la référence en fonction de α	133
Fig. 4-8 : Fréquence libre d'oscillations ILO ₁ (en rouge) et ILO ₂ (en noire) en fonction des tensions de contrôle V_{tune} des capacités de leurs résonateurs respectifs.	133
Fig. 4-9 : Injection de ILO ₂ par ILO ₁ : (a) Fréquence mesurée à la sortie de ILO ₂ (lignes pleines) en fonction de tension de contrôle de la fréquence du signal d'excitation ILO ₁ et pour deux valeurs de tension de polarisation des transistors d'injection. (b) Courbe de sensibilité correspondant qui résume les plages d'accrochage de ILO ₂ sur ILO ₁ pour différents niveaux injections. A noter que la fréquence libre de ILO2 est dans cas fixé à une valeur proche de 60.48-GHz (CH2).....	134
Fig. 4-10 : Spectre de sortie du multiplicateur accordé sur la 27 ^{ème} harmonique de la référence (CH1 : multiplication par 27) et le bruit de phase correspondant. Dans la deuxième	135
Fig. 4-11 : Résultats de mesures de la moyenne quadratique de la gigue intégrée dans la bande [10kHz – 1GHz] (ou RMS Jitter intégré) en fonction du rapport cyclique ou sa tension de contrôle.	136
Fig. 4-12 : RMS jitter intégré dans la bande [10kHz – 1GHz] à la sortie du multiplicateur à la fréquence porteuse 58.32 GHz en fonction de : (a) la tension de contrôle de la capacité du résonateur de l'oscillateur verrouillé par injection ILO ₂ ; (b) La tension de contrôle de la capacité du résonateur de l'oscillateur de sortie ILO ₁ . Les fréquences libres associés aux tensions de contrôle sont également affichées sur l'axe horizontal secondaire.	136
Fig. 4-13 : (a) Figures de bruit de phase à la sortie de multiplicateur à la fréquence porteurs 58.32-GHz pour deux valeurs de tension de polarisation du transistor d'injection $T_{inj3\&4}$ (contrôle le niveau d'injection). Comparaison avec la figure de bruit de phase de l'entrée dégradé par la valeur théorique de $20 \times \log(27)$. (b) RMS jitter intégré dans la bande [10kHz – 1GHz] en fonction de la tension de contrôle du niveau de puissance injecté dans l'ILO ₂ de sortie.....	137
Fig. 4-14 : Spectre (à gauche) et figure de bruit de phase (à droite) du synthétiseur de fréquences par multiplication dans la bande millimétrique et à grand facteur de multiplication.	138
Fig. 4-15 : Intégration de détecteur de verrouillage dans le multiplicateur de fréquences. (a) Schéma-block du circuit complet. (b) Principe de fonctionnement du détecteur de verrouillage (DV) , (c) son dessin du masque et détails des blocks constituant (dimensions du LD 248×138 μm^2).	141
Fig. 4-16 : Montage du dispositif de mesure de l'ensemble multiplicateur de fréquence et le détecteur de verrouillage.	142
Fig. 4-17 : Sortie de l'intégrateur et celle du détecteur de verrouillage (DV) en fonction de la tension de contrôle de la capacité du résonateur (contrôlant la fréquence d'oscillations libre $f_{libre,ILO2}$). Des exemples de spectres pour 6 points (1-6) sont montrée à la figure suivante :	143

Fig. 4-18 : Exemple de spectres à la sortie du multiplicateur de fréquences pour six valeurs de tension de contrôle de la capacité du résonateur ILO ₂ V_{tune} : ① 0.43V ; ② 0.65 V ; ③ 0.75V ; ④ 0.9V ; ⑤ 1V ; ⑥ 1.12V.....	144
Fig. 4-19 : Sortie du détecteur de verrouillage (DV) en fonction de la tension de contrôle de la capacité du résonateur (contrôlant la fréquence d'oscillations libre $f_{\text{libre,ILO2}}$) pour trois valeurs de la tension de polarisation du transistor d'injection $T_{\text{inj3\&4}}$ (contrôlant le niveau d'injection). La bande de synchronisation augmente en augmentant ce dernier.....	145
Fig. 4-20 : Sortie du détecteur de verrouillage (DV) en fonction de la tension de contrôle des capacités des deux ILOs de sortie ILO ₁ et ILO ₂ (contrôlant la fréquence d'oscillations libre $f_{\text{libre,ILO1\&2}}$).	146
Fig. 4-21 : Dispositif de montage de la boucle de calibration automatique, son schéma block et organigramme de la technique de correction de fonctionnalité et performances. BS désigne la bande de synchronisation.	149
Fig. 4-22 : Evolution en fonction du temps des paramètres impliqués dans la calibration de l'oscillateur sur la première chaine du standard IEEE.308.11ay 58.32GHz. (a) Sortie du détecteur de verrouillage, tension de contrôle de la capacité du résonateur V_{tune} de l'ILO ₂ , fréquence en oscillation libre et fréquence instantanée. (b) Sortie du détecteur de verrouillage et le RMS Jitter intégré dans la bande [1kHz – 1GHz] autour de la porteuse 58.32GHz. BS désigne la bande de synchronisation.	151
Fig. 4-23 : Bruit de phase à 1MHz d'offset des techniques de génération de fréquence en fonction de leurs fréquences de sorties. Comparaison des tendances entre les techniques classiques de synthèse de fréquences par PLL et VCO (en bleu) et celles utilisant la multiplication harmonique (en rouge).....	152

LISTE DES PUBLICATIONS

- [1] A. Boulmirat, A. Siligaris, C. Jany, et J. L. Gonzalez-Jimenez, « Lock Detector Integrated in a High Order Frequency Multiplier Operating at 60-GHz-Band in 45nm CMOS SOI Technology », in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, USA, 2020, p. 944-947
- [2] A. Boulmirat, J. L. González-Jiménez, C. Jany and A. Siligaris, "A High-Order-N Frequency-Multiplier Using Pulsed Oscillator: Modeling and Optimization," *2021 19th IEEE International New Circuits and Systems Conference (NEWCAS)*, 2021, pp. 1-4,
- [3] A. Boulmirat, C. Jany, A. Siligaris, et J. L. G. Jimenez, « Low Power Locking Detector for Frequency Calibration of Multi-Frequency Injection Locked Oscillators », in *2018 14th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, Prague, 2018, p. 189-192
- [4] A. Siligaris et al., « A Multichannel Programmable High Order Frequency Multiplier for Channel Bonding and Full Duplex Transceivers at 60 GHz Band », in *2020 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Los Angeles, CA, USA, Aug. 2020, p. 259-262