



Synthèses de fréquence à bas bruit basées sur des oscillateurs opto-électroniques couplés intégrées en technologie BiCMOS SiGe 130 nm

Arnaud Collet

► To cite this version:

Arnaud Collet. Synthèses de fréquence à bas bruit basées sur des oscillateurs opto-électroniques couplés intégrées en technologie BiCMOS SiGe 130 nm. Electromagnétisme. Université Paul Sabatier - Toulouse III, 2021. Français. NNT : 2021TOU30103 . tel-03603746

HAL Id: tel-03603746

<https://theses.hal.science/tel-03603746>

Submitted on 10 Mar 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

**En vue de l'obtention du
DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE**

Délivré par l'Université Toulouse 3 - Paul Sabatier

**Présentée et soutenue par
Arnaud COLLET**

Le 22 juillet 2021

**Synthèses de fréquence à bas bruit basées
sur des oscillateurs opto-électroniques couplés
intégrées en technologie BiCMOS SiGe 130nm**

Ecole doctorale : **GEETS - Génie Electrique Electronique, Télécommunications et
Santé : du système au nanosystème**

Spécialité : **Electromagnétisme et Systèmes Haute Fréquence**

Unité de recherche :
LAAS - Laboratoire d'Analyse et d'Architecture des Systèmes

Thèse dirigée par
Éric TOURNIER

Jury

Mme Florence PODEVIN, Rapporteuse
M. Bruno BARELAUD, Rapporteur
M. Olivier LLOPIS, Examineur
M. Kamel ACHOUR, Invité
M. Éric TOURNIER, Directeur de thèse

Remerciements

Ce mémoire présente mes travaux de recherche effectués au [Laboratoire d'Analyse et d'Architecture des Systèmes \(LAAS\)](#) à Toulouse, unité propre du [Centre National de la Recherche Scientifique \(CNRS\)](#), au sein du groupe [Microondes et Opto-microondes pour Systèmes de Télécommunications \(MOST\)](#). Je tiens à remercier M. Liviu Nicu, directeur du [LAAS](#), de m'avoir accueilli au sein de ce laboratoire et de m'avoir permis d'évoluer dans d'aussi bonnes conditions de travail. Je souhaite également remercier l'ensemble des partenaires de ce projet : [Thalès Alénia Space \(TAS\)](#), [Thalès Research and Technology \(TRT\)](#), le [Laboratoire Aimé Cotton \(LAC\)](#) et en particulier le [Centre National d'Etudes Spatiales \(CNES\)](#) et la région Occitanie d'avoir préservé ma rémunération malgré l'arrêt prématuré du projet. Je souhaite remercier mon directeur de thèse, M. Éric Tournier, pour les nombreuses connaissances et compétences qu'il a su me transmettre. Je le remercie de s'être toujours assuré que je dispose de tous les outils nécessaires pour mener à bien mes recherches et de m'avoir guidé jusqu'à l'accomplissement de cette thèse malgré les quelques embûches que nous avons rencontrées. Je voudrais ensuite remercier les membres du jury de m'avoir fait bénéficier de leur expertise pour l'évaluation de mes travaux. Mme Florence Podevin et M. Bruno Barelaud, en tant que rapporteurs du manuscrit, d'avoir pu me remettre leur rapports détaillés et précis malgré un délai très bref. M. Kamel Achour, invité, d'avoir partagé son expertise et sa passion pour la conception de circuits et M. Olivier Llopis, examinateur et président du jury, pour les nombreuses connaissances qu'il m'a apportées lors de cette thèse. Je vous remercie sincèrement pour vos retours, pour la justesse de vos questions et pour les discussions que nous avons eues. Je tiens à remercier l'ensemble de l'équipe [MOST](#) pour ses conseils et les discussions enrichissantes que nous avons pu avoir lors de cette thèse. Je tiens à remercier M. Alexandre Rumeau et M. Damien Saugnon pour leur aide précieuse lors de la caractérisation expérimentale des circuits. Je remercie Mme Hassna Hameur, stagiaire au [LAAS](#) qui a contribué à cette thèse, pour sa rigueur, sa curiosité scientifique et sa bonne humeur immuable. Un grand merci aux différents collègues du bureau G24 pour les moments que nous avons partagés : Napoléon, la force tranquille, François, la sagesse incarnée, Pierre, l'original, Alexandre, le bon vivant et Jordi, la bouffée d'air frais de la fin de thèse. J'envoie une rafale de mercis à la team *Bang*TM : Lya, Sylvain, Vincent, Fabien, Damien, David et William. Merci pour les moments de détente et de rire. Je remercie éga-

lement tous les doctorants, post-doctorants et membres du [LAAS](#) pour leurs conseils et leur bonne humeur : Aliou, Boris, Audrey, Alexis, Bastien, Lucas, Nicolas, Lilian, Jordi et tous les autres que j'oublie. Je remercie les amis qui m'ont accompagné et soutenu : Pascal, sans qui je n'aurais pas fait cette thèse, et Carole, pour les bons moments passés ensemble ces dernières années. Hugo, que je remercie sincèrement d'avoir lu ce manuscrit, et Myriam, pour votre bonne humeur réconfortante. Aude, pour tous les moments passés ensemble durant nos thèses respectives à se soutenir mutuellement. Un énorme merci à ma famille pour leur soutien et leur amour : mes parents qui ont toujours voulu le meilleur pour moi, qui ont tout fait pour, et que j'ai voulu rendre fiers. Mes frères, Antoine et Alexandre, et leur dulcinée, Anaïs et Orlane, et ma petite sœur Anaïs pour leur soutien et les bons moments que l'on partage régulièrement. Une pensée pour Odile et Nimchi, nos deux chats pleins de tendresse et d'affection. Enfin, je ne pourrais jamais assez remercier Anaïs, qui partage ma vie depuis quatre années et qui a dû supporter une deuxième thèse après la sienne. Merci pour ta patience qui a été mise à rude épreuve par moment, merci pour ta bienveillance constante, merci pour tout ce que tu as fait pour me faciliter la vie, merci pour tes précieux conseils tout au long de la thèse... Tu es exceptionnelle et je mesure chaque jour la chance que j'ai de t'avoir à mes côtés.

Merci.

Table des matières

Remerciements

Introduction générale	1
1 Méthodes de synthèse de références hyperfréquences	11
Introduction	11
1.I La synthèse par multiplication de fréquence	12
1.I.1 Principe	12
1.I.2 Bruit de phase dans la PLL	13
1.I.3 État de l'art de la PLL	16
1.II La synthèse par division de fréquence	18
1.II.1 Principe	18
1.II.2 Oscillateurs opto-électroniques couplés	19
1.II.3 Diviseurs de fréquence numériques	21
1.II.3.a Principe	21
1.II.3.b Diviseurs synchrones	26
1.II.3.c Diviseurs asynchrones	27
1.II.3.d Diviseurs entiers fixes	28
1.II.3.e Diviseurs entiers programmables	29
1.II.3.f Diviseurs dans la PLL	32
1.II.3.g État de l'art diviseurs numériques	37
1.II.4 Diviseurs analogiques	39
1.II.4.a Principe	39
1.II.4.b Diviseurs entiers à verrouillage par injection	40
1.II.4.c Diviseurs entiers et fractionnaires régénératifs	41
1.II.4.d État de l'art des diviseurs analogiques ILFD et régénératifs	43
Conclusion	46

2	Synthèse par division entière	61
	Introduction	61
2.I	Diviseurs numériques	62
2.I.1	Diviseur par 2 ECL numérique VCCS	62
2.I.1.a	Présentation	62
2.I.1.b	Conception et résultats de simulations	63
2.I.2	Diviseur par 2 ECL numérique VCVS	69
2.I.2.a	Présentation	69
2.I.2.b	Conception et résultats de simulations	71
2.I.2.c	Dessin des masques du diviseur	72
2.I.2.d	Protocole et résultat de mesures	75
2.I.3	Diviseur par 3 ECL numérique	78
2.I.3.a	Présentation	78
2.I.3.b	Conception et résultats de simulations	80
2.I.3.c	Dessin des masques du diviseur	82
2.I.3.d	Protocole et résultat de mesures	83
2.I.4	Diviseur par 10 CMOS numérique	84
2.I.4.a	Présentation	84
2.I.4.b	Conception et résultats de simulations	85
2.I.4.c	Protocole et résultat de mesures	85
2.I.5	Diviseur numérique ECL programmable sur 4 bits basé sur un décompteur asynchrone	90
2.I.5.a	Présentation	90
2.I.5.b	Conception et résultats de simulations	91
2.I.6	Diviseur numérique ECL programmable sur 4 bits basé sur un décompteur synchrone	93
2.I.6.a	Présentation	93
2.I.6.b	Conception et résultats de simulations	94
2.I.7	Circuit test de la technique de resynchronisation	95
2.I.7.a	Présentation	95
2.I.7.b	Conception et résultats de simulations	95
2.I.7.c	Dessin des masques du diviseur	100
2.I.7.d	Protocole et résultat de mesures	100
2.II	Diviseurs analogiques	104
2.II.1	Diviseur par 3 à verrouillage par injection	104
2.II.1.a	Présentation	104

2.II.1.b	Conception et résultats de simulations	105
2.II.2	Diviseur par 3 avec second harmonique régénératif	106
2.II.2.a	Présentation	106
2.II.2.b	Conception et résultats de simulations	109
2.II.2.c	Dessin des masques du diviseur	110
2.II.2.d	Protocole et résultat de mesures	111
Conclusion		112
3	Synthèse par division fractionnaire régénérative	117
3.I	Introduction	117
3.II	Présentation et démarche	118
3.II.1	Approche avec un XOR en entrée	119
3.II.2	Spectre du diviseur fractionnaire	120
3.II.3	Approche avec un mélangeur en entrée	125
3.III	Diviseurs régénératifs fractionnaires par 1,25, 2,5 et 4,5	129
3.III.1	Présentation	129
3.III.2	Conception et résultat de simulation	130
3.III.3	Dessin des masques du circuit	132
3.III.4	Protocole et résultats de mesures	132
3.IV	Diviseur régénératif fractionnaire programmable	140
3.IV.1	Présentation	140
3.IV.2	Conception et résultat de simulation	140
3.IV.3	Dessin des masques du circuit	143
3.IV.4	Protocole et résultats de mesures	144
Conclusion		148
Conclusion générale		151
Perspectives		153
Annexes		155
I	Transposition et comparaison avec la technologie BiCMOS55	155
I.1	Diviseur numérique par 2 VCCS	155
I.2	Diviseur numérique par 3	156
I.3	Diviseur numérique par 10 CMOS	157
I.4	Diviseur par 3 ILFD	158
I.5	Diviseur par 3 avec second harmonique régénératif	158

I.6	Diviseur régénératif par 1,25	159
I.7	Diviseur régénératif par 4,5	159

Introduction générale

Les signaux hyperfréquences (ou micro-ondes) sont les ondes électromagnétiques dont la gamme de fréquence généralement admise est comprise entre 1 GHz et 300 GHz [1]. Les gammes de fréquence auxquelles ce qualificatif est appliqué ne sont pas définies précisément et peuvent varier d'un auteur à l'autre [2-4]. Cette gamme hyperfréquence est comprise entre celle des radiofréquences et celle des infrarouges dans le spectre électromagnétique [5, 6]. Ces signaux jouent un rôle indispensable dans le domaine des télécommunications, que ce soit pour la téléphonie mobile, la télévision, le Wi-Fi [7] ou encore la transmission satellitaire [8, 9]. Pour l'ensemble de ces applications omniprésentes dans la société actuelle, ce sont les signaux hyperfréquences qui vont servir de porteuses pour transmettre l'information sur de plus ou moins longues distances.

Les signaux hyperfréquences sont également utilisés dans le domaine de la radiodétection pour détecter la présence, la localisation ou même la vitesse d'un objet [10, 11]. Pour cela, la propriété de réflexion des ondes électromagnétiques est exploitée : lorsqu'une onde électromagnétique change de milieu ou rencontre une surface, l'onde est alors, au moins partiellement, réfléchi. Ce signal réfléchi peut être mesuré et analysé pour déterminer la présence d'un objet, et même calculer sa vitesse ou la distance à laquelle il se trouve.

Enfin, un dernier domaine qui illustre l'importance des signaux hyperfréquences est celui de la médecine. Ils sont notamment utilisés pour la détection de tumeurs cancéreuses [12, 13] et pour le traitement de certaines pathologies [14].

Les signaux hyperfréquences sont donc omniprésents dans le monde qui nous entoure, au point que cela en devienne problématique. En effet, même si le spectre des hyperfréquences s'étale de 1 GHz à 300 GHz, certaines fréquences sont plus adaptées pour certaines applications, et il est généralement plus simple technologiquement de travailler à basse fréquence, si bien que beaucoup d'applications utilisent encore des fréquences inférieures à 6 GHz [15-17]. Ainsi, la bande de fréquence de 1 à 6 GHz, appelée « Sub-6 », est particulièrement prisée en grande partie en raison des caractéristiques de propagation des signaux à ces fréquences. En effet, dans cette bande de fréquence, les ondes peuvent toujours se propager à travers certaines surfaces, notamment les murs, ce qui peut être indispensable pour certaines applications. De plus, les signaux de cette bande de fréquence ne subissent pas d'atténuation importante par temps de pluie, contrairement à des si-

gnaux de fréquence plus élevée [18].

En outre, utiliser la même fréquence pour différentes applications peut générer des problèmes d'interférences [19]. Il faut donc répartir les différentes gammes de fréquences entre les différents domaines d'utilisation et mettre en place des normes pour que les communications puissent s'établir sans se perturber mutuellement. Pour l'ensemble de ces raisons, le domaine des hyperfréquences fait actuellement face à un encombrement important des bandes de fréquence inférieures à 6 GHz [20] et un de ses défis majeurs sera de trouver des solutions à cette saturation. Une des solutions étudiées est l'utilisation de gammes de fréquences plus élevées [21-23]. Cependant, cela demande de relever certains défis technologiques liés notamment à la génération de références hyperfréquences. Effectivement, la méthode de génération de signaux hyperfréquences la plus répandue actuellement est la [boucle à verrouillage de phase \(ou Phase locked-loop\) \(PLL\)](#) [24]. Elle réalise une multiplication d'une fréquence de référence basse par un certain facteur N . Mais il y a un inconvénient lié à cette méthode de synthèse : dans la plupart des applications, il est primordial de conserver autant que possible la qualité du signal hyperfréquence, c'est-à-dire sa pureté spectrale. Une des grandeurs physiques qui permet d'évaluer cette pureté spectrale est le bruit de phase [25]. Or dans le cas d'une multiplication idéale d'une fréquence par un facteur N , son bruit de phase théorique augmente proportionnellement à N^2 , soit de $20 \cdot \log N$ en dB [26, 27]. À cette inévitable augmentation du bruit de phase vient s'ajouter le bruit des différents éléments du système de synthèse de fréquence. Synthétiser une fréquence élevée en multipliant une référence de fréquence basse par un facteur important impacte donc négativement la pureté du signal généré de façon inéluctable. Les oscillateurs générant la fréquence basse de référence sont généralement des oscillateurs à quartz, les plus répandus étant ceux de type [Oven Controlled X-tal\(Crystal\) Oscillator \(OCXO\)](#) qui fournissent des signaux de fréquences de l'ordre de la dizaine à quelques centaines de mégahertz [28-34].

Une autre technologie d'oscillateurs, appelée [Surface Acoustic Wave \(SAW\)](#) tend à se démocratiser. Ils génèrent des signaux de fréquences compris entre quelques centaines de mégahertz à plusieurs gigahertz à haute pureté spectrale [35-37]. Enfin, d'autres méthodes de génération à haute pureté spectrale sont également utilisées comme les [Bulk Acoustic Wave \(BAW\)](#) [38-40] ou les oscillateurs à saphir [41-43].

Quoi qu'il en soit, concernant les oscillateurs les plus communs, c'est-à-dire les [OCXO](#), des facteurs multiplicatifs de l'ordre de plusieurs centaines doivent être mis en œuvre pour atteindre des fréquences dépassant les 6 GHz, ce qui impacte négativement le bruit de phase.

Pour cette raison, cette thèse vise à étudier les perspectives et approfondir les recherches sur la méthode de synthèse de fréquence basée non plus sur la multiplication d'une référence basse mais sur la division d'une référence haute. Elle est intégrée dans le cadre du projet [Division de Fréquence d'Oscillateurs Opto-électroniques \(DIFOOL\)](#) débuté en mars 2016, qui portait sur la

synthèse de fréquence par division de [oscillateur opto-électronique couplé \(ou Coupled OptoElectronic Oscillator\) \(COEO\)](#). Le projet [DIFOOL](#) s'est cependant terminé prématurément au début de l'année 2018, soit un an et demi après le début de la thèse, suite à la liquidation judiciaire de l'une des entreprises partenaires, ce qui a fortement impacté la thèse : le projet devait financer les runs technologiques des circuits conçus. Un deuxième projet, [Oscillateurs opto-électroniques d'Intégration Visés Électroniquement \(OLIVE\)](#), devait prendre la suite du projet [DIFOOL](#) mais n'a finalement démarré qu'en début d'année 2020, la plupart des runs présentés dans la thèse se sont donc faits sur les finances de mon équipe de recherche, limitant de fait les surfaces envisageables pour les différents circuits conçus.

Les partenaires du projet [DIFOOL](#) étaient le Laboratoire Aimé Cotton, Thalès Alenia Space, Thales Research and Technology, OSAT et enfin le [LAAS](#) où j'ai réalisé ma thèse. Une partie du projet était orientée sur l'étude des [COEO](#), qui sont des oscillateurs haute fréquence à haute pureté spectrale, et une autre partie concerne la division faible bruit de ces oscillateurs, sur laquelle porte cette thèse.

Deux [COEO](#) générant des signaux à 30 GHz [44] et à 10 GHz, conformément au cahier des charges du projet [DIFOOL](#), sont utilisés comme références pour les diviseurs présentés dans ce manuscrit. Ainsi, contrairement à une [PLL](#) où un facteur de l'ordre de la centaine est nécessaire pour arriver aux 6 GHz au-delà desquels l'encombrement en fréquence nous amène à travailler, une simple division par 5 du [COEO](#) à 30 GHz permet déjà d'atteindre les 6 GHz.

À partir de la référence de fréquence à 30 GHz, l'objectif du projet était alors d'être capable de générer plusieurs fréquences inférieures à 30 GHz et éventuellement aussi basse que 1 GHz pour comparer les performances du signal synthétisé avec celles d'un signal généré par un oscillateur de référence standard à cette fréquence. Cela signifie qu'à fréquence équivalente, le bruit de phase du [COEO](#) transposé à 1 GHz doit être meilleur que ceux de ces oscillateurs à 1 GHz. Nous avons notamment étudié la division fixe par trois à 30 GHz, puisque nous travaillons également avec un [COEO](#) à 10 GHz, cela nous permettait ensuite de mutualiser les méthodes de synthèse en dessous de 10 GHz.

Ces signaux synthétisés à partir de la référence à 30 GHz doivent en conserver autant que possible la pureté spectrale. Pour cela, nous travaillons sur la conception de diviseurs à très faible bruit de phase résiduel tout en offrant la possibilité de réaliser des rapports de division fractionnaires et mêmes programmables. En effet, des applications telles que la 5G en France utiliseront massivement à terme des fréquences proches de 26 GHz, donc du même ordre de grandeur que le [COEO](#) à 30 GHz utilisé ici, et d'autres proches de 3,5 GHz [45]. Par conséquent, un diviseur à haute pureté spectrale, programmable et fractionnaire permettrait d'avoir accès à l'ensemble des fréquences nécessaires en utilisant la fréquence la plus élevée en tant que référence. Un des objectifs de cette thèse est donc d'étudier les performances de différentes méthodes de division de

fréquence et de proposer des solutions performantes et innovantes basées sur de la division plutôt que de la multiplication.

Ce document s'articule autour de trois chapitres : dans le premier, les principales méthodes de synthèses hyperfréquences existantes et les caractéristiques intrinsèques de chacune sont présentées, puis un état de l'art est réalisé. Un des deux sujets majeurs abordé au cours de ce chapitre est celui de la PLL, méthode de synthèse à laquelle nous souhaitons proposer une alternative. Le deuxième sujet majeur traité dans ce chapitre est la synthèse par division de COEO, comprenant une présentation de différentes méthodes de division.

Dans un deuxième chapitre, nous présentons les différents diviseurs de fréquences entiers que nous avons conçus et leurs résultats de simulations et de mesures. Ils sont présentés dans deux catégories distinctes : les diviseurs numériques et les diviseurs analogiques. Ce sont pour commencer des diviseurs relativement simples, qui serviront de base pour des diviseurs plus complexes que nous présenterons par la suite. Ils permettent d'estimer les meilleures performances que l'on peut espérer obtenir avec des diviseurs car leur simplicité bénéficie généralement au bruit de phase. Les différents choix de conception et de dimensionnement de ces diviseurs sont expliqués dans ce chapitre et les résultats de simulations et de mesures y sont discutés.

Enfin, dans un troisième et dernier chapitre, le développement et la conception d'une topologie innovante de diviseur régénératif fractionnaire sont présentés. Basée sur le principe du diviseur régénératif de Miller, nous avons mis au point une topologie utilisant des diviseurs numériques fixes dans un premier temps pour évaluer les performances, notamment en bruit de phase, de ce type de diviseur. Ayant obtenu des résultats convaincants, une version avec un diviseur programmable a par la suite été implémentée. Il s'agit, à notre connaissance, du premier diviseur régénératif fractionnaire programmable réalisé ainsi. La conception et les résultats de mesures de ces différents circuits sont présentés au cours de ce chapitre.

Bibliographie

- [1] *IEEE Standard Letter Designations for Radar-Frequency Bands*. IEEE. URL : <https://ieeexplore.ieee.org/document/8999849/> (cf. p. 1).
- [2] R. SORRENTINO et G. BIANCHI. *Microwave and RF Engineering*. 2010. URL : <https://nbn-resolving.org/urn:nbn:de:101:1-201410313207> (cf. p. 1).
- [3] NATIONAL ASSOCIATION OF BROADCASTERS, E. A. WILLIAMS et G. A. JONES. *Engineering handbook*. Amsterdam : Focal Press, 2007 (cf. p. 1).
- [4] R. T. HITCHCOCK. *Radio-Frequency and Microwave Radiation*. Avec la coll. d'A. I. H. ASSOCIATION. 3rd ed. Nonionizing Radiation Guide Series. Fairfax, Va : American Industrial Hygiene Association, 2004. 51 p. (cf. p. 1).
- [5] ANFR. *Qu'est-ce que le spectre ?* 18 juin 2020. URL : <https://www.anfr.fr/1-anfr/quest-ce-que-le-spectre/> (cf. p. 1).
- [6] *Spectre Électromagnétique - Commission Européenne*. URL : https://ec.europa.eu/health/scientific_committees/opinions_layman/artificial-light/fr/glossaire/pqrs/spectre-electromagnetique.htm (cf. p. 1).
- [7] *Microwave Link Networks — ETHW*. URL : https://ethw.org/Microwave_Link_Networks (cf. p. 1).
- [8] V. AKAN et E. YAZGAN. “Antennas for Space Applications: A Review”. In : *Advanced Radio Frequency Antennas for Modern Communication and Medical Systems* (18 août 2020). URL : <https://www.intechopen.com/books/advanced-radio-frequency-antennas-for-modern-communication-and-medical-systems/antennas-for-space-applications-a-review> (cf. p. 1).
- [9] *Microwave Applications | 2018-08-01 | Microwave Journal*. URL : <https://www.microwavejournal.com/articles/29922-microwave-applications?page=1> (cf. p. 1).

- [10] S. DILL et al. “A Drone Carried Multichannel Synthetic Aperture Radar for Advanced Buried Object Detection”. In : *2019 IEEE Radar Conference (RadarConf)*. 2019 IEEE Radar Conference (RadarConf19). Boston, MA, USA : IEEE, avr. 2019, p. 1-6. URL : <https://ieeexplore.ieee.org/document/8835814/> (cf. p. 1).
- [11] P. SINGH et al. “Motion Detection and Tracking Using Microwave Sensor for Eliminating Illegal Mine Activities”. In : *2018 3rd International Conference on Microwave and Photonics (ICMAP)*. 2018 3rd International Conference on Microwave and Photonics (ICMAP). Dhanbad : IEEE, fév. 2018, p. 1-5. URL : <https://ieeexplore.ieee.org/document/8354484/> (cf. p. 1).
- [12] M. ELSDON et al. “Early Stage Breast Cancer Detection Using Indirect Microwave Holography”. In : *2006 European Microwave Conference*. 2006 European Microwave Conference. Manchester, UK : IEEE, sept. 2006, p. 1256-1259. URL : <http://ieeexplore.ieee.org/document/4058057/> (cf. p. 1).
- [13] M. PERSSON et al. “Microwave Based Diagnostics and Treatment in Practice”. In : *2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO)*. 2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO). Singapore, Singapore : IEEE, déc. 2013, p. 1-3. URL : <http://ieeexplore.ieee.org/document/6756231/> (cf. p. 1).
- [14] G. BEALE. “Improving Patient Safety in Microwave Ablation Treatments”. In : *2014 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-Bio2014)*. 2014 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO). London, United Kingdom : IEEE, déc. 2014, p. 1-1. URL : <http://ieeexplore.ieee.org/document/7032421/> (cf. p. 1).
- [15] *5G-The Microwave Perspective* | Analog Devices. URL : <https://www.analog.com/en/technical-articles/5g-the-microwave-perspective.html> (cf. p. 1).
- [16] M. ZADA, I. A. SHAH et H. YOO. “Integration of Sub-6-GHz and Mm-Wave Bands With a Large Frequency Ratio for Future 5G MIMO Applications”. In : *IEEE Access* 9 (2021), p. 11241-11251 (cf. p. 1).
- [17] *Spectrum of Interest Spans Sub-6-GHz Cellular Frequencies to mmWave Radar*. Evaluation Engineering. 30 juin 2020. URL : <https://www.evaluationengineering.com/applications/rf-microwave-test/article/21140649/spectrum-of-interest-spans-sub6ghz-cellular-frequencies-to-mmwave-radar> (cf. p. 1).

- [18] 6GHz Archives. Microwave Link. URL : <https://www.microwave-link.com/tag/6ghz/> (cf. p. 2).
- [19] NASA. *Spectrum 101 An Introduction to National Aeronautics and Space Administration Spectrum Management*. 2016. URL : https://www.nasa.gov/sites/default/files/atoms/files/spectrum_101.pdf (cf. p. 2).
- [20] G. ZHOU, J. A. STANKOVIC et S. H. SON. “Crowded Spectrum in Wireless Sensor Networks”. In : (), p. 5 (cf. p. 2).
- [21] T. WANG et al. “Spectrum Analysis and Regulations for 5G”. In : *5G Mobile Communications* (2017), p. 27-50. URL : https://link-springer-com-s.docadis.ups-tlse.fr/chapter/10.1007/978-3-319-34208-5_2 (cf. p. 2).
- [22] E. COMMISSION. *5G for Europe : An Action Plan*. URL : http://ec.europa.eu/newsroom/dae/document.cfm?doc_id=17131 (cf. p. 2).
- [23] F. KHAN et Z. PI. “mmWave Mobile Broadband (MMB): Unleashing the 3GHz;300GHz Spectrum”. In : *34th IEEE Sarnoff Symposium*. 2011 34th IEEE Sarnoff Symposium. Princeton, NJ, USA : IEEE, mai 2011, p. 1-6. URL : <http://ieeexplore.ieee.org/document/5876482/> (cf. p. 2).
- [24] B. TARANTO. *Bruno TARANTO - RF Phase-Locked Loop (PLL) Synthesizer Loop Bandwidth Optimization*. 19 mai 2020 (cf. p. 2).
- [25] “IEEE Standard Definitions of Physical Quantities for Fundamental Frequency and Time Metrology—Random Instabilities”. In : *IEEE Std Std 1139-2008* (fév. 2009), p. c1-35 (cf. p. 2).
- [26] J. CHEN et al. “Does LO Noise Floor Limit Performance in Multi-Gigabit Millimeter-Wave Communication?” In : *IEEE Microwave and Wireless Components Letters* 27.8 (août 2017), p. 769-771. URL : <http://ieeexplore.ieee.org/document/7987033/> (cf. p. 2).
- [27] I. THOMPSON et P. BRENNAN. “Phase Noise Contribution of the Phase Frequency Detector in a Digital PLL Frequency Synthesiser”. In : *IEE Proceedings - Circuits, Devices and Systems* 150.1 (2003), p. 1. URL : https://digital-library.theiet.org/content/journals/10.1049/ip-cds_20030221 (cf. p. 2).
- [28] OCXO | Microsemi. URL : <https://www.microsemi.com/product-directory/high-reliability-rugged-oscillators/4847-ocxo> (cf. p. 2).
- [29] Oven Controlled - OCXO Oscillators | Farnell UK. URL : <https://uk.farnell.com/c/crystals-oscillators/oscillators/oven-controlled-ocxo-oscillators> (cf. p. 2).

- [30] *OCXO Oven Controlled Crystal Oscillators - Microchip Technology* | Mouser. URL : <https://www.mouser.fr/new/microchip/vectron-ocxo-oscillators/> (cf. p. 2).
- [31] N. F. CONTROLS. *Low Phase Noise 1 GHz OCXO in 36x27 Mm "Europack" (Datasheet)* (cf. p. 2).
- [32] K. IRIE et al. "High Stability Ultra-Miniature Size OCXO Operating within Wide Temperature Range: Using ASIC with Built-in Oven for OCXO". In : *2020 Joint Conference of the IEEE International Frequency Control Symposium and International Symposium on Applications of Ferroelectrics (IFCS-ISAF)*. 2020 Joint Conference of the IEEE International Frequency Control Symposium and International Symposium on Applications of Ferroelectrics (IFCS-ISAF). Keystone, CO, USA : IEEE, juill. 2020, p. 1-4. URL : <https://ieeexplore.ieee.org/document/9234922/> (cf. p. 2).
- [33] R. BORODITSKY et J. GOMEZ. "Micro-Miniature, SMD, Ultra Low Phase Noise, High Frequency OCXO". In : *2014 European Frequency and Time Forum (EFTF)*. 2014 European Frequency and Time Forum (EFTF). Neuchatel, Switzerland : IEEE, juin 2014, p. 360-362. URL : <https://ieeexplore.ieee.org/document/7331510> (cf. p. 2).
- [34] M. B. REDDY et al. "High Frequency OCXO for Space Applications". In : *2012 IEEE International Frequency Control Symposium Proceedings*. 2012 IEEE International Frequency Control Symposium (FCS). Baltimore, MD : IEEE, mai 2012, p. 1-5. URL : <https://ieeexplore.ieee.org/document/6243649/> (cf. p. 2).
- [35] *SAW (Surface Acoustic Wave) Oscillators*. URL : <https://www.rfglobalnet.com/doc/saw-surface-acoustic-wave-oscillators-0001> (cf. p. 2).
- [36] *RF/Microwave SAW Oscillators* | Microsemi. URL : <https://www.microsemi.com/product-directory/rf-microwave-saw-products/3880-rf-microwave-saw-oscillators#parametric-search> (cf. p. 2).
- [37] *High Frequency Ultra Low Phase Noise SAW Oscillator - VS-401 - VCSO*. URL : <https://www.vectron.com/products/vcso/vs-401.htm> (cf. p. 2).
- [38] E. MARIGO et al. "Monolithic BAW Oscillator with Conventional QFN Packaging". In : *2019 Joint Conference of the IEEE International Frequency Control Symposium and European Frequency and Time Forum (EFTF/IFC)*. 2019 Joint Conference of the IEEE International Frequency Control Symposium and European Frequency and Time Forum (EFTF/IFC). Orlando, FL, USA : IEEE, avr. 2019, p. 1-2. URL : <https://ieeexplore.ieee.org/document/8855999/> (cf. p. 2).

- [39] G. PILLAI et al. “3-GHz BAW Composite Resonators Integrated with CMOS in a Single-Chip Configuration”. In : *2016 IEEE International Frequency Control Symposium (IFCS)*. 2016 IEEE International Frequency Control Symposium (IFCS). New Orleans, LA, USA : IEEE, mai 2016, p. 1-4. URL : <http://ieeexplore.ieee.org/document/7563593/> (cf. p. 2).
- [40] P. GUILLOT et al. “A 2GHz 65nm CMOS Digitally-Tuned BAW Oscillator”. In : *2008 15th IEEE International Conference on Electronics, Circuits and Systems*. 2008 15th IEEE International Conference on Electronics, Circuits and Systems - (ICECS 2008). St. Julien’s, Malta : IEEE, août 2008, p. 722-725. URL : <https://ieeexplore.ieee.org/document/4674955> (cf. p. 2).
- [41] E. VAILLANT et al. “Frequency Synthesis from Cryogenic Sapphire Oscillator”. In : IEEE, avr. 2016, p. 1-4. URL : <http://ieeexplore.ieee.org/document/7477773/> (cf. p. 2).
- [42] N. NAND et al. “Radio Frequency Signals Synthesised from Independent Cryogenic Sapphire Oscillators”. In : *Electronics Letters* 50.4 (13 fév. 2014), p. 294-295. URL : <http://digital-library.theiet.org/content/journals/10.1049/el.2013.3481> (cf. p. 2).
- [43] N. R. NAND et al. *Ultra Stable and Very Low Noise Signal Source Using a Cryocooled Sapphire Oscillator for VLBI*. 20 avr. 2011. arXiv : [1104.4146](https://arxiv.org/abs/1104.4146) [astro-ph, physics:physics]. URL : <http://arxiv.org/abs/1104.4146> (cf. p. 2).
- [44] A. LY et al. “Highly Spectrally Pure 90-GHz Signal Synthesis Using a Coupled Optoelectronic Oscillator”. In : *IEEE Photonics Technology Letters* 30.14 (15 juill. 2018), p. 1313-1316. URL : <https://ieeexplore.ieee.org/document/8376022/> (cf. p. 3).
- [45] *Tableau de bord des expérimentations 5G en France*. Arcep. URL : <https://www.arcep.fr/cartes-et-donnees/nos-publications-chiffrees/experimentations-5g-en-france/tableau-de-bord-des-experimentations-5g-en-france.html> (cf. p. 3).

Chapitre 1

Méthodes de synthèse de références hyperfréquences

Introduction

Nous présentons dans cette première partie un état des lieux des principales méthodes de synthèses de signaux de références hyperfréquences, puis un état de l’art est établi.

Dans une première partie, nous discutons de la synthèse par multiplication de fréquence qui, dans le domaine des hyperfréquences, est le plus souvent réalisée avec une [PLL](#). Nous présentons son principe de fonctionnement ainsi que les éléments qui la constituent. Nous pointons en particulier les inconvénients que l’on souhaite contourner en changeant d’approche avec la synthèse par division de fréquence.

Dans une seconde partie, nous discutons de cette synthèse par division, et nous détaillons plus particulièrement la méthode de synthèse que nous proposons : la division de fréquence de [COEO](#). Différentes topologies de diviseurs faisant partie de trois grandes familles sont présentées. Ces familles sont : les diviseurs numériques, les [diviseurs de fréquence à verrouillage par injection \(ou Injection-Locked Frequency Dividers\) \(ILFD\)](#) et les diviseurs régénératifs. Nous déterminons dans ce chapitre les avantages et inconvénients de chacune de ces familles au regard de nos objectifs avec, par conséquent, comme contrainte principale, le bruit de phase. D’autres caractéristiques vis-à-vis des objectifs du projet sont également à considérer, notamment la programmabilité et la possibilité de mettre en œuvre des rapports fractionnaires.

1.I La synthèse par multiplication de fréquence

1.I.1 Principe

Comme son nom l'indique, la synthèse par multiplication de fréquence consiste à générer, à partir d'une référence de fréquence basse, un multiple de cette fréquence. La méthode la plus répandue pour la multiplication de fréquence est la **PLL**. La fréquence de référence utilisée dans les **PLL** est généralement issue d'un oscillateur à haute pureté spectrale, les plus répandus étant les oscillateurs à quartz qui génèrent des fréquences de l'ordre de la dizaine à quelques centaines de mégahertz [1-7].

La **PLL**, utilisée comme un synthétiseur de fréquence dont le schéma de principe est donné sur la figure 1.1, est constituée d'un **détecteur phase/fréquence** (ou **Phase/Frequency Detector**) (**PFD**), d'un filtre de boucle, d'un **oscillateur contrôlé en tension** (ou **Voltage Controlled Oscillator**) (**VCO**) et d'un diviseur de fréquence [8].

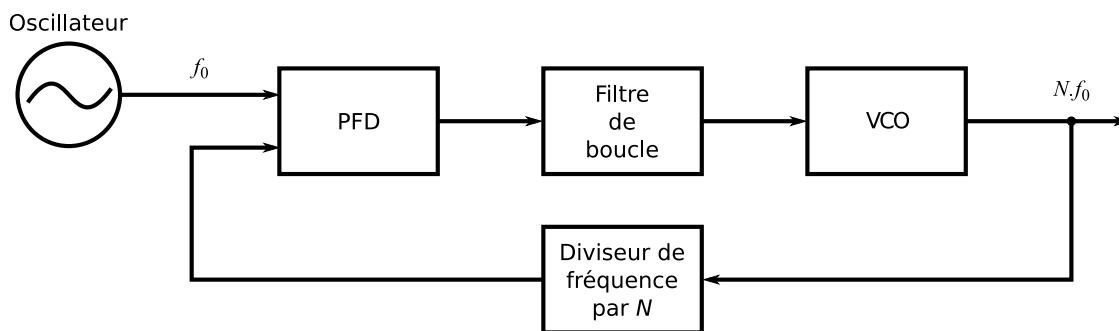


FIGURE 1.1 – Schéma de principe de la **PLL**

La **PLL** est un système qui asservit la fréquence de sortie à celle d'entrée, ainsi, le principe qui régit le fonctionnement d'une **PLL** est de comparer les phases, et éventuellement la fréquence, du signal d'entrée et du signal de sortie dont la fréquence a été divisée par le diviseur de contre-réaction. Tant que ces deux signaux ne sont pas en phase, le **PFD** va, au moyen d'une pompe de charge et d'un filtre de boucle, faire varier la tension de commande du **VCO** pour modifier la fréquence de sortie de telle sorte que, une fois divisée par le diviseur de contre-réaction, elle tende vers la fréquence d'entrée. On parle d'asservissement de phase. La **PLL** tend alors naturellement vers un état d'équilibre où les deux signaux en entrée du **PFD** sont en phase, la **PLL** est alors verrouillée [8, 9].

Pour décrire plus en détail le fonctionnement de la **PLL**, le comparateur, au moyen d'une pompe de charge [10], injecte ou draine des charges en fonction du déphasage entre les deux signaux à ses entrées. Le filtre de boucle permet de déterminer les caractéristiques de l'asservissement de phase : amortissement, bande passante... Il atténue également les produits d'intermodulation indésirables.

sirables issus du PFD. Ces produits d'intermodulation sont des composantes fréquentielles parasites apparaissant lors de phénomènes non-linéaires. Le VCO génère un signal dont la fréquence est proportionnelle à la tension continue à l'entrée du VCO et qui, lorsque la PLL est verrouillée, est le signal de sortie dont la fréquence sera le multiple souhaité de la fréquence d'entrée. Enfin, le diviseur de fréquence génère une fréquence de sortie inférieure à sa fréquence d'entrée [11], il peut être entier ou fractionnaire. C'est lui qui fixe le rapport de multiplication de la PLL, puisqu'en divisant la fréquence du signal de sortie par un certain rapport de façon à ce qu'elle soit la même que la fréquence d'entrée, le rapport du diviseur de la chaîne de contre-réaction est égal au facteur de multiplication de la PLL.

Soit f_{ref} la fréquence de référence générée par l'oscillateur de référence et N la valeur du diviseur de la boucle de contre-réaction, la fréquence f_{out} du signal synthétisé par la PLL est :

$$f_{\text{out}} = N \times f_{\text{ref}} \quad (1.1)$$

La PLL permet donc de multiplier une fréquence de référence par le facteur du diviseur. Il est possible de réaliser une multiplication soit entière soit fractionnaire, en fonction du type de diviseur utilisé dans la boucle de contre-réaction.

Un des défauts de la PLL est de présenter une bande passante limitée. Elle présente plusieurs plages de fonctionnement. Tout d'abord la plage de capture, qui comprend les fréquences pour lesquelles la PLL passe d'un état non-verrouillé à verrouillé. Ensuite la plage de maintien, qui correspond aux fréquences pour lesquelles une PLL déjà verrouillée reste verrouillée. Par définition, la plage de maintien englobe la plage de capture. Lorsqu'une PLL sort de sa plage de maintien, un phénomène de décrochage est observé, c'est-à-dire qu'elle se déverrouille, et le VCO retrouve sa fréquence libre. Deux causes peuvent être à l'origine de ce décrochage : soit une saturation du VCO, soit une saturation du PFD. Concernant le VCO, la plage de maintien correspond à la plage de fonctionnement du VCO, donc la plage où il peut fournir une fréquence proportionnelle à sa tension d'entrée. Pour ce qui est du PFD, si les deux fréquences en entrée deviennent trop différentes l'une de l'autre, il ne peut pas drainer ou fournir suffisamment de charges pour que le VCO corrige cette différence, la PLL décroche alors.

Maintenant que le principe de fonctionnement de la PLL a été présenté, nous allons introduire une notion importante pour la suite : le bruit de phase dans la PLL.

1.1.2 Bruit de phase dans la PLL

Comme évoqué dans l'introduction générale, le bruit de phase est une des grandeurs physiques permettant d'évaluer la pureté spectrale d'un signal. Nous l'exprimons en dBc/Hz puisqu'il exprime un rapport de puissance entre la puissance du signal à la porteuse (« carrier » en anglais d'où

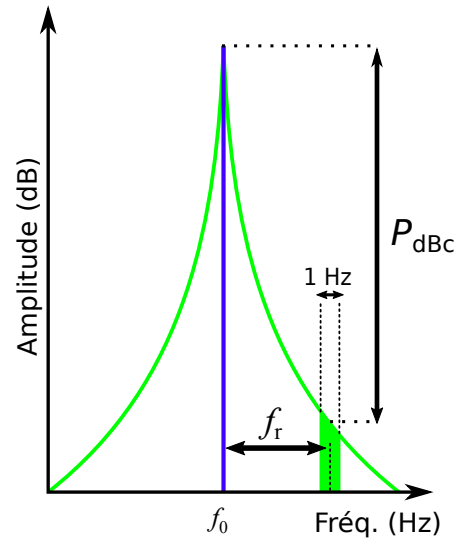


FIGURE 1.2 – Illustration des grandeurs impliquées dans le calcul du bruit de phase

le dBc) et la puissance du signal dans une bande de 1 Hz relativement à la porteuse, comme illustré sur la figure 1.2. Pour préciser cette distance à la porteuse, nous utilisons la notation suivante pour exprimer un bruit de phase : $X\text{dBc}/\text{Hz}@Y\text{Hz}$ avec X la valeur de bruit de phase et Y la distance à la porteuse.

On voit également sur la figure 1.2 qu'il y a deux bandes latérales symétriques de part et d'autre de la porteuse. Le bruit de phase peut être exprimé en fonction d'une seule ([Single-SideBand \(SSB\)](#)) ou des deux bandes latérales ([Double-SideBand \(DSB\)](#)). La définition IEEE du bruit de phase est celle du bruit de phase [SSB](#), c'est donc celle-ci que nous utilisons par la suite. Il est également important de comprendre qu'un bruit de phase est toujours donné en fonction de la fréquence du signal et de la distance à celle-ci, comme on peut le comprendre en regardant la figure 1.2 : le bruit de phase proche de la porteuse n'est pas le même que celui loin de la porteuse. D'un point de vue temporel, cette dégradation de bruit de phase se traduit en partie par une fluctuation plus importante des fronts par rapport à un front idéal. C'est ce que l'on appelle la gigue ou encore le « jitter » en anglais. Ainsi, même si sur le long terme, la période moyenne reste la même, d'une période à l'autre, le moment où un front a lieu peut varier de manière importante si la gigue est prononcée. Cela impacte grandement la qualité du signal, car pour servir de référence de fréquence, il est important d'avoir une période quasi-identique d'une période à l'autre, et donc d'avoir une gigue la plus faible possible. De plus, la représentation temporelle d'une même gigue pour deux signaux de fréquences différentes, présentée sur la figure 1.3, nous permet de comprendre pourquoi il est important d'exprimer un bruit de phase en donnant la fréquence du signal étudié. En effet, pour la même gigue, le signal de fréquence la plus élevée sera d'autant plus impacté, car la gigue est plus importante par rapport à une période du signal. Avec une période plus grande, la gigue dégrade moins la qualité générale du signal.

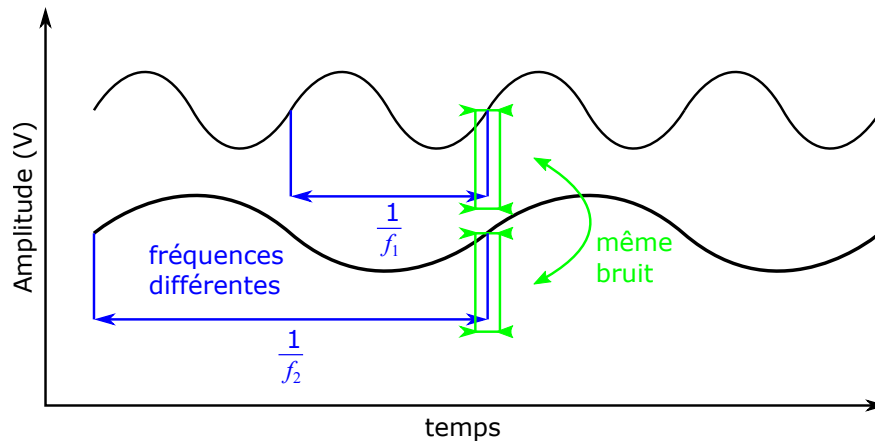


FIGURE 1.3 – Illustration d’une gigue équivalente pour deux signaux de fréquences différentes

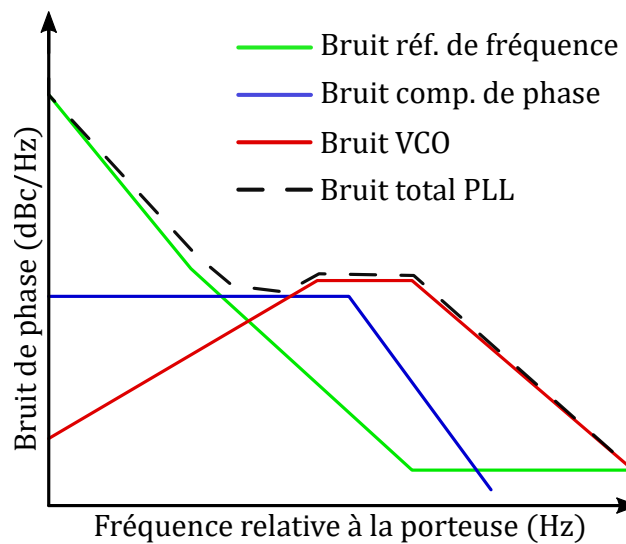


FIGURE 1.4 – Illustration des contributions des éléments de la PLL

Maintenant que la notion de bruit de phase a été présentée, nous détaillons plus spécifiquement le bruit de phase de la PLL. Lorsque la fréquence d’un signal est multipliée par un facteur N , le bruit de phase est rehaussé de $20 \times \log N$. Cette augmentation est inéluctable car nous venons de voir que le calcul du bruit de phase d’un signal est directement lié à la fréquence de ce signal [12]. Il faut ensuite prendre en compte le bruit résiduel des différents éléments de la PLL qui se cumulent et participent à des degrés divers au bruit de phase global [8], comme présenté sur la figure 1.4. C’est sur ce bruit de phase résiduel que des optimisations pourront être apportées, dans une certaine mesure. Ainsi, au plus proche de la porteuse, c’est le bruit de la référence multipliée (donc le bruit de la référence auquel s’ajoute les $20 \times \log N$) qui est prédominant. Très loin de la porteuse, le bruit de la PLL rejoint le plancher de bruit. Entre les deux, les différents éléments de la PLL contribuent plus ou moins au bruit total en fonction de la distance à la porteuse et du design du circuit. Les éléments de la PLL participant majoritairement au bruit de phase sont généralement le PFD et le

VCO [9].

Nous allons à présent établir un état de l’art de la PLL afin de comparer les performances de ces dernières.

1.1.3 État de l’art de la PLL

Un état de l’art au sujet des PLL est pertinent puisqu’un des objectifs de la thèse est d’offrir une alternative à celles-ci, et nos résultats sont en partie voués à être comparés à ceux des PLL. La caractéristique la plus étudiée est le bruit de phase puisque l’objectif principal est d’offrir, pour les fréquences très élevées, une alternative plus performante sur cet aspect que les PLL. Nous utiliserons comme *facteur de mérite* (ou *Figure of Merit*) (FoM) celui issu de la définition suivante, souvent utilisé dans les publications sur les synthétiseurs de fréquence :

$$\text{FoM} = \left| \mathcal{L}(\Delta f_{\text{BdP}}) - 20 \cdot \log \left(\frac{f_{\text{ref}}}{(\Delta f_{\text{BdP}})} \right) + 10 \cdot \log \left(\frac{P_{\text{DC}}}{1\text{mW}} \right) \right| \quad (1.2)$$

où $\mathcal{L}(\Delta f_{\text{BdP}})$ représente le bruit de phase mesuré à Δf_{BdP} , fréquence relative à la porteuse (généralement à 1 MHz pour les PLL). f_{ref} représente la fréquence centrale de la plage de fréquences synthétisée par la PLL et P_{DC} la puissance dissipée par le circuit. Nous prenons la valeur absolue de la valeur obtenue pour simplifier l’explication, ainsi un FoM plus élevé traduit de meilleures performances. Nous utilisons ce FoM pour la plupart des synthétiseurs de fréquence par la suite car en contrepartie de sa simplicité, il est utilisable pour n’importe quel synthétiseur de fréquence dont on connaît la fréquence synthétisée, la consommation et le bruit de phase. Les performances des PLL peuvent ainsi être comparées avec celles des diviseurs. De plus, le fait de diviser f_{ref} par Δf_{BdP} permet de comparer plusieurs FoM entre eux, même si le bruit de phase n’est pas mesuré à la même distance de la porteuse (à condition toutefois que le bruit de phase ait une pente de -20 dB/dec). Bien entendu, de par sa simplicité, ce FoM occulte bon nombre d’autres paramètres pertinents de synthétiseurs de fréquences, mais il donne une bonne indication de leurs performances en bruit de phase en fonction de leur consommation, qui sont les deux principaux critères sur lesquels reposent les conceptions de nos diviseurs de fréquences. Les caractéristiques de PLL à facteurs entiers sont présentées dans le tableau 1.1 et celles de PLL à facteurs fractionnaires sont présentées dans les tableaux 1.2 et 1.3. Elles sont toutes relativement récentes, datant de 2013 à 2020, et sont assez représentatives de la diversité existante parmi les PLL, avec des finesses de gravure différentes, des caractéristiques fréquentielles variées et des topologies diverses.

Les points communs que l’on peut cependant noter sont que l’ensemble des PLL présentées ici synthétisent des signaux hyperfréquences, qu’elles sont réalisées en technologie CMOS (sauf une) et qu’elles sont, pour la plupart, présentées comme « faible bruit » dans les articles correspondants.

TABLE 1.1 – État de l’art de PLL entières

Références	[13]	[14]	[15]	[16]	[17]	[18]
Technologie (nm)	28	65	65	65	65	180
Bande-passante (%)	5,3	5,9	8	17,2	21,7	14
Fréquence centrale (GHz)	54,65	20,025	2	27,9	2,3	10,33
Bruit de phase@1 MHz (dBc/Hz)	-96	-102	-136	-105	-125,2	-113,5
Référence de fréquence (MHz)	2280	45	500	N/A	50	50
Référence « Spur » (dBc)	-61	<-40	N/A	N/A	-67	N/A
Puissance dissipée (mW)	10	23,6	126	33,6	3,7	39
Surface puce (mm ²)	0,19	3,04	1,48	0,56	0,36	0,55
FoM (dBc/Hz)	180	174,35	181	178,65	186,5	176,5

TABLE 1.2 – État de l’art de la PLL fractionnaires

Références	[19]	[20]	[21]	[22]
Technologie (nm)	65	28	40	65
Bande-passante (%)	17	28	64,5	26,6
Fréquence centrale (GHz)	3,5	6,4	2,5	3
Bruit de phase@1 MHz (dBc/Hz)	-109	-118	-110	-115
Référence de fréquence (MHz)	78	104	50	40
Référence « Spur » (dBc)	-69	-70	N/A	N/A
« Spur » fractionnaire (dBc)	<-65	<-54	N/A	N/A
Puissance dissipée (mW)	6,9	18,9	10,7	13,3
Surface puce (mm ²)	0,24	0,5	0,5	0,21
FoM (dBc/Hz)	171,5	181	168	173,3

TABLE 1.3 – État de l’art de la PLL fractionnaires (suite)

Références	[23]	[24]	[25]	[26]
Technologie (nm)	65	65	SiGe bip.	65
Bande-passante (%)	20,6	13	30	93
Fréquence centrale (GHz)	29	4,64	80	3,75
Bruit de phase@1MHz (dBc/Hz)	-112,6	-120	-94	-96
Référence de fréquence (MHz)	78	40	1000	50
Référence « Spur » (dBc)	N/A	-70,8	N/A	N/A
« Spur » fractionnaire (dBc)	N/A	-59,2	N/A	N/A
Puissance dissipée (mW)	26,9	6,2	1557	4
Surface puce (mm ²)	0,28	0,2	1	0,084
FoM (dBc/Hz)	187	188,3	160	162,5

Une première chose plutôt générale à noter est que le bruit de phase de la PLL est mesuré loin de la porteuse, ici 1 MHz, puisque proche de la porteuse, c’est le bruit de la référence qui prévaut et qui n’apporte donc pas d’information sur la PLL elle-même. En effet, dans la littérature,

le bruit de phase des PLL est généralement donné à cette distance de la porteuse. C'est pour cela que dans le FoM utilisé, la fréquence centrale du synthétiseur est divisée par la fréquence relative à la porteuse à laquelle le bruit de phase est mesuré. Cela permet de mettre en exergue les synthétiseurs ayant un bon bruit de phase proche de la porteuse. Comme évoqué dans l'introduction générale, il apparaît que la plupart des références de fréquences utilisées dans ces PLL génèrent des signaux de quelques dizaines à quelques centaines de mégahertz. Ensuite, nous voyons qu'il est aujourd'hui possible de générer des fréquences élevées avec les technologies les plus fines tout en conservant un niveau correct de bruit de phase pour une PLL [13]. Il semble également ressortir de ce tableau que générer des fréquences plus élevées a un impact négatif sur le bruit de phase. En effet, si l'on essaye de relever une tendance, il semble que pour une finesse de gravure identique, plus la fréquence centrale d'une PLL est élevée, plus son FoM est détérioré. Or, une fréquence centrale élevée devrait en théorie correspondre à un FoM moins élevé (donc meilleur), cela veut donc dire que cette augmentation de la fréquence centrale entraîne une dégradation importante d'une autre caractéristique de la PLL, comme le bruit de phase ou la consommation. De plus, on constate d'après ces tableaux que la synthèse fractionnaire dégrade davantage le bruit de phase que la synthèse entière, ce qui s'explique en partie par une complexité accrue des diviseurs fractionnaires, ce qui implique un plus grand nombre de composants utilisés donc plus de contributeurs en bruit. Enfin, pour tenter de généraliser sur l'aspect qui nous intéresse le plus, on peut avancer qu'en ramenant les bruits de phase des différentes PLL entières à une fréquence de 10 GHz (avec la formule $20 \times \log N$), ils sont compris entre 105 dBc/Hz@1 MHz et 122 dBc/Hz@1 MHz. Pour les PLL fractionnaires, en transposant mathématiquement leur bruit de phase à une fréquence de 10 GHz, ils vont de 87,5 dBc/Hz@1 MHz à 121 dBc/Hz@1 MHz. Pour le reste, nous estimons qu'il est complexe d'extraire des tendances précises sur une caractéristique précise de ces PLL puisque toutes les caractéristiques sont généralement interdépendantes et que c'est principalement l'application pour une PLL donnée qui détermine laquelle des caractéristiques sera favorisée.

Maintenant que les PLL ont été décrites en détail, nous allons présenter la méthode de synthèse alternative au centre de nos recherches, à savoir la synthèse par division de fréquence.

1.II La synthèse par division de fréquence

1.II.1 Principe

Comme présenté lors de l'introduction générale, la multiplication d'une fréquence par une PLL entraîne une augmentation du bruit de phase théorique du signal synthétisé, par rapport à celui de la référence, de $20 \times \log N$, N étant le facteur de multiplication. Comme détaillé dans le § 1.I.2, à cette augmentation de bruit de phase inévitable s'ajoute le bruit de phase résiduel des éléments de la

[PLL](#) [27]. À l'inverse, diviser une référence de fréquence par un facteur N diminue théoriquement le bruit de phase du signal synthétisé de $20 \times \log N$ par rapport à celui de la référence. Nos travaux portent sur la division de fréquence qui, à l'inverse de la [PLL](#), utilise une référence de fréquence élevée. Cette référence à haute fréquence et à haute pureté spectrale est divisée par des diviseurs à faible bruit de phase résiduel pour tenter d'en conserver la pureté spectrale. Du fait de leur complexité, les références à haute fréquence et haute pureté spectrale restent encore peu répandues comparées aux références basses fréquences.

Dans notre cas, la référence utilisée est un [COEO](#). Différents diviseurs de fréquences sont réalisés pour opérer une division directe du signal généré par cette référence. L'objectif principal est d'obtenir un bruit de phase résiduel aussi faible que possible pour ces diviseurs, puisque c'est sur cet aspect que l'on souhaite avoir un avantage important comparé à une [PLL](#). Ensuite, la possibilité d'obtenir des rapports fractionnaires et/ou programmables a également été au centre de nos préoccupations. Enfin, les derniers aspects auxquels nous avons porté une attention particulière, une fois les spécifications précédentes satisfaites, sont la consommation de puissance et l'encombrement du circuit.

1.II.2 Oscillateurs opto-électroniques couplés

Présenté pour la première fois en 2000 [28], le [COEO](#) est un système oscillant permettant la génération de signaux de fréquences de la dizaine à quelques dizaines de gigahertz à haute pureté spectrale. Son principe repose sur le couplage d'une oscillation opto-électronique et d'une oscillation optique. Il est important de ne pas confondre le [COEO](#) avec l'[oscillateur opto-électronique \(ou OptoElectronic Oscillator\) \(OEO\)](#) [29-31]. En effet, bien qu'ils présentent des similarités puisque pour l'[OEO](#), la lumière d'un laser est utilisée dans une boucle à contre-réaction opto-électronique pour générer une oscillation hyperfréquence comme présenté sur la figure 1.5, le [COEO](#) réinjecte l'oscillation opto-électronique dans une boucle optique qui génère elle-même un signal optique comme illustré sur la figure 1.6.

Ainsi, contrairement à l'[OEO](#) où le signal optique est issu d'un laser totalement décorrélié de l'onde hyperfréquence, le [COEO](#) génère lui-même un signal optique pulsé, avec une fréquence de répétition des impulsions égale à la fréquence de la boucle micro-onde. La génération optique est obtenue grâce à un amplificateur optique. Cet amplificateur peut être un [Semiconductor Optical Amplifier \(SOA\)](#) ou un [Erbium-Doped Fiber Amplifier \(EDFA\)](#).

Cette partie optique du montage est un type de source laser particulière appelée laser à blocage de modes (cadre « CHEMIN OPTIQUE » sur la figure 1.6). Comme l'illustre la figure 1.7, ce laser génère différents modes correspondant à l'ensemble des modes autorisés par la boucle. Ces modes sont espacés d'un [Intervalle Spectral Libre \(ISL\)](#) constant, qui est lié à la longueur de la cavité.

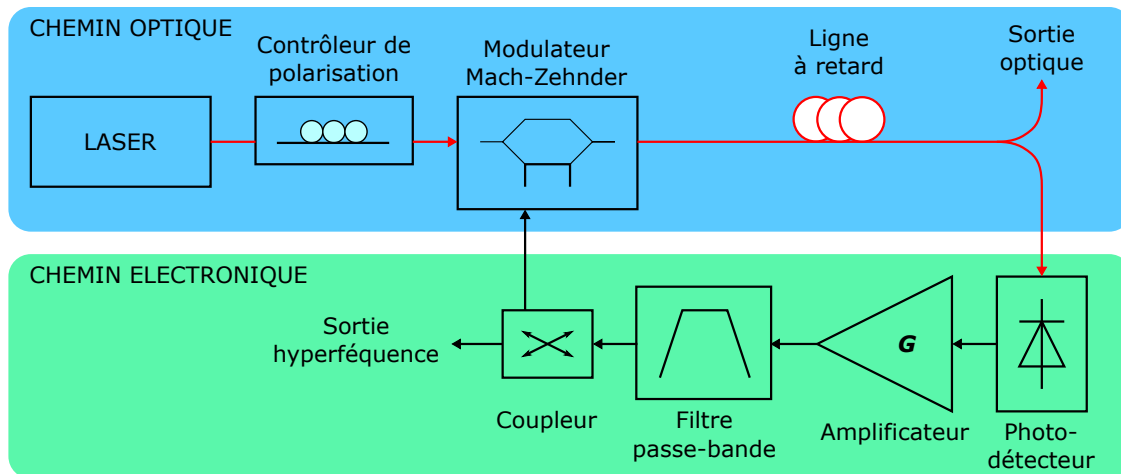


FIGURE 1.5 – Schéma de principe d'un OEO

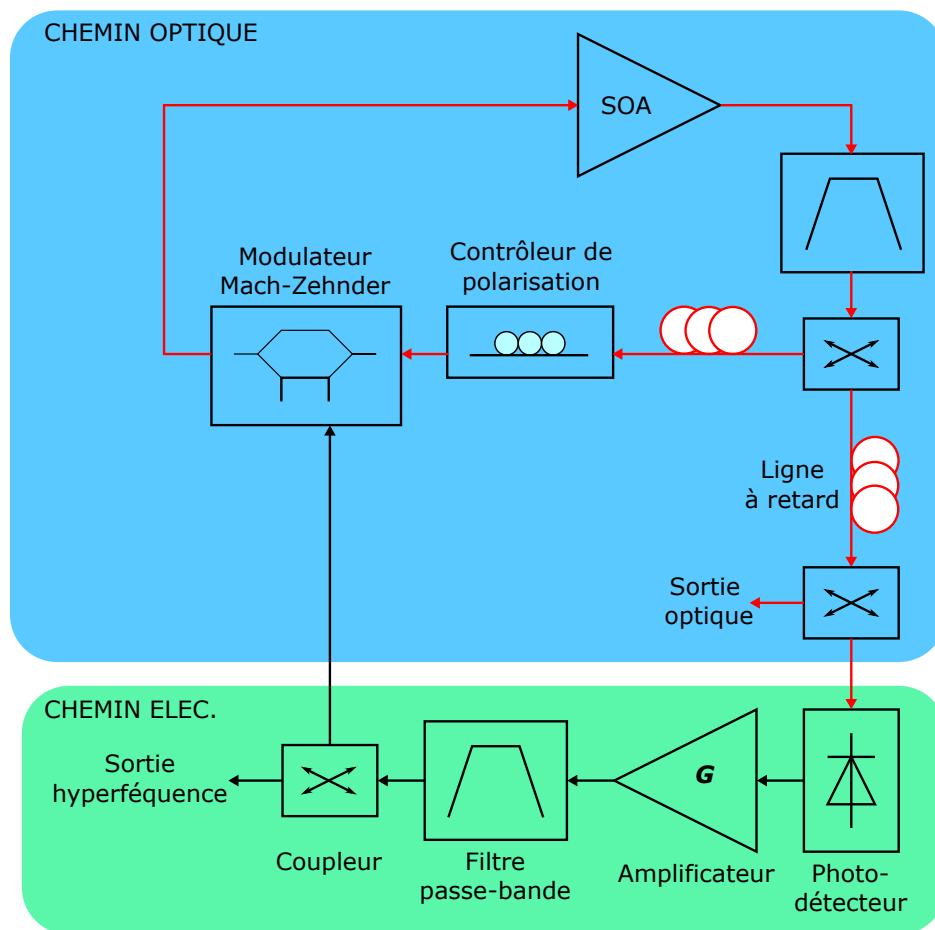


FIGURE 1.6 – Schéma de principe d'un COEO

Ensuite, la partie opto-électronique (cadres « CHEMIN OPTIQUE » et « CHEMIN ELEC. » combinés de la figure 1.6) possède elle-même son propre ISL. Il existe alors plusieurs fréquences pour lesquelles l'oscillation optique et l'oscillation opto-électronique sont accordées. Une de ces

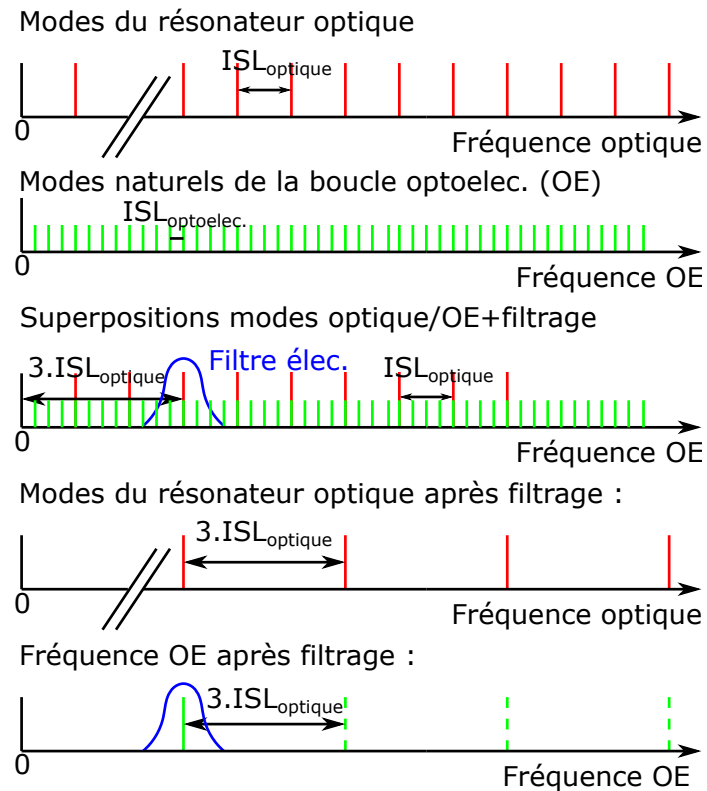


FIGURE 1.7 – Principe de fonctionnement d'un COEO

fréquences est sélectionnée à l'aide du filtre de la partie électronique. Ce filtrage, à travers la contre-réaction, fixe l'harmonique choisi sur lequel le laser oscille et par conséquent la fréquence du signal électrique en sortie du COEO. Il génère alors un signal micro-onde de fréquence fixe à haute pureté spectrale en sortie de la partie électronique. C'est ce signal qui sert de référence pour les différents diviseurs que nous allons maintenant présenter. Ces COEO sont le fruit du travail d'autres chercheurs au LAAS et je n'ai pas travaillé sur les COEO eux-mêmes, mais je m'en suis servi comme référence de fréquence pour les diviseurs que j'ai conçus.

1.II.3 Diviseurs de fréquence numériques

1.II.3.a Principe

Un diviseur numérique a pour principe de réaliser un comptage logique des fronts actifs d'un signal d'horloge, et de générer un front en sortie pour N fronts actifs d'horloge.

Une des briques élémentaires permettant la mise en œuvre de diviseurs numériques est la bascule D. Elle recopie le niveau logique de l'entrée D sur la sortie Q lors d'un front actif d'horloge (montant, descendant ou les deux selon la bascule). Elle est constituée de deux verrous D comme présenté sur la figure 1.8.

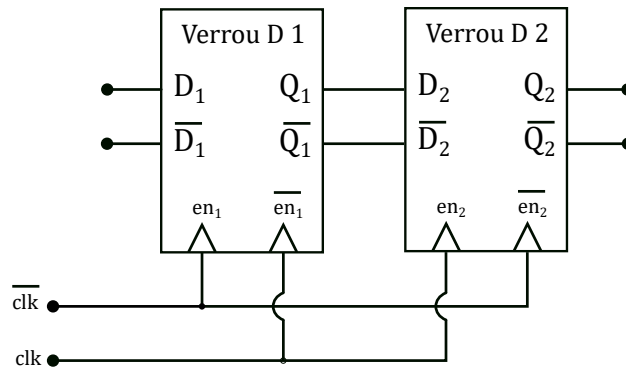


FIGURE 1.8 – Deux verrous D constituant une bascule D

Un verrou recopie l'entrée D sur sa sortie Q pendant le niveau actif de l'horloge (haut ou bas) et mémorise l'état de la sortie sur l'autre niveau. C'est en mettant en série deux verrous réagissant sur des niveaux complémentaires de l'horloge que l'on crée la bascule. Par exemple, sur le niveau bas de l'horloge, le premier verrou laisse passer le signal en position intermédiaire pendant que l'autre verrou mémorise la sortie précédente, puis sur le niveau haut qui suit, le premier verrou fige la valeur intermédiaire qui est recopiée en sortie par le deuxième verrou. Tout se passe alors comme si l'ensemble réagissait sur un front montant (en fait en deux temps) en créant une bascule équivalente. Le chronogramme présenté sur la figure 1.9 illustre le fonctionnement de la bascule, avec le détail de chaque verrou.

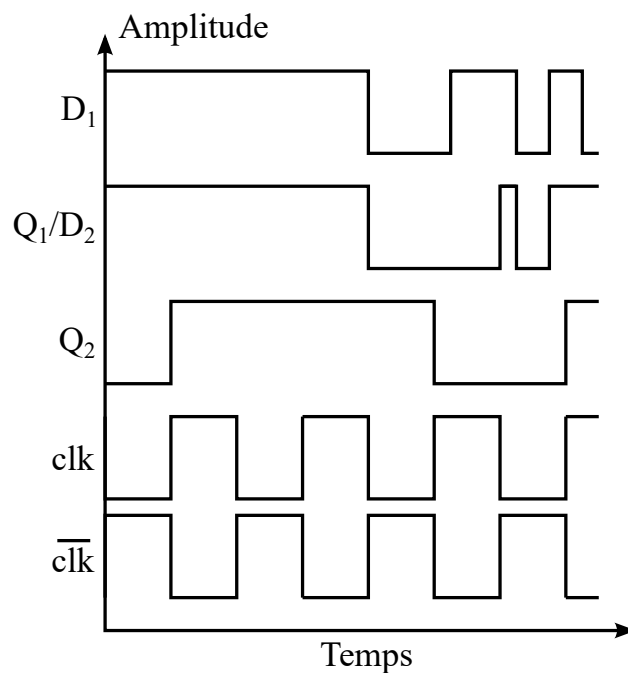


FIGURE 1.9 – Chronogramme d'une bascule D avec le détail de chaque verrou

Il existe ensuite de nombreuses technologies pour concevoir le verrou D en fonction de l'appli-

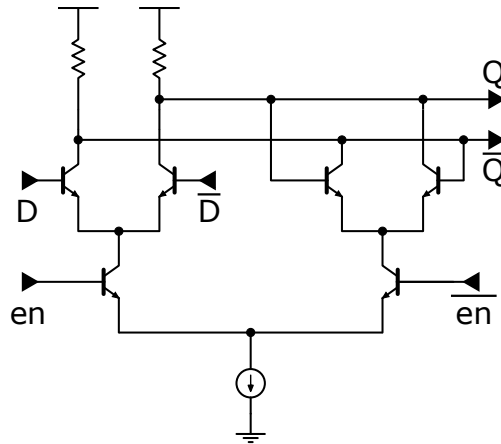


FIGURE 1.10 – Topologie verrou D en CML

cation visée. Certaines utilisent des transistors bipolaires et d'autres des transistors MOS, certaines sont adaptées aux hautes fréquences d'autres ne le sont pas, etc. Lors de la conception des circuits, nous avons principalement utilisé la technologie [Emitter Coupled Logic \(ECL\)](#), elle-même issue d'une logique de conception appelée [Current-Mode Logic \(CML\)](#) basées sur des transistors bipolaires et plus précisément sur des paires différentielles. Cette logique permet d'atteindre des fréquences de fonctionnement élevées en utilisant de faibles excursions en tension et en empêchant le transistor de travailler dans un régime saturé. Le principal inconvénient de ces logiques est leur consommation importante, mais cette caractéristique est secondaire dans la conception de nos circuits. Les paires différentielles permettent d'activer une branche ou l'autre de la paire en fonction des niveaux logiques de commande. La plupart de nos circuits sont conçus en [ECL](#) qui est semblable à la [CML](#), à la différence près que des montages émetteurs suiveurs sont ajoutés en sortie des circuits [CML](#) pour devenir des circuits [ECL](#). Ces collecteurs communs ont l'avantage de garantir un courant suffisant pour piloter des charges de faibles impédances en sortie et de maintenir les transistors de la paire différentielle en régime linéaire. Ces techniques de conception permettent d'atteindre des vitesses de fonctionnement plus élevées comparées à celles du CMOS grâce à l'utilisation de transistors bipolaires et leur faible excursion de tension en sortie.

Une topologie de verrou D [CML](#) est présentée sur la figure 1.10.

Le verrou D permet de recopier sur la sortie Q l'état de l'entrée D tant que le signal d'activation en est à l'état haut. Ainsi en cascade deux verrous D et en inversant les signaux d'activation des deux verrous, on obtient une bascule D comme présenté sur la figure 1.8. Les signaux d'activation étant inversés sur les deux verrous, la bascule ne change d'état que sur les fronts montants du signal d'horloge clk . Ainsi, lors d'un front descendant, le premier verrou recopie D_1 sur Q_1 tandis que Q_2 conserve l'état dans lequel il était précédemment. Ensuite, au front montant suivant, le verrou 1 désolidarise cette valeur de son entrée, en la mémorisant dans cette position intermédiaire, et le verrou 2 la recopie sur sa sortie. On comprend alors l'intérêt de la bascule D : elle permet une

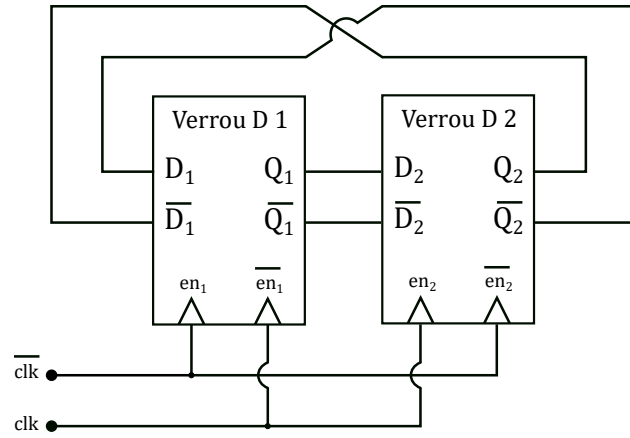


FIGURE 1.11 – Diviseur par 2 numérique

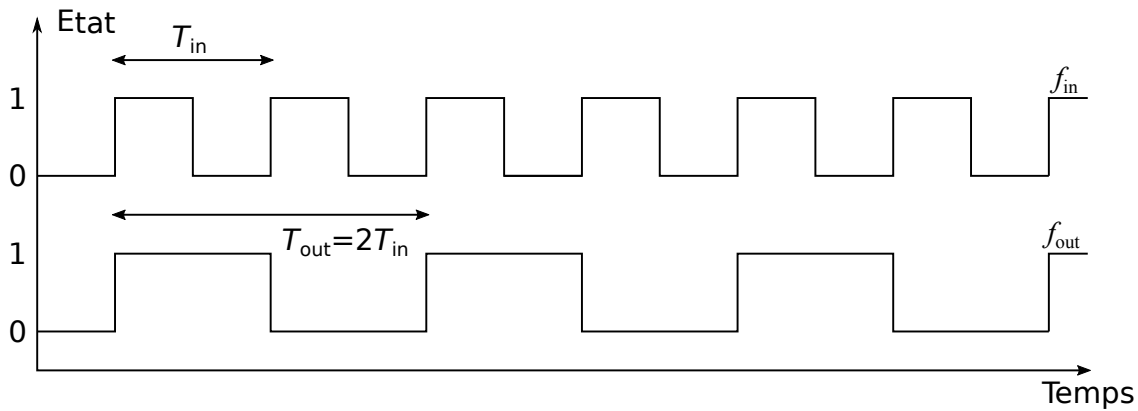


FIGURE 1.12 – Chronogramme d'une division numérique par 2

mémorisation d'un état sur un front actif d'horloge. Nous parlerons désormais de front d'horloge pour les fronts actifs d'horloge afin de simplifier la lecture.

Si l'on a bien saisi le fonctionnement de la bascule D, on comprend alors qu'il est aisé de réaliser un diviseur par deux en utilisant une bascule D. En effet, comme présenté sur la figure 1.11, en bouclant la sortie inverseuse de la bascule sur son entrée non inverseuse, nous obtenons un diviseur par deux. Cela est dû au fait que l'état de la sortie soit inversé à chaque front montant du signal d'horloge, ce qui équivaut à diviser la fréquence par deux comme le montre la figure 1.12.

Sur ce même principe, on rajoute ensuite des portes logiques pour « sauter » un certain nombre de fronts de l'horloge afin d'augmenter le rapport de division. Par exemple, une topologie de diviseur par 3 numérique est présentée sur la figure 1.13

On obtient pour ce diviseur par 3 le chronogramme présenté en figure 1.14.

Nous utilisons ici comme état initial le cas où les sorties des deux bascules D sont à l'état bas (deux autres états initiaux sont possibles avec la sortie de l'une ou l'autre des bascules D à l'état haut). Les deux entrées de la porte NOR sont donc à l'état bas, sa sortie est à l'état haut. Au

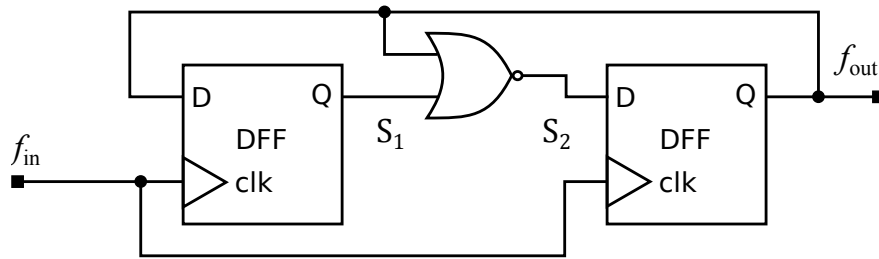


FIGURE 1.13 – Diviseur par 3 numérique

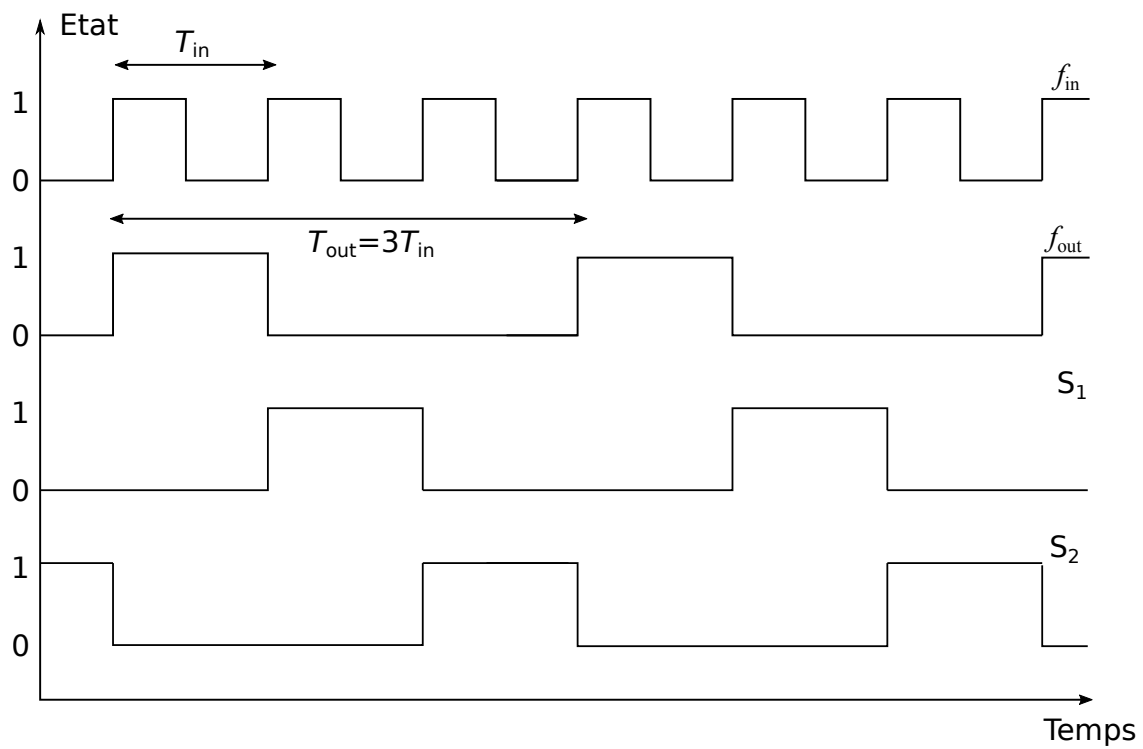


FIGURE 1.14 – Chronogramme d'une division numérique par 3

premier front d'horloge, la sortie de la bascule D de droite passe à l'état haut, celle de la bascule D de gauche reste à l'état bas. La porte NOR a alors une entrée à l'état haut et l'autre à l'état bas, sa sortie passe à l'état bas. Au second front d'horloge, la sortie de la bascule D de droite passe donc à l'état bas, celle de la bascule D de gauche passe à l'état haut. La porte NOR a toujours une entrée à l'état haut et l'autre à l'état bas, sa sortie reste à l'état bas. Au troisième front d'horloge, les sorties des deux bascules sont à l'état bas. La sortie de la porte NOR est à l'état haut, nous sommes revenus dans l'état initial au bout de trois fronts d'horloge et un seul front montant a été généré en sortie, une division par 3 a donc été réalisée. Nous obtenons alors $f_{\text{out}} = \frac{f_{\text{in}}}{3}$.

C'est le principe de base qui régit la division numérique : on utilise des portes logiques pour masquer plus ou moins de fronts et régler ainsi le rapport de division.

1.II.3.b Diviseurs synchrones

Les bascules d'un diviseur synchrone partagent toutes la même horloge et changent donc d'état simultanément sur un même front d'horloge [32].

Comme expliqué précédemment dans le § 1.II.3, le principe est de réaliser un comptage de fronts du signal d'horloge pour générer un front en sortie tous les N fronts d'horloge, réalisant ainsi une division par N . Par exemple, le diviseur par 3 présenté précédemment est un diviseur synchrone 1.13.

Cette simultanéité permet de travailler sereinement en interdisant des états parasites dus aux temps de propagation entre bascules. En contrepartie, leur complexité s'accroît rapidement avec le rapport de division qu'ils réalisent : il faut davantage de portes logiques pour réaliser un rapport de division plus élevé que pour des diviseurs asynchrones. En revanche, ils présentent un avantage du point de vue du bruit de phase : c'est la bascule D en sortie qui détermine majoritairement le bruit de phase du signal synthétisé. En effet, [33] explique qu'entre un diviseur par 4 synchrone et un diviseur par 4 asynchrone, une différence de bruit de phase de 3 dB est attendue car seul le bruit de phase de la seconde bascule est significatif pour le diviseur synchrone. Cela peut s'expliquer par le fait que chaque bascule n'évolue qu'à partir d'un même front d'horloge qui sert donc de référence de phase pour toutes leurs sorties. Et donc chaque bascule « efface » le bruit de la précédente en se resynchronisant sur cette horloge unique, en particulier la bascule de sortie qui devient la seule à contribuer au bruit de sortie.. Pour un diviseur synchrone, il faut donc apporter un soin particulier au bruit de phase de la bascule de sortie car c'est elle qui sera déterminante pour le bruit de phase du signal synthétisé.

1.II.3.c Diviseurs asynchrones

Les diviseurs asynchrones sont réalisés sans se soucier de n'utiliser qu'une seule horloge pour toutes les bascules. La fréquence générée par un premier diviseur peut ainsi servir d'horloge au diviseur suivant. Un exemple de diviseur asynchrone est présenté sur la figure 1.15. Il s'agit d'un diviseur par 2^n , n étant le nombre de bascules D utilisées en diviseur par 2. Ainsi, en cascade trois bascules D réalisant chacune une division par deux, on réalise un diviseur par $2^3 = 8$.

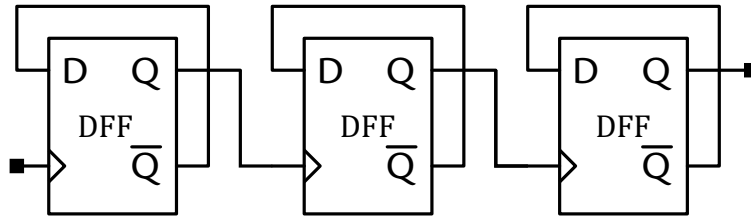


FIGURE 1.15 – Diviseur par $2^3 = 8$ asynchrone

Ce type de diviseur est assez simple à mettre en œuvre, mais il présente plusieurs inconvénients : tout d'abord, les temps de propagation dans chaque bascule s'accumulent si bien qu'à fréquence élevée, des problèmes de synchronisation entre l'horloge principale et le signal synthétisé peuvent apparaître. Cela ne pose pas de problème en soi si l'on s'intéresse uniquement au signal synthétisé. En revanche, si ce signal synthétisé est utilisé pour réaliser une opération avec un autre signal synthétisé à partir de l'horloge principale, ce déphasage peut impacter le fonctionnement du circuit. De plus, les bruits de phase de chacune des bascules s'accumulent également au fur et à mesure, si bien que le signal synthétisé peut présenter un bruit de phase important si de nombreuses bascules s'enchaînent. Il existe cependant un moyen d'améliorer en partie ce bruit de phase par une technique de resynchronisation.

1.II.3.c. i Technique de resynchronisation

Le fait d'utiliser des diviseurs asynchrones en cascade entraîne une dégradation progressive du bruit de phase du signal qui accumule les détériorations de la chaîne de diviseurs.

Sur la figure 1.16, cette technique de resynchronisation est illustrée pour un diviseur en 2^n mais elle est valable pour tout diviseur asynchrone aussi compliqué soit-il. La resynchronisation consiste à utiliser une bascule D synchronisée avec l'horloge de départ à la suite de la chaîne de diviseurs. Ainsi, la gigue accumulée au cours de la chaîne de diviseurs est éliminée en recalant les fronts de signal synthétisé sur ceux, propres, du signal d'horloge de départ. On parle alors de resynchroniser le signal de sortie sur l'horloge d'entrée, ce qui permet d'obtenir une amélioration significative du bruit de phase [34, 35].

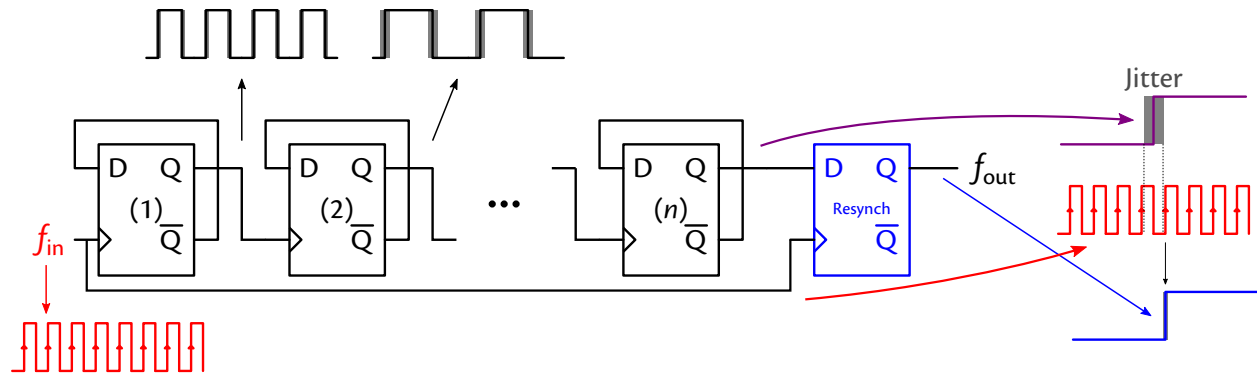


FIGURE 1.16 – Illustration de la technique de resynchronisation

Un des soucis principaux de cette technique est lié au problème d'accumulation de temps de propagation dans les différentes bascules. Il peut entraîner un décalage important entre le front d'horloge qui a déclenché la division et le front généré en sortie. Ainsi, le signal synthétisé en sortie sera bien un sous-multiple de la fréquence d'entrée mais à cause des temps de propagation accumulés, il se peut qu'au moment de la resynchronisation, il y ait eu davantage de périodes sur le signal d'entrée que sur le signal de sortie. Cela n'est problématique que dans le cas où l'on utilise un circuit en parallèle du circuit resynchronisé ayant la même horloge. Par exemple, avec deux diviseurs asynchrones différents en parallèle utilisant la même horloge, un même front va déclencher le début de la division, mais l'accumulation de temps de propagation ne sera pas la même dans les deux diviseurs. Une fois resynchronisé (individuellement), il peut exister un décalage entre les deux signaux synthétisés. Il faut donc être prudent à ce sujet si l'on souhaite réaliser des opérations fréquentielles utilisant ces signaux. En revanche, cela importe peu pour la resynchronisation d'un circuit dont la sortie n'est pas comparée à celle d'un circuit en parallèle puisque c'est uniquement la position relative du front de resynchronisation par rapport au signal resynchronisé qui va être importante. Un décalage d'une ou plusieurs périodes du signal d'entrée par rapport au signal resynchronisé n'a pas d'impact sur la resynchronisation. En revanche, sur une période du signal à resynchroniser, l'instant où a lieu le front de resynchronisation est important. En effet, si celui-ci advient sur un front montant ou descendant du signal à resynchroniser, une partie du bruit peut être transmise sur le signal resynchronisé. Il peut donc s'avérer bénéfique d'ajouter un délai réglable sur le signal de resynchronisation de façon à pouvoir décaler un front de resynchronisation sur un état établi du signal à resynchroniser.

1.II.3.d Diviseurs entiers fixes

Les diviseurs entiers fixes ne comportent que des portes logiques qui ne présentent aucune programmabilité, c'est-à-dire que le diviseur n'est capable de réaliser qu'un seul rapport de division. Ces diviseurs ont donc des topologies simples et épurées en faisant un sacrifice sur la flexibilité.

Ils permettent donc d'estimer les performances, notamment en bruit de phase, qu'il est possible d'atteindre avec une technologie donnée, en particulier celle du diviseur par deux qui est le plus simple d'entre tous.

1.II.3.e Diviseurs entiers programmables

Un diviseur programmable est un diviseur dont le rapport peut être codé par un mot binaire indiquant le rapport à programmer.

Il existe diverses méthodes pour réaliser un diviseur programmable. Un exemple de diviseur programmable est le diviseur $N/N + 1$.

1.II.3.e. i Diviseurs $N/N + 1$

Comme leur nom l'indique, ils permettent de réaliser une division par deux rapports différents consécutifs au choix mais souvent avec $N = 2^n$. Ils sont généralement réalisés en logique rapide (CML ou ECL) en tant que prédiviseur vers un diviseur plus complexe réalisé en logique CMOS, plus lent mais plus facilement programmable. Ils sont réalisés à partir de bascules D et de portes logiques, et leur programmation reste simple (entre N et $N + 1$ donc sur un seul bit). Différentes topologies de ce type de diviseurs pour différents rapports peuvent être trouvés dans la littérature [36].

1.II.3.e. ii Diviseurs programmables à comparateur

Une autre méthode pour réaliser des diviseurs programmables est de comparer la valeur d'un compteur ou d'un décompteur à une consigne et, d'à la fois générer un front et réinitialiser le (dé)comptage une fois la consigne atteinte. Il existe ensuite différentes méthodes pour concevoir le (dé)compteur, réaliser la comparaison et faire la réinitialisation. Nous présentons ici deux méthodes basées sur des décompteurs, un synchrone et un asynchrone. Le plus performant est utilisé par la suite dans un diviseur plus complexe.

Tout d'abord, nous utilisons les diviseurs asynchrones basés sur les diviseurs par 2 en cascade évoqués plus haut. En effet, nous avons établi que ce type de montage réalisait une division par 2^n où n est le nombre de bascules utilisées. Nous avons également expliqué que faire une division de fréquence numérique équivaut à compter un nombre de fronts et à en générer un en sortie tous les N fronts d'entrée pour faire une division par N . Or c'est exactement ce que réalise ce circuit, il opère un décomptage binaire entre 2^{n-1} et 0. Chacun des signaux en sortie des bascules représentent un bit de ce comptage binaire. La sortie de la première bascule D correspond au bit de poids faible, le signal en sortie de la bascule D suivante correspond au bit de poids plus fort et ainsi de suite. Prenons l'exemple d'un décompteur à 8 présenté dans la figure 1.17. Nous obtenons alors le

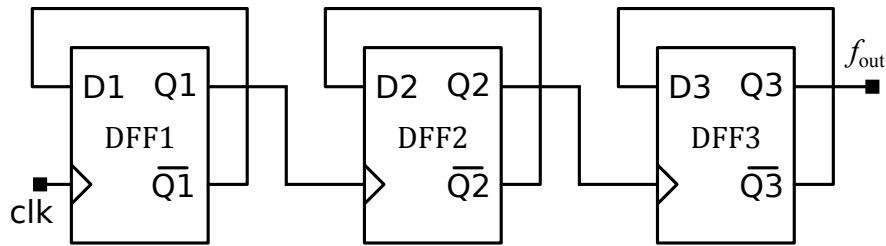


FIGURE 1.17 – Schéma décompteur numérique à 8

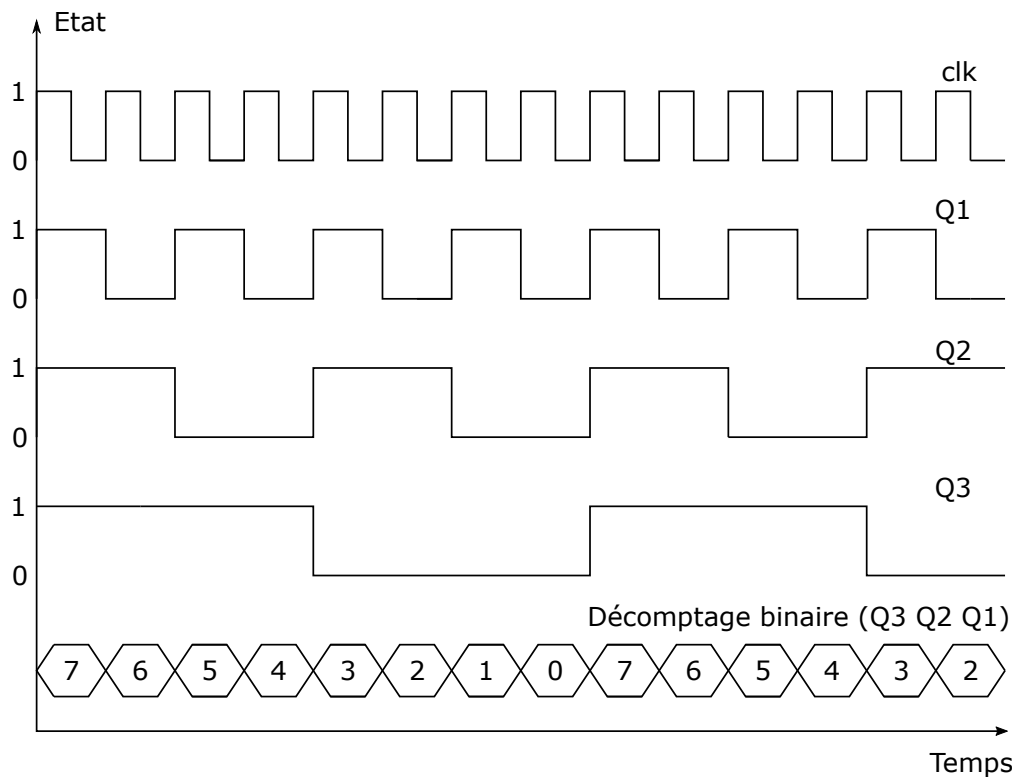


FIGURE 1.18 – Chronogramme décompteur numérique à 8

chronogramme de la figure 1.18. Un décomptage de 7 à 0 est bien opéré sur les sorties Q3, Q2 et Q1. Afin de rendre ce décompteur programmable, il suffit d'utiliser un comparateur programmable sur chacun des bits en sortie des bascules D et de remplacer les bascules par des bascules D à reset (**rst**) comme présenté sur la figure 1.19. Le comparateur programmable génère un front montant lorsque la valeur du mot binaire qu'il a en entrée atteint la consigne qui a été implémentée. Les bascules D **rst** retournent dans leur état initial dès qu'il y a un front montant sur l'entrée **rst**. Ainsi, une valeur à laquelle arrêter le décomptage est implémentée dans le comparateur et lorsque cette valeur est atteinte, les bascules D sont réinitialisées pour que le décomptage recommence de la valeur initiale. Par exemple, pour une division par 5, il faut programmer le comparateur à la valeur 2. En effet, il faut cinq coups d'horloge pour décompter de 7 à 2, le comparateur génère donc un front montant tous les cinq coups d'horloge, ce qui réalise une division par 5, et ce signal sert

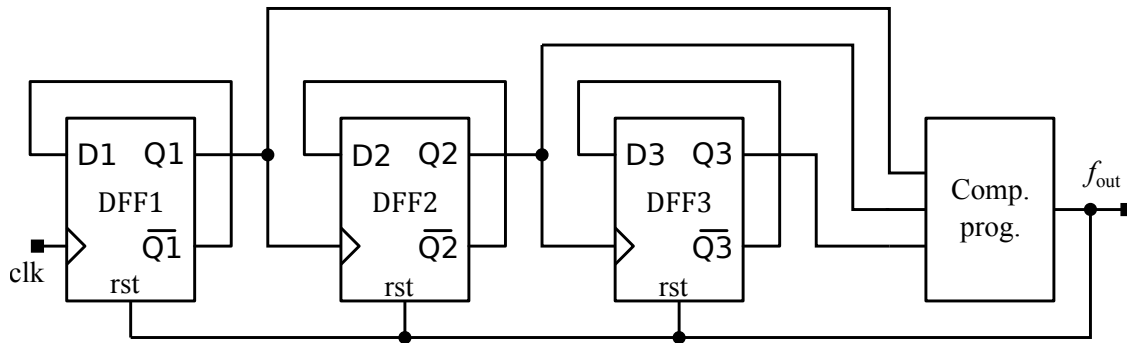


FIGURE 1.19 – Décompteur 3 bits avec comparateur et bascule D à reset

B0 : 1 0 1 0 1 0 1 0 1 0 1 0
 B1 : 1 1 0 0 1 1 0 0 1 1 0 0
 B2 : 1 1 1 1 0 0 0 1 1 1 1 0
 B3 : 1 1 1 1 1 1 1 1 0 0 0 0

FIGURE 1.20 – Mise en évidence du changement d'état quand bits inférieurs à 0

également à réinitialiser les bascules D pour recommencer le décomptage.

Concernant maintenant le diviseur programmable basé sur un décompteur synchrone. Le principe est de programmer une valeur de départ pour le décomptage, puis lorsque le décomptage atteint 0, on charge de nouveau la valeur de départ de décomptage pour chaque bascule. Ce décompteur est conçu sur le principe suivant : lors d'un décomptage, un bit donné change d'état lorsque tous les bits qui lui sont inférieurs sont à l'état bas comme illustré sur la figure 1.20.

Ainsi, la partie encadrée par des tirets sur la figure 1.21 présente un bit de ce diviseur. Il faut donc cascader cet étage autant de fois que l'on veut de bits pour le diviseur. Un seul bit du diviseur est présenté pour simplifier l'explication. Les multiplexeurs recopient **A** sur **Q** quand **S** est à l'état haut et **B** sur **Q** quand **S** est à l'état bas. Ce circuit permet de réaliser ce que nous avons illustré sur la figure 1.20. Tout d'abord, le signal **load** est généré par le NOR du bit de poids fort du diviseur. Cela signifie qu'il passe à l'état haut quand tous les bits du diviseur sont à l'état bas, donc quand le décomptage atteint zéro. Partons donc de cet état initial où le signal **load** est à l'état haut. Le MUX2 copie alors l'état de B_i sur l'entrée D de la bascule. Tant que le signal **S** de MUX1 est à l'état haut, c'est-à-dire que les bits précédents ne sont pas tous à l'état bas, MUX1 recopie la sortie **Q** de la bascule et MUX2 aussi car **load** est à l'état bas. Donc tant que tous les bits précédents ne sont pas à l'état bas, un bit donné conserve son état. Par conséquent, dès que les bits précédents sont tous à l'état bas, MUX1 recopie $\overline{Q}$ en sortie. Un bit change donc d'état lorsque tous les bits qui le précèdent sont à l'état bas. Lorsque tous les bits du diviseur atteignent l'état bas, la sortie **NOR** de la porte OR/NOR du bit de poids fort passe à l'état haut. Ce signal que l'on a appelé **load** pilote l'entrée **S** des MUX2 de chaque bit. Ce passage à l'état haut de **load** va donc entraîner le chargement de la valeur de départ de chaque bit et relancer le décomptage au départ.

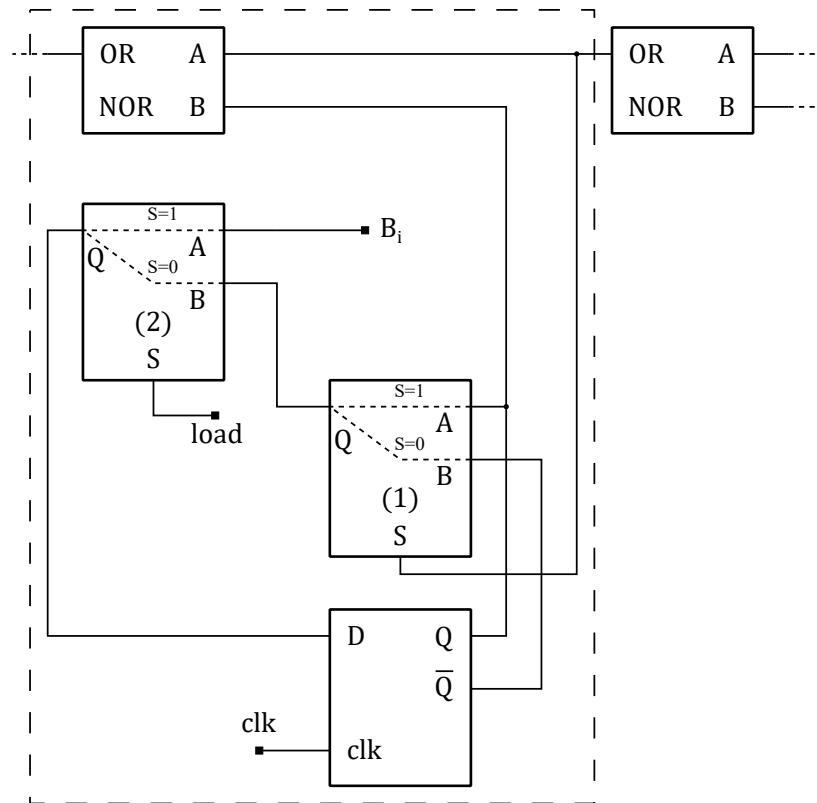


FIGURE 1.21 – Bit d'un décompteur

Un dernier type de diviseur programmable appelé multi-modulus sera présenté plus à part au § 1.II.3.f.i dans la partie consacrée aux PLL puisque c'est presque exclusivement dans cette application que nous avons trouvé ce type de diviseur dans la littérature.

1.II.3.f Diviseurs dans la PLL

Les diviseurs utilisés dans la PLL sont généralement des diviseurs numériques car leur programmabilité est un atout majeur permettant de modifier facilement le facteur de multiplication de la PLL. Les diviseurs utilisés dans les PLL sont assez spécifiques et ne sont généralement pas utilisés en dehors des PLL car ils ont été pensés pour cette configuration spécifique. Nous avons notamment démontré cela au sujet du $\Sigma\Delta$ dans une publication [37]. Il n'est pas possible d'utiliser ce type de diviseur hors de la PLL puisque la dynamique « lente » de cette dernière, au regard de la commutation des rapports de division, est nécessaire pour filtrer le signal généré par le diviseur $\Sigma\Delta$ et en extraire sa valeur moyenne (fractionnaire). Cela n'est pas le cas pour les diviseurs multi-modulus mais quasiment l'intégralité de la littérature discutant de ce type de diviseur le fait dans le contexte de la PLL, et très peu d'articles traitent du diviseur multi-modulus seul. Cela peut être dû au fait que la division, en général, est étudiée dans le cadre de la chaîne de contre-réaction de la PLL et beaucoup moins en tant que méthode de synthèse de fréquence directe, mais c'est

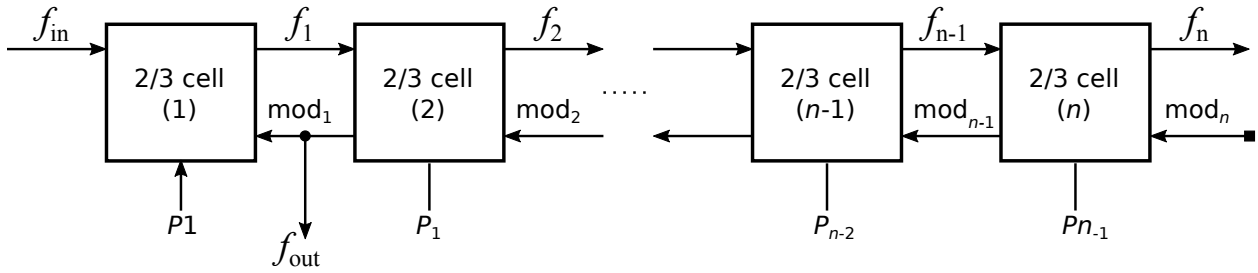


FIGURE 1.22 – Schéma de principe diviseur multimodulus

particulièrement marquant concernant les diviseurs multi-modulus. Nous avons donc choisi de les traiter dans la partie au sujet des PLL même si *a priori* rien ne semble empêcher leur utilisation en tant que diviseur direct.

Nous présentons les deux types de diviseurs les plus communs dans les PLL, à savoir les diviseurs entiers numériques programmables multi-modulus pour la division entière, et les diviseurs fractionnaires programmables $\Sigma\Delta$ pour la division fractionnaire.

1.II.3.f. i Diviseurs entiers numériques programmables multi-modulus

Pour que la fréquence de sortie soit un multiple entier de la fréquence d'entrée, un diviseur entier numérique programmable est utilisé dans la boucle de contre-réaction. Ce type de diviseur permet, au moyen d'une programmation, de choisir le rapport de division qu'il réalise. Une des méthodes possibles pour les PLL servant pour la synthèse de signaux hyperfréquences sont les diviseurs multi-modulus [38-42]. Le principe est de mettre en cascade plusieurs diviseurs dual-modulus, c'est-à-dire qui peuvent alterner entre deux rapports de division. La méthode semblant la plus fréquente dans la littérature sont des diviseurs dual-modulus 2/3 mis en cascade comme présenté sur la figure 1.22 [38, 39, 41, 42].

En plus des signaux d'entrée et de sortie fréquentiels, ces diviseurs dual-modulus présentent une entrée **mod_i**, une entrée **P_{i-1}** et une sortie **mod_{i-1}**. Le dernier diviseur de la chaîne génère un signal **mod_{n-1}** à l'état haut qui se propage dans l'ensemble de la chaîne, c'est-à-dire que tous les signaux **mod_i** sont à l'état haut dans l'état initial. Un signal **mod_i** à l'état haut autorise une division par 3 une seule fois par cycle de division, à condition que le signal **P_{i-1}** soit à l'état haut également. Le reste du cycle de division, le diviseur réalise une division par 2. Ainsi, un diviseur dual-modulus *i* dont le signal **P_{i-1}** est à l'état haut divise une fois la fréquence du signal à son entrée par 3, puis le front montant sur le signal **f_i** généré à la fin de la division par 3 fait basculer la sortie **mod_i** de la cellule *i* + 1 de l'état haut vers l'état bas. Ainsi, le diviseur *i* ne réalise désormais que des divisions par 2 pour le reste du cycle de division. Le diviseur *i* + 1, si son entrée **P_i** est à l'état haut, poursuit sa division par 3, puis, lorsqu'elle est terminée, la sortie **mod_{i+1}** de la cellule *i* + 2 passe de l'état haut à l'état bas et ainsi de suite. Si **P_i** est à l'état bas, le diviseur *i* + 1 réalise une division par 2,

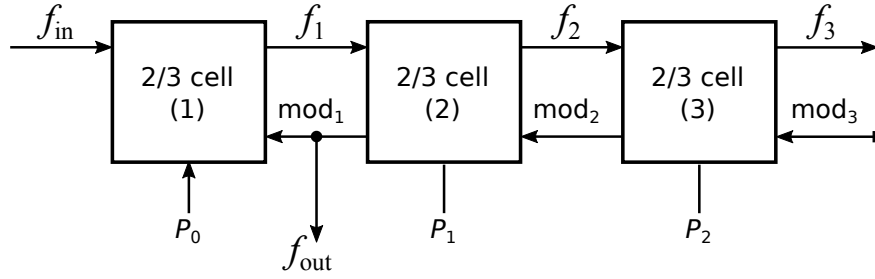


FIGURE 1.23 – Schéma du diviseur multimodulus 3 bits

et la sortie **mod_{i+1}** du diviseur $i + 2$ passe de la même manière à l'état bas sur son deuxième front d'entrée. Une fois arrivé au bout d'un cycle de comptage, la boucle recommence, c'est-à-dire que lorsque tous les signaux **mod_i** atteignent l'état bas, ils sont remis dans leur état initial, soit à l'état haut. Par conséquent, pour chaque cellule dont le bit P_{i-1} est à l'état haut, on génère en sortie une période de plus de sa fréquence d'entrée par cycle de division. Cela peut se traduire par l'équation suivante :

$$T_{\text{out}} = 2^n \cdot T_{\text{in}} + 2^{n-1} \cdot T_{\text{in}} \cdot P_{n-1} + 2^{n-2} \cdot T_{\text{in}} \cdot P_{n-2} + \dots + 2 \cdot T_{\text{in}} \cdot P_1 + T_{\text{in}} \cdot P_0 \quad (1.3)$$

$$= (2^n + 2^{n-1} \cdot P_{n-1} + 2^{n-2} \cdot P_{n-2} + \dots + 2 \cdot P_1 + P_0) \times T_{\text{in}} \quad (1.4)$$

Dans cette formule (1.4), T_{in} est une période du signal d'entrée et $P_0, \dots, P_{n-1}$ sont, respectivement, les bits de programmation des cellules de 1 à n . L'ensemble des rapports de division compris entre 2^n et $2^{n+1} - 1$ sont donc réalisables avec cette méthode.

Pour essayer de résumer simplement, les diviseurs dual-modulus vont simultanément réaliser une division par 3 de leur signal d'entrée si le bit P_{i-1} est à l'état haut et le reste du temps ils réalisent une division par 2. Ainsi, si l'on compare avec un diviseur asynchrone composé de diviseurs par 2 classiques, pour chaque cellule avec P_{i-1} à l'état haut, on ajoute une période d'entrée de chacun de ces diviseurs à notre cycle de division total. Cela permet d'avoir accès à tous les rapports de division entiers compris entre 2^n et $2^{n+1} - 1$.

Prenons par exemple un diviseur multimodulus de trois bits composé de trois diviseurs dual-modulus 2/3 en cascade comme présenté sur la figure 1.23.

D'après la formule (1.4), si les trois bits (P_0, P_1, P_2) sont à l'état haut, le diviseur doit réaliser un rapport de division de $2^4 - 1 = 15$. Cela peut être vérifié sur le chronogramme de la figure 1.24, qui présente le chronogramme du diviseur pour ces trois bits à l'état haut.

Comparé à un diviseur asynchrone 3 bits composé de diviseurs par 2 qui réaliserait une division par $2^3 = 8$, on voit ici que le premier diviseur rajoute $2^0 = 1$ période, le second diviseur rajoute $2^1 = 2$ périodes et le dernier diviseur en rajoute $2^2 = 4$, on ajoute donc au total 7 périodes aux 8 périodes initiales du diviseur asynchrone. Une division par 15 est bien obtenue. De plus, les

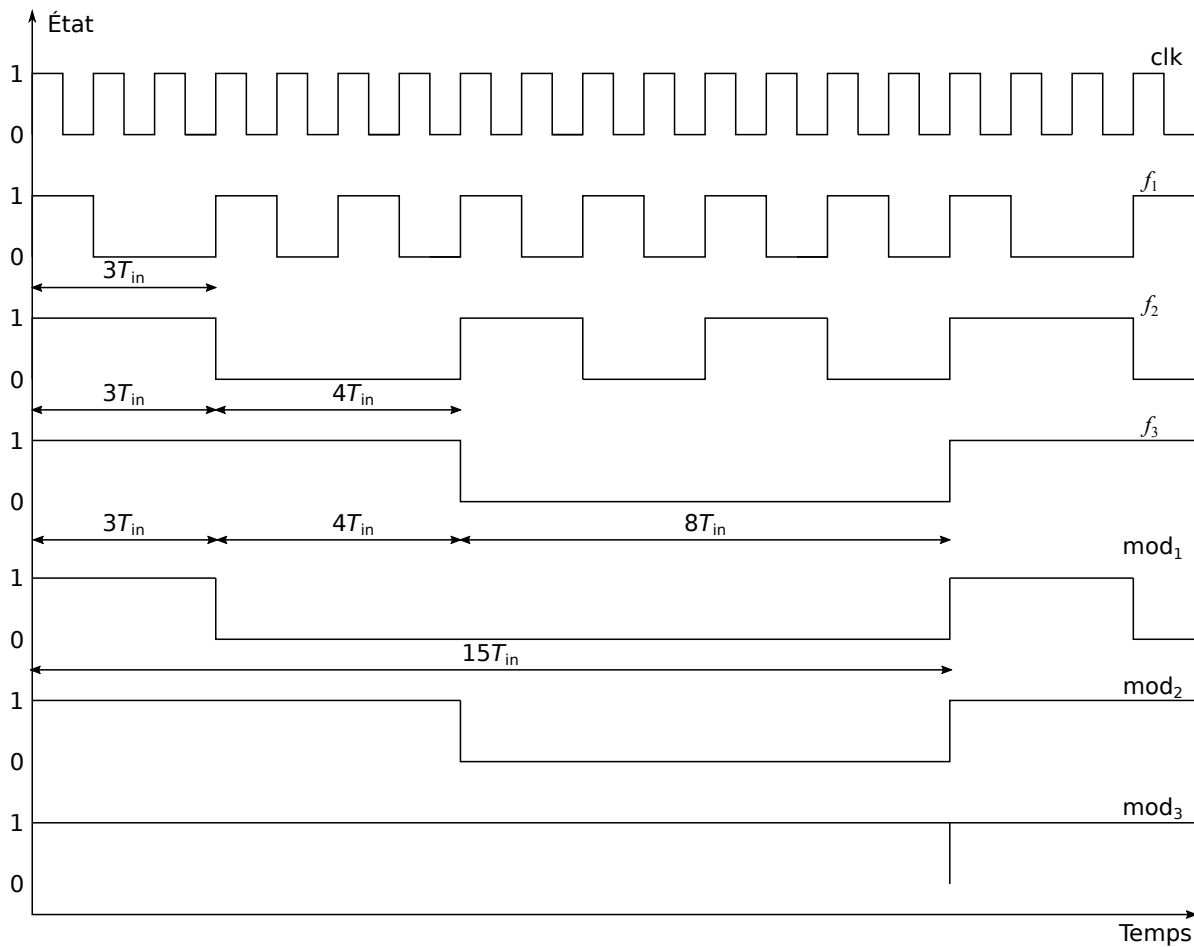


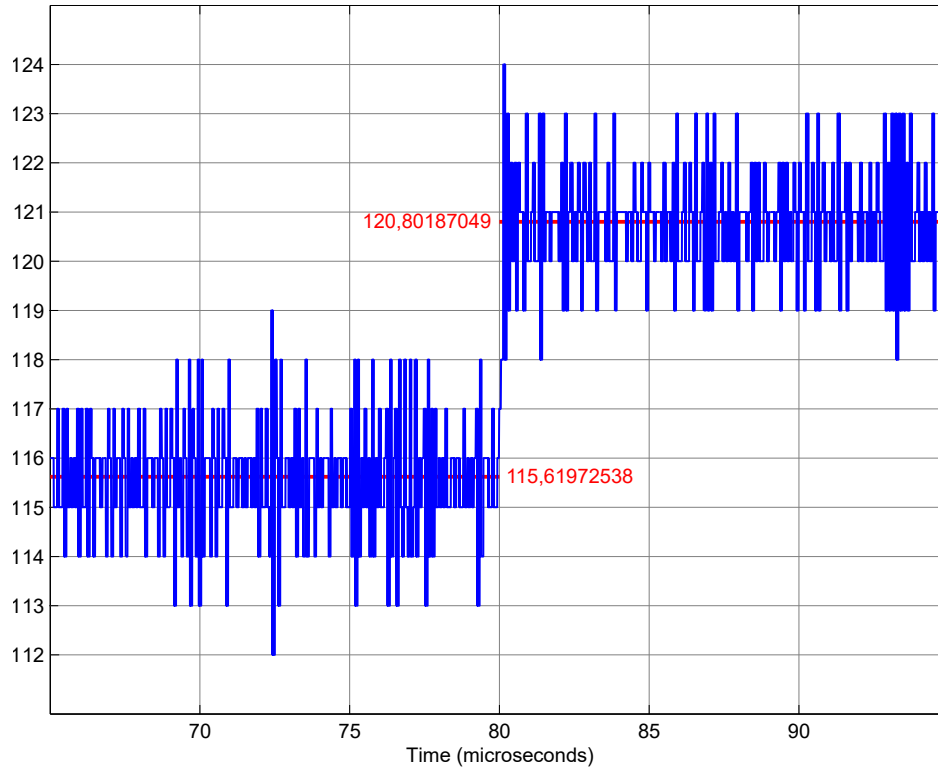
FIGURE 1.24 – Chronogramme d'un diviseur multi-modulus 3 bits basé sur des diviseurs dual-modulus 2/3

divisions par 3 uniques des trois diviseurs sont bien visibles.

1.II.3.f. ii Diviseurs fractionnaires $\Sigma\Delta$

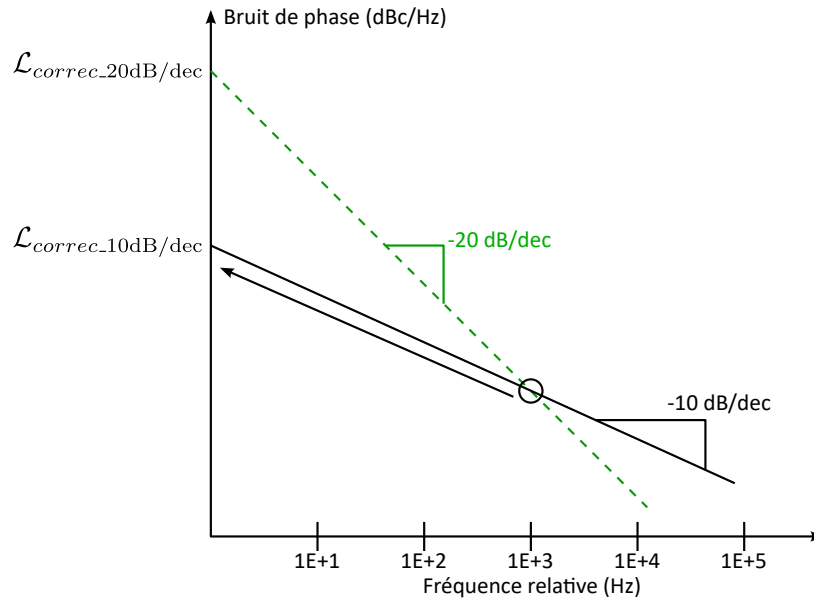
Pour réaliser une division fractionnaire par 4,5 il est possible de simplement réaliser une alternance entre les rapports de division 4 et 5, ou même 3 et 6. Cependant, cette méthode très simple a pour principal inconvénient de générer un signal de fréquence fondamentale parasite avec tous ses harmoniques, ce qui entraîne une dégradation importante de la pureté spectrale du signal synthétisé. Pour pallier cela, il convient d'augmenter le nombre de rapports de division parmi lesquels l'alternance est réalisée et rendre cette alternance la plus aléatoire possible afin d'atténuer les signaux parasites.

C'est ce que réalise un modulateur $\Sigma\Delta$, à savoir une alternance entre différents rapports, dont le nombre dépend de l'ordre du modulateur, afin d'obtenir une approximation pseudo-continue d'un signal [43]. Ainsi, un modulateur $\Sigma\Delta$ d'ordre n alterne parmi 2^n rapports de division compris entre

FIGURE 1.25 – Signal issu d’un modulateur $\Sigma\Delta$ ayant pour consigne 115,620 puis 120,801

$(N - 2^{n-1} + 1)$ à $(N + 2^{n-1})$. La valeur moyenne des alternances entre les différents rapports tend vers une valeur implémentée comme consigne au modulateur et cette valeur est comprise entre N et $N + 1$. Le fait d’augmenter l’ordre d’un modulateur $\Sigma\Delta$ permet une amélioration notable du bruit, mais en contrepartie, la complexité du modulateur est plus importante [44]. La figure 1.25 présente le signal issu d’un modulateur $\Sigma\Delta$ voué à commander l’entrée d’un diviseur entier. Le modulateur a dans un premier temps 115,620 pour consigne puis 120,801 dans un second temps.

Une alternance entre les rapports autour de la partie entière de la consigne de division est obtenue et la moyenne de ces rapports tend vers la consigne qui a été implémentée au modulateur. Un diviseur piloté par un modulateur $\Sigma\Delta$ n’est utilisable qu’en tant que diviseur dans la boucle de contre-réaction d’une PLL, puisque comme on peut le voir sur la figure 1.25, cela prend un certain temps pour atteindre la consigne, or la dynamique lente de la PLL contre-balance ce problème et réalise le moyennage du signal en sortie du diviseur piloté par le modulateur $\Sigma\Delta$ qui ne serait pas exploitable en tant que tel. C’est une problématique étudiée au cours de cette thèse [37] puisque la division fractionnaire en est un des sujets d’intérêt majeur. Nous voulions étudier au départ la possibilité d’utiliser le diviseur $\Sigma\Delta$ comme un diviseur de fréquence direct avant de conclure que la dynamique lente de la PLL est indispensable au moyennage de la fréquence du signal issu du diviseur $\Sigma\Delta$ qui n’est donc pas exploitable en tant que tel. En conclusion, le modulateur $\Sigma\Delta$ permet, dans une PLL, de piloter le diviseur de la boucle de réaction afin de générer une alternance rapide

FIGURE 1.26 – Illustration de la correction en 20 dBc/Hz sur la pente en -10 dBc/Hz des diviseurs

de rapports de division dont la moyenne tend vers un rapport fractionnaire implémenté en consigne du modulateur $\Sigma\Delta$. Il permet donc de réaliser de la multiplication fractionnaire une fois inséré dans la contre-réaction d'une [PLL](#).

1.II.3.g État de l'art diviseurs numériques

Nous avons vu dans cette partie que les diviseurs numériques présentent des particularités et peuvent être regroupés dans différentes catégories. Il faut également savoir que la plupart des diviseurs que l'on trouve dans la littérature sont une combinaison de plusieurs catégories de diviseurs présentées précédemment. Il nous a également fallu déterminer quelles sont les grandeurs que nous souhaitons comparer entre ces différents diviseurs. La plupart des diviseurs numériques récents en technologie SiGe BiCMOS ont pour principal objectif d'atteindre des fréquences élevées en minimisant au maximum la consommation, ainsi la plupart des publications récentes présentent ces diviseurs sous cet aspect et n'évoque pas le bruit de phase [45-51]. Nous utilisons le même [FoM](#) que pour les [PLL](#) de la partie 1.I.3 afin de pouvoir comparer les résultats des [PLL](#) et des diviseurs. Cela peut sembler contre-intuitif puisque le second terme du [FoM](#) « $-20 \cdot \log \left(\frac{f_{\text{ref}}}{\Delta f_{\text{BDP}}} \right)$ » opère une correction en 20 dB/dec par rapport à la fréquence relative à laquelle la mesure de bruit de phase est réalisée. Les bruits de phase des diviseurs présentés étant tous directement relevés à 1 kHz sur les publications correspondantes, ils bénéficient à terme de la même correction et peuvent être comparés entre eux. De plus, comme le présente la figure 1.26, les diviseurs présentent généralement une pente de bruit de phase de l'ordre de -10 dB/dec, la correction en 20 dB/dec est donc en leur défaveur puisqu'il ne devrait être corrigés que de 10 dB/dec. Ainsi, la comparaison entre [PLL](#) et

diviseurs en utilisant ce FoM aura tendance à sous-évaluer les diviseurs mais cela nous semble plus acceptable que d'utiliser deux FoM différents pour la comparaison. À l'exception de [34] qui est en technologie CMOS et [52] pour lequel la technologie n'est pas précisée, les autres circuits sont réalisés en technologie SiGe BiCMOS, cela n'est donc pas précisé dans le tableau, seule la finesse de gravure est indiquée dans ce cas.

TABLE 1.4 – État de l'art de diviseurs numériques

Références	[53]	[54]	[52]	[55]
Technologie (nm)	130	130	N/A	130
Rapport de division	2	64 à 127	100/2000	2
$f_{\max}$ (GHz)	90	49	10	10
Bruit de phase @ 1kHz (dBc/Hz)	-98	-124	-155	-150
f_{out} (GHz)	45	0,385	0,1	5
Puissance dissipée (mW)	61,6	92	N/A	380
Surface puce (mm ²)	0,325	0,55	N/A	N/A
FoM (dBc/Hz)	233	216	<235	258

TABLE 1.5 – État de l'art de diviseurs numériques suite

Références	[56]	[57]	[34]	[58]
Technologie (nm)	250	130	CMOS 350	N/A
Rapport de division	2	2 to 127	32/33	8
$f_{\max}$ (GHz)	5,5	100	3	20
Bruit de phase @ 1kHz (dBc/Hz)	-159	-45	-140	-145
f_{out} (GHz)	1,75	50	0,078	2,5
Puissance dissipée (mW)	53	122	27	400
Surface puce (mm ²)	1,32	N/A	N/A	N/A
FoM (dBc/Hz)	266	178	223	246

Un premier élément à relever de ces tableaux est que le bruit de phase des diviseurs est donné à 1 kHz de la porteuse, contrairement à celui des PLL qui est généralement donné autour de 1 MHz. Cela s'explique par le fait que les diviseurs numériques ont des performances proches de la porteuse bien meilleures que celles des PLL et atteignent donc plus rapidement le plancher de bruit que ces dernières. Ainsi, donner le bruit de phase des diviseurs à 1 MHz de la porteuse apporterait assez peu d'information sur la qualité du diviseur puisque le plancher de bruit sera atteint pour la plupart d'entre eux. En revanche, c'est typiquement aux alentours de 1 kHz que l'influence du diviseur commence à impacter fortement le bruit de phase du signal synthétisé, il s'agit donc d'une fréquence relative adaptée pour étudier le bruit de phase des diviseurs. Ensuite, un autre élément notable est que les FoM de ces diviseurs sont globalement bien meilleurs que ceux des

PLL, alors que d'après les tableaux récapitulatifs des performances respectives de ces deux types de synthétiseurs de fréquence présentés lors de l'état de l'art 1.I.3, la consommation des diviseurs est généralement supérieure à celle des **PLL**. Cela peut paraître contre-intuitif puisque les **PLL** comportent elle-mêmes des diviseurs en leur sein, mais leur contribution en bruit de phase est minime comparée à celles des autres éléments de la **PLL**. Ainsi, si on utilise le diviseur seul pour faire de la division directe, il va falloir faire des concessions sur la consommation pour obtenir de meilleures performances en bruit de phase. Cela signifie d'après notre **FoM** que l'on peut obtenir des performances en bruit de phase proche de la porteuse bien meilleures avec les diviseurs numériques qu'avec les **PLL**.

1.II.4 Diviseurs analogiques

1.II.4.a Principe

Par comparaison avec les diviseurs numériques dont le fonctionnement est basé sur des opérateurs logiques, celui des diviseurs analogiques se base sur des opérations analogiques classiques, telles que le mélange, le filtrage, la non-linéarité, l'amplification...

Dans un souci de clarté, nous expliquons d'abord ici brièvement les différentes opérations physiques fréquemment utilisées dans les diviseurs de fréquence analogiques.

Premièrement, le mélange de signaux, aussi appelé multiplication, est une opération non-linéaire qui réalise le produit des deux signaux à ses entrées. Ainsi, soit deux signaux sinusoïdaux V_1 et V_2 , de fréquence respective f_1 et f_2 . En mélangeant ces deux signaux, nous obtenons mathématiquement :

$$\cos(2\pi \cdot f_1 \cdot t) \times \cos(2\pi \cdot f_2 \cdot t) = \frac{1}{2} [\cos(2\pi(f_1 + f_2)t) + \cos(2\pi(f_1 - f_2)t)] \quad (1.5)$$

D'après l'équation (1.5), des composantes $f_1 + f_2$ et $f_1 - f_2$ sont obtenues en résultat de mélange. Il est alors possible de réaliser un filtrage pour ne conserver que la composante d'intérêt. Deuxièmement, le filtrage consiste à exclure (coupe-bande) ou à ne conserver (passe-bande) que les composantes d'une certaine bande de fréquence, ou à ne conserver que les fréquences au-delà (passe-haut) ou en deçà (passe-bas) d'une certaine fréquence. Les gabarits de ces différents filtres sont présentés dans la figure 1.27.

Finalement, le passage d'un signal pur dans une non-linéarité permet de le déformer afin d'en faire apparaître les harmoniques, par exemple, en utilisant des transistors en régime fort signal.

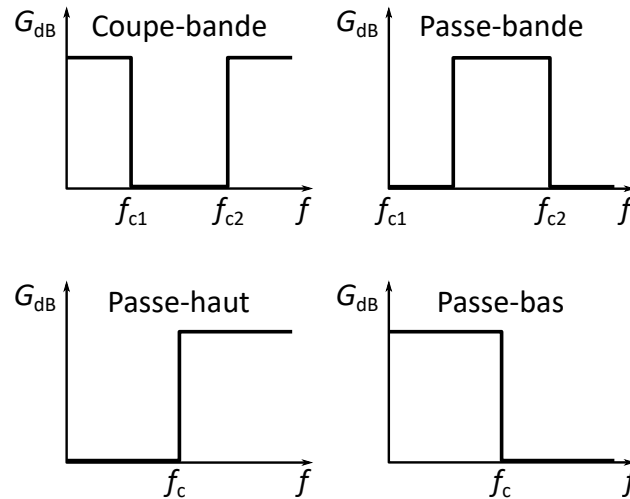


FIGURE 1.27 – Gabarits monolatéraux des différents filtres fréquentiels

1.II.4.b Diviseurs entiers à verrouillage par injection

Le **diviseur de fréquence à verrouillage par injection** (ou **Injection-Locked Frequency Divider**) est basé sur un phénomène mis en évidence et étudié par Huygens au XVII^e siècle. Utilisant deux pendules identiques afin d’assurer une redondance dans un souci de précision et de fiabilité pour ses expérimentations, Huygens s’aperçoit que les deux pendules finissent par osciller exactement en phase au bout d’un certain temps, et que si l’on perturbe ce synchronisme, il se rétablit au bout d’un certain temps [59]. Il a nommé ce phénomène la « sympathie des horloges ». Des études récentes ont permis d’expliquer plus précisément le phénomène et de confirmer l’intuition d’Hyugens : les horloges se synchronisent au travers de leur support commun par les ondes qui s’y propagent [60].

Le principe de l’**ILFD** s’inspire de ce phénomène pour réaliser une division fréquentielle comme expliqué par Van Der Pol en 1927 [61]. Ainsi, les **ILFD** comprennent un oscillateur libre dont la fréquence est proche de celle que l’on souhaite synthétiser. En appliquant en entrée de l’oscillateur un signal f_e dont la fréquence est un multiple N de sa fréquence d’oscillation naturelle (et donc celle d’un de ses harmoniques), les deux signaux se synchronisent au travers d’un phénomène semblable à celui expliqué plus haut conduisant donc à une division de la fréquence de f_e par N . Le diviseur est alors verrouillé, on parle dans ce cas d’**ILFD** superharmonique [62]. Ce phénomène a également été étudié et expliqué en détail par Adler en 1946 dans le cadre des oscillateurs [63], c’est-à-dire quand la fréquence injectée est proche de celle de la fréquence d’oscillation. Enfin, ce phénomène est également utilisé pour réaliser de la multiplication de fréquence, le signal injecté est alors un sous-multiple de la fréquence d’oscillation, on parle alors de « subharmonic injection locking » [64]. La figure 1.28 présente une topologie classique d’**ILFD** qui sert de base à la conception de ce type de diviseur, avec une paire croisée et un filtre LC.

Ici, le circuit LC de la partie supérieure joue le rôle de résonateur. La paire croisée quant à elle

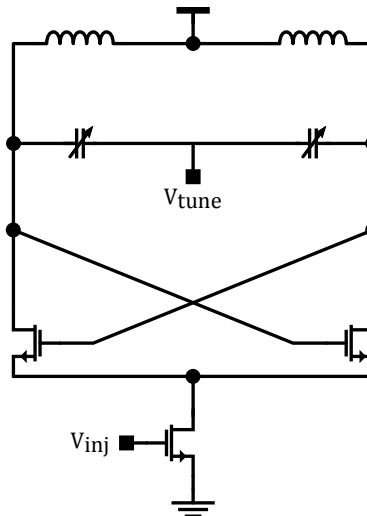


FIGURE 1.28 – Schéma de diviseur à verrouillage par injection

peut-être assimilée à une résistance négative. Si le critère de Barkhausen est respecté, c'est-à-dire que la résistance négative de la paire croisée compense la résistance du résonateur et que le déphasage entre les deux est un multiple de 2π , alors le système peut osciller. Les principales différences entre les différents ILFD de la littérature portent sur la méthode d'injection [65-68] ou sur l'optimisation de la qualité des sous-harmoniques présents dans le circuit [69-71]. L'ILFD a été beaucoup étudié car il permet de travailler à des fréquences relativement élevées, tout en consommant assez peu. En revanche, il est assez limité dans les rapports de division qu'il peut réaliser et il peut être assez encombrant car il nécessite en général l'utilisation d'inductances. De plus il ne peut pas être large bande puisqu'il ne peut travailler qu'autour de sa fréquence d'oscillation libre. Tout cela sera illustré lors de la comparaison entre plusieurs ILFD et les performances en bruit de phase seront également discutées.

Maintenant que les ILFD ont été présentés, nous abordons maintenant un autre circuit dont le principe peut au premier abord sembler proche de celui des ILFD : le diviseur régénératif.

1.II.4.c Diviseurs entiers et fractionnaires régénératifs

Le diviseur régénératif est un système bouclé qui utilise l'amplification, le mélange et le filtrage de signaux pour réaliser une division entière ou fractionnaire de la fréquence d'entrée. Le principe, illustré dans sa version la plus simple par la figure 1.29, est présenté par Miller en 1939 [72].

Un premier point important à noter est que, sans signal appliqué à son entrée, et tant que les critères de Nyquist sont respectés, ce type de circuit ne présente pas d'oscillation naturelle. C'est ce qui le distingue en grande partie des ILFD, bien que ces deux circuits présentent par ailleurs de nombreuses similitudes et qu'un modèle a même été proposé pour unifier ces deux types de circuits [73]. Nous avons cependant pris le parti de les présenter indépendamment dans un souci

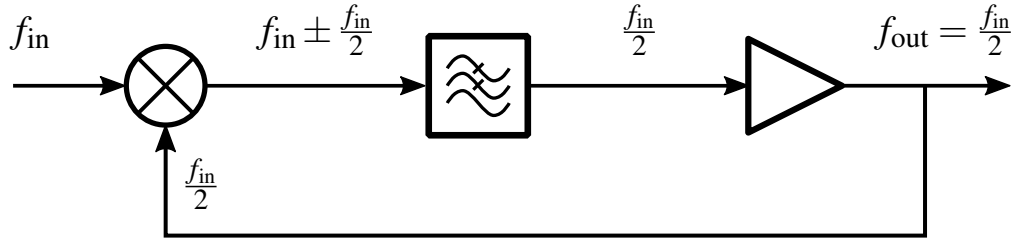


FIGURE 1.29 – Schéma de principe d'un diviseur régénératif du second ordre

de clarté pour la suite.

Le deuxième point majeur à comprendre est l'origine de la composante $\frac{f_{in}}{2}$ dans le circuit, dans le schéma 1.29. Admettons que la fréquence d'entrée f_{in} soit définie par :

$$f_{in} = A \cdot \cos(\omega t + \theta) \quad (1.6)$$

et que la fréquence de sortie f_{out} , qui est également la fréquence appliquée au mélangeur, soit définie par :

$$f_{out} = B \cdot \cos\left(\frac{\omega t}{2} + \theta\right) \quad (1.7)$$

où B est au départ quasiment nul. Le résultat du mélange est alors défini par :

$$f_{mix} = K \cdot A \cdot B \cdot \left[\cos\left(\frac{\omega t}{2} - \theta\right) + \cos\left(\frac{3\omega t}{2} + \theta\right) \right] \quad (1.8)$$

Le filtre étant ici dimensionné pour éliminer la composante $\frac{3\omega}{2}$, nous pouvons considérer que seule la composante à $\frac{\omega}{2}$ subsiste après le filtrage. Le facteur $K \cdot A$ étant une constante, pour une amplitude de f_{in} donnée, représentant les pertes du mélangeur, il apparaît que tant que l'amplification en sortie de la chaîne directe est suffisante pour compenser les pertes du mélangeur et du filtre, une composante $\frac{\omega}{2}$ d'amplitude croissante est appliquée en entrée du mélangeur. Ainsi, une infinité de fréquences étant présentes dans le bruit ambiant, cette composante $\frac{\omega}{2}$ est présente avec une amplitude quasiment nulle au démarrage du circuit, mais étant la seule pouvant subsister de par la configuration du circuit, elle est petit à petit amplifiée jusqu'à atteindre un état d'équilibre et le circuit réalise alors une division par deux du signal d'entrée. Ce sont les conditions de démarrage du circuit. Pour maintenir son fonctionnement, il faut que l'amplification dans le circuit soit maîtrisée. Si elle est trop faible, l'oscillation n'est pas maintenue et s'atténue petit à petit et le circuit ne fonctionne pas. Si elle est trop forte, l'amplitude du signal va croître au fur et à mesure et le système finira par saturer. Il faut donc contrôler cette amplification pour la garder autour de l'unité. Ce sont les conditions de maintien du circuit.

Maintenant que le principe de base du diviseur régénératif est expliqué, une topologie plus générale comme celle présentée sur la figure 1.30 peut être étudiée.

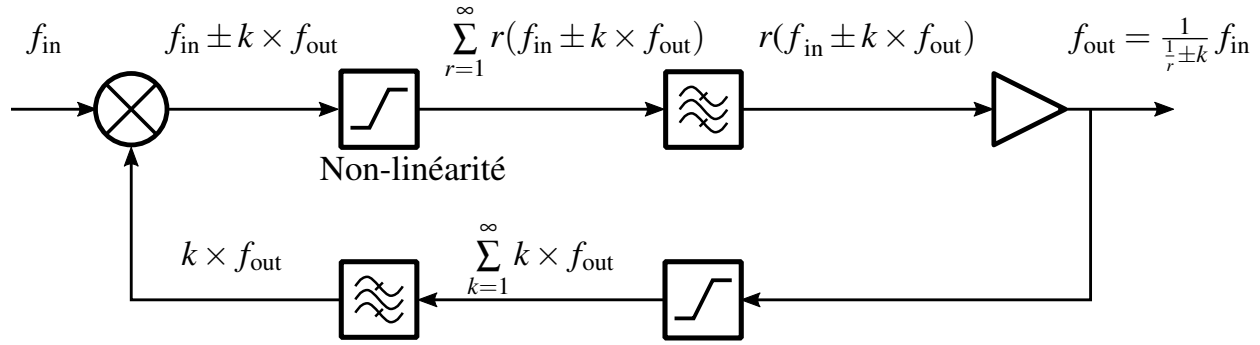


FIGURE 1.30 – Schéma de principe du diviseur régénératif

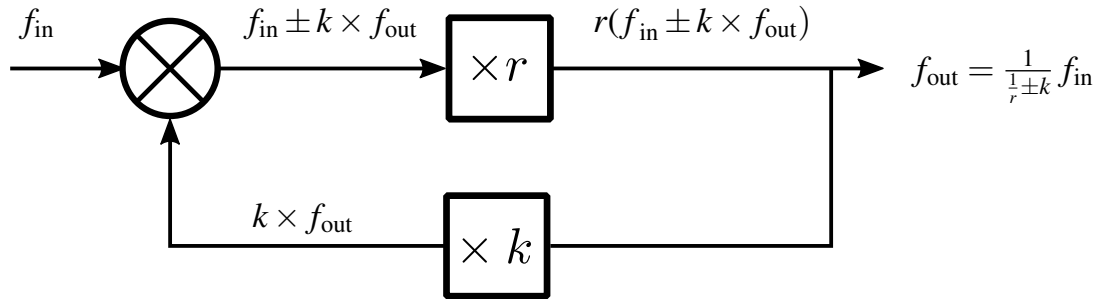


FIGURE 1.31 – Schéma de principe du diviseur régénératif simplifié

Dans cette topologie, une non-linéarité suivie d'un filtre passe-bande sont utilisés pour générer des multiples de la fréquence dans la boucle directe et de la boucle de contre-réaction. Ce schéma peut donc être simplifié par celui de la figure 1.31 et permet d'obtenir une relation entre f_{in} , f_{out} et les facteurs de multiplication de la boucle directe r et de la boucle de contre-réaction k :

$$f_{out} = \frac{r}{1 \pm k \times r} \times f_{in} = \frac{1}{\frac{1}{r} \pm k} \times f_{in} \quad (1.9)$$

Ainsi, il apparaît qu'avec cette topologie plus générale, le diviseur régénératif offre la possibilité de réaliser des rapports de division fractionnaires. Le diviseur réalisera une division fractionnaire pour tout r différent de 1. k fixe donc la partie entière du rapport de division et r sa partie décimale. Par exemple, pour $k = 3$ et $r = 5$, le rapport de division sera $3 + \frac{1}{5} = 3,2$.

1.II.4.d État de l'art des diviseurs analogiques ILFD et régénératifs

Dans un premier temps, un état de l'art des ILFD est présenté dans les tableaux 1.6 et 1.7. De nombreuses caractéristiques sont présentées pour avoir une idée globale des possibilités de ces diviseurs mais, encore une fois, nous utilisons le même FoM que pour tous les synthétiseurs précédents :

$$\text{FoM} = \left| L(\Delta f_{\text{BdP}}) - 20 \cdot \log(f_{\text{ref}}) + 20 \cdot \log(\Delta f_{\text{BdP}}) + 10 \cdot \log\left(\frac{P_{\text{DC}}}{1\text{mW}}\right) \right| \quad (1.10)$$

afin de pouvoir réaliser une comparaison générale par la suite.

TABLE 1.6 – État de l’art des ILFD

Références	[74]	[75]	[76]	[77]	[66]	[78]
Technologie (nm)	65	180	90	65	180	65
Bande passante (%)	11	22,1	7,96	63	53,6	3,86
f_{in} centrale (GHz)	78,2	17,1	62,8	40,7	9,15	549,3
Rapport de division	3	3	10	2	3	192
f_{out} centrale (GHz)	26,06	5,7	6,28	20,35	3,05	2,9
Bruit de phase @100kHz (dBc/Hz)	−105	−106	−118	−85	−111	−101
Puissance dissipée (mW)	7,88	2,69	126	5,8	5,6	172
Surface puce (mm ²)	0,22	N/A	0,5	0,18	0,818	2,79
FoM (dBc/Hz)	204,3	216,8	202,4	183,8	194,1	168,9

TABLE 1.7 – État de l’art des ILFD suite

Références	[79]	[80]	[81]	[82]	[69]	[70]
Technologie (nm)	180	180	90	90	65	180
Bande passante (%)	67	15	31	90	5,5	10,6
f_{in} centrale (GHz)	6,6	22,1	22,7	13,1	73	35,8
Rapport de division	3	3	6	3/5	3	3
f_{out} centrale (GHz)	2,2	7,37	3,78	4,36/2,62	24,333	11,93
Bruit de phase @100kHz (dBc/Hz)	−112	−119	−125	−125	−103	−120
Puissance dissipée (mW)	6,76	3,9	28,8	14,8	2,04	11,9
Surface puce (mm ²)	1	0,59	0,7	0,18	0,46	0,22
FoM (dBc/Hz)	188	210	202	201	207	212

Un premier élément à noter est que le facteur de division des ILFD est limité de par leur principe même. En effet, la division s’effectuant en synchronisant un signal injecté avec un de ses harmoniques, la synchronisation dépend notamment de l’amplitude du signal injecté et de celui de l’harmonique. Ainsi, au-delà d’un certain rang, l’harmonique est trop faible pour que la synchronisation ait lieu. Les ILFD sont donc rapidement limités dans leurs rapports de division. La publication [78] semble infirmer ce postulat, mais il s’agit d’un montage comprenant un ILFD suivi d’une chaîne de diviseurs, qui permettent de réaliser un grand rapport de division. Ensuite, il apparaît que les ILFD sont très prisés pour réaliser des divisions par des rapports impairs, notamment trois. La difficulté à obtenir des rapports pairs vient de ce que lorsqu’une forme d’onde vérifie la propriété $f(t) = -f(t + \frac{T}{2})$ (le motif de la première demi-période est l’opposé de celui de la seconde), et la plupart des formes d’onde s’en rapprochent, tous les harmoniques pairs sont nuls. D’autre part, les rapports impairs sont, quant à eux, complexes à mettre en œuvre pour les diviseurs numériques car s’il est aisé de faire de la division par deux en bouclant simplement une bascule

D sur elle-même, il faut ajouter des portes logiques supplémentaires pour réaliser des rapports de divisions impairs. De plus, les fronts en sortie d'un diviseur numérique étant dépendant de ceux en entrée, il n'est pas possible d'obtenir directement un rapport de 50% avec un diviseur numérique de rapport impair car la moitié de la période synthétisée n'est pas égale à un nombre pair de fronts actifs d'entrée.

Pour ce qui est des **ILFD**, il suffit de réaliser un oscillateur dont la fréquence centrale est proche d'un sous-harmonique impair de la fréquence d'injection, il est alors possible de réaliser simplement une division par un rapport impair. De plus, il apparaît que les **FoM** des **ILFD** se placent globalement entre ceux des **PLL** et ceux des diviseurs numériques. Il est également à noter qu'ils ont une consommation de puissance bien inférieure à celle des diviseurs numériques. Ils offrent donc des performances en bruit de phase moins intéressantes que celles des diviseurs numériques mais une consommation bien plus basse.

Pour terminer, un état de l'art des diviseurs régénératifs est présenté dans le tableau 1.8. Comme déjà évoqué précédemment, il existe de nombreuses similarités entre les **ILFD** et les diviseurs régénératifs, surtout pour la topologie de diviseur de Miller qui consiste simplement à utiliser un filtre autour de $\frac{f_{in}}{2}$ dans la chaîne directe. Pour cette raison, certains des diviseurs que nous classerions selon nos critères dans la catégorie **ILFD** sont présentés comme régénératifs dans la littérature [82, 83]. Nous présentons dans cet état de l'art des diviseurs régénératifs conformes à la définition que nous avons comprise de Miller, à savoir qu'ils ne présentent pas d'oscillation libre, et qu'ils peuvent être modélisés par un système bouclé présentant une transposition de fréquence dans la chaîne directe, dans la boucle de contre-réaction ou les deux. Certains articles discutant de diviseurs régénératifs qui présentent des caractéristiques ou innovations intéressantes ne font pas état du bruit de phase de ces diviseurs [49, 84-88], nous ne présentons donc pas ces diviseurs dans les tableaux suivants puisque le bruit de phase est l'aspect qui importe principalement dans le cadre de nos travaux.

TABLE 1.8 – État de l'art de diviseurs régénératifs

Références	[89]	[90]	[91]	[92]	[93]
Technologie (nm)	N/A	90	130	180	N/A
Bande-passante (%)	N/A	4,7	24,4	5,7	0,01
f_{in} centrale (GHz)	0,05	60	64	40	9
Rapport de division	2,5	2,5	2	4	2
f_{out} centrale (GHz)	0,02	24	32	10	4,5
Bruit de phase@1MHz (dBc/Hz)	-154	-93,55	-117	-115	-166
Puissance dissipée (mW)	N/A	68,7	4,65	31	1500
Surface puce (mm ²)	N/A	0,91	0,42	0,35	N/A
FoM (dBc/Hz)	<160	162,7	200	180	207

Un aspect important à relever est la possibilité de réaliser des rapports fractionnaires avec les diviseurs régénératifs. C'est la principale raison expliquant notre volonté de le distinguer de l'**ILFD** qui, par définition, ne peut pas réaliser une division fractionnaire car le signal injecté doit être un harmonique de la fréquence d'oscillation libre de l'**ILFD**. Concernant les **FoM** de ce type de diviseurs, ils semblent se situer entre ceux des **PLL** et ceux des **ILFD**. En comparant les tableaux précédents, on constate que la division fractionnaire a plutôt un impact négatif sur les performances en bruit de phase.

Conclusion

Au cours de ce premier chapitre, nous avons dans un premier temps décrit la **PLL** et présenté ses limites, notamment en termes de bruit de phase. En effet, le fait de multiplier une référence de fréquence par un facteur N dégrade inéluctablement le bruit de phase du signal synthétisé de $20 \times \log N$ par rapport à celui de la référence. À cette augmentation de bruit vient s'ajouter le bruit résiduel de la **PLL**, qui dépend de la contribution des différents éléments la constituant, dégradant encore plus la qualité du signal synthétisé par rapport à celle de la référence.

Suite à cela, nous avons décrit une méthode de synthèse alternative basée uniquement sur une division de fréquence de **COEO** plutôt que sur une multiplication. Nous avons donc présenté les différents types de diviseurs pouvant prétendre à être utilisés dans ce type de synthèse. Nous avons vu que globalement, les diviseurs semblent offrir de meilleures performances en bruit de phase que les **PLL** au vu des états de l'art que nous avons établis. Pour des puissances d'entrée de l'ordre de celle du signal du **COEO**, les diviseurs numériques offrent les meilleures performances en bruit de phase. Ils offrent, de plus, la possibilité de mettre en œuvre une programmation du rapport de division. En contrepartie, ils consomment une puissance importante. De plus, ils sont capables d'atteindre des fréquences élevées mais cela demande généralement de faire des concessions sur le bruit de phase. Les **ILFD** permettent de travailler à plus haute fréquence que les diviseurs numériques, mais cela nous importe peu puisque l'objectif est d'être capable de réaliser une division à 30 GHz. En outre, ils proposent des performances en bruit de phase généralement moins bonnes que celles des diviseurs numériques pour une faible puissance d'entrée. En revanche, ils ont une consommation bien inférieure. Parmi les autres facteurs jouant en la défaveur des **ILFD**, nous relevons la limitation dans les rapports de division réalisables, l'impossibilité de les rendre programmables et leur bande passante limitée. Enfin, le bruit de phase des diviseurs régénératifs est *a priori* légèrement moins bon que celui des **ILFD**, cependant ils ont le très grand avantage de pouvoir réaliser de la division fractionnaire. Pour la suite, nous avons donc fait le choix d'utiliser les trois familles de diviseurs pour la division fixe par 3 à 30 GHz afin de vérifier les conclusions obtenues lors la bibliographie. Pour de la division large bande et plus souple que la division fixe à

30 GHz, nous utiliserons principalement les diviseurs numériques. Enfin, pour la division fractionnaire, nous utiliserons les diviseurs régénératifs. Pour conclure, L'ensemble de ces diviseurs offrent *a priori* des meilleurs résultats en bruit de phase résiduel que les PLL ce qui est prometteur pour la méthode de synthèse de division de COEO. Nous allons maintenant discuter de la conception des diviseurs entiers que nous avons réalisés et de leurs résultats de simulation et de mesure.

Bibliographie

- [1] OCXO | Microsemi. URL : <https://www.microsemi.com/product-directory/high-reliability-rugged-oscillators/4847-ocxo> (cf. p. 12).
- [2] OCXO Oven Controlled Crystal Oscillators - Microchip Technology | Mouser. URL : <https://www.mouser.fr/new/microchip/vectron-ocxo-oscillators/> (cf. p. 12).
- [3] Oven Controlled - OCXO Oscillators | Farnell UK. URL : <https://uk.farnell.com/c/crystals-oscillators/oscillators/oven-controlled-ocxo-oscillators> (cf. p. 12).
- [4] N. F. CONTROLS. *Low Phase Noise 1 GHz OCXO in 36x27 Mm "Europack" (Datasheet)* (cf. p. 12).
- [5] K. IRIE et al. "High Stability Ultra-Miniature Size OCXO Operating within Wide Temperature Range: Using ASIC with Built-in Oven for OCXO". In : *2020 Joint Conference of the IEEE International Frequency Control Symposium and International Symposium on Applications of Ferroelectrics (IFCS-ISAF)*. 2020 Joint Conference of the IEEE International Frequency Control Symposium and International Symposium on Applications of Ferroelectrics (IFCS-ISAF). Keystone, CO, USA : IEEE, juill. 2020, p. 1-4. URL : <https://ieeexplore.ieee.org/document/9234922/> (cf. p. 12).
- [6] R. BORODITSKY et J. GOMEZ. "Micro-Miniature, SMD, Ultra Low Phase Noise, High Frequency OCXO". In : *2014 European Frequency and Time Forum (EFTF)*. 2014 European Frequency and Time Forum (EFTF). Neuchatel, Switzerland : IEEE, juin 2014, p. 360-362. URL : <https://ieeexplore.ieee.org/document/7331510> (cf. p. 12).
- [7] M. B. REDDY et al. "High Frequency OCXO for Space Applications". In : *2012 IEEE International Frequency Control Symposium Proceedings*. 2012 IEEE International Frequency Control Symposium (FCS). Baltimore, MD : IEEE, mai 2012, p. 1-5. URL : <https://ieeexplore.ieee.org/document/6243649/> (cf. p. 12).

- [8] A. HAJIMIRI. “Noise in Phase-Locked Loops”. In : *2001 Southwest Symposium on Mixed-Signal Design (Cat. No.01EX475)*. 2001 Southwest Symposium on Mixed-Signal Design (Cat. No.01EX475). Fév. 2001, p. 1-6 (cf. p. 12, 15).
- [9] B. TARANTO. *Bruno TARANTO - RF Phase-Locked Loop (PLL) Synthesizer Loop Bandwidth Optimization*. 19 mai 2020 (cf. p. 12, 16).
- [10] F. GARDNER. “Charge-Pump Phase-Lock Loops”. In : *IEEE Transactions on Communications* 28.11 (nov. 1980), p. 1849-1858. URL : <http://ieeexplore.ieee.org/document/1094619/> (cf. p. 12).
- [11] Y.-J. CHEN et al. “Circuit and Operating Method of PLL”. Brev. amér. 9432030B2. TAIWAN SEMICONDUCTOR MANUFACTURING CO TSMC LTD. 30 août 2016. URL : <https://patents.google.com/patent/US9432030B2/en> (cf. p. 13).
- [12] K. PUGLIA. “Phase Noise Analysis of Component Cascades”. In : *IEEE Microwave Magazine* 3.4 (déc. 2002), p. 71-75. URL : <http://ieeexplore.ieee.org/document/1145678/> (cf. p. 15).
- [13] M. ABDULAZIZ et al. “A 10-mW Mm-Wave Phase-Locked Loop With Improved Lock Time in 28-Nm FD-SOI CMOS”. In : *IEEE Transactions on Microwave Theory and Techniques* 67.4 (avr. 2019), p. 1588-1600. URL : <https://ieeexplore.ieee.org/document/8645801/> (cf. p. 17, 18).
- [14] H. S. LEE et al. “A Low-Phase-Noise 20 GHz Phase-Locked Loop with Parasitic Capacitance Reduction Technique for V-Band Applications”. In : *2018 IEEE/MTT-S International Microwave Symposium - IMS*. 2018 IEEE/MTT-S International Microwave Symposium - IMS 2018. Philadelphia, PA : IEEE, juin 2018, p. 1431-1433. URL : <https://ieeexplore.ieee.org/document/8439148/> (cf. p. 17).
- [15] V. RAVINUTHULA et S. FINOCCHIARO. “A Low Power High Performance PLL with Temperature Compensated VCO in 65nm CMOS”. In : *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. 2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). San Francisco, CA, USA : IEEE, mai 2016, p. 31-34. URL : <http://ieeexplore.ieee.org/document/7508243/> (cf. p. 17).
- [16] M. SUN et al. “A Low Power and Low Phase Noise PLL Frequency Synthesizer for Ka-Band Application in 65 Nm Process”. In : *2016 IEEE International Nanoelectronics Conference (INEC)*. 2016 IEEE International Nanoelectronics Conference (INEC). Chengdu, China : IEEE, mai 2016, p. 1-2. URL : <http://ieeexplore.ieee.org/document/7589298/> (cf. p. 17).

- [17] J. SHARMA et H. KRISHNASWAMY. “A 2.4-GHz Reference-Sampling Phase-Locked Loop That Simultaneously Achieves Low-Noise and Low-Spur Performance”. In : *IEEE Journal of Solid-State Circuits* 54.5 (mai 2019), p. 1407-1424. URL : <https://ieeexplore.ieee.org/document/8633361/> (cf. p. 17).
- [18] J. F. HUANG et al. “Chip Design of 10 GHz Low Phase Noise and Small Chip Area PLL”. In : *2013 8th International Conference on Communications and Networking in China (CHINACOM)*. 2013 8th International Conference on Communications and Networking in China (CHINACOM). Guilin, China : IEEE, août 2013, p. 276-280. URL : <http://ieeexplore.ieee.org/document/6694605/> (cf. p. 17).
- [19] M. OSADA, Z. XU et T. IIZUKA. “A 3.2-to-3.8 GHz Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -65 dBc In-Band Fractional Spur”. In : *IEEE Solid-State Circuits Letters* (2020), p. 1-1. URL : <https://ieeexplore.ieee.org/document/9256299/> (cf. p. 17).
- [20] W. WU et al. “A 5.5-7.3 GHz Analog Fractional-N Sampling PLL in 28-Nm CMOS with 75 Fsrms Jitter and -249.7 dB FoM”. In : (2018), p. 4 (cf. p. 17).
- [21] Y. WU. “A 3.5–6.8-GHz Wide-Bandwidth DTC-Assisted Fractional-N All-Digital PLL With a MASH $\Delta\Sigma$ -TDC for Low In-Band Phase Noise”. In : 52.7 (2017), p. 19 (cf. p. 17).
- [22] Z. LIANG et al. “A 2.6–3.4 GHz Fractional- N Sub-Sampling Phase-Locked Loop Using a Calibration-Free Phase-Switching-Sub-Sampling Technique”. In : *IEEE Microwave and Wireless Components Letters* 28.2 (fév. 2018), p. 147-149. URL : <http://ieeexplore.ieee.org/document/8252714/> (cf. p. 17).
- [23] W. EL-HALWAGY et al. “A 28-GHz Quadrature Fractional-N Frequency Synthesizer for 5G Transceivers With Less Than 100-Fs Jitter Based on Cascaded PLL Architecture”. In : *IEEE Transactions on Microwave Theory and Techniques* 65.2 (fév. 2017), p. 396-413. URL : <http://ieeexplore.ieee.org/document/7837605/> (cf. p. 17).
- [24] A. T. NARAYANAN et al. “A Fractional-N Sub-Sampling PLL Using a Pipelined Phase-Interpolator With an FoM of -250 dB”. In : 51.7 (2016), p. 11 (cf. p. 17).
- [25] G. HASENAECKER et al. “A SiGe Fractional- Frequency Synthesizer for Mm-Wave Wide-band FMCW Radar Transceivers”. In : *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES* 64.3 (2016), p. 12 (cf. p. 17).

- [26] A. ELKHOLY et al. “A 2.0–5.5 GHz Wide Bandwidth Ring-Based Digital Fractional-N PLL With Extended Range Multi-Modulus Divider”. In : *IEEE Journal of Solid-State Circuits* 51.8 (août 2016), p. 1771-1784. URL : <http://ieeexplore.ieee.org/document/7489022/> (cf. p. 17).
- [27] J. BREITBARTH et J. KOEBEL. “Additive (Residual) Phase Noise Measurement of Amplifiers, Frequency Dividers and Frequency Multipliers”. In : *Microwave Journal* 51.6 (2008), p. 66. URL : http://50-87-184-152.unifiedlayer.com/Aux_docs/PhaseNoise_Article_MWJ_Jun08.pdf (cf. p. 19).
- [28] X. YAO, L. DAVIS et L. MALEKI. “Coupled Optoelectronic Oscillators for Generating Both RF Signal and Optical Pulses”. In : *Journal of Lightwave Technology* 18.1 (jan. 2000), p. 73-78 (cf. p. 19).
- [29] X. S. YAO et L. MALEKI. “Optoelectronic Microwave Oscillator”. In : *JOSA B* 13.8 (1^{er} août 1996), p. 1725-1735. URL : <https://www.osapublishing.org/josab/abstract.cfm?uri=josab-13-8-1725> (cf. p. 19).
- [30] K. SALEH et al. “Oscillateur Optoélectronique à Base de Résonateur à Mode de Galerie à Très Fort Facteur de Qualité”. In : *JCOM 2014*. Lannion, France : UMR FOTON, juin 2014. URL : <https://hal.archives-ouvertes.fr/hal-01074738> (cf. p. 19).
- [31] N.-d. LAI. *ENS Cachan - Laboratoire de photonique quantique et moléculaire - Oscillateur Optoélectronique*. URL : <http://lpqm.ens-paris-saclay.fr/version-francaise/themes-de-recherche/oscillateur-optoelectronique-217780.kjsp?RH=1240907057809> (cf. p. 19).
- [32] J. CROWE et B. HAYES-GILL. “5 - Asynchronous Sequential Logic”. In : *Introduction to Digital Electronics*. Sous la dir. de J. CROWE et B. HAYES-GILL. Oxford : Newnes, 1^{er} jan. 1998, p. 125-149. URL : <https://www.sciencedirect.com/science/article/pii/B9780340645703500071> (cf. p. 26).
- [33] M. APOSTOLIDOU, P. G. BALTUS et C. S. VAUCHER. “Phase Noise in Frequency Divider Circuits”. In : *2008 IEEE International Symposium on Circuits and Systems*. 2008 IEEE International Symposium on Circuits and Systems - ISCAS 2008. Seattle, WA, USA : IEEE, mai 2008, p. 2538-2541. URL : <http://ieeexplore.ieee.org/document/4541973/> (cf. p. 26).
- [34] S. LEVANTINO et al. “Phase Noise in Digital Frequency Dividers”. In : *Solid-State Circuits, IEEE Journal of* 39.5 (mai 2004), p. 775-784 (cf. p. 27, 38).
- [35] D. TASCA et al. “An Automatic Retiming System for Asynchronous Fractional Frequency Dividers”. In : (), p. 4 (cf. p. 27).

- [36] S.-W. HWANG et Y. MOON. “Divide-by- N and Divide-by- $N/N+1$ Prescalers Based on a Shift Register and a Multi-Input NOR Gate”. In : *IEICE Electronics Express* 9.20 (2012), p. 1611-1616. URL : https://www.jstage.jst.go.jp/article/elex/9/20/9_1611/_article (cf. p. 29).
- [37] A. COLLET et É. TOURNIER. “Sur La Limitation Des Diviseurs Fractionnaires Numériques Pour La Division de Fréquence d’oscillateurs Opto-Électroniques”. In : *20èmes Journées Nationales Micro-Ondes (JNM 2017)*. Saint-Malo, France, mai 2017, 4p. URL : <https://hal.archives-ouvertes.fr/hal-01539442> (cf. p. 32, 36).
- [38] A. ERGINTAV et al. “Low-Power and Low-Noise Programmable Frequency Dividers in a 130 Nm SiGe BiCMOS Technology”. In : *2017 15th IEEE International New Circuits and Systems Conference (NEWCAS)*. 2017 15th IEEE International New Circuits and Systems Conference (NEWCAS). Strasbourg, France : IEEE, juin 2017, p. 105-108. URL : <http://ieeexplore.ieee.org/document/8010116/> (cf. p. 33).
- [39] A. ERGINTAV et al. “A 70 GHz Static Dual-Modulus Frequency Divider in SiGe BiCMOS Technology”. In : *2015 10th European Microwave Integrated Circuits Conference (EuMIC)*. 2015 10th European Microwave Integrated Circuits Conference (EuMIC). Paris, France : IEEE, sept. 2015, p. 65-68. URL : <http://ieeexplore.ieee.org/document/7345069/> (cf. p. 33).
- [40] J.-H. TSAI et al. “A 7–12 GHz Multi-Modulus Frequency Divider”. In : *2012 Asia Pacific Microwave Conference Proceedings*. 2012 Asia Pacific Microwave Conference (APMC). Kaohsiung, Taiwan : IEEE, déc. 2012, p. 1232-1234. URL : <http://ieeexplore.ieee.org/document/6421879/> (cf. p. 33).
- [41] M. H. S. MAISURAH et al. “A 5/6-Bit Multi-Modulus Frequency Divider in 0.13μm CMOS Technology”. In : *2011 International Symposium on Integrated Circuits*. 2011 International Symposium on Integrated Circuits (ISIC). Singapore, Singapore : IEEE, déc. 2011, p. 196-199. URL : <http://ieeexplore.ieee.org/document/6131911/> (cf. p. 33).
- [42] N. SHENG et al. “A High Speed Multi-Modulus HBT Prescaler”. In : *12th Annual Symposium on Gallium Arsenide Integrated Circuit (GaAs IC)*. 12th Annual Symposium on Gallium Arsenide Integrated Circuit (GaAs IC). New Orleans, LA, USA : IEEE, 1990, p. 37-40. URL : <http://ieeexplore.ieee.org/document/175442/> (cf. p. 33).
- [43] M. PERROTT, M. TROTT et C. SODINI. “A Modeling Approach for $\Sigma\Delta$ Fractional- N Frequency Synthesizers Allowing Straightforward Noise Analysis”. In : *IEEE Journal of Solid-State Circuits* 37.8 (août 2002), p. 1028-1038. URL : <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1020242> (cf. p. 35).

- [44] V. VALENTA, G. BAUDOIN et M. VILLEGAS. “Phase Noise Behaviour of Fractional-N Synthesizers with Sigma-Delta Dithering for Multi- Radio Mobile Terminals”. In : *Fourth Conference on Ph.D. Research in Microelectronics and Electronics, PRIME 2008*. Istanbul, Turkey, juin 2008, ISBN: 978-1-4244-1984-5. URL : <https://hal.archives-ouvertes.fr/hal-00447429> (cf. p. 36).
- [45] V. ISSAKOV, S. TROTTA et H. KNAPP. “Low-Voltage Flip-Flop-Based Frequency Divider up to 92-GHz in 130-Nm SiGe BiCMOS Technology”. In : *2017 Integrated Nonlinear Microwave and Millimetre-Wave Circuits Workshop (INMMiC)*. 2017 Integrated Nonlinear Microwave and Millimetre-Wave Circuits Workshop (INMMiC). Graz, Austria : IEEE, avr. 2017, p. 1-3. URL : <http://ieeexplore.ieee.org/document/7927321/> (cf. p. 37).
- [46] A. DYSKIN, P. HARATI et I. KALLFASS. “A Compact, Low Power and High Sensitivity E-Band Frequency Divider SiGe HBT MMIC”. In : *2017 Austrochip Workshop on Microelectronics (Austrochip)*. 2017 25th Austrochip Workshop on Microelectronics (Austrochip). Linz : IEEE, oct. 2017, p. 11-14. URL : <http://ieeexplore.ieee.org/document/8114740/> (cf. p. 37).
- [47] M. SEO et al. “A 305–330+ GHz 2:1 Dynamic Frequency Divider Using InP HBTs”. In : *IEEE Microwave and Wireless Components Letters* 20.8 (août 2010), p. 468-470. URL : <http://ieeexplore.ieee.org/document/5481995/> (cf. p. 37).
- [48] H. KNAPP et al. “Static Frequency Dividers up to 133GHz in SiGe:C Bipolar Technology”. In : *2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*. 2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting - BCTM. Austin, TX, USA : IEEE, oct. 2010, p. 29-32. URL : <http://ieeexplore.ieee.org/document/5667984/> (cf. p. 37).
- [49] G. LIU et H. SCHUMACHER. “Design and Comparison of Regenerative Dynamic Frequency Dividers in Different Configurations Using SiGe HBT Technology”. In : *IEEE Microwave and Wireless Components Letters* 23.5 (mai 2013), p. 270-272 (cf. p. 37, 45).
- [50] U. ALI et al. “High Speed Static Frequency Divider Design with 111.6 GHz Self-Oscillation Frequency (SOF) in 0.13 μm SiGe BiCMOS Technology”. In : *2015 German Microwave Conference*. 2015 German Microwave Conference (GeMiC). Nuremberg, Germany : IEEE, mars 2015, p. 241-243. URL : <http://ieeexplore.ieee.org/document/7107798/> (cf. p. 37).
- [51] N. KAMAL et al. “A High-Frequency Divider in 0.18 μm SiGe BiCMOS Technology”. In : *Smart Materials, Nano-and Micro-Smart Systems*. International Society for Optics and Photonics, 2006, p. 641408-641408. URL : <http://proceedings.spiedigitallibrary.org/proceeding.aspx?articleid=1333350> (cf. p. 37).

- [52] S. GROF et al. "Frequency Synthesis Chain for ESA Deep Space Network". In : *Electronics Letters* 47.6 (2011), p. 386. URL : <https://digital-library.theiet.org/content/journals/10.1049/el.2011.0028> (cf. p. 38).
- [53] P. ZHOU et al. "A Low Power, High Sensitivity SiGe HBT Static Frequency Divider up to 90 GHz for Millimeter-Wave Application". In : *China Communications* (2019), p. 10 (cf. p. 38).
- [54] A. ERGINTAV et al. "49 GHz 6-Bit Programmable Divider in SiGe BiCMOS". In : *2013 IEEE 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*. 2013 IEEE 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF). Austin, TX : IEEE, jan. 2013, p. 117-119. URL : <http://ieeexplore.ieee.org/document/6489451/> (cf. p. 38).
- [55] S. HORST et al. "SiGe Digital Frequency Dividers with Reduced Residual Phase Noise". In : *2009 IEEE Custom Integrated Circuits Conference*. 2009 IEEE Custom Integrated Circuits Conference (CICC). San Jose, CA, USA : IEEE, sept. 2009, p. 251-254. URL : <http://ieeexplore.ieee.org/document/5280851/> (cf. p. 38).
- [56] S. GODET et al. "A Low Phase Noise and Wide-Bandwidth BiCMOS SiGe:C 0.25 μm Digital Frequency Divider For An On-Chip Phase-Noise Measurement Circuit". In : *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09* (jan. 2009), p. 1-4 (cf. p. 38).
- [57] E. LASKIN et al. "Low-Power, Low-Phase Noise SiGe HBT Static Frequency Divider Topologies up to 100 GHz". In : *Bipolar/BiCMOS Circuits and Technology Meeting, 2006*. Bipolar/BiCMOS Circuits and Technology Meeting, 2006. Oct. 2006, p. 1-4 (cf. p. 38).
- [58] Y. PU et al. "The Design of a Wideband Static Frequency Divider". In : *2018 2nd IEEE Advanced Information Management,Communicates,Electronic and Automation Control Conference (IMCEC)*. 2018 2nd IEEE Advanced Information Management,Communicates,Electronic and Automation Control Conference (IMCEC). Mai 2018, p. 374-377 (cf. p. 38).
- [59] B. RAZAVI. "A Study of Injection Locking and Pulling in Oscillators". In : *IEEE Journal of Solid-State Circuits* 39.9 (sept. 2004), p. 1415-1424 (cf. p. 40).
- [60] H. M. OLIVEIRA et L. V. MELO. "Huygens Synchronization of Two Clocks". In : *Scientific Reports* 5.1 (1 23 juill. 2015), p. 11548. URL : <https://www.nature.com/articles/srep11548> (cf. p. 40).

- [61] B. van der POL. “VII. *Forced Oscillations in a Circuit with Non-Linear Resistance . (Reception with Reactive Triode)*”. In : *The London, Edinburgh, and Dublin Philosophical Magazine and Journal of Science* 3.13 (jan. 1927), p. 65-80. URL : <http://www.tandfonline.com/doi/abs/10.1080/14786440108564176> (cf. p. 40).
- [62] H. R. RATEGH et T. H. LEE. “Superharmonic Injection-Locked Frequency Dividers”. In : *IEEE Journal of Solid-State Circuits* 34.6 (juin 1999), p. 813-821 (cf. p. 40).
- [63] R. ADLER. “A Study of Locking Phenomena in Oscillators”. In : *Proceedings of the IRE* 34.6 (1946), p. 351-357. URL : <http://ieeexplore.ieee.org/abstract/document/1697085/> (cf. p. 40).
- [64] X. ZHANG et al. “A Study of Subharmonic Injection Locking for Local Oscillators”. In : *IEEE Microwave and Guided Wave Letters* 2.3 (mars 1992), p. 97-99. URL : <http://ieeexplore.ieee.org/document/124911/> (cf. p. 40).
- [65] Y.-T. CHEN et al. “Low-Voltage K-Band Divide-by-3 Injection-Locked Frequency Divider With Floating-Source Differential Injector”. In : *IEEE Transactions on Microwave Theory and Techniques* 60.1 (jan. 2012), p. 60-67 (cf. p. 41).
- [66] W.-C. LAI, S.-L. JANG et J.-W. JHUANG. “An Injection-Locked Frequency Divider by Three with Switching Cross-Couple Architecture”. In : *Radio-Frequency Integration Technology (RFIT), 2017 IEEE International Symposium On*. IEEE, 2017, p. 159-161 (cf. p. 41, 44).
- [67] F. LIU et al. “A Ka-Band Wide Locking Range Frequency Divider with High Injection Sensitivity”. In : *Journal of Semiconductors* 35.3 (mars 2014), p. 035002. URL : <http://stacks.iop.org/1674-4926/35/i=3/a=035002?key=crossref.f38d1672ce4ede1345b2c7997821e> (cf. p. 41).
- [68] S. L. JANG, C. F. LEE et W. H. YEH. “A Divide-by-3 Injection Locked Frequency Divider With Single-Ended Input”. In : *IEEE Microwave and Wireless Components Letters* 18.2 (fév. 2008), p. 142-144 (cf. p. 41).
- [69] H. CRUZ et al. “A Harmonic-Boosted V-Band Divide-by-3 Frequency Divider in 65nm CMOS”. In : *Wireless Symposium (IWS), 2014 IEEE International*. Wireless Symposium (IWS), 2014 IEEE International. Mars 2014, p. 1-4 (cf. p. 41, 44).
- [70] P. K. TSAI, C. C. LIU et T. H. HUANG. “Wideband Injection-Locked Divide-by-3 Frequency Divider Design with Regenerative Second-Harmonic Feedback Technique”. In : *2012 7th European Microwave Integrated Circuit Conference*. 2012 7th European Microwave Integrated Circuit Conference. Oct. 2012, p. 293-296 (cf. p. 41, 44).

- [71] X. P. YU et al. "A 3 mW 54.6 GHz Divide-by-3 Injection Locked Frequency Divider With Resistive Harmonic Enhancement". In : *IEEE Microwave and Wireless Components Letters* 19.9 (sept. 2009), p. 575-577 (cf. p. 41).
- [72] R. L. MILLER. "Fractional-Frequency Generators Utilizing Regenerative Modulation". In : *Proceedings of the IRE* 27.7 (juill. 1939), p. 446-457 (cf. p. 41).
- [73] S. VERMA, H. RATEGH et T. LEE. "A Unified Model for Injection-Locked Frequency Dividers". In : *IEEE Journal of Solid-State Circuits* 38.6 (juin 2003), p. 1015-1027. URL : <http://ieeexplore.ieee.org/document/1202004/> (cf. p. 41).
- [74] H. NAM et J.-D. PARK. "A W -Band Divide-by-Three Injection-Locked Frequency Divider With Injection Current Boosting Utilizing Inductive Feedback in 65-Nm CMOS". In : *IEEE Microwave and Wireless Components Letters* 30.5 (mai 2020), p. 516-519. URL : <https://ieeexplore.ieee.org/document/9062317/> (cf. p. 44).
- [75] H. NAJAFI et E. EBRAHIMI. "A Novel Divide-by-3 Class-C Injection Locked Frequency Divider Using Back-Gate Injection". In : *Electrical Engineering (ICEE), Iranian Conference On. 2018 Iranian Conference on Electrical Engineering (ICEE)*. Mashhad : IEEE, mai 2018, p. 150-154. URL : <https://ieeexplore.ieee.org/document/8472627/> (cf. p. 44).
- [76] S.-M. LI, H.-N. YEH et H.-Y. CHANG. "A $\$V\$$ -Band 90-Nm CMOS Divide-by-10 Injection-Locked Frequency Divider Using Current-Reused Topology". In : *IEEE Microwave and Wireless Components Letters* 28.1 (jan. 2018), p. 76-78. URL : <http://ieeexplore.ieee.org/document/8226801/> (cf. p. 44).
- [77] J. ZHANG et al. "A 27.9–53.5-GHz Transformer-Based Injection-Locked Frequency Divider with 62.9% Locking Range". In : *IEEE*, juin 2017, p. 324-327. URL : <http://ieeexplore.ieee.org/document/7969083/> (cf. p. 44).
- [78] Y. ZHAO et al. "A 0.56 THz Phase-Locked Frequency Synthesizer in 65 Nm CMOS Technology". In : *IEEE Journal of Solid-State Circuits* 51.12 (déc. 2016), p. 3005-3019. URL : <http://ieeexplore.ieee.org/document/7563842/> (cf. p. 44).
- [79] S.-L. JANG, W.-C. CHENG et C.-W. HSUE. "Wide-Locking Range Divide-by-3 Injection-Locked Frequency Divider Using Sixth-Order $\$RLC\$$ Resonator". In : *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 24.7 (juill. 2016), p. 2598-2602. URL : <http://ieeexplore.ieee.org/document/7384537/> (cf. p. 44).
- [80] Y.-H. CHANG et Y.-C. CHIANG. "A Divide-by-3 Injection-Locked Frequency Divider in 0.18 μm CMOS Process for K Band Applications". In : *IMS 2015* (2015). URL : http://75.127.14.226/downloads/ims/arftg_imsproceedings/ims_proceedings/PDF/1061-OKSMEIFyFoRo-2.pdf (cf. p. 44).

- [81] C.-C. CHAN, T.-H. LIN et H.-Y. CHANG. “A 31.2% Locking Range K-Band Divide-by-6 Injection-Locked Frequency Divider Using 90 Nm CMOS Technology”. In : *Microwave Symposium (IMS), 2015 IEEE MTT-S International*. IEEE, 2015, p. 1-3 (cf. p. 44).
- [82] Y. S. LIN et al. “Ultra-Wide Locking Range Regenerative Frequency Dividers With Quadrature-Injection Current-Mode-Logic Loop Divider”. In : *IEEE Microwave and Wireless Components Letters* 24.3 (mars 2014), p. 179-181 (cf. p. 44, 45).
- [83] B. R. JACKSON et C. E. SAAVEDRA. “A Divide-by-Three Regenerative Frequency Divider Using a Subharmonic Mixer”. In : *2011 NORCHIP*. 2011 NORCHIP. Nov. 2011, p. 1-4 (cf. p. 45).
- [84] G. TIWARI, S. RUDRAPATI et S. GUPTA. “On Optimization of Miller Divider with Transformer Injection Enhancement”. In : (2018), p. 4 (cf. p. 45).
- [85] Y.-H. LIN et H. WANG. “A 35.7–64.2 GHz Low Power Miller Divider with Weak Inversion Mixer in 65 Nm CMOS”. In : *IEEE Microwave and Wireless Components Letters* 26.11 (nov. 2016), p. 948-950. URL : <http://ieeexplore.ieee.org/document/7636976/> (cf. p. 45).
- [86] Y.-F. KUO et R.-M. WENG. “Regenerative Frequency Divider for 14 Sub-Band UWB Applications”. In : *Electronics Letters* 44.2 (2008), p. 111. URL : http://digital-library.theiet.org/content/journals/10.1049/el_20082371 (cf. p. 45).
- [87] S. TROTTA et al. “A New Regenerative Divider by Four up to 160 GHz in SiGe Bipolar Technology”. In : *2006 IEEE MTT-S International Microwave Symposium Digest*. 2006 IEEE MTT-S International Microwave Symposium Digest. Juin 2006, p. 1709-1712 (cf. p. 45).
- [88] CHIEN-CHIH LIN et CHORNG-KUANG WANG. “A Regenerative Semi-Dynamic Frequency Divider for Mode-1 MB-OFDM UWB Hopping Carrier Generation”. In : *ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005*. ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005. San Francisco, CA, USA : IEEE, 2005, p. 206-207. URL : <http://ieeexplore.ieee.org/document/1493941/> (cf. p. 45).
- [89] E. VAILLANT et al. “Double Loop Frequency Regenerative Dividers”. In : (2018), p. 3 (cf. p. 45).
- [90] C. SHIEH, K. TSENG et T. HUANG. “Dual-Band 60-/24-GHz Signal Generator Using a Regenerative Miller Frequency Dividing System”. In : *2018 Asia-Pacific Microwave Conference (APMC)*. 2018 Asia-Pacific Microwave Conference (APMC). Nov. 2018, p. 138-140 (cf. p. 45).

- [91] W.-S. CHANG, K.-W. TAN et S. S. H. HSU. “A 56.5–72.2 GHz Transformer-Injection Miller Frequency Divider in 0.13 μ m CMOS”. In : *IEEE Microwave and Wireless Components Letters* 20.7 (juill. 2010), p. 393-395. URL : <http://ieeexplore.ieee.org/document/5483190/> (cf. p. 45).
- [92] J. LEE et B. RAZAVI. “A 40-GHz Frequency Divider in 0.18 μ m CMOS Technology”. In : *IEEE Journal of Solid-State Circuits* 39.4 (avr. 2004), p. 594-601. URL : <http://ieeexplore.ieee.org/document/1278577/> (cf. p. 45).
- [93] M. MOSSAMMAPARAST et al. “Phase Noise of X-Band Regenerative Frequency Dividers”. In : (), p. 5 (cf. p. 45).

Chapitre 2

Synthèse par division entière

Introduction

Dans ce deuxième chapitre, nous présentons le travail de conception des différents diviseurs entiers réalisés. Les méthodes, les résultats de simulations et de mesures de ces circuits sont également détaillés dans ce chapitre. Dans le cadre du projet [DIFOOL](#) au démarrage de la thèse, le cahier des charges nous amenait à travailler à des fréquences de 30 GHz et 10 GHz, puisque ce sont les fréquences proposées par les [COEO](#) auxquels nous avons accès. Nous avons étudié la division par 3 fixe à 30 GHz, afin de pouvoir ensuite mutualiser les travaux sur la division en dessous de 10 GHz. Suite aux conclusions présentées dans le § [1.II.4.d](#), nous nous intéressons en premier lieu à la conception et la simulation des diviseurs numériques. Tout d'abord, nous présentons deux diviseurs numériques par 2 basés sur deux types de bascules D différentes. Ensuite, nous présentons différentes topologies de diviseurs numériques par 3. Ces diviseurs par 2 et 3 sont conçus pour fonctionner à 30 GHz. Suite à cela, nous présentons un diviseur par 10 et deux diviseurs programmables fonctionnant à 10 GHz, puisque, comme évoqué dans l'introduction générale, un des objectifs est de présenter les performances d'un signal de fréquence proche de 1 GHz obtenu par division de [COEO](#). Nous présentons également les résultats d'un circuit de test de la technique de resynchronisation (§ [1.II.3.c. i](#)). Dans un deuxième temps, les diviseurs analogiques conçus sont présentés. Malgré les conclusions sur les [ILFD](#) du § [1.II.4.d](#), une topologie d'[ILFD](#) et une topologie à la frontière entre l'[ILFD](#) et le diviseur régénératif sont présentées. Elles réalisent une division par 3 et fonctionnent à 30 GHz. Les défauts des [ILFD](#) présentés dans § [1.II.4.d](#) sont ici moins gênants puisque pour une division fixe de 30 GHz vers 10 GHz, leur manque de programmabilité n'est pas un problème et leur haute fréquence de fonctionnement peut être un atout. Nous pourrions ainsi comparer leurs performances en bruit de phase avec celles d'un diviseur numérique par 3. De plus, comme nous l'avons expliqué dans l'introduction générale, un des axes majeurs à étudier lors de nos travaux sont les diviseurs régénératifs, or, ces deux diviseurs analogiques se rapprochent de ce

type de diviseurs. Le premier est un [ILFD](#) avec régénération du second harmonique et le second est un cas particulier de diviseur régénératif basé sur un redressement double alternance.

2.I Diviseurs numériques

2.I.1 Diviseur par 2 ECL numérique VCCS

2.I.1.a Présentation

Une première version d'un diviseur par 2 numérique classique [\[1\]](#) basé sur une bascule D [ECL](#) a été réalisée. Le verrou D [ECL](#) utilisé pour la bascule D de ce diviseur par 2 est présenté dans la figure [2.1](#).

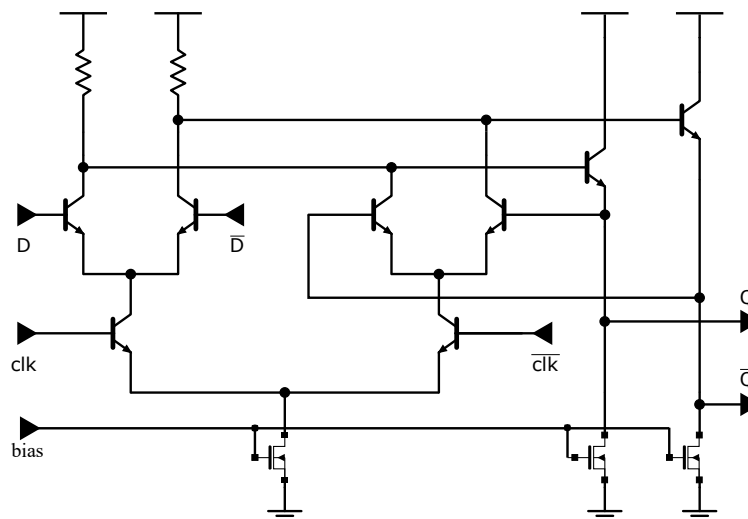


FIGURE 2.1 – Verrou D VCCS

La paire différentielle inférieure et la source de courant constituent une ([source de courant commandée en tension \(ou Voltage Controlled Current Source\) \(VCCS\)](#)). Les paires différentielles supérieures étant commandées par des [VCCS](#), nous utiliserons donc cette appellation pour cette topologie de verrou. Lors de la conception de ce circuit, plusieurs manières de réaliser ces [VCCS](#) qui polarisent les montages à émetteurs couplés sont envisageables. Les plus répandues sont les miroirs de courant à base de transistors MOS ou les miroirs de courant à base de transistors bipolaires. Dans cette version, nous avons choisi de réaliser la polarisation avec un miroir de courant à transistors NMOS pour plusieurs raisons. En premier lieu, nous rappelons que notre principale priorité dans la conception de nos circuits est le bruit, or le bruit majoritaire lorsque le transistor est utilisé en source de courant est le bruit en $\frac{1}{f}$. D'après la littérature, le bruit en $\frac{1}{f}$ pour les transistors MOS et bipolaires est proche pour des épaisseurs d'oxyde de l'ordre de 4 nm [\[2\]](#). Les transistors

CMOS que nous avons retenus pour servir de sources de courant présentant une épaisseur d'oxyde de 5 nm, nous admettons qu'ils auront un niveau de bruit équivalent à celui d'un transistor bipolaire, mais ils offrent d'autres avantages importants. Le premier avantage concerne la simplicité à modifier le courant dans une branche du miroir grâce au $\frac{W}{L}$ du transistor. En effet, pour un courant donné dans la branche de référence du miroir du courant et un $\frac{W}{L}$ donné pour le transistor MOS de cette branche, modifier le $\frac{W}{L}$ du transistor MOS d'une autre branche du miroir modifiera le courant proportionnellement, ce qui n'est pas réalisable avec la version bipolaire. Un autre avantage est lié aux capacités parasites des grilles de MOS. Les grilles de MOS jouent ici un rôle de découplage, et plus il y a de branches sur le miroir de courant, plus le signal est découplé, ce qui est bénéfique puisqu'il s'agit d'un circuit de polarisation. Dans le cas des bipolaires, il est au contraire préjudiciable d'ajouter des branches au miroir de courant car chacune charge davantage la branche de référence. Le miroir de courant sert à polariser une première paire différentielle qui pilote elle-même deux paires différentielles. Il polarise également les suiveurs en sortie du verrou D comme nous le verrons par la suite 2.2. Comme expliqué au § 1.II.3, une bascule D, qui peut être utilisée pour réaliser un diviseur par 2, est constituée de deux verrous D. Un diviseur par 2 constitué d'une bascule D basée sur le verrou D présenté précédemment a donc été conçu. Nous nous référons à ce diviseur, cette bascule ou ce verrou en tant que **VCCS**.

2.1.1.b Conception et résultats de simulations

Le design kit utilisé pour la conception a été dans un premier temps le kit SiGe BiCMOS 130 nm de IHP, appelé SG13S. Nous avons rapidement basculé sur le design kit SiGe BiCMOS 130 nm BiCMOS9MW de STMicroelectronics. Nous ne discutons ici que des circuits conçus avec le kit BiCMOS9MW car ils sont les seuls à avoir été produits et caractérisés alors que les circuits conçus avec le kit IHP ont seulement été simulés.

Il est communément admis que la fréquence de fonctionnement des diviseurs numériques ne peut être qu'une fraction de la fréquence de transition f_t du transistor [3]. Ainsi, si l'objectif principal est seulement d'atteindre une fréquence d'entrée la plus élevée possible, on peut arriver à des fréquences de fonctionnement de l'ordre de $\frac{f_t}{2}$ [4, 5]. En revanche, si on prend en considération la dissipation de puissance du diviseur et qu'on regarde les fréquences de fonctionnement des circuits dont la fréquence de fonctionnement a été optimisée en fonction de cette consommation, la fréquence de fonctionnement maximale est davantage aux alentours de $\frac{f_t}{3}$ [6, 7]. Ainsi, des compromis vont devoir être établis entre ces différents paramètres pour pouvoir se conformer aux objectifs fixés par le projet. Pour donner un exemple, un des meilleurs diviseurs statiques par 2 que nous avons trouvé dans la littérature [8] présente une division correcte jusqu'à 100 GHz, soit environ trois fois celle que nous visons. En termes de consommation, le diviseur consomme autour de 150 mW qui est de l'ordre de grandeur de la consommation que nous avons obtenue pour nos

circuits (§ 2.1.2.d). En revanche, nous espérons, atteindre un niveau de bruit de phase quasiment 20 dB inférieur à celui présenté ici, soit une amélioration de l'ordre d'un facteur 10. Pour expliquer ce facteur 10, on a ici un bruit de phase de $-96 \text{ dBc/Hz@100 kHz}$ pour une fréquence synthétisée de 50 GHz. Nous souhaitons, dans le cadre du projet [DIFOOL](#), obtenir un bruit de phase de l'ordre de $-130 \text{ dBc/Hz@100 kHz}$ pour une fréquence synthétisée de 10 GHz. En transposant le bruit du signal de 50 GHz à 10 GHz, nous obtenons $-96 - 20 \cdot \log(5) = -110$, il manque donc 20 dB pour atteindre les -130 dBc/Hz souhaités. Ainsi, pour une fréquence de fonctionnement trois fois plus faible et une consommation quasiment équivalente, nous souhaitons obtenir un bruit de phase dix fois meilleur que ce diviseur. Nous pouvons donc comprendre que les objectifs fixés sont assez contraignants et que nous allons devoir faire des compromis importants pour pouvoir les atteindre.

Dans un premier temps, nous expliquons rapidement le choix des composants pour la conception de nos circuits. Il existe trois types de transistors bipolaires dans le design kit : le moyenne tension (medium voltage ou MV), le haute tension (High Voltage ou HV) et le haute vitesse (High Speed ou HS). La fréquence de transition f_t des familles MV et HV est de 150 GHz contre 230 GHz pour la famille HS. Nous avons vu lors de la bibliographie que les diviseurs visant simplement à atteindre des fréquences de fonctionnement élevées travaillent généralement à des fréquences de l'ordre de $\frac{f_t}{2}$ à $\frac{f_t}{3}$ [4, 9-14]. L'objectif pour nous étant de réaliser un diviseur numérique ayant un très bon bruit de phase, une fréquence de fonctionnement assez basse par rapport à la f_t et pas de contrainte forte sur la consommation, on peut présumer d'après ce que nous avons vu dans la littérature que la fréquence du circuit sera de l'ordre de $\frac{f_t}{5}$, ce qui nous donne respectivement des fréquences maximales approximatives de 30 GHz et 46 GHz. Pour rappel, la fréquence de notre référence est de 30 GHz. Ainsi par mesure de précaution et pour garder une marge de manœuvre, nous avons opté pour les transistors NPN HS. Concernant les transistors MOS utilisés pour le miroir de courant, nous avons encore une fois un large panel proposé dans le design kit, à commencer par un choix entre une famille de transistors MOS dont la tension drain-source maximale $v_{ds_{\max}}$ est de 1,2 V et une autre dont le $v_{ds_{\max}}$ est de 2,5 V. Nous avons opté pour la seconde car, notamment pour les suiveurs en sortie des portes, les tensions v_{ds} des transistors servant de sources de courant peuvent être assez élevées. Ainsi, en prenant la famille de transistors MOS ayant le $v_{ds_{\max}}$ le plus important, la conception sera facilitée par la suite, car nous aurons un plus grand degré de liberté sur la polarisation de ces transistors de façon à rester dans la [Safe Operating Area \(SOA\)](#), c'est-à-dire les conditions dans lesquelles les transistors ne risquent pas de se détériorer. Parmi cette famille de transistors dont le $v_{ds_{\max}}$ est de 2,5 V, nous avons le choix entre différents transistors : *ndomos25*, *nhsdomos25*, *nrfdomos25*. D'après la documentation du design kit, le *ndomos25* correspond au modèle « standard ». Il présente une [tension de seuil \(ou Threshold Voltage\) \(VT\)](#) de 0,43 V, un courant de drain à l'état « ON » de $I_{\text{ON}} = 610 \mu\text{A}$ et à l'état « OFF » de $I_{\text{OFF}} = 0,160 \text{ nA}$. Le *nhsdomos25* est présenté comme un modèle [faible tension de seuil \(ou Low Threshold Voltage\)](#)

(LVT). Il présente une V_T de 0,14 V un I_{ON} de 780 μ A et un I_{OFF} de 3000 nA. Il est recommandé pour les applications de type numériques. Le *nrfdomos25* est semblable au *ndomos25* mais un anneau de garde (guard ring) entoure le transistor afin de minimiser et de contrôler les interconnexions dans le substrat. Il est également possible d'utiliser un double accès sur la grille afin de limiter la résistance de grille. Ce transistor est recommandé pour les applications radiofréquences. Nous avons choisi le transistor *ndomos25* car il est utilisé ici en tant que source de courant et non pas en tant que transistor logique, il n'est donc pas nécessaire d'utiliser la version *nrfdomos25* qui complexifie le design et accroît l'encombrement.

Pour les résistances de la paire différentielle, un large choix de résistances était proposé. Nous avons choisi la résistance *rp01b_rf*, qui est décrite comme une résistance polysilicium P+ non siliciée. De la même manière que pour les transistors MOS décrits précédemment, le suffixe rf indique qu'un anneau de garde entoure la résistance pour le design radiofréquence. Nous avons choisi cette résistance parce qu'elle permettait d'obtenir le meilleur compromis entre encombrement et valeur de la résistance pour l'application en question.

La longueur d'émetteur des transistors bipolaires a été choisie pour obtenir une valeur optimale de bruit de phase en conservant une vitesse de fonctionnement suffisante pour diviser la référence de fréquence. Pour cela, une étude paramétrique a été conduite sur les tailles des différents transistors bipolaires (en modifiant évidemment les longueurs de deux transistors symétriques conjointement) pour trouver l'optimum de bruit de phase. Ainsi, les courants, tensions et valeurs des différents composants du verrou D **VCCS** conçu sont présentés dans la figure 2.2. Nous n'avons pour ce circuit que des résultats de simulations car nous verrons par la suite qu'une version plus performante de bascule D a été mise en œuvre (§ 2.1.2), c'est donc cette autre version qui sera fabriquée et mesurée. Nous avons tout de même tenu à présenter la topologie de bascule D **VCCS** pour montrer les résultats en bruit de phase obtenus par simulation et les comparer avec ceux de la version du § 2.1.2.

La méthode utilisée pour simuler le bruit de phase est une mesure **Periodic Noise (PNOISE)** basée sur une analyse en **régime périodique établi (ou Periodic Steady State) (PSS)**. Lors du paramétrage de l'analyse **PSS**, il faut renseigner la fréquence (ou la période) du signal que l'on souhaite observer. Si plusieurs signaux à différentes fréquences doivent être observés, on renseigne celui dont la fréquence est la plus basse, car sa période est la plus grande et permettra donc d'observer correctement les autres signaux. Le principe de l'analyse **PSS** est de retrouver, si possible, un état où les différentes variables du circuit sont identiques à deux moments distincts espacés de la valeur de la période renseignée dans le paramétrage de l'analyse. Ainsi, lorsque l'analyse **PSS** converge, cela signifie qu'il existe quelque part dans le circuit un motif périodique dont la période est égale à celle renseignée lors du paramétrage. De plus, de par sa définition, la convergence de l'analyse **PSS** garantit également que les fréquences des différents signaux au sein du circuit sont

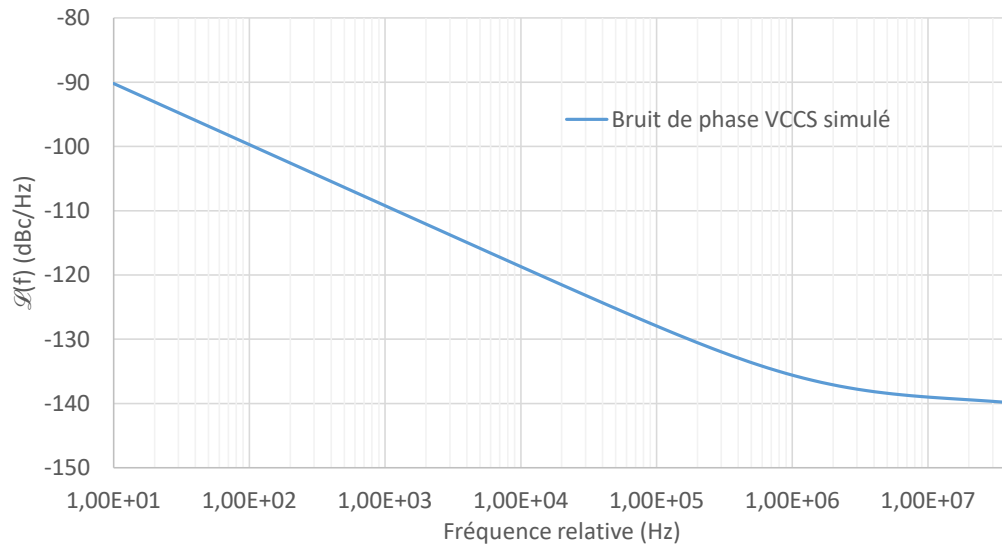


FIGURE 2.3 – Bruit de phase simulé de la bascule D VCCS montée en diviseur par 2

Les résultats de la simulation de bruit de phase pour la bascule D **VCCS** sont présentés dans la figure 2.3.

La simulation est menée avec la bascule D montée en diviseur par 2, c'est-à-dire que sa sortie inverseuse est connectée à son entrée non-inverseuse. Pour cette simulation, un balun actif large bande, présenté sur la figure 2.4, permettant d'obtenir un signal différentiel à partir d'une référence « single-ended » a été ajouté à l'entrée du circuit.

Le buffer présenté en figure 2.5 a également été ajouté en sortie du circuit afin d'assurer la commande d'une charge $50\ \Omega$.

Ce balun et ce buffer sont indispensables pour permettre la caractérisation des circuits. La plupart des synthétiseurs de fréquence et les **COEO** que nous utilisons délivrent des signaux « single-ended » : le balun en entrée permet de faire la conversion en signaux différentiels nécessaires pour ce circuit. D'autre part, les appareils de mesures hyperfréquences présentant une impédance d'entrée de $50\ \Omega$, le buffer de sortie permet de garantir une adaptation en puissance pour être capable d'observer le signal de sortie. Bien que ce circuit n'ait pas vocation à être caractérisé expérimentalement, les circuits qui le seront devront nécessairement comporter un balun d'entrée et un buffer de sortie. Ainsi, l'ensemble des mesures expérimentales comprendront le bruit de phase ajouté par ces éléments. Pour cette raison, pour comparer les résultats de simulations et expérimentaux, la plupart des simulations seront menées avec un balun et un buffer, même celles des circuits ne faisant pas l'objet de mesures expérimentales, dans le but de réaliser une comparaison pertinente et cohérente entre les simulations des différents circuits. Nous préciserons clairement si ces éléments sont présents ou non lors de la simulation. Cela signifie également qu'en fonction des caractéristiques de l'application finale de nos circuits, il sera possible de s'affranchir de ce balun et de ce

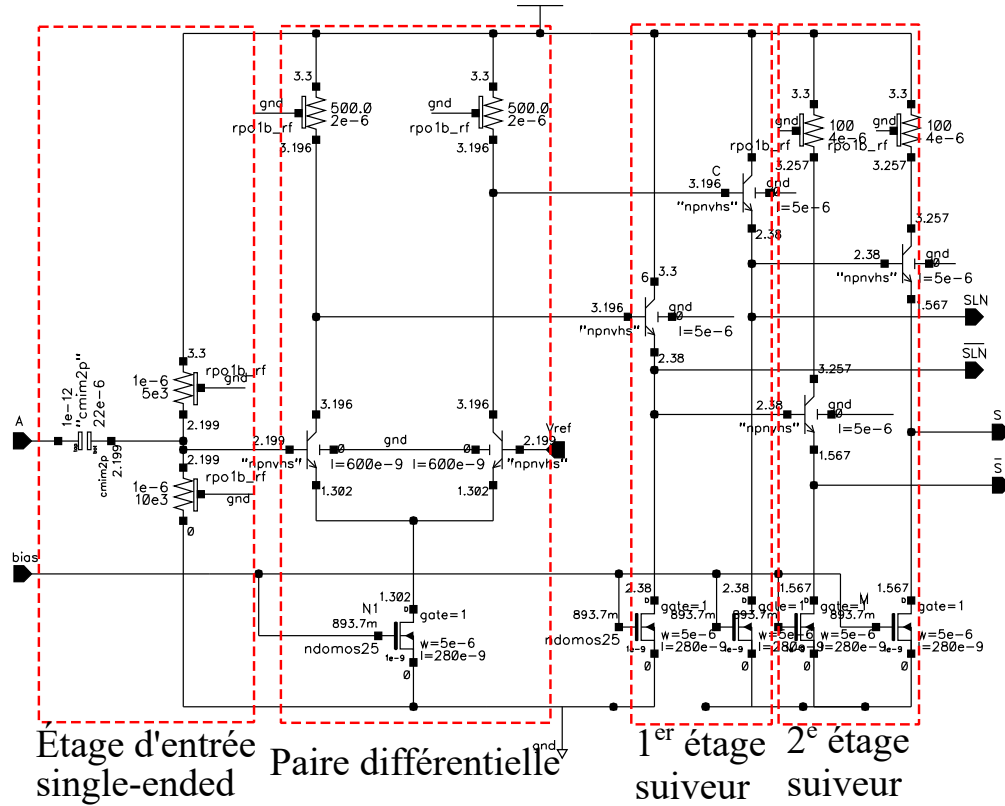


FIGURE 2.4 – Balun d'entrée

buffer. En effet, si le signal de référence est différentiel et la charge de sortie grandement supérieure à $50\ \Omega$, le balun et le buffer n'ont plus lieu d'être, et leur contribution en bruit de phase sera donc retranchée au bruit de phase mesuré expérimentalement. En résumé, les conditions de caractérisation nous contraignant à utiliser un buffer et un balun, les résultats de mesures seront d'une certaine manière un « pire cas » en termes de bruit de phase car certaines applications peuvent s'affranchir de ces éléments. Si les simulations avec buffer et balun correspondent aux mesures, on peut alors légitimement extrapoler que le niveau de bruit sans eux est donné par la simulation.

Il faut également préciser qu'aucun profil de bruit de phase n'a été implémenté pour la référence de fréquence lors des simulations. C'est-à-dire que le signal utilisé pour la simulation est idéal et que son bruit de phase peut être considéré comme parfait. Ainsi, le bruit de phase observé en sortie correspond au bruit de phase résiduel du diviseur avec les contributions du balun et du buffer. C'est pour cette raison que, proche de la porteuse, le bruit simulé sera bien inférieur au bruit mesuré car c'est généralement le bruit de la source qui prévaut sur cette plage de fréquence.

Maintenant que nous avons pu estimer les performances en bruit de phase d'une bascule D traditionnelle avec la technologie BiCMOS9MW, nous allons les comparer avec ceux de la topologie de bascule D offrant les meilleurs résultats lors de l'état de l'art : la bascule D **VCVS**.

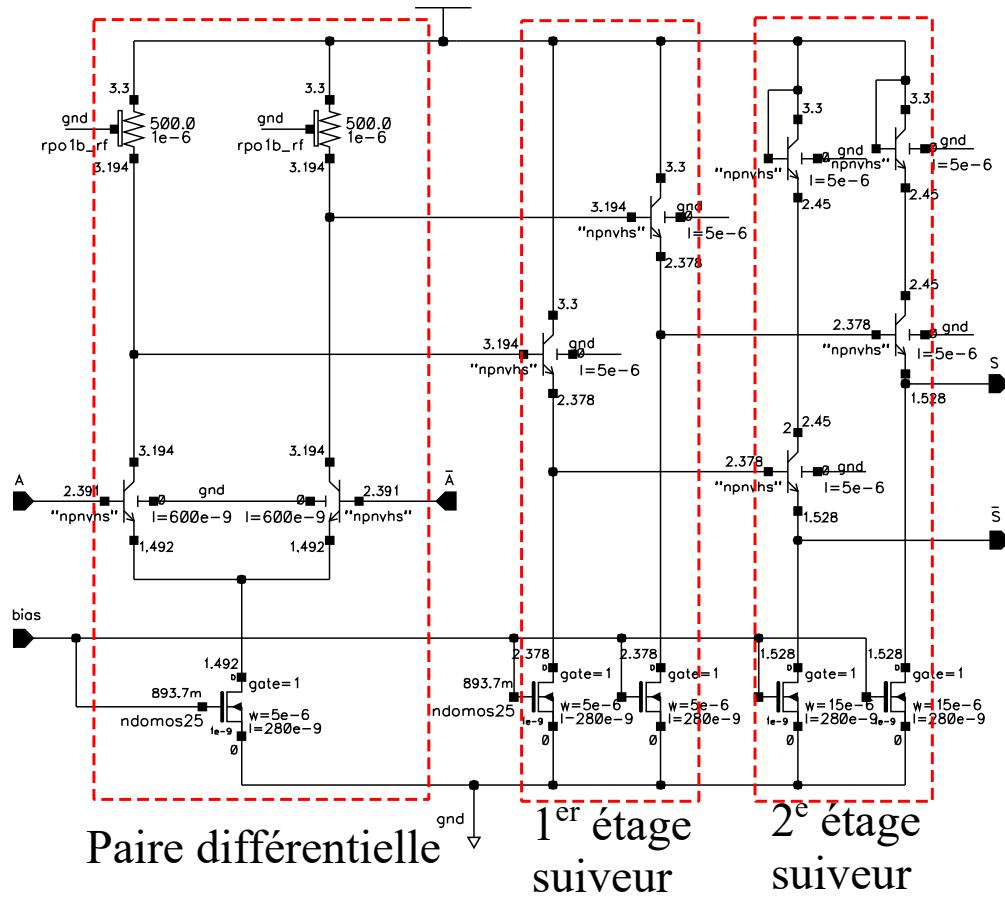


FIGURE 2.5 – Buffer de sortie

2.1.2 Diviseur par 2 ECL numérique VCVS

2.1.2.a Présentation

Cette version alternative de verrou D est présentée dans la figure 2.6. Suite à l'étude bibliographique réalisée au début de la thèse au § 1.II.3.g, cette topologie présentait les meilleures performances en bruit de phase et reste encore à ce jour parmi les meilleures candidates sur cet aspect. Cette topologie est issue d'un travail réalisé au LAAS, où j'ai réalisé ma thèse, sur un diviseur par 2 faible bruit, mais à une fréquence inférieure à celle des COEO puisque le diviseur de l'article en question est réalisé pour une fréquence d'entrée de 3,5 GHz [15] et peut fonctionner jusqu'à 5,5 GHz. Le principe est de remplacer la paire différentielle et la source de courant constituant la VCCS d'un verrou D classique par une VCVS. En effet d'après nos simulations, il s'avère que le transistor MOS qui polarise le verrou est le contributeur majoritaire en bruit, nous avons donc voulu utiliser une façon alternative de réaliser un verrou D qui s'affranchit de ce transistor de polarisation. Ainsi, cette VCVS est réalisée avec un transistor bipolaire ayant une résistance de faible valeur connectée entre son émetteur et la masse afin de limiter la dégradation en bruit thermique de

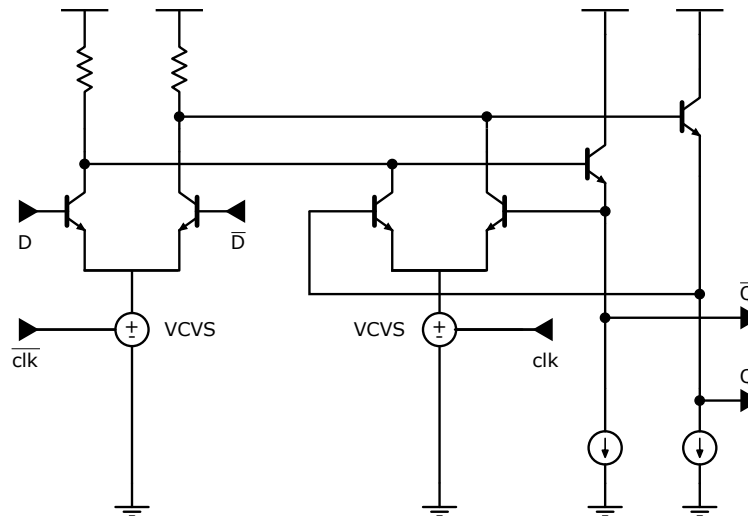


FIGURE 2.6 – Verrou D avec source de tension VCVS

la résistance. Le principe du verrou D est ensuite assez semblable à celui d'un verrou D classique : on favorise alternativement une des deux paires différentielles du verrou D à l'aide du **VCVS**. Là où dans un verrou D classique, on utilise une **VCCS** pour activer l'une des paires différentielles en imposant un courant dans l'une ou l'autre, on choisit ici quelle paire différentielle favoriser en augmentant ou en diminuant le V_{BE} des transistors des paires différentielles. Ainsi, si **clk** est à l'état haut, le V_{BE} de la paire différentielle de gauche est favorisé et celui de la paire différentielle de droite est réduit, le verrou D est donc dans un état de lecture. Quand **clk** est à l'état bas, c'est l'inverse, on retrouve donc l'état de mémorisation. Il peut être noté que l'état de **clk** par rapport à la paire différentielle de l'étage supérieur est inversé par rapport à un verrou D **VCCS**. En effet, un état haut sur le signal **clk** d'un verrou D **VCCS** comme celle de la figure 2.2 entraîne l'activation de la paire différentielle correspondante, avec les entrées **D** et $\overline{D}$. Dans le cas du verrou D **VCVS**, **clk** et $\overline{clk}$ sont inversées puisque c'est lorsque **clk** est à l'état bas que la paire différentielle correspondante est active. Le fonctionnement en tant que verrou D est donc assuré mais au lieu d'un contrôle par le courant de polarisation, on fait ici un contrôle par la tension d'émetteur. Un élément notable de cette topologie est que les tensions continues autour desquelles vont être polarisés les différents étages du circuit jouent un rôle majeur dans le bon fonctionnement du circuit. En effet, le système de verrou étant ici mis en œuvre par un contrôle en tension, il faudra notamment être vigilant aux V_{BE} des transistors des paires différentielles, qui vont être légèrement favorisés dans un cas ou dans l'autre, mais qu'il faudra toujours conserver dans des régimes de fonctionnement qui ne détériorent pas le transistor. Deux verrous D **VCVS** sont ensuite utilisés pour réaliser une bascule D qui servira elle-même en tant que diviseur par 2. C'est finalement en diviseur par 2 que cette topologie est la plus simple à utiliser car en rebouclant la bascule D sur elle-même, on supprime des degrés de liberté sur les tensions continues dans le circuit et la polarisation du circuit se

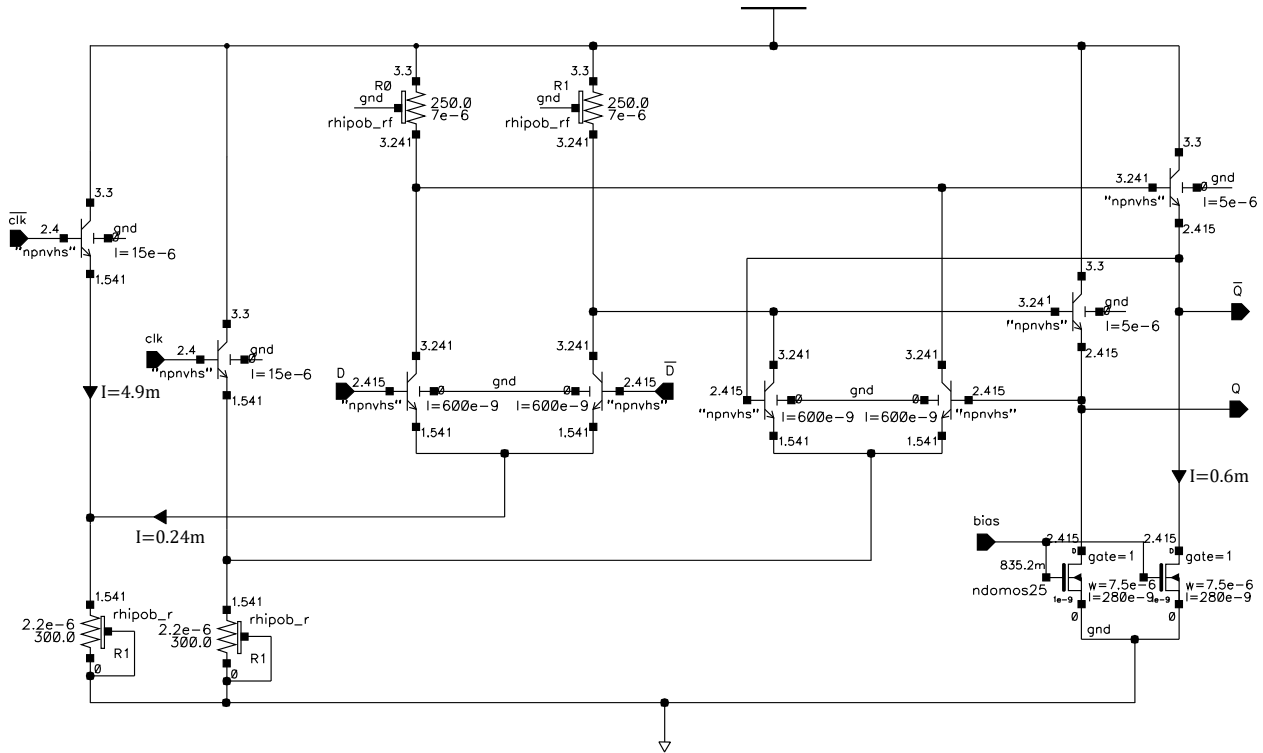


FIGURE 2.7 – Verrou D VCVS avec paramètres composants et tensions/courants DC

fait naturellement à travers le V_{BE} des différents transistors.

2.1.2.b Conception et résultats de simulations

Le verrou D conçu est présenté sur la figure 2.7 avec l'ensemble des courants et tensions de polarisation ainsi que les valeurs des paramètres principaux des différents composants.

Pour ce diviseur par 2, nous utilisons le même buffer de sortie que pour le diviseur par 2 précédent, cependant le balun d'entrée est différent. En effet, sur la bascule D traditionnelle, la tension continue de l'étage supérieur recevant l'entrée **D** est autour de 2,4 V tandis que la tension continue de l'étage inférieur recevant le signal **clk** est autour de 1,6 V. C'est le V_{BE} des transistors qui impose cela. Le V_{BE} des transistors utilisés ici est de 0,8 V. Ainsi, en négligeant les chutes de tension dans les résistances des paires différentielles, nous obtenons un premier étage logique à $V_{DD} - V_{BE} = 3,3 - 0,8 = 2,5$ V, et un second à $V_{DD} - 2 \times V_{BE} = 3,3 - 2 \times 0,8 = 1,7$ V. Dans le cas de la bascule D alternative, les paires différentielles recevant le signal **clk** sont remplacées par des **VCVS**, qui sont des collecteurs communs. Ces collecteurs communs vont diminuer la tension continue d'un V_{BE} , on peut alors supprimer un couple de suiveurs en sortie du balun, ce qui réduira la consommation et l'encombrement. Le balun utilisé est donc sur le même principe que le précédent mais la dernière paire de suiveurs en sortie a été supprimée comme le montre la figure 2.8.

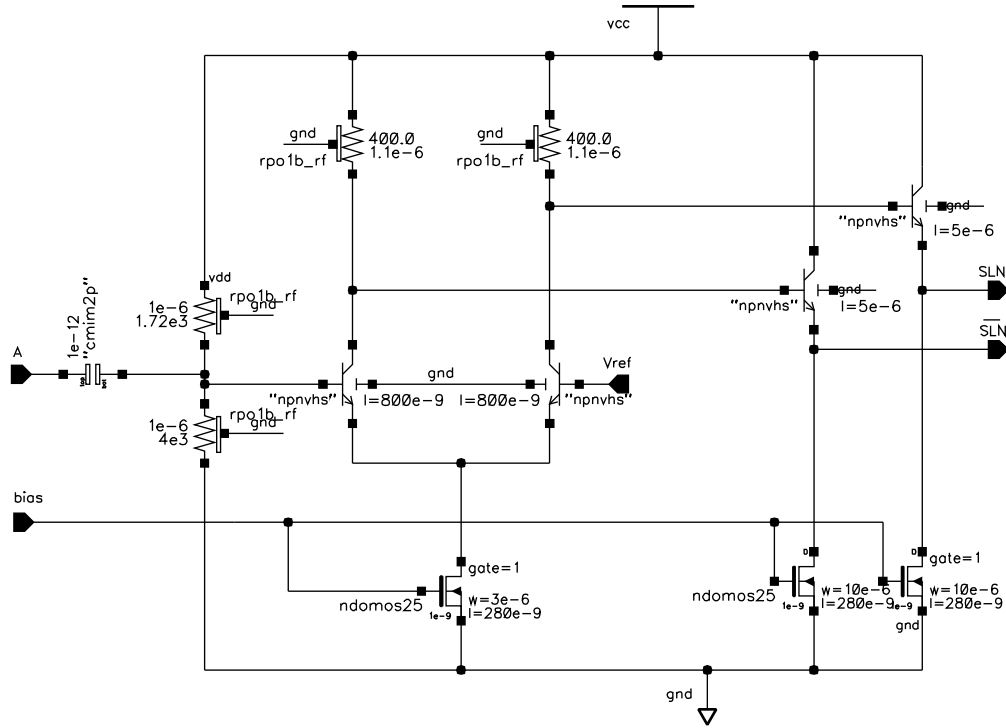


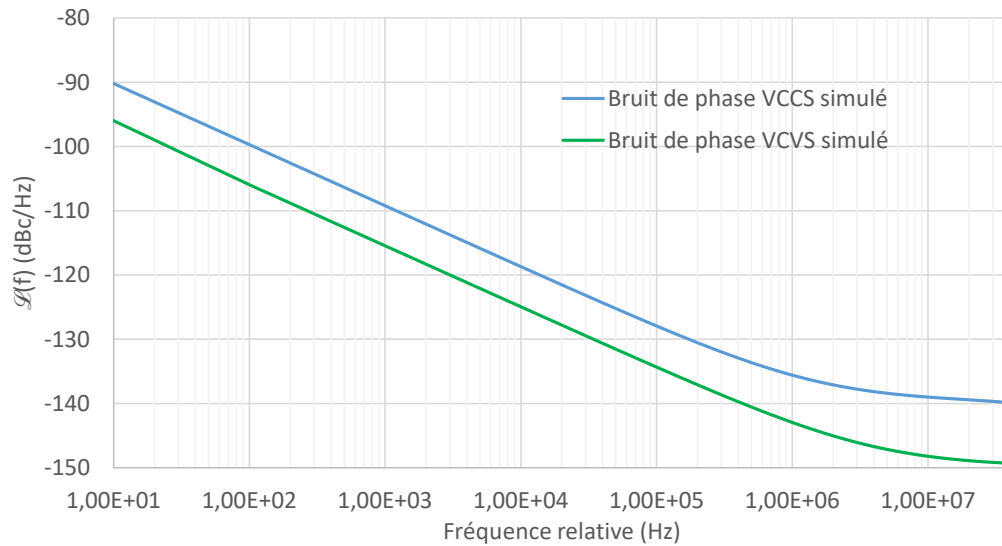
FIGURE 2.8 – Balun d'entrée bascule D VCVS

Le résultat de simulation en bruit de phase du diviseur par 2 **VCVS** est présenté et comparé avec celui du diviseur par 2 **VCCS** pour une fréquence appliquée aux diviseurs de 30 GHz dans la figure 2.9. Les résultats sont présentés pour une corrélation de 100 sur le E5052B. La corrélation est une technique qui permet de diminuer le plancher de bruit de l'appareil. Elle annule le bruit des références intégrées dans le banc de bruit de phase. Plus le nombre de corrélations est élevé, plus le bruit de ces sources est annulé. Ainsi, le plancher de bruit de phase est réduit de $10 \cdot \log(\sqrt{n_{\text{correl}}})$ avec n_{correl} le nombre de corrélations. Nous avons choisi pour nos mesures une corrélation de 100, soit une amélioration du plancher de bruit de 10 dB.

Une amélioration du bruit de phase de 6 dB est obtenue avec le diviseur par 2 **VCVS** de 10 Hz à 1 MHz de la porteuse puis au-delà, l'amélioration est bruit de phase est de l'ordre de 10 dB.

2.I.2.c Dessin des masques du diviseur

Une capture du dessin des masques du diviseur superposée à une microphotographie de ce diviseur sur la puce est présentée sur la figure 2.10. Nous avons procédé ainsi car les « dummies » des couches supérieures de la puce cachent les métallisations des couches inférieures. Une simple microphotographie de la puce ne permet d'observer que les PAD et les capacités, qui sont réalisés avec le niveau de métal le plus haut. En revanche, le reste du circuit n'est pas visible, nous avons donc opté pour une solution hybride où une version retravaillée d'une capture Cadence est

FIGURE 2.9 – Bruit de phase diviseur par 2 VCCS vs VCVS pour $f_{in} = 30\text{ GHz}$

superposée sur une microphotographie de la puce.

En excluant les PAD, le circuit mesure $158 \times 255\text{ }\mu\text{m}^2$. À gauche, les trois PAD verticaux correspondent au port d'entrée du circuit. S'agissant d'un signal « single-ended », on utilise une pointe G-S-G (Ground-Signal-Ground) pour transmettre le signal de la référence au circuit. Le premier bloc qui suit est le balun d'entrée qui transforme ce signal de référence « single-ended » en signal différentiel qui pilote le diviseur. Le diviseur correspond au bloc au centre. Les signaux différentiels synthétisés par le diviseur sont ensuite transmis au buffer de sortie. Les sorties différentielles de ce buffer sont chacune connectées aux PAD signaux d'une pointe G-S-G-S-G afin d'être récupérées en sortie. Le PAD unique en haut à gauche accompagné de deux capacités correspond à l'arrivée pour l'alimentation continue du circuit et les capacités servent au découplage.

Il apparaît sur cette image qu'un soin particulier a été apporté au respect de la symétrie dans les différents blocs du circuit. En effet, l'ECL étant une logique différentielle, il en résulte que les circuits ECL sont généralement symétriques, c'est-à-dire que les composants logiques fonctionnent par paire, puisque la logique est basée sur les paires différentielles. Ainsi, il est important lors du design du dessin des masques de respecter cette symétrie et de mettre en regard les composants symétriques. Cela s'explique par le fait qu'à très haute fréquence, les temps de propagation des signaux peuvent devenir significatifs et une dissymétrie sur deux pistes censées transmettre deux signaux différentiels peut engendrer un déphasage entre les deux qui nuira au bon fonctionnement du circuit. Ce décalage de phase est inhérent aux éléments parasites des différentes pistes et qui peuvent, en cas de forte dissymétrie entre deux pistes, grandement impacter le fonctionnement différentiel du circuit. Sans aller jusqu'à réaliser une structure centroïde, nous avons pris soin que chaque porte logique du circuit soit aussi symétrique que possible.

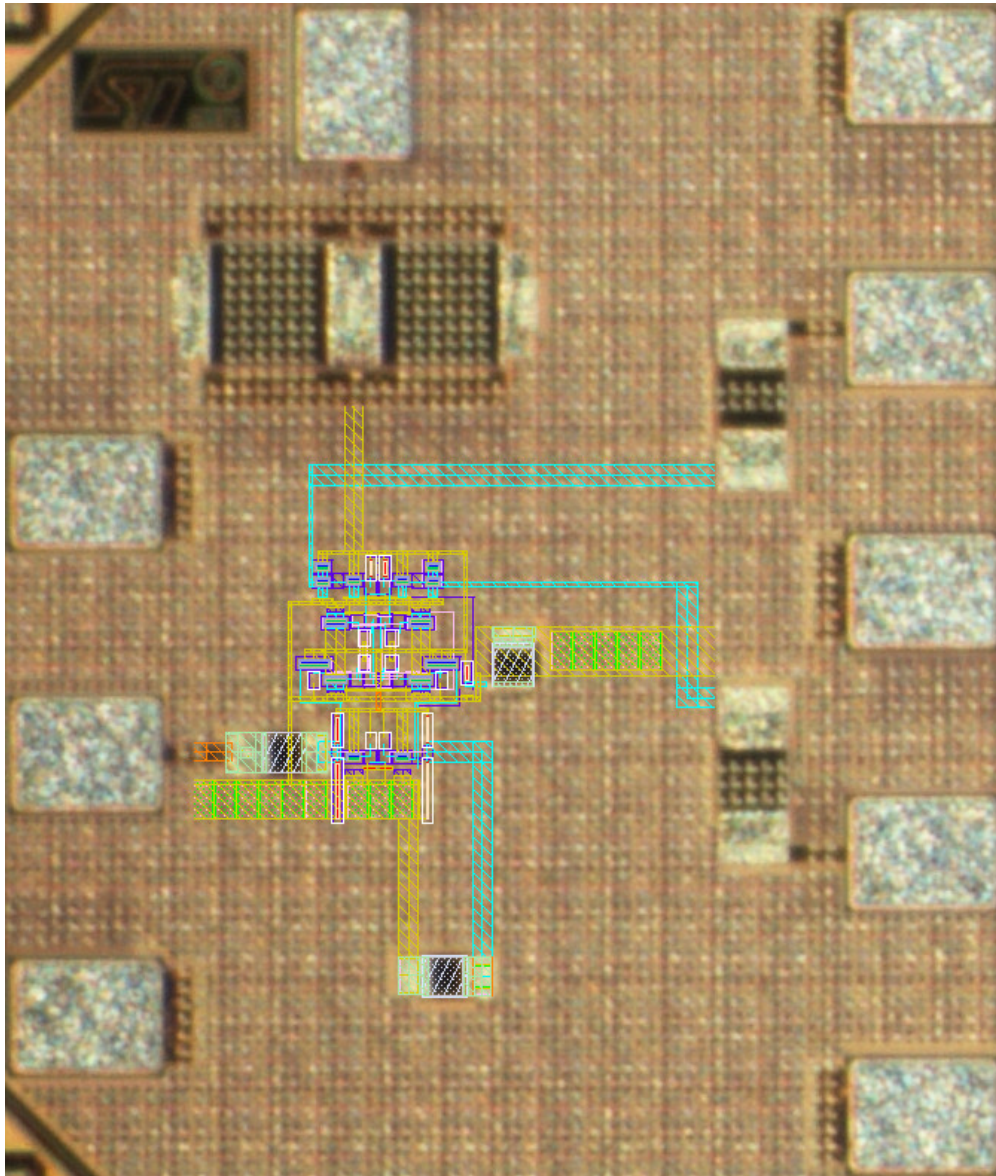


FIGURE 2.10 – Superposition du dessin des masques sur une microphotographie du diviseur par 2 VCVS

La prise en considération des parasites liés aux éléments du dessin des masques a d'ailleurs été une des problématiques principales lors de la conception de nos circuits. En effet, nous réalisons tout d'abord des simulations avec les modèles du fondeur, qui proposent différents niveaux de précision. Nous réalisons les premières simulations avec les modèles les plus simples (appelés « Standard ») puis lorsque la conception est bien avancée, nous utilisons des modèles plus poussés (appelés « Accurate »). Après avoir terminé le layout, une extraction de parasites est menée. Cette nouvelle version du circuit avec les éléments parasites ajoutés par le dessin des masques est ensuite simulée. Il s'est avéré que ces parasites avaient un impact considérable sur la fréquence maximale de fonctionnement du circuit. En effet, pour un circuit fonctionnant à 30 GHz, on observe généralement une baisse de l'ordre de 5 GHz sur la fréquence maximale de fonctionnement une fois les parasites extraits. Nous avons dans un premier temps souhaité atténuer cette dégradation en modifiant le dessin des masques, en ciblant les éléments qui ajoutent le plus de parasites et tenter de les corriger. Cependant, les moyens de diminuer les parasites ajoutés par une ligne sont limités, d'autant que les parasites problématiques viennent de lignes plus longues que la moyenne, et que si ces lignes sont longues, c'est que nous n'avons pas le choix de faire autrement. Étant donné qu'il est donc compliqué de compenser les problèmes liés aux parasites en modifiant uniquement le layout, la meilleure solution est de redimensionner les composants du circuit en prévoyant la baisse de fréquence maximale amenée par les parasites. Cela rend le design de circuit assez complexe car il faut mener le processus de conception quasiment jusqu'à terme pour voir si le circuit est conforme au cahier des charges. Une autre solution est de largement sur-évaluer la fréquence maximale de fonctionnement dès le départ mais cela risque d'impacter négativement la consommation ou le bruit de phase. Ainsi, nous visons une fréquence de fonctionnement maximale de plus de 35 GHz lors du dimensionnement avec les modèles du fondeur afin d'anticiper la baisse induite par les parasites.

Par souci de cohérence et de clarté, la plupart des résultats de simulations présentés seront des résultats prenant en compte les parasites, car il s'agit généralement de l'estimation la plus pessimiste en termes de simulation et il s'agit également de la simulation la plus complète et qui se rapproche davantage des résultats de mesures. Les simulations ne prenant pas en compte les parasites sont clairement indiquées.

2.1.2.d Protocole et résultat de mesures

Le schéma du montage pour la mesure est présenté sur la figure 2.11.

Le circuit n'étant pas encapsulé, la mesure a été réalisée à l'aide d'une station sous pointes. Le COEO ne pouvant pas être déplacé facilement, une fibre optique a été utilisée pour acheminer le signal optique d'intérêt jusqu'à la station sous pointes puis une photodiode transpose ce signal optique en signal électrique à appliquer à notre diviseur. La puissance du signal synthétisé par le

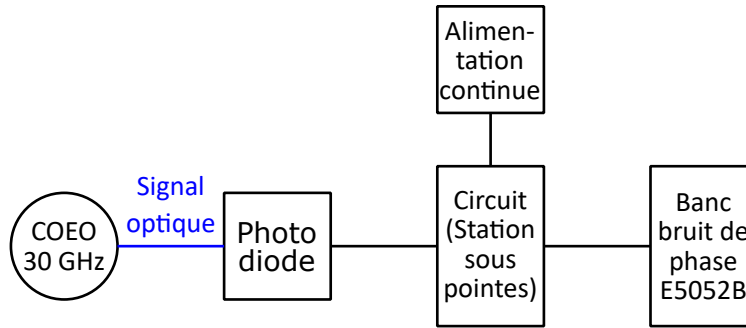
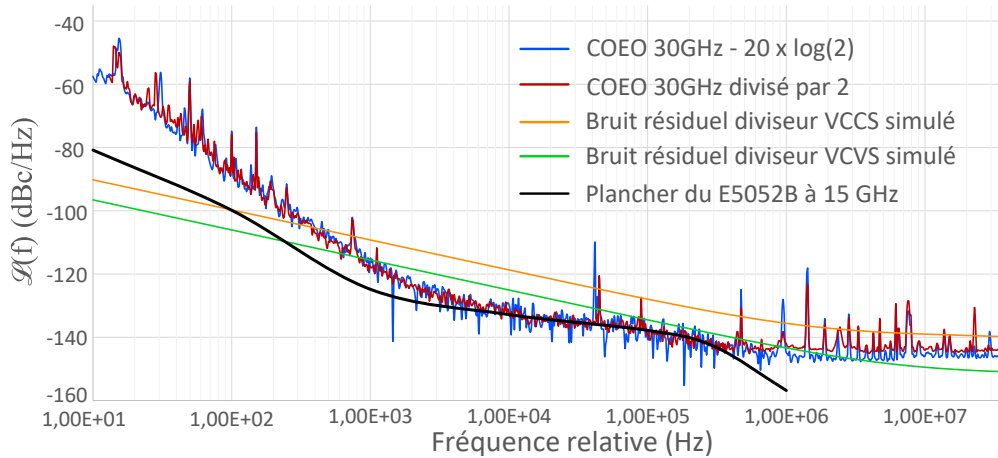


FIGURE 2.11 – Schéma du montage réalisé pour la mesure de bruit de phase

FIGURE 2.12 – Bruit de phase diviseur par 2 mesuré pour $f_{in} = 30\text{GHz}$ et $n_{correl} = 100$

COEO est de l'ordre de -10 dBm . Un analyseur de bruit de phase Agilent E5052B est utilisé en sortie de notre diviseur afin de mesurer le bruit de phase du signal synthétisé. La puissance de sortie mesurée est de -8 dBm . S'agissant d'un diviseur numérique, cette puissance de sortie reste quasiment la même quelle que soit la puissance d'entrée car elles sont indépendantes. Le diviseur consomme 56 mA sous une alimentation de $3,3\text{ V}$, soit 185 mW . Nous avons dans un premier temps mesuré le bruit de phase du COEO, car s'agissant d'un dispositif expérimental, il est nécessaire de le paramétrer correctement avant chaque utilisation. Puis, une fois le COEO caractérisé, il a été utilisé en tant que référence de fréquence pour le diviseur par 2. Les résultats de mesure du COEO à 30 GHz divisé par un diviseur par 2 VCVS sont présentés dans la figure 2.12.

La courbe intitulée « COEO $30\text{ GHz} - 20 \cdot \log 2$ » correspond au bruit de phase mesuré du COEO transposé à la fréquence de sortie du diviseur. C'est-à-dire que, s'agissant d'un diviseur par 2, nous avons retranché $20 \times \log 2 = 6\text{ dB}$ au bruit de phase du COEO que nous avons mesuré. Cette courbe correspond donc au meilleur niveau de bruit de phase que l'on puisse obtenir après division, car il n'est pas possible d'obtenir mieux que la référence transposée. Or, il s'avère que la courbe du bruit de phase mesurée en sortie du diviseur est quasiment confondue avec celle-ci. Le diviseur que nous avons conçu est donc pratiquement transparent en termes de bruit de phase

pour une division par 2 de ce **COEO** à 30 GHz. On observe de plus que cela n'aurait pas dû être le cas d'après les simulations. En effet, on voit que le bruit résiduel du diviseur **VCVS** est censé être majoritaire par rapport à celui du **COEO** sur la bande de fréquences allant de 1 kHz à 1 MHz. Il semble donc probable que les modèles en bruit utilisés lors des simulations soient pessimistes par rapport aux niveaux de bruit de phase réellement obtenus. Enfin, le plancher de bruit de phase de l'analyseur est atteint sur une bande allant de 10 kHz à environ 50 kHz. Bien que d'après la dynamique de la courbe, il semblerait que l'on soit proche du bruit de phase réel, des niveaux plus bas que ceux observés ici peuvent être obtenus en réalité. Une mesure du bruit de phase résiduel du diviseur permettrait d'éviter ce problème, mais pour cela, un dispositif avec deux diviseurs en parallèle doit être mis en place. Ainsi, en mélangeant les sorties des deux diviseurs, on peut éliminer les contributions en bruit extrinsèque aux diviseurs et déterminer uniquement le bruit de phase résiduels de ces derniers. Cependant, le projet **DIFOOOL** a pris fin avant la réception de notre premier circuit et l'entreprise chargée d'encapsuler nos circuits n'a pas été en mesure de le faire. Par conséquent, tous nos circuits ont été mesurés sous pointes, ce qui nous a empêché de faire les mesures de bruit de phase résiduel, puisque mesurer deux diviseurs en parallèle sans qu'ils ne soient encapsulés est compliqué (il aurait fallu deux stations sous pointes proches l'une de l'autre, ce qui n'est pas le cas dans la salle de caractérisation à notre disposition).

Nous avons également utilisé un synthétiseur de fréquence pour caractériser différentes grandeurs du diviseur. Tout d'abord concernant la puissance d'entrée, nous avons observé une division par 2 à 30 GHz pour des puissances aussi basses que -26 dBm. Nous avons pu observer une division correcte pour une fréquence d'entrée allant jusqu'à 40 GHz.

Si nous comparons ce diviseur avec l'état de l'art réalisé au § 1.II.3.g en utilisant le **FoM** présenté dans cette section, nous obtenons -245 dBc/Hz pour ce diviseur par 2, ce qui le place parmi les diviseurs numériques les plus performants de l'état de l'art. La différence avec les diviseurs qui ont un meilleur facteur de mérite peut certainement s'expliquer par le fait que nous ne mesurons pas dans notre cas le bruit résiduel du diviseur mais celui du **COEO** divisé. Or, ce diviseur étant transparent pour ce **COEO**, nous n'obtenons pas la mesure complète de ses performances, puisque la mesure de bruit de phase résiduel n'a pas pu être réalisée. Ensuite, l'ensemble des circuits ayant un meilleur **FoM** ont une fréquence de fonctionnement plus basse, il se peut donc que le **FoM** choisi favorise les circuits ayant une faible consommation au prix d'une montée en fréquence moins importante.

2.I.3 Diviseur par 3 ECL numérique

2.I.3.a Présentation

Le schéma de principe du diviseur numérique par 3 choisi est présenté sur la figure 2.13. Il comporte deux bascules D et une porte OR/NOR. L'ensemble de ces éléments logiques sont réali-

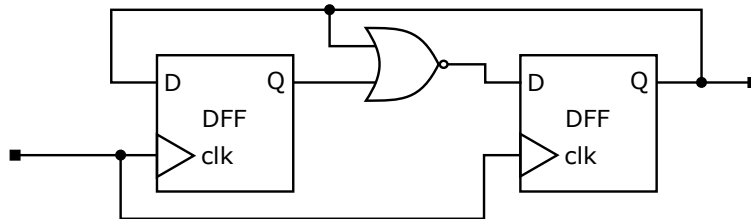


FIGURE 2.13 – Schéma de principe du diviseur par 3

sés en ECL. Comme évoqué précédemment au § 1.II.3.b, s'agissant d'un diviseur synchrone, c'est la bascule D de sortie qui impose principalement son bruit au signal synthétisé [16]. Nous avons concentré beaucoup de nos efforts sur le diviseur par 3 numérique à 30 GHz, puisque, disposant d'un autre COEO à 10 GHz, réussir à réaliser une division propre à 30 GHz permettrait de mutualiser les différentes opérations avec un signal à 10 GHz, qui de par sa fréquence plus basse autorise la conception de circuit plus complexes pour la synthèse de fréquence. Différentes versions vont donc être présentées dans cette partie et par souci de clarté, leurs spécificités sont présentées dans le tableau 2.1 avant d'être détaillées par la suite. Ces versions sont numérotées par ordre chrono-

Version 1	1 OR/NOR différentiel + VCVS en sortie
Version 2	2 OR/NOR élémentaires + VCVS en sortie
Version 3	2 OR/NOR élémentaires + VCCS en sortie

TABLE 2.1 – Trois différentes versions du diviseur par 3 numérique

logique de conception, la version 1 est donc la plus ancienne et la version 3 la plus récente. Dans une version du circuit, à laquelle nous nous référons comme la version 2, de par la limitation en fréquence provoquée par la porte OR/NOR différentielle, nous avons pris le parti d'utiliser une bascule D classique comme celle présentée au § 2.I.1 en entrée et une bascule D faible bruit comme présentée au § 2.I.2 en sortie. La porte OR/NOR est une porte élémentaire de l'ECL, mais il s'agit d'une porte « single-ended » vers différentiel comme le montre la figure 2.14. Or les bascules D utilisées sont complètement différentielles. Par souci de symétrie et pour s'assurer d'avoir des impédances semblables sur chacune des entrées différentielles ou chacune des sorties différentielles des bascules D, nous avons, dans une toute première version du circuit appelée version 1, souhaité utiliser une porte OR/NOR différentielle comme représentée sur la figure 2.15.

Nous avons donc utilisé la porte OR/NOR différentielle présentée dans la figure 2.16 [17].

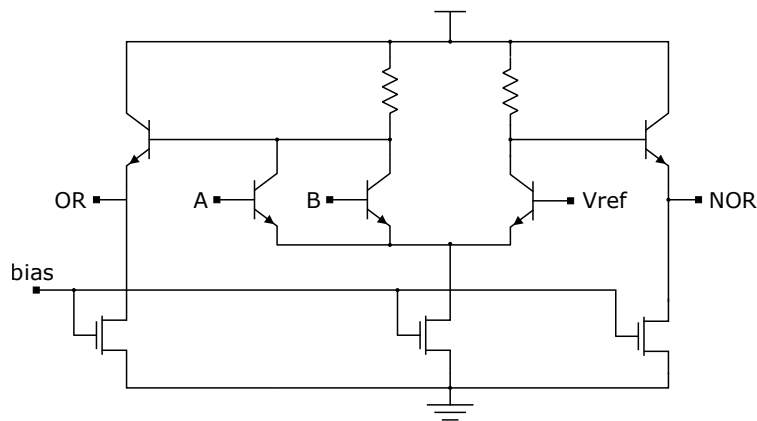


FIGURE 2.14 – Porte OR/NOR ECL élémentaire

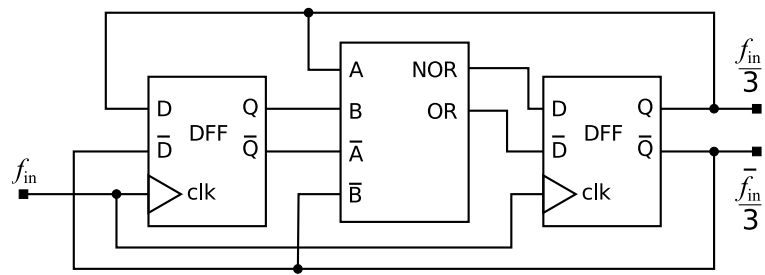


FIGURE 2.15 – Schéma de principe du diviseur par 3 avec OR/NOR différentiel

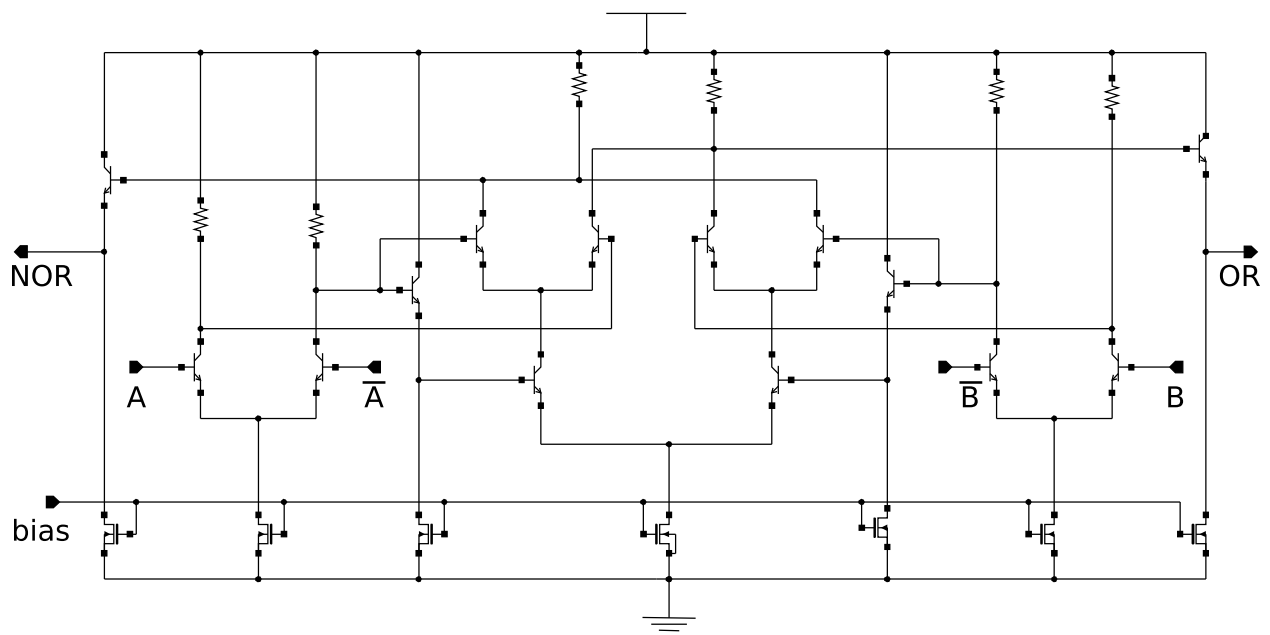


FIGURE 2.16 – Topologie du OR/NOR différentiel

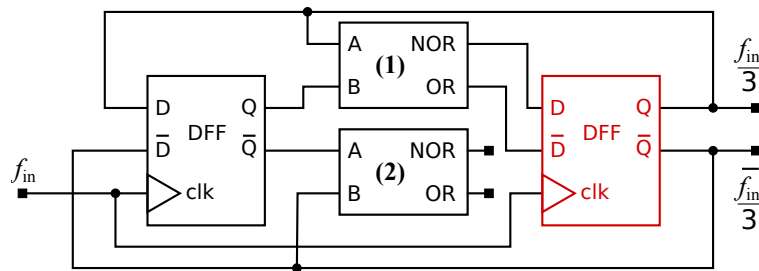


FIGURE 2.17 – Schéma de principe du diviseur par 3 avec OR/NOR élémentaires

Cette version 1 de diviseur par 3 avec une porte OR/NOR différentielle ne permettait cependant pas, une fois les parasites du dessin des masques pris en compte, d'atteindre les 30 GHz requis en fréquence d'entrée pour diviser le **COEO**. Après différentes simulations des portes logiques constituant ce diviseur, il est apparu que c'est la porte OR/NOR différentielle qui est limitante. Nous avons donc réalisé la version 2 du diviseur par 3 où nous utilisons des portes OR/NOR ECL élémentaires comme celle présentée sur la figure 2.14 à la place du diviseur OR/NOR différentiel, les bascules D restent les mêmes.

Encore une fois, par souci de symétrie et d'équilibrage du circuit, nous avons utilisé ces portes OR/NOR sur chacune des entrées et sorties différentielles des bascules D comme présenté dans la figure 2.17. S'agissant de porte « single-ended » vers différentiel, la porte OR/NOR (2) est mise en œuvre pour l'équilibrage d'impédance et ses sorties ne sont donc pas utilisées.

C'est cette topologie qui a été retenue parce qu'elle permet d'obtenir une division par 3 avec une fréquence d'entrée d'au moins 30 GHz lors des simulations avec les parasites. Cependant, comme nous allons l'expliquer, les mesures n'ont pas permis de caractériser correctement cette version 2 du circuit. Une version 3 avec une bascule D classique en sortie a donc été réalisée.

2.I.3.b Conception et résultats de simulations

La version 1 de diviseur par 3 a été conçue et simulée. Cependant, nous ne sommes pas parvenus à obtenir de résultat de simulation concluant de ce circuit avec les parasites au-delà des 30 GHz requis, ce circuit n'a donc pas été envoyé en fonderie. Nous avons, par la suite, conçu la version 2 où la porte OR/NOR différentielle est remplacée par des portes OR/NOR élémentaires. Dans cette version 2, la bascule D de sortie est une bascule D **VCVS** et celle d'entrée une bascule D **VCCS**. Nous avons fait ce choix car, comme expliqué dans le § 1.II.3.b, dans un circuit synchrone, c'est la bascule de sortie qui impacte majoritairement le bruit de phase du signal synthétisé. Malgré des résultats de simulations satisfaisants jusqu'à 32 GHz avec parasites, nous ne sommes pas parvenus à obtenir un résultat de bruit de phase correct avec le **COEO** à 30 GHz pour cette version. La version 3, dont la vitesse de fonctionnement a été améliorée et le dessin des masques retravaillé, a donc été fabriquée.

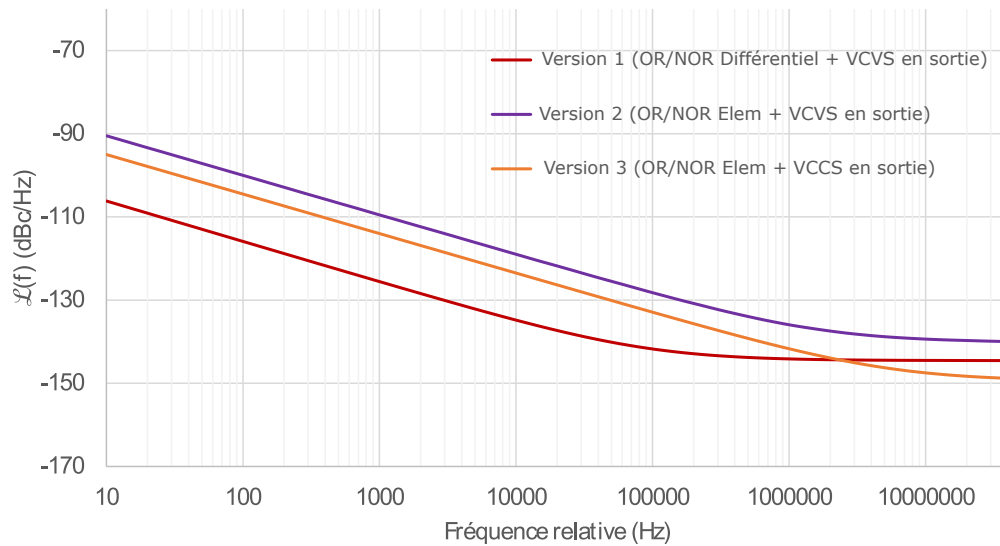


FIGURE 2.18 – Comparaison en bruit de phase des trois versions du diviseur par 3 numérique

Un laps de temps important sépare la version 2 de la version 3 suite à l'arrêt du projet **DIFOOL**, nous avons décidé de réaliser une topologie avec des bascules D **VCCS** en entrée et en sortie du diviseur afin de pouvoir garantir d'avoir un circuit fonctionnel à 30 GHz, même si nous ne bénéficions donc pas de l'amélioration de bruit de phase amenée par bascule faible bruit en sortie. Afin de clarifier les choses, nous présentons en figure 2.18 les résultats de bruit de phase simulés sans les parasites pour ces 3 versions (la version 1 n'ayant pas donné de résultat de simulation avec les parasites à 30 GHz).

Ainsi la version 1 du diviseur par 3 numérique avec la porte OR/NOR différentielle et la bascule D faible bruit en sortie offre des performances extrêmement compétitives mais nous ne sommes malheureusement pas parvenus à la faire fonctionner au-delà de 30 GHz avec les parasites du layout. S'agissant du premier design de la thèse, il serait intéressant, au vu de sa nette supériorité en termes de bruit de phase proche de la porteuse, de s'y consacrer à nouveau suite aux progrès en conception et dessin des masques réalisés durant cette thèse. La version 2 où la porte OR/NOR a été remplacée par des portes OR/NOR élémentaires qui a été réalisée pour le premier run offre les moins bonnes performances. Nous étions confiants quant à la possibilité de le mesurer puisque nous atteignons des fréquences supérieures à 30 GHz en simulation malgré les parasites. Nous avons finalement observé une division par 3 à 30 GHz en mesure mais nous ne sommes pas parvenus à mesurer un bruit de phase correct. Enfin, la version 3, où la bascule D **VCVS** de sortie a été remplacée par une bascule D **VCCS** offre finalement de meilleures performances que la seconde version 2 avec la bascule **VCVS** en sortie. En effet, placer la bascule D **VCVS** en sortie était censé diminuer le bruit du diviseur par rapport à une bascule D **VCCS**. En revanche, ce qui n'apparaît pas ici, c'est que la version 2 a été conçue en 2016 alors que la version 3 l'a été en 2019. Ainsi, cette

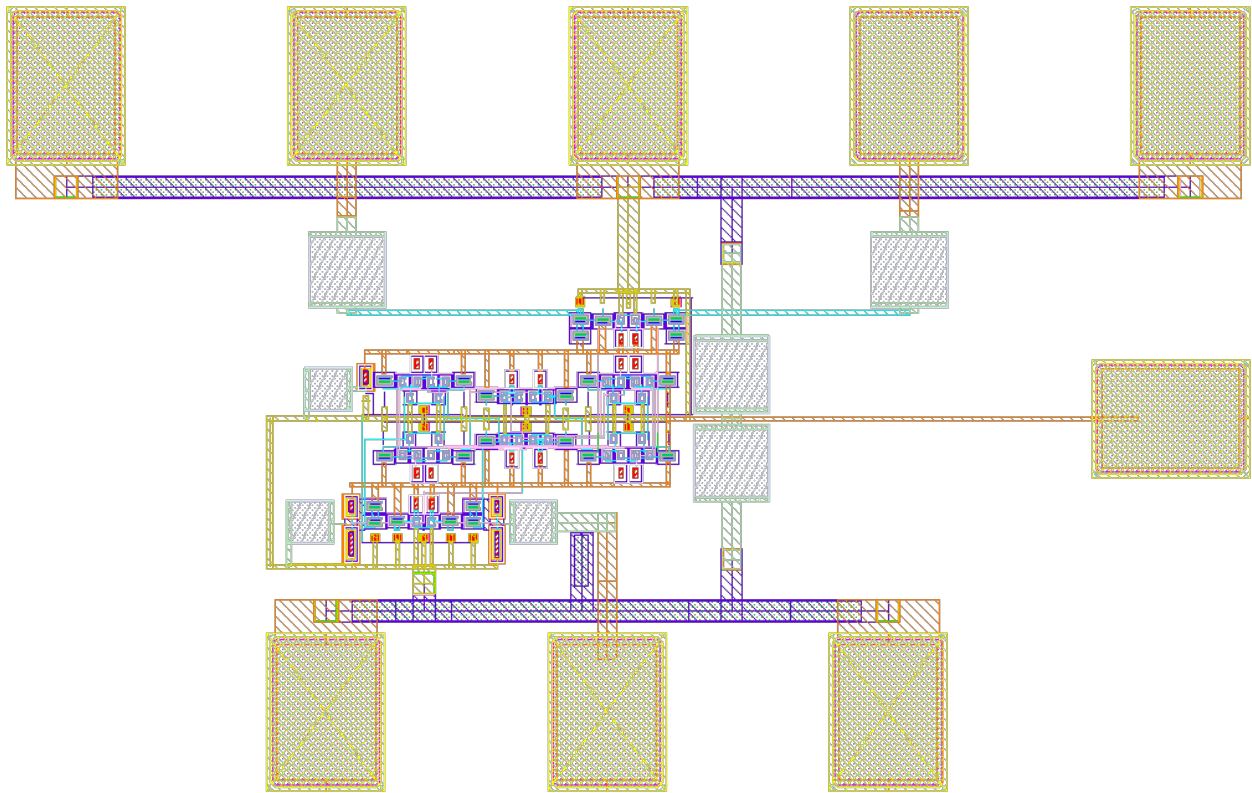


FIGURE 2.19 – Capture du dessin des masques du diviseur par 3

différence inattendue est en grande partie liée aux progrès effectués en termes de conception et de dessin de masque au cours de ma thèse. C'est pour cela qu'il serait d'autant plus intéressant de retravailler la version 1, puisque avec l'expérience acquise, il serait possible de la faire fonctionner au-delà de 30 GHz et profiter de son faible bruit de phase. La version 3 a pu être mesurée et les résultats sont conformes aux simulations comme nous le verrons par la suite.

2.I.3.c Dessin des masques du diviseur

Une capture du dessin des masques diviseur par 3 est présentée sur la figure 2.19. En excluant les PAD, le circuit mesure $265 \times 149 \mu\text{m}^2$. La disposition des PAD est la suivante : le PAD d'entrée « single-ended » en bas, le PAD de sortie différentielle en haut et le PAD d'alimentation à droite. Comme évoqué plusieurs fois dans cette thèse, les parasites ont été un souci majeur dans la conception de ce circuit. Nous avons en réalité manqué la date de soumission du premier run prévu car nous n'attendions pas un tel impact des parasites sur le fonctionnement du circuit. Nous avons ensuite soumis la version 2 qui semblait fonctionner correctement avec les parasites mais, bien qu'ayant observé une division par 3 pour un signal d'entrée de 30 GHz expérimentalement, nous ne sommes pas parvenus à obtenir un résultat de mesure de bruit de phase correct de ce circuit. Enfin, la version 3 du diviseur par 3 nous a permis d'obtenir les résultats de mesure que nous allons

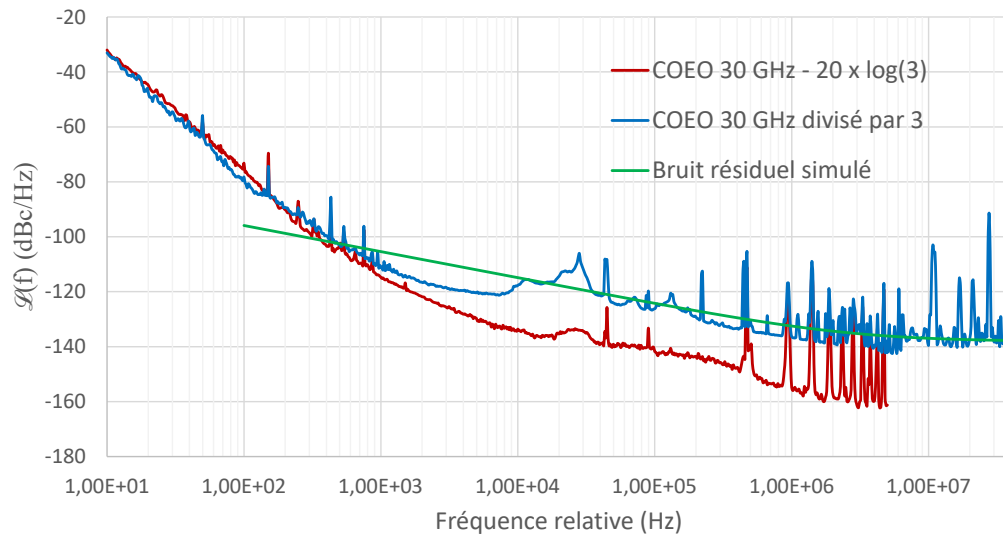


FIGURE 2.20 – Bruit de phase diviseur par 3 mesuré

présenter maintenant.

2.I.3.d Protocole et résultat de mesures

Le protocole de caractérisation est similaire à celui du diviseur par 2. Le signal optique synthétisé par le COEO est acheminé par fibre optique jusqu'à une photodiode à côté de notre diviseur de fréquence. La puissance du signal délivré par le COEO est de l'ordre de -10 dBm. Le banc de bruit de phase Agilent E5052B est utilisé pour mesurer le bruit de phase.

On observe encore une fois des résultats légèrement meilleurs en mesure que ce qui était prévu par les simulations. L'accord entre mesure et simulation est semblable à ce que nous observons pour les autres circuits : proche de ce qui est attendu voire meilleur par endroit. En revanche, bien qu'ayant des performances proches de ce qui était attendu vis-à-vis de la simulation, on voit ici que le diviseur par 3 n'est pas transparent en termes de bruit de phase, contrairement au diviseur par 2. Cela s'explique assez naturellement par sa complexité accrue : 2 bascules et une porte logique pour le premier contre une bascule unique pour le second. De plus, ces éléments logiques étant interconnectés les uns aux autres, le dessin des masques du diviseur par 3 est bien plus complexe, et nous avons été contraints d'utiliser des pistes longues dans certains cas de figure. Ceci explique en partie les différences en termes de fréquence de fonctionnement maximale mais également de performances en bruit de phase. En effet, pour garantir ce fonctionnement au-delà de 30 GHz, il a fallu faire des concessions sur certains paramètres de conception pour favoriser la fréquence maximale au détriment du bruit de phase, principalement concernant les tailles d'émetteurs des transistors bipolaires. Plus cette taille est élevée, moins les transistors sont bruyants mais plus leur fréquence de fonctionnement est faible. Le diviseur par 2 fonctionne jusqu'à 40 GHz avec un bruit

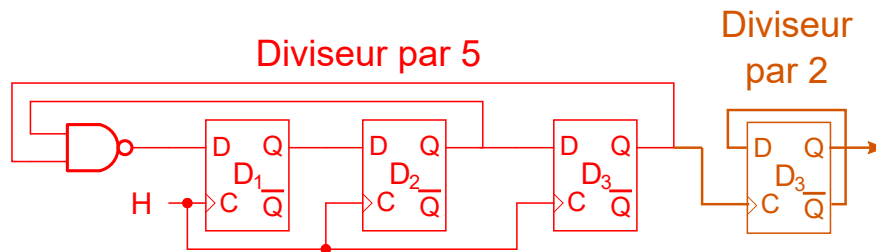


FIGURE 2.21 – Schéma de principe du diviseur par 10 CMOS

de phase très bas alors que ce diviseur par 3 fonctionne seulement jusqu'à 32 GHz avec un bruit de phase plus élevé. Il consomme 27 mA sous une alimentation de 3,3 V, soit une puissance de 89,1 mW

Si nous comparons ce diviseur avec l'état de l'art réalisé au § 1.II.3.g, on obtient un facteur de mérite de -243 dBc/Hz pour ce diviseur par 3 ce qui le met à un niveau à peu près équivalent au diviseur par 2 **VCVS**, ce qui en fait un diviseur avec de bonnes performances. Cela est dû au fait que nous utilisons le bruit de phase à 1 kHz de la porteuse pour le **FoM** qui est ici bien plus bas que prévu par la simulation.

Il serait vraiment intéressant de retravailler le tout premier design de diviseur numérique car en sachant maintenant qu'il faut aller encore au-delà des 30 GHz lors de la simulation avec parasites pour garantir son fonctionnement, il permettrait au regard du bruit du **COEO** de la figure précédente, d'obtenir un diviseur par 3 à 30 GHz quasiment transparent en bruit de phase avec la légère amélioration de la mesure par rapport à la simulation que l'on observe sur les autres circuits.

2.I.4 Diviseur par 10 CMOS numérique

2.I.4.a Présentation

Il s'agit de l'un des seuls circuits CMOS réalisés au cours de la thèse. En effet, l'**ECL** étant plus adaptée pour les circuits haute fréquence, nous l'avons favorisée pour les applications à 30 GHz. Ici, le but de ce diviseur par 10 est de réaliser une division de 10 GHz vers 1 GHz. Avec une fréquence d'entrée de 10 GHz, la logique CMOS est suffisante pour réaliser une division numérique. De par son faible encombrement et sa faible consommation, nous avons préféré le CMOS au bipolaire pour les opérations à plus basse fréquence (à partir de 10 GHz). Ce diviseur est composé d'un diviseur par 5 suivi d'un diviseur par 2 comme illustré sur la figure 2.21. Les bascules D utilisées sont des bascules D CMOS dynamiques qui permettent de profiter du phénomène de stockage des charges pour le fonctionnement de la bascule. C'est-à-dire que l'on utilise les capacités parasites des grilles de transistors MOS pour stocker des charges et maintenir ainsi le transistor dans un état logique donné. Ces capacités étant faibles, elles se (dé)chargent rapidement, augmentant ainsi la

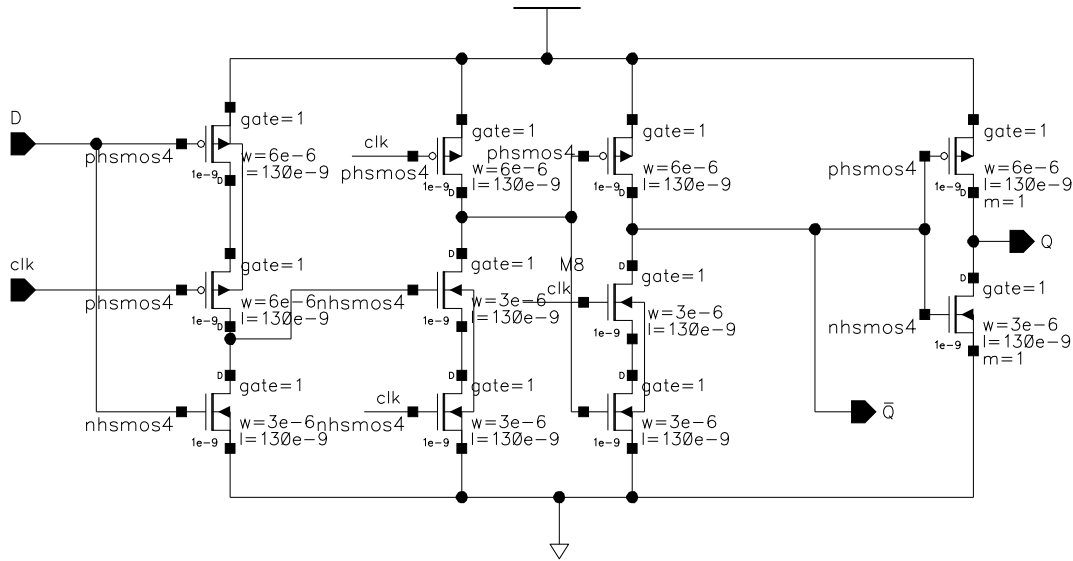


FIGURE 2.22 – Schématique bascule D CMOS dynamique

vitesse de fonctionnement de la bascule par rapport à des bascules D CMOS élémentaires [18]. En revanche, cela induit que ce type de bascules ne fonctionnent pas correctement en dessous d'une certaine fréquence car les charges ne peuvent pas rester stockées indéfiniment.

2.I.4.b Conception et résultats de simulations

La schématique des bascules D CMOS dynamiques utilisées est présentée sur la figure 2.22. La topologie utilisée est issue de la littérature [19] et semble être une topologie de bascule D dynamique répandue. La porte NAND utilisée est présentée dans la figure 2.23. Un buffer de sortie composé d'une chaîne d'inverseurs dont la taille augmente progressivement est ajouté en sortie de ce circuit [20]. Cela permet d'obtenir dans le dernier inverseur de la chaîne un courant suffisant pour piloter une charge $50\ \Omega$. La taille des transistors de chaque étage d'inverseur est multipliée par 2,7, car il s'agit du ratio théorique optimal pour s'assurer d'un temps de propagation optimal tout en augmentant rapidement la taille des transistors. Ce buffer de sortie est présenté dans la figure 2.24. Enfin, le buffer présenté dans la figure 2.25 placé en entrée du diviseur permet de remettre en forme le signal appliqué au diviseur afin de s'assurer d'avoir un signal exploitable pour le diviseur CMOS. Les résultats de simulation en bruit de phase de ce diviseur par 10 pour une fréquence d'entrée de 10 GHz sont présentés dans la figure 2.26.

2.I.4.c Protocole et résultat de mesures

Contrairement aux diviseurs ECL présentés précédemment, ce diviseur est entièrement « single-ended », des PAD G-S-G sont utilisés en entrée et en sortie du circuit sur la puce comme visible

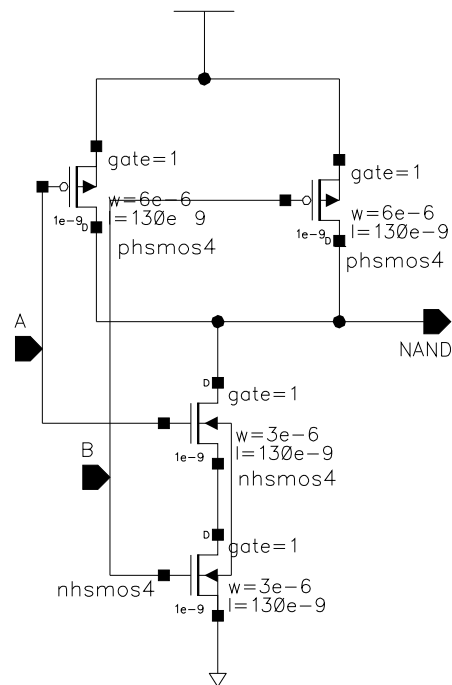


FIGURE 2.23 – Schématique porte NAND CMOS

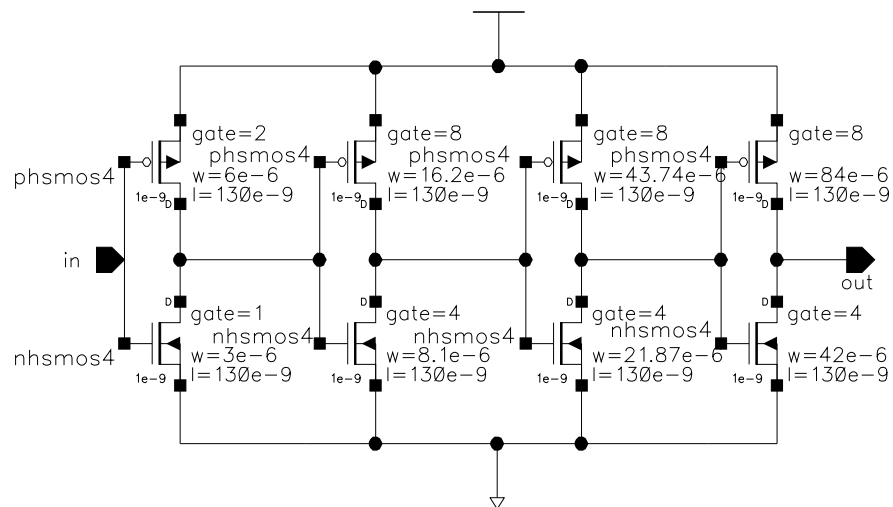


FIGURE 2.24 – Schématique buffer de sortie CMOS

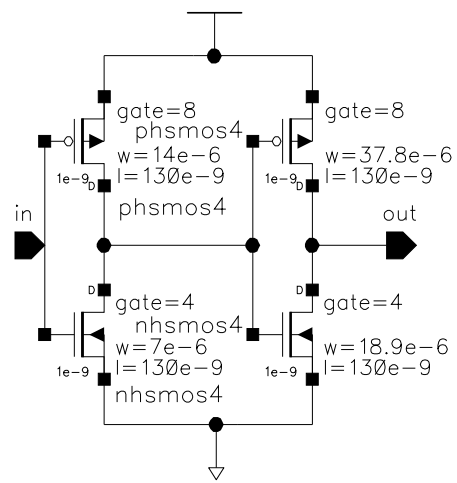
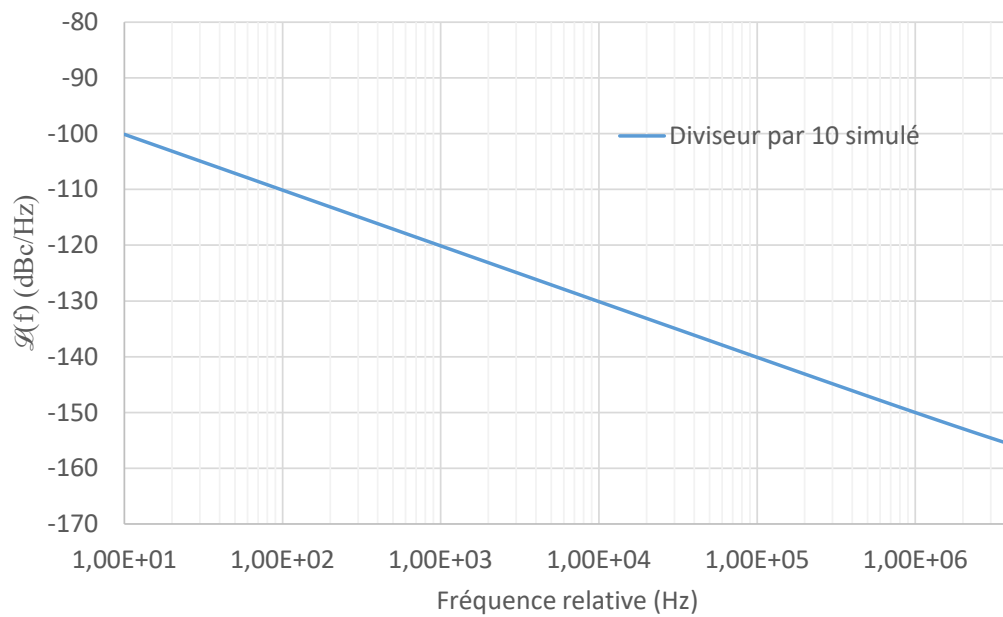


FIGURE 2.25 – Schématique buffer d'entrée CMOS

FIGURE 2.26 – Bruit de phase diviseur par 10 CMOS pour $f_{in} = 10\text{GHz}$

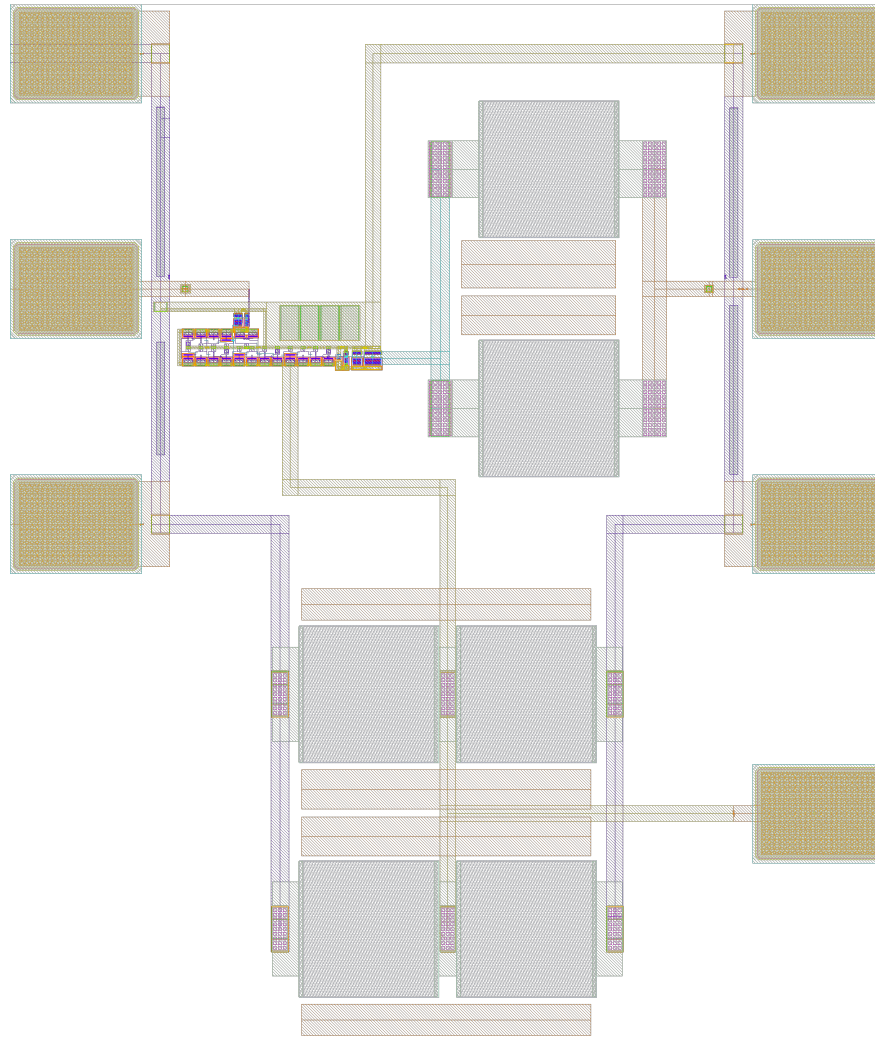


FIGURE 2.27 – Dessin des masques complet du diviseur par 10 CMOS

sur la capture du dessin des masques sur la figure 2.27. Le dessin des masques du diviseur CMOS seul est présenté dans la figure 2.28. Le diviseur par 10 a d'abord été caractérisé à l'aide d'un synthétiseur de fréquence. Les résultats de mesure en bruit de phase d'un signal de 10 GHz généré par un synthétiseur Anritsu sont présentés sur la figure 2.29. Hormis un bruit de phase proche de la porteuse bien plus élevé que celui attendu, le reste du tracé de bruit de phase suit correctement la tendance prévue en simulation. Bien que la source soit un synthétiseur de fréquence présentant un bruit de phase moins bon que celui du COEO, le diviseur n'est transparent en bruit de phase sur aucune portion de la plage de bruit de phase étudiée. Il ne serait pas intéressant de mesurer ce diviseur avec un COEO générant un signal à 10 GHz car nous ne verrions comme ici que le bruit du diviseur. Cela laisse entrevoir selon nous une des limitations de la synthèse de fréquence par division : pour augmenter le rapport de division il faut ajouter des diviseurs en cascade, et par conséquent subir la dégradation en bruit de phase qu'ils engendrent. De plus, comme évoqué

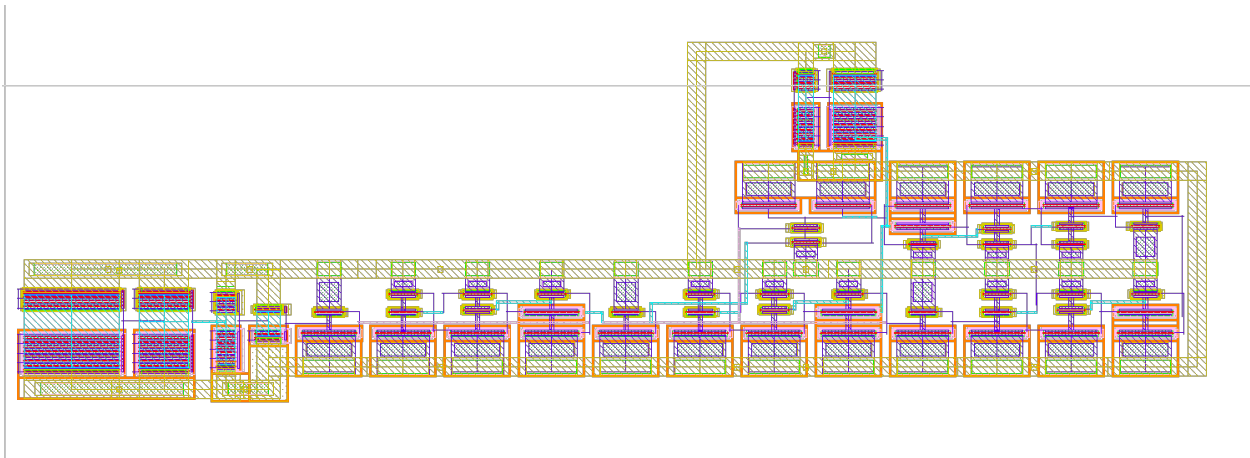


FIGURE 2.28 – Dessin des masques du diviseur par 10 CMOS seul

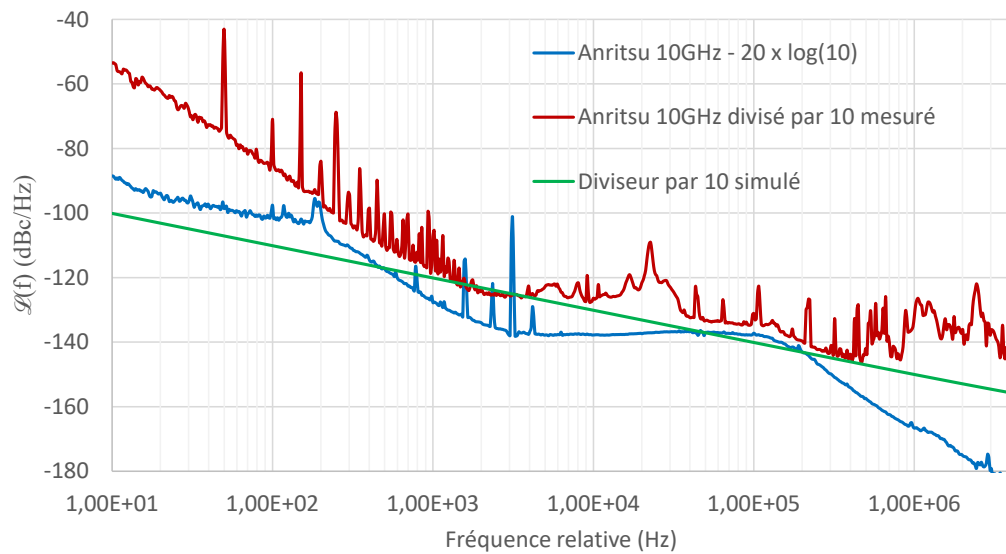


FIGURE 2.29 – Résultats de mesure bruit de phase diviseur par 10 CMOS

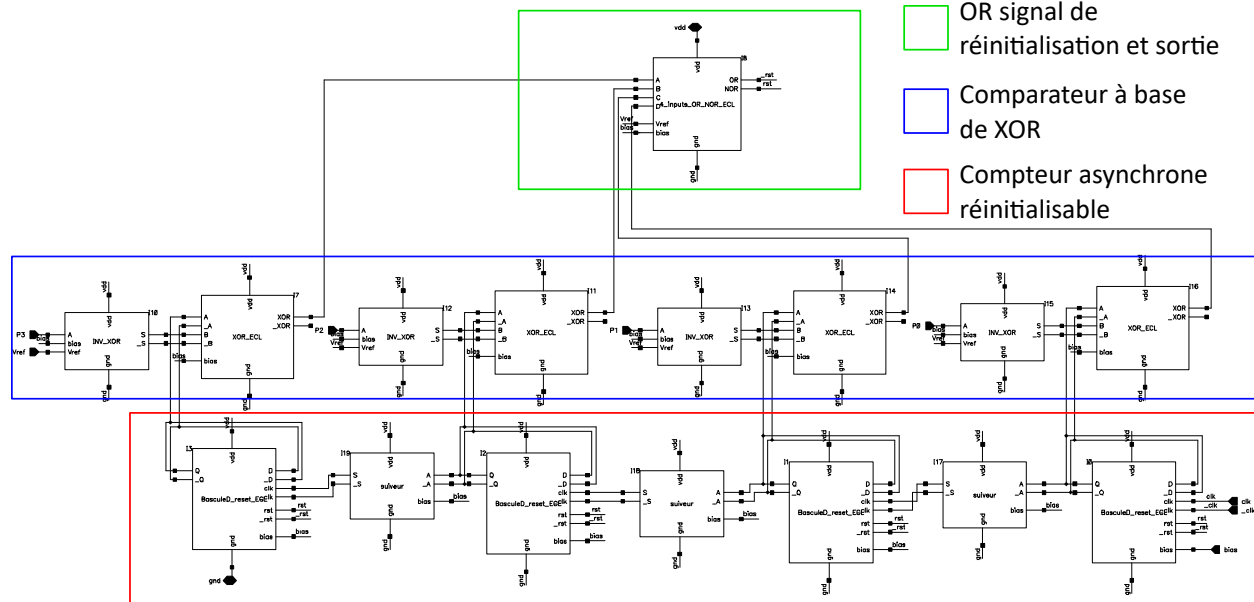


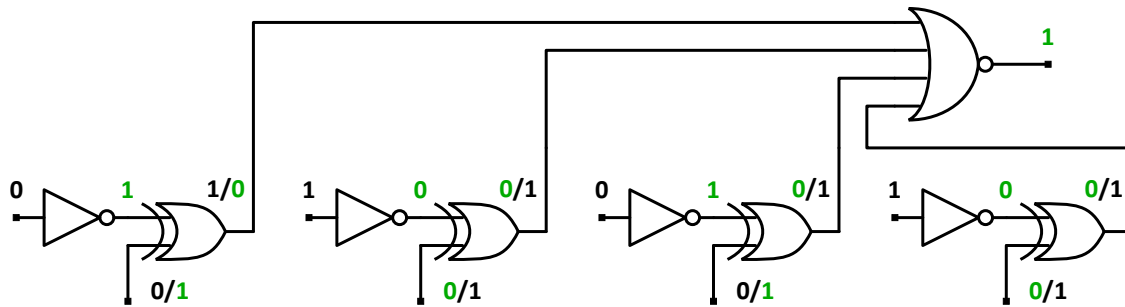
FIGURE 2.30 – Diviseur ECL programmable 4 bits basé sur un décompteur asynchrone

précédemment 1.II.3.c, un rapport de division plus élevé sous-entend généralement un nombre de bascules et portes logiques plus élevées et donc un bruit de phase d'autant plus impacté. Ainsi, il semblerait que dans l'intérêt des performances en bruit de phase, il faille autant que possible limiter l'ordre des rapports de division. Une autre solution envisageable pour pallier ce problème est d'utiliser la technique de resynchronisation décrite précédemment au § 1.II.3.c. i.

2.I.5 Diviseur numérique ECL programmable sur 4 bits basé sur un décompteur asynchrone

2.I.5.a Présentation

Après avoir étudié la division fixe de 10 GHz vers 1 GHz, nous nous sommes intéressés à la division programmable à partir de 10 GHz. Le diviseur numérique ECL programmable conçu ici est basé sur un décompteur asynchrone quatre bits. Un comparateur composé de portes XOR et d'une porte OR/NOR compare ensuite la valeur du décomptage au mot binaire implémenté en consigne. Le mot binaire implémenté correspond au rapport de division souhaité auquel on retranche 1, car la remise à zéro des bascules dure une période d'horloge (empêchant par la même une division par 0). Une fois la consigne atteinte, l'état des bascules D est réinitialisé et un nouveau cycle de décomptage commence.

FIGURE 2.31 – Exemple de comparaison pour la valeur $(0101)_2 = (5)_{10}$

2.I.5.b Conception et résultats de simulations

Nous avons conçu pour ce diviseur des bascules D réinitialisables, des portes XOR et une porte OR/NOR ECL à quatre entrées. Le principe de ce diviseur programmable est le suivant : nous comparons chacun des bits d'un décompteur binaire (bascules D en diviseur par 2 en cascade) à un mot binaire en consigne. Une fois cette consigne atteinte, on vient réinitialiser toutes les bascules D afin de redémarrer le comptage au départ. On utilise des portes XOR pour la comparaison car lorsque les deux entrées sont identiques, on obtient un état bas, et lorsqu'elles sont différentes on obtient un état haut. On utilise en réalité un inverseur avant la porte XOR, ainsi la valeur de décomptage est comparée au complémentaire du mot binaire de consigne, ce qui permet de rentrer directement la valeur du rapport de division. Pour clarifier, un exemple de comparaison est présenté sur la figure 2.31. Si l'on souhaite diviser par $(6)_{10}$, il faut programmer le mot binaire $(0101)_2 = (5)_{10}$ comme consigne au comparateur à cause de la période de réinitialisation. Ainsi avec les inverseurs, la valeur de décomptage est comparée au complémentaire de $(0101)_2$ soit $(1010)_2 = (10)_{10}$. Donc en décomptant de $(15)_{10}$ à $(10)_{10}$, une division par $(5)_{10}$ est obtenue. Toutes les sorties des XOR sont à l'état bas car les entrées de chaque XOR sont identiques, la consigne est donc atteinte. Les sorties des XOR étant comparées avec un NOR, un état haut est obtenu lorsque toutes les sorties XOR sont à l'état bas. Cet état haut en sortie du NOR servira alors de signal de réinitialisation. Ainsi, au front d'horloge suivant, le décomptage repart du début, une division par $(6)_{10}$ est bien obtenue.

Afin d'illustrer plus clairement le fonctionnement de ce diviseur, nous nous référons à la figure 2.32.

Ainsi, on souhaite cette fois réaliser une division par $(10)_{10}$. On programme donc le mot binaire $(1001)_2 = (9)_{10}$ en entrée du comparateur à cause de la période de réinitialisation. Grâce aux inverseurs, on récupère le mot binaire complémentaire de $(1001)_2$, soit $(0110)_2$. Donc, lorsque notre décompteur atteint la valeur $(0110)_2$, le signal **rst**, qui est un signal de réinitialisation, passe à l'état haut et le front d'horloge suivant, l'ensemble des bits sont réinitialisés à l'état haut pour recommencer le décomptage au départ. Ce décompteur fonctionne jusqu'à 15 GHz et consomme

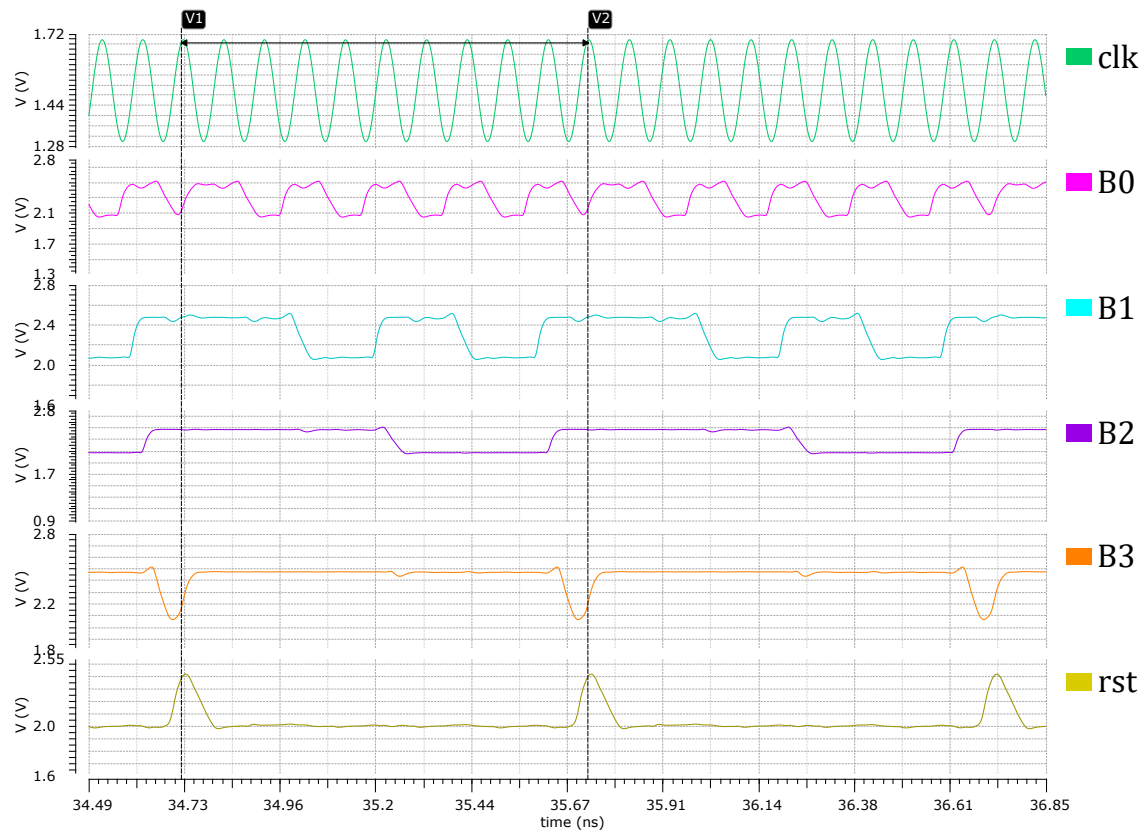


FIGURE 2.32 – Résultat temporel diviseur programmable basé sur décompteur asynchrone

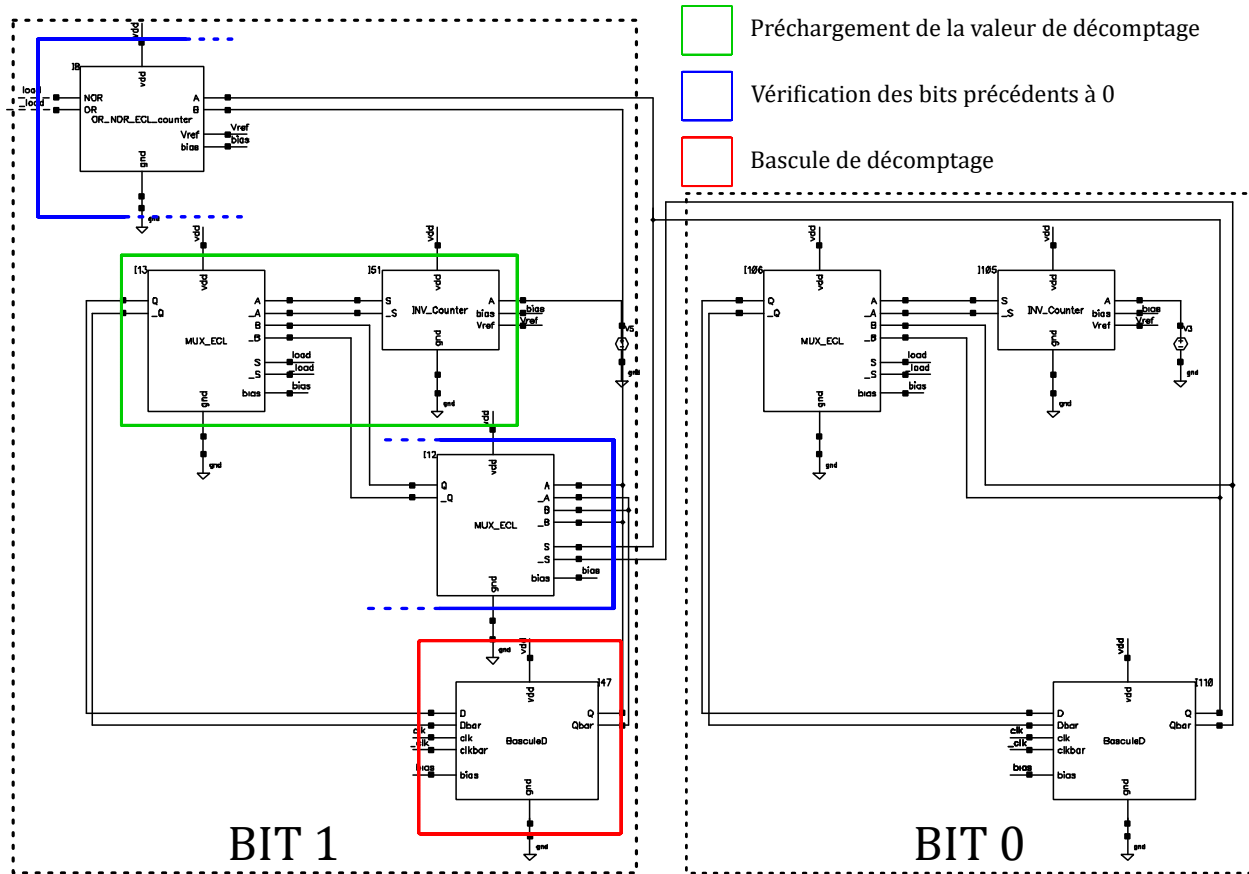


FIGURE 2.33 – Diviseur ECL programmable 4 bits basé sur un décompteur synchrone

168 mW.

2.I.6 Diviseur numérique ECL programmable sur 4 bits basé sur un décompteur synchrone

2.I.6.a Présentation

Une autre version de diviseur ECL programmable a été conçue sur la base d'un décompteur synchrone comme décrit au § 1.II.3.e. ii. La topologie d'un bit de ce diviseur est présentée dans la figure 2.33.

Le BIT 0 permet simplement de changer d'état à chaque coup d'horloge en choisissant la valeur de l'état de départ. Il y a ensuite trois bits comme le BIT 1 qui suivent. Ceux-là, comme expliqué au § 1.II.3.e. ii permettent de conserver l'état d'un bit tant que tous les bits précédents ne sont pas à l'état bas. Ensuite, lorsque tous les bits du diviseur ont atteint l'état bas, la porte OR/NOR du dernier étage passe à l'état haut et autorise le chargement de la valeur initiale de décomptage pour chaque bit, le cycle de décomptage recommence alors.

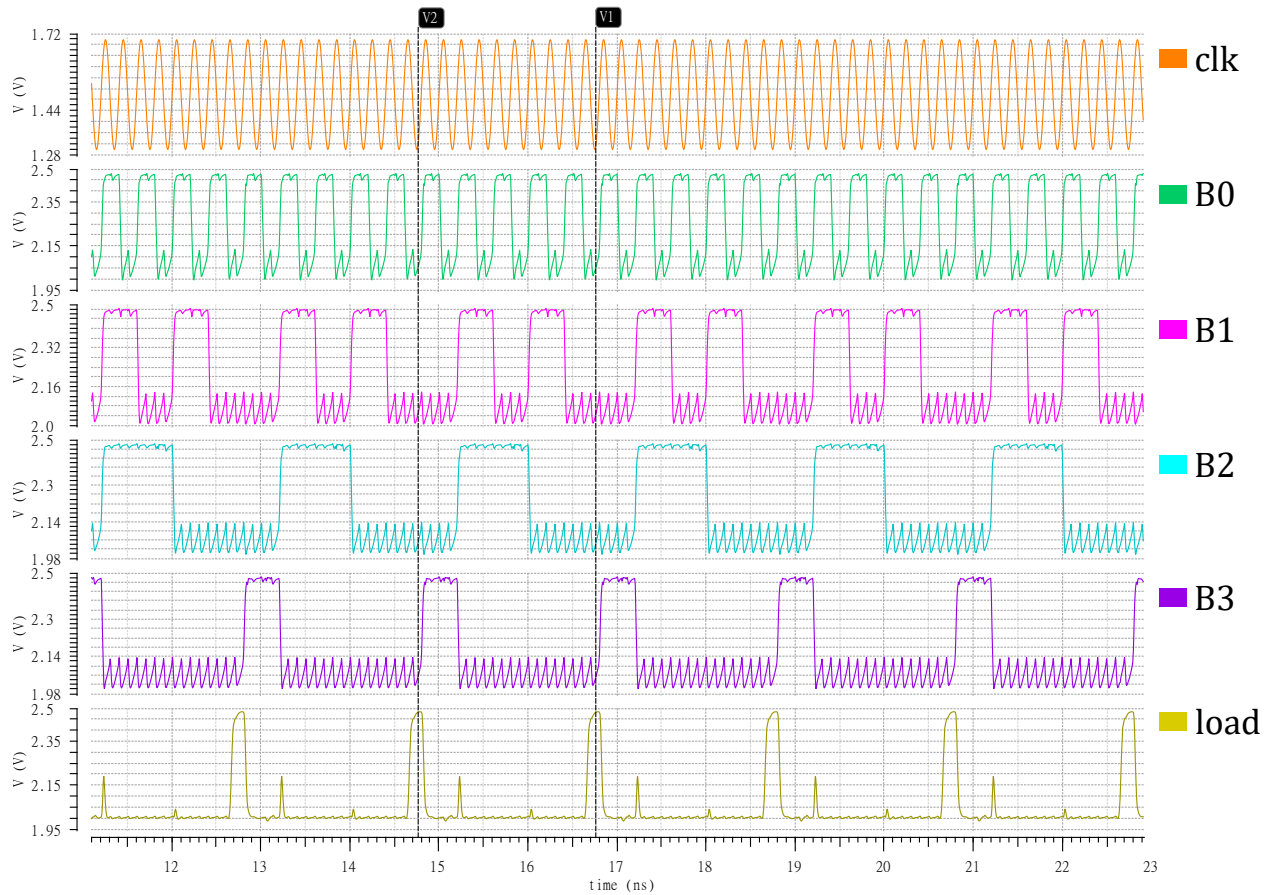


FIGURE 2.34 – Résultat temporel diviseur programmable basé sur décompteur synchrone

2.I.6.b Conception et résultats de simulations

Comme pour le décompteur asynchrone, nous allons utiliser la simulation temporelle de la figure 2.34 pour illustrer le fonctionnement du diviseur.

Le décomptage allant de la valeur implémentée à zéro, la valeur du mot binaire correspond au rapport de division souhaité auquel on retranche 1. Ainsi, pour une division par $(10)_{10}$, on implémente le mot binaire $(1010)_2 = (9)_{10}$ comme valeur de départ de décomptage. Le décomptage commence donc à $(1010)_2$ puis lorsqu'il atteint $(0000)_2$, le signal **load** passe à l'état haut et autorise le rechargement de la valeur de départ de décomptage. Le cycle recommence et on obtient une division par le rapport souhaité sur le signal **load**. Ce diviseur ne fonctionne que jusqu'à 10 GHz, ce qui peut notamment s'expliquer par le fait que les temps de propagation y jouent un rôle majeur. En effet, le principe étant de vérifier si les bits précédents sont à l'état bas avant de changer l'état d'un bit, il peut y avoir un temps de propagation assez important entre le bit de poids faible et celui de poids fort [21]. Ainsi, si ce temps de propagation devient significatif par rapport à la fréquence d'horloge, le fonctionnement du diviseur peut en pâtir. Il consomme cependant moins que la version basée sur un diviseur asynchrone, avec 132 mW pour cette version.

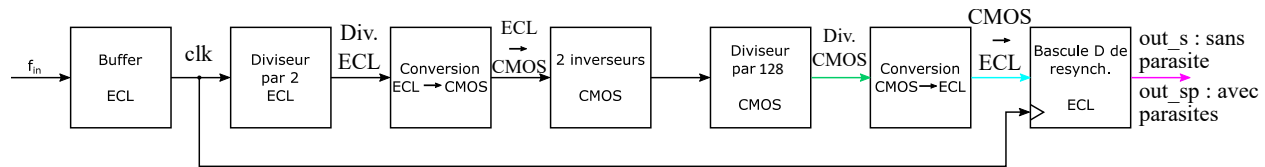


FIGURE 2.35 – Schéma de principe du circuit de test de la technique de resynchronisation

2.I.7 Circuit test de la technique de resynchronisation

2.I.7.a Présentation

Un circuit permettant de mettre en évidence la technique de resynchronisation, présentée au § 1.II.3.c. i, a été conçu. À ce stade, ce circuit de test n'a pas encore été appliqué au diviseur par 10 du 2.I.4 dont le bruit de phase élevé justifierait de lui appliquer cette technique. Nous voulions d'abord le faire sur un diviseur asynchrone plus simple (en 2^n) pour limiter les risques tant que le diviseur par 10 n'avait pas été validé seul. Les aléas des runs technologiques ne nous ont ensuite pas permis de tenter une deuxième réalisation. Le schéma de principe du circuit et les différents éléments qui le composent sont présentés dans la figure 2.35

Il s'agit d'une chaîne de diviseurs par 2 comprenant des diviseurs ECL et CMOS. De par sa capacité à fonctionner à plus haute fréquence, le diviseur ECL est placé en début de chaîne de division, ainsi, la fréquence est suffisamment réduite pour que les diviseurs CMOS puissent prendre la suite. Cela implique de mettre en œuvre des étages de conversion ECL/CMOS et également CMOS/ECL car la bascule de resynchronisation en sortie du diviseur CMOS doit être implémentée en ECL pour pouvoir fonctionner à la fréquence d'horloge non-divisée.

2.I.7.b Conception et résultats de simulations

La bascule ECL utilisée pour la division par 2 et pour la resynchronisation est une bascule VCCS, semblable à celle présentée au § 2.I.1. Une légère différence existe avec la bascule présentée dans cette section au niveau de la méthode de polarisation de la bascule : on utilise ici le courant imposé par les suiveurs de sortie comme référence de miroir de courant pour les autres sources de courant de la bascule. Cette méthode permet de simplifier la topologie et diminuer l'encombrement sans impacter grandement les performances de la bascule. Les bascules D CMOS utilisées sont une des bascules CMOS par défaut du design kit. Il existe plusieurs topologies de bascules D CMOS par défaut proposées, nous en avons choisi une qui possède une entrée **clk**, une entrée **D** et une sortie **Q** permettant de mettre en œuvre un diviseur par 2. Un balun numérique comme ceux présentés pour les diviseurs ECL à également été placé à l'entrée du diviseur pour convertir l'entrée « single-ended » en signal différentiel.

Comme expliqué au § 1.II.3.c. i, le déphasage du signal de resynchronisation par rapport au

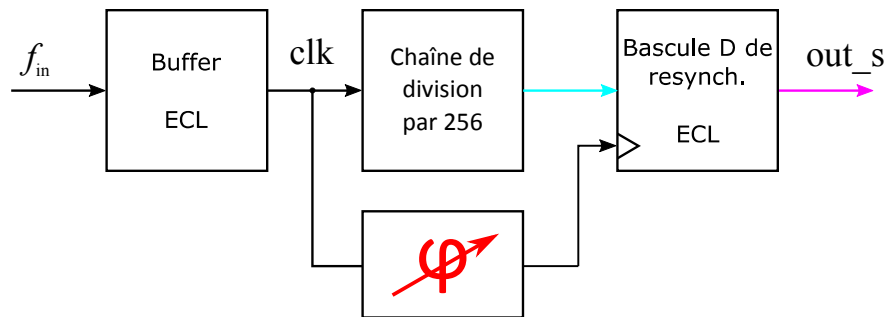


FIGURE 2.36 – Schéma de principe de la simulation du bruit de phase pour différents déphasages sur l'horloge de resynchronisation

signal resynchronisé joue un rôle déterminant dans l'amélioration de bruit de phase amené par cette technique. Or, le dessin des masques des bascules D CMOS du design kit étant soumis à des contraintes de confidentialité, nous n'avons pas accès au détail du dessin des masques mais seulement à une « boîte noire » avec une piste d'entrée et une piste de sortie. Il n'était ainsi pas possible de réaliser l'extraction de parasites sur ces cellules CMOS. Les parasites du reste du circuit ont été inclus dans la simulation finale mais il n'était pas possible d'inclure ceux des bascules D CMOS. C'est pour cette raison que le déphasage en mesure est différent de celui en simulation. Les résultats de simulations pour un signal d'entrée à 5 GHz, soit une période de 200 ps, sont présentés dans la figure 2.37. Il s'agit des résultats de simulations pour différents délais sur l'horloge de resynchronisation par rapport au signal resynchronisé comme l'illustre la figure 2.36. Cependant, rajouter ce délai n'est pas aussi évident que le présente le schéma de principe car il faut s'assurer en réalité que les conditions d'impédances ne sont pas modifiées par l'ajout de ce délai. Des circuits "dummies" ont donc été ajoutés pour charger le circuit auquel la cellule de délai a été connectée pour s'assurer qu'ils conservent les mêmes conditions d'impédances que le circuit sans cette cellule.

Les simulations concernant l'impact du déphasage sur le bruit de phase sont réalisées sans prendre en compte les parasites du dessin des masques afin de limiter les temps de simulation.

Ainsi, on peut voir que sans déphasage, donc pour la courbe intitulée « 0 ps », nous obtenons quasiment le meilleur niveau de bruit de phase pour les différents délais simulés. C'est cette version qui a été envoyée en fonderie mais comme nous le verrons par la suite au § 2.1.7.d, les résultats de mesures du circuit de resynchronisation ne sont pas conformes à ceux de simulations. C'est suite à ce constat que nous avons simulé le circuit de resynchronisation avec un délai variable sur le signal de resynchronisation pour en voir l'impact sur le bruit de phase. Dans un premier temps, nous avons déphasé le signal de resynchronisation par pas de 25 ps sur une période complète. Il apparaît ainsi sur la figure 2.37 que ce délai impacte grandement le bruit de phase. Le pire niveau de bruit de phase est obtenu pour un déphasage aux alentours de 75 ps sur le signal de resynchronisation.

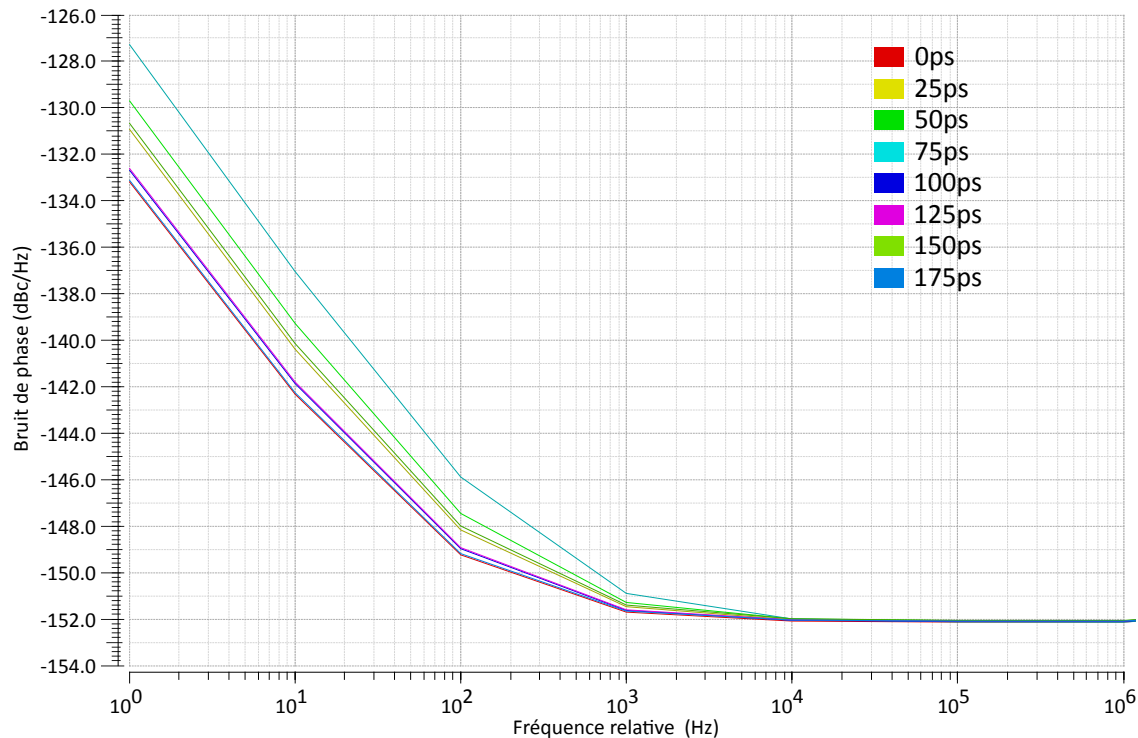


FIGURE 2.37 – Simulation du circuit de resynchronisation pour des déphasages de 0 ps à 175 ps par pas de 25 ps

D'un point de vue temporel, la resynchronisation autour des deux fronts d'une période du signal à resynchroniser est présenté dans les figures 2.38 et 2.39.

Il apparaît donc sur la figure présentant la resynchronisation sur le front montant du signal à resynchroniser qu'il y a un décalage dans l'ordre des signaux resynchronisés. En effet, on voit que les signaux dont le déphasage est supérieur à 75 ps sont resynchronisés d'abord contrairement à ce qui était attendu. Cela pose principalement problème pour un signal de resynchronisation avec un déphasage aux alentours de 75 ps puisque, étant à la frontière entre deux états, le bruit de phase est impacté négativement.

Une deuxième simulation plus fine a été réalisée autour de cette valeur de déphasage. Les résultats de simulation pour un déphasage entre 70 ps et 80 ps avec un pas de 1 ps sont présentés sur la figure 2.40.

Là encore, on voit que le déphasage impacte le bruit de phase, avec un niveau bruit de phase maximal (donc le pire) pour un déphasage de 76 ps.

Concernant la version envoyée en fonderie, une comparaison de bruit de phase avec et sans les parasites est présentée sur la figure 2.41.

Une nette amélioration de bruit de phase de l'ordre de 20 dB au maximum est obtenue proche de la porteuse avec une augmentation d'environ 6 dB du plancher de bruit en contrepartie. Les parasites impactent le bruit proche de la porteuse à hauteur de 3 dB mais le plancher de bruit reste

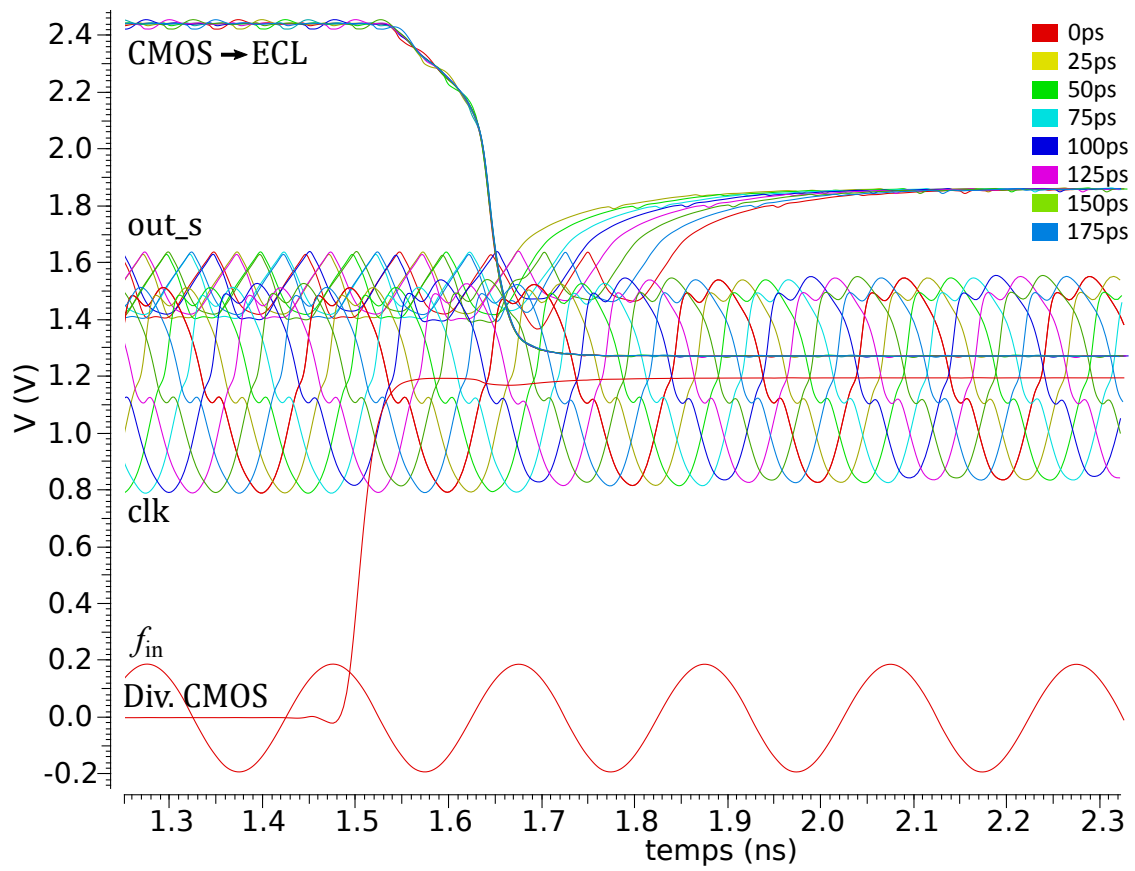


FIGURE 2.38 – Simulation temporelle du circuit de resynchronisation pour des déphasages de 0 ps à 175 ps par pas de 25 ps

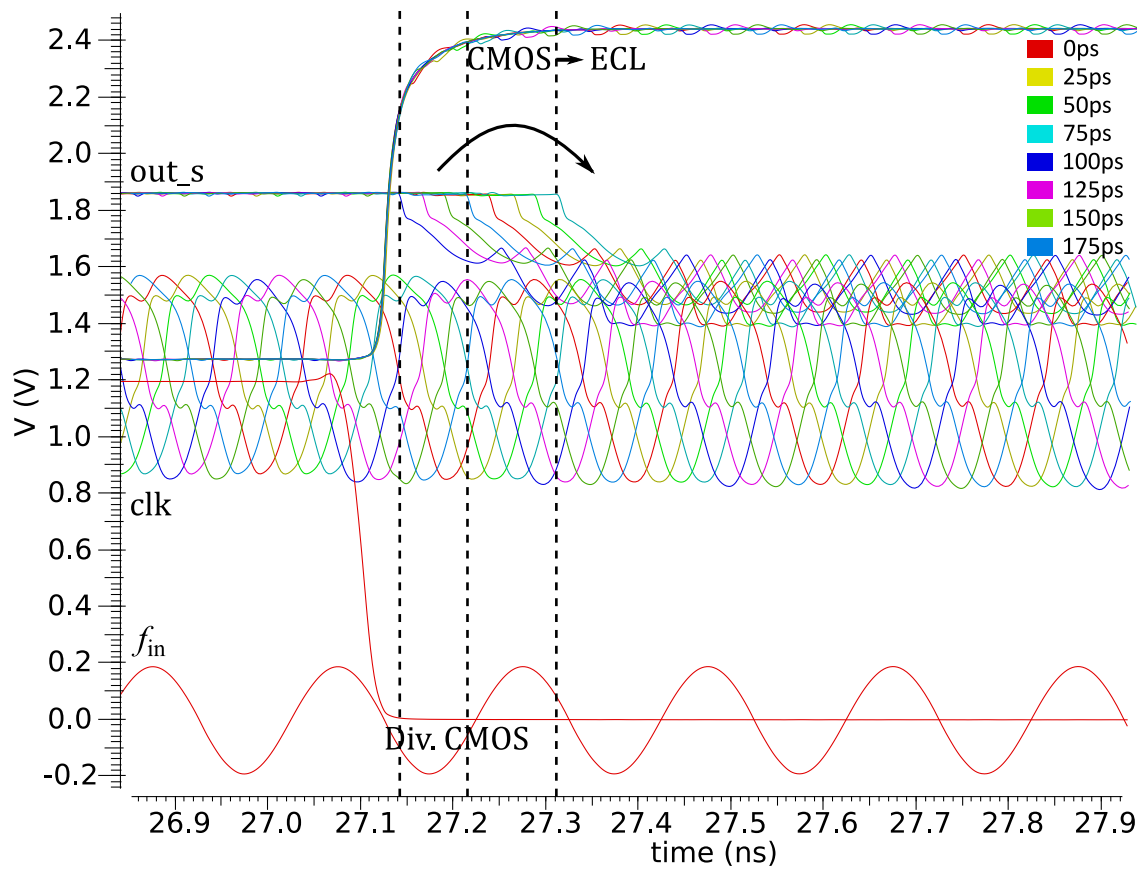


FIGURE 2.39 – Simulation temporelle du circuit de resynchronisation pour des déphasages de 0 ps à 175 ps par pas de 25 ps

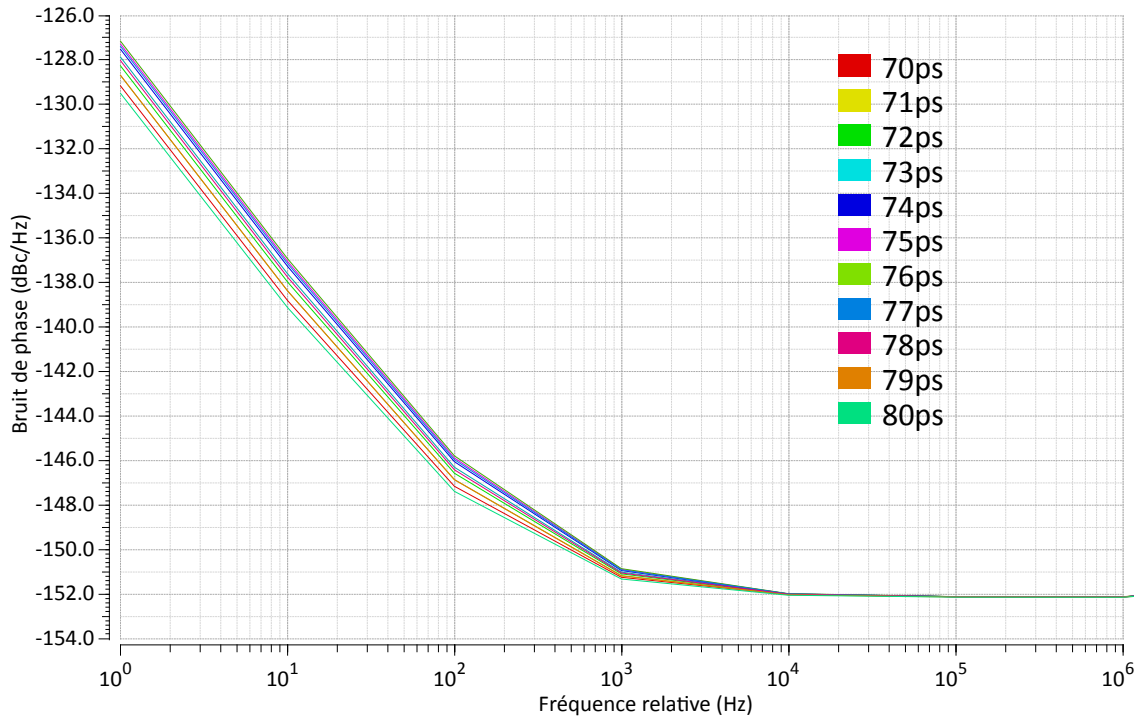


FIGURE 2.40 – Simulation du circuit de resynchronisation pour des déphasages de 70 ps à 80 ps par pas de 1 ps

identique.

2.I.7.c Dessin des masques du diviseur

Le dessin des masques de ce circuit test de la resynchronisation est présenté dans la figure 2.42.

2.I.7.d Protocole et résultat de mesures

Ayant une porte ECL en entrée (balun ECL) et en sortie (bascule D ECL), le protocole de mesure est le même que celui des diviseurs ECL. Une pointe G-S-G est donc utilisée en entrée de la puce pour appliquer le signal de la référence de fréquence. Une pointe G-S-G-S-G avec une charge $50\ \Omega$ sur une des sorties différentielles est utilisé pour transmettre le signal de sortie au banc de bruit de phase E5052B. La différence ici est qu'il y a également une partie purement CMOS dans le diviseur, il y a donc un PAD d'alimentation dédié à cette alimentation et un autre PAD est dédié à l'alimentation de la partie ECL. Les résultats de mesures pour une entrée $f_{in} = 3,84\text{ GHz}$ sont présentés dans la figure 2.43.

Il apparaît donc que cette unique version de test du circuit de resynchronisation ne donne pas les résultats attendus, il n'est donc pas utile de réaliser le test avec un COEO. Le bruit est très élevé par rapport à celui de la source transposée à la fréquence de sortie, avec une différence de

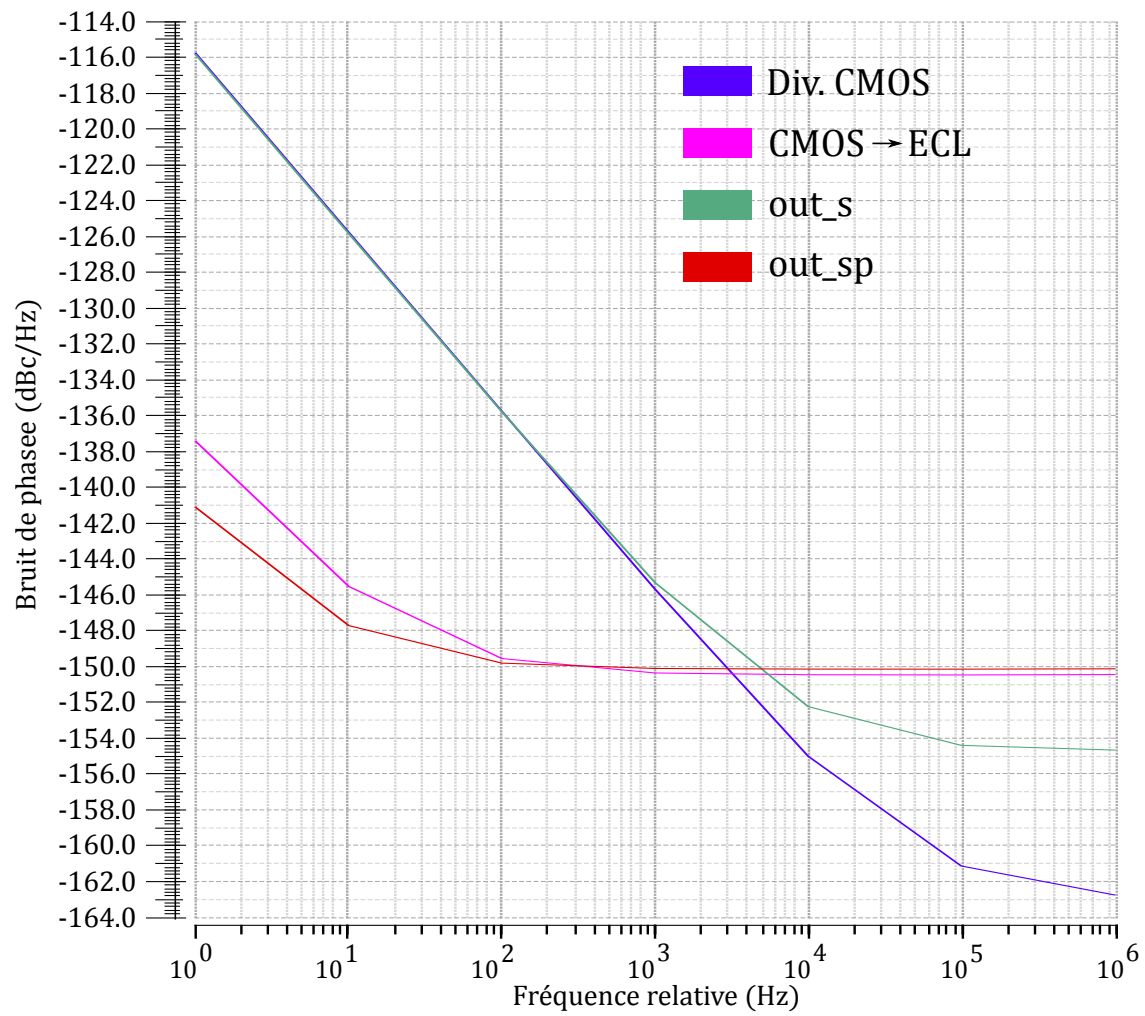


FIGURE 2.41 – Bruit de phase du circuit de resynchronisation avec (out_s) et sans parasite (out_sp)

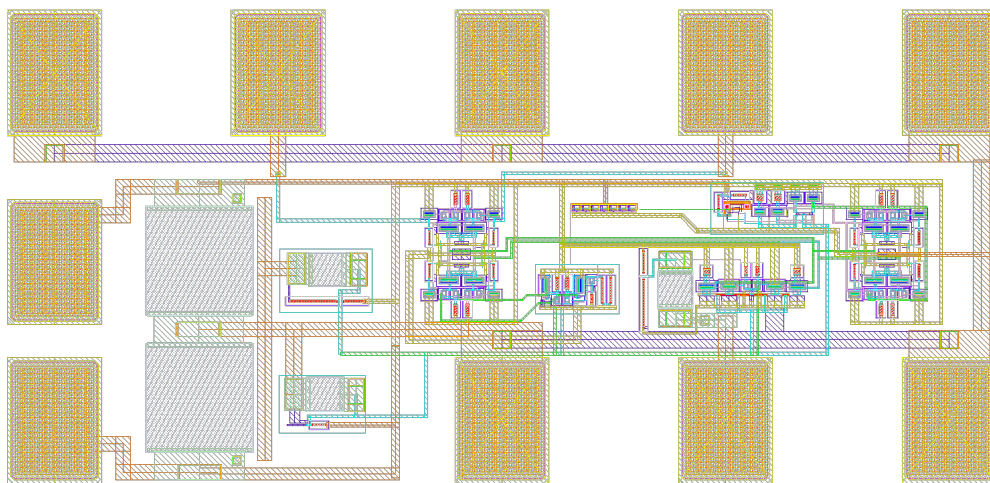
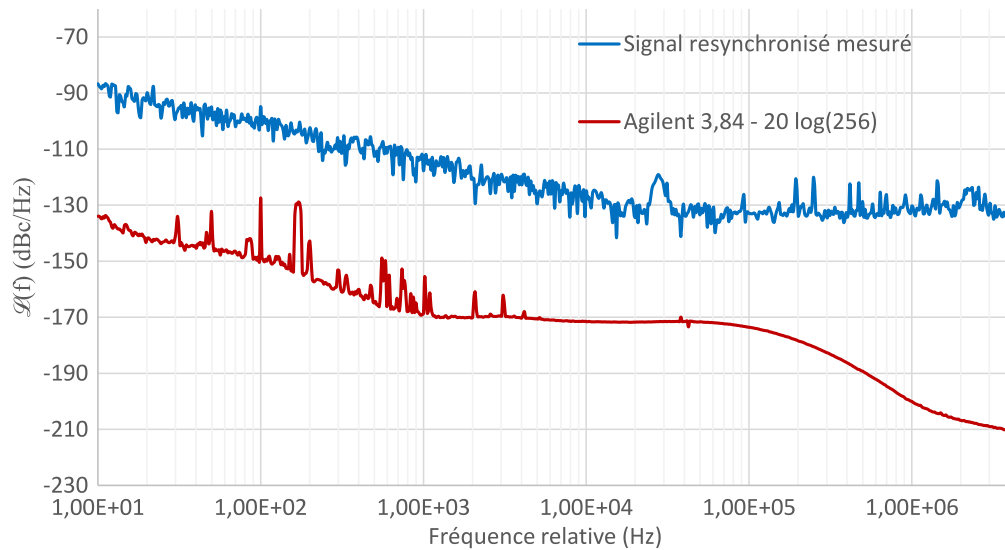


FIGURE 2.42 – Dessin des masques du circuit de resynchronisation

FIGURE 2.43 – Résultats de mesures du circuit de resynchronisation à $f_{\text{out}} = 15 \text{ MHz}$

l'ordre de 40 dB qui peut en partie s'expliquer par un front de resynchronisation concomitant à un front montant ou descendant du signal resynchronisé : une majeure partie du bruit est alors transmise en sortie. Or comme le signal de resynchronisation est bien plus rapide (256 fois ici) que le signal qu'il resynchronise, il y a de fortes probabilités que cela arrive. Cependant, les parasites des cellules CMOS n'étant pas pris en compte, le déphasage obtenu en réalité a fortement dégradé les performances par rapport à la simulation. Il faudrait donc ajouter un système de déphasage réglable pour s'assurer que le front de resynchronisation arrive sur un état établi de signal resynchronisé. Les simulations présentées sur la figure 2.44 ont été réalisées pour mettre ce phénomène en évidence.

On voit le bruit de phase du signal resynchronisé en fonction du délai du signal de resynchronisation par rapport au signal à resynchroniser. Nous mettons donc en évidence que le délai de ce signal de resynchronisation peut avoir un impact considérable sur le signal synthétisé : quasiment 50 dB ici entre les deux cas extrêmes (bien que cette différence ne puisse pas être entièrement imputée au délai, d'autres problèmes inhérents à une première conception viennent s'ajouter). Il est donc primordial d'ajouter un système pour moduler la phase du signal de resynchronisation pour profiter de l'amélioration de bruit de phase souhaitée avec cette technique et prévoir la conception d'une deuxième version d'un circuit test de la resynchronisation.

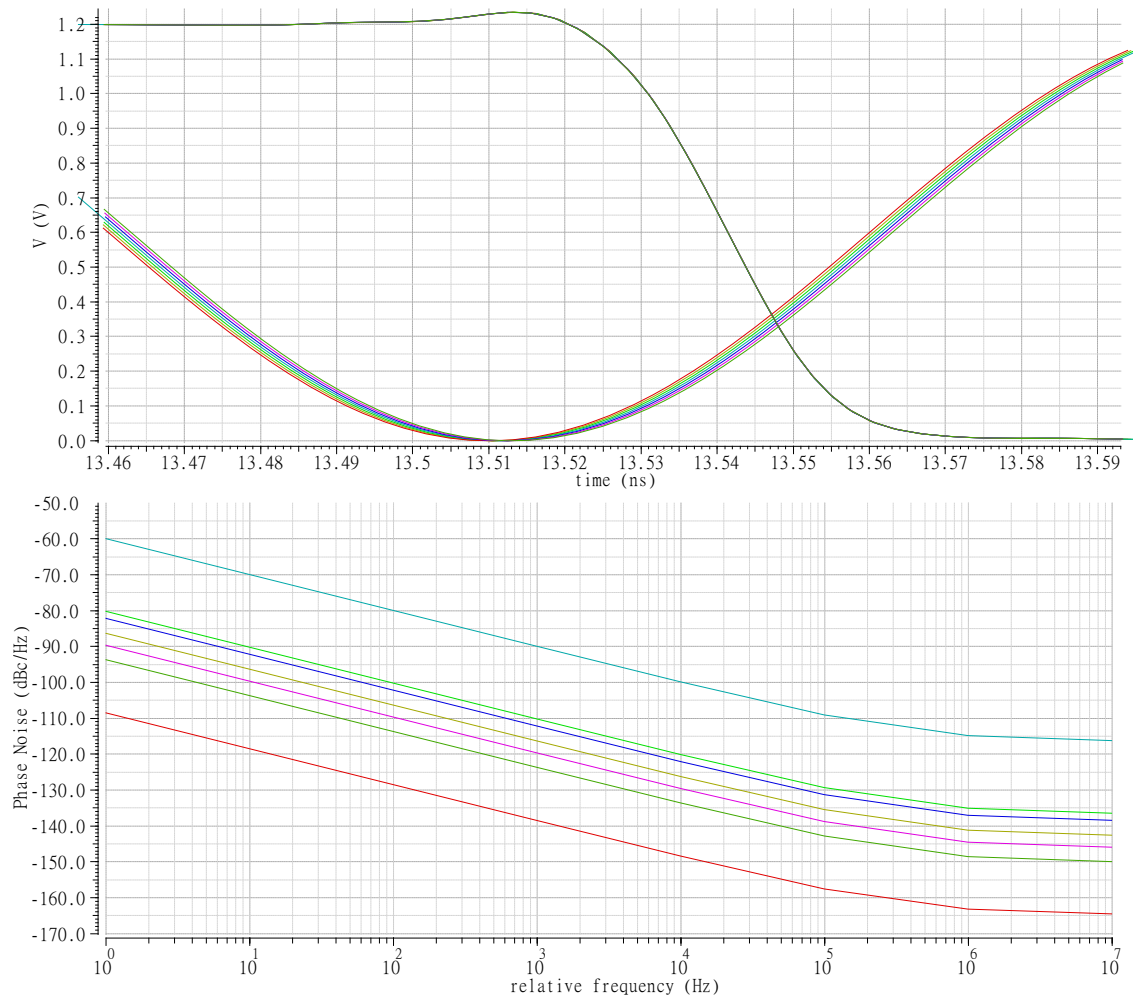


FIGURE 2.44 – Bruit de phase du signal resynchronisé en fonction du délai de signal de resynchronisation

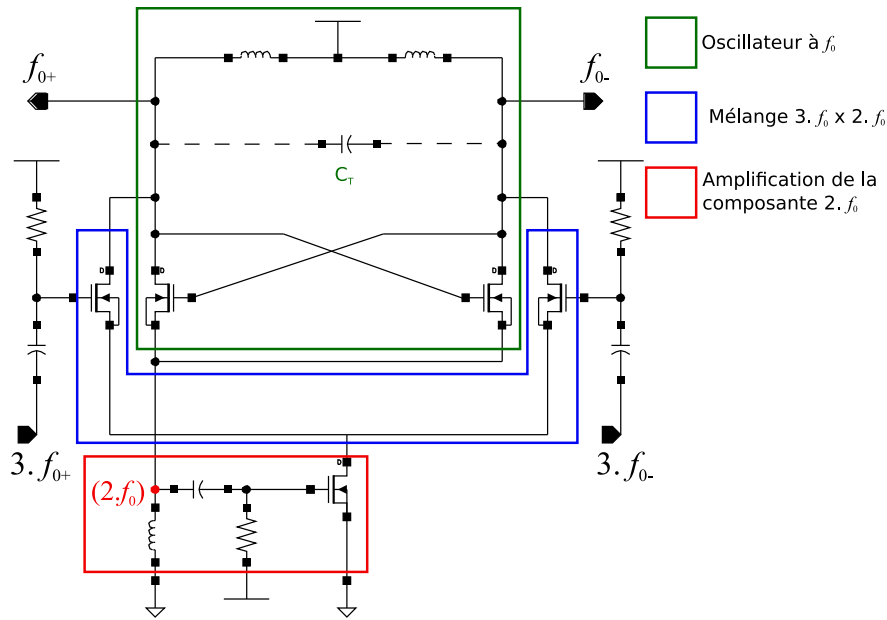


FIGURE 2.45 – Schéma de l'ILFD conçu

2.II Diviseurs analogiques

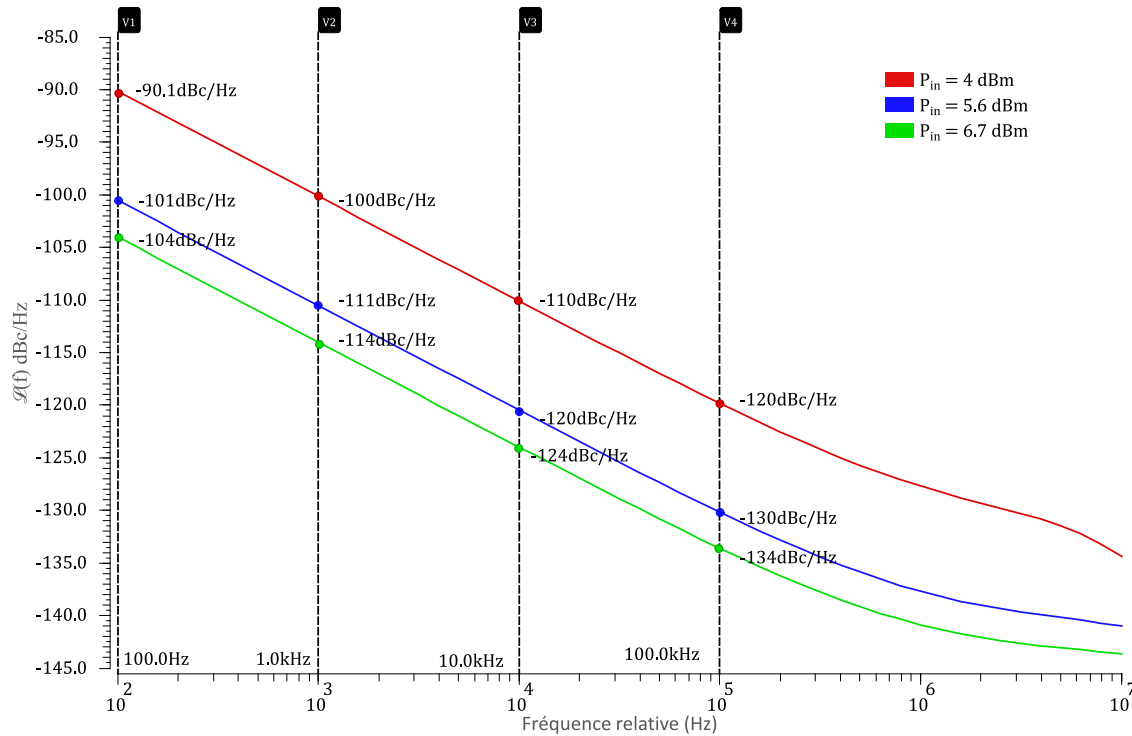
2.II.1 Diviseur par 3 à verrouillage par injection

2.II.1.a Présentation

Un premier diviseur analogique ILFD a été conçu. Sa topologie est présentée et expliquée dans la figure 2.45.

Le principe de cette topologie est de réaliser un mélange entre la fréquence d'entrée et la fréquence libre de l'oscillateur. Ainsi, en mélangeant la composante la plus basse issue de ce mélange avec la fréquence d'entrée, on obtient la fréquence de l'oscillateur. C'est pour cette raison que ce type d'ILFD est désigné dans la publication dont il est issu comme étant à « contre-réaction de second harmonique régénératif » [22].

S'agissant d'un diviseur par 3, si f_0 est la fréquence que l'on souhaite obtenir, qui est également la fréquence libre de l'oscillateur, la fréquence d'entrée est donc $3 \cdot f_0$. Ainsi, en mélangeant la fréquence de l'oscillateur avec la fréquence d'entrée, des composantes $3 \cdot f_0 - f_0 = 2 \cdot f_0$ et $3 \cdot f_0 + f_0 = 4 \cdot f_0$ sont obtenues. La composante $2 \cdot f_0$ est favorisée à l'aide d'un filtrage puis elle est amplifiée. Elle est ensuite mélangée avec la fréquence d'entrée pour donner à nouveau la fréquence de sortie souhaitée. Ainsi le circuit tend vers un état d'équilibre et chacune des composantes désirées se renforcent mutuellement vers cet état. Dans notre cas, l'oscillateur est centré sur une fréquence de 10 GHz. La fréquence d'entrée est de 30 GHz et c'est la composante de 20 GHz issue

FIGURE 2.46 – Bruit de phase **ILFD** pour différentes puissances P_{in} du signal $3 \cdot f_0$

de ce mélange qui est favorisée.

La raison pour laquelle nous avons étudié ce type de diviseur vient de notre intérêt pour l'aspect régénératif de ce diviseur. En effet, bien qu'il s'agisse d'un **ILFD** car il y a une oscillation naturelle dans le circuit, le fait de filtrer et d'amplifier le deuxième harmonique rapproche fortement le fonctionnement de ce circuit d'un diviseur régénératif de Miller.

2.II.1.b Conception et résultats de simulations

Dans ce type de diviseur, le bruit de phase est fortement dépendant de la puissance d'injection du signal d'entrée [23]. Les bruits de phase pour différentes puissances du signal d'entrée, appelé $3 \cdot f_{0\pm}$ sur la figure 2.45, allant jusqu'à la puissance maximale théorique admissible sont présentés dans la figure 2.46.

Il s'agit ici de résultats en bruit de phase sans parasite. Ce diviseur n'a pas été envoyé en fondrie puisqu'il a été conçu et étudié en parallèle d'un autre diviseur (§ 2.II.2) au concept semblable mais dont les performances se sont avérées meilleures. Si l'on compare ces résultats en bruit de phase avec ceux du diviseur numérique par 3 présentés plus tôt, ils semblent bien meilleurs. Cependant, il faut garder plusieurs éléments à l'esprit :

- les résultats du diviseur par 3 numérique sont très fortement impactés par les parasites, car pour augmenter la fréquence maximale de fonctionnement du circuit, il a fallu faire

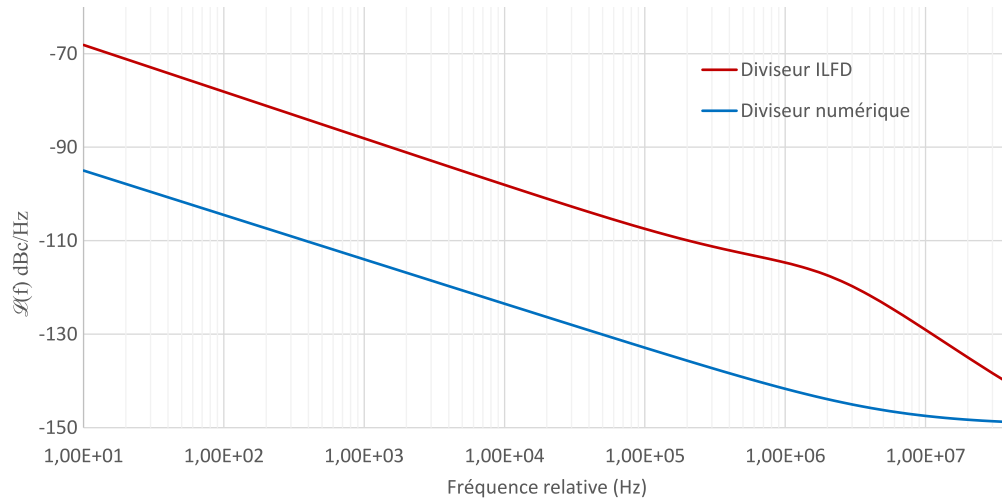


FIGURE 2.47 – Bruit de phase diviseur ILFD vs diviseur numérique pour $P_{IN} = -10\text{dBm}$

des concessions sur les performances en bruit de phase. Or, les parasites ne sont pas pris en compte ici car le dessin des masques de ce circuit n’a pas été réalisé, puisqu’un autre circuit similaire plus performant a été conçu.

- le bruit de phase du signal synthétisé avec l’**ILFD** dépend fortement de la puissance d’injection du signal alors que celui du diviseur numérique par 3 est indépendant de la puissance du signal injecté une fois synchronisé.

Pour rappel, la puissance du signal que nous récupérons en sortie du **COEO** est de l’ordre de -10dBm . Nous proposons donc sur la figure 2.47 une comparaison entre le bruit de phase d’un diviseur par 3 numérique faible bruit et l’**ILFD** présenté ici pour une puissance d’entrée de -10dBm .

Il apparaît que pour une puissance d’injection faible comme celle imposée par l’usage d’un **COEO**, le diviseur numérique offre de bien meilleures performances en bruit de phase par rapport à l’**ILFD**. Nous avons par la suite voulu comparer ces performances avec celles d’un autre diviseur proche d’un diviseur régénératif que nous allons maintenant présenter.

2.II.2 Diviseur par 3 avec second harmonique régénératif

2.II.2.a Présentation

Le diviseur présenté ici est à la frontière entre les diviseurs régénératifs et les **ILFD**. La topologie dont nous nous sommes inspirés à partir d’un article [24] est présentée dans la figure 2.48.

Nous avons adapté ce circuit à nos besoins en remplaçant les transistors MOS de l’étage supérieur par des transistors bipolaires afin d’améliorer le bruit et la montée en fréquence. Cela nous a amené à réaliser d’autres modifications pour garantir le bon fonctionnement du circuit comme on

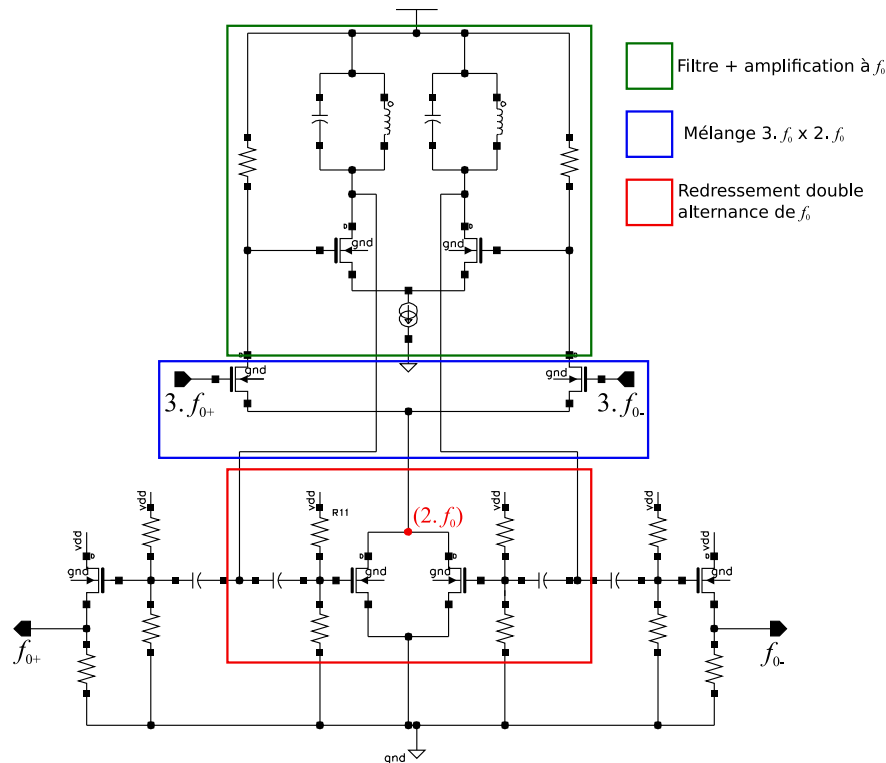


FIGURE 2.48 – Schéma de base du diviseur par 3

peut le voir sur la figure 2.49.

Il n'y a pas d'oscillation naturelle dans ce circuit, nous ne le considérons donc pas comme un ILFD mais comme un diviseur de Miller. Un peu comme le circuit précédent, nous allons utiliser les sous-harmoniques du signal d'entrée pour tendre vers un état stable où l'harmonique sélectionné se renforce lui-même. Ce circuit est un cas particulier de diviseur régénératif qui utilise un redresseur double alternance pour réaliser une multiplication par 2 et ainsi récupérer le deuxième harmonique de la fréquence de sortie. Ce deuxième harmonique est mélangé avec le signal d'entrée qui est le troisième harmonique de la fréquence de sortie. Une composante à la fréquence de sortie est alors obtenue en résultat de mélange, elle est filtrée et amplifiée avant d'être transmise en sortie du circuit et en entrée du redresseur double alternance. Le redresseur double alternance fonctionne ici grâce à la tension de seuil des transistors MOS. Ils sont polarisés exactement autour de cette valeur, ainsi, seules les alternances positives des signaux différentiels reçus de part et d'autre du redresseur sont conservées. Or comme l'illustre la figure 2.50, le fait de ne conserver que les alternances positives de deux signaux différentiels génère un signal dont la fréquence est le double de celle des signaux différentiels de départ. On tend ainsi vers un état d'équilibre où la fréquence de sortie est un tiers de celle d'entrée.

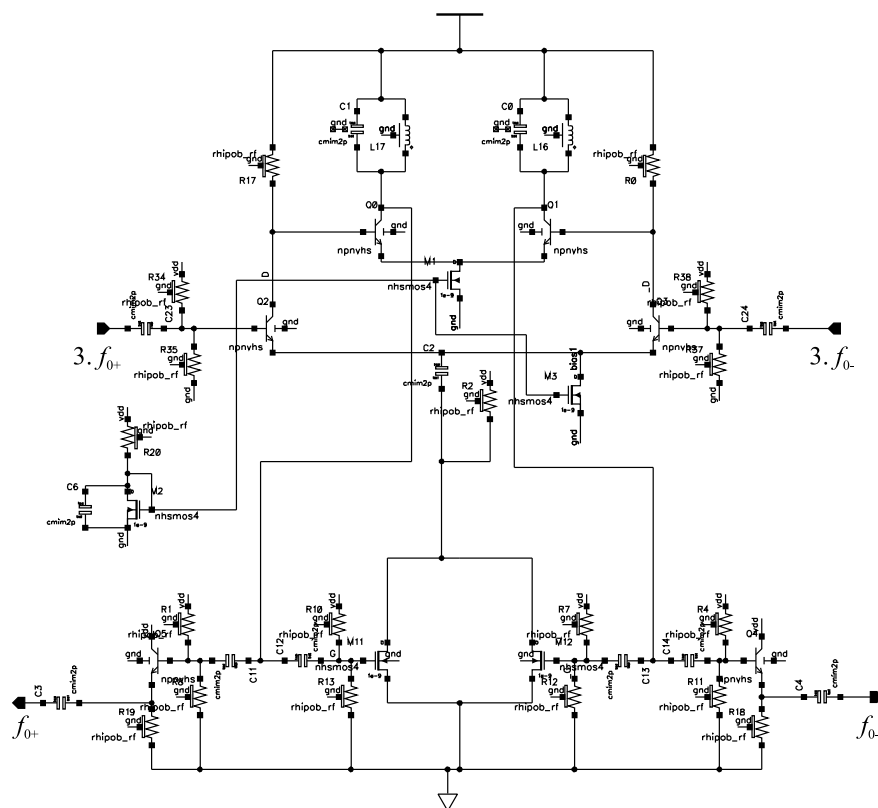


FIGURE 2.49 – Schéma du diviseur par 3 conçu

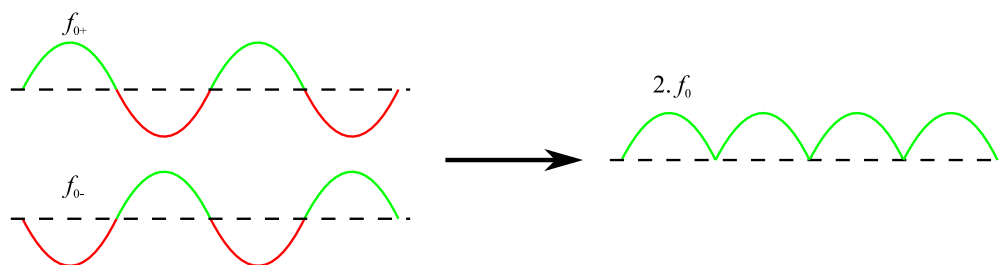


FIGURE 2.50 – Multiplication de fréquence par 2 avec redresseur double alternance

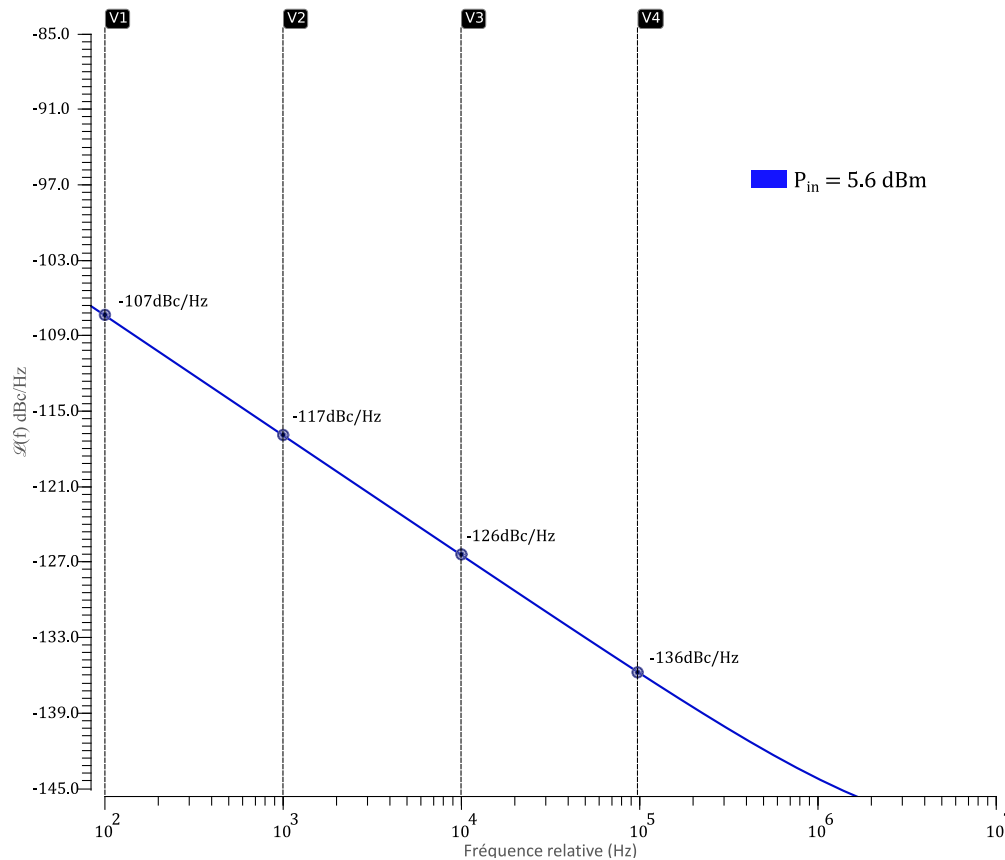


FIGURE 2.51 – Bruit de phase diviseur par 3

2.II.2.b Conception et résultats de simulations

Nous dimensionnons premièrement le filtre à la fréquence de sortie souhaitée, c'est-à-dire 10 GHz. Ensuite, un redresseur double alternance est utilisé pour multiplier la fréquence de 10 GHz par 2. La composante à 20 GHz obtenue est mélangée à la fréquence d'entrée de 30 GHz pour obtenir le signal à 10 GHz qui est par la suite filtré. On tend vers un état d'équilibre où une division par 3 est réalisée. Le bruit de phase de ce circuit est présenté sur la figure 2.51. Nous utilisons la même échelle que pour la figure 2.46 afin de comparer les performances en bruit de phase à puissance équivalente.

À puissance d'injection équivalente, on observe une amélioration de 6 dB avec ce diviseur par rapport à l'ILFD, ce qui nous a conforté dans l'idée d'explorer davantage la division de fréquence régénérative. Il faut également noter qu'à l'instar des diviseurs numériques, le bruit de phase de ce diviseur régénératif est indépendant de la puissance du signal injecté.

Nous comparons sur la figure 2.52 les performances en bruit de phase des trois diviseurs par 3 à 30 GHz conçus pour une puissance d'injection P_{in} de -10 dBm, nous observons que le meilleur diviseur est le diviseur régénératif qui est environ 8 dB plus bas que le diviseur numérique. Il faut

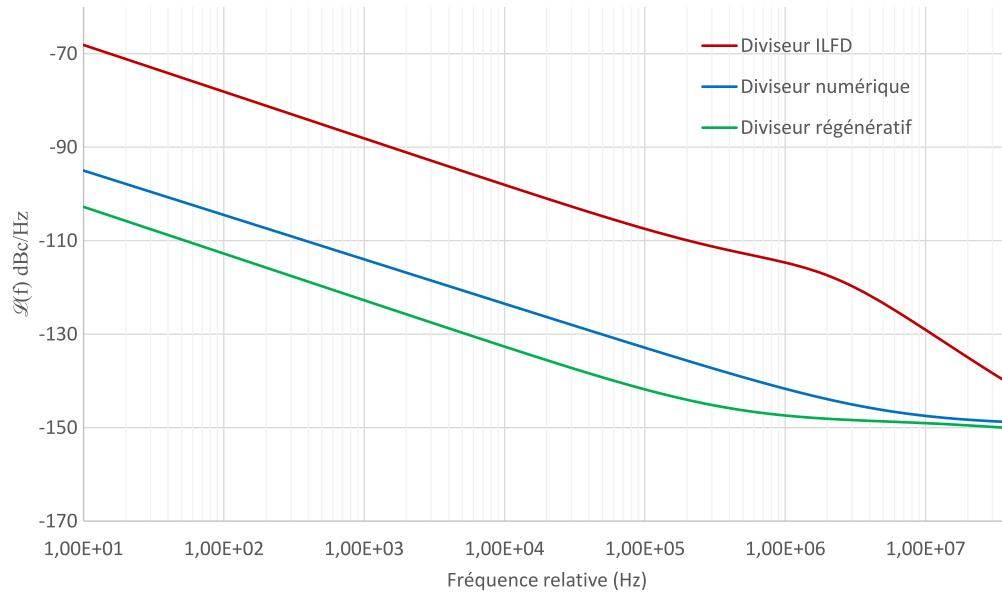


FIGURE 2.52 – Comparaison du bruit de phase des diviseurs par 3 à 30 GHz pour $P_{in} = -10\text{dBm}$

cependant garder à l'esprit l'avantage non négligeable des diviseurs numériques qu'est leur large bande passante.

Concernant la conception de ce diviseur régénératif, les parasites ont, ici encore, eu un impact important. D'autant plus que nous utilisons pour ce circuit un filtre passe-bande à une fréquence précise. Or lors de la première extraction de parasites, la fréquence centrale du filtre est passée de 10 GHz à 8 GHz et nous avons dû revoir la conception du circuit. Finalement, la version finale du circuit pour obtenir une fréquence centrale du filtre à 10 GHz avec les parasites correspond à un filtre centré autour de 14 GHz sans les parasites. Nous avons donc mis les deux versions sur puce avec une dont la fréquence du filtre est centrée à 10 GHz sans les parasites et l'autre dont la fréquence du filtre est centrée à 10 GHz avec les parasites pour s'assurer de pouvoir faire fonctionner ce circuit avec le **COEO** en entrée. D'après les simulations, qui sur ces caractéristiques ont, pour tous les circuits, été conformes aux mesures, le circuit consomme 8,53 mA sous une alimentation de 2,5 V, soit une puissance de 21,33 mW.

2.II.2.c Dessin des masques du diviseur

Un des inconvénients de ces diviseurs analogiques réside dans l'utilisation d'inductances dont l'encombrement est très important. Son dessin des masques est présenté dans la figure 2.53.

En excluant les PAD, le circuit mesure $651 \times 253 \mu\text{m}^2$. Comme expliqué précédemment, deux versions du dessin des masques ont été réalisées, avec principalement des modifications sur les éléments passifs du filtre à 10 GHz. Nous voulions que le filtre soit bien centré autour de 10 GHz en prenant en compte les parasites pour s'assurer du fonctionnement du diviseur avec une fréquence

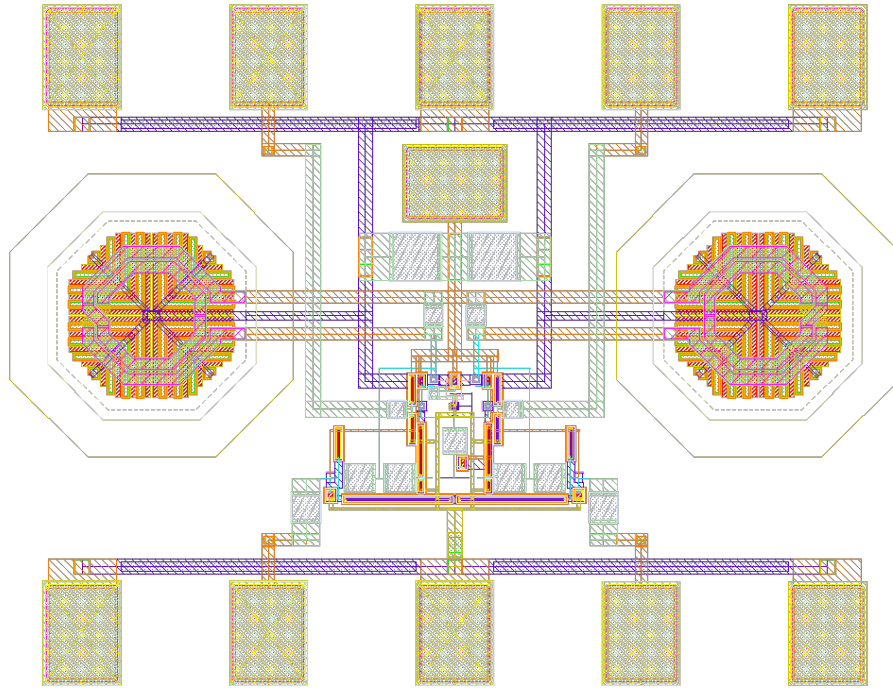


FIGURE 2.53 – Dessin des masques du diviseur régénératif par 3

d'entrée de 30 GHz.

2.II.2.d Protocole et résultat de mesures

S'agissant seulement du deuxième run, je n'avais pas encore caractérisé expérimentalement de circuit au moment de concevoir celui-ci. Une erreur de compréhension m'a donc amené à ne pas mettre de balun sur ce circuit. Il s'avère que nous disposons d'un synthétiseur de fréquence qu'il est possible de faire fonctionner en différentiel, mais il n'est en réalité pas conçu pour cela. Il faut donc réaliser une manipulation particulière sur le logiciel du synthétiseur pour générer ces deux signaux différentiels. Il s'est avéré que cela ne fonctionnait pas et faisait systématiquement « crasher » le software du synthétiseur. Une autre solution plus simple consistait à acheter un balun externe pour pouvoir caractériser ce circuit mais les **ILFD** n'étant pas les circuits que nous souhaitions étudier davantage, contrairement aux diviseurs numériques, la mesure de ces circuits n'a finalement pas été réalisée. En effet, d'après les simulations, les **ILFD** semblent être des candidats corrects pour une première division à haute fréquence mais leur manque de flexibilité (bande passante limitée et pas de programmabilité) nous enjoint à davantage nous intéresser à d'autres topologies de diviseurs. Nous avons donc fait le choix de plutôt financer des runs supplémentaires que d'acquérir un balun externe pour la caractérisation des **ILFD**.

Conclusion

Dans ce deuxième chapitre, les différentes topologies de diviseurs que nous avons conçus et pour la plupart mesurés sont présentés. Les simulations de l'**ILFD** ont conforté les conclusions du § 1.II.4.d, c'est-à-dire que leurs performances en bruit de phase sont moins bonnes que celles du diviseur régénératif pour la puissance fournie par le **COEO** à 30 GHz. Concernant la division numérique, un diviseur par 2 **VCVS** s'avère être transparent en bruit de phase pour le **COEO** à 30 GHz, la qualité du signal synthétisé est donc quasiment la même que celle de la référence. Par la suite, plusieurs topologies de diviseurs par 3 numériques ont été conçues, avec pour objectif de mettre la bascule D utilisée pour le diviseur par 2 présenté précédemment en tant que bascule de sortie. Le diviseur par 3 numérique conçu étant synchrone, c'est cette bascule de sortie qui influe majoritairement sur le bruit total de la bascule. Cependant, nous ne sommes pas parvenus à obtenir de mesure fonctionnelle de diviseur par 3 **VCVS** avec le **COEO** à 30 GHz en entrée. Une mesure avec un synthétiseur de fréquence a été réalisée, le **COEO** ne délivre juste pas suffisamment de puissance pour déclencher le diviseur. Un diviseur par 3 avec une bascule D plus classique a donc été caractérisé à 30 GHz. Pour ce qui est de la division de 10 GHz vers 1 GHz, le diviseur par 10 présente des résultats moins bon en mesure qu'en simulation et il en est de même pour le circuit test du principe de resynchronisation. Aucun effort particulier n'a été fait pour le bruit de phase de ce diviseur par 10, sachant que c'est la technique de resynchronisation qui est censée pallier l'accumulation de bruit dans la chaîne de diviseurs. Mais elle demandera une attention particulière lors d'une nouvelle conception, notamment en ce qui concerne le déphasage entre signal de resynchronisation et signal resynchronisé qui a notamment conduit à la défaillance de cette première version. Les résultats de ce chapitre sur les diviseurs numériques **ECL** nous ont permis d'envisager de les inclure dans une topologie originale de diviseurs fractionnaires que nous présentons dans le chapitre suivant.

Bibliographie

- [1] M. ALIOTO et G. PALUMBO. *Model and Design of Bipolar and MOS Current-Mode Logic: CML, ECL and SCL Digital Circuits*. Dordrecht : Springer, 2005. 318 p. (cf. p. 62).
- [2] J. BABCOCK et al. “Comparative Low Frequency Noise Analysis of Bipolar and MOS Transistors Using an Advanced Complementary BiCMOS Technology”. In : *Proceedings of the IEEE 2001 Custom Integrated Circuits Conference (Cat. No.01CH37169)*. IEEE 2001 Custom Integrated Circuits Conference. San Diego, CA, USA : IEEE, 2001, p. 385-388. URL : <http://ieeexplore.ieee.org/document/929806/> (cf. p. 62).
- [3] M. FARAZIAN, L. E. LARSON et P. S. GUDEM. In : *Fast Hopping Frequency Generation in Digital CMOS*. New York, NY : Springer, 2013, p. 81-85 (cf. p. 63).
- [4] U. ALI et al. “High Speed Static Frequency Divider Design with 111.6 GHz Self-Oscillation Frequency (SOF) in 0.13 μm SiGe BiCMOS Technology”. In : *2015 German Microwave Conference*. 2015 German Microwave Conference (GeMiC). Nuremberg, Germany : IEEE, mars 2015, p. 241-243. URL : <http://ieeexplore.ieee.org/document/7107798/> (cf. p. 63, 64).
- [5] U. ALI et al. “100–166 GHz Wide Band High Speed Digital Dynamic Frequency Divider Design in 0.13 μm SiGe BiCMOS Technology”. In : *2015 10th European Microwave Integrated Circuits Conference (EuMIC)*. 2015 10th European Microwave Integrated Circuits Conference (EuMIC). Paris, France : IEEE, sept. 2015, p. 73-76. URL : <http://ieeexplore.ieee.org/document/7345071/> (cf. p. 63).
- [6] P. ZHOU et al. “A Low Power, High Sensitivity SiGe HBT Static Frequency Divider up to 90 GHz for Millimeter-Wave Application”. In : *China Communications* (2019), p. 10 (cf. p. 63).
- [7] A. AWNY et al. “Speed/Power Performance of D-Type Flip-Flops in a 0.13 μm SiGe:C HBT Technology Demonstrated by a 86 GHz Static Frequency Divider”. In : (), p. 4 (cf. p. 63).

- [8] E. LASKIN et al. “Low-Power, Low-Phase Noise SiGe HBT Static Frequency Divider Topologies up to 100 GHz”. In : *Bipolar/BiCMOS Circuits and Technology Meeting, 2006*. Bipolar/BiCMOS Circuits and Technology Meeting, 2006. Oct. 2006, p. 1-4 (cf. p. 63).
- [9] V. ISSAKOV, S. TROTTA et H. KNAPP. “Low-Voltage Flip-Flop-Based Frequency Divider up to 92-GHz in 130-Nm SiGe BiCMOS Technology”. In : *2017 Integrated Nonlinear Microwave and Millimetre-Wave Circuits Workshop (INMMiC)*. 2017 Integrated Nonlinear Microwave and Millimetre-Wave Circuits Workshop (INMMiC). Graz, Austria : IEEE, avr. 2017, p. 1-3. URL : <http://ieeexplore.ieee.org/document/7927321/> (cf. p. 64).
- [10] A. DYSKIN, P. HARATI et I. KALLFASS. “A Compact, Low Power and High Sensitivity E-Band Frequency Divider SiGe HBT MMIC”. In : *2017 Austrochip Workshop on Microelectronics (Austrochip)*. 2017 25th Austrochip Workshop on Microelectronics (Austrochip). Linz : IEEE, oct. 2017, p. 11-14. URL : <http://ieeexplore.ieee.org/document/8114740/> (cf. p. 64).
- [11] M. SEO et al. “A 305–330+ GHz 2:1 Dynamic Frequency Divider Using InP HBTs”. In : *IEEE Microwave and Wireless Components Letters* 20.8 (août 2010), p. 468-470. URL : <http://ieeexplore.ieee.org/document/5481995/> (cf. p. 64).
- [12] H. KNAPP et al. “Static Frequency Dividers up to 133GHz in SiGe:C Bipolar Technology”. In : *2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*. 2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting - BCTM. Austin, TX, USA : IEEE, oct. 2010, p. 29-32. URL : <http://ieeexplore.ieee.org/document/5667984/> (cf. p. 64).
- [13] G. LIU et H. SCHUMACHER. “Design and Comparison of Regenerative Dynamic Frequency Dividers in Different Configurations Using SiGe HBT Technology”. In : *IEEE Microwave and Wireless Components Letters* 23.5 (mai 2013), p. 270-272 (cf. p. 64).
- [14] N. KAMAL et al. “A High-Frequency Divider in 0.18 μm SiGe BiCMOS Technology”. In : *Smart Materials, Nano-and Micro-Smart Systems*. International Society for Optics and Photonics, 2006, p. 641408-641408. URL : <http://proceedings.spiedigitallibrary.org/proceeding.aspx?articleid=1333350> (cf. p. 64).
- [15] S. GODET et al. “A Low Phase Noise and Wide-Bandwidth BiCMOS SiGe:C 0.25 μm Digital Frequency Divider For An On-Chip Phase-Noise Measurement Circuit”. In : *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09* (jan. 2009), p. 1-4 (cf. p. 69).

- [16] M. APOSTOLIDOU, P. G. BALTUS et C. S. VAUCHER. “Phase Noise in Frequency Divider Circuits”. In : *2008 IEEE International Symposium on Circuits and Systems*. 2008 IEEE International Symposium on Circuits and Systems - ISCAS 2008. Seattle, WA, USA : IEEE, mai 2008, p. 2538-2541. URL : <http://ieeexplore.ieee.org/document/4541973/> (cf. p. 78).
- [17] L. W. YEE et N. X. SINH. “Multiple Differential Input ECL or/nor Gate”. Brev. amér. 5463332 A. NATIONAL SEMICONDUCTOR CORPORATION. 31 oct. 1995. URL : <http://www.google.ch/patents/US5463332> (cf. p. 78).
- [18] CHING-YUAN YANG et al. “New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler”. In : *IEEE Journal of Solid-State Circuits* 33.10 (Oct./1998), p. 1568-1571. URL : <http://ieeexplore.ieee.org/document/720406/> (cf. p. 85).
- [19] Y. JI-REN, I. KARLSSON et C. SVENSSON. “A True Single-Phase-Clock Dynamic CMOS Circuit Technique”. In : 5 (), p. 3 (cf. p. 85).
- [20] T. MAEKAWA et al. “Design of CMOS Inverter-Based Output Buffers Adapting the Cherry-Hooper Broadbanding Technique”. In : *2009 European Conference on Circuit Theory and Design*. 2009 European Conference on Circuit Theory and Design (ECCTD 2009). Antalya, Turkey : IEEE, août 2009, p. 511-514. URL : <http://ieeexplore.ieee.org/document/5275025/> (cf. p. 85).
- [21] M. D. ERCEGOVAC et T. LANG. *Digital Arithmetic*. San Francisco, CA : Morgan Kaufmann Publishers, 2004. 709 p. (cf. p. 94).
- [22] P. K. TSAI, C. C. LIU et T. H. HUANG. “Wideband Injection-Locked Divide-by-3 Frequency Divider Design with Regenerative Second-Harmonic Feedback Technique”. In : *2012 7th European Microwave Integrated Circuit Conference*. 2012 7th European Microwave Integrated Circuit Conference. Oct. 2012, p. 293-296 (cf. p. 104).
- [23] S. VERMA, H. RATEGH et T. LEE. “A Unified Model for Injection-Locked Frequency Dividers”. In : *IEEE Journal of Solid-State Circuits* 38.6 (juin 2003), p. 1015-1027. URL : <http://ieeexplore.ieee.org/document/1202004/> (cf. p. 105).
- [24] B. R. JACKSON et C. E. SAAVEDRA. “A Divide-by-Three Regenerative Frequency Divider Using a Subharmonic Mixer”. In : *2011 NORCHIP*. 2011 NORCHIP. Nov. 2011, p. 1-4 (cf. p. 106).

Chapitre 3

Synthèse par division fractionnaire régénérative

3.I Introduction

Nous avons tiré plusieurs conclusions de l'ensemble des mesures et simulations présentées jusqu'à maintenant. Tout d'abord, nous avons établi que les diviseurs numériques offrent de bonnes performances en bruit de phase (§ 1.II.3.g) et peuvent dans certains cas même être transparents avec le COEO à 30 GHz à notre disposition (§ 2.I.2). De plus, leur large bande passante est un atout important comparé à des diviseurs analogiques puisque cela offre plus de flexibilité vis-à-vis des applications. Concernant maintenant les inconvénients de ces diviseurs, leur consommation et leur bruit sont interdépendants, par conséquent nous observons généralement une consommation importante pour les diviseurs faible bruit (§ 1.II.3.g). Nous avons également vu que pour réaliser un rapport de division élevé avec des diviseurs numériques, il fallait souvent utiliser plusieurs diviseurs asynchrones en cascade, ce qui avait pour effet de dégrader le bruit de phase (§ 1.II.3.c). Il faut alors utiliser la technique de resynchronisation qui est une piste prometteuse pour l'amélioration de bruit de phase des circuits asynchrones (§ 1.II.3.c. i).

Les ILFD ne semblent pas adaptés à la synthèse de fréquence à partir de référence faible bruit puisque, d'après nos résultats (§ 2.II.1) et la littérature en général (§ 1.II.4.d), leurs performances en bruit de phase sont assez mauvaises, en particulier pour une faible puissance injectée, et le COEO ne délivre justement pas un niveau de puissance très élevé, de l'ordre de -10 dBm. De plus, ils ont une bande passante limitée ce qui contraint les applications où ils peuvent être utilisés. Enfin, ils offrent très peu de flexibilité qui était une des caractéristiques principales à favoriser lors de la conception de nos diviseurs.

Les diviseurs régénératifs sont bien plus prometteurs sur cet aspect puisqu'ils permettent no-

tamment de réaliser des rapports fractionnaires (§ 1.II.4.c). De plus, d'après l'état de l'art réalisé pour ces diviseurs (§ 1.II.4.d), ils présentent des performances en bruit de phase compétitives vis-à-vis des autres types de diviseurs.

3.II Présentation et démarche

Nous avons donc voulu étudier plus en détail le diviseur régénératif fractionnaire de Miller dont le principe est présenté au § 1.II.4.c. Nous étions parvenus au modèle simplifié du diviseur de Miller présenté sur la figure 1.31 lors de la présentation des diviseurs régénératifs au § 1.II.4.c.

Ayant principalement travaillé sur les diviseurs de fréquence jusqu'à présent, nous avons eu l'idée de remplacer les multiplieurs du modèle de Miller par des diviseurs comme présenté sur la figure 3.1. Suite à cela, nous avons mené une recherche bibliographique pour voir si l'idée avait déjà été exploitée, et nous sommes parvenus à ne trouver seulement que quelques occurrences s'en rapprochant dans la littérature [1-7] mais pas nécessairement sous la forme proposée ici. Dans cette liste exhaustive des articles que nous avons trouvés, le bruit de phase n'est quasiment jamais évoqué, en particulier concernant les diviseurs fractionnaires.

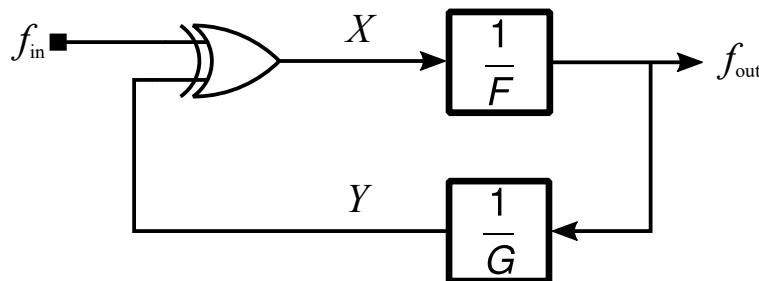


FIGURE 3.1 – Schéma de principe du diviseur régénératif avec une approche numérique

Le rapport de la chaîne directe fixe la partie entière du rapport de division et le rapport de la chaîne de contre-réaction fixe sa partie décimale. C'est donc l'inverse de la topologie avec des multiplieurs, où le facteur de la chaîne directe fixe la partie décimale du rapport de division et le facteur de la chaîne de contre-réaction fixe sa partie entière.

Les diviseurs que nous utilisons, dans notre cas, sont des diviseurs numériques, puisqu'ils offrent la possibilité d'être rendus programmables, et par conséquent de réaliser une division fractionnaire programmable. De plus, nous avons vu qu'il est possible d'obtenir de bons niveaux de bruit de phase avec ces diviseurs (§ 2.I.2). Une modélisation numérique ainsi qu'un calcul de spectre du signal synthétisé sont proposés par la suite.

3.II.1 Approche avec un XOR en entrée

Dans un premier temps, s'agissant de diviseurs numériques, nous allons décrire le système avec une approche numérique, c'est-à-dire qu'une porte XOR est utilisée pour la comparaison entre f_{in} et Y à la place du mélangeur initial. Ainsi, si on considère le XOR comme un inverseur commandé, il recopie f_{in} tant que Y est à l'état bas et $\overline{f_{in}}$ tant que Y est à l'état haut. Le diviseur de la chaîne directe génère un front montant sur f_{out} tous les F fronts montants sur X . Le diviseur de la chaîne retour génère quant à lui un front montant sur Y tous les G fronts montants sur f_{out} . Au premier cycle, le signal f_{in} est comparé à $Y = \frac{f_{in}}{F \cdot G}$. Le signal Y change d'état deux fois, un front montant et un front descendant, sur une même période $F \cdot G$. Ces deux changements d'état vont modifier X pour le cycle suivant, à savoir que X va être inversé deux fois sur cette période. De plus, c'est un front montant sur X qui va engendrer un front montant sur f_{out} et qui va lui-même générer un front montant sur Y , qui va immédiatement refaire changer l'état de X , le préparant aussitôt pour un nouveau front montant alors que ça aurait dû être un front descendant. Le changement d'état suivant de F a donc lieu au front f_{in} suivant, soit une demi-période de f_{in} plus tôt comme présenté sur la figure 3.2. Le diviseur F a compté deux fois en une période et demie de f_{in} , ce qui peut aussi s'exprimer par : une demi-période de f_{in} a été « absorbée » lors de l'opération. Ainsi, pour chaque front sur Y , une demi-période du signal f_{in} est soustraite par rapport au signal f_{in} pour générer le signal X , ce qui a lieu deux fois par période $F \cdot G$. On peut alors écrire l'équation suivante :

$$F \cdot G \cdot T_X = (F \cdot G - 1) \cdot T_{in} \quad (3.1)$$

qui conduit à :

$$T_X = \frac{F \cdot G - 1}{F \cdot G} \cdot T_{in} \quad (3.2)$$

De laquelle on tire :

$$X = \frac{F \cdot G}{F \cdot G - 1} \cdot f_{in} \quad (3.3)$$

Puis :

$$\frac{X}{F} = f_{out} = \frac{1}{F - \frac{1}{G}} \cdot f_{in} \quad (3.4)$$

Soit :

$$G \cdot Y = f_{out} = \frac{G}{F \cdot G - 1} \cdot f_{in} \quad (3.5)$$

Et enfin :

$$Y = \frac{1}{F \cdot G - 1} \cdot f_{in} \quad (3.6)$$

Si l'on sort à présent du cas idéal, plusieurs paramètres peuvent influencer sur le rapport de division du diviseur fractionnaire. Tout d'abord, les temps de propagation, en décalant les fronts, peuvent dans

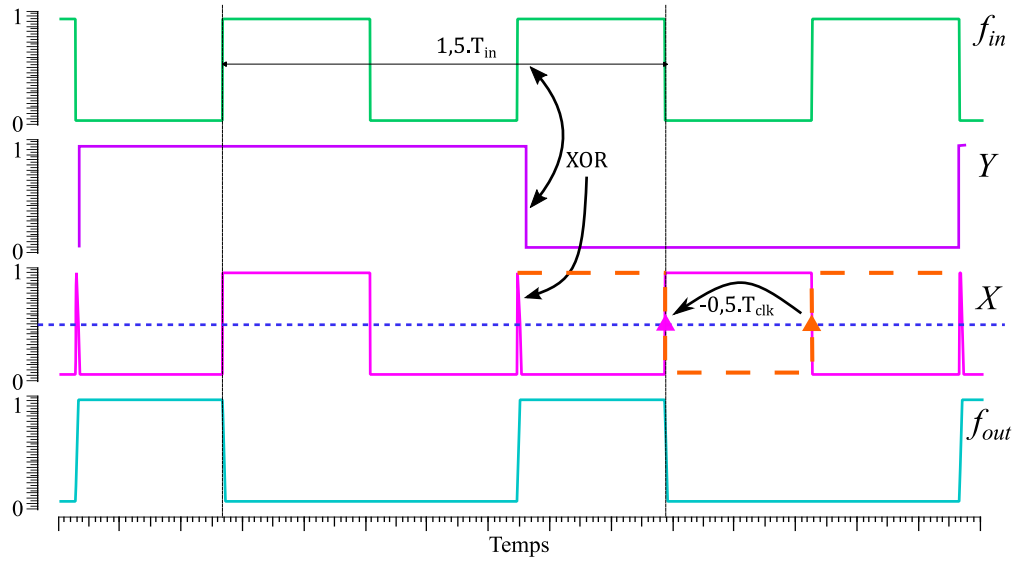


FIGURE 3.2 – Analyse temporelle du cas où le rapport de division est $F - \frac{1}{G}$

certain cas impacter le rapport de division. En effet, admettons que la fréquence soit suffisamment élevée pour que le temps de propagation entre f_{in} et Y soit de l'ordre d'une demi-période de f_{in} , les fronts sur f_{in} et Y se compensent alors et le changement d'état sur X est annulé avant d'avoir pu dépasser le seuil de détection du diviseur suivant comme présenté sur la figure 3.3. Dans ce cas, on supprime un front sur X par rapport à f_{in} et une demi-période est ajoutée sur X à chaque front sur Y . On peut alors écrire les équations suivantes sur le même modèle que précédemment :

$$X = \frac{F \cdot G}{F \cdot G + 1} f_{in} \quad (3.7)$$

$$Y = \frac{1}{F \cdot G + 1} f_{in} \quad (3.8)$$

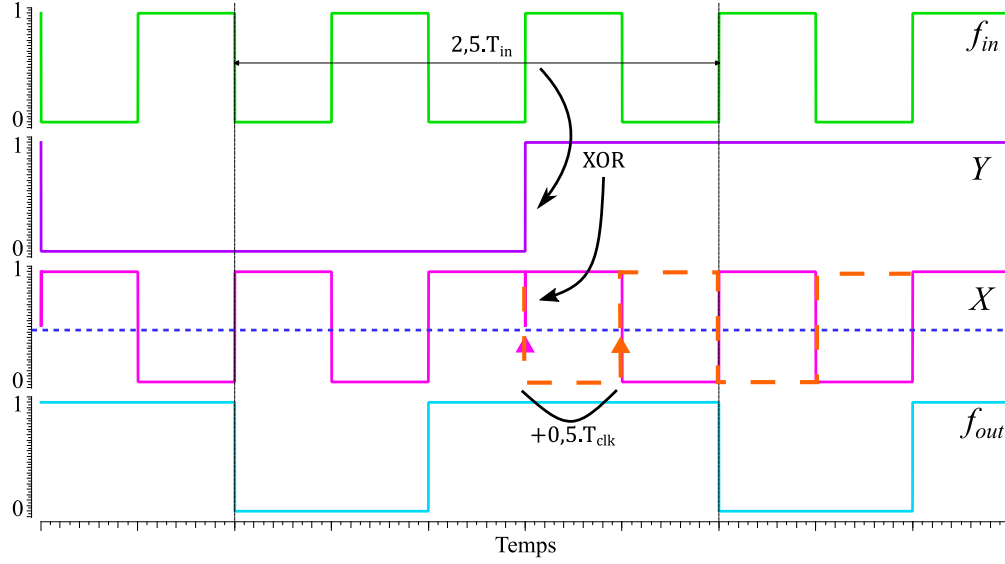
$$f_{out} = \frac{1}{F + \frac{1}{G}} f_{in} \quad (3.9)$$

En pratique, en augmentant encore la fréquence, les temps de montée et descente des composants deviennent limitants et conduisent à la fréquence maximale de fonctionnement.

Nous avons par la suite souhaité exprimer littéralement les spectres des signaux temporels présentés dans cette partie.

3.II.2 Spectre du diviseur fractionnaire

Nous commençons par les définitions temporelles et spectrales de plusieurs signaux nécessaires pour exprimer les spectres par la suite ainsi que quelques résultats connus :

FIGURE 3.3 – Analyse temporelle du cas où le rapport de division est $F + \frac{1}{G}$

— Le sinus cardinal :

$$\text{sinc}(x) = \frac{\sin(\pi x)}{\pi x} \quad (3.10)$$

— Le spectre d'une fonction déphasée :

$$u(t - t_0) \xrightarrow{\mathcal{F}} U(f) e^{-j2\pi f t_0} \quad (3.11)$$

— Le spectre d'un train de Dirac de période T qui est aussi un train de Dirac, de période $\frac{1}{T}$ et multiplié par $\frac{1}{T}$:

$$\delta_T(t) \xrightarrow{\mathcal{F}} \frac{1}{T} \delta_{\frac{1}{T}}(f) \quad (3.12)$$

(On simplifie ici la notation en écrivant f_T une fonction non périodique f , périodisée avec une période T .)

Une convolution avec un Dirac est équivalente à une translation autour du Dirac :

$$u(x) \star \delta(x - x_0) = u(x - x_0)$$

alors qu'une multiplication avec un Dirac est équivalente à l'échantillonnage de la fonction à l'instant du Dirac. Ainsi, un coefficient de Fourier est un échantillon de spectre.

Si l'on périodise un motif $u(t)$ avec une période T , on obtient :

$$u_T(t) = \sum_{k=-\infty}^{\infty} u(t - kT) = u(t) \star \sum_{k=-\infty}^{\infty} \delta(t - kT) = u(t) \star \delta_T(t) \quad (3.13)$$

et le spectre (discret) de ce motif périodisé en fonction du spectre (continu) de ce motif seul est alors :

$$u_T(t) = u(t) \star \delta_T(t) \xrightarrow{\mathcal{F}} U(f) \cdot \frac{1}{T} \delta_{\frac{1}{T}}(f) = \frac{1}{T} U(f) \cdot \delta_{\frac{1}{T}}(f) \quad (3.14)$$

On retrouve donc le coefficient de Fourier de la fonction périodisée à partir de l'échantillonnage du spectre du motif seul. Le fondamental ($k = 1$) est à la fréquence $\frac{1}{T}$, il vient alors :

$$c_k(u_T) = \frac{1}{T} U\left(\frac{k}{T}\right) \quad (3.15)$$

Enfin, un dernier élément à considérer pour exprimer le spectre du signal synthétisé est l'interchangeabilité entre un produit simple et un produit de convolution entre temps et fréquence :

$$u(t) \cdot v(t) \xrightarrow{\mathcal{F}} U(f) \star V(f) \quad (3.16)$$

$$u(t) \star v(t) \xrightarrow{\mathcal{F}} U(f) \cdot V(f) \quad (3.17)$$

Ainsi, périodiser d'un côté (t ou f) avec une période T ($\equiv \star \delta_T$) revient à échantillonner de l'autre (f ou t) avec une période $\frac{1}{T}$ ($\equiv \star \delta_{\frac{1}{T}}$) et multiplier l'amplitude par $\frac{1}{T}$. Dans le cas d'une **transformée de Fourier discrète (ou Discrete Fourier Transform) (DFT)**, qui transforme justement une période d'une fonction périodique et échantillonnée en une période d'un spectre échantillonné et périodique, un phénomène de repliement apparaît alors sur le spectre calculé qui ne fait pas partie du spectre originel.

Nous rappelons à présent que le spectre de la fonction porte est un sinus cardinal :

$$\text{rect}\left(\frac{t-t_0}{\Delta}\right) \xrightarrow{\mathcal{F}} \Delta \text{sinc}(\Delta f) e^{-j2\pi f t_0} \quad (3.18)$$

Ainsi, si l'on part d'un signal d'horloge de période T avec front montant en $t = 0$, cela équivaut à recopier périodiquement une porte de largeur $\frac{T}{2}$ décalée de $\frac{T}{4}$ vers la droite toutes les T s :

$$\text{clk}(t) = \text{rect}_T\left(\frac{t - \frac{T}{4}}{\frac{T}{2}}\right) \quad (3.19)$$

Donc son spectre est

$$c_k(\text{clk}) = \frac{1}{T} \frac{T}{2} \text{sinc}\left(\frac{T}{2} \frac{k}{T}\right) e^{-j2\pi \frac{k}{T} \frac{T}{4}} = \frac{1}{2} \text{sinc}\left(\frac{k}{2}\right) e^{-j2\pi \frac{k}{4}} \quad (3.20)$$

Un calcul par **DFT** périodise le spectre qui nous intéresse (mais qui n'est pas périodique).

Donc si on veut vérifier que le calcul théorique du spectre non-périodique correspond au spectre périodique calculé par [DFT](#) sur N points, il faut prendre en compte la périodisation du spectre qui provoque des recouvrements entre motifs adjacents. Ainsi :

$$c_k^{\text{DFT}}(u_T) = c_k(u_T) + \sum_{i=-\infty}^{\infty} c_{k+iN}(u_T) + c_{k-iN}(u_T) \quad (3.21)$$

Le signal généré en sortie du diviseur F avec les rapports de division F et G a toujours une période sous une des deux formes suivantes où F_1 est le nombre de périodes d'horloge pendant lequel la sortie du diviseur F est à 1, et G_1 est le nombre de périodes du diviseur F pendant lequel la sortie du diviseur G est à 1 :

- Cas 1 : deux demi-périodes d'horloge sont enlevées, le rapport de division est alors $F - \frac{1}{G}$. On retire une première demi-période, on obtient donc $(F_1 - \frac{1}{2})$ périodes d'horloge à 1 puis $(F - 1)$ périodes d'horloge à 0. À travers la contre-réaction, on ajoute $(G_1 - 1) \times F_1$ périodes d'horloge à 1 puis $F - 1$ périodes d'horloge à 0. Ensuite, on retire une seconde demi-période, on obtient donc $(F_1 - \frac{1}{2})$ périodes d'horloge à 1 puis $(F - 1)$ périodes d'horloge à 0. À travers la contre-réaction, on ajoute cette fois $(G - G_1 - 1) \times F_1$ périodes d'horloge à 1 puis $(F - 1)$ périodes d'horloge à 0.

On peut donc exprimer ce signal de la façon suivante :

$$s_m(t) = \text{rect}\left(\frac{t - \frac{F_1}{2} + \frac{1}{4} - t_0}{F_1 - \frac{1}{2}}\right) + \sum_{i=1}^{G_1-1} \text{rect}\left(\frac{t - \frac{F_1}{2} + \frac{1}{2} - iF - t_0}{F_1}\right) \quad (3.22)$$

$$+ \text{rect}\left(\frac{t - \frac{F_1}{2} + \frac{1}{4} - F G_1 + \frac{1}{2} - t_0}{F_1 - \frac{1}{2}}\right) + \sum_{i=1}^{G-G_1-1} \text{rect}\left(\frac{t - \frac{F_1}{2} + \frac{1}{2} - F G_1 + \frac{1}{2} - iF - t_0}{F_1}\right)$$

- Cas 2 : deux demi-périodes d'horloge sont ajoutées, le rapport de division est alors $F + \frac{1}{G}$. On ajoute une première demi période, on obtient alors $(F_1 + \frac{1}{2})$ périodes d'horloge à 1 puis $F - 1$ périodes d'horloge à 0. À travers la contre-réaction, on ajoute $(G_1 - 1) \times (F_1$ périodes d'horloge à 1 puis $(F - 1)$ périodes d'horloge à 0. On ajoute ensuite une seconde demi-période, on obtient alors $(F_1 + \frac{1}{2})$ périodes d'horloge à 1 puis $F - 1$ périodes d'horloge à 0. Puis à travers la contre-réaction, on ajoute $(G - G_1 - 1) \times (F_1$ périodes d'horloge à 1 puis $(F - 1)$ périodes d'horloge à 0.

On peut alors exprimer le signal de la façon suivante :

$$s_p(t) = \text{rect}\left(\frac{t - \frac{F_1}{2} - \frac{1}{4} - t_0}{F_1 + \frac{1}{2}}\right) + \sum_{i=1}^{G_1-1} \text{rect}\left(\frac{t - \frac{F_1}{2} - \frac{1}{2} - iF - t_0}{F_1}\right) \quad (3.23)$$

$$+ \text{rect}\left(\frac{t - \frac{F_1}{2} - \frac{1}{4} - FG_1 - \frac{1}{2} - t_0}{F_1 + \frac{1}{2}}\right) + \sum_{i=1}^{G-G_1-1} \text{rect}\left(\frac{t - \frac{F_1}{2} - \frac{1}{2} - FG_1 - \frac{1}{2} - iF - t_0}{F_1}\right)$$

D'où les spectres continus d'une seule période :

— Pour le cas 1 :

$$S_m(f) = \left(F_1 - \frac{1}{2}\right) \text{sinc}\left[\left(F_1 - \frac{1}{2}\right)f\right] e^{-j2\pi f\left(\frac{F_1}{2} - \frac{1}{4} + t_0\right)} + \sum_{i=1}^{G_1-1} F_1 \text{sinc}(F_1 f) e^{-j2\pi f\left(\frac{F_1}{2} - \frac{1}{2} + iF + t_0\right)}$$

$$+ \left(F_1 - \frac{1}{2}\right) \text{sinc}\left[\left(F_1 - \frac{1}{2}\right)f\right] e^{-j2\pi f\left(\frac{F_1}{2} - \frac{1}{4} + FG_1 - \frac{1}{2} + t_0\right)} \quad (3.24)$$

$$+ \sum_{i=1}^{G-G_1-1} F_1 \text{sinc}(F_1 f) e^{-j2\pi f\left(\frac{F_1}{2} - \frac{1}{2} + FG_1 - \frac{1}{2} + iF + t_0\right)}$$

— Pour le cas 2 :

$$S_p(f) = \left(F_1 + \frac{1}{2}\right) \text{sinc}\left[\left(F_1 + \frac{1}{2}\right)f\right] e^{-j2\pi f\left(\frac{F_1}{2} + \frac{1}{4} + t_0\right)} + \sum_{i=1}^{G_1-1} F_1 \text{sinc}(F_1 f) e^{-j2\pi f\left(\frac{F_1}{2} + \frac{1}{2} + iF + t_0\right)}$$

$$+ \left(F_1 + \frac{1}{2}\right) \text{sinc}\left[\left(F_1 + \frac{1}{2}\right)f\right] e^{-j2\pi f\left(\frac{F_1}{2} + \frac{1}{4} + FG_1 + \frac{1}{2} + t_0\right)} \quad (3.25)$$

$$+ \sum_{i=1}^{G-G_1-1} F_1 \text{sinc}(F_1 f) e^{-j2\pi f\left(\frac{F_1}{2} + \frac{1}{2} + FG_1 + \frac{1}{2} + iF + t_0\right)}$$

Une fois périodisés avec les périodes $FG \pm 1$, les spectres deviennent en appliquant 3.14 :

— Pour le cas 1 :

$$c_k(s_m) = \frac{F_1 - \frac{1}{2}}{FG - 1} \text{sinc}\left(\frac{F_1 - \frac{1}{2}}{FG - 1}k\right) e^{-j2\pi \frac{k}{FG-1}\left(\frac{F_1}{2} - \frac{1}{4} + t_0\right)}$$

$$+ \frac{F_1}{FG - 1} \sum_{i=1}^{G_1-1} \text{sinc}\left(\frac{F_1}{FG - 1}k\right) e^{-j2\pi \frac{k}{FG-1}\left(\frac{F_1}{2} - \frac{1}{2} + iF + t_0\right)} \quad (3.26)$$

$$+ \frac{F_1 - \frac{1}{2}}{FG - 1} \text{sinc}\left(\frac{F_1 - \frac{1}{2}}{FG - 1}k\right) e^{-j2\pi \frac{k}{FG-1}\left(\frac{F_1}{2} - \frac{1}{4} + FG_1 - \frac{1}{2} + t_0\right)}$$

$$+ \frac{F_1}{FG - 1} \sum_{i=1}^{G-G_1-1} \text{sinc}\left(\frac{F_1}{FG - 1}k\right) e^{-j2\pi \frac{k}{FG-1}\left(\frac{F_1}{2} - \frac{1}{2} + FG_1 - \frac{1}{2} + iF + t_0\right)}$$

— Pour le cas 2 :

$$\begin{aligned}
 (FG+1)c_k(s_p) &= \left(F_1 + \frac{1}{2}\right) \operatorname{sinc}\left(\frac{F_1 + \frac{1}{2}}{FG+1}k\right) e^{-j2\pi \frac{k}{FG+1} \left(\frac{F_1}{2} + \frac{1}{4} + t_0\right)} \\
 &+ \sum_{i=1}^{G_1-1} F_1 \operatorname{sinc}\left(\frac{F_1}{FG+1}k\right) e^{-j2\pi \frac{k}{FG+1} \left(\frac{F_1}{2} + \frac{1}{2} + iF + t_0\right)} \\
 &+ \left(F_1 + \frac{1}{2}\right) \operatorname{sinc}\left(\frac{F_1 + \frac{1}{2}}{FG+1}k\right) e^{-j2\pi \frac{k}{FG+1} \left(\frac{F_1}{2} + \frac{1}{4} + FG_1 + \frac{1}{2} + t_0\right)} \\
 &+ \sum_{i=1}^{G-G_1-1} F_1 \operatorname{sinc}\left(\frac{F_1}{FG+1}k\right) e^{-j2\pi \frac{k}{FG+1} \left(\frac{F_1}{2} + \frac{1}{2} + FG_1 + \frac{1}{2} + iF + t_0\right)}
 \end{aligned} \tag{3.27}$$

Et en réarrangeant puis en simplifiant :

— Pour le cas 1 :

$$\begin{aligned}
 c_k(s_m) &= \frac{F_1 - \frac{1}{2}}{FG-1} \operatorname{sinc}\left(\frac{F_1 - \frac{1}{2}}{FG-1}k\right) e^{-j2\pi \frac{k}{FG-1} \left(\frac{F_1}{2} - \frac{1}{4} + t_0\right)} \left[1 + e^{-j2\pi \frac{k}{FG-1} (FG_1 - \frac{1}{2})}\right] \\
 &+ \frac{F_1}{FG-1} \sum_{i=1}^{G_1-1} \operatorname{sinc}\left(\frac{F_1}{FG-1}k\right) e^{-j2\pi \frac{k}{FG-1} \left(\frac{F_1}{2} - \frac{1}{2} + iF + t_0\right)} \left[1 + e^{-j2\pi \frac{k}{FG-1} (FG_1 - \frac{1}{2})}\right]
 \end{aligned} \tag{3.28}$$

— Pour le cas 2 :

$$\begin{aligned}
 c_k(s_p) &= \frac{F_1 + \frac{1}{2}}{FG+1} \operatorname{sinc}\left(\frac{F_1 + \frac{1}{2}}{FG+1}k\right) e^{-j2\pi \frac{k}{FG+1} \left(\frac{F_1}{2} + \frac{1}{4} + t_0\right)} \left[1 + e^{-j2\pi \frac{k}{FG+1} (FG_1 + \frac{1}{2})}\right] \\
 &+ \frac{F_1}{FG+1} \sum_{i=1}^{G_1-1} \operatorname{sinc}\left(\frac{F_1}{FG+1}k\right) e^{-j2\pi \frac{k}{FG+1} \left(\frac{F_1}{2} + \frac{1}{2} + iF + t_0\right)} \left[1 + e^{-j2\pi \frac{k}{FG+1} (FG_1 + \frac{1}{2})}\right]
 \end{aligned} \tag{3.29}$$

Ainsi, pour $F = 3, F_1 = 1, G = 5, G_1 = 2$, les spectres présentés sur les figures 3.4 et 3.5 sont obtenus à partir de ces équations.

3.II.3 Approche avec un mélangeur en entrée

En numérique, la cellule d'entrée est un XOR, tandis que c'est un mélangeur en analogique. On remarque d'ailleurs que la cellule de Gilbert est un XOR d'un point de vue numérique [ECL](#) et un multiplieur du point de vue analogique. Nous étudions donc le système présenté sur la figure 3.6 avec un mélangeur à la place du XOR et dont les différentes composantes ont été déterminées avec les équations analogiques régissant un système bouclé. Nous retrouvons bien les mêmes fréquences qu'avec l'approche numérique, si ce n'est qu'en sortie du mélangeur, il y a en théorie deux fréquences résultantes. Pour cette raison, les diviseurs régénératifs fractionnaires de la littérature présenté au §3.II nécessitent l'utilisation d'un filtre en sortie du mélangeur ou d'un mélangeur

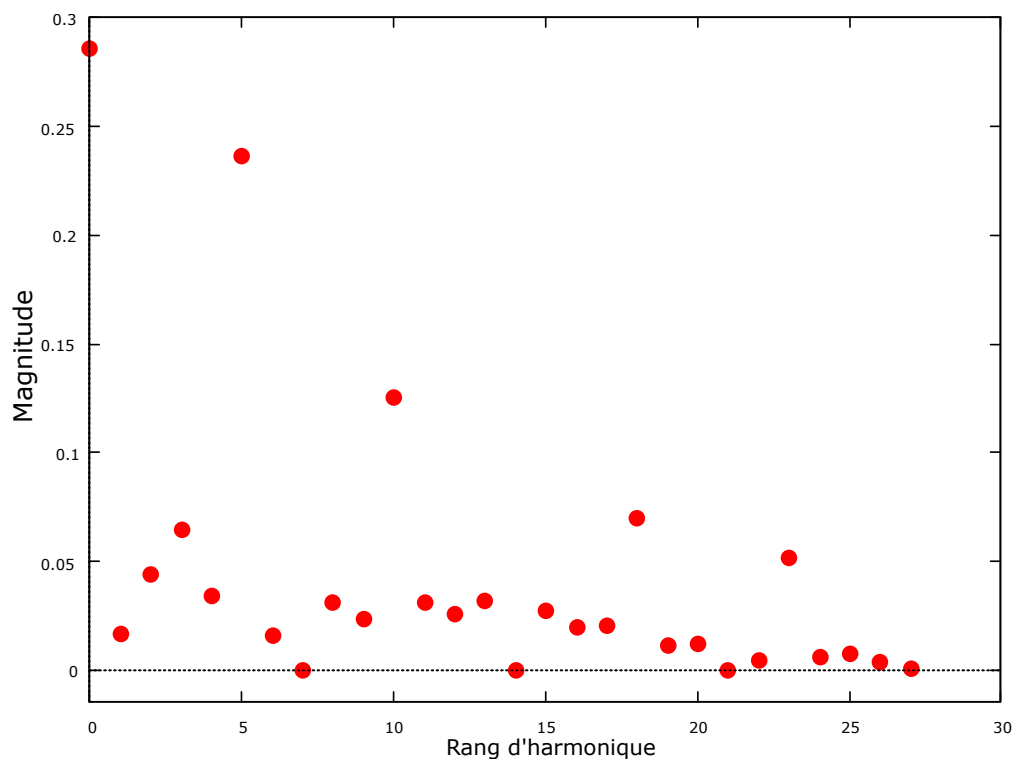


FIGURE 3.4 – Spectre du signal synthétisé pour $F = 3, F_1 = 1, G = 5, G_1 = 2$ dans le cas où deux demi-périodes sont retirées (cas 1)

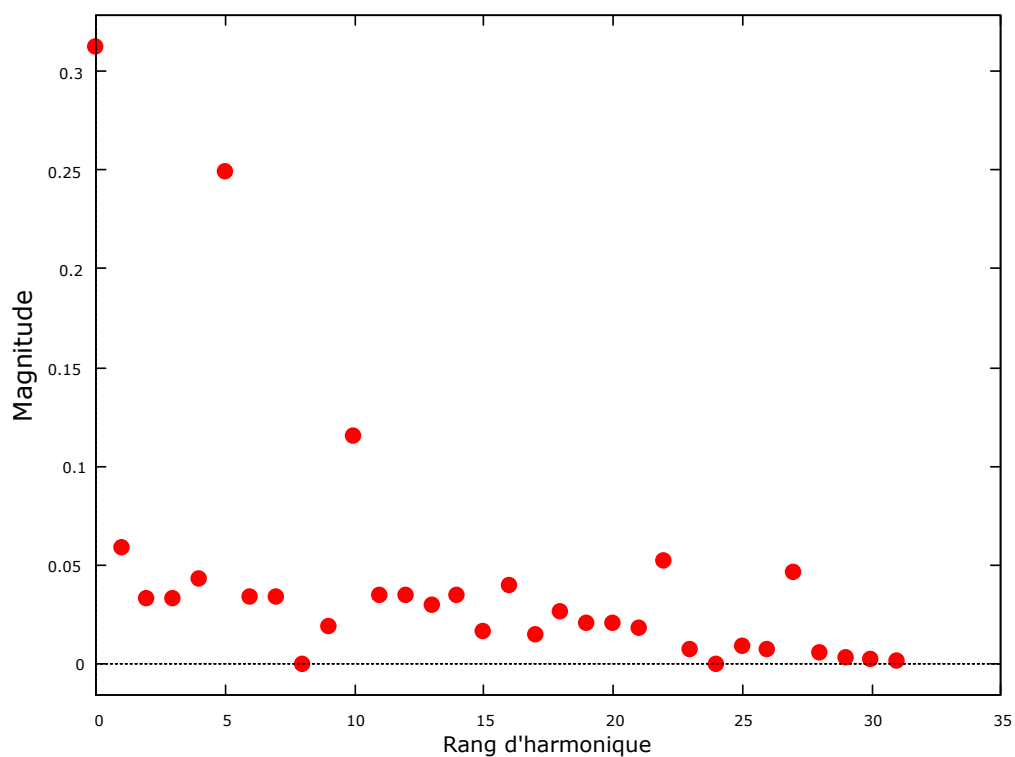


FIGURE 3.5 – Spectre du signal synthétisé pour $F = 3, F_1 = 1, G = 5, G_1 = 2$ dans le cas où deux demi-périodes sont ajoutées (cas 2)

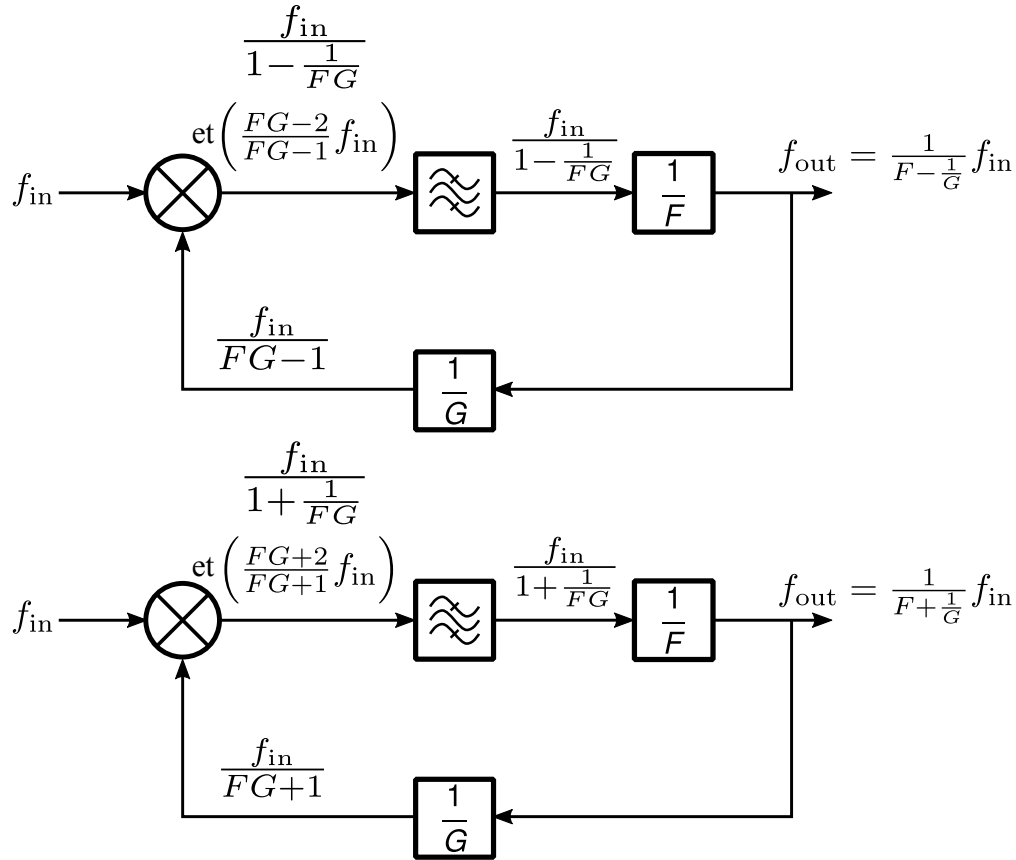


FIGURE 3.6 – Schéma de principe du diviseur régénératif avec une approche analogique

SSB afin d'éliminer une de ces composantes. Dans la topologie que nous proposons, le diviseur étant un diviseur numérique, il compte F fronts montants à son entrée et génère un front (montant ou descendant) en sortie. Il réalise donc une sélection de l'une ou l'autre de ces fréquences et le système tend vers un état stable. Par conséquent, bien qu'un filtre apparaisse sur la figure 3.6 pour souligner le fait que seule une des composantes du mélange est conservée, il n'y a pas en pratique de filtre dans la topologie que nous proposons puisque ce sont les diviseurs numériques qui réalisent cette sélection de fréquence.

Il faut bien distinguer le fait que le système se verrouille sur un des deux états possibles, soit $\frac{f_{in}}{1-\frac{1}{F \cdot G}}$, soit $\frac{f_{in}}{1+\frac{1}{F \cdot G}}$ en sortie, et le fait que, pour chacun de ces états, seul un ensemble de fréquences existe pour cet état.

Commençons par un des cas le plus simple avec $F = 2$ et $G = 2$ présenté sur la figure 3.7.

Pour illustrer ce qui est expliqué au paragraphe précédent, le système se verrouille ici sur la composante $\frac{f_{in}}{1-\frac{1}{F \cdot G}} = \frac{1 \cdot 10^9}{1-\frac{1}{2 \times 2}} = 1,333 \text{ GHz}$. Ce qu'il faut bien comprendre c'est que l'autre fréquence, à savoir $\frac{f_{in}}{1+\frac{1}{F \cdot G}} = \frac{1 \cdot 10^9}{1+\frac{1}{2 \times 2}} = 800 \text{ MHz}$ est un autre état vers lequel le diviseur peut tendre mais ces deux fréquences ne coexistent jamais.

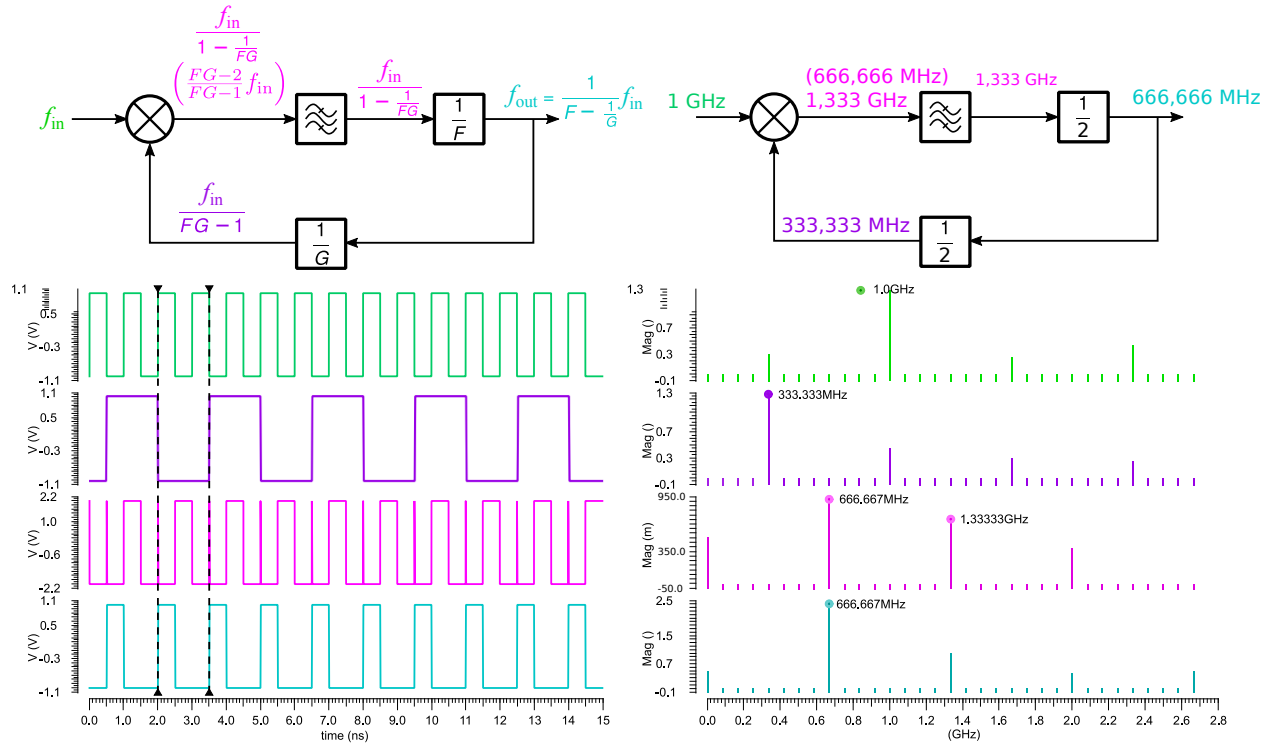


FIGURE 3.7 – Diviseur fractionnaire régénératif avec éléments idéaux pour le cas $\frac{f_{in}}{1 - \frac{1}{F \cdot G}}$

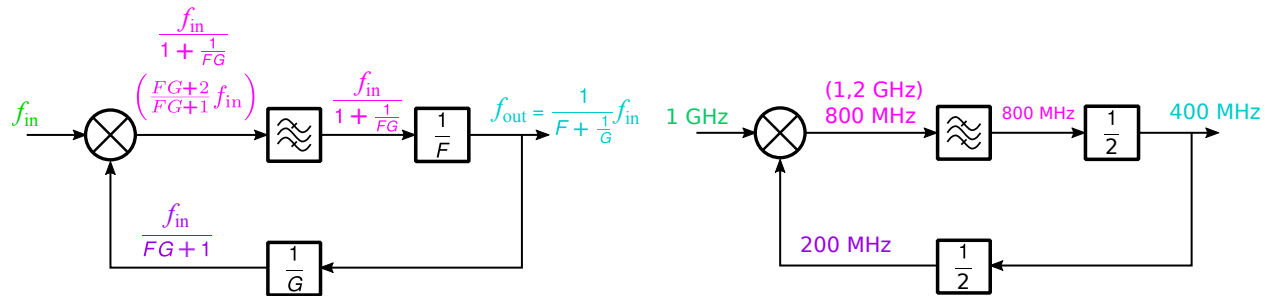


FIGURE 3.8 – Diviseur fractionnaire régénératif pour le cas $\frac{f_{in}}{1 + \frac{1}{F \cdot G}}$

Suite à cette convergence vers un état d'équilibre donné, on voit qu'un nouveau jeu de fréquences devrait apparaître en sortie du mélange. Cependant, seulement une de ces composantes peut amener le système à un état stable. En effet, dans le premier cas présenté sur la figure 3.7 où le système est dans l'état avec un rapport de division de $F - \frac{1}{G}$, une composante à 666,666 MHz et une composante à 1,333 GHz sont obtenues à l'issue du mélange. Cependant, on voit que la composante à 666,666 MHz ne fait pas tendre le système vers un état d'équilibre. En effet, après avoir été divisée par le diviseur de la chaîne directe, nous obtiendrions une fréquence de 333,333 MHz en sortie, puis, après le diviseur de la chaîne de contre-réaction, une fréquence de 166,666 MHz avant le mélangeur. En mélangeant cette fréquence avec celle d'entrée, nous ne retrouvons pas les composantes issues du mélange à l'origine, le système est donc instable pour cette fréquence. En revanche, pour l'autre fréquence, on voit que le système tend naturellement vers un état stable, c'est donc cette fréquence qui est conservée et les approches analogique et numérique donnent la même conclusion sur la fréquence retenue. Dans le second cas, présenté sur la figure 3.8 où, cette fois, c'est l'état avec un rapport de division de $F + \frac{1}{G}$ qui est conservé, le même phénomène est observé, à savoir que seule l'une des deux composantes issues du mélange, ici 800 MHz, fait tendre le système vers un état stable. Grâce aux diviseurs numériques, on peut s'affranchir du filtrage interne, normalement nécessaire au fonctionnement du diviseur régénératif initial 1.30 et réaliser des diviseurs fractionnaires large bande. Après avoir étudié cette méthode de division d'un point de vue théorique et constaté les nombreux avantages qu'elle présente, à savoir une large bande passante, la possibilité de réaliser des rapports fractionnaires et, s'agissant de diviseurs numériques, la possibilité d'y intégrer de la programmabilité, nous avons conçu une première série de diviseurs pour évaluer les performances de cette topologie.

3.III Diviseurs régénératifs fractionnaires par 1,25, 2,5 et 4,5

3.III.1 Présentation

Nous avons dans un premier temps réalisé trois diviseurs régénératifs à rapport fixe. Un diviseur par 1,25, qui ne comporte aucun diviseur dans la chaîne directe et deux diviseurs par 2 en cascade dans la boucle de contre-réaction. Un autre diviseur par 2,5 avec un diviseur par 2 dans la chaîne directe et un diviseur par 2 dans la chaîne de retour. Enfin, le dernier est un diviseur par 4,5 avec deux diviseurs par 2 en cascade dans la chaîne directe et un diviseur par 2 dans la boucle de contre-réaction. Comme évoqué plus tôt au 3.II.1, il apparaît que les rapports de division présentés ici correspondent à la composante $\frac{f_{in}}{1 + \frac{1}{F \cdot G}}$ en sortie de mélange, soit un rapport de division de $F + \frac{1}{G}$ entre f_{in} et f_{out} .

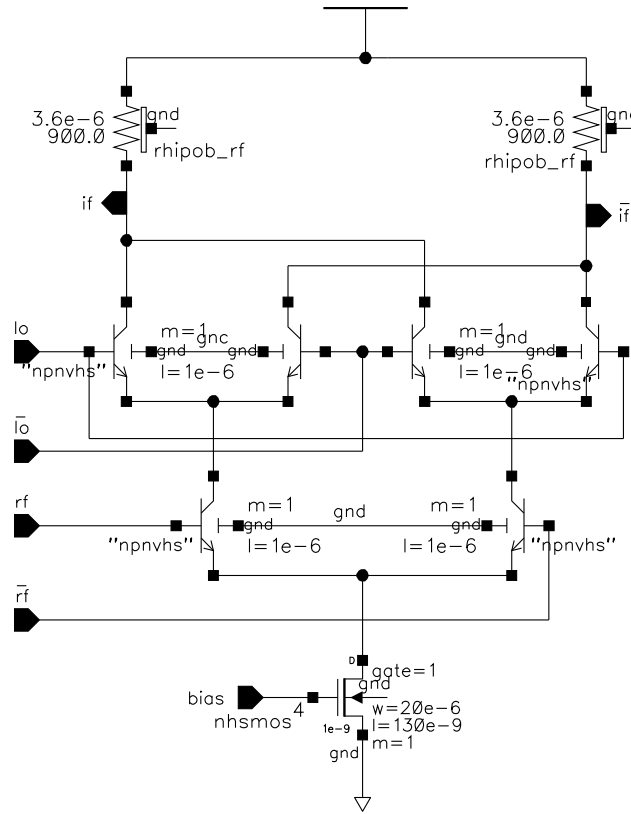


FIGURE 3.9 – Porte XOR/cellule de Gilbert utilisée dans les diviseurs régénératifs

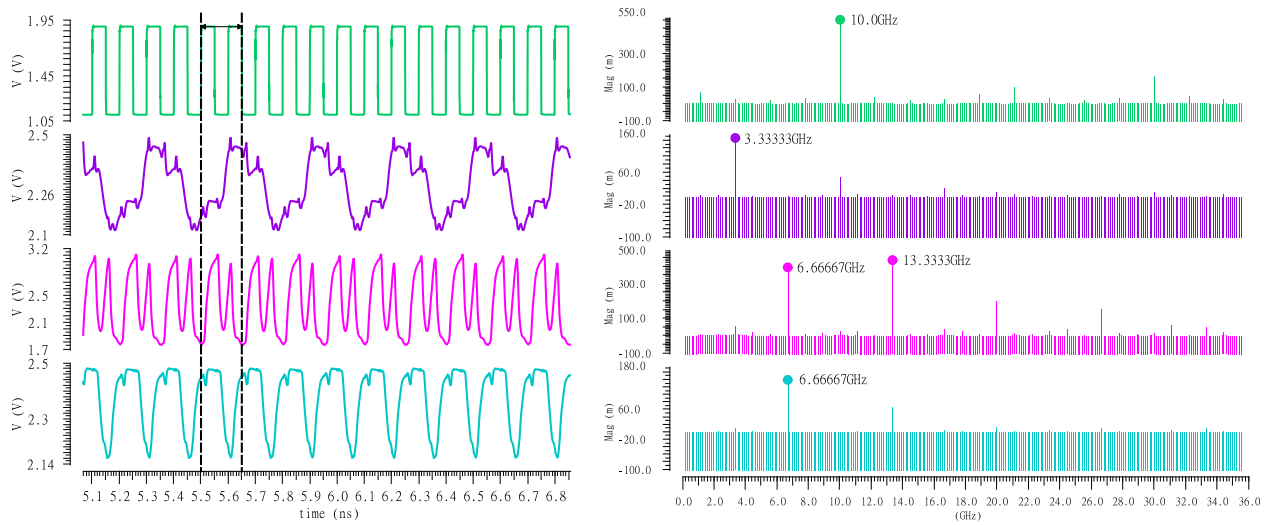
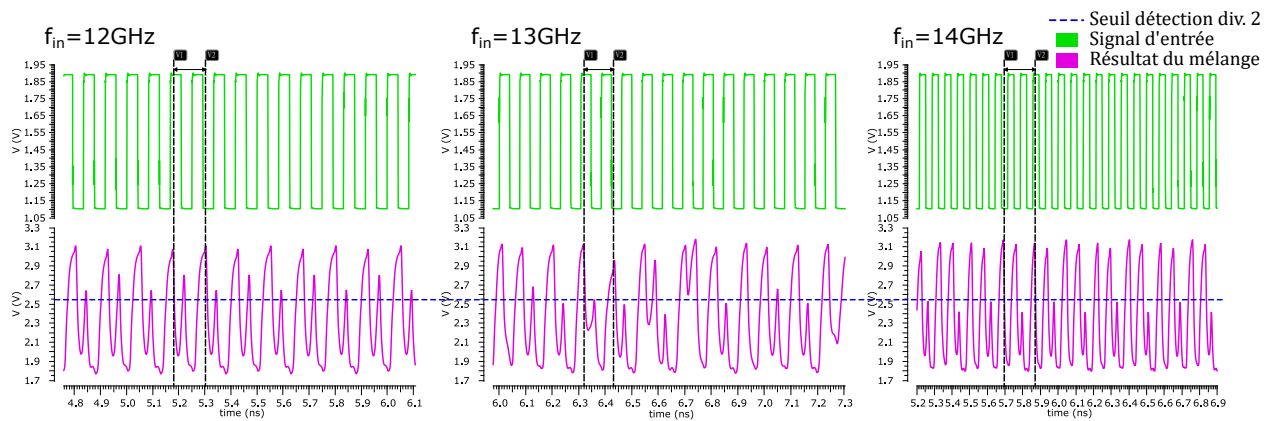
3.III.2 Conception et résultat de simulation

Pour ce circuit nous avons conçu une cellule de Gilbert qui, pour rappel, joue le rôle de mélangeur d'un point de vue analogique ou de XOR d'un point de vue numérique. La topologie avec les valeurs des principaux paramètres sont présentées dans la figure 3.9.

Les diviseurs par deux utilisés sont des diviseurs numériques **V****C****V****S** comme ceux présentés au § 2.I.2.

Pour les simulations, nous avons d'abord voulu vérifier si ce type de diviseur fonctionnait comme lors des simulations idéales sans utiliser de filtre. Sur la figure 3.10, les résultats temporels du diviseur avec $F = 2$ et $G = 2$ pour un signal ayant une fréquence d'entrée de 10 GHz sont présentés.

On voit donc que les résultats sont conformes à ceux observés lors des simulations idéales. Seulement, nous annonçons dans le titre un rapport de division de 2,5, or on observe bien un rapport de division de 1,5 comme lors des simulations idéales. C'est parce que le diviseur passe d'un état à l'autre et donc d'un rapport de division à l'autre au-delà d'une certaine fréquence. Ce phénomène est illustré sur la figure 3.11 pour un diviseur avec $F = 2$ et $G = 2$. Les deux rapports de division possibles sont $F - \frac{1}{G} = 1,5$ puis $F + \frac{1}{G} = 2,5$. Il apparaît donc lors des simulations avec

FIGURE 3.10 – Simulations temporelle et spectrale du diviseur régénératif $F = 2$ et $G = 2$ FIGURE 3.11 – Changement du rapport de division autour de $f_{in} = 13$ GHz

les modèles du fondeur le phénomène évoqué plus tôt de changement du rapport de division autour d'une fréquence donnée. En dessous de 12 GHz, la simulation est conforme à ce que nous obtenions dans la simulation idéale avec une division par $F - \frac{1}{G} = 1,5$. Autour de 13 GHz, il existe donc une plage de fréquence où les deux rapports coexistent de manière anarchique et le diviseur n'est pas exploitable à cette fréquence. Ensuite au-delà de 14 GHz, le système se stabilise autour de l'autre rapport de division plus élevé qui permet donc de travailler avec des fréquences intermédiaires plus faibles. En pratique, le diviseur régénératif divise donc par $F + \frac{1}{G}$ à partir de cette fréquence de transition jusqu'à sa fréquence maximale de fonctionnement. Un des principaux problèmes est que cette fréquence de changement de rapport est liée au temps de propagation dans le circuit, au temps de montée et de descente des transistors, au seuil de détection des portes logiques... Il peut donc s'avérer compliqué d'anticiper cette fréquence de manière précise. Cela n'est en réalité pas réellement limitant pour utiliser cette topologie puisque nous avons vu que, hormis sur une plage de fréquence très restreinte, le diviseur se stabilise autour d'un état ou de l'autre et que tous les rapports sont réalisables pour un état ou l'autre. Ainsi, tant que l'on conserve une certaine marge aux alentours de la fréquence de changement de rapport où le signal synthétisé n'est pas exploitable, on pourra réaliser la division fractionnaire souhaitée. Les trois topologies réalisées ici étant relativement semblables, nous avons toujours trouvé la fréquence de changement de rapport autour de 13 GHz. L'objectif étant d'utiliser ces diviseurs à 30 GHz, le rapport de division à cette fréquence est donc $F + \frac{1}{G}$, c'est pour cela que nous nous référons à ces diviseurs avec ce rapport de division.

3.III.3 Dessin des masques du circuit

Les dessins des masques des trois diviseurs sont présentés sur les figures 3.12, 3.13 et 3.14.

Nous voulons démontrer avec ces différentes topologies que le principe fonctionne et que nous parvenons à réaliser une division fractionnaire, large bande à haute fréquence. Nous voulons également démontrer que nous pouvons changer la partie entière ou la partie décimale du rapport de division et que réaliser de la division fractionnaire autour de 1 était possible, ce qui peut-être intéressant pour générer différentes fréquences proches les unes des autres à partir d'une même référence.

3.III.4 Protocole et résultats de mesures

Le protocole de mesure est le même que pour tous les diviseurs ECL présentés jusqu'à maintenant, à savoir que le signal du COEO est acheminé par fibre optique jusqu'à la station sous pointe. Ce signal « single-ended » est transmis sur le balun d'entrée du circuit. Sa fréquence est alors divisée par le circuit. Le bruit de phase du signal synthétisé est ensuite mesuré sur une des sorties

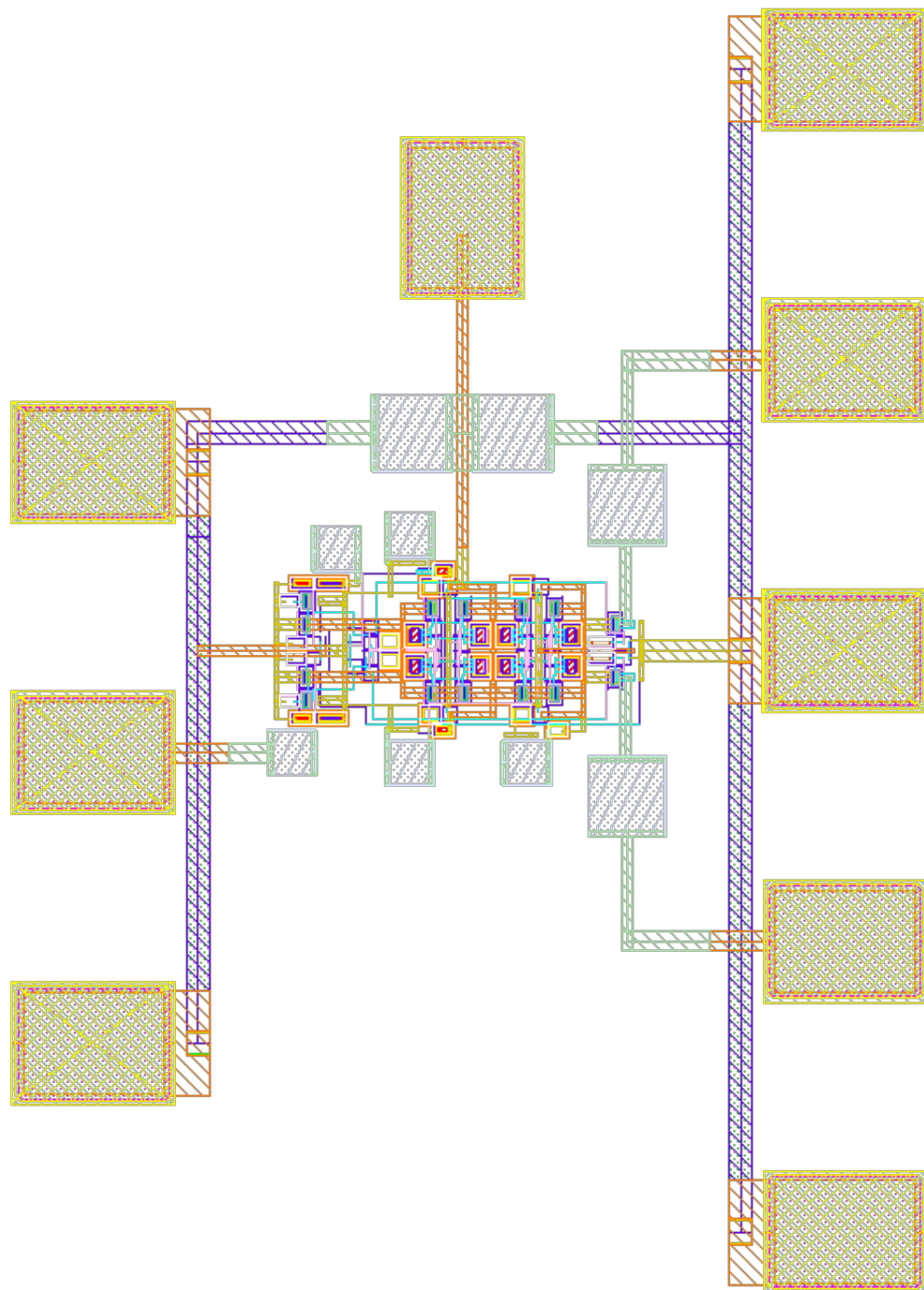


FIGURE 3.12 – Dessin des masques du diviseur fractionnaire par 1,25

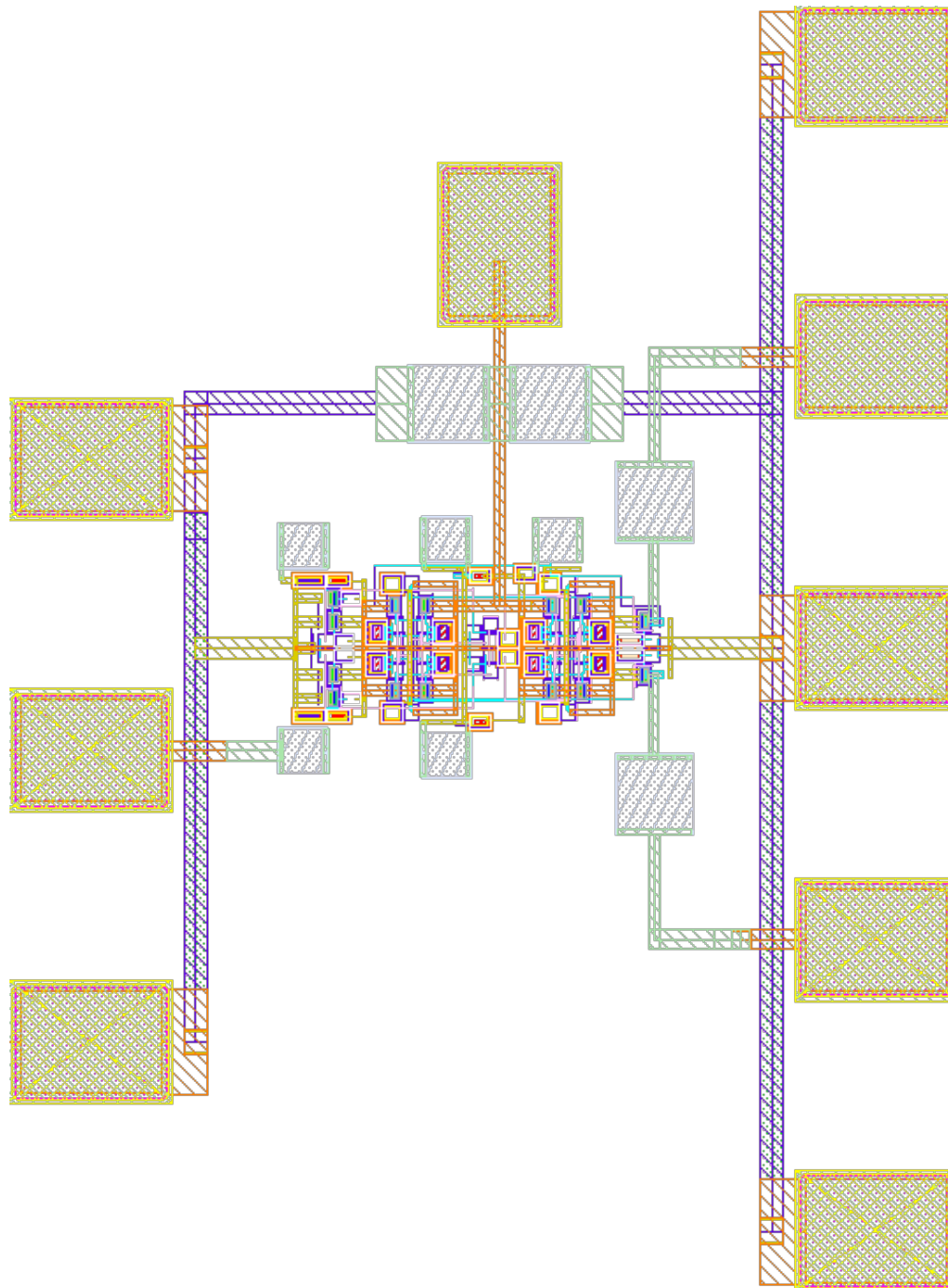


FIGURE 3.13 – Dessin des masques du diviseur fractionnaire par 2,5

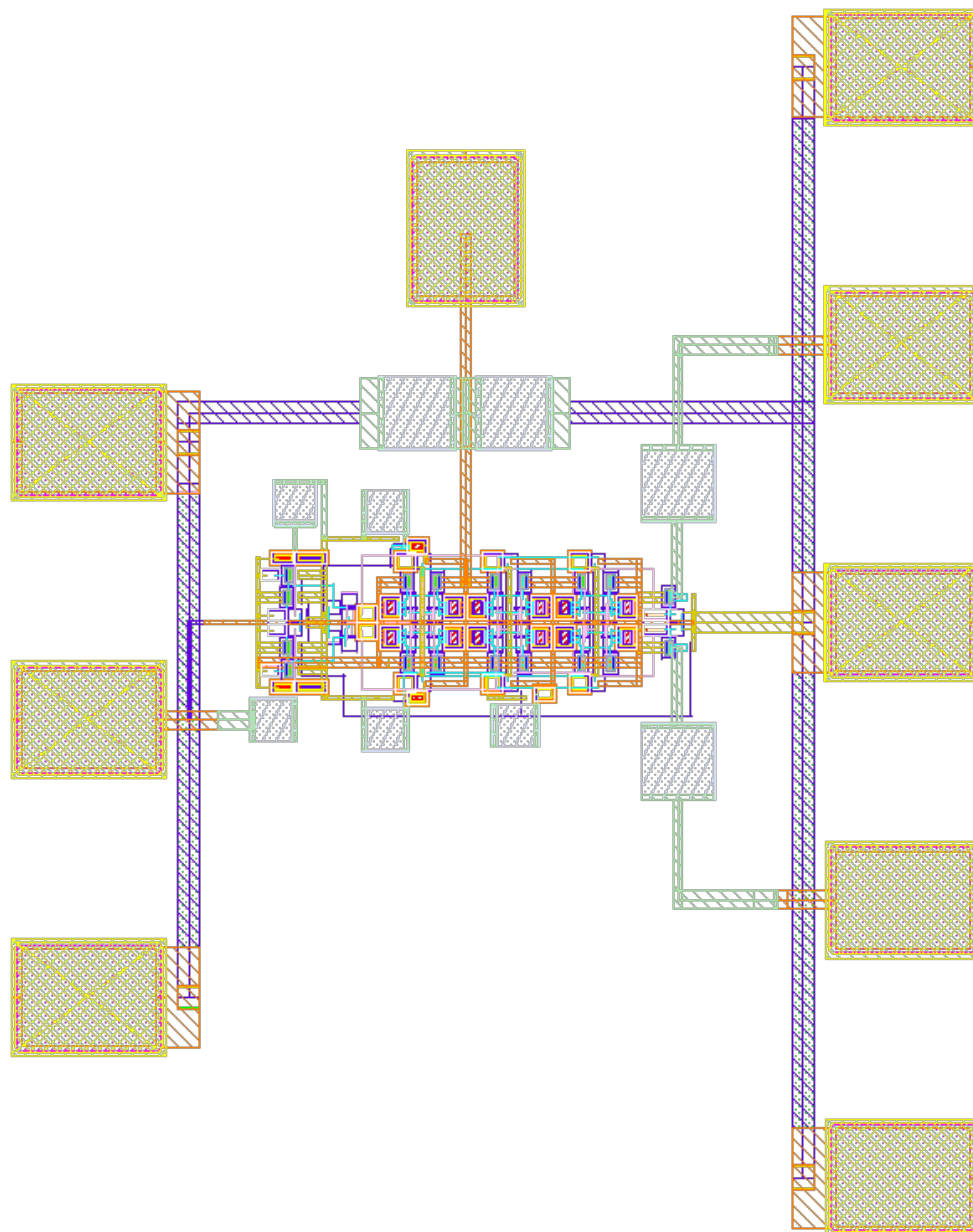
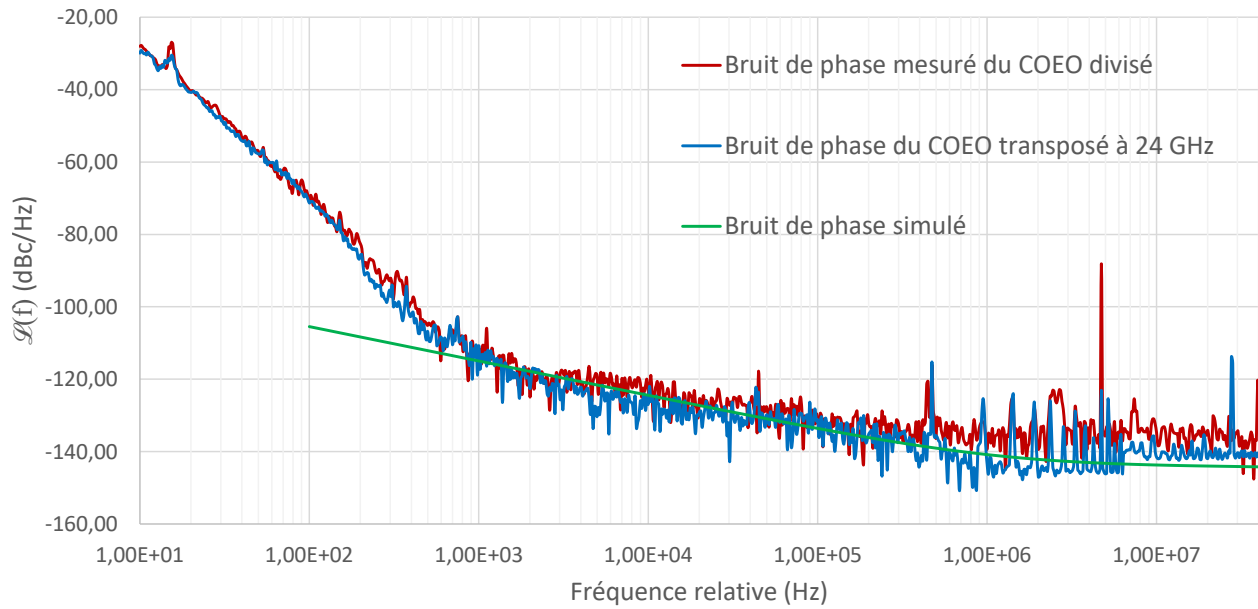
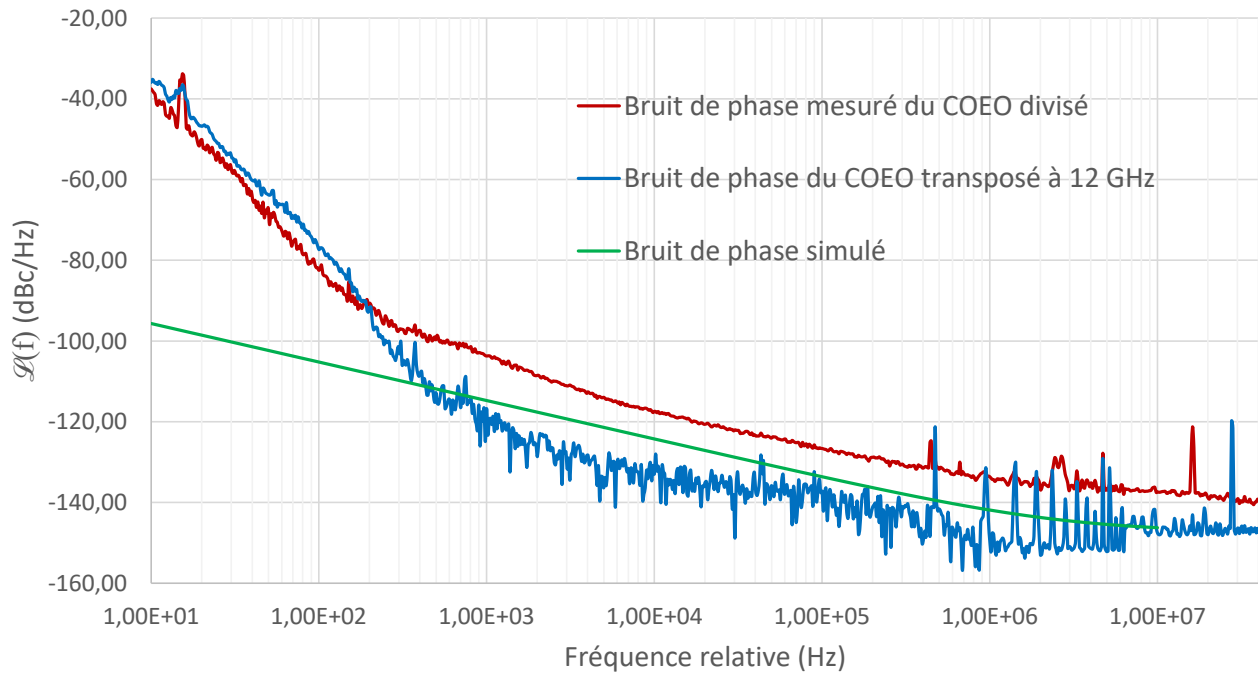
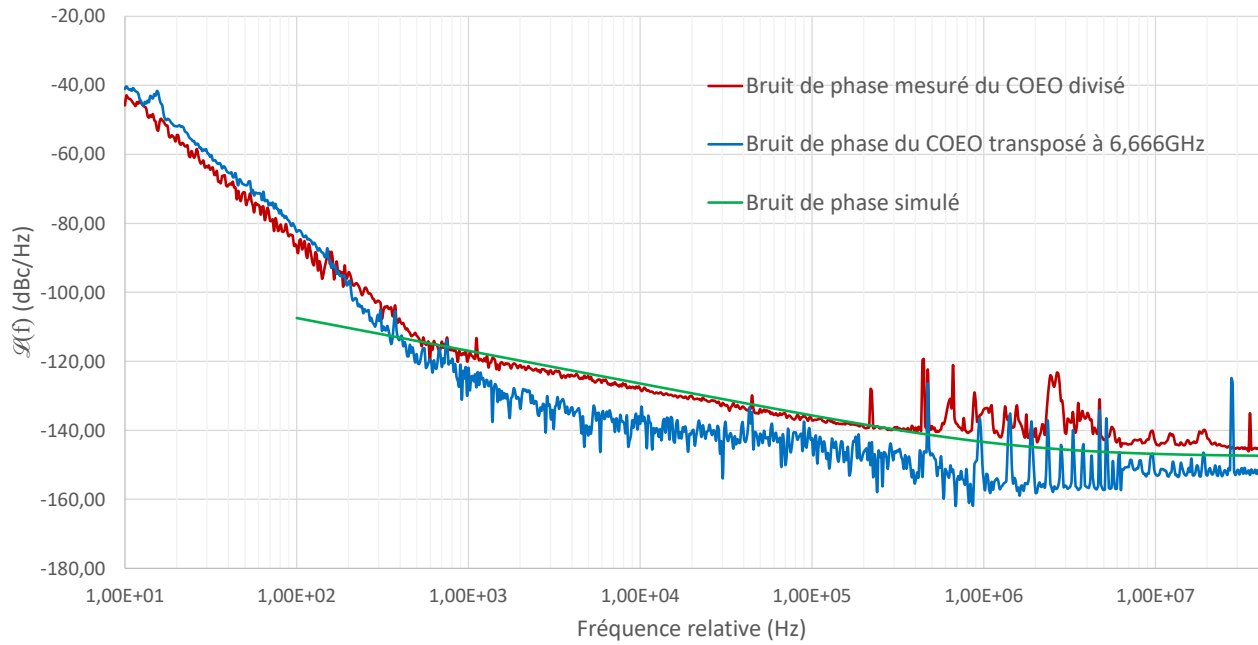


FIGURE 3.14 – Dessin des masques de diviseur fractionnaire par 4,5

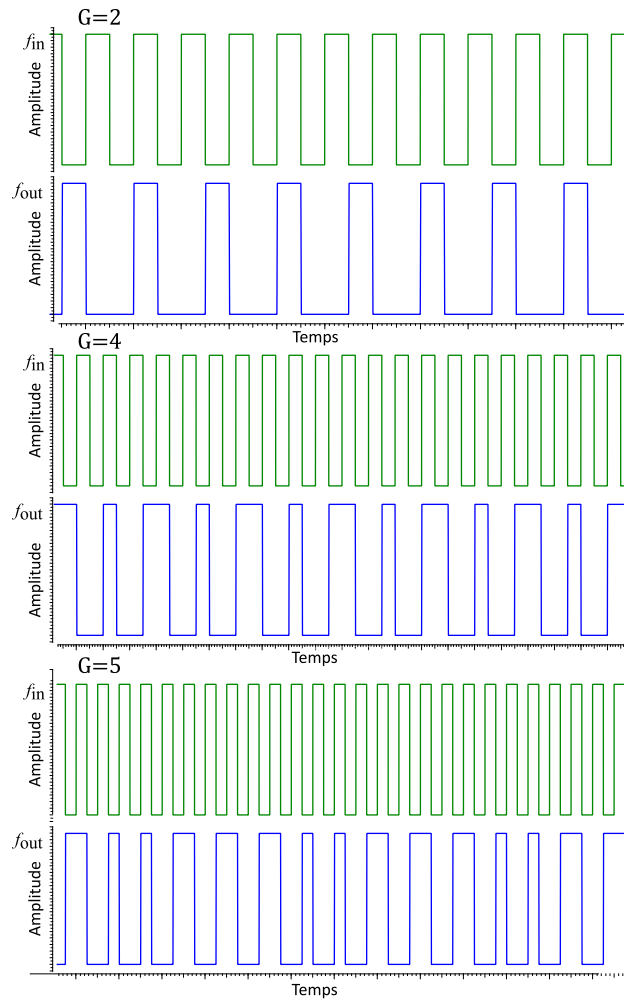
FIGURE 3.15 – Bruit de phase du diviseur fractionnaire par 1,25 pour $f_{in} = 30\text{ GHz}$ FIGURE 3.16 – Bruit de phase du diviseur fractionnaire par 2,5 pour $f_{in} = 30\text{ GHz}$

différentielles du circuit en mettant une charge $50\ \Omega$ sur l'autre. Les résultats de mesure du diviseur par 1,25 pour un signal d'entrée de 30 GHz généré par un COEO sont présentés dans la figure 3.15. Ceux du diviseur par 2,5 sont présentés dans la figure 3.16. Enfin, ceux du diviseur par 4,5 sont présentés dans la figure 3.17.

Seul le diviseur par 2,5, qui semble pourtant le plus basique, nous obtenons bien la fréquence

FIGURE 3.17 – Bruit de phase du diviseur fractionnaire par 4,5 pour $f_{in} = 30\text{GHz}$

attendue en sortie et le rapport de division est correct mais nous obtenons des résultats inattendus avec un bruit de phase supérieur à celui obtenu en simulation. Nous n'avons pas su expliquer cela, d'autant que la topologie de diviseur par 4,5, qui est relativement semblable bien qu'un peu plus complexe, donne des résultats de mesure conformes à la simulation. Nous obtenons de très bons niveaux de bruit de phase pour le diviseur par 1,25 qui est quasiment transparent en bruit de phase, ce qui en fait un diviseur très intéressant car faire des divisions fractionnaires avec une partie entière égale à 1 permet de générer plusieurs fréquences proches les unes des autres ce qui peut être très utile dans différentes applications. Pour le diviseur par 4,5, nous obtenons de bons résultats avec une mesure conforme à la simulation et un niveau de bruit de phase relativement bas. Il s'agit à notre connaissance des premiers diviseurs régénératifs fractionnaires à faible bruit de phase n'utilisant aucun système de filtrage interne. Cela n'exclut pas le fait qu'un filtrage sera nécessaire en sortie pour ne garder que la fréquence souhaitée. Nous n'avons pas trouvé de diviseurs régénératifs fractionnaires présentant des niveaux de bruit de phase aussi bas. Nous n'avons, pour l'instant, présenté que des diviseurs n'utilisant que des rapports pairs pour des raisons de simplicité, car la division paire est très facile à mettre en place avec des diviseurs numériques en cascade de diviseurs par 2. Cependant, le principe a été validé en simulation pour des diviseurs impairs également. L'avantage du rapport 2 dans la boucle de contre-réaction est que, quel que soit le rapport de la chaîne directe, la moyenne de fréquence du signal synthétisé est directement égale à cette fréquence. Cela s'explique par le fait que, par définition, quel que soit F , une période de f_{out} est la moitié d'une période du signal après le diviseur G de contre-réaction. Par conséquent, le

FIGURE 3.18 – Comparaison des signaux de sortie pour $G = 2$, $G = 4$ et $G = 5$

principe de fonctionnement du diviseur est tel que l'on retire ou que l'on ajoute une demi-période sur chacune de ces périodes. On obtient donc directement la fréquence souhaitée. Pour $G \neq 2$, on a également G périodes sur f_{out} sur une période $F \cdot G$, mais il n'y a toujours que deux périodes sur les G périodes qui sont modifiées durant cette période $F \cdot G$, donc cela crée une asymétrie pour tout G différent de 2, un filtrage est donc nécessaire.

La figure 3.18 illustre nos propos en présentant la forme du signal de sortie pour différentes valeurs de G avec de haut en bas $G = 2$, $G = 4$ et $G = 5$ avec $F = 2$ dans tous les cas. On voit donc clairement qu'il n'y a que pour le cas où $G = 2$ que le signal de sortie est toujours identique d'un front montant à l'autre, ce signal est donc exploitable tel quel. Pour toute autre valeur de G , le motif entre deux fronts montants consécutifs peut varier et c'est la fréquence moyenne sur une certaine durée qui correspond à la fréquence souhaitée.

Un autre élément à prendre en compte est le rapport cyclique obtenu après la division de la boucle de contre-réaction. En effet, ce signal étant utilisé pour réaliser une comparaison avec un

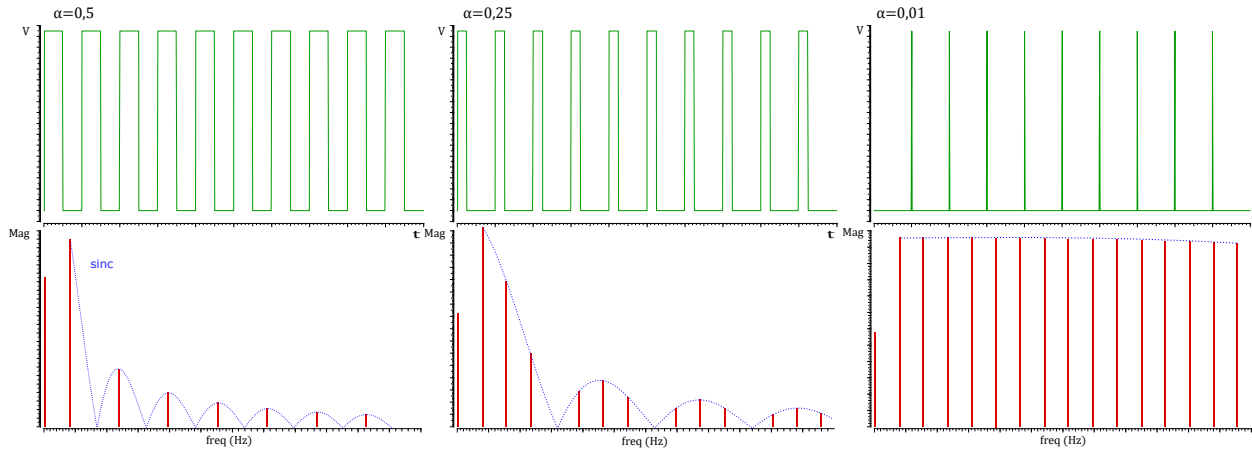


FIGURE 3.19 – Comparaison des spectres de signaux carrés en fonction de leur rapport cyclique

XOR, son rapport cyclique est important. Quel qu'il soit, la division fractionnaire s'opère mais la qualité du signal de sortie est moindre avec un rapport cyclique plus faible. Ceci s'explique par le fait que la transformée de Fourier d'un signal carré est un sinus cardinal. Dans le cas d'un signal carré ayant un rapport cyclique de 50%, et qui est donc parfaitement symétrique, on a $f(t) = -f(t + \frac{T}{2})$, donc les harmoniques pairs sont nuls. En revanche, pour un signal dont le rapport cyclique n'est pas de 50%, ses harmoniques pairs ne sont pas nuls. Ceci est illustré sur la figure 3.19, où les spectres de trois signaux carrés avec des rapports cycliques respectifs de 50%, 25% et 1% sont présentés.

Ainsi, un rapport cyclique de $\frac{1}{n}$ sur le signal temporel induit une annulation du n^e harmonique sur le spectre. Les harmoniques entre deux harmoniques nuls sont alors modulés par un sinus cardinal.

Un signal carré de période T , de rapport cyclique α et déphasé de t_0 est défini comme suit :

$$\text{clk}(t) = \text{rect}_T \left(\frac{t - t_0}{\alpha T} \right) \quad (3.30)$$

Son spectre est alors :

$$c_k(\text{clk}) = \alpha \text{sinc}(\alpha k) e^{-j2\pi \frac{k}{T} t_0} \quad (3.31)$$

Ainsi, plus le rapport cyclique d'un signal carré est faible, plus la puissance du signal est répartie entre les différents harmoniques qui le composent. En cas de mélange, un signal avec un faible rapport cyclique donnera un résultat bien moins propre puisque, d'abord, les harmoniques pairs ne sont plus annulés, et de plus, la puissance du signal est répartie de façon quasi équivalente

entre les harmoniques. Ce phénomène entraîne une augmentation du nombre de composantes dans le signal résultant, avec une amplitude d'autant plus grande pour les harmoniques que le rapport cyclique est faible. Cela est principalement problématique pour le diviseur G puisque le signal qu'il synthétise est utilisé pour un mélange. Pour le diviseur F , cela dépendra de l'application, mais s'il s'agit par exemple d'une horloge, cela importe peu car le rapport cyclique n'est pas un élément contraignant dans ce cas de figure. Étant donné que faire suivre n'importe quel diviseur par un diviseur par 2 numérique permet de rétablir un rapport cyclique de 50%, il est tentant d'utiliser cette solution pour obtenir un signal en sortie du diviseur G avec un rapport cyclique toujours égal à 50%, mais elle empêche de réaliser des rapports impairs dans la boucle de contre-réaction.

Le principe de diviseur régénératif basé sur des diviseurs numériques ayant été validé, nous avons décidé d'augmenter la complexité du circuit et de réaliser un diviseur régénératif fractionnaire programmable.

3.IV Diviseur régénératif fractionnaire programmable

3.IV.1 Présentation

La division régénérative fractionnaire programmable est extrêmement intéressante puisqu'elle permet de générer de nombreuses fréquences différentes à partir d'une seule référence. Ainsi, si un faible bruit de phase est obtenu avec ce type de diviseur, cela donne accès à de nombreuses références de fréquence de bonne qualité à partir d'une référence fixe, bien que, pour obtenir la fréquence souhaitée en sortie du diviseur fractionnaire, un filtrage est nécessaire, et son bruit sera donc à prendre en considération également. Le diviseur que nous avons conçu possède un diviseur par 4 fixe dans la chaîne directe et un diviseur programmable de 1 à 16 dans la boucle de contre-réaction. Cette division par 4 dans la chaîne directe a été choisie arbitrairement, mais elle permet tout de même de réduire la fréquence du signal en entrée du diviseur programmable. Il serait tout à fait possible de mettre également un diviseur programmable dans la chaîne directe et de réaliser alors une division par un rapport dont on choisit la partie entière et la partie décimale. Cependant cela complexifie le circuit pour assez peu d'informations supplémentaires. Nous avons donc choisi de fixer la partie entière de la division et de programmer la partie décimale pour un réglage plus fin.

3.IV.2 Conception et résultat de simulation

Le schéma de principe du diviseur régénératif fractionnaire est présenté dans la figure [3.20](#).

L'objectif étant de réaliser une division à partir du [COEO](#) à 30 GHz, les rapports de division et

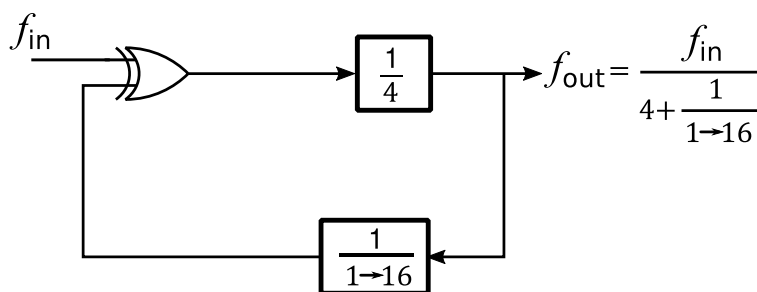


FIGURE 3.20 – Schéma de principe du diviseur régénératif fractionnaire programmable conçu

fréquences correspondantes sont présentés dans le tableau 3.1

Valeurs théoriques		
G	Rapports division	f_{out} (GHz)
1	5,0000	6,000
2	4,5000	6,667
3	4,3333	6,923
4	4,2500	7,059
5	4,2000	7,143
6	4,1667	7,200
7	4,1429	7,241
8	4,1250	7,273
9	4,1111	7,297
10	4,1000	7,317
11	4,0909	7,333
12	4,0833	7,347
13	4,0769	7,358
14	4,0714	7,368
15	4,0667	7,377
16	4,0625	7,385

TABLE 3.1 – Valeurs théoriques du diviseur régénératif programmable pour $f_{\text{in}} = 30 \text{ GHz}$

Les simulations se sont avérées assez complexes puisque le circuit est lui-même assez compliqué pour un circuit hyperfréquence. Le diviseur par 4 de la chaîne directe est composé de deux bascules D [VCCS](#) classiques, puisqu'ici ce ne sont pas particulièrement les performances en bruit de phase qui nous importent principalement mais surtout de démontrer la faisabilité d'un tel diviseur.

Le diviseur programmable est celui présenté au § [2.I.5](#). Pour la programmation du diviseur, nous avons voulu aller au plus simple, il s'agit donc d'un décompteur asynchrone basse fréquence fonctionnant sur 4 bits comme présenté sur la figure . La figure [3.21](#) présente les différents éléments utilisés pour ce circuit de programmation.

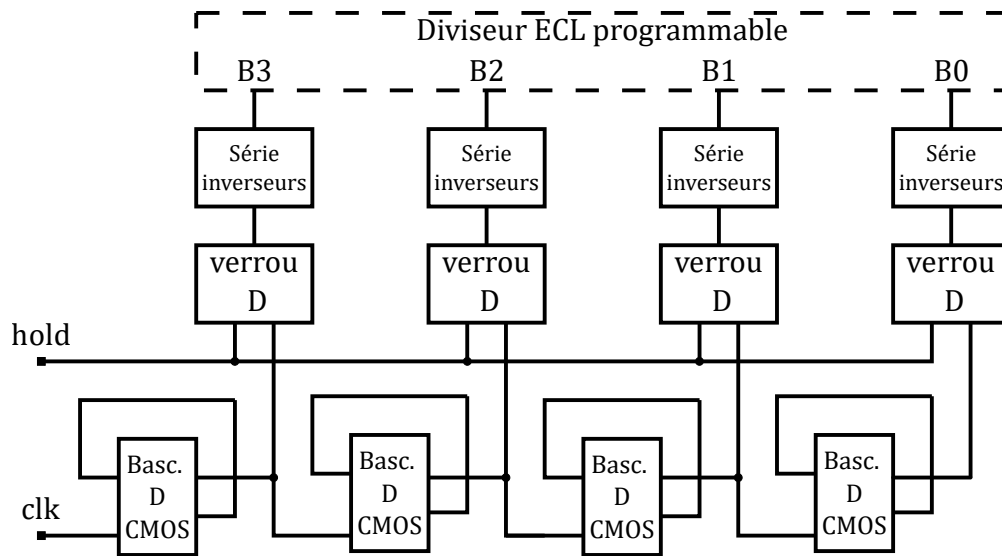


FIGURE 3.21 – Schéma du circuit de programmation CMOS

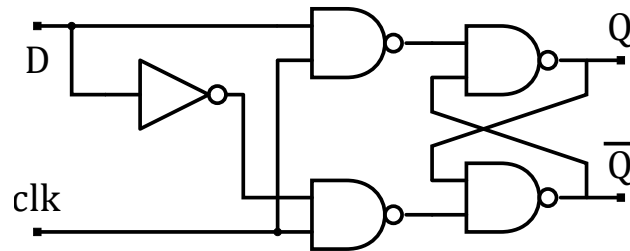


FIGURE 3.22 – Schéma du verrou D CMOS élémentaire utilisé pour le circuit de programmation

Il est composé de quatre bascules D CMOS élémentaires constituées chacune de deux verrous D CMOS comme celui présenté sur la figure 3.22

Un décompte binaire de 15 à 0 est mis en œuvre en cascade quatre de ces bascules D.

On utilise ensuite un verrou D comme celui présenté sur la figure 3.22 sur chaque bit pour conserver l'état du décompte sur une valeur au choix en connectant toutes les entrées **hold** de ces verrous ensemble et chaque entrée **D** sur un des quatre bits du décompte. Une série d'inverseurs est ensuite utilisée pour interfacer ce circuit CMOS avec le circuit ECL qu'il programme, afin de s'assurer d'avoir un niveau de tension suffisant pour obtenir un état haut en entrée du diviseur programmable. Pour rappel, le diviseur programmable utilisé ici réalise des rapports de division dont la valeur est supérieure de un par rapport à la valeur programmée, on réalise donc ici des divisions de 1 à 16.

L'intérêt de ce circuit de programmation est de n'utiliser que deux PAD pour la programmation du circuit (le signal d'horloge du circuit de programmation et le signal de maintien de la valeur) au lieu de quatre PAD en utilisant une programmation série plutôt qu'une programmation parallèle. Nous n'avons pas simulé le circuit dans sa totalité car la vitesse de fonctionnement du circuit de

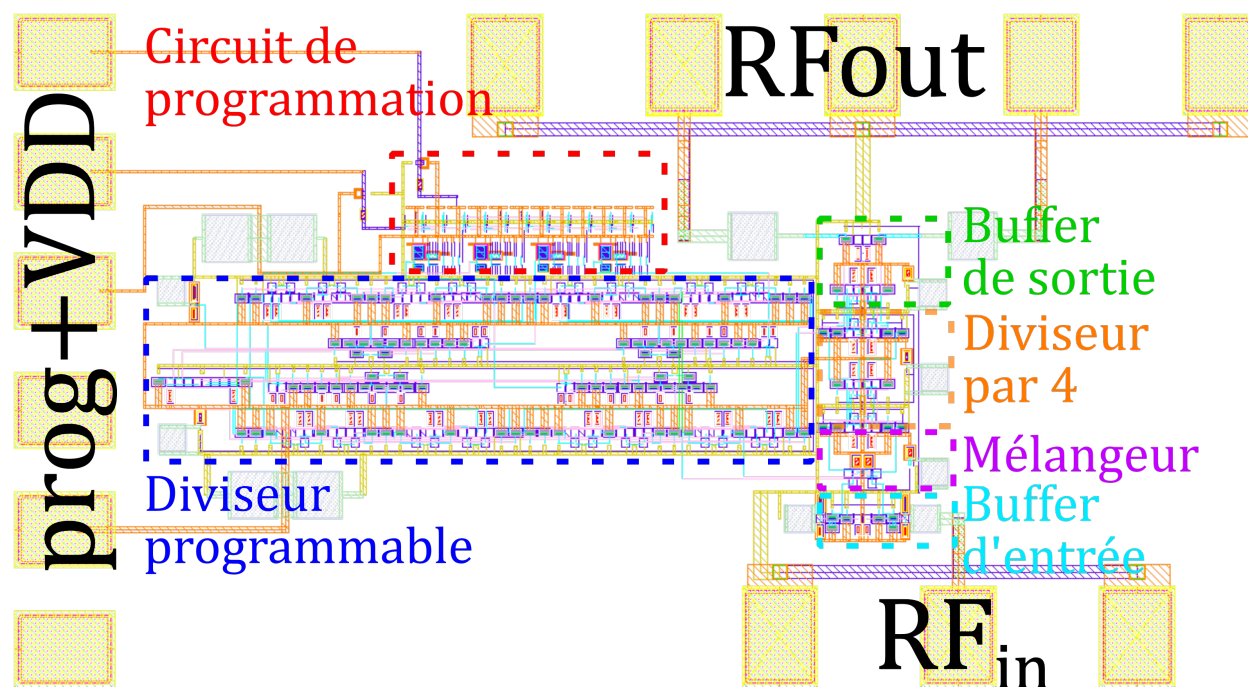


FIGURE 3.23 – Dessin des masques du diviseur fractionnaire programmable

programmation et celle du diviseur sont trop différentes, les simulations étaient donc trop longues alors que d'autres options sont disponibles. Nous avons donc simulé le circuit de programmation et le diviseur régénératif indépendamment. Nous nous sommes simplement assurés d'avoir un niveau de tension suffisant pour réaliser un état haut en connectant le circuit de programmation sur le diviseur programmable. Pour rappel, le diviseur programmable fonctionne jusqu'à 15 GHz lors des simulations avec les parasites pris en compte. Les diviseurs par 2 utilisés dans la chaîne directe ont été mesurés pour une fréquence d'entrée allant jusqu'aux alentours de 40 GHz. Ainsi, avec une fréquence d'entrée de 30 GHz, le signal de la boucle de contre-réaction atteint une fréquence maximale de 7,5 GHz qui ne pose pas de problème pour le diviseur programmable.

3.IV.3 Dessin des masques du circuit

Le dessin des masques du circuit complet est présenté sur la figure 3.23.

Les six PAD « prog+VDD » reçoivent les signaux de programmation et d'alimentation, qui sont amenés par une pointe avec six doigts pouvant être pilotés individuellement. Les PAD « RF_{in} » reçoivent le signal hyperfréquence à 30 GHz et les PAD « RF_{out} » transmettent les signaux synthétisés par le diviseur vers le banc de mesure de bruit de phase. Les deux PAD supérieurs de « prog+VDD » sont connectés au circuit de programmation CMOS qui permet de choisir et de modifier le rapport du diviseur programmable de la boucle de contre-réaction. On observe facilement les quatre bits issus de ce circuit de programmation.

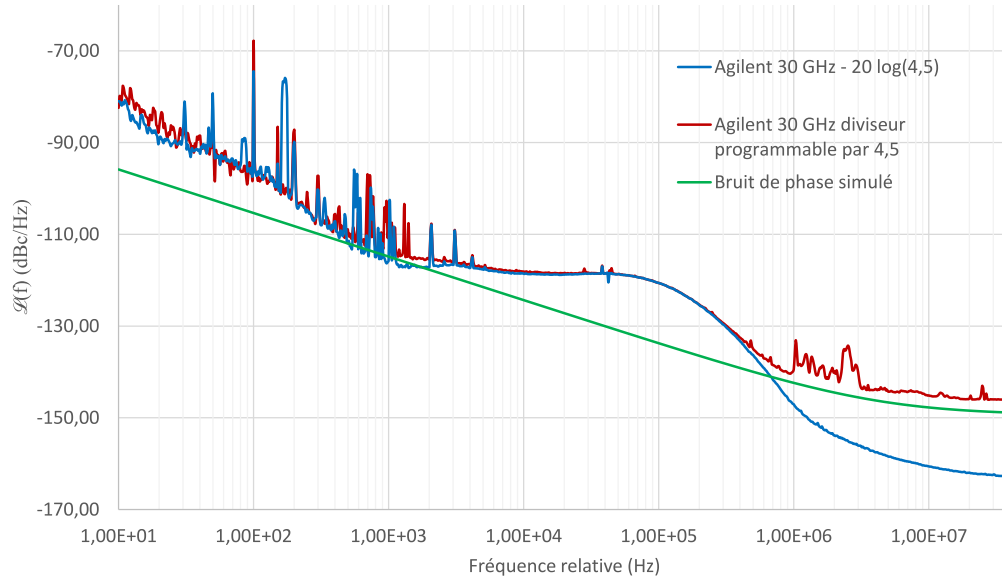


FIGURE 3.24 – Mesure en bruit de phase diviseur régénératif programmable synthétiseur 30 GHz pour $G = 2$

3.IV.4 Protocole et résultats de mesures

Ce circuit nécessitant beaucoup de signaux de commande en plus des entrée et sortie hyperfréquences classiques, nous avons utilisé une pointe avec six doigts pouvant chacun acheminer un signal. Cette pointe permet d'acheminer les alimentations pour les circuits CMOS et ECL, le signal de programmation et le signal de maintien du circuit de programmation CMOS. Nous utilisons donc quatre des six doigts sur la pointe. Pour le reste, le protocole est identique à celui des autres diviseurs ECL avec le COEO à 30 GHz ou le synthétiseur de fréquence Agilent en entrée et le banc de bruit de phase Agilent E5052B en sortie. Nous ne sommes pas parvenus à obtenir de résultat de mesure de bruit de phase satisfaisant avec le COEO car la puissance délivrée par celui-ci n'a pas suffi à faire fonctionner le diviseur correctement. Nous avons cependant pu réaliser une mesure de bruit de phase avec le synthétiseur de fréquence Agilent pour une fréquence d'entrée de 30 GHz. Ainsi, les mesures en bruit de phase du diviseur régénératif fractionnaire programmable pour une fréquence d'entrée de 30 GHz sont présentées en figure 3.24 pour $G = 2$, soit un rapport de division de 4,5 ($f_{\text{out}} = 6,666 \text{ GHz}$) et en figure 3.25 pour $G = 11$, soit un rapport de division de 4,0909 ($f_{\text{out}} = 7,333 \text{ GHz}$).

Un bon accord entre simulation et mesure est obtenu. Il est important de signaler que quelques rapports de division n'étaient pas fonctionnels à 30 GHz même avec le synthétiseur de fréquence. La grande majorité des rapports impairs pour G ne fonctionnent pas, hormis les rapports 1 et 11. Nous avons observé une division exacte pour tous les rapports de division excepté $G = 9$ à une fréquence d'entrée de 25 GHz. Le relevé des raies fréquentielles principales sur une plage

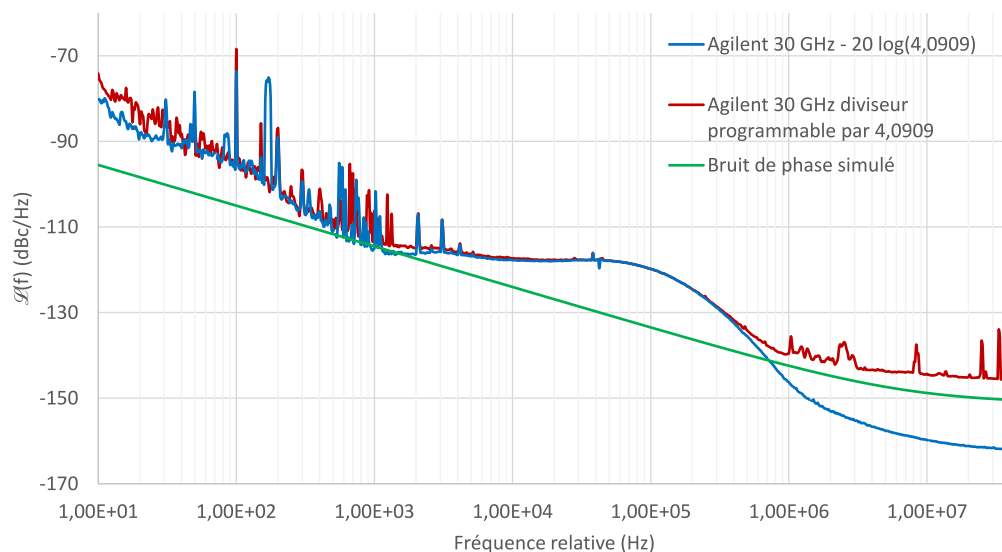


FIGURE 3.25 – Mesure en bruit de phase diviseur régénératif programmable synthétiseur 30 GHz pour $G = 11$

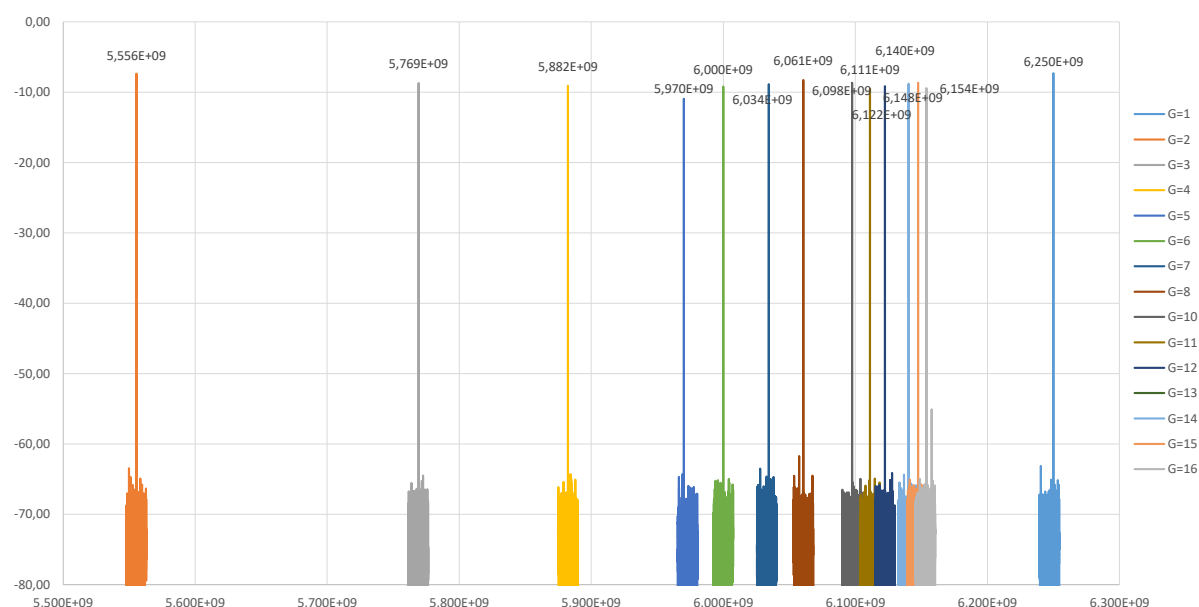


FIGURE 3.26 – Mesure du spectre diviseur régénératif programmable synthétiseur 25 GHz pour G de 1 à 16

de fréquence de 15 MHz (plage de fréquence maximale du E5052B) pour les différents rapports de division à $f_{in} = 25$ GHz est présenté sur la figure 3.26. Les fréquences attendues pour cette fréquence d'entrée sont présentées dans le tableau 3.2.

Nous avons également pu réaliser des mesures de ce diviseur avec un COEO générant un signal à 10 GHz comme signal de référence. L'ensemble des rapports de division sont fonctionnels à cette fréquence, nous présentons les résultats de certaines mesures en bruit de phase sur la figure 3.27.

Valeurs théoriques		
G	Rapports division	f_{out} (GHz)
1	5,0000	5,000
2	4,5000	5,556
3	4,3333	5,769
4	4,2500	5,882
5	4,2000	5,952
6	4,1667	6,000
7	4,1429	6,034
8	4,1250	6,061
9	4,1111	6,081
10	4,1000	6,098
11	4,0909	6,111
12	4,0833	6,122
13	4,0769	6,132
14	4,0714	6,140
15	4,0667	6,148
16	4,0625	6,154

TABLE 3.2 – Valeurs théoriques du diviseur régénératif fractionnaire programmable pour $f_{in} = 25$ GHz

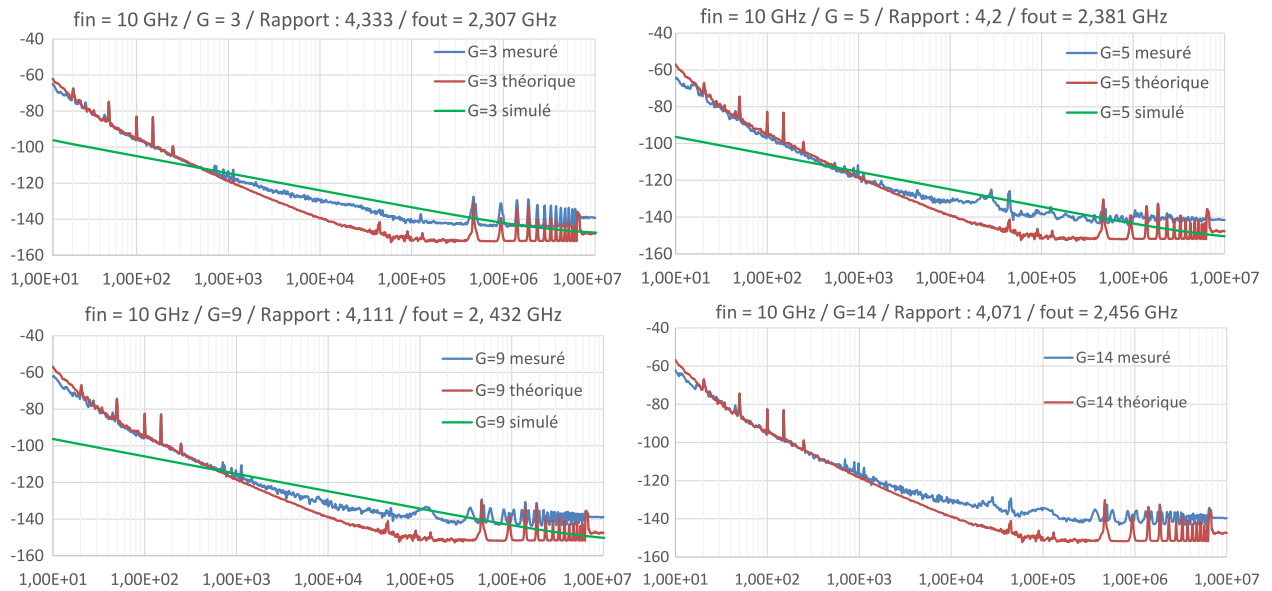


FIGURE 3.27 – Mesure du bruit de phase du diviseur régénératif programmable avec COEO 10 GHz pour $G = 3/5/9/11$

D'une part, nous ne sommes pas parvenus à obtenir une simulation du bruit de phase pour $G = 14$ malgré une convergence de la simulation PSS sur la période attendue. Cela est peut-être dû au fait que la plus grande période commune à l'ensemble du circuit sur laquelle le PSS converge est égale à $(F \times G + 1) \cdot T_{\text{in}}$, soit $57 \cdot T_{\text{in}}$ avec T_{in} étant la période du signal d'entrée. Il faut ensuite paramétrer sur la simulation PNOISE l'harmonique du signal PSS pour lequel nous voulons déterminer le bruit de phase, il s'agit donc ici du 14^e harmonique de ce signal. D'autre part, l'accord entre mesure et simulation est bon avec un bruit légèrement plus bas en simulation qu'en mesure sur la plage de 1 kHz à 1 MHz puis un peu au-delà ensuite. Ce type de diviseur ayant été assez peu étudié, et à plus forte raison en termes de bruit de phase, nous avons pris le parti de comparer les résultats du COEO à 10 GHz divisé à ceux d'une PLL récente synthétisant un signal à 2,4 GHz, décrite comme faible bruit [8]. Ainsi à 10 kHz de la porteuse, le bruit de phase de la PLL est de l'ordre de -115 dBc/Hz contre -125 dBc/Hz à -132 dBc/Hz pour le diviseur. On note donc un bruit de phase 10 dB à 17 dB plus bas pour le diviseur.

Conclusion

Une topologie originale de diviseur régénératif fractionnaire, inspirée du diviseur régénératif de Miller, a été conçue et fabriquée. Une première série de diviseurs fractionnaires fixes a été caractérisée. Hormis un des diviseurs, les résultats de mesure en bruit de phase sont conformes à ceux de simulation. Les diviseurs de fréquence fractionnaires autre que $\Sigma\Delta$ étant très peu répandus dans la littérature, nous n'avons pas été en mesure de comparer nos résultats avec des topologies équivalentes. En revanche, on observe de très bons niveaux de bruit de phase pour le diviseur par 1,25 qui est quasiment transparent, on retrouve le bruit du COEO transposé à la fréquence de sortie. Le diviseur par 4,5 donne aussi de bon résultats de bruit de phase, conformes aux simulations, avec une dégradation maximale de l'ordre de 10 dB entre le bruit de phase idéal théorique et le bruit de phase mesuré. Seul le diviseur par 2,5 donne des résultats de mesures inattendus au regard des résultats de simulation. Il fonctionne correctement mais le bruit de phase est de l'ordre de 10 dB supérieur à celui attendu. Nous n'avons pas su expliquer cette différence de performance, d'autant que les autres diviseurs donnent des résultats conformes aux simulations et que les trois diviseurs sont similaires, seul le nombre de diviseurs dans la chaîne directe ou la chaîne de contre-réaction change. Cependant, si ce diviseur par 2,5 avait un niveau de bruit de phase semblable à la simulation, il n'y aurait une dégradation du bruit de phase par rapport au bruit de phase idéal que de l'ordre de 5 dB, avec un maximum de 10 dB. Ayant obtenu de bons résultats avec des diviseurs fixes, nous avons exploité la possibilité de rendre programmable le rapport fractionnaire à travers la programmation du diviseur de retour sur 4 bits. Nous n'avons cependant pas pu obtenir de résultat de mesure à partir du COEO 30 GHz à cause de la trop faible puissance délivrée de ce dernier, mais une mesure à 30 GHz a été effectuée à partir d'un synthétiseur plus classique. L'ensemble des rapports sont fonctionnels pour une fréquence d'entrée inférieure à 25 GHz et le diviseur a aussi pu être caractérisé avec le COEO à 10 GHz en entrée, où des niveaux de bruit de phase aux alentours de 10 dB supérieurs au bruit de phase idéal ont été mesurés. Il s'agit, à notre connaissance, de la première caractérisation en bruit de phase d'un circuit comme celui-ci.

Bibliographie

- [1] J. LEE et B. RAZAVI. “A 40-GHz Frequency Divider in 0.18 μ m CMOS Technology”. In : *IEEE Journal of Solid-State Circuits* 39.4 (avr. 2004), p. 594-601. URL : <http://ieeexplore.ieee.org/document/1278577/> (cf. p. 118).
- [2] S. TROTTA et al. “A New Regenerative Divider by Four up to 160 GHz in SiGe Bipolar Technology”. In : *2006 IEEE MTT-S International Microwave Symposium Digest*. 2006 IEEE MTT-S International Microwave Symposium Digest. Juin 2006, p. 1709-1712 (cf. p. 118).
- [3] CHIEN-CHIH LIN et CHORNG-KUANG WANG. “A Regenerative Semi-Dynamic Frequency Divider for Mode-1 MB-OFDM UWB Hopping Carrier Generation”. In : *ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005*. ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005. San Francisco, CA, USA : IEEE, 2005, p. 206-207. URL : <http://ieeexplore.ieee.org/document/1493941/> (cf. p. 118).
- [4] E. VAILLANT et al. “Double Loop Frequency Regenerative Dividers”. In : p. 2 (cf. p. 118).
- [5] M. FARAZIAN, L. E. LARSON et P. S. GUDEM. In : *Fast Hopping Frequency Generation in Digital CMOS*. New York, NY : Springer, 2013, p. 81-85 (cf. p. 118).
- [6] Y.-F. KUO et R.-M. WENG. “Regenerative Frequency Divider for 14 Sub-Band UWB Applications”. In : *Electronics Letters* 44.2 (2008), p. 111. URL : http://digital-library.theiet.org/content/journals/10.1049/el_20082371 (cf. p. 118).
- [7] Y. S. LIN et al. “Ultra-Wide Locking Range Regenerative Frequency Dividers With Quadrature-Injection Current-Mode-Logic Loop Divider”. In : *IEEE Microwave and Wireless Components Letters* 24.3 (mars 2014), p. 179-181 (cf. p. 118).
- [8] J. SHARMA et H. KRISHNASWAMY. “A 2.4-GHz Reference-Sampling Phase-Locked Loop That Simultaneously Achieves Low-Noise and Low-Spur Performance”. In : *IEEE Journal of Solid-State Circuits* 54.5 (mai 2019), p. 1407-1424. URL : <https://ieeexplore.ieee.org/document/8633361/> (cf. p. 147).

Conclusion générale

Au cours de cette thèse, nous avons travaillé sur la synthèse de références de fréquences élevées à faible bruit de phase. À l'issue d'une étude bibliographique sur ce domaine, nous avons orienté nos efforts vers la synthèse de fréquence par division dans l'idée d'atteindre des niveaux de bruit de phase très faible. Nous avons tenté, dans un premier temps, de couvrir aussi largement que possible la division de fréquence. Pour cela, les méthodes de division de fréquence, applicables pour les hyperfréquences, ont été étudiées et un état de l'art a été réalisé pour chacune d'elles.

Dans un second temps, nous avons restreint un peu le champ de recherche en choisissant les principes de diviseurs nous paraissant les plus intéressants pour nos besoins et plusieurs diviseurs ont été conçus. Nous avons d'abord réalisé des diviseurs entiers et fixes afin de limiter la complexité des circuits et déterminer les performances de bruit de phase qu'il était possible d'atteindre pour chaque topologie. Plusieurs diviseurs numériques et analogiques ont été fabriqués et caractérisés. Pour la division numérique, un diviseur par 2 transparent vis-à-vis de la pureté spectrale du COEO à 30 GHz a été réalisé. Un niveau de bruit de phase de $-119 \text{ dBc/Hz@1 kHz}$ est ainsi obtenu pour le signal à 15 GHz synthétisé. La version du diviseur par 3 numérique pour laquelle nous avons pu mesurer un bruit de phase donne un niveau de bruit de phase de $-110 \text{ dBc/Hz@1 kHz}$ pour le signal à 10 GHz synthétisé. Cependant, de bien meilleures performances semblent envisageables dans de futures versions puisque la simulation de la version de diviseur par 3 avec une porte OR/NOR différentielle et une bascule D VCVS en sortie prédit une amélioration en bruit de phase de l'ordre de 10 dB par rapport à la version mesurée basée sur une bascule D VCCS, moins performante. Nous ne sommes pas parvenus à simuler cette version au-delà de 30 GHz une fois les parasites pris en compte, mais il semble réaliste de produire une version fonctionnelle à cette fréquence sur une technologie plus fine comme une BiCMOS 55 nm comme présenté à l'annexe I.

Concernant les divisions numériques de rapports plus élevés, nos travaux nous amènent à penser que c'est une voie nécessitant d'être approfondie. Nous n'avons pas cherché à optimiser les performances en bruit de phase du diviseur CMOS par 10 puisque nous voulions mettre en évidence la possibilité d'enlever la plus grande partie du bruit de phase de ce diviseur asynchrone en le resynchronisant en sortie sur la fréquence de référence (§ 1.II.3.c. i). Cependant, seul un circuit de test de cette technique de resynchronisation a pu être réalisé, et à cause d'une extraction de

parasite incomplète pour des raisons de confidentialité, les résultats de mesure ne nous ont pas permis d'observer cette amélioration attendue au regard des simulations. Mais nous restons persuadés de son intérêt. La synthèse par division avec des rapports élevés reste donc un sujet à approfondir puisque nous n'avons pas pu plus nous focaliser dessus. En revanche, la division fractionnaire est un des aspects de la synthèse par division que nous avons étudié en détail.

Dans un troisième temps, nous avons orienté nos efforts vers la division fractionnaire directe, puisque c'est un aspect assez peu étudié de la synthèse de fréquence. Nous avons utilisé nos diviseurs entiers fixes pour mettre au point une topologie originale de diviseur régénératif fractionnaire, inspirée du diviseur régénératif de Miller. L'originalité réside dans l'utilisation de diviseurs numériques à la place des multiplieurs originels, qui permettent en plus de profiter de leur large bande de fonctionnement. Le fait qu'ils soient numériques permet également de s'affranchir de tout filtrage inhérent à la topologie de Miller, et ils permettent également d'autoriser leur programmation. Trois diviseurs fractionnaires fixes avec des rapports respectifs de 1,25, 2,5 et 4,5 ont d'abord été conçus et mesurés. Les mesures du diviseur 2,5 ne sont étonnamment pas conformes aux résultats attendus d'après les simulations, contrairement à celles des deux autres diviseurs, alors que ces trois diviseurs sont assez semblables. Le diviseur par 1,25 est presque transparent avec le [COEO](#) à 30 GHz et celui par 4,5 est une dizaine de dB supérieur au bruit de phase idéal du signal synthétisé. Un diviseur régénératif fractionnaire à partie décimale programmable a ensuite été conçu et fabriqué. Bien que nous ne soyons pas parvenus à le caractériser avec le [COEO](#) à 30 GHz par manque de puissance sur ce dernier, tous les autres résultats de mesure sont conformes aux simulations et démontrent la possibilité de réaliser de la division fractionnaire programmable jusqu'à 25 GHz sans détériorer trop fortement la qualité du signal de référence. Il a pu être caractérisé avec le [COEO](#) à 10 GHz pour lequel une dégradation de l'ordre d'une dizaine de dB a été observé par rapport au signal synthétisé idéal. Il s'agit à notre connaissance de la première mesure de bruit de phase pour ce type de diviseurs.

En conclusion, avec le développement de références de fréquence élevée à haute pureté spectrale, tels que les [COEO](#), la division de fréquence faible bruit semble être une méthode de synthèse prometteuse. Particulièrement si on la compare avec la méthode la plus commune de synthèse de fréquence, c'est-à-dire la [PLL](#). La division, qu'elle soit entière ou fractionnaire, offre des performances en bruit de phase bien meilleures sans pour autant devoir faire de concession sur d'autres aspects de la synthèse (programmabilité, bande-passante, etc).

Perspectives

Une des principales perspectives à étudier selon nous est l'ajout de boucles de contre-réaction multiples pour affiner la partie décimale du rapport de division et se rapprocher d'une certaine manière du fonctionnement d'un $\Sigma\Delta$. Par exemple, en utilisant plusieurs boucles de contre-réaction en parallèle comme présenté sur la figure 3.28.

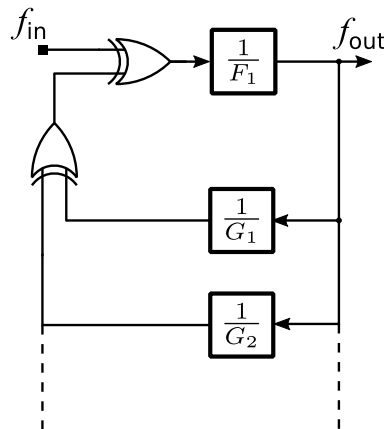


FIGURE 3.28 – Topologie de diviseur fractionnaire régénératif et récursif parallèle

De la même façon en utilisant plusieurs boucles de contre-réaction en série comme sur la figure 3.29.

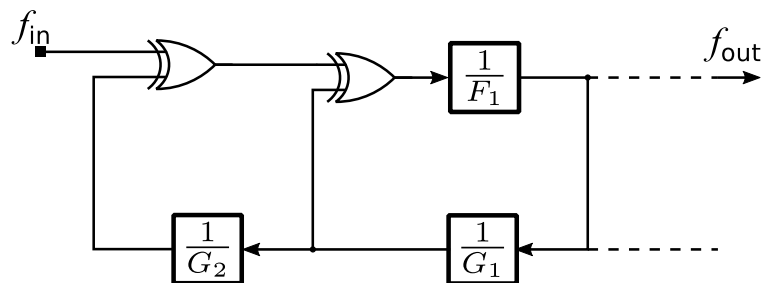


FIGURE 3.29 – Topologie de diviseur fractionnaire régénératif et récursif série

Ainsi, en modulant le nombre de boucles de contre-réaction, on peut affiner le réglage de la valeur décimale du rapport de division. En développant cette idée, en restant dans l'optique de s'approcher du fonctionnement du $\Sigma\Delta$, on peut aussi arriver à des topologies comme celle présentée sur la figure 3.30, dans laquelle il reste à trouver la meilleure manière de piloter le multiplexeur.

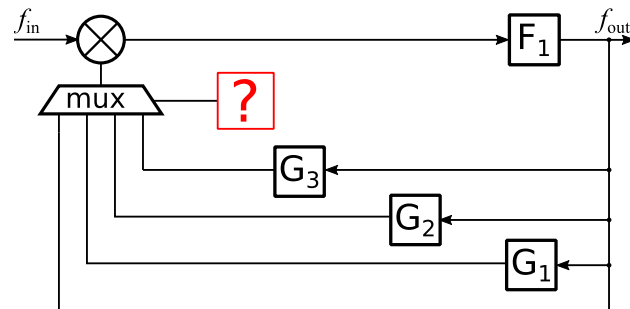


FIGURE 3.30 – Topologie de diviseur fractionnaire régénératif et récursif à alternance de rapports

Annexes

I Transposition et comparaison avec la technologie BiCMOS55

Dans le cadre d'un stage, certains circuits présentés dans la partie précédente ont été transposés sur une technologie plus fine, à savoir la BiCMOS55. Aucun dessin des masques n'a été réalisé au cours de ce stage, la comparaison est donc faite en ignorant les parasites. Les différents résultats de simulation sont présentés sous forme de tableaux comparatifs avec une focalisation particulière sur les performances en bruit de phase. Pour l'ensemble des circuits suivants, les schématiques des circuits étudiés sont les mêmes. Cependant, les composants utilisés sont différents puisque les design kits sont différents. Nous avons essayé, dans la mesure du possible, de conserver des composants semblant remplir la même fonction dans les deux design kits, par exemple en utilisant des transistors bipolaires haute vitesse pour la même application avec les design kits différents. Ensuite, chaque circuit a été optimisé en bruit de phase pour chaque topologie tout en garantissant une vitesse de fonctionnement d'au moins 30 GHz.

I.1 Diviseur numérique par 2 VCCS

Dans un premier temps, les performances du diviseur numérique par 2 **VCCS** ont été comparées pour les deux technologies.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)@100\text{ Hz}$	-109 dBc/Hz	-105 dBc/Hz
$\mathcal{L}(f)@1\text{ kHz}$	-119 dBc/Hz	-114 dBc/Hz
$\mathcal{L}(f)@10\text{ kHz}$	-129 dBc/Hz	-124 dBc/Hz
$\mathcal{L}(f)@100\text{ kHz}$	-139 dBc/Hz	-133 dBc/Hz
Consommation	6 mA	3,4 mA
$f_{\max}$	75 GHz	40 GHz

TABLE 3 – Comparaison diviseurs par 2 **VCCS** BiCMOS55 vs BiCMOS9MW

Pour une consommation quasiment doublée, le bruit de phase est amélioré d'environ 6 dB et la fréquence de fonctionnement est quasiment doublée pour la BiCMOS55.

I.2 Diviseur numérique par 3

Plusieurs versions de diviseurs par 3 ont été comparées, nous reprenons les dénominations présentées au § 2.I.3. Ainsi, pour la version 1, c'est-à-dire comportant une porte OR/NOR ECL différentielle et une bascule D VCVS en sortie, nous obtenons les résultats présentés en figure 4.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-120 dBc/Hz	-117 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-130 dBc/Hz	-126 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-140 dBc/Hz	-136 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-149 dBc/Hz	-146 dBc/Hz
Consommation	22 mA	52 mA
$f_{\max}$	40 GHz	33 GHz

TABLE 4 – Comparaison diviseurs par 3 version 1 BiCMOS55 vs BiCMOS9MW

Ceux de la version 2, c'est-à-dire une porte OR/NOR ECL élémentaire et une bascule D VCVS en sortie, sont présentés dans le tableau 5.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-109 dBc/Hz	-100 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-119 dBc/Hz	-110 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-129 dBc/Hz	-119 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-139 dBc/Hz	-128 dBc/Hz
Consommation	33 mA	55 mA
$f_{\max}$	40 GHz	32 GHz

TABLE 5 – Comparaison diviseurs par 3 version 2 BiCMOS55 vs BiCMOS9MW

Ceux de la version 3, c'est-à-dire une porte OR/NOR ECL élémentaire et une bascule D VCCS, sont présentés dans le tableau 6.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-122 dBc/Hz	-117 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-132 dBc/Hz	-127 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-141 dBc/Hz	-136 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-148 dBc/Hz	-145 dBc/Hz
Consommation	26,5 mA	33 mA
$f_{\max}$	33 GHz	30 GHz

TABLE 6 – Comparaison diviseurs par 3 version 3 BiCMOS55 vs BiCMOS9MW

Enfin, une dernière version qui n'a pas été présentée au § 2.I.3 a fait l'objet d'une comparaison entre les deux technologies. Nous l'appelons version 4. Il s'agit du diviseur par 3 avec la

porte OR/NOR différentielle et une bascule **VCCS** en sortie. Ses résultats sont présentés dans le tableau 7.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-109 dBc/Hz	-104 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-119 dBc/Hz	-114 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-129 dBc/Hz	-124 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-139 dBc/Hz	-134 dBc/Hz
Consommation	15 mA	15 mA
$f_{\max}$	30 GHz	25 GHz

TABLE 7 – Comparaison diviseurs par 3 version 4 BiCMOS55 vs BiCMOS9MW

Ainsi, la technologie BiCMOS55 est avantageuse pour l'ensemble des diviseurs par 3. Cependant, on observe qu'elle l'est particulièrement pour les cas où une bascule **VCVS** se trouve en sortie du diviseur par 3 (version 1 et 2), avec des améliorations de l'ordre de 11 dB dans les meilleurs cas. De plus, nous n'étions pas parvenus à atteindre une vitesse de fonctionnement de 30 GHz en intégrant les parasites pour la version 1 du diviseur par 3 en BiCMOS9MW. Avec une vitesse de fonctionnement de 40 GHz sans les parasites pour cette version du diviseur en BiCMOS55, il est garanti qu'il fonctionne au-delà de 30 GHz avec les parasites. Une technologie plus fine semble donc être recommandée pour de futures perspectives concernant la division numérique de fréquence autour de 30 GHz dans l'optique d'obtenir de meilleures performances.

I.3 Diviseur numérique par 10 CMOS

Les performances du diviseur numérique par 10 CMOS ont également été comparées pour chacune des technologies pour voir l'impact de la technologie sur un circuit entièrement CMOS. Cette comparaison est présentée dans le tableau 8.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-125 dBc/Hz	-110 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-135 dBc/Hz	-120 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-145 dBc/Hz	-130 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-154 dBc/Hz	-140 dBc/Hz
Consommation	4,2 mA	3 mA
$f_{\max}$	15 GHz	12 GHz

TABLE 8 – Comparaison diviseurs par 10 CMOS BiCMOS55 vs BiCMOS9MW

La très grande différence de performances entre les deux technologies pour la version 3 provient de l'utilisation du type de résistances utilisées pour le design en BiCMOS55. Cependant, bien

que donnant de bons résultats lors des simulations, les résistances utilisées ne sont pas adaptées à l'application et leurs dimensions ne permettent pas leur intégration de manière réaliste.

I.4 Diviseur par 3 ILFD

Une comparaison des performances d'un diviseur par 3 ILFD pour les deux technologies est présentée dans le tableau 9.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-118 dBc/Hz	-104 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-128 dBc/Hz	-114 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-138 dBc/Hz	-124 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-148 dBc/Hz	-134 dBc/Hz
Consommation	5 mA	5 mA
$f_{\max}$	30 GHz	30 GHz

TABLE 9 – Comparaison diviseurs par 3 ILFD BiCMOS55 vs BiCMOS9MW

À consommation et vitesse de fonctionnement équivalente, on note une grande supériorité pour la technologie plus fine, avec une amélioration de quasiment 14 dB. Pour les diviseurs analogiques, utiliser une technologie plus fine permet d'améliorer les performances significativement.

I.5 Diviseur par 3 avec second harmonique régénératif

Une version du diviseur par 3 avec second harmonique régénératif a également été réalisée avec les deux technologies à des fins de comparaison. Ces résultats sont présentés dans le tableau 10.

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-117 dBc/Hz	-107 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-127 dBc/Hz	-117 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-137 dBc/Hz	-126 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-146 dBc/Hz	-136 dBc/Hz
Consommation	15 mA	16 mA
$f_{\max}$	35 GHz	33 GHz

TABLE 10 – Comparaison diviseurs par 3 régénératif BiCMOS55 vs BiCMOS9MW

Là encore, pour une fréquence de fonctionnement et une consommation quasi équivalente, on observe une amélioration notable du bruit de phase avec la technologie BiCMOS55, de l'ordre de 10 dB.

En conclusion, utiliser une technologie plus fine améliore les performances dans tous les cas, mais l'amélioration de bruit de phase semble davantage significative pour les diviseurs analogiques.

De la même manière que certains diviseurs entiers fixes ont été transposés et comparés à la technologie BiCMOS55, certains diviseurs régénératifs fractionnaires l'ont également été. Encore une fois, seul le dessin des masques d'un diviseur par 2 [VCVS](#) a été réalisé avec la technologie BiCMOS55, donc seules les performances simulées sans les parasites sont comparées pour les diviseurs présentés ici. Les diviseurs par 1,25 et 4,5 sont comparés pour les deux technologies.

I.6 Diviseur régénératif par 1,25

Les résultats des simulations sans parasite pour le diviseur par 1,25 sont présentés dans le tableau [11](#).

Fréquence	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-108 dBc/Hz	-105 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-118 dBc/Hz	-115 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-128 dBc/Hz	-125 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-137 dBc/Hz	-134 dBc/Hz
Conso	14 mA	25 mA
$f_{\max}$	40 GHz	40 GHz

TABLE 11 – Comparaison diviseurs par 1,25 BiCMOS55 vs BiCMOS9MW

On observe que les résultats en bruit de phase sont assez proches pour une consommation quasiment doublée pour la BiCMOS9MW. La technologie utilisée ne semble donc pas aussi significative pour les performances que pour un [ILFD](#).

I.7 Diviseur régénératif par 4,5

Les résultats des simulations sans parasite pour le diviseur par 4,5 sont présentés dans le tableau [12](#).

	BiCMOS55	BiCMOS9MW
$\mathcal{L}(f)$ 100 Hz	-126 dBc/Hz	-115 dBc/Hz
$\mathcal{L}(f)$ 1 kHz	-136 dBc/Hz	-125 dBc/Hz
$\mathcal{L}(f)$ 10 kHz	-142 dBc/Hz	-135 dBc/Hz
$\mathcal{L}(f)$ 100 kHz	-144 dBc/Hz	-141 dBc/Hz
Conso	20 mA	32 mA
$f_{\max}$	40 GHz	40 GHz

TABLE 12 – Comparaison diviseurs par 4,5 BiCMOS55 vs BiCMOS9MW

Pour cette topologie avec un diviseur dans la chaîne directe, la technologie utilisée impacte davantage le bruit de phase, puisqu'on observe une différence de l'ordre de 11 dB pour la plus

grande amélioration de bruit de phase. Le diviseur de la chaîne directe semble donc avoir un rôle prédominant dans le bruit de phase global du diviseur.

Table des figures

1.1	Schéma de principe de la PLL	12
1.2	Illustration des grandeurs impliquées dans le calcul du bruit de phase	14
1.3	Illustration d'une gigue équivalente pour deux signaux de fréquences différentes . .	15
1.4	Illustration des contributions des éléments de la PLL	15
1.5	Schéma de principe d'un OEO	20
1.6	Schéma de principe d'un COEO	20
1.7	Principe de fonctionnement d'un COEO	21
1.8	Deux verrous D constituant une bascule D	22
1.9	Chronogramme d'une bascule D avec le détail de chaque verrou	22
1.10	Topologie verrou D en CML	23
1.11	Diviseur par 2 numérique	24
1.12	Chronogramme d'une division numérique par 2	24
1.13	Diviseur par 3 numérique	25
1.14	Chronogramme d'une division numérique par 3	25
1.15	Diviseur par $2^3 = 8$ asynchrone	27
1.16	Illustration de la technique de resynchronisation	28
1.17	Schéma décompteur numérique à 8	30
1.18	Chronogramme décompteur numérique à 8	30
1.19	Décompteur 3 bits avec comparateur et bascule D à reset	31
1.20	Mise en évidence du changement d'état quand bits inférieurs à 0	31
1.21	Bit d'un décompteur	32
1.22	Schéma de principe diviseur multimodulus	33
1.23	Schéma du diviseur multimodulus 3 bits	34
1.24	Chronogramme d'un diviseur multi-modulus 3 bits basé sur des diviseurs dual-modulus 2/3	35
1.25	Signal issu d'un modulateur $\Sigma\Delta$ ayant pour consigne 115,620 puis 120,801	36
1.26	Illustration de la correction en 20 dBc/Hz sur la pente en -10 dBc/Hz des diviseurs	37

1.27	Gabarits monolatéraux des différents filtres fréquentiels	40
1.28	Schéma de diviseur à verrouillage par injection	41
1.29	Schéma de principe d'un diviseur régénératif du second ordre	42
1.30	Schéma de principe du diviseur régénératif	43
1.31	Schéma de principe du diviseur régénératif simplifié	43
2.1	Verrou D VCCS	62
2.2	Verrou D VCCS avec paramètres composants et tensions/courants DC	66
2.3	Bruit de phase simulé de la bascule D VCCS montée en diviseur par 2	67
2.4	Balun d'entrée	68
2.5	Buffer de sortie	69
2.6	Verrou D avec source de tension VCVS	70
2.7	Verrou D VCVS avec paramètres composants et tensions/courants DC	71
2.8	Balun d'entrée bascule D VCVS	72
2.9	Bruit de phase diviseur par 2 VCCS vs VCVS pour $f_{in} = 30\text{GHz}$	73
2.10	Superposition du dessin des masques sur une microphotographie du diviseur par 2 VCVS	74
2.11	Schéma du montage réalisé pour la mesure de bruit de phase	76
2.12	Bruit de phase diviseur par 2 mesuré pour $f_{in} = 30\text{GHz}$ et $n_{correl} = 100$	76
2.13	Schéma de principe du diviseur par 3	78
2.14	Porte OR/NOR ECL élémentaire	79
2.15	Schéma de principe du diviseur par 3 avec OR/NOR différentiel	79
2.16	Topologie du OR/NOR différentiel	79
2.17	Schéma de principe du diviseur par 3 avec OR/NOR élémentaires	80
2.18	Comparaison en bruit de phase des trois versions du diviseur par 3 numérique	81
2.19	Capture du dessin des masques du diviseur par 3	82
2.20	Bruit de phase diviseur par 3 mesuré	83
2.21	Schéma de principe du diviseur par 10 CMOS	84
2.22	Schématique bascule D CMOS dynamique	85
2.23	Schématique porte NAND CMOS	86
2.24	Schématique buffer de sortie CMOS	86
2.25	Schématique buffer d'entrée CMOS	87
2.26	Bruit de phase diviseur par 10 CMOS pour $f_{in} = 10\text{GHz}$	87
2.27	Dessin des masques complet du diviseur par 10 CMOS	88
2.28	Dessin des masques du diviseur par 10 CMOS seul	89
2.29	Résultats de mesure bruit de phase diviseur par 10 CMOS	89

2.30	Diviseur ECL programmable 4 bits basé sur un décompteur asynchrone	90
2.31	Exemple de comparaison pour la valeur $(0101)_2 = (5)_{10}$	91
2.32	Résultat temporel diviseur programmable basé sur décompteur asynchrone	92
2.33	Diviseur ECL programmable 4 bits basé sur un décompteur synchrone	93
2.34	Résultat temporel diviseur programmable basé sur décompteur synchrone	94
2.35	Schéma de principe du circuit de test de la technique de resynchronisation	95
2.36	Schéma de principe de la simulation du bruit de phase pour différents déphasages sur l'horloge de resynchronisation	96
2.37	Simulation du circuit de resynchronisation pour des déphasages de 0 ps à 175 ps par pas de 25 ps	97
2.38	Simulation temporelle du circuit de resynchronisation pour des déphasages de 0 ps à 175 ps par pas de 25 ps	98
2.39	Simulation temporelle du circuit de resynchronisation pour des déphasages de 0 ps à 175 ps par pas de 25 ps	99
2.40	Simulation du circuit de resynchronisation pour des déphasages de 70 ps à 80 ps par pas de 1 ps	100
2.41	Bruit de phase du circuit de resynchronisation avec (out_s) et sans parasite (out_sp)	101
2.42	Dessin des masques du circuit de resynchronisation	101
2.43	Résultats de mesures du circuit de resynchronisation à $f_{out} = 15\text{ MHz}$	102
2.44	Bruit de phase du signal resynchronisé en fonction du délai de signal de resynchro- nisation	103
2.45	Schéma de l'ILFD conçu	104
2.46	Bruit de phase ILFD pour différentes puissances P_{in} du signal $3.f_0$	105
2.47	Bruit de phase diviseur ILFD vs diviseur numérique pour $P_{IN} = -10\text{ dBm}$	106
2.48	Schéma de base du diviseur par 3	107
2.49	Schéma du diviseur par 3 conçu	108
2.50	Multiplication de fréquence par 2 avec redresseur double alternance	108
2.51	Bruit de phase diviseur par 3	109
2.52	Comparaison du bruit de phase des diviseurs par 3 à 30 GHz pour $P_{in} = -10\text{ dBm}$	110
2.53	Dessin des masques du diviseur régénératif par 3	111
3.1	Schéma de principe du diviseur régénératif avec une approche numérique	118
3.2	Analyse temporelle du cas où le rapport de division est $F - \frac{1}{G}$	120
3.3	Analyse temporelle du cas où le rapport de division est $F + \frac{1}{G}$	121
3.4	Spectre du signal synthétisé pour $F = 3, F_1 = 1, G = 5, G_1 = 2$ dans le cas où deux demi-périodes sont retirées (cas 1)	126

3.5	Spectre du signal synthétisé pour $F = 3, F_1 = 1, G = 5, G_1 = 2$ dans le cas où deux demi-périodes sont ajoutées (cas 2)	126
3.6	Schéma de principe du diviseur régénératif avec une approche analogique	127
3.7	Diviseur fractionnaire régénératif avec éléments idéaux pour le cas $\frac{f_{in}}{1 - \frac{1}{F \cdot G}}$	128
3.8	Diviseur fractionnaire régénératif pour le cas $\frac{f_{in}}{1 + \frac{1}{F \cdot G}}$	128
3.9	Porte XOR/cellule de Gilbert utilisée dans les diviseurs régénératifs	130
3.10	Simulations temporelle et spectrale du diviseur régénératif $F = 2$ et $G = 2$	131
3.11	Changement du rapport de division autour de $f_{in} = 13$ GHz	131
3.12	Dessin des masques du diviseur fractionnaire par 1,25	133
3.13	Dessin des masques du diviseur fractionnaire par 2,5	134
3.14	Dessin des masques de diviseur fractionnaire par 4,5	135
3.15	Bruit de phase du diviseur fractionnaire par 1,25 pour $f_{in} = 30$ GHz	136
3.16	Bruit de phase du diviseur fractionnaire par 2,5 pour $f_{in} = 30$ GHz	136
3.17	Bruit de phase du diviseur fractionnaire par 4,5 pour $f_{in} = 30$ GHz	137
3.18	Comparaison des signaux de sortie pour $G = 2, G = 4$ et $G = 5$	138
3.19	Comparaison des spectres de signaux carrés en fonction de leur rapport cyclique	139
3.20	Schéma de principe du diviseur régénératif fractionnaire programmable conçu	141
3.21	Schéma du circuit de programmation CMOS	142
3.22	Schéma du verrou D CMOS élémentaire utilisé pour le circuit de programmation	142
3.23	Dessin des masques du diviseur fractionnaire programmable	143
3.24	Mesure en bruit de phase diviseur régénératif programmable synthétiseur 30 GHz pour $G = 2$	144
3.25	Mesure en bruit de phase diviseur régénératif programmable synthétiseur 30 GHz pour $G = 11$	145
3.26	Mesure du spectre diviseur régénératif programmable synthétiseur 25 GHz pour G de 1 à 16	145
3.27	Mesure du bruit de phase du diviseur régénératif programmable avec COEO 10 GHz pour $G = 3/5/9/11$	146
3.28	Topologie de diviseur fractionnaire régénératif et récursif parallèle	153
3.29	Topologie de diviseur fractionnaire régénératif et récursif série	153
3.30	Topologie de diviseur fractionnaire régénératif et récursif à alternance de rapports	154

Liste des tableaux

1.1	État de l'art de PLL entières	17
1.2	État de l'art de la PLL fractionnaires	17
1.3	État de l'art de la PLL fractionnaires (suite)	17
1.4	État de l'art de diviseurs numériques	38
1.5	État de l'art de diviseurs numériques suite	38
1.6	État de l'art des ILFD	44
1.7	État de l'art des ILFD suite	44
1.8	État de l'art de diviseurs régénératifs	45
2.1	Trois différentes versions du diviseur par 3 numérique	78
3.1	Valeurs théoriques du diviseur régénératif programmable pour $f_{in} = 30\text{GHz}$	141
3.2	Valeurs théoriques du diviseur régénératif fractionnaire programmable pour $f_{in} = 25\text{GHz}$	146
3	Comparaison diviseurs par 2 VCCS BiCMOS55 vs BiCMOS9MW	155
4	Comparaison diviseurs par 3 version 1 BiCMOS55 vs BiCMOS9MW	156
5	Comparaison diviseurs par 3 version 2 BiCMOS55 vs BiCMOS9MW	156
6	Comparaison diviseurs par 3 version 3 BiCMOS55 vs BiCMOS9MW	156
7	Comparaison diviseurs par 3 version 4 BiCMOS55 vs BiCMOS9MW	157
8	Comparaison diviseurs par 10 CMOS BiCMOS55 vs BiCMOS9MW	157
9	Comparaison diviseurs par 3 ILFD BiCMOS55 vs BiCMOS9MW	158
10	Comparaison diviseurs par 3 régénératif BiCMOS55 vs BiCMOS9MW	158
11	Comparaison diviseurs par 1,25 BiCMOS55 vs BiCMOS9MW	159
12	Comparaison diviseurs par 4,5 BiCMOS55 vs BiCMOS9MW	159

Acronymes

BAW Bulk Acoustic Wave. [2](#)

CML Current-Mode Logic. [23](#), [29](#), [161](#)

CNES Centre National d'Etudes Spatiales.

CNRS Centre National de la Recherche Scientifique.

COEO oscillateur opto-électronique couplé (ou Coupled OptoElectronic Oscillator). [3](#), [4](#), [11](#), [19](#), [20](#), [21](#), [46](#), [47](#), [61](#), [67](#), [69](#), [75](#), [76](#), [77](#), [78](#), [80](#), [83](#), [84](#), [88](#), [100](#), [106](#), [110](#), [112](#), [117](#), [132](#), [136](#), [140](#), [144](#), [145](#), [147](#), [148](#), [151](#), [152](#), [161](#)

DFT transformée de Fourier discrète (ou Discrete Fourier Transform). [122](#), [123](#)

DIFOOL Division de Fréquence d'Oscillateurs Opto-électroniques. [2](#), [3](#), [61](#), [64](#), [77](#), [81](#)

DSB Double-SideBand. [14](#)

ECL Emitter Coupled Logic. [23](#), [29](#), [62](#), [73](#), [78](#), [84](#), [85](#), [90](#), [91](#), [93](#), [95](#), [100](#), [112](#), [125](#), [132](#), [142](#), [144](#), [156](#)

EDFA Erbium-Doped Fiber Amplifier. [19](#)

FoM facteur de mérite (ou Figure of Merit). [16](#), [18](#), [37](#), [38](#), [39](#), [43](#), [45](#), [46](#), [77](#), [84](#)

ILFD diviseur de fréquence à verrouillage par injection (ou Injection-Locked Frequency Divider). [11](#), [40](#), [41](#), [43](#), [44](#), [45](#), [46](#), [61](#), [62](#), [104](#), [105](#), [106](#), [107](#), [109](#), [111](#), [112](#), [117](#), [158](#), [159](#), [163](#), [165](#)

ISL Intervalle Spectral Libre. [19](#), [20](#)

LAAS Laboratoire d'Analyse et d'Architecture des Systèmes. , [3](#), [21](#), [69](#)

LAC Laboratoire Aimé Cotton.

LVT faible tension de seuil (ou Low Threshold Voltage). [64](#)

MOST Microondes et Opto-microondes pour Systèmes de Télécommunications.

- OCXO** Oven Controlled X-tal(Crystal) Oscillator. [2](#)
- OEO** oscillateur opto-électronique (ou OptoElectronic Oscillator). [19](#), [20](#), [161](#)
- OLIVE** Oscillateurs opto-électroniques dIVisés Électroniquement. [3](#)
- PFD** détecteur phase/fréquence (ou Phase/Frequency Detector). [12](#), [13](#), [15](#)
- PLL** boucle à verrouillage de phase (ou Phase locked-loop). [2](#), [3](#), [4](#), [11](#), [12](#), [13](#), [15](#), [16](#), [17](#), [18](#), [19](#), [32](#), [33](#), [36](#), [37](#), [38](#), [39](#), [45](#), [46](#), [47](#), [147](#), [152](#), [161](#), [165](#)
- PNOISE** Periodic Noise. [65](#), [66](#), [147](#)
- PSS** régime périodique établi (ou Periodic Steady State). [65](#), [66](#), [147](#)
- SAW** Surface Acoustic Wave. [2](#)
- SOA** Semiconductor Optical Amplifier. [19](#)
- SOA** Safe Operating Area. [64](#)
- SSB** Single-SideBand. [14](#), [127](#)
- TAS** Thalès Alénia Space.
- TRT** Thalès Research and Technology.
- VCCS** source de courant commandée en tension (ou Voltage Controlled Current Source). [62](#), [63](#), [65](#), [66](#), [67](#), [69](#), [70](#), [72](#), [80](#), [81](#), [95](#), [141](#), [151](#), [155](#), [156](#), [157](#), [165](#)
- VCO** oscillateur contrôlé en tension (ou Voltage Controlled Oscillator). [12](#), [13](#), [16](#)
- VCVS** source de tension commandée en tension (ou Voltage Controlled Voltage Source). [66](#), [68](#), [69](#), [70](#), [71](#), [72](#), [76](#), [77](#), [80](#), [81](#), [84](#), [112](#), [130](#), [151](#), [156](#), [157](#), [159](#)
- VT** tension de seuil (ou Threshold Voltage). [64](#), [65](#)