



**HAL**  
open science

# Fabrication et caractérisation du HEMT InP pour amplification faible bruit THz

Mohammed Samnoui

► **To cite this version:**

Mohammed Samnoui. Fabrication et caractérisation du HEMT InP pour amplification faible bruit THz. Micro et nanotechnologies/Microélectronique. Université de Lille, 2019. Français. NNT : 2019LILUI103 . tel-03611230v1

**HAL Id: tel-03611230**

**<https://theses.hal.science/tel-03611230v1>**

Submitted on 17 Mar 2022 (v1), last revised 17 Mar 2022 (v2)

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

Présentée à l'Université de Lille

École Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

**DOCTEUR DE L'UNIVERSITÉ**

Spécialité : ÉLECTRONIQUE, MICROÉLECTRONIQUE,  
NANOÉLECTRONIQUE ET MICRO-ONDES

Par

**Mohammed SAMNOUNI**

**Fabrication et caractérisation de HEMT InP pour  
amplification faible bruit THz**

Soutenue le 16 décembre 2019 devant la commission d'examen

## **Membres du Jury :**

Dr. Xavier Wallart	IEMN, Univ. Lille	Président du jury
Pr. Hassan Maher	LN2, Univ. Sherbrooke	Rapporteur
Pr. Jean-Guy Tartarin	LAAS, Univ. Toulouse	Rapporteur
Pr. Nathalie Malbert	IMS, Univ. Bordeaux	Examinatrice
Dr. Nicolas Wichmann	IEMN, Univ. Lille	Co-encadrant
Pr. Sylvain Bollaert	IEMN, Univ. Lille	Directeur de thèse



## Remerciements

Ce travail a été effectué à l'Université de Lille au sein de l'Institut d'Électronique, de Microélectronique et de nanotechnologie (IEMN) dirigé par Monsieur Lionel Buchailot et plus particulièrement dans l'équipe ANODE dirigé par Monsieur Mohammed Zaknoute. Il est évidemment assez difficile de citer toutes les personnes qui ont contribué à la réalisation de cette thèse, alors en espérant n'oublier personne ....

Je souhaite tout d'abord remercier mes encadrants Sylvain Bollaert et Nicolas Wichmann d'avoir dirigé et encadré ces travaux de thèse, je les remercie pour leurs disponibilités, leurs investissements, leurs patiences ainsi que leurs encouragements durant ces années.

J'adresse mes sincères remerciements à Monsieur Xavier Wallart (IEMN) qui me fait l'honneur de présider la commission d'examen, je lui suis grandement reconnaissant également pour sa disponibilité, les discussions à propos des optimisations des structures épitaxiales et l'accroissance des couches HEMT avec Monsieur Christophe Coinon.

Je remercie sincèrement Monsieur Jean-Guy Tartarin (LAAS) et Monsieur Hassan Maher (LN2) d'avoir jugé ce travail en tant que rapporteurs. Je leur suis très reconnaissant de l'intérêt qu'ils ont porté à mes travaux. Je remercie également Madame Nathalie Malbert (IMS) d'avoir accepté d'examiner ce travail au sein de la commission d'examen.

Je remercie sincèrement tout le personnel de l'IEMN la centrale de nanofabrication : B. Grimbert, F. Vaurette, M. François, Y. Deblock, J-L Codron, S. Ouendi, P. Tilmant, C. Boyaval M. Dewitte, A. Fattorini, D. Troadec, J-L ainsi que le personnel de la centrale de caractérisation : S. Lepilliet, V. Avramovic, E. Okada et S. Eliet.

Je tiens maintenant à remercier les membres du groupe ANODE et EPIHY ainsi que PhotoniqueTHz particulièrement Monsieur Guillaume Ducournau pour sa contribution aux caractérisations à très Hautes fréquences. Mes remerciements vont également à Monsieur Ahmed Addad pour ces images TEM et à Monsieur Gilles Dambrine pour son aide dans la partie bruit.

Un immense merci aussi aux personnes que j'ai côtoyées durant ces années de thèse les ex-doctorants, les doctorants, les post doctorants, ingénieurs ainsi que tous les collègues pour leur sympathie et les moments conviviaux passés ensemble : Aurélien, Vinay, Matej, Yoann, Khadim, Alexandre, Jawad, Elias, Giuseppe, Hugo, Soukaina, Fatima, Cybelle, Kévin, Charbel, Mahmoud, Reda et autres...

Enfin, je remercie mes parents, mes frères et ma sœur, ainsi que ma chère épouse pour leurs soutiens et leurs encouragements durant toute cette période.



---

## Résumé

---

Les avancées des technologies III-V permettent aujourd'hui de concevoir des composants électroniques fonctionnant en gammes millimétrique et submillimétrique (fréquences Terahertz) pour répondre aux besoins émergents du marché des télécommunications et de l'électronique à destination de différents secteurs industriels. L'électronique THz trouve des débouchées importantes dans les applications d'imagerie, entre autres pour la sécurité et les communications sans fils ultra haut débit (5G plus).

La technologie des transistors HEMT InP a connu ces dernières années un progrès remarquable dans la réalisation des circuits intégrés à très hautes fréquences (fréquence de fonctionnement à 1 THz) et de faible bruit. Peu d'acteurs mondiaux de la microélectronique (aucun en France) ont établi des performances atteignant ces fréquences THz. Nous proposons de développer une technologie répondant à cette demande.

Dans ces travaux de thèse, nous proposons de développer des HEMT InAlAs /InGaAs/InAs sur substrat d'InP de fréquence de coupure THz pour amplification faible bruit dans les systèmes de réception-détection THz. Nous avons pour cela optimisé la structure semiconductrice utilisée afin d'obtenir un meilleur compromis mobilité/charges électroniques. Nous avons également apporté des modifications géométriques (longueur de grille, taille du recess et espacements des électrodes du transistor) qui ont permis d'augmenter considérablement les fréquences de fonctionnement du transistor. Nous avons réalisé des mesures de paramètres S jusque 750 GHz et en bruit jusque 110 GHz, afin de valider les optimisations technologiques apportées à la structure HEMT.

Mots clés : HEMT, InP, InAlAs/InGaAs/InAs, recess asymétrique, hyperfréquence, fréquence maximale d'oscillation et facteur minimum de bruit.

---

## Abstract

---

Progress of III-V technologies are now making it possible to design electronic components operating in the millimeter and sub-millimeter wave range (THz) are facing the needs of the telecommunications and electronics market for various industrial sectors. The technology of InP High Electron Mobility Transistor (HEMT) allowed in recent years a remarkable progress in the realization of integrated circuits at very high frequencies (operating frequency at 1 THz) and low noise. Few world players in microelectronics (none in France) have established performances reaching these THz frequencies. We propose to develop a technology that meets this demand.

We propose to develop InAlAs /InGaAs/InAs HEMT with THz cutoff frequency and low noise, mainly for reception-detection THz electronic system. The work will therefore focus on the determination of an optimal epitaxial structure using InAlAs/InGaAs/InAs materials by performing Hall effect measurements of several heterostructures, in order to determine the layer offering a better mobility / electronic charges tradeoff. The modifications of the transistor geometry (gate length, recess size and the spacings of the electrodes of the transistor) made it possible to considerably increase the operating frequency of the transistor. We achieved the characterizations of S-parameters up to 750 GHz and noise up to 110 GHz, in order to validate the technological optimizations.

Key words: HEMT, InP, InAlAs/InGaAs/InAs, asymmetric gate recess, high frequency, maximum oscillation frequency, noise-figure.



# Table des matières

Remerciements.....	i
Liste des figures .....	viii
Liste des tableaux.....	xii
<i>Introduction générale</i> .....	1
<b>Chapitre I : Introduction et performances des HEMTs InAlAs/InGaAs</b> .....	5
I. Introduction du chapitre I .....	6
II. Filières technologiques du transistor à effet de champ .....	6
II.1. Histoire et évolution des HEMTs.....	6
II.2. Hétérojonction et formation du gaz bidimensionnel .....	7
II.3. Transistor à effet de champ HEMT.....	8
II.3.1. Filières technologiques de HEMT à base de matériaux III-V .....	9
II.3.2. Évolution des technologies de HEMTs .....	12
III. État de l'art statique, dynamique et en bruit de HEMT .....	16
III.1. Définition des caractéristiques électriques du transistor.....	16
III.1.1. Grandeurs statiques .....	16
III.1.2. Grandeurs dynamiques (Gain hyperfréquences et fréquences de transitions).....	17
III.1.3. Grandeur de bruit .....	22
III.2. Filière de transistors pour les applications millimétriques et sub-millimétriques .....	23
III.3. Paramètres ayant un impact sur les caractéristiques de HEMT (InAlAs/ InGaAs) .....	27
III.3.1. Impact de $L_g$ .....	27
III.3.2. Impact du recess asymétrique.....	28
III.3.3. Impact de l'espacement drain-source .....	30
IV. Circuits et Applications en bande millimétriques et sub-millimétriques .....	30
IV.1. Circuits et applications MMICs.....	30
IV.2. État de l'art en bruit (transistors et circuits) .....	32
V. Conclusion du chapitre I .....	35
<b>Chapitre II : Réalisation et optimisation technologiques de HEMT de la filière InAlAs/InGaAs/InAs à canal composite sur un substrat d'InP</b> .....	37
I. Introduction du chapitre II.....	38
II. Structure épitaxiale : Simulations et études expérimentales .....	38
II.1. Structure épitaxiale .....	38
II.2. Simulations et études expérimentales .....	40
II.2.1. Potentiel de surface.....	40
II.2.2. Épaisseur de la couche « cap » .....	42



II.2.3. Évaluation et optimisation de la structure.....	43
II.2.4. Optimisation du contact ohmique.....	48
II.2.5. Passivation de la structure .....	51
II.2.6. Dénitruration de la structure .....	54
III. Procédés et optimisations technologiques.....	55
III.1. Procédés de fabrication de HEMT.....	55
III.2. Premier procédé de fabrication.....	59
III.2.1. Marques d’alignement.....	59
III.2.2. Mésa d’isolation .....	60
III.2.3. Contacts ohmiques .....	60
III.2.4. Dépôt de $Si_3N_4$ et gravure plasma RIE .....	62
III.2.5. Recess et réalisation de la grille .....	64
III.2.6. Plots d’épaississement.....	66
III.2.7. Résultats et discussions du procédé 1.....	67
III.3. Deuxième procédé de fabrication .....	68
III.3.1. Réalisation du recess et de l’électrode de grille .....	70
IV. Réajustement des accès coplanaires en 25 $\mu\text{m}$ de pitch.....	71
V. Conclusion du chapitre II.....	73
<b>Chapitre III : Caractérisation de HEMT : Mesures statiques, dynamiques et en bruit</b> .....	<b>75</b>
I. Introduction du chapitre III.....	76
II. Caractérisations des transistors des procédés 1 et 2 .....	76
III. Caractérisations en régime statique.....	77
III.1. Caractérisations statiques du procédé 1 .....	77
III.2. Caractérisations statiques du procédé 2.....	80
IV. Outils de caractérisations en régime dynamique .....	84
IV.1. Étalonnage <i>Off-wafer</i> .....	85
IV.2. Étalonnage <i>On-wafer</i> .....	85
V. Caractérisations dynamiques jusque 110 GHz.....	87
V.1. Caractérisations dynamiques du procédé 1.....	87
V.1.1. Comparaison de la couche cap .....	88
V.1.2. Impact de l’espacement drain-source $L_{SD}$ .....	91
V.1.3. Impact de longueur de grille $L_g$ .....	91
V.1.4. Conclusion sur le procédé 1 .....	92
V.2. Caractérisations dynamiques du procédé 2.....	93
VI. Méthodes et modèles de caractérisations de bruit du transistor HEMT .....	96

VI.1. Origines du bruit dans un HEMT .....	96
VI.1.1. Bruit d'un quadripôle .....	97
VI.1.2. Modèles de bruit de HEMT et méthodes de mesure .....	99
VI.1.3. Description du Banc de mesure.....	102
VI.1.4. Étalonnage du banc de mesure .....	104
VI.2. Mesure de bruit jusque 110 GHz.....	106
VI.2.1. Épluchage des accès coplanaires.....	106
VI.2.2. Mesure de $NF_{50}$ .....	107
VI.2.3. Méthode d'extraction .....	108
VI.2.3.1. Détermination du schéma équivalent .....	108
VI.2.3.2. Détermination de $T_{out}$ .....	109
VI.2.3.3. Extraction des quatre paramètres de bruit .....	110
VII. Conclusion du chapitre III .....	112
<b>Chapitre IV : Mesure et deembedding au-delà de 110 GHz et perspectives.....</b>	<b>113</b>
I. Introduction du chapitre IV .....	114
II. Mesures et épluchage des transistors HEMTs.....	114
II.1. Topologie des accès coplanaires du transistor .....	114
II.2. Mesure des étalons d'épluchage « <i>Open-Short</i> » .....	116
II.3. Mesure du transistor.....	118
III. Étude des lignes coplanaires en large bande .....	122
III.1. Influence de la topologie des lignes coplanaires .....	122
III.2. Méthode d'extraction des caractéristiques des lignes coplanaires.....	124
III.3. Mesure et extraction des caractéristiques de ligne coplanaire .....	126
IV. Conclusion du chapitre IV .....	131
<i>Conclusion générale et perspectives.....</i>	<i>133</i>
<i>Annexes.....</i>	<i>137</i>
Liste des publications.....	145
Références .....	147

# Liste des figures

Figure-Intro. 1-Photographie du HEMT en coupe transversale de $L_g = 25$ nm et b) Circuit TMIC réalisé.....	1
Figure-Intro. 2-a) Photographie du HEMT en coupe transversale de $L_g = 75$ nm et b) Gains mesurés ..	2
Figure I.1-Structure épitaxiale du MESFET .....	7
Figure I.2-Comparaison de la structure de bande d'une hétérojonction entre un matériau de petit-gap et de grand-gap .....	8
Figure I.3-Structure épitaxiale du HEMT .....	9
Figure I.4- Alignement des bandes de conduction et de valence en fonction du paramètre de maille [11] .....	11
Figure I.5-Evolution du marché des applications de type MMIC à base de technologie HEMT [15] ..	13
Figure I.6-Différence de la structure de bande du HEMT entre un canal simple et composite .....	14
Figure I.7- a) Polarisation d'un transistor à effet de champ. b) caractéristiques $I_D(V_{DS})$ [26].....	16
Figure I.8-a) Localisation physique des éléments du schéma équivalent [10]. b) schéma équivalent petit signal du transistor HEMT .....	19
Figure I.9-Etat de l'art de figure de mérite de couple $f_T/f_{max}$ , des transistors à base de matériaux III-V et Silicium de différents laboratoires et industries .....	24
Figure I.10-Etat de l'art de figures de mérites $f_T$ et $f_{max}$ en fonction de $L_g$ pour deux types du canal ...	26
Figure I.11-Impact de longueur de grille $L_g$ sur les caractéristiques de HEMT : (a) état de l'art de $g_m$ en fonction de $L_g$ , (b) impact de $L_g$ sur $g_m$ d'un $In_{0.70}Ga_{0.3}As$ PHEMT, (b : [77]).....	28
Figure I.12-Impact de $L_{side}$ sur les caractéristiques du HEMT (a) et (b) dans [79], (c) et (d) dans [20]	29
Figure I.13-Impact de l'espacement drain-source $L_{SD}$ sur les caractéristiques du HEMT [48] .....	30
Figure I.14--Diversité des applications millimétriques et sub-millimétriques des MMICs [81] .....	31
Figure I.15-Photographie de LNA à base d'un MHEMT à 600 GHz développé par IAF .....	32
Figure II.1-Structure épitaxiale initiale du HEMT à double-plan de dopage .....	39
Figure II.2-Présentation des bandes de conduction et de valence des matériaux III-V en fonction.....	41
Figure II.3- Potentiel de surface et tension $V_g$ d'un Bulk d' $InGaAs$ : a) expérimental et b) simulation	41
Figure II.4-Densité d'électrons dans le cap $InGaAs$ en fonction de son épaisseur .....	42
Figure II.5-Structure épitaxiale du HEMT à double-plan de dopage : a-Structure de départ et b- différentes architectures de canal.....	43
Figure II.6-Structure épitaxiale du HEMT à différent double-plan de dopage : a-Structure à canal optimisé b-trois combinaisons de dopage .....	47
Figure II.7-Méthode TLM appliquée sur la structure HEMTs à cap composite .....	49
Figure II.8-Passivation de zone du recess pour les deux procédés de fabrication.....	52
Figure II.9-a-Structure épitaxiale, b- schéma représentatifs des échantillons mesurés par effet Hall...	53
Figure II.10- Principales étapes du premier procédé pour la réalisation du HEMT .....	57
Figure II.11-Principales étapes du deuxième procédé pour la réalisation du HEMT.....	58
Figure II.12-Problème du résidu de la résine SAL 601 sur les contacts ohmiques .....	59
Figure II.13-(a), (b), (c), et (d) schémas représentatifs des étapes de la gravure humide de méso d'isolation, (e) et (f) images MEB d'une couche active du transistor .....	60
Figure II.14- Observation au MEB du problème d'effet de proximité en fonction du développement et de la distance $L_{SD}$ .....	61
Figure II.15-a) Schéma représentatif du contact ohmique, b) images MEB de réalisation des contacts ohmiques Ti/Pt/Au.....	62
Figure II.16- Schéma représentatif :a) dépôt de 30 nm de $Si_3N_4$ et b) ouverture de $Si_3N_4$ par plasma ..	62

Figure II.17-Images MEB des ouvertures obtenues à travers le nitrure .....	63
Figure II.18-Etape de définition du recess de grille .....	64
Figure II.19-Vitesse de gravure des matériaux $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ et $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ par la solution $\text{H}_3\text{OP}_4$ ..	65
Figure II.20-Gravure d'un cap composite $\text{In}_{0.53}\text{Ga}_{0.47}\text{As} / \text{In}_{0.52}\text{Al}_{0.48}\text{As}$ par la solution $\text{H}_3\text{OP}_4$ .....	65
Figure II.21- a) Schéma représentatif du transistor après dépôt de la grille- b), c) et d) Images MEB d'un transistor à deux doigts de grille.....	66
Figure II.22- Images MEB de a) position des zones de nitrure à graver avant le dépôt des plots, b) transistor après gravure du nitrure dans les zones de contact source et drain et c) transistor après dépôt des plots d'épaississement .....	67
Figure II.23-Images MEB de différentes longueurs de grille du premier procédé.....	68
Figure II.24-Images MEB représentantes le problème de discontinuité de métallisations a) ouverture de nitrure de 30 nm et b) zoom sur la zone de discontinuité .....	68
Figure II.25-Schéma représentatif des principales longueurs définissent le deuxième procédé de fabrication.....	69
Figure II.26-Etapes de réalisation du recess et de grille du deuxième procédé.....	70
Figure II.27-Images FIB pour deux transistors avec recess : a) symétrique et b) asymétrique .....	71
Figure II.28-Adaptation du pitch des accès coplanaire : a) transistor initial de 50 $\mu\text{m}$ de pitch ; b) transistor après réajustement de pitch à 25 $\mu\text{m}$ .....	72
Figure III.1-Structures épitaxiales utilisées pour concevoir les transistors HEMT du procédé 1 et 2 ..	77
Figure III.2-Caractéristiques de sortie et de transfert pour deux composants de $L_g = 45 \text{ nm}$ et $W_g = 2 \times 12$ $\mu\text{m}$ .....	78
Figure III.3-Caractéristiques de sortie et du transfert de deux composants avec $L_g = 60 \text{ nm}$ et $W_g = 2 \times 15$ $\mu\text{m}$ .....	79
Figure III.4-Effet de longueur de grille sur la transconductance des transistors de $W_g = 2 \times 15 \mu\text{m}$ .....	80
Figure III.5-Comparaison des caractéristiques de transfert en fonction du recess $L_{RD}$ de l'échantillon 1 .....	81
Figure III.6- Comparaison des caractéristiques de transfert en fonction du recess $L_{RD}$ de l'échantillon 2 .....	82
Figure III.7- Comparaison des caractéristiques de transfert en fonction du recess $L_{RD}$ de l'échantillon 3 .....	82
Figure III.8-Comparaison des caractéristiques de sorties en fonction de la longueur du recess $L_{RD}$ de l'échantillon 3 avec (P4/3).....	83
Figure III.9-Synoptique d'un banc de mesure de paramètres S [250 MHz – 110 GHz].....	84
Figure III.10-Topologie de lignes coplanaire du transistor et les étalons d'épluchage associés de 50 $\mu\text{m}$ de pitch.....	86
Figure III.11-Procédure d'épluchage des accès par la technique Open-Short .....	86
Figure III.12-Méthode de calcul de paramètres de Short* .....	86
Figure III.13-Evolution fréquentielle des gains ; a) gain unilatéral de Mason $U$ et b) gain en courant $h_{21}^2$ pour deux transistors de couche cap simple et composite .....	88
Figure III.14-Comparaison des paramètres S mesurés et modélisés sous ADS pour le transistor à couche cap simple.....	90
Figure III.15-Évolution fréquentielle des gains $U$ et $h_{21}^2$ mesurés et modélisés sous ADS pour le transistor à couche cap simple .....	90
Figure III.16-Impact de longueur de grille $L_g$ sur les performances du transistor.....	92
Figure III.17-Recapitulatif du couple $f_T/f_{\text{max}}$ obtenues sur des composants du premier procédé.....	93
Figure III.18-Évolution fréquentielle des Gains mesurés de « l'ech1 » en fonction de $L_{RD}$ pour des transistors de $L_g = 75 \text{ nm}$ et $W_g = 2 \times 12 \mu\text{m}$ .....	94

Figure III.19- Évolution fréquentielle des Gains mesurés de « l'ech2 » en fonction de $L_{RD}$ pour des transistors de $L_g = 75$ nm et $W_g = 2 \times 12 \mu\text{m}$ .....	94
Figure III.20- Évolution fréquentielle des Gains mesurés de « l'ech3 » en fonction de $L_{RD}$ pour des transistors de $L_g = 65$ nm et $W_g = 2 \times 12 \mu\text{m}$ .....	94
Figure III.21-Evolution de paramètres du schéma équivalent petit signal et fréquences $f_{\text{max}}$ des composants de « ech1 » en fonction de longueur $L_{RD}$ .....	96
Figure III.22-Description de bruit dans un quadripôle .....	98
Figure III.23-Modèle bruit de type Van Der Ziel d'un TEC avec deux sources de bruit en courant ..	100
Figure III.24-modèle de bruit de Pospieszalski .....	101
Figure III.25-Modèle bruit $NF_{50}$ d'un HEMT avec deux sources de bruit .....	102
Figure III.26- Photographie du banc de mesure du facteur de bruit sous $50 \Omega$ en bande [6 GHz – 42 GHz].....	103
Figure III.27- Synoptique du banc de mesure du facteur de bruit sous $50 \Omega$ en bande [6 GHz – 42 GHz] .....	103
Figure III.28- Photographie du banc de mesure du facteur de bruit sous $50 \Omega$ en bande W [75 GHz – 110 GHz].....	104
Figure III.29- Synoptique du banc de mesure du facteur de bruit sous $50 \Omega$ en bande W [75 GHz – 110 GHz].....	104
Figure III.30-Synoptique du banc de mesure du facteur de bruit sous $50 \Omega$ .....	105
Figure III.31- Évolution fréquentielle des gains du transistor représentatif de « ech1 ».....	106
Figure III.32-Photographie du transistor a) avec accès et b) sans accès coplanaires .....	107
Figure III.33-Mesure de $NF_{50}$ en fonction de la tension $V_{GS}$ à $V_{DS}=1V$ pour plusieurs fréquences ...	108
Figure III.34-Comparaison de paramètres S mesurés et simulés à partir d'un schéma équivalent petit signal avec et sans accès coplanaires du transistor .....	109
Figure III.35-Facteur de bruit $NF_{50}$ mesuré et simulé jusque 110 GHz à $T_{\text{out}}$ variable d'un transistor de $W_g= 2 \times 12 \mu\text{m}$ et $L_g= 75$ nm du deuxième procédé « ech1 » .....	110
Figure III.36-Extraction des quatre paramètres de bruit jusque 110 GHz à $T_{\text{out}}$ variable d'un transistor de $W_g= 2 \times 12 \mu\text{m}$ et $L_g= 75$ nm du deuxième procédé.....	111
Figure IV.1-Adaptation du pitch des accès coplanaire : a) transistor initial de $50 \mu\text{m}$ de pitch et b) transistor après le réajustement du pitch à $25 \mu\text{m}$ .....	115
Figure IV.2-Topologies 1 et 2 des transistors et les étalons d'épluchage associés de a) $50 \mu\text{m}$ de pitch et b) $25 \mu\text{m}$ de pitch.....	115
Figure IV.3-Paramètres S de l'étalon Open .....	116
Figure IV.4-Paramètres S de l'étalon Short .....	117
Figure IV.5-Evolution fréquentielle des gains $U$ et $ h_{21} ^2$ dans la bande [250 MHz – 110 GHz] de transistors avec recess asymétrique ( $L_{RS} = 70$ nm et $L_{RD} = 195$ nm) pour les deux topologies...	118
Figure IV.6-Evolution fréquentielle des gains $U$ , $MSG/MAG$ et du facteur de stabilité K dans les bandes [250 MHz – 110 GHz], [140 GHz – 220 GHz] et [220 GHz – 325 GHz] du transistor de la topologie 1 .....	119
Figure IV.7-Evolution fréquentielle des gains $U$ , $MSG/MAG$ et du facteur de stabilité K du transistor de la topologie 2 dans toutes les bandes (250 MHz jusqu'à 750 GHz) .....	119
Figure IV.8-Paramètres S du transistor de la topologie 1 avec et sans correction .....	121
Figure IV.9-Paramètres S du transistor de la topologie 2 avec et sans correction .....	122
Figure IV.10- Topologies de lignes coplanaires correspondant aux transistors mesurés. a) Topologie 1 identique à celle des accès du transistor, b) topologie 2 accès du transistor avec réajustement de la distance inter-masse, c) topologie 3 et d) topologie 4. ....	124
Figure IV.11- Évolution fréquentielle de quatre paramètres S de 250 MHz jusque 325 GHz pour les quatre topologies.....	127

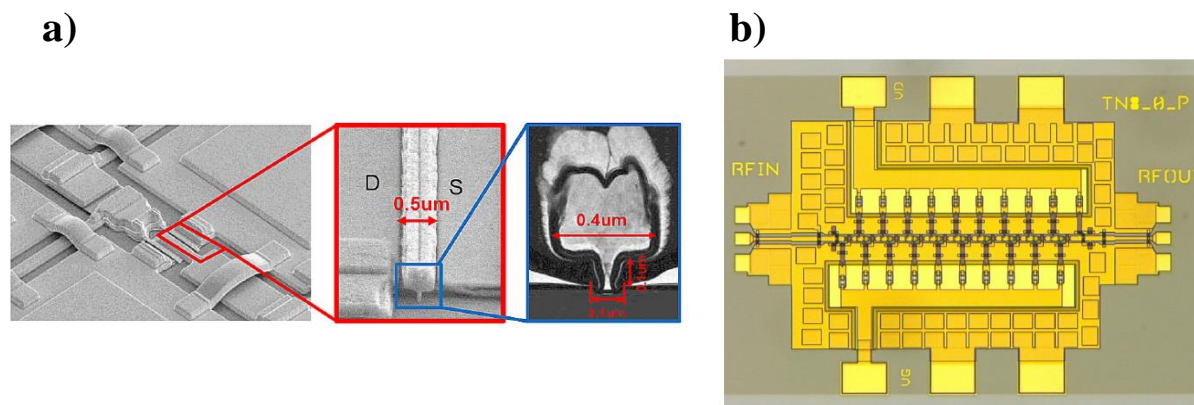
Figure IV.12- Comparaison des éléments A et D de la matrice chaîne.....	128
Figure IV.13- Évolution fréquentielle de quatre paramètres de propagation de 250 MHz jusque 325 GHz pour les quatre topologies .....	130
Figure-Conc. 1--Images MEB pour un transistor a grille décentré de 200 nm et b) évolution fréquentielle des gains $U$ et $ h_{21} ^2$ .....	135
Figure. 1-Coupe transversale de la structure HEMT : a) la structure épitaxiale ; (b) image MEB de la grille en T ; c) une coupe TEM.....	137
Figure. 2-Images EDX de la coupe transversale de la structure HEMT .....	138
Figure. 3-Étude de la rugosité de surface sur InGaAs et InAlAs par AFM .....	141
Figure. 4-Synoptique d'talonnage des ports.....	142
Figure. 5-Synoptique d'étalonnage du banc de mesure de quadripôles d'entrée et de sortie.....	142
Figure. 6-Modèle du transistor sans accès coplanaires.....	143
Figure. 7-Épluchage des accès : a-Paramètres de l'open et b-Paramètres du short.....	144
Figure. 8-Modèle du transistor avec accès coplanaires .....	144

## Liste des tableaux

Tableau I-1 Propriétés de matériaux III-V, GaN et Si [12].....	12
Tableau I-2. Etat de l'art de couple $\mu$ Hall / NHall du HEMT-InP pour différents types de canaux .....	15
Tableau I-3. Extraction de la matrice intrinsèque $Y_i$ à partir de la méthode d'épluchage [28].....	20
Tableau I-4. Références bibliographiques des couples $f_T/f_{max}$ présentés sur la figure I.9 de différents laboratoires et industries .....	25
Tableau I-5. Références bibliographiques entre 2007 et 2019 des couples $f_T/f_{max}$ et gm présentés sur la figure I.10-a et b .....	27
Tableau I-6. État de l'art en bruit des transistors HEMTs et HBTs [1990-2019] .....	33
Tableau I-7. État de l'art en bruit des amplificateurs LNA [2008-2018].....	34
Tableau II-1. Densités d'électrons $N_i$ simulées selon couches associées à leur mobilité respective $\mu_i$ . La densité d'électrons et la mobilité de Hall calculées sont comparées aux valeurs expérimentales .....	44
Tableau II-2. Comparaison des paramètres de Hall calculés et mesurés des cinq architectures de canal à double-plan de dopage fixe P 6/3.....	45
Tableau II-3 Répartition des charges dans la couche canal pour les cinq architectures à double-plan de dopage fixe P 6/3 .....	46
Tableau II-4. Répartition des charges dans la couche canal pour les trois paires de dopage à couche canal fixe InGaAs/InAs/InGaAs (40/30/25Å) .....	47
Tableau II-5. Comparaison des paramètres de Hall calculés et mesurés des trois paires de dopage à couche canal fixe InGaAs/InAs/InGaAs (40/30/25Å).....	48
Tableau II-6. Mesure électrique de TLM pour une structure HEMT avec et sans cap composite InGaAs/InAlAs .....	50
Tableau II-7. Mesure électrique de TLM pour deux structures HEMT à cap composite et simple .....	50
Tableau II-8. L'effet de la passivation sur les propriétés de transport électronique du HEMT .....	54
Tableau II-9 L'impact de la gravure plasma SF <sub>6</sub> sur les mesures de Hall .....	55
Tableau II-10. Ouvertures obtenues à travers le diélectrique de Si <sub>3</sub> N <sub>4</sub> .....	63
Tableau III-1. Description des échantillons réalisés de procédé 1 .....	80
Tableau III-2. Éléments du schéma équivalent petit signal pour des transistors à cap simple et ( $L_g = 45$ nm et $W_g = 2 \times 12 \mu\text{m}$ ). Extraction réalisée au point de polarisation indiqué sur la figure III.13 ...	89
Tableau III-3. Schéma équivalent petit-signal pour deux transistors de $L_{SD} = 1.5 \mu\text{m}$ et $1 \mu\text{m}$ .....	91
Tableau III-4. Paramètres du schéma équivalent petit signal et fréquences de transition des composants de « ech1 » en fonction de longueur $L_{RD}$ .....	95
Tableau III-5. Éléments du schéma équivalent petit signal ( $V_{DS} = 1\text{V}$ et $V_{GS} = -0.3\text{V}$ ) sans accès coplanaires du transistor ( $L_g = 75$ nm et $W_g = 2 \times 12 \mu\text{m}$ ) .....	108
Tableau III-6. Extraction des quatre paramètres de bruit du transistor .....	111
Tableau IV-1. Description des bandes de fréquences disponibles à l'IEMN.....	114

# Introduction générale

Les HEMTs (High Electron Mobility Transistors) utilisant des matériaux III-V à petite bande interdite pour le canal conducteur, tel que le matériau InGaAs, restent encore aujourd'hui les meilleurs transistors pour les applications millimétriques voire sub-millimétriques (le THz), en particulier pour les modules de réception en télécommunication ou dans les systèmes de détection. Bien que la concurrence se fait rude, en particulier par l'émergence des technologies silicium mais aussi les transistors à base de matériaux nitrurés, les HEMTs sont encore aujourd'hui les meilleurs candidats pour les applications de télécommunication, en imagerie passive ou pour la radioastronomie. En effet, ces applications requièrent des amplificateurs faible bruit. Le circuit intégré monolithique micro-onde (MMIC : Microwave Monolithique Integrated Circuit) de la filière HEMT InGaAs présente les plus faibles facteurs de bruit en gamme millimétrique et surtout en gamme sub-millimétrique. La bande de longueur d'onde sub-millimétrique, qui correspond à des fréquences THz, est un domaine que peu d'acteurs mondiaux ont exploré. On peut citer les travaux du MIT [1], de l'IAF [2] et surtout ceux de Northrop Grumman qui ont établi le record mondial de fréquence maximale d'oscillation  $f_{max}$  à 1.5 THz [3]. Ce dernier résultat a été confirmé par la fabrication d'un MMIC ou d'un TMIC (Térahertz MIC) de type amplificateur faible bruit (Low Noise Amplifier LNA) à 1 THz de fréquence de fonctionnement [3]. La **figure 1** présente une photographie du circuit ainsi qu'une coupe transversale du HEMT utilisé. Le HEMT consiste en une hétérostructure InAlAs/InGaAs/InAs et de longueur de grille  $L_g$  atteint 25 nm.

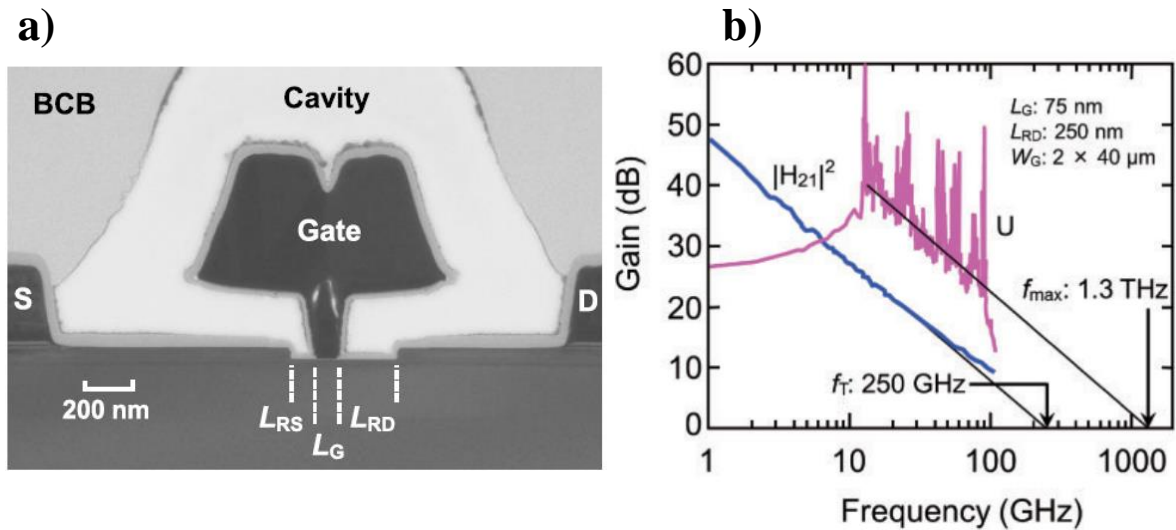


**Figure-Intro. 1-Photographie du HEMT en coupe transversale de  $L_g = 25$  nm et b) Circuit TMIC réalisé**

Plus récemment, les travaux de Fujitsu nous ont interpellés. En effet, ceux-ci ont reporté une fréquence maximale d'oscillation  $f_{max}$  de 1.3 THz en utilisant les mêmes types de matériaux que Northrop Grumman, mais avec une longueur de grille beaucoup plus élevée, 75nm. Les **figures 2-a et 2-b**, présentent respectivement une photographie du HEMT en coupe transversale et les gains mesurés. Cette excellente fréquence a été obtenue en optimisant les propriétés de l'hétérojonction InAlAs/InGaAs, en utilisant une gravure de fossé de grille (recess) asymétrique et par réduction de l'espace entre les électrodes de source et de drain. Cette topologie s'avère prometteuse, car elle évite la réduction de la longueur de grille à quelques dizaines de nanomètres. Une longueur de grille, dont le profil est en forme de T, est plus simple à réaliser



au-delà de 50 nm. De plus, cette dimension relâchée est un atout pour l'uniformité, la reproductibilité et le rendement des technologies HEMTs.



**Figure-Intro. 2-a) Photographie du HEMT en coupe transversale de  $L_g = 75$  nm et b) Gains mesurés**

C'est pourquoi, nous proposons dans ce travail de thèse d'explorer les potentialités pour le THz, de HEMTs InAlAs/InGaAs/InAs sur substrat d'InP avec des longueurs de grille d'environ 75 nm.

Ce travail de thèse se décompose en quatre principaux chapitres :

Le premier chapitre de ce manuscrit présente le contexte général de la thèse et la description du transistor HEMT. L'état de l'art des transistors à effet de champ et principalement des HEMTs à base de matériaux III-V. Nous allons comparer les différentes filières technologiques de HEMT réalisées au cours de ces dix dernières années. Nous présentons également leurs performances en statique, en dynamique et en bruit. Nous décrivons l'état de l'art actuel des HEMTs InGaAs/InAlAs sur InP avec recess de grille asymétrique et des HEMTs à différentes longueurs de grille. Nous présentons brièvement l'état de l'art de différents types de transistor (HBT, HEMT à base de GaN et GaAs, MOSFET...) afin de justifier les motivations du choix du transistor HEMT à hétérostructure InAlAs/InGaAs/InAs sur substrat d'InP. Nous finissons ce chapitre en présentant les différentes applications des HEMTs pour les circuits MMICs.

Le second chapitre sera consacré à la fabrication de HEMT de la filière InAlAs/InGaAs/InAs sur un substrat d'InP, nous présentons les étapes de fabrication de deux procédés, plus particulièrement les étapes technologiques critiques (gravure du fossé de la grille symétrique et asymétrique, contact ohmique). Une grande partie de ce chapitre sera dédiée aux optimisations apportées à la structure semiconductrice pour améliorer les propriétés de transport électronique et la qualité des contacts ohmiques. L'accent sera notamment porté sur plusieurs tests effectués qui nous ont permis d'améliorer le procédé de fabrication et de mettre en place de nouvelles méthodes simples à la réalisation et à la caractérisation de HEMT.

Le troisième chapitre quant à lui sera dédié à la présentation des résultats obtenus à partir des mesures statique, dynamique et en bruit effectuées jusqu'à la fréquence 110 GHz. Les deux procédés de fabrication seront étudiés en fonction de figure de mérite  $f_T$  et  $f_{max}$ . La modélisation

et l'extraction du schéma équivalent petit-signal seront présentées et validées jusqu'à la fréquence 110 GHz. Pour étudier le bruit du transistor dans un premier temps, nous décrivons la méthode utilisée ainsi que le modèle à deux sources de bruit de G. Dambrine. Ensuite, nous présentons les résultats de mesure de bruit ainsi que les résultats de l'extraction des quatre paramètres de bruit sur trois bandes différentes [6 GHz – 20 GHz], [20 GHz – 42 GHz] et [75 GHz – 110 GHz].

Finalement, le dernier chapitre sera consacré aux mesures de paramètres S du transistor et des éléments passifs, étalons et lignes coplanaires, au-delà de 110 GHz. Les bandes de fréquences explorées s'étendent de 250 MHz jusqu'à la fréquence de 750 GHz. Dans un premier temps, nous présentons les résultats obtenus dans les bandes G [140 GHz – 220 GHz] et J [220 GHz – 325 GHz]. Ensuite, un réajustement de l'espacement entre le plot de masse et le plot de signal d'une ligne coplanaire (pitch) a permis de réaliser des mesures avec le nouveau banc de mesures des paramètres S sur substrat, récemment acquis par l'IEMN, au-delà de 325 GHz [325 GHz – 750 GHz]. Par ailleurs, nous avons constaté que les topologies actuelles présentes des pertes importantes au-delà de 110 GHz notamment en band G, J et [325 GHz – 500 GHz]. Ce qui nécessite le travail avec de nouvelles lignes adaptées à ces bandes de fréquences plus élevées.



***Chapitre I : Introduction et performances des HEMTs InAlAs/InGaAs***

# I. Introduction du chapitre I

Afin de comprendre le contexte de nos travaux présentés dans ce manuscrit, nous rappelons brièvement dans ce premier chapitre le principe de fonctionnement de transistor HEMT (High Electron Mobility Transistor), son évolution et ces différentes filières technologiques en fonction des années. Dans un premier temps, nous rappelons les avantages et les inconvénients de chaque filière, nous présentons par la suite les propriétés physiques de matériaux III-V. Notamment, la mobilité électronique des électrons ( $\mu$ ), le paramètre de maille et d'autres propriétés physiques intrinsèques aux matériaux (masse effective d'électrons et conductivité thermique...).

Dans le cadre de l'évolution de HEMT, la première partie de l'état de l'art sera consacrée aux attentes du marché des semiconducteurs. Ensuite, nous comparons les différents types de canaux du HEMT et l'influence du taux d'Indium sur la mobilité et la densité d'électrons. Dans la deuxième partie de l'état de l'art, nous définissons l'ensemble des grandeurs caractéristiques du HEMT en régime statique et dynamique, notamment les figures de mérite  $f_T/f_{max}$  et de quatre paramètres de bruit afin de clarifier et comprendre la suite de ce manuscrit.

De plus une présentation globale sera dédiée principalement à la comparaison de HEMT et des transistors de la même famille III-V : MOSFET et HBT, ainsi que d'autres filières concurrentes de HEMT à base de GaN et de Silicium. Après avoir abordé les caractéristiques de différentes technologies, nous comparons par la suite les figures de mérites  $f_T/f_{max}$  obtenues au cours de ces dernières années.

Par ailleurs, nous décrivons l'impact géométrique du composant sur l'évolution des caractéristiques de HEMT. Principalement, l'impact de la longueur de grille  $L_g$ , la couche canal et le type de contact Schottky, puis la topologie du transistor.

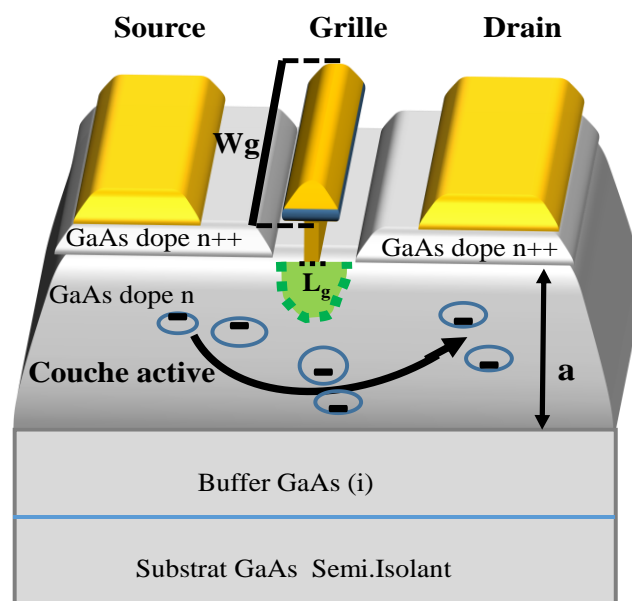
Finalement, nous présentons des circuits intégrés MMICs (Monolithic Microwave Integrated Circuit) ainsi que leurs applications en bandes de fréquences millimétriques et sub-millimétriques. Nous allons aborder également l'état de l'art de bruit des transistors et des circuits démonstrateurs de type LNA (Low Noise Amplifier).

## II. Filières technologiques du transistor à effet de champ

### II.1. Histoire et évolution des HEMTs

Tout a commencé en 1947, les trois physiciens américains John Bardeen, William Shockley et Walter Brattain, ont réalisé le premier dispositif à semi-conducteur nommé par « Transistor » [4]. Quelques années plus tard, en 1966 la fabrication de transistor à effet de champ MESFET (Metal Semiconductor Field Effect Transistor) a connu de grands progrès technologiques permettant de concevoir des composants à des hautes performances. Des fréquences importantes ont été démontrées à environ 15 GHz [5].

La **figure. I-1**, illustre la structure d'un MESFET, elle se compose de deux contacts. Le premier est ohmique et est formé à partir d'une jonction métal-semiconducteur (métal-GaAs n<sup>+++</sup>) ; les deux électrodes associées sont appelées « drain » et « source ». Le deuxième contact (métal-semiconducteur dopé n) est de type Schottky et formé à partir d'une jonction métal-semiconducteur (métal-GaAs n) ; l'électrode associée à ce contact est nommée « grille ». Les limitations des MESFET se présentent lors de la réduction de la longueur de l'électrode de grille «  $L_g$  ». En effet, la réduction de la longueur de grille doit s'accompagner d'une réduction de l'épaisseur de la couche active 'a', ce qui nécessite d'augmenter le dopage de la couche active pour maintenir la même valeur du courant. Ainsi, la nécessité de conserver un bon rapport d'aspect ( $\frac{L_g}{a} > \sim 5$ ), entraîne une dégradation des propriétés de transport dans le canal liée à l'augmentation de dopage. Ceci limite par conséquent, les performances fréquentielles du transistor. D'où la nécessité de mettre au point d'autres structures de transistor.



**Figure I.1-Structure épitaxiale du MESFET**

## II.2. Hétérojonction et formation du gaz bidimensionnel

L'évolution des transistors à effet de champ connaîtra une autre dimension à la fin des années 70, grâce aux résultats apportés par R. Dingle et ses collègues [6]. La première démonstration de l'hétérojonction à modulation de dopage a été effectuée en utilisant les matériaux AlGaAs/GaAs par croissance par jet moléculaire MBE (Molecular Beam Epitaxy), les premiers résultats obtenus de mobilité (1000 – 2500 cm<sup>2</sup>/V.s) et de discontinuité des bandes de conduction  $\Delta E_C = 0.3$  eV étaient assez faibles.

L'hétérojonction est basée sur la mise en contact d'un matériau à grand gap dopé et d'un autre à petit gap non dopé. Cette hétérojonction induit la création d'une discontinuité de bande de conduction  $\Delta E_C$  entre les deux matériaux (**figure I.2**). L'alignement des niveaux de Fermi entraîne un transfert d'électrons de la couche donneuse dopée vers le matériau non dopé. Une zone de puits bidimensionnel, appelée « 2DEG : Two Dimensionnel Electron Gas » constituée à l'interface de l'hétérostructure, accumule des électrons séparés de leurs atomes donneurs

ionisés. Ces électrons sont localisés dans une couche non dopée et bénéficient donc quasiment des propriétés de transport électronique d'un matériau non dopé.

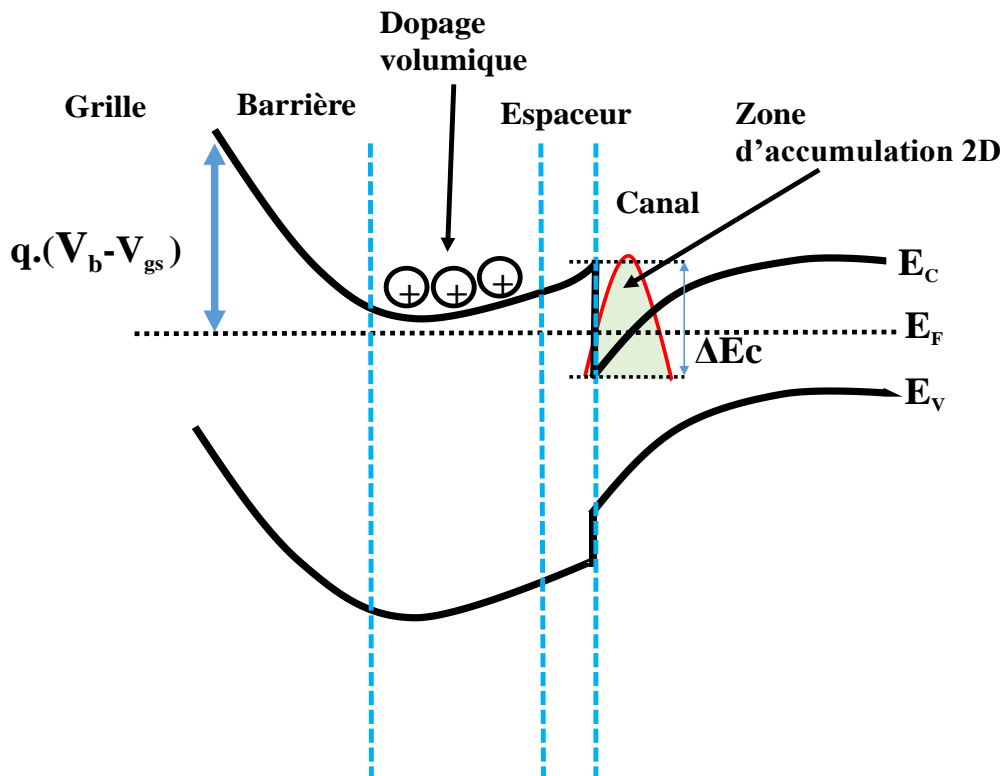


Figure I.2-Comparaison de la structure de bande d'une hétérojonction entre un matériau de petit-gap et de grand-gap

### II.3. Transistor à effet de champ HEMT

Grâce à la croissance atomique de l'épitaxie, l'optimisation des transistors à effet de champ n'a cessé de croître. En 1980, Mimura et ses collègues du laboratoire Fujitsu [7] ont présenté pour la première fois un transistor basé sur le concept de dopage par modulation mis au point par Dingle. Il est basé sur le principe de l'hétérojonction d'un matériau grand gap dopé et d'un autre matériau à petit gap non dopé, la séparation spatiale des atomes ionisés des porteurs libres introduits dans le HEMT permet d'éviter les limitations du MESFET et l'augmentation de porteurs de charges dans le puits *2DEG*. Pour mieux comprendre le rôle de chacune des couches de la structure HEMT, et leur impact sur les performances de transport électronique ainsi que les caractéristiques électriques du transistor, la **figure I.3** illustre l'ensemble des couches épitaxiales du HEMT. Elles sont constituées principalement de deux matériaux l'un à grand gap InAlAs et l'autre à petit gap InGaAs déposés sur un matériau semi isolant (le substrat).

Le premier matériau à grand gap (InAlAs) est utilisé pour : la couche Schottky, un contact formé à partir d'un semiconducteur non dopé assure le contrôle des électrons par effet de champ électrique ; la couche donneuse, relativement dopée fournit des électrons libres au canal ; la couche espaceur, a pour but de séparer les électrons libres du canal aux atomes donneurs ; la couche tampon (buffer), améliore le confinement des électrons dans le canal.

Le deuxième matériau à petit gap (InGaAs) est utilisé pour : la couche de contact ohmique nommée « cap layer », a pour rôle de constituer des zones de contacts de source et de drain. Ce matériau fortement dopé permet la réalisation d'un contact ohmique de type N et la réduction des résistances d'accès de source et de drain ; la couche « canal », l'une des principales couches d'un transistor à effet de champ (HEMT), dans laquelle se situe le gaz *2DEG*.

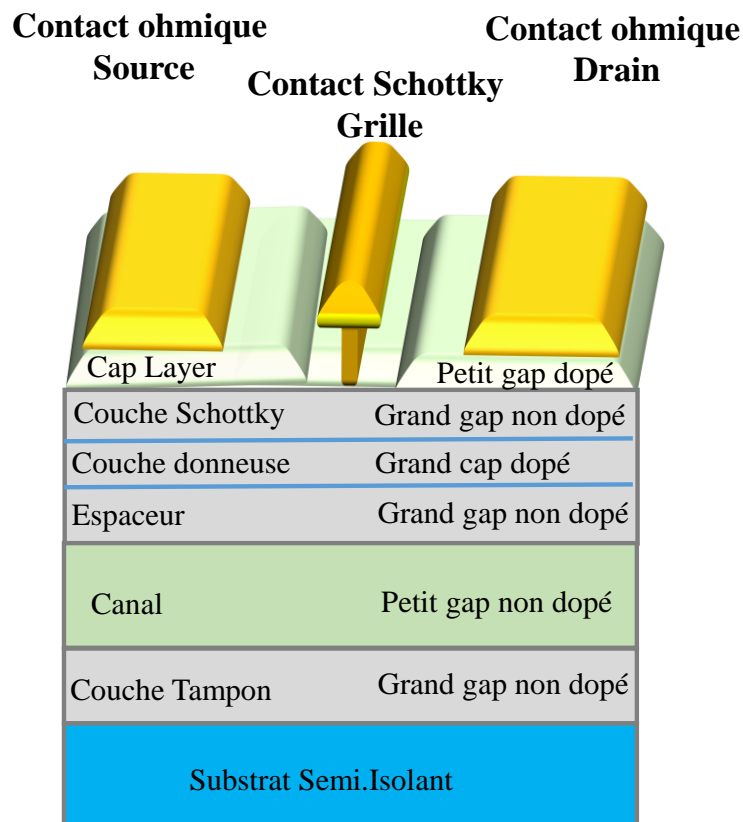


Figure I.3-Structure épitaxiale du HEMT

### II.3.1. Filières technologiques de HEMT à base de matériaux III-V

Des avancées en techniques de croissance de matériaux de haute qualité cristalline ont ouvert de nouvelles perspectives pour l'ingénierie de la structure de bande, et ont permis d'améliorer les caractéristiques des hétérojonctions. Il devient envisageable de concevoir des alliages de matériaux capables d'améliorer les caractéristiques électroniques, notamment la mobilité et la densité des électrons. Il existe plusieurs alliages possibles à travers de nombreux matériaux composés. Particulièrement, des éléments des colonnes III et V du tableau de Mendeleïev qui peuvent être binaires (GaAs, InP, InAs...), ternaires (InGaAs, InAlAs, InAlP, GaAsSb...) voire même quaternaires (InGaAsP, InGaAsSb...) et permettent la réalisation des hétérostructures. L'objectif est de proposer des alliages permettant de créer des hétérostructures qui sont capables de présenter une discontinuité de bande de conduction la plus élevée possible. En effet, la formation d'un puits de potentiel profond tend à améliorer la densité d'électrons du *2DEG*. Enfin, on choisira pour le canal conducteur un matériau à forte mobilité électronique. La plus grande contrainte provient de la croissance de l'hétérojonction et plus particulièrement du paramètre de maille cristalline. En effet, lors de la croissance d'un matériau III-V sur un



autre matériau III-V quelle que soit la technique MBE ou MOCVD (metalorganic chemical vapor deposition), les paramètres de maille cristalline doivent être identiques voire assez proches (quelques pourcents sur des épaisseurs de quelques dizaines de nanomètres). Dans le cas contraire, il y'a l'apparition de dislocations qui vont induire une dégradation des propriétés physiques du matériau (la mobilité par exemple), des pièges, des difficultés lors de la fabrication des composants et une baisse de la fiabilité du composant final.

La croissance se fait généralement sous forme de trois structures et va dépendre des paramètres de maille cristalline des matériaux (**figure I.4**).

**Structure adaptée en maille (Lattice Matched) :** cette structure est obtenue lorsque les matériaux ont le même paramètre de maille que le substrat. Ces matériaux ont souvent la composition chimique différente, mais présentent le même paramètre de maille cristalline.

**Structure pseudomorphique :** Lorsque le matériau en croissance et le substrat ont un paramètre de maille peu différent (quelques pourcents). Dans le régime de croissance pseudomorphique, la couche épitaxiale sera contrainte (en extension ou en compression) afin que sa maille cristalline soit identique à celle du substrat. Exemple : la croissance d'InGaAs sur un substrat GaAs. Au-dessus d'une épaisseur critique, il y'a aura apparition de dislocations, non souhaitées pour la fabrication des composants.

**Structure métamorphique :** L'épitaxie métamorphique est une forme de croissance dans laquelle on part du paramètre de maille du substrat vers le paramètre de maille désiré. Le matériau final sera quasiment relaxé. On utilise un buffer métamorphique, dans lequel on va par exemple introduire un gradient de concentration, ou un super réseau, ou une couche tampon qui bloquera les dislocations. Le buffer métamorphique a une épaisseur aux alentours du micron. Un exemple en HEMT est l'hétérojonction  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  adaptée en maille sur InP réalisée sur substrat de GaAs.

Le diagramme de la **figure I.4** représente l'alignement des bandes de conduction et de valence de différents matériaux III-V en fonction de paramètre de maille. Il est donc important pour concevoir des transistors avec des discontinuités et des mobilités importantes de bien choisir les hétérostructures permettant un bon confinement des électrons.

Aujourd'hui, les technologies à base des principaux substrats InP et GaAs, sont devenues matures pour les applications millimétriques mais restent pour le sub-millimétrique (ou THz) assez confidentielles (on verra cela dans la partie état de l'art). Le taux d'Indium dans la couche canal de type  $\text{In}_x\text{Ga}_{1-x}\text{As}$  a tendance à croître ces dernières années avec des valeurs très élevées de l'ordre de  $x = 53\%$ ,  $70\%$ ,  $80\%$  et  $100\%$  et permet d'atteindre jusqu'à des dizaines de milliers de  $\text{cm}^2/\text{V.s}$  ; nous pouvons citer le cas de l'InAs ( $30000\sim 40000 \text{ cm}^2/\text{V.s}$ ). De plus, un taux d'Indium accru s'accompagne d'une augmentation de la discontinuité de bande de conduction ( $\Delta E_c$ ) et donc de la densité du 2DEG. La classification des filières a été longuement discutée dans les travaux de thèse réalisés à l'IEMN de N. Wichmann [8], I. Duszynski [9] et T. Parenty [10].

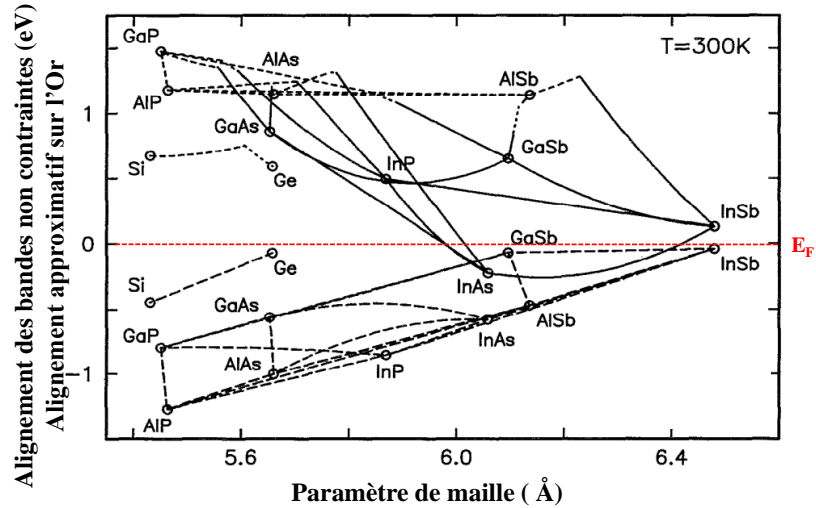


Figure I.4- Alignement des bandes de conduction et de valence en fonction du paramètre de maille [11]

Dans la physique des semi-conducteurs, la mobilité est définie comme la vitesse des porteurs de charges par unité de force du champ électrique, elle caractérise la rapidité avec laquelle un électron peut se déplacer à travers un métal ou un semi-conducteur. Lorsqu'un champ électrique  $E$  (V/cm) est appliqué sur un morceau de matériau, les électrons répondent en se déplaçant avec une vitesse moyenne  $v_d$  (cm/s) appelée vitesse de dérive. La distance parcourue par un électron sans interaction avec le réseau cristallin est nommée le libre parcours moyen. Ce déplacement est lié à la mobilité qui dépend à son tour de toute modification intervenue dans le réseau cristallin. La mobilité des électrons est donnée par la relation suivante :

$$\mu = \frac{v_d}{E} \text{ [cm}^2\text{/V.s]} \quad \text{Eq-I.1}$$

Elle peut être définie également en fonction de la masse effective de l'électron  $m^*$ , le temps moyen entre deux collisions  $\tau$  et la charge  $q$  par l'équation ci-dessous :

$$\mu = \frac{q \cdot \tau}{m^*} \quad \text{Eq-I.2}$$

Les semi-conducteurs contiennent des électrons libres de concentration  $n$ , des trous libres de concentration  $p$ , de concentration de dopage donneur  $N_D$  et enfin de concentration d'accepteur  $N_A$ . On s'intéressera aux électrons libres pour nos applications hautes fréquences. Ceux-ci présentent de meilleures propriétés de transport par rapport aux trous (**tableau I-1**). Dans un gaz bidimensionnel d'électrons, la densité de porteurs de charge  $n_s$  est exprimée en nombre d'électrons par unité de surface ( $n(e)/\text{cm}^2$ ).

Tableau I-1 Propriétés de matériaux III-V, GaN et Si [12]

propriétés	InAs	InP	GaAs	In <sub>0.53</sub> Ga <sub>0.47</sub> As	GaN	Si
Paramètre de maille (Å)	6.058	5.86	5.65	5.86	3.19	5.43
Gap Eg(eV)	0.35	1.34	1.42	0.74	3.36	1.12
Vitesse pic (x10 <sup>7</sup> cm.s <sup>-1</sup> )	7.7	2.5	2.1	3.1	2.5	1
Masse effective d'électrons (m*/m)	0.023	0.077	0.063	0.041	0.2	0.19
Mobilité des électrons μ <sub>n</sub> (cm/V.s)	30000-40000	4600	8500	12000	1000	1400
Mobilité des trous μ <sub>p</sub> (cm/V.s)	500	150	400	300	320	450
Permittivité ε <sub>r</sub>	15.15	12.5	12.9	13.9	8.9	11.7
Conductivité thermique K(W.cm <sup>-1</sup> .°C <sup>-1</sup> )	0.27	0.68	0.55	0.05	1.3	1.3

Il est important de mentionner que le choix du matériau dépend généralement de différents paramètres physiques intrinsèques du matériau, mais également de l'hétérostructure que nous voulons réaliser. Nous cherchons à réduire la masse effective des porteurs dans le canal car cette valeur influence considérablement la mobilité des porteurs ainsi que leur vitesse de pic. L'utilisation de matériaux III-V comme GaAs, InP, InAs ou In<sub>0.53</sub>Ga<sub>0.47</sub>As au lieu de Si et GaN permet d'augmenter dix à trente fois la valeur de la mobilité (InAs). Cependant, le matériau InAs n'est pas adapté en maille ni sur le GaAs ni sur l'InP (**figure I.4**), ce qui rend la couche épitaxiale contrainte. Par conséquent, nous ne profitons pas de la totalité des atouts de ces matériaux.

### II.3.2. Évolution des technologies de HEMTs

Depuis, la première réalisation du HEMT AlGaAs/GaAs présentée par Fujitsu dans les années 80 avec  $\Delta E_c = 0.2$  eV et  $n_s = 1.10^{12}$  cm<sup>-2</sup> de nombreuses filières de HEMT ont été mises en place. Quelques années plus tard (1983), le même laboratoire présente une démonstration d'un amplificateur de quatre étages à 20 GHz [13]. La recherche scientifique s'est donc engagée à la course à l'amélioration des structures HEMTs en proposant de nouveaux alliages de matériaux à très hautes mobilités électroniques, avec une discontinuité de bande de conduction la plus grande possible. Les structures AlGaAs/GaAs possèdent un inconvénient majeur lors de l'augmentation du taux d'aluminium qui introduit des pièges DX associés aux donneurs de Si dans l'AlGaAs qui viendront piéger les électrons, et dégrader fortement les performances du composant. Pour cela, en 1985 Ketterson et ses collègues [14], ont réalisé une structure pseudomorphique sur GaAs. L'hétérostructure proposée de type Al<sub>0.15</sub>Ga<sub>0.85</sub>As/In<sub>0.15</sub>Ga<sub>0.85</sub>As a

été utilisée pour concevoir un transistor (PHEMT). Des résultats satisfaisants ont été obtenus sans introduire des pièges dans la structure d'AlGaAs. Les valeurs obtenues sont, une discontinuité  $\Delta E_c = 0.34$  eV, une densité d'électrons de  $n_s = 1.2 \text{ cm}^{-2}$  et une mobilité de  $6000 \text{ cm}^2/\text{V.s}$  et  $29000 \text{ cm}^2/\text{V.s}$  respectivement à 300 K et 77 K. Ces caractéristiques ont contribué au développement de cette filière du transistor pour aboutir à des performances avec des fréquences de fonctionnement très élevées (en 1985) de l'ordre de  $f_T = 20 \text{ GHz}$ .

Les matériaux tels que le GaAs ont été ensuite remplacés par d'autres matériaux comme l'InAs, l'InGaAs et l'InSb qui permettent d'avoir de très bonne mobilité pour le transport électronique dans le canal et des discontinuités plus importantes. La structure  $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}/\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$  a une discontinuité de  $\Delta E_c = 0.34$  eV supérieure à celle présentée précédemment (0.2 eV). On peut toujours augmenter cette discontinuité de bande de conduction ainsi que la densité d'électrons en remplaçant la barrière d'AlGaAs par de l'InAlAs et accroître ainsi le taux d'Indium dans le canal. Cette modification a permis d'avoir un  $\Delta E_c = 0.52$  eV et  $n_s = 3 \times 10^{12} \text{ cm}^{-2}$  en utilisant une hétérostructure de type  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ . Elle nécessite toutefois l'utilisation d'un substrat InP adapté en maille. On peut aussi citer les travaux de l'IEMN sur les structures InAlAs/InGaAs métamorphiques sur substrat de GaAs (MHEMT sur GaAs) avec un maximum de  $\Delta E_c = 0.74$  eV et  $N_s = 3.5 \times 10^{12} \text{ cm}^{-2}$  en utilisant une hétérostructure de type  $\text{In}_{0.29}\text{Al}_{0.71}\text{As}/\text{In}_{0.30}\text{Ga}_{0.70}\text{As}$  [9]. Il existe plusieurs cas de figure d'hétérojonction qui offrent de meilleures discontinuités comme par exemple des canaux dont le taux d'Indium du canal  $\text{In}_x\text{Ga}_{1-x}\text{As}$  peut atteindre jusqu'à 100% (InAs) avec des barrières d'InAlAs ou bien de nouveaux matériaux dit antimoniés de la filière AlInSb/InSb et qui peuvent avoisiner une discontinuité  $\Delta E_c = 1.35$  eV, sachant que l'InSb à une mobilité d'électron de l'ordre  $78000 \text{ cm}^2/\text{V.s}$ .

Par conséquent, le marché industriel du HEMT a fait d'énormes progrès au cours de ces dernières années. La **figure I.5** reporte l'évolution des applications HEMT MMICs sur GaAs, au fil des années. J. del Alamo a reporté dans [15] la valeur estimée des MMICs à base de MHEMT qui dépasse les 200 M\$ en 1995 et 1200 M\$ en 2015. Le MHEMT sur GaAs couvre plusieurs domaines d'application : 68% des MMICs sont destinés aux télécommunications et 20% pour le secteur militaire

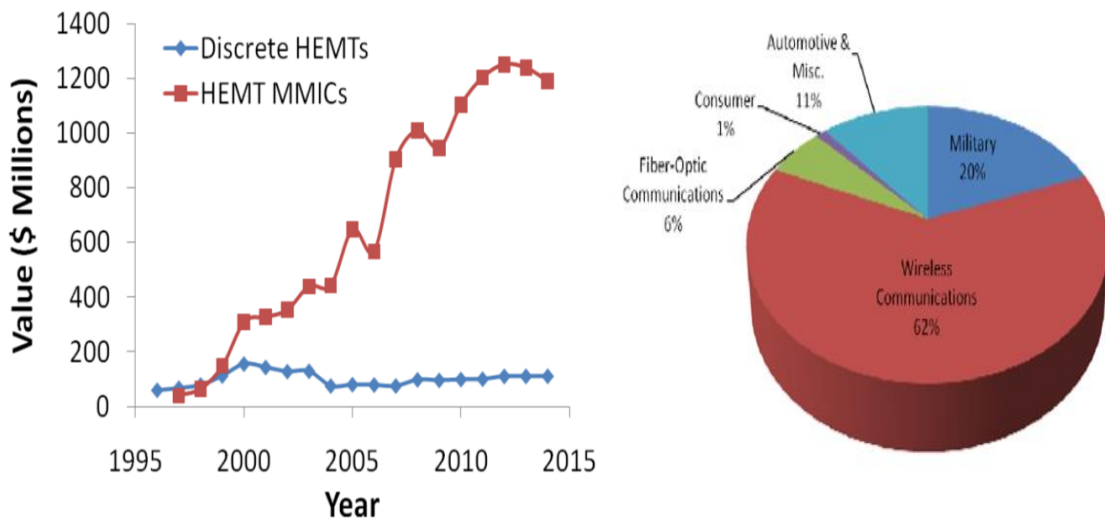
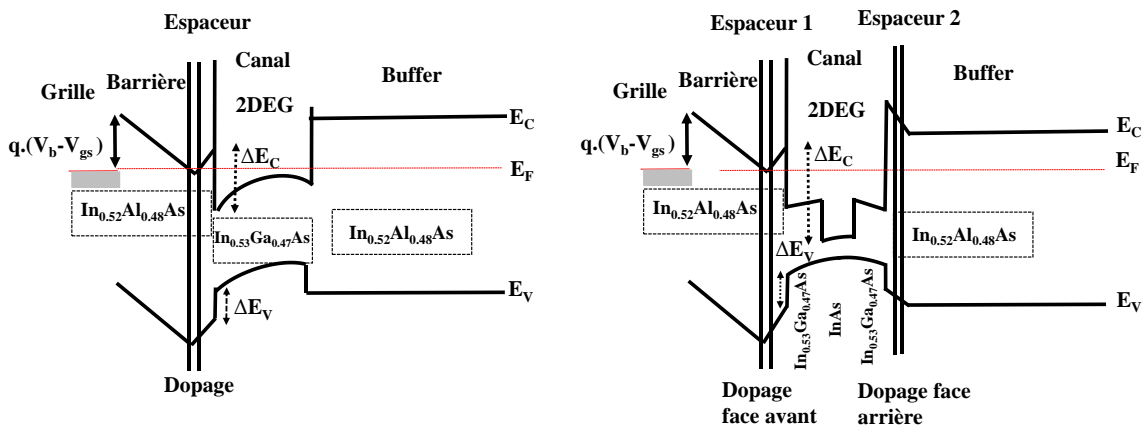


Figure I.5-Evolution du marché des applications de type MMIC à base de technologie HEMT [15]

Aujourd'hui les transistors pseudomorphiques HEMT InAlAs/InGaAs sur substrat InP dépassent clairement les technologies GaAs en termes de bruit, de gain et de fréquence de coupure. Malgré le coût très élevé des substrats d'InP comparé au GaAs, les records mondiaux obtenus permettent au PHEMT sur InP de dominer les applications à très hautes fréquences et faible bruit.

De nombreuses architectures de HEMT existent, mais actuellement les filières de l'hétérojonction entre InAlAs et InGaAs sont les plus adaptées. L'architecture du canal a également un effet sur l'évolution de HEMT. Le canal peut être simple ( $\text{In}_x\text{Ga}_{1-x}\text{As}$ ) ou composite ( $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{In}_y\text{Ga}_{1-y}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$ ) avec en général, un taux 'x' de 53% (adapté sur InP) et un taux 'y' plus important ( $y > 53\%$ ). Nous avons reporté sur la **figure I.6** le changement survenu sur la bande de la conduction quand on passe d'un canal simple à un canal composite. Il ressort que le confinement d'électron est meilleur dans le cas d'un canal composite. Les travaux effectués par T. Akazaki [16] et T.Nakayama [17] ont montré l'intérêt des canaux composites pour les HEMTs.



**Figure I.6-Différence de la structure de bande du HEMT entre un canal simple et composite**

L'insertion d'une couche d'InAs entre deux matériaux d'InGaAs adaptés en maille sur InP favorise beaucoup plus les propriétés de transport électronique. Par ailleurs, la vitesse pic d'électrons est aussi optimisée. InAs a montré et montre toujours que ces propriétés physiques font de lui un sérieux candidat pour des applications faible bruit. En outre, ce matériau présente une très faible masse effective devant tous les autres matériaux ce qui lui permet d'augmenter considérablement la mobilité des porteurs ainsi que leur vitesse pic.

Les HEMTs sur InP sont actuellement les composants indispensables pour la conception de circuits dédiés aux applications millimétriques et sub-millimétriques. Les derniers résultats de l'état de l'art relatif aux HEMTs ont mis en évidence les capacités de ce type de transistor. Récemment, Northrop Grumman a développé un transistor HEMT basé sur une hétérostructure de type InAlAs/InGaAs/InAs avec une longueur de grille de 25 nm et un canal composite d'InAs inséré entre deux couches d'InGaAs adaptées en maille sur de l'InP. Ce transistor a remporté le record mondial de fréquence maximale d'oscillation  $f_{\max} = 1.5$  THz [3]. Pour démontrer que les HEMTs sont les transistors les plus favorables pour les applications hautes fréquences, nous présenterons un état de l'art basé sur l'étude des propriétés électroniques de

plusieurs types de canal. Les caractéristiques électriques et fréquentielles seront également discutées dans la suite de ce chapitre.

Le **tableau I-2** représente les valeurs de la densité de charge et de mobilité pour différents canaux conducteurs. La couche du canal est l'un des paramètres importants pour améliorer la filière InAlAs/InGaAs, il influe fortement sur les caractéristiques électriques et fréquentielles du transistor.

**Tableau I-2.**Etat de l'art de couple  $\mu_{Hall}$  /  $N_{Hall}$  du HEMT-InP pour différents types de canaux

Type de canal sur InP	$\mu_{Hall}$ (cm <sup>2</sup> /V.s)	$N_{Hall}$ ( $\times 10^{12}$ cm <sup>-2</sup> )	Année et réf
<b>Simple In<sub>0.70</sub>Ga<sub>0.30</sub>As</b>	9740	3.2	2011[18]
	10300	2.6	2014[19]
	11300	2.3	2017[20]
<b>Composite In<sub>0.53</sub>Ga<sub>0.47</sub>As/InAs/In<sub>0.53</sub>Ga<sub>0.47</sub>As</b>	13200	2.9	2009[21]
	<b>15000</b>	<b>3.3</b>	<b>2011</b> [22]
	13000	4	2015[3]
<b>Composite In<sub>0.53</sub>Ga<sub>0.47</sub>As/In<sub>0.8</sub>Ga<sub>0.2</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub>As</b>	13500	3	2018[23]
<b>Composite In<sub>0.70</sub>Ga<sub>0.30</sub>As/InAs/In<sub>0.70</sub>Ga<sub>0.30</sub>As</b>	11000	3.02	2013[24]
	10900	3.2	2016[25]

D'après le **tableau I-2**, on constate que toutes les mobilités représentées sont multipliées par un facteur  $\sim 10$  depuis les premiers résultats reportés par R. Dingle ( $\sim 1000$  cm<sup>2</sup>/V.s). En 2011 Northrop a réalisé un MMIC à base de HEMT de  $f_{max} = 1.2$  THz. Ce transistor a une mobilité  $\mu_{Hall} = 15000$  cm<sup>2</sup>/V.s et une densité d'électrons  $N_{Hall} = 3.3 \times 10^{12}$  cm<sup>-2</sup>. En effet, l'utilisation d'un canal composite a permis d'optimiser simultanément la mobilité et le gain du transistor.

La comparaison du couple  $\mu_{Hall}$  et  $N_{Hall}$  obtenu durant ces dernières années avec des HEMTs présentée sur le **tableau I-2** montre que l'utilisation d'un canal composite améliore à la fois, la mobilité et la densité d'électrons. Le passage d'un canal simple à un canal composite a permis de franchir la barrière des 11000 cm<sup>2</sup>/V.s de mobilité. Néanmoins, un canal composite d'InAs inséré entre deux couches In<sub>0.7</sub>Ga<sub>0.3</sub>As ( $x \geq 0.7$ ) présente des résultats similaires à ceux avec un canal simple de type In<sub>0.70</sub>Ga<sub>0.30</sub>As. En revanche, InAs seul ou In<sub>x</sub>Ga<sub>1-x</sub>As ( $x \geq 0.7$ ) inséré entre deux couches d'In<sub>0.53</sub>Ga<sub>0.47</sub>As adaptées en maille sur InP présentent de meilleurs résultats. Dans la structure (canal composite), seule la couche d'InAs ou d'In<sub>0.8</sub>Ga<sub>0.2</sub>As a un paramètre de maille différent de substrat InP, et finalement certainement moins de problèmes liés à la croissance.

## III. État de l'art statique, dynamique et en bruit de HEMT

### III.1. Définition des caractéristiques électriques du transistor

Dans ce paragraphe, nous allons définir des notions et des caractéristiques électriques du transistor à effet de champ (FET). Notamment, les grandeurs statiques (courant, transconductance et conductance) et dynamiques (les gains et les fréquences de transitions). Ce sont des grandeurs qui nous permettent d'évaluer les performances électriques et fréquentielles d'un composant électronique. La quantification de ces grandeurs se fait d'une part, par des mesures électriques en statique et dynamique et d'autre part par la caractérisation en bruit du transistor.

#### III.1.1. Grandeurs statiques

Pour comprendre le fonctionnement du transistor HEMT en statique, il est nécessaire d'étudier ses caractéristiques de commande  $g_m = f(V_{GS})$ ,  $I_D = f(V_{GS})$  et de sortie  $I_D = f(V_{DS})$ ,  $g_d = f(V_{DS})$ . On peut distinguer deux principaux régimes de fonctionnement (généralement quatre) lorsque le composant est polarisé avec des tensions  $V_{GS}$  et  $V_{DS}$  (**figure I.7-a**).

Ces deux régimes de fonctionnement sont obtenus à travers l'évolution du courant de drain  $I_D$  circulant entre le drain et la source quand on augmente la tension  $V_{DS}$  en maintenant la tension de grille  $V_{GS}$  à une valeur constante (**figure I.7-b**).

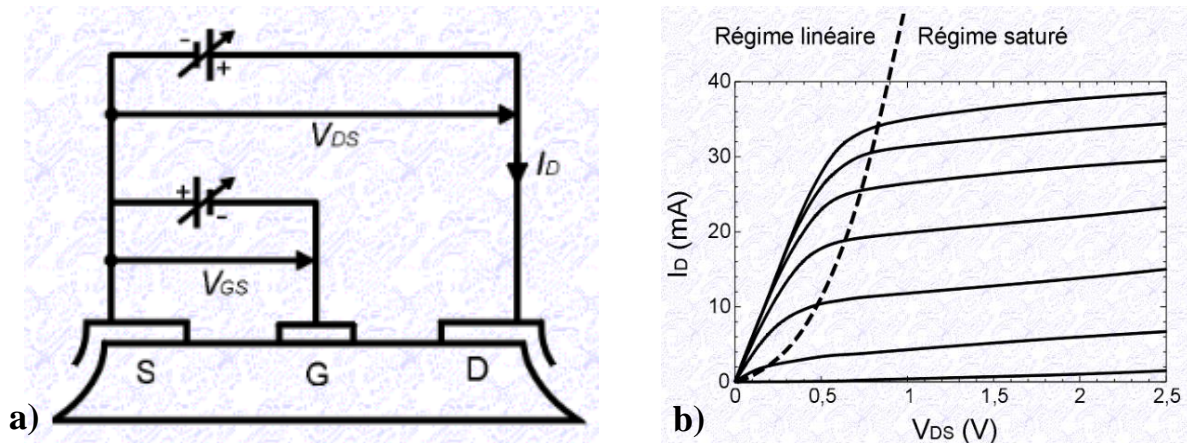


Figure I.7- a) Polarisation d'un transistor à effet de champ. b) caractéristiques  $I_D(V_{DS})$  [26]

Le premier régime est linéaire (zone ohmique) ; il est obtenu pour des valeurs faibles de  $V_{DS}$ , à ce stade on peut négliger le terme  $\frac{V_{DS}}{2}$  dans l'équation **Eq-I.3**. La densité des porteurs dans le canal s'accroît et le comportement du courant de drain est proportionnel à la tension  $V_{DS}$  pour chaque point de  $V_{GS}$ . L'équation de courant  $I_D$  est donnée par l'expression suivante :

$$I_D = \mu C_i \frac{W}{L_g} \left[ (V_{GS} - V_{th}) - \frac{V_{DS}}{2} \right] V_{DS} \quad [27] \quad \text{Eq-I.3}$$

À faible tension drain-source  $V_{DS} \ll V_{GS} - V_{th}$ , l'équation Eq-I.3 est simplifiée par l'équation Eq-I.3

$$I_D = \mu C_i \frac{W}{L_G} (V_{GS} - V_{th}) V_{DS} \quad \text{Eq-I.4}$$

Avec  $V_{th}$ : tension de pincement du canal,

$W$  : le développement de grille,  $L_G$  la longueur de grille,

$C_i$  : la capacité entre grille et canal par unité de surface et  $\mu$  la mobilité des porteurs.

Pour les tensions plus élevées drain-source, le courant  $I_D$  est quasiment stable (zone de saturation), ce régime de fonctionnement est atteint lorsque le canal est pincé côté drain, c'est-à-dire lorsque  $V_{DS} = V_{Dsat} = V_{GS} - V_{th}$ . Pour les transistors courts, la saturation du courant peut aussi provenir de la vitesse de saturation des porteurs. On aura une saturation du courant par le pincement du canal pour des tensions  $V_{GS}$  proches de la tension de seuil  $V_{TH}$  et par la vitesse de saturation pour des tensions  $V_{GS}$  plus élevées.

**La transconductance ( $g_m$ )**, exprime la variation du courant de drain  $I_D$  en fonction de la polarisation de grille (**Eq-I.5**), elle caractérise la qualité de la commande de grille. En outre,  $g_m$  dépend également de la mobilité des électrons (**Eq-I.6**), nous cherchons toujours à améliorer cette grandeur qui optimise car elle influence fortement les performances fréquentielles du transistor.

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS} = \text{Cste}} \quad \text{Eq-I.5}$$

$$g_m = \mu C_i \frac{W}{L_g} V_{DS} \quad \text{Eq-I.6}$$

**La conductance de sortie ( $g_d$ )**, exprime la variation du courant de drain  $I_D$  en fonction de la polarisation de drain-source  $V_{DS}$  dans la région de saturation de courant  $I_D$ , elle est définie par l'équation **Eq-I.7**. Ce paramètre traduit la commande du canal par la tension  $V_{DS}$  et doit être le plus faible possible. La conductance  $g_d$  est liée également à la mobilité par la relation **Eq.I.8**

$$g_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS} = \text{Cste}} \quad \text{Eq-I.7}$$

$$g_d = \mu C_i \frac{W}{L_g} (V_{GS} - V_{th} - V_{DS}) \quad \text{Eq-I.8}$$

### III.1.2. Grandeurs dynamiques (Gain hyperfréquences et fréquences de transitions)

Les figures de mérite les plus importantes pour évaluer les potentialités d'un transistor sont  $f_T$  la fréquence de coupure du gain en courant en court-circuit et  $f_{max}$  la fréquence d'oscillation maximale. Ces deux fréquences de transition sont liées aux paramètres technologiques du transistor. En pratique, on les détermine grâce aux gains calculés à partir des paramètres S.



- **Le Gain en courant de court-circuit** ( $|h_{21}|^2$ )

Il est donné par l'expression suivante :

$$|h_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \right|^2 \quad \text{Eq-I.9}$$

En théorie, l'évolution fréquentielle de ce gain décroît en suivant une pente de -20 dB/décade. L'extrapolation de cette caractéristique permet de déterminer  $f_T$  (fréquence pour laquelle le module du gain vaut l'unité en linéaire).

- **Le Gain unilatéral de Mason** ( $U$ )

Ce gain en puissance nous renseigne sur la valeur de la fréquence d'oscillation maximale  $f_{\max}$ , l'expression de ce gain est la suivante :

$$U = \left| \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2[K \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re}\left(\frac{S_{21}}{S_{12}}\right)]} \right| \quad \text{Eq-I.10}$$

Avec  $K$  le facteur de stabilité de Rollet

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad \text{Eq-I.11}$$

L'extrapolation de cette courbe en -20 dB/décade permet également de déterminer  $f_{\max}$  (fréquence pour laquelle le module du gain vaut l'unité en linéaire).

- **Le MAG (maximum Available Gain) et le MSG (Maximum Stable Gain)**

Ce gain en puissance est obtenu lorsque l'entrée et la sortie du quadripôle actif sont bien adaptées. Si  $k > 1$ , le quadripôle est inconditionnellement stable ; on définit alors le MAG comme suit :

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| (K - \sqrt{K^2 - 1}) \quad \text{Eq-I.12}$$

Lorsque  $k < 1$ , le quadripôle est conditionnellement stable ; on définit alors le MSG par :

$$MSG = \left| \frac{S_{21}}{S_{12}} \right| \quad \text{Eq-I.13}$$

On remarque que si  $K = 1$  alors  $MSG = MAG$ .

- **Fréquence de coupure du gain en courant  $f_T$  et fréquence d'oscillation maximale  $f_{\max}$  à partir du schéma équivalent petit signal**

Nous avons indiqué précédemment que l'on peut calculer les fréquences de transition à partir des paramètres technologiques du transistor, la **figure I.8-a** reporte la localisation physique des éléments du schéma équivalent petit-signal et la **figure I.8-b** représente le schéma équivalent petit-signal. L'extraction de ce schéma est basée sur la méthode développée par G.Dambrine [28] [29].

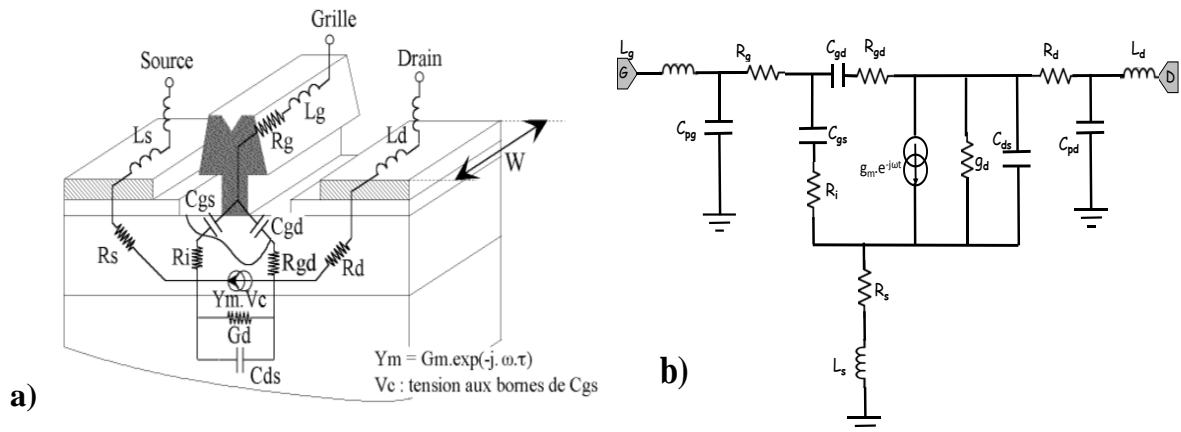


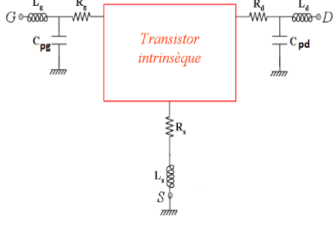
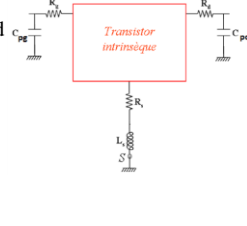
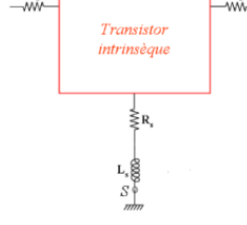
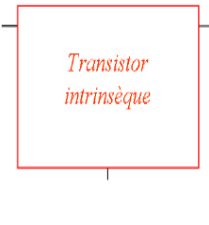
Figure I.8-a) Localisation physique des éléments du schéma équivalent [10]. b) schéma équivalent petit signal du transistor HEMT

Le schéma équivalent petit-signal est composé des éléments extrinsèques ( $R_g, R_d, R_s, L_g, L_s, L_d, C_{pg}$  et  $C_{pd}$ ) et des éléments intrinsèques ( $C_{gs}, C_{gd}, C_{ds}, g_m, g_d, R_i$  et  $R_{gd}$ ).

Les éléments extrinsèques du transistor sont les premiers à extraire à partir des paramètres  $S$  mesurés puis transformés en paramètres  $Y$  à canal pincé ( $V_{DS} = 0$  et  $V_{GS} < V_p$ ). Cette mesure permet d'extraire les éléments extrinsèques en parallèle ( $C_{pg}$  et  $C_{pd}$ ). Ensuite, une seconde mesure à canal ouvert ( $V_{DS} = 0$  et  $V_{GS} > V_p$ ) permet d'extraire les éléments extrinsèques en série ( $R_s, R_d, R_g, L_s, L_d$ , et  $L_g$ ).

Après avoir déterminé les éléments extrinsèques, le transistor est en suite polarisé sous des conditions qui lui permettent de fournir le maximum de gain en fonction des tensions ( $V_{GS}$  et  $V_{DS}$ ). Par la méthode d'épluchage [28], il est alors possible d'accéder à la matrice  $Y$  intrinsèque du transistor. Le **tableau I-3** reporte les différentes étapes de la méthode d'épluchage ainsi que la matrice intrinsèque  $Y_i$  épluchée de ses accès coplanaires.

Tableau I-3. Extraction de la matrice intrinsèque  $Y_i$  à partir de la méthode d'épluchage [28]

<p>1<sup>ère</sup> étape On calcule La matrice :</p> 	$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$ <p>Transformation de cette matrice [S] en matrice [Z]</p> <p style="text-align: center;">↓</p>
<p>2<sup>ème</sup> étape Retrait de <math>L_g</math> et <math>L_d</math></p> 	$[Z'] = \begin{bmatrix} Z_{11} - j \cdot \omega \cdot L_g & Z_{12} \\ Z_{21} & Z_{22} - j \cdot \omega \cdot L_d \end{bmatrix}$ <p>Transformation de la matrice [Z'] obtenue en matrice [Y]</p> <p style="text-align: center;">↓</p>
<p>3<sup>ème</sup> étape Retrait de <math>C_{pg}</math> et <math>C_{pd}</math></p> 	$[Y'] = \begin{bmatrix} Y_{11} - j \cdot \omega \cdot C_{pg} & Y_{12} \\ Y_{21} & Y_{22} - j \cdot \omega \cdot C_{pd} \end{bmatrix}$ <p>Transformation de la matrice [Y'] obtenue en matrice [Z]</p> <p style="text-align: center;">↓</p>
<p>4<sup>ème</sup> étape Retrait de <math>R_s</math>, <math>R_g</math>, <math>R_d</math> et <math>L_s</math></p> 	$[Z'] = \begin{bmatrix} Z_{11} - R_g - R_s \cdot j \cdot L_s \cdot \omega & Z_{12} - R_s \cdot j \cdot L_s \cdot \omega \\ Z_{21} - R_s \cdot j \cdot L_s \cdot \omega & Z_{22} - R_d - R_s \cdot j \cdot L_s \cdot \omega \end{bmatrix}$ <p>Transformation de la matrice [Z'] obtenue en matrice [Y]</p>

À partir de la matrice  $Y_{int}$ , on peut déduire finalement les éléments intrinsèques du transistor utilisant les paramètres d'admittances décrits dans les travaux (HDR) présentés par G. Dambrine [30] et rappelés dans **Eq-I.14**. Les expressions des éléments intrinsèques données ci-dessous sont déduites analytiquement à partir de la matrice intrinsèque  $Y_{int}$  après avoir séparé les parties imaginaires et réelles.

$$[Y_{int}] = \begin{bmatrix} Y_{int 11} & Y_{int 21} \\ Y_{int 12} & Y_{int 22} \end{bmatrix} = \begin{bmatrix} \frac{JC_{gs} \omega}{1+JR_i C_{GS} \omega} + \frac{JC_{gd} \omega}{1+JR_{gd} C_{gd} \omega} & -\frac{JC_{gd} \omega}{1+JR_{gd} C_{gd} \omega} \\ \frac{g_m \cdot e^{-j\omega\tau}}{1+JR_i \cdot C_{gs} \omega} - \frac{JC_{gd} \cdot \omega}{1+JR_{gd} C_{gd} \omega} & g_d + JC_{ds} \omega + \frac{JC_{gd} \omega}{1+JR_{gd} C_{gd} \omega} \end{bmatrix} \quad \text{Eq-I.14}$$

$$g_d = Re(Y_{int 22}) + Re(Y_{int 12}) \quad \text{Eq-I.15}$$

$$C_{gs} = \frac{Im(Y_{int\ 11} + Y_{int\ 12})}{\omega} \times \frac{1 + [Re(Y_{int\ 11}) + Re(Y_{int\ 12})]^2}{[Im(Y_{int\ 11}) + Im(Y_{int\ 12})]^2} \quad \text{Eq-I.16}$$

$$C_{gd} = -\frac{Im(Y_{int\ 12})}{\omega} \times \left[ \left( \frac{Re(Y_{int\ 12})}{Im(Y_{int\ 12})} \right)^2 + 1 \right] \quad \text{Eq-I.17}$$

$$C_{ds} = \frac{Im(Y_{int\ 22}) + Im(Y_{int\ 12})}{\omega} \quad \text{Eq-I.18}$$

$$R_i = \frac{Re(Y_{int\ 11}) + Re(Y_{int\ 12})}{Im(Y_{int\ 11}) + Im(Y_{int\ 12})} \frac{1}{C_{gs} \omega} \quad \text{Eq-I.19}$$

$$R_{gd} = \frac{1}{C_{gd} \omega} \times \frac{Re(Y_{int\ 12})}{Im(Y_{int\ 12})} \quad \text{Eq-I.20}$$

Pour le calcul de la transconductance  $g_m$  nous posons :

$$\alpha = \frac{-Im(Y_{int\ 21}) - Im(Y_{int\ 12})}{Re(Y_{int\ 21}) - Re(Y_{int\ 12})} \quad \text{Eq-I.21}$$

$$\beta = [Im(Y_{int\ 21}) - Im(Y_{int\ 12})] \times [1 + (R_i C_{gs} \omega)^2] \quad \text{Eq-I.22}$$

$$\text{et } \gamma = \frac{1}{\omega} \times \text{atn} \left[ \frac{\alpha - R_i C_{gs} \omega}{1 + \alpha R_i C_{gs} \omega} \right] \quad \text{Eq-I.23}$$

$$\text{Finalement } g_m = \frac{-\beta}{(\gamma + R_i C_{gs}) \omega} \quad \text{Eq-I.24}$$

Des expressions approximatives des fréquences de transition en fonction des éléments du schéma équivalent sont données par les expressions suivantes :

$$f_{max} = \frac{f_T}{\sqrt{4g_d(R_g + R_s + R_i) + 2 \frac{C_{gd}}{C_{gs}} \left( \frac{C_{gd}}{C_{gs}} + g_m(R_s + R_i) \right)}} \quad \text{avec } f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad \text{Eq-I.25}$$

### III.1.3. Grandeur de bruit

Il est évident que les grandeurs fréquentielles ne sont pas suffisantes pour caractériser entièrement les performances des transistors. En effet, la notion de bruit est aussi une grandeur importante pour évaluer les composants électroniques dans le but de réaliser des LNAs. Le bruit est basé sur des phénomènes aléatoires générés par un quadripôle actif dont les origines peuvent être diverses. Pour caractériser le bruit du transistor, on définit le facteur de bruit  $F$  comme étant la dégradation en dB du rapport signal sur bruit à la traversée du quadripôle. On peut exprimer le facteur de bruit en fonction de l'admittance de source ainsi que les quatre paramètres de bruit par les équations suivantes **Eq-I.26** et **Eq-I.27** [30]:

$$F = F_{min} + \frac{4.R_n}{Z_0} \frac{|\Gamma_{Opt} - \Gamma_s|^2}{|1 + \Gamma_{opt}|^2 (1 - |\Gamma_s|^2)} \quad \text{Eq-I.26}$$

$$F = F_{min} + \frac{R_n |Y_{Opt} - Y_s|^2}{G_s} \quad \text{Eq-I.27}$$

Avec :

$F_{min}$  : facteur de bruit minimum , quand  $\Gamma_s = \Gamma_{Opt}$

$R_n$  : résistance équivalente de bruit

$\Gamma_s$  : facteur de réflexion du générateur

$\Gamma_{Opt}$  : facteur de réflexion optimal du générateur ( $\Gamma_{Opt} = G_{Opt} + jB_{Opt}$ )

$Y_s$  : admittance du générateur

$Y_{Opt}$  : admittance optimale du générateur pour obtenir  $F_{min}$

$G_s$  : conductance du générateur.

$Z_0$  : impédance caractéristique.

Le gain disponible du transistor dépend également de l'impédance de source d'où les expressions ci-dessous:

$$G_{av} = \frac{(1 - |\Gamma_s|^2) |S_{21}|^2}{|1 - \Gamma_s S_{11}|^2 (1 - |\Gamma_{Out}|^2)} \quad \text{Eq-I.28}$$

Lorsque  $Y_{Opt} = \Gamma_s$ , le facteur de bruit est égal au facteur de bruit minimum. Le gain associé (l'équation **Eq-I.29**) est donc déduit quand le transistor est adapté en bruit à l'entrée et en puissance à la sortie.

$$G_{ass} = \frac{(1 - |\Gamma_{Opt}|^2) |S_{21}|^2}{|1 - \Gamma_{Opt} S_{11}|^2 (1 - |\Gamma_{Out}|^2)} \quad \text{Eq-I.29}$$

Avec  $\Gamma_{Out}$  : Facteur de réflexion en sortie du quadripôle

$$\Gamma_{Out} = S_{22} + \frac{S_{12}S_{21}\Gamma_{Opt}}{1-\Gamma_{Opt}S_{11}} \quad \text{Eq-I.30}$$

## III.2. Filière de transistors pour les applications millimétriques et sub-millimétriques

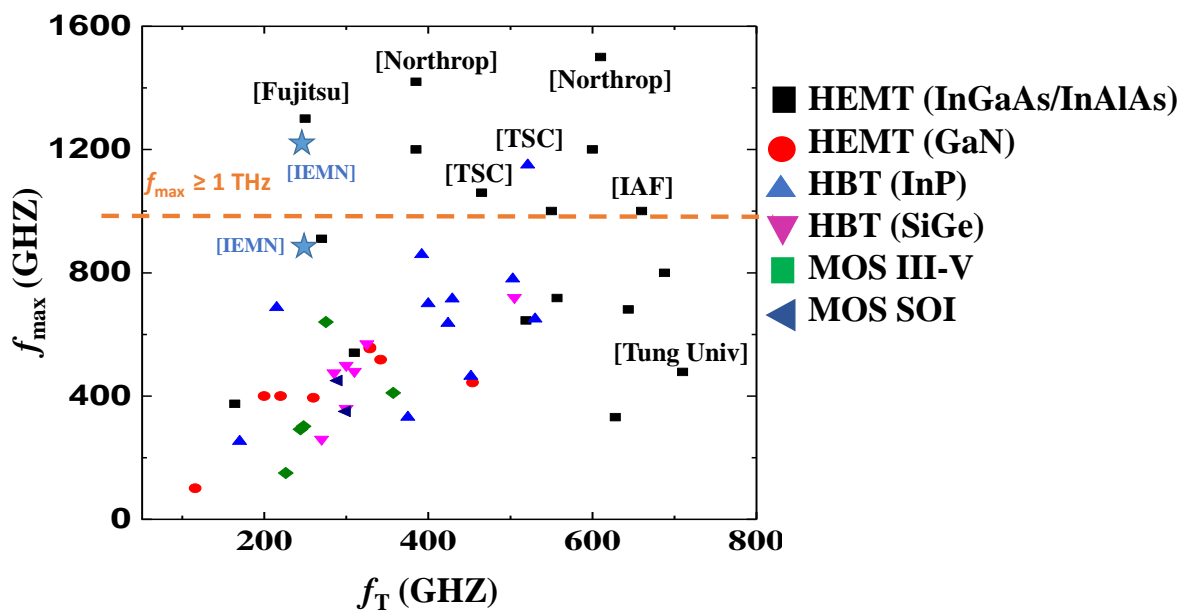
Les transistors font partie des composants électroniques indispensables pour plusieurs applications électroniques. En raison de sa maturité et de son faible coût, le MOSFET (Metal Oxide Semiconductor Field Effect Transistor) Silicium est un candidat incontournable pour les industriels, en conception de circuits électroniques, principalement en début de bande millimétrique avec des fréquences de fonctionnement  $f_{max} = 450$  GHz et  $f_T = 290$  GHz [31]. Toujours sur Silicium, les HBTs SiGe (Heterojunction Bipolar Transistor) sont aussi potentiellement intéressants pour des applications millimétriques. Actuellement, un record de  $f_{max} = 720$  GHz ( $f_T = 505$  GHz) a été obtenu par B. Heinemann dans le cadre d'un projet européen *DOTSEVEN* [32]. Ils sont considérés parmi les concurrents des HEMTs III-V après des transistors bipolaires HBT à base de technologie InP. De plus, ces composants sont compatibles avec des technologies CMOS.

Début 2000, de nombreux laboratoires se sont intéressés aux MOSFETs III-V. Ces travaux concernaient majoritairement les applications numériques, en vue de la poursuite de loi de Moore. L'argument du remplacement du silicium dans le canal d'un MOSFET par un matériau III-V à petite bande interdite, tel que l'InGaAs, est la forte mobilité électronique présentée par le matériau III-V. Celle-ci devait permettre de réduire la consommation de puissance en réduisant la tension d'alimentation. Toutefois, le comportement sous le seuil des MOSFETs III-V s'est avéré moins bon que celui des MOSFET-Si. Toutefois, plusieurs groupes de recherche ont poursuivi leur investigation, et ont envisagé la technologie MOSFET III-V pour des applications analogiques haute fréquence. Les fréquences de fonctionnement reportées sont  $f_{max} = 640$  GHz et  $f_T = 275$  GHz [33] sur une technologie MOSFET III-V. Un LNA a été fabriqué par IAF [34], les performances obtenues entre 75 GHz et 103 GHz sont  $NF = [3.3-4.5]$  dB et  $Gain = [18-21]$  dB utilisant un MOSFET de  $f_{max} = 150$  GHz et  $f_T = 226$  GHz

Nous trouvons également les transistors **HEMTs-GaN** (Nitrure de Gallium), ces composants appartiennent à la filière des FETs mais à base de matériaux III-V de grand gap ( $\sim 3.36$  eV) appelés III-N. Le développement de ces transistors suit les traces de HEMT InGaAs/InAlAs. Ils sont arrivés récemment sur le marché des semiconducteurs pour répondre aux besoins de l'électronique de puissance. Malgré leur densité de puissance très élevée ( $\sim 4.5$  W/mm), leur coût reste très élevé et les fréquences de fonctionnement sont assez faibles comparées à celles obtenues par des HEMTs de faible gap. La fréquence la plus élevée obtenue sur cette technologie est reportée par A. Margomenos [35] du laboratoire HRL (Hughes Research Laboratories) avec des  $f_{max} = 558$  GHz et  $f_T = 329$  GHz ( $NF_{min} = 0.8$  dB à 50 GHz). D'autres comparaisons de ces transistors en termes de puissance, du bruit et du gain pour la conception de circuits RF ont été discutées par Lorene A. Somaska [36].

Dans la gamme sub-millimétrique, on retrouve principalement les HEMT III-V de petit gap et les HBT sur InP. Les HEMT III-V sont nombreux à franchir la barrière du THz tandis

que les HBT sont très peu présents dans cette gamme de fréquences ( $1 \geq \text{THz}$ ). D'après la **figure I.9**, le transistor HBT III-V développé par TSC ( Teledyne Scientific Company ) a remporté le record des fréquences maximales d'oscillation pour les transistors bipolaires [37] avec un  $f_{\max} = 1.1 \text{ THz}$ . IL est considéré parmi les transistors destinés aux applications THz (Oscillateur Mélangeur...) [38] [39]. Les performances en bruit de ce transistor sont estimées à  $NF = 11.2 \text{ dB}$  et  $Gain = 7 \text{ dB}$  à  $300 \text{ GHz}$  [40]. Ces performances en bruit en millimétrique sont en deçà de celles obtenues avec des HEMTs sur InP ou sur GaAs qui présentent un facteur de bruit plus faible, comme par exemple le transistor présenté par W. R. Deal [36] avec seulement  $NF = 8.3 \text{ dB}$  à  $300 \text{ GHz}$  ou encore un  $NF$  de  $7.5 \text{ dB}$  entre  $380 \text{ GHz}$  et  $430 \text{ GHz}$  [41].



**Figure I.9-**Etat de l'art de figure de mérite de couple  $f_T/f_{\max}$ , des transistors à base de matériaux III-V et Silicium de différents laboratoires et industries

Les motivations du choix de la filière HEMT III-V sur InP sont justifiées par les fréquences de fonctionnement importantes et du faible bruit de ces transistors. Après Northrop Grumman, le laboratoire Fujitsu a aussi développé un PHEMT de  $f_{\max} = 1.3 \text{ THz}$  ( $f_T = 250 \text{ GHz}$ ) [20] basé sur une longueur de grille relativement grande de  $75 \text{ nm}$  et un canal composite  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}$ . Jesús A. del Alamo de MIT (Massachusetts Institute of Technology) et D. H. Kim de TSC [1] ont aussi réalisé un PHEMT de  $f_{\max} = 1.06 \text{ THz}$  basé sur une longueur de grille de  $50 \text{ nm}$  et un simple canal de type  $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ .

Au niveau Européen, l'institut allemand Fraunhofer Institute for Applied Solid State Physics (IAF) a réalisé des applications LNA à  $600 \text{ GHz}$  [2] à base de technologie MHEMT sur GaAs (Métamorphique) à canal InAs et d'une longueur de grille de  $20 \text{ nm}$ . Le transistor fonctionne à une fréquence maximale d'oscillation supérieure à  $1 \text{ THz}$  ( $f_T = 515 \text{ GHz}$ ).

Les figures de mérite  $f_T$  et  $f_{\max}$  pour les différents transistors discutés précédemment sont reportées sur la **figure I.9** et les références associées listées dans le **tableau I-4**. L'état de l'art présenté concerne la période de 2007 à 2018. En considérant les performances fréquentielles, nous pouvons noter un record mondial en termes de fréquence maximale d'oscillation  $f_{\max} =$

**1.5 THz** ( $f_T = 610$  GHz) avec un  $L_g = 25$  nm et un record de fréquence de coupure  $f_T = 710$  GHz ( $f_{max} = 478$  GHz) avec un  $L_g = 60$  nm, remportés respectivement en 2013 par X. Mei du groupe Northrop Grumman [3] et par E. Y. Chang de l'université de Chiao-Tung [24]. Les deux figures de mérite ont été obtenues avec un PHEMT de la filière InGaAs/InAlAs à fort taux d'Indium au niveau du canal.

**Tableau I-4. Références bibliographiques des couples  $f_T/f_{max}$  présentés sur la figure I.9 de différents laboratoires et industries**

Technologie	Références
HEMT InGaAs/InAlAs	<ul style="list-style-type: none"> <li>- National Key Laboratory : L. Zhang [19]</li> <li>- Northrop Grumman: R. Lai, X. Mei, W. R. Deal [42] [41] [3] [39] [22].</li> <li>- Zhengzhou University: Y. Zhong [43].</li> <li>- National Chiao-Tung University: E. Y. Chang [24]</li> <li>- IEMN [IPRM] [EDS]</li> <li>- Massachusetts Institute of Technology (MIT) et Teledyne Scientific Company (TSC) : Jesús A. del Alamo, D. H. Kim [44] [45] [1] [46].</li> <li>- Fujitsu Laboratory : T. Takahashi [47] [20].</li> <li>- Kyungpook National University: D. Y. Yun [48]</li> <li>- IAF: A. Tessmann [2].</li> </ul>
HEMT GaN	<ul style="list-style-type: none"> <li>- Wright-Patterson Air Force: J. Yang, R. Gaska [49]</li> <li>- HRL Laboratories: K. Shinohara, A. Margomenos [50] [35] [51]</li> <li>- University Park: L. Wang [52]</li> </ul>
HBT (InP)	<ul style="list-style-type: none"> <li>- Nanjing Institute: C. Wei [53]</li> <li>- University of California: M. Seo [54]</li> <li>- NTT photonics laboratories: N. Kashio [55]</li> <li>- ETH Zurich: R. Fluckiger, M. Alexandrova [56] [57] [58]</li> <li>- Northrop Grumman: R. Lai [39]</li> <li>- Pohang University: D. Yu [59]</li> <li>- Teledyne Scientific Company (TSC): Z. Griffith [60] [38] [37]</li> </ul>
HBT (SiGe)	<ul style="list-style-type: none"> <li>- University of Wuppertal: J. Grzyb [61]</li> <li>- University of Toronto: S. T. Nicolson [62]</li> <li>- IHP, Im Technologiepark: A. Fox [63]</li> <li>- IBM Microelectronics Division: Q.Z. Liu [64] [65]</li> <li>- IHP, Frankfurt: B. Heinemann [32]</li> <li>- Infineon Technologies J. Bock [66]</li> </ul>
MOSFET III-V	<ul style="list-style-type: none"> <li>- GLOBALFOUNDRIES: D. H. Kim [67]</li> <li>- Lund University : M. Egard [68]</li> <li>- University of California : J. Wu [69]</li> <li>- IAF: A. Leuther [34] et A. Tessmann [33]</li> </ul>
CMOS (Si)	<ul style="list-style-type: none"> <li>- IBM : S. Lee [31] [70]</li> </ul>

Dans la suite de ce chapitre nous focaliserons cette revue de l'état de l'art sur les transistors HEMT à base de matériaux III-V de type InGaAs/InAlAs. Les facteurs les plus importants qui ont un impact significatif sur les performances DC et RF du HEMT sont nombreux: la longueur de grille, le taux d'Indium de la couche canal (simple ou composite), les espacements des électrodes drain-source et grille-source que nous noterons respectivement ( $L_{DS}$ ) et ( $L_{GS}$ ), les épaisseurs des couches actives de la barrière InAlAs et de canal ainsi que le recess asymétrique de la grille dans la zone du fossé. D'après les résultats présentés dans la littérature sur les figures de mérites  $f_T$  et  $f_{max}$  illustrés sur les **figures I.10-a** et **I.10-b** avec les références consignées dans le **tableau I-5**, nous constatons que pour atteindre des fréquences de fonctionnement supérieures au THz, il est essentiel d'améliorer les paramètres cités précédemment.



Principalement, la structure épitaxiale par augmentation du taux d'Indium dans le canal et la réduction des espacements  $L_{DS}$  et  $L_{GS}$ . Le record remporté par Northrop a été obtenu avec un espacement drain-source  $L_{DS} = 0.5 \mu\text{m}$  et en utilisant un canal de type composite riche en Indium ( $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ).

Jusqu'en 2016 tous les transistors opérationnels à des fréquences TéraHertz ont des longueurs de grille très courtes, on parle de transistors sub-50 nm. En 2017 le laboratoire Fujitsu a lancé une nouvelle génération de HEMTs avec une longueur de grille assez longue, présentant des fréquences d'oscillation maximale  $f_{\text{max}} = 1.3 \text{ THz}$  [20]. La structure utilisée est de type  $\text{InGaAs}/\text{InAlAs}$  avec un canal simple  $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$  sur  $\text{InP}$ . Un recess asymétrique et une réduction de l'espacement  $L_{GS}$  ont permis d'optimiser les rapports  $(\frac{C_{gs}}{C_{gd}})$  et  $(\frac{gm}{gd})$  et d'atteindre ainsi cette valeur. En 2018, l'université nationale de Kyungpook [48] a réalisé une étude sur l'impact de l'espacement  $L_{DS}$  sur la fréquence  $f_{\text{max}}$ . La fréquence  $f_{\text{max}}$  la plus élevée est estimée à 930 GHz avec une longueur de grille  $L_g = 87 \text{ nm}$  et un espacement de  $L_{DS} = 0.8 \mu\text{m}$ .

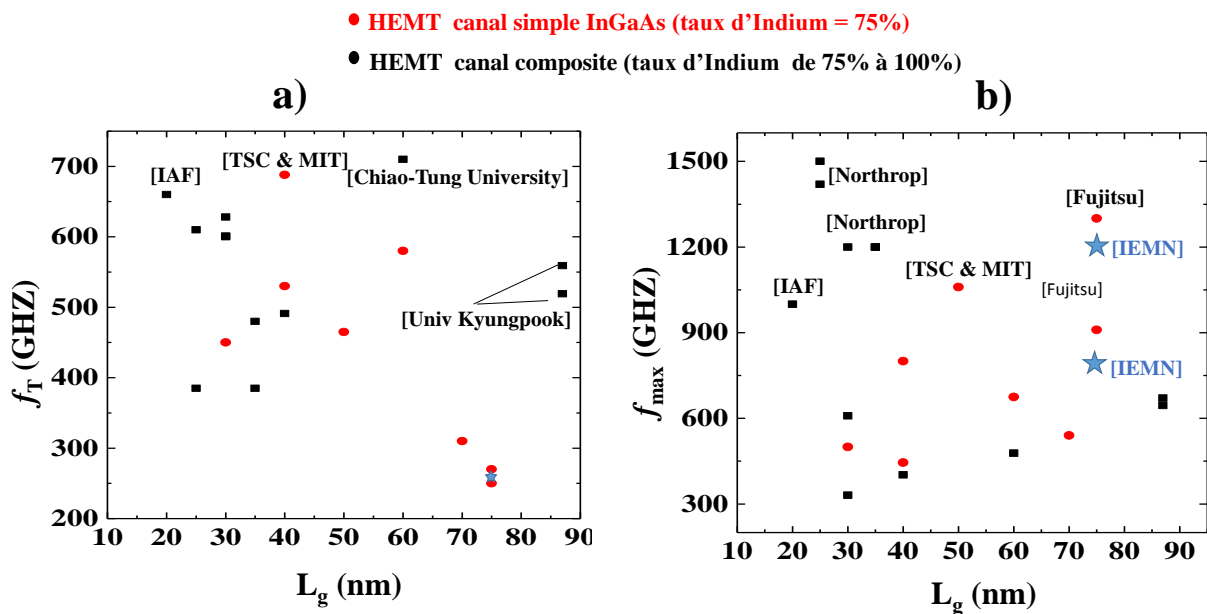


Figure I.10-Etat de l'art de figures de mérites  $f_T$  et  $f_{\text{max}}$  en fonction de  $L_g$  pour deux types du canal

Tableau I-5. Références bibliographiques entre 2007 et 2019 des couples  $f_T/f_{max}$  et  $g_m$  présentés sur la figure I.10-a et b

Type de canal	$L_G$ (nm)	$g_m$ (mS/mm)	$f_T$ (GHz)	$f_{max}$ (GHz)	année	références
Canal simple InGaAs	30	1800	450	500	2008	IEMN [71]
	50	1750	465	1060	2010	MIT et TSC [72] [73]
	60	2100	580	675	2010	
	40	2700	688	800	2011	
	40	1600	530	445	2011	National Key Laboratory [19] Fujitsu [20] [47]
	70	1600	310	540	2014	
	<b>75</b>	<b>2270</b>	<b>250</b>	<b>1300</b>	<b>2017</b>	
	75	2190	270	910	2017	
Canal composite InGaAs/InAs	35	2300	385	1200	2007	Northrop [42]
	30	1620	628	331	2008	MIT et TSC [45] [74]
	30	1830	601	609	2008	
	35	2300	480	1200	2008	Northrop [75]
	40	2000	491	402	2010	MIT et TSC [73]
	30	2400	600	1200	2011	Northrop [22]
	<b>60</b>	<b>2114</b>	<b>710</b>	<b>478</b>	<b>2013</b>	Chiao-Tung University [24]
	20	2500	660	1000	2014	IAF [2]
	25	---	385	1420	2014	Northrop [41] [3]
	<b>25</b>	<b>3100</b>	<b>610</b>	<b>1500</b>	<b>2015</b>	
	87	2700	519	645	2018	Univ Kyungpook[76]
	87	3000	559	671	2018	
	75	1400	260	800	2019	IEMN [IPRM] [EDS][IRMMW]
	75	1400	220	1200	2019	

### III.3. Paramètres ayant un impact sur les caractéristiques de HEMT (InAlAs/ InGaAs)

#### III.3.1. Impact de $L_g$

Il existe plusieurs paramètres ayant un impact sur les caractéristiques statiques et dynamiques du transistor, la **figure I.11** récapitule l'étude de l'influence de ces paramètres :

- Géométriques : la longueur de la grille
- Technologiques : l'architecture du canal

Les équations théoriques de  $f_T$  et  $f_{max}$  (**Eq-I.25**) montrent que les paramètres électriques ont un impact direct sur les performances fréquentielles du transistor. Ces paramètres électriques sont directement liés à la topologie du composant ainsi qu'aux matériaux utilisés. Par exemple d'après l'équation **Eq-I.6**  $g_m = \mu C_i \frac{W}{L_g} V_{DS}$ , on constate que la transconductance  $g_m$  dépend de la longueur de grille  $L_g$ , de la capacité  $C_i$ , elle-même liée à la distance grille-canal et de la mobilité des porteurs, donc des matériaux utilisés.

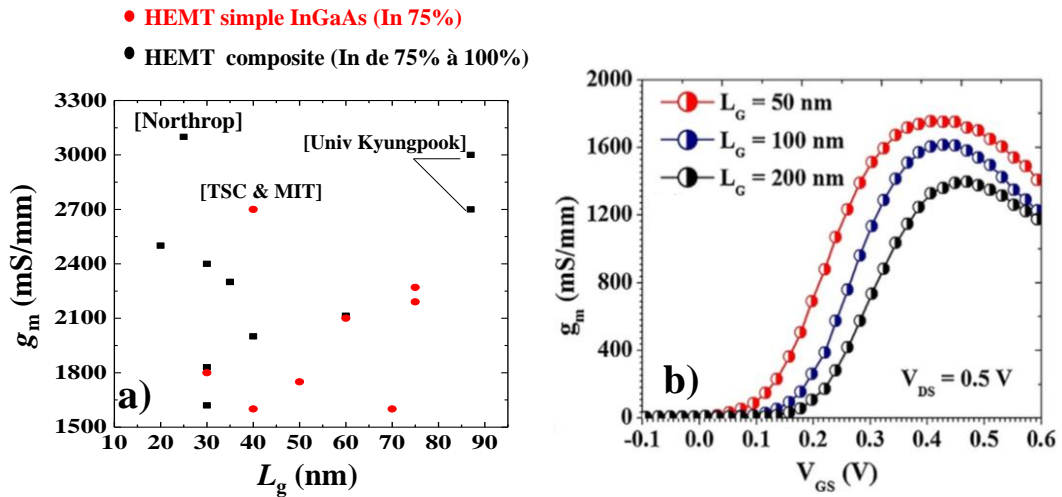


Figure I.11-Impact de longueur de grille  $L_g$  sur les caractéristiques de HEMT : (a) état de l'art de  $g_m$  en fonction de  $L_g$ , (b) impact de  $L_g$  sur  $g_m$  d'un  $\text{In}_{0.70}\text{Ga}_{0.3}\text{As}$  PHEMT, (b : [77])

La **figure I.11-a** reporte l'état de l'art relatif à la transconductance  $g_m$  entre 2007 et 2018 en fonction de la longueur de grille présentée dans le **tableau I-5**. Le record de la transconductance  $g_m$  pour les HEMTs est de l'ordre de 3100 mS/mm pour une longueur de grille  $L_g$  de 25 nm grâce à l'utilisation d'un canal composite InGaAs/InAs et une barrière très fine de 2 nm [3]. Récemment, H. B. Jo et al. de l'université de Kyungpook ont réussi à obtenir la même valeur de  $g_m = 3000$  mS/mm en utilisant également une structure HEMT à canal composite riche en Indium [76], cependant avec une longueur de grille qui est assez longue  $L_g = 87$  nm. En revanche, la réduction de l'épaisseur de la barrière permet d'une part d'augmenter  $g_m$  et d'autre part, de générer plus de courant de fuite de grille dû à la réduction de la distance grille-canal.

La **figure I.11-b** représente l'évolution de  $g_m$  en fonction de la longueur de grille. D'après les travaux présentés dans [77] une réduction d'un facteur 4 de  $L_g$  (de 200 nm à 50 nm) permet une augmentation de la transconductance de 20% (de 1400 mS/mm à 1700 mS/mm). Nous pouvons constater la même tendance pour la distance grille-canal, sa réduction conduite à une meilleure transconductance due à une meilleure commande de charge.

### III.3.2. Impact du recess asymétrique

Plusieurs études ont été menées sur l'impact du recess asymétrique de grille ( $L_{side}$  ou  $L_{RD}$ ) sur les caractéristiques des HEMTs, l'accroissement de cette longueur minimise le courant de fuite de grille, la conductance de sortie  $g_d$  ainsi que l'effet du canal court [78]. Les **figures I.12 (a) et (b)** de [79] présentent l'effet de  $L_{side}$  sur la caractéristique statique  $I_D$ - $V_{DS}$ .

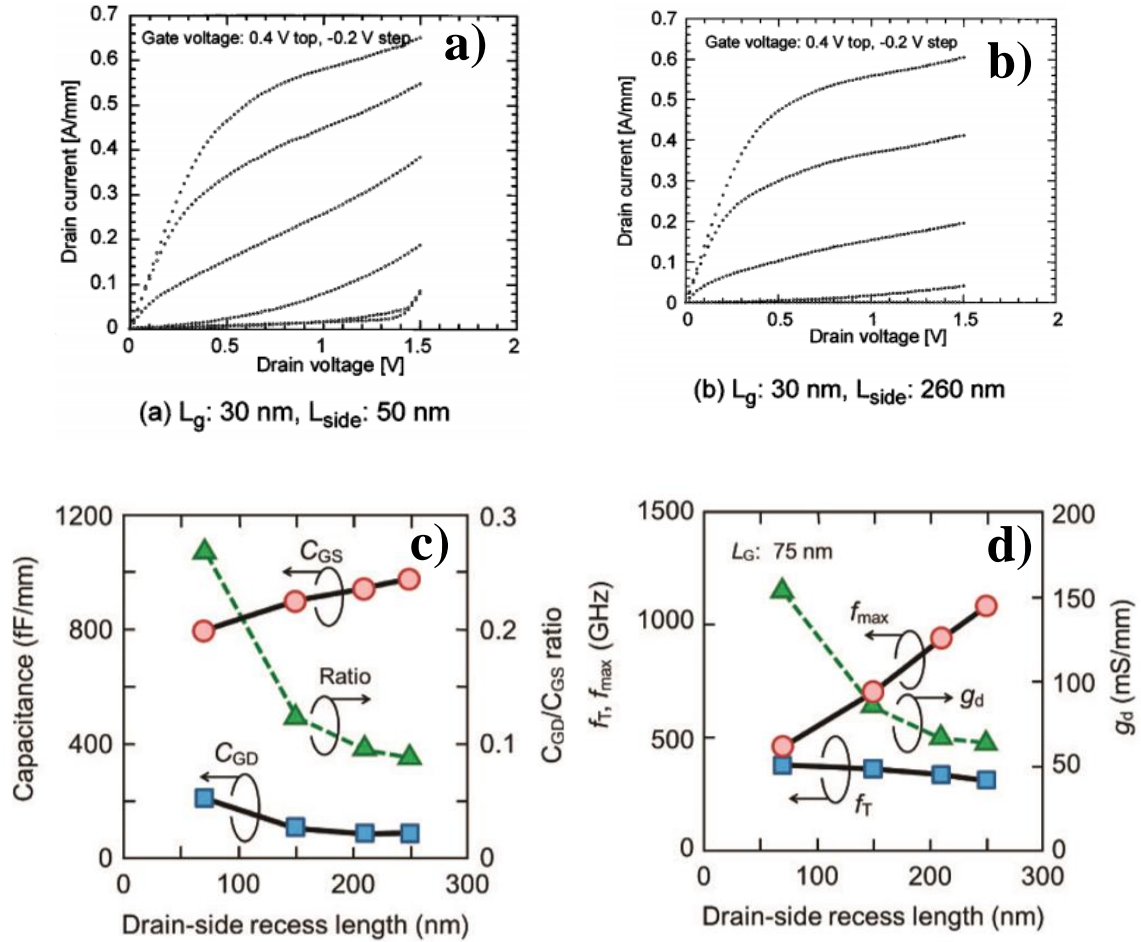


Figure I.12-Impact de  $L_{side}$  sur les caractéristiques du HEMT (a) et (b) dans [79], (c) et (d) dans [20]

Dans le premier exemple (**figure I.12-a**) où  $L_{side} = 50$  nm, on constate une forte conductance de sortie  $g_d$  et une tension de claquage faible (1.4 V). Ceci est dû au champ électrique très élevé côté drain. Plus  $L_{side}$  augmente plus le champ électrique dans le canal devient faible [78]. Le deuxième exemple (**figure I.12-b**) représente l'impact du recess asymétrique en présentant une faible pente  $g_d$  dû à une hausse de la tension de claquage (supérieur à 1.4 V). En terme fréquentiel l'impact de l'extension  $L_{side}$  de 70 nm à 250 nm présenté sur les **figures I.12-c et d** affichent le même effet décrit précédemment ( $g_d$  devient faible), la valeur relevée pour  $g_d$  est de 64 mS/mm pour  $L_{side} = 250$  nm soit une amélioration (diminution) de 60%.

En outre, les capacités  $C_{gs}$  et  $C_{gd}$  sont aussi optimisées grâce à cette extension. Plus  $L_{side}$  augmente et plus le contact de drain devient effectivement isolé du canal et donc le couplage se fait principalement avec la source. De ce fait, on remarque une augmentation de  $C_{gs}$  et une diminution de  $C_{gd}$  [80], le rapport  $\frac{C_{gd}}{C_{gs}}$  passe de 0.25 à 0.1. Par conséquent,  $f_{max}$  passe de 462 GHz à 1.08 THz soit un gain de 57%.

### III.3.3. Impact de l'espacement drain-source

Les valeurs des résistances d'accès  $R_s$  et  $R_d$  sont toujours associées à l'espacement entre la source et le drain ( $L_{SD}$ ). Une réduction de cette distance permet de minimiser les résistances d'accès du transistor et donc d'améliorer les fréquences de transitions. Nous présentons sur la **figure I.13** des estimations de  $f_T$  et  $f_{max}$  en fonction de la distance drain source issues du modèle électrique du schéma équivalent du transistor [48]. La réduction de  $L_{SD}$  de  $1.55 \mu\text{m}$  à  $0.8 \mu\text{m}$  a permis d'optimiser considérablement  $f_{max}$  de  $803 \text{ GHz}$  à  $930 \text{ GHz}$  et  $f_T$  de  $462 \text{ GHz}$  à  $516 \text{ GHz}$ . Cette amélioration est imputée à la diminution des résistances  $R_s$  et  $R_d$  au fur et à mesure que la distance  $L_{SD}$  diminue.

Le contact ohmique et la taille du recess ont également une influence sur les résistances séries  $R_s$  et  $R_d$ , il est fortement recommandé que la couche de contact ohmique soit fortement dopée (de l'ordre de  $10^{19}/\text{cm}^3$ ) afin de réduire la résistance de contact métal semiconducteur  $R_c$ .

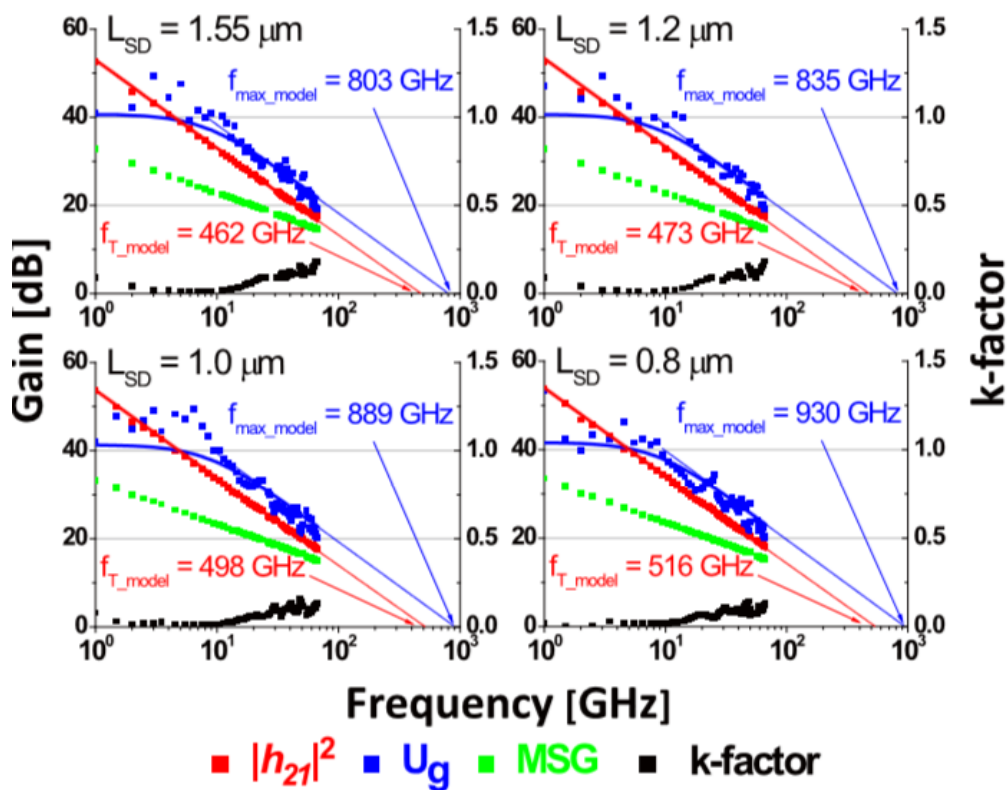


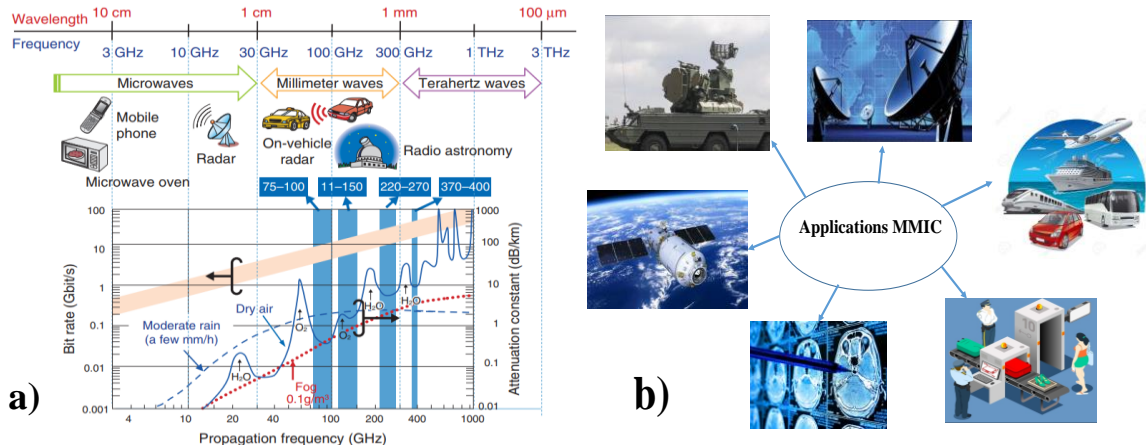
Figure I.13-Impact de l'espacement drain-source  $L_{SD}$  sur les caractéristiques du HEMT [48]

## IV. Circuits et Applications en bande millimétriques et sub-millimétriques

### IV.1. Circuits et applications MMICs

Par définition la bande millimétrique couvre une gamme de fréquences de  $30 \text{ GHz}$  à  $300 \text{ GHz}$  (longueur d'onde :  $1 \text{ mm} - 10 \text{ mm}$ ) et la bande submillimétrique parfois appelée Téràhertz s'étend de  $300 \text{ GHz}$  à  $3 \text{ THz}$  (longueur d'onde :  $100 \mu\text{m} - 1 \text{ mm}$ ). Ces deux bandes adressent plusieurs nombres d'applications électroniques. Notamment, l'imagerie, les radars automobiles

pour anticollision et les systèmes de télécommunications à très haut débit qui nécessitent des larges bandes de fréquences. Le choix de telles fréquences dépend principalement du facteur d'atténuation de propagation du signal dans l'air. Selon le type et le domaine d'application, on préférera une fréquence où l'atténuation est très forte ou très faible. Les **figures I.14-a et b** illustrent la diversité des domaines d'applications de ces circuits [81]. Actuellement, la majorité d'applications est destinée aux communications sans fil. Les autres domaines sont en progression telles que l'imagerie médicale et la sécurité des personnes.

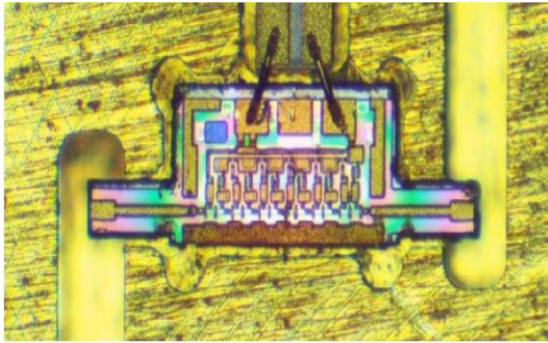


**Figure I.14--Diversité des applications millimétriques et sub-millimétriques des MMICs [81]**

Le développement de l'industrie de la microélectronique et les avancées technologiques ont permis d'élargir les domaines d'applications de HEMT en bande de fréquences millimétriques et submillimétriques en grand public après avoir été déployés dans le domaine professionnel. Les caractéristiques des matériaux particulièrement le GaAs et l'InP ont permis d'améliorer les performances des composants électroniques, en termes de puissances, de bandes passantes et de bruit destinés aux circuits MMICs. Ces circuits réunissent sur un même substrat plusieurs composants actifs (transistors) et passifs (capacités, résistances...) afin de réaliser un circuit intégré de petites dimensions (environ de 1 à 10 mm<sup>2</sup>).

En France, OMMIC a réalisé une divers MMICs dans la bande millimétrique en technologie GaAs, InP et GaN. Les dispositifs fabriqués sont principalement des amplificateurs LNA et des amplificateurs de puissance [82]. Par ailleurs, IAF (**figure I.15**) a aussi développé des LNAs de six étages opérants autour de 600 GHz avec un gain d'insertion de 10 dB entre 555 GHz et 619 GHz, le maximum de gain obtenu pour cette application est 15.4 dB à 576 GHz avec un facteur de bruit  $NF$  de l'ordre de 15 dB [2].





**MMIC 6 étages**



**Module LNA à 600 GHz**

**Figure I.15-Photographie de LNA à base d'un MHEMT à 600 GHz développé par IAF**

Aujourd'hui, des applications MMICs opérant à des fréquences THz sont désormais possibles grâce à l'évolution technologique à travers le monde. Northrop Grumman a récemment réalisé un amplificateur dans la gamme [670 GHz – 850 GHz] [41]. Un an plus tard, un deuxième amplificateur de dix étages en technologie PHEMT sur InP, fonctionnant à 1 THz avec un gain de 9 dB est démontré dans la littérature [3].

Dans le domaine des systèmes du transport, un radar de surveillance, fonctionnant à 79 GHz basé sur une technologie PHEMT sur GaAs a été développée par Sumitomo Electric Industries (SEI) [83]. Ce dispositif permet de détecter des objets situés à différentes distances, tout en gardant une bande radio étroite. Il existe d'autres applications MMICs pour l'automobile notamment, les systèmes anticollisions, les péages autoroutiers non-stop et l'évaluation de la vitesse ou de distance des véhicules etc.

En ce qui concerne les systèmes de télécommunications, les applications sont innombrables. On peut distinguer trois principales applications des MMICs: la réception satellitaire, la téléphonie sans fil et les communications par fibre optique. Le laboratoire NTT Device Technology et Fujitsu ont présenté un exemple de téléchargement de données sans fil à partir d'un kiosque. Le système est composé d'un amplificateur de puissance et d'un LNA intégrés respectivement dans un émetteur et un récepteur électronique de type MMIC à base d'une technologie HEMT de  $f_{\max} = 700$  GHz et  $f_T = 300$  GHz. Le système peut transmettre (Transmitter) des données avec un débit autour de 20 Gbps à une distance de 80 cm à 300 GHz à la réception un (Receiver) de 30 dB de gain et d'un facteur de bruit  $NF = 9.8$  dB [84].

Par ailleurs, le domaine médical a également bénéficié de l'avancée technologique des MMICs pour la détection et le traitement de tumeurs utilisant des systèmes d'imagerie à base d'ondes TéraHertz.

## **IV.2. État de l'art en bruit (transistors et circuits)**

Les performances en bruit des transistors sont souvent évaluées sur des circuits intégrés MMICs démonstrateurs pour des fréquences égales ou proches de : 94, 140, 220, 340, 410, 480, 660, 850 GHz et 1 THz. En effet, le bruit présenté par un circuit électronique ne dépend pas uniquement du composant actif mais aussi du choix des éléments passifs (résistances, inductances...). Les avancées technologiques de matériaux III-V, conduisent à réaliser des

transistors de qualité en termes de fréquences tout en maintenant un très faible facteur de bruit. Les HEMTs font partie de ces transistors fonctionnant à des fréquences supérieures aux THz et permettant de réaliser des circuits à faible bruit. Les deux tableaux I-6 et I-7 suivants synthétisent l'état de l'art en bruit des transistors pour différentes technologies et des circuits démonstrateurs de type LNAs.

Le **tableau I-6** compare les performances de bruit minimum et du gain associé des transistors de la filière PHEMT et MHEMT ainsi que pour les HBTs III-V et Si. La technologie PHEMT détient le record de minimum de bruit avec seulement 0.71 dB à 94 GHz ( $G_{ass} = 8.9$  dB) reporté par Fujitsu dans [85]. Par ailleurs, les MHEMTs présentent des performances proches de celles obtenues pour la filière pseudomorphique sur InP. Le transistor métamorphique développé par OMMIC a un  $NF_{min} = 0.8$  dB ( $G_{ass} = 10.25$  dB) à 30 GHz. En revanche, les HBTs ont un facteur minimum de bruit plus élevé comparé aux autres filières. Il est assez difficile de trouver l'état de l'art en bruit pour des transistors au-delà de 100 GHz. En effet, l'étude de bruit s'effectue généralement avec des circuits démonstrateurs de type LNAs.

**Tableau I-6. État de l'art en bruit des transistors HEMTs et HBTs [1990-2019]**

<b>Transistors</b>					
<b>Technologie</b>	<b>Fréquence (GHz)</b>	<b>G<sub>ass</sub> (dB)</b>	<b>NF<sub>min</sub> (dB)</b>	<b>Références</b>	<b>Année</b>
PHEMT	44	13	1.2	D. C. W. Lo [70]	1993
	60	8.9	0.8	K. H. G. Duh [87]	1991
	94	7.2	1.2		1991
	93.5	6.3	2.1	K. L. Tan [88]	1990
	94	7	1.4	P. M. Smith [89]	1995
	94	8.9	0.71	T. Takahashi Fujitsu [85] [90]	2008
	94	8.5	1		2011
	94	10	1.4		2011
	94	-	1	T. Takahashi [91]	2007
MHEMT	26	11.8	0.61	C. S. Whelan [92]	2000
	30	5.3	1.6	A. Noudeviwa OMMIC [93]	2011
	30	10.25	0.8	A. Noudeviwa OMMIC [93]	2011
InP & SiGe HBT	50	-	2.5	P. Sakalas [94]	2013
	20	-	3	Y. Z. Xiong [94]	2002
	65	-	2.5	K. H. K. Yau [94]	2011
	170	-	4.2	K. H. K. Yau [94]	2011
	70	-	2.7	Y. Tagro [94]	2009

Afin de réaliser une comparaison large bande en termes de bruit et de gain, les résultats des circuits démonstrateurs LNAs sont présentés dans le **tableau I-7**. Le circuit le plus performant présenté à ce jour est celui de Northrop avec un LNA de dix étages fonctionnant à 1.03 THz avec un gain de 9 dB. Ces résultats ont été obtenus grâce à un transistor PHEMT sur InP [3]. Concernant la filière PHEMT, on note des améliorations continues au fil des années avec une dominance du groupe Northrop sur les LNAs submillimétriques. M. Leong, du même groupe a reporté un LNA à 850 GHz de  $NF = 11.1$  dB et de  $Gain = 13.6$  dB. Cependant, IAF a une dominance sur les MHEMTs. Les avantages de cette filière sont le coût, la taille des wafers et



la robustesse des substrats GaAs. On peut constater que dans la bande millimétrique PHEMT et MHEMT ont des performances plus ou moins identiques. Par ailleurs, dans la bande submillimétrique, il semble un peu difficile de comparer les deux technologies en termes de coût et de performances, l'état de l'art actuel montre que le PHEMT est meilleur que le MHEMT en termes de bruit et de fréquence de fonctionnement, tous les facteurs de bruit des PHEMT sont inférieurs à 14 dB comparés aux métamorphiques ( $NF = 15$  dB à 600 GHz).

Tableau I-7. État de l'art en bruit des amplificateurs LNA [2008-2018]

<b>Circuits LNA</b>						
<b>Technologie</b>	<b>Topologie étages</b>	<b>Fréq (GHz)</b>	<b>Gain (dB)</b>	<b>NF (dB)</b>	<b>Références</b>	<b>Année</b>
PHEMT	-	43.3	15.2	2.3	G. Nikandish [95]	2018
	3	94	19.4	2.5	X. B. Mei [96]	2008
	2	107	12	2.3	L. A. Samoska[36]	2011
	5	120-150	18.5	4.5	D. Yang [97]	2018
	3	160	16	3	P. Kangaslahti [36]	2010
	3	150-185	12-16	3.7-5	P. Kangaslahti[98]	2008
	3	190	16	3.5	P. Kangaslahti [36]	2010
	-	270	11.4	7.5	T. Gaier [36]	2007
	3	300	17	8.3	W. R. Deal [36]	2010
	4	380-430	20	7.5	W. R. deal [41]	2014
	3	480	11.4	11.7	W. R. Deal [36]	2010
	10	670	8	13	W. R. Deal [36]	2011
	10	650-675	4-8	12-14	W. R. deal [22]	2011
	4	850	6	-	W. R. deal [41]	2014
	10	850	13.6	11.1	M. Leong [99]	2015
10	1003	9	-	X. B. Mei [3]	2015	
MHEMT	4	25-43	25	1.5	OMMIC[100]	-
	4	75-110	23	2.8	OMMIC[100]	-
	3	80	25	1.6	P. M. Smith [101]	2014
	2	90	20	2	L.A.Samoska [36]	2009
	2	69-98	34	2.3	L. Tessmann [102]	2016
	4	49-117	20-27	1.8-2.6	F. Thome [103]	2017
	4	52-126	23-28	1.6-2.2	F. Thome [103]	2017
	4	150	19	4	E. Weissbrodt[36]	2010
	5	183	24	3.5	G. Moschetti [104]	2015
	4	206	16	4.8	L. Tessmann [36]	2008
	3	240	19.5	6	V. Hurm [105]	2013
	4	280-330	26	6.5	L. Tessmann [106]	2017
6	600	14.1	15	L. Tessmann [2]	2014	
InP & SiGe HBT	2	77	12	9.5	D. Kissinger [107]	2010
	4	76-81	23.8	5.7	A. Babakhani [107]	2010
	3	220	-	13	E. Ojefors [94]	2012
	4	233	22	12.5	S. Malz [108]	2014
	5	245	18	8	S. Malz [108]	2014
	-	288	8.4	11.5	J. Hacker [36]	2010
	-	290-300	8.4	11.2	J. Hacker [94]	2010
	-	300	7	11.2	J. Hacker [36]	2010
	9	670	20	-	J.Hacker [109]	2013

## V. Conclusion du chapitre I

Ce premier chapitre a permis de décrire le contexte général de ces travaux de thèse, ses objectifs ainsi que l'état de l'art des transistors HEMTs à base de matériaux III-V pour la période 2007-2019. Après la définition de HEMT et de ses filières technologiques, nous avons décrit quelques grandeurs physiques et électriques remarquables qui ont un impact sur l'évolution de cette filière technologique de PHEMT. La montée en fréquence et l'un des principaux objectifs de cette thèse afin de donner des perspectives pour une potentielle application de faible bruit en bande submillimétrique.

L'état de l'art des figures de mérite fréquentielles  $f_T/f_{max}$  et de bruit font de HEMT un très bon candidat pour la réalisation de circuits intégrés MMICs en gamme millimétrique et submillimétrique. La diversité des applications a été également discutée dans ce chapitre. Les résultats issus de la comparaison du HEMT III-V vis-à-vis d'autres filières de transistor confirment notre choix portant sur le PHEMT sur InP. Les limitations physiques et technologiques liées à la fabrication présentent aujourd'hui un obstacle qui nécessite la proposition de nouvelles méthodes de réalisation et d'optimisation qui permettront d'accroître davantage les fréquences de fonctionnement et d'atteindre les fréquences THz.

Dans le chapitre 2, nous présenterons la réalisation technologique de PHEMT effectuée dans la plate-forme de micro et nanofabrication de l'IEMN qui a abouti à des résultats comparables à l'état de l'art actuel. Les résultats de mesures électriques et hyperfréquences seront présentés dans le troisième et le quatrième chapitre.



***Chapitre II : Réalisation et optimisation technologiques de HEMT de la filière InAlAs/InGaAs/InAs à canal composite sur un substrat d'InP***

## I. Introduction du chapitre II

Dans le premier chapitre, nous avons principalement décrit le contexte général de thèse et l'état de l'art des transistors HEMTs sur différents substrats tel que l'InP et le GaAs. Les optimisations ont été apportées notamment sur la topologie des composants qui est de plus en plus petite. Ces optimisations ont permis d'atteindre des fréquences de fonctionnement très élevées supérieures au THz. Actuellement, le HEMT Pseudomorphique (PHEMT) sur l'InP est le transistor le plus performant en termes de fréquence et de faible bruit grâce aux avancées technologiques de cette filière. De ce fait, il est désormais possible de concevoir des circuits de type MMIC fonctionnel dans la bande sub-millimétrique pour des futures applications THz. Il est donc important de bien choisir la structure épitaxiale qui est l'un des paramètres principaux pour améliorer les caractéristiques électroniques du composant et d'optimiser les étapes technologiques en proposant des nouveaux procédés de réalisation.

Dans ce chapitre, nous allons décrire la structure épitaxiale retenue et la réalisation technologique des PHEMTs à base de matériaux III-V sur un substrat d'InP. Celui-ci sera divisé en trois parties. Dans un premier temps, nous présentons l'ensemble des simulations sous Atlas-Silvaco effectué sur différentes structures épitaxiales proposées durant ces travaux. Nous allons également mesurer expérimentalement leurs caractéristiques de transport électronique par effet Hall et la qualité des contacts ohmiques par la mesure de TLM. Ceci permettra de valider le choix d'une structure optimale pour la suite de nos travaux de thèse.

La seconde partie de ce chapitre est la plus importante. Nous présentons tous les procédés technologiques développés pendant ces travaux de thèse ainsi que toutes les optimisations apportées à chaque étape de fabrication. En effet, la structure de couches épitaxiales retenue pour ces travaux a nécessité une mise au point particulière à chaque étape de fabrication. Nous allons tout d'abord commencer par décrire les principales étapes de réalisation du transistor HEMT et l'ensemble des tests effectués afin d'optimiser les différentes étapes de fabrication : isolation par Mésa, contacts ohmiques, gravures humides du recess, gravure sèche de nitrure de silicium et électrode de grille.

Au cours de la dernière partie de ce chapitre, un réajustement de l'espacement entre le plot de masse et le plot de signal d'une ligne coplanaire (pitch) à 25  $\mu\text{m}$  a été réalisé sur des composants existants dont le pitch initial était de 50  $\mu\text{m}$  suite à l'achat d'un nouvel équipement permettant de mesurer les paramètres S jusqu'à 750 GHz.

## II. Structure épitaxiale : Simulations et études expérimentales

### II.1. Structure épitaxiale

La croissance épitaxiale par MBE (Molecular Beam Epitaxy) des couches HEMTs pendant nos travaux a été effectuée sur un substrat d'InP de deux pouces. La structure initiale (**figure II.1**) est constituée de bas en haut comme suit: un substrat d'InP, une couche tampon (« buffer ») d' $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ , un premier plan de dopage face arrière (Si), un premier espaceur

d' $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ , un canal de 95 Å, un second espaceur d' $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ , un second plan de dopage (Si), une barrière en  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ , et finalement une couche de contact ohmique (« cap layer »). Nous allons optimiser trois principaux éléments de la structure (en pointillés sur la **figure II.1**) : la couche de contact ohmique, la couche canal et le double-plan de dopage qu'on notera « face avant » et « face arrière » P (face avant/ face arrière). Pour cela, nous avons effectué des simulations Schrödinger-Poisson. Dans un premier temps, nous déterminons les conditions nécessaires (potentiel de surface  $\varphi_s$  de la structure) de la simulation en comparant des résultats simulés et des grandeurs issues de mesures. Ensuite, nous présentons les optimisations apportées à la structure épitaxiale. Finalement, nous concluons par le choix de la structure optimale retenue pour la suite de nos travaux de thèse.

<b>Cap</b>		
<b>20 Å</b>	<b>Barrière InAlAs</b>	
<b>Plan de dopage Av</b>	<b>InAlAs</b>	<b>Si <math>\times 10^{12} / \text{cm}^2</math></b>
<b>30 Å</b>	<b>1ère Espaceur InAlAs In=52%</b>	
<b>95 Å Canal</b>		
<b>30 Å</b>	<b>2ème Espaceur InAlAs In=52%</b>	
<b>Plan de dopage Ar</b>	<b>InAlAs</b>	<b>Si <math>\times 10^{12} / \text{cm}^2</math></b>
<b>4000Å</b>	<b>Buffer InAlAs In=52%</b>	
<b>Substrat InP</b>		

**Figure II.1-Structure épitaxiale initiale du HEMT à double-plan de dopage**

Nous avons vu dans le premier chapitre l'intérêt de travailler avec des structures à canal composite et avec des taux d'Indium importants. Afin d'améliorer les caractéristiques de transport électroniques dans le canal, M. Sexl [110] a montré que l'insertion d'une couche d'InAs entre deux couches d'InGaAs adaptées en maille permet d'augmenter la mobilité du canal de 47% et minimiser la conductance de sortie  $g_d$  du HEMT.

Dans ce chapitre, nous allons étudier les différentes architectures du canal avec une épaisseur optimale de 95 Å fixée à partir de l'état de l'art récent des HEMTs présenté dans le premier chapitre [3]. La raison de ce choix est également liée aux contraintes technologiques de la croissance épitaxiale d'InAs sur InP. En effet, l'InAs étant contraint sur InP, l'épaisseur d'InAs est limitée à environ 3 nm avant l'apparition de dislocation. La mise en place de double-plan de dopage face avant et face arrière permettra non seulement, de fournir beaucoup plus charges au canal mais également assurer un bon confinement d'électrons. Par ailleurs, les études menées par N. Hara [111] reportent l'avantage du canal composite et du double-plan de dopage pour les caractéristiques électriques et électroniques des transistors HEMTs.

## II.2. Simulations et études expérimentales

L'amélioration des propriétés de transport électronique nécessite plusieurs études et des tests technologiques, souvent longs et coûteux. C'est pourquoi le passage par des simulations est préférable afin de cibler la structure épitaxiale adéquate à nos travaux. En faisant varier les épaisseurs des couches, le niveau de dopage et les matériaux utilisés, nous pouvons remonter aux propriétés électroniques des structures HEMT. Des simulations utilisant des modèles physiques comme des simulations Schrödinger-Poisson permettent de choisir la structure optimale afin d'obtenir la densité de charge d'électrons  $N_s$  dans chaque couche. Ces simulations seront comparées à des mesures par effet Hall sur des trèfles de Van der Pauw. Quant à la mobilité, celle-ci est estimée approximativement à partir d'un calcul théorique décrit dans la thèse de H. Fourre [112] par des équations présentées ci-dessous.

$$N_{Hall} = \frac{\left( \sum_i \frac{N_i \mu_i}{1 + \mu_i^2 B^2} \right)^2}{\sum_i \frac{N_i \mu_i^2}{1 + \mu_i^2 B^2}} + B^2 \sum_i \frac{N_i \mu_i^2}{1 + \mu_i^2 B^2} \quad \text{Eq-II.1}$$

$$\mu_{Hall} = \frac{1}{q N_{Hall} R_{carre}} \quad \text{Eq-II.2}$$

$$\text{Avec } R_{carre} = \frac{1}{q \sum_i N_i \mu_i} \text{ et } B = 0.3 \text{ T} \quad \text{Eq-II.3}$$

### II.2.1. Potentiel de surface

Avant toutes simulations, nous devons déterminer le potentiel de surface ( $\varphi_s$ ) lié à l'interface air-semiconducteur présente à la surface de la structure épitaxiale. Dans nos études d'optimisations, les structures utilisées ont un matériau de type  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  à la surface, qui sert de couche de contact ohmique (« cap »). D'après S. Tiwari [11], (**figure II.2**) nous pouvons déterminer approximativement le potentiel de surface entre un matériau III-V et l'air. La valeur reportée dans ces travaux se situe aux alentours de 0.3 eV pour l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ .

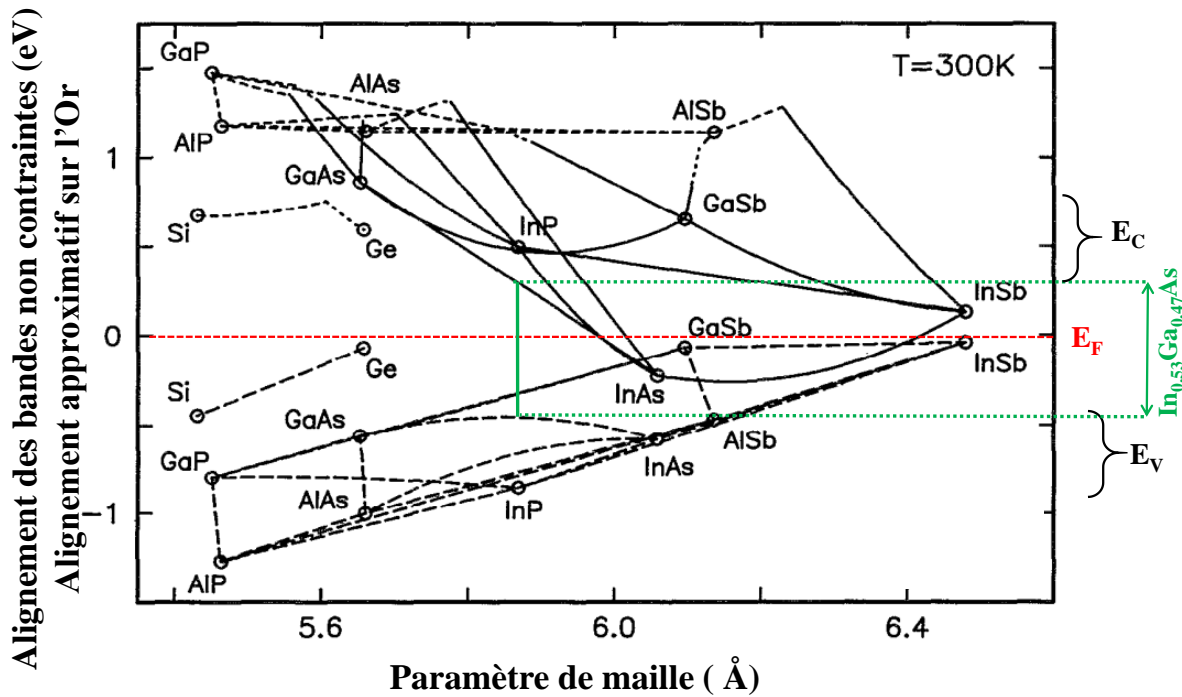


Figure II.2-Présentation des bandes de conduction et de valence des matériaux III-V en fonction

Des mesures par effet Hall sur une structure constituée de 20 nm d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  dopé n à  $6.10^{18}/\text{cm}^3$  sur l' $\text{InP}$  (**figure II.3**) effectuées par le groupe ANODE de l'IEMN [rapport de contrat Européen FET-Open Nanotera, 2001], donnent un  $n_H$  d'environ  $5.9 \times 10^{12}/\text{cm}^2$ . La mobilité de Hall obtenue est de l'ordre de  $1800 \text{ cm}^2/\text{V.s}$ .

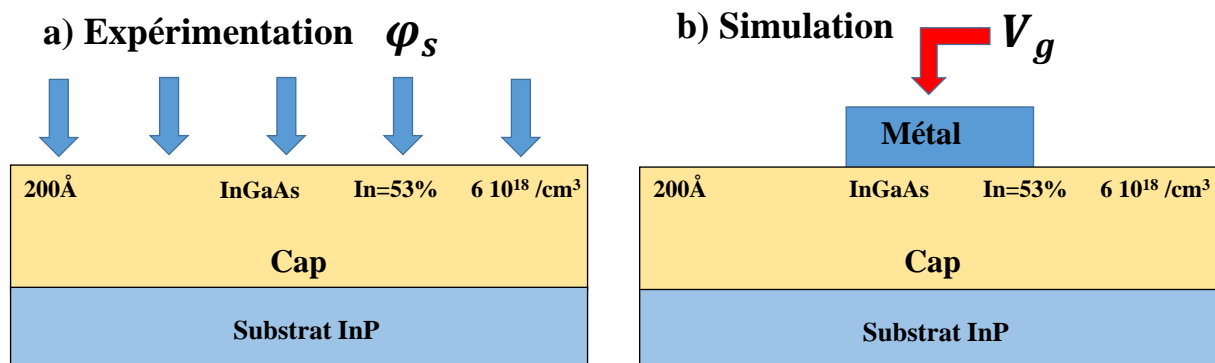


Figure II.3- Potentiel de surface et tension  $V_g$  d'un Bulk d' $\text{InGaAs}$  : a) expérimental et b) simulation

Des simulations Schrödinger-Poisson de la couche de la **figure II.3** sous le logiciel Atlas de Silvaco ont été effectuées. Afin de modéliser l'interface air-semiconducteur, nous plaçons un métal en surface (**figure II.3-b**). Le potentiel de surface est fixé par l'expression suivante **Eq-II.4**

$$\varphi_s = \phi_m - \chi_e - qV_g \quad \text{Eq-II.4}$$

Avec :  $\phi_m$  travail de sortie du métal

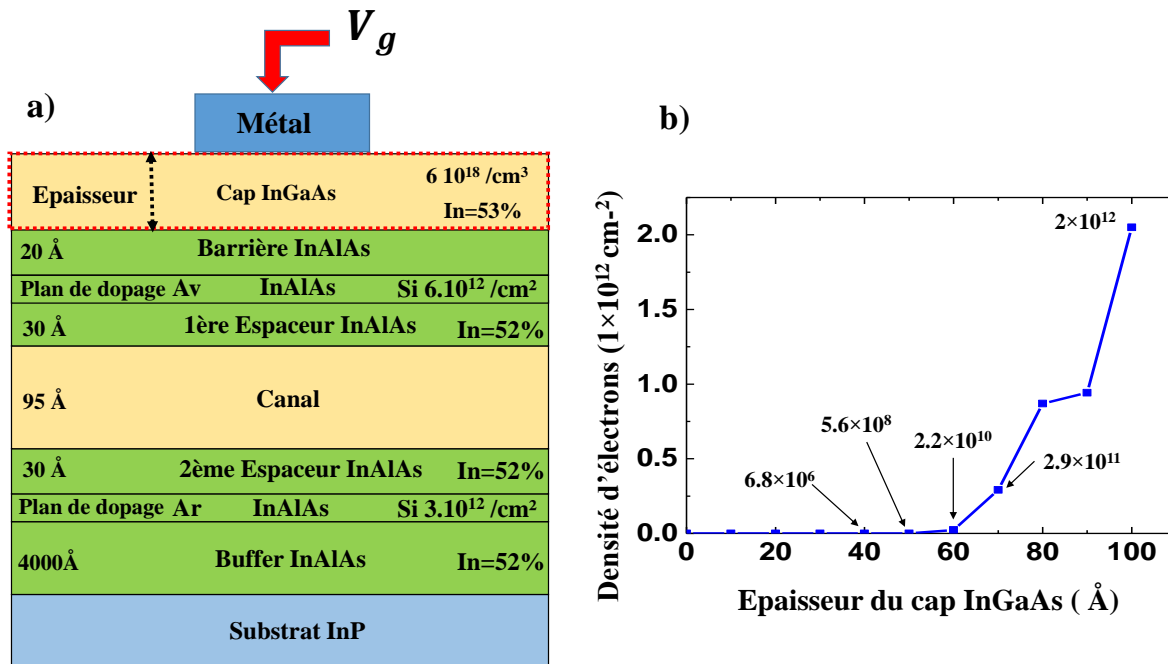
$\chi_e$  Affinité électronique du semiconducteur et  $q$  la charge d'électrons



Dans le cas où le travail de sortie du métal  $\phi_m$  est identique à l'affinité électronique  $\chi_e$  du semiconducteur (4.51 eV pour  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ), le potentiel  $V_g$  à appliquer sur le métal est fixé à -0.3 V pour obtenir  $\varphi_s = 0.3 \text{ eV}$ . La simulation donne une densité totale de charge de  $5.5 \times 10^{12} / \text{cm}^2$ . Cette valeur est proche de celle obtenue sur le trèfle de Hall. Cela confirme le choix d'un potentiel de surface  $\varphi_s = 0.3 \text{ eV}$  et est cohérent avec S. Tiwari (**figure II.2**).

### II.2.2. Épaisseur de la couche « cap »

L'objectif de cette partie est de déterminer l'épaisseur optimale de la couche de contact ohmique (cap). Cette couche est d'abord nécessaire pour la réalisation du contact ohmique. L'objectif est qu'elle soit complètement désertée afin qu'elle ne perturbe pas les valeurs des densités de Hall mesurées. Si cette couche est trop épaisse et partiellement désertée, la conduction parallèle des charges va influencer la valeur de la densité de charge mesurée par effet Hall. Les valeurs de  $N_{Hall}$  et  $\mu_{Hall}$  ne correspondront pas principalement à la couche canal mais à une moyenne entre le canal et le cap. Si elle trop fine, on aura une désertion partielle du canal conducteur. Afin de déterminer cette épaisseur optimale une simulation de la structure présentée sur la **figure II.4-a** sous une tension  $V_g = -0.3 \text{ V}$  (soit  $\varphi_s = 0.3 \text{ V}$ ) est effectuée. Nous avons reporté sur la **figure II.4-b** l'évolution de la densité de charge d'électrons dans le cap en fonction de son épaisseur.



**Figure II.4-Densité d'électrons dans le cap InGaAs en fonction de son épaisseur**

Nous pouvons déduire qu'en deçà de 60 Å, le cap est complètement déserté. Nous choisissons pour la suite de nos travaux une épaisseur moyenne de 50 Å afin d'assurer d'une part, la déplétion totale du cap et d'autre part la protection de la surface (InAlAs).

### II.2.3. Évaluation et optimisation de la structure

Pour optimiser la structure de couche, nous avons fixé le double-plan de dopage de type N face avant et face arrière respectivement à  $6 \times 10^{12}/\text{cm}^2$  et  $3 \times 10^{12}/\text{cm}^2$  (P 6/3). Le plan avant est de  $6 \times 10^{12}/\text{cm}^2$  ce qui correspond à la valeur usuelle pour une structure à simple plan. L'introduction d'un plan arrière doit permettre d'obtenir une plus forte densité de charge dans le canal et un meilleur confinement de ces charges dans celui-ci. Dans un premier temps, nous avons simulé et comparé par des mesures de Hall des couches avec canal simple en InGaAs et composite en InGaAs/InAs/InGaAs. Dans un second temps, nous faisons varier la valeur des plans de dopage tout en conservant l'architecture de la couche canal optimisée.

#### II.2.3.1. Optimisation de la couche canal

Nous présentons (**figure II.5-a**) la structure de couche choisie. La partie couche canal à optimiser est illustrée en pointillé, le double-plan de dopage est fixé à P 6/3. Nous avons effectué des simulations sur cinq architectures et comparé les résultats de simulation avec les valeurs expérimentales de Hall. Les structures G161103 et G170608 ont une couche canal composite d'InAs insérée entre deux matériaux d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  adaptés en maille sur InP. Les structures G170103 et G170603 ont une topologie identique constituée d'une couche canal composite d' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$  insérée également entre deux matériaux d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ . Seule la température de croissance du canal diffère entre les deux structures : la structure G170103 est réalisée à  $420^\circ\text{C}$  tandis que pour la structure G170603, celle-ci est réalisée à  $490^\circ\text{C}$ . Finalement la dernière structure, G170605 est constituée d'une couche canal simple pseudomorphique sur InP à 75% d'Indium.

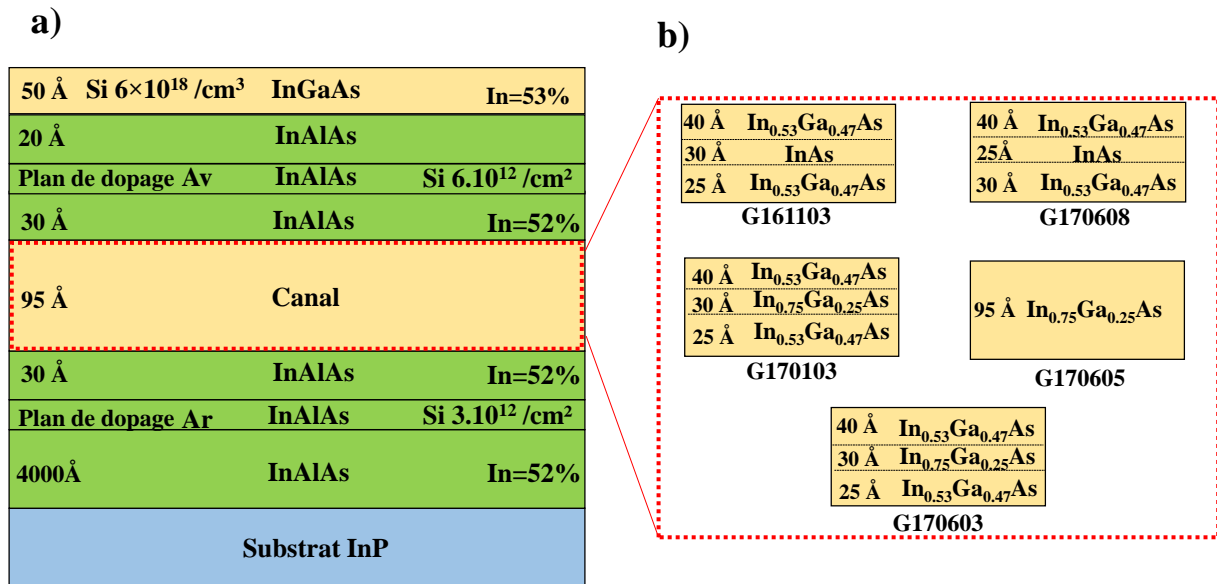


Figure II.5-Structure épitaxiale du HEMT à double-plan de dopage : a-Structure de départ et b-différentes architectures de canal

Les simulations Schrödinger-Poisson nous permettent d'extraire la densité de charge d'électrons  $N_i$  dans chaque couche illustrée sur la **figure II.5-b**. Pour la couche G170103, ces données sont fournies dans le **tableau II-1**. Les mobilités  $\mu_i$  des couches ne constituant pas le canal conducteur sont estimées à environ  $2000 \text{ cm}^2/\text{Vs}$ . Les densités d'électrons  $N_H$  et les

mobilités  $\mu_H$  sont calculées à partir des expressions **Eq-II.1** à **Eq-II.3**. Les mobilités des canaux conducteurs  $\mu_i$  de l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  et de l' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$  sont ajustées afin de faire correspondre les valeurs  $N_H$  et  $\mu_H$  expérimentales et calculées. On obtient pour la couche G170103 des mobilités de 6200 et 9000  $\text{cm}^2/\text{V.s}$  pour respectivement l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  et de l' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ . On peut aussi remarquer que les  $N_H$  et  $\mu_H$  dépendent peu des couches à faibles valeurs  $N_i$  et  $\mu_i$  d'après l'expression **Eq-II.1**.

**Tableau II-1. Densités d'électrons  $N_i$  simulées selon couches associées à leur mobilité respective  $\mu_i$ . La densité d'électrons et la mobilité de Hall calculées sont comparées aux valeurs expérimentales**

Couches	Description couches	Densités d'électron $N_i$ simulées $\text{cm}^{-2}$	Mobilités $\mu_i$ estimées $\text{cm}^2/\text{V.s}$	Densités d'électrons Hall $N_H$ calculées $\text{cm}^{-2}$	Mobilité de Hall $\mu_H$ calculée $\text{cm}^2/\text{V.s}$	Densités d'électrons Hall $N_H$ mesurées $\text{cm}^{-2}$	Mobilité de Hall $\mu_H$ mesurée $\text{cm}^2/\text{V.s}$
1	Cap InGaAs	$6.2 \times 10^{18}$	2000	$4.23 \times 10^{12}$	7256	$4.08 \times 10^{12}$	7320
2	Barrière InAlAs plan de dopage et 1 <sup>ère</sup> espaceur InAlAs face avant	$1.0 \times 10^{11}$	2000				
3	Canaux InGaAs 53%	$2.57 \times 10^{12}$	6200				
4	Canal InAs	$1.5 \times 10^{12}$	9000				
5	Barrière InAlAs plan de dopage et 2 <sup>ème</sup> espaceur InAlAs face arrière	$4.3 \times 10^{11}$	2500				

Nous avons effectué la même opération pour les cinq couches de la **figure II.5-b**. Les résultats de Hall simulés et expérimentaux sont donnés dans le **tableau II-2**. Dans ce tableau, on reporte la somme des valeurs de densité d'électrons des canaux conducteurs InGaAs et InAs ainsi que le calcul de la densité de Hall  $N_{\text{Hall}}$  (**Eq II-2**). On constate que ces valeurs de densités sont proches, ce qui est dû à une faible contribution des autres couches de la structure sur  $N_{\text{Hall}}$ . Les résultats de hall de mesure sont donc quasiment liés aux porteurs des couches du canal conducteur InGaAs et InAs.

**Tableau II-2. Comparaison des paramètres de Hall calculés et mesurés des cinq architectures de canal à double-plan de dopage fixe P 6/3**

Structure	Valeurs simulations				Valeurs expérimentales		
	$ns$ totale canal	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ Ω/□	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ Ω/□
<b>G161103</b>	4.4×10 <sup>12</sup>	4.7×10 <sup>12</sup>	9060	145	3.3×10 <sup>12</sup>	9120	205
<b>G170608</b>	4.7×10 <sup>12</sup>	4.6×10 <sup>12</sup>	8178	163	3.19×10 <sup>12</sup>	8170	239
<b>G170103</b>	4.07×10 <sup>12</sup>	4.2×10 <sup>12</sup>	7256	203	4.08×10 <sup>12</sup>	7320	209
<b>G170603</b>	-	-	-	-	3.88×10 <sup>12</sup>	7050	228
<b>G170605</b>	4.1×10 <sup>12</sup>	4.2×10 <sup>12</sup>	7418	200	4.1×10 <sup>12</sup>	7400	204

Enfin dans le **tableau II-3**, on fournit les mobilités  $\mu_i$  estimées des différentes couches (canal). Nous constatons que la structure G161103 et G170608 semblent avoir un bon rapport charge/mobilité. En effet, la répartition de charge dans le canal impacte la mobilité résultante. L'objectif est d'avoir le maximum de concentration de charge dans le matériau de grande mobilité comme InAs. La structure G161103 a  $2.55 \times 10^{12}/\text{cm}^2$  dans le matériau InAs, tandis que la somme de charge dans les deux matériaux d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  est seulement  $1.9 \times 10^{12} / \text{cm}^2$ . La comparaison de la structure G170103 avec G170605 montre qu'un taux d'Indium à 75% pour un canal simple ou composite conduit aux mêmes propriétés électroniques. D'autre part, le changement de la température de croissance dans le canal entre la G170603 (490 °C) et G170103 (420 °C) n'a pas permis d'améliorer les propriétés du transport électronique, une légère dégradation des propriétés est remarquée sur la structure G170603.

Dans le **tableau II-2**, la comparaison entre la simulation et la mesure conduit aux mêmes conclusions que celles du **tableau II-3** concernant la structure G161103. Celle-ci a reporté une meilleure mobilité de  $\mu_{Hall} = 9120 \text{ cm}^2/\text{V.s}$ . En conclusion de cette partie, il apparait que la structure G161103 de la couche canal composite  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  d'épaisseurs (40/30/25Å) a des propriétés électroniques meilleures que les autres structures étudiées. Nous choisissons donc cette structure de couche pour la suite des optimisations.

Après l'optimisation de la couche canal, une étude effectuée par TEM (Transmission Electron Microscopy) a été réalisée sur la structure HEMT retenue pour mettre au point les épaisseurs des différentes couches épitaxiales et vérifier leurs uniformités. Les résultats sont représentés dans l'**annexe II-1**.

**Tableau II-3 Répartition des charges dans la couche canal pour les cinq architectures à double-plan de dopage fixe P 6/3**

Structure	Matériaux de canal	Valeurs simulations				
		$N_i$ canal cm <sup>-2</sup>	$\mu_i$ canal cm <sup>2</sup> /V.s	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ Ω/□
<b>G161103</b>	2× In <sub>0.53</sub> Ga <sub>0.47</sub> As	1.9×10 <sup>12</sup>	6200	4.7×10 <sup>12</sup>	9060	145
	InAs	2.55×10 <sup>12</sup>	11000			
<b>G170608</b>	2× In <sub>0.53</sub> Ga <sub>0.47</sub> As	2.6×10 <sup>12</sup>	6200	4.6×10 <sup>12</sup>	8178	163
	InAs	2.11×10 <sup>12</sup>	10000			
<b>G170103</b>	2× In <sub>0.53</sub> Ga <sub>0.47</sub> As	2.57×10 <sup>12</sup>	6200	4.2×10 <sup>12</sup>	7256	203
	In <sub>0.75</sub> Ga <sub>0.25</sub> As	1.5×10 <sup>12</sup>	9000			
<b>G170603</b>	-	-	-	-	-	-
<b>G170605</b>	In <sub>0.75</sub> Ga <sub>0.25</sub> As	4.1×10 <sup>12</sup>	7300	4.2×10 <sup>12</sup>	7418	200

### II.2.3.2. Optimisation de plan de dopage

Dans cette partie, nous allons nous intéresser à l'optimisation de double-plan de dopage face avant et face arrière de la structure présentée dans la **figure II.5-a**. Une couche d'InP a été rajoutée entre le cap d'InGaAs et la barrière d'InAlAs. Cette couche a différentes fonctions. La première est de jouer le rôle de couche d'arrêt lors du recess. Ensuite, cette couche permet de protéger le matériau InAlAs de la barrière Schottky. En effet, la présence d'Aluminium favorise les problèmes d'oxydation. De plus le potentiel de surface sera plus important sur InAlAs d'après la **figure II.2** (Tiwari). L'ajout d'une couche d'InP permet d'éviter la déplétion de la couche canal et réduit les problèmes d'oxydations en surface.

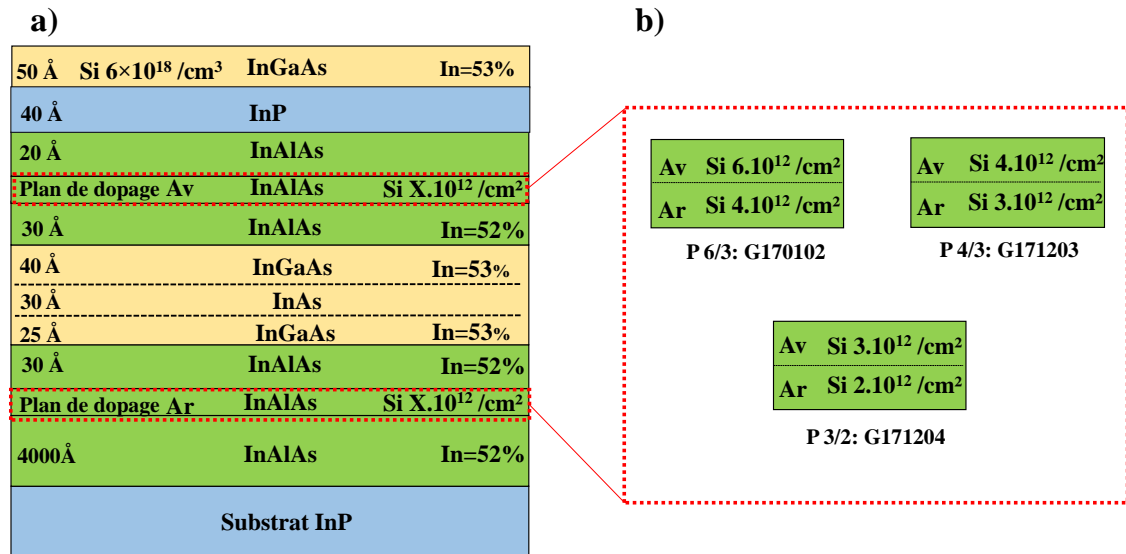


Figure II.6-Structure épitaxiale du HEMT à différent double-plan de dopage : a-Structure à canal optimisé b-trois combinaisons de dopage

La couche canal est toujours composite, quant aux plans de dopage avant et arrière sont variables, trois paires ont été étudiées (figure II.6-b). La même paire que celle de la précédente partie, c'est-à-dire  $6.10^{12}$  et  $3.10^{12} / \text{cm}^2$  (P 6/3) pour respectivement le plan avant et arrière,  $4 \times 10^{12}$  et  $3 \times 10^{12} / \text{cm}^2$  (P 4/3) et  $3 \times 10^{12}$  et  $2 \times 10^{12} / \text{cm}^2$  (P 3/2). Les résultats issus de ses trois cas de figure sont listés dans le tableau II-4 et le tableau II-5. La répartition de charge est plus importante dans le matériau InAs pour les trois structures étudiées. Nous constatons que plus les deux plans de dopage sont faibles, plus la mobilité devient importante, le passage d'un double-plan de dopage P 6/3 à P 3/2 est marqué par une augmentation conséquente de la mobilité de 34%. Cependant, la densité de charge diminue de 45%. La comparaison théorique semble cohérente aux mesures pour toutes les structures.

Tableau II-4. Répartition des charges dans la couche canal pour les trois paires de dopage à couche canal fixe InGaAs/InAs/InGaAs (40/30/25Å)

Structure	Matériaux de canal	Valeurs simulations				
		$N_i$ canal $\text{cm}^{-2}$	$\mu_i$ canal $\text{cm}^2/\text{V.s}$	$N_{Hall}$ $\text{cm}^{-2}$	$\mu_{Hall}$ $\text{cm}^2/\text{V.s}$	$R_{Hall}$ $\Omega/\square$
G170102 P 6/3	2× In <sub>0.53</sub> Ga <sub>0.47</sub> As	$2.48 \times 10^{12}$	6200	$5.1 \times 10^{12}$	8283	147
	InAs	$2.77 \times 10^{12}$	9200			
G171203 P 4/3	2× In <sub>0.53</sub> Ga <sub>0.47</sub> As	$1.78 \times 10^{12}$	8000	$4.1 \times 10^{12}$	9485	159
	InAs	$2.5 \times 10^{12}$	9600			
G171204 P 3/2	2× In <sub>0.53</sub> Ga <sub>0.47</sub> As	$1.11 \times 10^{12}$	8600	$2.75 \times 10^{12}$	11149	204
	InAs	$1.9 \times 10^{12}$	11000			

**Tableau II-5. Comparaison des paramètres de Hall calculés et mesurés des trois paires de dopage à couche canal fixe InGaAs/InAs/InGaAs (40/30/25Å)**

Structure	Valeurs simulations				Valeurs expérimentales		
	$N_s$ totale canal	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ Ω/□	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ Ω/□
<b>G170102</b> <b>P 6/3</b>	$5.2 \times 10^{12}$	$5.1 \times 10^{12}$	8283	147	$5 \times 10^{12}$	8260	149
<b>G171203</b> <b>P 4/3</b>	$4.2 \times 10^{12}$	$4 \times 10^{12}$	9303	167	$4.1 \times 10^{12}$	9390	163
<b>G171204</b> <b>P 3/2</b>	$3 \times 10^{12}$	$2.7 \times 10^{12}$	11083	205	$2.9 \times 10^{12}$	11000	195

Finalement, les optimisations apportées à la couche canal et au plan de dopage ont conduit à deux structures optimales. Notre choix s'est porté sur les couches qui présentent les meilleures mobilités dans le canal afin de minimiser le temps de transit des porteurs sous la grille et donc conduire à une optimisation des fréquences de transitions. Par ailleurs, les densités de porteurs hors canal conducteur sont faibles. En effet les porteurs de ces couches (barrière InAlAs, plan de dopages et les 2 espaceurs) ont des mobilités très faibles peu favorables à la montée en fréquence. Les couches choisies sont donc la G171203 et la G171204. Ces deux structures ont une couche canal composite de type In<sub>0.53</sub>Ga<sub>0.47</sub>A/InAs/In<sub>0.53</sub>Ga<sub>0.47</sub>A (40/30/25 Å) et des plans de dopage respectivement de P 4/3 et P 3/2. Elles sont retenues pour la suite de ces travaux.

#### II.2.4. Optimisation du contact ohmique

Jusqu'à présent, les structures épitaxiales étudiées possédaient une couche de contact ohmique (cap) d'InGaAs d'épaisseur faible (50 Å) dopé n+ en silicium à  $6.10^{18}/\text{cm}^3$  afin que celle-ci soit totalement désertée pour mesurer précisément les propriétés du canal (parties précédentes). Toutefois, cette épaisseur est trop faible pour réaliser des contacts ohmiques de bonne qualité pour la réalisation d'un transistor. En effet, l'épaisseur de la couche cap va directement impacter la valeur des résistances d'accès du transistor. Plus celle-ci est faible, plus les résistances d'accès seront élevées.

Plusieurs études ont été menées afin d'optimiser les contacts ohmiques (épaisseur de la couche cap et de la métallisation déposée) [113], [114]. Les travaux de thèse effectués à l'IEMN [8]–[10] ont adopté des contacts ohmiques alliés (le métal diffuse dans la couche et réagit avec le semiconducteur) de type Ni/Ge/Au/Ni/Au suivis d'un recuit rapide de 20s à des températures de l'ordre 300°C déposés sur un cap d'InGaAs de 10 nm fortement dopé au silicium de  $6 \times 10^{18}/\text{cm}^3$ . Les valeurs obtenues de résistance du contact  $R_C = 0.15 \text{ } \Omega \cdot \text{mm}$  [9] et  $0.2 \text{ } \Omega \cdot \text{mm}$  [8] sont un peu élevées. Dans la littérature, des résistances de contact nettement plus faibles  $R_C = 0.04 \text{ } \Omega \cdot \text{mm}$  [115] et  $R_C = 0.018 \text{ } \Omega \cdot \text{mm}$  [24] ont pu être obtenues à partir de couche cap simple ou composite plus épaisses et fortement dopé  $2 \times 10^{19} /\text{cm}^2$  avec contact ohmique de type « non-allié » qui utilisent le titane (le titane ne diffuse pas). Dans ce cas de figure, la conduction est

établie par effet tunnel. Notre objectif est de réaliser des contacts ohmiques de bonne qualité. Pour cela, nous nous focaliserons sur l'étude de qualité de contact ohmique entre la couche cap (type, épaisseur et dopage) et le métal déposé pour réaliser le contact ohmique (alliés et non-allié).

### II.2.4.1. Type de contact ohmique

Pour évaluer la qualité des contacts ohmiques nous avons réalisé des motifs TLM (Transmission Line Method) [116] qui permettent d'extraire la résistance du contact métal-semiconducteur. La **figure II.7** représente la structure HEMT à cap composite de type  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  (150/150 Å) d'épaisseur totale de 300 Å dopé à  $6 \times 10^{18} / \text{cm}^2$ . Deux types de métallisation ont été déposés sur cette structure pour étudier l'impact de la métallisation sur les résistances de contact. Le premier contact dit « non-allié » est réalisé à partir de Ti/Pt/Au (100/200/1500 Å) tandis que le deuxième est dit « allié » réalisé à partir d'un dépôt de Ni/Ge/Au/Ni/Au (25/400/800/50/600 Å). Ce dernier contact (allié) est un contact ohmique similaire à celui développé au sein de groupe Anode [8]–[10].

Les mesures de TLM ont été effectuées en deux étapes différentes (avec et sans cap) illustrées sur la **figure II.7**. La première étape avec cap (**figure II.7-a**) consiste à déterminer la résistance de contact en présence de la couche cap et la deuxième étape sans cap (**figure II.7-b**) consiste à mesurer la résistance  $R_C$  après la gravure de la couche cap d'InGaAs/InAlAs entre les contacts ohmiques. Cette mesure permet de déterminer la résistance de contact  $R_C$  vue par le transistor après la gravure du fossé (recess) de grille (gravure de la couche cap).

La première étape de fabrication des TLM consiste à isoler la zone active par une gravure humide. Ensuite, les métallisations Ti/Pt/Au et Ni/Ge/Au/Ni/Au sont déposées par évaporation. Les deux structures ont été recuites en 20s à une température de 300°C. Finalement, une monocouche de résine PMMA est déposée. Après révélation une gravure humide est effectuée pour éliminer la couche de contact ohmique (InGaAs/InAlAs) entre les zones de contact.

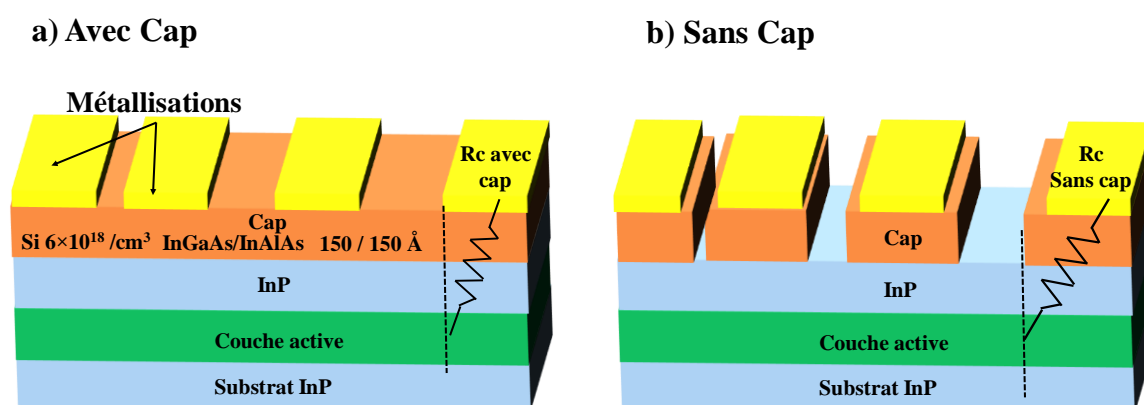


Figure II.7-Méthode TLM appliquée sur la structure HEMTs à cap composite

Le **tableau II-6** compare les résultats du TLM pour deux contacts ohmiques alliés et non-alliés. La valeur de la résistance  $R_C$  dans le cas du « non-allié » est très faible  $R_C = 0.015 \Omega \cdot \text{mm}$  contre  $R_C = 0.09 \Omega \cdot \text{mm}$ . Ce résultat est confirmé pour les structures avec cap. Nous pouvons conclure de cette expérimentation l'intérêt de travailler avec des contacts ohmiques non-alliés



qui sont simple à réaliser et ne demandent aucun contrôle de la diffusion comparés aux contacts ohmiques alliés.

**Tableau II-6. Mesure électrique de TLM pour une structure HEMT avec et sans cap composite InGaAs/InAlAs**

Mesures TLM dopage Si à $6 \times 10^{18}/\text{cm}^3$				
Structure	Avec cap		Sans cap	
Contact réalisé	Non-alliés	Alliés	Non-alliés	Alliés
$R_c$ ( $\Omega \cdot \text{mm}$ )	0.015	0.09	0.17	0.3
$R_{\text{carré}}$ ( $\Omega/\square$ )	120	117	268	260
$L_T$ ( $\mu\text{m}$ )	0.12	0.79	0.63	1.1
$\rho_c$ ( $\Omega \cdot \text{cm}^2$ )	$2 \times 10^{-8}$	$7.4 \times 10^{-7}$	$1.1 \times 10^{-8}$	$3.4 \times 10^{-7}$

#### II.2.4.2. Optimisation de la couche cap

La couche cap peut être optimisée à partir de trois principaux paramètres :

- Niveau de dopage, doit être le plus fort possible de l'ordre  $10^{18}/\text{cm}^3$  et  $10^{19}/\text{cm}^3$ .
- Topologie ou le type de la couche cap qui peut être simple (InGaAs) ou composite (InGaAs/InAlAs).
- Épaisseur de la couche cap : plus cette épaisseur est grande et plus la valeur des résistances est faible

Le plan de dopage utilisé dans le paragraphe précédent ( $6 \times 10^{18}/\text{cm}^3$ ) a permis d'obtenir une résistance de contact  $R_c = 0.015 \Omega \cdot \text{mm}$  pour la structure « cap composite » et un contact « non-allié ». Dans le but d'améliorer encore plus la résistance de contact, nous avons augmenté le niveau de dopage à  $2 \times 10^{19}/\text{cm}^3$ , le recuit après l'évaporation est maintenu à  $300^\circ\text{C}$ . Comme précédemment, nous mesurons aussi la structure recessée. La valeur de résistance de contact obtenue est presque identique dans les deux cas (avec et sans la couche cap). Le **tableau II-7** représente notamment une comparaison entre un « cap composite »  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  (150/150 Å) et un « cap simple » d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  (300 Å), les deux sont fortement dopés à  $2 \times 10^{19}/\text{cm}^3$  pour une couche cap d'épaisseur totale 300 Å.

**Tableau II-7. Mesure électrique de TLM pour deux structures HEMT à cap composite et simple**

Mesures TLM dopage Si à $2 \times 10^{19}/\text{cm}^3$		
Type du cap	Cap simple	Cap composite
$R_c$ ( $\Omega \cdot \text{mm}$ )	0.013 (0.19 sans cap)	0.02 (0.15 sans cap)
$R_{\text{carré}}$ ( $\Omega/\square$ )	56	65
$L_T$ ( $\mu\text{m}$ )	0.24	0.3
$\rho_c$ ( $\Omega \cdot \text{cm}^2$ )	$3.3 \times 10^{-8}$	$6.2 \times 10^{-8}$

On constate que le passage d'une structure « cap simple » à une autre structure « cap composite » entraîne une légère différence en ce qui concerne la résistance de contact  $R_C$  et les valeurs obtenues sont au voisinage de  $R_C = 0.013 \Omega \cdot \text{mm}$ .

Nous avons également étudié d'autres structures en modifiant la température de recuit à  $350^\circ\text{C}$ , à cette température la résistance augmente légèrement bien que les contacts ohmiques soient non alliés. Une valeur de  $R_C = 0.026 \Omega \cdot \text{mm}$  a été obtenue pour une structure avec un « cap simple » dopé au Si à  $2 \times 10^{19}/\text{cm}^3$  et recuit à  $350^\circ\text{C}$ .

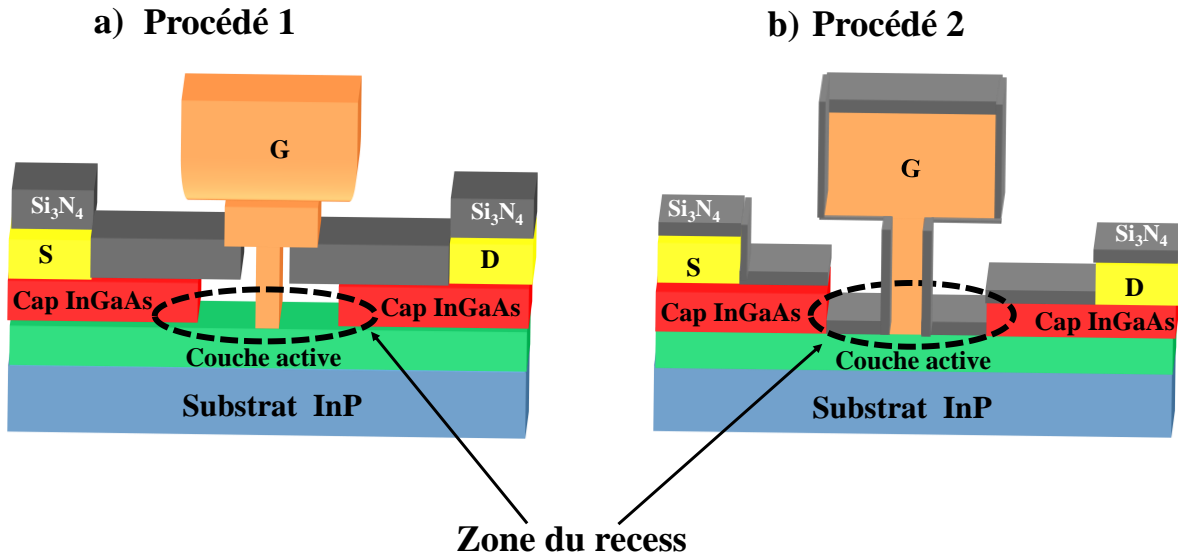
En outre, une augmentation du temps de recuit de 20 secondes à 30 secondes a permis d'avoir une valeur de  $R_C = 0.013 \Omega \cdot \text{mm}$  à température de recuit de  $300^\circ\text{C}$ . Par ailleurs, la réduction d'épaisseur de la couche cap de  $300 \text{ \AA}$  à  $200 \text{ \AA}$  dégrade cette résistance de contact de  $R_C = 0.013$  à  $R_C = 0.03 \Omega \cdot \text{mm}$ . Il semble que la valeur minimale de la résistance du contact qu'on puisse avoir pour une métallisation Ti/Pt/Au a une valeur aux alentours de  $R_C = 0.018 \Omega \cdot \text{mm}$  (avec cap) et  $R_C = 0.2 \Omega \cdot \text{mm}$  (sans cap) pour plusieurs échantillons mesurés quel que soit le type du cap simple ou composite. Par ailleurs, les résultats peuvent être différents en comparant les résistances d'accès de la caractéristique  $I_D-V_{DS}$  en régime statique (à voir dans le chapitre III).

En Conclusion de l'ensemble des optimisations apportées à la structure HEMT présentée tout au début de ce chapitre et les structures retenues pour la fabrication des transistors sont résumés comme suit :

- La couche canal : est composite de type  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ .
- Le plan de dopage : nous avons gardé deux types de double-plan de dopage P 4/3 et P 3/2.
- Type de métallisation de contacts ohmiques : nous avons choisi un métal Ti/Pt/Au d'épaisseur 100/200/1500  $\text{ \AA}$  non diffusif permet de réaliser des contacts ohmiques « non-alliés »
- La couche cap : nous avons gardé les deux types « simple et composite » avec une épaisseur de 300  $\text{ \AA}$  dopé à  $2 \times 10^{19}/\text{cm}^3$ , le recuit est à  $300^\circ\text{C}$  en 30s.

## II.2.5. Passivation de la structure

Lors des procédés de fabrication du HEMT utilisés au cours de nos travaux de thèse qui seront détaillés dans la partie suivante, nous réalisons une passivation de surface (zone du recess) au nitrure de silicium. L'objectif de ce paragraphe est donc de voir l'influence de la passivation de surface particulièrement sur les propriétés électroniques de nos structures épitaxiales présentées sur la **figure II.8**. Ces figures illustrent la zone passivée pour chaque procédé de fabrication.



**Figure II.8-Passivation de zone du recess pour les deux procédés de fabrication**

Les études menées par M. Kao [117] et [118] ont montré que le dépôt d'une couche de diélectrique de nitrure de silicium  $Si_3N_4$  permet de minimiser les états de surface. Ces états de surface réduisent la densité d'électrons et donc le courant du dispositif, qui impacte les fréquences de coupure. En revanche, d'autres études [119] ont montré que l'ajout d'une couche de  $Si_3N_4$  fait apparaître de nouvelles capacités parasites principalement celles entre la grille et les contacts de drain et de source, des couplages électrostatiques plus importants au travers un matériau à plus forte constante diélectrique. Ces capacités s'additionnent aux capacités parasites propres au transistor dégradant notamment les performances fréquentielles du composant. Il existe donc un compromis à faire entre la réduction des états de surface dans les zones du recess et les capacités parasites induites par le nitrure de silicium.

Deux procédés ont été effectués pour la fabrication des transistors. Le procédé 1 (**figure II.8-a**) dit grille "nitrure" a été développé durant les thèses de I. Duszynski [9] et N. Wichmann [8], ces travaux présentent l'avantage de faciliter la fabrication de grille courte en deçà de 50 nm. Son inconvénient est que la couche barrière Schottky n'est pas passivée dans la zone recessée, et induit une diminution du courant drain et une augmentation des résistances d'accès exacerbée par une distance grille canal très faible. Nous avons donc développé le procédé 2 (**figure II.8-b**), dans lequel la zone recessée est passivée. Nous reviendrons dans la suite de ce manuscrit sur la description de ces procédés de fabrication et leurs avantages-inconvénients. Dans un premier temps, nous nous intéressons à l'effet de la passivation au  $Si_3N_4$ .

Afin d'analyser l'effet de passivation sur les propriétés de transport électronique, nous avons effectué des mesures de Hall avant et après la gravure de la couche cap. Ensuite, nous avons passivé la structure par une couche de 30 nm de nitrure de silicium  $Si_3N_4$  déposé par PECVD (Plasma Enhanced Chemical Vapor Deposition) à 300°C. Les deux structures utilisées font partie des structures retenues pour la fabrication des transistors. La structure épitaxiale est constituée d'une couche canal composite InGaAs/InAs/InGaAs (40/30/25Å), les plans de dopage sont respectivement P 4/3 et P 3/2 (**figure II.9-a**) et la couche active ici regroupe toutes les couches de l'InP jusqu'à la couche buffer InAlAs.

### a) Structure épitaxiale

300 Å	Si $2 \times 10^{19} / \text{cm}^3$	
40 Å	InP	
20 Å	InAlAs	
Plan de dopage Av	InAlAs	Si $X.10^{12} / \text{cm}^2$
30 Å	InAlAs	In=52%
40 Å	InGaAs	In=53%
30 Å	InAs	
25 Å	InGaAs	In=53%
30 Å	InAlAs	In=52%
Plan de dopage Ar	InAlAs	Si $X.10^{12} / \text{cm}^2$
4000 Å	InAlAs	In=52%
Substrat InP		

### b) Echantillons

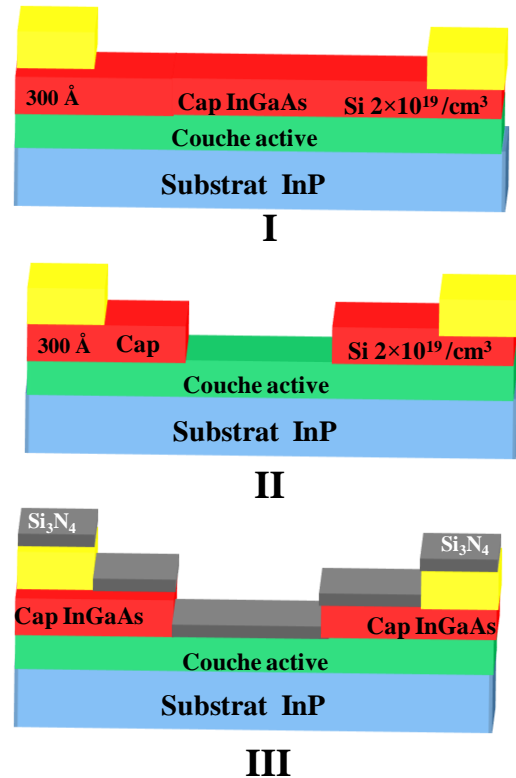


Figure II.9-a-Structure épitaxiale, b- schéma représentatifs des échantillons mesurés par effet Hall

Le **tableau II-8** reporte les mesures de Hall à température ambiante, pour chaque échantillon **I**, **II** et **III** de la **figure II. 9-b**. L'échantillon **I** correspond à la couche épitaxiale initiale (**figure II. 9-b**). L'échantillon **II** correspond à échantillon **I** après avoir gravé la couche de contact ohmique. L'échantillon **III** correspond à l'échantillon **II** après avoir déposé du  $\text{Si}_3\text{N}_4$  de 30 nm par PECVD à 300°C.

Pour l'échantillon **I**, la densité d'électron est très élevée de l'ordre de  $10^{13} \text{cm}^{-2}$ . Cette forte valeur est directement associée au dopage de la couche de contact ohmique ( $2 \times 10^{19} / \text{cm}^2$ ) et représente principalement la densité d'électrons dans la couche cap. Par ailleurs, la mobilité reste faible  $4760 \text{ cm}^2 / \text{V.s}$  et  $5470 \text{ cm}^2 / \text{V.s}$  respectivement pour la structure P 3/2 et P 4/3. Pour l'échantillon **II**, la mobilité est de  $8730 \text{ cm}^2 / \text{V.s}$  pour la structure de double-plan de dopage P 4/3 contre  $10325 \text{ cm}^2 / \text{V.s}$  pour une structure de niveau de dopage moins important. La valeur de la densité d'électrons  $N_{\text{Hall}}$  mesurée correspond approximativement à celle du canal composite car les autres couches de la structure épitaxiale sont quasi-déplétées. On peut également constater une meilleure mobilité pour la structure P 3/2. Pour l'échantillon **III**, on constate une augmentation très significative de la densité d'électrons (+50%) et de la mobilité du canal (+16%) par rapport à l'échantillon **II**. Cette couche de passivation de  $\text{Si}_3\text{N}_4$  minimise ainsi l'influence du potentiel de surface et se traduit par une amélioration des propriétés de transport électronique du canal.

En outre, la passivation a également un effet sur les résistances d'accès du transistor. Des TLM ont été mesurées également sur les échantillons **II** et **III**, la passivation nous a permis de

diminuer les résistances d'accès des HEMTs en passant d'une résistance de contact de  $R_C = 0.23 \text{ } \Omega.\text{mm}$  avant passivation (échantillon II) à  $R_C = 0.15 \text{ } \Omega.\text{mm}$  après la passivation (échantillon III). L'étude de l'impact de passivation sur les performances dynamiques du transistor n'est pas effectuée dans le cadre de cette thèse.

**Tableau II-8. L'effet de la passivation sur les propriétés de transport électronique du HEMT**

Caractéristiques	Structure P 3/2			Structure P 4/3		
	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ $\Omega/\square$	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ $\Omega/\square$
Échantillon (I) : avec cap	$2.4 \times 10^{13}$	4760	57	$2.56 \times 10^{13}$	4260	54
Échantillon (II) : sans cap	$1.74 \times 10^{12}$	10325	346	$1.45 \times 10^{12}$	8730	491
Échantillon (III) : sans cap+ passivation	$2.65 \times 10^{12}$	12000	196	$3.6 \times 10^{12}$	10200	167

### II.2.6. Dénituration de la structure

Malgré l'avantage de la couche de passivation vue dans la partie précédente, un inconvénient concerne l'augmentation des capacités parasites. V. Hoel [120] a réalisé des essais de dénituration par gravure ionique réactive (RIE) à partir d'un plasma doux de SF<sub>6</sub>. Une amélioration des performances fréquentielles a été observée liée à la réduction des capacités parasites. Toutefois, dans le cas des essais de V. Hoel, la longueur de grille était de 100 nm et surtout la distance grille-canal était très importante (17 nm). Il en résulte que peu d'effets ont été observés sur les valeurs du courant drain et des résistances  $R_s$ - $R_d$  sur ces composants de 100 nm. De plus ces composants ne sont plus du tout passivés.

Nous avons voulu néanmoins vérifier l'effet d'une dénituration sur nos couches recessées. Nous présentons dans le **tableau II-9** l'effet de dénituration sur les mesures de Hall de la même structure HEMT P 3/2 présentées dans le **tableau II-8**. Les paramètres de la gravure plasma utilisés douce et isotrope sont 20 Sccm / 20W / 100 mTorr la tension DC-bias = 20 V. Nous pouvons voir explicitement l'effet de la gravure plasma sur nos composants, les mesures après l'attaque ne sont pas exploitables, les valeurs mesurées sur toute la plaque ont une grande dispersion, ceci est dû à une modification importante de potentiel de surface par la gravure plasma. Afin de passiver la surface, nous avons redéposé une couche de 30 nm de Si<sub>3</sub>N<sub>4</sub> sur ces derniers échantillons. Cette passivation ne permet pas de retrouver les valeurs initiales, on obtient des valeurs inférieures aux valeurs initiales soit une dégradation de 10% pour la mobilité et 25 % pour la densité d'électrons. Cette dégradation provient certainement d'une implantation d'ions fluor lors de la gravure SF<sub>6</sub>. Les informations que l'on peut retirer de ces essais sont :

- 1) Une très forte dégradation de nos couches par la gravure plasma SF<sub>6</sub>.
  - 2) Malgré une passivation finale avec Si<sub>3</sub>N<sub>4</sub>, on ne retrouve pas les valeurs initiales
- Pour conclure, la dénituration-renituration ne sera pas utilisée dans nos procédés.

Tableau II-9 L'impact de la gravure plasma SF<sub>6</sub> sur les mesures de Hall

État de l'échantillon mesuré	Paramètres de la structure P 3/2		
	$N_{Hall}$ cm <sup>-2</sup>	$\mu_{Hall}$ cm <sup>2</sup> /V.s	$R_{Hall}$ Ω/□
<b>Échantillon (III) :</b> <b>Sans cap+ passivation</b>	2.65×10 <sup>12</sup>	12000	196
<b>Attaque plasma SF<sub>6</sub></b>	<b>3.85×10<sup>11</sup></b>	<b>2675</b>	<b>6109</b>
<b>Recouvrement par Si<sub>3</sub>N<sub>4</sub></b>	1.97×10 <sup>12</sup>	11000	288

### III. Procédés et optimisations technologiques

#### III.1. Procédés de fabrication de HEMT

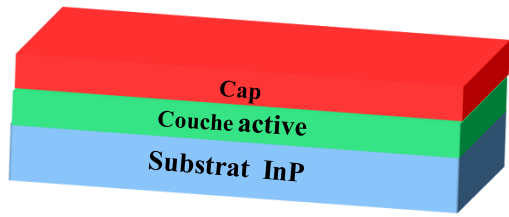
Durant nos travaux de thèse, nous nous sommes basés sur l'expérience du groupe ANODE pour la réalisation des transistors HEMT. Le procédé 1 (**figure II.8-a**) dit grille nitrure a été l'objet d'une publication par N. Wichmann [71]. Ce procédé dont les principales étapes de fabrication sont illustrées dans la **figure II.10**, permet de concevoir des transistors de longueur de grille très courte sub-50 nm grâce au nitrure de silicium. De plus, la définition du pied est indépendante du haut de grille (chapeau), ce qui permet d'obtenir un bon rendement de fabrication et des grilles robustes supportées par cette couche de nitrure. Toutefois, ce procédé a des inconvénients visibles sur la zone du recess qui reste en contact direct avec l'air et conduira à des résistances d'accès importantes (voir le **tableau II.8**). De plus, le recess ne peut être que symétrique. La mise en point d'un recess asymétrique par ce procédé de grille nitrure semble très compliqué K. Shinohara [121] a développé un procédé de recess asymétrique avec un procédé de grille nitrure, mais sa mise au point est difficile.

Les dernières publications de Fujitsu [20], [47], montrent que l'on peut améliorer les performances fréquentielles du transistor en utilisant un recess asymétrique. D'excellents résultats ( $f_{max} > 1\text{THz}$ ) ont été obtenus sur des transistors de  $L_g = 75\text{ nm}$ . Un recess large côté drain ( $L_{RD}$ ) permet de réduire la capacité  $C_{gd}$ , la conductance en sortie  $g_d$  et favorise la fréquence  $f_{max}$ . Ceci est dû à un champ électrique moins important côté drain. Le couplage se fait principalement avec la source (voir chapitre I). De plus, un décalage de la grille vers l'électrode de source peut également améliorer les performances fréquentielles du transistor [20].

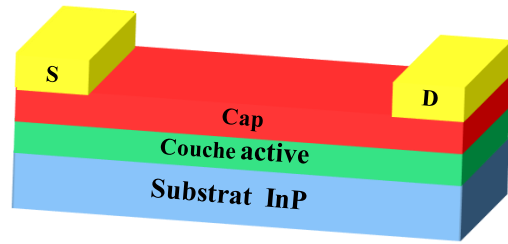
En se basant sur ces résultats, nous avons réalisé un deuxième procédé (procédé 2 de la **figure II.8-b**) afin d'améliorer les performances du transistor. Ce procédé permet à la fois, une réalisation symétrique et asymétrique du recess de grille. Cependant, la longueur de grille  $L_g$  reste assez longue ( $L_g > 50\text{ nm}$ ). En effet, ce procédé nécessite de réaliser une grille en T par lithographie électronique au travers d'un bicouche épais (~800 nm) de résines électroniques. Pour une grille de  $L_g = 40\text{ nm}$ , on aura un rapport d'aspect (épaisseur résine-ouverture de résine) de 20 qui reste difficilement réalisable. L'expérience acquise par le groupe ANODE a montré, qu'il était difficile de réaliser des grilles en T sub-50 nm avec un bon rendement de fabrication et reproductible.

Nous présentons dans la **figure II.11** les principales étapes de fabrication du procédé 2 retenues. Son avantage est la possibilité d'un recess asymétrique et d'une passivation de la zone recessée. La dernière étape de ce procédé montre que la zone du recess est complètement passivée, les résistances d'accès seront réduites et les propriétés électroniques seront nettement améliorées comparées au procédé 1. Son inconvénient : on ne pourra pas réaliser des grilles en deçà de 50 nm. En revanche, les performances obtenues (chapitre III) sont très correctes et proches de celles obtenues par Fujitsu [20], [47]

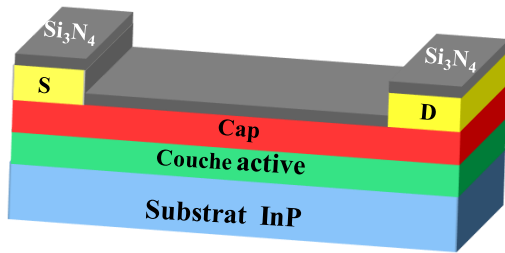
Les deux procédés 1 et 2 sont identiques jusqu'à l'étape numéro 2 (**figures II.10 et II.11**), la grille est réalisée en deux étapes dans le premier procédé et en seule étape dans le deuxième procédé. Le détail de ces deux procédés est donné dans la suite de ce manuscrit.



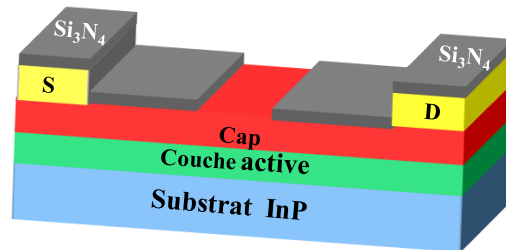
1- Structure Initiale +Mésa d'isolation



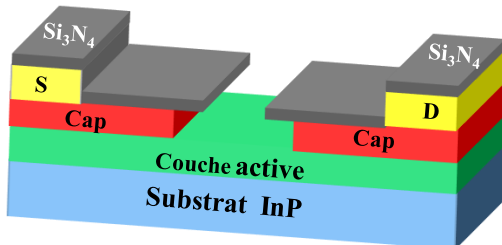
2- Evaporation des contacts ohmiques



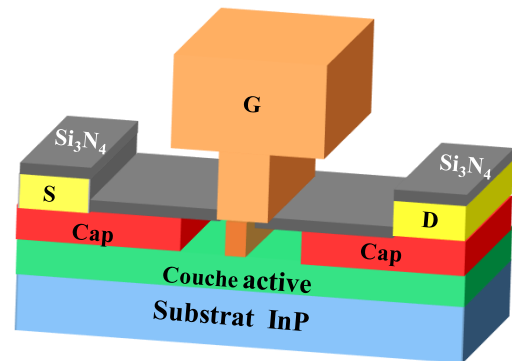
3- Passivation par PECVD  $\text{Si}_3\text{N}_4$



4- Gravure par plasma RIE



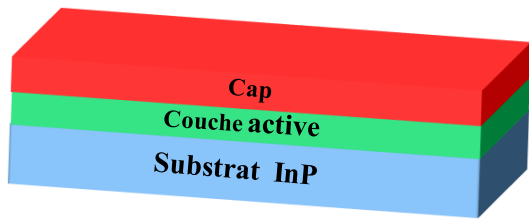
5- Gravure humide de la couche ohmique



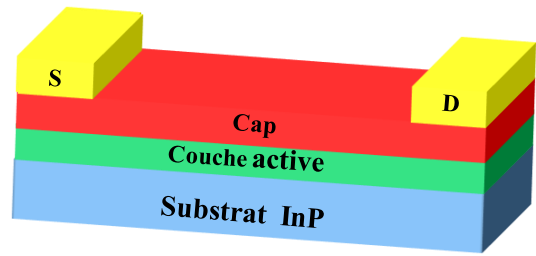
6- Evaporation de l'électrode de grille

Figure II.10- Principales étapes du premier procédé pour la réalisation du HEMT

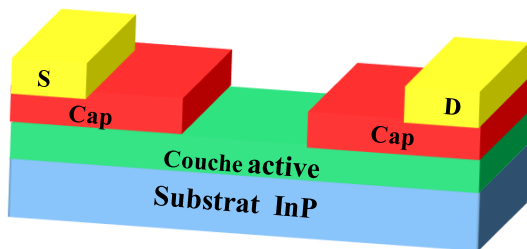




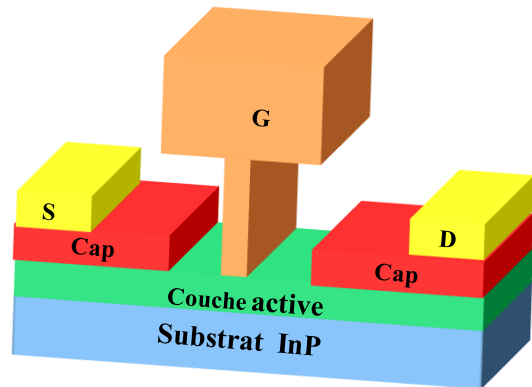
1- Structure Initiale +Mésa d'isolation



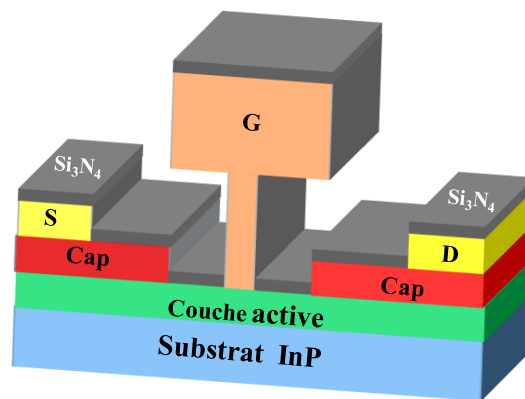
2- Evaporation des contacts ohmiques



3- Gravure humide de la couche ohmique



4- Evaporation de l'électrode de grille



5- Passivation par PECVD  $\text{Si}_3\text{N}_4$

Figure II.11-Principales étapes du deuxième procédé pour la réalisation du HEMT

## III.2. Premier procédé de fabrication

Il est à noter ici que les paramètres du dépôt de la résine, les recuits et les révélations sont détaillés dans l'annexe II-2. Avant toutes opérations, un nettoyage/désoxydation de l'échantillon est effectué utilisant une solution HCl/H<sub>2</sub>O avec des proportions 1:10. La réalisation de toutes les étapes a été effectuée au masqueur électronique. Le masque utilisé est constitué d'un ensemble de motifs pour les mesures de Hall, TLM et des transistors de différentes architectures. Des motifs dédiés à l'épluchage des mesures hyperfréquences « deembedding » des accès coplanaires du transistor ont également été rajoutés. Le but de ce procédé est de réaliser des transistors avec de longueurs de grille le plus faible possible (20 nm, 30 nm et 40 nm). Les développements des transistors sont fixés à 2×3μm (2 doigts de grille de 3μm) jusque 2 ×15 μm

### III.2.1. Marques d'alignement

La première étape consiste à réaliser des marques d'alignement métalliques (Ti/Pt/Au : 100/200/1500 Å) qui nous serviront à l'alignement de tous les prochains niveaux durant toutes les étapes de fabrication. Pour le lift-off du métal, on utilise souvent un bicouche de résine de PMMA-MAA/PMMA (polyméthylméthacrylate-méthacrylique acide /polyméthylméthacrylate). Le PMMA-MAA est un copolymère noté COPO. Après l'insolation électronique, une révélation manuelle à l'aide d'un agitateur pendant une minute est effectuée avec des proportions 1:2 (MIBK/IPA). Finalement, les métallisations Ti/Pt/Au sont déposées par évaporation.

Il existe des procédures où les contacts ohmiques sont réalisés en même temps que les marques d'alignement. Dans notre cas nous n'avons pas combiné ces deux étapes. La raison principale est liée à une difficulté de retrait de la résine négative SAL 601 sur les contacts ohmiques. Cette résine est utilisée durant l'étape d'isolation méso. Si nous faisons les marques d'alignement avec les contacts ohmiques, ceux-ci seront effectués avant le méso. La SAL 601 sera donc déposée sur les contacts ohmiques. Nous avons pu constater une difficulté à retirer la résine SAL 601 sur les contacts ohmiques. La **figure II.12** présente une observation microscopie électronique à balayage (MEB) de ce problème. Nous avons donc décidé de réaliser les contacts ohmiques des transistors après le méso d'isolation

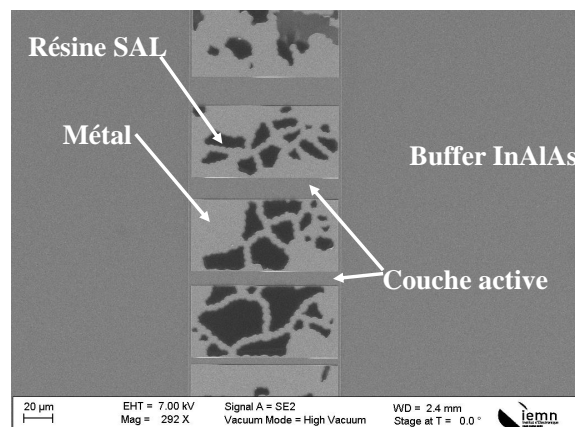
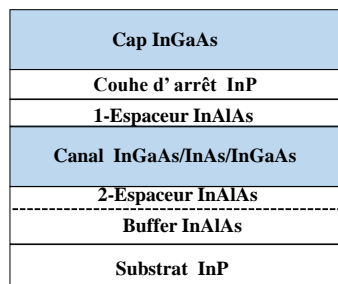


Figure II.12-Problème du résidu de la résine SAL 601 sur les contacts ohmiques

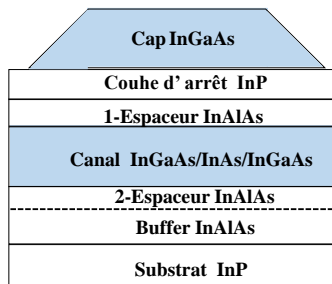
### III.2.2. Mésa d'isolation

L'isolation des composants est une étape incontournable dans la fabrication des transistors. Celle-ci sert à isoler électriquement les composants entre eux. Compte tenu de notre épitaxie cette étape est réalisée par une gravure humide en trois phases consécutives (**figure II.13**), après avoir préalablement effectué une lithographie électronique avec la résine SAL 601 pour protéger les zones actives des composants.

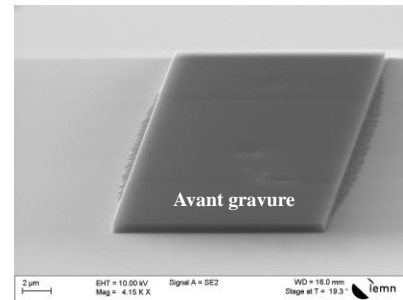
La première phase d'isolation, consiste à graver la couche de contact ohmique InGaAs par un mélange d'acide orthophosphorique ( $H_3PO_4$ ), de peroxyde d'hydrogène ( $H_2O_2$ ) et d'eau ( $H_2O$ ) en proportion 25/5/200 ml (**figure II.13-b**). La solution précédente étant sélective vis-à-vis de la couche d'arrêt d'InP, la seconde phase, consiste à graver la couche d'arrêt d'InP par une solution d'acide hydrochlorique dilué ( $HCl/H_2O$ ) en proportion 2/1 (**figure II.13-c**). Cette gravure s'arrête sélectivement sur la couche d'InGaAs du canal. Finalement, la solution  $H_3PO_4/H_2O_2/H_2O$  est de nouveau utilisée pour graver les couches restantes afin d'atteindre la couche tampon InAlAs (**figure II.13-d**). La **figure II.13-f** est une image MEB après la gravure humide de mésa définissant la zone active du composant.



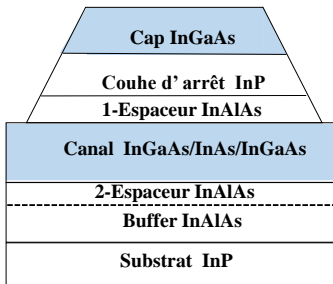
a-Structure Initiale



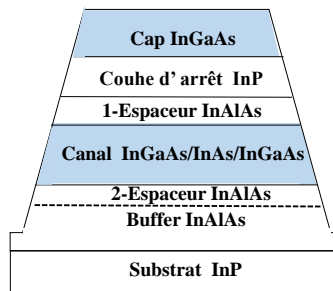
b-1<sup>ère</sup> Phase : gravure d'InGaAs



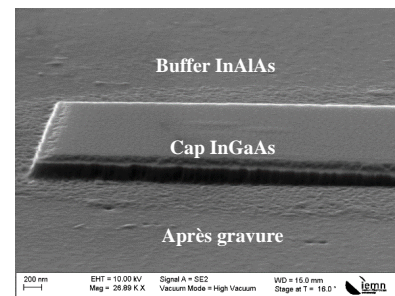
e- Image MEB avant la gravure



c- 2<sup>ème</sup> Phase : gravure d'InP



d- 3<sup>ème</sup> Phase : gravure des autres couches



f- Image MEB après la gravure

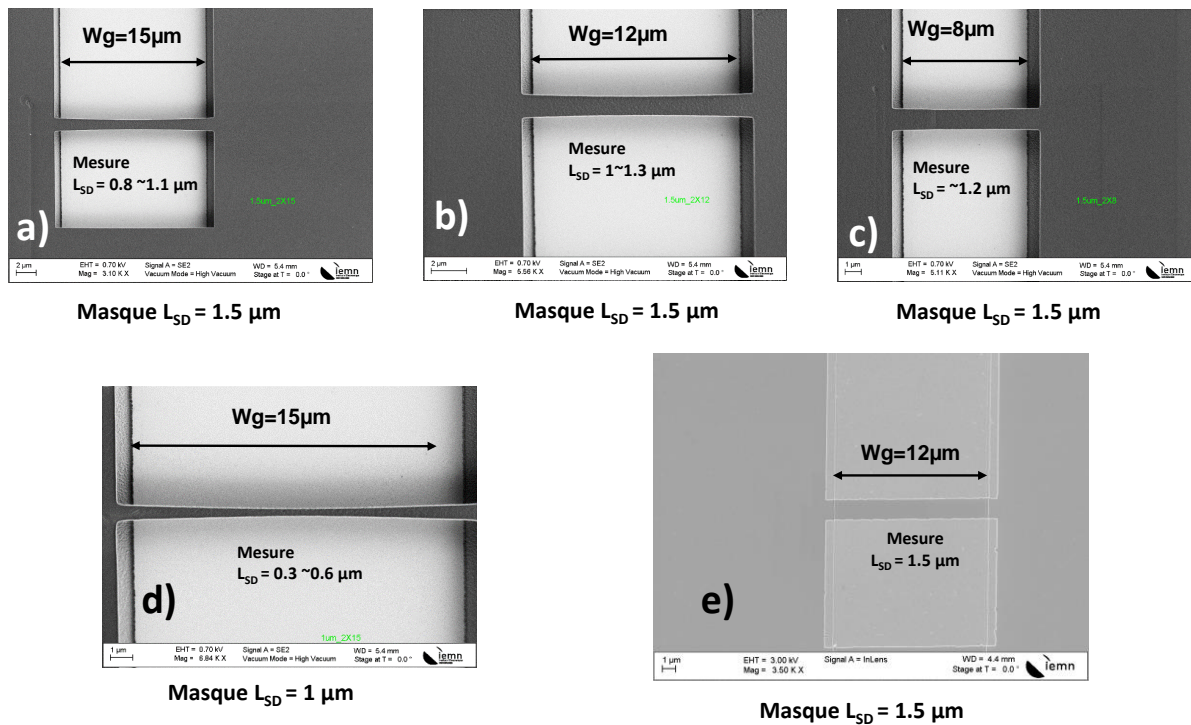
Figure II.13-(a), (b), (c), et (d) schémas représentatifs des étapes de la gravure humide de mésa d'isolation, (e) et (f) images MEB d'une couche active du transistor

### III.2.3. Contacts ohmiques

La technique de réalisation des contacts ohmiques utilisée à l'IEMN pour des transistors HEMT a été modifiée durant ces travaux de thèse. La distance entre drain et source ( $L_{SD}$ ) décrite dans les thèses [8]–[10] ont généralement  $2 \mu m$ . Pour nos travaux, nous avons modifié la

topologie des contacts ohmiques en réduisant cette distance à  $1.5 \mu\text{m}$  voire  $1 \mu\text{m}$  pour quelques composants afin de réduire les résistances d'accès  $R_s$  et  $R_d$  du transistor [48] [3].

Pour cela, nous avons optimisé certains paramètres d'écriture électronique pour assurer un profil bien défini et éviter les effets de proximité (rétrécissement de l'espace source-drain après révélation) (**figure II.14**). Le bicouche de résines utilisées est COPO/PMMA (COPO avec 13% de MMA) d'une épaisseur totale entre 900 et 1000 nm. Après l'insolation au masqueur électronique, une révélation à l'aide d'un agitateur est effectuée en utilisant une solution MIBK /IPA en proportion 1 :2. Finalement les métaux Ti/Pt/Au : 100/200/1500 Å sont déposés par évaporation et suivi d'un recuit de 30s à  $300^\circ\text{C}$ .



**Figure II.14- Observation au MEB du problème d'effet de proximité en fonction du développement et de la distance  $L_{SD}$**

D'après les **figures II.14-a** à **c**, on constate que plus le développement ' $W_g$ ' des électrodes est grand plus l'effet de proximité est visible. En effet, pour une distance source-drain  $L_{SD}$  initialement prévue sur le masque de  $1.5 \mu\text{m}$ , on observe un rétrécissement de plus en plus conséquent lorsque  $W_g$  augmente. De plus, une longueur  $L_{SD}$  de  $1 \mu\text{m}$  sur le masque pour  $W_g = 15 \mu\text{m}$  a un rétrécissement important (**figure II.14-d**). Un ajustement de l'épaisseur et les paramètres de dépôt de la résine COPO 13% a permis d'aboutir à des distances  $L_{SD} = 1.5 \mu\text{m}$  et  $1 \mu\text{m}$  sans effets de proximités visibles quelle que soit la valeur du développement  $W_g$ . La **figure II.14-e** représente des contacts ohmiques de  $L_{SD} = 1.5 \mu\text{m}$  sans effet de rétrécissement. Nous présentons sur la **figure II.15-b** quelques images MEB des contacts ohmiques après le dépôt du métal.

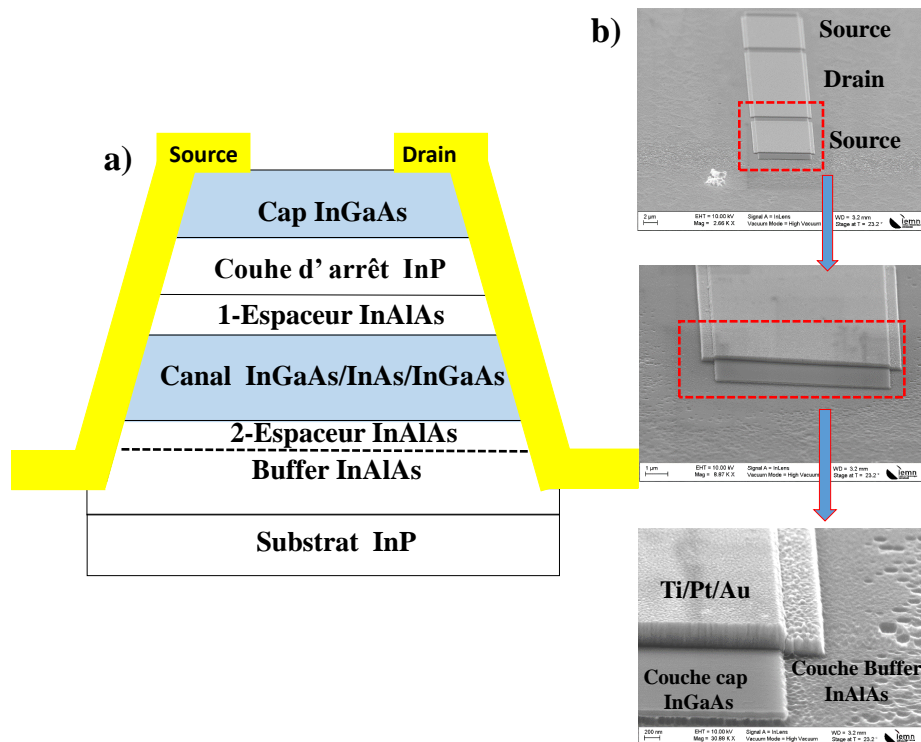


Figure II.15-a) Schéma représentatif du contact ohmique, b) images MEB de réalisation des contacts ohmiques Ti/Pt/Au

### III.2.4. Dépôt de $Si_3N_4$ et gravure plasma RIE

La particularité de ce procédé est de réaliser les grilles du transistor à travers des ouvertures de nitrure de Silicium déposé par PECVD. Cette étape permet non seulement de passiver la structure, mais également de faciliter la définition du pied de la grille pour atteindre des longueurs courtes de l'ordre de 20 nm. Après avoir déposé 30 nm de  $Si_3N_4$  à 230°C (figure II.16-a), la résine PMMA 950K (5/3) est ensuite utilisée. L'épaisseur mesurée varie entre 110-120 nm. Une optimisation de l'écriture électronique a permis de définir la dose à appliquer pour chaque ouverture de grille voulue. La révélation est effectuée par ultrason dans une solution MIBK/IPA : 1/2. Finalement, l'échantillon subit une gravure sèche plasma en RIE par  $CHF_3/CF_4$  pendant 25 secondes (figure II.16-b) afin de graver le nitrure.

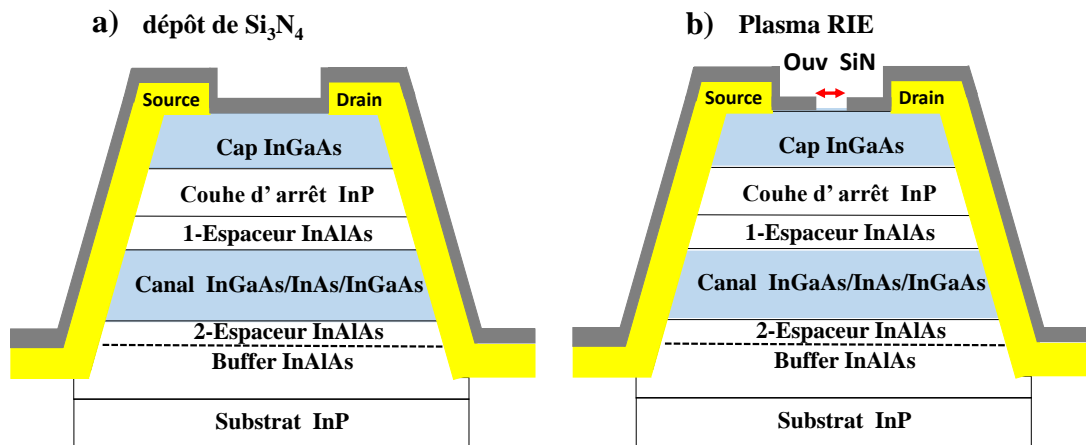
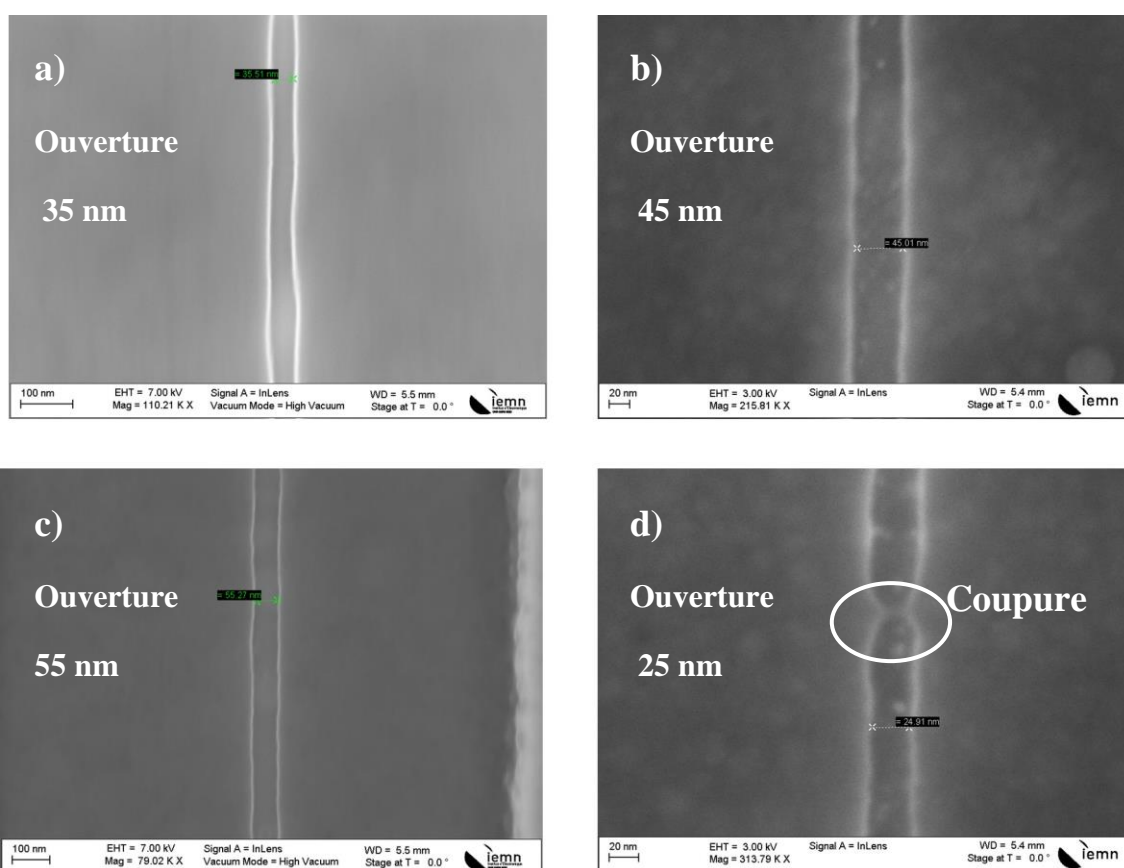


Figure II.16- Schéma représentatif :a) dépôt de 30 nm de  $Si_3N_4$  et b) ouverture de  $Si_3N_4$  par plasma

Après le dérésinage, les ouvertures sont ensuite mesurées par MEB. Quelques résultats sont reportés sur le **tableau II-10** et des images MEB sur la **figure II.17**. De très faibles ouvertures ont été obtenues de l'ordre de 30 et 35 nm. Nous avons également des ouvertures très courtes de 25 nm qui ne sont pas ouvertes sur toute la longueur et présentent des discontinuités (**figure II.17-d**). Ce problème est lié principalement à la révélation et l'épaisseur de la résine utilisée.

**Tableau II-10. Ouvertures obtenues à travers le diélectrique de  $Si_3N_4$**

Ouverture sur le masque (nm)	Ouverture mesurée (nm)	Dose appliquée ( $\mu C/cm^2$ )
20	32-35	620
30	45	540
40	55	620
60	61	580
100	102	420



**Figure II.17-Images MEB des ouvertures obtenues à travers le nitrure**

### III.2.5. Recess et réalisation de la grille

Cette étape constitue l'étape la plus importante dans la fabrication du transistor HEMT. À ce stade, un bicouche de résines PMMA/COPO est utilisé pour la définition de la grille. Le dépôt de la résine est effectué après avoir réalisé des ouvertures à travers le nitrure  $Si_3N_4$  décrites dans l'étape précédente.

Pour obtenir le profil en 'T', le pied est fortement dosé (PMMA) afin d'assurer l'ouverture de la partie du pied inséré dans le nitrure  $Si_3N_4$ . Le haut de la grille est réalisé en se basant sur les procédés développés à l'IEMN (COPO 33%) (**figure II.18-a**). Après la révélation, une vérification est nécessaire sur le MEB afin d'assurer que l'ouverture du pied de la grille est parfaitement révélée (**figure II.18-b**). Ensuite, une gravure humide (recess) est directement utilisée pour éliminer la couche du cap (**figure II.18-c**).

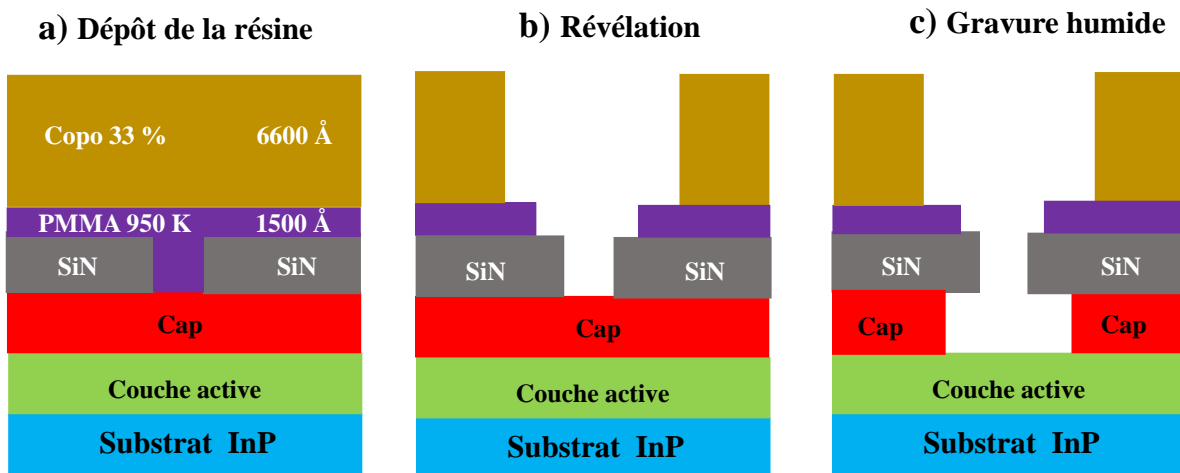


Figure II.18-Etape de définition du recess de grille

Dans la littérature l'acide succinique et l'acide citrique sont les deux solutions les plus fréquemment utilisées pour la gravure du recess de la grille. La première solution a une sélectivité importante de l'ordre de 70 entre InGaAs et InAlAs contre 20 pour l'acide citrique [112]. Dans le cadre de nos travaux, les structures HEMTs utilisées possèdent une couche d'arrêt d'InP en dessous de la couche cap (simple et composite). Pour graver la couche cap composite (InGaAs/InAlAs), nous devons choisir une solution non sélective entre ces deux matériaux.

La solution à base d'acide orthophosphorique a été optée pour réaliser le recess de grille de nos transistors. En effet, cette solution possède également une excellente sélectivité sur InP. Les études menées par V. ROUCHER dans [122] ont montré qu'il est possible de graver les matériaux tels que InGaAs et InAlAs sans graver la couche d'InP par une solution à base d'acide orthophosphorique. Nous avons donc étalonné les vitesses de gravure sur deux matériaux InGaAs et InAlAs en bulk épais avec des motifs réalisés en dessus de grandes tailles (quelques dizaines de  $\mu\text{m}$ ). Les résultats obtenus sur la vitesse de gravure par la solution  $H_3PO_4/H_2O_2/H_2O$  : 6/2/400 ml sont représentés dans la **figure II.19**.



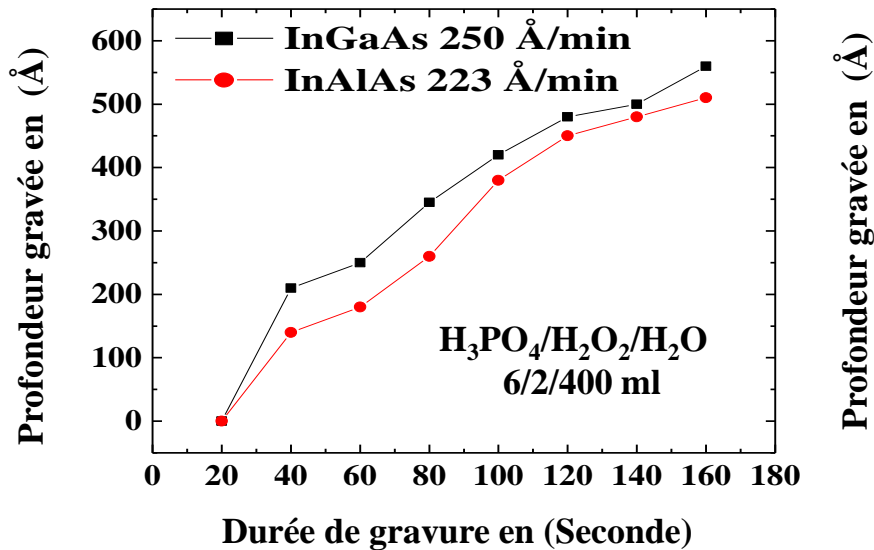


Figure II.19-Vitesse de gravure des matériaux  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  et  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  par la solution  $\text{H}_3\text{PO}_4$

Cette expérimentation nous a permis de savoir approximativement les vitesses de la gravure des matériaux InGaAs et InAlAs. Nous avons pu constater que la vitesse de gravure du recess à travers des petites ouvertures en nitrure n'est plus la même que le test effectué sur le bulk. Ces remarques ont été abordées également par V. ROUCHER sur le comportement de la gravure pour des petites ouvertures (submicroniques) sur des échantillons réels contenant des transistors.

Toutefois, nous avons réalisé également des essais pour vérifier la sélectivité de cette solution sur la couche d'InP. La **figure II.20** représente le test effectué sur une structure HEMT à cap composite InGaAs/InAlAs d'épaisseur 300 Å et de couche d'arrêt d'InP de 40 Å (**figure II.9-a**)

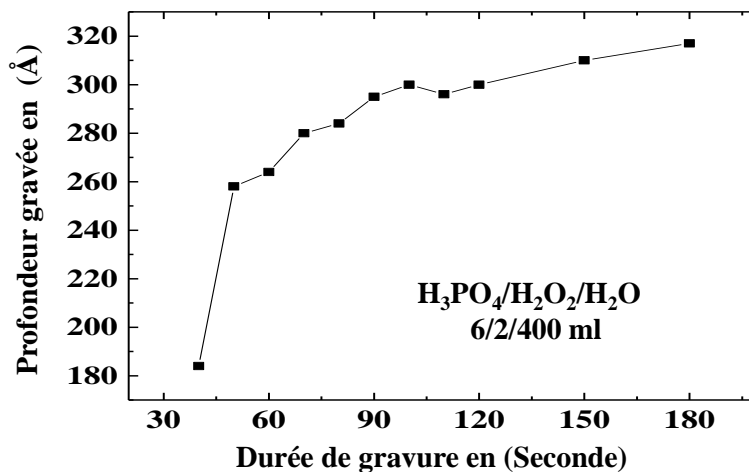


Figure II.20-Gravure d'un cap composite  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  /  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  par la solution  $\text{H}_3\text{PO}_4$

On constate que la solution utilisée a une sélectivité importante entre la couche cap composite (InGaAs/InAlAs) et la couche d'InP. En effet, la couche cap (300 Å) est gravée approximativement en 1 minute, on atteint, à ce moment-là, la couche d'arrêt d'InP. Au-delà, la vitesse de gravure du matériau devient nettement plus faible. Finalement, l'attaque jusqu'à 3 min montre que la vitesse de gravure de l'InP est très sélective et lente. Ainsi, même si les



vitesses de gravure des matériaux InGaAs/InAlAs seront différentes pour des petites ouvertures, nous pouvons pallier ce problème en augmentant le temps de gravure car la sélectivité de gravure avec l'InP est importante. Au vu des résultats obtenus, nous utiliserons la gravure  $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$  : 6/2/400 ml en 2 min pour toutes gravures du recess de nos transistors.

La phase finale de cette étape est l'évaporation de l'électrode de la grille en Ti/Pt/Au (**figure II.21-a**). Un plasma d'argon est préalablement effectué à 150 eV en 1 min avant le dépôt de métallisation, les figures **II.21-b, c et d** représentent des images MEB d'un transistor à deux doigts de grille après le dépôt de l'électrode de grille.

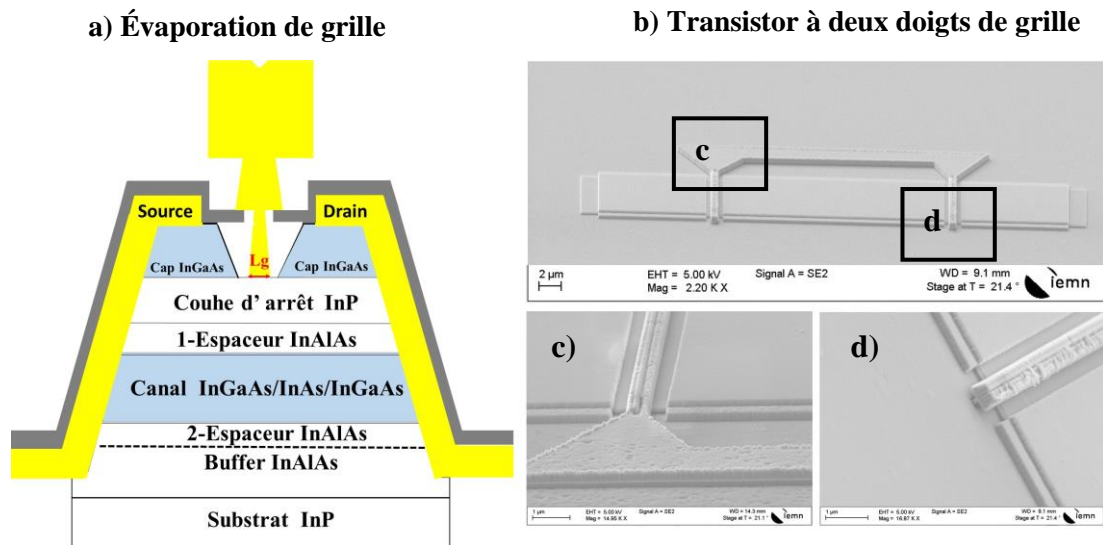
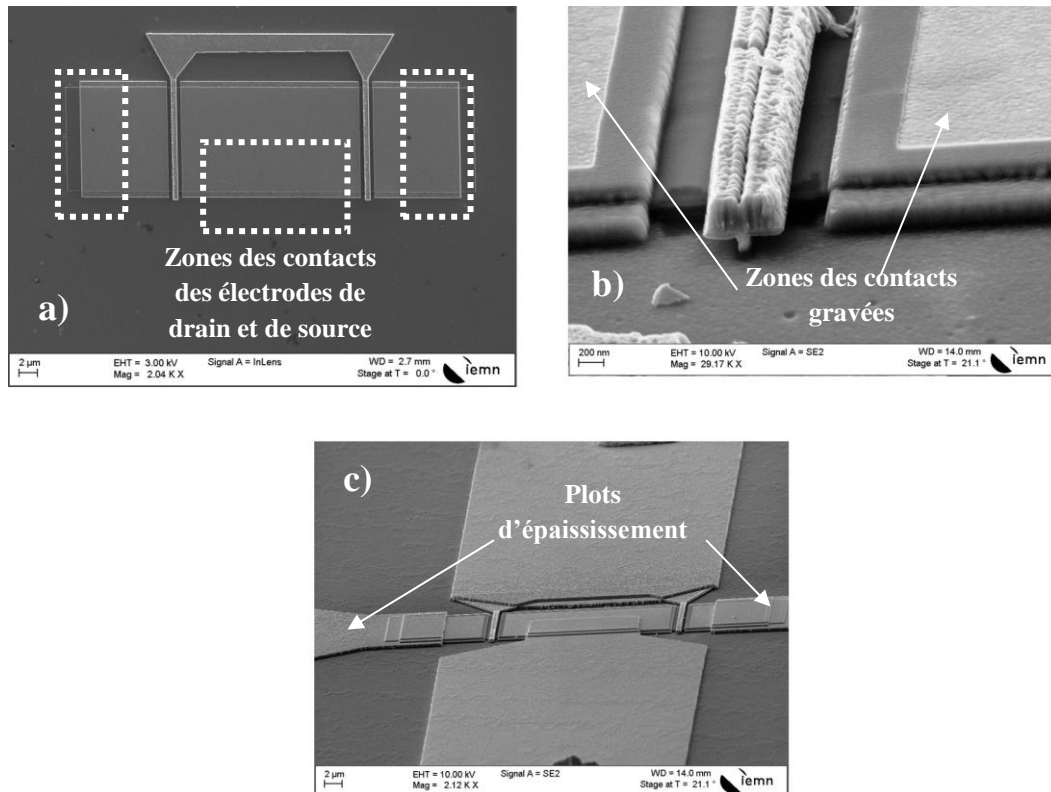


Figure II.21- a) Schéma représentatif du transistor après dépôt de la grille- b), c) et d) Images MEB d'un transistor à deux doigts de grille

### III.2.6. Plots d'épaissement

Avant de réaliser les plots d'épaissement permettant de réaliser les accès coplanaires du transistor, une gravure sèche en  $\text{CHF}_3/\text{CF}_4$  est indispensable pour retirer le nitrure de silicium se situant sur les électrodes de source et de drain du transistor (**figure II.22-a**). Pour éliminer le nitrure dans les zones du contact ohmique, une monocouche de résine PMMA 950K 4% est utilisée. Après la révélation, l'échantillon est attaqué par la gravure sèche  $\text{CHF}_3/\text{CF}_4$  plasma (**figure II.22-b**). Les paramètres de ce plasma sont identiques à ceux utilisés précédemment pour réaliser les ouvertures de grille dans le nitrure. Ensuite, une deuxième écriture électronique est effectuée après le dépôt d'une bicouche COPO/PMMA. Après révélation, les plots d'épaissement en Ti/Pt/Au sont déposés (**figure II.22-c**).



**Figure II.22- Images MEB de a) position des zones de nitrure à graver avant le dépôt des plots, b) transistor après gravure du nitrure dans les zones de contact source et drain et c) transistor après dépôt des plots d'épaissement**

### III.2.7. Résultats et discussions du procédé 1

Le principal objectif du premier procédé « grille 'nitrure' » est de réaliser des grilles de longueur très courte et des recess étroits. La grille est réalisée en deux étapes, la définition du pied de grille dans le nitrure et ensuite la définition de la grille en T. Des longueurs de grille ont été obtenues de l'ordre de 45 nm, 55 nm et 60 nm et les observations MEB sont reportées dans les **figures II.23-a, b et c**. On peut constater sur ces coupes transversales que le pied de grille a une forme en trapèze, la base du pied de grille est plus importante que sa dimension en haut du pied de grille. On observe donc un profil du pied de grille non vertical. Ceci est dû à une croissance latérale de la métallisation au cours de l'évaporation. Cette croissance latérale va réduire l'ouverture dans le nitrure voire complètement obstruer cette ouverture. C'est ce qui est observé sur les coupes transversales de la **figure II.24**. L'obstruction de l'ouverture conduit à la coupure du pied de grille qui n'est plus relié au haut de la grille. Ce transistor ne sera donc pas fonctionnel, la grille étant en circuit ouvert.

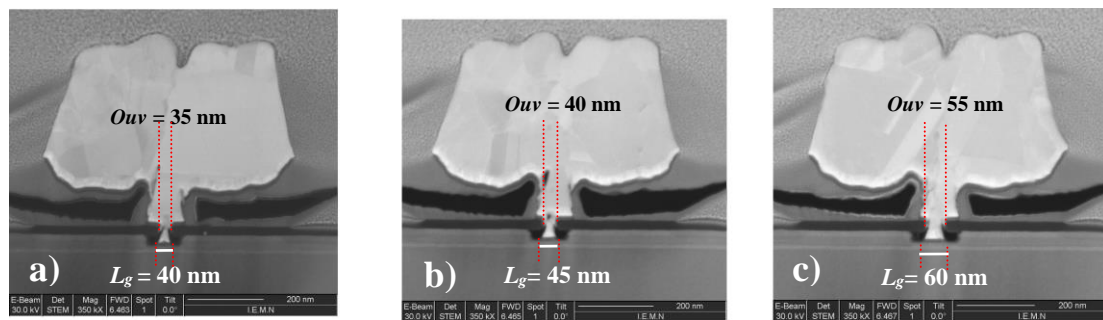


Figure II.23-Images MEB de différentes longueurs de grille du premier procédé

La longueur minimale de grille va dépendre de deux paramètres : la dimension de l'ouverture du pied de grille, les épaisseurs de la couche cap et de la couche  $Si_3N_4$  qui sont égales toutes les deux à 30 nm. Ceci conduit à une hauteur totale de 60 nm. Si l'on veut descendre à des longueurs de grille inférieures ou égales à 30 nm, on devra réduire cette hauteur. L'épaisseur de la couche cap est difficile à réduire, nous avons opté pour un cap épais afin de réduire les résistances d'accès  $R_s$  et  $R_d$ . Une réduction d'épaisseur de la couche de  $Si_3N_4$  va entraîner l'augmentation du couplage électrostatique entre la grille et les zones d'accès, peu favorable aux capacités parasites

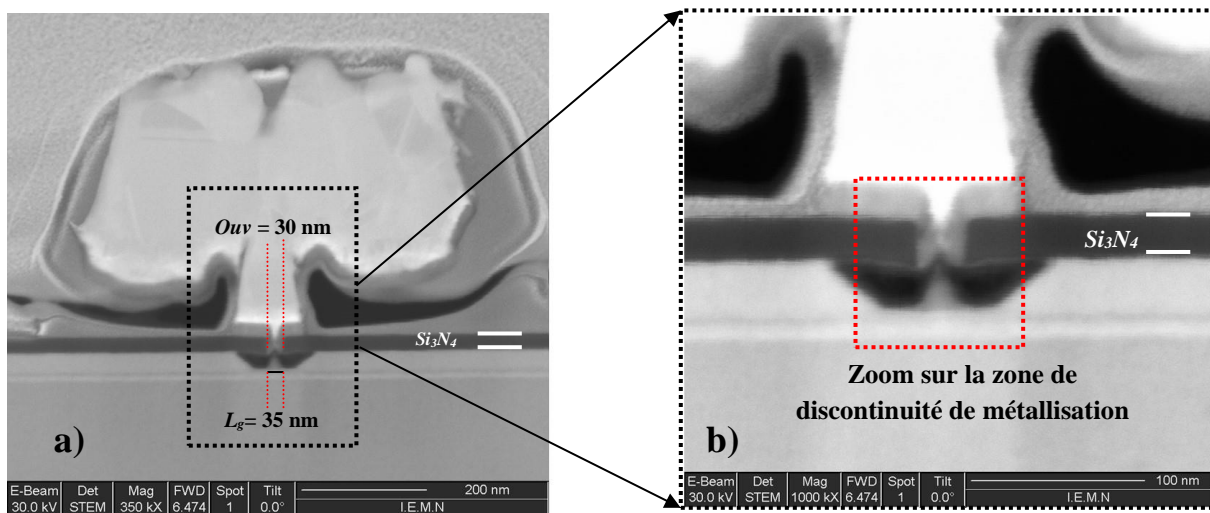


Figure II.24-Images MEB représentant le problème de discontinuité de métallisations a) ouverture de nitruure de 30 nm et b) zoom sur la zone de discontinuité

Les objectifs fixés ont été partiellement remplis par la réalisation des transistors de longueur de grille 40 nm. En deçà de cette limite, les coupures de métallisations représentent une contrainte et empêchent le bon fonctionnement des transistors. Les performances fréquentielles des transistors obtenues de ce premier procédé seront discutées dans le chapitre III.

### III.3. Deuxième procédé de fabrication

Afin de réaliser des transistors avec des recess de grille asymétriques sans utiliser le nitruure de silicium pour la définition du pied de grille, nous nous sommes inspirés des travaux de Fujitsu [23] pour concevoir ce deuxième procédé de fabrication. Dans le procédé de Fujitsu, le

Le pied de la grille est réalisé à travers une couche fine (10 nm) de nitrure  $Si_3N_4$ . Cette couche a pour but de définir un pied de longueur faible, celle-ci sera ensuite gravée par plasma  $SF_6$ . Une deuxième couche de 30 nm de passivation est déposée de nouveau après la réalisation de la grille. Or, nous avons pu observer précédemment (**tableau II-9**) une dégradation significative des propriétés électroniques de la structure épitaxiale (concentration et mobilité) en effectuant ce type de procédé. C'est pourquoi nous avons décidé d'utiliser une résine pour définir le pied et le haut de la grille et non du nitrure. Aucune gravure plasma n'aura lieu avant la définition de la grille. La couche de passivation au nitrure de Silicium sera déposée directement après le lift-off de grille.

Les principales étapes technologiques sont schématisées dans la **figure II.11**. Ce procédé 2 présente des avantages par rapport au procédé 1 : possibilité de recess symétrique ; pas de problème de coupure du pied de grille ; pas d'utilisation de plasma dans la zone recessée et donc pas de dégradation de la couche. Les inconvénients : les longueurs de grille en deçà de 50 nm sont difficiles à réaliser, le rapport d'aspect étant égal à l'épaisseur de résine (800 nm) sur l'ouverture de celle-ci est très grand. Les composants ne sont pas passivés, toutefois il est simple en fin de process de réaliser un dépôt de  $Si_3N_4$

Le détail des dépôts et recuits des résines est donné en **annexe II-3**. Les étapes de fabrications des marques d'alignement, des contacts ohmiques et des plots d'épaississement sont identiques au procédé 1, la différence se situe uniquement dans le recess et la réalisation de la grille. Le masque utilisé dans ce procédé 2 est légèrement différent du premier. Les développements visés sont  $2 \times 8 \mu m$  (2 doigts de grille de  $8 \mu m$  développement) et  $2 \times 12 \mu m$  avec des longueurs de grille variant de 65 nm à 105 nm. Nous avons conçu un masque électronique dont le but est de fixer une longueur du recess côté source ( $L_{RS}$ ) à  $\sim 70$  nm et nous avons fait varier la longueur côté drain ( $L_{RD}$ ) de 70 nm jusqu'à des longueurs avoisinant le 220 nm (**figure II.25**). Il est à noter ici que la résolution de positionnement de l'électrode de grille dans la zone du recess et l'effet de la vitesse d'attaque de la solution (gravure humide du cap par la solution  $H_3PO_4$ ) peuvent entraîner un décalage et des variations de  $\pm 20$  nm sur les longueurs  $L_{RS}$  et  $L_{RD}$  d'un composant à un autre. Ses variations impacteront de manière importante les résistances d'accès  $R_S$  et  $R_D$  et donc la transconductance extrinsèque  $g_m$ .

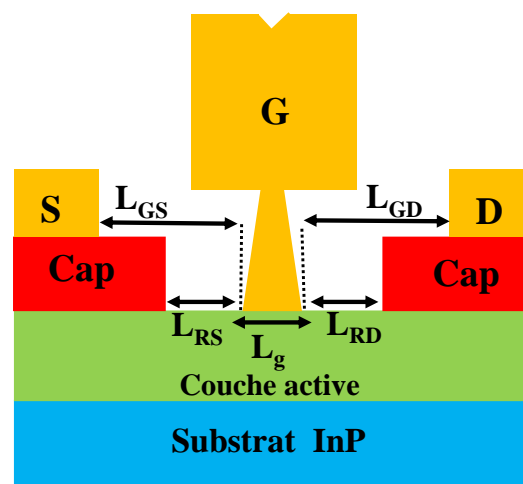


Figure II.25-Schéma représentatif des principales longueurs définissent le deuxième procédé de fabrication

### III.3.1. Réalisation du recess et de l'électrode de grille

Dans ce procédé 2, deux lithographies électroniques sont requises pour réaliser d'une part le recess et d'autre part l'électrode de grille. Une première lithographie électronique est réalisée avec la résine PMMA 4% 950K (**figure II.26-a**) afin de définir la zone du recess de la couche cap par une solution à base d'acide orthophosphorique (**figure II.26-b**).

Une seconde lithographie électronique utilisant un bicouche de résine PMMA/COPO (**figure II.26-c**) est réalisée pour définir l'électrode de grille. Le résinage de la structure est réalisé rapidement après la gravure du recess pour éviter toute oxydation de la surface d'InP. Après révélation (**figure II.26-d**), un etching d'argon in-situ à 150 eV suivi de l'évaporation de l'électrode de la grille en Ti/Pt/Au sont effectués. Finalement, une couche de passivation de 30 nm en  $Si_3N_4$  est effectuée par PECVD à 300°C pour diminuer l'influence du potentiel de surface et protéger le composant dans les zones du recess.

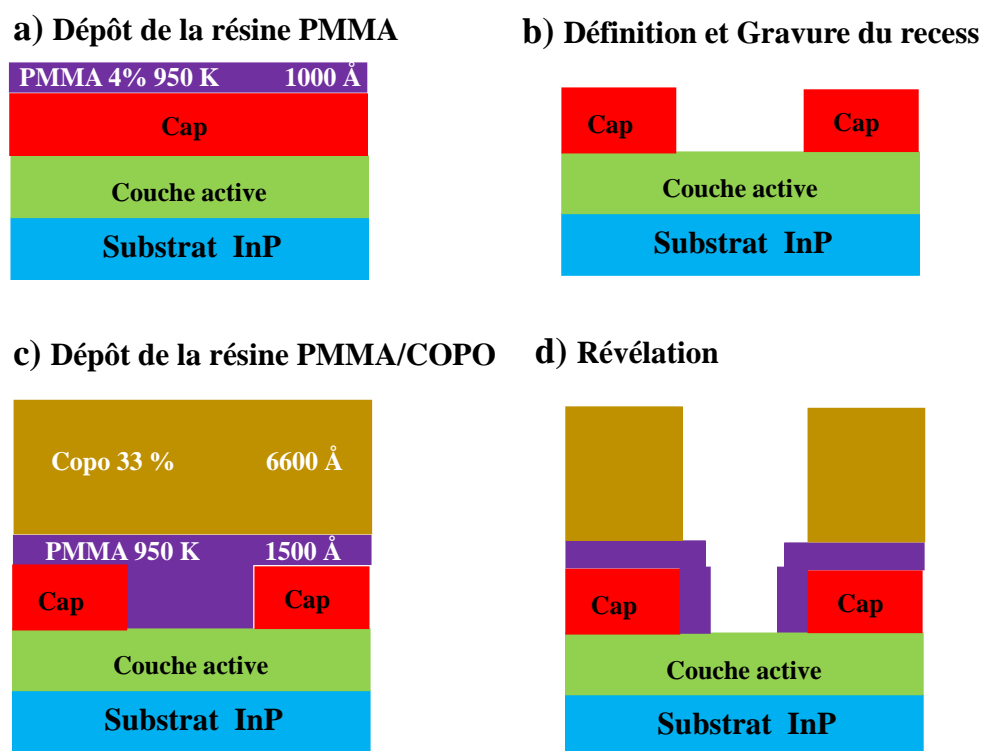


Figure II.26-Etapes de réalisation du recess et de grille du deuxième procédé

Nous présentons quelques images de résultats obtenus après la passivation des composants. La **figure II.27-a** représente une image MEB d'un composant à recess symétrique  $L_{RS} = L_{RD} = 70$  nm de  $L_g = 90$  nm, et la **figure II.27-b** représente un composant avec un recess asymétrique  $L_{RS} = 70$  nm et  $L_{RD} = 220$  nm de  $L_g = 65$  nm. Durant le procédé 2, la plus faible longueur  $L_g$  obtenue est 65 nm, tandis que la plus grande est de 100 nm. Nous disposons également des composants dont la longueur  $L_{RS} = 50$  nm. Des mesures de la rugosité de la surface effectuée avant et après la gravure humide dans les zones du recess sont présentées dans **l'annexe II-4**.

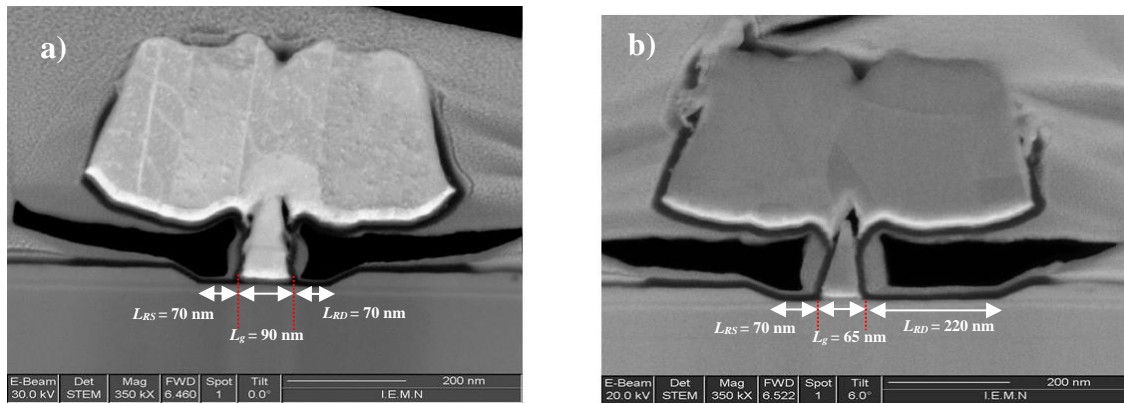


Figure II.27-Imges FIB pour deux transistors avec recess : a) symétrique et b) asymétrique

## IV. Réajustement des accès coplanaires en 25 $\mu\text{m}$ de pitch

Jusqu'à présent, tous les transistors fabriqués ont des accès coplanaires dont le pitch est de 50  $\mu\text{m}$ . Le pitch correspond à l'espacement entre le plot de masse et le plot de signal d'une ligne coplaire. La centrale de caractérisation de l'IEMN possède plusieurs bancs de mesure sous pointes, chaque bande de fréquence a des sondes de différents pitch. Les mesures de paramètres S possibles à partir d'un pitch de 50  $\mu\text{m}$  peuvent aller jusqu'à la bande J [220 GHz – 325 GHz]. Suite à l'achat d'équipement de mesure [300 GHz – 500 GHz] et [500 GHz – 750 GHz] postérieur à la fabrication de nos transistors, nous avons été amenés à réadapter le pitch fixé à 50  $\mu\text{m}$  des accès coplanaires des transistors existants, à 25  $\mu\text{m}$  afin de pouvoir les mesurer au-delà de 325 GHz.

La topologie et les espacements sont optimisés afin d'avoir une ligne coplaire d'impédance caractéristique proche de 50  $\Omega$ . La **figure II.28** illustre la modification apportée aux accès des transistors. Aux transistors de pitch 50  $\mu\text{m}$  de la **figure II.28-a** ont été ajoutés des accès adaptés à un pitch de 25  $\mu\text{m}$  **figure II.28-b** La procédure de fabrication est identique à l'étape de réalisation des plots d'épaissements, l'épaisseur de métallisation est également similaire. La topologie représentée sur la **figure II.28-b** permet d'effectuer des mesures large bande de 250 MHz jusque 750 GHz.

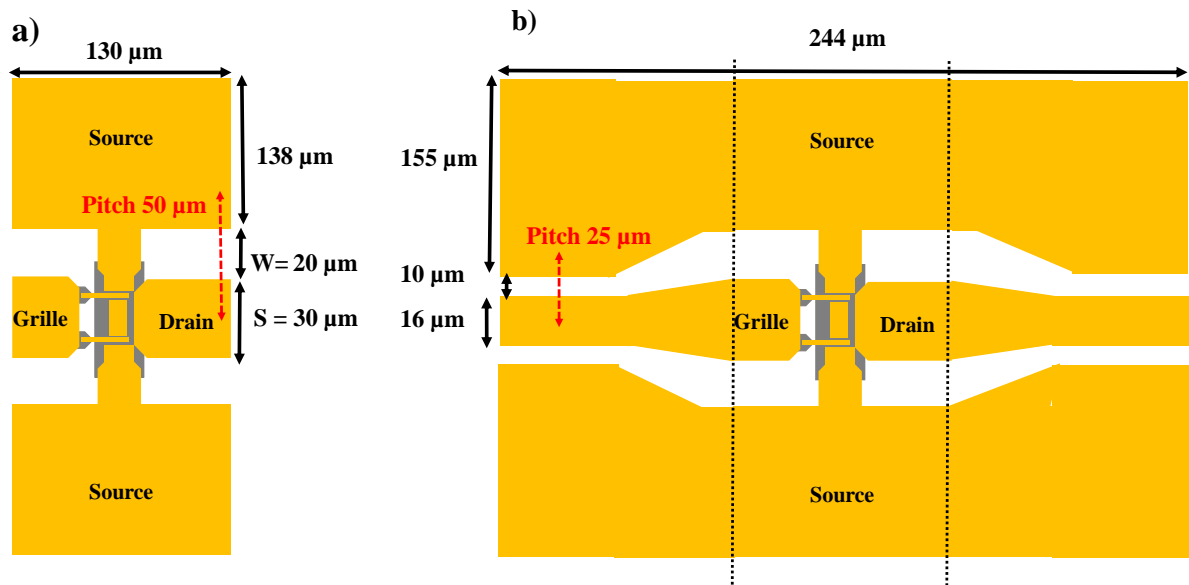


Figure II.28-Adaptation du pitch des accès coplanaire : a) transistor initial de  $50\ \mu\text{m}$  de pitch ; b) transistor après réajustement de pitch à  $25\ \mu\text{m}$



## V. Conclusion du chapitre II

Dans ce chapitre, nous avons présenté l'épitaxie retenue pour la réalisation de nos transistors et les étapes de réalisation technologique de ces composants. Les optimisations apportées aux structures épitaxiales ont permis d'obtenir des propriétés de transport électronique excellentes avec une mobilité et une densité d'électrons  $\mu_{Hall} = 12000 \text{ cm}^2/\text{V.s}$  et  $N_{Hall} = 2.65 \times 10^{12} \text{ cm}^{-2}$ . Ces résultats ont été obtenus grâce au canal composite ( $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InAs}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ) conduisant à une très bonne résistance du canal conducteur ainsi que l'utilisation de matériaux à très haute mobilité d'électrons comme l'InAs.

La couche du contact ohmique a été également optimisée, l'utilisation de contacts ohmiques non-alliés et des cap fortement dopés ( $2 \times 10^{19} / \text{cm}^3$ ) ont abouti à des résistances de contact  $R_c$  relativement faible de l'ordre  $0.018 \Omega.\text{mm}$ . De même, l'effet de la passivation de la structure par une couche de nitrure de silicium a été vérifié par des mesures de Hall et de TLM.

Deux principaux procédés de fabrication de transistor ont été présentés. Une grande partie du premier procédé a été consacrée aux développements des grilles de longueur faible  $L_g = 40 \text{ nm}$  et robuste. Néanmoins, la topologie de la structure retenue, l'épaisseur de cap de  $30 \text{ nm}$  et l'épaisseur de nitrure déposée de  $30 \text{ nm}$  ne permettent pas la réalisation de longueurs de grille inférieures à  $40 \text{ nm}$ . Les coupures de métallisation entre le pied et le haut de la grille ont été visualisées pour des ouvertures de nitrure de silicium en deçà de  $35 \text{ nm}$ . L'étape de gravure du recess a fait également l'objet de plusieurs essais et a permis de définir une solution optimale à base d'acide orthophosphorique de manière à obtenir des recess uniformes bien définis.

Un second procédé a été présenté dont l'objectif est la réalisation des transistors avec recess asymétrique. Il représente une bonne reproductibilité de la définition de la zone du recess et une simplification de positionnement de l'électrode de grille dans celle-ci. Cependant, les longueurs de grille ont des longueurs assez élevées  $L_g = 65 \text{ nm}$ , bien que la dimension sur le masque ait été de  $40 \text{ nm}$ . Dans le cadre de nos travaux de thèse nous nous sommes intéressés à l'optimisation des longueurs du recess.

Finalement, nous avons été amenés à réadapter le pitch des accès coplanaires des transistors de  $50$  à  $25 \mu\text{m}$ . En effet, la bande de mesure de nouveaux équipements s'étend désormais de  $300 \text{ GHz}$  jusqu'à  $750 \text{ GHz}$ . Les sondes sur ces bancs de mesures nécessitent un pitch de  $25 \mu\text{m}$ . Nous avons dû réajuster les accès coplanaires de nos composants. Pour ce faire, de nouveaux plots d'épaississement ont été rajoutés sur des transistors de deuxième procédé afin de les caractériser dans ces bandes de fréquences supérieures.





***Chapitre III : Caractérisation  
de HEMT : Mesures statiques,  
dynamiques et en bruit***

## I. Introduction du chapitre III

Le troisième chapitre porte sur l'ensemble des mesures effectuées sur les HEMTs décrits au chapitre II. Ces transistors seront caractérisés en régime statique et dynamique ainsi qu'en bruit. Tout d'abord, nous présentons les résultats obtenus à travers la comparaison entre des composants de différentes topologies et plus particulièrement la caractérisation statique des procédés 1 et 2. Ensuite, nous décrivons l'instrumentation de caractérisation dynamique utilisée, notamment le banc de mesure 110 GHz et les méthodes d'étalonnage *off-wafer* et *on-wafer*. La mesure de paramètres S et l'extraction du gain unilatéral de Mason  $U$  et du gain en courant  $|h_{21}|^2$  seront également présentées jusque 110 GHz. Nous mènerons une étude de l'influence du recess asymétrique sur les performances statiques et dynamiques du transistor.

Le transistor à effet de champ de type HEMT est le meilleur composant pour l'amplification faible bruit (Low Noise Amplifier, LNA), pour des applications hyperfréquences. La caractérisation en bruit est donc nécessaire pour élaborer des modèles électriques qui seront utilisés pour la conception de ce type de circuit. De plus, il est intéressant de comparer les performances de bruit et de les situer par rapport à l'état de l'art. Ainsi, la dernière partie de ce chapitre expose les mesures de bruit effectuées à l'IEMN pour un transistor HEMT du procédé 2 de longueur de grille  $L_g = 75$  nm et  $W_g = 2 \times 12$   $\mu\text{m}$  (deux doigts de grille de 12  $\mu\text{m}$ ).

## II. Caractérisations des transistors des procédés 1 et 2

La caractérisation des transistors en régime statique (DC), dynamique et en bruit a été effectuée sur des composants conçus à partir des structures de couche présentées dans la **figure III.1**. Dans le procédé technologique numéro 1 (procédé 1), nous avons utilisé deux structures différentes pour comparer l'effet de la couche cap composite (**figure III.1-a**) et de la couche cap simple (**figure III.1-b**) ainsi que celui de l'espacement des électrodes de drain et de source. Le double-plan de dopage pour ces deux structures est fixé à P 4/3. Le procédé 2 est réalisé sur des structures de couche cap simple avec un double-plan de dopage P 4/3 (**figure III.1-b**) et P 3/2 (**figure III.1-c**) ; l'objectif consistera à étudier l'effet du recess asymétrique sur les performances du transistor notamment les fréquences de transition.

a)			b)			c)		
150 Å	InGaAs	In=53%	300 Å	InGaAs	In=53%	300 Å	InGaAs	In=53%
Cap	Si $2 \times 10^{19} / \text{cm}^3$	In=52%	Cap	Si $2 \times 10^{19} / \text{cm}^3$		Cap	Si $2 \times 10^{19} / \text{cm}^3$	
150 Å	InAlAs	In=52%						
40 Å	InP		40 Å	InP		40 Å	InP	
20 Å	Barrière InAlAs In=52%		20 Å	Barrière InAlAs		20 Å	Barrière InAlAs	
dopage Av	InAlAs	Si $4.10^{12} / \text{cm}^2$	dopage Av	InAlAs	Si $4.10^{12} / \text{cm}^2$	dopage Av	InAlAs	Si $3.10^{12} / \text{cm}^2$
30 Å 1ère	Espaceur InAlAs	In=52%	30 Å 1ère	Espaceur InAlAs	In=52%	30 Å 1ère	Espaceur InAlAs	In=52%
40 Å	InGaAs	In=53%	40 Å	InGaAs	In=53%	40 Å	InGaAs	In=53%
30 Å	InAs		30 Å	InAs		30 Å	InAs	
25 Å	InGaAs	In=53%	25 Å	InGaAs	In=53%	25 Å	InGaAs	In=53%
30 Å 2ème	Espaceur InAlAs	In=52%	30 Å 2ème	Espaceur InAlAs	In=52%	30 Å 2ème	Espaceur InAlAs	In=52%
dopage Ar	InAlAs	Si $3.10^{12} / \text{cm}^2$	dopage Ar	InAlAs	Si $3.10^{12} / \text{cm}^2$	dopage Ar	InAlAs	Si $2.10^{12} / \text{cm}^2$
4000 Å	Buffer InAlAs In=52%		4000 Å	Buffer InAlAs In=52%		4000 Å	Buffer InAlAs In=52%	
Substrat InP			Substrat InP			Substrat InP		

Figure III.1-Structures épitaxiales utilisées pour concevoir les transistors HEMT du procédé 1 et 2

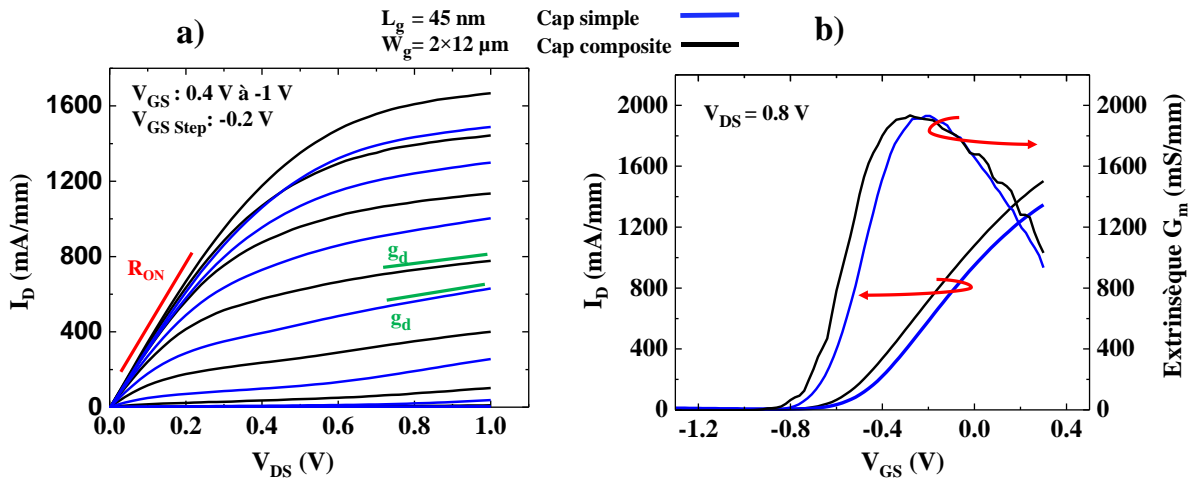
### III. Caractérisations en régime statique

#### III.1. Caractérisations statiques du procédé 1

Nous avons vu dans le deuxième chapitre que l'utilisation de deux types de couche cap différentes (simple ou composite) n'a pas permis de mettre en évidence une modification significative de la résistance du contact  $R_C$ . Néanmoins, nous avons réalisé des transistors sur ces deux échantillons afin d'observer éventuellement une différence sur d'autres paramètres du transistor. Le premier échantillon G170403 a une couche cap simple de type  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  (**figure III.1-b**) et le deuxième G170404 a une couche cap composite de type  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  (**figure III.1-a**). Nous disposons de plusieurs transistors de longueurs de grilles 40 nm, 45 nm, 60 nm, 70 nm, 100 nm et 200 nm avec un espacement drain-source  $L_{SD}$  identique de 1.5  $\mu\text{m}$ . Nous avons également des transistors de longueur de grille de 60 nm et dont la valeur de  $L_{SD}$  est fixée à 1  $\mu\text{m}$  afin d'étudier l'influence de  $L_{SD}$  sur les caractéristiques statiques. Pour rappel, le procédé 1 ne permet pas de réaliser un recess asymétrique. Tous les composants du procédé 1 ont donc un recess de grille symétrique.

La **figure III.2** illustre les caractéristiques de sortie  $I_D-V_{DS}$  (**figure III.2-a**) et de transfert  $I_D-V_{GS}$  et  $g_m-V_{GS}$  (**figure III.2-b**) pour deux composants du procédé 1 de longueur de grille 45 nm. Les résultats en régime statique montrent l'importance de la couche canal optimisée et du double-plan de dopage inséré face avant et face arrière. Une transconductance extrinsèque importante d'environ  $g_{m-max} = 1900 \text{ mS/mm}$  à  $V_{DS} = 0.8 \text{ V}$  est reportée quelle que soit la couche cap utilisée. Les tensions de seuil  $V_T = -0.51 \text{ V}$  (cap simple) et  $V_T = -0.58 \text{ V}$  (cap composite) sont quasi-similaires pour les deux composants à  $V_{DS} = 0.8 \text{ V}$ . Par conséquent, les courants  $I_D$  ont une légère différence de 30 mA/mm à  $V_{GS}-V_T = 0.81 \text{ V}$ . Les courants obtenus au même  $V_{GS}-V_T$  à  $V_{DS} = 0.8 \text{ V}$  sont  $I_D = 1400 \text{ mA/mm}$  et  $1372 \text{ mA/mm}$  respectivement pour un transistor à cap composite et à cap simple. Les valeurs maximales du courant  $I_{Dmax}$  présentées dans la **figure**

**III.2-a** sont  $I_{D-max} = 1670 \text{ mA/mm}$  (cap composite) et  $1500 \text{ mA/mm}$  (cap simple) à  $V_{DS} = 1 \text{ V}$  et  $V_{GS} = 0.4 \text{ V}$ .



**Figure III.2-**Caractéristiques de sortie et de transfert pour deux composants de  $L_g = 45 \text{ nm}$  et  $W_g = 2 \times 12 \text{ } \mu\text{m}$

Dans le but de réduire les résistances d'accès et la conductance de sortie  $g_d$ , plusieurs études ont montré l'intérêt de travailler avec les structures à cap composite et de contact ohmique « non-allié » pour favoriser la conduction par effet tunnel [24] [22]. La comparaison des performances statiques entre deux structures « cap composite » et « cap simple » est déduite à partir d'un calcul de la résistance  $R_{ON}$  mesurée. Cette résistance représente la pente de la zone linéaire (ohmique) de la caractéristique de sortie  $I_D-V_{DS}$  obtenue pour une même tension  $V_{DS} = 0.1 \text{ V}$  et  $V_{GS} - V_T = 0.828 \text{ V}$ . Des résistances  $R_{ON} = 265 \text{ } \Omega \cdot \mu\text{m}$  et  $R_{ON} = 259 \text{ } \Omega \cdot \mu\text{m}$  ont été obtenues respectivement sur un cap simple et un cap composite ; une légère amélioration du  $R_{ON}$  est donc également observée sur une structure à cap composite. Ces valeurs ont été obtenues grâce à l'amélioration des résistances du contact  $R_c = 0.013 \text{ } \Omega \cdot \text{mm}$  (avec cap) et  $R_c = 0.19 \text{ } \Omega \cdot \text{mm}$  (sans cap) ainsi à la faible longueur latérale du recess dans le procédé 1 (moins de 20 nm de chaque côté de drain et de source). Les résultats des résistances  $R_{ON}$  reportées dans les derniers travaux de H.B. JO [124] avec un HEMT sur substrat d'InP de  $L_g = 25 \text{ nm}$  ( $R_{ON} = 279 \text{ } \Omega \cdot \mu\text{m}$ ) et avec le transistor de longueur de grille  $L_g = 87 \text{ nm}$  ( $R_{ON} = 273 \text{ } \Omega \cdot \mu\text{m}$ ) [76] sont proches de celles obtenues par nos composants.

Concernant la conductance  $g_d$  statique en zone de saturation du courant  $I_D$  (caractéristique de sortie  $I_D-V_{DS}$  de la **figure III-2-a**), on constate également une amélioration de celle-ci avec l'utilisation d'un cap composite. Les tensions de seuil à  $V_{DS} 0.8 \text{ V}$  et  $1 \text{ V}$  ont une différence respectivement de 70 mV et 50 mV. Les valeurs obtenues au même  $V_{GS} - V_T$  à  $V_{DS} = 0.8 \text{ V}$  ( $1 \text{ V}$ ) sont 367 mS/mm (341 mS/mm) et 263 mS/mm (230 mS/mm) respectivement pour une structure de couche cap simple et couche cap composite.

Pour étudier l'effet de l'espacement  $L_{SD}$  entre les électrodes de drain et de source, nous avons réalisé des mesures statiques en fonction de  $L_{SD}$  pour deux transistors de même longueur de grille  $L_g = 60 \text{ nm}$  et  $W_g = 2 \times 15 \text{ } \mu\text{m}$  pour une structure à cap composite. En effet, la réduction de la longueur  $L_{SD}$  permet d'améliorer les paramètres intrinsèques du transistor comme indiqué dans [125] [48]. Les caractéristiques statiques sont présentées dans les **figures III.3-a** et **III.3-b**. Nous pouvons constater que la réduction de la longueur  $L_{SD}$  de  $1.5 \text{ } \mu\text{m}$  à  $1 \text{ } \mu\text{m}$  conduit à une

légère amélioration (6 %) de la transconductance de  $g_{m-max} = 1880$  mS/mm à  $g_{m-max} = 2000$  mS/mm à  $V_{DS} = 0.8$ . Les tensions de seuil  $V_T = -0.58$  ( $L_{SD} = 1\mu\text{m}$ ) V et  $V_T = -0.68$  V ( $L_{SD} = 1.5\mu\text{m}$ ) sont données à  $V_{DS} = 0.8$  V. Le courant obtenu reste inchangé de 1540 mA/mm à 1562 mA/mm à  $V_{DS} = 0.8$  V et  $V_{GS} - V_T = 0.88$  V. Les valeurs maximales du courant sont de 1688 mA/mm et 1790 mA/mm respectivement pour une longueur  $L_{SD} = 1.5\mu\text{m}$  et  $L_{SD} = 1\mu\text{m}$  à  $V_{DS} = 1$  V et  $V_{GS} = 0.4$  V (**figure III.3-a**). Cette amélioration est attribuée aux résistances d'accès, en particulier  $R_S$  dont on peut observer un effet sur la résistance  $R_{ON}$  dans la zone ohmique avec des valeurs obtenues de  $R_{ON} = 203\ \Omega\cdot\mu\text{m}$  et  $R_{ON} = 190\ \Omega\cdot\mu\text{m}$  respectivement pour  $L_{SD} = 1.5\mu\text{m}$  et  $L_{SD} = 1\mu\text{m}$  à  $V_{DS} = 0.1$  V. La conductance de sortie  $g_d$ , quant à elle, inchangée quel que soit  $L_{SD}$ .

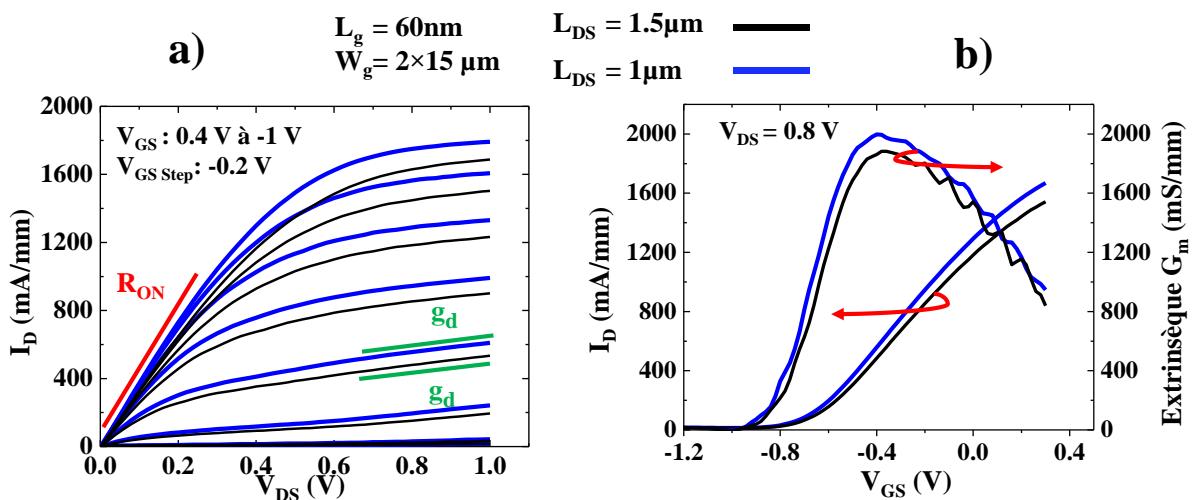


Figure III.3-Caractéristiques de sortie et du transfert de deux composants avec  $L_g = 60$  nm et  $W_g = 2 \times 15$   $\mu\text{m}$

Il est en général observé que l'évolution de la transconductance dépend de plusieurs paramètres et plus particulièrement la longueur de grille du transistor. Sa réduction conduit généralement à une meilleure transconductance  $g_m$ . Toutefois si celle-ci devient trop courte une dégradation du  $g_m$  peut être observée due à l'apparition d'effet de canal court. La figure III.4 illustre l'évolution de  $g_m$  en fonction de la longueur de grille pour des transistors de  $L_{SD} = 1.5\mu\text{m}$ . On constate bien l'effet de la réduction de la longueur de grille entre 200 et 70 nm. Une légère diminution de  $g_m$  apparaît sur nos composants pour des longueurs de grille inférieures à 70 nm. La valeur maximale avoisine  $g_{m-max} = 1920$  mS/mm pour une longueur de grille de 70 nm. Celle-ci diminue ensuite pour atteindre 1880 mS/mm pour la plus faible longueur de grille. Par ailleurs, on commence à dégrader la valeur de  $g_m$  au-delà de  $L_g = 100$  nm avec  $g_{max} = 1741$  mS/mm pour une longueur de grille de 200 nm.

Avec ce procédé de fabrication, la réduction de  $L_g$  en deçà de 40 nm n'est pas envisageable comme nous l'avons vu dans le deuxième chapitre. Par conséquent, pour améliorer les performances du transistor nous devons utiliser des optimisations autre que la réduction de la longueur de grille comme par exemple la réduction de la longueur  $L_{SD}$  ou la réalisation des recess de grille asymétriques (procédé 2).

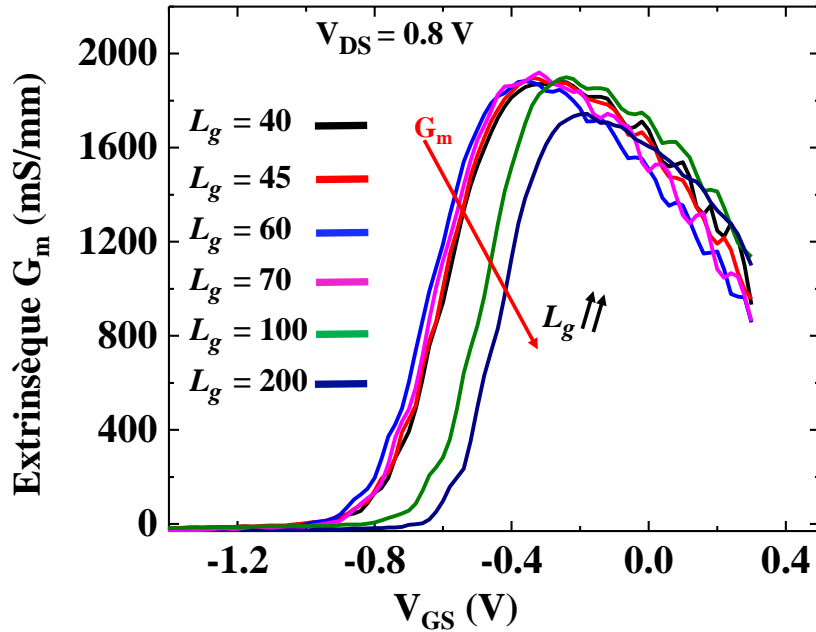


Figure III.4-Effet de longueur de grille sur la transconductance des transistors de  $W_g = 2 \times 15 \mu\text{m}$

### III.2. Caractérisations statiques du procédé 2

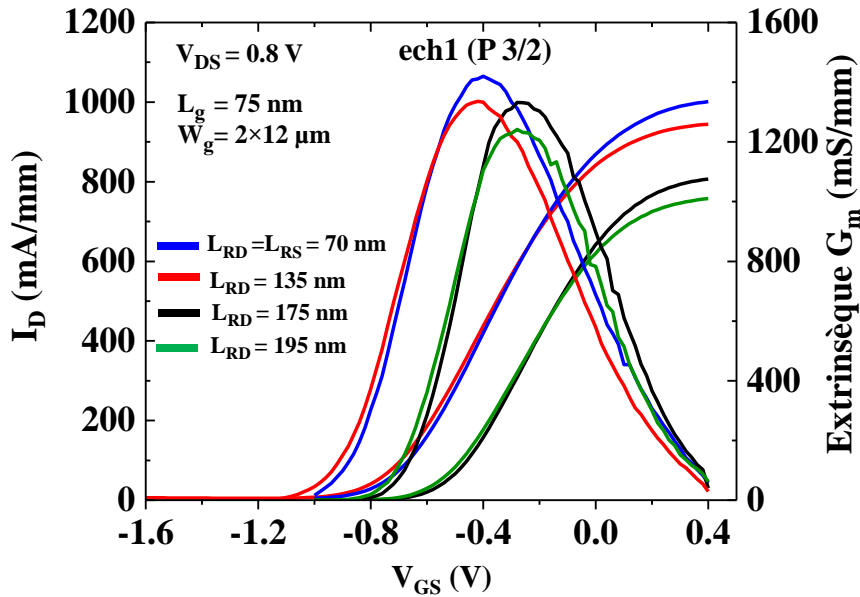
Dans cette partie, nous présentons les résultats de mesures statiques obtenues par des transistors du procédé 2 de fabrication. Grâce à ce procédé, il est possible de réaliser un recess symétrique et asymétrique. Pour étudier l'effet du recess asymétrique sur les résultats statiques du transistor, trois échantillons ont été réalisés

Les échantillons ont été procédés utilisant deux masques électroniques dont deux « ech1 » et « ech2 » utilisent le même masque électronique conçu respectivement avec une structure de couche de double-plan de dopage P 3/2 (figure III.1-c) et P 4/3 (figure III.1-b). Les longueurs de grille sont relativement longues de 75 nm et 95 nm tandis que le recess côté source est fixé à  $L_{RS} \approx 70$  nm et le recess côté drain  $L_{RD}$  varie entre 70 nm et 195 nm. En se basant sur les résultats des deux échantillons (ech1 et ech2), nous avons modifié les longueurs du recess côté source à  $L_{RS} = 50$  nm et  $L_{RD}$  varie entre 50 et 220 nm pour concevoir des transistors de l'échantillon « ech3 » sur une structure de couche de double-plan de dopage P 4/3 (figure III.1-b). Le tableau ci-dessous **tableau III-1**, résume les différents échantillons réalisés avec le procédé 2

Tableau III-1.Description des échantillons réalisés de procédé 1

Échantillons	Type de cap	Plan de dopage	$L_g$	$L_{RS}$	$L_{RD}$
ech1	Simple 300 Å	P 3/2	75 nm	70 nm	70, 135, 175 et 195 nm
ech2	In <sub>0.52</sub> Ga <sub>0.47</sub> As	P 4/3			
ech3	$2 \times 10^{19}/\text{cm}^2$	P 4/3	65 nm	50 nm	50, 135, 185, et 220 nm

Les caractéristiques de transfert obtenues avec l'échantillon « ech1 » pour une longueur de grille de 75 nm sont représentées dans la **figure III.5**. Une transconductance extrinsèque  $g_{m-max}$  et un courant maximal  $I_{D-max}$  respectivement de 1420 mS/mm et 1040 mA/mm pour un transistor à recess symétrique ( $L_{RS} = L_{RD} \approx 70$  nm) et  $L_g = 75$  nm (**figure III.5**).



**Figure III.5-** Comparaison des caractéristiques de transfert en fonction du recess  $L_{RD}$  de l'échantillon 1

Nous constatons que plus la longueur  $L_{RD}$  augmente, plus la transconductance diminue. Le courant de sortie  $I_D$  a également la même évolution en fonction de la longueur du recess  $L_{RD}$ . Cet effet est dû principalement à une augmentation des résistances d'accès du transistor ( $R_S + R_D$ ) dans la zone du recess [78]. Del Alamo [78] et autres [126] [47] ont reporté que le recess asymétrique a un effet à la fois sur les grandeurs statiques ( $g_d$ ,  $I_D$  et  $g_m$ ) mais également sur les grandeurs dynamiques du transistor ( $C_{gs}$  et  $C_{gd}$ ).

Les caractéristiques de transfert obtenues avec l'échantillon « ech2 » pour une longueur de grille de 75 nm sont présentées dans la **figure III.6**. Une diminution de  $g_{m-max}$  et  $I_D$  est également observée lorsque  $L_{RD}$  augmente. De plus, on constate que pour un transistor de même topologie que l'échantillon « ech1 », à savoir  $L_{RS} = L_{RD} = 70$  nm, une augmentation du courant de (1300 mA/mm) et de la transconductance extrinsèque ( $g_{m-max} = 1800$  mS/mm) est obtenue sur l'échantillon « ech2 ». L'augmentation du courant  $I_D$  et de la transconductance s'explique par un double-plan de dopage plus élevé (P 4/3) entraînant une diminution des résistances d'accès  $R_S$  et  $R_D$ . En effet, l'échantillon « ech2 » possède une résistance  $R_{ON} = 300 \Omega \cdot \mu$ m contre  $R_{ON} = 470 \Omega \cdot \mu$ m pour l'échantillon « ech1 ». Sur les caractéristiques présentées sur la **figure III.6**, on observe également un problème de pincement des transistors. Ce problème vient d'un dysfonctionnement de plasma d'argon réalisé dans le bâti d'évaporation lors de l'évaporation de l'électrode de grille. Néanmoins, l'effet de l'extension du recess  $L_{RD}$  est bien présent sur l'évolution de la transconductance extrinsèque  $g_m$  et du courant  $I_D$ .



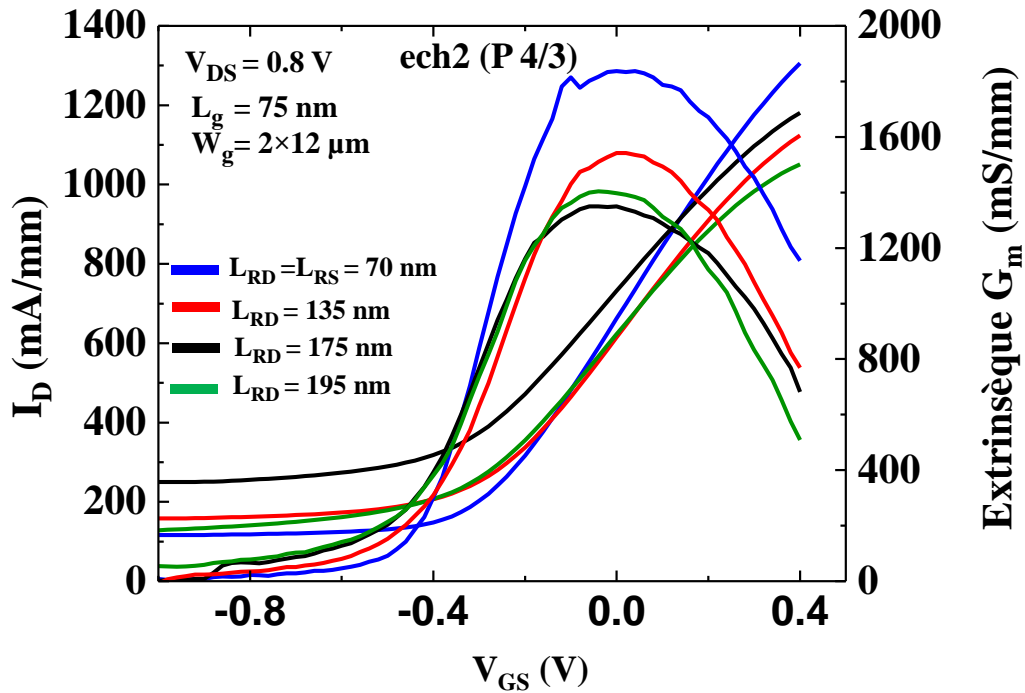


Figure III.6- Comparaison des caractéristiques de transfert en fonction du recess  $L_{RD}$  de l'échantillon 2

Les figures III.7 et III.8 montrent respectivement la comparaison des caractéristiques de transfert et de sortie pour des transistors de « ech3 » en fonction de longueur du recess  $L_{RD}$ . Les résultats présentés concernent la longueur de grille la plus faible obtenue sur cet échantillon, à savoir  $L_g = 65$  nm. Ces figures indiquent le même effet de l'extension du recess  $L_{RD}$  sur le courant  $I_D$  et la transconductance extrinsèque  $g_m$  observé sur les échantillons « ech1 » et « ech2 ». La transconductance est importante pour une structure symétrique ( $L_{RD} = L_{RS} \approx 50$  nm) avec  $g_{m-max} = 2150$  mS/mm, cette valeur diminue moins que pour les échantillons précédents avec l'extension de la longueur du recess  $L_{RD}$  jusqu'au 11% de dégradation pour une longueur  $L_{RD} = 220$  nm (figure III.7).

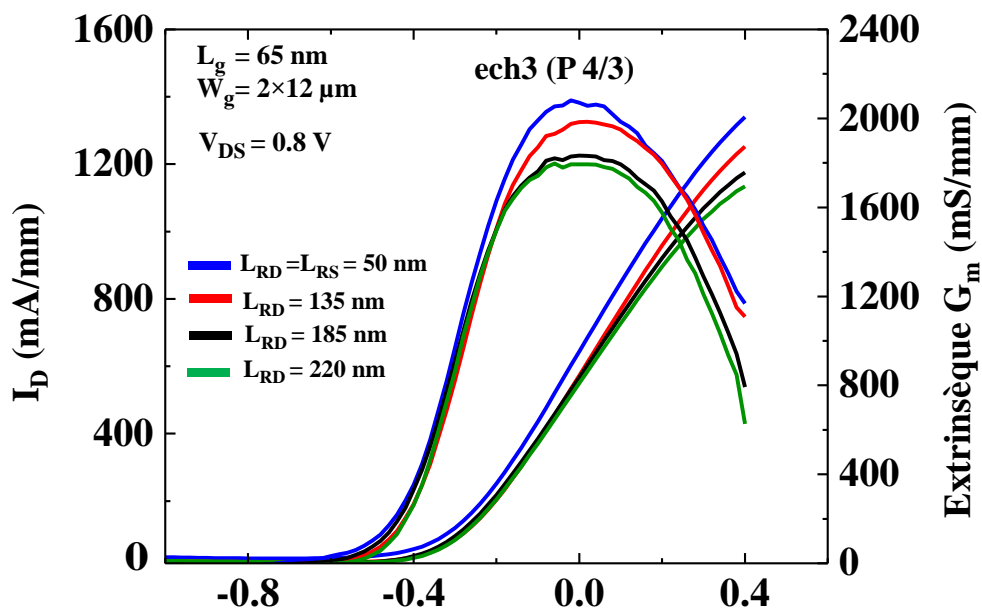


Figure III.7- Comparaison des caractéristiques de transfert en fonction du recess  $L_{RD}$  de l'échantillon 3

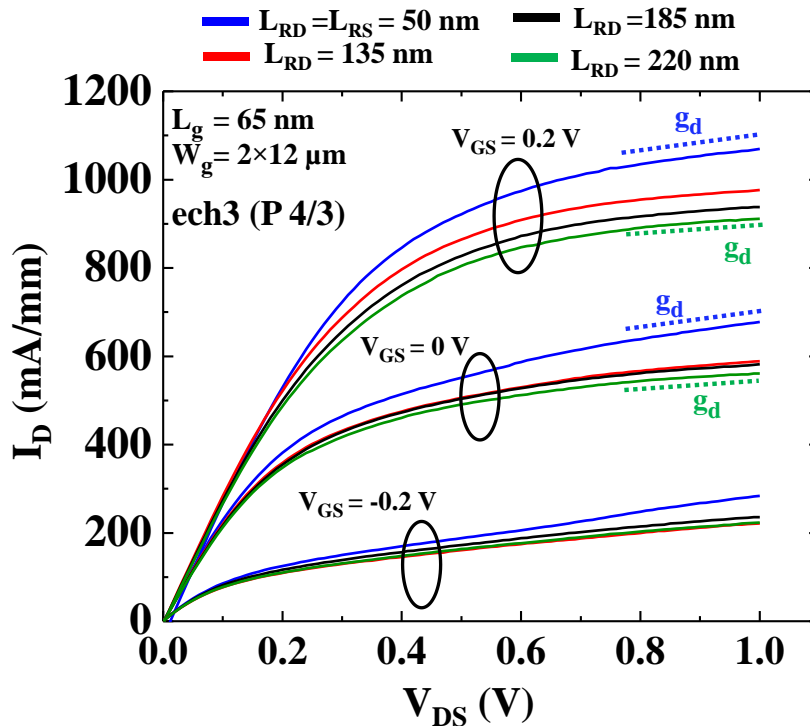


Figure III.8-Comparaison des caractéristiques de sorties en fonction de la longueur du recess  $L_{RD}$  de l'échantillon 3 avec (P4/3)

On constate toutefois une amélioration de la conductance de sortie  $g_d$  avec l'extension de  $L_{RD}$  (figure III.8). Cette conductance a été mesurée au même point de polarisation ( $V_{GS} = -0.2$  V) pour les composants respectivement symétriques ( $L_{RS} = L_{RD} = 50$  nm) et asymétriques ( $L_{RD} = 220$  nm). La conductance de sortie obtenue pour une structure asymétrique est de 136 mS/mm. Pour la structure symétrique, celle-ci vaut  $g_d = 210$  mS/mm. La forte diminution de la conductance de sortie pour la structure asymétrique est liée la réduction du champ électrique dans le canal [78].

En conclusion des mesures statiques, les optimisations apportées à la structure épitaxiale développée durant ses travaux de thèse ont permis d'avoir des résultats satisfaisants. Le double-plan de dopage face arrière et face avant assure un bon confinement d'électrons dans le gaz 2 DEG et améliore la densité de charge d'électrons dans le canal. Les études menées par Fujitsu [47] ont montré que l'utilisation d'un double plan de dopage permet d'améliorer la transconductance  $g_m$  et la conductance de sortie  $g_d$ . Par ailleurs, dans les travaux de N. Wichmann [71], le transistor est réalisé sur une structure de couche à simple plan de dopage avec une longueur de grille de 30 nm, la transconductance  $g_m$  obtenue est de 1800 mS/mm et le courant maximal  $I_D = 1050$  mA/mm. En utilisant un double-plan de dopage pour un transistor de  $L_g = 45$  nm avec le procédé 1 ( $L_{SD} = 1.5$   $\mu$ m), nous atteignons des valeurs de courant drain maximal et de la transconductance maximale respectivement  $I_D = 1670$  mA/mm et de  $g_m = 1900$  mS/mm.

Avec le procédé 2, une transconductance extrinsèque importante a été également obtenue supérieure à 2150 mS/mm par un transistor de longueur de grille  $L_g = 65$  nm. Par ailleurs, les conductances de sortie obtenues avec ce procédé ont pu être diminuées grâce à l'extension du

recess côté drain. Toutefois, cette amélioration du  $gd$  se fait au détriment de la transconductance et du courant drain.

## IV. Outils de caractérisations en régime dynamique

Nous présentons dans cette partie les résultats dynamiques obtenus sur nos transistors réalisés à partir de deux procédés de fabrication. L'objectif est donc de comparer les résultats de différentes architectures issues de ces deux procédés et de donner une conclusion sur l'intérêt de travailler avec des structures à recess asymétrique. L'extraction du schéma équivalent petit signal sera effectuée jusqu'à 110 GHz. Pour cela, un analyseur du réseau vectoriel (VNA) de type Rohde & Schwarz de bande de fréquences [250 MHz – 110 GHz] est nécessaire pour la mesure des paramètres S (**figure III.9**). Les mesures au-delà de 110 GHz seront décrites dans le quatrième chapitre. Afin d'assurer la concordance mesure-modèle, le logiciel ADS (Advanced Design System) sera utilisé pour valider l'ensemble des schémas équivalents extraits.

Le passage par des paramètres S représente un avantage important dans le traitement des mesures des dispositifs actifs, notamment les transistors. En effet, les grandeurs telles que les gains, les pertes et les éléments du transistor peuvent être exprimées en fonction de paramètres S.

Au cours de la mesure sous pointes RF, plusieurs erreurs doivent être ôtées du VNA afin de mesurer précisément les caractéristiques intrinsèques du transistor. De ce fait, deux étalonnages sont généralement utilisés pour corriger ces imperfections. Le premier étalonnage *Off-wafer*, utilisé pour corriger toutes les erreurs de VNA, des câbles, des transitions jusqu'aux pointes RF. Quant au deuxième, l'étalonnage *On-wafer* (de-embedding ou épiluchage) consiste à décaler le plan de référence situé aux accès coplanaires du transistor (plan 1 pointillés en rouge) vers un nouveau plan de référence de la partie (*sans-accès*) du transistor (plan 2 pointillés en vert) de la **figure III.9**.

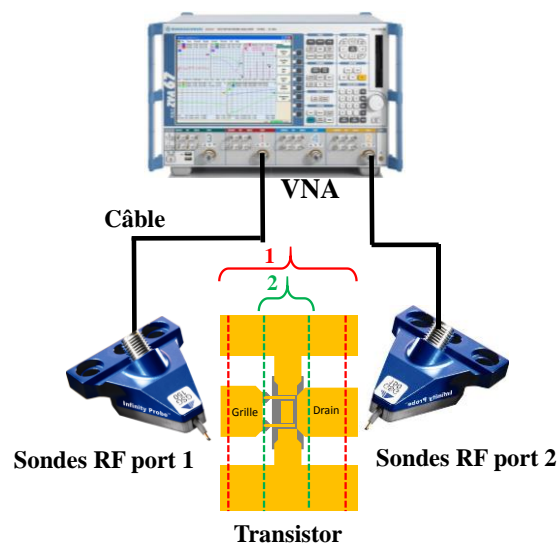


Figure III.9-Synoptique d'un banc de mesure de paramètres S [250 MHz – 110 GHz]

## IV.1. Étalonnage *Off-wafer*

L'étalonnage *Off-wafer* revient à déterminer et à corriger l'ensemble des erreurs entre le dispositif à mesurer et le VNA. Ces erreurs ont différentes origines et sont classées en trois catégories :

- Les erreurs systématiques (invariantes et reproductibles) qui peuvent être modélisées et corrigées.
- Les erreurs aléatoires difficiles à corriger proviennent de bruit de l'instrument
- Les erreurs de dérive proviennent généralement de l'environnement de mesure qui provoque un changement des performances du système de mesure, comme par exemple le changement de température ou l'humidité de la salle de mesure, un deuxième étalonnage peut corriger ces problèmes.

Il existe plusieurs méthodes d'étalonnage pour corriger les erreurs liées au système de mesure, chaque méthode utilise différents étalons et donc des précisions différentes. On trouve par exemple la méthode *SLOT* (*Short-Load-Open-Thru*), elle est basée sur un modèle à 12 termes d'erreur [127]. Cette méthode est sensible au posé des pointes sur les plots d'accès, sa dépendance aux étalons d'étalonnage représente un inconvénient majeur sur la précision de mesure. Par ailleurs, une autre méthode appelée *TRL* (*Thru-Reflect-Line*) ou encore méthode d'auto calibrage basée sur 8 termes d'erreur permet de pallier le problème de *SOLT* par la connaissance partielle des étalons [128]. Néanmoins, dans le cadre de nos travaux de thèse, nous avons utilisé la méthode *LRRM* (*Line-Reflect-Reflect-Load*) que l'IEMN adopte depuis plusieurs années. Son avantage repose sur l'utilisation d'un algorithme de compensation d'inductance de charge, cela permet d'éviter les erreurs liées au posé des sondes [129].

Une fois le système de mesure étalonné, nous pouvons finalement réaliser des mesures de paramètres S dans le plan des accès coplanaires du transistor (plan 1).

## IV.2. Étalonnage *On-wafer*

Après avoir effectué l'étalonnage du système de mesure *off-wafer* par la méthode *LRRM* (*Load-Reflect-Reflect-Match*), la deuxième étape de correction des mesures *On-wafer* est ensuite utilisée.

La procédure proposée par Koolen [130] consiste à extraire les accès coplanaires parasites à partir d'une mesure de paramètres S de transistor et d'étalon de type circuit ouvert et court-circuit que nous nommerons « Open » et « Short ». Ces étalons ont la même topologie d'accès coplanaires que les transistors. La **figure III.10** illustre la topologie de ligne copalanire utilisée pour le transistor et les étalons associés et les **figures III.11 et III.12** présentent la procédure d'épluchage des accès coplanaires d'un transistor par la méthode développée par Koolen.

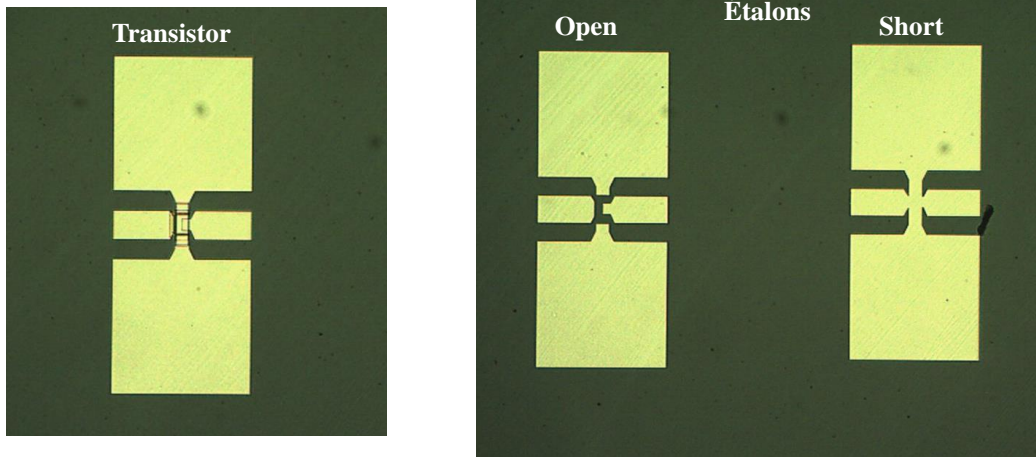


Figure III.10-Topologie de lignes coplanaires du transistor et les étalons d'épluchage associés de 50  $\mu\text{m}$  de pitch

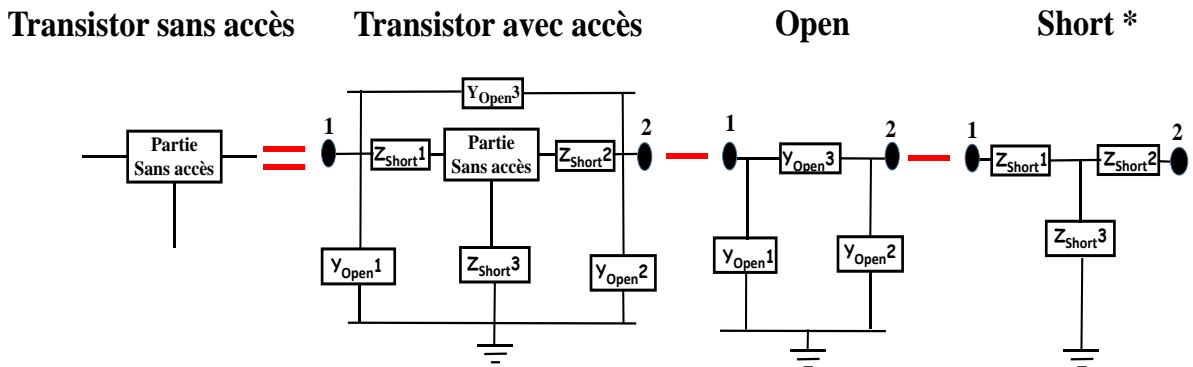


Figure III.11-Procédure d'épluchage des accès par la technique Open-Short

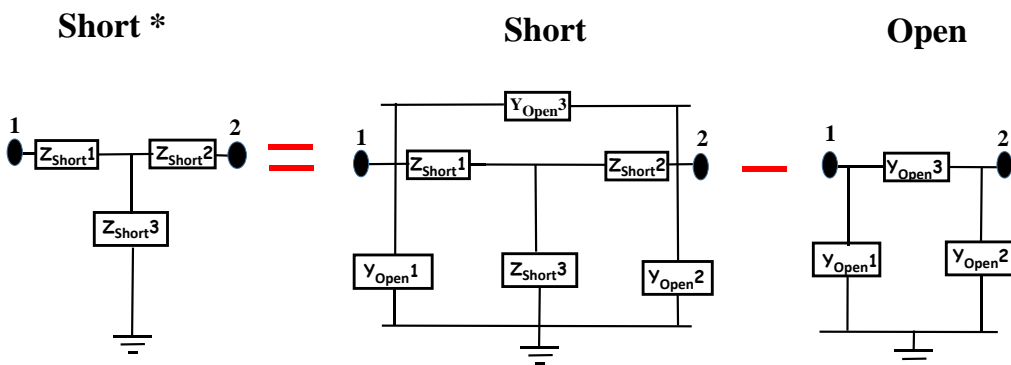


Figure III.12-Méthode de calcul de paramètres de Short\*

Pour atteindre la partie du transistor sans ses accès coplanaires et établir sa matrice  $Y_{\text{Sans-access}}$ , nous devons corriger les parasites en séries ( $Z_{\text{Short}}$ ) et en parallèles ( $Y_{\text{Open}}$ ) selon trois principales étapes :

- 1) On mesure les paramètres S des étalons  $Y_{\text{Open}}$  et  $Y_{\text{Short}}$ . Ensuite, on calcule les paramètres Y de Short\* [ $Y^*_{\text{Short}}$ ] (figure III.12) à partir de

$$[Y^*_{Short}] = [Y_{Short}] - [Y_{Open}] \quad \text{Eq-III.1}$$

Cette matrice Y  $[Y_{Short}^*]$  est transformée en matrice Z  $[Z^*_{Short}]$

- 2) On mesure les paramètres S de l'étalon Open qui sont transformés en paramètres Y  $[Y_{Open}]$  puis on le soustrait à la matrice avec accès du transistor  $[Y_{Avec\text{-}accès}]$ , ce qui conduit à la matrice Y du transistor sans Open  $[Y_{Sans\text{-}Open}]$  :

$$[Y_{Sans\text{-}Open}] = [Y_{Avec\text{-}accès}] - [Y_{Open}] \quad \text{Eq-III.2}$$

Ensuite on transforme les paramètres Y  $[Y_{Sans\text{-}Open}]$  en paramètres Z  $[Z_{Sans\text{-}Open}]$

- 3) Finalement les matrices  $[Z_{Sans\text{-}accès}]$  du transistor sans accès sont calculées :

$$[Z_{Sans\text{-}accès}] = [Z_{Sans\text{-}Open}] - [Z^*_{short}] \quad \text{Eq-III.3}$$

Les paramètres  $Y_{Sans\text{-}accès}$  du transistor sont transformés en paramètres S par la suite.

## V. Caractérisations dynamiques jusque 110 GHz.

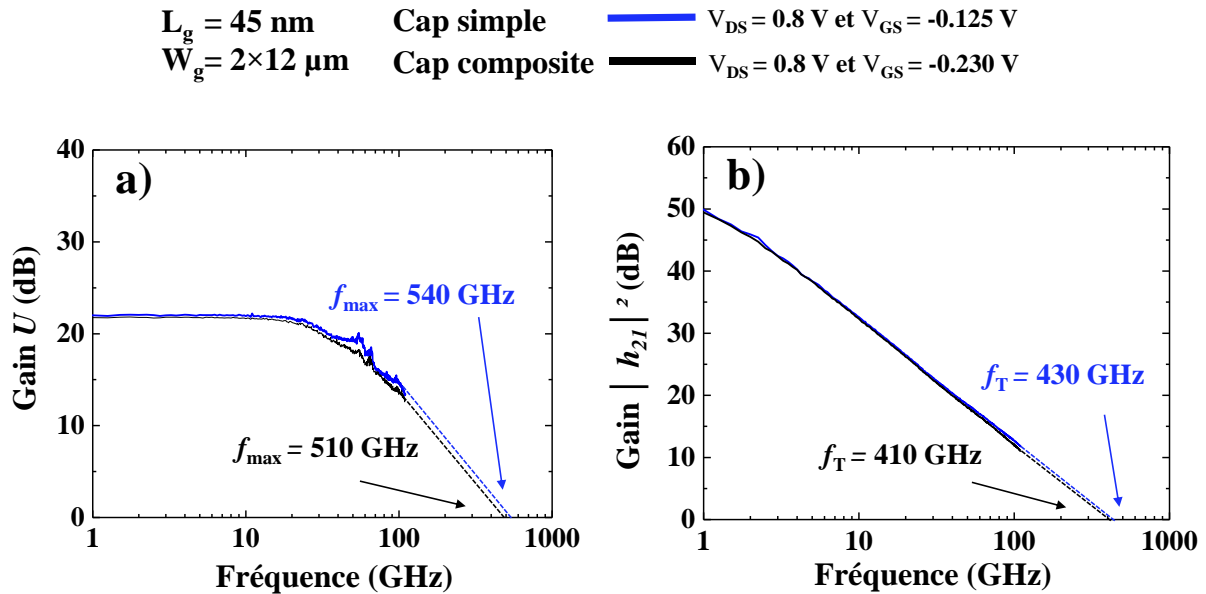
### V.1. Caractérisations dynamiques du procédé 1

Dans cette partie, nous présentons les mesures dynamiques des transistors du procédé 1, ces mesures ont été effectuées dans la bande de fréquence [250 MHz – 110 GHz]. Nous avons calculé les gains en courant  $|h_{21}|^2$  et le gain unilatéral de Mason  $U$  dont le but est d'extraire et de comparer les fréquences de transition  $f_T$  et  $f_{max}$  après les optimisations apportées aux structures épitaxiales retenues (**figure III.1**).

Avant de comparer les valeurs dynamiques, il est intéressant d'indiquer que certains éléments intrinsèques du schéma équivalent petit-signal, en l'occurrence  $\tau$ ,  $R_i$ ,  $R_{gd}$  et  $C_{ds}$  ont des incertitudes d'extraction. Leurs variations entraînent des résonances sur les caractéristiques des gains notamment  $|h_{21}|^2$ , T. Parenty [10] a étudié l'effet de  $C_{ds}$  et  $\tau$  sur l'évolution de gain  $U$  calculé, l'utilisation de différentes valeurs de ces deux éléments entraîne des résonances sur l'évolution de gain et donc sur le calcul de  $f_{max}$ . Lors de l'étude des schémas équivalents petit-signal des transistors, nous nous intéressons donc aux éléments les plus significatifs du composant intrinsèques ( $g_m$ ,  $g_d$ ,  $C_{gs}$   $C_{gd}$ ) et extrinsèques ( $R_s$  et  $R_d$ ) pour effectuer des comparaisons entre différentes topologies du transistor.

### V.1.1. Comparaison de la couche cap

Nous avons vu précédemment que le passage d'une couche cap simple à une couche composite entraînait une légère amélioration des résistances d'accès du transistor, la conductance de sortie  $g_d$  et du courant drain  $I_D$  en régime statique. La **figure III.13** reporte les fréquences de transition  $f_T$  et  $f_{max}$  obtenues pour deux transistors de couche cap simple et composite.



**Figure III.13-Evolution fréquentielle des gains ; a) gain unilatéral de Mason  $U$  et b) gain en courant  $|h_{21}|^2$  pour deux transistors de couche cap simple et composite**

Des fréquences maximales d'oscillations  $f_{max} = 540 \text{ GHz}$  et  $f_{max} = 510 \text{ GHz}$  ont été obtenues à partir d'une extrapolation en  $-20 \text{ dB/décade}$  des courbes de gains. Une légère différence ( $\sim 30 \text{ GHz}$ ) sur la fréquence  $f_{max}$  est constatée entre une couche cap simple et une couche cap composite. La même observation peut être faite sur la fréquence de transition du gain en courant  $f_T$ ; une légère augmentation ( $\sim 20 \text{ GHz}$ ) est obtenue avec l'utilisation d'un cap simple. Ces fréquences de transition sont les meilleures valeurs obtenues par le transistor le plus représentatif des deux échantillons  $L_g = 45 \text{ nm}$  et  $W_g = 2 \times 12 \text{ }\mu\text{m}$ . Étant donné que l'extrapolation en  $-20 \text{ dB/décade}$  engendre une certaine imprécision sur les valeurs des fréquences de coupure obtenues, nous pouvons conclure qu'aucune différence significative n'est visible sur les performances fréquentielles des transistors à cap simple ou composite.

Le **tableau III-2** reporte l'ensemble des éléments du schéma équivalent petit-signal extrait pour les deux structures étudiées dans la bande  $[250 \text{ MHz} - 110 \text{ GHz}]$  aux points de polarisation correspondant au maximum des gains obtenus à  $50 \text{ GHz}$ .

Tableau III-2. Éléments du schéma équivalent petit signal pour des transistors à cap simple et ( $L_g = 45$  nm et  $W_g = 2 \times 12 \mu\text{m}$ ). Extraction réalisée au point de polarisation indiqué sur la figure III.13

Type de cap	Extrinsèques								Intrinsèques							fuites		
	$R_g$	$R_d$	$R_s$	$L_g$	$L_d$	$L_s$	$C_{pg}$	$C_{pd}$	$C_{gs}$	$C_{gd}$	$C_{ds}$	$g_m$	$g_d$	$R_i$	$R_{gd}$	$T_{au}$	$g_{gdf}$	$g_{gf}$
simple	81	132	120	8	10	7	1	2	529	233	291	2700	324	2.3	9	- 0.6	13	60
composite	81	115	117	8	8	8	1	2	462	225	291	2462	250	2	18	- 0.5	25	65
Unités	$\Omega/\text{mm}$	$\Omega \cdot \mu\text{m}$		pH		fF		fF/mm			mS/mm		$\Omega$	ps	$\mu\text{S}$			

Les valeurs des résistances du contact  $R_s$  et  $R_d$  en dynamique ( $R_s + R_d \sim 252 \Omega \cdot \mu\text{m}$ ) et ( $R_s + R_d \sim 232 \Omega \cdot \mu\text{m}$ ) sont proches de celles déduites de la caractéristique statique ( $R_{ON} = 265 \Omega \cdot \mu\text{m}$ ) et ( $R_{ON} = 259 \Omega \cdot \mu\text{m}$ ) respectivement pour une structure de couche cap simple et composite. On constate également que la transconductance intrinsèque est meilleure pour une structure à cap simple (2700 mS/mm). Cependant la valeur de la conductance de sortie intrinsèque est plus élevée (324 mS/mm). Le calcul du rapport  $g_m/g_d$  de ces deux structures indique un meilleur rapport pour la structure à cap composite (9.85) que pour la structure à cap simple (8.34). Concernant les capacités intrinsèques, on constate une plus forte valeur de  $C_{gs}$  pour une structure à cap simple (529 fF/mm). Néanmoins, la capacité  $C_{gd}$  est également plus élevée (233 fF/mm). Ainsi le calcul du rapport  $C_{gs}/C_{gd}$  montre une valeur plus élevée pour une structure cap simple (2.27) comparée à la structure cap composite (2.05).

Ces deux rapports présentés précédemment sont des facteurs de mérite pour obtenir des performances fréquentielles les plus importantes. On observe que le rapport  $g_m/g_d$  est meilleur pour un cap composite. En revanche, le rapport  $C_{gs}/C_{gd}$  est plus élevé pour un cap simple. C'est pourquoi nous observons peu de différence sur les fréquences de coupures de ces deux structures.

À partir de ces schémas équivalents extraits, nous avons procédé une retro-simulation sous ADS pour le transistor à couche cap simple. Les résultats étant similaires pour les transistors à couche cap composite. La **figure III.14** illustre l'évolution des paramètres S issus de la mesure et calculés à partir du schéma équivalent petit signal en fonction de la fréquence pour un transistor à couche cap simple ( $L_g = 45$  nm et  $W_g = 2 \times 12 \mu\text{m}$ ). La **figure III.15** représente l'évolution des gains expérimentaux et ceux issus du modèle.



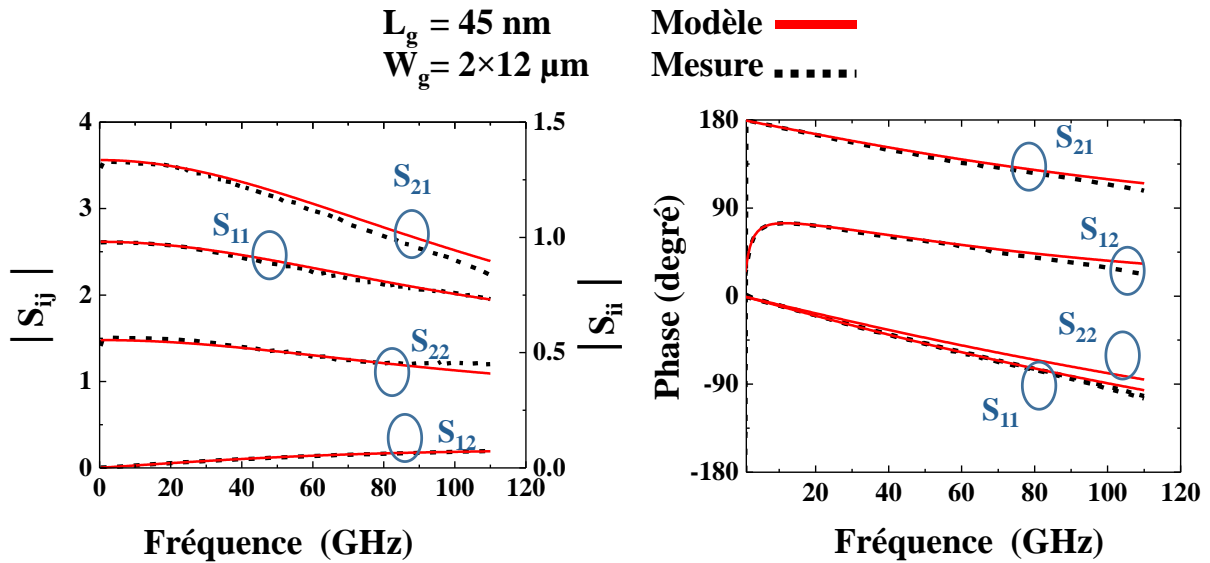


Figure III.14-Comparaison des paramètres S mesurés et modélisés sous ADS pour le transistor à couche cap simple

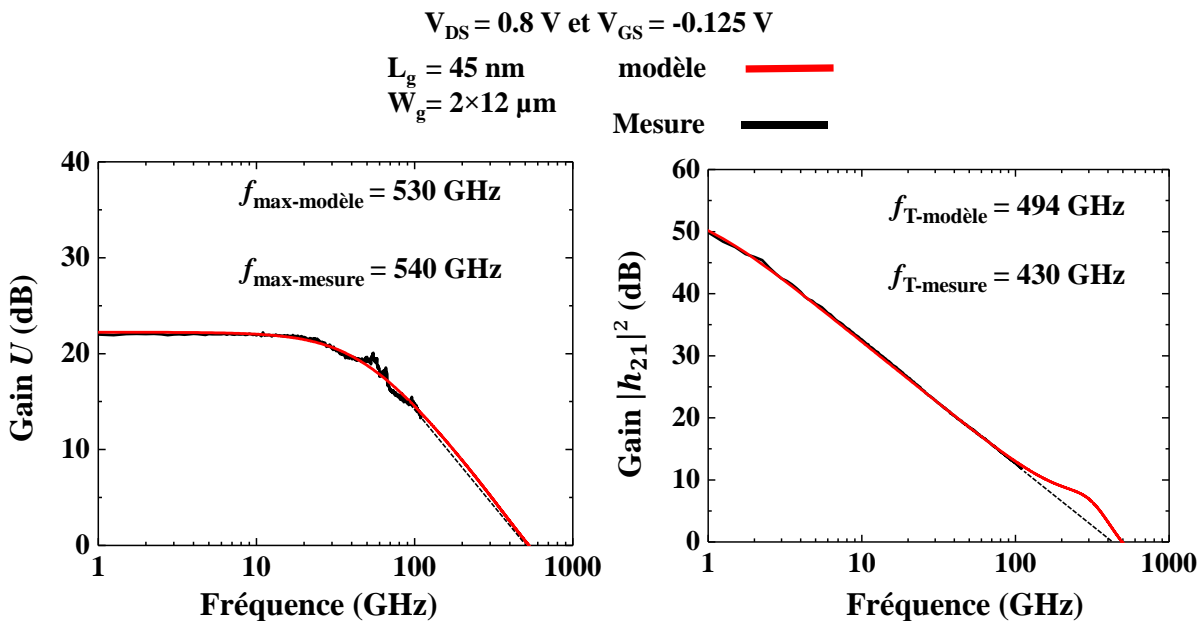


Figure III.15-Évolution fréquentielle des gains  $U$  et  $|h_{21}|^2$  mesurés et modélisés sous ADS pour le transistor à couche cap simple

Une concordance des paramètres S est visible jusqu'à 110 GHz pour l'ensemble des paramètres S en module et phase (**figure III.14**). Une légère dispersion en fin de bande est remarquée pour le module de  $S_{21}$  et  $S_{22}$ . Concernant les gains, nous pouvons constater une parfaite cohérence du gain  $U$  sur toute la bande fréquence entre les mesures et le modèle. Pour le gain  $|h_{21}|^2$ , on constate également que le modèle reste cohérent avec les mesures jusqu'à la fréquence 100 GHz.

Les fréquences de transition calculées sont  $f_{max\text{-modèle}} = 530$  GHz et  $f_{T\text{-modèle}} = 490$  GHz (**figure III.15**), qui sont proches de celles extrapolées de la mesure ( $f_{max\text{-mesure}} = 540$  GHz et  $f_{T\text{-mesure}} = 430$  GHz). On peut donc estimer que le schéma équivalent petit signal est fiable et validé dans cette bande de fréquence.

### V.1.2. Impact de l'espacement drain-source $L_{SD}$

Dans cette partie, nous avons extrait le schéma équivalent pour deux transistors réalisés sur la structure épitaxiale de la couche cap composite. Ces deux composants possèdent une longueur de grille  $L_g = 60$  nm et un développement total  $W_g = 2 \times 15$   $\mu\text{m}$ . La différence entre ces deux transistors est la longueur  $L_{SD}$  (1.5 $\mu\text{m}$  et 1 $\mu\text{m}$ ). Dans le **tableau III.3**, nous présentons les valeurs des éléments les plus significatives du schéma équivalent et les fréquences de transitions obtenues. Ces schémas équivalents ont été extraits pour un point de polarisation correspondant au maximum des gains.

**Tableau III-3. Schéma équivalent petit-signal pour deux transistors de  $L_{SD} = 1.5\mu\text{m}$  et 1 $\mu\text{m}$**

Longueur $L_{SD}$	Extrinsèques		Intrinsèques				Rapport		Fréquences de transition	
	$R_d$	$R_s$	$C_{gs}$	$C_{gd}$	$g_m$	$g_d$	$g_m / g_d$	$C_{gs} / C_{gd}$	$f_{max\text{-mesure}}$	$f_{T\text{-mesure}}$
<b>1.5 <math>\mu\text{m}</math></b>	114	120	577	236	2330	252	9.2	2.4	400	368
<b>1<math>\mu\text{m}</math></b>	108	105	593	216	2390	210	11.4	2.7	460	385
<b>Unités</b>	$\Omega \cdot \mu\text{m}$		fF/mm		mS/mm		-		GHz	

La comparaison des éléments du schéma équivalent montre que la réduction de longueur  $L_{SD}$  permet de minimiser les résistances d'accès  $R_s$  et  $R_D$ . La conductance de sortie  $g_d$  est également minimisée de 17% et les rapports  $g_m/g_d$  et  $C_{gs}/C_{gd}$  sont améliorées dans le cas d'une longueur  $L_{SD}$  plus petite. Une amélioration de la fréquence maximale d'oscillation (+60 GHz) avec une longueur de  $L_{SD} = 1$   $\mu\text{m}$  est donc obtenue.

### V.1.3. Impact de longueur de grille $L_g$

Les performances des transistors du procédé 1 (couche cap composite et  $L_{SD} = 1.5\mu\text{m}$ ) en fonction de la longueur de grille  $L_g$  sont illustrées dans la **figure III.16**. Plus la longueur de grille est faible plus les fréquences  $f_T$  et  $f_{max}$  sont importantes (**figure III.16-a**). Entre les longueurs de grille  $L_g = 40$  nm et  $L_g = 200$  nm, la fréquence  $f_{max}$  augmente de 35% et la fréquence  $f_T$  de 60%, ceci est dû à la réduction de la longueur de grille. Toutefois, on peut constater que le  $f_{max}$  augmente moins que le  $f_T$  pour les faibles valeurs de  $L_g$ . Cette tendance s'accompagne d'une très forte augmentation de la conductance de sortie  $g_d$  (**figure III.16-b**). En effet,  $g_d$  est égale à 76 mS/mm pour  $L_g = 200$  nm et atteint une valeur de 244 mS/mm pour les faibles valeurs de  $L_g$ . Cette forte augmentation est liée aux effets de canal court et limite la progression de  $f_{max}$ . On peut donc s'interroger sur la pertinence d'une utilisation de transistors à longueur de grille sub-50 nm pour l'obtention de  $f_{max}$  importants.

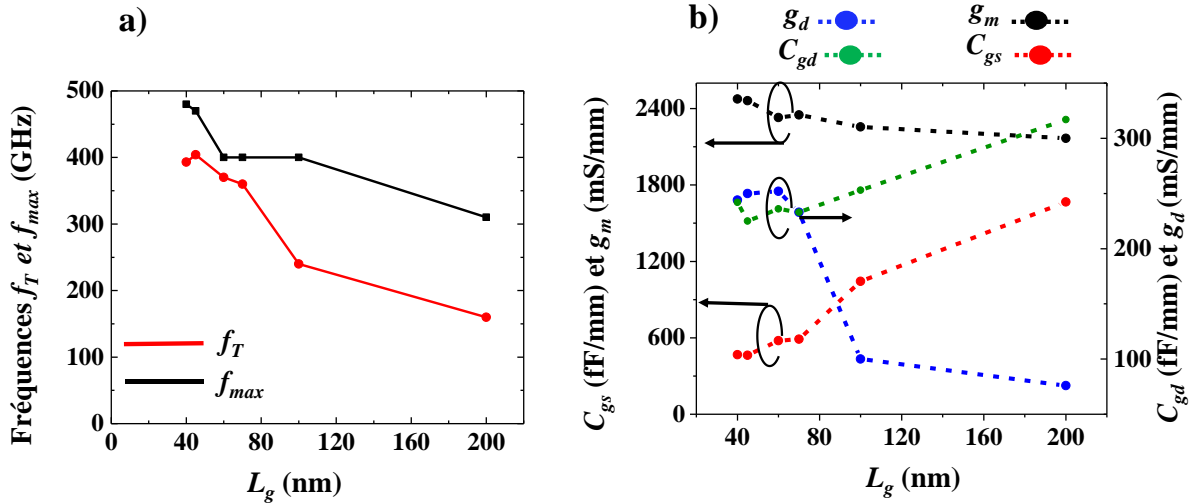


Figure III.16-Impact de longueur de grille  $L_g$  sur les performances du transistor

#### V.1.4. Conclusion sur le procédé 1

Dans ce premier procédé, nous avons présenté les résultats dynamiques obtenus par les deux structures retenues (**figure III.1-a et b**). Les optimisations technologiques (cap composite, double-plan de dopage, canal composite et réduction de longueur de grille) ont permis d'atteindre une fréquence maximale  $f_{max} = 540$  GHz (associée à un  $f_T = 440$  GHz). Cette fréquence est la meilleure fréquence obtenue parmi plusieurs transistors mesurés sur deux structures HEMTs réalisées. La **figure III.17** présente un récapitulatif des fréquences  $f_T/f_{max}$  mesurées sur ces deux échantillons. Un nombre important de transistors ont des fréquences  $f_{max}$  qui varient entre 400 GHz – 500 GHz et un  $f_T$  entre 350 GHz – 450 GHz quelle que soit la topologie de la structure adoptée. Toutefois, le THz n'est pas atteint avec cette topologie de transistor. La réduction de la longueur de grille s'avère insuffisante, les effets de canal court s'avérant un élément limitatif sur la valeur du  $f_{max}$  compte tenu de la forte augmentation de la conductance de sortie.

Il est donc important d'explorer d'autres techniques permettant de franchir la barrière des 500 GHz et d'atteindre le THz.

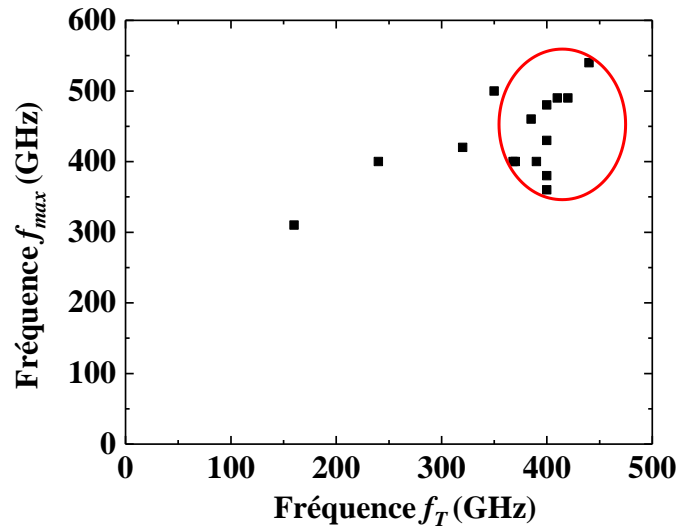


Figure III.17-Recapitulatif du couple  $f_T/f_{max}$  obtenues sur des composants du premier procédé

## V.2. Caractérisations dynamiques du procédé 2

Afin d'augmenter la fréquence maximale  $f_{max}$ , nous avons décidé d'explorer une nouvelle topologie à recess asymétrique. L'effet de la longueur du recess côté drain  $L_{RD}$  sur les performances du composant a été étudié, notamment sur les fréquences de transition  $f_T$  et  $f_{max}$  ainsi que sur les rapports  $C_{gs}/C_{gd}$  et  $g_m/g_d$ . Les valeurs de  $L_{RD}$  sont : 70, 135, 175 et 195 nm et le recess côté source est fixé à 70 nm pour respectivement « ech1 (P 3/2) » et « ech2 (P 4/3) ». Les longueurs  $L_{RD}$  pour « ech3 (P (4/3)) » sont : 50, 135, 185, et 220 nm et le recess côté source est fixé à 50 nm.

Nous avons tracé les gains du transistor à partir de paramètres  $S$  mesurés en fonction de la longueur  $L_{RD}$ . Les **figures III.18 à 20** présentent les gains ( $U$  et  $|h_{21}|^2$ ) des trois échantillons (« ech1 », « ech2 » et « ech3 »). Nous rappelons que les échantillons « ech1 » et « ech2 » ont des longueurs de grille de 75 nm, tandis que « ech3 » a des longueurs de grille de 65 nm. Sur les trois échantillons, nous pouvons remarquer que l'extension de longueur  $L_{RD}$  a un effet bénéfique sur le gain  $U$ . Cependant, cet accroissement de  $L_{RD}$  dégrade le gain en courant  $|h_{21}|^2$ . Cette extension, favorise ainsi significativement la fréquence maximale d'oscillation  $f_{max}$  de 520 GHz jusqu'au environ 920 GHz comme illustré sur la **figure. III. 18 a**. Ceci est dû à une amélioration des ratios des éléments intrinsèques du transistor  $C_{gs}/C_{gd}$  et  $g_m/g_d$ .

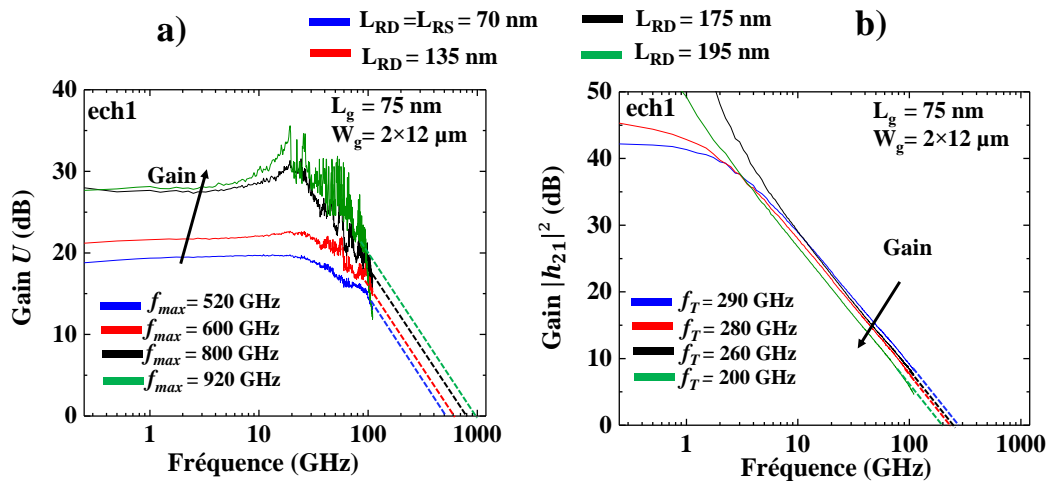


Figure III.18-Évolution fréquentielle des Gains mesurés de « l'ech1 » en fonction de  $L_{RD}$  pour des transistors de  $L_g = 75$  nm et  $W_g = 2 \times 12 \mu\text{m}$

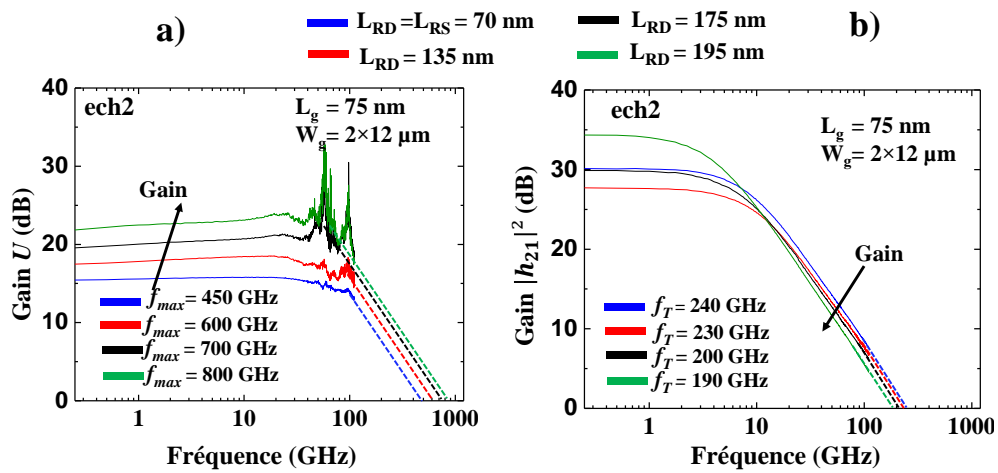


Figure III.19- Évolution fréquentielle des Gains mesurés de « l'ech2 » en fonction de  $L_{RD}$  pour des transistors de  $L_g = 75$  nm et  $W_g = 2 \times 12 \mu\text{m}$

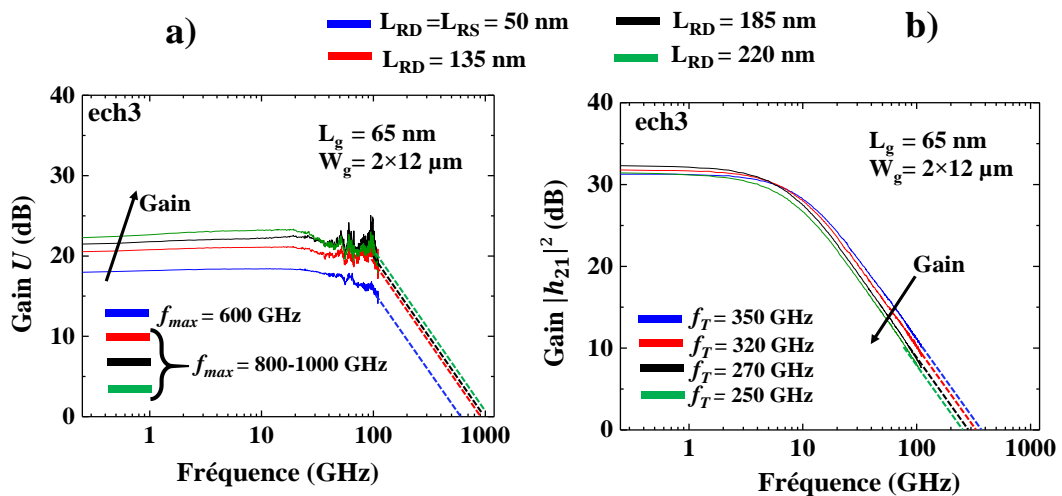


Figure III.20- Évolution fréquentielle des Gains mesurés de « l'ech3 » en fonction de  $L_{RD}$  pour des transistors de  $L_g = 65$  nm et  $W_g = 2 \times 12 \mu\text{m}$

Les échantillons « ech2 » et « ech3 » présentent le même effet de longueur  $L_{RD}$  sur les caractéristiques fréquentielles  $f_{max}$  et  $f_T$ . Cependant, les allures des caractéristiques de mesures du gain  $U$  de « ech2 » sont marquées par des fluctuations (résonances) qui influencent l'extrapolation en 20dB/décade de la caractéristique de gain  $U$ . Par conséquent l'extrapolation de ces caractéristiques en -20 dB/décade est délicate, comme par exemple sur la **figure III.19-a**, la fréquence maximale  $f_{max}$  pour des longueurs  $L_{RD}$  175 nm et 195 nm peut être estimée entre 700 – 900 GHz. En outre, les allures des courbes de gain  $U$  sont de plus en plus bruitées par l'extension de longueur  $L_{RD}$  et l'augmentation de gain du transistor.

Les fréquences extrapolées des transistors de longueur de grille 65 nm de l'échantillon optimisé « ech3 » (**figure III.20**) sont importantes. La topologie symétrique a une fréquence  $f_{max}$  d'environ 600 GHz et  $f_T = 350$  GHz, la topologie asymétrique, quant à elle permet d'améliorer cette fréquence à environ 1THz avec des recess de longueurs  $L_{RS} = 50$  nm et  $L_{RD} = 220$  nm. Cependant, les allures des gains de cet échantillon « ech3 » ne décroissent pas parfaitement en -20 dB/décade comparées à celles de « ech1 » (**figure III.18-a**).

Afin d'éviter en évidence une fausse interprétation des caractéristiques des gains  $U$  et les fréquences maximales d'oscillations extrapolées, nous ne nous intéresserons qu'à l'étude des transistors de l'échantillon « ech1 » pour la suite de ce chapitre.

Pour comprendre l'effet du recess sur les caractéristiques du transistor, nous avons extrait le schéma équivalent petit signal de chaque transistor de « ech1 ». Le **tableau III-4** et la **figure III.21** résument les éléments intrinsèques et extrinsèques les plus significatifs du transistor. La conductance de sortie  $g_d$  et la capacité  $C_{gd}$  sont les deux grandeurs les plus impactées par l'extension de longueur  $L_{RD}$  [20]. Le passage d'une topologie symétrique ( $L_{RS} = L_{RD} = 70$  nm) à une asymétrique ( $L_{RS} = 70$  nm et  $L_{RD} = 195$  nm) a permis d'une part, de minimiser la conductance  $g_d$  de 60 % et la capacité  $C_{gd}$  de 32%. D'autre part, la capacité  $C_{gs}$  a augmentée de 26 % par un couplage important entre les électrodes de grille et de source [80]. Par ailleurs, la transconductance  $g_m$  a une légère dégradation de 10%. Par conséquent, les rapports  $g_m / g_d$  et  $C_{gs} / C_{gd}$  ont une amélioration importante jusqu'à plus de deux fois leurs valeurs initiales. On obtient ainsi pour  $L_{RD} = 195$  nm, un excellent rapport  $g_m / g_d = 27.4$  et un rapport  $C_{gs} / C_{gd} = 8$ .

**Tableau III-4. Paramètres du schéma équivalent petit signal et fréquences de transition des composants de « ech1 » en fonction de longueur  $L_{RD}$**

Longueur $L_{SD}$ (nm)	Extrinsèques		Intrinsèques				Ratio		Fréquences de transition	
	$R_d$	$R_s$	$C_{gs}$	$C_{gd}$	$g_m$	$g_d$	$g_m / g_d$	$C_{gs} / C_{gd}$	$f_{max-mesure}$	$f_T-mesure$
<b>70</b>	206	189	708	166	1895	158	12	4.3	520	290
<b>135</b>	220	189	774	158	1770	133	13.3	4.9	595	280
<b>175</b>	242	187	838	116	1812	75	24.1	7.2	800	260
<b>195</b>	249	189	895	112	1700	62	27.4	8	920	200
<b>Unités</b>	$\Omega \cdot \mu m$		fF/mm		mS/mm		--		GHz	

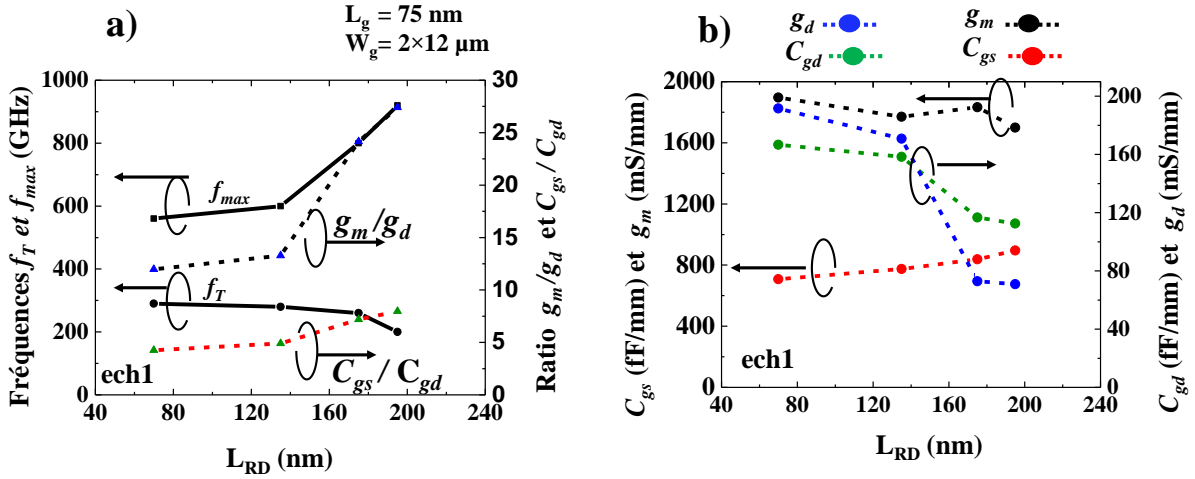


Figure III.21-Evolution de paramètres du schéma équivalent petit signal et fréquences  $f_{max}$  des composants de « ech1 » en fonction de longueur  $L_{RD}$

## VI. Méthodes et modèles de caractérisations de bruit du transistor HEMT

### VI.1. Origines du bruit dans un HEMT

Le bruit est un ensemble de variations parasites et aléatoires qui a pour effet de dégrader les performances d'un système électronique, en particulier dans les récepteurs. Lors du passage d'un signal au travers d'un quadripôle, on observe sur un quadripôle bruyant, la dégradation du ratio signal sur bruit entre l'entrée et la sortie. On peut définir ce rapport comme étant le facteur de bruit ( $NF$  Noise Figure) par :

$$NF = \frac{S_{In}}{B_{In}} / \frac{S_{Out}}{B_{Out}} \quad \text{Eq-III.4}$$

Où  $S_{in}$ ,  $S_{out}$ ,  $B_{in}$  et  $B_{out}$  sont respectivement les puissances disponibles des signaux à l'entrée et en sortie du quadripôle, et les puissances disponibles de bruit en entrée et en sortie. S'agissant d'une dégradation du rapport signal à bruit, ce rapport est toujours supérieur ou égal à 1 (0 dB). Un quadripôle non bruyant présentera un  $NF = 1$ . Par définition, le facteur de bruit  $NF$  est déterminé pour une température de bruit à l'entrée  $T_0 = 290K$  et donc une puissance de bruit :

$$B_{in} = kT_0\Delta f$$

Où  $k$  est la constante de Boltzmann et  $\Delta f$  la bande passante.

Dans un LNA, la principale origine de la dégradation de  $NF$  provient des sources de bruit associées au transistor utilisé, entre autres dans notre cas, le HEMT. Dans le HEMT, on trouve différentes sources de bruit :

**Le bruit thermique :** C'est le bruit Johnson ou bruit de Johnson-Nyquist que l'on trouve dans une résistance ou dans un barreau semiconducteur à l'équilibre thermodynamique. Il est

lié à l'agitation thermique des porteurs qui provoque une fluctuation quadratique moyenne de la vitesse des électrons non nulle. Plus la valeur de la résistance est élevée plus le bruit généré devient important. On retrouve ce bruit associé aux résistances d'accès du transistor.

Dans une bande de fréquence  $\Delta f$ , une résistance  $R$  à la température  $T$  se comporte comme un générateur de tension dont la valeur quadratique moyenne vaut :

$$\overline{v^2} = 4. K. T. R. \Delta f \quad \text{Eq- III.6}$$

Sa densité spectrale de bruit est donnée par l'équation suivante

$$\delta f = \frac{\overline{v^2}}{\Delta f} = 4. K. T. R \quad \text{Eq- III.7}$$

**Le bruit de diffusion :** c'est un bruit qui a la même origine que le bruit thermique mais on est hors équilibre thermodynamique. Dans un semiconducteur, les porteurs subissent des collisions, ce qui induit un déplacement aléatoire. On a alors une source très importante de bruit, qui est la principale source en hyperfréquence. Cette source de bruit dépend du coefficient de diffusion des porteurs dans le semiconducteur.

**Le bruit de grenaille (Shot noise) :** Le bruit de grenaille provient de la nature corpusculaire du courant. On le retrouvera dans un tube à vide ou une zone de charge d'espace entre deux conducteurs. Les électrons sont émis aléatoirement par une électrode, la cathode, et recueillis par la seconde (l'anode) sans subir d'interaction. En effet, l'instant d'émission des électrons allant d'une électrode à une autre est aléatoire. Ainsi, l'arrivée des électrons au niveau de l'anode ne sera pas continue mais présentera les mêmes fluctuations que l'émission. Dans un HEMT, on retrouve cette source de bruit au niveau du contact Schottky de grille

La densité spectrale de ce bruit engendré par le courant statique dans la grille d'un HEMT est donnée par l'expression suivante :

$$\delta I = 2. q. I \quad \text{Eq-III.8}$$

**Le bruit de génération-recombinaison (GR)** qui correspond aux piègeages-dépiégeages des charges, induisant une fluctuation du nombre de charges.

**Le bruit en 1/f (ou de scintillement ou "Flicker noise"),** qui est la signature de défaut dans le composant (fluctuation de mobilité, effets de surface...). Ces deux sources de bruit ont une forte dépendance fréquentielle et sont négligeables aux hautes fréquences. Dans notre étude hyperfréquence, nous ne considérerons pas ces deux sources.

### VI.1.1. Bruit d'un quadripôle

La caractérisation en bruit d'un quadripôle revient à exprimer la dégradation d'un signal au travers de celui-ci. Comme indiqué précédemment dans l'équation **Eq-III.4**, le facteur de bruit  $NF$  est le rapport signal sur bruit en entrée sur le rapport signal sur bruit en sortie. Les signaux utiles et de bruit sont exprimés en puissance disponible. Ce facteur de bruit est défini pour une source de bruit  $B_{in}$  d'admittance  $Y_s$  (ou de coefficient de réflexion  $\Gamma_s$ ) portée à une température  $T_0 = 290K$  (**figure III.22**)



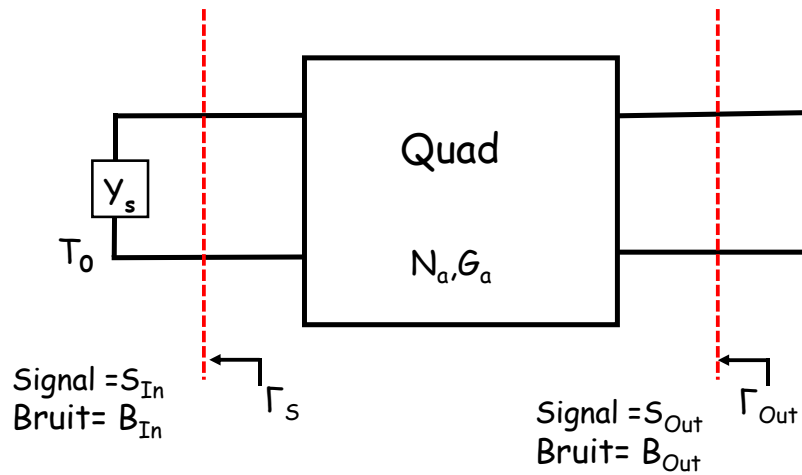


Figure III.22-Description de bruit dans un quadripôle

Le gain disponible du quadripôle est défini selon l'expression **Eq-III.9**.

$$\frac{S_{Out}}{S_{In}} = G_a \quad \text{Eq-III.9}$$

En sortie du quadripôle, on retrouve le signal  $B_{in}$  amplifié selon  $G_a$  auquel s'ajoute une puissance de bruit  $N_a$  qui provient du quadripôle bruyant. On obtient en sortie la puissance de bruit  $B_{out}$ .

$$B_{Out} = B_{In} \cdot G_a + N_a \quad \text{Eq-III.10}$$

Ainsi le facteur de bruit  $NF$  s'exprime selon cette expression :

$$\begin{cases} NF = 1 + \frac{N_a}{G_a \cdot B_{In}} \geq 1 & \text{En linéaire} \\ NF_{dB} = 10 \cdot \log(NF) \geq 0 & \text{En dB} \end{cases} \quad \begin{matrix} \text{Eq-III.11} \\ \text{Eq-III.12} \end{matrix}$$

Le facteur de bruit dépend de l'admittance du générateur  $Y_s$  (ou du coefficient de réflexion  $\Gamma_s$ )  
On peut exprimer le facteur de bruit en fonction de l'admittance du générateur

$$NF = NF_{min} + \frac{4 \cdot R_n}{Z_0} \cdot \frac{|\Gamma_{opt} - \Gamma_s|^2}{|1 + \Gamma_{opt}|^2 (1 - |\Gamma_s|^2)} \quad \text{Eq-III.13}$$

$$NF = NF_{min} + \frac{R_n |Y_{opt} - Y_s|^2}{G_s} \quad \text{Eq-III.14}$$

Avec :

$NF_{min}$  : facteur de bruit minimum, quand  $\Gamma_s = \Gamma_{opt}$

$R_n$  : résistance équivalente de bruit

$\Gamma_S$  : facteur de réflexion du générateur

$\Gamma_{Opt}$  : facteur de réflexion optimal du générateur ( $\Gamma_{Opt} = G_{Opt} + jB_{Opt}$ )

$Y_S$  : admittance du générateur

$Y_{Opt}$  : admittance optimale du générateur pour obtenir  $NF_{min}$

$G_S$  : conductance du générateur.

Le gain disponible dépend aussi de l'impédance de source d'où les définitions des gains associés et disponibles du transistor :

$$G_{av} = \frac{(1 - |\Gamma_S|^2) |S_{21}|^2}{|1 - \Gamma_S \cdot S_{11}|^2 (1 - |\Gamma_{Out}|^2)} \quad \text{Eq-III.15}$$

Lorsque  $\Gamma_S = \Gamma_{Opt}$ , la valeur du facteur de bruit est minimale et est égale à  $NF_{min}$ . On déduit le gain en puissance disponible associé (adapté en bruit à l'entrée et en puissance à la sortie) par l'équation suivante :

$$G_{ass} = \frac{(1 - |\Gamma_{Opt}|^2) |S_{21}|^2}{|1 - \Gamma_{Opt} \cdot S_{11}|^2 (1 - |\Gamma_{Out}|^2)} \quad \text{Eq-III.16}$$

Avec  $\Gamma_{Out}$  : Facteur de réflexion en sortie du quadripôle

$$\Gamma_{Out} = S_{22} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_{Opt}}{1 - \Gamma_{Opt} \cdot S_{11}} \quad \text{Eq-III.17}$$

## VI.1.2. Modèles de bruit de HEMT et méthodes de mesure

Comme indiqué précédemment, le facteur de bruit  $NF$  dépend de 4 paramètres. Plusieurs méthodes permettent de déterminer ces quatre paramètres. La méthode multi impédances [131] est basée sur un système à quatre équations à quatre inconnus. Plusieurs impédances de générateur sont présentées à l'entrée du quadripôle, à l'aide d'un tuner. On détermine les quatre paramètres de bruit par la méthode des moindres carrés.

Une autre méthode est basée sur l'utilisation de modèles électriques de bruit. Le premier modèle est le modèle à trois paramètres PRC de Van Der Ziel [132]. Ce modèle est basé sur deux sources de bruit en courant  $\bar{i}_g^2$  à l'entrée et  $\bar{i}_d^2$  à la sortie et un schéma équivalent intrinsèque comme schématisé **figure III.23**.

$$\bar{i}_d^2 = 4 \cdot K \cdot T_{amb} \cdot \mathbf{P} \cdot G_m \cdot \Delta f \quad \text{Eq-III.18}$$

$$\bar{i}_g^2 = 4 \cdot K \cdot T_{amb} \cdot \mathbf{R} \cdot \frac{C_{gs}^2 \cdot \omega^2}{G_m} \cdot \Delta f \quad \text{Eq-III.19}$$

$$\text{Avec } \frac{\overline{i_g \cdot i_d^*}}{\sqrt{\bar{i}_g^2 \cdot \bar{i}_d^2}} = j\mathbf{C} \quad \text{Eq-III.20}$$

Ce modèle est basé sur 3 paramètres. Deux paramètres P et R associés aux sources de bruit en courant et C un coefficient de corrélation. Ce dernier est un complexe purement imaginaire, qui traduit le couplage entre le bruit de diffusion du canal conducteur et l'électrode de grille via la capacité de grille.

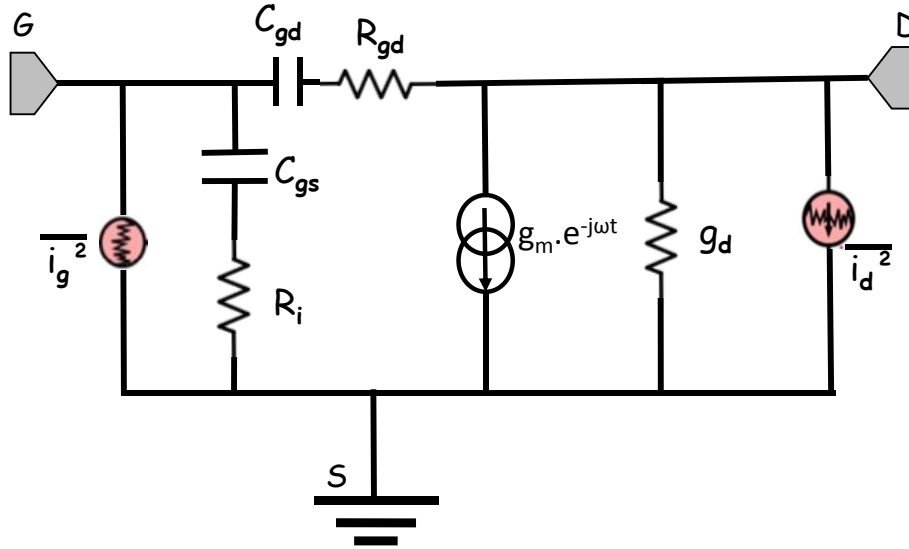


Figure III.23-Modèle bruit de type Van Der Ziel d'un TEC avec deux sources de bruit en courant

Ensuite Pospieszalski [133] a simplifié ce modèle en remplaçant la source en courant  $\overline{i_g^2}$  par une source en tension  $\overline{v_g^2}$  selon le schéma de la **figure III.23**. Les deux sources de bruit sont indépendantes et non-corrélées. La résistance  $R_i$  et la conductance  $g_d$  sont donc les deux paramètres intrinsèques clés de ce modèle.

$$\overline{i_d^2} = 4 \cdot K \cdot T_d \cdot g_d \cdot \Delta f \quad \text{Eq-III.21}$$

$$\overline{v_g^2} = 4 \cdot K \cdot T_g \cdot R_i \cdot \Delta f \quad \text{Eq-III.22}$$

$$\text{Avec } \overline{v_g \cdot i_d^*} = 0 \quad \text{Eq-III.23}$$

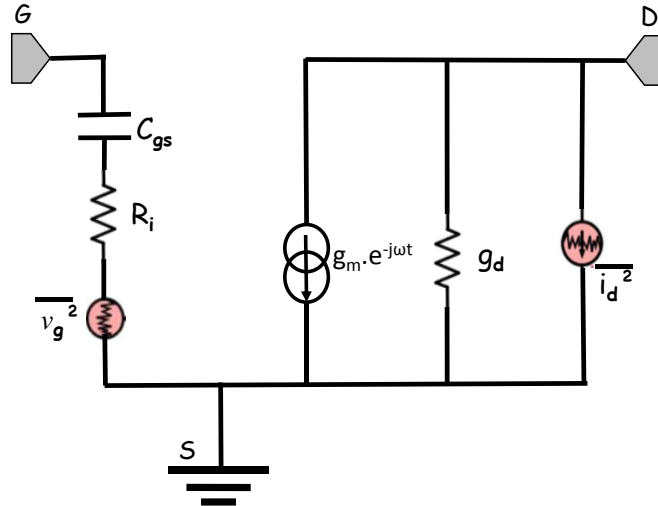


Figure III.24-modèle de bruit de Pospieszalski

M. Gupta a effectué la dernière simplification. Il a observé que la température équivalente de bruit de grille  $T_g$  était proche de la température ambiante. On obtient alors un modèle à un seul paramètre de bruit,  $T_d$ . Cette température de bruit  $T_d$  dépend de la polarisation du transistor.

Dans le cadre de nos travaux de thèse, nous avons utilisé la méthode développée par G.Dambrine [134], appelée communément méthode du  $F_{50}$  ou  $NF_{50}$ . C'est une méthode qui est basée sur un modèle électrique inspiré du modèle de Pospieszalski. Elle s'appuie sur un modèle de bruit avec deux sources de bruit  $\overline{e_g^2}$  et  $\overline{i_d^2}$  non-corrélées (figure III.25). La première source de bruit en tension  $\overline{e_g^2}$  au niveau de la grille a une température  $T_{in}$ . La deuxième en courant côté drain  $\overline{i_d^2}$  à une température  $T_{out}$ . Comme suggéré par M. Gupta, la température  $T_{in}$  est fixée à la température ambiante  $T_{amb}$ . Ce modèle est basé sur l'extraction du schéma équivalent petit signal (tous les éléments) du transistor et sur l'hypothèse de la non-corrélation des sources de bruit [135]. Les mesures sont effectuées sur 50 Ohms d'où la nomination du facteur de bruit par  $NF_{50}$ . Les relations représentant les deux sources de bruit ainsi que le facteur de bruit sont donnés par les équations suivantes :

$$NF_{50} = 1 + 2R_n \cdot G_0 + \frac{R_n}{G_0} \cdot (2 \cdot G_0 \cdot G_{cor} + |Y_{opt}|^2) \quad \text{Eq-III.24}$$

$$\text{Avec } G_0 = 20 \text{ mS} \quad \text{Eq-III.25}$$

$$\overline{e_g^2} = 4 \cdot K \cdot T_{in} \cdot \text{Re}\left(\frac{1}{Y_{11}}\right) \cdot \Delta f \quad \text{Eq-III.26}$$

$$\overline{i_d^2} = 4 \cdot K \cdot T_{out} \cdot \text{Re}\left(\frac{1}{Z_{22}}\right) \cdot \Delta f \quad \text{Eq-III.27}$$

Avec  $Y_{11}$  et  $Z_{22}$  qui sont des paramètres Y et Z de la partie non bruyante intrinsèque du transistor (les lignes pointillées en rouge de la figure III.25). Ce modèle est constitué des éléments extrinsèques comparé à celui de Pospieszalski. Il est basé sur des mesures de paramètres S et une extraction des éléments du schéma équivalent petit signal. A ce schéma équivalent petit signal, on associe les sources de bruits  $\overline{e_g^2}$  et  $\overline{i_d^2}$ ,  $T_{in}$  étant fixée à la température ambiante, il ne reste qu'à déterminer la valeur de  $T_{out}$  en comparant le  $NF_{50}$  calculé à partir du modèle de bruit

(**figure III.25**), et la mesure du facteur de bruit  $NF_{50}$ . On peut alors extraire les 4 paramètres de bruit à partir de ce schéma équivalent (on utilise ADS de Keysight).

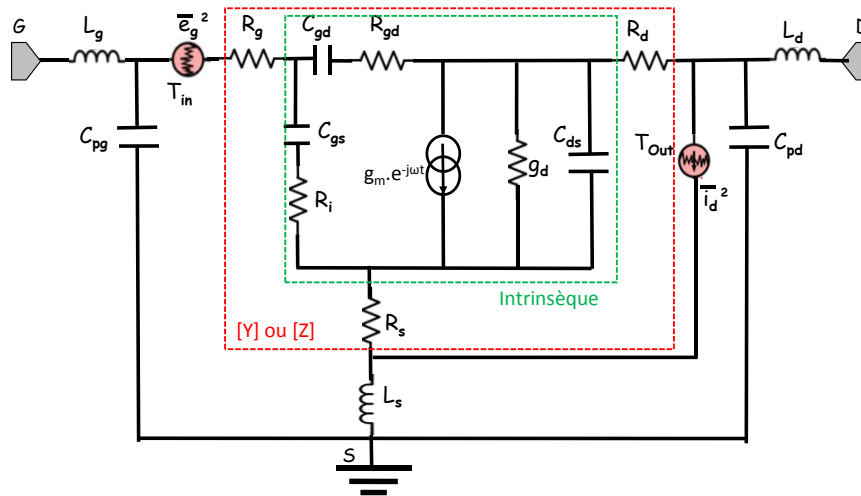


Figure III.25-Modèle bruit  $NF_{50}$  d'un HEMT avec deux sources de bruit

### VI.1.3. Description du Banc de mesure

#### ➤ La bande [6 GHz – 42 GHz]

L'appareil de mesure que nous utilisons (NFM **HP8970**) et la source de bruit qui est calibrée de 10 MHz à 50 GHz sont présentés dans les **figures III.26 et III.27**. L'ensemble permet d'effectuer des mesures du facteur de bruit de 0 à 30 dB, de gain -20 à + 40 dB avec une sensibilité de -100 dBm. De 10 MHz à 1600 MHz l'ensemble fonctionne en mesure directe. Au-delà de 1600 MHz, la fréquence du signal à mesurer est convertie en une fréquence intermédiaire  $FI$ . Dans la bande [6 GHz – 20 GHz], la fréquence est imposée à  $FI = 450$  MHz et au-delà de 20 GHz la fréquence  $FI = 30$  MHz acceptable par le mesureur de bruit, et ceci par l'intermédiaire d'un mélangeur à réjection de fréquence **HP8971C** et un oscillateur local **HP8673G** (synthétiseur) délivrant un signal de fréquence  $F_{OL}$

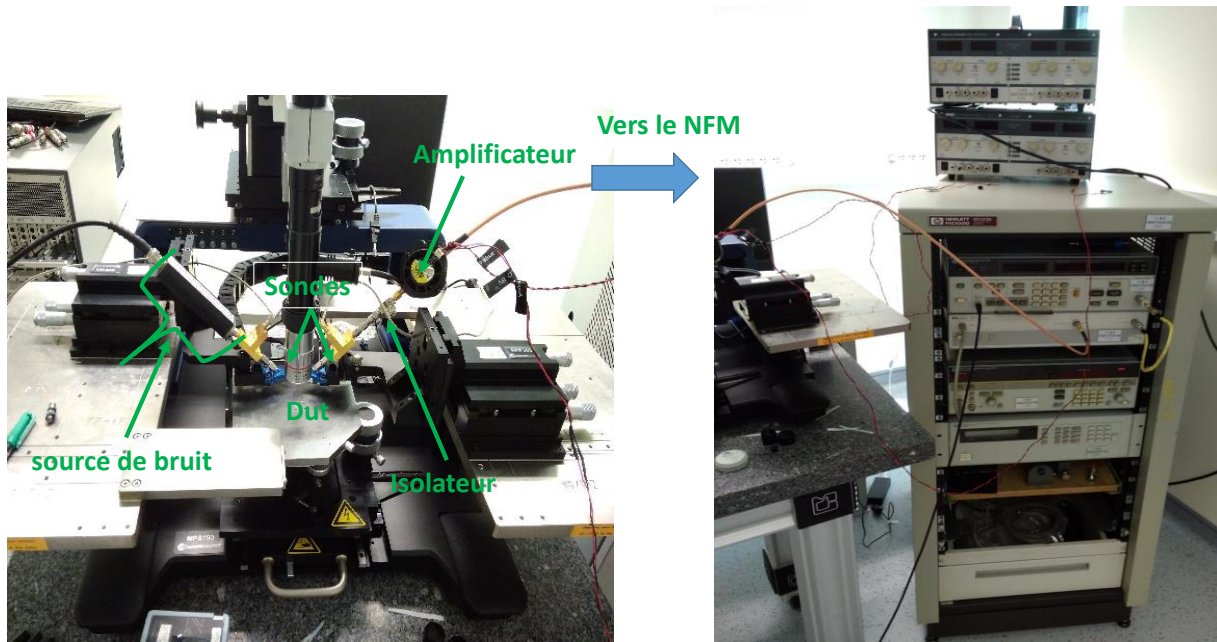


Figure III.26- Photographie du banc de mesure du facteur de bruit sous 50  $\Omega$  en bande [6 GHz – 42 GHz]

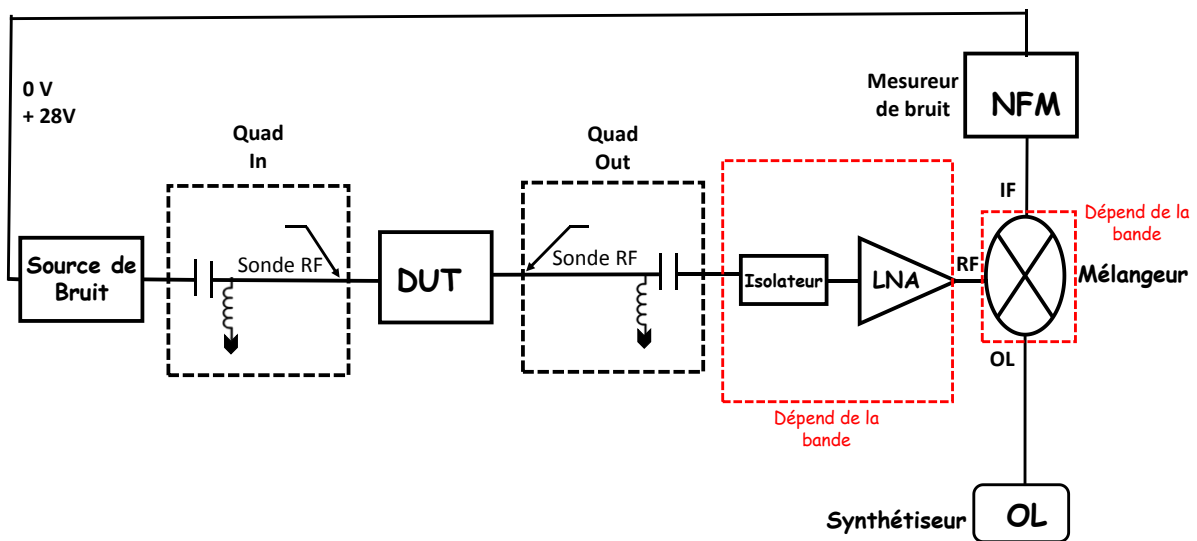


Figure III.27- Synoptique du banc de mesure du facteur de bruit sous 50  $\Omega$  en bande [6 GHz – 42 GHz]

➤ **La bande W [75 GHz – 110 GHz]**

L'appareil de mesure [75 GHz – 110 GHz] est basé sur le même principe présenté précédemment pour les bandes [6 GHz – 42 GHz], l'ensemble d'équipements est constitué cette fois-ci de plusieurs dispositifs présentés sur les **figures III.28 et III.29** à savoir : une source de bruit d'ENR (Excess Noise Ratio) égale à environ 12 dB [136], suivi d'un isolateur pour éviter les problèmes de désadaptation avec le DUT. À droite de ce dernier on trouve une série de plusieurs dispositifs : isolateur, LNA, tripleur et amplificateur de puissance qui ont été ajoutés pour minimiser toute sorte d'erreurs et d'adapter les fréquences de synthétiseur **HP83621B** à l'entrée de mélangeur pour obtenir une fréquence  $FI = 30$  MHz

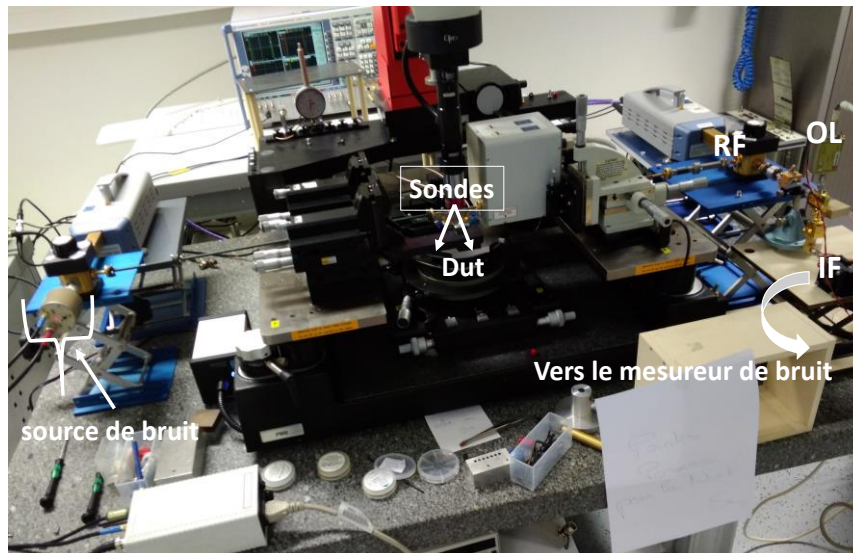


Figure III.28- Photographie du banc de mesure du facteur de bruit sous 50Ω en bande W [75 GHz – 110 GHz]

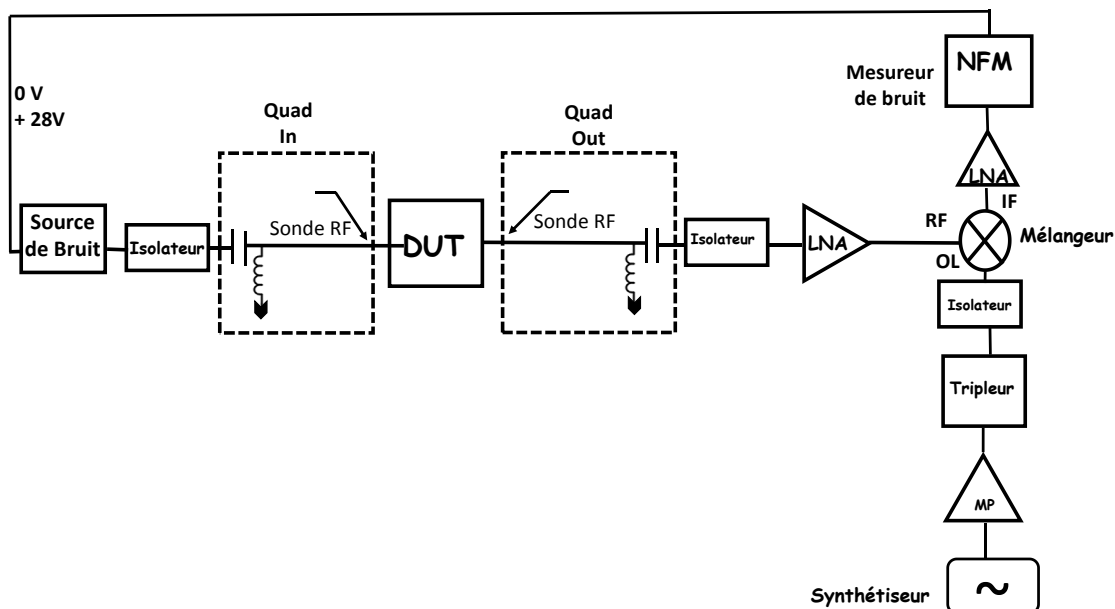


Figure III.29- Synoptique du banc de mesure du facteur de bruit sous 50Ω en bande W [75 GHz – 110 GHz]

#### VI.1.4. Étalonnage du banc de mesure

Les mesures ont été effectuées sur trois bandes différentes [6 GHz – 20 GHz], [20 GHz – 40 GHz] et W [75 GHz – 110 GHz]. Les bandes utilisent toutes un même mesureur de bruit **HP8970** [10 MHz - 1.6 GHz] mais la source est différente et dépend des bandes de fréquences envisagées. Cette source bascule sur deux températures différentes  $T_{cold}$  (Température ambiante) et  $T_{Hot}$  (Température fixée par l'ENR de la source de bruit) et correspond respectivement aux tensions 0V et +28V délivrées par le mesureur de bruit pendant l'étalonnage

du banc de mesure. À partir du facteur  $Y$  (Eq-III.30) on détermine le facteur de bruit (Eq-III.28).

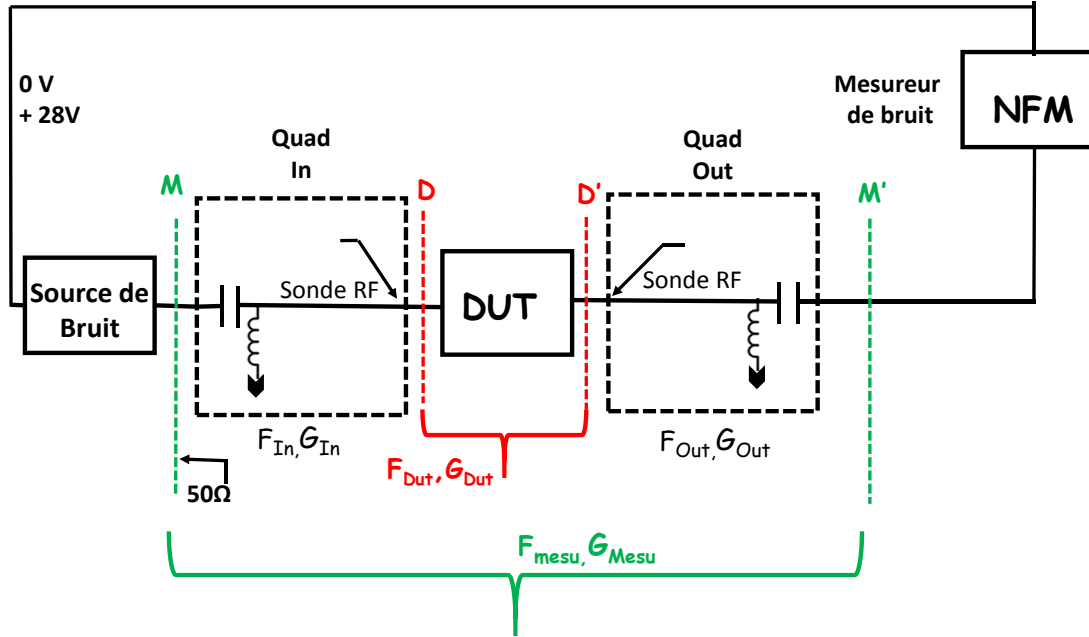


Figure III.30-Synoptique du banc de mesure du facteur de bruit sous  $50 \Omega$

Le facteur de bruit dans le plan  $MM'$  ( $F_{mes}$ ) défini par l'équation Eq-III.28 est calculé à partir de l'ENR de la source de bruit, du facteur  $Y$  et des températures chaude et froide données par les équations Eq-III.29 et Eq-III.30. Le facteur  $Y$  est le rapport de la puissance disponible pour les deux états différents (chaud et froid) de la source de bruit [137]–[139].

$$F_{mes} = \frac{ENR - (Y - 1)\left(\frac{T_{hot}}{T_0} - 1\right)}{Y - 1} \quad \text{Eq-III.28}$$

$$ENR = \frac{T_{hot} - T_{cold}}{T_{cold}} \quad \text{Eq-III.29}$$

$$Y = \frac{P_{hot}}{P_{cold}} \quad \text{Eq-III.30}$$

On peut donc déduire le facteur de bruit dans le plan de référence de bruit  $MM'$  entre la sortie de la source et l'entrée du mesureur. Si on considère que le facteur de bruit d'un quadripôle passif égale à peu près l'inverse de son Gain disponible  $F_{In} \approx 1/G_{In}$  et  $F_{Out} \approx 1/G_{Out}$  (Câble, Transition, sondes), on peut donc exprimer le  $F_{Dut}$  (avec les accès du transistor  $DD'$ ) grâce à la formule de Friis. Le facteur de bruit dans le plan  $DD'$  déduit seulement après le calcul des quadripôles en entrée ( $Q_{In}$ ) et en sortie ( $Q_{Out}$ ). Les détails de calcul des quadripôles d'entrée et de sortie sont donnés en Annexe III-1.

$$F_{mes} = F_{In} + \frac{F_{Dut}-1}{G_{In}} + \frac{F_{Out}-1}{G_{In} \cdot G_{Dut}} \quad \text{Eq-III.31}$$



$$F_{Dut} = F_{mes} \cdot G_{In} - \frac{F_{Out}-1}{G_{Dut}} \quad \text{Eq-III.32}$$

## VI.2. Mesure de bruit jusque 110 GHz

La mesure et l'extraction des quatre paramètres de bruit s'effectuent en trois principales étapes :

1. La première étape, consiste à mesurer le facteur  $NF_{50}$  dans le plan des accès du transistor jusqu'à 110 GHz pour plusieurs polarisations de  $V_{GS}$ . Ensuite, nous déterminons la polarisation optimale relative au minimum de bruit  $NF_{50}$ .
2. La deuxième étape est l'extraction du schéma équivalent petit signal du transistor.
3. En fin, les facteurs  $NF_{50}$  mesurés et calculés à partir du modèle sont comparés afin d'ajuster la température  $T_{out}$  de source de bruit en sortie. Finalement, les quatre paramètres de bruit sont extraits.

Pour étudier le bruit, nous avons utilisé un transistor de « ech1 » de fréquences  $f_{max} = 800$  GHz et  $f_T = 260$  GHz (**figure III.31**), ce transistor présente une allure de pente en -20 dB/décade moins bruitée par rapport aux autres transistors. Les dimensions de ce transistor sont  $L_g = 75$  nm,  $W_g = 2 \times 12 \mu\text{m}$  et le recess asymétrique est défini par  $L_{RS} = 70$  nm et  $L_{RD} = 175$  nm.

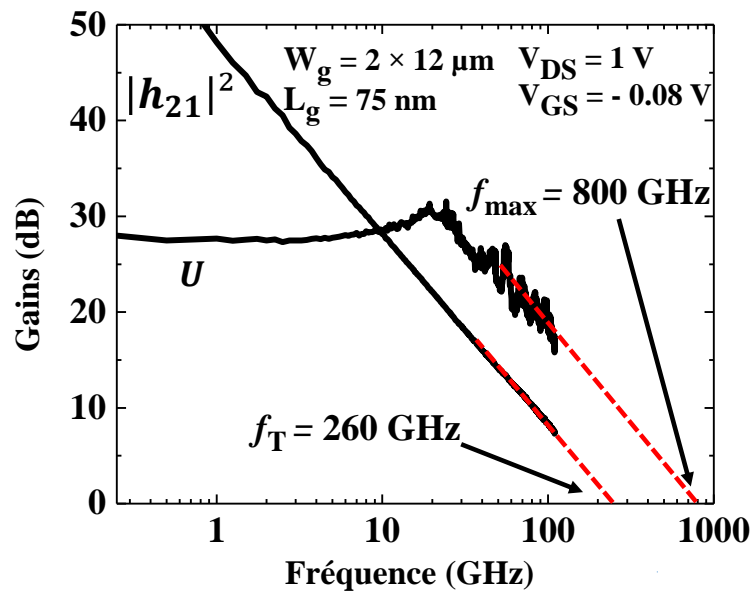
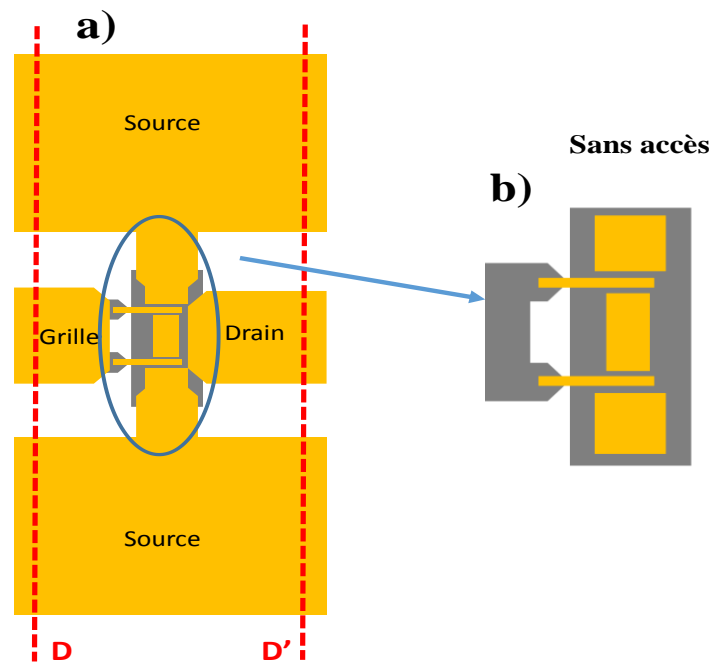


Figure III.31- Évolution fréquentielle des gains du transistor représentatif de « ech1 »

### VI.2.1. Épluchage des accès coplanaires

Afin d'effectuer des mesures sous pointes, le transistor possède des accès coplanaires comme schématisés dans la **figure III.32-a**. Les mesures de bruit sont effectuées dans le plan des pointes (DD'). L'objectif est de définir le modèle de bruit du transistor sans les accès (**figure III.32-b**). En effet, le modèle de G. Dambrine est basé sur le schéma équivalent sans les accès coplanaires du transistor.

Cependant, les mesures de bruit ont été effectuées dans le plan des accès du transistor (**figure III.32**). Pour déduire la température de bruit en sortie  $T_{out}$ , nous devons comparer la mesure et le modèle au même plan de référence. Pour cela nous avons additionné au modèle de bruit (**figure III.25**) les accès coplanaires épluchés (**annexe III-2**) lors de l'extraction du schéma équivalent petit signal du transistor. Ensuite, les quatre paramètres de bruit sont extraits utilisant le modèle de bruit de G. Dambrine après avoir déterminé la température de bruit en sortie.



**Figure III.32-Photographie du transistor a) avec accès et b) sans accès coplanaires**

### VI.2.2. Mesure de $NF_{50}$

Nous avons effectué des mesures de bruit jusque 110 GHz pour un transistor du procédé 2 « ech1 » au plan des accès (**DD'**). La gamme de fréquences s'étend de 6 GHz à 110 GHz et la tension  $V_{DS} = 1V$  correspond au maximum du gain ( $f_{max} = 800$  GHz). Le transistor mesuré a une longueur de grille  $L_g = 75$  nm et un recess asymétrique ( $L_{RS} = 70$  nm et  $L_{RD} = 175$  nm).

Nous faisons varier la polarisation  $V_{GS}$  de -0.6 V à 0.2 V pour une tension  $V_{DS}$  fixe dont le but est de déduire la polarisation optimale (bias opt en  $V_{GS}$  et  $V_{DS}$ ). Les mesures de  $NF_{50}$  sont données en fonction de la fréquence (**figure III.33**). Le minimum de bruit mesuré pour le transistor est au voisinage de  $V_{GS} = -0.3V$  pour l'ensemble des points des fréquences. Avec  $\pm 0.05$  V entre la bande 6 GHz – 42 GHz et la bande [75 GHz – 110 GHz], nous avons uniquement une variation de 0.1 dB, ce qui montre que le bruit a une légère variation en fonction de la tension  $V_{GS}$ . Les facteurs de bruit  $NF_{50}$  obtenus sont  $NF_{50} = 2.58$  dB et  $NF_{50} = 3.58$  dB respectivement à 40 GHz et 94 GHz pour une polarisation optimale de  $V_{GS\_opt} = -0.3$  V et  $V_{DS} = 1V$ .

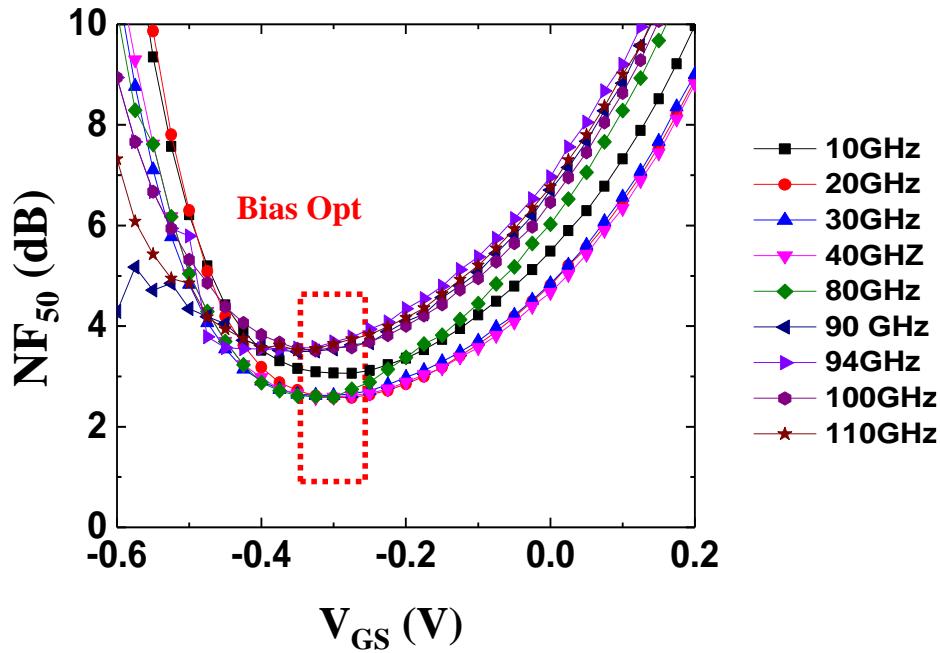


Figure III.33-Mesure de  $NF_{50}$  en fonction de la tension  $V_{GS}$  à  $V_{DS}=1V$  pour plusieurs fréquences

### VI.2.3. Méthode d'extraction

#### VI.2.3.1. Détermination du schéma équivalent

Dans la suite de ce chapitre, nous allons montrer succinctement la méthode d'extraction des quatre paramètres de bruit appliquée au transistor étudié et nous donnons à la fin un tableau récapitulatif de ces quatre paramètres de bruit. Le modèle à deux températures nécessite l'extraction du schéma équivalent petit signal sans accès. Le facteur de bruit  $NF_{50}$  mesuré dans la partie précédente a permis de déterminer la polarisation optimale à utiliser pour l'extraction du schéma équivalent petit signal. Après un étalonnage LRRM du banc 250 MHz – 110 GHz, les paramètres S ont été mesurés jusque 110 GHz. Le **tableau III-5** présente les éléments du schéma équivalent petit signal (sans accès) extraits pour le transistor à  $V_{DS} = 1V$  et  $V_{GS} = -0.3V$  par la méthode *Cold-FET* décrite dans le chapitre I.

Tableau III-5.Eléments du schéma équivalent petit signal ( $V_{DS} = 1V$  et  $V_{GS} = -0.3V$ ) sans accès coplanaires du transistor ( $L_g = 75$  nm et  $W_g = 2 \times 12 \mu m$ )

T W=24 $\mu$ m Lg=75nm	Extrinsèque								Intrinsèque						fuite			
	$R_g$	$R_d$	$R_s$	$L_g$	$L_d$	$L_s$	$C_{pg}$	$C_{pd}$	$C_{gs}$	$C_{gd}$	$C_{ds}$	$g_m$	$g_d$	$R_i$	$R_{gd}$	$T_{au}$	$g_{gdf}$	$g_{gf}$
Polar opt	52	242	187	5	6	2	1	2	779	120	125	1579	50	6.5	20	68	8	35
Unités	$\Omega/mm$	$\Omega \cdot \mu m$		pH			fF		fF/mm			mS/mm		$\Omega$	fs	$\mu S$		

Une fois l'extraction du schéma équivalent petit signal réalisée, nous comparons grâce au logiciel ADS les paramètres S du modèle à ceux mesurés. Ensuite, nous vérifions si le schéma équivalent après l'ajout des accès est également validé. Une bonne concordance est observée sur les paramètres S en module et en phase jusque 110 GHz.

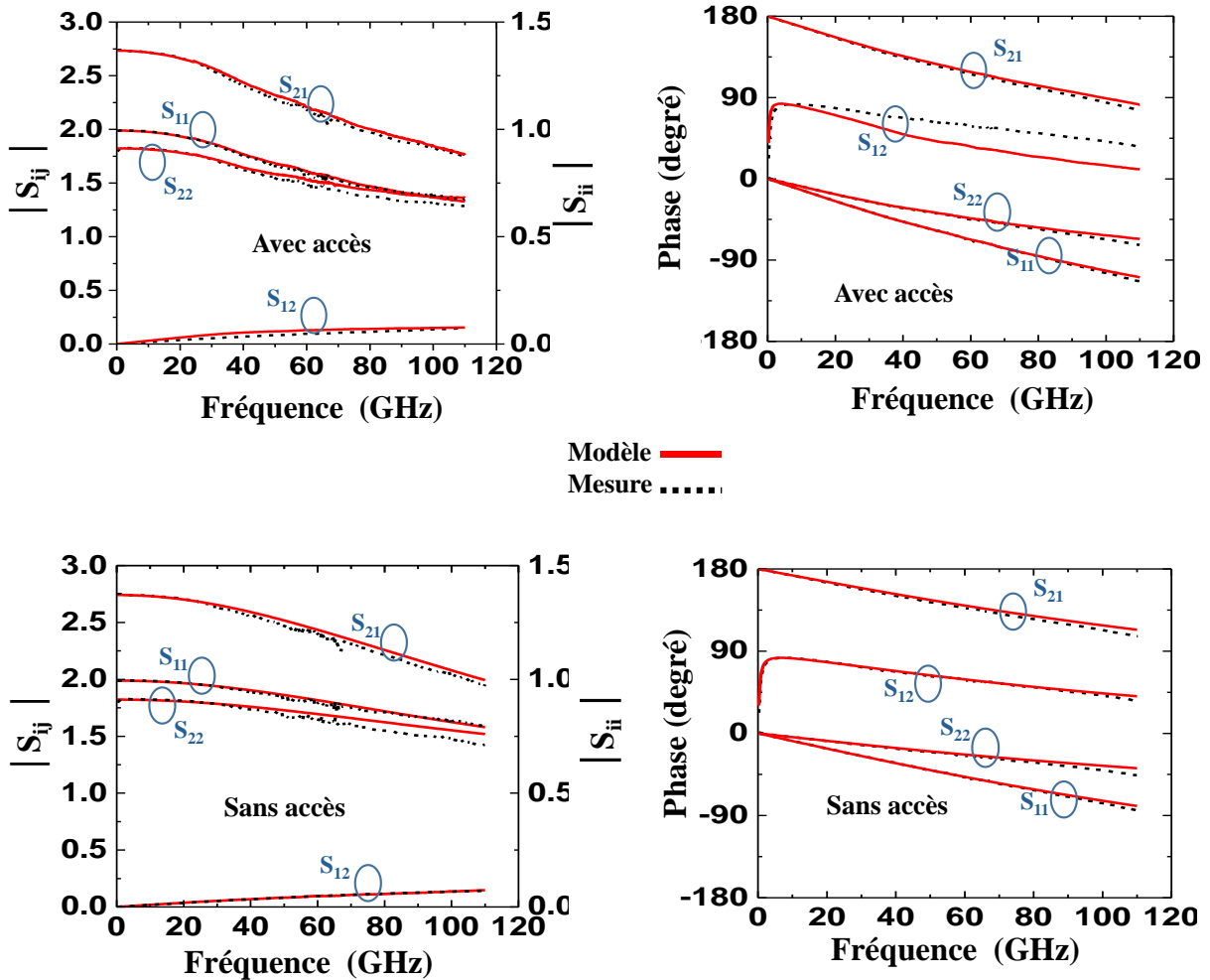


Figure III.34-Comparaison de paramètres S mesurés et simulés à partir d'un schéma équivalent petit signal avec et sans accès coplanaires du transistor

### VI.2.3.2. Détermination de $T_{out}$

Après avoir validé le schéma équivalent, nous pouvons déduire la température de bruit en sortie  $T_{out}$  en comparant le facteur de bruit  $NF_{50}$  (mesure et modèle) en fonction de la fréquence. La **figure III.35** représente le facteur de bruit mesuré et modélisé dans le plan du transistor avec ses accès (plots d'épaissement). La température  $T_{in}$  est fixée à la température ambiante ( $T_{in} = 293$  K). Une bonne concordance entre le modèle (les courbes issues du modèle de bruit du  $NF_{50}$ ) et la mesure du  $NF_{50}$  est observée entre les températures de sorties 1200 K et 1600K. La température optimale de bruit en sortie extraite est  $T_{out} = 1350$  K. Nous pouvons finalement extraire les quatre paramètres de bruit sous ADS, avec  $T_{in} = 293$  K et  $T_{out} = 1350$  K.

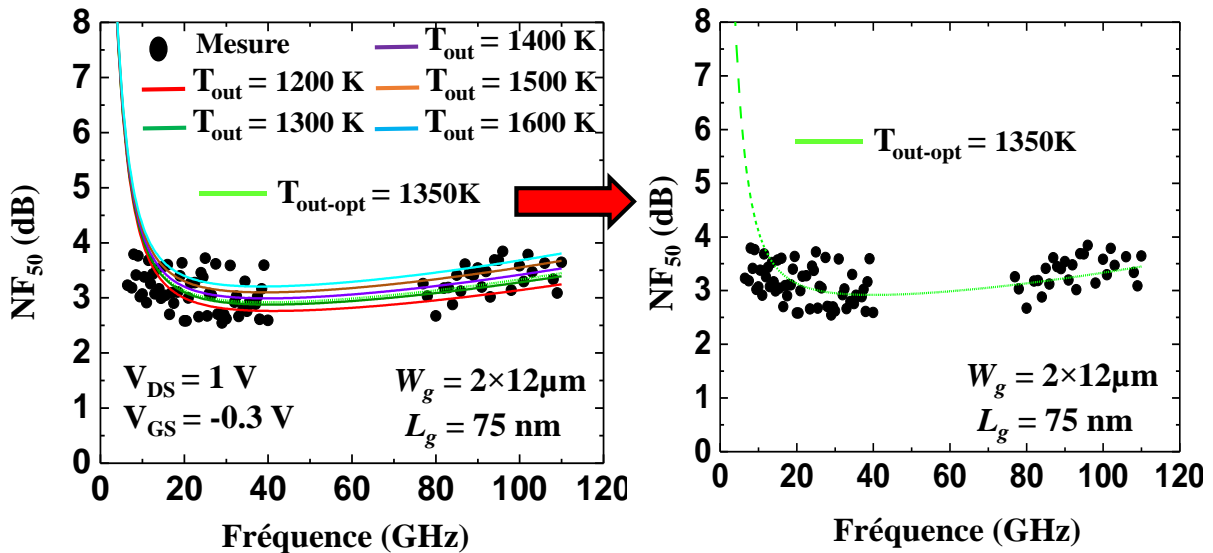


Figure III.35-Facteur de bruit NF50 mesuré et simulé jusque 110 GHz à  $T_{out}$  variable d'un transistor de  $W_g = 2 \times 12\ \mu\text{m}$  et  $L_g = 75\text{ nm}$  du deuxième procédé « ech1 »

### VI.2.3.3. Extraction des quatre paramètres de bruit

La température de sortie étant connue, nous pouvons donc extraire les quatre paramètres de bruit (**figure III.36**) en prenant en compte l'erreur qui peut être commise entre 1200 K et 1600 K lors de l'extraction de  $T_{out}$ . Nous avons calculé le facteur de bruit  $NF_{min}$  à 94 GHz pour ces deux températures qui représentent une variation de 400 K soit 30%. En revanche, le facteur de bruit varie de 1.71 dB à 1.95 dB pour respectivement  $T_{out} = 1200\text{ K}$  et  $T_{out} = 1600\text{ K}$  soit 14% d'erreur sur le facteur minimum de bruit. En effet il existe d'autres types de barres d'erreurs sur l'extraction de  $NF_{min}$  comme par exemple des incertitudes sur l'ENR et  $\Gamma_{opt}$ . Dans le cadre de ces travaux de thèse, nous limitons ces barres d'erreurs à la température de sortie  $T_{out}$ . Une différence moyenne de  $3\ \Omega$  est constatée sur la résistance de bruit, les autres paramètres ne sont pas impactés et évoluent très légèrement en fonction de la température de sortie entre 1200 K et 1600 K.

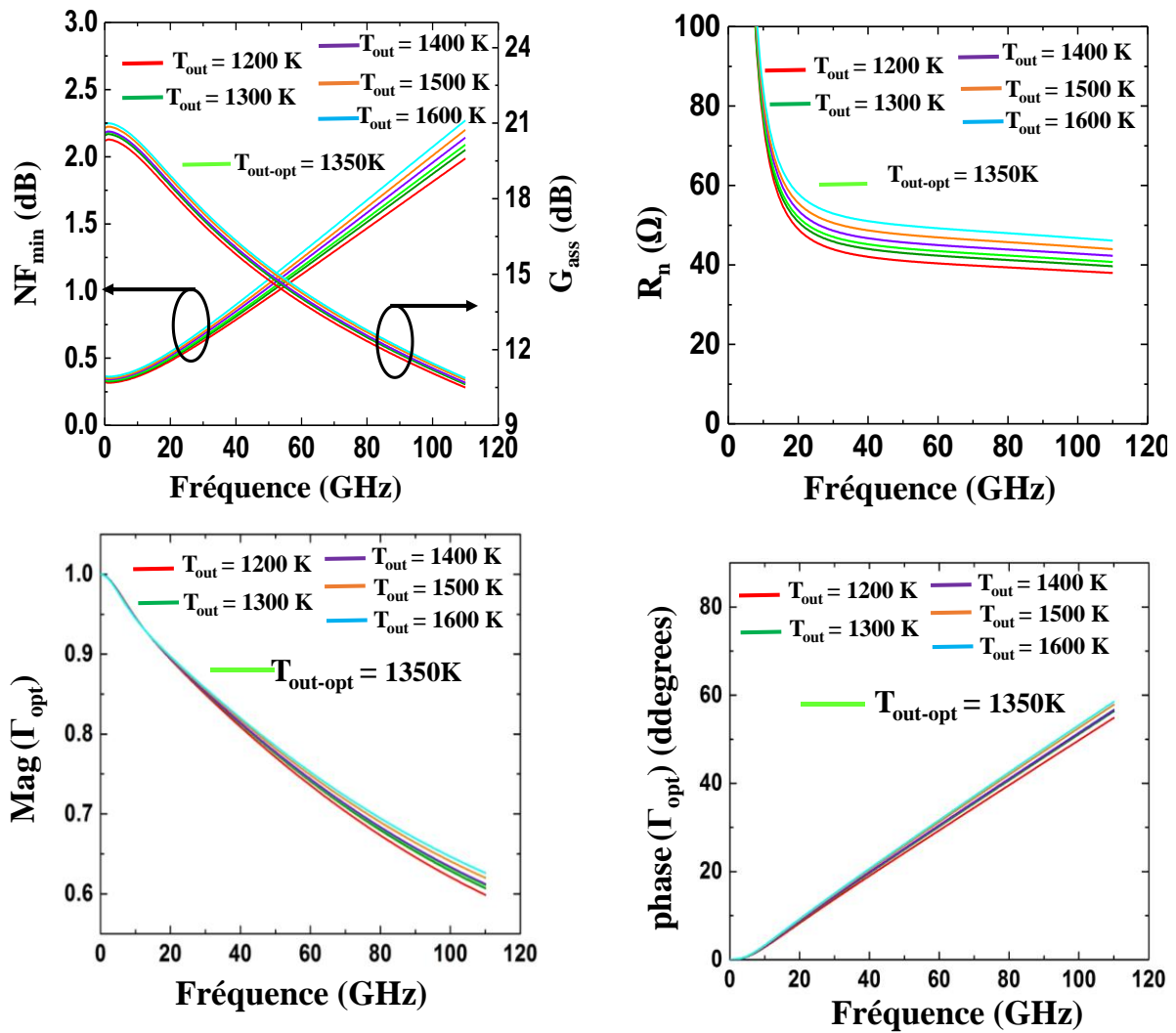


Figure III.36-Extraction des quatre paramètres de bruit jusque 110 GHz à  $T_{out}$  variable d'un transistor de  $Wg = 2 \times 12 \mu m$  et  $L_g = 75 nm$  du deuxième procédé

Un récapitulatif est reporté sur le **tableau III-6** pour l'ensemble des quatre paramètres de bruit qui a été extrait à deux fréquences différentes 40 et 94 GHz, avec  $T_{out} = 1350 K$ .

**Tableau III-6. Extraction des quatre paramètres de bruit du transistor**

4 paramètres	$T_{out}$ (K)	$G_{ass}$ (dB)	$NF_{min}$ (dB)	$R_n$ ( $\Omega$ )	$ \Gamma $	ph $\Gamma$ (degré)
40 GHz	1350	16	0.82	45.1	0.81	19.7
94 GHz	1350	11.6	1.8	41.6	0.64	48.3

Le facteur de bruit  $NF_{min}$  du transistor est plus élevé que les meilleures valeurs de l'état de l'art 0.71 dB et 0.9 dB à 94 GHz [140] [90]. Ceci peut être expliqué par plusieurs phénomènes comme par exemple, le bruit thermique ramené par les résistances  $R_s$ ,  $R_d$  en basse fréquence qui sont de l'ordre de ( $R_s = 0.187 \Omega.mm$  et  $R_d = 242 \Omega.mm$ ) ainsi que l'effet de la longueur de

grille de 75 nm qui représente un effet négatif sur le facteur du bruit d'après les études menées par G.Dambrine dans [141]. Le recess asymétrique a également un impact sur le bruit du transistor, le facteur du bruit évolue proportionnellement avec le recess  $L_{RD}$  [90]. Les études présentées dans [140] [90] utilisent une cavité en BCB autour du composant ce qui permet de minimiser les capacités parasites de la grille et donc améliore le facteur  $NF_{min}$ . En revanche, le gain associé obtenu de  $G_{ass}=11.6\text{dB}$  à 94 GHz pour nos transistors, est plus important devant les gains présentés dans l'état de l'art (entre 6 et 10 dB).

## VII. Conclusion du chapitre III

Dans ce chapitre, nous avons présenté des mesures effectuées sur des transistors développés avec les structures épitaxiales retenues. L'étude est portée sur la mesure en régime statique et dynamique des procédés 1 et 2 ainsi qu'en bruit pour le procédé 2 (« ech1 »). Nous avons présenté les premiers résultats obtenus en régime statique par des transistors conçus à partir du premier procédé de longueur de grille courte  $L_g = 45$  nm. Les optimisations apportées à la structure de couche ont permis d'atteindre un courant maximal important d'environ 1790 mA/mm et une transconductance  $g_m$  très élevée de 2000 mS/mm (cap composite). Les avantages de la couche cap composite et l'espacement des électrodes drain-source  $L_{SD}$  ont été présentés respectivement sur des transistors de longueur de grille 45 nm et 60 nm. Les fréquences obtenues sur des transistors du procédé 1 avec un recess symétrique varient entre 400 GHz – 500 GHz pour la fréquence maximale d'oscillation  $f_{max}$  et entre 350 GHz – 450 GHz pour la fréquence de transition du gain en courant  $f_T$ .

Une autre étude a porté sur la caractérisation des transistors du procédé 2 avec un recess asymétrique. La topologie du recess adaptée a permis d'atteindre des performances proches de celles obtenues par Fujitsu [20], [47]. Les longueurs de grilles de ce procédé (65 nm et 75 nm) sont longues néanmoins, la transconductance  $g_m$  reste importante avec des valeurs similaires (2150 mS/mm) à celles reportées dans le procédé 1 (2000 mS/mm). Le passage d'un recess symétrique à un recess asymétrique marqué par une augmentation des rapports  $g_m/g_d$  et  $C_{gs}/C_{gd}$  ainsi que de fréquences maximales d'oscillations élevées de l'ordre de 800 GHz et 1 THz par extrapolation en -20 dB/décade.

Ce chapitre a permis également d'évaluer les performances en bruit du transistor HEMT de la technologie InGaAs/InAlAs sur InP dans une bande allant de 6 GHz jusque 110 GHz, la méthode  $NF_{50}$  a été utilisée dans trois bandes de fréquences différentes. Les quatre paramètres de bruit ont été extraits à partir d'un transistor du procédé 2 de longueur de grille 75 nm avec un recess asymétrique « ech1 ». Ce transistor de  $f_{max} = 800$  GHz présente un facteur de bruit minimum  $NF_{min}$  de 1.8 dB à 94 GHz. Ce facteur peu élevé pour ce type technologie (état de l'art : de 0.71 dB à 2 dB) a un gain associé plus important 11.6 dB à 94 GHz que ceux observés dans l'état de l'art (7 dB à 10 dB). En revanche, nous pouvons améliorer les performances de bruit en ajoutant une cavité autour de composant comme dans les exemples de Fujitsu [90], [140].

***Chapitre IV : Mesure et  
deembedding au-delà de 110  
GHz et perspectives***



## I. Introduction du chapitre IV

Dans le dernier chapitre de ce mémoire, nous exposons les résultats de mesures de paramètres S et de l'épluchage (deembedding) utilisé à l'IEMN dans les bandes de fréquences supérieures à 110 GHz. Tout d'abord, nous présentons les mesures de paramètres S des transistors HEMTs avec les étalons associés à l'épluchage *On-wafer* (« Open et Short »). Ensuite, nous allons présenter les contraintes et les difficultés rencontrées au cours de ces mesures. La bande de fréquences étudiée dans le chapitre III était limitée à 110 GHz. Dans ce chapitre, les mesures de paramètres S des transistors seront effectuées jusqu'à la fréquence 750 GHz. Une étude sera également portée sur la topologie des lignes coplanaires pour déterminer leurs influences sur les caractéristiques du transistor. Finalement, les caractéristiques physiques et les paramètres de propagation des lignes coplanaires seront extraits jusqu'à la bande sub-téraherz (bande J : 220 GHz – 325 GHz).

## II. Mesures et épluchage des transistors HEMTs

### II.1. Topologie des accès coplanaires du transistor

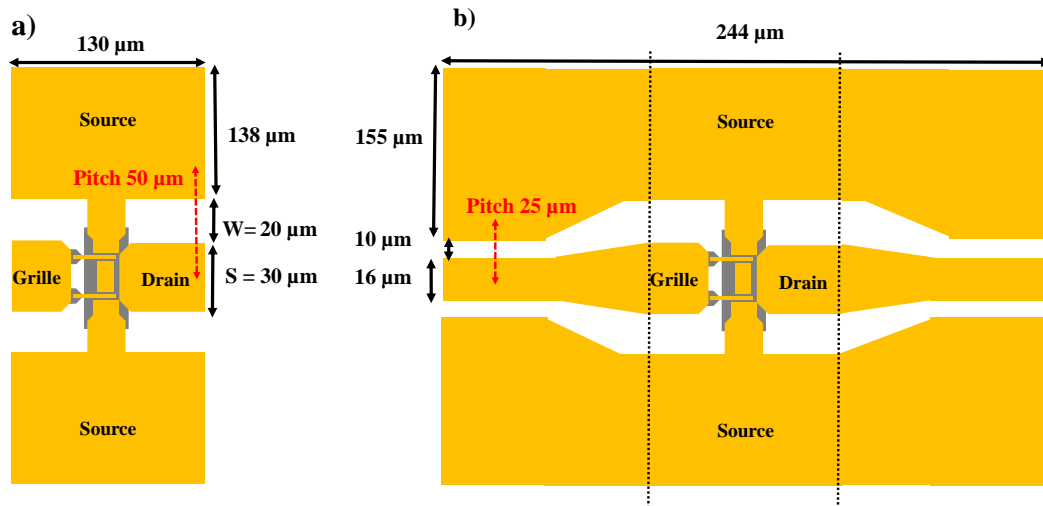
Pour effectuer des mesures de 250 MHz jusqu'à 750 GHz, l'IEMN dispose de plusieurs bancs de mesures sous pointes repartis sous cinq bandes de fréquences différentes. Chaque banc de mesure est constitué d'un analyseur du réseau vectoriel auquel sont associées des têtes de conversions afin de basculer d'une bande de fréquences à une autre. Dans le **tableau IV-1**, nous présentons la description des bandes de fréquences de mesures disponibles à l'IEMN, les méthodes d'étalonnage *Off-wafer* et *On-wafer* utilisées ainsi que l'espacement entre le plot de masse et le plot de signal d'une ligne coplaire (pitch) pour chaque bande de fréquences.

Tableau IV-1. Description des bandes de fréquences disponibles à l'IEMN

Bande de fréquences	Étalonnage <i>On-wafer</i>	Étalonnage <i>Off-wafer</i>	Pitch des pointes	Substrat de <i>Cal-kit</i>
250 MHz-110 GHz	<i>Open-Short</i>	<i>LRRM</i>	100 $\mu\text{m}$	Alumine
G [140 – 220 GHz]			50 $\mu\text{m}$	
J [220 – 325 GHz]		<i>Multi-line TRL</i>	25 $\mu\text{m}$	Si HR
[325 – 475 GHz]				
[500 – 750 GHz]				

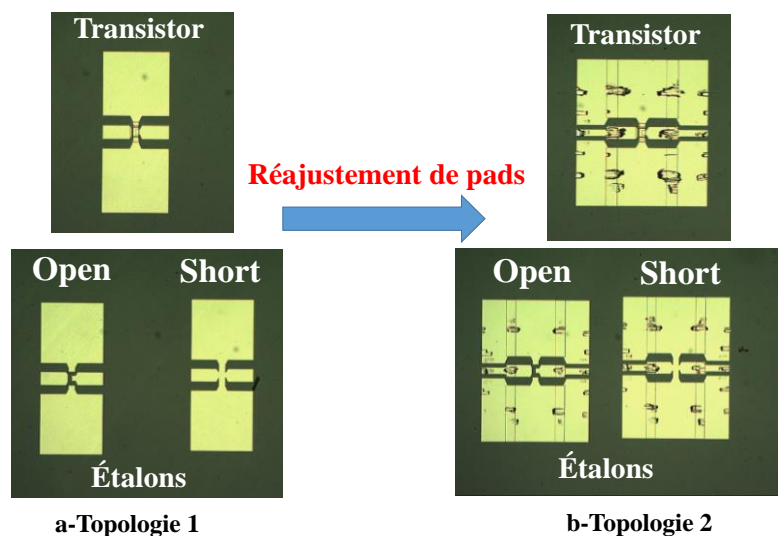
L'objectif de cette partie est de présenter les mesures obtenues à partir de différentes topologies d'accès coplanaires utilisées pour concevoir nos transistors HEMTs. Nous disposons de deux types de topologies, la première topologie (**figure IV.1-a**) possède des accès coplanaires permettant de poser des pointes dont le pitch minimal est de 50  $\mu\text{m}$ . La deuxième topologie permet de poser des pointes dont le pitch minimal est de 25  $\mu\text{m}$  (**figure IV.1-b**). La largeur des plans de masse de ces deux topologies est conçue de façon à couvrir plusieurs bandes de fréquences (jusqu'au pitch 100  $\mu\text{m}$ ). Les transistors réalisés avec la première

topologie peuvent donc être mesurés jusqu'à la fréquence 325 GHz. Quant aux transistors réalisés avec la deuxième topologie, ils peuvent être caractérisés jusqu'à la fréquence 750 GHz. Nous rappelons également que la fabrication de l'ensemble de nos transistors et de nos éléments étalons a été réalisée avec la première topologie (**figure IV.1-a**) et que suite à l'achat de nouveaux équipements de mesures, nous avons réajusté en cours de fabrication les accès coplanaires de ces composants pour atteindre la deuxième topologie (**figure IV.1-b**).



**Figure IV.1-Adaptation du pitch des accès coplanaires : a) transistor initial de 50 µm de pitch et b) transistor après le réajustement du pitch à 25µm**

Nous avons gardé la même méthode d'étalonnage *On-wafer* décrite dans le chapitre III pour réaliser l'épluchage dans toutes les bandes de fréquences étudiées. Les étalons utilisés pour éplucher les accès coplanaires sont modifiés afin de les réajuster à la nouvelle topologie de la **figure IV.1-b** (topologie 2). Dans le chapitre III, la topologie des accès coplanaires du transistor et des étalons d'épluchage associés a un pitch de 50 µm (voir **figure III.10** chapitre 3). Nous présentons dans la **figure IV.2** la topologie 2 de ces lignes après avoir effectué le réajustement de 50 µm en 25µm de pitch.



**Figure IV.2-Topologies 1 et 2 des transistors et les étalons d'épluchage associés de a) 50 µm de pitch et b) 25 µm de pitch**

Ce sont donc les deux topologies (50  $\mu\text{m}$  et 25  $\mu\text{m}$  de pitch) qui vont être utilisées dans la mesure de paramètres S des transistors et des étalons dans ce chapitre IV.

## II.2. Mesure des étalons d'épluchage « *Open-Short* »

Les mesures des paramètres S effectuées avec des étalons « *Open* » et « *Short* » dans les cinq bandes de fréquences pour la topologie 1 et 2 sont illustrées en **figures IV.3** et **IV.4**. Les bandes de fréquences s'étendent de 250 MHz jusqu'à la fréquence 325 GHz pour la topologie 1 (pitch 50  $\mu\text{m}$ ) et de 250 MHz jusqu'à la fréquence 750 GHz pour la topologie 2 (pitch 25  $\mu\text{m}$ ).

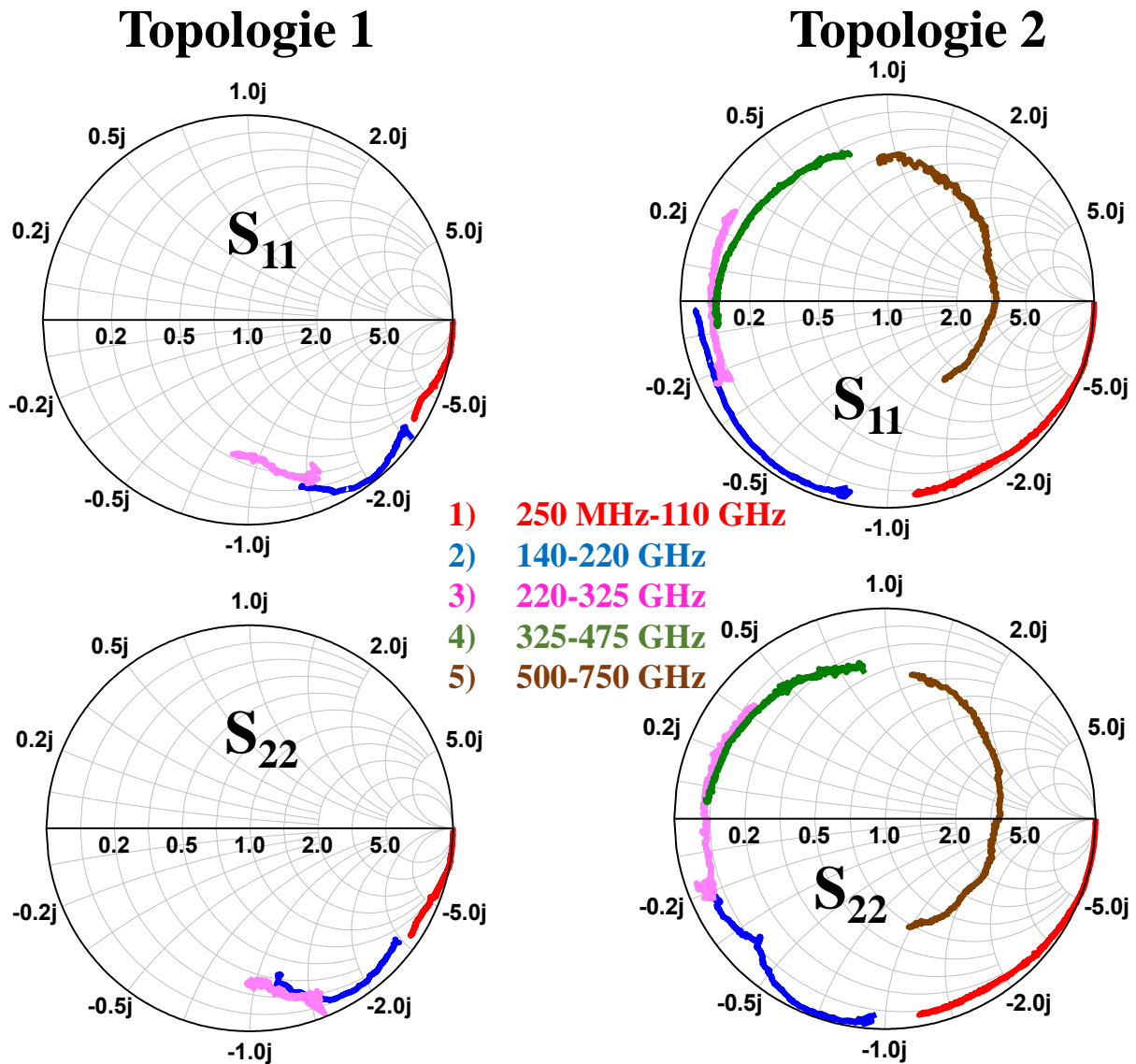


Figure IV.3-Paramètres S de l'étalon Open

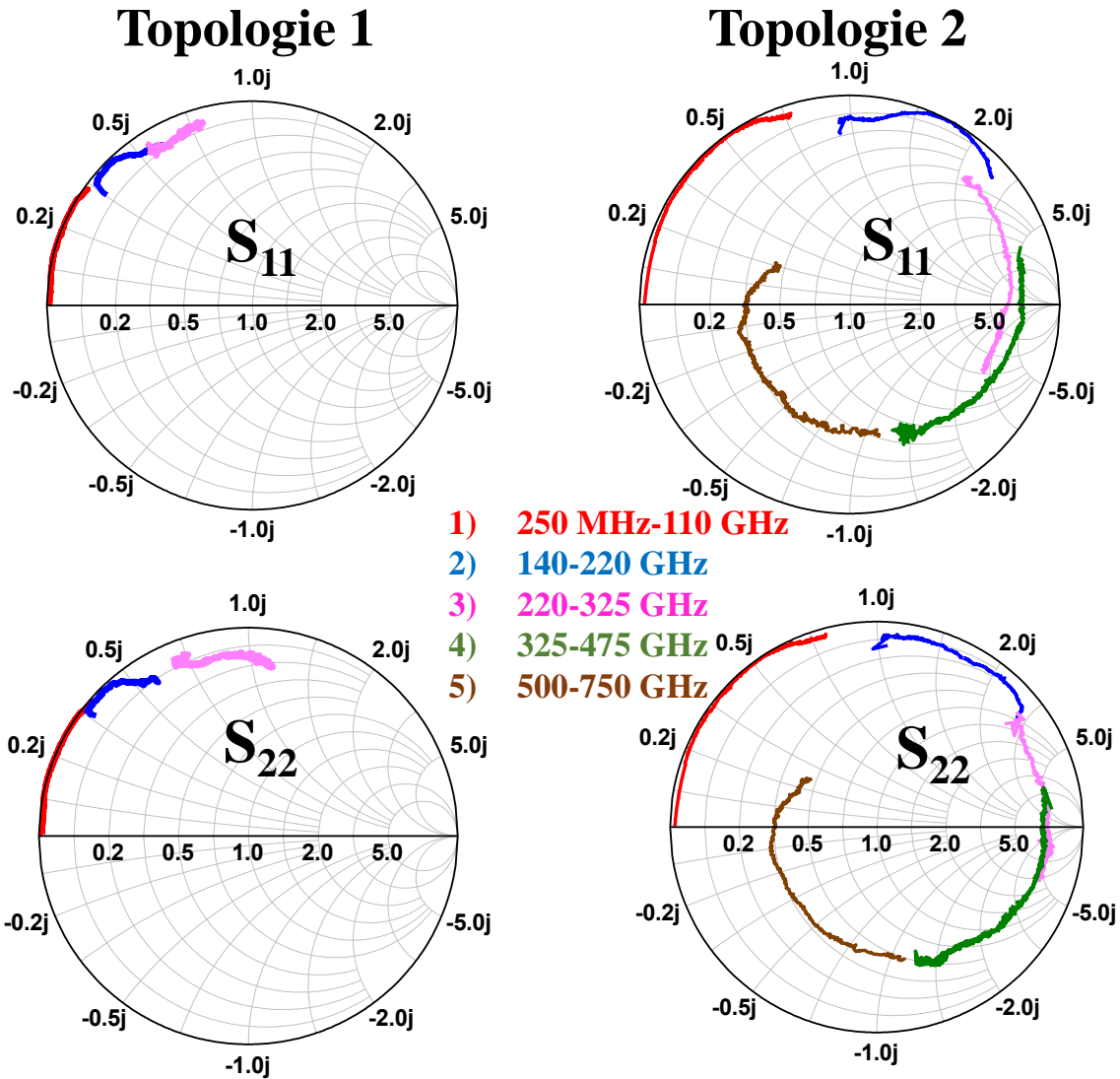
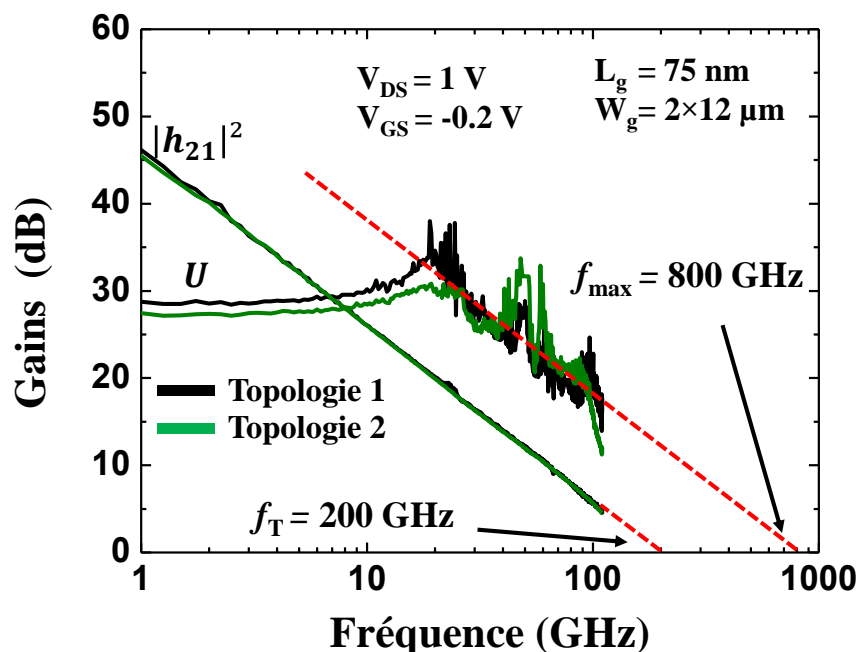


Figure IV.4-Paramètres S de l'étalon Short

Nous pouvons constater que plus la fréquence augmente plus les pertes deviennent importantes. On peut également visualiser des raccords de bande de fréquences incohérents. En effet, nous constatons par exemple que le  $S_{11}@325\text{GHz}$  mesuré en bande 220 – 325 GHz est différent du  $S_{11}@325\text{GHz}$  mesuré en bande [325 – 475 GHz]. ( $S_{11}$  des deux étalons « Open » et « Short » de la topologie 2). Ce phénomène peut s'expliquer partiellement par le posé des pointes des sondes RF dans les différentes bandes (et donc les différents équipements utilisés). Le repositionnement des pointes n'étant pas identique lors d'un passage d'une bande de fréquences à une autre, ceci se traduit par une différence de phase non négligeable sur les paramètres. Ce phénomène peut également s'expliquer par l'étalonnage *off-wafer*. En effet, la méthode *LRRM* est utilisée pour les trois premières bandes et la méthode *TRL* Multi ligne pour le reste des bandes. Ce changement de méthode d'étalonnage est lié au *Cal-kit (TRL)* disponible à l'IEMN pour le banc de mesure [300 GHz – 750 GHz]. Ainsi, l'utilisation de deux méthodes d'étalonnage différentes et la nature différente des substrats de *Cal-kit* (Alumine pour *LRRM* ou Si HR pour *TRL*) peuvent entraîner des erreurs de mesures liées au couplage substrat-sondes pendant l'étalonnage de l'analyseur et la mesure de nos dispositifs [142].

### II.3. Mesure du transistor

Nous présentons dans cette partie l'évolution fréquentielle des gains des transistors obtenus pour les deux topologies présentées précédemment dans toutes les bandes de fréquences. Ces résultats ont été extraits sur un transistor avec recess asymétrique ( $L_{RS} = 70$  nm et  $L_{RD} = 195$  nm) de  $L_g = 75$  nm et  $W_g = 2 \times 12$   $\mu\text{m}$ . La **figure IV.5** représente l'évolution fréquentielle des gains unilatéral de Mason  $U$  et du gain en courant  $|h_{21}|^2$  dans la bande de fréquences [250 MHz – 110 GHz] pour deux topologies d'accès coplanaires. L'épluchage des accès coplanaires a été effectué par la méthode « *Open-Short* », l'extrapolation en -20 dB/décade des courbes a permis d'obtenir des fréquences  $f_T = 200$  GHz et  $f_{max} = 800$  GHz. On peut constater une légère différence entre les deux courbes des gains  $U$  en basses fréquences, ceci peut s'expliquer par plusieurs séquences de mesures effectuées sur ce transistor et l'ajout de l'étape technologique pour réajuster les accès coplanaires (passage à la topologie 2) subi par celui-ci.



**Figure IV.5**-Evolution fréquentielle des gains  $U$  et  $|h_{21}|^2$  dans la bande [250 MHz – 110 GHz] de transistors avec recess asymétrique ( $L_{RS} = 70$  nm et  $L_{RD} = 195$  nm) pour les deux topologies

Concernant l'évolution fréquentielle des gains du transistor, nous présentons uniquement dans la suite de ce chapitre l'extraction des gains  $U$  et  $MSG/MAG$  permettant de déterminer la fréquence maximale d'oscillation  $f_{max}$ , le gain en courant  $|h_{21}|^2$  ne sera pas présenté. L'évolution fréquentielle des paramètres S des transistors avec accès épluchés (mesure corrigée) et avec accès non-épluchés (mesure brute) sera également présentée.

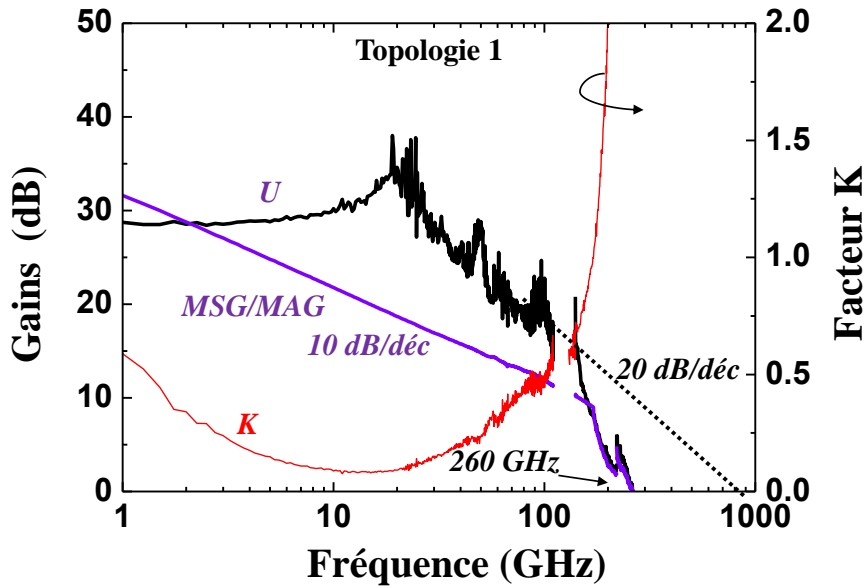


Figure IV.6-Evolution fréquentielle des gains  $U$ ,  $MSG/MAG$  et du facteur de stabilité  $K$  dans les bandes [250 MHz – 110 GHz], [140 GHz – 220 GHz] et [220 GHz – 325 GHz] du transistor de la topologie 1

La figure IV.6 représente les mesures fréquentielles des gains  $U$  et  $MSG/MAG$  dans les bandes [250 MHz – 110 GHz], G [140 GHz – 220 GHz] et J [220 GHz – 325 GHz] du même transistor avec la topologie 1. Celle-ci montre que les gains  $U$  et  $MSG/MAG$  s'annulent à la fréquence 260 GHz. On constate également que le gain  $U$  ne suit plus une évolution en -20 dB/décade au-delà de 110 GHz et décroît très fortement.

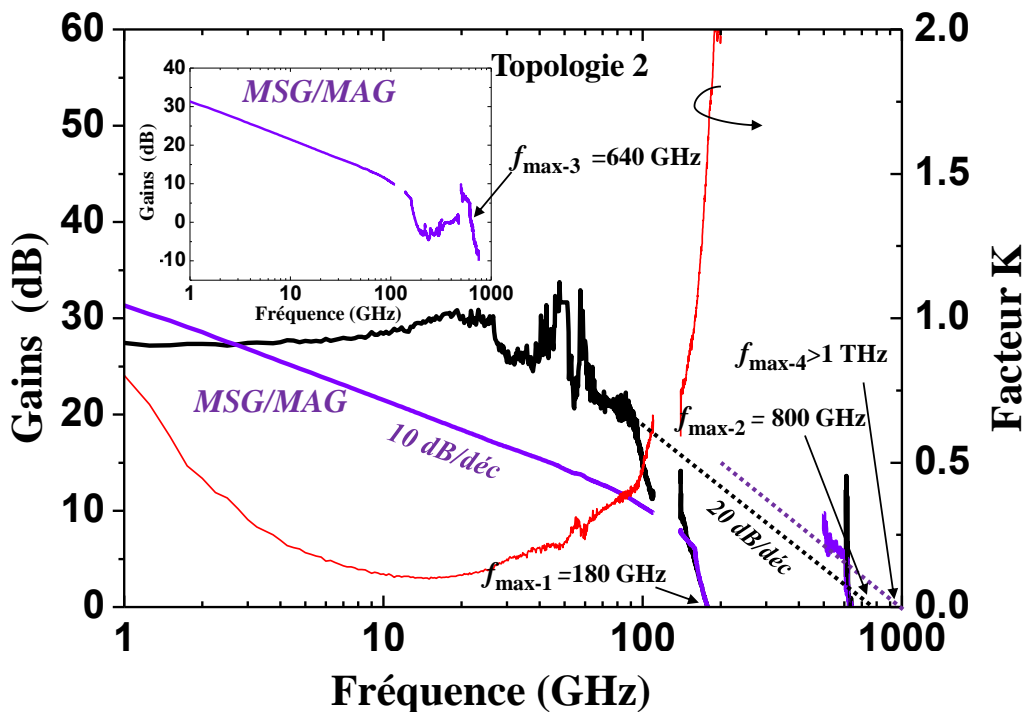


Figure IV.7-Evolution fréquentielle des gains  $U$ ,  $MSG/MAG$  et du facteur de stabilité  $K$  du transistor de la topologie 2 dans toutes les bandes (250 MHz jusqu'à 750 GHz)

La **figure IV.7** représente les mesures fréquentielles des gains  $U$  et  $MSG/MAG$  dans les bandes [250 MHz – 110 GHz], G [140 GHz – 220 GHz], J [220 GHz – 325 GHz], [325 GHz – 475 GHz] et [500 GHz – 750 GHz] du même transistor avec une topologie 2. Seules les valeurs positives des gains sont représentées. La **sous-figure** intégrée à la **figure IV.7** représente, quant à elle, l'évolution du gain  $MSG/MAG$  quel que soit son signe.

On peut tout d'abord constater que le passage à 0 dB des gains se passe à une fréquence de  $f_{\max-1} = 180$  GHz. Or ce passage à 0 dB sur la **figure IV.6** s'effectuait à 260 GHz. Ainsi, le changement de topologie semble modifier l'évolution fréquentielle des gains malgré avoir réalisé un épiluchage des accès. La méthode d'épiluchage par « *Open-Short* » semble donc ne pas fonctionner dans ces bandes de fréquences. On constate également un effet de résonance sur l'évolution du gain  $MAG/MSG$  pour des fréquences comprises entre 200 GHz et 500 GHz. En effet, le gain décroît fortement en début de bande puis augmente de nouveau.

En revanche, au début de la bande [500 GHz – 750 GHz], on retrouve le gain  $MAG$  qui décroît avec une pente en -20 dB/décade. Ainsi, à partir de la **figure IV.7**, plusieurs estimations de la fréquence maximale d'oscillation  $f_{\max}$  peuvent être proposées : L'extraction en -20 dB/décade du gain  $U$  dans la bande [250 MHz – 110 GHz] nous donne un  $f_{\max2} = 800$  GHz. À partir de la « sous figure » intégrée, nous pouvons constater que le gain  $MAG$  passe à 0 dB pour  $f = f_{\max3} = 640$  GHz. Enfin, une extrapolation en -20 dB/décade du gain  $MAG$  dans la bande [500 GHz – 750 GHz] nous donne un  $f_{\max4} > 1$  THz. Il est à noter que le record mondial de  $f_{\max} = 1.5$  THz obtenu par Northrop Grumann [3] est déterminé à partir des mesures du gain  $MAG$  au-delà de 500 GHz avec une extrapolation en -20 dB/décade

Pour comprendre l'évolution atypique des gains dans la bande de fréquence comprise entre 220 GHz et 500 GHz, nous avons mesuré les paramètres S des transistors constitués de deux types de topologies. Les paramètres S ont été mesurés et épiluchés de 250 MHz à 325 GHz utilisant la topologie 1 (**figure IV.8**) et de 250 MHz à 750 GHz pour la topologie 2 (**figure IV.9**). Sur ces figures, nous présentons l'évolution fréquentielle des paramètres S des transistors avec accès épiluchés (mesure corrigée par des étalons ayant la même topologie que celle des transistors) et avec accès non-épiluchés (mesure brute).

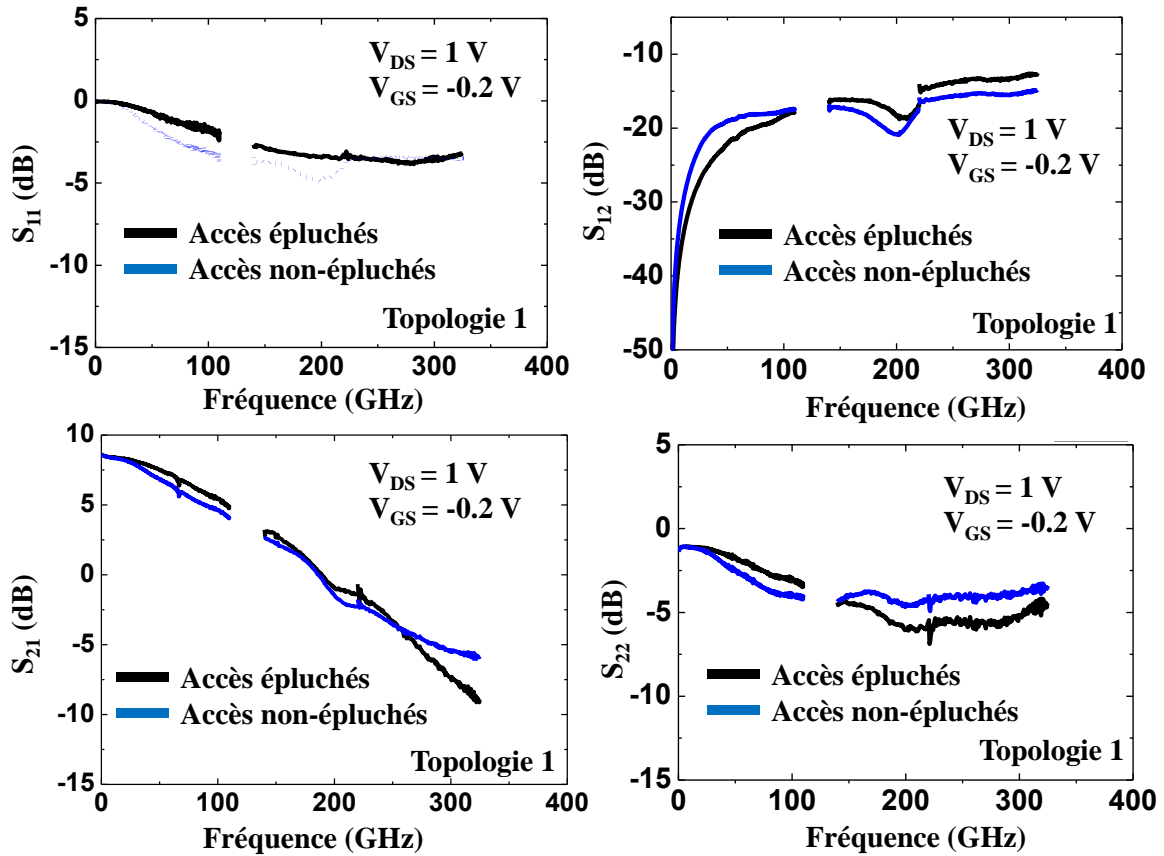


Figure IV.8-Paramètres S du transistor de la topologie 1 avec et sans correction

L'épluchage des accès coplanaires pour la topologie 1 (**figure IV.8**) est correct en général jusqu'à la fréquence 110 GHz. Au-delà de cette fréquence, la méthode d'épluchage semble erronée. En effet, la mesure du paramètre  $S_{12}$  corrigée est supérieure au  $S_{12}$  brut. De même, la valeur du paramètre  $S_{22}$  corrigée est inférieure au  $S_{22}$  brut. Pour le paramètre  $S_{11}$ , on constate que sa valeur est identique au-delà de 220 GHz pour une mesure avec ou sans correction. Ceci peut être dû à l'erreur de l'épluchage et de différents pitch des sondes de mesure utilisées. L'étalonnage utilisé a également un effet important sur la mesure des paramètres S du transistor. Parmi les solutions proposées dans la littérature pour remédier ce problème dans les fréquences sub-THz, l'utilisation d'un seul étalonnage *on-wafer* pour étalonner à la fois le système de mesure et éplucher les accès coplanaires du transistor par la méthode *TRL* [143].



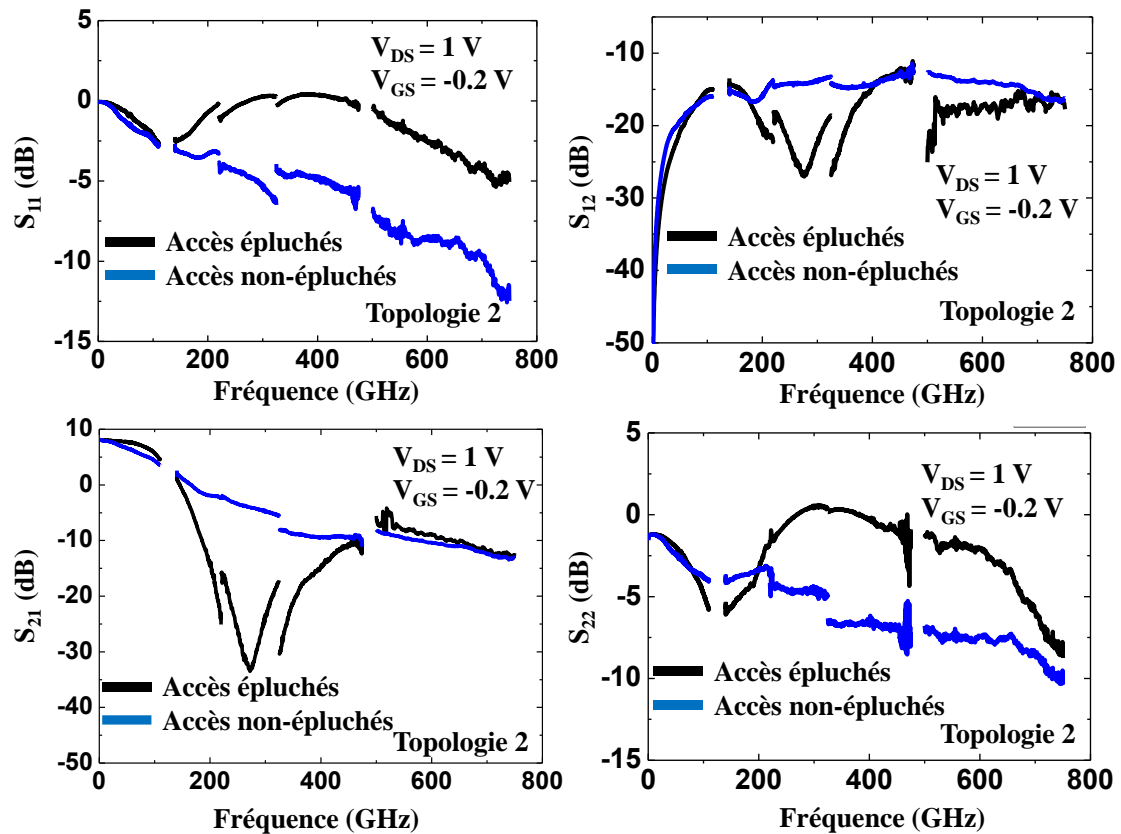


Figure IV.9-Paramètres S du transistor de la topologie 2 avec et sans correction

Par ailleurs, la résonance visible sur la mesure du gain de transistor réalisé avec la topologie 2 (figure IV.7) est de nouveau observée sur les courbes de paramètres S de la même topologie (figure IV.9) dans la bande comprise entre 140 GHz et 500 GHz. En effet, l'épluchage des paramètres S avec cette topologie est impacté par de fortes résonances du début de bande G (140 GHz) jusqu'à la fréquence 475 GHz. En revanche dans la dernière bande de fréquence [500 – 750 GHz] les courbes évoluent de façon « physique », ce qui était observé également dans les courbes du gain *MAG*. Actuellement, nous ne sommes pas en mesure de déterminer l'origine de cette résonance. Toutefois, nous avons voulu étudier séparément (en l'absence de transistor) les deux topologies utilisées afin de savoir si cet effet provient des lignes coplanaires de nos transistors ou de la méthode d'épluchage utilisée. Le paragraphe suivant présente cette étude.

### III. Étude des lignes coplanaires en large bande

#### III.1. Influence de la topologie des lignes coplanaires

Les études de cette partie sont considérées comme des perspectives de ces travaux afin de se rapprocher de la meilleure topologie qui permettrait d'effectuer des mesures fiables jusque 750 GHz. La caractérisation RF des transistors dans les bandes de sub-THz a révélé des problèmes liés aux pertes des lignes coplanaires et à la méthode d'épluchage utilisée. Ces pertes ont un impact très important sur les mesures à ces fréquences. L'épluchage « *Open-Short* »

semble insuffisant et présente un effet négatif sur les paramètres  $S$  corrigés (épluchés) du transistor.

Dans cette partie nous allons focaliser nos recherches sur l'effet de la topologie des lignes sur les paramètres de propagation des lignes de transmissions. En effet, les caractéristiques d'une ligne coplanaire dépendent non seulement du substrat et de l'épaisseur des métallisations mais également de la distance inter-masse ( $W$ ), de la largeur du conducteur central ( $S$ ) et de sa longueur ( $L$ ). Quant aux mesures effectuées sur une ligne coplanaire, celles-ci dépendront également de l'environnement de mesure.

Les lignes de différentes topologies ont été fabriquées sur un substrat InP, nous nous sommes basées sur les topologies du transistor (**figure IV.1**) pour réaliser des lignes coplanaires de différentes architectures. La **figure IV.10** illustre le réajustement des accès coplanaires réalisé pour correspondre aux mêmes topologies du transistor de la partie précédente. La topologie 2 (**figure IV.10-b**) présente des plans de masse de grandes tailles vis-à-vis de la topologie 1 et du *cal-kit* d'étalonnage de l'analyseur de réseau utilisé. Les caractéristiques ( $S$  et  $W$ ) des lignes coplanaires de la topologie 1 sont identiques à celles utilisées à l'IEMN depuis plusieurs années (**figure IV.10-a**). Quant aux topologies 3 et 4 (**figures IV.10-c** et **IV.10-d**), celles-ci sont constituées de lignes coplanaires plus longues (200 et 244  $\mu\text{m}$ ) avec respectivement une distance intermasse  $W$  et une largeur du ruban central  $S$  correspondant aux topologies 1 et 2.

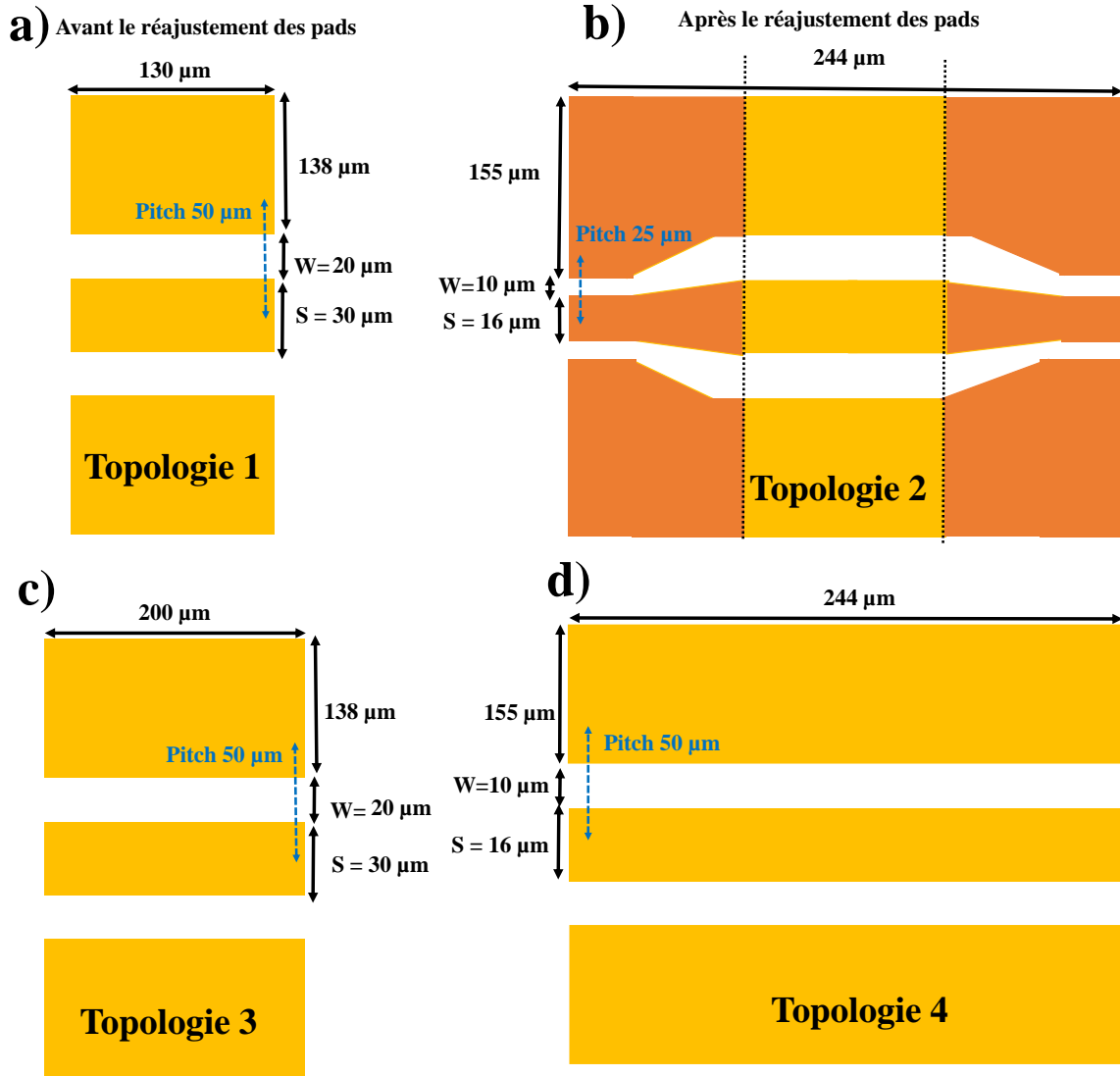


Figure IV.10- Topologies de lignes coplanaires correspondant aux transistors mesurés. a) Topologie 1 identique à celle des accès du transistor, b) topologie 2 accès du transistor avec réajustement de la distance inter-masse, c) topologie 3 et d) topologie 4.

### III.2. Méthode d'extraction des caractéristiques des lignes coplanaires

Pour extraire les paramètres de propagation et les caractéristiques de ligne coplaire à partir de paramètres S mesurés, nous avons utilisé les équations d'une ligne de transmission de longueur «  $l$  » décrites dans les travaux de thèse de [144]. La matrice chaîne ABCD de la ligne de transmission est donnée par l'Eq-IV.1

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} \cosh \gamma l & Z_c \sinh \gamma l \\ \frac{1}{Z_c} \sinh \gamma l & \cosh \gamma l \end{pmatrix} \quad \text{Eq-IV.1}$$

À partir des transformations matricielles entre la matrice [ABCD] et la matrice [S] ainsi que la symétrie dans une ligne de transmission ( $S_{11} = S_{22}$  et  $S_{12} = S_{21}$ ), nous pouvons réécrire A, B, C et D en fonction de quatre paramètres S comme suite :

$$\left\{ \begin{array}{l} A = D = \frac{1 - S_{11}^2 + S_{21}^2}{2S_{21}} = \frac{e^{\gamma l} + e^{-\gamma l}}{2} \quad \text{Eq-IV.2} \\ B = \frac{1 + 2S_{11} + S_{11}^2 - S_{21}^2}{2S_{21}} Z_0 = Z_c \frac{e^{\gamma l} - e^{-\gamma l}}{2} \quad \text{Eq-IV.3} \\ C = \frac{1 - 2S_{11} + S_{11}^2 - S_{21}^2}{2S_{21}} \frac{1}{Z_0} = \frac{1}{Z_c} \frac{e^{\gamma l} - e^{-\gamma l}}{2} \quad \text{Eq-IV.4} \end{array} \right.$$

Nous obtenons un système de trois équations à quatre inconnues ( $Z_c$ ,  $\gamma$ ,  $S_{11}$  et  $S_{21}$ ). Pour résoudre ce système et déduire la constante de propagation  $\gamma$  en fonction de quatre paramètres  $S$ , nous devons simplifier le calcul en éliminant le paramètre  $Z_c$ . Pour ce faire, nous effectuons dans un premier temps le produit ( $B \times C$ ).

$$\left\{ \begin{array}{l} B \times C = C' = \frac{1 + 2S_{11} + S_{11}^2 - S_{21}^2}{S_{21}} \frac{1 - 2S_{11} + S_{11}^2 - S_{21}^2}{S_{21}} = (e^{\gamma l} - e^{-\gamma l})^2 \quad \text{Eq-IV.5} \\ \quad = \frac{(1 + S_{11}^2 - S_{21}^2)^2 - 4S_{11}^2}{S_{21}^2} = (e^{\gamma l} - e^{-\gamma l})^2 \\ C' = \mp \sqrt{\frac{(1 + S_{11}^2 - S_{21}^2)^2 - 4S_{11}^2}{S_{21}^2}} = e^{\gamma l} - e^{-\gamma l} \end{array} \right.$$

Puis dans un deuxième temps, l'équation **Eq-IV.5** est additionnée à l'équation **Eq-IV.2** c'est-à-dire ( $A+C'$ ) pour obtenir :

$$\left\{ \begin{array}{l} \frac{1 - S_{11}^2 + S_{21}^2}{S_{21}} \mp \sqrt{\frac{(1 + S_{11}^2 - S_{21}^2)^2 - 4S_{11}^2}{S_{21}^2}} = 2e^{\gamma l} \quad \text{Eq-IV.6} \\ \frac{2S_{21}}{1 - S_{11}^2 + S_{21}^2 \mp \sqrt{(1 + S_{11}^2 - S_{21}^2)^2 - 4S_{11}^2}} = e^{-\gamma l} \end{array} \right.$$

Finalement, nous pouvons déduire les paramètres de propagation à partir de l'équation **Eq-IV.6** :

$$\gamma = \alpha + j\beta \quad \text{Eq-IV.7}$$

$$\alpha = \frac{-1}{l} |e^{-\gamma l}| \quad \text{Eq-IV.8}$$

$$\beta = \frac{-1}{l} \arg(e^{-\gamma l}) \quad \text{Eq-IV.9}$$

$\gamma$  : Constate de propagation

$\alpha$  : Coefficient d'atténuation (néper)

$\beta$  : Constante de phase (rad)

Nous pouvons également calculer les autres caractéristiques de la ligne de transmission telles que l'impédance caractéristique  $Z_c$  à partir de l'Eq-IV.3 et Eq-IV.4 (B/C) et la permittivité effective  $\epsilon_{eff}$  à partir d'Eq-IV.9 :

$$Z_c = B/C = \mp Z_0 \sqrt{\frac{(1 + S_{11})^2 - S_{21}^2}{(1 - S_{11})^2 - S_{21}^2}} \quad \text{Eq-IV.10}$$

$$\left\{ \begin{array}{l} \beta = \frac{2\pi}{\lambda} = \frac{2\pi f \sqrt{\epsilon_{eff}}}{C_0} \end{array} \right. \quad \text{Eq-IV.11}$$

$$\left\{ \begin{array}{l} \epsilon_{eff} = \left( \frac{\beta C_0}{2\pi f} \right)^2 \end{array} \right. \quad \text{Eq-IV.12}$$

$C_0$ : Célérité  $3 \times 10^8$  m/s

### III.3. Mesure et extraction des caractéristiques de ligne coplanaire

Pour extraire les caractéristiques et les paramètres de propagation des lignes coplanaires, une mesure de paramètres S des lignes coplanaires de quatre topologies a été effectuée dans une bande de fréquence allant de 250 MHz jusqu'à 325 GHz. Nous présentons dans la **figure IV.11** les caractéristiques des paramètres S des quatre topologies décrites dans la **figure IV.10**. On peut constater que l'hypothèse de l'asymétrie de la ligne n'est pas validée pour la mesure effectuée principalement sur les paramètres de réflexion  $S_{11}$  et  $S_{22}$ , ceci peut être dû à une erreur liée aux sondes RF pendant la mesure et le posé des pointes sur les plots métalliques de la ligne. En revanche les paramètres de transmission  $S_{21}$  et  $S_{12}$  sont quasi-identiques pour toute la gamme de fréquences. Cette différence des paramètres de réflexion va impacter directement l'extraction des caractéristiques des lignes coplanaires ( $\alpha, \beta, \epsilon_{eff}$  et  $Z_c$ ).

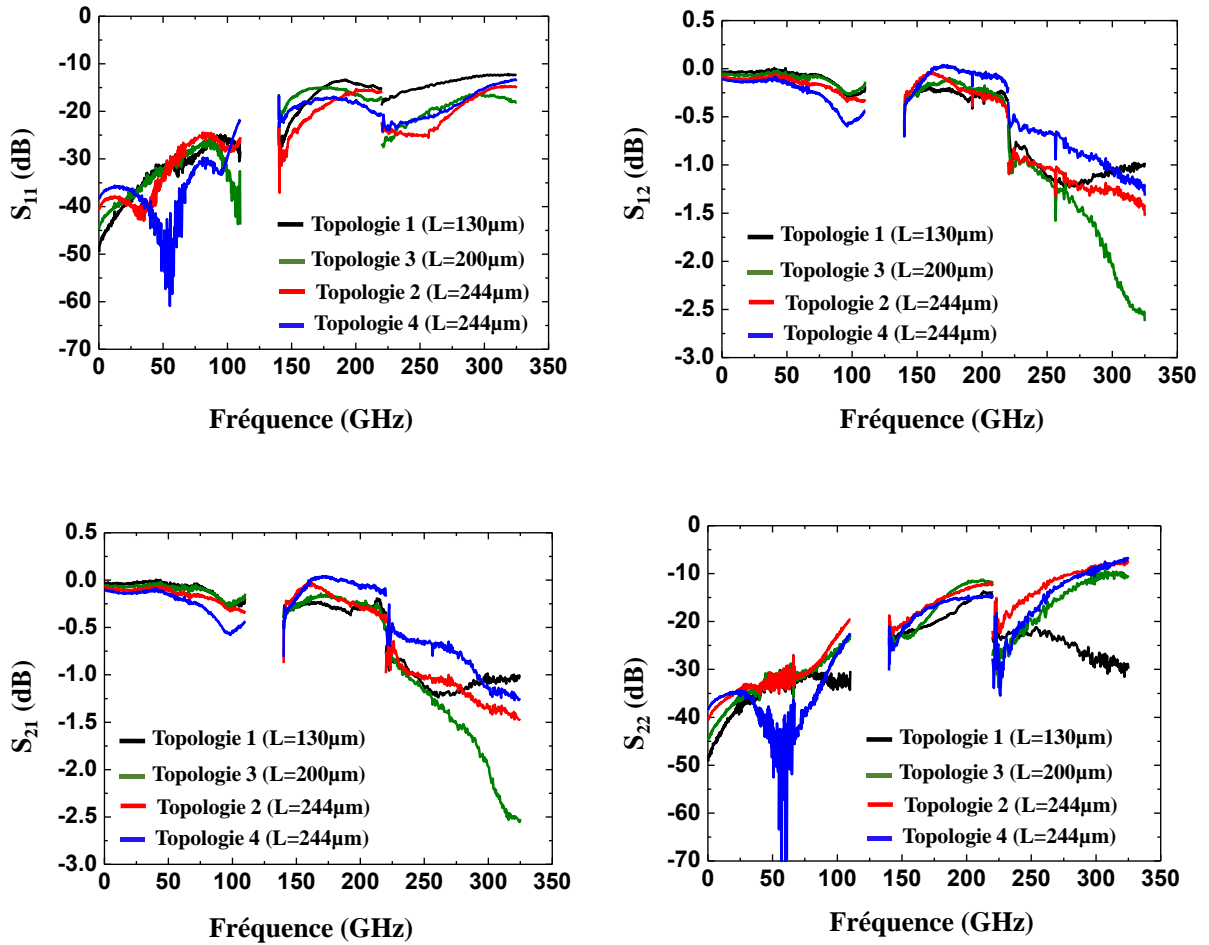


Figure IV.11- Évolution fréquentielle de quatre paramètres S de 250 MHz jusque 325 GHz pour les quatre topologies

Pour vérifier l'effet de la dissymétrie des paramètres S des lignes coplanaires sur les éléments de la matrice chaîne ABCD, nous avons comparé deux éléments identiques A et D de cette matrice. D'après la matrice chaîne  $A = D = \cosh \gamma l$  (Eq-IV.1), la **figure IV.12** illustre l'erreur qu'on peut avoir sur les éléments A et D calculés à partir des paramètres S. Une légère différence apparaît dans la bande 110 GHz, cette différence devient beaucoup plus importante dans la bande J à partir de 225 GHz. Les paramètres S en réflexion  $S_{11}$  et  $S_{22}$  sont également différents comme présentée dans la **figure IV.11**. Bien que cette asymétrie des paramètres introduit une erreur sur la matrice chaîne théorique des lignes coplanaires (Eq-IV.1), nous avons tout de même décidé d'extraire les caractéristiques  $\alpha, \beta, \epsilon_{eff}$  et  $Z_c$  de ces lignes. Cette extraction donnera des indications sur l'effet des topologies d'accès coplanaires utilisées pendant la mesure du transistor. En effet, malgré l'erreur de la dissymétrie de mesure des lignes coplanaires, les conditions de mesures restent identiques entre la mesure des transistors et celle des lignes coplanaires.

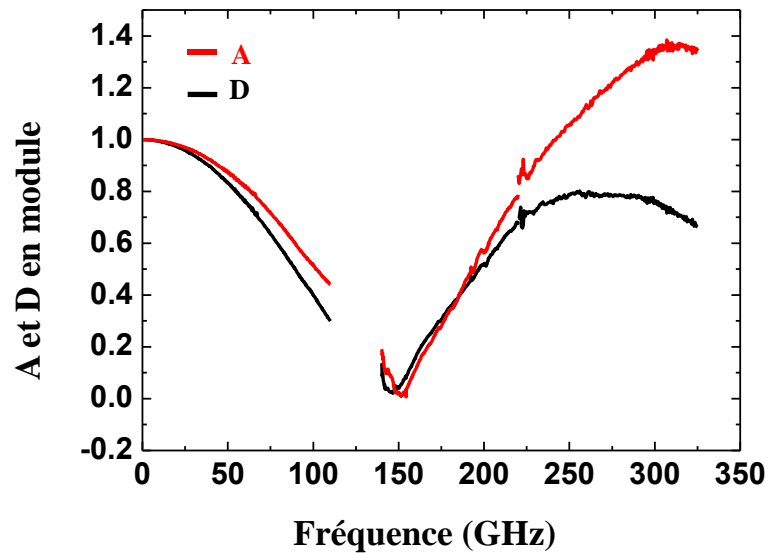


Figure IV.12- Comparaison des éléments A et D de la matrice chaîne

Le calcul des caractéristiques des lignes coplanaires est réalisé à partir des équations IV-8, 9, 10 et 12. La **figure IV.13** présente les caractéristiques des lignes coplanaires de quatre topologies décrites dans la **figure IV.10**. Le coefficient d'atténuation  $\alpha$  (**figure IV.13-a**), le paramètre  $S_{21}$  en dB/mm (**figure IV.13-b**), la constante de phase  $\beta$  (**figure IV.13-c**), la permittivité effective  $\varepsilon_{eff}$  (**figure IV.13-d**) et l'impédance caractéristique  $Z_c$  en partie réelle (**figure IV.13-e**) et partie imaginaire (**figure IV.13-f**). Les topologies 1 et 2 correspondent aux topologies du transistor avant et après le réajustement des accès coplanaires. La topologie 3 correspond à la géométrie des lignes d'accès des transistors sans réajustement, seule la longueur est différente (200  $\mu\text{m}$  au lieu de 130  $\mu\text{m}$ ). La topologie 4 est quant à elle, une ligne coplaire dont les dimensions sont les mêmes que celles utilisées pour la correction des accès des transistors. On constate sur les topologies 1 et 3, des paramètres  $S_{21}$  normalisés par la longueur de ligne, très importants qui se traduisent par des pertes  $\alpha$  (**figure IV.3-a**), qui sont bien au-delà de ce que l'on attend d'une ligne coplaire à 300 GHz (pertes environ de 3dB/mm littérature). Toutefois, l'impédance caractéristique de ces deux lignes fluctue autour de 50  $\Omega$  sur toute la bande de fréquence. En ce qui concerne les topologies 2 et 4, les  $S_{21}$  sont plus faibles. On a donc des pertes plus faibles avec les topologies 2 et 4 en comparaison avec les topologies 1 et 3 (**figure IV.13-a**). Cependant on observe une forte résonance en fin de bande J, à 300 GHz. Cette résonance rend les interprétations difficiles.

Ainsi les topologies 1 et 2, qui correspondent aux accès coplanaires des transistors avant et après correction offrent des pertes très importantes. Par ailleurs la topologie 2 est elle-même constituée de la topologie 1. On peut donc conclure que la topologie utilisée pour les accès coplanaires des transistors mesurés, même avec correction, n'est pas adaptée pour des mesures en bande J. Cette tendance pourra être confirmée dans les bandes de fréquences supérieures, [325 GHz – 475 GHz] et [500 GHz – 750 GHz].

Enfin, la permittivité effective a aussi été extraite (**figure IV.13-d**). Elle est d'environ  $\varepsilon_{eff} = 5$  pour la topologie 2 ( $S = 16 \mu\text{m}$  et  $W = 10 \mu\text{m}$ ) cette valeur est proche de la valeur théorique (d'environ 6.5). Plus les valeurs de ligne  $S$  et  $W$  sont élevées (topologies 1 et 3), plus

la valeur de la permittivité diminue. La valeur obtenue pour la topologie 3 de longueur  $L = 200 \mu\text{m}$  est de  $\varepsilon_{eff} = 4$ , celle-ci devient très faible pour la topologie 1 de longueur  $L = 130 \mu\text{m}$  ( $S = 30 \mu\text{m}$  et  $W = 20 \mu\text{m}$ ) avec  $\varepsilon_{eff} = 2$ .

D'après [4] et [5] la faible valeur de la permittivité est due à la réduction de dispersion des plans de masse. Cette réduction de la dispersion a pour origine la réduction du couplage entre le mode CPW et le mode surface lorsque les plans de masse sont réduits. La propagation des modes de surface entraîne non seulement des pertes par rayonnement, mais aussi une dispersion. Avec l'augmentation de la fréquence, l'interaction entre le mode CPW et les modes ondes de surface modifie également la constante de phase  $\beta$  en minimisant celle-ci comme observé dans la **figure IV.13-c** pour la topologie 1.



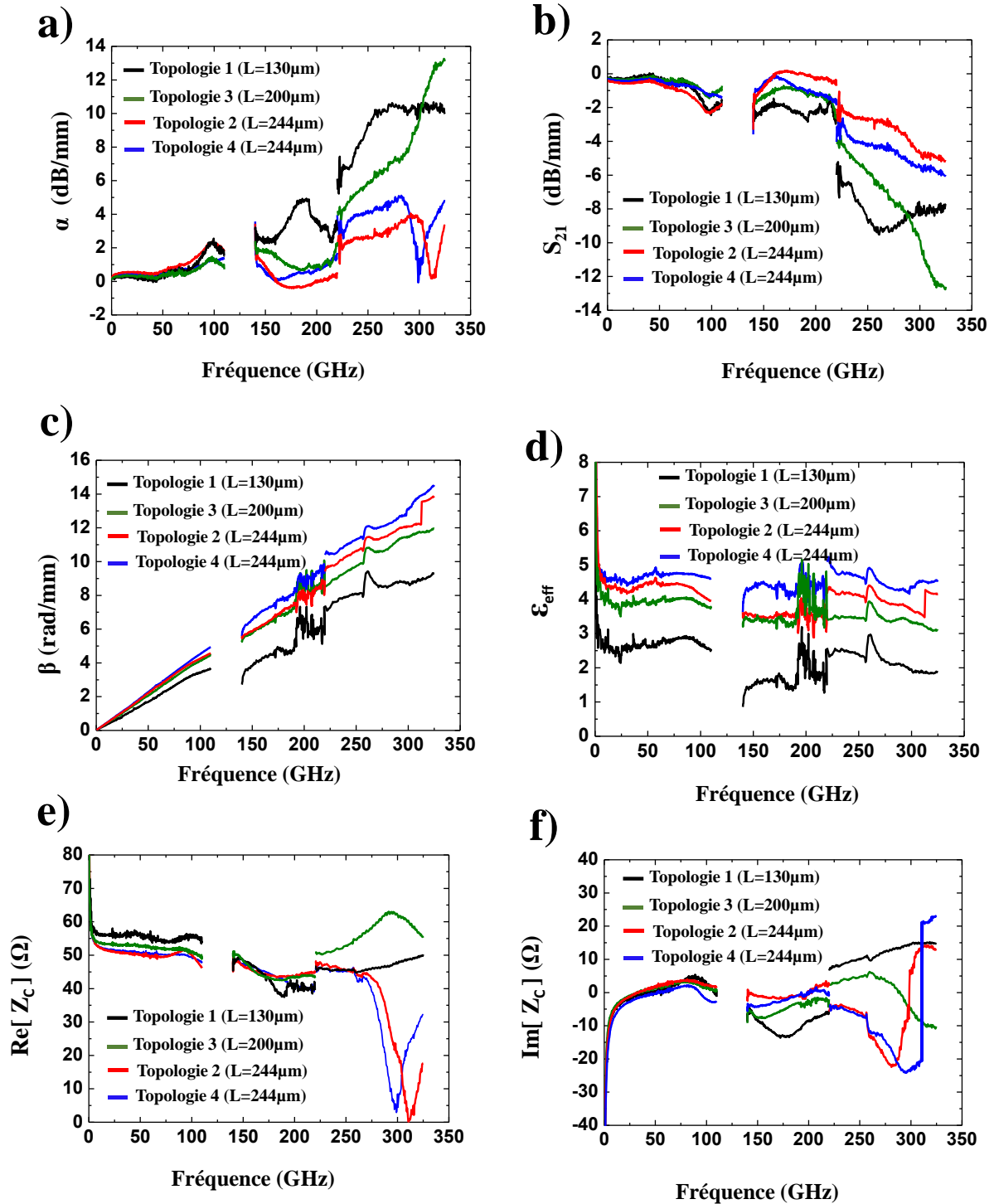


Figure IV.13- Évolution fréquentielle de quatre paramètres de propagation de 250 MHz jusque 325 GHz pour les quatre topologies

Les 4 topologies étudiées ont des architectures différentes et des plans de masse également différents 138  $\mu\text{m}$  pour la topologie 1 et 3 et 155  $\mu\text{m}$  pour les topologies 2 et 4. Les études menées dans [4] ont montré que les plans de masse ont un effet sur les caractéristiques des lignes coplanaires, plus ces derniers sont étroits, plus les pertes sont minimisées.

## IV. Conclusion du chapitre IV

Dans ce dernier chapitre, nous avons présenté les résultats des mesures de paramètres S du transistor et des éléments passifs : étalons d'épluchage et lignes coplanaires dans une large bande de fréquence allant jusqu'à la fréquence 750 GHz. Une concordance de mesure de paramètres S du transistor et des étalons associés entre les différentes bandes est obtenue par la topologie 1. En ce qui concerne la topologie 2, la mesure est également cohérente pour les paramètres S du transistor avec accès coplanaires. Toutefois, après l'épluchage des fortes dispersions sont observées sur l'évolution fréquentielle des paramètres S et des gains.

Une étude a été réalisée sur l'effet de la topologie de ligne coplaire par l'extraction des caractéristiques et des paramètres de propagation. Malgré la dissymétrie de mesure des lignes coplanaires, nous avons pu estimer les pertes introduites sur les accès coplanaires du transistor. Ces pertes sont extrêmement importantes et rendent les mesures sur les transistors difficilement exploitables au-delà de 110 GHz.

Les investigations dans nos travaux de thèse n'ont pas été finalisées pour déterminer les topologies optimales des transistors pour chaque bande de fréquences. Pour pouvoir déterminer la topologie coplaire la plus adaptée aux mesures des transistors HEMT dans les bandes supérieures, il est nécessaire de réaliser des études approfondies accompagnées par des simulations électromagnétiques afin de comprendre tous les phénomènes rencontrés. D'autres études doivent être effectuées pour la suite de ces travaux comme l'étude des étalonnages *off-wafer* et *on-wafer* utilisés. L'utilisation de topologies coplanaires à distance inter-masse adaptée aux sondes RF est recommandée, afin d'éviter tous problèmes liés aux différents couplages entre les motifs mesurés et le système de mesure ainsi que la symétrie pendant la mesure.



## *Conclusion générale et perspectives*

Les travaux présentés dans ce manuscrit ont porté sur le développement de transistors HEMT à base de matériaux III-V dont le but est d'atteindre des fréquences de fonctionnement de THz. Ces transistors à hétérojonction InAlAs/InGaAs/InAs sur substrat d'InP sont les meilleurs candidats pour les applications en réception et détection, en gamme d'onde sub-millimétriques. L'état de l'art détenu par le groupe américain Northrop Grumman corporation est une fréquence maximale d'oscillation de 1.5 THz obtenue avec un HEMT InAlAs/InGaAs/InAs sur substrat d'InP de longueur de grille 25nm. Plus récemment Fujitsu a obtenu un  $f_{max}$  de 1.3 THz avec une longueur de grille beaucoup plus importante, 75 nm. Dans ce travail, nous avons exploré une technologie similaire. Le groupe ANODE, de l'IEMN, détient une technologie de HEMT sur InP de fréquence maximale d'oscillation de 500 GHz et de longueur de grille 30 nm. En se basant sur cette technologie existante, nous avons développé une technologie de HEMT à environ 75 nm.

Dans le chapitre 1, nous avons décrit le contexte général de ces travaux et la littérature des transistors à effet de champ plus particulièrement, les HEMTs à canal composite InGaAs/InAs (pseudomorphique) sur un substrat d'InP. Ce chapitre résume les performances fréquentielles obtenues ces dix dernières années sur des transistors et des circuits amplificateur faible bruit (LNA) ainsi que leur domaine d'application. Une comparaison de différentes technologies a été également présentée pour renforcer notre choix de travailler avec une technologie à base d'InP. Ces composants et circuits sont de très bons candidats pour les applications destinées aux domaines des télécommunications, du téléchargement de données sans fil, de l'imagerie pour la sécurité ou le médical et la radioastronomie. Des amplificateurs faible bruit fonctionnant à 1 THz a été réalisé par Northrop Grumman corporation qui est considéré le leader de la conception électronique pour les fréquences THz. En Europe, les laboratoires et industriels intéressés par ces technologies sont peu nombreux, on peut citer le Fraunhofer-IAF en Allemagne et la société OMMIC en région parisienne.

Une grande partie de ce travail de thèse a été consacrée à la réalisation technologique de HEMT InAlAs/InGaAs/InAs sur substrat d'InP. Deux procédés de fabrication ont été présentés dans le second chapitre. Nous avons d'abord étudié et comparé plusieurs structures épitaxiales en collaboration avec le groupe de croissance de matériaux de l'IEMN, EPIPHY. Ces optimisations ont mené à des propriétés de transport électronique mesurées par effet Hall, une mobilité de Hall  $\mu_{Hall} = 12000 \text{ cm}^2/\text{V} \cdot \text{s}$  associée à une densité surfacique d'électron  $N_{Hall} = 2.65 \times 10^{12} \text{ cm}^{-2}$ . Après avoir décrit les structures retenues, nous avons entamé la réalisation technologique des HEMTs, ceci en faisant une description du procédé 1 qui a été la version optimisée du procédé grille « nitrure » développé depuis plusieurs années par le groupe ANODE. L'objectif de ce procédé était donc de réaliser des transistors de grille très courte à travers une couche de nitrure de silicium. Des longueurs de grille d'environ 40 nm ont été obtenues avec des recess (gravure du fossé de grille) étroits issus de la gravure de la couche cap par la solution  $\text{H}_3\text{PO}_4$  développée également durant ces travaux de thèse. Les topologies retenues (30 nm de couche de contact ohmique) et la passivation de la surface par le nitrure de silicium  $\text{Si}_3\text{N}_4$  (30 nm) sont toutefois à l'origine de la limitation de réduction de longueur de grille du transistor. On constate en effet par observation des coupes transversales de HEMTs,

qu'en deçà de 40 nm, la partie haute de grille en forme de T n'est plus connectée au pied de grille, rendant ainsi le transistor inopérant (grille en circuit ouvert). Par ailleurs, les dernières publications sur la réalisation des HEMT montrent qu'il est envisageable d'améliorer les performances du transistor en réalisant des recess asymétriques avec des longueurs de grille relativement longues. Le procédé 2 s'inscrit dans ce contexte de réalisation des transistors avec des recess de grille asymétriques (plus long côté drain). La surface recessée dans le procédé 1 étant en contact direct avec l'air, les résistances de contact ohmique importantes avec  $R_c = 0.23 \Omega \cdot \text{mm}$ . De plus la zone recessée présente une résistance carrée (sheet resistance) importante déduite par des mesures de hall sur des échantillons sans couche de contact ohmique ( $R_{Hall} = 491 \Omega/\square$ ). Ces deux paramètres électriques conduisent à une résistance d'accès importante. Le procédé 2 permet de remédier à ce problème par un dépôt d'une couche de nitrure de silicium directement sur la zone recessée. On a ainsi une passivation de la zone recessée. Ce qui a conduit à une amélioration des résistances de contact  $R_c = 0.15 \Omega \cdot \text{mm}$  et de résistance carrée  $R_{Hall} = 167 \Omega/\square$  (sans la couche de contact ohmique). En revanche, la lithographie utilisée dans le procédé 2, au cours de laquelle on définit l'ensemble de la grille en T en une étape, ne peut pas permettre de réaliser des grilles en deçà de 50 nm, sans impacter l'uniformité, la reproductibilité et le rendement de cette technologie.

La troisième partie de ce mémoire a porté sur la caractérisation des transistors réalisés. Des mesures statiques, dynamiques ont été présentées pour l'ensemble des composants fabriqués avec les procédés 1 et 2. Quant aux mesures de bruit, elle a été uniquement consacrée au transistor du procédé 2. Les paramètres S et les gains des transistors ont été mesurés dans une bande de fréquence qui s'étend de 250 MHz jusqu'à 110 GHz, et la mesure de bruit a été réalisée sous trois bandes de fréquences (6-20, 20-42 et 75-110 GHz). Les performances statiques obtenues par les transistors issus du procédé 1 sont satisfaisantes, le courant maximal de drain est d'environ 1790 mA/mm et la transconductance extrinsèque  $g_m$  est de 2000 mS/mm. Les résultats dynamiques sont majoritairement autour des 500 GHz pour la fréquence maximale d'oscillation et de 400 GHz pour la fréquence de coupure du gain en courant  $f_T$ . À ce stade, l'objectif de la thèse n'est pas rempli par ces deux figures de mérite obtenues à partir du procédé 1. De ce fait, les transistors réalisés à partir de la nouvelle technique de fabrication décrite dans le procédé 2 ont permis d'obtenir des performances fréquentielles comparables avec l'état de l'art actuel. Des fréquences  $f_{max}$  de 500 GHz jusqu'à 1 THz ont été obtenues [146] [147] par l'extension du recess côté drain ( $L_{RD}$ ), cette extension améliore les rapports intrinsèques du transistor  $g_m/g_d$  et  $C_{gs}/C_{gd}$  et donc la fréquence maximale d'oscillation, une dégradation de la fréquence de coupure  $f_T$ . Des mesures de bruit ont été effectuées sur les HEMTs du procédé 2. Les quatre paramètres de bruit ont été extraits sur les bandes de fréquences décrites précédemment par la méthode du  $NF_{50}$  développée à l'IEMN. Les  $NF_{min}$  obtenus sont 0.82 dB et 1.8 dB avec des gains associés de 16 dB et 11.6 dB à respectivement 40 GHz et 94 GHz. Ces résultats ont été obtenus à partir d'un transistor HEMT avec recess asymétrique ( $L_{RS} = 70$  nm et  $L_{RD} = 175$  nm), passivé, de longueur de grille 75 nm et de  $f_{max} = 800$  GHz.

En fin, la dernière partie de nos travaux a été consacrée aux mesures de paramètres S au-delà de 110 GHz, le but de ces mesures était de valider l'évolution des gains à des fréquences supérieures à 110 GHz, plus particulièrement le gain en puissance  $U$  et  $MAG$ . Les fréquences  $f_{max}$  reportées ont été déterminées par la même méthode utilisée dans la littérature, basée sur

l'extrapolation du gain  $U$  en  $-20$  dB/décade. Un transistor dont la fréquence  $f_{max}$  était égale à  $800$  GHz obtenue à partir d'une extrapolation en  $-20$  dB/décade à partir de  $110$  GHz, a été étudié et mesuré jusqu'à  $750$  GHz. Les mesures ont révélé que la méthode d'épluchage n'est plus correcte au-delà de  $110$  GHz pour la structure coplanaire adoptée par nos transistors notamment entre  $200$  et  $500$  GHz. Néanmoins, le maximum du gain  $MAG$  varie de  $5$  dB à  $7$  dB entre  $500$  GHz et  $600$  GHz, l'extrapolation de celui-ci en  $-20$ dB/décade nous donne une fréquence supérieure à  $1$ THz.

## Perspectives

Ce mémoire a présenté une optimisation de la technologie HEMT sur substrat d'InP ainsi que sa caractérisation statique, dynamique jusqu'à l'extraction de ces quatre paramètres de bruit. Technologiquement, nous avons optimisé la structure épitaxiale et les procédés de fabrication. En revanche dans la partie caractérisation, nous nous sommes basés sur l'expérience acquise par l'IEMN pour mesurer nos transistors en utilisant des méthodes existantes d'étalonnages *off-wafer* et *on-wafer*. De ce fait, les perspectives de ces travaux sont nombreuses et peuvent être présentées en deux principales parties :

### Perspectives : réalisation technologique

À la fin de nos travaux de thèse, nous voulons vérifier l'effet de décentrage de l'électrode de grille entre les électrodes de drain et de source. En effet, cette technique est généralement utilisée pour les HEMT de grand gap à base de GaN. Elle consiste à rapprocher l'électrode de grille de l'électrode de source afin de minimiser le champ électrique côté drain et de réduire la résistance de source  $R_S$ . Fujitsu a également réalisé des HEMT sur InP dont l'électrode de grille est proche de l'électrode de source, ce rapprochement entre ces deux électrodes a permis d'améliorer les performances du gain de transistor d'environ  $300$  GHz [20]. Des technologies à base de GaN adoptent également cette technique pour améliorer les performances fréquentielles des HEMTs [148], [149]. Nous avons donc réalisé une structure HEMT de  $L_g = 75$  nm avec recess asymétrique ( $L_{RS} = 70$  nm et  $L_{RD} = 220$  nm) et dont l'espacement grille-source a été réduit de  $200$  nm. Les résultats obtenus sont illustrés dans la **figure -Conc1** [147].

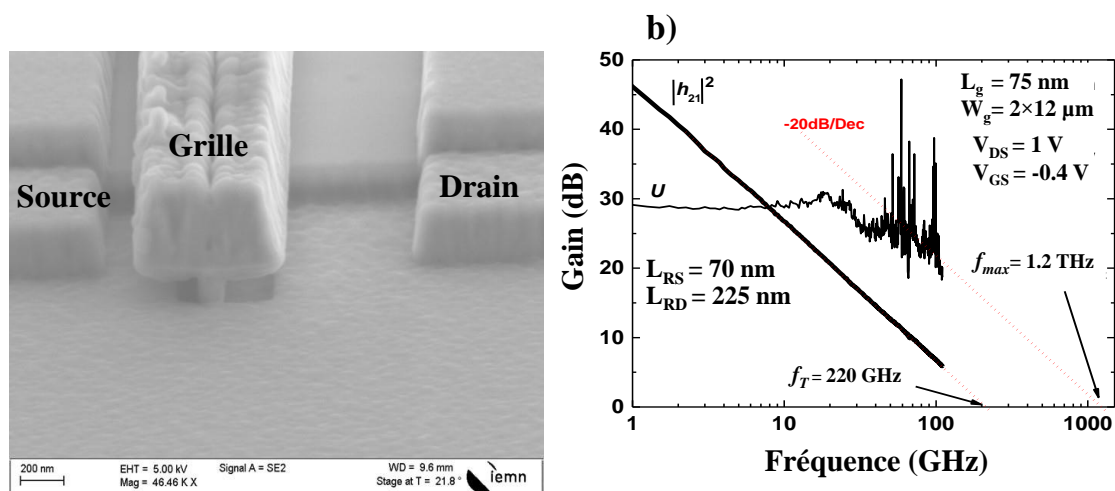


Figure-Conc. 1--Images MEB pour un transistor a grille décentré de  $200$  nm et b) évolution fréquentielle des gains  $U$  et  $|h_{21}|^2$

L'extrapolation en -20 dB/décade a permis d'avoir une fréquence  $f_{max}$  de 1.2 THz, la courbe du gain  $U$  est bruitée et possède un changement de pente à 40 GHz. Cette partie n'a pas été abordée durant ces travaux de thèse par la raison de la reproductibilité de ce type de topologie (grille proche côté drain). Malheureusement, ces résultats ne peuvent pas être confirmés par une simple extrapolation à partir de 110 GHz, nous avons vu dans le chapitre 4 la difficulté d'extrapolation du gain de transistor et la mesure de paramètres S dans les fréquences supérieures à 110 GHz. La réalisation d'un circuit démonstrateur de type LNA peut être envisagée à partir de cette technologie.

### **Perspectives : Caractérisation et étalonnage**

Les contraintes de caractérisation au-delà de 110 GHz ont été un inconvénient majeur pour la mesure de nos composants. Il existe plusieurs solutions alternatives présentées dans la littérature pour caractériser des dispositifs actifs principalement dans la bande G et J. La méthode d'épluchage que nous avons utilisée semble assez mal adaptée à nos topologies de ligne coplanaire. La mise en point des méthodes d'étalonnage *on-wafer*, en particulier *TRL*, seront un atout pour avoir la concordance de mesures entre les différentes bandes de fréquences.

# Annexes

## Annexes Chapitre II

### Annexe II-1 : Étude de TEM

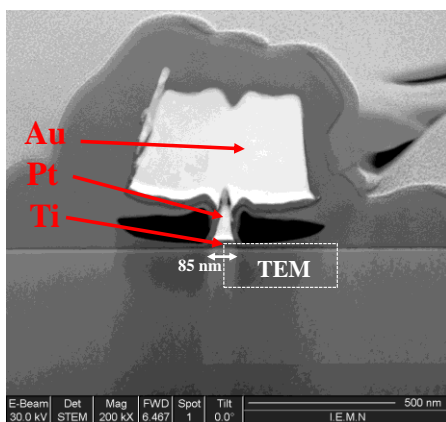
Avant d'ajouter la couche d'InP sur la barrière d'InAlAs, un test a été effectué juste après l'étape d'optimisation de la couche canal de la structure HEMT représentée sur la **figure 1**. Les objectifs de ce test sont nombreux. Le premier objectif est de vérifier les épaisseurs et l'uniformité des différentes couches épitaxiales de la structure optimisée. Le second permet d'observer le problème d'oxydation de surface et l'intérêt du plasma d'argon avant le dépôt métallique de grille.

Nous présentons dans la **figure.1-b** la coupe transversale du HEMT d'une grille en Ti/Pt/Au : 250/250/3500 Å déposée sur la barrière d'InAlAs et dans la **figure.1-c** une image TEM (Transmission Electron Microscopy) focalisée sur la zone indiquée dans la **figure.1-b**. La préparation des lames TEM par FIB a été réalisée à l'IEMN et les autres analyses EDX (Energy Dispersive X-ray Spectrometry) ont été effectuées à l'université de Lille.

a)

20 Å	InAlAs	
Plan de dopage Av	InAlAs	Si $6.10^{12} / \text{cm}^2$
30 Å	InAlAs	In=52%
40 Å	InGaAs	
30 Å	InAs	
25 Å	InGaAs	
30 Å	InAlAs	In=52%
Plan de dopage Ar	InAlAs	Si $3.10^{12} / \text{cm}^2$
4000Å	InAlAs	In=52%
Substrat InP		

b)



c)

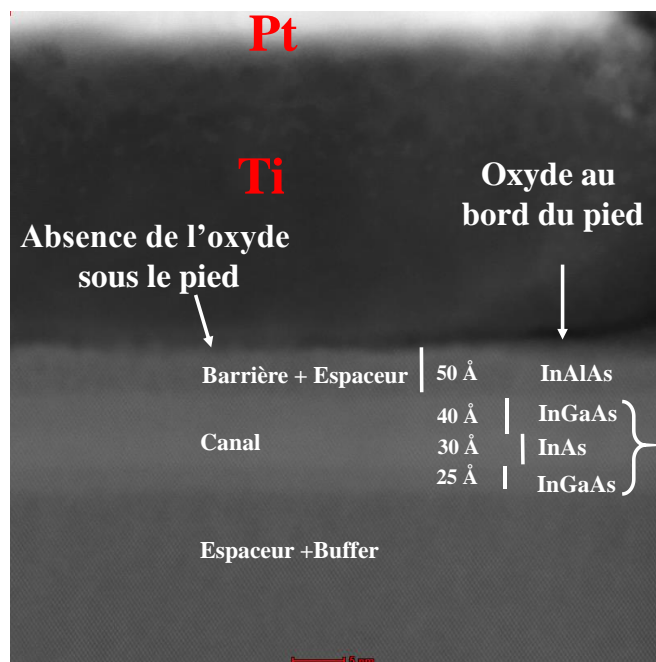
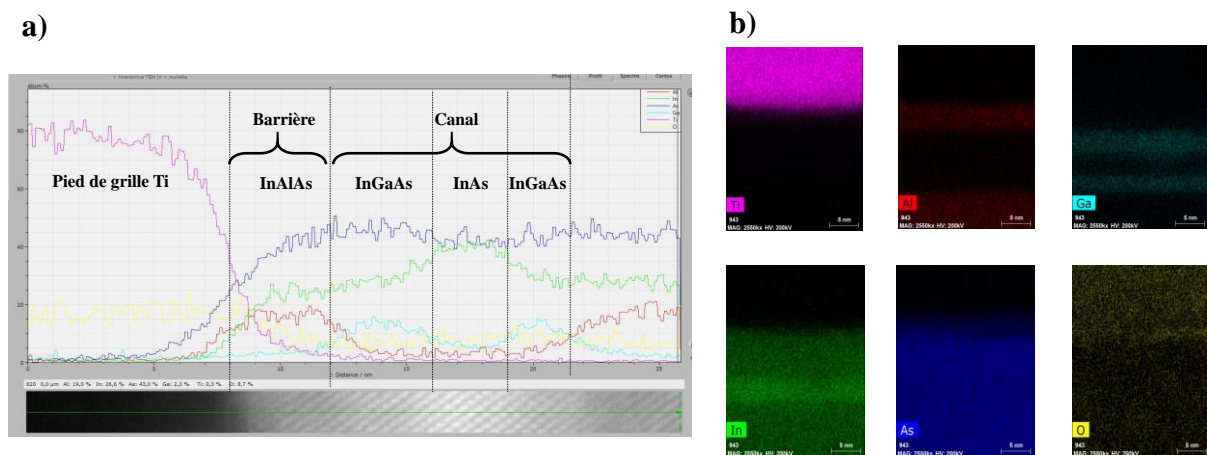


Figure. 1-Coupe transversale de la structure HEMT : a) la structure épitaxiale ; (b) image MEB de la grille en T ; c) une coupe TEM



Les résultats des observations TEM effectuées illustrent la répartition des différentes couches de la structure HEMT, les épaisseurs sont toutes identifiées. Néanmoins, on s'aperçoit que InAlAs s'oxyde très vite, donc il est à noter également qu'il faut toujours enchaîner le dépôt du métal de la grille juste après la gravure de la couche cap d'où l'intérêt d'insérer une couche qui s'oxyde moins vite comme l'InP entre la barrière InAlAs et le cap InGaAs. Pour ces raisons, une gravure par plasma d'Argon est faite avant la métallisation pour enlever cette couche parasite entre la grille et la barrière. Grâce à cette gravure, la couche d'oxyde est éliminée sous le pied de la grille (**figure.1-c**).

Par ailleurs, une analyse chimique EDX est réalisée afin de confirmer les résultats obtenus ci-dessus. La **figure.2** représente la répartition des couches ainsi que la présence d'une couche très fine d'oxyde. Dans la partie d'optimisation des plans de dopage une couche d'InP a été insérée pour la suite des travaux afin d'éviter toute sorte d'oxydation de la surface.



**Figure. 2-Images EDX de la coupe transversale de la structure HEMT**

## Annexe II-2 : Procédé 1 de fabrication du transistor de grille 'nitrure'

### 0. Désoxydation : HCL/H<sub>2</sub>O : 1/10 :10/100ml, mélange pendant 10 min

- Désox 20s + rinçage à l'eau 30s

### 1. Marques d'alignement

- Dépôt : Copo 13% (2000, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- Dépôt : PMMA 950K 4% (5/3) (3000, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- E-Litho: EBL résolution 25 nm, dose 375 μC/cm<sup>2</sup>
- Développement: 1:2 (MIBK/IPA) à 100 tr/min mélange pendant 2 min) puis révélation 1min à 100tr/min, rinçage IPA 100tr/min pendant 30s (Ep 1000-1020 nm)
- Métallisation: Ti/Pt/Au : 10/20/150 nm puis Lift-off – SVC14 @ 70°C (30min) + rinçage IPA 30s

### 2. Mesa

- D'hydratation pendant 10 minutes à 180°C
- Soufflette de N<sub>2</sub> pendant 1 minute
- Dépôt : HMDS (3000,1000,12)
- Dépôt : SAL 601 (1500,1000,12)
- Recuit à 110°C pendant 3 minutes
- E-Litho: EBL dose: 8μC/cm<sup>2</sup>, courant 100 pA
- Post recuit à 115°C pendant 3 minutes
- Développement : MF 322 (agitation forte = 3min30s) + H<sub>2</sub>O etch stop (Ep = 650 -700 nm)
- Gravure H3PO4/H2O2/H2O 5/1/40 (25/5/200) gravure pendant 40s.
- Gravure HCL/H2O :2/1 :100/50ml en 5s gravure (pour graver InP)
- Gravure H3PO4/H2O2/H2O : en 30s voir plus jusqu'à une épaisseur de Ep ~120 nm)
- Dérisinage SVC 14 ou PG remove à 70 °C pendant une heure + 10 min ultrason (si nécessaire)

### 3. Contacts ohmiques déborder

- Dépôt: Copo 13% (2000, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- Dépôt: PMMA 950 K 4% (5/3) (3000, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- E-Litho : EBL résolution 25nm, dose 375  $\mu\text{C}/\text{cm}^2$
- Développement : 1:2 (MIBK/IPA), 100tr/min mélange pendant 2 min) puis révélation 1min à 100tr/min, rinçage IPA 100tr/min – 30sec (Ep = 930 - 1000 nm)
- **Métallisation:** Ti/Pt/Au - 10/20/150 nm
- Lift-off – SVC14 à 70°C (30min) + rinçage IPA –30s
- Recuit rapide sous  $\text{N}_2\text{H}_2$  à 295°C – 30s

### 4. Litho ouverture Pied de la grille à travers le nitrure $\text{Si}_3\text{N}_4$

- Dépôt : 30 nm de  $\text{Si}_3\text{N}_4$  à 230°C
- Dépôt : PMMA 950K 4% 5/3, open (2500, 1000, 12s) puis recuit à 180°C 10min
- E-Litho : EBL résolution 25nm, dose 375  $\mu\text{C}/\text{cm}^2$
- Développement : 1:2 (MIBK/IPA) mélange pendant 2 min) puis révélation en ultrason 1min, rinçage IPA– 30sec (Ep = 110-120 nm)
- Gravure plasma :  $\text{CHF}_3/\text{CF}_4$  : 20sccm/20sccm, P = 100W, Pr = 50 mTorr pendant ~1min + plasma  $\text{O}_2$  30sccm/75W/30sccm P=100W, Pr=50mTorr –30s

### 5. Litho Grille en T

- Dépôt : PMMA 950 K 4% (5/3) (3600,1000,8), Hard 200°C 10 min
- Dépôt : Copo 33% (1600/100/8), Hard 200°C 10 min
- E-Litho : EBL
  - ✓ Accès de grille– correction auto, résolution 25 nm, dose de base, 280 $\mu\text{C}/\text{cm}^2$
  - ✓ Pied de grille – correction manuelle (coef :3,5), résolution 10 nm dose de base, 185 $\mu\text{C}/\text{cm}^2$
  - ✓ Espaceur – correction manuelle, (coef :0,5), résolution 10 nm, dose de base, 185 $\mu\text{C}/\text{cm}^2$
  - ✓ Latéraux – correction manuelle (coef :1,7), résolution 10 nm, dose, 185 $\mu\text{C}/\text{cm}^2$
- Développement : 1:2 (MIBK/IPA) 100tr/min mélange pendant 2 min) puis révélation 2min à 100tr/min, rinçage IPA 100tr/min – 30sec
- Métallisation: Ti/Pt/Au - 25/25/350 nm un etching d'argon est effectué avant le dépôt à 150eV en 1min puis Lift-off – SVC14 @ 70°C (30min) +rinçage IPA 30s

### 6. Gravure SiN pour faire contact avec plots d'épaissement

- Dépôt PMMA 495K 4% (5/3) open (2500, 1000, 12), Hard 180°C 10min
- E-Litho : EBL résolution 25, dose 375  $\mu\text{C}/\text{cm}^2$
- Développement : 1:2 (MIBK/IPA=20+40 100tr/min mélange pendant 2 min) puis révélation 1min à 100tr/min, rinçage IPA 100tr/min– 30sec
- Gravure plasma : Gravure plasma :  $\text{CHF}_3/\text{CF}_4$  : 20sccm/20sccm, P = 100W, Pr = 50 mTorr pendant ~1min + plasma  $\text{O}_2$  30sccm/75W/30sccm P=100W, Pr =50mTorr –30s

### 7. Plots épaisseur.

- Dépôt : Copo 13% (2000, 1000, 12), Hard 180°C 10min
- Dépôt : PMMA 4% (5/3) (3000,1000, 12) , Hard 180°C10min
- E-Litho : EBL résolution dose 375  $\mu\text{C}/\text{cm}^2$
- Développement : 1:2 (MIBK/IPA=20+40 100tr/min – 2 min mélange) – 1min10 à 100tr/min, rinçage IPA 100tr/min (Ep=1000 nm)
- Métallisation des plots - Ti/Pt/Au - 25/25/350 nm un etching d'Argon 150eV en 1min avant le dépôt

## Annexe II-3 : Procédé 2 de fabrication du transistor de recess asymétrique

### 1. Désoxydation : HCL/ $\text{H}_2\text{O}$ : 1/10 :10/100ml, mélange pendant 10 min

- Désox 20s + rinçage à l'eau 30s

### 2. Marques d'alignement

- Dépôt : Copo 6% (1500, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C10min
- Dépôt : PMMA 950K 4% (3000, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- E-Litho: EBL résolution 25 nm, dose 350  $\mu\text{C}/\text{cm}^2$
- Développement: 1:2 (MIBK/IPA) à 100 tr/min mélange pendant 5 min) puis révélation 30s à 100tr/min, rinçage IPA 100tr/min pendant 30s (Ep 440 nm)
- Métallisation: Ti/Pt/Au : 10/20/150 nm puis Lift-off – SVC14 @ 70°C (30min) + rinçage IPA 30s

### 3. Mesa

- D'hydratation pendant 10 minutes à 180°C
- Soufflette de  $\text{N}_2$  pendant 1 minute
- Dépôt : HMDS (3000/1000/12)
- Dépôt : SAL 601 (1500/1000/12)

- Recuit à 110°C pendant 3 minutes
- E-Litho: EBL dose: 5 $\mu$ C/cm<sup>2</sup>, courant 1000 pA
- Post recuit à 115°C pendant 3 minutes
- Développement : MF 322 (agitation 2 min) + H<sub>2</sub>O etch stop (Ep 650 -700 nm)
- Gravure H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O 5/1/40 (25/5/200) gravure pendant 40s.
- Gravure HCL/H<sub>2</sub>O :2/1 :100/50ml en 5s gravure (pour graver InP)
- Gravure H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O : en 30s voir plus (Ep ~120 nm)
- Dérisinage SVC 14 ou PG remover à 70 C° pendant une heure + ultrason (si nécessaire)

#### 4. Contacts ohmiques déborder

- Dépôt: Copo 6 % (1500, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- Dépôt: PMMA 950 K 4% (3000, 1000, 12) puis recuit soft 80°C 1min, Hard 180°C 10min
- E-Litho : EBL résolution 25nm, dose 305  $\mu$ C/cm<sup>2</sup> (transistor) et 375  $\mu$ C/cm<sup>2</sup> (TLM et HALL)
- Développement : 1:2 (MIBK/IPA) 100tr/min mélange pendant 2 min) puis révélation 30s à 100tr/min, rinçage IPA 100tr/min – 30sec (EP= 0.93 - 1  $\mu$ m)
- **Métallisation:** Ti/Pt/Au - 10/20/150 nm
- Lift-off – SVC14 @ 70°C (30min) + rinçage IPA 30s
- Recuit rapide N<sub>2</sub>H<sub>2</sub> 295°C 30s

#### 5. Recess symétrique et asymétrique

- Dépôt PMMA 950K 4% (5/3) open (2500, 1000, 12), Hard 180°C 10min
- E-Litho : EBL résolution 25, dose 375  $\mu$ C/cm<sup>2</sup>
- Développement : 1:2 (MIBK/IPA=20+40 100tr/min mélange pendant 5 min) puis révélation 1min à 100tr/min, rinçage IPA 100tr/min– 30s (Ep ~110 nm)
- Gravure humide: H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O (6/2/400 ml) gravure pendant 2min.
- Dérisinage SVC 14 ou PG remover à 70 C° pendant une heure

#### 6. Litho Grille en T et passivation

- Dépôt : PMMA 950 K 4% (3600, 1000, 8), Hard 200°C 10min
- Dépôt : Copo 33% (1600,100, 8), Hard 200°C 10min
- E-Litho : EBL
  - ✓ Accès de grille– correction auto, résolution 25 nm, dose de base, 280 $\mu$ C/cm<sup>2</sup>
  - ✓ Pied de grille – correction manuelle (coef :3,5), résolution 10 nm dose de base, 185 $\mu$ C/cm<sup>2</sup>
  - ✓ Espaceur – correction manuelle, (coef :0,5), résolution 10 nm, dose de base, 185 $\mu$ C/cm<sup>2</sup>
  - ✓ Latéraux – correction manuelle (coef :1,7), résolution 10 nm, dose, 185 $\mu$ C/cm<sup>2</sup>
- Développement : 1:2 (MIBK/IPA=50+150 100tr/min mélange pendant 2 min) puis révélation 2min à 100tr/min, rinçage IPA 100tr/min – 30sec
- Métallisation: Ti/Pt/Au - 25/25/350 nm un etching d'argon est effectué avant le dépôt à 150eV en 1min puis Lift-off – SVC14 @ 70°C (30min) +rinçage IPA 30s
- Dépôt : 30 nm de Si<sub>3</sub>N<sub>4</sub> à 300°C

#### 7. Gravure SiN pour faire contact avec plots d'épaissement

- Dépôt PMMA 495K 4% (5/3) (2500, 1000, 12), Hard 180°C 10min
- E-Litho : EBL résolution 25, dose 375  $\mu$ C/cm<sup>2</sup>
- Développement : 1:2 (MIBK/IPA) 100tr/min mélange pendant 2 min puis révélation 1min à 100tr/min, rinçage IPA 100tr/min– 30sec
- Gravure plasma : Gravure plasma : CHF<sub>3</sub>/CF<sub>4</sub> : 20sccm/20sccm, P = 100W, Pr = 50 mTorr (~1min) + plasma O<sub>2</sub> 30sccm/75W/30sccm P=100W, Pr=50mTorr 30s

#### 8. Plots épaisseur.

- Dépôt : Copo 13 % (2000, 1000, 12), Hard 180°C 10min (pas de EI 6% 34 solvant retiré)
- Dépôt : PMMA 4% (3000,1000, 12), Hard 180°C10min
- E-Litho : EBL résolution dose 375  $\mu$ C/cm<sup>2</sup>
- Développement : 1:2 (MIBK/IPA) 100tr/min – 2 min mélange) – 1min10 à 100tr/min, rinçage IPA 100tr/min (Ep = 900 nm)
- Métallisation des plots - Ti/Pt/Au - 25/25/350 nm un etching d'Argon 150eV en 1min

## Annexe II-4 : Étude de la rugosité de surface avant et après gravure

Nous avons vérifié dans cette partie l'influence de la gravure humide (à base de  $H_3PO_4$ ) lors du recess de grille. Pour cela, nous avons mesuré par AFM la rugosité avant (**figures.3-a et d**) et après gravure (**figures.3-c et e**). Après la gravure, on se retrouve sur le matériau InP. Avant la gravure une rugosité de 0.6 nm sur InGaAs est mesurée (**figure.3-d**). Après la gravure de la couche cap d'InGaAs (30 nm) (**figure.3-b**), la rugosité sur la couche active (InP) est de 1.1 nm (**figure.3-e**). Cette augmentation peut s'expliquer par les impuretés résiduelles de la solution utilisée, mais également par l'attaque chimique  $H_3PO_4$  elle-même.

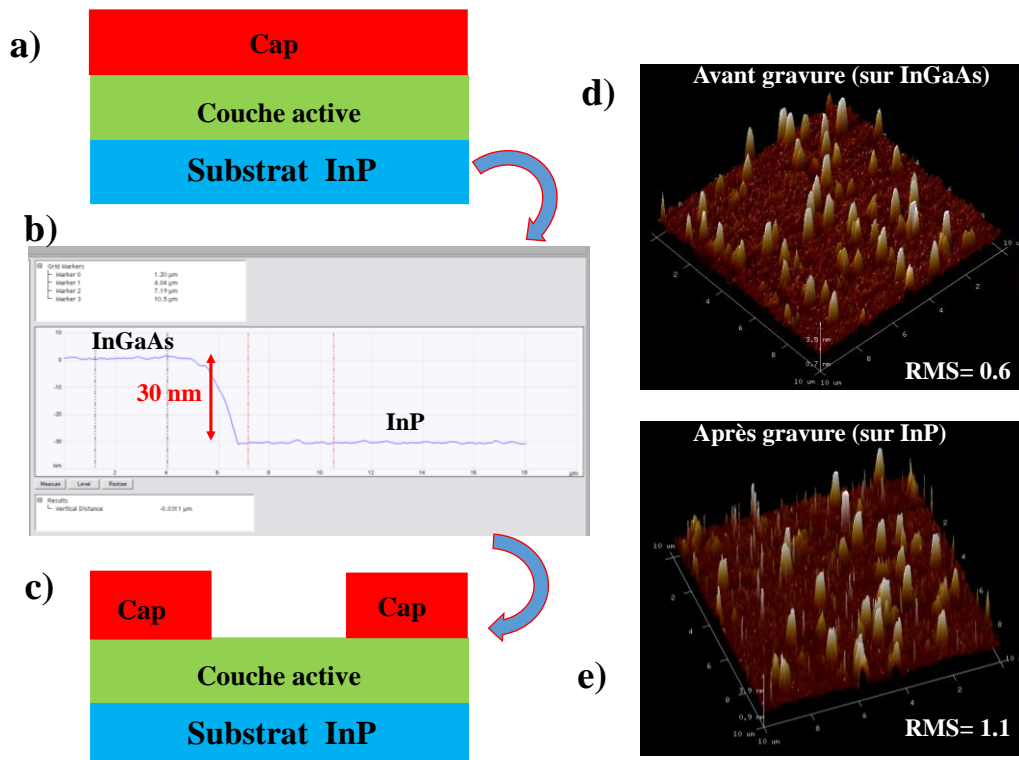


Figure. 3-Étude de la rugosité de surface sur InGaAs et InAlAs par AFM

## Annexes Chapitre III

### Annexe III-1

Pour déterminer les valeurs des quadripôles d'entrée et de sortie nous devons effectuer un étalonnage qui nous permettra de calculer leurs paramètres S et de déduire leur contribution en bruit. Ils sont obtenus à partir de deux étapes d'étalonnage par une mesure de paramètre S utilisant l'analyseur du réseau PNA.

#### 1) Premier étalonnage du port 1 et 2 jusqu'au plan des sondes

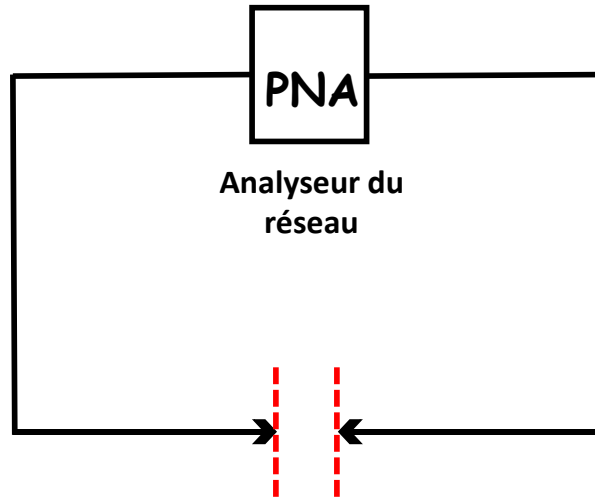


Figure. 4-Synoptique d'étalonnage des ports

#### 2) Deuxième Étalonnage en utilisant les standards Short, Open et Load (SOL) pour déterminer les quadripôles d'erreurs en entrée et en sortie $Q_{In}$ et $Q_{Out}$ .

Connaissant les standards (SOL) et la valeur de la transition TH = 1ps entre le port 1 et 2 on peut déduire les quadripôles d'entrée et de sortie.

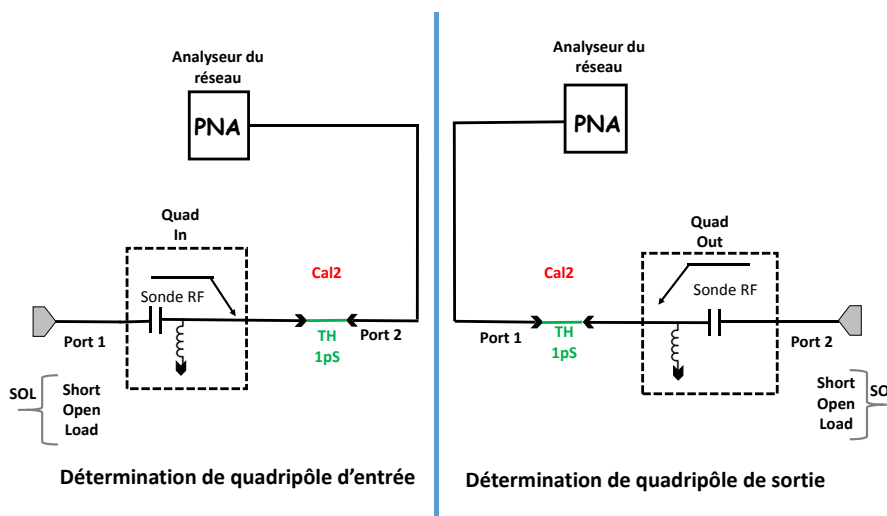


Figure. 5-Synoptique d'étalonnage du banc de mesure de quadripôles d'entrée et de sortie



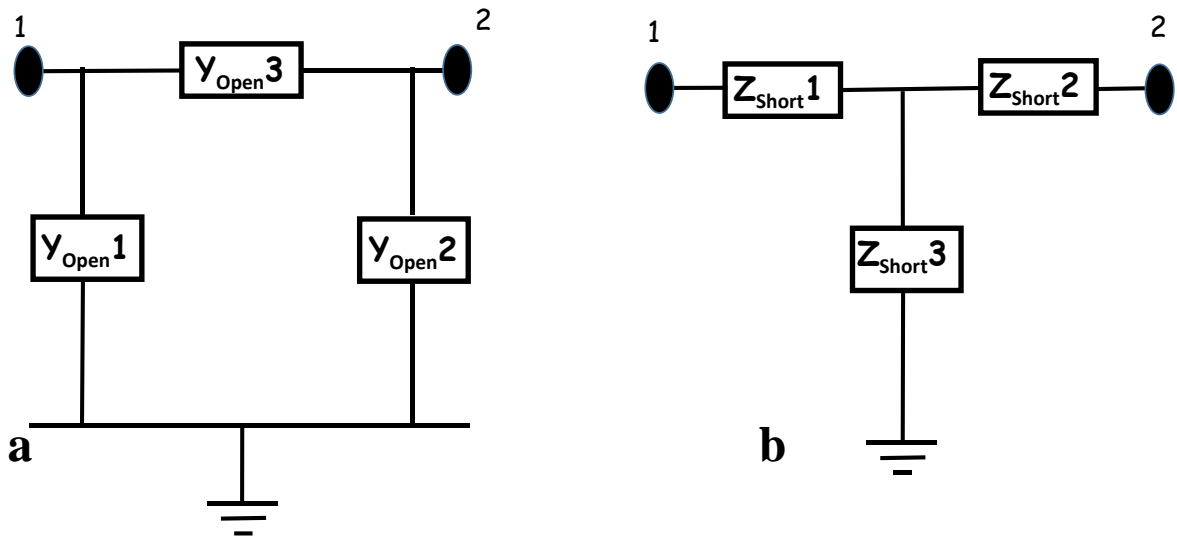


Figure. 7-Épluchage des accès : a-Paramètres de l'open et b-Paramètres du short

Il suffit finalement de rajouter les éléments en série et en parallèle pour construire un schéma équivalent au plan des accès du transistor, soit au plan **DD'** comme indiqué sur la **figure.8**

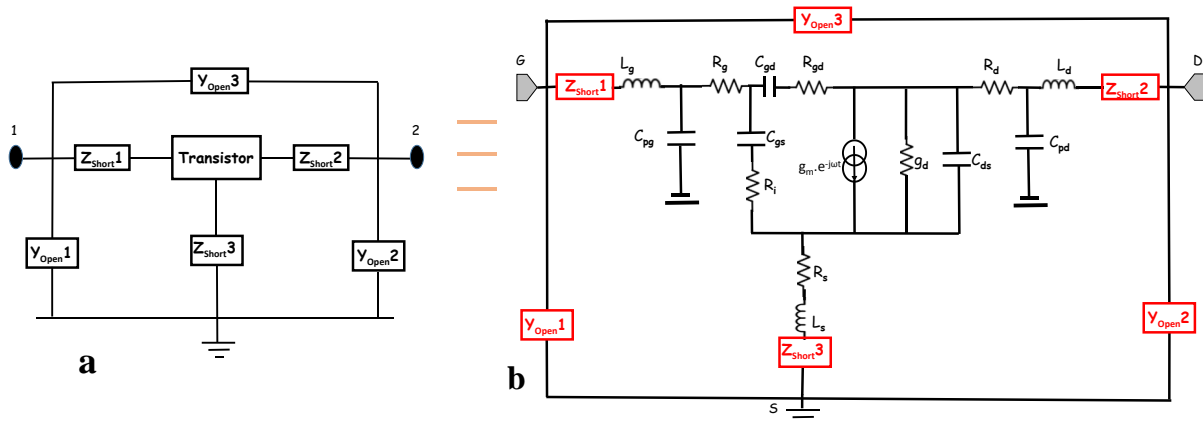


Figure. 8-Modèle du transistor avec accès coplanaires

## Liste des publications

### Communications nationales

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon and S. Bollaert, “45 nm gate length HEMT-InP with  $f_{max}$  of 540 GHz and  $f_T$  430 GHz using a composite channel InGaAs/InAs/InGaAs. ,” *20<sup>èmes</sup> JNRDM, Strasbourg, France, 2017.*

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon and S. Bollaert, “Fabrication of InP\_HEMT with double-side doping and InGaAs/InAs/InGaAs composite channel. ,” *JNTE-2017, Orléans, France, 2017.*

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon and S. Bollaert, “75 nm HEMT-InP with  $f_{max}$  of 1.1 THz. ,” *GDR, NanoTERAMIR, Montpellier, France, 2018.*

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon and S. Bollaert, “Technological optimization of HEMT transistor with  $f_{max}$  of 1.1THz using an asymmetric recess. ,” *16<sup>èmes</sup> JNMO, Agay, France, 2018.*

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon, S. Lepilliet and S. Bollaert, “HEMT InGaAs/InAs/InGaAs sur substrat d’InP de  $f_{max}=800$  GHz. ,” *21<sup>èmes</sup> JNM, Caen, France, 2019.*

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon, S. Lepilliet and S. Bollaert, “THz  $f_{max}$  with 75 nm gate length and asymmetric gate recess for InAlAs/InAs/InGaAs PHEMT. ,”*GDR, NanoTERAMIR, Saint-Raphael, France, 2019.*

### Communications internationales

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon, S. Lepilliet, and S. Bollaert, “ $f_{max}=800$  GHz with 75 nm gate length and asymmetric gate recess for InGaAs/InAlAs PHEMT,” in *2019 44th International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, Paris, France 2019, pp. 1–2.

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon, S. Lepilliet and S. Bollaert, “PHEMT InGaAs/InAlAs sur substrat d’InP de  $f_{max} = 800$  GHz. ,” *11<sup>èmes</sup> JFMMA, Oujda, Maroc, 2019.*

**M. Samnoui**, N. Wichmann, X. Wallart, C. Coinon, S. Lepilliet, and S. Bollaert, “1.2 THz maximum frequency of oscillation achieved by using 75 nm gate length and asymmetric gate recess for InGaAs/InAlAs PHEMT,” in *2019 Compound Semiconductor Week (CSW)*, Nara, Japan 2019, pp. 1–2





## Références

- [1] D. H. Kim, J. A. del Alamo, P. Chen, W. Ha, M. Urteaga, and B. Brar, “50-nm E-mode In<sub>0.7</sub>Ga<sub>0.3</sub>As PHEMTs on 100-nm InP substrate with  $f_{max} > 1$  THz,” in 2010 International Electron Devices Meeting, 2010, pp. 30.6.1-30.6.4. **doi:10.1109/IEDM.2010.5703453**
- [2] A. Tessimann et al., “A 600 GHz low-noise amplifier module,” in 2014 IEEE MTT-S International Microwave Symposium (IMS2014), 2014, pp. 1–3. **doi:10.1109/MWSYM.2014.6848456**
- [3] X. Mei et al., “First Demonstration of Amplification at 1 THz Using 25-nm InP High Electron Mobility Transistor Process,” IEEE Electron Device Lett., vol. 36, no. 4, pp. 327–329, Apr. 2015. **Doi: 10.1109/LED.2015.2407193**
- [4] W. Shockley, “A Unipolar ‘Field-Effect’ Transistor,” Proc. IRE, vol. 40, no. 11, pp. 1365–1376, Nov. 1952. **Doi: 10.1109/JRPROC.1952.273964**
- [5] R. V. Tuyl and C. Liechti, “High-speed integrated logic with GaAs MESFETs,” in 1974 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, 1974, vol. XVII, pp. 114–115. **Doi: 10.1109/ISSCC.1974.1155276**
- [6] R. Dingle, H. L. Störmer, A. C. Gossard, and W. Wiegmann, “Electron mobilities in modulation-doped semiconductor heterojunction superlattices,” Appl. Phys. Lett., vol. 33, no. 7, pp. 665–667, Oct. 1978. **Doi: 10.1063/1.90457**
- [7] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, “A New Field-Effect Transistor with Selectively Doped GaAs/n-Al<sub>x</sub>Ga<sub>1-x</sub>As Heterojunctions,” Jpn J Appl Phys, vol. 19, no. 5, pp. L225–L227, 1980.
- [8] “Thèse de Nicolas Wichmann, ‘Conception, Fabrication et Caractérisation de Transistors Double-Grille de la filière AlInAs/GaInAs adapté en maille sur substrat InP’, Lille1, 2005.”
- [9] “Thèse de Isabelle Duszynski, ‘Réalisation et caractérisation électrique de transistors HEMTs AlInAs/GaInAs de longueur de grille sub-50 nanomètres et de transistors sans couche tampon’, Lille1, 2005.”
- [10] “Thèse de Thierry Parenty, ‘Étude et perspective des transistors à hétérostructure AlInAs/GaInAs de longueur de grille à 100nm et conception de circuits intégrés en bande G’, Lille1, 2003.
- [11] S. Tiwari and D. J. Frank, “Empirical fit to band discontinuities and barrier heights in III–V alloy systems,” Appl. Phys. Lett., vol. 60, no. 5, pp. 630–632, Feb. 1992. **Doi: 10.1063/1.106575**
- [12] R. Prasher, “International Journal on Organic Electronics (IJOE) Vol.2, No.1, January 2013 ‘Study of Novel Channel Materials Using III-V Compounds with Various Gate Dielectrics,’” Int. J. Org. Electron., vol. 2, no. 1, pp. 11–18, Jan. 2013. **Doi: 10.5121/ijoe.2013.2102**
- [13] M. Niori, T. Saito, K. Joshin, and T. Mimura, “A 20GHz high electron mobility transistor amplifier for satellite communications,” in 1983 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, 1983, vol. XXVI, pp. 198–199. **Doi: 10.1109/ISSCC.1983.1156507**
- [14] A. Ketterson et al., “High transconductance InGaAs/AlGaAs pseudomorphic modulation-doped field-effect transistors,” IEEE Electron Device Lett., vol. 6, no. 12, pp. 628–630, Dec. 1985. **Doi: 10.1109/EDL.1985.26255**
- [15] D. Alamo and J. A., “The High-Electron Mobility Transistor at 30: Impressive Accomplishments and Exciting Prospects,” MIT Web Domain, May 2011.
- [16] T. Akazaki, K. Arai, T. Enoki, and Y. Ishii, “Improved InAlAs/InGaAs HEMT characteristics by inserting an InAs layer into the InGaAs channel,” IEEE Electron Device Lett., vol. 13, no. 6, pp. 325–327, Jun. 1992. **Doi: 10.1109/55.145073**
- [17] T. Nakayama, H. Miyamoto, E. Oishi, and N. Samoto, “High electron mobility 18300 cm<sup>2</sup>/V·s in the InAlAs/InGaAs pseudomorphic structure obtained by channel indium composition modulation,” J. Electron. Mater., vol. 25, no. 5, pp. 555–558, May 1996. **Doi: 10.1007/BF02666502**

- [18] T. w Kim, D. h Kim, and J. A. D. Alamo, "InGaAs HEMT with InAs-rich InAlAs barrier spacer for reduced source resistance," *Electron. Lett.*, vol. 47, no. 6, pp. 406–407, Mar. 2011. **Doi: 10.1049/el.2010.3666**
- [19] L. Zhang et al., "70 nm gate-length THz InP-based  $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  HEMT with  $f_{max}$  of 540GHz," in 2014 xxxIth URSI General Assembly and Scientific Symposium (URSI GASS), 2014, pp. 1–4. **doi:10.1109/URSIGASS.2014.6929455**
- [20] T. Takahashi et al., "Maximum frequency of oscillation of 1.3 THz obtained by using an extended drain-side recess structure in 75-nm-gate InAlAs/InGaAs high-electron-mobility transistors," *Appl. Phys. Express*, vol. 10, no. 2, p. 024102, Jan. 2017. **Doi: 10.7567/APEX.10.024102**
- [21] D. H. Kim and J. A. del Alamo, "Scalability of sub-100 nm thin-channel InAs PHEMTs," in 2009 IEEE International Conference on Indium Phosphide Related Materials, 2009, pp. 132–135. **Doi:10.1109/ICIPRM.2009.5012459**
- [22] W. Deal, X. B. Mei, K. M. K. H. Leong, V. Radisic, S. Sarkozy, and R. Lai, "THz Monolithic Integrated Circuits Using InP High Electron Mobility Transistors," *IEEE Trans. Terahertz Sci. Technol.*, vol. 1, no. 1, pp. 25–32, Sep. 2011. **Doi: 10.1109/TTHZ.2011.2159539**
- [23] S. Nagarajan, R. Korah, and G. M. Kalavathy, "Impact of Gatelength on the Performance of InGaAs/InAs/InGaAs Composite Channel Dual Material Double Gate-High Electron Mobility Transistor Devices for High-Frequency Applications," Dec-2017. **Doi/10.1166/jno.2017.2139.**
- [24] E.-Y. Chang, C.-I. Kuo, H.-T. Hsu, C.-Y. Chiang, and Y. Miyamoto, "InAs Thin-Channel High-Electron-Mobility Transistors with Very High Current-Gain Cutoff Frequency for Emerging Submillimeter-Wave Applications," *Appl. Phys. Express*, vol. 6, no. 3, p. 034001, Feb. 2013. **Doi: 10.7567/APEX.6.034001**
- [25] J. Ajayan and D. Nirmal, "20 nm high performance enhancement mode InP HEMT with heavily doped S/D regions for future THz applications," *Superlattices Microstruct.*, vol. 100, pp. 526–534, Dec. 2016. **Doi: 10.1016/j.spmi.2016.10.011**
- [26] "Site internet de ployteche lille Caractéristiques Id(Vds) des HEMT-paramètres de maille..."
- [27] L. Liang, T. Fukushima, K. Nakamura, S. Uemura, T. Kamata, and N. Kobayashi, "Temperature-dependent characteristics of non-volatile transistor memory based on a polypeptide," *J. Mater. Chem. C*, vol. 2, no. 5, pp. 879–883, Jan. 2014. **Doi: 10.1039/C3TC31777C**
- [28] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit," *IEEE Trans. Microw. Theory Tech.*, vol. 36, no. 7, pp. 1151–1159, Jul. 1988. **Doi: 10.1109/22.3650**
- [29] "Thèse Gilles Dambrine 'Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent', Lille1, 1989."
- [30] G. Dambrine, "diplôme d'habilitation a diriger des recherches en sciences, 'caractérisation des composants hyperfréquences en régime de fonctionnement linéaire', Lille1, 1996," p. 102.
- [31] Sungjae Lee et al., "Record RF performance of sub-46 nm L/sub gate/ NFETs in microprocessor SOI CMOS technologies," in IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest, 2005, pp. 241–244. **Doi:10.1109/IEDM.2005.1609317**
- [32] B. Heinemann et al., "SiGe HBT with  $f_x/f_{max}$  of 505 GHz/720 GHz," in 2016 IEEE International Electron Devices Meeting (IEDM), 2016, pp. 3.1.1-3.1.4. **Doi:10.1109/IEDM.2016.7838335**
- [33] A. Tessmann, A. Leuther, F. Heinz, F. Bernhardt, and H. Massler, "High Gain 220 - 275 GHz Amplifier MMICs Based on Metamorphic 20 nm InGaAs MOSFET Technology," in 2018 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS), 2018, pp. 156–159. **Doi:10.1109/BCICTS.2018.8550836**
- [34] A. Leuther, M. Ohlrogge, L. Czornomaz, T. Merkle, F. Bernhardt, and A. Tessmann, "80 nm InGaAs MOSFET W-band low noise amplifier," in 2017 IEEE MTT-S International

- Microwave Symposium (IMS), pp. 1133–1136, 2017. **Doi:10.1109/MWSYM.2017.8058798**
- [35] A. Margomenos et al., “GaN Technology for E, W and G-Band Applications,” in 2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2014, pp. 1–4. **Doi:10.1109/CSICS.2014.6978559**
- [36] L. A. Samoska, “An Overview of Solid-State Integrated Circuit Amplifiers in the Submillimeter-Wave and THz Regime,” IEEE Trans. Terahertz Sci. Technol., vol. 1, no. 1, pp. 9–24, Sep. 2011. **Doi: 10.1109/TTHZ.2011.2159558**
- [37] M. Urteaga, R. Pierson, P. Rowell, V. Jain, E. Lobisser, and M. J. W. Rodwell, “130nm InP DHBTs with  $f_T > 0.52$  THz and  $f_{max} > 1.1$  THz,” in 69th Device Research Conference, 2011, pp. 281–282. **Doi:10.1109/DRC.2011.5994532**
- [38] M. Urteaga et al., “InP HBT Integrated Circuit Technology for Terahertz Frequencies,” in 2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2010, pp. 1–4. **Doi:10.1109/CSICS.2010.5619675**
- [39] W. R. Deal, “Solid-state amplifiers for terahertz electronics,” in 2010 IEEE MTT-S International Microwave Symposium, 2010, pp. 1122–1125. **Doi:10.1109/MWSYM.2010.5514771**
- [40] J. Hacker et al., “THz MMICs based on InP HBT Technology,” in 2010 IEEE MTT-S International Microwave Symposium, 2010, pp. 1126–1129. **Doi:10.1109/MWSYM.2010.5517225**
- [41] W. R. Deal, “InP HEMT for sub-millimeter wave space applications: Status and challenges,” in 2014 39th International Conference on Infrared, Millimeter, and Terahertz waves (IRMMW-THz).2014.6956216, 2014, pp. 1–3. **Doi:10.1109/IRMMW-THz**
- [42] R. Lai et al., “Sub 50 nm InP HEMT Device with  $f_{max}$  Greater than 1 THz,” in 2007 IEEE International Electron Devices Meeting, 2007, pp. 609–611. **Doi:10.1109/IEDM.2007.4419013**
- [43] Y. Zhong et al., “Comparison of Single-Step and Two-Step EBL T-Gates Fabrication Techniques for InP-Based HEMT,” Chin. J. Electron., vol. 25, no. 2, pp. 199–202, 2016.
- [44] D. H. Kim, B. Brar, and J. A. del Alamo, “ $f_T = 688$  GHz and  $f_{max} = 800$  GHz in  $L_g = 40$  nm In<sub>0.7</sub>Ga<sub>0.3</sub>As MHEMTs with  $g_m_{max} > 2.7$  mS/ $\mu$ m,” in 2011 International Electron Devices Meeting, 2011, pp. 13.6.1–13.6.4. **Doi:10.1109/IEDM.2011.6131548**
- [45] D. H. Kim and J. A. del Alamo, “30-nm InAs Pseudomorphic HEMTs on an InP Substrate With a Current-Gain Cutoff Frequency of 628 GHz,” IEEE Electron Device Lett., vol. 29, no. 8, pp. 830–833, Aug. 2008. **Doi: 10.1109/LED.2008.2000794**
- [46] D. H. Kim and J. A. del Alamo, “30-nm InAs PHEMTs With  $f_T = 644$  GHz and  $f_{max} = 681$  GHz,” IEEE Electron Device Lett., vol. 31, no. 8, pp. 806–808, Aug. 2010. **Doi: 10.1109/LED.2010.2051133**
- [47] T. Takahashi et al., “Enhancement of  $f_{max}$  to 910 GHz by Adopting Asymmetric Gate Recess and Double-Side-Doped Structure in 75-nm-Gate InAlAs/InGaAs HEMTs,” IEEE Trans. Electron Devices, vol. 64, no. 1, pp. 89–95, Jan. 2017. **Doi: 10.1109/TED.2016.2624899**
- [48] D. Yun et al., “Impact of the Source-to-Drain Spacing on the DC and RF Characteristics of InGaAs/InAlAs High-Electron Mobility Transistors,” IEEE Electron Device Lett., vol. 39, no. 12, pp. 1844–1847, Dec. 2018. **Doi: 10.1109/LED.2018.2876709**
- [49] K. D. Chabak et al., “Performance of strained AlInN/Aln/GaN hemts with Si<sub>3</sub>N<sub>4</sub> and ultra-thin Al<sub>2</sub>O<sub>3</sub> passivation,” 2011.
- [50] K. Shinohara et al., “Electron Velocity Enhancement in Laterally Scaled GaN DH-HEMTs With of 260 GHz,” IEEE Electron Device Lett., vol. 32, no. 8, pp. 1074–1076, Aug. 2011. **Doi: 10.1109/LED.2011.2158386**
- [51] K. Shinohara et al., “Self-aligned-gate GaN-HEMTs with heavily-doped n+-GaN ohmic contacts to 2DEG,” in 2012 International Electron Devices Meeting, 2012, pp. 27.2.1–27.2.4. **Doi:10.1109/IEDM.2012.6479113**
- [52] L. Wang et al., “Modeling the back gate effects of AlGaIn/GaN HEMTs,” J. Comput. Electron., vol. 13, no. 4, pp. 872–876, Dec. 2014. **Doi: 10.1007/s10825-014-0603-y**

- [53] C. Wei, Z. Yan, G. Hanchao, C. Chen, and Y. Naibin, "High breakdown voltage InGaAs/InP double heterojunction bipolar transistors with  $f_{max} = 256$  GHz and  $BV_{CEO} = 8.3$  V," J. Semicond., vol. 33, no. 1, p. 014004, 2012. **Doi: 10.1088/1674-4926/33/1/014004**
- [54] M. Seo, M. Urteaga, A. Young, and M. Rodwell, "A 305–330+ GHz 2:1 Dynamic Frequency Divider Using InP HBTs," IEEE Microw. Wirel. Compon. Lett., vol. 20, no. 8, pp. 468–470, Aug. 2010. **Doi: 10.1109/LMWC.2010.2050871**
- [55] N. Kashio, K. Kurishima, M. Ida, and H. Matsuzaki, "Over 450-GHz  $f_t$  and  $f_{max}$  InP/InGaAs DHBTs With a Passivation Ledge Fabricated by Utilizing SiN/SiO<sub>2</sub> Sidewall Spacers," IEEE Trans. Electron Devices, vol. 61, no. 10, pp. 3423–3428, Oct. 2014. **Doi: 10.1109/TED.2014.2349872**
- [56] R. Flückiger, R. Lövblom, M. Alexandrova, O. Ostinelli, and C. R. Bolognesi, "Uniform-Base InP/GaInAsSb DHBTs Exhibiting," IEEE Electron Device Lett., vol. 35, no. 2, pp. 166–168, Feb. 2014. **Doi: 10.1109/LED.2013.2295424**
- [57] R. Flückiger, R. Lövblom, M. Alexandrova, O. Ostinelli, and C. R. Bolognesi, "Type-II InP/GaAsSb double-heterojunction bipolar transistors with  $f_{max} > 700$  GHz," Appl. Phys. Express, vol. 7, no. 3, p. 034105, Mar. 2014. **Doi: 10.7567/APEX.7.034105**
- [58] M. Alexandrova, R. Flückiger, R. Lövblom, O. Ostinelli, and C. R. Bolognesi, "GaAsSb-Based DHBTs With a Reduced Base Access Distance and 503/780 GHz," IEEE Electron Device Lett., vol. 35, no. 12, pp. 1218–1220, Dec. 2014. **Doi: 10.1109/LED.2014.2364622**
- [59] D. Yu et al., "Ultra high-speed 0.25 $\mu$ m emitter InP-InGaAs SHBTs with  $f_{max}$  of 687 GHz," in IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004., 2004, pp. 557–560. **Doi:10.1109/IEDM.2004.1419219**
- [60] Z. Griffith, M. Urteaga, P. Rowell, and R. Pierson, "340-440mW Broadband, High-Efficiency E-Band PA's in InP HBT," in 2015 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2015, pp. 1–4. **Doi:10.1109/CSICS.2015.7314462**
- [61] J. Grzyb, B. Heinemann, and U. R. Pfeiffer, "25.1 A fully integrated 0.55THz near-field sensor with a lateral resolution down to 8 $\mu$ m in 0.13 $\mu$ m SiGe BiCMOS," in 2016 IEEE International Solid-State Circuits Conference (ISSCC), 2016, pp. 424–425. **Doi:10.1109/ISSCC.2016.7418088**
- [62] S. T. Nicolson et al., "Design and Scaling of SiGe BiCMOS VCOs Above 100GHz," in 2006 Bipolar/BiCMOS Circuits and Technology Meeting, 2006, pp. 1–4. **Doi:10.1109/BIPOL.2006.311135**
- [63] A. Fox, B. Heinemann, R. Barth, S. Marschmeyer, C. Wipf, and Y. Yamamoto, "SiGe:C HBT architecture with epitaxial external base," in 2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 2011, pp. 70–73. **Doi:10.1109/BCTM.2011.6082751**
- [64] Q. Liu et al., "On the Challenges of SiGe HBTs in Advanced BiCMOS Technology Toward Half THz  $f_{max}$ ," ECS Trans., vol. 75, no. 8, pp. 103–111, Aug. 2016. **Doi: 10.1149/07508.0103ecst**
- [65] Q. Z. Liu et al., "SiGe HBTs in 90nm BiCMOS Technology Demonstrating  $f_T/f_{MAX}$  285GHz/475GHz through Simultaneous Reduction of Base Resistance and Extrinsic Collector Capacitance," ECS Trans., vol. 64, no. 6, pp. 285–294, Dec. 2014. **Doi: 10.1149/06406.0285ecst**
- [66] J. Böck et al., "SiGe HBT and BiCMOS process integration optimization within the DOTSEVEN project," in 2015 IEEE Bipolar/BiCMOS Circuits and Technology Meeting - BCTM, 2015, pp. 121–124. **Doi:10.1109/BCTM.2015.7340549**
- [67] D. Kim et al., "High-Speed E-Mode InAs QW MOSFETs With Al<sub>2</sub>O<sub>3</sub> Insulator for Future RF Applications," IEEE Electron Device Lett., vol. 34, no. 2, pp. 196–198, Feb. 2013. **Doi:10.1109/LED.2012.2229107**
- [68] M. Egard et al., "High-Frequency Performance of Self-Aligned Gate-Last Surface Channel In<sub>0.53</sub>Ga<sub>0.47</sub>As MOSFET," IEEE Electron Device Lett., vol. 33, no. 3, pp. 369–371, Mar. 2012. **Doi: 10.1109/LED.2011.2181323**
- [69] J. Wu, Y. Fang, B. Markman, H. Tseng, and M. J. W. Rodwell, "L=30 nm InAs Channel MOSFETs Exhibiting  $f_{max}=410$  GHz and  $f_T=357$  GHz," IEEE Electron Device Lett., vol. 39, no. 4, pp. 472–475, Apr. 2018. **Doi: 10.1109/LED.2018.2803786**

- [70] S. Lee et al., “Advanced modeling and optimization of high performance 32nm HKMG SOI CMOS for RF/analog SoC applications,” in 2012 Symposium on VLSI Technology (VLSIT), 2012, pp. 135–136. **Doi:10.1109/VLSIT.2012.6242498**
- [71] N. Wichmann et al., “Fabrication technology and device performances of ultra-short 30-nm-gate pseudomorphic  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$  HEMTs,” in 2008 20th International Conference on Indium Phosphide and Related Materials, 2008, pp. 1–4. **doi:10.1109/ICIPRM.2008.4702912**
- [72] T. W. Kim, D. H. Kim, and J. A. del Alamo, “60 nm self-aligned-gate InGaAs HEMTs with record high-frequency characteristics,” in Electron Devices Meeting (IEDM), 2010 IEEE International, 2010, pp. 30.7.1-30.7.4. **Doi:10.1109/IEDM.2010.5703454**
- [73] D. H. Kim and J. A. del Alamo, “Scalability of Sub-100 nm InAs HEMTs on InP Substrate for Future Logic Applications,” IEEE Trans. Electron Devices, vol. 57, no. 7, pp. 1504–1511, Jul. 2010. **Doi: 10.1109/TED.2010.2049075**
- [74] D. H. Kim and J. A. del Alamo, “30 nm E-mode InAs PHEMTs for THz and future logic applications,” in 2008 IEEE International Electron Devices Meeting, 2008, pp. 1–4. **Doi:10.1109/IEDM.2008.4796796**
- [75] R. Lai et al., “Fabrication of InP HEMT devices with extremely high  $F_{\text{max}}$ ,” in 2008 20th International Conference on Indium Phosphide and Related Materials, 2008, pp. 1–3. **Doi:10.1109/ICIPRM.2008.4703057**
- [76] H.-B. Jo et al., “ $L_g = 87$  nm InAlAs/InGaAs high-electron mobility transistors with a  $g_m$  of 3 S/mm and  $f_T$  of 559 GHz,” IEEE Electron Device Lett., pp. 1–1, 2018. **Doi: 10.1109/LED.2018.2871221**
- [77] J. Ajayan et al., “InP high electron mobility transistors for submillimetre wave and terahertz frequency applications: A review,” AEU - Int. J. Electron. Commun., vol. 94, pp. 199–214, Sep. 2018. **Doi: 10.1016/j.aeue.2018.07.015**
- [78] and J. A. del Alamo and and, “The Impact of Side-Recess Spacing on the Logic Performance of 50 nm InGaAs HEMTs,” in 2006 International Conference on Indium Phosphide and Related Materials Conference Proceedings, 2006, pp. 177–180. **Doi:10.1109/ICIPRM.2006.1634142**
- [79] T. Suemitsu, H. Yokoyama, T. Ishii, T. Enoki, G. Meneghesso, and E. Zanoni, “30-nm two-step recess gate InP-Based InAlAs/InGaAs HEMTs,” IEEE Trans. Electron Devices, vol. 49, no. 10, pp. 1694–1700, Oct. 2002. **Doi:10.1109/TED.2002.803646**
- [80] D. G. Ballegeer, I. Adesida, C. Caneau, and R. Bhat, “Physics and behavior of asymmetrically recessed InP-based MODFET’s fabricated with an electron beam resist process,” in Proceedings of 1994 IEEE 6th International Conference on Indium Phosphide and Related Materials (IPRM), 1994, pp. 331–334. **Doi:10.1109/ICIPRM.1994.328237**
- [81] N. Kukutsu and Y. Kado, “Overview of Millimeter and Terahertz Wave Application Research,” vol. 7, no. 3, p. 6, 2009.
- [82] M. Rocchi, “Advanced III/V MMIC process roadmaps for Terahertz applications,” in 2016 IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications (IMWS-AMP), 2016, pp. 1–2. **Doi:10.1109/IMWS-AMP.2016.7588332**
- [83] K. Tsukashima et al., “Transceiver MMIC’s for street surveillance radar,” in 2016 11th European Microwave Integrated Circuits Conference (EuMIC), 2016, pp. 329–332. **Doi:10.1109/EuMIC.2016.7777557**
- [84] H. J. Song et al., “Demonstration of 20-Gbps wireless data transmission at 300 GHz for KIOSK instant data downloading applications with InP MMICs,” in 2016 IEEE MTT-S International Microwave Symposium (IMS), 2016, pp. 1–4. **Doi:10.1109/MWSYM.2016.7540141**
- [85] T. Takahashi, K. Makiyama, N. Hara, M. Sato, and T. Hirose, “Improvement in high frequency and noise characteristics of InP-based HEMTs by reducing parasitic capacitance,” in 2008 20th International Conference on Indium Phosphide and Related Materials, 2008, pp. 1–4. **Doi:10.1109/ICIPRM.2008.4702964**

- [86] D. C. W. Lo et al., "A high-performance monolithic Q-band InP-based HEMT low-noise amplifier," *IEEE Microw. Guid. Wave Lett.*, vol. 3, no. 9, pp. 299–301, Sep. 1993. **Doi: 10.1109/75.244859**
- [87] K. H. G. Duh, P. C. Chao, S. M. J. Liu, P. Ho, M. Y. Kao, and J. M. Ballingall, "A super low-noise 0.1  $\mu\text{m}$  T-gate InAlAs-InGaAs-InP HEMT," *IEEE Microw. Guid. Wave Lett.*, vol. 1, no. 5, pp. 114–116, May 1991. **Doi: 10.1109/75.89081**
- [88] K. L. Tan et al., "94-GHz 0.1-  $\mu\text{m}$  T-gate low-noise pseudomorphic InGaAs HEMTs," *IEEE Electron Device Lett.*, vol. 11, no. 12, pp. 585–587, Dec. 1990. **Doi: 10.1109/55.63047**
- [89] P. M. Smith et al., "W-band high efficiency InP-based power HEMT with 600 GHz  $f_{max}$ ," *IEEE Microw. Guid. Wave Lett.*, vol. 5, no. 7, pp. 230–232, Jul. 1995. **Doi: 10.1109/75.392284**
- [90] T. Takahashi, M. Sato, K. Makiyama, Y. Nakasha, T. Hirose, and N. Hara, "Noise properties of asymmetrically recessed InP-based HEMTs for low-noise amplifiers," in *IPRM 2011 - 23rd International Conference on Indium Phosphide and Related Materials*, 2011, pp. 1–4.
- [91] T. Takahashi, M. Sato, K. Makiyama, T. Hirose, and N. Hara, "InAlAs/InGaAs HEMTs with Minimum Noise Figure of 1.0 dB AT 94 GHz," in *2007 IEEE 19th International Conference on Indium Phosphide Related Materials*, 2007, pp. 55–58. **Doi:10.1109/ICIPRM.2007.381121**
- [92] C. S. Whelan et al., "Millimeter-wave low-noise and high-power metamorphic HEMT amplifiers and devices on GaAs substrates," *IEEE J. Solid-State Circuits*, vol. 35, no. 9, pp. 1307–1311, Sep. 2000. **Doi: 10.1109/4.868040**
- [93] Thèse de Albbert Noudeviwa, "Étude et optimisation de dispositifs à base de matériaux faible gap pour applications hautes fréquences et ultra faible consommation," Lille1, 2011.
- [94] P. Sakalas and M. Schroter, "Microwave noise in InP and SiGe HBTs: Modeling and challenges," in *2013 22nd International Conference on Noise and Fluctuations (ICNF)*, 2013, pp. 1–6. **Doi:10.1109/ICNF.2013.6578897**
- [95] G. Nikandish and A. Medi, "A 40-GHz Bandwidth Tapered Distributed LNA," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 65, no. 11, pp. 1614–1618, Nov. 2018. **Doi: 10.1109/TCSII.2017.2758861**
- [96] X. B. Mei et al., "A W-band InGaAs/InAlAs/InP HEMT Low-Noise Amplifier MMIC with 2.5dB noise figure and 19.4 dB gain at 94GHz," in *2008 20th International Conference on Indium Phosphide and Related Materials*, 2008, pp. 1–3. **Doi:10.1109/ICIPRM.2008.4702933**
- [97] D. Yang, J. Wen, M. He, and R. He, "A D-band Monolithic Low Noise Amplifier on InP HEMT Technology," in *2018 12th International Symposium on Antennas, Propagation and EM Theory (ISAPE)*, 2018, pp. 1–4. **Doi: doi:10.1109/ISAPE.2018.8634087**
- [98] P. Kangaslahti, D. Pukala, T. Gaier, W. Deal, and R. Lai, "Low noise amplifier for 180 GHz frequency band," in *2008 IEEE MTT-S International Microwave Symposium Digest*, 2008, pp. 451–454. **Doi:10.1109/MWSYM.2008.4633200**
- [99] K. M. K. H. Leong et al., "A 0.85 THz Low Noise Amplifier Using InP HEMT Transistors," *IEEE Microw. Wirel. Compon. Lett.*, vol. 25, no. 6, pp. 397–399, Jun. 2015. **Doi: 10.1109/LMWC.2015.2421336**
- [100] Site internet de Ommic." <https://www.ommic.com/> .
- [101] P. M. Smith et al., "A 50nm MHEMT millimeter-wave MMIC LNA with wideband noise and gain performance," in *2014 IEEE MTT-S International Microwave Symposium (IMS2014)*, 2014, pp. 1–4. **Doi:10.1109/MWSYM.2014.6848288**
- [102] A. Tessmann et al., "A millimeter-wave low-noise amplifier MMIC with integrated power detector and gain control functionality," in *2016 IEEE MTT-S International Microwave Symposium (IMS)*, 2016, pp. 1–3. **Doi:10.1109/MWSYM.2016.7540310**
- [103] F. Thome, A. Leuther, H. Massler, M. Schlechtweg, and O. Ambacher, "Comparison of a 35-nm and a 50-nm gate-length metamorphic HEMT technology for millimeter-wave low-noise amplifier MMICs," in *2017 IEEE MTT-S International Microwave Symposium (IMS)*.8058685, 2017, pp. 752–755. **Doi:10.1109/MWSYM.2017**

- [104] G. Moschetti et al., “A 183 GHz Metamorphic HEMT Low-Noise Amplifier With 3.5 dB Noise Figure,” *IEEE Microw. Wirel. Compon. Lett.*, vol. 25, no. 9, pp. 618–620, Sep. 2015. **Doi: 10.1109/LMWC.2015.2451355**
- [105] V. Hurm et al., “A 243 GHz LNA Module Based on mHEMT MMICs With Integrated Waveguide Transitions,” *IEEE Microw. Wirel. Compon. Lett.*, vol. 23, no. 9, pp. 486–488, Sep. 2013. **Doi: 10.1109/LMWC.2013.2272610**
- [106] A. Tessmann et al., “A 300 GHz low-noise amplifier S-MMIC for use in next-generation imaging and communication applications,” in 2017 IEEE MTT-S International Microwave Symposium (IMS), 2017, pp. 760–763. **Doi:10.1109/MWSYM.2017.8058687**
- [107] D. Kissinger, H. P. Forstner, H. Jäger, L. Maurer, and R. Weigel, “A differential 77-GHz receiver with current re-use low-noise amplifier in SiGe technology,” in 2010 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010, pp. 128–131. **Doi:10.1109/SMIC.2010.5422956**
- [108] S. Malz, B. Heinemann, and U. R. Pfeiffer, “A 233-GHz low noise amplifier with 22.5dB gain in 0.13 $\mu$ m SiGe,” in 2014 9th European Microwave Integrated Circuit Conference, 2014, pp. 190–193. **Doi:10.1109/EuMIC.2014.6997824**
- [109] J. Hacker, M. Urteaga, M. Seo, A. Skalare, and R. Lin, “InP HBT amplifier MMICs operating to 0.67 THz,” in 2013 IEEE MTT-S International Microwave Symposium Digest (MTT), 2013, pp. 1–3. **Doi:10.1109/MWSYM.2013.6697518**
- [110] M. Sexl et al., “MBE growth of double-sided doped HEMTs with an InAs layer inserted in the channel,” *J. Cryst. Growth*, vol. 175–176, pp. 915–918, May 1997. **Doi: 10.1016/S0022-0248(96)01203-1**
- [111] N. Hara et al., “Improvement in reliability of InP-based HEMTs by suppressing impact ionization,” in 16th IPRM. 2004 International Conference on Indium Phosphide and Related Materials, 2004., 2004, pp. 615–618. **Doi:10.1109/ICIPRM.2004.1442800**
- [112] Thèse de Hervé Fourre, “Réalisation et caractérisation de transistors à effet de champ à hétérojonction de la filière AlInAs-GaInAs pour applications en ondes millimétriques, Réalisation and caractérisation of AlInAs-GaInAs high electron mobility transistor for millimeter wave applications,” Lille1. 1997.
- [113] N. Yoshida, Y. Yamamoto, H. Takano, T. Sonoda, S. Takamiya, and S. Mitsui, “Alloyed and Non-Alloyed Ohmic Contacts for AlInAs/ InGaAs High Electron Mobility Transistors,” *Jpn. J. Appl. Phys.*, vol. 33, no. 6R, p. 3373, Jun. 1994. **Doi: 10.1143/JJAP.33.3373**
- [114] N. Huang, K. Han, X. Gao, P. Zou, and J. Gao, “Improvement of ohmic contact characteristics on GaAs HEMT/PHEMT by composite cap layer design,” vol. 35, pp. 197–201, Apr. 2015.
- [115] W. Deal, X. B. Mei, K. M. K. H. Leong, V. Radisic, S. Sarkozy, and R. Lai, “THz Monolithic Integrated Circuits Using InP High Electron Mobility Transistors,” *IEEE Trans. Terahertz Sci. Technol.*, vol. 1, no. 1, pp. 25–32, Sep. 2011. **Doi: 10.1109/TTHZ.2011.2159539**
- [116] G. K. Reeves and H. B. Harrison, “Obtaining the specific contact resistance from transmission line model measurements,” *IEEE Electron Device Lett.*, vol. 3, no. 5, pp. 111–113, May 1982. **Doi: 10.1109/EDL.1982.25502**
- [117] Ming-Yih Kao, K. H. G. Duh, Pin Ho, and Pane-Chane Chao, “An extremely low-noise InP-based HEMT with silicon nitride passivation,” in Proceedings of 1994 IEEE International Electron Devices Meeting, 1994, pp. 907–910. **Doi:10.1109/IEDM.1994.383266**
- [118] K. Makiyama et al., “Improvement of circuit-speed of HEMTs IC by reducing the parasitic capacitance,” in IEEE International Electron Devices Meeting 2003, 2003, pp. 30.6.1-30.6.4. **Doi :10.1109/IEDM.2003.1269384**
- [119] R. Vandersinissen, D. Schreurs, and G. Borghs, “Influence of silicon nitride passivation on DC and RF behaviour of InP HEMTs,” in The 10th IEEE International Symposium on Electron Devices for Microwave and Optoelectronic Applications, 2002, pp. 172–176. **Doi: doi:10.1109/EDMO.2002.1174950**
- [120] Thèse de Virginie Hoel, “Conception, réalisation et caractérisation de transistors à effet de champ à hétérojonction sur substrat d’InP pour circuits intégrés coplanaires en bandes V et W,” Lille1, 1998.



- [121] “Simple and high-precision asymmetric gate-recess process for ultrafast InP-based high electron mobility transistors,” J. Vac. Sci. Technol. B Microelectron. Nanometer Struct. Process. Meas. Phenom., vol. 20, no. 5, pp. 2096–2100, Sep. 2002. **Doi: 10.1116/1.1510527**
- [122] Thèse Vincent Roucher ‘Étude de HEMT’s AlInAs/GaInAs à désertion et à enrichissement pour applications haute fréquence’, Lille1, 2005.”
- [123] T. Takahashi et al., “Enhancement of  $f_{max}$  to 910 GHz by Adopting Asymmetric Gate Recess and Double-Side-Doped Structure in 75-nm-Gate InAlAs/InGaAs HEMTs,” IEEE Trans. Electron Devices, vol. 64, no. 1, pp. 89–95, Jan. 2017. **Doi: 10.1109/TED.2016.2624899**
- [124] H.-B. Jo et al., “Lg = 25 nm InGaAs/InAlAs high-electron mobility transistors with both  $f_T$  and  $f_{max}$  in excess of 700 GHz,” Appl. Phys. Express, vol. 12, no. 5, p. 054006, May 2019. **Doi: 10.7567/1882-0786/ab1943**
- [125] G. Moschetti, P.- Nilsson, A. Hallén, L. Desplanque, X. Wallart, and J. Grahn, “Source-drain scaling of ion-implanted InAs/AlSb HEMTs,” in 2012 International Conference on Indium Phosphide and Related Materials, 2012, pp. 57–60. **Doi: 10.1109/ICIPRM.2012.6403318**
- [126] D. Xu et al., “50-nm Asymmetrically Recessed Metamorphic High-Electron Mobility Transistors With Reduced Source-Drain Spacing: Performance Enhancement and Tradeoffs,” IEEE Trans. Electron Devices, vol. 59, no. 1, pp. 128–138, Jan. 2012. **Doi: 10.1109/TED.2011.2172614**
- [127] S. Rehnmark, “On the Calibration Process of Automatic Network Analyzer Systems (Short Papers),” IEEE Trans. Microw. Theory Tech., vol. 22, no. 4, pp. 457–458, Apr. 1974. **Doi: 10.1109/TMTT.1974.1128250**
- [128] R. A. Ginley, “Line-reflect-match calibration technique for the dual six-port automatic network analyzer,” IEEE Trans. Instrum. Meas., vol. 46, no. 2, pp. 523–526, 1997. **Doi: 10.1109/19.571901**
- [129] A. Davidson, K. Jones, and E. Strid, “LRM and LRRM Calibrations with Automatic Determination of Load Inductance,” in 36th ARFTG Conference Digest, 1990, vol. 18, pp. 57–63. **Doi: 10.1109/ARFTG.1990.323996**
- [130] M. C. A. M. Koolen, J. A. M. Geelen, and M. P. J. G. Versleijen, “An improved de-embedding technique for on-wafer high-frequency characterization,” in Proceedings of the 1991 Bipolar Circuits and Technology Meeting, 1991, pp. 188–191. **Doi: 10.1109/BIPOL.1991.160985**
- [131] R. Q. Lane, “The determination of device noise parameters,” Proc. IEEE, vol. 57, no. 8, pp. 1461–1462, Aug. 1969. **Doi: 10.1109/PROC.1969.7311**
- [132] A. V. D. Ziel, “Gate noise in field effect transistors at moderately high frequencies,” Proc. IEEE, vol. 51, no. 3, pp. 461–467, Mar. 1963. **Doi: 10.1109/PROC.1963.1849**
- [133] M. W. Pospieszalski, “Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence,” IEEE Trans. Microw. Theory Tech., vol. 37, no. 9, pp. 1340–1350, Sep. 1989. **Doi: 10.1109/22.32217**
- [134] G. Dambrine, H. Happy, F. Danneville, and A. Cappy, “A new method for on wafer noise measurement,” IEEE Trans. Microw. Theory Tech., vol. 41, no. 3, pp. 375–381, Mar. 1993. **Doi: 10.1109/22.223734**
- [135] M. W. Pospieszalski, “Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence,” IEEE Trans. Microw. Theory Tech., vol. 37, no. 9, pp. 1340–1350, Sep. 1989. **Doi: 10.1109/22.32217**
- [136] “Thèse Nicolas Waldhoff ‘Caractérisations et modélisations des technologies CMOS et BiCMOS de dernières générations jusque 220 GHz’, Lille1, 2009.”
- [137] “Thèse Marina Deng ‘Contribution à la caractérisation et la modélisation jusqu’à 325 GHz de transistors HBT des technologies BiCMOS’, Lille1, 2014.”
- [138] These de Sébastien Delcourt, “Caractérisation de composants et dispositifs actifs en basse température en bande Ka et Q : application à la filière métamorphique.” Lille1, 2007
- [139] Thèse de Simon Bouvot ‘Contribution au BIST in-situ : Intégration sur silicium d’un banc de caractérisation en bruit en bande D’, Lille, 2018.”

- [140] T. Takahashi, M. Sato, Y. Nakasha, T. Hirose, and N. Hara, "Noise Figure Improvement in InP-Based HEMTs Using Wide Gate Head and Cavity Structure," *IEEE Electron Device Lett.*, vol. 33, no. 2, pp. 206–208, Feb. 2012. **Doi: 10.1109/LED.2011.2175360**
- [141] G. Dambrine, J.-Raskin, F. Danneville, D. V. Janvier, J.-Colinge, and A. Cappy, "High-frequency four noise parameters of silicon-on-insulator-based technology MOSFET for the design of low-noise RF integrated circuits," *IEEE Trans. Electron Devices*, vol. 46, no. 8, pp. 1733–1741, Aug. 1999. **Doi: 10.1109/16.777164**
- [142] S. Fregonese et al., "Comparison of On-Wafer TRL Calibration to ISS SOLT Calibration With Open-Short De-Embedding up to 500 GHz," *IEEE Trans. Terahertz Sci. Technol.*, vol. 9, no. 1, pp. 89–97, Jan. 2019. **Doi: 10.1109/TTHZ.2018.2884612**
- [143] S. Fregonese et al., "On-Wafer Characterization of Silicon Transistors Up To 500 GHz and Analysis of Measurement Discontinuities Between the Frequency Bands," *IEEE Trans. Microw. Theory Tech.*, vol. 66, no. 7, pp. 3332–3341, Jul. 2018. **Doi: 10.1109/TMTT.2018.2832067**
- [144] Thèse de Jingjing. Zhang, "Propagation Characteristics of Coplanar Waveguides at Subterahertz Frequencies," USA, 2007
- [145] M. Riaziat, R. Majidi-Ahy, and I.-J. Feng, "Propagation modes and dispersion characteristics of coplanar waveguides," *IEEE Trans. Microw. Theory Tech.*, vol. 38, no. 3, pp. 245–251, Mar. 1990. **Doi: 10.1109/22.45333**
- [146] Samnoui, N. Wichmann, X. Wallart, C. Coinion, S. Lepilliet, and S. Bollaert, "f<sub>max</sub>=800 GHz with 75 nm gate length and asymmetric gate recess for InGaAs/InAlAs PHEMT," in *2019 44th International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, 2019, pp. 1–2. **Doi:10.1109/IRMMW-THz.2019.8873821**
- [147] M. Samnoui, N. Wichmann, X. Wallart, C. Coinion, S. Lepilliet, and S. Bollaert, "1.2 THz maximum frequency of oscillation achieved by using 75 nm gate length and asymmetric gate recess for InGaAs/InAlAs PHEMT," in *2019 Compound Semiconductor Week (CSW)*, 2019, pp. 1–2. **Doi:10.1109/ICIPRM.2019.8819183**
- [148] Thèse de Lecourt. François, "Hétérostructures AlGa<sub>N</sub>/Ga<sub>N</sub> et InAl<sub>N</sub>/Ga<sub>N</sub> pour la réalisation de HEMTs de puissance hyperfréquence en bande Ka," Lille1, 2012.
- [149] C. Verona et al., "Gate-Source Distance Scaling Effects in H-Terminated Diamond MESFETs," *IEEE Trans. Electron Devices*, vol. 62, no. 4, pp. 1150–1156, Apr. 2015. **Doi: 10.1109/TED.2015.2398891**





---

## Résumé

---

Les avancées des technologies III-V permettent aujourd'hui de concevoir des composants électroniques fonctionnant en gammes millimétrique et submillimétrique (fréquences Terahertz) pour répondre aux besoins émergents du marché des télécommunications et de l'électronique à destination de différents secteurs industriels. L'électronique THz trouve des débouchées importantes dans les applications d'imagerie, entre autres pour la sécurité et les communications sans fils ultra haut débit (5G plus).

La technologie des transistors HEMT InP a connu ces dernières années un progrès remarquable dans la réalisation des circuits intégrés à très hautes fréquences (fréquence de fonctionnement à 1 THz) et de faible bruit. Peu d'acteurs mondiaux de la microélectronique (aucun en France) ont établi des performances atteignant ces fréquences THz. Nous proposons de développer une technologie répondant à cette demande.

Dans ces travaux de thèse, nous proposons de développer des HEMT InAlAs /InGaAs/InAs sur substrat d'InP de fréquence de coupure THz pour amplification faible bruit dans les systèmes de réception-détection THz. Nous avons pour cela optimisé la structure semiconductrice utilisée afin d'obtenir un meilleur compromis mobilité/charges électroniques. Nous avons également apporté des modifications géométriques (longueur de grille, taille du recess et espacements des électrodes du transistor) qui ont permis d'augmenter considérablement les fréquences de fonctionnement du transistor. Nous avons réalisé des mesures de paramètres S jusque 750 GHz et en bruit jusque 110 GHz, afin de valider les optimisations technologiques apportées à la structure HEMT.

Mots clés : HEMT, InP, InAlAs/InGaAs/InAs, recess asymétrique, hyperfréquence, fréquence maximale d'oscillation et facteur minimum de bruit.

---

## Abstract

---

Progress of III-V technologies are now making it possible to design electronic components operating in the millimeter and sub-millimeter wave range (THz) are facing the needs of the telecommunications and electronics market for various industrial sectors. The technology of InP High Electron Mobility Transistor (HEMT) allowed in recent years a remarkable progress in the realization of integrated circuits at very high frequencies (operating frequency at 1 THz) and low noise. Few world players in microelectronics (none in France) have established performances reaching these THz frequencies. We propose to develop a technology that meets this demand.

We propose to develop InAlAs /InGaAs/InAs HEMT with THz cutoff frequency and low noise, mainly for reception-detection THz electronic system. The work will therefore focus on the determination of an optimal epitaxial structure using InAlAs/InGaAs/InAs materials by performing Hall effect measurements of several heterostructures, in order to determine the layer offering a better mobility / electronic charges tradeoff. The modifications of the transistor geometry (gate length, recess size and the spacings of the electrodes of the transistor) made it possible to considerably increase the operating frequency of the transistor. We achieved the characterizations of S-parameters up to 750 GHz and noise up to 110 GHz, in order to validate the technological optimizations.

Key words: HEMT, InP, InAlAs/InGaAs/InAs, asymmetric gate recess, high frequency, maximum oscillation frequency, noise-figure.