



HAL
open science

Fabrication de transistors HEMTs AlGa_N/Ga_N de haute fiabilité sur substrat free-standing Ga_N de haute qualité

Mohamed Reda Irekti

► To cite this version:

Mohamed Reda Irekti. Fabrication de transistors HEMTs AlGa_N/Ga_N de haute fiabilité sur substrat free-standing Ga_N de haute qualité. Micro et nanotechnologies/Microélectronique. Université de Lille, 2019. Français. NNT : 2019LILUI095 . tel-03624139

HAL Id: tel-03624139

<https://theses.hal.science/tel-03624139>

Submitted on 30 Mar 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre :



THESE

Pour l'obtention du grade de
DOCTEUR DE L'UNIVERSITE

Présentée à l'université de Lille
École Doctorale Sciences Pour l'Ingénieur
Spécialité : Micro et Nanotechnologies, Acoustique et Télécommunications

Présentée par :

Mohamed Reda IREKTI

**FABRICATION DE TRANSISTORS HEMTs AlGaIn/GaN DE HAUTE FIABILITE SUR
SUBSTRAT FREE-STANDING GaN DE HAUTE QUALITE**

Soutenue le 19 décembre 2019

Membres du jury :

M. Yvon CORDIER	Directeur de recherches – CRHEA – Valbonne	Président de jury
M. Bertrand BOUDART	Professeur – Université de Caen Normandie	Rapporteur
M. Jean-Paul SALVESTRINI	Professeur – Georgia Institute of Technology	Rapporteur
M. Jean-Claude DEJAEGER	Professeur – Université de Lille	Directeur de thèse
M. Jean-Guy TARTARIN	Professeur – Université de Toulouse 3	Co-Directeur de thèse
Mme Marie LESECQ	Maitre de conférences – Université de Lille	Encadrante de thèse

Remerciements

Ce travail de thèse a été effectué dans le cadre d'une codirection entre l'Institut d'Électronique de Microélectronique et de Nanotechnologie (IEMN) et le Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS).

Je tiens à remercier avant tout M. Yvon Cordier, Directeur de Recherche au CNRS-CRHEA, de nous avoir fabriqué les structures à étudier tout au long de la thèse et de me faire l'honneur de présider le jury.

J'adresse mes sincères remerciements à M. Jean-Paul Salvestrini, Professeur Adjoint à Georgia Institute of technology ainsi que M. Bertrand Boudart, Professeur à l'université de Caen Normandie d'accepter de juger ce travail en qualité de rapporteurs.

Mes remerciements vont également à M. Jean-Claude De Jaeger, Professeur à l'Université de Lille, qui a assuré la direction de ce travail. Je vous remercie pour la confiance que vous m'avez accordée en me proposant un sujet de thèse passionnant. Merci de m'avoir guidé dans cette voie de la recherche et de m'avoir communiqué votre expertise et votre rigueur scientifique. Je vous suis reconnaissant pour votre disponibilité, votre investissement et vos encouragements.

Je tiens également à remercier M. Jean-Guy Tartarin, Professeur à l'Université Paul Sabatier de Toulouse, pour avoir co-dirigé cette thèse. Je vous remercie pour votre disponibilité, vos conseils et l'énergie que vous m'avez toujours transmis lors des réunions. Je garderai en tête qu'avec plus de science le monde sera meilleur.

J'exprime ma gratitude à Mme. Marie Lesecq, Maître de Conférences à l'Université de Lille, pour m'avoir encadré durant ces trois années de thèse. Je te remercie de m'avoir encadré, soutenu et appris les secrets de la techno. Merci pour ta patience, ta grande disponibilité, ainsi que tes qualités humaines et scientifiques qui m'ont aidé à surmonter toutes les difficultés rencontrées au cours de ce travail. Je n'oublierai pas qu'il faut toujours rester positif.

Je tiens par ailleurs à remercier M. Nicolas Defrance, Maître de Conférences à l'Université de Lille, pour sa disponibilité, son implication et son sens du partage. Merci pour tous les conseils précieux et orientations. Nos échanges ont toujours été constructifs et agréables.

Je remercie à l'occasion M. Eric Frayssinet, ingénieur de recherche au CNRS-CRHEA, de nous avoir fabriqué les structures à étudier durant cette thèse.

Merci à tous mes collègues doctorants de l'IEMN d'avoir apporté la joie et la bonne humeur dans un bon environnement de travail. Je remercie à cette occasion l'ensemble du personnel de la centrale de technologie de l'IEMN. Merci également au personnel de la centrale de caractérisation.

Mes amitiés vont à Walid Aouimeur et Mohammed Boucherta avec qui j'ai passé de très bons moments durant ces trois dernières années. Walid merci pour tes encouragements et tes conseils, et de m'avoir transmis le café dans le sang, je te souhaite une vie heureuse. Simo, merci d'avoir partagé avec moi cette expérience.

Mes sincères remerciements s'adressent à Mme. Elodie Richalot, Professeur de l'Université de Paris Est Marne-la-Vallée, et Mme. Marjorie Grzeskowiak, Maître de conférences à l'Université Paris Est Marne-la-Vallée, pour avoir cru en moi, pour m'avoir soutenu et orienté lors de mon master. Je remercie tous mes professeurs, particulièrement M. Hasni, M. Benzghiba, Mme. Chaouadi, Mme Besseka et M. Moussaoui. Merci pour tout ce que vous avez fait pour moi.

Je profite de l'espace dédicaces pour remercier tous ceux qui me sont chers. Fouzi, Arslane, Yacine, Houcem, Rami, Mohamed, Aboubaker, Yacine. Vous m'avez toujours soutenu, Merci !

Je remercie ma grande famille d'avoir été derrière moi, Je remercie ma grand-mère pour ses prières et encouragements. J'adresse également mes francs remerciements à mes beaux-parents. Je vous remercie de m'avoir fait confiance, de m'encourager sans cesse et de toujours prier pour nous.

Un spécial merci à mon frère Abdou. Ça me manque de faire du sport avec toi. Et j'envoie un immense merci à ma sœur Rania. Tu as toujours su me donner le sourire.

Je remercie sincèrement ma chère épouse. Merci pour tout ce que tu fais. Maintenant tu t'y connais en HEMT haha. MERCI !

Enfin, Je ne sais pas comment remercier des parents comme les miens. MERCI d'avoir tant donné pour ma réussite, MERCI pour tout, j'espère vous rendre fiers.

Table des matières

Remerciements	III
Table des matières	VI
Introduction générale	3
Chapitre 01 : Les HEMTs AlGa_N/Ga_N sur substrat Ga_N	8
Partie 1 : Généralités sur les HEMTs AlGa_N/Ga_N	9
La filière nitrure de gallium	9
1.1. Propriétés du nitrure de gallium.....	11
1.1.1 Propriétés cristallographiques	11
1.1.2 La bande interdite.....	12
1.1.3 Le champ de claquage.....	12
1.1.4 La conductivité thermique	13
1.1.5 Mobilité des porteurs	13
L'hétérojonction AlGa _N /Ga _N	14
2.1. Polarisation spontanée.....	15
2.2. Polarisation piézoélectrique	16
Techniques de croissance des hétéro-épitaxies	19
2. Epitaxie en phase vapeur aux organométalliques (MOCVD).....	19
La structure HEMT AlGa _N /Ga _N	21
Substrats utilisés pour la croissance des hétérostructures	23
3. Le substrat de Silicium (Si).....	23
3.1. Le substrat de Carbure de Silicium (SiC)	24
4. Le substrat de Ga _N massif	24
5. Partie 2 : Intérêts de l'homo-épitaxie	27
5.1.	
5.2.	VI
5.3.	

Mécanisme de dégradation de la fiabilité des HEMTs AlGa _N /Ga _N	27
1.1. Dégradation métallurgique.....	28
1.2. Mécanisme de piégeages.....	29
1.2.1 Les pièges en surface	30
1. 1.2.2 Les pièges de substrat	30
1.3. Dégradation piézoélectrique	32
Obtention des substrats Ga _N	32
2.1. Les voies technologiques pour le développement des substrats Ga _N	33
2.1.1 Le substrat de Ga _N natif	33
2.1.2 Le substrat Free-Standing Ga _N	34
2. 2.1.3 Le Ga _N template.....	35
2.2. L'épitaxie en phase vapeur d'hydruure (HVPE).....	36
2.2.1 Acteurs industriels.....	38
Pertes en fonction de la fréquence sur substrat FS-Ga _N	39
Etat de l'art des HEMTs obtenus par homo-épitaxie	40
Partie 3 : Contexte du projet de thèse	43
Objectifs	43
3. Présentation des structures HEMT développées sur substrat FS-Ga _N	43
4. Conclusion.....	44
Chapitre 02 : Technologie spécifique des composants HEMTs sur substrat FS-Ga_N.....	47
Partie 1 : Procédé standard de fabrication des composants HEMTs sur substrat silicium	49
2. Préparation de l'échantillon	55
3. Marques d'alignement	55
Les contacts de source et drain.....	57
Le contact ohmique.....	58
1.	
2.	
3.	

Fabrication des contacts ohmiques	62
Isolation des composants.....	65
Technologie de grille.....	70
Contact Schottky.....	73
3.2. Fabrication de grille en « T ».....	78
4. Passivation des composants	81
5. Les plots d'épaississement	83
5.1. Partie 2 : Optimisation spécifique des étapes de fabrication pour un HEMT AlGaIn/GaN sur substrat FS-GaN	84
6. Marques d'alignement gravées.....	86
7. 1.1. Réalisation des marques d'alignement gravées	88
Optimisation des contacts ohmiques	91
2.1. Caractérisation des contacts ohmiques	91
1. 2.2. Optimisation des contacts ohmiques.....	95
2.2.1 Rampe de montée en température.....	97
2. 2.2.2 Température de recuit	98
Fabrication de la grille en « T » de faible longueur	101
Conclusion.....	106
Chapitre 03 : Caractérisation des Composants HEMTs AlGaIn/GaN sur substrats FS-GaN	108
Partie 1 : Généralités sur la caractérisation électrique des HEMTs	109
4. Le régime statique	111
Le régime impulsionnel.....	115
Le régime hyperfréquence.....	116
Le modèle petit signal.....	116
1. La fréquence de coupure du gain en courant	119
2.	
3.	
3.1.	

La fréquence de coupure du gain en puissance	121
3.3.1 Critère de stabilité	121
3.3.2 Gain maximum disponible	121
3.3.3 Gain unilatéral.....	122
3.3. Caractéristiques de puissance hyperfréquence	123
Partie 2 : Caractérisation des HEMTs AlGaIn/GaN sur substrat FS-GaN	127
Caractérisation des pertes hyperfréquences dans les structures étudiées	127
Caractérisation en régime statique	132
4. Caractérisation thermique	136
Mesure par caméra infra-rouge	137
1. Caractérisation en régime impulsionnel	139
2. Caractérisation en régime petit signal	140
3. Caractérisation en régime grand signal	142
3.1. Mesures de puissance hyperfréquence à 18 GHz.....	142
4. 6.2. Mesures de puissance hyperfréquence à 40 GHz.....	143
5. Conclusion.....	145
6. Références	148
Conclusion générale et perspectives	164
Liste des publications	168
Résumé.....7.....	169
Abstract	171

Introduction générale

L'élaboration de normes de communication avancées et de systèmes de télécommunication modernes exige une amélioration continue des systèmes hyperfréquences en termes de puissance de sortie, de rendement, de bande passante et de fiabilité des dispositifs. Le transistor actif est l'élément principal de tout système communiquant, permettant de prédire les performances du système complet. De ce fait, une grande partie des activités de recherche ont été consacrées au développement d'une technologie de dispositifs appropriée qui répond aux demandes sans cesse croissantes des futures innovations électroniques, particulièrement des applications de puissance hyperfréquence pour les télécommunications, l'automobile, le spatial et la défense.

Depuis plus d'une décennie, la technologie LDMOS silicium (Si) domine le marché de l'industrie des semiconducteurs, en raison de la grande disponibilité du Si et des avancées technologiques atteintes en termes de miniaturisation conduisant à l'amélioration des performances RF de ces dispositifs. Cependant, les propriétés intrinsèques du Si, à savoir la mobilité des électrons, la vitesse de saturation et la tension de claquage limitent son utilisation pour des applications exigeantes en termes de puissance à hautes fréquences. Cette technologie n'étant plus en mesure de fournir les performances requises des futures applications hyperfréquences, d'autres technologies à base de matériaux III-V « petit -gap » tel que l'arséniure de gallium (GaAs) ont été étudiées. Contrairement au Si, le HEMT GaAs (High Electron Mobility Transistor) permet d'atteindre des fréquences de coupures élevées grâce à sa haute mobilité électronique. Néanmoins, les dispositifs à base de GaAs restent limités en termes de densité de puissance délivrée, redirigeant ainsi les recherches vers des matériaux à large bande interdite « grand-gap ».

Les semiconducteurs à large bande interdite sont considérés comme les matériaux semiconducteurs de troisième génération. Leurs propriétés physiques (mobilité, vitesse de saturation, tension de claquage, conductivité thermique...) les prédestinent pour la réalisation de dispositifs dédiés aux applications de puissance hyperfréquence à température élevée. Parmi les matériaux III-V, le nitrure de gallium (GaN) a émergé comme étant le matériau de choix pour la réalisation des HEMTs leur permettant d'atteindre des densités de puissance élevées à hautes fréquences.

Bien que dès 1992, A. Khan *et al* aient démontré la fabrication des composants HEMTs sur substrat GaN, la faible disponibilité du substrat GaN et son coût élevé dus à sa complexité de synthèse, ont orienté les acteurs académiques et industriels vers des approches hétéroépitaxiales utilisant différents substrats de substitution tels que le saphir, le silicium (Si) et le Carbure de Silicium (SiC). Le développement de ces technologies doit faire face aux inconvénients de l'hétéro-épitaxie : densités de dislocations élevées de l'ordre de 10^8 - 10^{10} cm⁻² et des contraintes mécaniques notables (plusieurs centaines de MPa) apparaissant dans le matériau entraînant de nombreuses questions quant à la fiabilité des dispositifs.

Au cours des dix dernières années, d'importants progrès dans l'étude du développement du substrat GaN ont été réalisés. En effet, selon le rapport « Bulk GaN substrate market 2017 » du 'yoles développement', il est prévu que le volume des substrats GaN (2 pouces) destinés à la fabrication des composants, dépassera les 300000 unités en 2022 face à seulement environ 80000 unités en 2017 (Figure 1). Cela est équivalent à une augmentation annuelle de l'ordre de 10% entre 2017 et 2022 et peut atteindre un marché de plus de 100 M\$ en 2022. Cette augmentation exponentielle des substrats GaN dans le marché des semiconducteurs est due au développement des techniques de leur obtention, et permettra d'améliorer les performances et la fiabilité des dispositifs HEMTs.

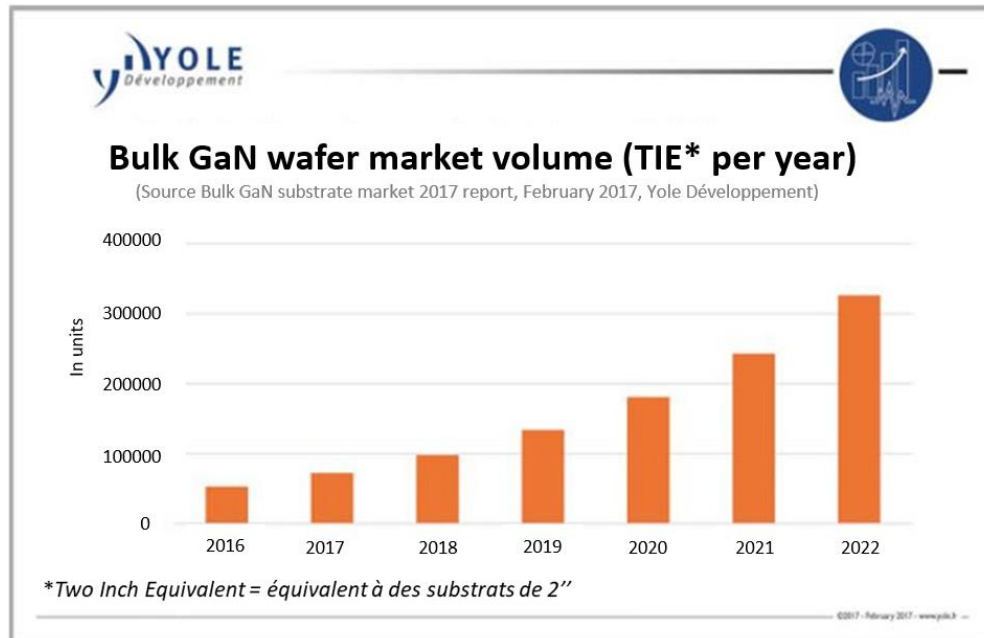


Figure 1 : Evolution du volume des substrats GaN dans le marché du semiconducteur selon le rapport « Bulk GaN substrate market 2017 » du ‘yoles développement’

Ce travail de thèse s’inscrit dans le cadre du développement de dispositifs HEMTs AlGaN/GaN à base de substrats Free-Standing GaN commerciaux de chez Saint-Gobain Lumilog. Sur ces substrats non isolants, le CRHEA a développé les hétérostructures AlGaN/GaN en utilisant un buffer résistif épais dans le but de limiter les pertes hyperfréquences et d’isoler l’hétérojonction AlGaN/GaN du substrat. Le développement du procédé de fabrication et la caractérisation des dispositifs sont effectués dans le cadre de ce travail de thèse au sein du groupe Composants et Dispositifs Micro-ondes de Puissance au laboratoire IEMN. Ainsi, une étude de la fiabilité des transistors fabriqués est prévue au sein du laboratoire LAAS.

Le premier chapitre du manuscrit fait objet d’un rappel des propriétés physiques et électriques du GaN et décrit l’hétérojonction AlGaN/GaN destinée à la réalisation des HEMTs. Il présente l’intérêt de l’homo-épitaxie sur substrat GaN par rapport à la technologie à base de substrats de substitution tels que le silicium ou le carbure de silicium. Un état de l’art des HEMTs développés sur substrat GaN est ensuite répertorié. Ce chapitre s’achève par une dernière partie décrivant les objectifs fixés pour cette étude.

Le second chapitre illustre dans sa première partie le procédé de base de fabrication des HEMTs sur substrats Si, développé au sein du groupe, permettant de réaliser des transistors aux grilles submicrométriques. Ce procédé a dû être adapté à la fabrication de composants sur substrats FS-GaN. La deuxième partie du chapitre, décrit les optimisations effectuées sur certaines étapes de fabrication à savoir les marques d'alignement, les contacts ohmiques et la grille en forme de « T », afin d'établir un procédé spécifique au développement des HEMTs AlGaN/GaN sur substrat FS-GaN.

Le troisième chapitre vient clore le manuscrit par une présentation des résultats des caractérisations effectuées sur les transistors à faible longueur de grille fabriqués au cours de ce travail. Les mesures des pertes hyperfréquences sur les structures développées aux différentes épaisseurs du buffer résistif seront détaillées. Ainsi, les caractérisations en régime statique, impulsionnel et hyperfréquences seront présentées. Ces résultats ont fait l'objet d'un état de l'art des HEMTs sur substrats FS-GaN à 40 GHz avec une densité de puissance de sortie de 2 W.mm^{-1} associée à un gain linéaire de 4,2 dB et un rendement en puissance ajoutée de 20,5 %.

Ce manuscrit se termine par une conclusion générale et une description des perspectives de ce travail.

Chapitre 01

Les HEMTs AlGa_N/Ga_N sur substrat Ga_N

Introduction :

Ce premier chapitre commence par un rappel des principales propriétés du Ga_N, permettant la réalisation des HEMTs (High Electron Mobility Transistors) AlGa_N/Ga_N, telles que les propriétés cristallographiques, les principales techniques de croissance, une description de la structure des HEMTs, ainsi qu'une comparaison entre les substrats généralement utilisés pour la réalisation des dispositifs HEMTs.

La deuxième partie de ce chapitre porte sur l'intérêt de l'homo-épitaxie Ga_N. Nous décrivons les techniques permettant l'obtention de substrats Ga_N, notamment la technique « Hydride Vapor Phase Epitaxy » (HVPE). Les principales raisons de la dégradation des HEMTs sont explicitées et une solution permettant de s'affranchir des problèmes de pertes de propagation dans les substrats Ga_N conducteurs est décrite. Enfin, nous présentons un état de l'art mondial des performances de puissance hyperfréquence des composants HEMTs sur substrat FS-Ga_N.

Ce chapitre s'achève par une troisième partie, constituée d'une description de l'objectif de ce travail et d'une présentation des structures HEMTs étudiées.

Partie 1 : Généralités sur les HEMTs AlGa_N/Ga_N

Les transistors à effet de champ à structure métal-oxyde-semiconducteur (MOSFET) à base de silicium (Si) sont les dispositifs standard généralement utilisés pour la commande de puissance électrique. Ils alimentent divers domaines d'utilisation commerciaux et grand public, allant de l'industrie automobile et spatiale aux ordinateurs personnels et aux convertisseurs de puissance domestiques. Grâce aux investissements importants et à l'industrie qui l'entoure, la technologie du silicium (Si) bénéficie de coûts moindres et d'une technologie mature. Cependant, le rythme d'amélioration des dispositifs à base de Si est en perte de vitesse et se rapproche asymptotiquement des limites théoriques. Ainsi ses propriétés intrinsèques limitent son utilisation pour des applications de puissance hyperfréquence. Les transistors à base de nitrure de gallium (Ga_N) constituent la prochaine étape pour améliorer les performances et l'efficacité des systèmes de gestion de l'énergie électrique à l'avenir. Ils répondent particulièrement aux exigences des applications nécessitant des densités de puissance élevées à haute fréquence.

La filière nitrure de gallium

Le marché des semiconducteurs est dominé par l'utilisation massive du silicium (Si). Néanmoins, ce dernier reste limité par ses propriétés intrinsèques (vitesse de saturation, tension de claquage...) pour la réalisation de composants dédiés aux applications spécifiques dans le secteur de la défense, des télécommunications et du spatial. Les semiconducteurs III-V à large bande interdite « grand gap » tels que le carbure de silicium (SiC) et le nitrure de gallium (Ga_N) avec des gaps respectifs de 3.2 eV et 3.4 eV, permettent de réaliser des composants qui allient tension de claquage et courant élevés, ce qui les prédestinent aux applications de puissance.

Le nitrure de gallium (Ga_N) est un matériau de la famille des nitrures (III-N). Il permet d'associer des semiconducteurs ternaires tels que l'AlGa_N, l'InGa_N, et quaternaires AlGaInN, ce qui autorise la conception de dispositifs à hétérojonction comme les HEMTs (*High Electron Mobility Transistor*). Seule l'hétérojonction AlGa_N/Ga_N sera étudiée dans ce travail.

Les dispositifs HEMTs sont apparus au début des années 1990, et ont été conçus pour les applications radiofréquences (RF) en se basant sur un phénomène discuté par T. Mimura *et al.*

en 1975 [1], et par M. A.Khan *et al.* en 1994 [2] où un gaz d'électrons (2D) à l'interface entre le nitrure d'aluminium et de gallium (AlGaIn) et le GaN conduit à une mobilité nettement supérieure à celle du GaN massif.

La large bande interdite, ainsi que la facilité de création de structures offrant une mobilité plus élevée des électrons que celle du Si, permettent aux dispositifs à base de GaN de fournir une tension de claquage élevée (qui définit la tension maximale de fonctionnement des dispositifs), un courant élevé grâce à une densité de porteurs et une vitesse élevées, et une résistance faible par rapport aux autres semiconducteurs. La figure 1.1 présente la résistance dynamique par rapport à la tension de claquage pour différents matériaux. Nous observons qu'à la limite théorique, le GaN surpasse le Si de plus de 3 ordres de grandeur et le SiC d'un ordre de grandeur pour une tension de claquage donnée.

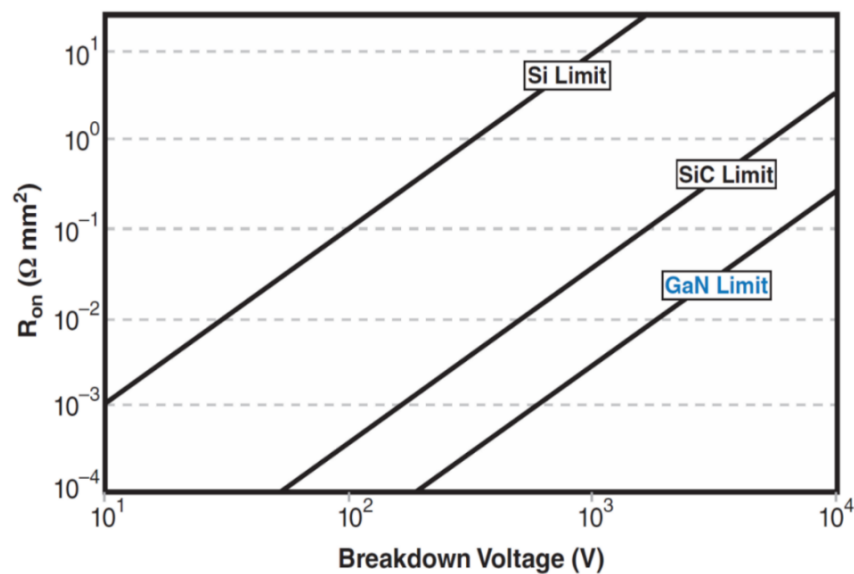


Figure 1.1 : Résistance dynamique théorique par rapport à la tension de claquage du Si, SiC et GaN

1.1. Propriétés du nitrure de gallium

1.1.1 Propriétés cristallographiques

De tous les matériaux semiconducteurs III-V, seule la famille des matériaux III-N est polaire et piézoélectrique. Cette polarité vient de la nature de la liaison III-N et de la structure cristalline. Le nitrure de Gallium cristallise sous trois formes différentes : Wurtzite (figure 1.2), Zinc Blende et Sel gemme. Les conditions de croissance (température, pression...) ainsi que l'orientation cristallographique des substrats déterminent la structure cristalline des matériaux synthétisés.

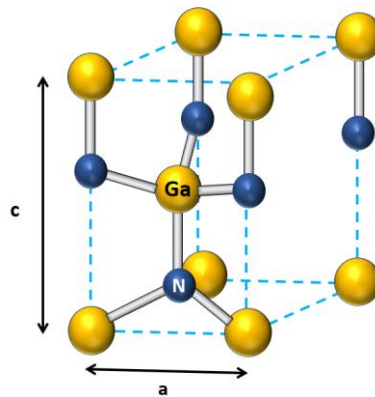


Figure 1. 2 : Structure cristallographique du GaN : Wurtzite

En comparant les trois formes, la structure Wurtzite ou hexagonale est la phase cristalline la plus stable tant sur le plan thermique que mécanique. Sous cette forme, le GaN présente un champ électrique interne de l'ordre de milliers de kV/cm. Cette structure est caractérisée par des paramètres de mailles (a) dans le plan de base, et (c) dans la direction de croissance. Elle s'organise suivant deux sous réseaux hexagonaux : un réseau de gallium (Ga) et un réseau d'azote (N) décalés selon l'axe (c). Suivant le réseau d'atomes déposé en dernier, on distingue deux types de film GaN : GaN à face gallium, et GaN à face azote (figure 1.3).

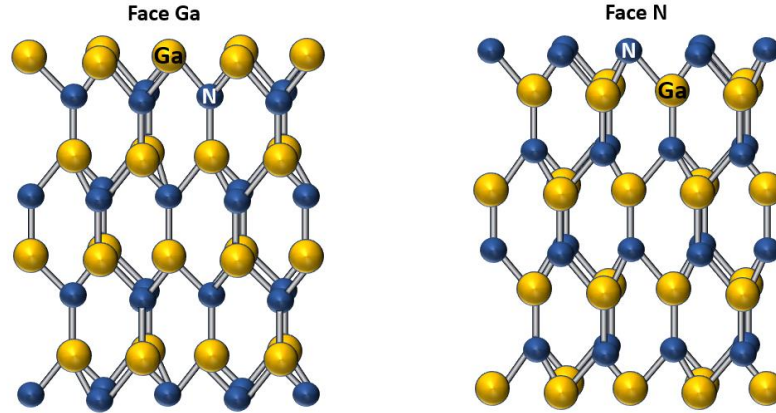


Figure 1.3 : Polarité des couches de GaN hexagonales

1.1.2 La bande interdite

Le GaN possède une large bande interdite ($\sim 3,4$ eV) qui traduit l'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction. Le nitrure d'Aluminium (AlN) est un autre semiconducteur de la famille III-N, qui présente une bande interdite de 6,2 eV. Sa combinaison avec le GaN permet la formation de l'AlGa_xN_{1-x}. En faisant varier la fraction molaire de l'aluminium (x) dans la couche AlGa_xN_{1-x} il est possible de moduler sa bande interdite de 6,2 eV à 3,4 eV. La valeur de la hauteur de cette barrière peut être calculée suivant l'équation de Van Schilfgaard [3]:

$$E_{g,Al_xGa_{1-x}N} = x \cdot E_{g,AlN} + (1 - x)E_{g,GaN} + x(1 - x) \quad \text{Eq 1.1}$$

1.1.3 Le champ de claquage

Les applications de puissance requièrent des composants fonctionnant à hautes tensions, ce qui nécessite un champ de claquage élevé. Une conséquence directe de la large bande interdite est le champ électrique de claquage élevé qui est de 3,3 MV/cm pour le GaN et de 11 MV/cm pour l'AlN.

1.1.4 La conductivité thermique

La conductivité thermique d'un matériau K_{TH} traduit sa capacité à évacuer la chaleur provenant de la puissance dissipée. La faible conductivité thermique du GaAs (0,5 W/K/cm) implique une augmentation de la température lors du fonctionnement du composant ce qui engendre une chute de la mobilité des électrons et par conséquent une diminution des performances. Quant au GaN avec une conductivité thermique de 1,3 W/K/cm, il permet de surmonter les problèmes liés à la thermique du GaAs. De plus, l'utilisation d'un substrat d'accueil pour les composants à base de GaN, possédant une conductivité thermique élevée tel que le SiC et le diamant permet d'augmenter les performances thermiques.

1.1.5 Mobilité des porteurs

Le déplacement des électrons dans le cristal sous l'effet de l'agitation thermique, suit un modèle Brownien de composante nulle à l'équilibre thermodynamique. En appliquant un champ électrique externe, les porteurs de charge libres se déplacent dans le réseau cristallin parallèlement aux lignes de champ pendant un temps τ_m correspondant au libre parcours moyen. La grandeur traduisant le déplacement des électrons sous l'effet du champ électrique est appelée vitesse de dérive (V_d), la loi de variation de la vitesse de dérive se traduit par la relation :

$$V_d = \mu(E) \cdot E \quad \text{Eq 1. 2}$$

Avec $\mu(E)$ la mobilité des porteurs, et E le champ électrique. Cette mobilité est liée au libre parcours moyen et au réseau cristallin. Toute modification du réseau cristallin (dopage, variation de température) affecte la mobilité des porteurs. La mobilité électronique peut être définie par la relation suivante (dérivée du modèle de Drude) :

$$\mu_e = \frac{q\tau_m(W)}{m_e^*} \quad \text{Eq 1. 3}$$

Où q est la charge de l'électron, m_e^* sa masse effective, et $\tau_m(W)$ son temps de libre parcours moyen à une énergie W donnée.

L'augmentation de la masse effective de l'électron engendre une diminution de la mobilité des porteurs, et par conséquent une diminution de la vitesse de dérive jusqu'à saturation. Le GaN présente un pic de survitesse pour un champ électrique critique de 150 kV/cm, contre seulement 5 kV/cm pour le GaAs.

Le tableau 1.1 regroupe les propriétés physiques essentielles du GaN et d'autres semiconducteurs. Nous constatons que le GaAs et l'InP présentent une très grande mobilité électronique, mais un faible champ de claquage similaire à celui du Si. Le SiC en revanche, fournit un champ de claquage élevé mais une mobilité réduite. Le GaN combine d'une part, une large bande interdite, un champ de claquage élevé, une bonne conductivité thermique et une bonne vitesse des porteurs qui le privilégie pour les applications de puissance hyperfréquence.

Caractéristiques	Unité	Matériau				
		Si	GaAs (AlGaAs/InGaAs)	InP (InAlAs/InGaAs)	SiC	GaN (AlGaIn/GaN)
Bande interdite	eV	1,1	1,42	1,35	3,26	3,39
Champ électrique critiques	MV/cm	0,3	0,4	0,5	3	3,3
Vitesse de saturation	$\times 10^7$ cm/s	1	1,3 (2,1)	1 (2,3)	2	1,3 (3)
Mobilité électronique	cm ² /Vs	1400	8500	5400	700	2000

Tableau 1. 1 : Comparaison des propriétés des semiconducteurs utilisés pour les applications de puissance hyperfréquence

L'hétérojonction AlGaIn/GaN

Les matériaux III-N de type wurtzite, appartiennent à la catégorie des matériaux non centrosymétriques. Ils possèdent la particularité de permettre des polarisations spontanée et piézoélectrique.

2.

2.1. Polarisation spontanée

La polarisation spontanée dans les semiconducteurs hexagonaux est due aux liaisons à fort caractère ionique entre le gallium ou l'aluminium et l'atome d'azote à l'état relaxé du matériau. La somme vectorielle des moments dipolaires orientée selon l'axe [0001] engendre une polarisation spontanée totale (P_{sp}).

Le GaN et l'AlN possèdent une forte polarisation spontanée respectivement de l'ordre de $-0,029 \text{ C/m}^2$ et $-0,08 \text{ C/m}^2$ [4]. L'équation 1.4 permet de calculer la polarisation spontanée de l' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ selon la concentration (x) en aluminium [5].

$$P(x)_{sp(\text{Al}_x\text{Ga}_{1-x}\text{N})} = -0,052 \cdot x - 0,029 \text{ C/m}^2 \quad \text{Eq 1.4}$$

Cette dernière induit un champ électrique interne dans le matériau, opposé au vecteur de polarisation, dont la valeur ne dépend que de la distribution des charges fixes aux interfaces. Lors de la croissance du GaN, nous déterminons la polarité selon la dernière couche d'atomes en surface. La figure 1.4 représente le phénomène de polarisation spontanée dans deux couches fines de GaN hexagonales relaxées et orientées différemment.

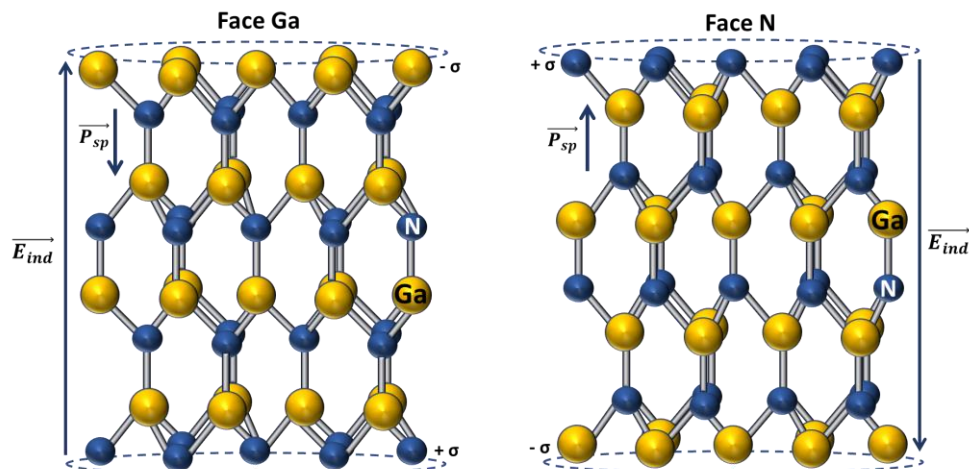


Figure 1.4 : Représentation du champ électrique généré à travers deux couches fines de GaN hexagonales de polarité différente

2.2. Polarisation piézoélectrique

La croissance pseudomorphique des matériaux III-N sur des substrats présentant un désaccord de maille avec la structure wurtzite, engendre une modification de la symétrie du cristal sous l'effet d'une contrainte mécanique. Cette dernière, fait apparaître une polarisation piézoélectrique (P_{pz}) parallèle à la polarisation spontanée déjà existante. Elle induit une concentration de charges surfacique donnant lieu à un champ électrique interne. L'équation 1.5 permet de calculer la valeur de la polarisation piézoélectrique :

$$P_{pz} = 2\varepsilon_{xx} (e_{31} - e_{33} \frac{C_{13}}{C_{33}}) \quad \text{Eq 1.5}$$

Où $\varepsilon_{xx} = \frac{a - a_0}{a_0}$ représente la déformation de la maille suivant l'axe perpendiculaire à l'axe de croissance c , avec a_0 le paramètre de maille intrinsèque, a le paramètre de maille induit par la contrainte, e_{31} et e_{33} représentent les coefficients piézoélectriques. C_{13} et C_{33} représentent les constantes élastiques du matériau.

Les semiconducteurs III-N de forme hexagonale se distinguent par la polarisation dipolaire. Elle se compose d'une polarisation spontanée et d'une polarisation piézoélectrique, toutes deux parallèles à l'axe c , et dont le sens dépend de l'orientation cristalline. La polarisation résultante $\vec{P} = \vec{P}_{sp} + \vec{P}_{pz}$ avec \vec{P}_{sp} constante spécifique à chaque matériau, et \vec{P}_{pz} dépendante des paramètres de maille, induit des densités de charge surfaciques aux interfaces ($\pm\sigma$), engendrant un champ électrique à travers le matériau. Ce champ électrique influe fortement sur le diagramme de bandes des hétérostructures. La polarisation dans les semiconducteurs III-N joue un rôle prépondérant dans le confinement électronique au sein des hétérostructures, et permet d'obtenir des concentrations de porteur élevées sans dopage de la barrière. Le tableau 1.2 regroupe les paramètres de polarisations spontanée et piézoélectrique pour le GaN, et l'AlN.

	<i>GaN</i>	<i>AlN</i>
$P_{sp} (Cm^{-2})$	-0,029	-0,08
$e_{31} (Cm^{-2})$	-0,49	-0,58
$e_{33} (Cm^{-2})$	0,73	1,55
$C_{13} (GPa)$	103	108
$C_{33} (GPa)$	405	373
$P_p/\epsilon_{xx} (Cm^{-2})$	-1,35	-2,06

Tableau 1. 2 : Paramètres de polarisations spontanée et piézoélectrique pour le GaN et l'AlN [6], [7]

Le dépôt d'une fine couche d'AlGaIn sur une couche de GaN, induit à une déformation de la maille cristalline de la couche d'AlGaIn afin d'assurer la continuité cristalline. Cette déformation engendre des contraintes mécaniques à l'interface des deux films d'AlGaIn et de GaN. On distingue deux types de contraintes : contraintes en tension et en compression. En effet, le GaN étant épais est supposé non contraint. Le paramètre de maille de l'AlGaIn ($a_{AlN} = 3,11 \text{ \AA} < a_{AlGaIn} < a_{GaN} = 3,19 \text{ \AA}$) étant plus petit que celui du GaN ($a_{GaN} = 3,19 \text{ \AA}$), subit une contrainte en tension qui se traduit par une modulation géométrique de la maille cristalline d'AlGaIn afin de s'accorder à celle du GaN (croissance pseudomorphique) (figure 1.5). Cette contrainte mécanique déformant la maille d'AlGaIn induit une polarisation piézoélectrique qui s'ajoute à la polarisation spontanée.

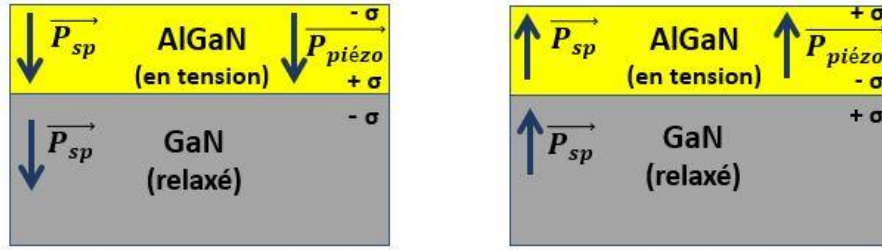


Figure 1. 5 : Orientation des polarisations piézoélectrique et spontanée dans une hétérojonction AlGaN/GaN

Dans le cas de l'AlGaN contraint en tension et déposé sur une couche de GaN relaxée, la polarisation résultante dirigée perpendiculairement à l'interface de l'hétérojonction, induit une densité de charge fixe à l'interface définie par l'équation 1.6 :

$$\sigma_{\text{AlGaN/GaN}} = \Delta(P_{\text{AlGaN}} - P_{\text{GaN}}) = (P_{\text{AlGaN}}^{\text{sp}} + P_{\text{AlGaN}}^{\text{pz}}) - P_{\text{GaN}}^{\text{sp}} > 0 \quad \text{Eq 1. 6}$$

La caractéristique principale des hétérostructures destinées aux HEMTs est la formation d'un canal de porteurs libres (électrons) accumulés le long de l'hétérojonction dans un puits quantique, donnant lieu à un gaz bidimensionnel 2D afin de partiellement compenser les charges de polarisations spontanée et piézoélectrique. A l'équilibre thermodynamique, les niveaux de Fermi des deux matériaux s'alignent à l'interface. Par conséquent, une discontinuité des bandes d'énergies apparaît et donne naissance à un puit quasi-triangulaire de gaz d'électrons bidimensionnel (figure 1.6). Ces électrons proviennent des donneurs présents en surface appelés aussi état de surface de l'AlGaN. Notons que le canal n'est présent que si l'épaisseur de la couche d'AlGaN est supérieure à une épaisseur critique t_{cr} , au-dessous de laquelle le niveau des états de surface est au-dessous du niveau de Fermi. La concentration des électrons n_s dans le puits pour une épaisseur de barrière supérieure à l'épaisseur critique ($t > t_{cr}$), peut se calculer par l'équation 1.7 [8] :

$$qn_s = \sigma_{\text{AlGaN/GaN}} \left(1 - \frac{t_{cr}}{t}\right) \quad \text{Eq 1. 7}$$

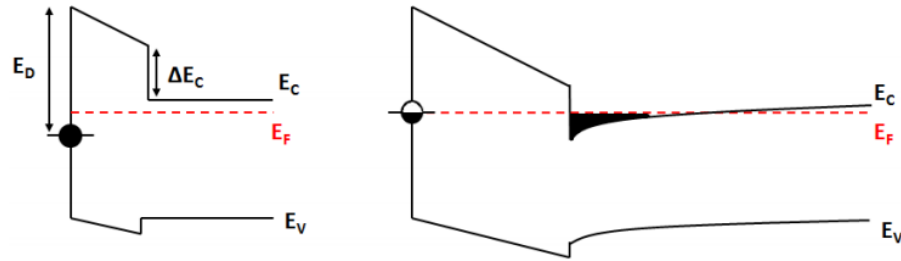


Figure 1. 6 : Diagramme de bandes de deux structures AlGa_N/Ga_N avec une épaisseur d'AlGa_N inférieure (à gauche) et supérieure (à droite) à l'épaisseur de barrière critique nécessaire à la formation du gaz d'électrons

Techniques de croissance des hétéro-épitaxies

Les performances des composants HEMT dépendent en grande partie de la qualité des hétérostructures utilisées. Pour cela, différentes techniques de croissance ont été développées, les plus utilisées sont la MOCVD (Metal Organic Chemical Vapor Deposition) et la MBE (Molecular Beam Epitaxy). Cette dernière, se repose sur l'évaporation sous vide des matériaux à l'état solide à haute température. Elle a l'avantage de permettre un bon contrôle des épaisseurs (< 1 μm/h) et de la composition des couches déposées. Cependant, la MOCVD est une technique généralement utilisée dans l'industrie car elle permet une croissance rapide (jusqu'à 5 μm/h) et en grande quantité (plateau multi-substrats). Les structures étudiées dans ce travail de thèse ont été épitaxiées au CRHEA par la méthode MOCVD.

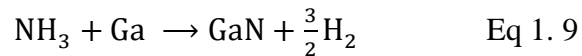
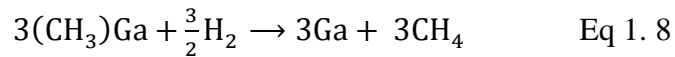
Épitaxie en phase vapeur aux organométalliques (MOCVD)

L'épitaxie en phase vapeur organométallique (EPVOM) ou *Metal Organic-Vapor Phase Epitaxy* (MOVPE) est une technique de croissance chimique utilisée pour la croissance des matériaux III-V de bonne qualité cristalline [9]. Cette technique est basée sur l'utilisation de composés organo- métalliques comme précurseurs, afin d'acheminer les composés Al et Ga dans la chambre du réacteur. La formation de la couche épitaxiale se produit par pyrolyse finale des éléments chimiques constitutifs à la surface du substrat. La croissance du semiconducteur ne se fait pas sous vide mais avec gaz dans le réacteur à pression modérée (20 - 500 Torr) et à haute

température (900°C - 1200°C). Actuellement, elle est le processus dominant pour la croissance des semiconducteurs III-V dans le monde de l'industrie.

Le tri-méthyl-gallium (TM-Ga), le tri-méthyl-aluminium (TM-Al) et le tri-méthyl-indium (TM-In) sont généralement utilisés comme précurseurs du groupe III. Ces précurseurs, pour la plupart dilués avec le H₂ (gaz vecteur), réagissent avec le NH₃ sur un substrat chauffé. Les réacteurs MOCVD pour la croissance d'un film de nitrure du groupe III incorporent un écoulement laminaire à des pressions élevées et présentent des entrées séparées pour les précurseurs de nitrure et l'ammoniac afin de minimiser les réactions de pré-déposition. Les gaz résiduels (méthane et dihydrogène) sont évacués de la chambre de croissance.

La figure 1.7 montre les processus physiques et chimiques complexes dans le réacteur de croissance d'un film de GaN sur un substrat. Initialement, le TM-Ga et le NH₃ sont transportés dans le réacteur puis passent à la réaction en phase gazeuse. Pendant ce temps, le réactif est transporté sur la surface du substrat. En surface, la réaction de diffusion et de désorption des atomes est réalisée. Après ces réactions, le GaN est déposé à la surface du substrat. Les équations simplifiées des réactions chimiques de la formation du film de GaN sont les suivantes :



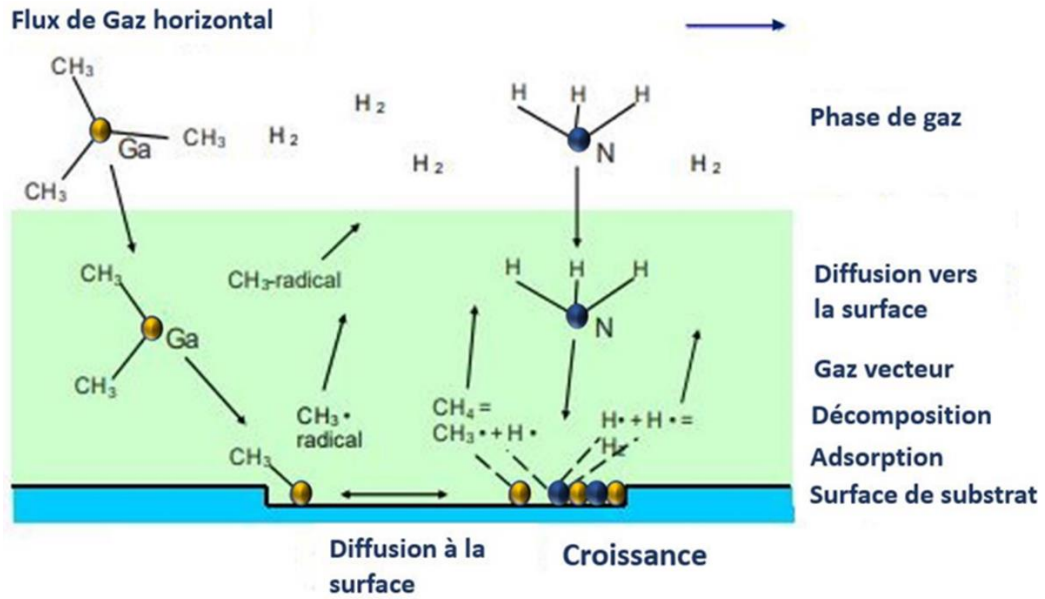


Figure 1. 7 : majorité des réactions physiques et chimiques de la croissance du GaN dans le réacteur CVD, adapté à partir de [10]

La structure HEMT AlGaN/GaN

4.

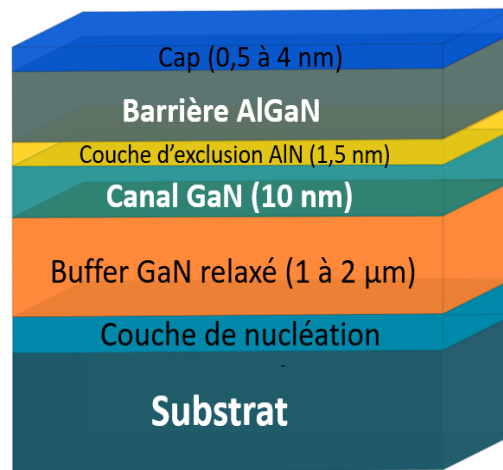


Figure 1. 8 : Description schématique d'une hétérostructure HEMT

La structure standard d'un HEMT AlGaN/GaN (figure 1.8) est constituée d'un empilement de couches allant du substrat à la couche cap. La technologie GaN comme toute technologie de

transistor, est associée à un substrat. Le choix du substrat est déterminant en ce qui concerne la qualité de l'épitaxie. Le désaccord de maille, le coefficient de dilatation thermique et le coût sont des critères à prendre en compte lors du choix du substrat. Plusieurs substrats sont utilisés pour la croissance du GaN, tels que le Si, le SiC et le saphir. Ces derniers, ne permettent pas la croissance directe du GaN de haute qualité cristalline. Dans ce travail de thèse, nous avons fabriqué nos dispositifs à base de substrat GaN afin de bénéficier des avantages de l'homo-épitaxie. Aussi, une attention particulière sera donnée à l'intérêt de l'homo-épitaxie dans la partie 2 de ce chapitre.

Dans le cas d'une hétéro-épitaxie, compte tenu du désaccord de maille entre le substrat et le GaN, la couche de nucléation permet d'assurer une transition cristalline progressive entre le substrat et le buffer de GaN afin d'éliminer la composante piézoélectrique de la polarisation du GaN en vue d'obtenir un buffer relaxé. Différents séquentiels de matériaux tels que l'AlN, le GaN ou l'Al_xGa_{1-x}N avec un faible taux d'aluminium sont utilisés. La croissance directe du buffer GaN sur substrat GaN permet la suppression de cette couche qui représente une barrière thermique dans la structure HEMT AlGa_xN/GaN [11].

Le buffer est la couche qui permet la création du canal dans lequel est confiné le gaz bidimensionnel (2DEG). Il doit corrélérer haute qualité cristalline et bonne isolation électrique afin de limiter la densité de dislocations générant des pièges qui dégradent les performances et la fiabilité des dispositifs. Le buffer GaN doit être assez épais (≥ 500 nm) pour éliminer les contraintes mécaniques engendrant une polarisation piézoélectrique [12].

L'espaceur d'AlN, est une fine couche (de l'ordre du nanomètre), qui a pour rôle d'améliorer le confinement des électrons du gaz 2D dans le puits. Elle permet de réduire l'interaction des électrons avec les impuretés présentes dans la couche barrière d'AlGa_xN et par conséquent d'augmenter la mobilité [13].

La couche d'Al_xGa_{1-x}N constitue la couche barrière de la structure HEMT. Avec le buffer GaN, ils forment la partie active de la structure, responsable de la création du puits de gaz 2D dans le canal. L'épaisseur comprise entre 5 nm et 30 nm [14] et le taux d'aluminium ($x < 35\%$) [15] sont des caractéristiques déterminantes pour la croissance de cette couche.

Le cap permet d'une part de rehausser la hauteur effective de la barrière de potentiel entraînant une diminution du courant de fuite par effet tunnel [16] et d'autre part, de protéger l'aluminium présent dans la couche barrière de l'oxydation au cours du processus de fabrication. Cependant, l'augmentation de l'épaisseur du cap Ga_N entraîne une diminution de la densité des porteurs dans le canal.

Une description des structures utilisées lors de ce travail sera présentée à la fin de ce chapitre.

Substrats utilisés pour la croissance des hétérostructures

Après avoir décrit la structure générale et le rôle de chaque couche d'un HEMT AlGa_N/Ga_N, nous nous intéressons aux substrats utilisés pour la croissance des hétérostructures dédiées aux applications de puissance à haute fréquence. Plusieurs types de substrats se présentent selon l'application souhaitée tels que le substrat de silicium (Si) qui est largement utilisé pour son bas coût, sa disponibilité et sa compatibilité avec la technologie MOS permettant une intégration facile dans les circuits électroniques [17] ou le substrat de carbure de silicium (SiC) pour sa haute résistivité électrique et sa bonne conductivité thermique qui permet l'évacuation rapide de la chaleur dans le composant en fonctionnement [18], [19]. Néanmoins, le substrat Ga_N reste le choix idéal pour la croissance d'une structure HEMT AlGa_N/Ga_N de haute qualité cristalline permettant d'assurer une bonne fiabilité des dispositifs. Une description des substrats les plus utilisés pour la réalisation des HEMTs destinés aux applications de puissance à haute fréquence est présentée afin de mieux comprendre leur spécificité et mettre en évidence leurs limitations.

Le substrat de Silicium (Si)

Economiquement, le prix du substrat représente une partie importante dans le coût des composants obtenus. Le substrat de silicium (Si) répond largement au critère économique, d'autant plus, qu'il bénéficie d'une importante maturité technologique, et qu'il permet d'intégrer les dispositifs Ga_N dans la technologie silicium. Il est venu rapidement remplacer le substrat de saphir pour une meilleure conductivité thermique de 1,5 (W/cm.K). Sa large disponibilité en wafer de grande taille fait de lui un substrat très utilisé pour la réalisation de composants destinés aux applications de puissance hyperfréquence. Néanmoins, à température ambiante, il présente

un désaccord de paramètres de maille avec le GaN de l'ordre de 17% et une différence de coefficient d'expansion de 54%, engendrant un stress dans la couche GaN épitaxiée, qui est à l'origine de défauts cristallins. Des densités de dislocations relativement importantes de 10^8 à 10^{11} cm^{-2} sont obtenues [20]. Ces problèmes de dislocations nuisent aux performances et à la fiabilité des composants [21].

Le substrat de Carbure de Silicium (SiC)

C'est actuellement, le substrat de prédilection pour la fabrication des composants HEMT destinés aux applications de puissance hyperfréquence. Le SiC présente un désaccord de maille avec le GaN uniquement de 4% et une différence de coefficient de dilatation thermique de 25%. L'hétéro-épitaxie des structures HEMT à base de GaN sur substrat SiC présente des densités de dislocation de l'ordre de (10^8 à 10^9 cm^{-2}) [22]. Avec une conductivité thermique de 3,3 W/K.cm, il permet de pallier aux problèmes liés à la dissipation thermique qu'on retrouve sur les dispositifs HEMTs à base de substrat de silicium (Si) [19]. Néanmoins, son coût plus important que celui du substrat Si, consacre son utilisation au niveau industriel pour des applications spécifiques exigeantes en termes de performances. Malgré son faible désaccord de maille avec le GaN, et l'utilisation d'une couche de nucléation qui assure la transition de la structure cristalline entre le substrat et le buffer de GaN, le substrat SiC ne permet pas la croissance directe d'un GaN de très haute qualité et engendre des défauts cristallins.

Le substrat de GaN massif

Le substrat de GaN massif est le substrat idéal pour la réalisation de dispositifs HEMT destinés aux applications de puissance hyperfréquence. Avec un désaccord de maille quasi nul, il permet la croissance directe des structures HEMT GaN de haute qualité cristalline, engendrant des densités de dislocations pouvant atteindre 10^4 cm^{-2} .

La figure 1.9 permet de comparer la qualité du cristal de GaN crû sur substrat SiC, contre celui épitaxié sur substrat GaN. Nous pouvons clairement constater que la couche GaN déposée sur un substrat GaN présente une meilleure qualité cristalline et moins de dislocations que celle réalisée sur le substrat SiC.

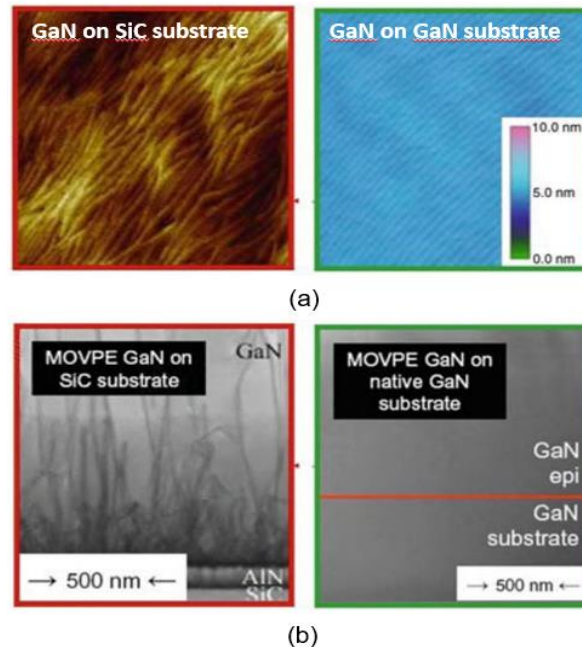


Figure 1. 9 : Comparaison de la qualité de la croissance de GaN sur substrats GaN et SiC, (a) image AFM de la surface de la couche GaN épitaxiée, (b) Vue de profil de la structure

La faible disponibilité du substrat de GaN dans le marché du semiconducteur et son coût élevé, sont principalement dus à la complexité des méthodes de synthèse. En effet, les techniques de fabrication classiques des substrats tels que les procédés de Czochralski ou de Bridgman-Stockbarger ne permettent pas la synthétisation directe du nitrure de gallium (GaN) à partir d'un mélange stœchiométrique. Les conditions physiques appliquées lors de ces techniques sont extrêmes. Une température de fusion du GaN de 2225 °C associée à une pression à la température de fusion de 6 GPa, sont des conditions qui rendent la croissance des substrats de GaN massif par procédés standards pratiquement impossible. Par conséquent, les cristaux du nitrure de gallium doivent être développés par des méthodes utilisant des températures plus basses.

Durant ces 10 dernières années, d'énormes progrès dans l'étude des substrats FS-GaN obtenus par la séparation d'une couche germe de GaN sur un substrat de substitution (saphir, GaAs ou Si), ont été réalisés. Des chercheurs travaillent encore sur l'amélioration des méthodes d'obtention des substrats FS-GaN afin de les rendre plus simples et moins coûteux, dans le but de bénéficier des avantages de l'homo-épitaxie. Dans les prochaines années, des substrats de GaN de 3 à 6 pouces destinés à la fabrication des dispositifs seront produits en masse [23].

La figure 1.10 représente une comparaison des caractéristiques à prendre en compte lors du choix du substrat pour la croissance de l'épitaxie HEMT, entre le substrat GaN et les deux substrats généralement utilisés pour les structures HEMTs, à savoir le Si et le SiC.

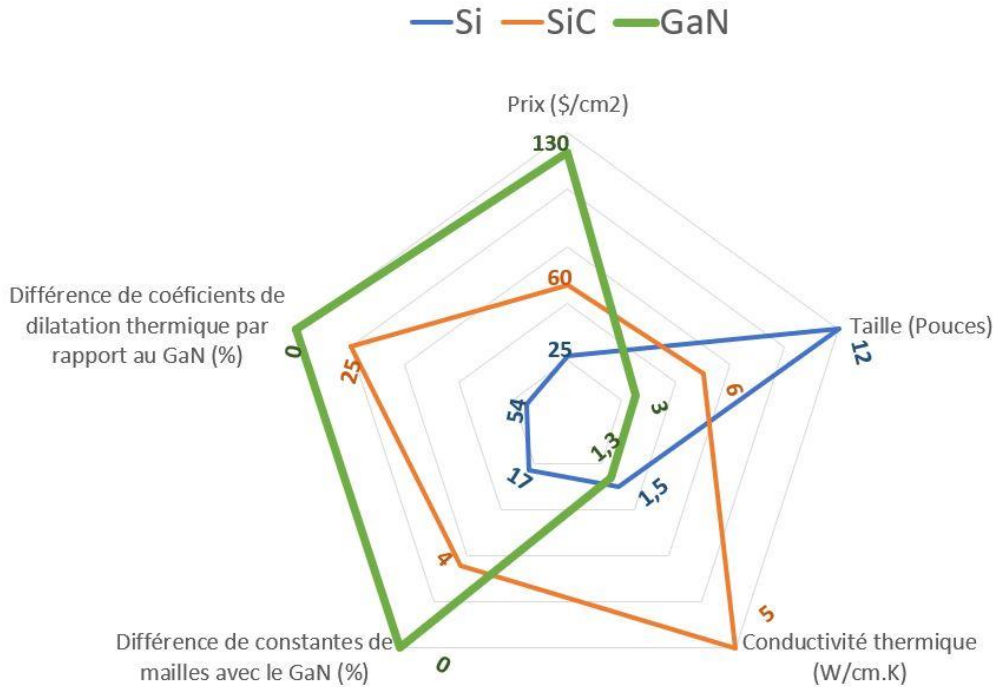


Figure 1.10 : Comparaison des caractéristiques des substrats les plus utilisés pour la croissance du GaN

Dans ce travail de thèse, nous avons utilisé un substrat FS-GaN commercial, afin de développer des composants HEMT AlGaIn/GaN dédiés aux applications de puissance à haute fréquence et de les évaluer en termes de performances et de robustesse des dispositifs. Une attention particulière est donnée à l'intérêt de l'homo-épitaxie et à l'état de l'art des composants HEMT sur substrat GaN dans ce qui suit.

Partie 2 : Intérêts de l'homo-épitaxie

Mécanisme de dégradation de la fiabilité des HEMTs AlGa_N/Ga_N

La technologie Ga_N, grâce aux propriétés physiques attractives des matériaux III-N, répond aux besoins en termes de puissance hyperfréquence des domaines de la télécommunication, du spatial, de la défense et de l'automobile. Cependant, en raison des propriétés intrinsèques du matériau Ga_N et des conditions de fonctionnement des HEMTs à des valeurs de tension de drain, de champ électrique et de température élevées, les HEMTs à base de Ga_N sont sujets à de nouveaux mécanismes de dégradation non traditionnellement observés sur les dispositifs à base de technologies Si et GaAs [24] [25]. Ces effets peuvent considérablement dégrader les performances des composants à long terme.

En effet, la nature piézoélectrique du Ga_N étant dépendante des contraintes mécaniques dans la structure cristalline, introduit également des risques potentiels du fait de l'ajout du stress mécanique engendré par le fort champ électrique. Les performances et la robustesse des dispositifs peuvent être affectées par des défauts localisés en surface, dans la couche AlGa_N, ou dans le substrat de croissance. La figure 1.11 montre une coupe schématique d'un HEMT AlGa_N/Ga_N présentant les différents mécanismes de dégradation [24].

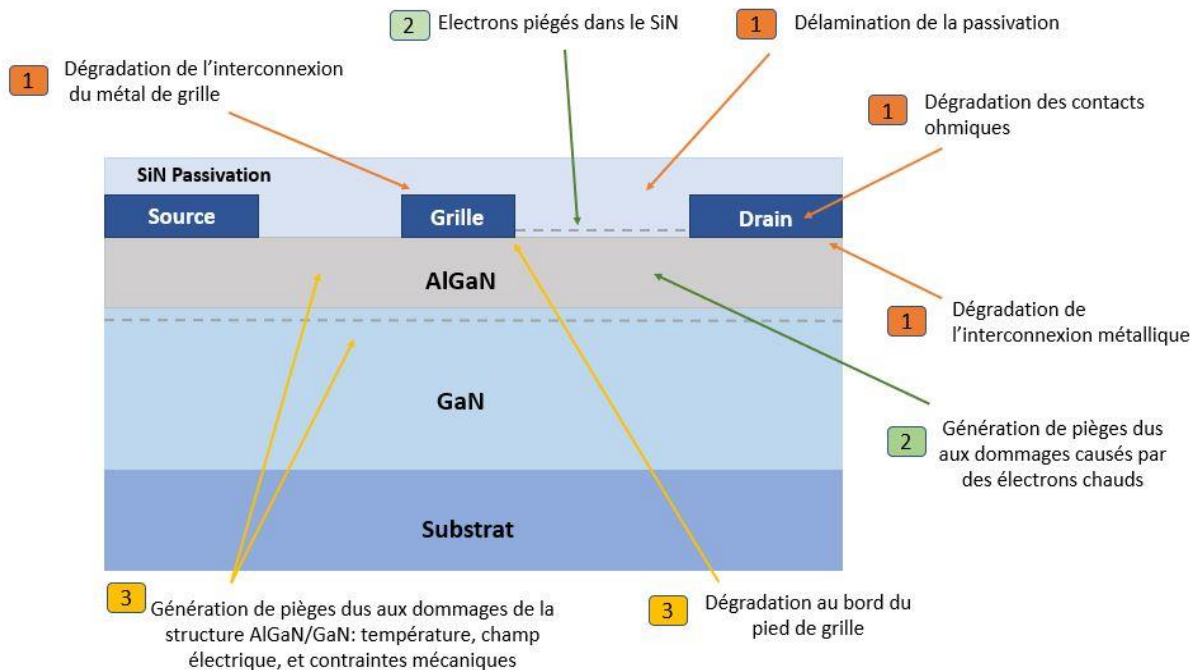


Figure 1. 11 : mécanismes de dégradation identifiés sur les HEMTs AlGa_N/Ga_N, : (1) dégradation métallurgique, (2) mécanismes de piégeage, (3) dégradation piézoélectrique, à partir de [26]

1.1. Dégradation métallurgique

La circulation des électrons sous un champ électrique dans un milieu résistif (gaz 2D) induit par effet joule une augmentation de la température au niveau de l'hétérojonction AlGa_N/Ga_N, puis dans toute la structure HEMT par conduction thermique. Les conditions de fonctionnement à haute température engendrent des mécanismes de dégradation métallurgique. En effet, plusieurs études ont été menées sur les métallisations à utiliser pour les contacts ohmiques et le contact Schottky permettant de préserver leurs morphologies en limitant la diffusion des métaux à haute température le plus longtemps possible.

Plusieurs séquentiels de métaux ont été étudiés pour la réalisation de contacts ohmiques robustes. L'alliage standard Ti/Al/Pt/Au a été testé jusqu'à une température de jonction de 400 °C, et semble préserver une morphologie stable [27]. L'alliage le plus communément utilisé pour la fabrication des dispositifs HEMTs Ti/Al/Ni/Au a présenté des variations inférieures à 2 % lors d'une contrainte de 2000 h sous atmosphère azote à 340 °C [28].

Différents alliages sont connus pour la réalisation des contacts de grille tels que Ni/Au, Mo/Au, Pt/Au, etc. La dégradation de ce contact influe sur les performances du transistor et son fonctionnement entraînant sa destruction. Des grilles à base de Mo/Au et de Pt/Au ont montré une bonne stabilité respectivement à 340 °C et 400 °C [27], [29]. Dans une étude de la grille Ni/Au, il a été montré qu'à une température de jonction de l'ordre de 200 °C, la grille a présenté une augmentation de la hauteur de la barrière Schottky et donc un changement de tension de seuil, et par conséquent une diminution du courant de drain. Cette augmentation de la barrière a été attribuée à la présence d'une couche d'interface entre la barrière et le contact Schottky. Cependant, il a été démontré que le recuit du contact de grille diminue de moitié les dégradations observées dans le cas de grilles Ni/Au non recuites [30].

Comme il a été décrit au-dessus, l'origine de la dégradation des contacts ohmiques et Schottky revient essentiellement aux problèmes d'auto-échauffements dans les dispositifs HEMT, d'où l'importance de la bonne conductivité thermique du substrat. Ce dernier, permettra l'évacuation rapide de la chaleur, et donc la préservation des contacts métalliques.

1.2. Mécanisme de piégeages

Le mécanisme de piégeage consiste en la capture des porteurs libres par des pièges présents dans la structure, qui correspondent à un niveau énergétique dans la bande interdite du semiconducteur. Généralement représentés par les défauts structuraux tels que les impuretés et dislocations, les pièges (accepteurs et donneurs) sont caractérisés par une constante de temps τ durant laquelle les porteurs libres sont captés dans les niveaux d'énergie disponibles. Ainsi capturés, ils ne participent donc pas à la conduction durant un certain temps caractéristique. Par conséquent, la densité des porteurs diminue dans le canal bidimensionnel, engendrant une chute du courant de drain I_D . Cette dernière s'amplifie après vieillissement affectant les performances et la fiabilité des dispositifs. La capture de ces pièges, étant dépendante du temps qui caractérise la durée du mécanisme peut être activée par une variation brusque de la tension appliquée sur le transistor. En principe, les centres de piégeages peuvent se trouver en surface, dans la couche barrière AlGa_N, à l'interface AlGa_N/Ga_N, ou encore dans le buffer Ga_N. Deux catégories principales permettent d'expliquer ces phénomènes de piégeages : les pièges en surface [31]–[33] et les pièges de substrat [34]–[36].

1.2.1 Les pièges en surface

Le piégeage par états de surface est lié aux donneurs ionisés localisés à la surface du composant. Ces pièges peuvent fortement affecter les performances et la fiabilité du transistor. L'un des modèles représentant ce phénomène est le modèle de « la grille virtuelle » discuté par Vetury *et al.* [31]. Les électrons injectés sous une forte polarisation de drain peuvent être piégés dans la zone d'accès grille-drain engendrant une déplétion partielle du canal. Cette dernière, induit à la dégradation du courant de drain du transistor. Ces états de surface agissent comme une seconde grille (virtuelle) modulant la densité de porteurs dans le canal. D'autres études des pièges en surface, ont montré que les états de surface présents dans la zone grille-source peuvent à leur tour causer un effondrement du courant de drain. En effet, ces états de surface peuvent capturer les porteurs injectés par polarisation inverse de la jonction grille-source (courant de fuite) lors du cycle négatif d'un signal d'entrée RF [37] et ainsi, moduler la résistance d'accès de la source [38] induisant la

diminution des porteurs dans le canal 2D [33].

Plusieurs études ont été menées afin de s'affranchir des problèmes de l'activation des états de surface des composants HEMT, et ont montré que l'ajout d'une couche de passivation et d'un recuit supplémentaire à la fin du procédé de fabrication permettent d'améliorer les performances des composants [39], [40]. Différents matériaux ont été testés comme couche de passivation tels que l' Al_2O_3 , l' AlN , le SiO_2 et le Si_3N_4 [41]. Il a été démontré qu'une passivation Si_3N_4 permet de considérablement réduire ces phénomènes de piégeage améliorant ainsi les performances électriques des composants HEMT [33]. Cependant, la dégradation de cette couche de passivation en fonctionnement du transistor ou un mauvais traitement de la surface avant dépôt entraînent une dégradation des performances [42].

1.2.2 Les pièges de substrat

Le piégeage des électrons dans la couche buffer de GaN est une des principales causes altérant les performances électriques des composants [33], [35], [43]. En effet, sous de fortes tensions de polarisation du drain, les électrons chauds sont capturés par les pièges dans la couche

GaN, provoquant une déplétion partielle du canal et une réduction du courant de drain I_D . Il a été montré que le piégeage de porteurs pour une structure HEMT AlGaIn/GaN pourrait être dû aux dopants (carbone) utilisés pour la compensation de la couche buffer afin de la rendre semi-isolante [43]. Ainsi, une étude utilisant des mesures de drain-lag afin d'évaluer les pièges présents dans le buffer GaN compensé, a montré que pour des structures AlGaIn/GaN avec des couches de GaN de résistivités différentes (dopages différents), le taux de drain lag varie en fonction de la qualité de la couche buffer. Les structures avec des couches de GaN moins résistives avaient moins d'effet de pièges que les structures avec une couche GaN plus dopée engendrant davantage de dislocations et défauts cristallins [44].

Un autre effet nuisant à la performance et la fiabilité des composants HEMT nommé « effet kink » est dû à la présence de pièges situés sous la grille dans la couche buffer GaN [45], [46]. Il est à l'origine de l'accumulation suivie de l'émission des électrons provoquant un décalage de la tension de seuil du transistor associé à une augmentation abrupte du courant de drain. Il se caractérise comme montré dans la figure 1.12 par une déformation de la caractéristique $I_{DS}(V_{DS})$ en particulier au niveau de la tension de coude.

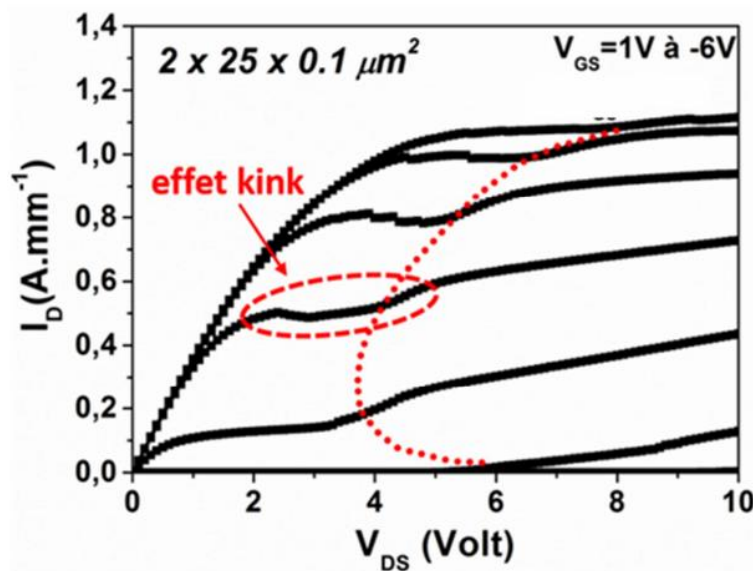


Figure 1. 12 : Caractéristique $I_{DS}(V_{DS})$ pour un HEMT montrant l'effet kink [47]

1.3. Dégradation piézoélectrique

En raison de sa nature piézoélectrique, la technologie Ga_N se démarque par rapport aux filières Si et GaAs par cet effet piézoélectrique inverse nuisant aux performances et à la robustesse des dispositifs. Il consiste en la modification des contraintes mécaniques associées à l'effet piézoélectrique, sous l'effet d'un fort champ électrique entre la grille et le drain. Ces contraintes en tension générées dans la couche AlGa_N sont corrélées au champ électrique vertical engendré par la polarisation entre le drain et la source [48]. En effet, plusieurs études ont mené à l'hypothèse que la dégradation de HEMT à base de Ga_N au cours de différents tests électriques peut être due à la relaxation de la contrainte piézoélectrique inverse engendrant la formation de défauts cristallins [49]–[51].

L'utilisation du substrat Ga_N bénéficiant des avantages de l'homo-épitaxie avec une meilleure qualité cristallographique, semble être une solution prometteuse afin de s'affranchir des problèmes liés aux défauts cristallins de la croissance du Ga_N.

Obtention des substrats Ga_N

Les dispositifs à base de nitrure, tels que les transistors à haute puissance, les émetteurs ultraviolets (UV), les détecteurs, etc., se reposent entièrement sur des approches hétéro-épitaxiales utilisant une variété de substrats étrangers, tels que le saphir, le SiC et le Si. Cependant, leurs performances sont considérablement limitées par la qualité structurale de ces matériaux en raison des inconvénients de l'hétéro-épitaxie, tels que le désaccord de maille, la différence de coefficient de dilatation thermique et l'incompatibilité thermodynamique entre les substrats étrangers et le Ga_N. Cela conduit à une densité de dislocations importante, à une structure cristalline en mosaïque, et à un stress mécanique biaxial dans la couche de Ga_N. En effet, comme le montre la figure 1.9, même comparée au meilleur substrat étranger (SiC), la couche de Ga_N crûe sur substrat de Ga_N massif présente une meilleure qualité cristalline associée à une densité de dislocation inférieure et une meilleure morphologie de surface [52].

La disponibilité de substrats Ga_N peut apporter une nouvelle qualité aux dispositifs à base de Ga_N en améliorant les performances du dispositif en éliminant les défauts de structure. De plus, cela entraînera la simplification du processus de croissance épitaxiale en éliminant le besoin

d'une couche de nucléation qui représente une barrière thermique à son interface [11]. Dans cette partie, nous présentons les voies technologiques permettant l'obtention de substrats GaN, ainsi que la description de la Hydride Vapor Phase Epitaxy (HVPE) qui est une des techniques les plus utilisées pour la croissance du GaN massif.

2.1. Les voies technologiques pour le développement des substrats GaN

L'homo-épitaxie permet d'améliorer la qualité de la couche épitaxiée et du puits quantique en raison de l'accord des réseaux de mailles cristallines et de la thermodynamique entre le substrat de GaN et la couche GaN déposée. Actuellement, le développement de substrats GaN est assuré selon trois voies technologiques : Le substrat de GaN natif, le substrat Free-Standing GaN, et le substrat GaN template.

2.1.1 Le substrat de GaN natif

L'une des approches intéressantes qui permet le développement de substrats GaN consiste en la croissance d'un cylindre de cristal de GaN épais (de quelques millimètres d'épaisseur à plus de 1 cm), et le découper après séparation du substrat étranger en plusieurs fragments dont la surface subira une étape de polissage pour obtenir des substrats de GaN natif d'une épaisseur de l'ordre de 300 μm (figure 1.13). La croissance d'une couche épaisse de GaN permet de réduire les défauts cristallins dans le cristal. La densité de dislocations du substrat de GaN natif varie généralement entre 10^3 et 10^6 cm^{-2} [11]. Les substrats de GaN natif à large dimension (3 pouces) sont principalement crûs à des vitesses relativement lentes, de ce fait ils ne sont pas encore commercialisables. Les figures 1.14 (a) et (b) montrent respectivement des cylindres du cristal de GaN et des substrats de GaN natif développés par des compagnies industrielles.

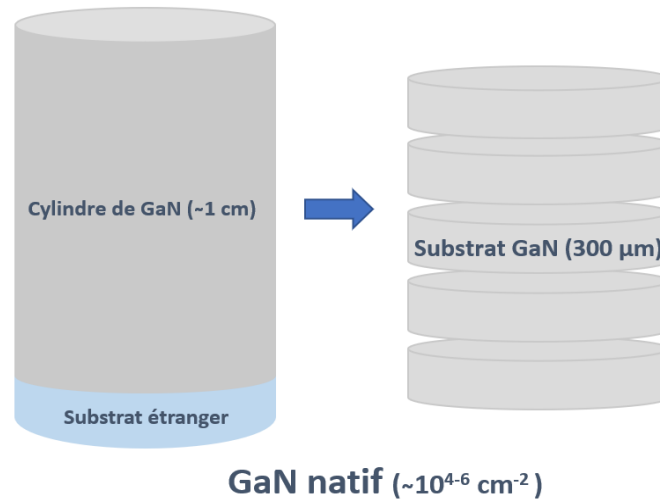


Figure 1.13 : Méthode d'obtention de substrats GaN natif

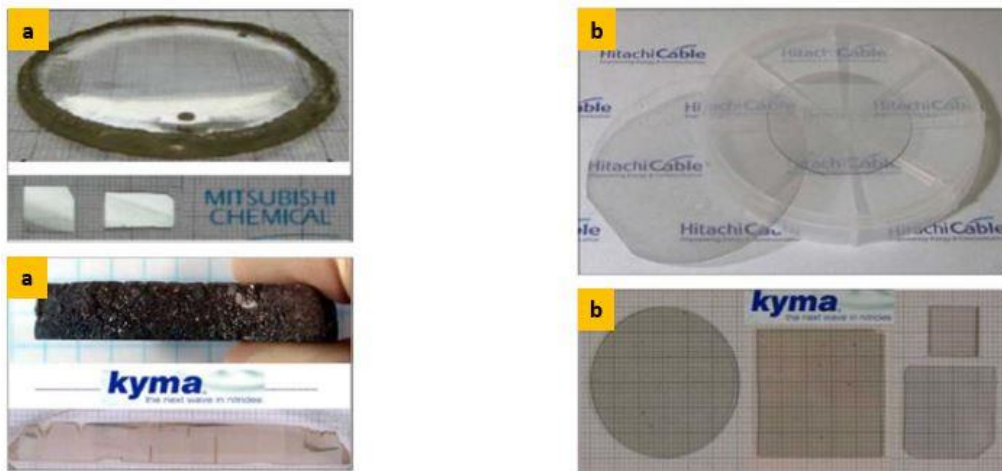


Figure 1.14 : Obtention du GaN natif : (a) cylindre de GaN massif, (b) substrat de GaN natif

2.1.2 Le substrat Free-Standing GaN

Le substrat Free-Standing GaN est obtenu par croissance d'un film épais de GaN (entre 500 et 1000 μm) sur un substrat étranger tel que le saphir, le GaAs ou le Si, suivi d'une étape de séparation comme illustré dans la figure 1.15. Plusieurs méthodes de séparation avec le substrat étranger sont utilisées. Nous citons : la séparation au laser, par corrosion chimique, par amincissement mécanique ou l'auto-séparation en utilisant le changement de contrainte entre

les couches. Une dernière étape de polissage du film épais de GaN autonome est appliquée avant l'obtention du substrat Free-Standing GaN.

En raison du désaccord de mailles, la croissance du film de GaN sur substrat étranger, n'élimine pas complètement le stress mécanique engendrant des défauts cristallins. La densité de dislocations pour ce type de substrat est comprise entre 10^6 à 10^8 cm^{-2} . Actuellement, des substrats de GaN de 2 pouces sont commercialisés, mais le prix reste élevé à cause de la complexité des techniques de croissance. Les substrats Free-Standing GaN développés par la méthode HVPE sont principalement utilisés dans l'industrie des LED à base de GaN.

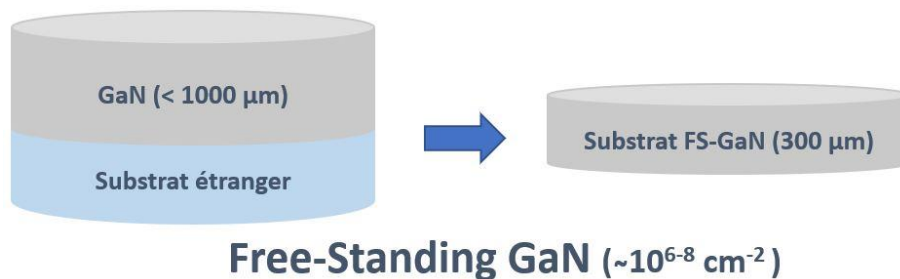
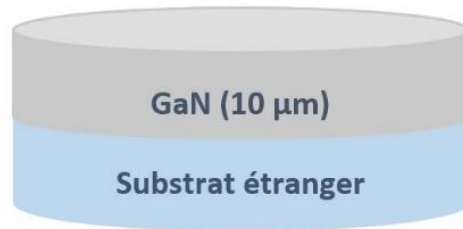


Figure 1. 15 : Méthode d'obtention du substrat Free-Standing GaN

2.1.3 Le GaN template

Le template GaN fait référence au substrat composé, développé sur un substrat hétérogène (tel que le saphir) dont l'épaisseur du film de GaN est supérieure à $10 \mu\text{m}$ (figure 1.16). L'augmentation de l'épaisseur de GaN déposé réduit davantage la densité de dislocations comme montré dans la figure 1.17. Un film de GaN d'épaisseur supérieure à $50 \mu\text{m}$ peut facilement fissurer en raison du grand désaccord de maille et des coefficients thermodynamiques avec le saphir. La densité de dislocations pour des structures à base de GaN template est de l'ordre de 10^8 cm^{-2} .



GaN template ($\sim 10^{8-10} \text{ cm}^{-2}$)

Figure 1.16 : le GaN Template

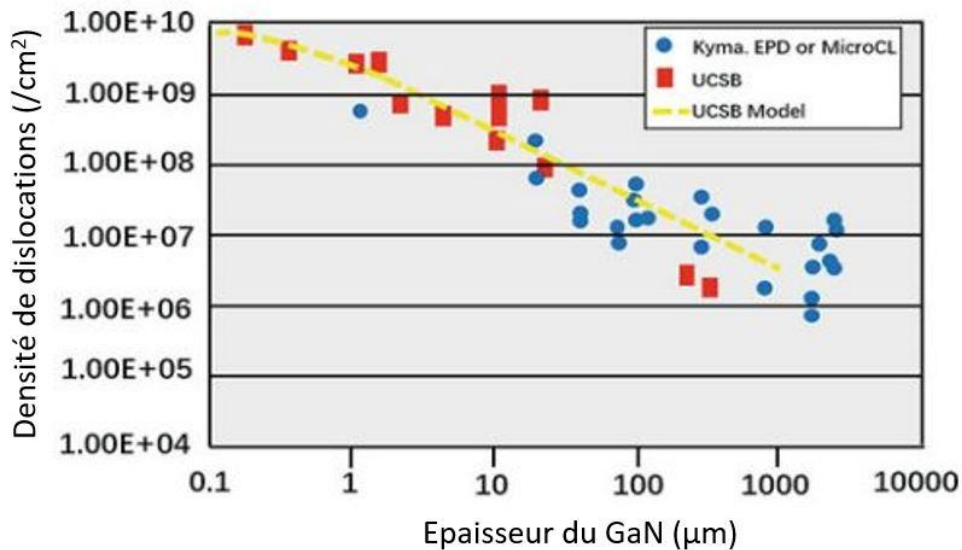


Figure 1.17 : Variation de la densité de dislocations par rapport à l'épaisseur du GaN déposé, à partir de [23]

2.2. L'épitaxie en phase vapeur d'hydrure (HVPE)

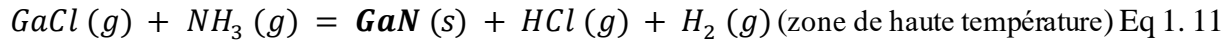
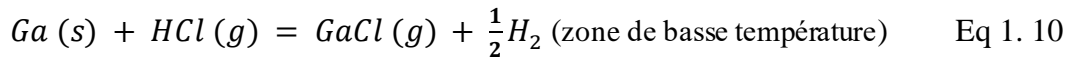
Plusieurs techniques de croissance ont été développées pour la croissance du GaN massif monocristallin tels que l'ammono-thermique [53] et le flux de Na [54]. Cependant, bien que ces deux dernières présentent un potentiel de développement plus important pour le développement de substrat GaN, elles ne conviennent pas aux applications commerciales en raison de la petite taille des substrats obtenus (≤ 2 pouces) et surtout de leur faible vitesse de croissance ($\leq 50 \mu\text{m}/\text{jour}$). L'épitaxie en phase vapeur d'hydrure « Hydride Vapor Phase Epitaxy » (HVPE)

représente la méthode principale pour l'obtention d'un substrat GaN de haute qualité à grande échelle.

La première croissance de GaN par HVPE a été rapportée par Maruska *et al.* en 1969, utilisant un substrat en saphir avec un équipement pour la croissance de l'arséniure de gallium (GaAs) et du phosphure d'indium (InP) modifié [55]. A la fin de l'année 1970, des chercheurs ont réussi à faire croître une couche épaisse de GaN sur saphir [56], cependant elle était de très faible qualité cristalline et avait une importante densité de dislocations. La première couche de GaN épais (environ 400 μm) à surface lisse a été rapportée par Detchprohm *et al.* en 1992, en utilisant une couche tampon d'oxyde de zinc (ZnO) sur du saphir [57]. Ensuite, Usui *et al.* [58] ont développé le substrat Free-Standing GaN de 2 pouces, en utilisant l'irradiation au laser par face arrière pour séparer la couche épaisse de GaN du substrat de saphir.

Actuellement, l'épitaxie en phase vapeur d'hydruure (HVPE) est considérée comme une méthode très pratique pour l'obtention de couches épaisses de GaN pouvant servir de substrats après délamination du substrat étranger, ou pour obtenir des cylindres de GaN pouvant être découpés pour fabriquer des substrats de GaN natif. Le principal avantage de cette technique réside dans sa capacité à produire des matériaux de haute qualité à des taux de croissance élevés ($> 1 \text{ mm/h}$) en raison d'une migration de surface élevée des espèces halogénures. Parmi les techniques de croissance du GaN en vrac, la croissance HVPE est la plus prometteuse en raison de l'utilisation de conditions plus favorables, à savoir une pression atmosphérique, et une température de croissance relativement faibles. La technique HVPE s'est avérée capable de fournir des couches de GaN de type n [59], de type p [60] et semi-isolants [61].

La HVPE est une méthode de dépôt chimique en phase vapeur. Le processus de croissance consiste en l'introduction du chlorure d'hydrogène (HCl) par un gaz vecteur (H_2 ou N_2) dans le réacteur. Dans la zone de faible température (800 à 900 $^\circ\text{C}$), la réaction du HCl avec le métal de gallium (Ga) induit à la formation du gaz de chlorure de gallium (GaCl) qui sera conduit dans la zone à haute température (entre 900 et 1100 $^\circ\text{C}$) assurant la stabilité GaCl, où il sera mélangé avec l'ammoniac (NH_3) pour faire croître le GaN. Les gaz résiduels sont ensuite évacués de la chambre de croissance. Les réactions permettant la croissance de GaN massif sont les suivantes :



2.2.1 Acteurs industriels

Actuellement, la technique de croissance HVPE est la plus répandue pour le développement de substrats GaN [62]. Les substrats GaN de 2 pouces sont disponibles auprès de :

- Sumitomo Electric Industries [63]
- Hitachi Cable [64]
- Mitsubishi Chemical Corporation [65]
- Xiamen Powerway [66] au Japon
- Suzhou Nanowin [67] en Chine
- Kyma Technologies [68] aux USA
- Saint Gobain Lumilog [69] en France

La densité de dislocations des substrats GaN provenant de ces fabricants est généralement inférieure à $5 \times 10^6 \text{ cm}^{-2}$. Des substrats de GaN de 4 à 6 pouces sont en cours de développement, car la taille du substrat est un paramètre important dans la réduction du coût. On prévoit que le coût d'un substrat 4 pouces FS-GaN développé par la technique HVPE sera d'environ 1300 USD/substrat en 2020 [70].

Le développement d'un substrat GaN pour l'épitaxie homogène est très intéressant pour les dispositifs hyperfréquences à haute puissance à base de GaN. Les substrats GaN de haute qualité fournissent d'excellentes caractéristiques de réseau cristallin homogène, de transport de chaleur et de correspondance thermique pour des performances élevées. Des chercheurs se sont concentrés

sur l'amélioration de la technique HVPE afin de produire des substrats GaN de grande taille à faible coût. Dans ce travail de thèse, nous avons utilisé un substrat Free-Standing GaN dopé n ($1-3 \cdot 10^{18} \text{ cm}^{-3}$) et de résistivité $\rho \leq 30 \text{ m}\Omega \cdot \text{cm}$, commercialisé par Lumilog Saint Gobain.

Pertes en fonction de la fréquence sur substrat FS-GaN

Habituellement, le substrat FS-GaN est conducteur (dopé n), ce qui ne pose pas de problème pour la fabrication de dispositifs verticaux. Cependant, les dispositifs horizontaux fonctionnant à haute fréquence nécessitent des substrats isolants ou la croissance d'une couche de GaN à haute résistivité électrique, idéalement semi-isolante et suffisamment épaisse (de l'ordre des dizaines de μm) afin de s'affranchir des problèmes de pertes de propagation à travers le substrat dopé. La figure 1.18 montre les résultats d'une simulation électromagnétique de pertes hyperfréquences pour différentes épaisseurs (e_{buffer}) du buffer GaN résistif sur un substrat FS-GaN conducteur. Nous observons que l'augmentation de l'épaisseur du buffer résistif a pour conséquence la diminution des pertes hyperfréquences. Des structures AlGaIn/GaN HEMT avec différentes épaisseurs du buffer GaN résistif ont été développées au CRHEA. Une présentation de ces structures est donnée à la fin de ce chapitre.

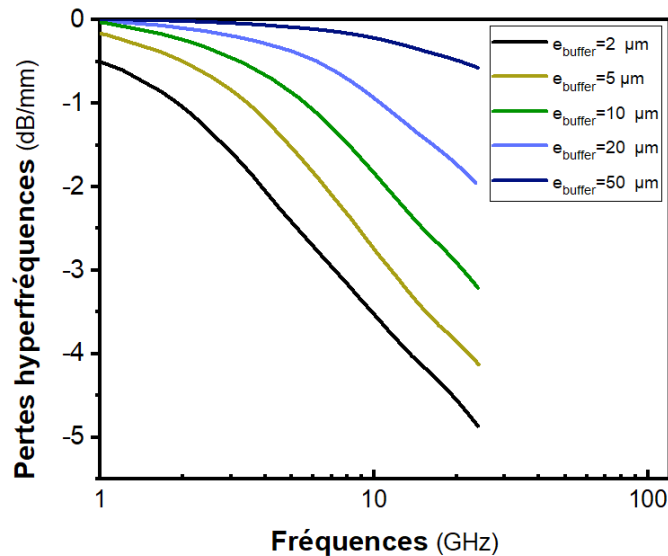


Figure 1.18 : Simulation de l'atténuation en fonction de la fréquence pour différentes épaisseurs (H) du buffer GaN

Etat de l'art des HEMTs obtenus par homo-épitaxie

Pour surmonter les limitations rencontrées avec les substrats Si, SiC et Saphir, plusieurs approches ont été développées pour le développement des substrats GaN afin de bénéficier des avantages de l'homo-épitaxie [62]. La première démonstration de HEMTs AlGaIn/GaN fabriqués sur un substrat de GaN semi-isolant à faible densité de dislocations (10^7 cm^{-2}) a été rapportée en 2004 [71]. Les substrats de GaN produits par la société américaine ATMI utilisant la technique HVPE, ont été dopés au fer (Fe) pour atteindre une résistivité à la température ambiante supérieure à $10^6 \Omega \cdot \text{cm}$. La structure du dispositif a été développée par MOCVD chez CREE Inc. Une densité de puissance de sortie de 9,4 W/mm associée à un rendement en puissance ajoutée de 40% ont été obtenus à 10 GHz sur un transistor avec une longueur de grille de 150 nm. La US Naval Research Labs a rapporté une structure HEMT crûe par MBE sur des substrats FS-GaN dopés au fer et développés chez Kyma Technologies par HVPE avec une densité de dislocations de 10^7 cm^{-2} [72]. Cette structure contient une couche de 1 μm de GaN résistif dopé au béryllium (Be) afin d'assurer une tension de claquage du buffer élevée. Des chercheurs de l'USCB (University of South California Beaufort) ont démontré l'amélioration de la densité de puissance de sortie (P_{out}) et du rendement de puissance ajoutée (PAE) à 4 GHz, respectivement de 4,2 W/mm et 37 % à 6,7 W/mm et 50 %, pour une structure utilisant une « back-barrier » d' $\text{Al}_{0,3}\text{Ga}_{0,7}\text{N}$ de 5 nm d'épaisseur dans une hétérostructure HEMT AlGaIn/GaN sur substrat FS-GaN [73]. Une structure HEMT AlGaIn/GaN développée par MBE a été rapportée par D.F. Storm *et al.* [74], et a démontré une densité de puissance de sortie (P_{out}) de 5 W/mm à 4 GHz et 4,8 W/mm à 10 GHz pour une longueur de grille de 450 nm associées à une fréquence de coupure du gain en courant (F_t) de 36 GHz et une fréquence de coupure du gain en puissance (F_{max}) de 56 GHz. David J. Meyer *et al.* ont obtenu une densité de puissance de sortie de 1 W/mm à 40 GHz associée à un rendement de puissance ajoutée (PAE) de 17 % sur un HEMT AlN/GaN sur substrat FS-GaN. Ces dispositifs exhibaient une fréquence de coupure du gain en courant (F_t) de 165 GHz et une fréquence de coupure du gain en puissance (F_{max}) de 171 GHz sur un transistor avec une longueur de grille de 100 nm [75]. Enfin, parmi les résultats obtenus sur les dispositifs HEMTs sur substrats FS-GaN, on peut noter celui obtenu lors de ce travail de thèse, nous pouvons dès à présent citer une densité de puissance de sortie (P_{out}) de 2 W/mm associée à un rendement de puissance rajouté (PAE) de 20,5 % pour une polarisation de drain de 15 V sur un transistor de longueur de grille de 70 nm et

un développement de $2 \times 50 \mu\text{m}$. Les fréquences de coupure du gain en courant F_t et du gain en puissance F_{max} , sont respectivement de 100 GHz et de 142 GHz. Ce résultat constitue l'état de l'art à 40 GHz en termes de puissance hyperfréquence pour une hétérostructure sur substrat GaN. La figure 1.19 regroupe les densités de puissance atteintes pour des HEMTs utilisant un substrat GaN pour différentes fréquences de travail.

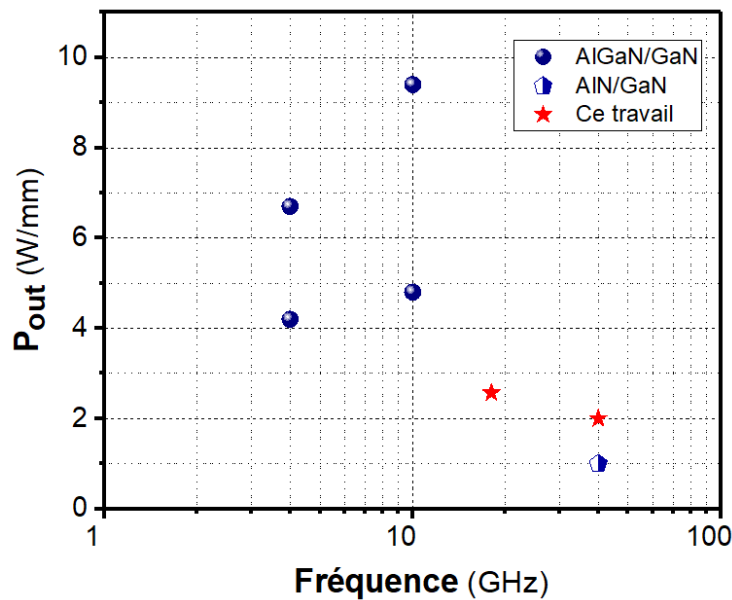


Figure 1. 19 : Etat de l'art des HEMTs sur substrat GaN par rapport à la fréquence de travail

En ce qui concerne la fiabilité des transistors, la dégradation de la caractéristique de la grille et la chute du courant de drain sont les principaux facteurs limitants la fiabilité des dispositifs actifs. La chute de courant de drain est souvent associée à une augmentation de la densité de pièges effectifs dans la structure. La dégradation de la caractéristique de la grille est une conséquence de l'effet piézoélectrique inverse pour lequel une augmentation du courant de grille est corrélée à la création et à la propagation de dislocations au bord de la grille côté drain pour une polarisation V_{DG} critique (20-30V) [76].

Storm *et al.* ont rapporté la fabrication d'un composant HEMT AlGaIn/GaN sur substrat FS-GaN, présentant une dégradation de la puissance de sortie de -0,09 dB face à -0,23 dB pour les dispositifs fabriqués sur substrat SiC [77]. D.Zhang *et al.* ont démontré une dégradation inférieure des performances en DC et en dynamique des transistors fabriqués sur substrat FS-GaN

par rapport aux dispositifs développés sur substrats Si et saphir, après une irradiation au proton de 3 MeV [78].

Partie 3 : Contexte du projet de thèse

Objectifs

Le but de cette thèse est de qualifier de nouveaux dispositifs électroniques de type HEMT AlGa_N/Ga_N pour les applications RF à partir d'une nouvelle stratégie de substrat Ga_N présentant une haute qualité cristalline, avec l'objectif à moyen terme d'une industrialisation mais aussi à court terme d'établir un système de référence en termes de fiabilité. Le sujet est basé sur une chaîne d'études allant du développement et la maîtrise des procédés technologiques, jusqu'à l'analyse de la fiabilité des dispositifs via la caractérisation des composants avant et après application des contraintes. Les principaux challenges technologiques auxquels nous avons été confrontés sont :

- L'épitaxie de la structure qui doit être réalisée avec une couche de Ga_N buffer semi-isolante et suffisamment épaisse pour minimiser les pertes de propagation à travers le substrat FS-Ga_N conducteur.
- L'optimisation des étapes technologiques du procédé de fabrication des transistors afin de développer des dispositifs HEMTs compétitifs en termes de performances de puissance hyperfréquence. Le transistor développé doit associer notamment une faible résistance de contact, une longueur de grille courte et un espacement source-grille petit.

Présentation des structures HEMT développées sur substrat FS-Ga_N

A partir de substrat Free-Standing Ga_N dopé n, un buffer Ga_N suffisamment épais et résistif est cru afin de limiter le couplage du substrat avec l'hétérostructure AlGa_N/Ga_N, et ainsi minimiser les courants de fuite et les pertes de propagation RF à travers le substrat conducteur. Dans un premier temps, deux structures comportant un buffer Ga_N non-intentionnellement dopé de 17 μm et 40 μm d'épaisseur, un espaceur AlN de 1 nm, une barrière Al_{0,25}Ga_N de 20 nm et un cap SiN de 2 nm, ont été développées par la technique MOCVD (figure 1.20 (a) et (b)). Ensuite, Deux autres structures avec un buffer composé d'une couche de Ga_N dopé au carbone (C) de 3 μm et d'une couche de Ga_N non-intentionnellement dopé de 7 μm et 17 μm d'épaisseur, ont été développées. La première couche de Ga_N de 3 μm a été déposée par la technique MOCVD en contrôlant sa résistivité par auto-compensation de carbone (C). Les paramètres de croissance de

cette couche ont été optimisés pour viser un dopage de l'ordre de 10^{18} cm^{-3} [79], avec une vitesse de croissance de l'ordre de $2 \mu\text{m/h}$. Les couches actives de ces structures se composent d'un espaceur AlN de 1,5 nm, d'une barrière $\text{Al}_{0,27}\text{GaN}$ de 11 nm et d'un cap SiN de 3 nm (figures 1.20 (c) et (d)). Toutes les structures étudiées présentent des densités de dislocations de l'ordre de $10^7 / \text{cm}^2$ [80]. Les différentes hétérostructures HEMTs sur substrat FS-GaN étudiées au cours de cette thèse, ont été développées au sein du laboratoire CRHEA et sont présentées dans la figure 1.20 :

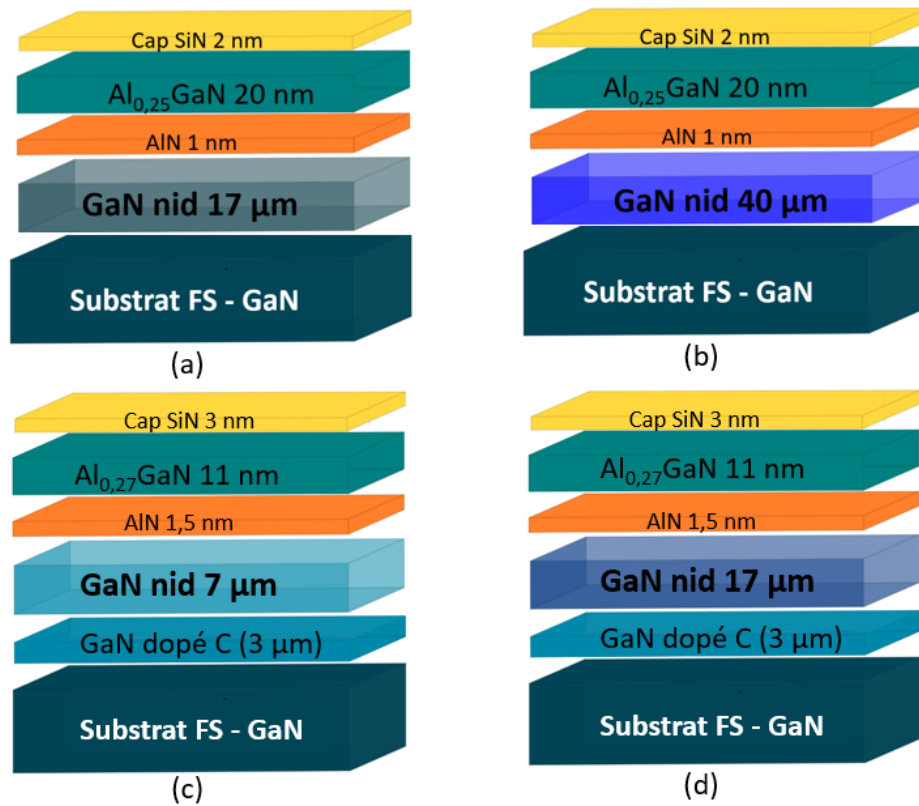


Figure 1. 20 : Structures HEMT fournies par le CRHEA : (a) avec 17 μm de GaN nid, (b) avec 40 μm de GaN nid, (c) avec 3 μm de GaN dopé C et 7 μm de GaN nid, (d) avec 3 μm de GaN dopé C et 17 μm de GaN nid

Conclusion

Une description des paramètres physiques du GaN a traduit son intérêt pour la réalisation de HEMTs destinés aux applications de puissance hyperfréquence. Nous avons mis l'accent sur les substrats généralement utilisés pour le développement des HEMTs à base de GaN tels que le Si et le SiC, afin d'expliquer l'intérêt de la migration vers une technologie à base de substrat GaN.

Effectivement, le substrat de GaN permet l'obtention de structures HEMT de haute qualité cristalline engendrant une faible densité de dislocations comparée aux structures développées sur des substrats étrangers. Ces défauts cristallins sont d'une grande part à l'origine de la dégradation des transistors. Les études concentrées sur le développement des substrats GaN permettent d'envisager des dispositifs HEMTs futurs à base d'homo-épitaxie GaN, permettant de s'affranchir des problèmes de dislocations et par conséquent de pousser les limites des dispositifs actuels en termes de performance et de fiabilité. Un état de l'art des densités de puissance délivrées par les composants HEMTs sur substrats GaN a été présenté afin de donner un aperçu à la contribution de ce projet dans la filière GaN. Ce chapitre s'est achevé par une description des objectifs fixés durant ce travail de thèse ainsi que les structures HEMTs sur substrat FS-GaN étudiées.

Chapitre 02

Technologie spécifique des composants HEMTs sur substrat FS-GaN

Introduction :

Dans le domaine du développement des dispositifs à base de semiconducteurs, le groupe Composants et Dispositifs Micro-ondes de Puissance du laboratoire IEMN a acquis à travers des années de travail de recherche un large savoir-faire technologique dans la fabrication et l'optimisation des composants HEMTs destinés aux applications de puissance fonctionnant à haute fréquence. Par conséquent, cette maîtrise du procédé de fabrication associée à des hétérostructures HEMTs étudiées, se traduit par le développement de transistors aux performances intéressantes et comparables à l'état de l'art mondial [81] [82] [83] [84]. Les travaux de recherche effectués au sein du groupe ont été concentrés sur les structures HEMTs réalisées sur substrat de silicium (Si). Dans le cadre de ce projet, nous avons optimisé la technologie de fabrication des HEMTs AlGaIn/GaN sur substrat Free-Standing GaN (FS-GaN), en se basant sur le procédé de fabrication classique développé pour des structures HEMTs sur substrat Si. Plusieurs optimisations et adaptations du procédé de fabrication ont été effectuées afin de réaliser des dispositifs HEMTs permettant de tirer profit de la haute qualité cristalline de structures avec croissance sur substrat FS-GaN. Parmi les étapes à définir et à optimiser figurent la réalisation des marques d'alignement, la fabrication des contacts ohmiques et le développement de la grille en T submicrométrique.

Ce chapitre décrit dans sa première partie toutes les étapes technologiques du procédé de fabrication sur substrat Si classiquement utilisé au sein du groupe, et présente dans une deuxième partie les principales optimisations effectuées afin de permettre la réalisation des dispositifs HEMTs AlGa_N/Ga_N sur substrat FS-GaN.

Partie 1 : Procédé standard de fabrication des composants HEMTs sur substrat silicium

Les semiconducteurs à base de nitrure sont des matériaux à fortes stabilités chimique et thermodynamique. De ce fait, ils sont considérés comme des matériaux de choix pour de nombreuses applications dans des environnements hostiles tels que des environnements de haute température et de forte pression. Cependant, cette stabilité élevée engendre des complications dans chaque étape du procédé de fabrication des transistors. On peut citer l'étape de fabrication des contacts ohmiques qui dépend en grande partie de la combinaison des différents empilements de métal (Ti, Al, Ni, Mo, Au, etc...), et de l'épaisseur de chaque couche. De plus, la large bande interdite et la forte diffusion des électrons des composés nitrurés réduisent la résolution de lithographie par faisceau d'électrons (E-beam), ce qui augmente la difficulté de la définition de grille submicrométrique.

Plusieurs travaux dans le groupe ont été effectués afin de développer un procédé de fabrication optimal et reproductible de transistors aux caractéristiques combinant une faible résistance de contacts ohmiques R_c , un bon pincement, une haute tension de claquage, une longueur de grille courte, etc.... Ces paramètres de dispositifs sont respectivement liés à la métallisation des contacts ohmiques, à l'isolation des composants, à la définition d'une grille en T submicrométrique, et à une ingénierie du composant étudié. Afin de mettre en œuvre cette technologie, nous avons basé notre procédé de fabrication sur la lithographie électronique qui est un outil permettant la définition de motifs allant jusqu'à la dizaine de nanomètres. La résolution (r) de la lithographie optique est quant à elle limitée par la longueur d'onde d'exposition des UV (100 - 400 nm), comme illustré par le critère de Rayleigh dans l'équation 2.1 :

$$r = k_1 \cdot \frac{\lambda}{ON} \quad \text{Eq 2. 1}$$

Avec k_1 une constante spécifique au procédé appliqué, λ la longueur d'onde d'exposition et ON l'ouverture numérique du système.

La lithographie électronique quant à elle, permet grâce aux longueurs d'ondes courtes des électrons de surmonter les limitations des longueurs d'ondes des UV impactant la résolution. De ce fait, nous avons eu recours à l'utilisation de cette technique pour la définition des grilles en forme de T à de faibles longueurs du pied de grille allant jusqu'à 70 nm. Les avantages de cette lithographie par faisceau d'électrons incluent un fonctionnement automatisé et contrôlé avec précision de l'alignement, une haute résolution, l'écriture directe sur un wafer de semiconducteur sans utilisation d'un masque physique et la possibilité et l'accessibilité facile pour les corrections grâce à l'utilisation d'un masque sous forme électronique. Les principaux désavantages de cette technique comprennent le coût et le temps d'écriture élevés.

Les résines utilisées pour la lithographie E-beam sont des polymères. Le comportement d'une résine de faisceau électronique est similaire à celui de la résine photosensible, c'est-à-dire qu'une modification chimique ou physique est induite dans la résine par irradiation aux électrons, ce qui permet d'écrire les motifs. Pour une résine positive, l'interaction polymère-électron provoque la rupture des liaisons chimiques pour former des fragments moléculaires plus courts qui sont plus facilement dissous par la solution au cours du processus de développement. Pour une résine négative, le faisceau d'électron provoque une liaison polymère induite par le faisceau d'électrons, ce qui crée une structure tridimensionnelle complexe et rend la résine irradiée plus difficile à dissoudre au cours du processus de développement par rapport à la résine non irradiée.

Le masque « buzz » utilisé au cours de ce travail de thèse a été développé et optimisé au sein du groupe afin d'assurer des paramètres d'ingénierie de transistors pouvant répondre aux exigences requises en termes de performances. La figure 2.1 représente une image descriptive du masque buzz.

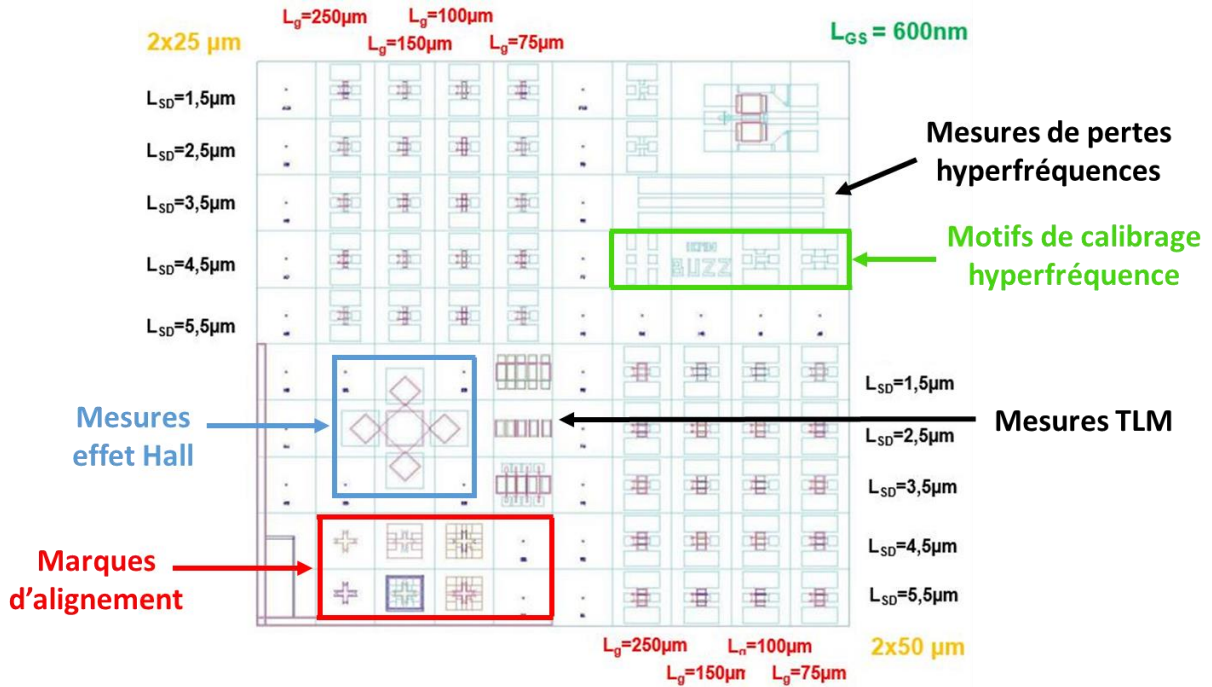


Figure 2.1 : Masque Buzz utilisé pour la réalisation des HEMTs AlGaIn/GaN sur substrat FS - GaN

Le masque buzz permet de fabriquer des transistors à configuration coplanaire avec un nombre de doigts de grille $N = 2$, permettant de maximiser l'efficacité du drain en autorisant un accès du courant par les deux côtés. La géométrie des transistors est caractérisée par la largeur totale de grille W qui est de $50 \mu\text{m}$ et $25 \mu\text{m}$, la longueur de grille L_g qui varie de 75 nm à 250 nm , les distances drain-source L_{DS} qui varient de $1,5 \mu\text{m}$ à $5,5 \mu\text{m}$ et la distance grille-source L_{GS} qui est de 600 nm . Ces caractéristiques géométriques du transistor ont un impact direct sur ses performances et sa robustesse. La figure 2.2 (a) est une vue de dessus de la géométrie des transistors fabriqués. Quant à la figure 2.2 (b), elle représente une coupe transversale d'un HEMT à deux doigts de grille développé.

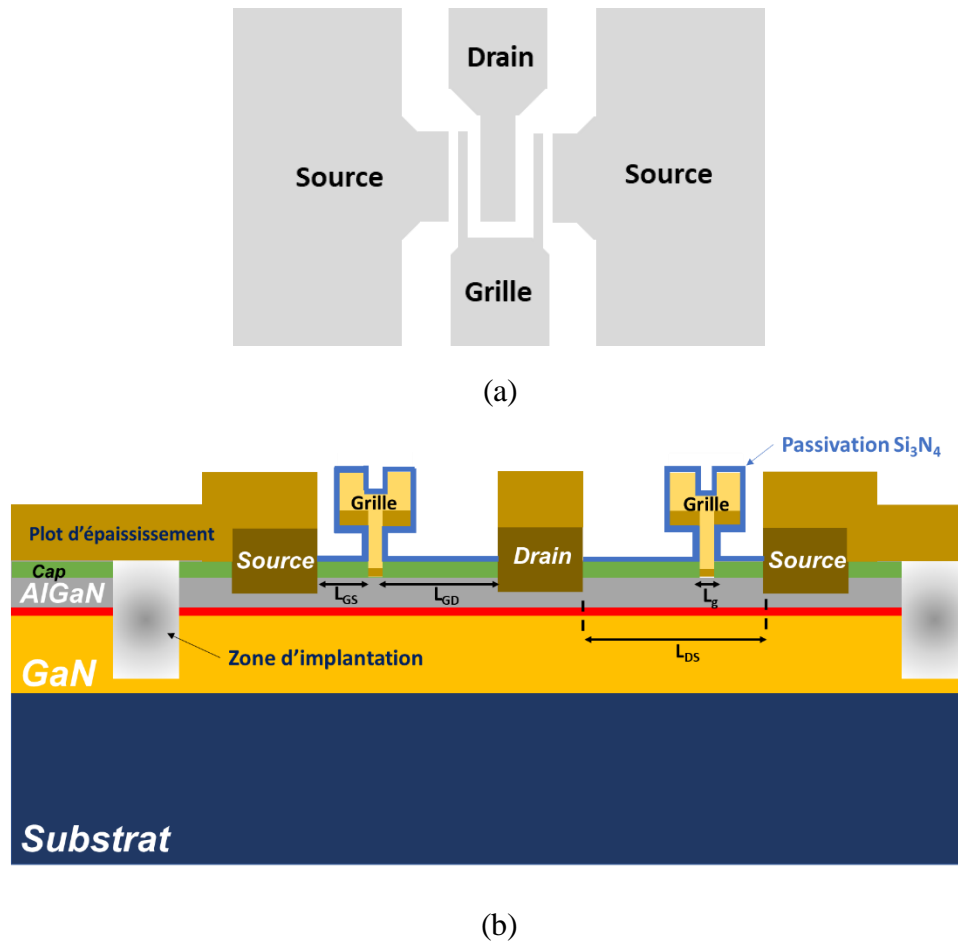
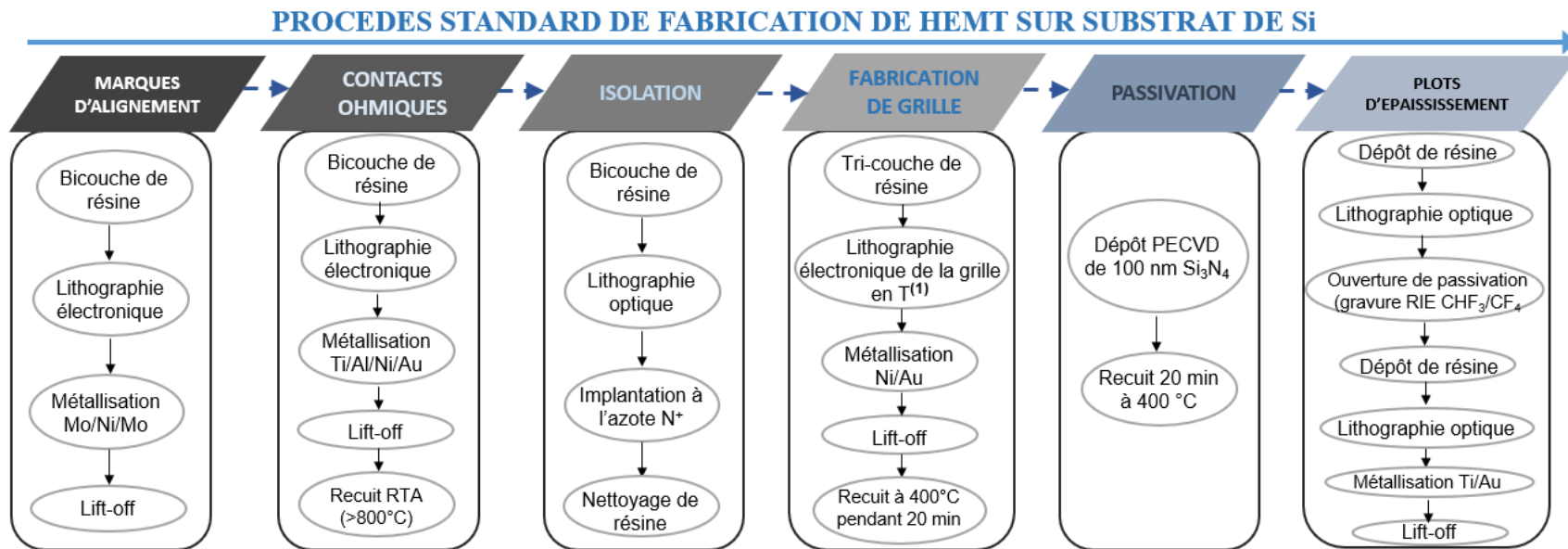


Figure 2. 2 : Vue d'ensemble d'un composant HEMT à deux doigts de grille : (a) vue de dessus, (b) coupe transversale

La réduction de la longueur de grille engendre une augmentation de sa résistance R_g . Il est donc nécessaire de réaliser des grilles submicrométriques en forme de T ou Γ afin d'allier une faible longueur de pieds de grille et une grande surface de chapeau, pour une résistance de grille R_g réduite et de meilleures performances RF. Cependant, la réduction de la longueur du pied de grille doit nécessairement conserver un bon ratio entre longueur du pied grille et épaisseur de barrière ($L_g/t_{barrière} < 15$ pour une barrière AlGaN) afin d'éviter les effets de canaux courts. Une petite distance d'espacement drain-source L_{DS} se traduit par des résistances d'accès de source R_s et de drain R_d réduites, et par conséquent un courant de drain plus important et de meilleures performances en termes de montée de fréquence. L'augmentation de la distance grille-drain L_{GD} apporte une maîtrise du champ électrique non-homogène situé dans le canal [85]. Ce champ

électrique présente un pic en sortie de grille côté drain, pouvant engendrer un claquage du transistor en raison de l'augmentation brusque du champ électrique. De ce fait, l'augmentation de la distance L_{GD} devient nécessaire afin de réduire le pic en sortie de grille grâce à une meilleure distribution du champ électrique. En revanche, l'augmentation de cette distance favorise l'interaction des états de surface avec le gaz d'électrons bidimensionnel 2D. Par conséquent, un compromis doit être satisfait pour combiner une bonne distribution du champ électrique et de faibles capacités parasites. La réduction de la distance grille-source L_{GS} se traduit par une diminution de la résistance de source R_s s'accompagnant d'un accroissement de l'effet capacitif entre les deux électrodes. A cela s'ajoute le risque de court-circuit entre la grille et la source pour des distances très réduites. C'est pourquoi, un compromis s'impose afin d'allier miniaturisation du transistor et performances.

La figure 2.3 décrit le procédé de fabrication des HEMTs standard développé au sein du groupe à base de lithographie électronique (E-beam) sur des hétérostructures développées sur substrat Si. Tout procédé de fabrication doit impérativement commencer par une étape de préparation de l'échantillon afin de nettoyer sa surface des contaminations. Une étape de marques d'alignement est nécessaire afin de permettre l'alignement des différents niveaux de masque pour chaque étape du procédé. Ensuite vient l'étape de la fabrication des contacts ohmiques de source et de drain, suivie de l'isolation des composants, la réalisation de la grille en T, la passivation des dispositifs et enfin la fabrication des plots d'épaissement. Chaque étape du procédé sera expliquée dans ce qui suit.



(1) 1^{ère} écriture: plots d'accès et chapeaux de grille, suivi d'un 1^{er} développement: casquette, 2^{ème} développement: T de la grille
2^{ème} écriture : Pieds de grille, suivi d'un 3^{ème} développement: casquette

Figure 2. 3 : Schéma descriptif du procédé standard de fabrication des HEMTs AlGaIn/GaN sur substrat de silicium développé au sein de l'équipe puissance du laboratoire IEMN

Préparation de l'échantillon

La qualité de la surface est importante non seulement pour une bonne adhésion de la résine, mais également pour un fonctionnement correct du dispositif. Bien que le nettoyage au solvant et la gravure humide à base d'acides ou de bases usuels ne produisent pas de surface atomique propre, ils sont efficaces pour éliminer une partie importante des oxydes de surface et d'autres contaminations tels que des contaminants métalliques, ce qui entraîne des contacts métal/semiconducteur relativement bons. Notons qu'un nettoyage des échantillons est nécessaire avant chaque étape du procédé de fabrication.

La surface de l'échantillon peut être atteinte de contaminations organiques et inorganiques et d'une couche d'oxyde natif. Les parties organiques ainsi que certains métaux peuvent être éliminées avec du méthanol, de l'acétone et du propanol. Pour retirer la couche d'oxyde et les parties inorganiques, les acides couramment utilisés tels que le HCl, le HNO₃ et le HF se sont révélés efficaces. La solution à base de HCl est efficace pour éliminer les oxydes et les métaux en laissant moins de résidus d'oxygène. Le HF est plus efficace pour éliminer la contamination par le carbone et/ou les hydrocarbures mais s'avère très agressif pour la surface de l'échantillon. Les effets de diverses solutions de gravure chimique telles que HCl : H₂O et HF : H₂O pour le nettoyage de la surface du GaN ont été rapportés [86]. Dans notre procédé de fabrication, nous nettoyons les échantillons en utilisant une solution aqueuse d'acide nitrique HNO₃ : H₂O et une solution d'acide chlorhydrique HCl : H₂O, chacune précédée d'un nettoyage à l'acétone et au propanol.

Marques d'alignement

Le développement de tout dispositif à l'échelle microscopique nécessite plusieurs motifs liés aux différentes étapes de fabrication. Pour la fabrication de dispositifs fonctionnels, les motifs des différentes étapes de lithographie appartenant à une même structure de dispositif doivent être alignés les uns sur les autres. Pour cela, le procédé de fabrication de HEMT à base de lithographie électronique doit nécessairement commencer par une étape de réalisation des marques d'alignement. Ces dernières servent de repères d'alignement sur l'échantillon afin de positionner le faisceau d'électrons lors de l'écriture des différents motifs du masque de chaque étape. La résolution théorique de l'écriture à faisceau d'électron (E-beam) est de l'ordre de 5 nm.

Dans notre procédé, nous utilisons des motifs en forme de carré de 8 μm de côté pour l'alignement des niveaux réalisés par lithographie électronique et des motifs de plus grande dimension pour l'alignement des niveaux réalisés en lithographie optique tels que les étapes d'isolation et de fabrication des plots d'épaissement. Ces différents motifs sont définis grâce à l'écriture par faisceau d'électrons sur une bicouche de résines électrosensibles (COPO et PMMA), ce qui permet d'obtenir un profil casquette après développement chimique à l'aide d'une solution aqueuse (MIBK : IPA 1 : 2). Ce profil casquette favorise le lift-off après métallisation par évaporation d'un séquentiel de métal Mo/Ni/Mo (20/40/70 nm). Le Molybdène (Mo) est un métal réfractaire très contraint lorsqu'il est déposé par évaporation sous vide, et a une haute température de fusion de 2617 °C. Il représente donc un bon choix pour la métallisation des marques d'alignement qui doivent conserver des flancs bien droits et une faible rugosité de surface tout au long du procédé de fabrication afin de permettre le positionnement du faisceau d'électrons et un alignement précis des différents niveaux. La couche du Nickel (Ni) (température de fusion de 1450 °C) intercalée entre deux dépôts de Molybdène permet de réduire l'effet de contrainte engendré par le Molybdène. Les épaisseurs du séquentiel métallique ont été optimisées afin d'assurer un contraste suffisant entre la surface des marques et celle de l'échantillon, permettant au masqueur électronique de repérer précisément les marques d'alignement. La figure 2.4 est une représentation descriptive de cette étape de fabrication.

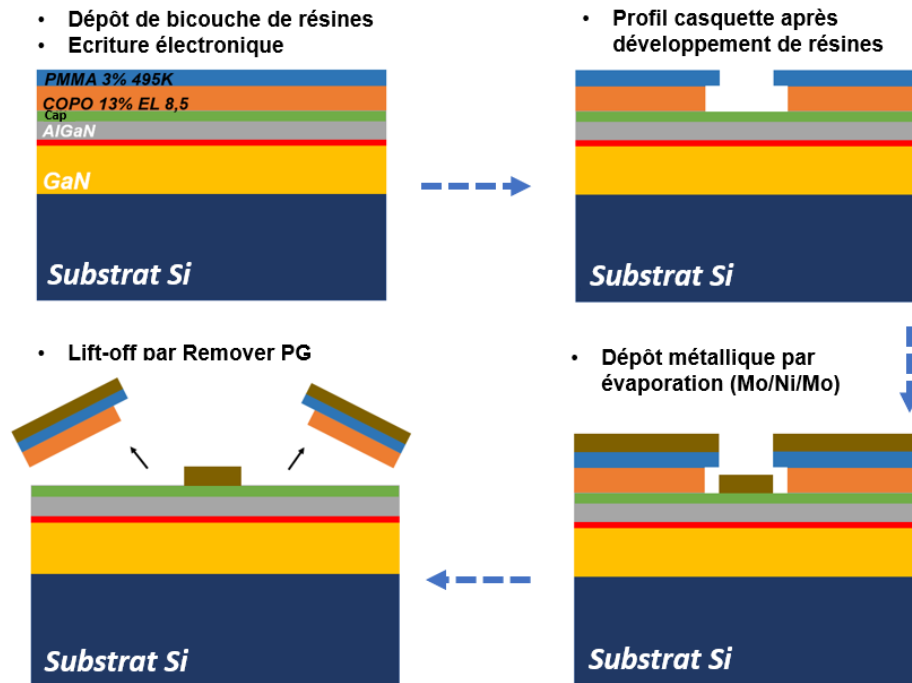


Figure 2. 4 : Description schématique de la réalisation de l'étape des marques d'alignement

Les contacts de source et drain

Les contacts de source et drain représentent les points d'accès au comportement ohmique permettant au transistor de se connecter à des circuits externes. Leur résistance doit être très faible par rapport à celle de la région de dérive du canal pour réduire la résistance d'accès R_{ON} du dispositif qui influe sur les performances en termes de puissance hyperfréquence. Il est assez difficile d'établir de bons contacts ohmiques sur des matériaux à base de GaN en raison de la large bande interdite qui facilite naturellement les contacts de type Schottky. Pour obtenir de bonnes performances des HEMTs à base de GaN, la résistance de contact (R_C) doit être minimisée et associée à une faible rugosité de surface et des flancs abrupts. Dans ce but, le travail de sortie des couches métalliques, l'épaisseur des couches métalliques, la température de recuit, la gravure de la couche d'AlGaN, etc., sont des facteurs importants à optimiser.

Le contact ohmique

Idéalement, lorsqu'un métal établit un contact direct avec un semi-conducteur de type n, les niveaux de Fermi (E_F) dans les deux matériaux doivent s'aligner à l'équilibre thermodynamique et le niveau de vide doit être continu. Ces deux exigences déterminent un diagramme de bande d'énergie idéal pour le contact métal/semiconducteur. Dans notre cas, la barrière AlGaN sur laquelle le métal est déposé, est non-intentionnellement dopée de type n. La hauteur de barrière φ_b est définie par la différence entre le travail de sortie du métal φ_m et l'affinité électronique du semiconducteur χ [87]:

$$\varphi_b = \varphi_m - \chi \quad \text{Eq 2. 2}$$

Les électrons présents dans le matériau ayant le plus faible travail de sortie migrent vers le matériau ayant un travail de sortie plus élevé jusqu'à l'équilibre thermodynamique. Par conséquent, les niveaux de Fermi des deux matériaux s'alignent et une courbure des bandes d'énergie du semiconducteur aux interfaces apparaît.

Pour un contact métal/semiconducteur dont le travail de sortie du semiconducteur est supérieur à celui du métal, les électrons du métal possèdent une énergie plus importante que ceux situés dans le semiconducteur. De ce fait, ces électrons s'écoulent du métal vers le semiconducteur jusqu'à ce que les énergies de Fermi des deux matériaux soient égales (en condition d'équilibre thermodynamique). Ce phénomène donne naissance à un déficit d'électrons localisé en surface du métal et une zone d'accumulation côté semiconducteur. Ainsi, apparaît une courbure de bandes d'énergie côté semiconducteur comme représentée sur la figure 2.5.

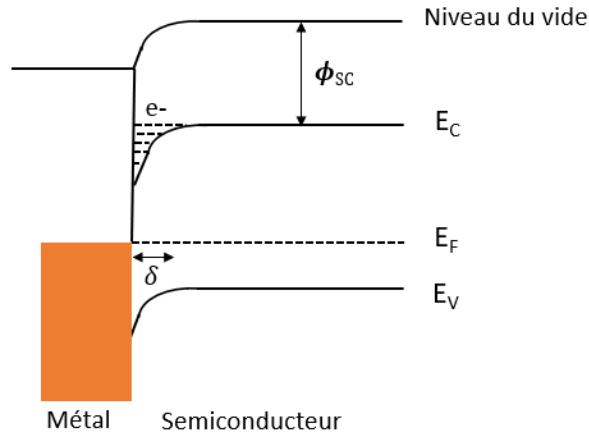


Figure 2.5 : Diagramme de bandes d'énergie à l'équilibre thermodynamique d'un contact ohmique

L'application d'une tension à cette structure engendre l'établissement d'un courant électrique. Le contact ainsi obtenu est ohmique présentant une caractéristique courant-tension linéaire et symétrique.

Le transport des porteurs de charges dans une jonction métal/semiconducteur est assuré grâce aux mécanismes de conduction suivants [88]:

- i. Conduction thermoïonique (TE) : transport des porteurs par-dessus la barrière de potentiel.
- ii. Conduction thermoïonique assistée par effet de champ (TFE) : transport des porteurs chauds via un effet tunnel à travers le sommet de la barrière (lorsque des niveaux de dopage élevés rétrécissent la couche de déplétion)
- iii. Conduction par effet tunnel (FE) : transport d'électrons traversant la barrière de potentiel par effet tunnel.

Seule la conduction des électrons par effet tunnel (FE) permet le comportement ohmique, correspondant à une caractéristique courant-tension linéaire et symétrique. De ce fait, la formation de contacts ohmiques à faible résistance peut être obtenue en abaissant la hauteur de la barrière de potentiel. Les contacts ohmiques à base de semiconducteur à large bande interdite (par exemple le GaN) sont généralement plus difficiles à obtenir par rapport aux semiconducteurs classiques, car il n'existe pas beaucoup de métaux avec un travail de sortie suffisamment faible pour produire une faible hauteur de barrière. Cette dernière étant inversement proportionnelle à la concentration

en donneurs, il existe une solution prometteuse pour la fabrication de contacts ohmiques à faible résistance de contact qui consiste à augmenter le niveau de dopage à proximité de l'interface métal/semiconducteur à un niveau très élevé. Ainsi, une couche de GaN fortement dopée est réépitaxiée à la surface de l'hétérostructure AlGaIn/GaN afin de réduire la hauteur de la barrière, favorisant ainsi le comportement ohmique du contact.

Les contacts ohmiques sont caractérisés par leur résistance spécifique de contact ρ_c . Pour une conduction par effet tunnel (FE), la résistance spécifique du contact est exprimée selon Padovani et Stratton [89] par :

$$\rho_c = \frac{k \sin \pi k T}{A^* \pi q T} e^{\frac{q \varphi_b}{E_{00}}} \quad \text{Eq 2. 3}$$

Avec k constante de Boltzmann, T la température, q la charge élémentaire de l'électron, φ_b la barrière de potentiel, et A^* la constante de Richardson donnée par l'expression : $A^* = 4\pi q m_e^* m_0 k^2 h^{-3}$ soit $2,8 \cdot 10^5 \text{ Am}^{-2} \text{ K}^{-2}$ dans le cas du GaN. E_{00} caractérise le niveau d'énergie pour lequel un courant est susceptible de s'établir. Une conduction par effet tunnel est assurée si l'énergie du niveau E_{00} est suffisamment grande devant l'énergie thermique considérée ($E_{00} \gg kT$). Avec $E_{00} = \left(\frac{\hbar}{2}\right) \left(\frac{N_D}{m^* \varepsilon_{sc}}\right)^{1/2}$ où ε_{sc} ($\varepsilon_0 \varepsilon_r$) est la permittivité du semiconducteur, N_D la valeur du dopage, m^* la masse effective des porteurs et \hbar la constante de Plank réduite.

Plusieurs études dans les secteurs académiques et industriels, ont été concentrées sur la réduction de la résistance de contact (R_c) des contacts ohmiques sur des structures HEMTs AlGaIn/GaN. Le GaN étant un matériau à large bande interdite, impose un choix judicieux des métaux utilisés dans la fabrication des contacts ohmiques. Les couches métalliques des contacts ohmiques ont généralement été optimisées sur des structures à base de GaN. Les premiers métaux utilisés dans la fabrication des contacts ohmiques étaient l'aluminium (Al) [90] [91], le Titane (Ti) [92] et Ti/Al [93], qui ont tous deux un travail de sortie relativement faible (Al = 4,28 eV et Ti = 4,33 eV) et réagissent avec le GaN dopé n pour former des résistances de contact faibles à une température de recuit élevée. Les contacts ohmiques à une seule couche de métal telles que Ti ou Al ne sont pas utilisés en raison de leur activité chimique avec les oxydants, spécialement pour

les dispositifs de puissance fonctionnant à des températures élevées. Par conséquent, différents empilements de couches métalliques ont été proposés et étudiés. Ces empilements de couches métalliques peuvent être classés en deux groupes : les empilements de métaux à base d'or (Au) et les empilements de métaux sans or (Au).

Les contacts ohmiques à base d'empilement de métaux sans Au sont fortement recommandés pour les procédés de fabrication compatibles avec la technologie CMOS. La compatibilité du procédé de fabrication avec la ligne de production à base de silicium (Si) est un facteur fondamental permettant l'intégration de la technologie GaN dans les circuits actuels. Cela signifie que les métaux tels que l'or (Au) et le cuivre (Cu) doivent être exclus de la ligne de fabrication.

Différents procédés de fabrication de contacts ohmiques à base d'empilement métallique sans Au ont été rapportés: Ti/Al/W recuit à 870 °C avec une résistance de contact R_C inférieure à 0.5 Ω /mm [94], Hf/ Al/ Ta avec un recuit à 600 °C sur une structure InAlN/GaN [95], Ta/Al/Ta avec un recuit à 600 °C et une résistance de contact R_C obtenue de 0.25 Ω .mm [96], Ti/Al/TiN avec un recuit à 550 °C et une résistance de contact R_C de 0.62 Ω .mm [97]. Récemment, Yoshida et Egawa [98] ont reporté des contacts ohmiques Ti/Al/W sur une structure AlGaIn/ GaN avec une résistance de contact d'environ 0,358 Ω .mm pour une température de recuit inférieure à 500 °C.

Au-delà de la compatibilité avec la chaîne de fabrication à base de Si, les recherches de Piazza *et al.* [99] ont démontré que l'application d'une contrainte thermique à long terme sur des contacts à base de l'empilement métallique Ti/Al/Ni/Au généralement utilisé, pouvait conduire à une dégradation de la structure métallique. Les basses températures de recuit (< 700 °C) et l'utilisation de séquentiels métalliques sans Au sont bénéfiques pour les performances électriques et la fiabilité des dispositifs [98].

D'autre part, les empilements de métaux à base d'Au ont été étudiés depuis de nombreuses années et arrivent à maturité. Fan *et al.* ont été les premiers à démontrer des contacts ohmiques à base de Ti/Al/Ni/Au [100]. Cet empilement de métaux a produit une faible résistance avec des valeurs de résistivité spécifiques $\rho_C \simeq 8,9.10^{-8} \Omega.cm^2$ à la température de recuit optimale.

Depuis, un empilement standard de métallisation Ti/Al/x/Au (x peut être : Pt, Ni, Mo) tels que Ti/Al/Pt/Au [101], Ti/Al/Ni/Au [102], Ti/Al/Mo/Au [103] ainsi que d'autres variantes, sont utilisés pour la fabrication des contacts ohmiques des HEMTs à base de GaN. Le procédé de fabrication développé au sein du groupe Composants et Dispositifs Micro-ondes de Puissance inclus des contacts ohmiques à base de l'empilement Ti/Al/Ni/Au.

Fabrication des contacts ohmiques

La fabrication des contacts ohmiques est basée sur la lithographie électronique afin de définir des motifs de source et de drain avec une distance L_{DS} allant jusqu'à 1,5 μm , permettant de réaliser des transistors destinés à obtenir de bonnes performances en hyperfréquences. Un bicouche de résines (COPO EL 13%/ PMMA 3%) est déposé sur l'échantillon suivi d'une écriture au masqueur électronique afin de définir les motifs des contacts. Ensuite, un développement à base de (MIBK / IPA 1 : 2) est appliqué pendant 2 min pour la révélation de la résine active et l'obtention d'un profil casquette. Une étape primordiale de désoxydation de la surface est effectuée juste avant métallisation. Pour cela, l'échantillon est plongé dans une solution aqueuse d'acide chlorhydrique diluée dans de l'eau déminéralisée (HCl / EDI 1 : 1) pendant 1min 30s suivi d'un rinçage à l'EDI pendant 10 s afin d'éliminer la contamination de la surface en oxyde natif. Directement après, l'échantillon est introduit dans la chambre de métallisation par évaporation sous vide à l'aide d'un canon à électrons, dans laquelle est intégré un équipement permettant de réaliser une gravure IBE (*Ion Beam Etching*) à base d'ion d'argon (Ar). Cet équipement permet l'usinage in-situ de la surface à métalliser tout en assurant une surface propre de l'échantillon pendant toute la durée de métallisation. L'épaisseur de cette gravure in-situ a été optimisée dans des travaux antérieurs [104], démontrant une gravure optimale jusqu'à 4 - 6 nm du canal de conduction ce qui permet de rapprocher le séquentiel métallique du gaz bidimensionnel afin d'assurer une meilleure conduction électrique et une faible résistance de contact.

Le dépôt anisotrope du séquentiel métallique Ti/Al/Ni/Au (12/200/40/100 nm) est assuré par évaporation sous vide au moyen d'un canon à électrons. Le métal n'est pas déposé sous la casquette définie par le bicouche de résines, ce qui facilite l'opération de Lift-off. Ce dernier est réalisé en utilisant un bain de « Remover PG » chauffé à 70 °C pendant 1 h, suivi d'un rinçage à l'acétone puis à l'alcool. Un recuit Rapide (RTA : Rapid thermal annealing) à haute température

(850 °C) pendant 30 s, est effectué directement après le Lift-off afin de favoriser la diffusion des métaux dans la barrière et la formation des alliages constituant le contact ohmique. Cet empilement de couches métalliques est largement utilisé dans la réalisation des contacts ohmiques. Des travaux d'optimisation des contacts ohmiques au sein du groupe ont démontré une excellente résistance de contact R_C de 0,15 Ω .mm [47]. La figure 2.6 décrit les étapes de fabrication des contacts ohmiques.

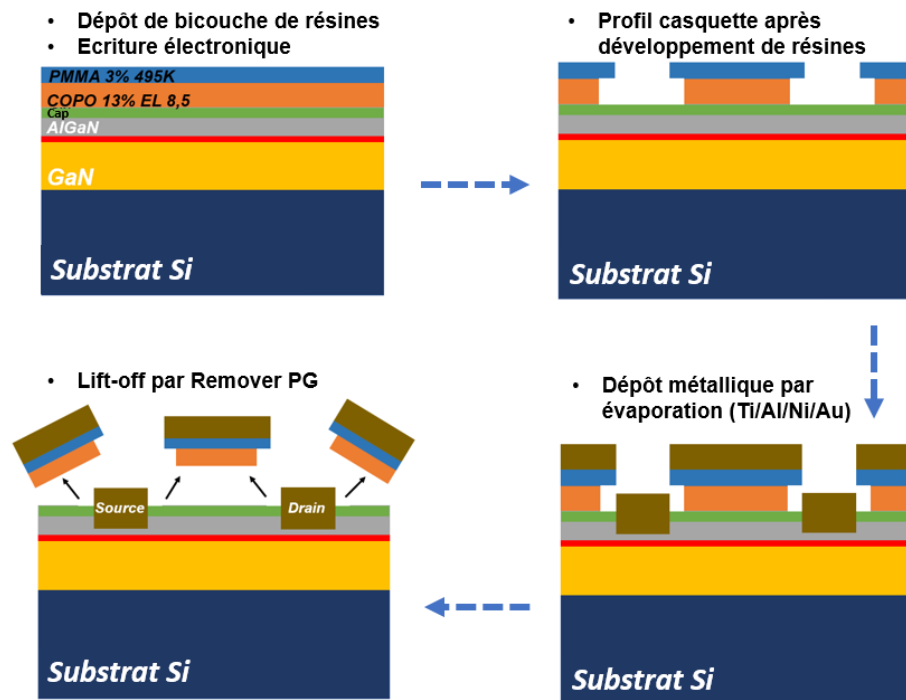


Figure 2. 6 : Description schématique de l'étape de réalisation des contacts ohmiques

Le choix du séquentiel métallique est justifié par les propriétés physique de chaque métal et des alliages obtenus après recuit à haute température. Ainsi, le rapport d'épaisseur Ti/Al dans l'empilement de métaux est l'un des facteurs clés pour la formation d'une faible résistance de contact R_C [105]. Dans notre groupe de recherche, les couches métalliques ainsi que leurs épaisseurs ont été optimisées afin de réduire la résistance de contact en assurant une faible rugosité de surface sur des dispositifs à base de substrat Si.

La couche d'accroche en Titane (Ti) réagit avec l'azote N de la couche barrière AlGaN à haute température, pour former l'alliage nitrure de titane (TiN) à l'interface métal/semiconducteur. Cet alliage a un travail de sortie inférieur à celui de l'AlGaN. La formation du TiN s'accompagne de génération de lacunes d'azote N dans la barrière se comportant comme donneurs. Cela engendre « un pseudo dopage » de type n de la barrière, réduisant la hauteur de la barrière de potentiel métal/semiconducteur et favorisant ainsi le passage des électrons par effet tunnel [92] [27]. Il en résulte des contacts ohmiques de faible résistivité.

L'Aluminium (Al) réagit avec le Ti pour former l'alliage Al_3Ti empêchant l'oxydation de la couche Ti sous-jacente [12] et facilitant la formation des contacts ohmiques [106]. Ainsi, il diminue la réactivité entre le Titane et le GaN, empêchant la formation de volumes creux à l'interface dus à la migration du gallium (Ga), ces volumes creux nuisant à la résistivité du contact ohmique. C'est pourquoi, il est nécessaire d'utiliser un rapport d'épaisseur Ti/Al optimal afin de réduire au maximum la formation de ces volumes creux. La couche d'Al réagit également avec l'AlGaN pour former l'alliage AlN, ce qui entraîne des lacunes d'azote N permettant de la même manière que pour la couche Ti de favoriser la migration des électrons du gaz 2D par effet tunnel [90].

La couche de Nickel (Ni), empêche la formation de l'alliage Al-Au (peste pourpre) constituant une barrière de diffusion entre l'Aluminium (Al) et l'or (Au) lors du recuit rapide à haute température. Cet alliage s'avère donc néfaste pour la qualité du contact. Le Nickel joue un rôle important dans la formation des contacts ohmiques d'une bonne morphologie et faible résistance de contact [103]. Cependant, sa faible conductivité électrique impose un compromis de l'épaisseur de la couche.

La couche de surface en or (Au), permet d'empêcher l'oxydation du Titane et de l'Aluminium pendant le recuit à haute température et d'obtenir une répartition homogène du courant sur toute la surface du contact en raison de son excellente conductivité électrique améliorant ainsi la conductivité du contact ohmique [107]. La figure 2.7 représente les réactions effectuées entre les couches métalliques du contact ohmique lors du recuit rapide à haute température.

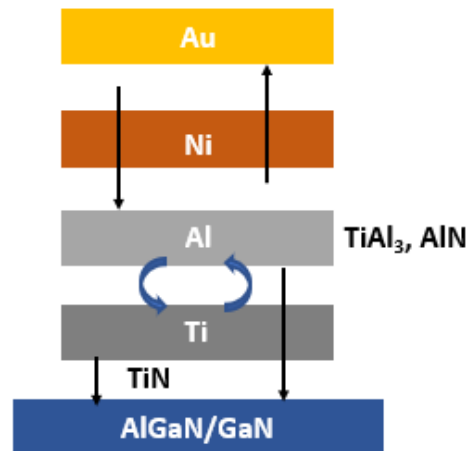


Figure 2. 7 : Illustration schématique du mécanisme de diffusion des contacts ohmiques (Ti/Al/Ni/Au) durant le recuit haute température

Isolation des composants

L'isolation des composants est une étape fondamentale du procédé de fabrication des HEMTs afin d'assurer un comportement électrique correct du dispositif et cela en délimitant la zone active de chaque transistor, en l'occurrence le chemin optimal qu'empruntent les électrons circulant du contact de source jusqu'au drain. Ainsi, elle permet d'isoler les transistors entre eux, de manière à minimiser les courants de fuites provenant des transistors adjacents. Cette délimitation est obtenue en détériorant le gaz électronique bidimensionnel (2D) de la région souhaitée de manière à obtenir une zone isolante. La figure 2.8 illustre l'ensemble des chemins possibles empruntés par le courant avec et sans isolation du canal. Une bonne isolation électrique des transistors permet d'assurer un chemin de courant unidirectionnel entre source et drain, tout en éliminant la contribution des courants de fuites. Dans le cas d'un composant non-isolé, il apparaît au pincement du canal un courant de fuite entre drain et source.

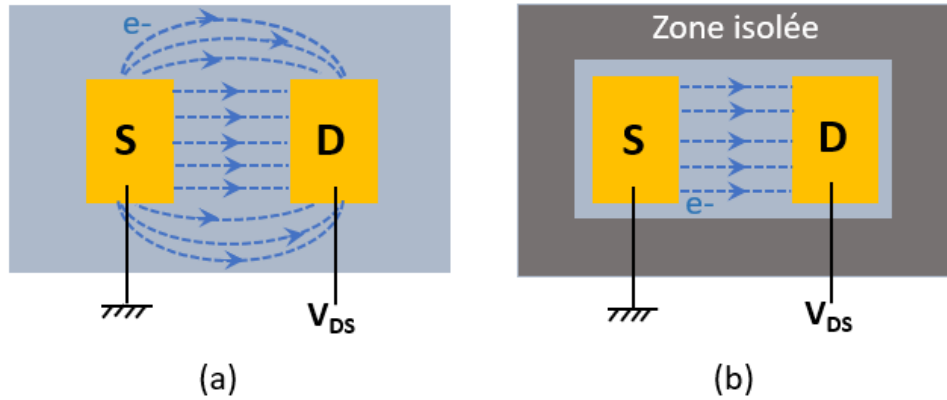


Figure 2. 8 : Chemin emprunté par les électrons dans le cas d'un composant : (a) non isolé et (b) isolé

L'isolation des composants peut être réalisée grâce à deux principales techniques différentes :

- Isolation par méssa (figure 2.9 (a)).
- Isolation par implantation ionique (figure 2.9 (b)).

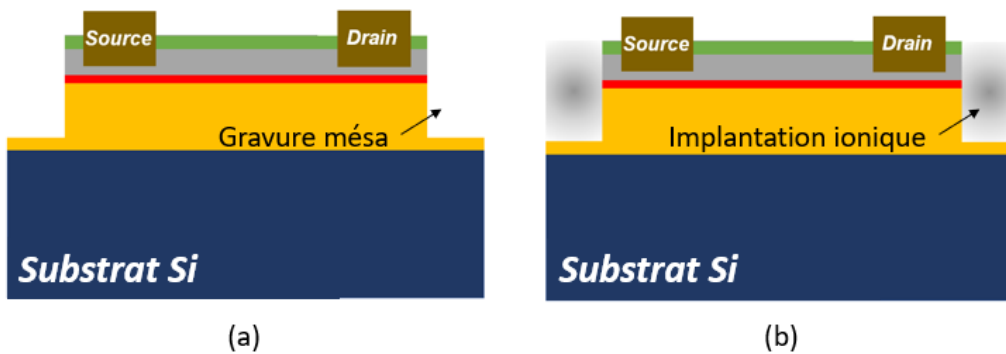


Figure 2. 9 : Schéma descriptive de (a) l'isolation par gravure méssa, et de (b) l'isolation par implantation ionique

L'isolation par méssa consiste à former une zone isolée pour chaque dispositif en éliminant le matériau par gravure autour des transistors. Cette dernière permet de supprimer le gaz bidimensionnel 2D dans la zone souhaitée, et ainsi définir la zone active entre les contacts source et drain. De ce fait, La profondeur de gravure est cruciale pour bien isoler les transistors et pour minimiser les courants de fuite. Une faible profondeur de gravure pourrait entraîner une isolation

incomplète, ce qui aurait un impact sur les performances du dispositif. Les techniques de gravure humide classiques ne conviennent pas à la gravure des matériaux III-N tel que le GaN. Les fortes énergies de liaison et la large bande interdite les rendent très résistants aux solutions acides et alcalines à température ambiante. De plus, la gravure humide du GaN présente un profil isotrope et une vitesse de gravure plus lente que les techniques de gravure sèche. Par conséquent, la plupart des procédés de gravure des matériaux III-N sont réalisés à base de gravures sèches [108].

La gravure RIE (Reactive Ion Etching) est l'une des méthodes courantes de gravure sèche des matériaux III-N, mais elle présente un faible degré d'anisotropie et des dommages de surface importants [109]. Par contre, lorsqu'elle est couplée à l'ICP (Inductively Coupled Plasma), la gravure ICP - RIE permet de produire des gravures avec de faibles dommages de surface associées à une vitesse de gravure et une uniformité élevées. L'isolation par mesa est généralement réalisée à l'aide d'un plasma couplé ICP-RIE à base d'un mélange de gaz chlore et argon (Cl_2/Ar). Ces espèces chimiques réagissent sous certaines conditions de gravure avec les atomes de l'hétérostructure induisant à un effet physique de bombardement entraînant la gravure de la surface, et par conséquent la délimitation de la zone active. Néanmoins, cette technique nécessite un choix de paramètres de gravure précis afin de réaliser des gravures avec des surfaces de semiconducteur non-endommagées, des flancs droits et d'éviter la polymérisation de la résine entraînant des coupures de métallisation lors des dépôts de métal des étapes suivantes. De plus, il a été démontré que lorsque la métallisation de grille recouvre les flancs de la mesa comme indiqué dans la figure 2.10, un contact entre grille et gaz 2D peut être créé, engendrant un courant de fuite de grille élevé et un couplage capacitif important nuisant aux performances électrique et hyperfréquence du transistor [110] [111].

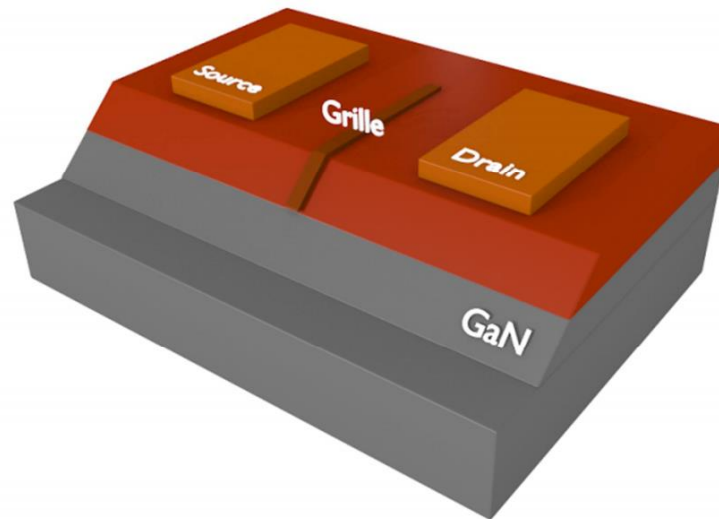


Figure 2. 10 : Contact entre l'extrémité de la grille et le méso d'isolation engendrant des courants de fuites

L'implantation ionique est un procédé d'isolation prometteur pour la fabrication de dispositifs HEMT à base de GaN [112]. Elle est basée sur un processus d'insertion des ions dans le volume de l'hétérostructure, afin de modifier les propriétés du semiconducteur pour le rendre isolant, tout en conservant la planéité des composants. Ainsi, il a été démontré que les performances hyperfréquences de composants isolés par implantation ionique sont meilleures que celles obtenues sur des transistors isolés par méso [113]. Plusieurs espèces ioniques permettent l'implantation des transistors à base de GaN tels que l'hydrogène, l'hélium, l'azote, le phosphore, l'argon, etc... [114] [115] [116] [117] [118] [119]. Ces dernières, accélérées par des tensions de quelques kV à quelques centaines de kV et focalisées sur la surface de l'échantillon pendant le processus d'implantation, pénètrent l'hétérostructure à l'aide d'un faisceau ionique énergétique. La pénétration des ions dans le matériau engendre la désorganisation de la structure cristalline en raison des collisions en chaîne des atomes en mouvement dûes à l'énergie cinétique apportée par les ions. Cela induit à briser la continuité cristalline du semiconducteur implanté et par conséquent augmenter sa résistivité afin de supprimer toutes conceptions électriques parasites. L'implantation ionique permet de contrôler à la fois la concentration des ions et la profondeur de l'implantation. La concentration peut être ajustée en fonction du courant du faisceau ionique et de la durée d'implantation, tandis que la profondeur peut être contrôlée par l'énergie des ions. Le processus d'implantation ionique est réalisé à température ambiante, cela permet l'utilisation de la résine pour protéger les zones à ne pas isoler. De plus, cette technique permet de réaliser une isolation à profil

anisotrope et des limites de zone d'isolation droites permettant de définir la zone isolée avec précision. Le risque de contamination de la surface du semiconducteur en isolant par implantation ioniques est inférieur par rapport à l'isolation par gravure méso.

Le procédé d'implantation ionique est réalisé à base de multiples implantations caractérisées par une énergie et une dose surfacique, de façon à casser la structure cristalline au-delà du gaz bidimensionnel 2D afin d'isoler les composants. L'implantation multiple permet d'isoler les composants sur toute la profondeur de façon homogène. L'isolation des composants dans notre procédé de fabrication est réalisée par implantation ionique à base d'ions d'azote. L'optimisation des paramètres de l'implantation (énergies et doses) a été effectuée en interne au sein du laboratoire IEMN. Le tableau 2.1 regroupe les énergies et doses utilisées pour l'isolation par implantation aux ions d'azote, dans ce procédé de fabrication des HEMTs.

<i>Implantations</i>	<i>Energie (keV)</i>	<i>Dose (at /cm²)</i>
Première	20	0,25 x 10 ¹⁴
Deuxième	50	1 x 10 ¹⁴
Troisième	100	1,5 x 10 ¹⁴
Quatrième	150	2,5 x 10 ¹⁴

Tableau 2. 1 : Energies et doses utilisées pour l'implantation aux ions d'azote

La zone active (à ne pas implanter) est protégée lors du procédé d'implantation à l'aide d'un bicouche de résines optiques (S1828 / LOR10A). L'étape d'exposition à l'aligneur optique pour activer la résine est suivie d'un recuit à 120 °C pendant 1 min afin de durcir la résine et faciliter son développement. Ce dernier est effectué dans une solution aqueuse MIF322 suivi d'un rinçage à l'EDI. Ainsi, le bicouche de résines adopte un profil casquette permettant son retrait après implantation. L'échantillon subit ensuite de multiples implantations à l'azote à différentes doses et énergies déjà indiquées pour isoler la zone non couverte par la résine. Par conséquent, une partie de la résine supérieure (S1828) sera polymérisée, tandis que la résine LOR10A ne sera pas impactée par les ions d'azotes. Cela permet de retirer facilement les deux couches de résine

après implantation sans laisser de résidus en surface en utilisant un bain de « Remove PG » chauffé à 70 °C pendant 6h. La figure 2.11 décrit l'étape d'isolation par implantation ionique.

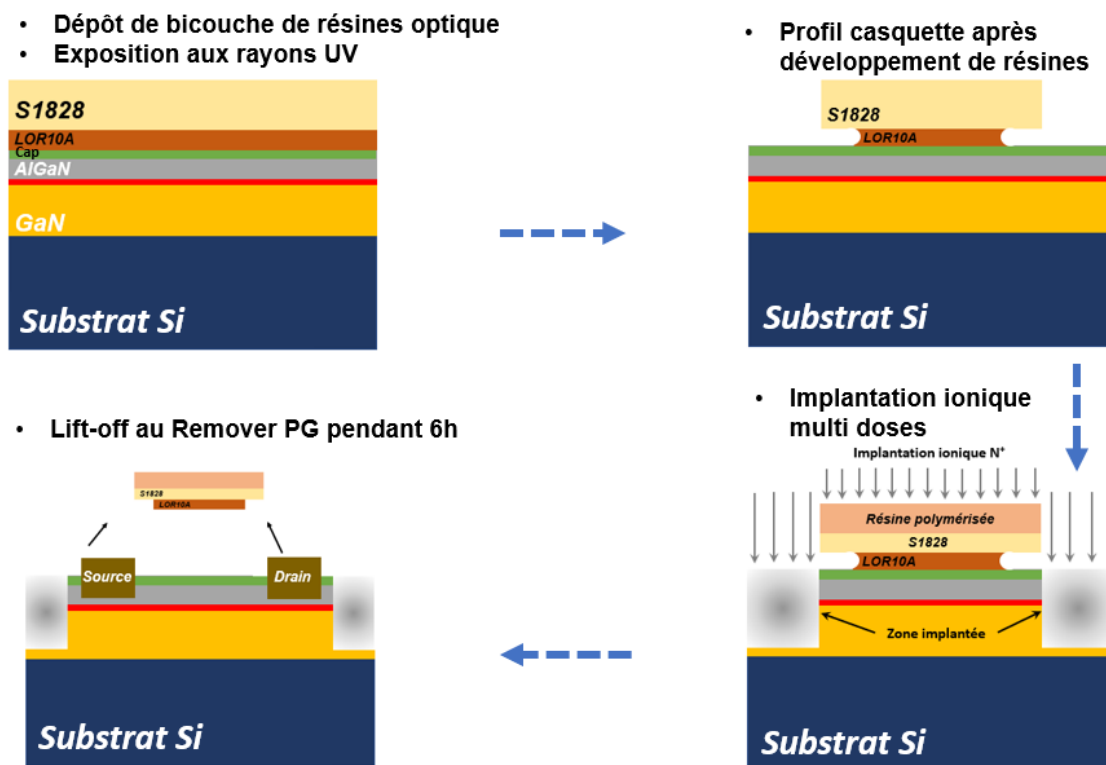


Figure 2. 11 : Schéma descriptif de l'étape de l'isolation des composants par implantation ionique

Technologie de grille

Après les étapes de fabrication des contacts ohmiques et d'isolation des composants vient l'étape de réalisation de l'électrode de grille. Cette étape est cruciale et déterminante pour l'obtention d'un composant ayant de bonnes performances électriques et hyperfréquences. L'évolution technologique continue de la micro-nanoélectronique engendre la réduction de la géométrie du transistor en général et celle de la grille en particulier, réduisant ainsi le temps de transit des électrons sous la grille. Cela se traduit par l'augmentation des performances en régime hyperfréquence pouvant atteindre des fréquences de coupure du gain en courant et du gain en puissance élevées. Les caractéristiques fréquentielles du composant dépendent fortement des propriétés de la grille. En effet, la fréquence de coupure du gain en courant F_t est liée à

la modulation de la grille par le gain en courant et au contact de grille par les capacités parasites C_{GS} et C_{GD} . Ainsi, la fréquence de coupure du gain en puissance F_{max} liée à F_t et C_{GD} et peut être améliorée en minimisant la résistance de grille R_g . Cette dernière est inversement proportionnelle à la section de la grille et augmente donc à des valeurs importantes en réduisant la longueur de grille. Afin de s'affranchir de ce problème, une technologie de grille a été développée avec une section en forme « T » ou « Γ » permettant d'associer une grande surface de la section de la grille et une petite longueur de grille. Il est à noter que la diminution de la longueur de grille doit satisfaire un rapport d'aspect imposé par la technologie GaN (longueur de grille/épaisseur de barrière > 15 [120]), au-delà duquel un effet électrique indésirable nommé effet canal court apparaît.

Il existe différentes approches technologiques pour la fabrication d'une grille dont la section transversale a la forme d'un « T ». Les dimensions typiques d'une grille en T rapportées dans la littérature sont : des longueurs de pied de grille communes qui varient de 200 nm [121] à 20 nm [122], des longueurs du chapeau de grille de 300 nm à 900 nm [123], tandis que la hauteur de la grille est déterminée par l'épaisseur du métal de grille évaporé (environ 400 nm). La principale distinction entre les approches technologiques développées réside dans le nombre d'étapes requises en lithographie pour la définition du profil de la grille en « T ». L'avantage d'un procédé à une étape de lithographie est l'effort de traitement minimal et donc le coût de fabrication. Cependant, il est difficile de définir un pied de grille de petite longueur en raison de la définition combinée du chapeau et du pied.

L'approche technologique basée sur une seule étape lithographique pour la définition de la grille peut être divisé en procédés utilisant la lithographie par faisceau d'électrons (E-beam) et procédés utilisant la lithographie UV optique. Les procédés à base de faisceau électronique en une étape permettent d'obtenir une grille en forme « T » grâce à un empilement de résines multicouches utilisant des résines de sensibilité différente à une même dose du faisceau électronique. La couche inférieure de la pile définissant le pied de grille est une résine avec une sensibilité inférieure à celle de la couche supérieure qui définit le chapeau de grille.

Le procédé à base de lithographie optique ne nécessite généralement qu'une seule couche de résine photosensible pour la définition du chapeau de la grille. Cependant, l'utilisation

d'un bicouche de résines pour la définition du chapeau de grille afin d'obtenir un profil casquette permet d'éviter le problème des lchettes métalliques lors du Lift-off. Le pied de grille quant à lui est défini par gravure sélective (sèche ou humide) d'un diélectrique déposé sur le semiconducteur. On peut citer le procédé de fabrication à base de grille-nitruré où le pied de grille est défini en gravant le SiN déposé sur le semiconducteur. Cette approche a l'avantage d'apporter plus de robustesse à la grille, une facilité de réaliser des grilles courtes et une meilleure tenue mécanique associée à une bonne reproductibilité du procédé technologique. Cependant, cette technique présente une difficulté technologique dans la gravure du SiN dégradant la surface du semiconducteur qui peut être responsable de courants de fuites sous la grille. De plus, le diélectrique augmente les effets capacitifs pénalisant les performances en hyperfréquences. Un autre procédé en une étape de lithographie, combinant une écriture à faisceau électronique et faisceau ionique qui permettent d'obtenir le profil en « T » du fait de la différence de profondeur de pénétration des électrons et ions dans la résine [124].

La classe du procédé de fabrication de la grille en « T » en deux étapes de lithographie à base d'inversion d'image, est généralement basée sur une première étape d'écriture pour la définition du chapeau de la grille et une étape de définition du pied de grille. Une autre méthode consiste à définir un motif positif du pied de la grille généralement obtenu avec une résine négative telle que HSQ [125]. Ce dernier, sera finalement remplacé par la métallisation de la grille après dépôt du multicouche de résines et définition du chapeau de grille.

La définition séparée du pied et du chapeau de la grille augmente le degré de liberté dans le procédé de fabrication de la grille, ce qui engendre une diminution des effets parasites associés à la technologie de fabrication [126] [127] et permet une fiabilité de procédé technologique au regard des procédés à base d'une étape de lithographie. Cependant, cette technologie nécessite une très grande précision de superposition de la lithographie du chapeau de la grille par rapport à la lithographie du pied de la grille. Pour un transistor à deux doigts de grille, un décalage d'alignement entre chapeau et pied de grille se traduit par un débordement du chapeau vers le drain pour un doigt de grille, faisant effet « field-plate » permettant l'étalement du champ électrique dans la zone grille-drain mais ajoutant une capacité supplémentaire. On a également un débordement vers la source pour le deuxième doigt de grille ajoutant une capacité parasite dans l'espace source-grille. Ces capacités parasites nuisent aux performances hyperfréquences du composant.

Actuellement, la technologie des HEMTs à base de GaN s'oriente également vers une technologie de grille auto-alignée dont le principe consiste à fabriquer l'électrode de grille avant les contacts ohmiques de source et drain. Dans ce cas, des contacts ohmiques réépitaxiés permettent de réduire drastiquement les résistances de contact ainsi que leur rugosité de surface en évitant le recuit, améliorant ainsi les performances du transistor [128][129]. Cette technologie de contacts ohmiques non alliés permet de diminuer considérablement la distance entre les contacts, à savoir la distance source-grille (jusqu'à 50 nm) en vue de maximiser les performances hyperfréquences des composants. En utilisant cette technologie de grille auto-alignée, Y. Tang *et al.* ont démontré une performance hyperfréquence avec une longueur de grille de l'ordre de 20 nm et des fréquences de coupures élevées (F_t/F_{max} : 454/444 GHz) [122].

Contact Schottky

Le contact Schottky est un contact métal/semiconducteur dont le travail de sortie du semiconducteur est inférieur à celui du métal. De ce fait, les électrons présents dans le semiconducteur migrent vers le métal, induisant à une accumulation de donneurs ionisés non compensés qui apparaît du côté semiconducteur et cela jusqu'à ce que les niveaux de Fermi de deux matériaux s'alignent à l'équilibre thermodynamique. Il en résulte une courbure des bandes d'énergie du semiconducteur, ainsi qu'une zone de charge d'espace (ZCE) entièrement dépourvue de porteurs majoritaires qui apparaît dans le semiconducteur (figure 2.12).

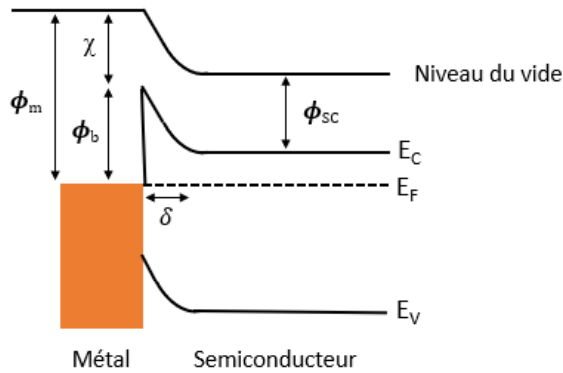


Figure 2. 12 : Diagramme de bandes d'énergie à l'équilibre thermodynamique d'un contact Schottky

L'application d'un potentiel positif V_F induit à la création d'un champ électrique associé au gradient de potentiel électrique et se traduit par une remontée des bandes de conduction et de valence du semiconducteur, diminuant ainsi la courbure des bandes d'une valeur qV_F (figure 2.13 (a)), jusqu'à ce que soit atteint le régime de bandes plates ($V_F = V_b$, avec qV_b hauteur de la barrière Schottky). On observe un mouvement des porteurs du semiconducteur vers le métal engendrant un courant électrique. D'autre part, lorsque le système est polarisé par potentiel négatif qV_{inv} , ce dernier accentue la courbure des bandes et les abaisse d'une valeur qV_{inv} . La courbure des bandes d'énergies est appelée potentiel intégré, c'est-à-dire le potentiel vu par les électrons dans la bande de conduction essayant de passer vers le métal comme illustré dans la figure 2.13 (b). On appelle ce mécanisme l'effet Schottky.

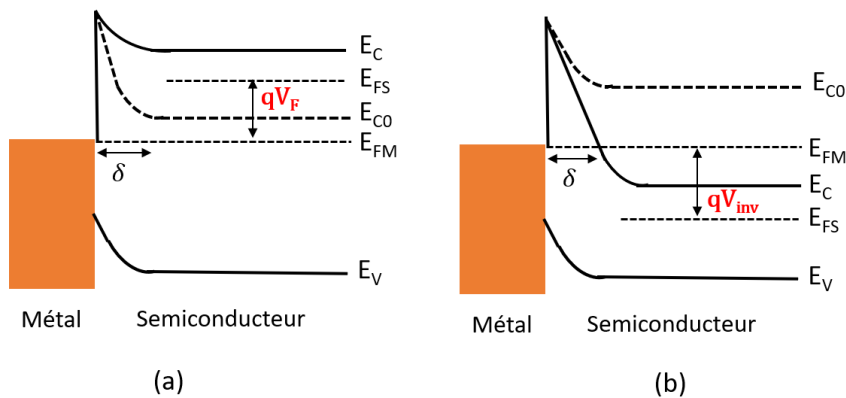


Figure 2. 13 : Diagramme de bandes d'énergie soumis à : (a) une polarisation positive ($V_F > 0$), et (b) une polarisation négative ($V_{inv} < 0$)

Selon le modèle Schottky-Mott (1938), la hauteur de la barrière entre un métal et un semiconducteur de type n (φ_b^n) est égale à la différence entre le travail de sortie du métal (φ_m) et l'affinité électronique du semiconducteur (χ) (Eq 2.2). Les hauteurs de barrière Schottky pour les matériaux de type n et p, c'est-à-dire la barrière φ_b^n pour les électrons et la barrière φ_b^p pour les trous, devraient totaliser l'énergie de la bande interdite E_g du semiconducteur selon :

$$E_g = \varphi_b^n + \varphi_b^p \quad \text{Eq 2. 4}$$

Il a été vite observé que la plupart des contacts métal/semiconducteur ne suivent pas l'équation 2.2. En 1947, Bardeen a proposé le premier modèle pour des états d'interface afin d'expliquer les écarts par rapport à la théorie de Schottky-Mott. Bardeen a pris en compte le fait que la surface du semiconducteur sans métal peut déjà avoir une densité d'états de surface dans la bande interdite. La charge nette de ces états de surface devrait être égale à zéro si l'état était rempli jusqu'au niveau dit de neutralité φ_0 . Dans le cas où le niveau de Fermi du semiconducteur ne coïncide pas avec φ_0 , la charge de surface Q_{ss} devrait augmenter. Même sans être en contact avec le métal, les bandes du semi-conducteur pourraient donc être rehaussées. La charge totale dans les états de surface se calcule par :

$$Q_{ss} = -q D_{it}^{2D} [E_g - q(V_{b0} + V_n + \varphi_0)] \quad \text{Eq 2. 5}$$

Avec D_{it}^{2D} la densité d'états de surface par unité de surface et d'unité d'énergie, qV_n représente la différence d'énergie entre le bord de l'énergie de conduction et le niveau de Fermi dans le semiconducteur et nous introduisons le pliage de bande avec $V_{b0} = V_b$ ($V=0$). Pour conserver la neutralité globale de la charge, la charge des états de surface doit être compensée par la charge électronique Q_{sc} dans la zone de charge d'espace (ZCE) du semi-conducteur, c'est-à-dire : $Q_{ss} + Q_{sc} = 0$.

Pour une grande densité d'états de surface, l'expression $E_g - q(V_{b0} + V_n + \varphi_0)$ dans l'équation 2.3, doit tendre vers zéro. Dans ce cas, la position du niveau de Fermi à la surface du semiconducteur $E_F = q(V_{b0} + V_n)$ correspond alors approximativement à la localisation en énergie

du niveau de neutralité φ_0 . Le niveau de Fermi à la surface est alors ancré par la grande densité d'états de surface. De ce fait, le contact ne se fait plus entre le métal et le semiconducteur mais plutôt entre le métal et les états d'interface, impactant ainsi la hauteur de barrière ainsi que la conduction entre métal et semiconducteur [130]. Selon ce modèle de Bardeen, la hauteur de barrière de Schottky est donnée par l'équation 2.6 :

$$\varphi_b^n = E_g - \varphi_0 \quad \text{Eq 2. 6}$$

Par conséquent, dans la théorie de Bardeen, la hauteur de la barrière de Schottky est indépendante de la nature chimique du métal et dépend uniquement du niveau de neutralité φ_0 des états de surface du semiconducteur.

Selon le modèle linéaire de Cowley-Sze, les données expérimentales des hauteurs de barrières peuvent être approximées à :

$$\varphi_b^n = c_1 \varphi_m + c_2 \quad \text{Eq 2. 7}$$

Avec $c_1 < 1$.

Le modèle de Schottky-Mott suppose que $c_1 = 1$ et $c_2 = -\chi$, tandis que le modèle de Bardeen se confirme pour $c_1 = 0$ et $c_2 = E_g - \Phi_0$.

Le modèle de Cowley-Sze (1965) décrit la dépendance de la hauteur de la barrière de Schottky sur le travail de sortie du métal et la densité des états de surface, reliant ainsi le modèle Bardeen au modèle de Schottky-Mott. La théorie est basée sur les hypothèses de la présence d'une couche interfaciale d'épaisseur δ entre le métal et le semiconducteur et la densité de l'état de surface qui doit être indépendante de l'énergie E dans la bande interdite. La charge Q_{ss} dans ces états d'interface est déterminée par la position du niveau de Fermi E_F par rapport à φ_0 . Elle est ainsi représentée par :

$$Q_{ss} = -qD_{it}^{2D}[E_g - q(\varphi_b^n + \varphi_0)] \quad \text{Eq 2. 8}$$

La chute du potentiel à travers la couche interfaciale est donnée par :

$$\Delta = Q_m \delta / \varepsilon \varepsilon_0 \quad \text{Eq 2. 9}$$

Avec Q_m la densité de charge du côté métal de l'interface, δ l'épaisseur entre métal et semiconducteur, et ε constante diélectrique. Pour le modèle Schottky-Mott la hauteur de barrière Schottky devient :

$$\varphi_b^n = \varphi_m - \chi - \Delta \quad \text{Eq 2. 10}$$

En fonction de la chute de potentiel à l'interface métal/semiconducteur, la hauteur de barrière est représentée dans le modèle Cowley-Sze par :

$$\varphi_b^n = c_1(\varphi_m - \chi) + (1 - c_1)(E_g - \varphi_0) \cong c_1\varphi_m + c_2 \quad \text{Eq 2. 11}$$

$$\text{Avec } c_1 = \frac{1}{1 + q^2 \delta D_{it}^{2D} / \varepsilon \varepsilon_0}, \text{ et } c_2 = (1 - c_1)(E_g - \varphi_0) - c_1 \chi.$$

Idéalement, pour un contact Schottky avec des semiconducteurs moyennement dopés et à des températures de fonctionnement modérées, le mode de transport du courant dominant est la conduction thermoïonique (TE). Cependant, la caractéristique courant/tension s'écarte de la caractéristique idéale, en raison de la conduction des porteurs par effet tunnel. De plus, le procédé de traitement de surface du semiconducteur [131][132], l'ajout d'une couche isolante entre le semiconducteur et le métal [133], la concentration de dopage dans le semi-conducteur [134][135], la non-uniformité de la hauteur de barrière [136] et la densité d'état de l'interface [137]

ainsi que des défauts de dislocations [138] sont des facteurs qui affectent le mécanisme de conduction thermoïonique (TE) [139].

La formation contrôlée de contacts Schottky stables avec une hauteur de barrière suffisamment élevée et un courant de fuite faible est un facteur critique pour la réalisation de transistors à grande mobilité à base de semiconducteurs AlGaIn/GaN. A travers les travaux de recherches publiés, on peut trouver une grande variation de hauteur de barrière des métaux généralement utilisés pour la réalisation des contacts Schottky de la technologie GaN. Cet étalement de valeurs apparaît probablement en raison de divers facteurs, tels que la présence de plusieurs mécanismes de transport, les défauts de dislocations présents dans le matériau, l'efficacité du nettoyage de la surface avant le dépôt de métal, les variations de stœchiométrie locales et les variations de rugosité de surface. Pour obtenir une grande hauteur de barrière Schottky, il est impératif d'exploiter les contacts métalliques à faible courant de fuite avec un travail de sortie important ($q\phi_m > 4,5$ eV), une hauteur de barrière élevée et une bonne propriété d'adhésion au semiconducteur AlGaIn/GaN, tels que l'au ($q\phi_m = 5,1$ eV), le Pt ($q\phi_m = 5,65$ eV), le Ni ($q\phi_m = 5,15$ eV) [60–62]. Khan *et al.* ont étudié la barrière or (Au) avec une hauteur de 0,91 eV. Le platine (Pt) déposé sur le n-GaN présente un contact Schottky avec une hauteur de barrière résultante de 1,03 à 1,13 eV [63–65]. Le nickel (Ni) donne des hauteurs de barrière s'échelonnant de 0,66 à 1,15 eV [3] [65–70]. La stabilité thermique des contacts Schottky est aussi un point important pour un fonctionnement correct du dispositif. Les limites thermiques de la plupart des métaux sont comprises entre 300 et 600 °C, notamment 400 °C pour le Pt [150], 575 °C pour l'au [151] et 600 °C pour le Ni [152]. Ainsi, Plusieurs empilements de couches métalliques sont utilisés pour former le contact de grille tels que Rh/Au [153], Ni/Pt/Au, Ni/Pd/Au [154] et Ni/Au [155]. Ce dernier est l'empilement de couche métallisation le plus communément utilisé pour la fabrication de grille en technologie GaN.

Fabrication de grille en « T »

Le développement d'un procédé de fabrication de la grille en « T » a été étudié au sein du groupe depuis plus de 10 ans. Les travaux du Dr François Lecourt ayant effectué sa thèse au sein du groupe, ont été repris pour la réalisation d'une grille submicrométrique de forme « T » dont la longueur est inférieure à 100 nm. Il a été observé que l'utilisation d'un bicouche de résines pour

la définition de la grille induisait des problèmes de dégradation de l'adhérence du métal sur le semiconducteur après l'opération de lift-off. De ce fait, des lchettes métalliques apparaissaient sur le chapeau de la grille car l'utilisation du bicouche de résines présentait un léger profil casquette induisant à leur formation. Ces lchettes métalliques sont sources de courts-circuits avec le contact de source pour des petites distances grille-source nécessaire pour augmenter les fréquences de coupures. Dr Phillippe Altuntas ayant récemment effectué sa thèse au sein du groupe, s'est basé sur ces études pour développer une technologie de grille en forme « T » reposant sur un procédé de développement d'un tricouche de résines électrosensibles après écriture électronique au faisceau d'électrons. Ces études d'optimisation du procédé de fabrication de la grille ont été effectuées sur des hétérostructures AlGaN/GaN sur substrats Si.

Le tricouche de résines utilisées pour la réalisation de la grille en forme « T » est composée d'un empilement de couches de résines : PMMA 3% 495K / PMMA (MAA 33%) / PMMA 4% 950K dont le rôle de chacune :

- PMMA 4% 950K : permet de définir le pied de grille ;
- PMMA (MAA 33%) : définit les latéraux qui constituent le chapeau et les plots d'accès de grille ;
- PMMA 3% 495K : définit la casquette de la grille.

Le procédé de fabrication de grille courte s'appuie sur deux étapes de lithographie électronique :

- ◆ La première étape consiste à écrire au masqueur électronique le chapeau et les plots d'accès de la grille et est suivie par un développement sélectif des deux couches supérieures de résines à l'aide d'une solution aqueuse de Toluène pur pour le développement de la couche de résine supérieure et d'un mélange (Méthanol/IPA : 1/3) pour la résine intermédiaire. Tous deux sont suivis par un rinçage à l'IPA ;
- ◆ La deuxième étape consiste en l'écriture électronique du pied de la grille et est suivie par un développement utilisant la solution (MIBK/IPA : 1/2).

La figure 2.14 décrit le procédé de lithographie à base du tricouche de résines électrosensibles, permettant la réalisation d'une grille en « T ».

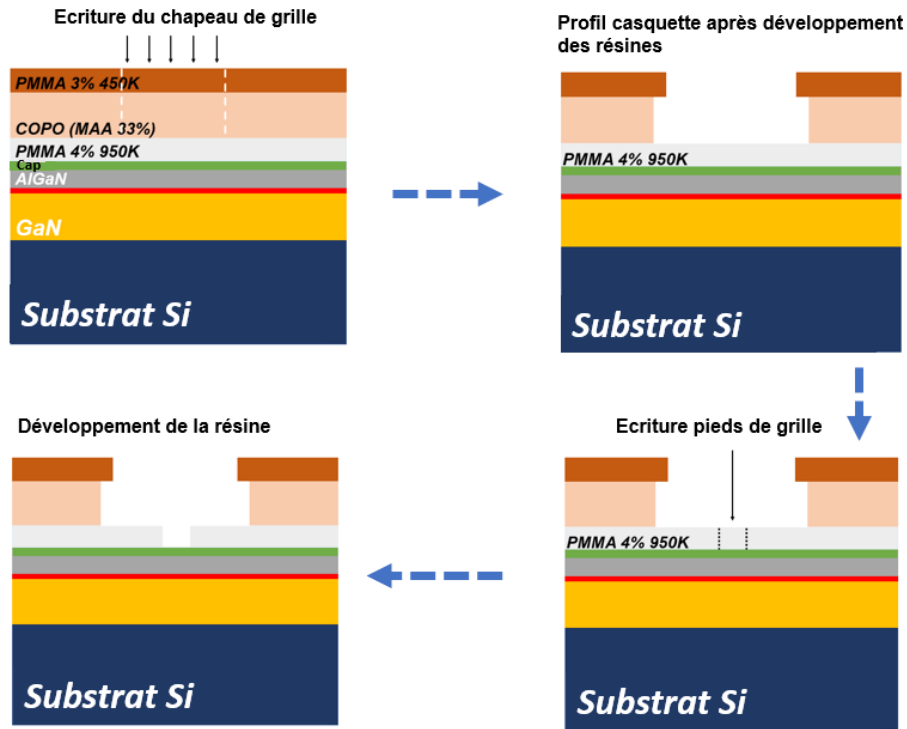


Figure 2. 14 : Schéma descriptif de la technologie de la grille en T, avec une première écriture électronique pour la définition du chapeau de grille et une deuxième écriture après développement sélectif de la résine pour l'écriture du pied de grille suivi de son développement

Les sensibilités électroniques différentes des résines imposent un choix judicieux des doses d'écriture électronique, ainsi que les temps de révélation de résines afin d'obtenir les paramètres optimaux pour la définition du chapeau et du pied de la grille. Ces optimisations ont permis d'obtenir des grilles en « T » avec des longueurs de grilles courtes (jusqu'à environ 60 nm) sur l'hétérostructure AlGaN/GaN sur substrat Si.

Après définition du profil de la grille en forme de « T » par lithographie électronique, une étape de désoxydation de la surface à l'aide d'une solution d'acide chlorhydrique diluée dans de l'EDI (HCl : EDI, 1 : 1) pendant 1min30s suivi d'un rinçage à l'EDI pendant 10s est nécessaire pour éliminer toutes sortes d'oxydes natif. Directement après désoxydation de la surface, l'échantillon est introduit dans le bâti de métallisation par évaporation afin de déposer le séquentiel métallique Ni/Au (40 / 300 nm). Une gravure IBE (Ion Beam Etching) in-situ est réalisée avant métallisation permettant de graver la couche cap afin d'assurer un contact métal/semiconducteur direct. Le nickel (Ni) avec un travail de sortie de l'ordre de 5,15 eV [156] assure une hauteur de

barrière Schottky élevée, quant à l'or (Au), il permet un bon contact électrique associé à une faible résistance de grille. Le dépôt du métal est suivi d'une opération de Lift-off à l'aide d'une solution aqueuse « Remover PG » pendant 1 h afin de retirer le tricouche de résines. Une dernière étape de recuit à 400 °C pendant 20 min est réalisée afin d'améliorer le contact Schottky. La figure 2.15 décrit l'étape de métallisation et de Lift-off pour la réalisation de la grille.

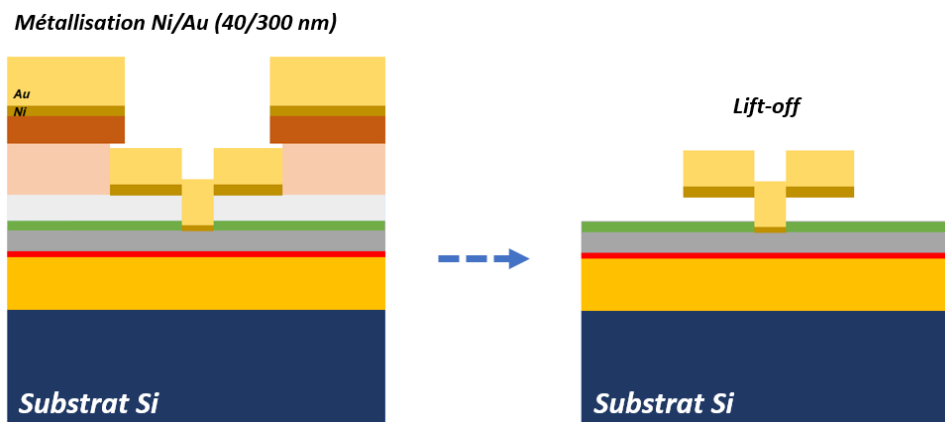


Figure 2. 15 : Description de la métallisation et lift-off de la grille en forme « T »

Passivation des composants

Bien que des progrès significatifs aient été accomplis pour améliorer les performances des HEMTs à base de GaN, des écarts notables subsistent entre les performances des dispositifs démontrées dans les applications du marché et les attentes théoriques. L'existence d'une grande quantité d'états de surface dans l'AlGaIn et le GaN s'est avérée être la cause fondamentale de l'effondrement du courant de drain (effet collapse) et de quelques problèmes liés à la fiabilité des dispositifs, ce qui est l'un des principaux défis de la fabrication de HEMT AlGaIn/GaN à hautes performances [157] [158]. Ces états de surface peuvent provenir de liaisons pendantes des atomes de surface, de défauts de croissance à la surface, de dommages dus au plasma survenu au cours des processus, de contaminations étrangères, etc. Ils se comportent comme des pièges qui peuvent donc sérieusement détériorer les performances du transistor. De plus, les états de surface chargés peuvent agir comme une grille virtuelle ou gate-lag et conduire à l'épuisement des électrons du canal, diminuant ainsi leur densité dans le canal 2D [159]. Les charges piégées à la surface peuvent également contribuer à la diffusion de Coulomb vers le canal. Par conséquent, la passivation de surface doit être optimisée afin de la rendre électriquement inactive pour éviter les effets négatifs

sur les performances du dispositif tels que l'effondrement du courant (effet collapse), la dispersion de fréquence et une résistance dynamique R_{ON} importante, etc.

De nombreux diélectriques ont été explorés en tant que couche de passivation de surface pour les HEMTs AlGaN/GaN, notamment SiO₂ [157] [160], Si₃N₄ [161], Si₃N₄/SiO₂ [47], ZrO₂ [93] [162], HfO₂ [163] [164], Ga₂O₃ [165], AlN [166] [167], Sc₂O₃ [168], TiO₂ [169], ZnO₂ [170], NiO [171], Ta₂O₅ [172], Al₂O₃ [173] [174], AlON [175] etc. Ces matériaux sont déposés par PECVD (*Plasma Enhanced Chemical Vapor Deposition*) ou par ALD (*Atomic Layer Deposition*) qui permet de déposer des films ultra fins et très uniformes. En plus de la passivation de surface par dépôt de diélectrique, des technologies de passivation sans diélectrique ont également été proposées et démontrées, tels que l'oxydation au plasma oxygène [176] [177], l'oxydation de l'ozone [178], l'oxydation chimique [179] et le traitement au SiH₄ [180], etc.

Il a été démontré que l'AlN s'avère être une bonne couche de passivation de surface, capable de créer une interface nette et de supprimer efficacement l'oxydation de surface du GaN [181]. Panasonic a récemment développé une technologie de passivation avec couche AlON [175]. La couche de AlON a été déposée par dépôt de couche atomique (ALD) et présente de meilleures performances avec moins de dommages au processus, moins de charges fixes supplémentaires et moins de pièges à électrons par rapport à la couche de Al₂O₃. De plus, le recuit après le dépôt d'AlON permet de réduire davantage les liaisons pendantes Al/Ga à la surface.

Le GaN peut être oxydé en l'air en formant une couche de sous-oxyde de gallium (GaO_x) natif à la surface. Les défauts associés au GaO_x exacerbent davantage le courant de fuite de la grille et entraînent un effondrement du courant de drain à haute fréquence [182]–[184]. Dong *et al.* ont proposé une méthode pour réduire les états de surface en modifiant la morphologie de GaO_x par un recuit à température élevée [185]. L'ordre des couches de GaO_x natif peut être amélioré par rapport à la structure de Ga₂O₃ en vrac, de ce fait les états de surface peuvent être réduits. Il convient de noter que la constante diélectrique élevée de la couche de passivation de surface peut également augmenter la capacité parasite entre les métaux grille-source (C_{GS}) et drain-source (C_{DS}) et ainsi diminuer les performances fréquentielles du dispositif [186]. Pour la technologie des composants HEMTs AlGaN/GaN sur substrat de silicium, l'équipe utilise classiquement une passivation au Si₃N₄ ou au Si₃N₄/SiO₂ précédés d'un prétraitement au plasma N₂O.

La première couche de Si_3N_4 permet de passiver la surface du semiconducteur en réduisant les lacunes d'azotes, et le SiO_2 permet de réduire la contrainte en tension engendrée par le Si_3N_4 .

Les plots d'épaissement

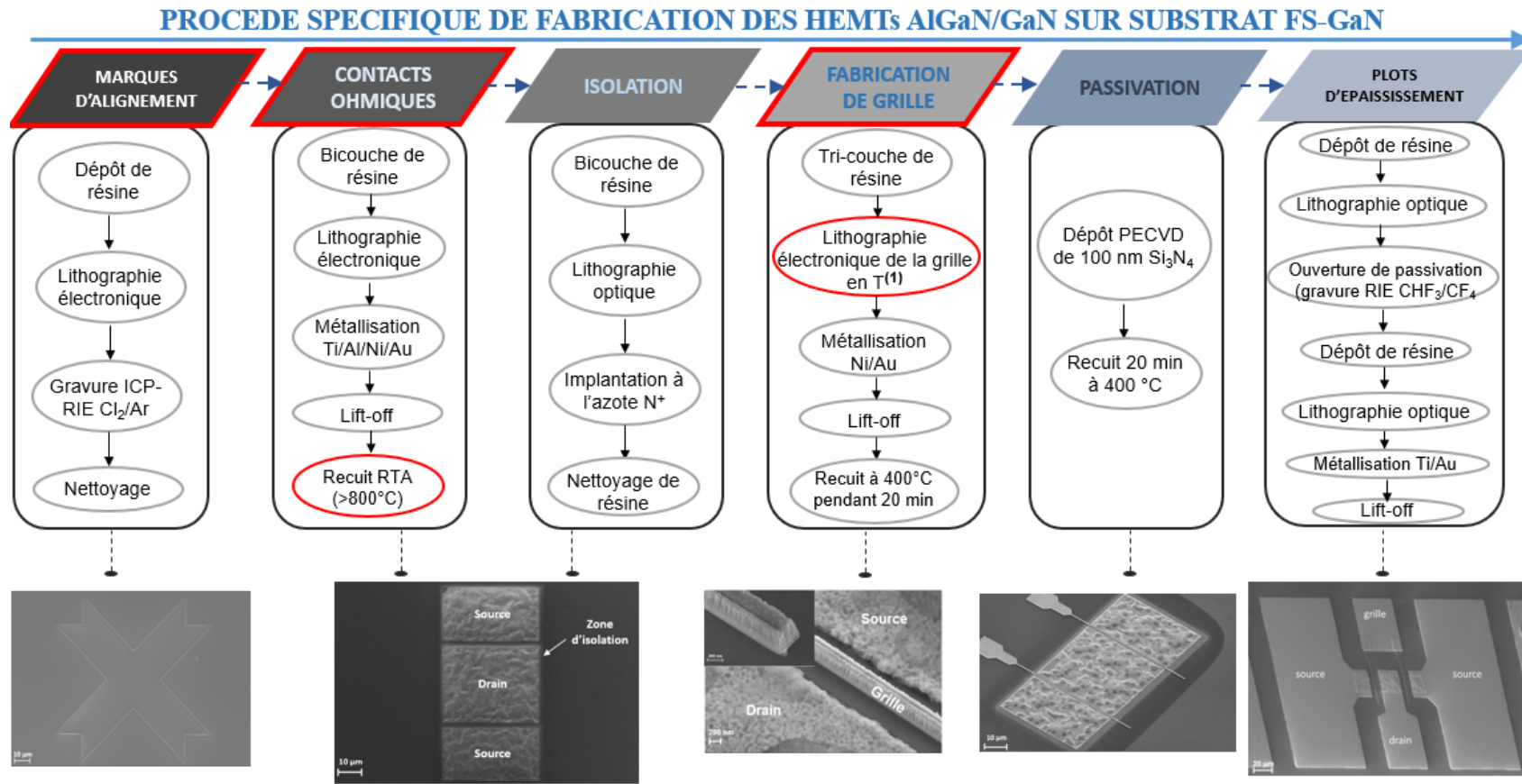
Le procédé de fabrication des HEMTs s'achève par une étape de réalisation des plots d'épaissement, afin d'assurer la caractérisation électrique du composant. Ces plots permettent d'élargir la zone d'accès des contacts de source, de drain et de grille. Ils présentent une impédance optimale de 50Ω , induisant à une meilleure propagation des ondes électromagnétiques en réduisant les capacités parasites qui nuisent au fonctionnement du transistor.

La fabrication des plots d'accès est assurée en deux étapes utilisant la lithographie optique :

- ◆ La première étape consiste à définir les motifs des plots d'accès afin de graver la passivation pour atteindre les contacts métalliques. La résine optique AZ1512 est utilisée pour la définition des zones de gravure, et développée à l'aide de la solution aqueuse AZ 726 MIF pur pendant 30 s suivi d'un rinçage à l'EDI pendant 15 s. La gravure du Si_3N_4 est réalisée à l'aide d'un plasma RIE en utilisant le mélange de gaz CHF_3/CF_4 (30/30 sccm). Un nettoyage de la plaque au « Remover PG » est effectué à la fin de cette étape pour retirer la résine.
- ◆ La deuxième étape de la réalisation des plots d'épaissement consiste à définir un profil de résine en casquette sur les zones gravées définissant ainsi les plots d'accès. Cette étape de lithographie optique est réalisée à l'aide de la résine AZ1512 développée après exposition aux rayons UV par une solution aqueuse (AZ400/EDI 1 :3) suivi d'un rinçage à l'EDI pendant 15 s. Le séquentiel métallique Ti/Au (100/400 nm) est ensuite déposé par évaporation sous vide, suivi d'un lift-off au « Remover PG » pour former les plots d'épaissement et marquer ainsi la fin du procédé de fabrication du composant HEMT AlGaN/GaN sur substrat silicium.

Partie 2 : Optimisation spécifique des étapes de fabrication pour un HEMT AlGaN/GaN sur substrat FS-GaN

Le procédé de fabrication des HEMTs AlGaN/GaN sur substrat FS-GaN a nécessité une optimisation du procédé de fabrication pour maximiser les performances des dispositifs, en tirant profit des avantages de l'homo-épitaxie. Dans cette partie, nous détaillons les principales adaptations, modifications et optimisations apportées sur le procédé de fabrication développé pour des structures sur substrat Si, afin de le rendre spécifique aux hétérostructures AlGaN/GaN sur substrat FS-GaN. La figure 2.16 montre les étapes du procédé de fabrication qui ont été optimisées.



(1) 1^{ère} écriture: plots d'accès et chapeaux de grille, suivi d'un 1^{er} développement: casquette, 2^{ème} développement: T de la grille
 2^{ème} écriture : Pieds de grille, suivi d'un 3^{ème} développement: casquette

Figure 2. 16 : Schéma descriptif du procédé spécifique de fabrication des HEMTs AlGaN/GaN sur substrat FS-GaN (en rouge les étapes optimisées ou modifiées)

Marques d'alignement gravées

La réalisation des marques d'alignement de bonne qualité est une étape indispensable afin de permettre l'écriture électronique des différents niveaux de masque avec une résolution de quelques nanomètres. Dans le procédé de fabrication standard détaillé dans la partie 1 du chapitre, les marques d'alignement sont déposées par évaporation sous vide du séquentiel métallique Mo/Ni/Mo (20/40/70 nm). Ce procédé a été reproduit sur nos hétérostructures AlGaIn/GaN développées sur substrat FS-GaN. La figure 2.17 est une image au microscope à balayage électronique (MEB) d'une marque d'alignement à base du séquentiel métallique Mo/Ni/Mo prise juste après sa réalisation.

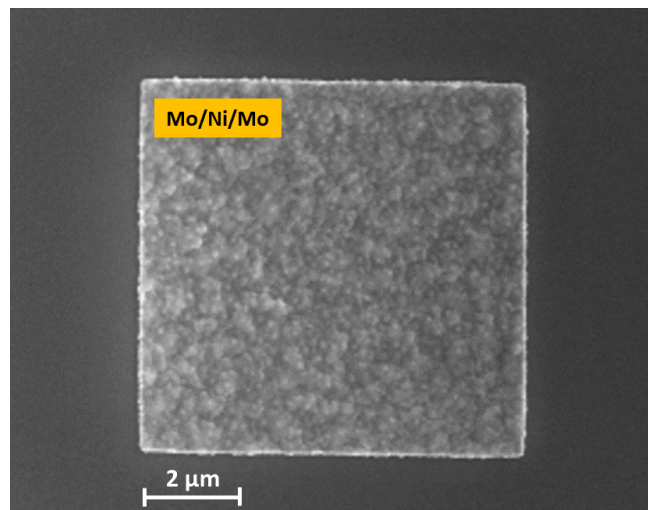


Figure 2. 17 : Image MEB d'une marque d'alignement à base du séquentiel métallique Mo/Ni/Mo

Cependant, malgré les hautes températures de fusion des métaux utilisés, nous avons observé après recuit des contacts ohmiques à 850 °C, une dégradation de la rugosité de surface des marques d'alignement nuisant au contraste avec la surface du semiconducteur. Par conséquent, l'étape de l'écriture des motifs de grille entre les contacts de source et de drain est devenue plus complexe et moins précise. La figure 2.18 est une image au microscope à balayage électronique (MEB) après l'étape de recuit des contacts ohmiques.

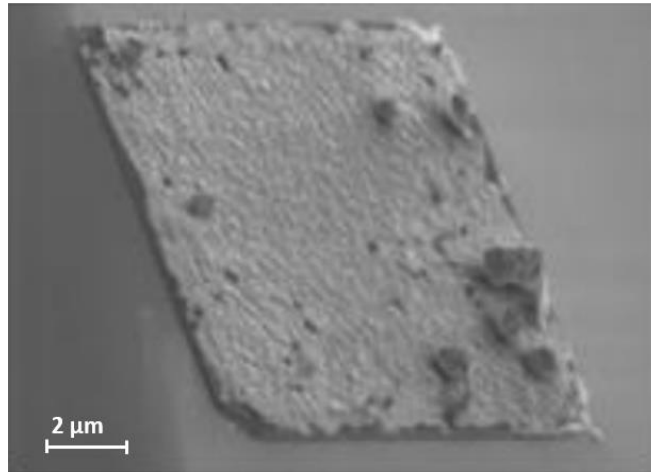


Figure 2. 18 : Image au MEB des marques d'alignement à base de Mo/Ni/Mo après recuit des contacts ohmiques à 850 °C

Afin de résoudre ce problème, nous proposons de réaliser des marques d'alignement gravées, qui permettent d'assurer un bon contraste et des flancs droits facilitant leur repérage tout au long des étapes de fabrication du transistor. Plusieurs techniques de gravure sèche permettent de graver le GaN, tels que la RIE (*Reactive Ion Etching*), ECR (*Electron Cyclotron Resonance*), ICP (*Inductively Coupled Plasma*), MIE (*Magnetron Reactive Ion Etching*), etc. [187]. La gravure RIE est l'une des méthodes courantes de gravure sèche permettant de graver le GaN. Cependant, elle présente une vitesse de gravure lente, un faible degré d'anisotropie ainsi que d'importants dommages de surface en raison de la faible densité de plasma et de la pression de fonctionnement élevée inhérentes à cette technique [109]. Alors que le plasma couplé ICP-RIE produit des gravures avec de faibles dommages de surface, une vitesse de gravure élevée et une uniformité élevée. De ce fait, la gravure ICP-RIE est devenue la technique de gravure sèche dominante pour la technologie GaN.

La vitesse de gravure sèche peut facilement atteindre le niveau de 1 µm/min [188] [189]. Cependant, de nombreux facteurs doivent être pris en compte pour évaluer la qualité de la gravure, tels que la morphologie de la surface, le profil des parois, l'anisotropie de la gravure, la sélectivité des matériaux, l'uniformité de la gravure, etc. Ces caractéristiques dépendent des conditions de gravure, notamment les réactives chimiques et leurs flux, la puissance RF polarisée, la pression de la chambre, la température de la chambre, la configuration de la chambre, etc.

Les éléments chimiques utilisés dans la gravure sèche du GaN sont généralement à base de chlore, tels que Cl_2 et BCl_3 [190]. De plus, d'autres éléments chimiques peuvent être ajoutés tels que Ar [108], N [109], H [191] et F [192] afin d'obtenir une vitesse de gravure, une sélectivité et une morphologie de surface meilleures [193]. La vitesse de gravure augmente avec la puissance RF jusqu'à un certain niveau au-delà duquel la vitesse diminue [190]. De plus, il a été observé qu'une puissance RF élevée provoquerait la diminution de la tension de polarisation directe (DC) et entraînerait ainsi une réduction de l'effet physique de bombardement d'ions engendré par la gravure sèche [109]. D'autre part, un bombardement ionique à haute énergie entraînerait une rugosité de surface, des dommages à la surface du semiconducteur et une faible sélectivité de gravure. Wakejima *et al.* ont rapporté qu'une puissance RF relativement faible permet d'obtenir une sélectivité élevée et des dommages de surface faibles [194]. La pression de la chambre a également un impact sur la vitesse de gravure. Augmenter la pression de la chambre (dans la plage de moins de 10 mTorr) peut aider à augmenter la vitesse de gravure. Mais une pression supérieure n'augmente pas efficacement la vitesse de gravure. Le libre parcours moyen des molécules en réaction est court et la densité plasmatique est faible à haute pression. Ainsi, les dépôts et la formation de polymères sur les surfaces seraient également favorisés à pression élevée [190]. Il est donc nécessaire de bien définir ces paramètres de gravure afin d'assurer une bonne gravure du GaN.

1.1. Réalisation des marques d'alignement gravées

Une couche de résine COPO 33% de 2 μm d'épaisseur est déposée afin de protéger la surface du semiconducteur à ne pas graver. Directement après, l'échantillon subit un recuit à 180 °C pendant 10 min dans le but de durcir la résine et la rendre plus résistante dans le bâti de gravure. Les motifs des marques d'alignement sont ensuite définis par écriture électronique. Le développement de la résine est assuré en plongeant l'échantillon dans la solution (MIBK/IPA 1/2) pendant 3 min sous agitation mécanique à 90 tr/min.

La gravure des marques d'alignement est ensuite réalisée à l'aide d'un plasma couplé ICP-RIE constitué d'un mélange de gaz Chlore et Argon (Cl_2/Ar 20/5 sccm) avec une puissance de source (P_{source}) de 50 W, une puissance de polarisation RF (P_{bias}) de 300 W et une pression (P) de 5 mTorr à une température de la chambre de 20 °C. A la fin de la gravure, la résine est retirée à

l'aide d'un bain au « Remover PG » chauffé à 70 °C pendant 1 h suivi d'un rinçage à l'IPA. La figure 2.19 décrit les étapes de fabrication des marques d'alignement gravées.

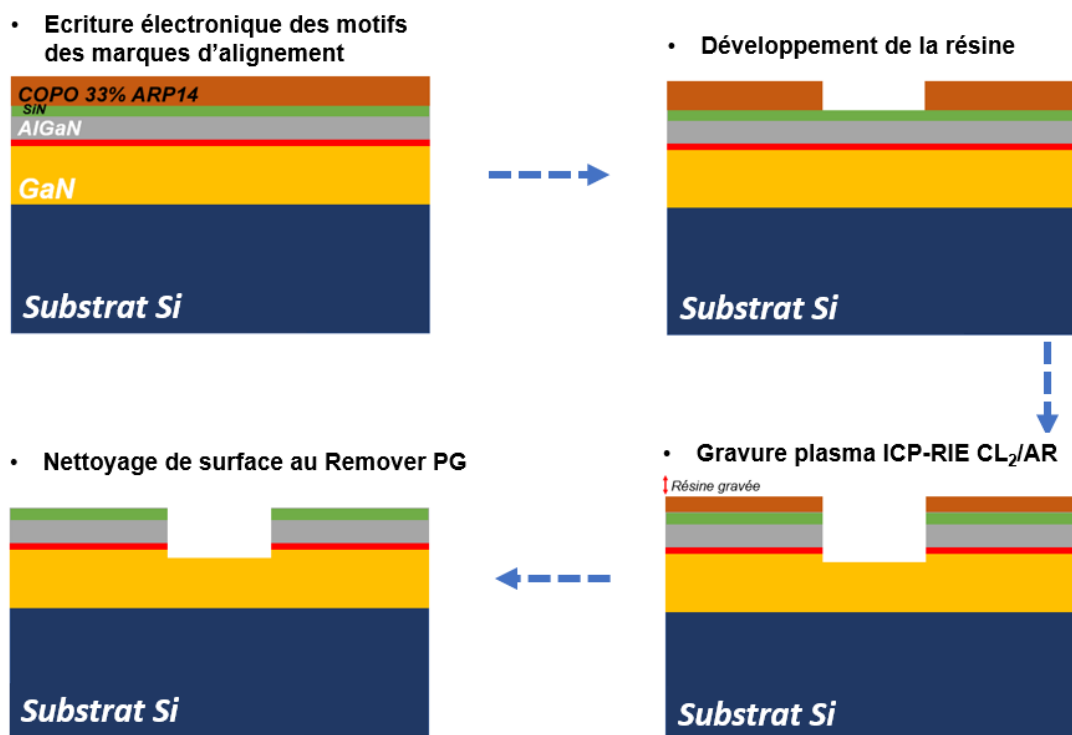


Figure 2. 19 : Schéma descriptif de la réalisation des marques d'alignement

Une campagne d'essais a été réalisée afin de déterminer le temps nécessaire pour graver une épaisseur supérieure à 500 nm. Cette profondeur de gravure est suffisante pour assurer un bon contraste au masqueur électronique tout en conservant une partie de la résine nécessaire pour protéger la surface. Il a été observé qu'au-delà de 4 min de gravure toute la résine est éliminée, la surface du semiconducteur n'est donc plus protégée et subit aussi une gravure non souhaitée. La figure 2.20 est une image prise au microscope à balayage électronique (MEB) représentant les marques d'alignement gravées. La figure 2.21 comporte des images MEB des flancs de gravure des marques d'alignement. Nous constatons une bonne verticalité des flancs. Une mesure au profilomètre présentée dans la figure 2.22 effectuée après retrait de la résine nous permet de constater une profondeur de gravure de 650 nm.

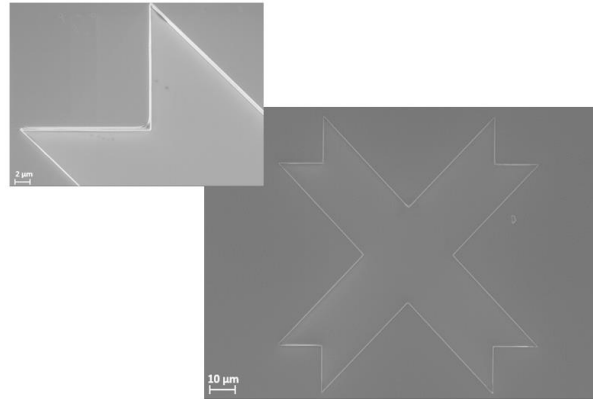


Figure 2. 20 : Image MEB d'une marque d'alignement pour lithographie optique gravée

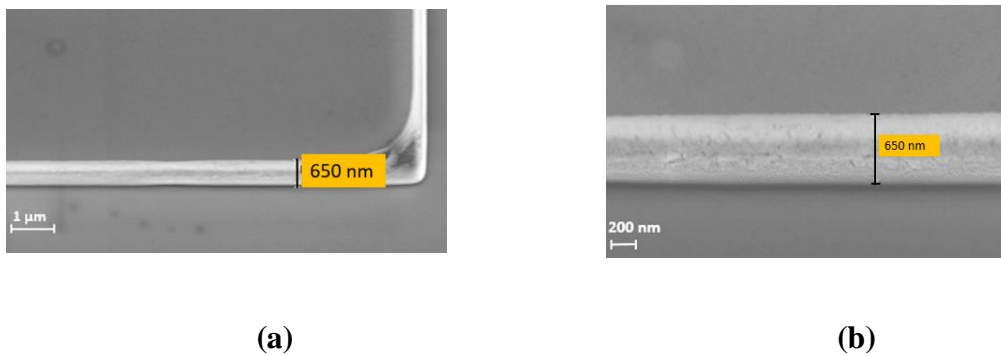


Figure 2. 21 : Images MEB : (a) sur le flanc d'une marque d'alignement gravée, (b) agrandissement d'un flanc d'une marque d'alignement gravée

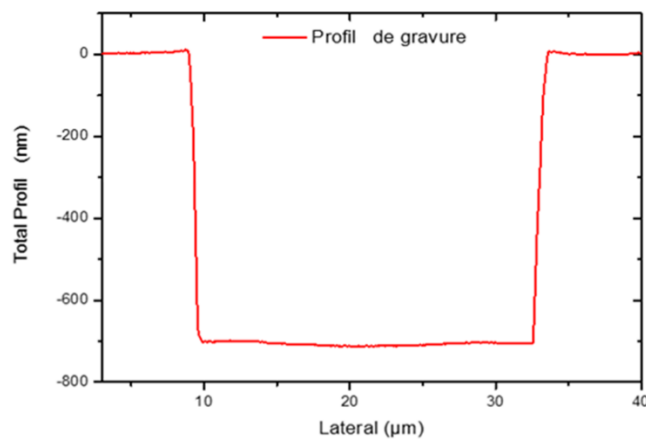


Figure 2. 22 : Mesure au profilomètre de l'épaisseur de gravure de la marque d'alignement après retrait de la résine

Optimisation des contacts ohmiques

Le procédé de réalisation des contacts ohmiques décrit dans la partie 1 du chapitre, et à base du séquentiel Ti/Al/Ni/Au (12/200/40/100 nm), a été établi sur les hétérostructures AlGaIn/GaN sur substrat FS-GaN. La figure 2.23 est une image MEB des contacts de source et de drain fabriqués.

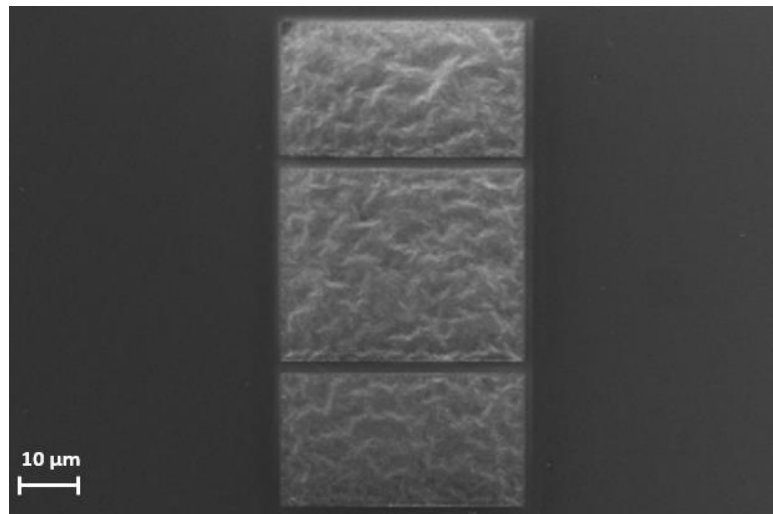


Figure 2. 23 : Image MEB des contacts ohmiques

Un contact ohmique de faible résistance de contact est essentiel pour un HEMT AlGaIn/GaN afin d'obtenir un courant de drain élevé. Il est donc important d'extraire des paramètres tels que la résistance de contact R_C et la résistivité de contact spécifique ρ_C , afin de caractériser la qualité de la formation des contacts de source et de drain.

2.1. Caractérisation des contacts ohmiques

La méthode TLM (*Transmission Line Method*) développée par Shockley [195] est souvent utilisée pour évaluer expérimentalement les propriétés de résistance de contact des dispositifs HEMT AlGaIn/GaN. Généralement, deux types de structures de test sont utilisés : les structures TLM linéaires (LTLM) et circulaires (CTLTM). Dans ce travail de thèse, la structure LTLM est utilisée avec une isolation par implantation aux ions d'azote (N^+). L'isolation est essentielle pour

éviter toute propagation de courant indésirable et pour garantir que le courant circule uniquement entre les zones de contact adjacentes dans la direction x , comme illustré à la figure 2.24.

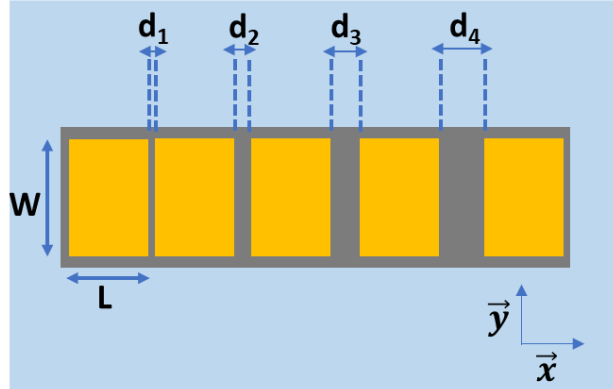


Figure 2. 24 : Motif d'échelle TLM

L ; les motifs de contact TLM sont de forme rectangulaire avec $L = 20 \mu\text{m}$ et $W = 100 \mu\text{m}$. La distance entre les contacts est respectivement de 2, 5, 10, 20 μm . La résistance totale mesurée est essentiellement due à trois résistances en série, comme indiqué dans l'équation 2.12 :

$$R_T = 2R_C + 2R_M + R_{semi} \quad \text{Eq 2. 12}$$

Où R_C est la résistance de contact entre l'interface métal/semiconducteur, R_M est la résistance du séquentiel métallique et R_{semi} est la résistance du semiconducteur. Généralement, la résistance R_M est très faible ($R_C \gg R_M$) et peut être négligée. Par conséquent, l'équation 2.12 peut être exprimée comme suit :

$$R_T = 2R_C + R_{semi} \quad \text{Eq 2. 13}$$

Avec

$$R_{semi} = R_{\square} \frac{L}{W} \quad \text{Eq 2. 14}$$

Où R_{\square} (Ω/sq) est la résistance carrée mesurée dans le canal 2DEG.

La longueur de contact effective ou la longueur de transfert L_T , est définie comme la distance moyenne à parcourir par un porteur (électron ou trou) dans le semiconducteur sous le contact avant que celui-ci monte dans le contact.

$$L_T = \sqrt{\frac{\rho_C}{R_{\square}}} \quad \text{Eq 2. 15}$$

La résistance de contact R_C , peut être exprimée par :

$$R_C = \frac{\rho_C}{L_T W} = \frac{R_{\square} L_T}{W} \quad \text{Eq 2. 16}$$

La résistivité de contact spécifique ρ_C est égale à :

$$\rho_C = \frac{R_C \cdot W^2}{R_{\square}} \quad \text{Eq 2. 17}$$

La résistance totale peut être également exprimée sous la forme suivante [196]:

$$R_T = \frac{R_{\square}}{W} (L + 2L_T) \quad \text{Eq 2. 18}$$

Ou encore en fonction des distances entre les contacts d_i par l'équation 2.19:

$$R_T = 2 \frac{R_C}{W} + \frac{R_{\square}}{W} d_i \quad \text{Eq 2. 19}$$

La mesure par la méthode des quatre pointes permet de s'affranchir des résistances des pointes de mesure. Deux pointes servent à l'injection du courant, tandis que les deux autres permettent de mesurer la tension, comme présenté dans la figure 2.25. Un faible courant d'excursion est appliqué afin de se positionner dans la zone ohmique de la caractéristique I(V).

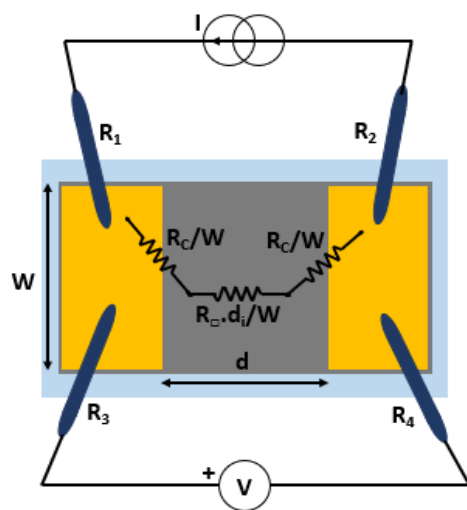


Figure 2. 25 : Technique de mesure des quatre points

Ainsi, lorsque la résistance totale R_T mesurée est tracée en fonction de la distance d'espacement entre les contacts d_i , la résistance de contact et la résistance carrée peuvent être extraites après extrapolation des points de mesures, comme indiqué sur la figure 2.26 ci-dessous.

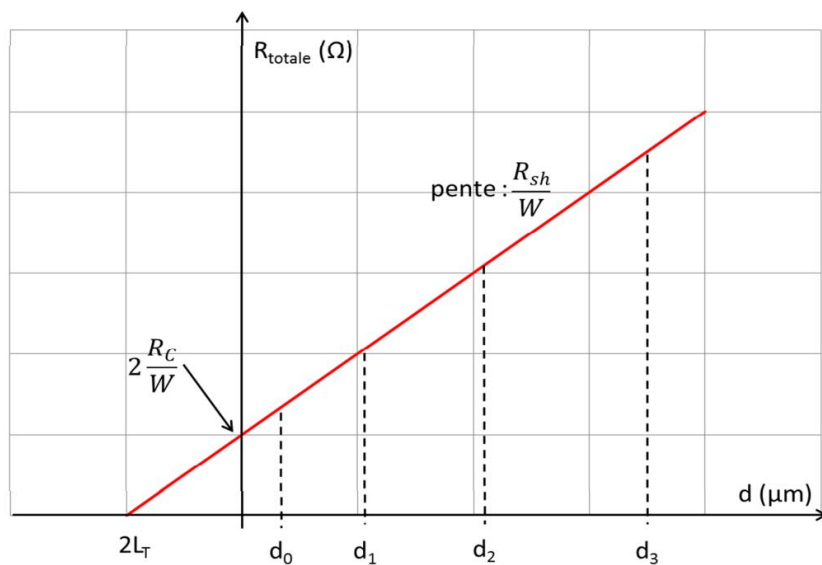


Figure 2. 26 : Résistance totale mesurée en fonction de la distance entre les contacts ohmiques

Il est possible de vérifier le comportement ohmique des contacts à travers la caractéristique $I(V)$ en effectuant une mesure deux points en balayant une gamme de tension entre $-V$ et $+V$.

La figure 2.27 représente les caractéristiques $I(V)$ pour les différentes distances entre les contacts d_i . Cette méthode permet d'avoir un aperçu des performances électriques des composants.

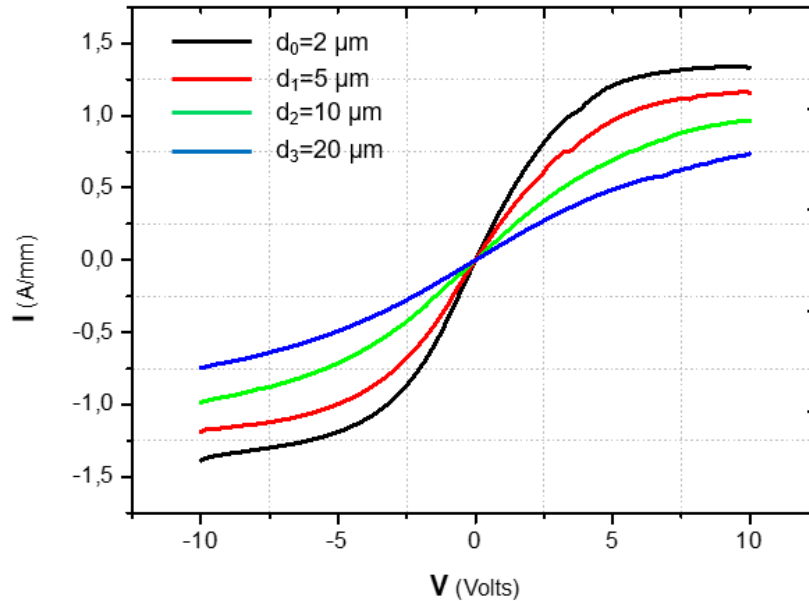


Figure 2. 27 : Caractéristiques courant-tension $I-V$ des contacts ohmiques séparés par une distance d_i

En reprenant les paramètres de réalisation des contacts ohmiques du procédé standard, une résistance de contact de l'ordre de $1,4 \Omega \cdot \text{mm}$ associé à une résistance carrée de $396 \Omega/\square$ et une résistance spécifique du contact de $4,9 \cdot 10^{-5} \Omega \cdot \text{cm}^2$ sont obtenus. Une optimisation de ces paramètres a donc été nécessaire pour réaliser des contacts de source et de drain avec une résistance de contact plus faible.

2.2. Optimisation des contacts ohmiques

Plusieurs études d'optimisation des contacts ohmiques ont été effectuées au sein du groupe dans le but de réduire la résistance de contact au maximum afin d'améliorer les performances électriques du transistor [104] [47]. Les paramètres à optimiser dans la réalisation des contacts ohmiques sont :

- Le séquentiel métallique
- Les épaisseurs des métaux déposés
- **La rampe de montée en température**

- **La température de recuit**
- Le temps de recuit
- La gravure de la barrière avant métallisation, etc.

En raison du nombre important des paramètres influant sur la résistance de contact, nous avons choisi d'axer cette étude d'optimisation sur les paramètres : rampe de température et température de recuit. Ce choix se justifie par les différentes études reportées en littérature et effectuées au sein du groupe sur d'autres hétérostructures. Nous rappelons que le séquentiel métallique déposé pour la réalisation des contacts ohmiques correspond au séquentiel Ti/Al/Ni/Au (12/200/40/100 nm).

L'hétérostructure étudiée pour l'optimisation des contacts ohmiques est représentée sur la figure 2.28 (a). Cette structure a été obtenue par croissance MOCVD sur substrat FS-GaN. Elle est composée d'une barrière $Al_{0,25}GaN$ de 20 nm, d'une couche d'exclusion d'AlN de 1,5 nm, d'un buffer composé de 0,3 μm de GaN nid (non-intentionnellement dopé), de 3 μm GaN dopé au carbone (C), de 0,3 μm de GaN nid, de 0,3 μm de GaN dopé au magnésium (Mg) et d'une autre couche de 0,3 μm de GaN nid. La figure 2.28 (b) est une image AFM présentant une rugosité de surface de l'ordre de 0,2 nm.

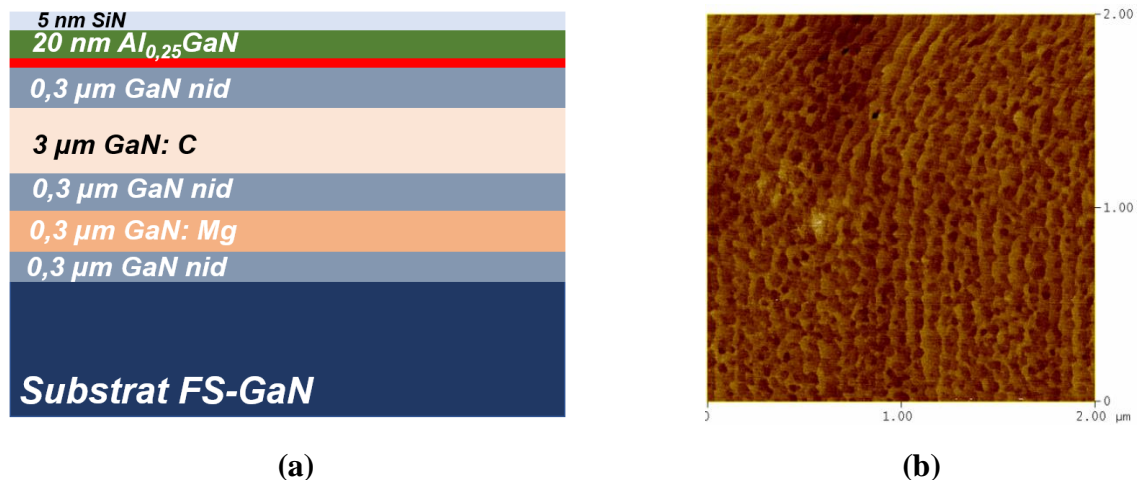


Figure 2. 28 : (a) Hétérostructure utilisée pour l'optimisation des contacts ohmiques, (b) topologie de surface de l'hétérostructure par AFM

Dans un premier temps, nous avons effectué des essais de gravure IBE aux ions d'argon (Ar^+) dans le bâti de métallisation afin de fixer la vitesse de gravure de la barrière $Al_{0,25}GaN$ déposée par MOCVD et celle de la couche cap SiN. Cette étape nous permettra de déterminer le temps de gravure nécessaire pour graver jusqu'à laisser 5 nm de la barrière en vue de rapprocher les contacts de source et de drain au gaz 2D [104]. Deux essais de gravure présentés dans le tableau 2.2 ont été réalisés pour une énergie de 300 keV :

<i>Temps de gravure</i>	1 x 2 min	3 x 2 min
<i>Épaisseur de gravure</i>	5,4 nm (5 nm SiN + 0,4 nm AlGaN)	12,2 nm (5 nm SiN + 7,2 nm AlGaN)

Tableau 2. 2 : Résultats des essais de gravure IBE à l'argon Ar

Nous pouvons en déduire que la vitesse de gravure IBE à l'Ar pour le SiN est de l'ordre de 2,8 nm/min, et de 1,7 nm/min pour l' $Al_{0,25}GaN$ déposée par MOCVD.

2.2.1 Rampe de montée en température

La première étape consiste à déterminer la rampe de montée en température optimale pour la réalisation des contacts ohmiques pour des HEMT AlGaN/GaN sur substrat FS-GaN. Pour se faire, nous avons fixé la température de recuit à 850 °C et fait varier la rampe de montée en température : 5 °C/s, 10 °C/s, 20 °C/s et 45 °C/s. Les paramètres caractérisant les contacts ohmiques : R_C , ρ_C , R_{\square} et L_T ont été extraits des mesures quatre pointes sur des échelles TLM à quatre espacements séparés de 5 μm , 10 μm , 15 μm et 20 μm . Ces paramètres sont regroupés dans le tableau 2.3.

Rampe de montée en température	5 °C/S	10 °C/s	20 °C/s	45 °C/s
R_C ($\Omega \cdot \text{mm}$)	0,3	0,7	1,2	1,4
ρ_C ($\Omega \cdot \text{cm}^2$)	$2,2 \cdot 10^{-6}$	$1,1 \cdot 10^{-5}$	$3 \cdot 10^{-5}$	$4,9 \cdot 10^{-5}$
R_{\square} (Ω/\square)	395	423	472	396
L_T (μm)	0,6	1,5	2,3	3,4

Tableau 2. 3 : Caractéristiques des contacts ohmiques pour différentes rampes de montée en température à une température de recuit de 850 °C

La figure 2.29 décrit la variation de la résistance de contact en fonction de la rampe de montée en température. Une résistance de contact optimale de 0,3 $\Omega \cdot \text{mm}$ est obtenue pour une rampe de montée en température de 5 °C pour une température de recuit de 850 °C

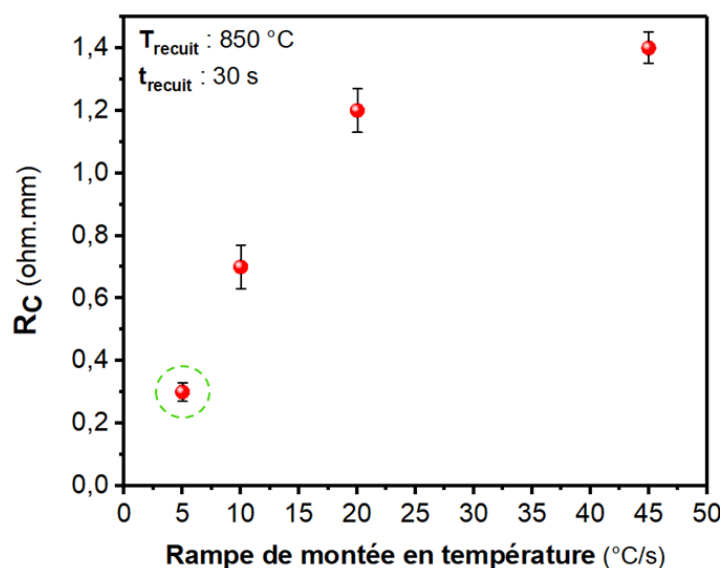


Figure 2. 29 : Résistance de contact en fonction de la rampe de montée en température pour une température de recuit de 850 °C

2.2.2 Température de recuit

La deuxième étape consiste à fixer la rampe de montée en température à une valeur optimale de 5 °C/s et à faire varier la température de recuit : 750 °C, 800 °C, 850 °C et 900 °C pendant 30 s.

Le tableau 2.4 présente les paramètres de caractérisation des contacts ohmiques obtenus pour chaque température de recuit.

Température de recuit	750 °C	800 °C	850 °C	900 °C
$R_C (\Omega.mm)$	1,6	1,3	0,3	1,4
$\rho_C (\Omega.cm^2)$	$5,8.10^{-5}$	$3,8.10^{-5}$	$2,2.10^{-6}$	$4,8.10^{-5}$
$R_{\square} (\Omega.cm^2)$	437	442	395	406
$L_T (\mu m)$	3,6	2,7	0,6	3,4

Tableau 2.4 : Caractéristiques des contacts ohmiques à différentes températures de recuit pour une rampe de montée en température de 5 °C

La figure 2.30 représente l'évolution de la résistance de contact R_C en fonction de la température de recuit. Nous observons que le recuit à 850 °C permet d'obtenir une résistance de contact optimale de 0,3 $\Omega.mm$.

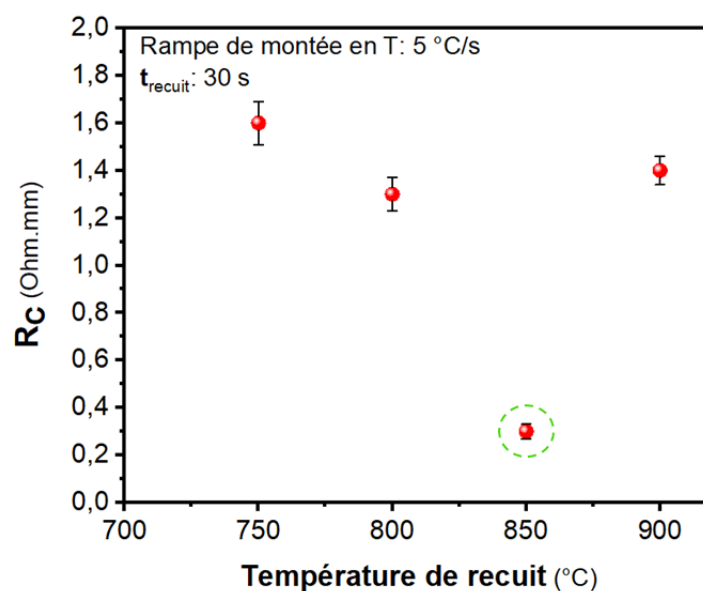


Figure 2.30 : Résistance de contact en fonction de la température de recuit pour une rampe de montée en température de 5 °C/s

Les différents essais ont ainsi permis de mettre en évidence les conditions de recuit optimales des contacts ohmiques sur les hétérostructures AlGaIn/GaN sur substrat FS-GaN, à savoir une température de recuit de 850°C associée à une rampe de montée en température de 5°C/s. Ces conditions nous permettent d'atteindre une résistance de contact R_c de l'ordre de 0.3Ω.mm. A ce niveau du procédé technologique de fabrication, les marques d'alignement sont définies, les contacts ohmiques de source et de drain sont fabriqués. L'étape d'isolation des composants suivante n'a pas fait l'objet d'une étude particulière dans le cadre de ce travail de thèse. Le procédé d'implantation multiple d'ions azote classiquement utilisés pour la technologie AlGaIn/GaN sur substrat Si a été reproduit sur les structures sur substrat FS-GaN. La figure 2.31 représente une simulation SRIM du profil de pénétration des implantations multiples à l'azote pour les différentes énergies utilisées (20, 50, 100, 150 keV).

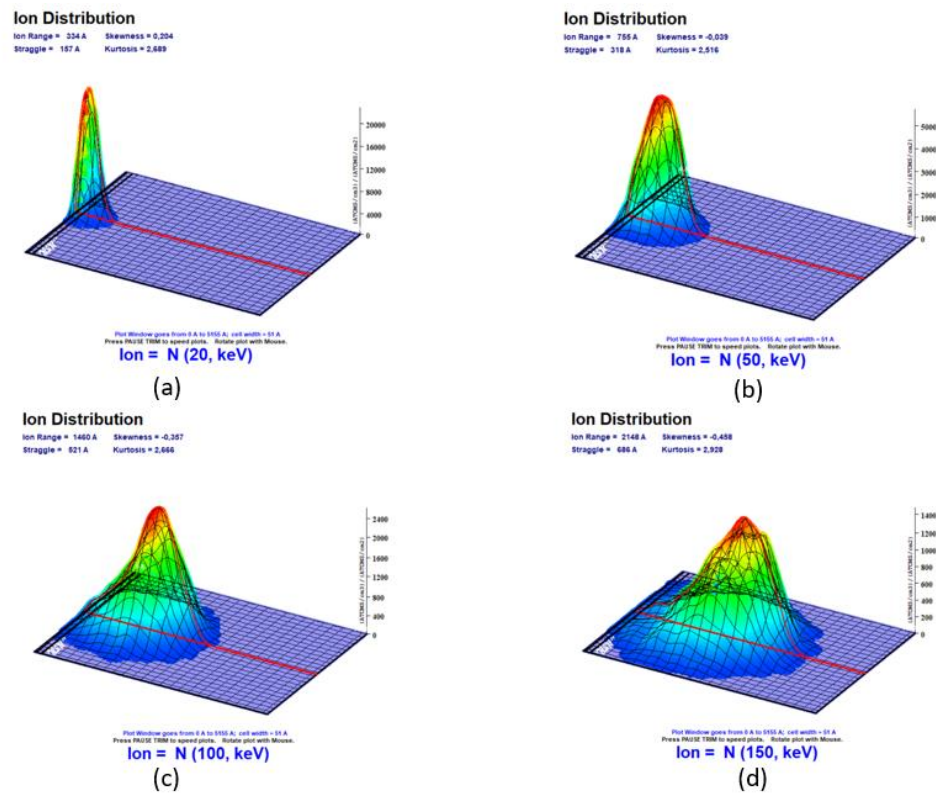


Figure 2. 31 : Répartition spatiale des ions d'Azote implantés dans l'hétérostructure avec des énergies de 20 keV (a), 50 keV (b), 100 keV (c) et 150 keV (d)

La structure simulée est constituée d'un cap SiN de 3 nm, d'une barrière $\text{Al}_{0,27}\text{Ga}_{0,63}\text{N}$ de 11 nm, une couche AlN de 1,5 nm et d'un buffer composé d'une couche de GaN-nid de $7\ \mu\text{m}$ et d'une couche de GaN dopée au carbone (C) de $3\ \mu\text{m}$, développées sur substrats FS-GaN. Les résultats de simulation montrent que les faibles énergies d'implantations permettent aux ions d'azote d'isoler la surface de l'hétérostructure et que la profondeur de l'implantation croît avec les énergies d'implantation. Une profondeur d'implantation maximale de 240 nm a été atteinte pour une énergie de 150 keV.

Fabrication de la grille en « T » de faible longueur

La fabrication de la grille est une étape critique dans la réalisation d'un transistor fonctionnant à hautes fréquences en raison des dimensions nanométriques du contact de grille. Plusieurs approches technologiques présentées précédemment, permettent la définition d'une grille en forme de « T ». Dans ce travail, nous avons repris et adapté le procédé de fabrication de la grille développé au sein du groupe sur nos hétérostructures AlGaN/GaN sur substrat FS-GaN.

Le procédé de lithographie électronique divisé en deux étapes d'écriture, a nécessité une optimisation des doses afin de permettre la définition d'une petite longueur de grille (L_g). De ce fait, un test de variation de doses a été effectué dans le but de déterminer la dose d'écriture optimale pour la définition d'un pied de grille de 70 nm de longueur. Des observations au microscope électronique à balayage ont été effectuées afin de visualiser l'influence de la dose sur le profil de résines (figures 2.32 (a), (b) et (c)). De ces observations, nous constatons que la dimension attendue d'un pied de grille de 70 nm est obtenue pour une dose d'écriture optimale de $750\ \mu\text{C}/\text{cm}^2$. Cette dose est la dose dite "de base". Etant donné les dimensions ultimes des structures à réaliser, la dose de base est modifiée localement lors de l'écriture en fonction de la conformation du dessin afin d'uniformiser la dose reçue. Cette modification s'effectue par l'application d'un coefficient multiplicateur sur les différentes parties du motif. Celui-ci est calculé pour prendre en compte les effets de proximité des différentes zones à insoler. Ce calcul de coefficients est réalisé grâce au logiciel « tracer ».

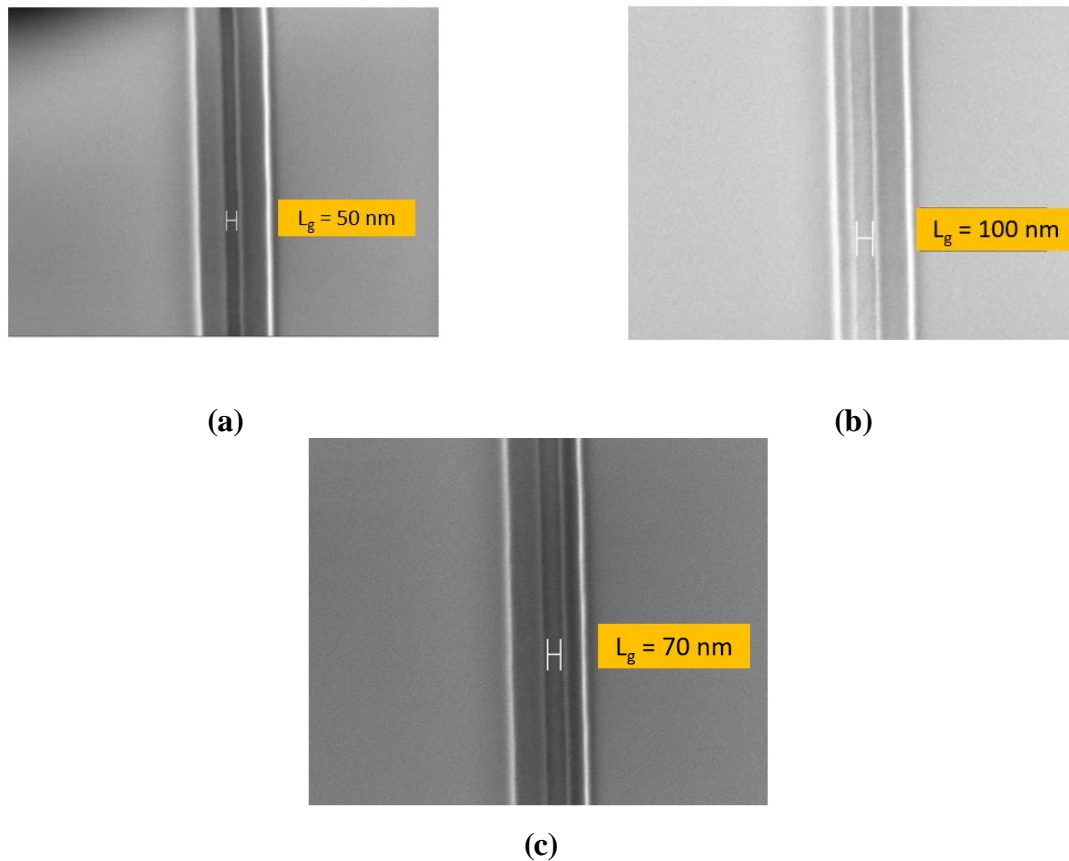


Figure 2. 32 : Image MEB des ouvertures du pied de grille pour un tri-couche de résines : (a) sous-exposé, (b) sur-exposé et (c) correctement exposé

La surface est ensuite désoxydée avec une solution d'acide chlorhydrique diluée dans l'EDI. Juste après la désoxydation, les structures sont introduites dans le bâti de métallisation. Les contacts de grilles sont réalisés par un empilement de nickel et d'or déposé par évaporation sous vide. Une fois métallisé, l'échantillon est plongé dans un bain de Remover PG à 70°C afin d'effectuer le lift-off. Les figures 2.33 et 2.34 sont des images MEB agrandies de la grille en forme « T » après dépôt du séquentiel métallique Ni/Au et opération de lift-off.

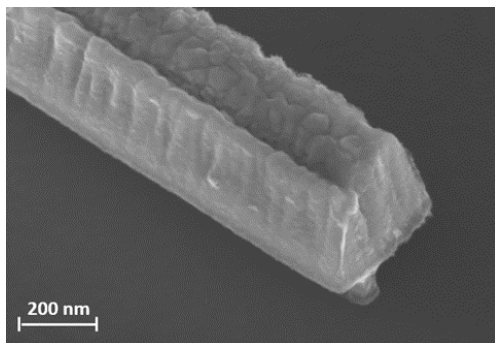


Figure 2. 33 : Image MEB prise de côté de la grille en forme de T après Lift-off

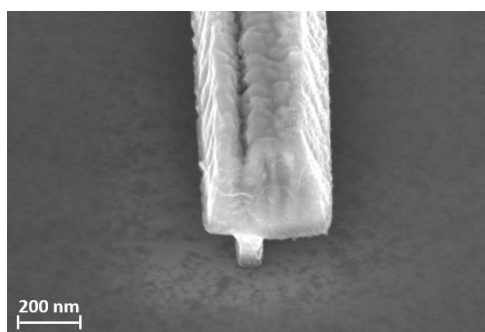


Figure 2. 34 : Image MEB de la grille en T avec une longueur des grilles L_g de 70 nm

Nous pouvons observer une bonne définition du pied et du chapeau de grille ainsi que l'absence de lichettes métalliques résiduelles pouvant nuire aux performances du transistor. La figure 2.35 représente une vue d'ensemble du transistor après réalisation de la grille.

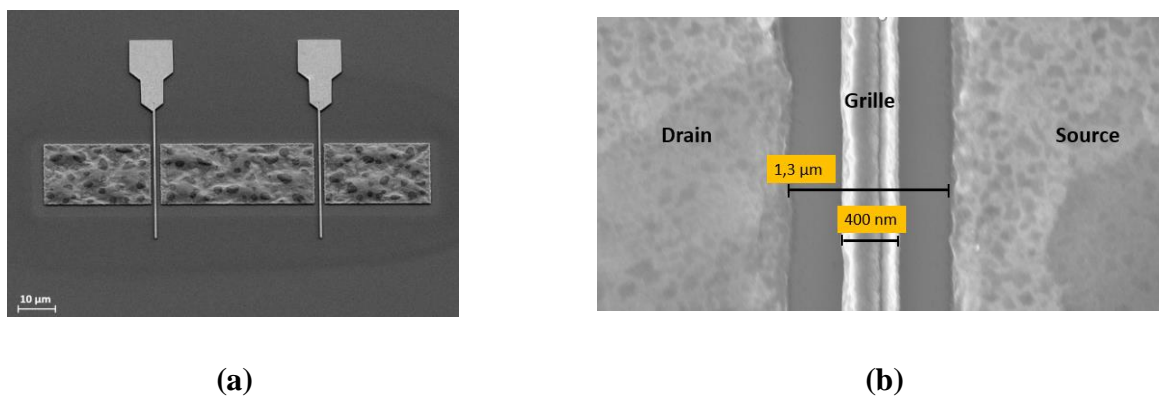


Figure 2. 35 : (a) Vue d'ensemble du transistor après lift-off de la grille, (b) agrandissement d'une vue de haut sur l'espace source-drain

Après le lift-off, un recuit à 400 °C pendant 20 min est effectué dans le but d'améliorer le comportement du contact Schottky. La figure 2.36 représente la caractéristique I_G - V_{GS} inverse avant et après recuit de la grille sur un motif GTLM avec une longueur de grille L_g de 250 nm et une distance L_{SD} de 2 μm . Nous observons un courant de fuite de grille 7 fois plus faible après recuit avec un courant de fuite de l'ordre de 7,5 $\mu\text{A}/\text{mm}$ à $V_{GS} = -40$ V.

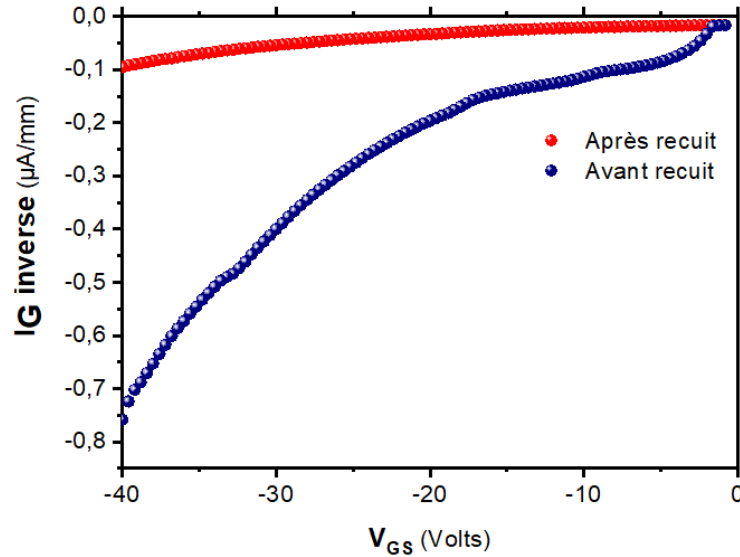


Figure 2. 36 : Caractéristique courant-tension I_G - V_G inverse avant et après recuit de la grille

Le procédé de fabrication des transistors HEMTs AlGaIn/GaN sur substrat FS-GaN s'achève par la passivation des composants et la fabrication des plots d'épaissement. Là encore, dans un souci de gain de temps, le choix a été fait d'utiliser les procédés classiquement utilisés pour la technologie AlGaIn/GaN sur substrat silicium, à savoir une passivation de 100nm de Si_3N_4 déposée par PECVD afin de réduire les lacunes d'azote présentes en surface du semiconducteur.

Afin d'évaluer l'effet de la passivation des composants, nous reportons dans le tableau 2.5 les résultats des mesures de transport par effet Hall avant et après passivation, sur une structure comportant un cap SiN de 3 nm, une couche d' $\text{Al}_{0,27}\text{Ga}_{0,63}\text{N}$ de 11 nm, une couche AlN de 1,5 nm et un buffer composé d'une couche de GaN-nid de 7 μm et une couche de GaN dopé au carbone (C) de 3 μm , développées sur substrat FS-GaN.

<i>Passivation</i> <i>Si₃N₄</i>	<i>Densité surfacique</i> <i>d'électrons</i> <i>n_s (10¹³ cm⁻²)</i>	<i>Mobilité</i> <i>électronique</i> <i>μ (cm²/V.S)</i>	<i>Résistance carrée</i> <i>R_□ (Ω/□)</i>
<i>Avant</i>	0,85	2200	356
<i>Après</i>	1,1	2110	309
<i>Evolution</i>	+29,5%	-4%	-13%

Tableau 2. 5 : Paramètres matériaux avant et après passivation Si₃N₄

Ces résultats traduisent l'impact de la passivation Si₃N₄ dans l'amélioration des performances des dispositifs HEMTs AlGaN/GaN. Nous observons une amélioration de la densité de porteurs ainsi que de la résistance carrée, associées à une légère diminution de la mobilité en raison de l'augmentation de la concentration de porteurs.

La figure 2.37 est une image MEB d'une vue d'ensemble d'un HEMT AlGaN/GaN sur substrat FS-GaN.

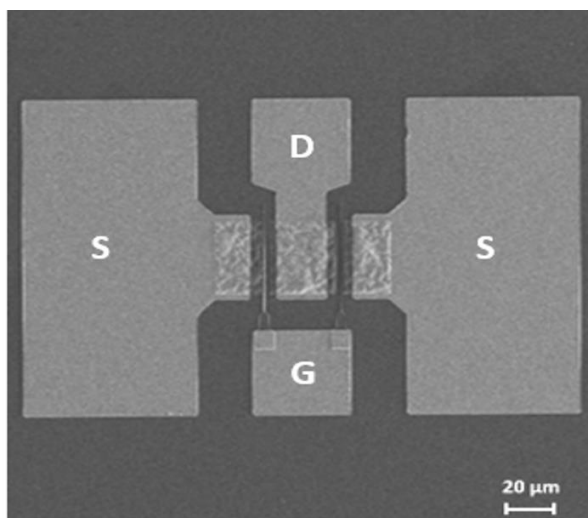


Figure 2. 37 : Image MEB d'une vue de haut d'un HEMT AlGaN/GaN sur substrat FS-GaN en fin de procédé de fabrication

Conclusion

Dans la première partie de ce chapitre, nous avons présenté le procédé standard de fabrication des HEMTs AlGa_n/Ga_n sur substrat silicium développé au sein du groupe Composant et Dispositifs Micro-ondes de Puissance à l'IEMN. Toutes les étapes de fabrication allant de la préparation des échantillons et la réalisation des marques d'alignement jusqu'à la passivation de surface et la fabrication des plots d'épaissement ont été expliquées et détaillées. Dans la deuxième partie du chapitre, nous avons mis en évidence les optimisations effectuées en vue d'adapter ce procédé de fabrication aux hétérostructures AlGa_n/Ga_n sur substrat FS-GaN, et de garantir de bonnes performances des dispositifs destinés aux applications de puissance à haute fréquence.

Les optimisations ont concerné les étapes de fabrication des marques d'alignement, des contacts ohmiques de source et de drain et des contacts de grille. Nous avons développé un procédé de fabrication de marques d'alignement gravées afin de pallier aux problèmes de dégradation des marques métalliques après recuit des contacts ohmiques observés sur substrat FS-GaN. De plus, l'optimisation des contacts ohmiques nécessaires pour obtenir de bonnes performances électriques du dispositif a été détaillée et a permis d'atteindre une résistance de contact R_c de l'ordre de 0,3 Ω .mm. L'étape de fabrication de la grille en T a été présentée, et une optimisation de la dose d'écriture du pied de grille a permis la réalisation d'une grille en T avec une longueur de pied de 70 nm. Le recuit de la grille à 400 °C a réduit les courants de fuite de la grille.

Chapitre 03

Caractérisation des Composants HEMTs AlGa_N/Ga_N sur substrats FS-Ga_N

Introduction :

Ce chapitre décrit les résultats des caractérisations électriques et hyperfréquences des transistors fabriqués dans le cadre de cette thèse. Ces caractérisations permettent d'évaluer les performances des composants étudiés, particulièrement en termes de puissance hyperfréquence.

La première partie du chapitre rappelle des généralités sur les caractéristiques physiques et électriques des HEMTs afin de comprendre le fonctionnement de ces composants, et de cerner les paramètres clés permettant l'évaluation des performances des transistors étudiés pour différents régimes.

La seconde partie de ce chapitre présente les principales caractérisations des composants HEMTs AlGa_N/Ga_N sur substrats FS-Ga_N ayant une longueur de grille de 70 nm. Les résultats des mesures en régime statique, impulsionnel et hyperfréquence, ainsi que les performances des transistors fabriqués en termes de puissance hyperfréquence sont présentées.

Partie 1 : Généralités sur la caractérisation électrique des HEMTs

En 1978, Dingle *et al.* introduisent le concept de base du HEMT. Ils décrivent le transfert des électrons donneurs situés dans un semiconducteur vers un adjacent à bande interdite inférieure. Les deux semiconducteurs forment une hétérojonction avec un puits triangulaire à son interface, ce dernier confinant les électrons dans un gaz 2D. Etant séparé des donneurs ionisés, ce dernier engendre une mobilité électronique et une vitesse de saturation élevées des électrons dans le puits. L'électrode de grille en contact avec la couche barrière de l'empilement des matériaux forme un contact Schottky. Par le biais de cette barrière Schottky, la densité de charge n_s du gaz 2D peut être modulée efficacement par une variation du potentiel de grille V_{GS} (figure 3.1). La barrière étant naturellement dopée n, en l'absence d'une tension au niveau de la grille, un courant I_{DS} circulant entre la source et le drain se développe. La polarisation de la grille (contact Schottky) en inverse ($V_{GS} \leq 0$) engendre le rehaussement de la bande de conduction et ainsi la désertion du canal. La tension de la grille conduisant à la désertion totale du gaz 2D et donc l'incapacité de développer un courant I_{DS} , est nommée tension de pincement V_p . Ce fonctionnement s'applique sur les composants HEMTs AlGa_xN/GaN, naturellement de type « *normally on* » développé au cours de ce travail de thèse.

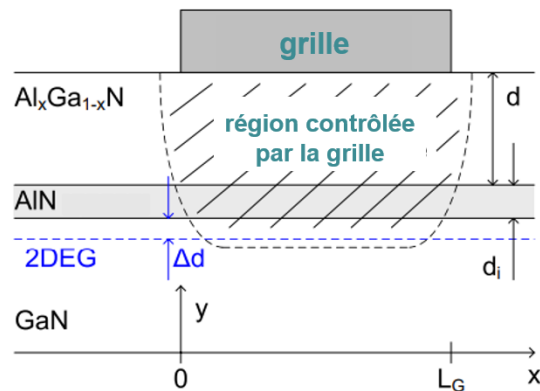


Figure 3. 1 : Coupe verticale de l'électrode de grille déposée sur une structure AlGa_xN/GaN

En règle générale, la variation de la densité de charge n_s par rapport à la variation de la tension de grille V_{GS} est non-linéaire pour un transistor à effet de champ (FET) en raison de

la dépendance du niveau de Fermi avec la densité des porteur n_s [197]. Cette non-linéarité apparait dans les caractéristiques du dispositif.

Généralement la relation n_s - V_{GS} est donnée par l'équation 3.1 selon [198]:

$$n_s(V_{GS}) = \frac{\epsilon}{e(d+d_i+\Delta d)} (V_{GS} - V_p) \quad \text{Eq 3. 1}$$

e représente la constante de charge élémentaire, d est l'épaisseur de la couche barrière et d_i est l'épaisseur de la couche d'espacement. ϵ représente la constante diélectrique moyenne de la couche barrière et de la couche d'espacement (AlN). Δd est la distance moyenne entre le gaz 2D et l'hétérojonction, également appelée épaisseur effective du gaz 2D [199]. Δd a pour origine le fait que le niveau de Fermi est une fonction du potentiel de la grille. Il vaut environ 2 nm à 4 nm pour les hétérojonctions à base de GaN [200].

D'autre part, la description du transport des électrons dans le canal en fonction du champ électrique E , permet de modéliser le comportement du transistor. Le transport des électrons pour un transistor à effet de champ (FET) est décrit par trois grandeurs principales : la mobilité en champ faible μ_n , la vitesse de pointe v_{peak} et la vitesse de saturation v_{sat} , qui représente la vitesse des électrons pour un champ électrique élevé. Outre la dépendance vis-à-vis du champ électrique appliqué, la vitesse des porteurs dépend aussi de la densité de porteurs n_s , de la température T et des mécanismes de diffusion particuliers qui s'appliquent. La vitesse de dérive des électrons en fonction du champ appliqué $v_d(E)$, peut être déterminée au moyen de simulations de type Monte Carlo. Farahmand *et al.* ont développé un modèle $v_d(E)$ pour les nitrures binaires et ternaires en phase wurtzite, donné par l'équation 3.2 [201].

$$v_d(E) = \frac{\mu_n \cdot E + v_{sat} \cdot \left(\frac{E}{E_C}\right)^{n_1}}{1 + a \cdot \left(\frac{E}{E_C}\right)^{n_2} + \left(\frac{E}{E_C}\right)^{n_1}} \quad \text{Eq 3. 2}$$

μ_n représente la mobilité à faible champ électrique et dépend de la température T et de la densité de dopage. Les paramètres E_C , a , n_1 et n_2 sont répertoriés pour différentes compositions

de matériau dans la référence [201]. La variable E indique l'amplitude du champ électrique dans la direction du canal, c'est-à-dire la direction de l'axe x , comme indiqué sur la figure 3.1.

Pour l'établissement des équations analytiques simplifiées décrivant le comportement de base du HEMT, le modèle $v_d(E)$ selon l'équation 3.2 ne convient pas. Par conséquent, un modèle simplifié est supposé [202] et donné par l'équation 3.3.

$$v_d(E) = \frac{\mu_n E}{1 + \frac{E}{E_c}} \quad \text{Eq 3.3}$$

$$v_{d,sat} = \mu_n \cdot E_c$$

Le paramètre E_c désigne le champ critique auquel la vitesse des électrons v_d atteint la moitié de sa valeur de saturation.

Le régime statique

Pour l'extraction des équations de base des HEMTs, on suppose d'une part une relation linéaire $n_s - V_{GS}$ selon l'équation 3.1, et d'autre part que la contribution du courant de fuite de la grille au courant de drain I_{DS} est négligeable. Soit $V(x)$ le potentiel du canal avec la coordonnée x comme indiqué sur la figure 3.1. Le courant I_{DS} est exprimé par les équations 3.4 et 3.5 :

$$I_{DS} = q \cdot n_s(V_{GS}) \cdot v_d(E) \cdot W \quad \text{Eq 3.4}$$

$$I_{DS} = \frac{\mu_n c_0 W \cdot (V_{GS} - V_p - V(x)) \cdot \frac{dV(x)}{dx}}{1 + \frac{1}{E_c} \frac{dV(x)}{dx}} \quad \text{Eq 3.5}$$

L_g et W représentent respectivement la longueur de la grille et la largeur totale de la grille. La charge du canal est conservée en raison de l'absence de processus de génération et de recombinaison. En régime statique, il n'y a pas de dépendance temporelle de la charge du canal et donc de la conservation de la charge et l'équation de continuité implique un courant I_{DS} constant

le long de l'axe x . De ce fait, $\frac{\partial I_{DS}(x)}{\partial x} = 0$. Par conséquent, l'intégration de l'équation 3.5 de $x = 0$ à $x = L_g$ donne :

$$I_{DS} = \frac{\mu_n c_0 \frac{W}{L_G} ((V_{GS} - V_p) V_{DS} - \frac{V_{DS}^2}{2})}{\left(1 + \frac{V_{DS}}{L_G E_c}\right)} \quad \text{Eq 3. 6}$$

Le courant de drain augmente linéairement jusqu'à atteindre un régime de saturation ($I_{DS} = \text{cte}$) dû à la saturation de la vitesse de dérive des porteurs. La tension $V_{DS, \text{sat}}$, pour laquelle le courant I_{DS} se sature est donnée par l'équation 3.7.

$$V_{DS, \text{sat}} = \sqrt{(L_G E_c)^2 + 2(L_G E_c)(V_{GS} - V_p)} - (L_G E_c) \quad \text{Eq 3. 7}$$

En remplaçant dans l'équation 3.6, nous obtenons l'expression du courant de drain à la saturation (Eq 3.8) :

$$I_{DS, \text{sat}} = \frac{\mu_n c_0 W}{L_G} \cdot \frac{(L_G E_c)^2}{2} \left(\sqrt{1 + \frac{2(V_{GS} - V_p)}{L_G E_c}} - 1 \right)^2 \quad \text{Eq 3. 8}$$

$$= \begin{cases} \frac{\mu_n c_0 W}{L_G} \cdot (V_{GS} - V_p)^2, & \text{canal long } (L_G E_c \rightarrow \infty) \\ v_{\text{sat}} c_0 W \cdot (V_{GS} - V_p), & \text{canal court } ((V_{GS} - V_p) \gg L_G E_c) \end{cases}$$

La caractéristique I_{DS} - V_{DS} composée d'une région de fonctionnement linéaire et d'une région de saturation, permet d'apporter une première évaluation sur les performances du composant étudié. La figure 3.2 représente la caractéristique I_{DS} - V_{DS} idéale d'un HEMT.

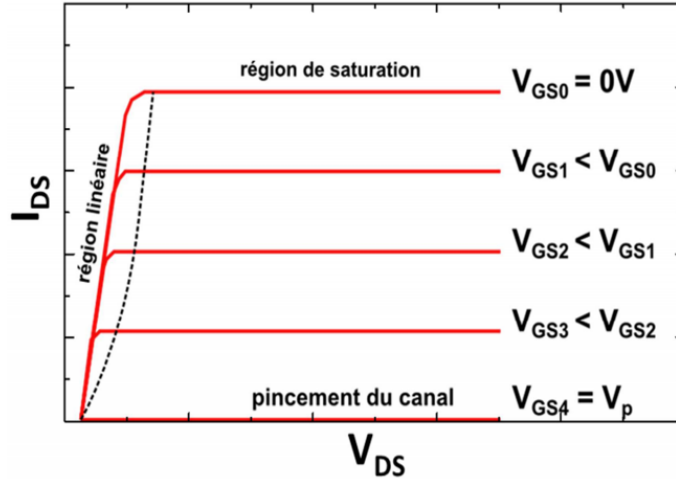


Figure 3. 2 : Caractéristique I_{DS} - V_{DS} d'un HEMT idéal

La transconductance g_m traduit la capacité de la grille à moduler la densité des électrons situés sous le contact Schottky. Analytiquement, elle s'exprime par $g_m = \frac{\partial I_{DS}}{\partial V_{GS}}$ pour une tension V_{DS} constante. La valeur maximale de la transconductance $g_{m,max}$ donne une idée sur les performances du transistor en termes de gain. Elle s'exprime par l'équation 3.9 :

$$g_{m,int max} = \frac{\mu_n c_0 W}{L_G} \cdot (L_G E_c) \cdot \left(1 - \left(1 + \frac{2(V_{GS} - V_p)}{L_G E_c}\right)^{-1/2}\right) \quad \text{Eq 3.9}$$

$$= \begin{cases} \frac{\mu_n c_0 W}{L_G} \cdot (V_{GS} - V_p), & \text{canal long } (L_G E_c \rightarrow \infty) \\ v_{d,sat} c_0 W, & \text{canal court } ((V_{GS} - V_p) \gg L_G E_c) \end{cases}$$

La figure 3.3 reproduit l'allure typique d'une caractéristique de transfert I_{DS} - V_{GS} représentée en zone de saturation et la variation de la transconductance en fonction de la tension V_{GS} . Idéalement, la caractéristique de transfert ne dépend pas de la tension V_{DS} .

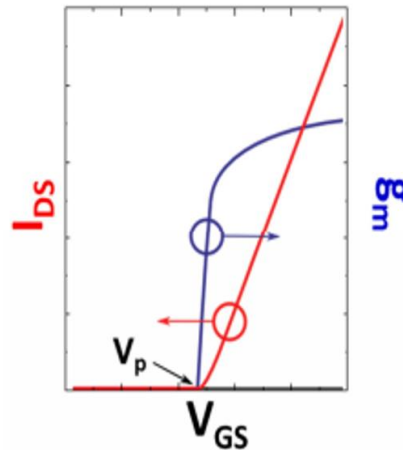


Figure 3. 3 : Caractéristiques I_{DS} - V_{GS} et transconductance g_m d'un HEMT idéal

Les équations précédemment présentées ne prennent pas en compte les résistances d'accès de source et de drain. Le courant traversant les régions d'accès provoque une chute de tension et par conséquent les tensions au niveau du dispositif intrinsèque diffèrent de celles appliquées de manière externe au niveau des contacts métalliques.

Pour un contact de source, deux résistances contribuent à la résistance totale R_s . La première contribution est due au semiconducteur entre le contact ohmique et la structure intrinsèque. La deuxième contribution provient de la résistance de contact R_c . Par conséquent, la résistance R_s peut s'exprimer par l'équation 3.10 :

$$R_s = R_c + R_{\square} \cdot \frac{d_{si}}{W} = \frac{1}{W} (\sqrt{R_{\square} \cdot \rho_c} + R_{\square} \cdot d_{si}) \quad \text{Eq 3. 10}$$

Avec d_{si} représentant la distance entre le contact de source et la partie intrinsèque du composant.

En prenant en compte les résistances d'accès R_s et R_d , nous avons (Eq 3.11 et Eq 3.12) :

$$V_{GS,ext} = V_{GS} + R_s \cdot I_{DS} \quad \text{Eq 3. 11}$$

$$V_{DS,ext} = V_{DS} + (R_s + R_d) \cdot I_{DS} \quad \text{Eq 3. 12}$$

L'augmentation de la résistance de source R_s entraîne l'augmentation de la résistance d'accès R_{ON} (1/la pente de la caractéristique $I_{DS} - V_{DS}$ en régime linéaire) et la réduction de courant de drain. Par contre, l'augmentation de la résistance de drain R_d influe uniquement sur la résistance d'accès R_{ON} .

A partir des équation 3.11 et 3.12, nous pouvons exprimer la transconductance extrinsèque $g_{m,ext}$ par l'équation 3.13 [203] :

$$\begin{aligned} g_{m,ext \max} &= \frac{g_{m,int \max}}{1 + g_{m,int \max} \cdot R_s + g_{DS} (R_s + R_d)} \quad \text{Eq 3. 13} \\ &\simeq \frac{g_{m,int \max}}{1 + g_{m,int \max} \cdot R_s} \end{aligned}$$

Où g_m représente la transconductance intrinsèque, et g_{DS} la conductance de sortie définie par $g_{DS} = \frac{\partial I_{DS}}{\partial V_{DS}}$, pour une tension V_{GS} constante. En pratique, plusieurs effets parasites engendrent l'augmentation de la résistance R_s , tels que la non-linéarité de la vitesse de dérive et l'auto-échauffement. Cette augmentation de la résistance de source, engendre l'éloignement de la caractéristique transconductance en fonction de la tension de grille V_{GS} de sa caractéristique théorique (figure 3.3), et la diminution de la transconductance par rapport à sa valeur intrinsèque.

Le régime impulsionnel

Les mesures en régime impulsionnel permettent la caractérisation des composants en minimisant les effets thermiques et en permettant d'identifier les phénomènes de dégradation des performances électriques des transistors. Cette caractérisation consiste à superposer des impulsions synchronisées aux composantes continues appliquées au niveau des électrodes de

grille et de drain (V_{GS0} , V_{DS0}) appelées point de repos. La durée de l'impulsion pendant laquelle le composant est soumis à la polarisation doit être suffisamment courte pour réduire les effets thermiques, mais suffisante pour permettre l'acquisition du réseau de caractéristiques pulsées. La largeur de l'impulsion a été fixée à 500 ns avec des temps de montée et de descente de 100 ns. Un faible rapport cyclique, défini comme étant le rapport de l'impulsion avec la période T du signal permet d'assurer le retour du composant à son état d'équilibre thermique fixé par le point de repos. Dans cette étude, le rapport cyclique a été fixé à 0,3 %, ce qui correspond à une période de l'ordre de 167 μ s. En fonction du point de repos choisi, nous pouvons mettre en évidence les phénomènes de « gate-lag » ou de « drain-lag ».

- Une première mesure au point de polarisation ($V_{GS0} = 0$ V ; $V_{DS0} = 0$ V) servant de référence, permet de s'affranchir des effets thermiques et de la dégradation des performances électriques due aux pièges activés par effet de champ.
- Le point de polarisation ($V_{GS0} < V_P$; $V_{DS0} = 0$ V) permet de déterminer la dégradation due au phénomène appelé « gate-lag », correspondant aux effets de pièges de surface situés à côté de la grille, et/ou ceux situés à l'interface sous la grille.
- Le point de polarisation ($V_{GS0} < V_P$; V_{DS0}) correspondant au point de polarisation du composant pour la mesure de puissance hyperfréquence, permet de déterminer la dégradation due au phénomène « drain-lag » correspondant aux pièges situés sous le canal et/ou en surface entre la grille et le drain.

La chute du courant engendrée par les phénomènes de gate-lag et drain-lag est ensuite représentée en pourcentage par rapport au courant I_{DS0} ($V_{GS0} = 0$ V ; $V_{DS0} = 0$ V) dans la région du coude de la caractéristique courant-tension là où la chute du courant est la plus importante.

Le régime hyperfréquence

Le modèle petit signal

Les relations courant-tension en régime statique précédemment décrites, caractérisent le HEMT en tant que dispositif non linéaire. Par conséquent, en régime dynamique où les tensions aux bornes des transistors oscillent entre deux valeurs extrêmes, les caractéristiques du transistor changent considérablement pendant la transition. Dans le cas où les variations de tension

ne représentent qu'une petite perturbation au voisinage d'un point de polarisation fixe (V_{GS} , V_{DS}), la réponse en courant est une combinaison linéaire de ces petites variations de tension selon une approximation du premier ordre (Eq 3.14) :

$$I_{DS}(V_{GS} + \tilde{v}_{GS}, V_{DS} + \tilde{v}_{DS}) \simeq I_{DS}(V_{GS}, V_{DS}) + \frac{\partial I_{DS}}{\partial V_{GS}} \cdot \tilde{v}_{GS} + \frac{\partial I_{DS}}{\partial V_{DS}} \cdot \tilde{v}_{DS} \quad \text{Eq 3. 14}$$

Les variations sinusoïdales des tensions appliquées présentent un intérêt particulier, à savoir, si $\tilde{v}_{GS} = v_{GS} \cdot e^{j\omega t}$ et $\tilde{v}_{DS} = v_{DS} \cdot e^{j\omega t}$, avec ω en radian égale à $2\pi f$, il est possible de modéliser le HEMT en tant que dispositif à deux terminaux avec les électrodes de grille et de source au niveau du port 1 et les électrodes de source et de drain au port 2. La relation sinusoïdale de petit signal entre les variations de courant et de tension au niveau des ports est donnée par l'équation 3.15 :

$$\begin{pmatrix} i_{GS} \\ i_{DS} \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \begin{pmatrix} v_{GS} \\ v_{DS} \end{pmatrix} \quad \text{Eq 3. 15}$$

i_{GS} et i_{DS} représentent respectivement le courant petit-signal de la grille et du courant de drain. Y_{mn} avec $m, n \in (1,2)$ désigne les paramètres admittance de la matrice Y en petit signal pour le HEMT en configuration source commune.

Le développement analytique de l'équation 3.15 aboutit à une équation différentielle non linéaire du second ordre. Si les termes d'ordre supérieur de la solution sont négligés (analyse quasi-statique), les admittances Y pour la configuration source commune peuvent être représentées comme suit (Eq 3.16 à 3.19) :

$$Y_{11} \approx j\omega(C_{GS} + C_{GD}) \quad \text{Eq 3. 16}$$

$$Y_{12} \approx -j\omega C_{GD} \quad \text{Eq 3. 17}$$

$$Y_{21} \approx g_m - j\omega C_{GD} \quad \text{Eq 3. 18}$$

$$Y_{22} \approx \frac{1}{R_{DS}} + j\omega(C_{GD} + C_{DS}) \quad \text{Eq 3. 19}$$

Où C_{GS} , C_{GD} et C_{DS} représentent respectivement les capacités entre grille-source, grille-drain et drain-source, et R_{DS} la résistance entre drain-source. Afin d'obtenir davantage de précision pour le modèle petit signal, on prend en compte les termes d'ordres supérieurs de la solution analytique. Les équations 3.16, à 3.19 deviennent :

$$Y_{11} + Y_{12} \approx \left(\frac{1}{R_{GS}} + j\omega C_{GS} \right) \quad \text{Eq 3. 20}$$

$$- Y_{12} \approx j\omega C_{GD} \quad \text{Eq 3. 21}$$

$$Y_{22} + Y_{12} \approx \frac{1}{R_{DS}} + j\omega C_{SD} \quad \text{Eq 3. 22}$$

$$Y_{21} + Y_{12} \approx g_m (1 + j\omega\tau) \quad \text{Eq 3. 23}$$

La résistance R_{GS} représente la résistance entre grille-source. Les équations 3.20 à 3.23 constituent la base du circuit équivalent petit signal intrinsèque du HEMT, illustré sur la figure 3.4. Afin de modéliser l'environnement du dispositif, le circuit équivalent petit signal intrinsèque doit prendre en compte les éléments parasites appelés éléments extrinsèques.

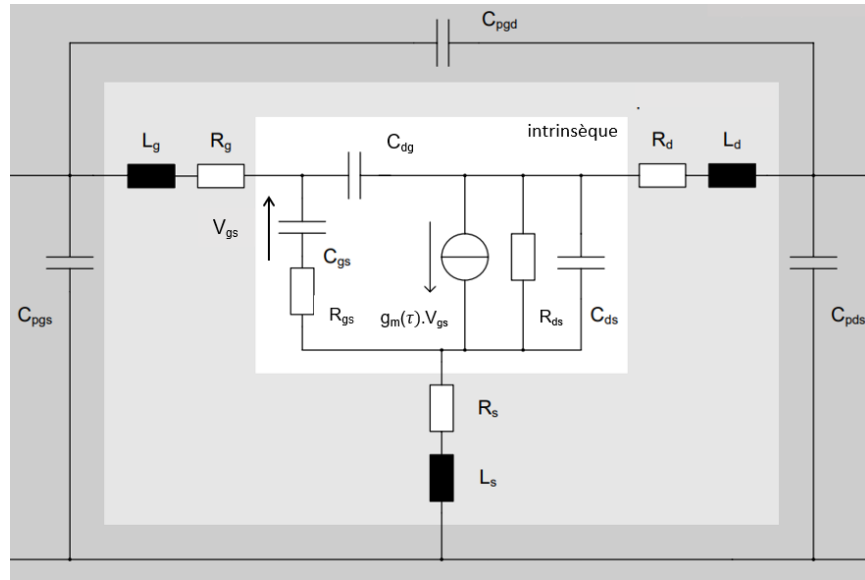


Figure 3. 4 : Schéma équivalent petit signal d'un transistor HEMT

R_g , R_d et R_s représentent respectivement les résistances de grille, drain et source et L_g , L_d et L_s représentent les inductances respectives de grille, drain et source. Les capacités C_{pgs} , C_{pds} et C_{pgd} sont associées à la métallisation des plots respectivement entre grille-source, drain-source et grille-drain.

Les transistors haute fréquence sont généralement caractérisés par différents gains en puissance obtenus à partir de mesures à l'analyseur de réseaux vectoriel. Différentes hypothèses sur l'environnement du circuit dans lequel le dispositif peut être intégré, conduisent à des définitions différentes des gains en puissance, et en conséquence à des facteurs de mérite différents en régime de haute fréquence. Dans ce qui suit, nous décrivons les facteurs de mérite pertinents permettant de caractériser un HEMT en ce qui concerne ses propriétés hautes fréquences. L'accent est mis sur les deux facteurs de mérite haute fréquence les plus couramment utilisées, à savoir la fréquence de coupure du gain de courant F_t et la fréquence maximale d'oscillation F_{max} .

La fréquence de coupure du gain en courant

Les dispositifs FET polarisés en configuration source commune construisent un réseau bidirectionnel. Ce dernier peut être décrit par une matrice de paramètres (2x2). La mesure

des paramètres S_{ij} ($i, j \in [1,2]$) est couramment utilisée pour la caractérisation des réseaux à deux ports à hautes fréquences.

La fréquence de coupure du gain en courant F_t représente un critère d'évaluation des performances du transistor. La détermination de la fréquence de coupure du gain en courant nécessite la détermination du paramètre hybride représentant le gain en courant H_{21} . L'équation 3.24 donne la relation entre le paramètre H_{21} et les paramètres S_{ij} mesurés :

$$H_{21} = \frac{-S_{21}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}} \quad \text{Eq 3. 24}$$

Le tracé du module du gain en courant $|H_{21}|$ (exprimé en dB), en fonction de la fréquence en coordonnées logarithmiques, diminue par une droite de pente de -20 dB/dec. La valeur de la fréquence de coupure F_t correspond à la fréquence pour laquelle ($|H_{21}| = 0 \text{ dB}$). Elle est déterminée par extrapolation du tracé de $|H_{21}|$ par la droite de pente -20 dB/dec. En négligeant les éléments parasites du schéma équivalent du HEMT, nous pouvons exprimer la fréquence de coupure F_t intrinsèque par l'équation 3.25 :

$$F_t = \frac{g_m}{2\pi \cdot (C_{GS} + C_{GD})} \quad \text{Eq 3. 25}$$

On observe que la fréquence de coupure F_t est proportionnelle à la transconductance g_m . De ce fait, pour la détermination de la valeur maximale de F_t , on se place au point de polarisation correspondant à la transconductance maximale ($g_{m,max}$). D'autre part, en développant l'équation 3.25, nous pouvons définir la fréquence F_t par :

$$F_t = \frac{v_{sat}}{2\pi \cdot L_g} \quad \text{Eq 3. 26}$$

L'équation 3.26 démontre que la réduction de la longueur de la grille conduit à l'augmentation de la fréquence de coupure F_t . Cependant, en pratique nous sommes loin des valeurs théoriques en raison de la présence de paramètres limitant la fréquence de coupure du

gain en courant. En effet, l'inhomogénéité de la vitesse des électrons sous la grille, et les effets des éléments parasites (capacités parasites et résistances d'accès) limitent considérablement la fréquence de coupure F_t . L'équation 3.27 permet de définir la fréquence de coupure du gain en courant F_t en prenant en compte les éléments parasites présents dans le schéma équivalent [204] :

$$F_t = \frac{g_m}{2\pi \cdot [(C_{GS} + C_{GD}) \cdot (1 + g_{DS} \cdot (R_d + R_d)) + g_m \cdot C_{GD} \cdot (R_s + R_d)]} \quad \text{Eq 3. 27}$$

La fréquence de coupure du gain en puissance

3.3.1 Critère de stabilité

Le gain maximal stable (*MSG*) et le gain maximal disponible (*MAG*) sont deux facteurs de mérite caractérisant un dispositif en ce qui concerne ses propriétés hautes fréquences. Les définitions de *MSG* et de *MAG* sont fortement liées au critère de stabilité *K* d'après J. M. Rollett [205]. Le critère de stabilité de Rollett (*K*) définit la limite de la stabilité inconditionnelle du transistor au-delà de laquelle le dispositif passe en situation dite instable. En condition d'instabilité, l'amplificateur entre en oscillation et génère des signaux parasites nuisant aux performances du HEMT. Le facteur *K* est exprimé en fonction des paramètres S_{ij} par l'équation 3.28:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta S|^2}{2|S_{21}S_{12}|} \quad \text{Eq 3. 28}$$

$$|\Delta S| = S_{11}S_{22} - S_{21}S_{12}$$

Lorsque $K \geq 1$ et $|\Delta S| < 1$, si $S_{21}S_{12} \ll 1$ on dit que l'amplificateur est en stabilité inconditionnelle.

3.3.2 Gain maximum disponible

Le gain maximum disponible *MAG* traduit le transfert de puissance disponible en sortie du transistor pour des conditions d'adaptation optimales en entrée et en sortie, lorsque le transistor est en situation de stabilité inconditionnelle. De ce fait, le *MAG* n'est défini que pour $K > 1$. L'expression du *MAG* en fonction des paramètres S_{ij} et du facteur de stabilité *K* est définie par :

$$MAG = \frac{|S_{21}|}{|S_{12}|} (K \pm \sqrt{K^2 - 1}) \quad \text{Eq 3. 29}$$

L'extrapolation de la représentation du MAG (exprimé en dB) en fonction de la fréquence (en coordonnées logarithmiques) par une droite de pente de -20 dB/dec permet de déterminer la fréquence de coupure F_{MAG} .

$$MAG(f)_{f=F_{MAG}} = 0 \text{ dB} \quad \text{Eq 3. 30}$$

La fréquence de coupure du gain en puissance F_{max} est exprimé via le MAG en fonction des éléments intrinsèques et extrinsèques du schéma équivalent par l'équation 3.31[206] :

$$F_{max,MAG} = \frac{F_t}{2\sqrt{g_{DS}}} \cdot \frac{1}{\sqrt{(R_S + R_{GS} + R_G) + \pi L_S F_t + \pi F_t \frac{C_{GD}}{g_{DS}} (R_S + R_{GS} + 2R_G + 2\pi L_S F_t)}} \quad \text{Eq 3. 31}$$

À la limite de la stabilité, le MAG devient le gain maximal stable MSG , défini par :

$$MSG = \frac{|S_{21}|}{|S_{12}|} \quad \text{Eq 3. 32}$$

3.3.3 Gain unilatéral

On dit qu'un dispositif est unilatéral lorsque le coefficient de transmission de la sortie vers l'entrée S_{12} vaut 0. Pour cela, il est nécessaire de réaliser un neutrodynage permettant d'empêcher la contre-réaction du système. Le gain mesuré correspond au gain unilatéral de Mason (U). L'équation 3.33 permet d'exprimer U en fonction des paramètres S_{ij} et du facteur de stabilité K .

$$U = \frac{1}{2} \cdot \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{K \left| \frac{S_{21}}{S_{12}} - \text{Re} \left(\frac{S_{21}}{S_{12}} \right) \right|} \quad \text{Eq 3. 33}$$

La représentation de l'évolution du gain unilatéral U (exprimé en dB) en fonction de la fréquence (en coordonnées logarithmiques) suit une droite de pente de -20 dB/dec, et permet par extrapolation de déterminer la fréquence de coupure du gain en puissance F_{max} pour $U = 0$ dB.

La fréquence de coupure F_{max} via le gain unilatéral exprimée en fonction de tous les éléments du schéma équivalent est décrite par l'équation 3.34 [206] :

$$F_{max,U} = \frac{F_t}{2\sqrt{g_{DS}(R_S+R_{GS}+R_G)+2\pi F_t C_{GD} R_G}} \quad \text{Eq 3. 34}$$

Dans ce travail, les caractérisations hyperfréquences en régime petit signal des dispositifs HEMT ont été effectuées à l'aide de l'analyseur de réseau vectoriel Keysight (E8361A). Ce dernier, permet de mesurer les paramètres S_{ij} dans la gamme de fréquences allant de 250 MHz à 67 GHz. Avant d'effectuer les mesures hyperfréquences, le système est calibré en appliquant la méthode LRRM (Line-Reflect-Reflect-Match) [207]. Cette étape de calibration est nécessaire pour corriger les erreurs introduites par les éléments d'interconnexions entre l'analyseur de réseau et les sondes. Une opération dite « de-embedding » permet de ramener le plan de référence situé après calibration au niveau des plots d'épaissement, au niveau du composant intrinsèque à mesurer. Le de-embedding consiste à estimer les contributions des éléments extrinsèques du schéma équivalent et de les éliminer pour mesurer les caractéristiques hyperfréquences intrinsèques du composant. Dans notre étude, nous avons effectué un de-embedding de type Open-Short afin d'estimer les contributions résistives et capacitives en vue de corriger la mesure du transistor. La structure de test « Open » permet de mesurer la capacité des plots d'accès. Quant à la structure de test « Short », elle permet de mesurer les éléments parasites en séries.

Caractéristiques de puissance hyperfréquence

Les performances en puissance hyperfréquences du HEMT sont caractérisées à l'aide d'un LSNA (Large-Signal Network Analyzer). Ce dernier permet d'injecter un signal de puissance dont la fréquence peut aller jusqu'à 50 GHz en entrée du transistor, et ainsi déterminer la puissance en sortie. Pour se faire, nous polarisons le HEMT à un point de fonctionnement (V_{GS0} ; V_{DS0}) déterminant la classe de fonctionnement du transistor. Afin de déterminer les caractéristiques de

puissance hyperfréquence maximales pouvant être atteintes, nous effectuons une adaptation du transistor à l'aide d'une charge active, dans le but de réduire la puissance réfléchie à la sortie. Cette opération d'adaptation est dite « load pull ». La charge optimale à présenter en sortie du transistor est reproduite par une source hyperfréquence permettant de faire varier la puissance et la phase pour simuler un coefficient de réflexion quelconque. Cette impédance optimale correspond sensiblement au paramètre S_{22} conjugué mesuré en régime petit signal au point de polarisation du transistor. Différentes cartographies sont effectuées pour déterminer l'impédance optimale à présenter au transistor. Ensuite, pour différentes puissances injectées à l'entrée du transistor, on mesure les caractéristiques en puissance hyperfréquence principale du HEMT, à savoir la densité de puissance en sortie du transistor P_{out} , le rendement en puissance ajoutée PAE, le gain en puissance G_P et le gain transducteur G_T . Ces caractéristiques sont décrites dans ce qui suit. La figure 3.5 représente un schéma représentatif des différentes puissances intervenant lors de la mesure de puissance hyperfréquence.

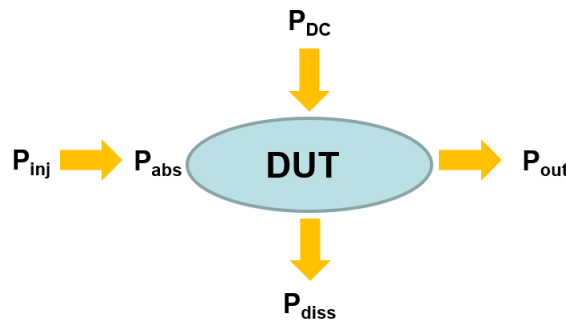


Figure 3. 5 : Schéma descriptif des puissances caractéristiques du transistor lors des mesures de puissance hyperfréquence

La puissance P_{inj} correspond à la puissance injectée à l'entrée du transistor. Elle est définie par :

$$P_{inj} = 10 \log_{10} (|a_1|)^2 \quad \text{Eq 3. 35}$$

$$|S_{11}| = \frac{|b_1|}{|a_1|} \quad \text{Eq 3. 36}$$

Avec a_1 représentant l'onde incidente (exprimée en $W^{1/2}$) émise à l'entrée du transistor et b_1 correspondant à l'onde réfléchie à l'entrée du transistor.

Pour que la puissance injectée à l'entrée du transistor P_{inj} corresponde à la puissance absorbée par le transistor P_{abs} , il faut que l'onde réfléchie b_1 soit faible. Une technique d'adaptation dite « source-pull » permet d'adapter l'impédance d'entrée afin de réduire l'onde réfléchie b_1 . Cette technique ne peut être appliquée sur notre banc de mesure.

La puissance continue d'alimentation du transistor P_{DC} représente la somme des puissances continues d'alimentation de la grille et du drain. Ces puissances de fonctionnement sont directement liées au point de polarisation du transistor et donc à sa classe de fonctionnement. Notons que la puissance dissipée P_{diss} par effet Joule au sein du transistor est aussi liée à la classe de fonctionnement du transistor.

La puissance de sortie P_{out} absorbée par la charge présente en sortie du transistor s'exprime par :

$$P_{out} = b_2 \cdot (1 - |\Gamma_L|^2) \quad \text{Eq 3. 37}$$

Avec b_2 représentant l'onde présente en sortie du composant, elle s'exprime :

$$b_2 = 20 \log_{10}(|b_2|)^2 \quad \text{Eq 3. 38}$$

$$|\Gamma_L| = \sqrt{\frac{|a_2|}{|b_2|}} \quad \text{Eq 3. 39}$$

Γ_L correspond au coefficient de réflexion de la charge en sortie du transistor avec a_2 représentant l'onde incidente en sortie du transistor.

Le maximum de puissance en sortie du transistor est obtenu lorsque l'onde incidente a_2 est négligeable. Une adaptation de l'impédance présente en sortie du transistor permet de réduire cette onde incidente a_2 .

4.1. Le gain en puissance

Le gain de puissance G_P du transistor est la caractéristique la plus couramment utilisée pour qualifier les performances réelles du HEMT. Il s'exprime par :

$$G_P(dB) = P_{out(dBm)} - P_{abs(dBm)} \quad \text{Eq 3. 40}$$

4.2. Le gain transducteur

Le gain transducteur G_T est défini comme étant la différence entre la puissance hyperfréquence absorbée par la charge en sortie du transistor P_{out} et la puissance hyperfréquence injectée à l'entrée du transistor P_{inj} :

$$G_T(dB) = P_{out(dBm)} - P_{inj(dBm)} \quad \text{Eq 3. 41}$$

4.3. Le rendement en puissance ajoutée

Le rendement de puissance ajoutée PAE exprimé en pourcentage, correspond au rapport entre la différence entre la puissance disponible en sortie et la puissance absorbée en entrée (exprimées en Watt), et la puissance continue d'alimentation du transistor. La PAE s'exprime par :

$$PAE = \frac{P_{out(Watt)} - P_{abs(Watt)}}{P_{DC}} \cdot 100 \quad \text{Eq 3. 42}$$

Partie 2 : Caractérisation des HEMTs AlGaIn/GaN sur substrat FS-GaN

Après le développement technologique des composants HEMTs AlGaIn/GaN sur substrat FS-GaN ayant des longueurs de grille allant jusqu'à 70 nm, nous avons mené une campagne de caractérisation des transistors fabriqués en régimes statique, petit signal, pulsé et en puissance hyperfréquence.

Caractérisation des pertes hyperfréquences dans les structures étudiées

Les substrats FS-GaN étudiés dans ce travail sont fabriqués par la société Saint-Gobin Lumilog. Le fait que ces substrats soient conducteurs (dopés n), nécessite la croissance d'une couche de GaN à haute résistivité, suffisamment épaisse (de l'ordre des dizaines de μm) afin de s'affranchir aux problèmes des pertes de propagations à travers le substrat. Des structures AlGaIn/GaN HEMT sur substrat FS-GaN avec différentes épaisseurs du buffer GaN résistif ont été développées au sein du laboratoire CRHEA. Nous avons effectué des mesures de paramètres S_{ij} sur des lignes de transmissions correspondant à des guides d'ondes coplanaires CPW permettant de caractériser les pertes de propagation dans ces structures.

La ligne CPW présentée sur la figure 3.6, est constituée de trois rubans métalliques : un ruban central de largeur W de 80 μm et deux rubans latéraux comme plan de masse espacés d'une distance S de 50 μm du ruban central. Ces derniers sont optimisés pour présenter une impédance caractéristique de 50 Ω . Les mesures des paramètres S_{ij} ont été effectuées sur des lignes CPW de longueur L de 1 mm. Le développement technologique de ces lignes est basé sur une lithographie optique. Les échantillons sont métallisés par évaporation suivant le séquentiel métallique Ti/Au (100 nm/400 nm). La fabrication des lignes CPW doit être effectuée après l'étape d'isolation par implantations ioniques afin d'éliminer le gaz d'électron 2D dans la structure.

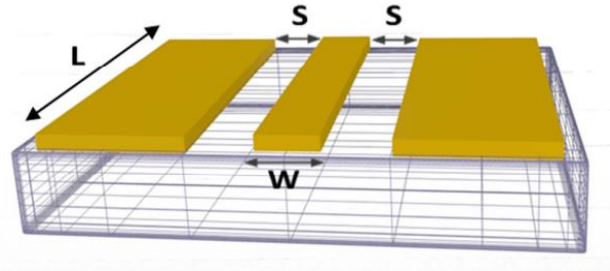


Figure 3. 6 : Topologie d'une ligne de transmission CPW

La mesure du coefficient de transmission permet d'extraire les pertes hyperfréquences (exprimées en dB/mm) via : $20 \log (|S_{21}|) / L$.

Les figure 3.7 (a) et (b) présentent les structures AlGa_{0,25}N/GaN qui ont été développées au début de la thèse. Ces hétérostructures contiennent un buffer GaN non intentionnellement dopé épais de 17 μm (figure 3.7 (a)) et de 40 μm (figure 3.7 (b)), afin de limiter le couplage capacitif entre l'hétérostructure AlGa_{0,25}N/GaN et le substrat conducteur.

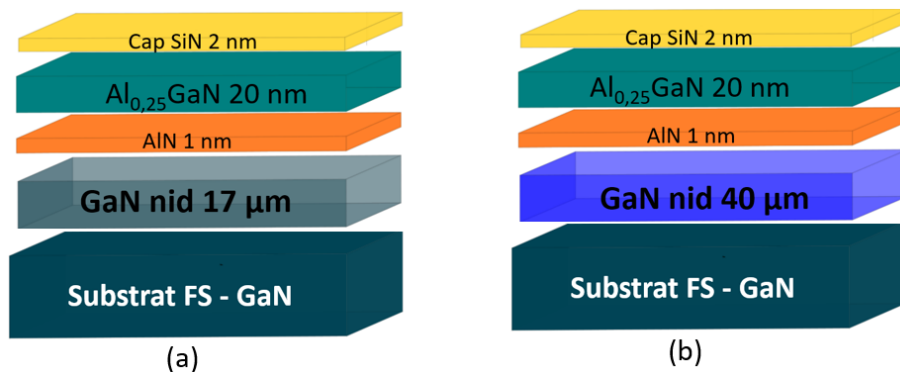


Figure 3. 7 : Structures HEMTs AlGa_{0,25}N/GaN sur substrat FS-GaN: (a) avec 17 μm de GaN-nid, (b) avec 40 μm de GaN-nid

La figure 3.8 présente l'évolution des pertes hyperfréquences en fonction de la fréquence. On constate que l'augmentation de l'épaisseur de buffer de GaN-nid réduit les pertes hyperfréquences dans la structure. Nous observons une valeur de -1,3 dB/mm à 40 GHz pour la structure avec un buffer de GaN nid de 40 μm (figure 3.7 (b)) face à une valeur de pertes hyperfréquences de -4,5 dB/mm pour la structure avec 17 μm de GaN-nid (figure 3.7 (a)). Ces résultats restent insuffisants pour les applications de puissance hyperfréquence. De plus,

la croissance d'un buffer d'une épaisseur importante engendre la dégradation de la structure cristalline de l'hétérostructure. De ce fait, d'autres structures à base de buffer composé d'une couche de GaN dopée au carbone (C) de 3 μm d'épaisseur et d'une couche de GaN-nid de 7 μm (figure 3.9 (a)) et de 17 μm (figure 3.9 (b)) ont été développées afin de réduire l'épaisseur du buffer.

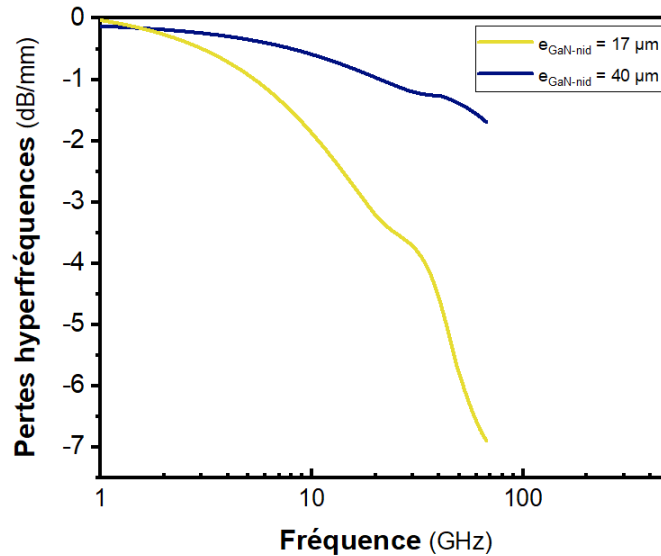


Figure 3. 8 : Pertes hyperfréquences en fonction de la fréquence sur les structures AlGaIn/GaN sur substrat FS-GaN comportant un buffer de 17 μm et 40 μm de GaN nid

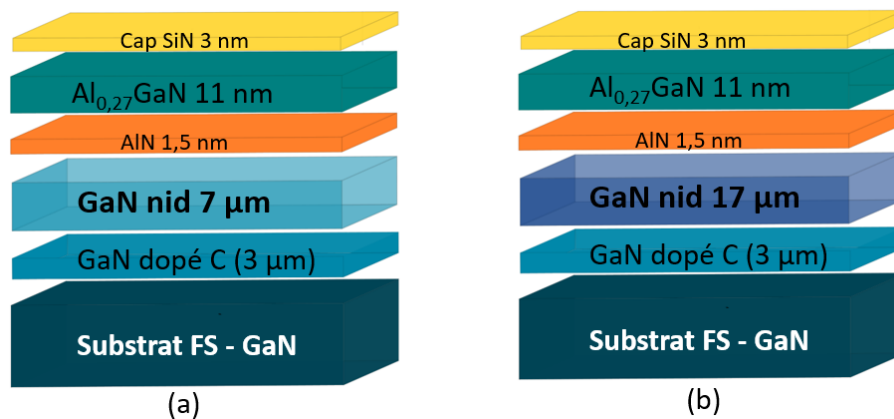


Figure 3. 9 : Structures HEMTs AlGaIn/GaN sur substrat FS-GaN, comportant un buffer composé d'une couche de 3 μm dopé C chacune et une couche de : (a) 7 μm de GaN-nid, (b) de 17 μm de GaN-nid

La figure 3.10 décrit l'évolution des pertes hyperfréquences en fonction de la fréquence dans les structures (figure 3.9 (a) et (b)). Nous observons une valeur des pertes hyperfréquences de

- 2,4 dB/mm à 40 GHz sur la structure contenant un buffer composé de 3 μm de GaN dopé C et 7 μm de GaN-nid (figure 3.9 (a)). Quant à la structure au buffer : 3 μm de GaN dopé C et 17 μm de GaN nid (figure 3.9 (b)), elle affiche des pertes de propagation de l'ordre de -1,4 dB/mm à 40 GHz. Nous constatons que les pertes hyperfréquences dans la structure (figure 3.7 (b)) comprenant un buffer de GaN-nid de 40 μm d'épaisseur, se rapprochent des pertes hyperfréquences dans la structure (figure 3.9 (b)) au buffer composé d'une couche de GaN dopé C et une couche de GaN-nid, d'une épaisseur totale de 20 μm . En effet, l'utilisation d'une couche de GaN compensée au C, a permis de réduire l'épaisseur du buffer, sans augmenter les pertes hyperfréquences dans la structure. Pour la moitié de l'épaisseur du buffer de la structure comportant un buffer GaN-nid de 40 μm , nous avons les mêmes pertes hyperfréquences en utilisant un buffer composé d'une couche de GaN dopé C de 3 μm et d'une couche de GaN nid de 17 μm . Cependant, ces résultats de pertes hyperfréquences restent encore insuffisants pour des applications de puissance à haute fréquence. Une étude concernant l'optimisation du dopage au carbone C et de l'épaisseur du buffer permettra de réduire ces valeurs de pertes hyperfréquences.

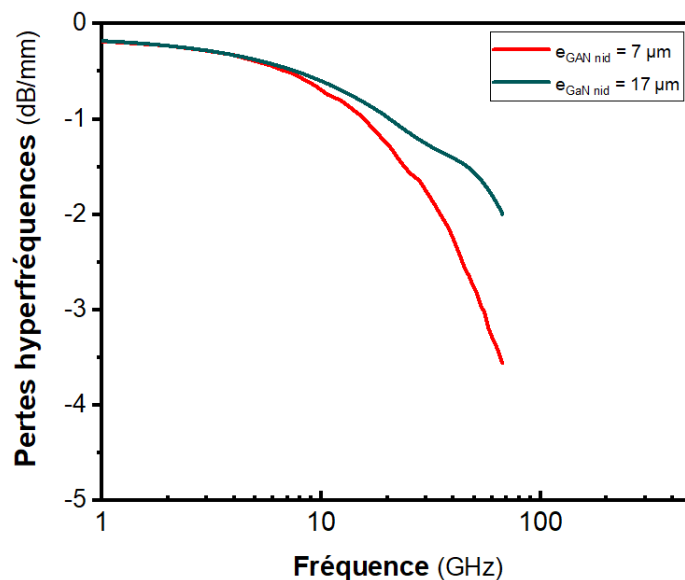


Figure 3. 10 : Pertes hyperfréquences en fonction de la fréquence sur les structures AlGaIn/GaN sur substrat FS-GaN comportant un buffer composé de 3 μm de GaN dopé C et de 7 μm et de 17 μm de GaN nid

Au cours de ce travail de thèse, plusieurs campagnes de fabrication ont été lancées sur les différentes structures auparavant présentées. Les étapes de fabrication du procédé

technologique détaillés dans le chapitre 2 ont été optimisées lors des campagnes de fabrication effectuées sur les structures (figure 3.7 (a) et (b) et figure 3.9 (b)). Ces optimisations et adaptations du procédé de fabrication ont été appliquées sur la structure (figure 3.9 (a)), et ont abouti à un transistor fonctionnel aux performances de puissance hyperfréquences intéressantes. Les résultats des caractérisations présentés dans ce qui suit se porteront sur les mesures effectuées sur cette structure, comprenant une couche de GaN dopée au carbone (C) suivi d'une couche de GaN non-intentionnellement dopée de $7 \mu\text{m}$, d'une couche d'exclusion AlN de $1,5 \text{ nm}$, d'une couche $\text{Al}_{0,27}\text{GaN}$ de 11 nm et d'un cap SiN de 3 nm . Cette structure produit un gaz 2D avec une densité de charge totale de $1,1 \times 10^{13} /\text{cm}^2$ et une mobilité électronique de $2110 \text{ cm}^2/\text{V}$ obtenue à partir des mesures par effet Hall. Cette mobilité et cette densité de charge se traduisent par une résistance carrée de $309 \Omega/\square$ à température ambiante.

Le procédé de fabrication à base de lithographie électronique correspond à celui présenté au chapitre 2. Le procédé commence par la réalisation des marques d'alignement par gravure plasma ICP-RIE. Ensuite, l'étape de la fabrication des contacts ohmiques se poursuit par le dépôt de la métallisation Ti/Al/Ni/Au ($12/200/40/100 \text{ nm}$) par évaporation sous faisceau électronique après gravure in-situ au moyen d'un faisceau d'ions argon (Ar), où plus de la moitié de la couche barrière est gravée pour rapprocher le séquentiel métallique du canal de conduction 2D. Ceci est suivi par un recuit thermique rapide (RTA) à $850 \text{ }^\circ\text{C}$ pendant 30 s sous atmosphère d'azote. Ensuite, les dispositifs sont isolés par multiples implantations d'ions N^+ . Une résistance de contact $R_c = 0,34 \Omega \cdot \text{mm}$ a été mesurée par un modèle de ligne de transmission (TLM). Une grille en forme T à base de métallisation par évaporation de Ni/Au ($40/300 \text{ nm}$) est réalisée à l'aide d'un procédé de lithographie par faisceau d'électrons utilisant un tricouche de résines (PMMA/COPO/PMMA). Un recuit à $400 \text{ }^\circ\text{C}$ pendant 20 min sous atmosphère d'azote est effectué afin d'améliorer le comportement du contact Schottky en réduisant les phénomènes de piégeage sous la grille [208]. Ensuite, une passivation Si_3N_4 est effectuée par dépôt PECVD à $340 \text{ }^\circ\text{C}$. Enfin, un empilement métallique Ti/Au est déposé par évaporation pour assurer l'accès aux contacts du transistor lors des mesures. Les dispositifs sous test (DUT) présentent une configuration à deux doigts de grille avec une longueur de grille $L_g = 70 \text{ nm}$, un espacement source -drain $L_{SD} = 1,3 \mu\text{m}$ et un espacement grille-source $L_{GS} = 500 \text{ nm}$. Deux transistors aux largeurs de

grille différentes ont été caractérisés, l'un avec une largeur de grille $W = 2 \times 50 \mu\text{m}$ et l'autre avec $W = 2 \times 25 \mu\text{m}$.

Caractérisation en régime statique

Les composants ont été caractérisés en régime statique en utilisant un système de mesure Keysight commandé par le logiciel ICCAP. Les figures 3.11 (a) et (b) représentent les caractéristiques I_{DS} - V_{DS} des transistors pour des tensions de grille V_{GS} allant de 1 V à -6 V.

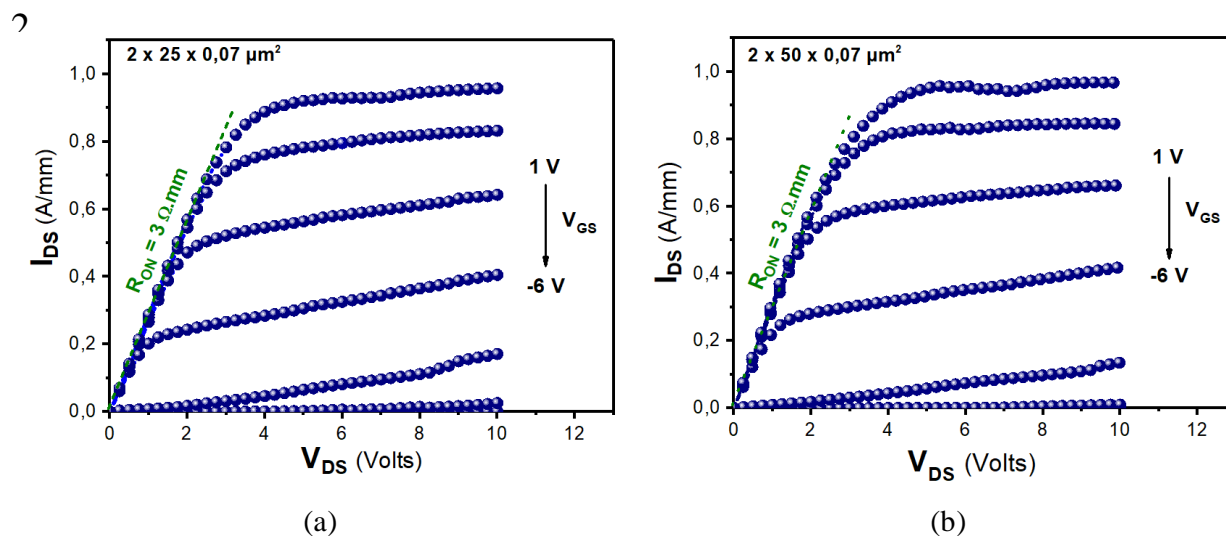


Figure 3. 11 : Caractéristique I_{DS} - V_{DS} des transistors aux topologies : (a) $2 \times 25 \times 0,07 \mu\text{m}^2$ et (b) $2 \times 50 \times 0,07 \mu\text{m}^2$

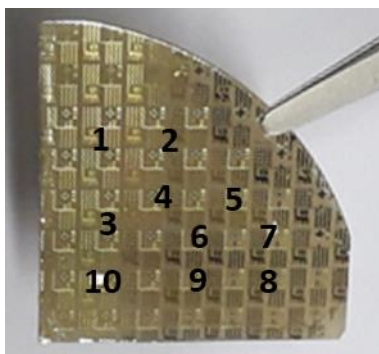


Figure 3. 12 : Plaque contenant les composants HEMT AlGaIn/GaN sur substrat FS-GaN fabriqués

Composant		1	2	3	4	5	6	7	8	9	10
$I_{DS, \max}$ (mA/mm) @VGS = 1 V	2x50 μm	930	920	940	940	950	950	940	940	950	930
	2x25 μm	920	940	930	940	930	950	950	950	930	940

Tableau 3.1 : Mesures de courant $I_{DS, \max}$ sur les composants au développement 2x50 μm et 2x25 μm

Les deux composants HEMTs délivrent une densité de courant maximale $I_{DS, \max}$ à $V_{GS} = 1 \text{ V}$ de l'ordre de $950 \text{ mA}\cdot\text{mm}^{-1}$, associée à une résistance d'accès R_{ON} de l'ordre de $3 \Omega\cdot\text{mm}$. Dans notre cas, le rapport L_g/t_{bar} vaut $6,4 (<15)$, témoignant de la présence d'effets de canal court. Plusieurs composants au même développement ont été mesurés sur différents endroits de la plaque afin d'évaluer son homogénéité. La figure 3.12 montre les composants mesurés et le tableau 3.1 regroupe les courants de drain maximaux mesurés. Des courants moyens de l'ordre de $940 \text{ mA}\cdot\text{mm}^{-1}$ et de $938 \text{ mA}\cdot\text{mm}^{-1}$ ont été obtenus pour les composants au développement 2x50 μm et 2x25 μm respectivement. Une erreur relative de l'ordre de $10 \text{ mA}\cdot\text{mm}^{-1}$ a été calculée traduisant la bonne homogénéité de la plaque.

La topologie de ces transistors, a été optimisée au sein du groupe pour la réalisation des dispositifs destinés aux applications de puissance hyperfréquence à 40 GHz, sans pour autant avoir à réduire drastiquement la longueur de grille ($L_g < 50 \text{ nm}$). D'autre part, la réduction de l'espacement source-drain induit à la diminution de la tension de claquage du composant. De ce fait, la topologie du transistor étudiée au cours de ce travail, respecte un compromis entre réduction de la longueur de grille L_g et diminution de l'espacement source-drain, menant à maximiser les fréquences de coupure et la densité de puissance obtenues en sortie du transistor.

Les figures 3.12 (a) et (b) décrivent la transconductance extrinsèque $g_{m, \text{ext}}$ et la caractéristique de transfert $I_{DS}-V_{GS}$ des deux transistors à $V_{DS} = 6 \text{ V}$. Le composant avec $W = 2 \times 50 \mu\text{m}$ présente un pic de $g_{m, \text{ext}}$ pour la tension $V_{GS} = -2,5 \text{ V}$ de l'ordre de $300 \text{ mS}\cdot\text{mm}^{-1}$. La tension de pincement du transistor V_p extraite par extrapolation linéaire de la caractéristique de transfert au point présentant le pic de transductance est de l'ordre de $V_p = -3,5 \text{ V}$. Une transconductance extrinsèque maximale de $323 \text{ mS}\cdot\text{mm}^{-1}$ est obtenue sur le transistor avec

$W = 2 \times 25 \mu\text{m}$ à la tension $V_{GS} = -3 \text{ V}$, associée à une tension de pincement de $-3,6 \text{ V}$. Afin d'extraire la valeur de la transconductance intrinsèque des composants en utilisant l'équation 3.13, nous calculons la valeur de la résistance d'accès R_s par l'équation 3.43 :

$$R_{S,D} = \frac{R_C}{W} + \frac{L_{GS,GD} \cdot R_{\square}}{W} \quad \text{Eq 3. 43}$$

Il en découle une résistance d'accès de $6,5 \Omega$ et $9,7 \Omega$ respectivement pour les transistors avec $W = 2 \times 50 \mu\text{m}$ et $W = 2 \times 25 \mu\text{m}$. Par conséquent, nous avons une transconductance intrinsèque maximale $g_{m,int \max}$ de $317 \text{ mS} \cdot \text{mm}^{-1}$ pour le transistor au développement $W = 2 \times 50 \mu\text{m}$ et $293 \text{ mS} \cdot \text{mm}^{-1}$ pour le transistor avec $W = 2 \times 25 \mu\text{m}$.

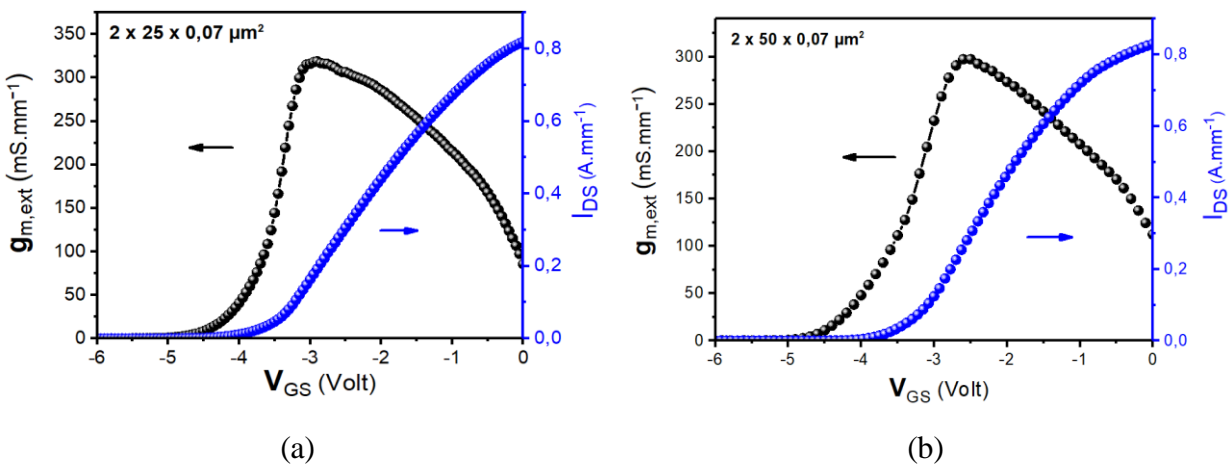


Figure 3. 13 : Caractéristiques $I_{DS}-V_{GS}$ et transconductance g_m à $V_{DS} = 6 \text{ V}$, pour les transistor aux topologies : (a) $2 \times 25 \times 0,07 \mu\text{m}^2$ et (b) $2 \times 50 \times 0,07 \mu\text{m}^2$

La figure 3.13 décrit la caractéristique correspondant à la variation du courant de drain I_D en coordonnées logarithmiques en fonction de la tension de la grille V_{GS} pour le transistor de topologie $2 \times 50 \times 0,07 \mu\text{m}^2$. Cette caractéristique permet d'extraire le rapport I_{ON}/I_{OFF} du transistor avec I_{ON} et I_{OFF} représentant respectivement le courant de drain à l'état passant et à l'état bloqué. Le rapport I_{ON}/I_{OFF} des transistors étudiés est de l'ordre de 10^5 pour une polarisation de drain $V_{DS} = 6 \text{ V}$.

Composant		1	2	3	4	5	6	7	8	9	10
$g_{m, \text{ext max}}$ (mS/mm)	2x50 μm	273	263	294	285	300	280	277	273	290	265
	2x25 μm	284	290	262	304	298	312	293	323	264	288

Tableau 3. 2 : Mesures de courant $I_{DS, \text{max}}$ sur les composants au développement 2x50 μm et 2x25 μm

Plusieurs composants ont été également mesurés sur différents endroits de la plaque. La figure 3.12 montre les composants mesurés et le tableau 3.2 regroupe les transconductance extrinsèques maximales mesurés. Des $g_{m, \text{ext moy}}$ de 273 $\text{mS} \cdot \text{mm}^{-1}$ et de 291 $\text{mS} \cdot \text{mm}^{-1}$ ont été atteints pour les composants au développement 2x50 μm et 2x25 μm respectivement associées à une erreur relative de l'ordre de 15 $\text{mS} \cdot \text{mm}^{-1}$.

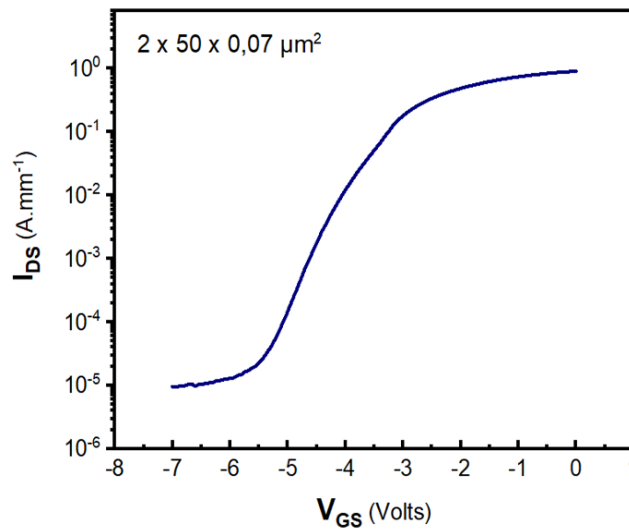


Figure 3. 14 : Caractéristique I_{DS} - V_{GS} pour le transistor de topologie : 2 x 50 x 0,07 μm^2 pour $V_{DS} = 6 \text{ V}$

La caractéristique I_G - V_{GS} permet de relever les propriétés du contact Schottky, à savoir la hauteur de barrière effective, le facteur d'idéalité et le courant de grille en inverse ($V_{GS} < 0 \text{ V}$). La figure 3.14 illustre l'évolution du courant de grille en fonction de la tension V_{GS} en coordonnées logarithmiques. L'extrapolation linéaire du courant de grille en direct ($V_{GS} > 0 \text{ V}$) en coordonnées logarithmiques, permet d'extraire le coefficient directeur α et de l'ordonnée à

l'origine β . Nous observons un courant de grille en inverse de l'ordre de 10^{-6} A.mm $^{-1}$. La hauteur de barrière (φ_B) du contact Schottky à base de l'empilement métallique (Ni/Au) calculée par l'équation 3.44 vaut 0,63 eV, et le coefficient d'idéalité (η) calculé par l'équation 3.45 vaut : 2,7.

$$\varphi_B = \frac{KT}{q} \ln\left(\frac{A^*T^2S}{\beta}\right) \quad \text{Eq 3. 44}$$

$$\eta = \frac{1}{\ln(10)\alpha\frac{KT}{q}} \quad \text{Eq 3. 45}$$

Avec K constante de Boltzmann, T la température, q la charge élémentaire de l'électron, A^* la constante de Richardson, pour le GaN qui est égale à $2,8 \cdot 10^5 \text{ Am}^{-2} \text{ K}^{-2}$. S représente la surface de la grille.

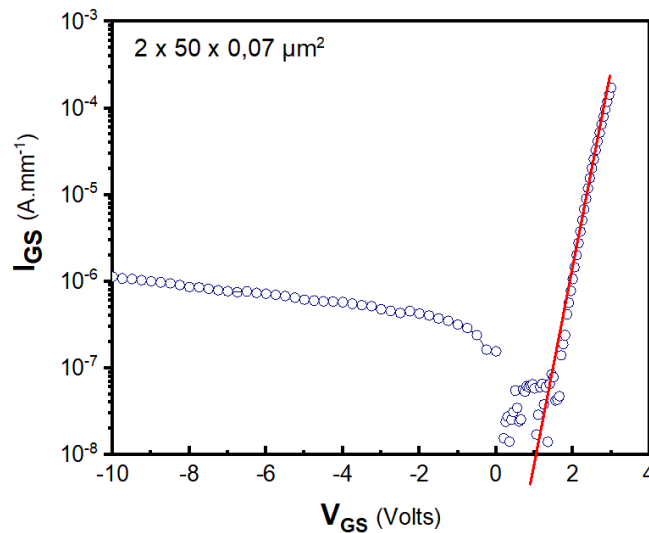


Figure 3. 15 : Caractéristique I_{GS} - V_{GS} en coordonnées logarithmiques pour un transistor au développement $2 \times 50 \times 0,07 \mu\text{m}^2$

Caractérisation thermique

En raison de la dissipation de la puissance, l'augmentation de la température génère de l'auto-échauffement entraînant une dégradation des propriétés physiques des composants. Ce phénomène d'auto-échauffement engendre des perturbations du réseau cristallin et par conséquent la diminution de la mobilité des porteurs dans le canal 2D. Par conséquent, la résistance

carré de l'hétérostructure augmente, conduisant à l'accroissement des résistances d'accès R_s et R_d . Cela conduit à la diminution du courant de drain, à l'augmentation du courant de fuite de grille et à l'augmentation de la résistance à l'état passant R_{ON} , impactant ainsi les performances en puissance hyperfréquence. En régime hyperfréquence, l'augmentation des résistances d'accès de source et de drain en raison de la montée en température, s'accompagne d'une dégradation des performances fréquentielles des composants. Plusieurs méthodes permettent d'estimer la température d'un transistor en fonctionnement. Dans ce travail, nous avons effectué des mesures par caméra infra-rouge sur le transistor avec $W = 2 \times 50 \mu\text{m}$, permettant de déterminer la résistance thermique R_{th} du transistor qui traduit sa capacité à évacuer la chaleur.

Mesure par caméra infra-rouge

Pour la mesure de la température du composant étudié, la caméra infra-rouge établit un profil de température à la surface du transistor. Ce profil de température est basé sur la variation de l'émissivité représentant la capacité de la surface à émettre et absorber l'énergie radiative avec la température. La figure 3.15 est une photo de la station de mesure par caméra infra-rouge du laboratoire IEMN. Elle est équipée d'une caméra infra-rouge (QFI MWIR-512) qui a une résolution spatiale de $2 \mu\text{m} \times 2 \mu\text{m}$.

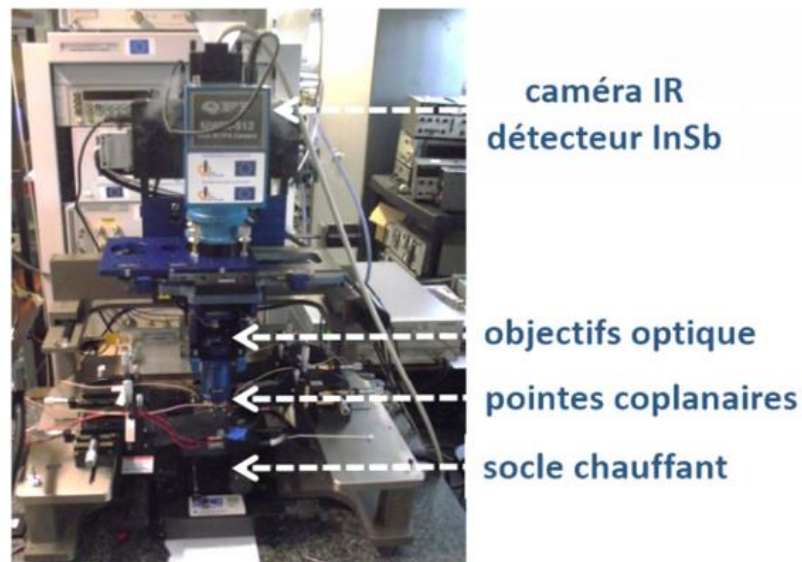


Figure 3. 16 : Banc de mesure par caméra infra-rouge du laboratoire IEMN

La résistance thermique R_{th} du composant est définie selon l'équation 3.46 :

$$T(P) = P \cdot R_{th}(T(P)) + T_A \quad \text{Eq 3. 46}$$

Avec T , T_A et P correspondant respectivement à la température à la surface du composant, la température ambiante et la puissance dissipée par le transistor. Par conséquent, la résistance thermique peut être définie :

$$R_{th} = \frac{\Delta T}{\Delta P} \quad \text{Eq 3. 47}$$

La procédure de mesure développée au sein du groupe [209], consiste à extraire la température maximale observée par la caméra infra-rouge pour différentes puissances dissipées. La figure 3.16 est une cartographie thermique de la surface du composant qui a un développement $2 \times 50 \times 0,07 \mu\text{m}^2$. Nous observons que la chaleur est maximale dans le canal 2D en sortie de la grille en raison du pic du champ électrique à cet endroit.

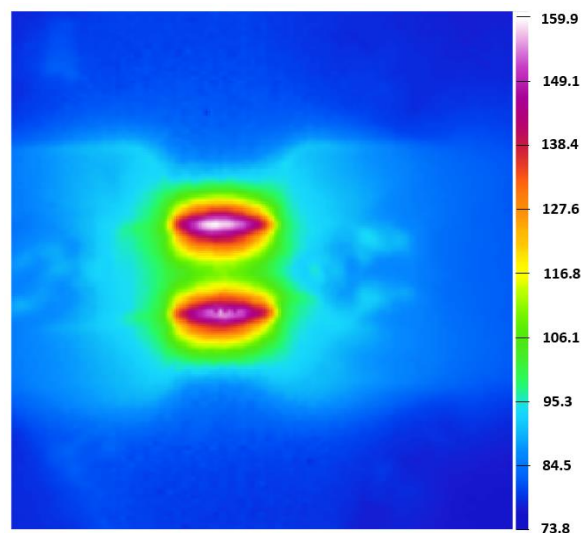


Figure 3. 17 : Image IR d'un HEMT $2 \times 50 \times 0,07 \mu\text{m}^2$ pour le point de polarisation ($V_{GS} = 0 \text{ V}$; $V_{DS} = 15 \text{ V}$)

L'évolution de la température en fonction de la puissance dissipée est décrite sur la figure 3.17. Deux séries de mesures ont été effectuées selon les points de polarisations (V_{GS} ; V_{DS}). En premier lieu, nous avons fixé la tension V_{DS} à 8 V, tout en faisant varier la tension de grille V_{GS} pour augmenter la puissance dissipée jusqu'à 0,7 W. La deuxième série de mesures consistait à fixer la tension V_{GS} , et à faire varier la tension du drain V_{DS} jusqu'à atteindre une puissance de dissipation de 1,04 W. Nous observons que les deux courbes résultantes sont identiques, témoignant de la cohérence des mesures effectuées. Les deux courbes présentent un facteur de linéarité de l'ordre de 0,996 entre la température mesurée et la puissance dissipée pour de faibles puissances dissipées. La résistance thermique extraite vaut 96 K/W et une température maximale de 90 °C a été prélevée pour une puissance de dissipation de 1,04 W.

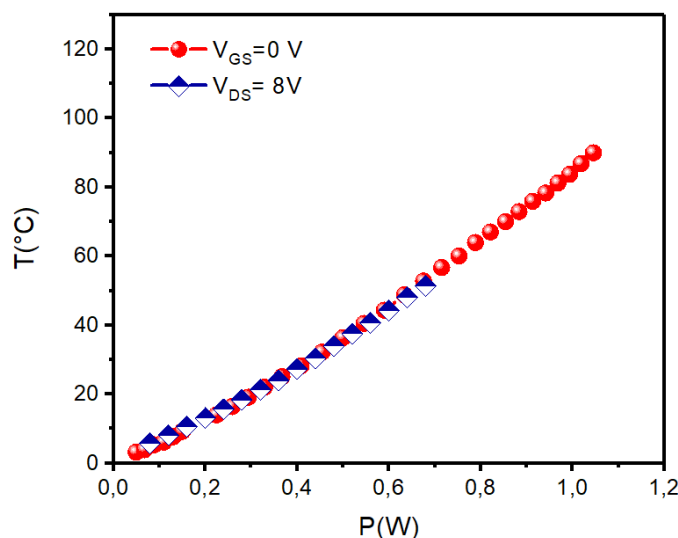


Figure 3. 18 : Variation de la température mesurée en fonction de la puissance dissipée pour un HEMT $2 \times 50 \times 0,07 \mu\text{m}^2$

Caractérisation en régime impulsionnel

La caractérisation des composants en régime impulsionnel décrite ci-dessous, permet d'observer les phénomènes de pièges dans la structure AlGaIn/GaN à travers les caractéristiques I_{DS} - V_{DS} sous différentes conditions de polarisation : point de repos ($V_{GS0} = 0$ V, $V_{DS0} = 0$ V), en condition de gate lag ($V_{GS0} = -6$ V, $V_{DS0} = 0$ V) et en condition drain lag ($V_{GS0} = -6$ V, $V_{DS0} = 15$ V) (figure 3.18).

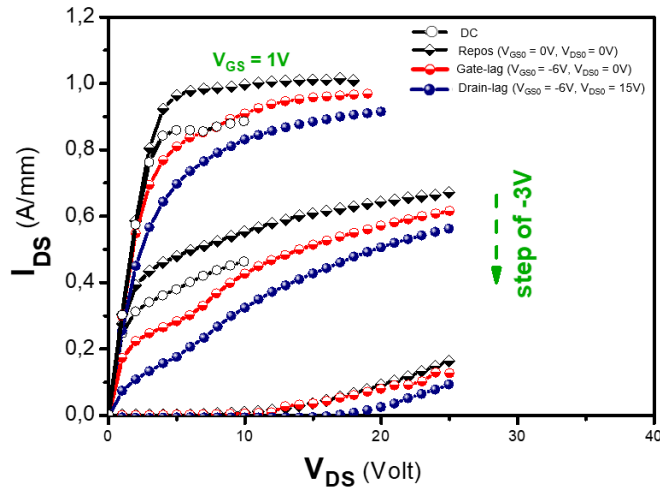


Figure 3. 19 : Caractéristiques I_{DS} - V_{DS} pulsées pour le transistor de topologie $2 \times 25 \times 0,07 \mu\text{m}^2$

Une densité de courant de $1 \text{ A}\cdot\text{mm}^{-1}$ est observé pour une polarisation au point de repos. En condition gate lag, la caractéristique I_{DS} - V_{DS} affiche une chute de courant de l'ordre de 18 % par rapport à la densité de courant au point de polarisation ($V_{GS0} = 0 \text{ V}$; $V_{DS0} = 0 \text{ V}$). Et en condition drain lag, nous observons une chute de courant de 24 %. Cette décroissance du courant témoigne de la présence de pièges sous la grille, dans l'hétérostructure AlGaIn/GaN et en surface. Plusieurs études ont démontré l'importance du prétraitement de surface avant passivation afin de neutraliser les liaisons pendantes et les charges présentes en surface [210]. De plus, les pièges présents dans l'hétérostructure AlGaIn/GaN peuvent provenir du dopage carbone (C) effectué dans le but d'isoler l'hétérostructure du substrat FS-GaN conducteur. Néanmoins, la diminution de la densité du dopage induirait à l'augmentation des pertes hyperfréquences. Une optimisation de l'épaisseur du buffer, et de la densité du dopage carbone, permettra de réduire les pièges dans la structure tout en limitant les pertes hyperfréquences. Cette optimisation doit être un compromis entre isolation électrique et qualité cristalline de la structure.

Caractérisation en régime petit signal

Les mesures des paramètres S_{ij} sur les composants à petite longueur de grille (70 nm), ont été effectuées dans une large bande de fréquences allant de 250 MHz à 67 GHz en régime petit signal, à l'aide d'un analyseur de réseau vectoriel Keysight. Les figures 3.19 (a) et (b) décrivent l'évolution du gain en courant $|H_{21}|$ du gain unilatéral de Mason U et du gain maximum stable

MSG au point de polarisation ($V_{GS} = -2,5$ V ; $V_{DS} = 6$ V) pour le composant de topologie $W = 2 \times 50 \times 0,07 \mu\text{m}^2$ (figure 3.19 (a)) et ($V_{GS} = -3$ V ; $V_{DS} = 6$ V) pour le transistor au développement $W = 2 \times 50 \times 0,07 \mu\text{m}^2$ (figure 3.19 (b)), correspondants au maximum des transconductances extrinsèques déterminées précédemment.

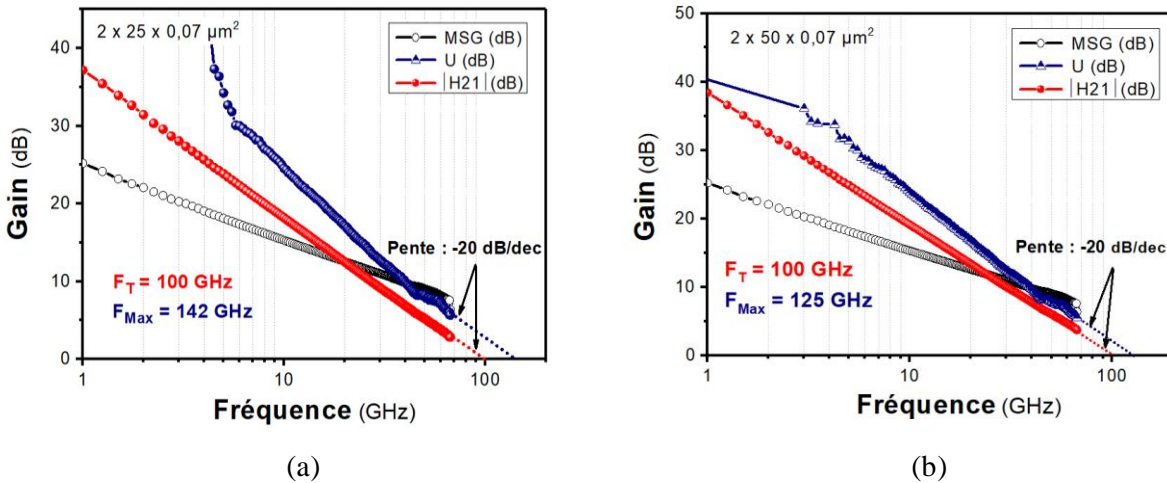


Figure 3. 20 : Gain en courant $|H_{21}|$, gain unilatéral de Mason U et gain maximum stable MSG en fonction de la fréquence pour les transistors de topologies : (a) $2 \times 25 \times 0,07 \mu\text{m}^2$ et (b) $2 \times 50 \times 0,07 \mu\text{m}^2$

Après application de la procédure de de-embedding, l'extrapolation par une pente -20 dB/dec du gain en courant $|H_{21}|$ et du gain unilatéral de Mason U , permet d'extraire les fréquences de coupures du gain en courant F_t et du gain en puissance F_{max} qui sont respectivement de 100 GHz et 125 GHz pour le composant au développement $W = 2 \times 50 \times 0,07 \mu\text{m}^2$ et de 100 GHz et 142 GHz pour le transistor au développement $W = 2 \times 25 \times 0,07 \mu\text{m}^2$. L'optimisation de la structure épitaxiée dans le but de réduire les pertes hyperfréquences permettra d'améliorer les valeurs des fréquences de coupures. De plus, Le développement de contacts ohmiques réépitaxiés permettra de réduire drastiquement les résistances d'accès et par conséquent d'augmenter les valeurs de fréquences de coupure.

Le tableau 3.1 regroupe les résultats de l'extraction des fréquences de coupure pour différentes longueurs de grilles pour les transistors au développement $2 \times 25 \mu\text{m}$.

Longueur de grille (nm)	70	100	150	200
Polarisation (V_{GS}, V_{DS})	(-3 V, 6 V)	(-3,3 V, 6 V)	(-3, V, 6 V)	(-2,8 V, 6 V)
F_t (GHz)	100	75	60	48
F_{max} (GHz)	142	129	113	95

Tableau 3. 3 : Fréquences de coupures pour différentes longueurs de grille

Caractérisation en régime grand signal

Les mesures grand signal permettent d'évaluer les potentialités des transistors en termes de puissance hyperfréquence. Dans cette étude nous avons effectué les mesures de puissance sur les transistors au développement $W = 2 \times 50 \mu\text{m}$ à des fréquences de fonctionnement de 18 GHz et de 40 GHz.

6.1. Mesures de puissance hyperfréquence à 18 GHz

Les mesures de puissance hyperfréquence du composant de topologie $2 \times 50 \times 0,07 \mu\text{m}^2$, ont été effectuées en mode load-pull, à l'aide d'un analyseur de réseau non linéaire (LSNA) en configuration charge active. L'impédance de sortie optimale permettant au transistor de présenter une puissance de sortie maximale, est déterminée en caractérisant le transistor pour différentes puissances injectées tout en adaptant la charge en sortie.

La figure 3.20 décrit l'évolution du gain en puissance G_P , de la puissance de sortie P_{out} et du rendement en puissance ajoutée PAE en fonction de la puissance absorbée P_{abs} du transistor au développement $W = 2 \times 50 \times 0,07 \mu\text{m}^2$ à 18 GHz. La mesure a été effectuée pour le point de polarisation ($V_{GS0} = -4,4 \text{ V}$; $V_{DS0} = 15 \text{ V}$) correspondant à la classe B et associé à une impédance de charge optimale de $\Gamma_{load} = 0,65 \angle 45^\circ$. On obtient une densité de puissance de sortie en saturation P_{sat} de 24,1 dBm soit 2,57 W/mm. Le gain en puissance G_P linéaire est de 8,8 dB et un rendement en puissance ajoutée maximum de 30,6 % est atteint.

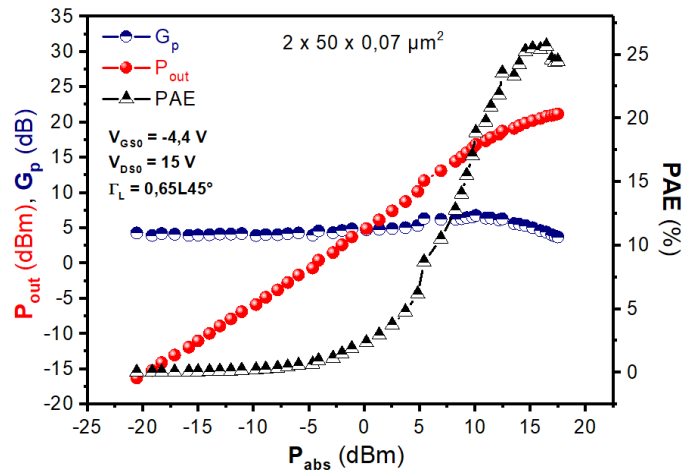


Figure 3. 21 : Caractéristiques de puissance hyperfréquence à 18 GHz au point de polarisation : ($V_{GS0} = -4,4$ V, $V_{DS0} = 15$ V) pour un transistor de topologie $2 \times 50 \times 0,07 \mu\text{m}^2$

6.2. Mesures de puissance hyperfréquence à 40 GHz

Afin d'évaluer les transistors fabriqués en termes de performance de puissance hyperfréquence, des mesures de puissance en mode Load-Pull sur un HEMT de topologie $2 \times 50 \times 0,07 \mu\text{m}^2$ ont également été effectuées à 40 GHz. La figure 3.21 (a) représente l'évolution du gain en puissance G_P , de la puissance de sortie P_{out} et du rendement en puissance ajoutée PAE en fonction de la puissance absorbée P_{abs} du transistor au point de polarisation en classe AB ($V_{GS0} = -3,98$ V ; $V_{DS0} = 10$ V). Une impédance de charge optimale de $\Gamma_{load} = 0,75L85^\circ$ a été déterminée. Dans ces conditions, le transistor développe un gain linéaire de 5,1 dB, un rendement en puissance ajoutée maximale de 26,2 % et une puissance de sortie en saturation de 20,8 dBm, soit une densité de puissance de $1,2 \text{ W} \cdot \text{mm}^{-1}$. De la même manière, les mesures ont été effectuées au point de polarisation ($V_{GS0} = -4,76$ V, $V_{DS0} = 15$ V) (figure 3.21 (b)) avec une impédance de charge optimale de $\Gamma_{load} = 0,7L80^\circ$, affichant une puissance de sortie en saturation P_{sat} de 23,1 dBm soit une densité de puissance de $2 \text{ W} \cdot \text{mm}^{-1}$, associée à un gain linéaire de 4,2 dB et un rendement en puissance ajoutée maximal de 20,5 %. La valeur du gain en puissance qui est faible, peut être due aux capacités parasites limitant la transconductance maximale disponible soit $300 \text{ mS} \cdot \text{mm}^{-1}$. Cette performance de puissance hyperfréquence à 40 GHz, représente à ce jour l'état de l'art des HEMTs sur substrats FS-GaN [211].

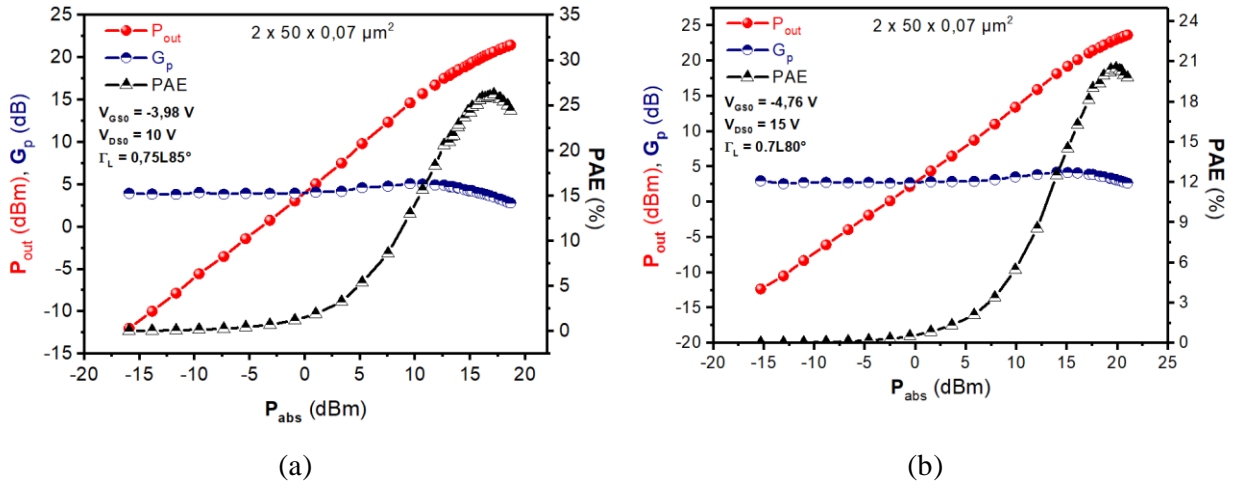


Figure 3. 22 : Caractéristiques de puissance hyperfréquence à 40 GHz aux points de polarisation : (a) ($V_{GS0} = -3,98$ V, $V_{DS0} = 10$ V) et (b) ($V_{GS0} = -4,76$ V, $V_{DS0} = 15$ V) pour un transistor de topologie $2 \times 50 \times 0,07 \mu m^2$

La figure 3.22 représente l'évolution des courants de grille et de drain en fonction de la puissance absorbée au point de polarisation ($V_{GS0} = -4,76$ V, $V_{DS0} = 15$ V). Nous observons un courant de drain assez stable au début, témoignant des faibles effets de pièges présents. A une puissance absorbée de 8 dBm, le courant de polarisation augmente par phénomène d'auto-polarisation entrainant un accroissement de la puissance continue d'alimentation et donc la diminution du rendement en puissance ajoutée.

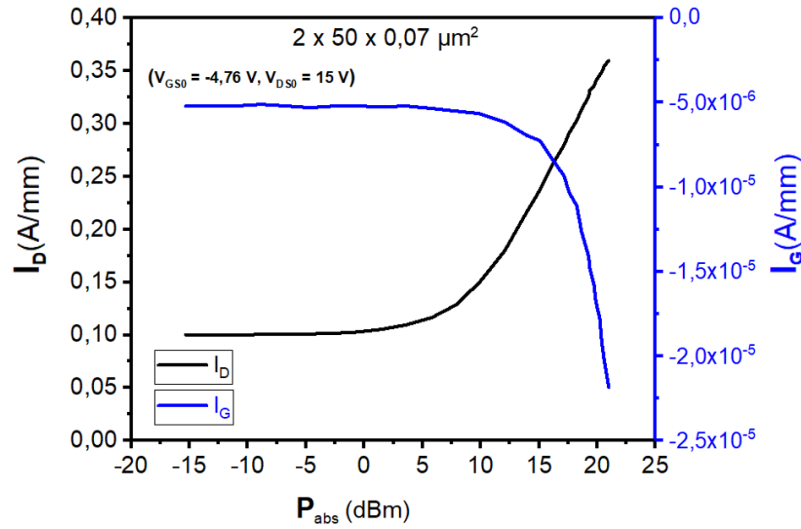


Figure 3. 23 : Evolution des courants de drain et de grille en fonction de la puissance absorbée pour un transistor de topologie $2 \times 50 \times 0,07 \mu m^2$

Conclusion

Ce dernier chapitre présente dans sa première partie une description des caractéristiques physiques et électriques des HEMTs permettant de cerner les mesures effectuées pour la caractérisation des transistors fabriqués au cours de ce travail. La deuxième partie du chapitre regroupe les résultats de caractérisations effectuées en régime statique, petit signal et en régime grand signal.

Dans un premier temps, des mesures des pertes hyperfréquences dans les structures développées dans le cadre de cette thèse ont été présentées. Les hétérostructures étant crûes sur substrats FS-GaN conducteurs ont nécessité la croissance d'une couche de buffer épaisse dans le but de les isoler du substrat. Deux structures comportant un buffer épais de 17 μm de GaN-nid et de 40 μm de GaN-nid ont démontré des pertes hyperfréquences importantes. Afin de réduire l'épaisseur du buffer dégradant la qualité cristalline des structures, deux autres structures comportant chacune une couche de 3 μm de GaN dopé C, et une couche de GaN-nid de 7 μm et de 17 μm d'épaisseur, ont été développées. Ces deux dernières structures, ont démontré moins de pertes hyperfréquences par rapport à l'épaisseur du buffer grâce au dopage C. Cependant il reste nécessaire de réduire les pertes de propagation dans ces structures en optimisant le dopage et l'épaisseur du buffer. Ensuite, les résultats des caractérisations effectuées sur les transistors fabriqués sur une structure AlGaIn/GaN comportant un buffer composé d'une couche de 3 μm de GaN dopé C et d'une couche de 7 μm de GaN-nid, ont été présentés. Les caractéristiques en régime statique ont permis de remonter aux informations concernant la densité de courant et la transconductance. Des mesures à la caméra infra-rouge ont permis de déterminer la résistance thermique R_{th} du transistor à la topologie $2 \times 50 \times 0,07 \mu\text{m}^2$. Ce dernier présente une R_{th} de 96 K/W. D'autre part, les mesures des paramètres S_{ij} en régime petit signal ont permis d'extraire les fréquences de coupure des composants étudiés. Enfin, les caractéristiques de puissance hyperfréquences ont été mesurées afin d'évaluer les performances des transistors. Pour un transistor de topologie $2 \times 50 \times 0,07 \mu\text{m}^2$, des fréquences de coupures $F_t = 100 \text{ GHz}$ et $F_{max} = 125 \text{ GHz}$ ont été obtenues. La mesure de puissance hyperfréquence à 18 GHz, a démontré un gain linéaire de 8,8 dB associé à un rendement en puissance ajoutée de 30,6 %, et une puissance de sortie en saturation de $2,57 \text{ W} \cdot \text{mm}^{-1}$. De même, à 40 GHz, le transistor a développé un gain

linéaire de 4,2 dB, une PAE de 20,5 % et une puissance de sortie en saturation de 2 W.mm⁻¹. Ce résultat constitue l'état de l'art actuel des HEMTs sur substrat FS-GaN.

Références

- [1] T. Mimura, N. Yokoyama, H. Kusakawa, K. Suyama, et M. Fukuta, « MP-A4 GaAs MOSFET for low-power high-speed logic applications », *IEEE Trans. Electron Devices*, vol. 26, n° 11, p. 1828-1828, nov. 1979, doi: 10.1109/T-ED.1979.19701.
- [2] M. Asif Khan, A. Bhattarai, J. N. Kuznia, et D. T. Olson, « High electron mobility transistor based on a GaN-Al_xGa_{1-x}N heterojunction », *Appl. Phys. Lett.*, vol. 63, n° 9, p. 1214-1215, août 1993, doi: 10.1063/1.109775.
- [3] S. Krishnamurthy, M. van Schilfgaarde, A. Sher, et A.-B. Chen, « Bandstructure effect on high-field transport in GaN and GaAlN », *Appl. Phys. Lett.*, vol. 71, n° 14, p. 1999-2001, oct. 1997, doi: 10.1063/1.119767.
- [4] F. Bernardini, V. Fiorentini, et D. Vanderbilt, « Spontaneous polarization and piezoelectric constants of III-V nitrides », *Phys. Rev. B*, vol. 56, n° 16, p. R10024-R10027, oct. 1997, doi: 10.1103/PhysRevB.56.R10024.
- [5] O. Ambacher *et al.*, « Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGa_N/Ga_N heterostructures », *J. Appl. Phys.*, vol. 85, n° 6, p. 3222-3233, mars 1999, doi: 10.1063/1.369664.
- [6] A. F. Wright et J. S. Nelson, « Consistent structural properties for AlN, GaN, and InN », *Phys. Rev. B*, vol. 51, n° 12, p. 7866-7869, mars 1995, doi: 10.1103/PhysRevB.51.7866.
- [7] A. E. Romanov, T. J. Baker, S. Nakamura, et J. S. Speck, « Strain-induced polarization in wurtzite III-nitride semipolar layers », *J. Appl. Phys.*, vol. 100, n° 2, p. 023522, juill. 2006, doi: 10.1063/1.2218385.
- [8] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, et U. K. Mishra, « Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors », *Appl. Phys. Lett.*, vol. 77, n° 2, p. 250-252, juin 2000, doi: 10.1063/1.126940.
- [9] A. E. Wickenden *et al.*, « The influence of OMVPE growth pressure on the morphology, compensation, and doping of GaN and related alloys », *J. Electron. Mater.*, vol. 29, n° 1, p. 21-26, janv. 2000, doi: 10.1007/s11664-000-0088-2.
- [10] K. Fu, « Growth Dynamics of Semiconductor Nanostructures by MOCVD », 2009.
- [11] G. J. Riedel *et al.*, « Reducing Thermal Resistance of AlGa_N/Ga_N Electronic Devices Using Novel Nucleation Layers », *IEEE Electron Device Lett.*, vol. 30, n° 2, p. 103-106, févr. 2009, doi: 10.1109/LED.2008.2010340.
- [12] Z. Bougrioua *et al.*, « Engineering of an insulating buffer and use of AlN interlayers: two optimisations for AlGa_N-Ga_N HEMT-like structures », *Phys. Status Solidi A*, vol. 195, n° 1, p. 93-100, 2003, doi: 10.1002/pssa.200306305.
- [13] J. Antoszewski *et al.*, « Scattering mechanisms limiting two-dimensional electron gas mobility in Al_{0.25}Ga_{0.75}N/Ga_N modulation-doped field-effect transistors », *J. Appl. Phys.*, vol. 87, n° 8, p. 3900-3904, mars 2000, doi: 10.1063/1.372432.

- [14] I. Vurgaftman, J. R. Meyer, et L. R. Ram-Mohan, « Band parameters for III–V compound semiconductors and their alloys », *J. Appl. Phys.*, vol. 89, n° 11, p. 5815-5875, juin 2001, doi: 10.1063/1.1368156.
- [15] K. P. O'Donnell et X. Chen, « Temperature dependence of semiconductor band gaps », *Appl. Phys. Lett.*, vol. 58, n° 25, p. 2924-2926, juin 1991, doi: 10.1063/1.104723.
- [16] S. Qu *et al.*, « Analysis of GaN cap layer effecting on critical voltage for electrical degradation of AlGaIn/GaN HEMT », *Eur. Phys. J. - Appl. Phys.*, vol. 68, n° 1, oct. 2014, doi: 10.1051/epjap/2014140019.
- [17] D.-H. Kim, H. Park, S.-K. Eom, J.-S. Jeong, H.-Y. Cha, et K.-S. Seo, « Ka-Band MMIC Using AlGaIn/GaN-on-Si With Recessed High-kDual MIS Structure », *IEEE Electron Device Lett.*, vol. 39, n° 7, p. 995-998, juill. 2018, doi: 10.1109/LED.2018.2834223.
- [18] V. Di Giacomo-Brunel *et al.*, « Industrial 0.15- μ m AlGaIn/GaN on SiC Technology for Applications up to Ka Band », in *2018 13th European Microwave Integrated Circuits Conference (EuMIC)*, 2018, p. 1-4, doi: 10.23919/EuMIC.2018.8539905.
- [19] R. Gaska, Q. Chen, J. Yang, A. Osinsky, M. Asif Khan, et M. S. Shur, « High-temperature performance of AlGaIn/GaN HFETs on SiC substrates », *IEEE Electron Device Lett.*, vol. 18, n° 10, p. 492-494, oct. 1997, doi: 10.1109/55.624930.
- [20] N. Sghaier *et al.*, « Traps centers and deep defects contribution in current instabilities for AlGaIn/GaN HEMT's on silicon and sapphire substrates », *Microelectron. J.*, vol. 37, n° 4, p. 363-370, avr. 2006, doi: 10.1016/j.mejo.2005.05.014.
- [21] M. Ľapajna *et al.*, « Influence of threading dislocation density on early degradation in AlGaIn/GaN high electron mobility transistors », *Appl. Phys. Lett.*, vol. 99, n° 22, p. 223501, nov. 2011, doi: 10.1063/1.3663573.
- [22] S. W. Kaun *et al.*, « Effects of Threading Dislocation Density on the Gate Leakage of AlGaIn/GaN Heterostructures for High Electron Mobility Transistors », *Appl. Phys. Express*, vol. 4, n° 2, p. 024101, janv. 2011, doi: 10.1143/APEX.4.024101.
- [23] R. Zhang et X. Xiu, « GaN Substrate Material for III–V Semiconductor Epitaxy Growth », in *Light-Emitting Diodes: Materials, Processes, Devices and Applications*, J. Li et G. Q. Zhang, Éd. Cham: Springer International Publishing, 2019, p. 1-39.
- [24] G. Meneghesso *et al.*, « Reliability issues of Gallium Nitride High Electron Mobility Transistors », *Int. J. Microw. Wirel. Technol.*, vol. 2, n° 1, p. 39-50, févr. 2010, doi: 10.1017/S1759078710000097.
- [25] R. Menozzi, « Reliability of GaN-Based HEMT devices », in *2008 Conference on Optoelectronic and Microelectronic Materials and Devices*, 2008, p. 44-50, doi: 10.1109/COMMAD.2008.4802089.
- [26] L. Brunel, « Contribution à l'assurance fiabilité de filières HEMTs à base de GaN sur substrat SiC : caractérisation électrique approfondie et modélisation des effets parasites », thesis, Bordeaux, 2014.
- [27] Y.C. Chou *et al.*, « Reliability investigation of 0.25 μ m AlGaIn/GaN HEMTs under elevated temperature lifetesting », *Proceedings GaAs Reliability Workshop*, 2003.

- [28] G. Sonia *et al.*, « 2MeV ion irradiation effects on AlGaIn/GaN HFET devices », *Solid-State Electron.*, vol. 52, n° 7, p. 1011-1017, juill. 2008, doi: 10.1016/j.sse.2008.02.005.
- [29] A. Sozza *et al.*, « Thermal stability of Mo-based Schottky contact for AlGaIn/GaN HEMT », *Electronics Letters*, Vol 41, Issue 16, 2005.
- [30] S. Singhal *et al.*, « GaN-on-Si Failure Mechanisms and Reliability Improvements », in *2006 IEEE International Reliability Physics Symposium Proceedings*, 2006, p. 95-98, doi: 10.1109/RELPHY.2006.251197.
- [31] R. Vetury, N. Q. Zhang, S. Keller, et U. K. Mishra, « The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 560-566, mars 2001, doi: 10.1109/16.906451.
- [32] O. Mitrofanov et M. Manfra, « Mechanisms of gate lag in GaN/AlGaIn/GaN high electron mobility transistors », *Superlattices Microstruct.*, vol. 34, n° 1, p. 33-53, juill. 2003, doi: 10.1016/j.spmi.2003.12.002.
- [33] M. Faqir *et al.*, « Mechanisms of RF Current Collapse in AlGaIn–GaN High Electron Mobility Transistors », *IEEE Trans. Device Mater. Reliab.*, vol. 8, n° 2, p. 240-247, juin 2008, doi: 10.1109/TDMR.2008.922017.
- [34] M. A. Khan, M. S. Shur, Q. C. Chen, et J. N. Kuznia, « Current/voltage characteristic collapse in AlGaIn/GaN heterostructure insulated gate field effect transistors at high drain bias », *Electron. Lett.*, vol. 30, n° 25, p. 2175-2176, déc. 1994, doi: 10.1049/el:19941461.
- [35] P. B. Klein, S. C. Binari, K. Ikossi, A. E. Wickenden, D. D. Koleske, et R. L. Henry, « Current collapse and the role of carbon in AlGaIn/GaN high electron mobility transistors grown by metalorganic vapor-phase epitaxy », *Appl. Phys. Lett.*, vol. 79, n° 21, p. 3527-3529, nov. 2001, doi: 10.1063/1.1418452.
- [36] A. Koudymov *et al.*, « Analytical HFETI–VModel in Presence of Current Collapse », *IEEE Trans. Electron Devices*, vol. 55, n° 3, p. 712-720, mars 2008, doi: 10.1109/TED.2007.915092.
- [37] D. W. DiSanto et C. R. Bolognesi, « Effect of gate-source access region stress on current collapse in AlGaIn/GaN HFETs », *Electron. Lett.*, vol. 41, n° 8, p. 503-504, avr. 2005, doi: 10.1049/el:20050336.
- [38] J.L. Billbro and R.J. Trew, « RF knee walkout and source access region of unpassivated HFETs », *Electronics Letters*, Vol 42, Issue 24, 2006.
- [39] J. S. Lee *et al.*, « Reduction of current collapse in AlGaIn/GaN HFETs using AlN interfacial layer », *Electron. Lett.*, vol. 39, n° 9, p. 750-752, mai 2003, doi: 10.1049/el:20030473.
- [40] A. V. Vertiatchikh, L. F. Eastman, W. J. Schaff, et T. Prunty, « Effect of surface passivation of AlGaIn/GaN heterostructure field-effect transistor », *Electron. Lett.*, vol. 38, n° 8, p. 388-389, avr. 2002, doi: 10.1049/el:20020270.
- [41] N. Maeda *et al.*, « Systematic Study of Insulator Deposition Effect (Si₃N₄, SiO₂, AlN, and Al₂O₃) on Electrical Properties in AlGaIn/GaN Heterostructures », *Jpn. J. Appl. Phys.*, vol. 46, n° 2R, p. 547, févr. 2007, doi: 10.1143/JJAP.46.547.

- [42] S. Karmalkar, N. Satyan, et D. M. Sathaiya, « On the resolution of the mechanism for reverse gate leakage in AlGa_N/Ga_N HEMTs », *IEEE Electron Device Lett.*, vol. 27, n° 2, p. 87-89, févr. 2006, doi: 10.1109/LED.2005.862672.
- [43] P. B. Klein et S. C. Binari, « Photoionization spectroscopy of deep defects responsible for current collapse in nitride-based field effect transistors », *J. Phys. Condens. Matter*, vol. 15, n° 44, p. R1641–R1667, oct. 2003, doi: 10.1088/0953-8984/15/44/R01.
- [44] S.C. Binari *et al.*, « Trapping effects and microwave power performance in AlGa_N/Ga_N HEMTs », *IEEE Transactions on Electron Devices*, Vol 48, Issue 3, 2001.
- [45] G. Meneghesso, F. Zanon, M. J. Uren, et E. Zanoni, « Anomalous Kink Effect in Ga_N High Electron Mobility Transistors », *IEEE Electron Device Lett.*, vol. 30, n° 2, p. 100-102, févr. 2009, doi: 10.1109/LED.2008.2010067.
- [46] L. Brunel, N. Malbert, A. Curutchet, N. Labat, et B. Lambert, « Kink effect characterization in AlGa_N/Ga_N HEMTs by DC and drain current transient measurements », in *2012 Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, 2012, p. 270-273, doi: 10.1109/ESSDERC.2012.6343385.
- [47] Philippe Altuntas, « Fabrication et caractérisation de dispositifs de type HEMT de la filière Ga_N pour les applications de puissance hyperfréquence », université de Lille 1, 2015.
- [48] A. Sarua *et al.*, « Piezoelectric strain in AlGa_N/Ga_N heterostructure field-effect transistors under bias », *Appl. Phys. Lett.*, vol. 88, n° 10, p. 103502, mars 2006, doi: 10.1063/1.2182011.
- [49] J. A. del Alamo et J. Joh, « Ga_N HEMT reliability », *Microelectron. Reliab.*, vol. 49, n° 9, p. 1200-1206, sept. 2009, doi: 10.1016/j.microrel.2009.07.003.
- [50] D. Marcon *et al.*, « Reliability of AlGa_N/Ga_N HEMTs: Permanent leakage current increase and output current drop », in *Proceedings of the 20th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2013, p. 249-254, doi: 10.1109/IPFA.2013.6599162.
- [51] U. Chowdhury *et al.*, « TEM Observation of Crack- and Pit-Shaped Defects in Electrically Degraded Ga_N HEMTs », *IEEE Electron Device Lett.*, vol. 29, n° 10, p. 1098-1100, oct. 2008, doi: 10.1109/LED.2008.2003073.
- [52] D. Hanser *et al.*, « Surface preparation of substrates from bulk Ga_N crystals », *J. Cryst. Growth*, vol. 305, n° 2, p. 372-376, juill. 2007, doi: 10.1016/j.jcrysgro.2007.03.039.
- [53] T. Nakamura et K. Motoki, « Ga_N Substrate Technologies for Optical Devices », *Proc. IEEE*, vol. 101, n° 10, p. 2221-2228, oct. 2013, doi: 10.1109/JPROC.2013.2274930.
- [54] H. Yamane, M. Shimada, T. Sekiguchi, et F. J. DiSalvo, « Morphology and characterization of Ga_N single crystals grown in a Na flux », *J. Cryst. Growth*, vol. 186, n° 1, p. 8-12, mars 1998, doi: 10.1016/S0022-0248(97)00480-6.
- [55] H. P. Maruska, J. J. Tietjen, « The preparation and properties of vapor-deposited single-crystal-line Ga_N » *Applied Physics Letters*, 1969.
- [56] T.L. Chu *et al.*, « Crystal Growth and Characterization of Gallium Nitride », *J. Electrochem. Soc.*, Vol 121, Issue 1, 1974.

- [57] T. Detchprohm, K. Hiramatsu, H. Amano, et I. Akasaki, « Hydride vapor phase epitaxial growth of a high quality GaN film using a ZnO buffer layer », *Appl. Phys. Lett.*, vol. 61, n° 22, p. 2688-2690, nov. 1992, doi: 10.1063/1.108110.
- [58] A. Usui, H. Sunakawa, A. Sakai, et A. A. Yamaguchi, « Thick GaN Epitaxial Growth with Low Dislocation Density by Hydride Vapor Phase Epitaxy », *Jpn. J. Appl. Phys.*, vol. 36, n° Part 2, No. 7B, p. L899-L902, juill. 1997, doi: 10.1143/JJAP.36.L899.
- [59] E. Richter *et al.*, « N-type doping of HVPE-grown GaN using dichlorosilane », *Physica Status Solidi (a)*, Vol 203, Issue 7, 2006.
- [60] A. Usikov *et al.*, « P-type GaN epitaxial layers and AlGaIn/GaN heterostructures with high hole concentration and mobility grown by HVPE », *MRS Online Proc. Libr. Arch.*, vol. 831, ed 2004, doi: 10.1557/PROC-831-E8.28.
- [61] R. P. Vaudo, X. Xu, A. Salant, J. Malcarne, et G. R. Brandes, « Characteristics of semi-insulating, Fe-doped GaN substrates », *Phys. Status Solidi A*, vol. 200, n° 1, p. 18-21, 2003, doi: 10.1002/pssa.200303273.
- [62] « Progress and Prospect of the Growth of Wide-Band-Gap Group III Nitrides: Development of the Growth Method for Single-Crystal Bulk GaN - IOPscience ».
- [63] « GaN Substrates | Compound Semiconductor | Sumitomo Electric Industries, Ltd. »
- [64] « GaN Wafer (GaN substrate) | Products », *Mitsubishi Chemical Corporation*.
- [65] « GaN Substrates | Products | SCIOCS ».
- [66] « gan substrate, gan substrate price » Xiamen Powerway.
- [67] « Products center—Suzhou Nanowin »
- [68] « GaN Substrates (Bulk, C-Plane) », Kyma Technologies.
- [69] « Free Standing GaN Substrates | Lumilog ».
- [70] S. Chowdhury, B. L. Swenson, M. H. Wong, et U. K. Mishra, « Current status and scope of gallium nitride-based vertical transistors for high-power electronics application », *Semicond. Sci. Technol.*, vol. 28, n° 7, p. 074014, juin 2013, doi: 10.1088/0268-1242/28/7/074014.
- [71] K.K. Chu *et al.*, « 9.4-W/mm power density AlGaIn-GaN HEMTs on free-standing GaN substrates » - *IEEE Electron Device Lett*, Vol 25, Issue 9, 2004.
- [72] D. F. Storm *et al.*, « Microwave power performance of MBE-grown AlGaIn/GaN HEMTs on HVPE GaN substrates », *Electron. Lett.*, vol. 42, n° 11, p. 663-665, mai 2006, doi: 10.1049/el:20060648.
- [73] S. W. Kaun, M. H. Wong, J. Lu, U. K. Mishra, et J. S. Speck, « Reduction of carbon proximity effects by including AlGaIn back barriers in HEMTs on free-standing GaN », *Electron. Lett.*, vol. 49, n° 14, p. 893-895, juill. 2013, doi: 10.1049/el.2013.1723.
- [74] D. F. Storm *et al.*, « AlGaIn/GaN HEMTs on free-standing GaN substrates: MBE growth and microwave characterization », *J. Cryst. Growth*, vol. 301-302, p. 429-433, avr. 2007, doi: 10.1016/j.jcrysgr.2006.11.085.

- [75] D. J. Meyer *et al.*, « High Electron Velocity Submicrometer AlN/GaN MOS-HEMTs on Freestanding GaN Substrates », *IEEE Electron Device Lett.*, vol. 34, n° 2, p. 199-201, févr. 2013, doi: 10.1109/LED.2012.2228463.
- [76] J. Joh et J. A. del Alamo, « Critical Voltage for Electrical Degradation of GaN High-Electron Mobility Transistors », *IEEE Electron Device Lett.*, vol. 29, n° 4, p. 287-289, avr. 2008, doi: 10.1109/LED.2008.917815.
- [77] D. F. Storm *et al.*, « Homoepitaxial growth of GaN and AlGaIn/GaN heterostructures by molecular beam epitaxy on freestanding HVPE gallium nitride for electronic device applications », *J. Cryst. Growth*, vol. 281, n° 1, p. 32-37, juill. 2005, doi: 10.1016/j.jcrysgro.2005.03.009.
- [78] D. Zhang *et al.*, « Reliability Improvement of GaN Devices on Free-Standing GaN Substrates », *IEEE Trans. Electron Devices*, vol. 65, n° 8, p. 3379-3387, août 2018, doi: 10.1109/TED.2018.2848971.
- [79] E. Frayssinet *et al.*, « Influence of metal-organic vapor phase epitaxy parameters and Si(111) substrate type on the properties of AlGaIn/GaN HEMTs with thin simple buffer », *Physica Status Solidi (a)*, Vol 214, Issue 4, 2017.
- [80] D. Gogova *et al.*, « High-Quality 2'' Bulk-Like Free-Standing GaN Grown by Hydride Vapour Phase Epitaxy on a Si-doped Metal Organic Vapour Phase Epitaxial GaN Template with an Ultra Low Dislocation Density », *Jpn. J. Appl. Phys.*, vol. 44, n° 3R, p. 1181, mars 2005, doi: 10.1143/JJAP.44.1181.
- [81] A. Soltani *et al.*, « Power Performance of AlGaIn/GaN High-Electron-Mobility Transistors on (110) Silicon Substrate at 40 GHz », *IEEE Electron Device Lett.*, vol. 34, n° 4, p. 490-492, avr. 2013, doi: 10.1109/LED.2013.2244841.
- [82] P. Altuntas *et al.*, « Power Performance at 40 GHz of AlGaIn/GaN High-Electron Mobility Transistors Grown by Molecular Beam Epitaxy on Si(111) Substrate », *IEEE Electron Device Lett.*, vol. 36, n° 4, p. 303-305, avr. 2015, doi: 10.1109/LED.2015.2404358.
- [83] C.-Y. Lu, E. Y. Chang, J.-C. Huang, C.-T. Chang, M.-H. Lin, et C.-T. Lee, « Enhancement of the Schottky Barrier Height using a Nitrogen-Rich Tungsten Nitride Thin Film for the Schottky Contacts on AlGaIn/GaN Heterostructures », *J. Electron. Mater.*, vol. 37, n° 5, p. 624-627, mai 2008, doi: 10.1007/s11664-008-0384-9.
- [84] S. Bouzid-Driad *et al.*, « AlGaIn/GaN HEMTs on Silicon Substrate With 206-GHz_{rm} MAX », *IEEE Electron Device Lett.*, vol. 34, n° 1, p. 36-38, janv. 2013, doi: 10.1109/LED.2012.2224313.
- [85] J. Gerbedoen *et al.*, « AlGaIn/GaN HEMTs on (001) Silicon Substrate With Power Density Performance of 2.9 W/mm at 10 GHz », *IEEE Trans. Electron Devices*, vol. 57, n° 7, p. 1497-1503, juill. 2010, doi: 10.1109/TED.2010.2048792.
- [86] Q. Z. Liu et S. S. Lau, « A review of the metal-GaN contact technology », *Solid-State Electron.*, vol. 42, n° 5, p. 677-691, mai 1998, doi: 10.1016/S0038-1101(98)00099-9.
- [87] S.Sze, *Semiconductor devices: Physics and Technology*, 2^e éd. Hohn Wiley and sons, 2002.

- [88] A. Piotrowska, A. Guivarc'h, et G. Pelous, « Ohmic contacts to III–V compound semiconductors: A review of fabrication techniques », *Solid-State Electron.*, vol. 26, n° 3, p. 179-197, mars 1983, doi: 10.1016/0038-1101(83)90083-7.
- [89] F. A. Padovani et R. Stratton, « Field and thermionic-field emission in Schottky barriers », *Solid-State Electron.*, vol. 9, n° 7, p. 695-707, juill. 1966, doi: 10.1016/0038-1101(66)90097-9.
- [90] B. P. Luther, S. E. Mohny, T. N. Jackson, M. Asif Khan, Q. Chen, et J. W. Yang, « Investigation of the mechanism for Ohmic contact formation in Al and Ti/Al contacts to n-type GaN », *Appl. Phys. Lett.*, vol. 70, n° 1, p. 57-59, janv. 1997, doi: 10.1063/1.119305.
- [91] L.L. Smith *et al.*, « Microstructure, electrical properties, and thermal stability of Al ohmic contacts to n-GaN », *Journal of Materials Research Cambridge Core*, Vol 11, Issue 9, 1998.
- [92] B. Van Daele, G. Van Tendeloo, W. Ruythooren, J. Derluyn, M. R. Leys, et M. Germain, « The role of Al on Ohmic contact formation on n-type GaN and AlGaIn/GaN », *Appl. Phys. Lett.*, vol. 87, n° 6, p. 061905, août 2005, doi: 10.1063/1.2008361.
- [93] Y. Dora *et al.*, « ZrO₂ gate dielectrics produced by ultraviolet ozone oxidation for GaN and AlGaIn/GaN transistors », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct. Process. Meas. Phenom.*, vol. 24, n° 2, p. 575-581, févr. 2006, doi: 10.1116/1.2167991.
- [94] H. Lee, D. S. Lee, et T. Palacios, « AlGaIn/GaN High-Electron-Mobility Transistors Fabricated Through a Au-Free Technology », *IEEE Electron Device Lett.*, vol. 32, n° 5, p. 623-625, mai 2011, doi: 10.1109/LED.2011.2114322.
- [95] Z. Liu, M. Sun, H.-S. Lee, M. Heuken, et T. Palacios, « AlGaIn/AlN/GaN High-Electron-Mobility Transistors Fabricated with Au-Free Technology », *Appl. Phys. Express*, vol. 6, n° 9, p. 096502, août 2013, doi: 10.7567/APEX.6.096502.
- [96] Y.-K. Lin *et al.*, « A versatile low-resistance ohmic contact process with ohmic recess and low-temperature annealing for GaN HEMTs », *Semicond. Sci. Technol.*, vol. 33, n° 9, p. 095019, août 2018, doi: 10.1088/1361-6641/aad7a8.
- [97] A. Firrincieli, B. D. Jaeger, S. You, D. Wellekens, M. V. Hove, et S. Decoutere, « Au-free low temperature ohmic contacts for AlGaIn/GaN power devices on 200 mm Si substrates », *Jpn. J. Appl. Phys.*, vol. 53, n° 4S, p. 04EF01, févr. 2014, doi: 10.7567/JJAP.53.04EF01.
- [98] T. Yoshida et T. Egawa, « Improvement of Au-Free, Ti/Al/W Ohmic Contact on AlGaIn/GaN Heterostructure Featuring a Thin-Ti Layer and Low Temperature Annealing », *Phys. Status Solidi A*, vol. 215, n° 13, p. 1700825, 2018, doi: 10.1002/pssa.201700825.
- [99] M. Piazza, C. Dua, M. Oualli, E. Morvan, D. Carisetti, et F. Wyczisk, « Degradation of TiAlNiAu as ohmic contact metal for GaN HEMTs », *Microelectron. Reliab.*, vol. 49, n° 9, p. 1222-1225, sept. 2009, doi: 10.1016/j.microrel.2009.06.043.
- [100] Z. Fan, S. N. Mohammad, W. Kim, Ö. Aktas, A. E. Botchkarev, et H. Morkoç, « Very low resistance multilayer Ohmic contact to n-GaN », *Appl. Phys. Lett.*, vol. 68, n° 12, p. 1672-1674, mars 1996, doi: 10.1063/1.115901.
- [101] S. J. Cai *et al.*, « High performance AlGaIn/GaN HEMT with improved Ohmic contacts », *Electron. Lett.*, vol. 34, n° 24, p. 2354-2356, nov. 1998, doi: 10.1049/el:19981618.

- [102] J. B (Bart), « Towards integrated AlGaIn/GaN based X-band high-power amplifiers », 2004, doi: 10.6100/ir577275.
- [103] F. M. Mohammed, L. Wang, D. Selvanathan, H. Hu, et I. Adesida, « Ohmic contact formation mechanism of Ta/Al/Mo/Au and Ti/Al/Mo/Au metallizations on AlGaIn/GaN HEMTs », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct. Process. Meas. Phenom.*, vol. 23, n° 6, p. 2330-2335, oct. 2005, doi: 10.1116/1.2101691.
- [104] Jean-Claude Gerbedoen, « Conception et réalisation technologique de transistors de la filière HEMTs AlGaIn/GaN sur substrat silicium pour l'amplification de puissance hyperfréquence », université de Lille 1, 2009.
- [105] A. Graff *et al.*, « High resolution physical analysis of ohmic contact formation at GaN-HEMT devices », *Microelectron. Reliab.*, vol. 76-77, p. 338-343, sept. 2017, doi: 10.1016/j.microrel.2017.06.031.
- [106] A. Soltani *et al.*, « Development and analysis of low resistance ohmic contact to n-AlGaIn/GaN HEMT », *Diam. Relat. Mater.*, vol. 16, n° 2, p. 262-266, févr. 2007, doi: 10.1016/j.diamond.2006.06.022.
- [107] Z. X. Qin *et al.*, « Study of Ti/Au, Ti/Al/Au, and Ti/Al/Ni/Au ohmic contacts to n-GaN », *Appl. Phys. A*, vol. 78, n° 5, p. 729-731, mars 2004, doi: 10.1007/s00339-002-1989-0.
- [108] R. J. Shul *et al.*, « Inductively coupled plasma etching of GaN », *Appl. Phys. Lett.*, vol. 69, n° 8, p. 1119-1121, août 1996, doi: 10.1063/1.117077.
- [109] J. K. Sheu *et al.*, « Inductively coupled plasma etching of GaN using Cl₂/Ar and Cl₂/N₂ gases », *J. Appl. Phys.*, vol. 85, n° 3, p. 1970-1974, janv. 1999, doi: 10.1063/1.369188.
- [110] C. Xu *et al.*, « The Leakage Current of the Schottky Contact on the Mesa Edge of AlGaIn/GaN Heterostructure », *IEEE Electron Device Lett.*, vol. 28, n° 11, p. 942-944, nov. 2007, doi: 10.1109/LED.2007.906932.
- [111] R. J. Shul *et al.*, « Inductively coupled plasma-induced etch damage of GaN p-n junctions », *J. Vac. Sci. Technol. A*, vol. 18, n° 4, p. 1139-1143, juill. 2000, doi: 10.1116/1.582313.
- [112] J. Wang *et al.*, « High voltage vertical p-n diodes with ion-implanted edge termination and sputtered SiN_x passivation on GaN substrates », in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 9.6.1-9.6.4, doi: 10.1109/IEDM.2017.8268361.
- [113] Meneghesso, G, M. Menighini, et E. Zanoni, *Gallium nitride-enabled high frequency and efficiency power conversion*. NY, USA: Springer: New York, 2018.
- [114] T. Nanjo *et al.*, « Improvement of DC and RF Characteristics of AlGaIn/GaN High Electron Mobility Transistors by Thermally Annealed Ni/Pt/Au Schottky Gate », *Jpn. J. Appl. Phys.*, vol. 43, n° 4S, p. 1925, avr. 2004, doi: 10.1143/JJAP.43.1925.
- [115] H. Umeda, T. Takizawa, Y. Anda, T. Ueda, et T. Tanaka, « High-Voltage Isolation Technique Using Fe Ion Implantation for Monolithic Integration of AlGaIn/GaN Transistors », *IEEE Trans. Electron Devices*, vol. 60, n° 2, p. 771-775, févr. 2013, doi: 10.1109/TED.2012.2230264.

- [116] D. Ducatteau *et al.*, « Output power density of 5.1 W/mm at 18 GHz with an AlGaIn/GaN HEMT on Si substrate », *IEEE Electron Device Lett.*, vol. 27, n° 1, p. 7-9, janv. 2006, doi: 10.1109/LED.2005.860385.
- [117] M. Sun, H.-S. Lee, B. Lu, D. Piedra, et T. Palacios, « Comparative Breakdown Study of Mesa- and Ion-Implantation-Isolated AlGaIn/GaN High-Electron-Mobility Transistors on Si Substrate », *Appl. Phys. Express*, vol. 5, n° 7, p. 074202, juill. 2012, doi: 10.1143/APEX.5.074202.
- [118] J.-Y. Shiu *et al.*, « Electrical Characterization and Transmission Electron Microscopy Assessment of Isolation of AlGaIn/GaN High Electron Mobility Transistors with Oxygen Ion Implantation », *Jpn. J. Appl. Phys.*, vol. 49, n° 2, p. 021001, févr. 2010, doi: 10.1143/JJAP.49.021001.
- [119] J. Shiu *et al.*, « Oxygen Ion Implantation Isolation Planar Process for AlGaIn/GaN HEMTs », *IEEE Electron Device Lett.*, vol. 28, n° 6, p. 476-478, juin 2007, doi: 10.1109/LED.2007.896904.
- [120] M. A. Huque, S. A. Eliza, T. Rahman, H. F. Huq, et S. K. Islam, « Effect of the aspect ratio in AlGaIn/GaN HEMT's DC and small signal parameters », in *2007 International Semiconductor Device Research Symposium*, 2007, p. 1-2, doi: 10.1109/ISDRS.2007.4422378.
- [121] P. C. Chao, W. H. Ku, P. M. Smith, et W. H. Perkins, « 0.2 Micron length T-shaped gate fabrication using angle evaporation », *IEEE Electron Device Lett.*, vol. 4, n° 4, p. 122-124, avr. 1983, doi: 10.1109/EDL.1983.25671.
- [122] Y. Tang *et al.*, « Ultrahigh-Speed GaN High-Electron-Mobility Transistors With $f_T/f_{T\max}$ of 454/444 GHz », *IEEE Electron Device Lett.*, vol. 36, n° 6, p. 549-551, juin 2015, doi: 10.1109/LED.2015.2421311.
- [123] S. Bentley, X. Li, D. A. J. Moran, et I. G. Thayne, « Fabrication of 22nm T-gates for HEMT applications », *Microelectron. Eng.*, vol. 85, n° 5, p. 1375-1378, mai 2008, doi: 10.1016/j.mee.2008.01.058.
- [124] R. G. Woodham, J. R. A. Cleaver, H. Ahmed, et P. H. Ladbroke, « T-gate, Γ -gate, and air-bridge fabrication for monolithic microwave integrated circuits by mixed ion-beam, high-voltage electron-beam, and optical lithography », *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct. Process. Meas. Phenom.*, vol. 10, n° 6, p. 2927-2931, nov. 1992, doi: 10.1116/1.586337.
- [125] S.W. Kim, « 40nm In_{0.7}GaS HEMTs with novel HSQ based T-gate process », présenté à European Microwave Integrated circuits conference, 2006, p. 425-428.
- [126] T. Palacios *et al.*, « Ge-spacer technology in AlGaIn/GaN HEMTs for mm-wave applications », in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, 2005, p. 3 pp. - 789, doi: 10.1109/IEDM.2005.1609472.
- [127] Y. Pei, Z. Chen, D. Brown, S. Keller, S. P. Denbaars, et U. K. Mishra, « Deep-Submicrometer AlGaIn/GaN HEMTs With Slant Field Plates », *IEEE Electron Device Lett.*, vol. 30, n° 4, p. 328-330, avr. 2009, doi: 10.1109/LED.2009.2014790.

- [128] K. Shinohara *et al.*, « Self-aligned-gate GaN-HEMTs with heavily-doped n+-GaN ohmic contacts to 2DEG », in *2012 International Electron Devices Meeting*, 2012, p. 27.2.1-27.2.4, doi: 10.1109/IEDM.2012.6479113.
- [129] K. Shinohara *et al.*, « Deeply-scaled self-aligned-gate GaN DH-HEMTs with ultrahigh cutoff frequency », in *2011 International Electron Devices Meeting*, 2011, p. 19.1.1-19.1.4, doi: 10.1109/IEDM.2011.6131582.
- [130] N. Vellas, « Études expérimentales de transistors HFET de la filière nitrure de gallium pour des applications de puissances hyperfréquences », thesis, Lille 1, 2003.
- [131] Vl. Kolkovsky, L. Scheffler, E. Hieckmann, E. V. Lavrov, et J. Weber, « Schottky contacts on differently grown n-type ZnO single crystals », *Appl. Phys. Lett.*, vol. 98, n° 8, p. 082104, févr. 2011, doi: 10.1063/1.3558728.
- [132] Z. Y. Liu, D. A. Saulys, et T. F. Kuech, « Improved characteristics for Au/n-GaSb Schottky contacts through the use of a nonaqueous sulfide-based passivation », *Appl. Phys. Lett.*, vol. 85, n° 19, p. 4391-4393, nov. 2004, doi: 10.1063/1.1815073.
- [133] Z. G. Shao *et al.*, « Current transport mechanisms of InGaN metal-insulator-semiconductor photodetectors », *J. Vac. Sci. Technol. B*, vol. 29, n° 5, p. 051201, août 2011, doi: 10.1116/1.3622298.
- [134] A. Y. C. Yu, « Electron tunneling and contact resistance of metal-silicon contact barriers », *Solid-State Electron.*, vol. 13, n° 2, p. 239-247, févr. 1970, doi: 10.1016/0038-1101(70)90056-0.
- [135] F. A. Padovani, « Chapter 2 The Voltage–Current Characteristic of Metal–Semiconductor Contacts », in *Semiconductors and Semimetals*, vol. 7, R. K. Willardson et A. C. Beer, Éd. Elsevier, 1971, p. 75-146.
- [136] V. Janardhanam, Y.-K. Park, K.-S. Ahn, et C.-J. Choi, « Carrier transport mechanism of Se/n-type Si Schottky diodes », *J. Alloys Compd.*, vol. 534, p. 37-41, sept. 2012, doi: 10.1016/j.jallcom.2012.04.031.
- [137] S. M. Faraz, M. Willander, et Q. Wahab, « Interface state density distribution in Au/n-ZnO nanorods Schottky diodes », *IOP Conf. Ser. Mater. Sci. Eng.*, vol. 34, p. 012006, avr. 2012, doi: 10.1088/1757-899X/34/1/012006.
- [138] L. J. Brillson *et al.*, « Interplay of native point defects with ZnO Schottky barriers and doping », *J. Vac. Sci. Technol. B*, vol. 30, n° 5, p. 050801, juin 2012, doi: 10.1116/1.4732531.
- [139] J. Bardeen, « Surface States and Rectification at a Metal Semi-Conductor Contact », *Phys. Rev.*, vol. 71, n° 10, p. 717-727, mai 1947, doi: 10.1103/PhysRev.71.717.
- [140] R. Fan, Z. J. C, et M. Hadis, *Wide Energy Bandgap Electronic Devices*. World Scientific, 2003.
- [141] P. Chavakar et U. K. Mishra, *Handbook of thin film devices - heterostructures for high-performance devices*, vol. 1. Academic press, 2000.
- [142] S. N. Mohammad *et al.*, « Near-ideal platinum-GaN Schottky diodes », *Electron. Lett.*, vol. 32, n° 6, p. 598-599, mars 1996, doi: 10.1049/el:19960354.

- [143] L. Wang, M. I. Nathan, T. Lim, M. A. Khan, et Q. Chen, « High barrier height GaN Schottky diodes: Pt/GaN and Pd/GaN », *Appl. Phys. Lett.*, vol. 68, n° 9, p. 1267-1269, févr. 1996, doi: 10.1063/1.115948.
- [144] J. D. Guo, M. S. Feng, R. J. Guo, F. M. Pan, et C. Y. Chang, « Study of Schottky barriers on n-type GaN grown by low-pressure metalorganic chemical vapor deposition », *Appl. Phys. Lett.*, vol. 67, n° 18, p. 2657-2659, oct. 1995, doi: 10.1063/1.114327.
- [145] E. V. Kalinina, N. I. Kuznetsov, A. I. Babanin, V. A. Dmitriev, et A. V. Shchukarev, « Structural and electrical properties of Schottky barriers on n-GaN », *Diam. Relat. Mater.*, vol. 6, n° 10, p. 1528-1531, août 1997, doi: 10.1016/S0925-9635(97)00115-5.
- [146] T. U. Kampen et W. Mönch, « Barrier heights of GaN Schottky contacts », *Appl. Surf. Sci.*, vol. 117-118, p. 388-393, juin 1997, doi: 10.1016/S0169-4332(97)80112-2.
- [147] V. R. Reddy, M. Ravinandan, P. K. Rao, et C.-J. Choi, « Electrical and structural properties of rapidly annealed Pd/Mo Schottky contacts on n-type GaN », *Semicond. Sci. Technol.*, vol. 23, n° 9, p. 095026, août 2008, doi: 10.1088/0268-1242/23/9/095026.
- [148] M. Ravinandan, P. K. Rao, et V. R. Reddy, « Analysis of the current–voltage characteristics of the Pd/Au Schottky structure on n-type GaN in a wide temperature range », *Semicond. Sci. Technol.*, vol. 24, n° 3, p. 035004, févr. 2009, doi: 10.1088/0268-1242/24/3/035004.
- [149] J. D. Guo, F. M. Pan, M. S. Feng, R. J. Guo, P. F. Chou, et C. Y. Chang, « Schottky contact and the thermal stability of Ni on n-type GaN », *J. Appl. Phys.*, vol. 80, n° 3, p. 1623-1627, août 1996, doi: 10.1063/1.363822.
- [150] Q. Z. Liu, L. S. Yu, S. S. Lau, J. M. Redwing, N. R. Perkins, et T. F. Kuech, « Thermally stable PtSi Schottky contact on n-GaN », *Appl. Phys. Lett.*, vol. 70, n° 10, p. 1275-1277, mars 1997, doi: 10.1063/1.118551.
- [151] J. S. Foresi et T. D. Moustakas, « Metal contacts to gallium nitride », *Appl. Phys. Lett.*, vol. 62, n° 22, p. 2859-2861, mai 1993, doi: 10.1063/1.109207.
- [152] *GaN and related materials*, S. J. Pearton., vol. 2. G & B science, 1997.
- [153] J. Rajagopal Reddy, « Influence of thermal annealing temperature on electrical properties of Rh and Rh/Au Schottky contacts to n-type GaN », *Journal of optoelectronics and advanced materials*, vol. 9, n° 12, p. 3871, 2007.
- [154] N. Miura *et al.*, « Thermal annealing effects on Ni/Au based Schottky contacts on n-GaN and AlGaIn/GaN with insertion of high work function metal », *Solid-State Electron.*, vol. 48, n° 5, p. 689-695, mai 2004, doi: 10.1016/j.sse.2003.07.006.
- [155] X. Lu, H. Jiang, C. Liu, X. Zou, et K. M. Lau, « Off-state leakage current reduction in AlGaIn/GaN high electron mobility transistors by combining surface treatment and post-gate annealing », *Semicond. Sci. Technol.*, vol. 31, n° 5, p. 055019, avr. 2016, doi: 10.1088/0268-1242/31/5/055019.
- [156] S. Arulkumaran, T. Egawa, H. Ishikawa, M. Umeno, et T. Jimbo, « Effects of annealing on Ti, Pd, and Ni/n-Al/sub 0.11/Ga/sub 0.89/N Schottky diodes », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 573-580, mars 2001, doi: 10.1109/16.906453.

- [157] G. C. Zhu, « GaN metal-oxide-semiconductor high-electron-mobility-transistors using thermally evaporated SiO as the gate dielectric », *Semiconductor Science and Technology*, n° 33, 2018, doi: 095023.
- [158] F. Roccaforte *et al.*, « Recent advances on dielectrics technology for SiC and GaN power devices », *Appl. Surf. Sci.*, vol. 301, p. 9-18, mai 2014, doi: 10.1016/j.apsusc.2014.01.063.
- [159] R. Vetry *et al.*, « The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs », *IEEE Transactions on Electron Devices*, Vol 48, Issue 3, 2001.
- [160] M. A. Khan *et al.*, « AlGaIn/GaN metal–oxide–semiconductor heterostructure field-effect transistors on SiC substrates », *Appl. Phys. Lett.*, vol. 77, n° 9, p. 1339-1341, août 2000, doi: 10.1063/1.1290269.
- [161] M. Hua *et al.*, « Characterization of Leakage and Reliability of SiN_x Gate Dielectric by Low-Pressure Chemical Vapor Deposition for GaN-based MIS-HEMTs », *IEEE Trans. Electron Devices*, vol. 62, n° 10, p. 3215-3222, oct. 2015, doi: 10.1109/TED.2015.2469716.
- [162] M. Hatano, Y. Taniguchi, S. Kodama, H. Tokuda, et M. Kuzuhara, « Reduced gate leakage and high thermal stability of AlGaIn/GaN MIS-HEMTs using ZrO₂/Al₂O₃ gate dielectric stack », *Appl. Phys. Express*, vol. 7, n° 4, p. 044101, mars 2014, doi: 10.7567/APEX.7.044101.
- [163] T. E. Cook, C. C. Fulton, W. J. Mecouch, R. F. Davis, G. Lucovsky, et R. J. Nemanich, « Band offset measurements of the GaN (0001)/HfO₂ interface », *J. Appl. Phys.*, vol. 94, n° 11, p. 7155-7158, nov. 2003, doi: 10.1063/1.1625579.
- [164] Z. Gao *et al.*, « Thermal and Electrical Stability Assessment of AlGaIn/GaN Metal–Oxide–Semiconductor High-Electron Mobility Transistors (MOS-HEMTs) With HfO₂ Gate Dielectric », *IEEE Transactions on Electron Devices*, Vol 65, Issue 8, 2018.
- [165] Y. Ueoka, M. Deki, Y. Honda, et H. Amano, « Improvement of breakdown voltage of vertical GaN p–n junction diode with Ga₂O₃ passivated by sputtering », *Jpn. J. Appl. Phys.*, vol. 57, n° 7, p. 070302, mai 2018, doi: 10.7567/JJAP.57.070302.
- [166] D. Zhang *et al.*, « Effects of polycrystalline AlN film on the dynamic performance of AlGaIn/GaN high electron mobility transistors », *Mater. Des.*, vol. 148, p. 1-7, juin 2018, doi: 10.1016/j.matdes.2018.03.004.
- [167] A. D. Koehler *et al.*, « Atomic Layer Epitaxy AlN for Enhanced AlGaIn/GaN HEMT Passivation », *IEEE Electron Device Lett.*, vol. 34, n° 9, p. 1115-1117, sept. 2013, doi: 10.1109/LED.2013.2274429.
- [168] B. Luo *et al.*, « High three-terminal breakdown voltage and output power of Sc₂O₃ passivated AlGaIn/GaN high electron mobility transistors », *Electronics Letters*, Vol 39, Issue 10, 2003.
- [169] T. Wu *et al.*, « AlGaIn/GaN MOSHEMTs With Liquid-Phase-Deposited TiO₂ as Gate Dielectric », *IEEE Trans. Electron Devices*, vol. 56, n° 12, p. 2911-2916, déc. 2009, doi: 10.1109/TED.2009.2032745.
- [170] C. Lee, Y. Chiou, et C. Lee, « AlGaIn/GaN MOS-HEMTs With Gate ZnO Dielectric Layer », *IEEE Electron Device Lett.*, vol. 31, n° 11, p. 1220-1223, nov. 2010, doi: 10.1109/LED.2010.2066543.

- [171] C. S. Oh, C. J. Youn, G. M. Yang, K. Y. Lim, et J. W. Yang, « AlGaIn/GaN metal-oxide-semiconductor heterostructure field-effect transistor with oxidized Ni as a gate insulator », *Appl. Phys. Lett.*, vol. 85, n° 18, p. 4214-4216, nov. 2004, doi: 10.1063/1.1811793.
- [172] M. Kanamura *et al.*, « High power and high gain AlGaIn/GaN MIS-HEMTs with high-k dielectric layer », *Phys. Status Solidi C*, vol. 5, n° 6, p. 2037-2040, 2008, doi: 10.1002/pssc.200778738.
- [173] Y. Hao *et al.*, « High-Performance Microwave Gate-Recessed AlGaIn/AlN/GaN MOS-HEMT With 73% Power-Added Efficiency », *IEEE Electron Device Lett.*, vol. 32, n° 5, p. 626-628, mai 2011, doi: 10.1109/LED.2011.2118736.
- [174] X. Qin et R. M. Wallace, « In situ plasma enhanced atomic layer deposition half cycle study of Al₂O₃ on AlGaIn/GaN high electron mobility transistors », *Appl. Phys. Lett.*, vol. 107, n° 8, p. 081608, août 2015, doi: 10.1063/1.4929818.
- [175] S. Nakazawa *et al.*, « Fast switching performance by 20 A / 730 V AlGaIn/GaN MIS-HFET using AlON gate insulator », in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 25.1.1-25.1.4, doi: 10.1109/IEDM.2017.8268455.
- [176] D. S. Lee *et al.*, « 245-GHz InAlN/GaN HEMTs With Oxygen Plasma Treatment », *IEEE Electron Device Lett.*, vol. 32, n° 6, p. 755-757, juin 2011, doi: 10.1109/LED.2011.2132751.
- [177] R. Wang *et al.*, « 210-GHz InAlN/GaN HEMTs With Dielectric-Free Passivation », *IEEE Electron Device Lett.*, vol. 32, n° 7, p. 892-894, juill. 2011, doi: 10.1109/LED.2011.2147753.
- [178] H-Y.Liu *et al.*, « Investigations of AlGaIn/AlN/GaN MOS-HEMTs on Si Substrate by Ozone Water Oxidation Method », *IEEE Electron Device Lett.*, Vol 60, Issue 7, 2013.
- [179] H. Liu, B. Chou, W. Hsu, C. Lee, J. Sheu, et C. Ho, « Enhanced AlGaIn/GaN MOS-HEMT Performance by Using Hydrogen Peroxide Oxidation Technique », *IEEE Trans. Electron Devices*, vol. 60, n° 1, p. 213-220, janv. 2013, doi: 10.1109/TED.2012.2227325.
- [180] X. Liu *et al.*, « Impact of in situ vacuum anneal and SiH₄ treatment on electrical characteristics of AlGaIn/GaN metal-oxide-semiconductor high-electron mobility transistors », *Appl. Phys. Lett.*, vol. 99, n° 9, p. 093504, août 2011, doi: 10.1063/1.3633104.
- [181] S. Liu *et al.*, « Interface/border trap characterization of Al₂O₃/AlN/GaN metal-oxide-semiconductor structures with an AlN interfacial layer », *Applied Physics Letters*, Vol 106, No 5, 2011.
- [182] M. S. Miao, J. R. Weber, et C. G. Van de Walle, « Oxidation and the origin of the two-dimensional electron gas in AlGaIn/GaN heterostructures », *J. Appl. Phys.*, vol. 107, n° 12, p. 123713, juin 2010, doi: 10.1063/1.3431391.
- [183] M. R. Coan, J. H. Woo, D. Johnson, I. R. Gatabi, et H. R. Harris, « Band offset measurements of the GaN/dielectric interfaces », *J. Appl. Phys.*, vol. 112, n° 2, p. 024508, juill. 2012, doi: 10.1063/1.4737583.
- [184] S. Oyama, T. Hashizume, et H. Hasegawa, « Mechanism of current leakage through metal/n-GaN interfaces », *Appl. Surf. Sci.*, vol. 190, n° 1, p. 322-325, mai 2002, doi: 10.1016/S0169-4332(01)00902-3.

- [185] Y. Dong, R. M. Feenstra, et J. E. Northrup, « Electronic states of oxidized GaN(0001) surfaces », *Appl. Phys. Lett.*, vol. 89, n° 17, p. 171920, oct. 2006, doi: 10.1063/1.2370519.
- [186] W. Lu, V. Kumar, R. Schwindt, E. Piner, et I. Adesida, « A comparative study of surface passivation on AlGaIn/GaN HEMTs », *Solid-State Electron.*, vol. 46, n° 9, p. 1441-1444, sept. 2002, doi: 10.1016/S0038-1101(02)00089-8.
- [187] R. J. Shul *et al.*, « Comparison of plasma etch techniques for III–V nitrides », *Solid-State Electron.*, vol. 42, n° 12, p. 2259-2267, déc. 1998, doi: 10.1016/S0038-1101(98)00223-8.
- [188] S. J. Pearton, R. J. Shul, et F. Ren, « A Review of Dry Etching of GaN and Related Materials », *Mater. Res. Soc. Internet J. Nitride Semicond. Res.*, vol. 5, n° 1, ed 2000, doi: 10.1557/S1092578300000119.
- [189] M. Kodera *et al.*, « Impact of Plasma-Damaged-Layer Removal on GaN HEMT Devices », *Phys. Status Solidi A*, vol. 215, n° 9, p. 1700633, 2018, doi: 10.1002/pssa.201700633.
- [190] S. Tripathy, « Characterization of inductively coupled plasma etched surface of GaN using Cl₂/BCl₃ chemistry », *Journal of Vacuum Science & Technology A*, Vol 19, No 5, 2001.
- [191] S.J. Pearton, C.R. Abernathy, « Dry patterning of InGaIn and InAlN », *Applied Physics Letters*, Vol 64, No 26, 1994.
- [192] Z. Xu *et al.*, « Demonstration of Normally-Off Recess-Gated AlGaIn/GaN MOSFET Using GaN Cap Layer as Recess Mask », *IEEE Electron Device Lett.*, vol. 35, n° 12, p. 1197-1199, déc. 2014, doi: 10.1109/LED.2014.2359986.
- [193] R. J. Shul *et al.*, « Selective inductively coupled plasma etching of group-III nitrides in Cl₂- and BCl₃-based plasmas », *J. Vac. Sci. Technol. A*, vol. 16, n° 3, p. 1621-1626, mai 1998, doi: 10.1116/1.581130.
- [194] A. Wakejima *et al.*, « Normally off AlGaIn/GaN HEMT on Si substrate with selectively dry-etched recessed gate and polarization-charge-compensation δ -doped GaN cap layer », *Appl. Phys. Express*, vol. 8, n° 2, p. 026502, janv. 2015, doi: 10.7567/APEX.8.026502.
- [195] S.S. Cohen and G.S. Gildenblat, «*Metal-semiconductor contacts and devices* », VLSI Electronics Microstructure Science., vol. 13. 1986.
- [196] D. K. Schorder, *Semiconductor material and device characterization*, 3^e éd. Wiley-interscience, 2006.
- [197] F. Ren and J.C. Zopler, *Wide Energy Bandgap Electronic Devices*. World Scientific Publishing Co. Ote Ltd, 2003.
- [198] P. Chavakar et U. K. Mishra, *Handbook of Thin Film Devices*, vol. Hetero-Structures for High-Performance Devices. Academic press, 2000.
- [199] N. V. Drozdovski et R. H. Caverly, « GaN-based high electron-mobility transistors for microwave and RF control applications », *IEEE Trans. Microw. Theory Tech.*, vol. 50, n° 1, p. 4-8, janv. 2002, doi: 10.1109/22.981235.
- [200] H. Morkoc, *Handbook of Nitride Semiconductors and Devices*. Wiley-VCH Verlag GmbH, 2008.

- [201] M. Farahmand et C. Garrett, « Monte Carlo simulation of electron transport in the III-nitride wurtzite phase materials system: binaries and ternaries », *IEEE Transactions on Electron Devices*, Vol 48, Issue 3, Mar 2001.
- [202] M. B. Das et M. L. Roszak, « Design calculations for submicron gate-length AlGaAs/GaAs modulation-doped FET structures using carrier saturation velocity/charge-control model », *Solid-State Electron.*, vol. 28, n° 10, p. 997-1005, oct. 1985, doi: 10.1016/0038-1101(85)90030-9.
- [203] D. R. Greenberg et J. A. del Alamo, « Velocity saturation in the extrinsic device: a fundamental limit in HFET's », *IEEE Trans. Electron Devices*, vol. 41, n° 8, p. 1334-1339, août 1994, doi: 10.1109/16.297726.
- [204] P. J. Tasker et B. Hughes, « Importance of source and drain resistance to the maximum f_T of millimeter-wave MODFETs », *IEEE Electron Device Lett.*, vol. 10, n° 7, p. 291-293, juill. 1989, doi: 10.1109/55.29656.
- [205] J. Rollett, « Stability and Power-Gain Invariants of Linear Twoports », *IRE Trans. Circuit Theory*, vol. 9, n° 1, p. 29-32, mars 1962, doi: 10.1109/TCT.1962.1086854.
- [206] F. Schwierz et J. Liou, *modern microwave transistors: theory, design and performance*. Wiley.
- [207] A. Davidson, K. Jones, et E. Strid, « LRM and LRRM Calibrations with Automatic Determination of Load Inductance », in *36th ARFTG Conference Digest*, 1990, vol. 18, p. 57-63, doi: 10.1109/ARFTG.1990.323996.
- [208] J.-C. Gerbedoen *et al.*, « Performance of Unstuck - Gate AlGaIn/GaN HEMTs on (001) Silicon Substrate at 10 GHz », in *2008 European Microwave Integrated Circuit Conference*, 2008, p. 330-333, doi: 10.1109/EMICC.2008.4772296.
- [209] S. Tripathy *et al.*, « AlGaIn/GaN two-dimensional-electron gas heterostructures on 200 mm diameter Si(111) », *Appl. Phys. Lett.*, vol. 101, n° 8, p. 082110, août 2012, doi: 10.1063/1.4746751.
- [210] Samira Bouzid-Dirad, « Réalisation et caractérisation de transistors HEMTs GaN pour des applications dans le domaine millimétrique », Université de Lille, 2013.
- [211] M.R. IREKTI *et al.*, « 2 W/mm power density of an AlGaIn/GaN HEMT grown on Free-Standing GaN Substrate at 40 GHz », *Semicond. Sci. Technol.*, Vol 34, N 12, 2019, doi: 10.1088/1361-6641/ab4e74.

Conclusion générale et perspectives

La technologie des dispositifs HEMTs de la filière GaN démontre un potentiel considérable pour toutes les applications de puissance hyperfréquence, repoussant ainsi les limites des dispositifs classiques à base de Si et de GaAs. Néanmoins, ces transistors restent relativement pénalisés par l'utilisation de substrats de substitution tels que le Si et le SiC. Ces derniers ne permettant pas la croissance directe du GaN, engendrent des densités de dislocations importantes et un stress mécanique considérable sur l'hétérostructure développée. Par conséquent, des problèmes au niveau de la fiabilité des dispositifs sont rencontrés dégradant ainsi leurs performances à long terme. Au cours des dix dernières années, d'importantes avancées technologiques ont été effectuées dans les techniques d'obtention de substrats GaN. De ce fait, nous avons développé à travers ce travail de thèse de nouveaux dispositifs électroniques de type HEMTs à partir d'une nouvelle stratégie de substrat GaN présentant une haute qualité cristalline. Ce manuscrit est une synthèse de l'ensemble des résultats et avancées obtenus dans le cadre de cette thèse portant sur la fabrication et la caractérisation des transistors HEMTs AlGaIn/GaN de haute fiabilité sur substrat Free-Standing GaN de haute qualité.

Le premier chapitre du manuscrit a abordé les propriétés physiques et électriques du GaN justifiant son intérêt pour des applications nécessitant des densités de puissance élevées à hautes fréquences. Ainsi, nous avons rappelé les phénomènes physiques intervenants dans les hétérojonctions AlGaIn/GaN afin de cerner le fonctionnement des dispositifs HEMTs. D'autre part, une comparaison des substrats de substitution utilisés dans la croissance des hétérostructures a été présentée afin d'expliquer l'intérêt du développement d'une technologie de dispositifs HEMTs à base de substrats GaN permettant d'améliorer les performances et la robustesse des dispositifs. Les méthodes d'obtention des substrats GaN ont été ensuite décrites et l'état de l'art des densités de puissance atteintes par rapport à la fréquence de fonctionnement pour les HEMTs développés sur substrats GaN a également été présenté. Ce chapitre s'est achevé par une description des objectifs fixés au cours de ce travail ainsi qu'une présentation des structures AlGaIn/GaN sur substrat FS-GaN étudiées.

Le second chapitre est scindé en deux parties. La première décrit avec précision le procédé de fabrication des HEMTs à base de substrat de Si, développé au sein du groupe Composants et Dispositifs Micro-ondes de Puissance et permettant de réaliser des transistors aux grilles submicrométriques. Afin de transférer ce procédé technologique sur les structures AlGaIn/GaN crûes sur substrat FS-GaN étudiées, nous avons effectué une série d'optimisations et d'adaptations du procédé de fabrication. Ces optimisations ont été présentées dans la deuxième partie du chapitre. En effet, le recuit des contacts ohmiques a engendré la dégradation des marques d'alignement métalliques, pénalisant ainsi l'alignement effectué lors de l'écriture électronique des motifs de grille. De ce fait, des marques d'alignement gravées ont été développées afin de palier à ce problème. L'optimisation du recuit des contacts ohmiques a permis de réaliser des contacts de source et de drain avec une résistance de contact R_C de l'ordre de $0,3 \Omega \cdot \text{mm}$. La réduction d'échelle reste une solution incontournable pour l'augmentation des fréquences de coupure du transistor. L'optimisation technologique de la lithographie de la grille en forme de T a permis de réaliser des grilles aux longueurs courtes de 70 nm associées à une distance source-grille de 500 nm. Cette dernière reste limitée par la technologie de contacts ohmiques établie. En effet, le recuit des contacts ohmiques engendre une rugosité de surface importante et des flancs rugueux limitant ainsi la réduction de l'espacement source-grille.

Le dernier chapitre comporte dans sa première partie un rappel des caractéristiques physiques et électriques des HEMTs afin de cerner les paramètres relatifs à leur fonctionnement. Dans un second temps, nous avons présenté l'ensemble des caractérisations en régimes statique, impulsionnel et hyperfréquence effectuées sur les transistors HEMTs AlGaIn/GaN sur substrats FS-GaN développés au cours de ce travail. Etant développées sur des substrats FS-GaN conducteurs, les structures crûes au sein du laboratoire CRHEA ont nécessité la croissance d'un buffer résistif épais afin de réduire les pertes hyperfréquences. Deux structures aux buffers GaN-nid $17 \mu\text{m}$ et GaN-nid $40 \mu\text{m}$ ont démontré des pertes hyperfréquences importantes. Aussi, une couche de GaN dopé C a été ajoutée au buffer dans le but de réduire son épaisseur importante qui dégrade la qualité cristalline de la structure, tout en limitant les pertes de propagation. Deux structures comportant chacune une couche de $3 \mu\text{m}$ de GaN dopé C et une couche de $7 \mu\text{m}$ de GaN-nid et $17 \mu\text{m}$ de GaN-nid ont été étudiées. Ces structures ont montré moins de pertes hyperfréquences pour une épaisseur totale du buffer inférieure à celles étudiées en premier. Nous

avons ensuite présenté les résultats des caractérisations effectuées sur les transistors fabriqués sur une structure AlGaIn/GaN comportant un buffer composé d'une couche de 3 μm de GaN dopé C et d'une couche de 7 μm de GaN-nid. Les mesures en régime statique ont démontré une densité de courant de drain de $950 \text{ mA}\cdot\text{mm}^{-1}$ associée à une transconductance extrinsèque maximale $g_{m \text{ ext, max}}$ de $300 \text{ mS}\cdot\text{mm}^{-1}$ pour un transistor de topologie $2 \times 50 \times 0,07 \mu\text{m}^2$. Des mesures à la caméra infrarouge ont permis d'extraire la résistance thermique R_{th} du transistor qui est de l'ordre de 96 K/W . Pour le même transistor, la caractérisation en régime hyperfréquence a témoigné d'une fréquence de coupure du gain en courant et du gain en puissance respectives de $F_t = 100 \text{ GHz}$ et $F_{\text{max}} = 125 \text{ GHz}$. Une densité de puissance hyperfréquence de $2 \text{ W}\cdot\text{mm}^{-1}$ associée à un gain linéaire de $4,2 \text{ dB}$ et un rendement en puissance ajoutée de $20,5 \%$ ont été obtenus pour une fréquence de fonctionnement de 40 GHz . Ce résultat constitue à ce jour l'état de l'art en termes de densité de puissance pour les HEMTs à base de substrat GaN.

Du fait qu'un projet scientifique demeure toujours à parfaire, nous citons les perspectives de cette étude comme étant prioritaires : dans une première phase, étant un intérêt principal dans la migration vers une technologie de HEMTs à base de substrat GaN, une étude de la fiabilité des dispositifs réalisés permettra d'évaluer l'influence du substrat de croissance sur leur robustesse. D'autre part, une étude de l'épaisseur et du dopage carbone optimaux permettra de réduire les pertes hyperfréquences dans les structures développées afin de s'allier aux exigences des circuits MMIC. Cette optimisation doit respecter un compromis entre isolation électrique, qualité cristalline de la structure et obtention d'un gaz 2D et d'une mobilité des porteurs élevés. De plus, la réduction de l'épaisseur de la barrière ($\sim 5 \text{ nm}$) peut considérablement augmenter les performances des dispositifs HEMTs particulièrement en termes de montée en fréquence, tout en réduisant les effets de canal court présents pour des transistors aux grilles courtes.

L'amélioration des performances électriques et hyperfréquences des transistors réalisés doit également passer par une voie d'optimisation du procédé technologique de fabrication. En effet, la technologie de grille auto-alignée alliée à des contacts ohmiques réépitaxiés par une zone de GaN dopé, favorise la réduction de l'espacement source-grille diminuant ainsi les résistances d'accès du transistor, ce qui se traduit par une augmentation des fréquences de coupures. D'autre part, la réduction de la longueur de grille reste essentielle pour une amélioration des performances hyperfréquences des composants HEMTs.

Liste des publications

Publications :

- Mohamed-Reda Irekti, Marie Lesecq, Nicolas Defrance, Etienne Okada, Eric Frayssinet, Yvon Cordier, Jean-Guy Tartarin, Jean-Claude De Jaeger « 2 W/mm power density of an AlGa_N/Ga_N HEMT grown on Free-Standing Ga_N Substrate at 40 GHz, » *Semicond. Sci. Technol.*, accepted October 2019.

Communications :

- Mohamed-Reda Irekti, Marie Lesecq, Nicolas Defrance, Mohammed Boucherta, Etienne Okada, Eric Frayssinet, Yvon Cordier, Jean-Guy Tartarin, Jean-Claude De Jaeger « Development of AlGa_N/Ga_N RF HEMT technology on Free-Standing Ga_N substrate, », WOCSDICE 2019, 18 juin 2019.
- M.Boucherta, S.Sundaram, J-C Gerbedoen, M-R Irekti, J-C De Jaeger, A. Ougazzaden « Improvement of g_m linearity and R_{ON} with nitrogen ion implantation in planar-nanoribbon-channel AlGa_N/Ga_NHEMTs, » E-MRS conference, September 2018.
- Marie Lesecq, Flavien Cozette, Mahmoud Abou Daher, Mohamed-Reda Irekti, Mohammed Boucherta, Nicolas Defrance, Yvon Cordier, Jean Claude De Jaeger « Nouvelles voies technologiques pour la mesure de la température et l'amélioration de la dissipation thermique des HEMTs Ga_N, » RF & Microwave 2018, 7ème Salon Radiofréquences, Hyperfréquences, Wireless, CEM et Fibre optique, Paris, France, 21-22 Mars 2018.
- Mohamed-Reda Irekti, « Fabrication et caractérisation des HEMTs AlGa_N/Ga_N sur substrat FS-Ga_N, » Journée Ganex à Toulouse, France, 16 Janvier 2018.
- Mohamed-Reda Irekti, « Fabrication et caractérisation des HEMTs AlGa_N/Ga_N sur substrat FS-Ga_N, » Journée Ganex à Lille, France, 23 Janvier 2017.

Résumé

Le nitrure de gallium (GaN) constitue le meilleur candidat pour la réalisation de transistors de type HEMT de puissance fonctionnant à haute fréquence. A l'heure actuelle, en raison de la faible disponibilité de substrats GaN, la plupart des dispositifs sont fabriqués par hétéro-épitaxie sur des substrats Si, SiC, ou saphir. Jusqu'à présent, aucun de ces substrats n'a permis la croissance directe de GaN de haute qualité cristalline. Par conséquent, le développement de ces technologies doit faire face à de nombreux défauts (densités de dislocations de l'ordre de 10^8 - 10^{10} cm⁻²) et à des contraintes mécaniques notables (plusieurs centaines de MPa) apparaissant dans le matériau entraînant de nombreuses questions quant à la fiabilité des dispositifs. Le but de cette thèse est de qualifier de nouveaux dispositifs électroniques de type HEMT pour les applications RF à partir d'une nouvelle stratégie de substrat GaN présentant une haute qualité cristalline.

A partir de substrats GaN free-standing, le CRHEA a fait croître une couche tampon de GaN suffisamment épaisse et résistive pour limiter le couplage du substrat avec l'hétérostructure AlGaN / GaN et ainsi minimiser les courants de fuite et les pertes de propagation RF. La technique de croissance MOVPE permettra d'obtenir des films de GaN épais tout en contrôlant la résistivité par auto-compensation de carbone. La croissance de l'hétérostructure AlGaN/GaN a été ensuite développée sur ces substrats.

Le procédé technologique de fabrication des composants HEMTs AlGaN/GaN sur substrat GaN pour des applications RF a été développé à l'IEMN. La lithographie électronique a permis de réaliser des composants avec des longueurs de grilles en T ultra-courtes (jusqu'à 70 nm). Les caractéristiques I-V en régimes DC et Pulsé et des mesures de paramètres S ont été effectuées pour déterminer les fréquences de coupure des transistors. Les mesures de puissance hyperfréquence à 18 GHz et à 40 GHz ont démontré un résultat représentant l'état de l'art des HEMTs sur substrats GaN.

Mot clés :

AlGaN/GaN HEMT, substrats Free-Standing GaN, densité de puissance d'onde millimétrique, MOCVD

Abstract

Gallium nitride is the best candidate for the fabrication of High Electron Mobility Transistors for high power/high frequency applications. Due to the lack of availability of GaN substrates, most of devices are currently fabricated by hetero-epitaxy on Si, SiC or sapphire substrates. None of these substrates allows the direct growth of high quality GaN crystal. Therefore, many defects (10^8 - 10^{10} cm⁻²) and significant mechanical stress appear in the material leading many questions about the reliability of the devices. The aim of this subject is to overcome these limitations and qualify new electronic devices for RF applications using GaN substrate with a high crystalline quality.

Thick and resistive GaN buffer layer was grown at CHREA in order to limit leakage current and RF losses. MOVPE growth technique will permit thick GaN layer while controlling the resistivity by using carbon self-compensation or iron incorporation. Heterostructures will be grown from these substrates.

Technological process was developed at IEMN to fabricate AlGaIn/GaN devices on GaN substrate for RF applications. E-beam lithography-based process was used to fabricate transistors with short gate-length ranging down to 70 nm. DC, pulsed characteristics and S-parameters measurements were performed to determine cut-off frequency of the transistors. 18 GHz and 40 GHz microwave power measurements have shown a state-of-the-art result for HEMTs on GaN substrates.

Key words:

AlGaIn/GaN HEMT, Free-Standing GaN substrate, Millimeter-wave power density, MOCVD