



HAL
open science

Développement d'outils électrothermiques pour la localisation de défauts et pour l'optimisation de la performance de modules mécatroniques de puissance SiC

Quang Chuc Nguyen

► **To cite this version:**

Quang Chuc Nguyen. Développement d'outils électrothermiques pour la localisation de défauts et pour l'optimisation de la performance de modules mécatroniques de puissance SiC. Energie électrique. INSA de Toulouse, 2021. Français. NNT : 2021ISAT0026 . tel-03625326

HAL Id: tel-03625326

<https://theses.hal.science/tel-03625326>

Submitted on 30 Mar 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par

Institut national des sciences appliquées de Toulouse (INSA Toulouse)

Présentée et soutenue par

Quang Chuc NGUYEN

**Développement d'outils électrothermiques pour la localisation de défauts
et pour l'optimisation de la performance de modules de puissance SiC**

École doctorale et discipline ou spécialité

Génie Électrique, Électronique et Télécommunication (GEET)

Unité de recherche

Laboratoire LAAS-CNRS, IRT Saint-Exupéry, ICAM Toulouse

Directrice(s) ou Directeur(s) de Thèse

M. Patrick TOUNSI

Directeur de thèse

M. Jean-Pierre FRADIN

Co-directeur de thèse

M. Jean-Michel REYNES

Encadrant de thèse

Jury

M. Cyril BUTTAY, Directeur de Recherche

Rapporteur

M. Yvan AVENAS, Maître de Conférences

Rapporteur

M. Frédéric MORANCHO, Professeur des Universités

Président

Mme. Hélène FREMONT, Professeure des Universités

Examinatrice

M. Stéphane LEFEBVRE, Professeur des Universités

Examineur

M. Thierry MEYNARD, Directeur de Recherche

Examineur

M. Bernardo COGO, docteur-ingénieur de recherche

Invité

Remerciements

Les travaux présentés dans ce mémoire ont été réalisés dans le cadre d'un projet de collaboration entre **l'Institut de Recherche Technologique Saint-Exupéry**, le **Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS-CNRS)** au sein de l'équipe Energie et Système Embarqués, **l'Institut Catholique d'Arts et Métiers de Toulouse (ICAM Toulouse)** et la société **aPSI^{3D}**.

Je tenais à remercier mes directeurs de thèse, **Patrick Tounsi**, Maître de Conférence à l'INSA Toulouse, directeur de thèse, **Jean-Pierre Fradin**, enseignant-chercheur à l'ICAM Toulouse, co-directeur de thèse, et **Jean-Michel Reynes**, ingénieur de recherche à l'IRT Saint-Exupéry et aPSI^{3D}, encadrant de thèse.

Patrick, merci pour ton soutien et pour tous tes conseils pendant ces années. Je te remercie de t'avoir rendu disponible malgré un ton emploi du temps très chargé, de m'avoir donné une meilleure condition de travail possible. Merci de m'avoir aidé pour la simulation et m'accompagné pendant l'écriture du manuscrit, que ce soit la journée ou le soir.

Jean-Pierre, un grand merci de tout mon cœur pour ton encadrement et ton grand soutien durant toute la thèse. Merci énormément pour le gros travail que tu as fourni à cette thèse et à ce projet. Je te remercie de ton accompagnement aux montages des bancs, aux mesures expérimentales et aux simulations, à l'écriture du manuscrit pendant toute la durée de ce travail.

Jean-Michel, merci pour ton accompagnement de mon stage à la fin de thèse à l'IRT, pour m'avoir formé sur le plan expérimental. Merci pour toutes les discussions que nous avons eu et pour tes remarques.

Je tiens également à remercier tous les membres du jury. Je remercie sincèrement **Cyril Buttay** et **Yvan Avenas** d'avoir accepté de rapporter cette thèse et montré leur intérêt sur ce travail. Je vous remercie pour les rapports très détaillés qui m'ont aidé de compléter cette thèse. Merci pour vos remarques pertinentes et constructives.

Je souhaiterais de remercier **Mme. Fremont Hélène** d'avoir accepté d'examiner cette thèse, de faire partie du jury. Je remercie particulièrement **Frédéric Morancho** qui a présidé le jury dans une bonne ambiance. Je remercie également **Stéphane Lefebvre** et **Thierry Meynard** d'avoir accepté d'examiner ce travail et faire partie du jury. Un grand merci pour **Bernardo Cogo** qui a accepté d'être dans le jury. Je te remercie sincèrement pour ton soutien, ton expertise et ton aide durant le temps je réalise la thèse à l'IRT.

Je tiens à exprimer ma gratitude aux amis du Bureau G6 au LAAS : **Manuel Gonzalez Sentis**, **Dany Hachem**, **Chaymaa Haloui**, **Luiz Fernando Lavado Villa**, **Nabil El Belghiti Alaoui**. Un merci énorme pour votre accompagnement que ce soit au laboratoire ou dans la vie personnelle. Merci pour toutes les discussions, les barbecues, les babyfoots et les moments que nous avons partagés. Ils rendent la vie au laboratoire vraiment aimable et agréable. Je remercie également à **Matthieu Lizot** qui a réalisé son stage au LAAS pour son accompagnement et son aide.

Je tiens à remercier **Sébastien Sanchez**, mon collègue à l'ICAM Toulouse, qui m'a beaucoup aidé pendant tout le long de ce travail, de montage du banc expérimental aux

réalisations de mesures. J'exprime également ma reconnaissance et ma gratitude aux binômes/trinômes d'étudiants ICAM Toulouse, qui ont participé à ce projet du début à la fin. Merci pour tous les travaux que vous avez fournis dans le montage du banc, les réalisations de mesures, les simulations thermiques complexes. Sans vous, ce travail ne pourrait pas être finalisé. Un grand merci à **Romain, Nicolas, Lucas, Mathilde, Flora, Adrien, Lucile, Loick, Côme, Marc, Jeanne, Ayméric, Astrid**,... Je voudrais remercier **Dominique** et **Yohan** qui nous ont beaucoup aidés pendant ce travail. Je remercie également **Anne** et **Claudia** pour leur aide.

Je souhaite exprimer également ma reconnaissance aux collègues à l'IRT Saint-Exupéry. Un grand merci à **Raphaël Riva** et **Gilles Segond** qui ont grandement contribué à la réalisation de ce travail. Je voudrais remercier **Nicolas, Bruno, Stéphane** et **Dominique** qui ont piloté et accompagné le projet. Merci pour leur aide et leur réactivité. Je remercie également **Hoan** pour son aide pendant la thèse. Je remercie mes amis et mes collègues doctorants à l'IRT: **Hans, Victor, Thomas, Arnaud, Antonin**,...pour les moments agréables. Je tiens à remercier tous les personnels de l'IRT qui m'ont aidé durant mon temps en stage et en thèse.

Je remercie également **Jacques Favre**, le fondateur de la société aPSI3D pour son accompagnement, son soutien et son réactivité. Merci pour tes corrections des articles, pour les discussions que nous avons eu. Je souhaite remercier **Renaud Lacabanne**, ingénieur chez aPSI3D, et **Davy Colin**, ingénieur sur la plateforme Primes, pour leur accueil et leur aide.

Je souhaiterais remercier tous les amis et les collègues doctorants au LAAS, au laboratoire LAPLACE, à l'IMT Toulouse, avec qui j'ai partagé les matches de foot très sympa. C'est un vrai plaisir durant les périodes stressées d'une vie d'un doctorant.

Je remercie également mes amis vietnamiens qui ont partagé les moments agréables avec moi et ma famille: **Dat, Hang, Phuong, Nga, Trang, Tu, Dzung, Thuyen, Hoa**.

Enfin, je ne saurais comment remercier ma grande famille et ma petite famille. Je remercie particulièrement mes parents qui m'ont toujours soutenu dans la vie, dans les études. Un grand merci à eux et à mon petit frère pour leur soutien et leurs encouragements pendant toutes mes études. Un merci spécial à mon amour **Thuy** et à notre fils **Léo. Thuy**, merci d'être là, merci de partager les moments précieux, particulièrement la naissance de notre fils. Merci de confronter toutes les difficultés avec moi, merci pour tous les trajets Paris-Toulouse qu'on a fait, merci pour tous les voyages ensemble, merci de me soutenir et de m'encourager. Et le petit **Léo**, merci de venir dans notre vie.

Sommaire

INTRODUCTION GENERALE	15
I. CONTEXTE INDUSTRIEL.....	21
I.1. INTRODUCTION	23
I.2. CARBURE DE SILICIUM (SiC).....	24
I.3. MOSFET SiC	30
I.3.1. Résistance à l'état passant.....	32
I.3.2. Tension de seuil.....	35
I.3.3. Diode structurelle	36
I.4. PACKAGING DES MODULES DE PUISSANCE	37
I.4.1. Puce.....	41
I.4.2. Substrat	42
I.4.3. Brasure/frittage.....	43
I.4.4. Semelle	45
I.4.5. Interconnexions électriques	46
I.4.6. Terminaisons électriques	48
I.4.7. Encapsulation.....	48
I.4.8. Système de refroidissement.....	49
I.5. CONCLUSION	51
II. BANC DE MESURE D'IMPEDANCES THERMIQUES.....	53
II.1. INTRODUCTION.....	55
II.2. ETAT DE L'ART DES METHODES DE MESURES DE TEMPERATURE DE COMPOSANTS	56
II.2.1. Méthodes optiques.....	58
II.2.2. Méthodes par contact physique	61
II.2.3. Méthodes électriques	63
II.3. CONCEPTION ET REALISATION D'UN BANC	69
II.3.1. Système électrique	71
II.3.2. Système de refroidissement et capteurs	73
II.3.3. Pilotage et acquisition par LabVIEW	74

II.4. VALIDATION DU BANC DE MESURE.....	79
II.5. CONCLUSION.....	82
III. MESURES DES IMPEDANCES THERMIQUES	83
III.1. INTRODUCTION	85
III.2. EXTRACTION DES PARAMETRE THERMOSENSIBLES.....	86
III.3. CARACTERISATION DU MODULE DOUBLE FACE Si/SiC	88
III.3.1. Descriptions du module	88
III.3.2. Mise en place de la mesure.....	91
III.3.3. Impédance thermique auto-échauffement	93
III.4. PERTINENCE DE PARAMETRES THERMOSENSIBLES	95
III.4.1. Cas d'un module avec les MOSFETs SiC en parallèle	95
III.4.2. Cas d'un MOSFET SiC indépendant	98
III.4.3. Conclusion sur les paramètres thermosensibles.....	99
III.5. CARACTERISATION D'UN MODULE DE PUISSANCE SIMPLE FACE SiC	100
III.5.1. Descriptions du module	100
III.5.2. Mise en place de la mesure.....	102
III.5.3. Utilisation d'un banc de mesure commercial.....	104
III.5.4. Impédances thermiques d'auto-échauffement	105
III.5.5. Impédances thermiques mutuelles	110
III.6. CONCLUSION	111
IV. LOCALISATION DES DEFAUTS DANS LES MODULES	112
IV.1. INTRODUCTION	113
IV.2. MODULE DOUBLE FACE	114
IV.2.1. Simulation thermique 3D	114
IV.2.2. Comparaison entre les mesures et la simulation	116
IV.2.3. Localisation des défauts.....	117
IV.2.4. Modélisation des défauts.....	118
IV.2.5. Validation du modèle de défauts	119
IV.3. MODULE SIMPLE FACE.....	120
IV.3.1. Simulation thermique 3D	120
IV.3.2. Comparaison entre les mesures et les simulations.....	126
IV.3.3. Localisation des défauts.....	127

IV.3.4. Modélisation des défauts.....	129
IV.3.5. Validation du modèle de défauts	130
IV.4. CONCLUSION	134
V. VERS LA MODELISATION ELECTRIQUE ET ELECTROTHERMIQUE	135
V.1. INTRODUCTION	137
V.2. ÉTAT DE L'ART DE LA MODELISATION ELECTRIQUE THERMOSENSIBLE	138
V.3. MODELE DU MOSFET SIC	153
V.3.1. Conduction directe	154
V.3.2. Conduction inverse.....	155
V.3.3. Diode structurelle.....	155
V.3.4. Caractéristiques dynamiques	156
V.4. EXTRACTION DES PARAMETRES DU MODELE.....	157
V.4.1. Caractéristiques statiques	157
V.4.2. Caractéristiques de transfert	159
V.4.3. Diode structurelle.....	160
V.4.4. Caractéristiques dynamiques	161
V.5. VALIDATION DU MODELE DU MOSFET SIC.....	162
V.6. MODELISATION ELECTROTHERMIQUE DU MODULE SIC.....	167
V.6.1. Spécifications de la modélisation électrothermique	167
V.6.2. Choix du modèle thermique compact.....	168
V.6.3. Modèle électrothermique du module	172
V.7. EXEMPLE D'EXPLOITATION DU MODELE PROPOSE	174
V.8. CONCLUSION.....	181
CONCLUSION GENERALE ET PERSPECTIVES	183
BIBLIOGRAPHIE.....	189
BIBLIOGRAPHIE GENERALE.....	191
ANNEXE	197

Table des illustrations

Figure 1. Application des composants électronique de puissance, incluant les composants à base de SiC (source : ROHM).....	23
Figure 2. Résistance spécifique en fonction de la tenue en tension de différents matériaux semi-conducteurs [7].	26
Figure 3. Présentation schématique des capacités parasites d'un MOSFET	27
Figure 4. Conductivité thermique en fonction de la température du matériau 6H-SiC [8] et du 4H-SiC mono cristal [9].....	28
Figure 5. Comparaison des caractéristiques intrinsèques du Si et du 4H-SiC.	28
Figure 6. Comparaison des caractéristiques des MOSFET SiC issus de différents fabricants [11].	30
Figure 7. Schéma équivalent d'un MOSFET.....	31
Figure 8. (a) Résistance à l'état passant normalisée du MOSFET SiC STM (source : STM), (b) Résistance spécifique à 25°C et à 150°C [13], (c) Résistance spécifique en fonction de la température [14]......	33
Figure 9. Décomposition de la résistance à l'état passant dans les différentes régions de la puce.	34
Figure 10. Résistance spécifique des MOSFET SiC de GE après plusieurs générations [16].....	34
Figure 11. Tension de seuil V_{TH} : (a) $I_D = 50\text{mA}$ [14], (b) $I_D = 1\text{mA}$ [13].	35
Figure 12. Structure d'un MOSFET N-canal.....	36
Figure 13. Les défis de modules de puissance (source : Status of the Power Module Packaging Industry Yole 2019 Report).	37
Figure 14. Onduleur à base de SiC pour les moteurs de voitures électriques (source : Fraunhofer)	39
Figure 15. Diagramme d'un module de puissance conventionnel [19].....	39
Figure 16. Evolutions des éléments de technologies de packaging (source : Status of the Power Module Packaging Industry Yole 2019 Report)	40
Figure 17. Schéma des couches d'une puce semi-conductrice [20].....	41
Figure 18. (a) Circuit imprimé PCB, (b) Substrat métallique isolé SMI, (c) Substrat céramique métallisé [20].	42
Figure 19. Schéma de coupe (a) d'un DBC, (b) d'un AMB.....	43
Figure 20. (a) Un substrat céramique (AlN) avec ses puces et les fils de câblage, (b) Coupe métallographique d'une puce de puissance brasée sur un substrat céramique [21]......	44
Figure 21. Frittage d'argent avec pression d'un puce sur un substrat [21]	44
Figure 22. Schéma de principe de la technologie (a) TMS, (b) SLC [21]......	45

Figure 23. Différents types d'interconnexion électrique dans un module de puissance [20].....	46
Figure 24. Module de puissance : (a) Nissan Leaf 2012, (b) Honda Accord 2014 [23]...	47
Figure 25. Module de puissance à refroidissement double face (aPSI ^{3D}) : (a) Billes frittées sur la face avant des puces, (b) Schéma de coupe du module	47
Figure 26. (a) Connecteurs externes intégrés dans un AMB (Kyocera) [22], (b) Contacts auxiliaires d'un substrat flexible (module SKiN, Semikron)[26].	48
Figure 27. Module de puissance rempli de gel silicone [22]	48
Figure 28. (a) Refroidissement double face avec de TIM et de plaque froide [27], (b) Refroidissement simple face avec dissipateur avec dissipateur intégré (source : Infineon), (c) Refroidissement double face avec dissipateur intégré (source : aPSI ^{3D})	50
Figure 29. (a) Dissipateur à ailette, (b) Dissipateur pin fin [28]	50
Figure 30. Exemples : (a) d'une caméra thermique (source : FLIR), (b) d'un capteur à fibre infrarouge (source : Omega).....	58
Figure 31. Systèmes de mesure de températures par (a) photoluminescence [40], (b) effet Raman [41].	59
Figure 32. (a) Thermoréfectromètre [42], (b) Indice de réfraction [45].....	60
Figure 33. (a) Schéma de fonctionnement d'un thermocouple (source : Ecnmag), (b) Exemple d'une thermistance [48]	61
Figure 34. (a), (b) Microscope thermique à balayage [50], [51]; (c) mesure de température d'un composant par la méthode par cristaux liquides [52].....	62
Figure 35. Méthode par fibre optique : (a) Principe de fonctionnement, (b) système de mesure [53].	62
Figure 36. Circuit pour la mesure de température de jonction.	63
Figure 37. (a) Schéma électrique de mesure, (b) Variation de la résistance à l'état passant en fonction de la température [62].....	66
Figure 38. (a) Schéma électrique de mesure de la tension de seuil, (b) Variation de la tension de seuil en fonction de la température [62].	66
Figure 39. (a) Schéma électrique de mesure de la résistance interne de grille, (b) Variation de la résistance de grille en fonction de la température [62].....	67
Figure 40. (a) Montage de mesure, (b) Variation du courant de drain en fonction de la température [62].	67
Figure 41. (a) Montage de mesure de la tension directe de la diode, (b) Variation de la tension directe de la diode structurale en fonction de la température [30].....	68
Figure 42. Courbes d'échauffement et de refroidissement d'un composant de puissance. Si deux courbes sont conjuguées : $T_{jh}(t) - T_{ref} = T_{js} - T_{jc}(t)$ d'où $T_{jh}(t)$ la température à l'instant t pendant l'échauffement, $T_{jc}(t)$ la température de jonction à l'instant t pendant le refroidissement, T_{ref} la température de référence, T_{js} est la température de jonction au régime stationnaire [56].....	69

Figure 43. (a) Les réponses thermiques mesurées par la méthode en échauffement et en refroidissement [56], Réponse thermique mesurée par (b) la méthode en échauffement et (c) la méthode en refroidissement [57].	70
Figure 44. Schéma électrique équivalent du banc	70
Figure 45. (a) L'alimentation de tension à courant contrôlé I_P , (b) l'alimentation du courant de mesure	71
Figure 46. L'aiguillage de courant avec deux interrupteurs T1, T2 et la diode D_p	72
Figure 47. Carte drivers de l'aiguillage de courant	72
Figure 48. Vue du système hydraulique avec les capteurs (thermocouples, pressions, débits)	73
Figure 49. Mise en place du module de puissance aPSI3D TRIBOX sur le banc hydraulique	73
Figure 50. Mise en place du module CULPA sur le banc de mesure Z_{TH} : (a) module CULPA, (b) montage du module sur le banc de mesure	74
Figure 51. Diagramme du système de pilotage et d'acquisition des mesures	75
Figure 52. Tension du composant sous test lors d'une mesure (échauffement + mesure)	78
Figure 53. Extrapolation linéaire de la tension de la diode en fonction de la racine du temps	78
Figure 54. Formes d'onde du courant I_P (canal CH1) à une durée d'échauffement de (a) 10ms, (b) 100ms, (c) 600ms	79
Figure 55. (a) Schéma électrique du module Fuji, (b), (c) Installation du module Fuji et les capteurs sur le banc de mesure	80
Figure 56. (a) Impédance thermique fournie dans la datasheet du module Fuji, (b) Comparaison entre l'impédance thermique mesurée par le banc Z_{TH} et celle donnée dans la datasheet	81
Figure 57. Banc de caractérisation électrique des composants de puissance	87
Figure 58. Schéma électrique équivalent pour les caractérisations : (a) de la diode structurelle du MOSFET SiC et (b) des diodes Schottky SiC	87
Figure 59. Variation en fonction de la température de : (a) la tension de deux diodes Schottky SiC, (b) la tension de la diode structurelle du MOSFET SiC ($V_{GS} = -5V$)	87
Figure 60. Schéma électrique du module de puissance TRIBOX SiC	88
Figure 61. (a) Vue de l'intérieur du « sandwich », (b) Schéma de coupe des couches du module, (c) Radiateurs à picots Wavy brasés sur l'extérieur du « sandwich », (d) Schéma de coupe du boîtier plastique avec les radiateurs, (f) Vue de dessus du module sans l'AMB dessus	89
Figure 62. Mise en place du module de puissance SiC à refroidissement double face par liquide sur le banc de caractérisation thermique	92
Figure 63. Vue du système hydraulique avec les capteurs (pressions, débits, thermocouples)	92

Figure 64. Impédance thermique des diodes Schottky HS en refroidissement double face.	93
Figure 65. Impédances thermiques des diodes Schottky HS en refroidissement: (a) simple face arrière, (b) simple face avant.	93
Figure 66. Impédances thermiques de deux diodes Schottky HS sous 3 types de refroidissement.	94
Figure 67. $I_F(V_F)$ de la diode structurale en fonction de la tension V_{GS}	95
Figure 68. Schéma de pilotage des MOSFETs pour la mesure de la température de jonction d'un seul MOSFET SiC.	95
Figure 69. Vérification de la validité du TSEP: (a) procédure de mesure, (b) évolution de la tension V_F lorsque $V_{GS} = 0V/20V/0V$	96
Figure 70. (a) Composition de courants passant le MOSFET en inverse, (b) charges piégées dans l'interface entre deux régions P-well et l'oxyde de grille SiO_2	97
Figure 71. Evolution de la tension V_F lorsque $V_{GS} = -5V/20V/-5V$	98
Figure 72. Tension de la diode structurale du MOSFET SiC avec : (a) $V_{GS} = 0V$, (c) $V_{GS} = -5V$	98
Figure 73. Image du module CULPA et schéma électrique associé.....	100
Figure 74. (a) Placement des sous-modules dans le boîtier, (b) Vu de profil l'empilement des composants.	101
Figure 75. (a) Face avant du DBC inférieur (les puces sont brasées sur ce DBC), (b) Face arrière du DBC supérieur (les puces ne sont pas brasées sur ce DBC)	101
Figure 76. Montage du module de puissance CULPA sur le banc de caractérisation thermique.....	103
Figure 77. Schéma des couches du montage du module CULPA.....	104
Figure 78. (a) Banc de mesure de l'impédance thermique MICRED, (b)(c) Montage du module sur le banc, (d) Vue globale pour un test en cours.....	105
Figure 79. Impédance thermique d'auto-échauffement jonction-ambiante Z_{thja} des MOSFET 1, MOSFET 2, MOSFET 3	106
Figure 80. Impédance thermique d'auto-échauffement jonction-boîtier Z_{thjc} du MOSFET 2	107
Figure 81. Evolution de la température de jonction obtenue par simulation thermique : (a) champ de température surfacique pour brasure parfaite (b) champ de température pour brasure avec voids (c) Evolution de la température moyenne de la puce dans le cas (a), (d) Evolution de la température moyenne de la puce dans le cas (b).....	108
Figure 82. Impédances thermiques extraites par deux méthodes en échauffement et en refroidissement (a) sans voids, (b) avec voids	109
Figure 83. Impédance thermique mutuelle Z_{thja21} (MOS2 : activé, MOS1 : désactivé)..	110
Figure 84. CAO du module SiC : (a) vue en perspective (b) détail des positions des puces, (c) représentation en coupe des couches	114

Figure 85. Comparaison essais/simulation de Z_{TH} des diodes HS du module : (a) Trois types de refroidissement, (b) Refroidissement double face, (c) refroidissement simple face arrière, (d) refroidissement simple face avant.....	116
Figure 86. Propagation du front de chaleur dans le module TRIBOX SiC	117
Figure 87. Localisation de la délamination par visualisation de la structure (vue de côté du module, photo prise par un microscope numérique Keyence VHX-5000) et le schéma de coupe.	118
Figure 88. Comparaison essais (points)/simulations (courbe continue) de Z_{TH} des diodes HS du module après recalage du modèle : (a) Trois types de refroidissement, (b) Refroidissement double face, (c) refroidissement simple face arrière, (d) refroidissement simple face avant.....	119
Figure 89. (a) CAO du module CULPA, (b) importation de la CAO dans le logiciel de la simulation thermique, (c) répartition des MOSFETs dans le module.....	120
Figure 90. Détail de la structure autour d'une puce.....	121
Figure 91. (a) Courant du MOSFET dans le premier quadrant, (b) Répartition des résistances du MOSFET [69]	121
Figure 92. (a) Courant du MOSFET dans le troisième quadrant, (b) Zone de charge d'espace de la jonction PiN [70].....	122
Figure 93. Zone de dissipation : coupe des couches (gauche) et vue de dessus (droite)	123
Figure 94. Conductivité thermique du Carbure de Silicium (4H-SiC, dopage) en fonction de la température [72].	124
Figure 95. (a) Radiateur LA V6 150 24, (b) Représentation du radiateur dans CATIA.....	125
Figure 96. Vues du modèle complet CULPA.....	125
Figure 97. (a) Courbe débit/perte de charge, (b) Point de fonctionnement du ventilateur	125
Figure 98. Cartographie de la température de la puce 2 (à 10s).....	126
Figure 99. Comparaison des résultats issus de essais expérimentaux et ceux issus de simulations du MOSFET 2.....	126
Figure 100. Flow chart des recalages de simulation par rapport aux mesures.....	127
Figure 101. Délamination dans la brasure puce	129
Figure 102. Délamination dans le substrat.....	129
Figure 103. Délamination dans la semelle.....	129
Figure 104. Localisation des délaminations sur le schéma des couches du modèle	129
Figure 105. Comparaison des résultats issus des mesures et ceux issus des simulations (initial et prise en compte des délaminations).....	130
Figure 106. Image de RX de l'interface de la brasure de la semelle : (a) positions de la coupe, (b) image de l'interface (source : IRT).....	131

Figure 107. Image RX de la brasure face arrière des puces : (a) positions de la coupe, (b) image de l'interface (source : IRT).....	132
Figure 108. Images SAM des interfaces du DBC (source : IRT).....	133
Figure 109 : Identification de paramètres pour : (a) caractéristique de transfert et (b) caractéristique statique [79].....	141
Figure 110 : (a) Structure DIMOS avec les dimensions géométriques, (b) Modèle équivalent [76], [77].....	142
Figure 111 : Structure (a) du modèle DMOSFET SiC, (b) de la région JFET [78]	143
Figure 112 : Circuit équivalent du MOSFET à l'état bloqué et à l'état passant [90].....	144
Figure 113 : Schéma électrique du modèle MOSFET SiC selon [88].....	145
Figure 114 : Modèle du MOSFET SiC avec la compensation de température [82].	146
Figure 115 : Structure et modèle équivalent du MOSFET SiC [84], [85].....	147
Figure 116 : Modèle équivalent du MOSFET SiC et sous-circuit de la capacité C_{GD} [87].	148
Figure 117 : Structure et modèle électrique équivalent du MOSFET SiC [86].	149
Figure 118 : Schéma du modèle du MOSFET SiC représenté par les blocs spécifiques [93].....	150
Figure 119 : Schéma électrique équivalent du modèle MOSFET SiC de ROHM [94].	150
Figure 120 : Modèles électriques des MOSFETs SiC CREE Wolfspeed : (a) C2M, (b) C3M [94].....	151
Figure 121 : La structure (à gauche) et le modèle sous-circuit du MOSFET SiC [96]..	152
Figure 122. (a) Schéma électrique équivalent du MOSFET SiC, (b) Présentation de chaque élément du MOSFET SiC.	153
Figure 123. (a) Allures de fonctions f_1 , f_2 , f_3 , (b) Caractéristiques de sortie en conduction directe (source : datasheet).....	154
Figure 124. Capacités C_{ds} et C_{gd} en fonction de la tension V_{DS}	156
Figure 125. Résistance à l'état passant $R_{DS(on)}$ en fonction de la température de jonction	157
Figure 126. Caractéristiques de sortie en conduction directe à $T_J = 25^\circ\text{C}$ (a), $T_J = 150^\circ\text{C}$ (b).....	158
Figure 127. Caractéristiques de sortie en conduction inverse à $T_J = 25^\circ\text{C}$ (a), $T_J = 150^\circ\text{C}$ (b).....	158
Figure 128. Caractéristiques de transfert à $V_{DS} = 10\text{V}$ et à différentes températures ($T_J = 25^\circ\text{C}$ - 150°C).....	159
Figure 129. Caractéristiques de la diode structurelle à différentes tensions V_{GS} (0V à -8V) : (a) à $T_J = 25^\circ\text{C}$, (b) à $T_J = 150^\circ\text{C}$	160
Figure 130. Capacité C_{ds} en fonction de la tension V_{DS} : modèle vs datasheet.....	161
Figure 131. Capacité C_{gd} en fonction de la tension V_{DS} : modèle vs datasheet	161

Figure 132. Diagramme des étapes de la modélisation	162
Figure 133. Comparaison entre les mesures et les résultats issus de la simulation des caractéristiques de sortie en conduction directe du MOSFET SiC.	163
Figure 134. Comparaison entre les mesures et les résultats issus de la simulation des caractéristiques de sortie en conduction inverse du MOSFET SiC (axe vertical représentant la valeur absolue du courant de drain).....	164
Figure 135. Courant traversant la diode structurelle du MOSFET.....	165
Figure 136. Comparaison entre les mesures et les résultats issus de la simulation de la diode structurelle du MOSFET SiC.	166
Figure 137. Procédure de modélisation thermique du module de puissance	168
Figure 138. (a) Numérotation des puces dans le module, (b) Délimitation du radiateur	169
Figure 139. (a) Elévation de températures et (b) impédances thermiques des puces (MOS1 = activé).....	169
Figure 140. (a) Réseau de Foster et (b) réseau de Cauer.....	170
Figure 141. Réseau RC de Foster prenant en compte les couplages thermiques de la puce 1 avec ses voisines.....	170
Figure 142. (a) Regroupement des MOSFETs et (b) réseau RC de Foster simplifié	171
Figure 143. Comparaison de la réponse thermique ($T_j - T_{ref}$) issue du réseau de Foster avec celle issue de la simulation 3D.....	172
Figure 144. Réponses thermiques ($T_j - T_{ref}$) issues du réseau de Foster et de la simulation 3D : (a) MOSFET 2-4, (b) MOSFET 5-6	173
Figure 145. Réponses thermiques ($T_j - T_{ref}$) issues du réseau de Foster et de la simulation 3D : (a) MOSFET 7-8, (b) MOSFET 9-12.	173
Figure 146. Implémentation du modèle électrothermique du MOSFET SiC sous LTSpice.....	174
Figure 147. Evolution de la puissance dissipée dans le MOSFET SiC	174
Figure 148. Evolution de la température de jonction du MOSFET SiC.....	175
Figure 149. Schéma du circuit hacheur avec prise en compte du couplage électrothermique.....	175
Figure 150. Evolution des courants pour un rapport cyclique de 0,5 : (a) dans le drain du MOSFET, (b) dans l'inductance	176
Figure 151. Evolution des courants pour un rapport cyclique de 0,8 : (a) dans le drain du MOSFET, (b) dans l'inductance	177
Figure 152. Evolution de la température de jonction : (a) rapport cyclique 0,5 ; (b) rapport cyclique 0,8.....	177
Figure 153. Schéma de simulation de l'onduleur	178
Figure 154. Commande MLI du MOSFET U1 : fréquence de découpage 5kHz.....	178

Figure 155. Courant dans l'inductance : (a) fréquence de découpage 5kHz, (b) fréquence de découpage 40khz.....	179
Figure 156. Courant dans le MOSFET U1 : (a) fréquence de découpage 5kHz, (b) fréquence de découpage 40khz	179
Figure 157. Température de jonction du MOSFET U1 (a) fréquence de 5khz, (b) zoom sur l'intervalle 10ms-20ms; (c) fréquence de 40khz, (d) zoom sur l'intervalle 10ms-20ms.	180
Figure 158. Présentation du module TRIBOX Si : (a) Schéma électrique, (b) Boitier, (c) Vue intérieure, (d) Vue en coupe du module.	199
Figure 159. Comparaison simulation/mesure de Zth de la diode Si	200
Figure 160. Réponses thermiques transitoires au niveau des différentes couches du module TRIBOX Si en refroidissement double face.....	200
Figure 161. Comparaison simulation/mesure de Zth de la diode Si après la prise en compte dans la simulation du défaut détecté.	201
Figure 162. Localisation de la délamination par visualisation de la structure : (a) vue de côté du module, (b) schéma de coupe dans la simulation, (c) zoom sur la délamination.....	201
Figure 163. Champ de température au niveau de la diode HS1	202
Figure 164. Flux thermique dans le module autour de la diode HS1.....	202

INTRODUCTION GENERALE

Le travail objet de ce mémoire de thèse s'inscrit dans le cadre d'un projet ANR « APSITHERM », en collaboration avec l'IRT Saint Exupéry, l'ICAM, et la société aPSI^{3D}. L'objectif général concerne le développement d'outils d'aide à la conception et à la fiabilisation de nouveaux modules de puissance SiC.

Les composants à grand gap semblent très prometteurs pour la réalisation d'interrupteurs de puissance performants. Ces nouveaux composants apportent des propriétés qui améliorent le compromis entre l'état passant et la tenue en tension, et autorisent leur utilisation à des températures de jonction et des fréquences de commutation plus élevées. Cependant, ces caractéristiques intéressantes pour des applications performantes de puissance ne peuvent pas être totalement exploitées sur des technologies de modules développées pour les interrupteurs en silicium. C'est pour cette raison que des industriels comme APSI^{3D} développent actuellement de nouvelles structures de packaging plus compactes et plus légères, qui permettent de minimiser les inductances parasites, tout en augmentant la densité de puissance. Ceci passe par la proscription de fils de bonding, et par une intégration 3D des puces semi-conductrices par le biais par exemple des billes ou des micro-poteaux, par le recours au frittage d'argent et au refroidissement double face à l'aide d'interfaces thermiques innovantes.

Ces nouvelles technologies d'assemblage ne sont par contre pas suffisamment matures pour que les équipementiers puissent les utiliser en toute confiance. Leur fiabilité et robustesse ne sont pas encore totalement démontrées, et il s'avère donc nécessaire de développer des outils expérimentaux adaptés ainsi qu'une modélisation associée, pour accompagner la maturation technologique de ces nouveaux modules.

La société APSI3D, partenaire du projet APSITHERM a breveté une technologie de packaging qui a pour particularité le recours au frittage d'argent sur les faces arrières des puces et aussi sur deux extrémités des billes en cuivre qui reposent sur les faces avant des puces, ce qui permet un refroidissement double face des puces MOSFET SiC et diodes Schottky SiC. Ces nouvelles interfaces n'ayant pas encore été éprouvées du point de vue fiabilité, notre rôle a consisté à analyser, modéliser et caractériser ces assemblages, travaux qui nécessitent d'accéder à des paramètres individuels par puce (température de jonction, courant par interrupteur...) à l'intérieur du module. Cependant ces modules ultra-compacts ne permettent pas cette accessibilité.

La performance thermique des modules développés étant l'une des principales caractéristiques, les mesures thermiques se sont naturellement imposées, et la notion d'impédance thermique transitoire qui tient compte des couplages entre puces s'est avérée un outil incontournable. Il est alors nécessaire d'imaginer des techniques de mesure de la température de jonction d'une part, et des bancs de test qui permettent de maîtriser les paramètres d'environnement thermique de l'autre.

Dans le cadre de ce projet, il nous a demandé de développer des outils afin de maîtriser au mieux la répartition des courants dans les différentes puces ainsi que la température de jonction. Ces outils doivent englober à la fois des simulations thermo-fluidique 3D performantes confiées à l'ICAM et des mesures individuelles des températures de jonction. Il faut noter que la mesure de température de jonction dans ce type de module représente un véritable verrou qui devait être adressé sur les plans métrologique,

méthodologique et technologique. Comme la mesure de la température de jonction individuelle des puces doit passer par un pilotage indépendant des MOSFETs, une solution technologique a été envisagée et prototypée (par la société aPSI^{3D}) sans aboutir. Par conséquent, sur le module aPSI3D, les travaux se sont limités à la mesure de température de jonction des diodes Schottky présentes dans le module. Par ailleurs, afin d'appliquer la méthode basée sur la température de jonction individuelle des MOSFETs, nous avons eu recours à un autre module prévu pour un pilotage individuel des MOSFETs (module à refroidissement simple face développé par l'IRT Saint-Exupéry).

Dans le déroulement de ce travail, nous avons été confrontés à la discordance entre les résultats de simulation 3D et les résultats de mesure issus du banc développé sur les deux modules ce qui nous a conduit après plusieurs investigations à conclure à la présence de défauts dans ces modules. Ceci représente une réorientation des objectifs des outils développés vers la détection et la localisation de défauts dans les modules ce qui a intéressé l'industriel pour la montée en maturation technologique. Comme cette réorientation des objectifs du travail est intervenue tardivement, il n'y a pas eu en amont de recherche bibliographique sur la problématique de détection de défauts.

Dans ce projet nous avons caractérisé les paramètres électriques des MOSFETs et diodes Schottky SiC, ce qui nous a permis de choisir le paramètre thermosensible pour accéder à la température de jonction. Par ailleurs, nous avons développé un nouveau banc de mesures d'impédances thermiques qui permet aussi le contrôle et la mesure de paramètres thermiques environnementaux tel que le débit, les températures de l'assemblage. En parallèle, des modèles thermo-fluidiques 3D ont été élaborés afin d'obtenir des courbes simulées d'impédances thermiques. La comparaison entre les résultats de mesures et de simulations nous a permis de diagnostiquer des défauts dans l'assemblage de façon non destructive.

Dans un tout autre objectif, qui consiste à fournir aux utilisateurs de ces modules des modèles électrothermiques compacts afin qu'ils puissent optimiser leurs équipements, une partie du travail a été consacrée à la modélisation électrique thermosensible des MOSFETs SiC et associée à une modélisation thermique compacte (développée dans le cadre d'une autre thèse au LAAS).

Ce manuscrit est constitué de cinq chapitres. Le premier chapitre est consacré à une recherche bibliographique sur le contexte industriel de ce travail. Le matériau semi-conducteur Carbure de Silicium (SiC) et ses avantages sont présentés. Nous nous focalisons particulièrement sur le MOSFET SiC et effectuons un état de l'art de ce composant. Nous décrivons la structure des modules de puissance actuels et leurs évolutions technologiques permettant la pleine exploitation des caractéristiques des MOSFETs SiC.

Dans le second chapitre, nous présentons un état de l'art des mesures de température de jonction. Les méthodes optiques, électriques ainsi que les méthodes par contacts physiques sont présentées et analysées. Prenant en compte les contraintes d'accessibilité à la puce dans les modules de puissance, nous donnons plus de détails sur l'utilisation des paramètres électriques thermosensibles pour la mesure de température de jonction du MOSFET SiC. Nous décrivons le développement et la mise en place d'un banc de

mesure d'impédances thermiques qui permet de configurer les conditions d'essais pour extraire des résultats fiables. Le fonctionnement de ce banc a été validé en utilisant un module de puissance du commerce.

Le troisième chapitre présente les mesures d'impédances thermiques de deux modules de puissance SiC, l'un à refroidissement simple face et l'autre à refroidissement double face.

Au quatrième chapitre, la comparaison entre les résultats de mesures et de simulations thermiques 3D, et l'introduction d'imperfections dans le modèle thermique 3D, nous ont permis d'identifier et de localiser les défauts dans le packaging de modules de puissance SiC. Des inspections réalisées aux Rayons X et au SAM (Scanning Acoustic Microscope) ont confirmé les défauts identifiés.

Le cinquième chapitre est consacré à la modélisation électrothermique compacte de modules de puissance SiC. Un état de l'art de la modélisation électrique du MOSFET SiC est présenté. Ensuite, nous proposons un modèle électrique thermosensible ainsi que la procédure d'extraction de paramètres de ce modèle. Finalement pour la modélisation électrothermique, nous présentons également un modèle thermique compact qui prend en compte l'auto-échauffement et le couplage entre les puces dans le module.

I. CONTEXTE INDUSTRIEL

I.1. INTRODUCTION

Dans ce chapitre nous dressons le paysage du domaine de l'électronique de puissance, de ses besoins et des limitations auxquelles sont confrontés les ingénieurs actuellement pour arriver à augmenter l'efficacité et la fiabilité des équipements de puissance qu'ils développent. Ceux-ci sont sans cesse à la recherche d'interrupteurs idéaux qui puissent en plus travailler à haute température pour alléger le système de refroidissement et à haute fréquence pour alléger la partie dédiée aux composants passifs. Par ailleurs, et notamment pour les systèmes embarqués, une plus grande compacité (augmentation de la densité de puissance) et légèreté sont toujours recherchées

Pour les équipements nécessitant une haute tension (supérieure à 1kV), l'avènement de l'IGBT dans les années 1980 a été un progrès considérable dans la stabilité électrothermique et dans la facilité de la commande par le biais d'une tension. Cependant, du fait de l'utilisation du Silicium, ce matériau impose de par ses caractéristiques intrinsèques des limitations (limitation de la température de jonction à 175°C pour limiter les dérives, limitation de la fréquence à cause des pertes de commutation). En effet, du fait de sa nature bipolaire, les formes d'ondes (queue de courant) lors des commutations engendrent des pertes non négligeables d'une part, et le courant de fuite à l'état bloqué augmente rapidement avec la température de jonction.

Pour contourner ces limitations, une nouvelle génération de composants basés sur les matériaux grands gaps (wide band gap – WBG), notamment le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN) a été développée [1],[2].

Dans ce chapitre, nous nous intéressons exclusivement au SiC objet de notre étude, dont nous donnons les principales caractéristiques physiques. Puis nous présentons la structure et les caractéristiques du MOSFET SiC. Ceci a été fait sur la base de composants actuellement commercialisés par différents fabricants que nous passons en revue.

Nous nous intéressons ensuite à l'implémentation de ces composants dans des modules de puissance. Nous donnons la constitution des modules actuels en décrivant les différentes couches et connectiques. Il est à noter que les "packaging" utilisés jusqu'à présent pour les composants en Silicium, ne permettent pas la pleine exploitation des caractéristiques intéressantes des MOSFETs SiC.

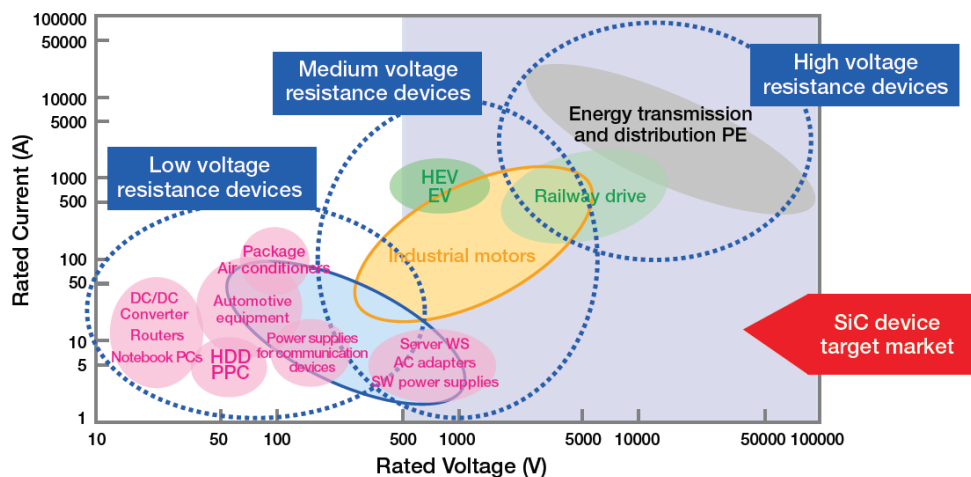


Figure 1. Application des composants électronique de puissance, incluant les composants à base de SiC (source : ROHM)

I.2. CARBURE DE SILICIUM (SiC)

Les composants de puissance à base de Carbure de Silicium (SiC) commencent à être utilisés pour remplacer les composants conventionnels à base de Silicium dans les applications de l'électronique de puissance. Afin de mieux comprendre les avantages du carbure de silicium SiC, il est indispensable de comparer les caractéristiques intrinsèques du Si et du SiC. Le tableau ci-dessous compare les propriétés électriques des matériaux semi-conducteurs Si et SiC.

Tableau 1 : Comparaison des propriétés intrinsèques de matériau semi-conducteurs Silicium et des matériaux semi-conducteurs à grand gap SiC (3C-SiC, 4H-SiC, 6H-SiC) [3], [4], [5]

Propriétés	Unité	Si	3C-SiC	4H-SiC	6H-SiC
Energie de bande interdite	eV	1,12	2,3	3,26	2,96
Champ critique	V/cm	$0,3 \times 10^6$	2×10^6	$3,5 \times 10^6$	$2,4 \times 10^6$
Vitesse saturation	cm/s	1×10^7	$2,5 \times 10^7$	2×10^7	2×10^7
Mobilité Électrons	cm ² /V.s	1200	750	1000	370
Trous		420	40	115	90
Concentration intrinsèque	cm ⁻³	$1,5 \times 10^{10}$	6,9	$8,2 \times 10^{-9}$	$2,3 \times 10^{-6}$
Conductivité thermique (à 300K)	W/cm.K	1,5	3,6	3,7	4,9

La concentration intrinsèque de porteurs n_i est déterminée par l'énergie de la bande interdite (appelé aussi le « gap ») E_G , ainsi que par la densité effective de la bande de conduction N_C et de valence N_V . La formule de la concentration intrinsèque de porteurs peut s'exprimer sous deux formes [3], [6]:

$$n_i(T) = \sqrt{N_C N_V} e^{\left(\frac{-E_G}{2kT}\right)} \quad (1)$$

$$n_i = \left(\frac{2\pi kT}{h^2}\right)^{3/2} (m_{dh} m_{de})^{3/4} \exp\left(\frac{-E_G}{2kT}\right) \quad (2)$$

Le courant de fuite augmente quadratiquement avec la concentration intrinsèque de porteurs n_i [3]:

$$j_s = qn_i^2 \left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A} \right) \quad (3)$$

Avec :

- j_s est la densité de courant de fuite (à l'état bloqué)
- E_G est l'énergie de la bande interdite (le gap),
- N_C, N_V sont les densités effective de la bande de conduction et de la bande de valence,
- N_D et N_A sont les densités de porteurs,
- T est la température (K),
- k et h sont les constantes de Boltzmann et de Planck respectivement,
- m_{dh} et m_{de} sont les masses effectives d'électron et de trou,
- D_p et D_n sont les constantes de diffusion,
- L_p et L_n sont les longueurs de diffusion,

La concentration intrinsèque de porteurs n_i est plus petite pour une énergie de la bande interdite E_G plus grande. Donc, la concentration intrinsèque du SiC ($8,2 \times 10^{-9} \text{ cm}^{-3}$ pour 4H-SiC, $2,3 \times 10^{-6} \text{ cm}^{-3}$ pour 6H-SiC) est très petite en comparaison avec celle du Si ($1,5 \times 10^{10} \text{ cm}^{-3}$). Par conséquent, le courant de fuite du SiC est beaucoup plus petit que celui du Si quelque soit la température.

Pour les puces semi-conductrices à base de Silicium, quand la température augmente, la concentration intrinsèque n_i augmente drastiquement. Par conséquent, le courant de fuite augmente d'autant plus (de façon quadratique par rapport à n_i). En revanche, pour les puces semi-conductrices à base de SiC, quand la température augmente, n_i augmente moins (selon l'équation (1) car le gap E_G du SiC est 2 à 3 fois plus grand que le gap E_G du Silicium) et donc le courant de fuite des puces SiC augmente relativement peu par rapport à celui du Si. C'est pourquoi une puce SiC peut opérer à très haute température (800K pour 3C-SiC et 1000K pour 6H-SiC) lorsque la défaillance des puces de puissance Si peut survenir dès une température de 175°C (448K) [6]. Théoriquement, le courant de fuite d'une jonction p-n 6H-SiC est d'ordre 10^{-20} A/cm^2 . En pratique, le meilleur courant de fuite obtenu est 10^{-14} A/cm^2 [6].

La concentration intrinsèque des porteurs n_i influence aussi les caractéristiques critiques comme la tension de seuil d'un MOSFET. Cette tension de seuil est calculée par la formule [3]:

$$V_{TH} = \Phi_{ms} - \frac{Q_f}{C_{ox}} + 2\psi_B + \frac{\sqrt{4\epsilon_s q N_A \psi_B}}{C_{ox}}$$

Avec :

- Φ_{ms} est la fonction de différence du travail de sortie entre métal et semi-conducteur,
- Q_f est la densité de charge oxyde,
- C_{ox} est la capacité d'oxyde de grille du MOSFET,

ϵ_s est la permittivité (du silicium ou du carbure de silicium),

ψ_B est le potentiel de surface qui dépend de la température [3]: $\psi_B = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$

Le champ électrique critique E_C du carbure de silicium SiC ($3,5 \times 10^6$ V/cm pour 4H-SiC) est dix fois plus grand de celui du Si ($0,3 \times 10^6$ V/cm). Or la tension de claquage V_B (appelé aussi V_{BR}) pour une diode plane de largeur infinie est [7]:

$$V_B = \frac{E_C W_B}{2} \tag{4}$$

Par conséquent, l'épaisseur de la région de déplétion W_B du carbure de silicium peut être réduite d'un facteur 10 pour une même tension de claquage. Le résultat est une diminution importante de la résistance spécifique à l'état passant $R_{ON, SP}$. Cependant, il faut prendre en compte la mobilité des électrons et la constante diélectrique inférieure dans le SiC. La résistance $R_{ON, SP}$ est calculée par la formule suivante [7]:

$$R_{ON, SP} = \frac{W_B}{q\mu_n N_D} = \frac{4V_B^2}{\epsilon\mu_n E_C^3} \tag{5}$$

Théoriquement, la résistance spécifique à l'état passant $R_{ON, SP}$ pour chaque matériau est :

Pour le Si [5]: $R_{ON, SP} = 5,93 \times 10^{-9} \times V_B^{2,5} \tag{6}$

Pour le 6H-SiC [7]: $R_{ON, SP} = 1,45 \times 10^{-11} \times V_B^{2,6} \tag{7}$

Pour le 4H-SiC [7]: $R_{ON, SP} = 2,97 \times 10^{-12} \times V_B^{2,5} \tag{8}$

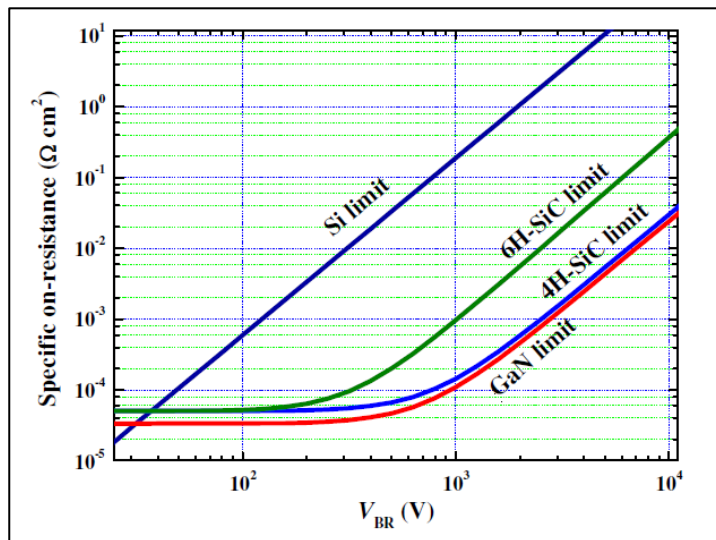


Figure 2. Résistance spécifique en fonction de la tenue en tension de différents matériaux semi-conducteurs [7].

Quand on veut augmenter la tension de claquage, la résistance spécifique à l'état passant augmente aussi. En électronique de puissance, un compromis entre une tenue en tension plus élevée et une résistance à l'état passant la plus faible possible est toujours recherché. Nous pouvons constater que pour obtenir une tenue en tension de 1000V, le MOSFET 6H-SiC présente une résistance spécifique à l'état passant $R_{ON, SP} = 1\text{m}\Omega.\text{cm}^2$, celui à base de 4H-SiC présente une résistance spécifique à l'état passant $R_{ON, SP}$ inférieure à 0,2 mΩ.cm² ce qui est remarquable, tandis que le MOSFET Silicium quant à lui présente une résistance spécifique à l'état passant de l'ordre de 100 mΩ.cm². Par conséquent,

l'utilisation de matériau SiC nous permet soit de réduire la taille de puce, soit de réduire la résistance à l'état passant pour un calibre en tension et en courant donné.

Les caractéristiques dynamiques sont données principalement par la fréquence de transition qui est liée à la vitesse de saturation v_{sat} dans le canal de longueur L [3] :

$$f_t = \frac{v_{sat}}{L} \tag{9}$$

Cette fréquence de transition donne des limites à la fréquence de commutation à laquelle les interrupteurs de puissance pourraient être commandés. Comme les matériaux SiC nous offrent une vitesse de saturation plus grande que celle du Silicium, la fréquence de commutation des diodes Schottky SiC peut être plus élevée que celle des diodes PiN Silicium. Cependant, cette fréquence est difficilement atteignable pour les MOSFETs à cause des éléments parasites dans leur structure. En effet, pour un MOSFET, la limitation de fréquence est donnée [3]:

$$f_T = \frac{1}{2\pi C_{iss} R_G} \tag{10}$$

Avec $C_{iss} = C_{GS} + C_{GD}$ est la capacité d'entrée, C_{GS} est la capacité grille-source, C_{GD} est la capacité grille-drain, R_G est la résistance interne de grille. Des capacités parasites plus grandes ralentissent la commutation des interrupteurs et augmentent le temps de présence simultanée du courant et de la tension ce qui a pour conséquence d'augmenter les pertes par commutation.

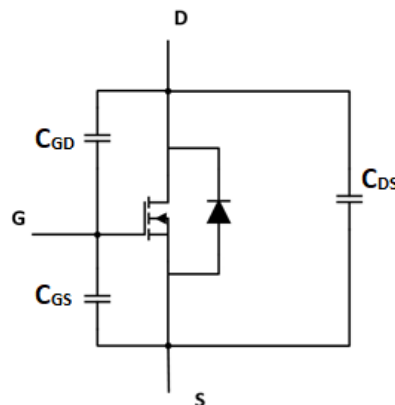


Figure 3. Présentation schématique des capacités parasites d'un MOSFET

Nous nous intéressons maintenant aux propriétés thermiques importantes pour les composants de puissance. Avec une conductivité thermique qui est 3 fois plus élevée que celle du Silicium, les composants SiC peuvent facilement évacuer la chaleur au régime transitoire. Cependant, il est nécessaire de prendre en compte prudemment la variation de la conductivité thermique du carbure de silicium SiC avec la température.

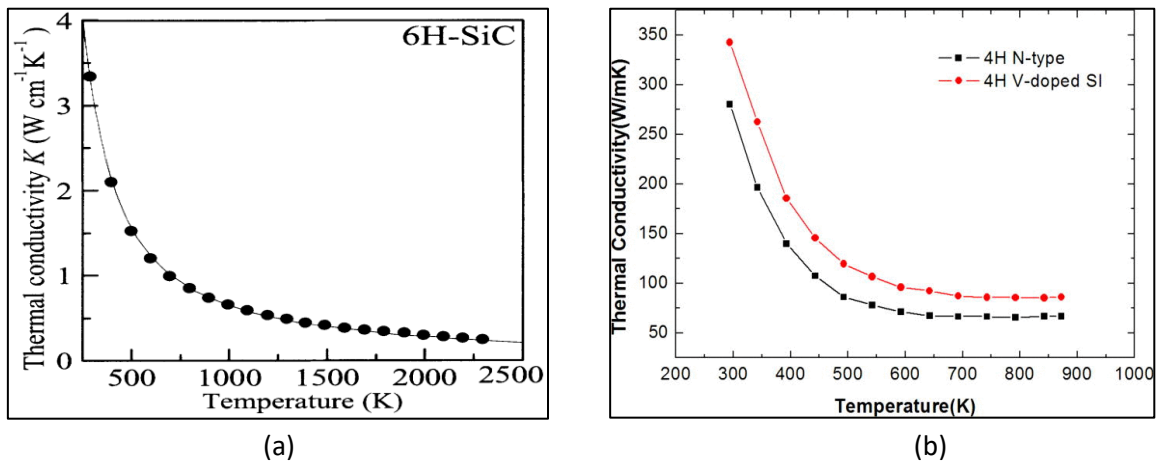


Figure 4. Conductivité thermique en fonction de la température du matériau 6H-SiC [8] et du 4H-SiC mono cristal [9].

La conductivité thermique du 4H-SiC mono cristal dopé de type N (correspond à la courbe noire dans la Figure 4b) en fonction de la température est donnée par [9]:

$$\lambda(T) = 2,67 \times 10^5 \times T^{-1,26} \tag{11}$$

À la température ambiante, la conductivité thermique du 4H-SiC de type N est de $280 \text{ W.m}^{-1}.\text{K}^{-1}$ lorsque celle du Si est de $150 \text{ W.m}^{-1}.\text{K}^{-1}$.

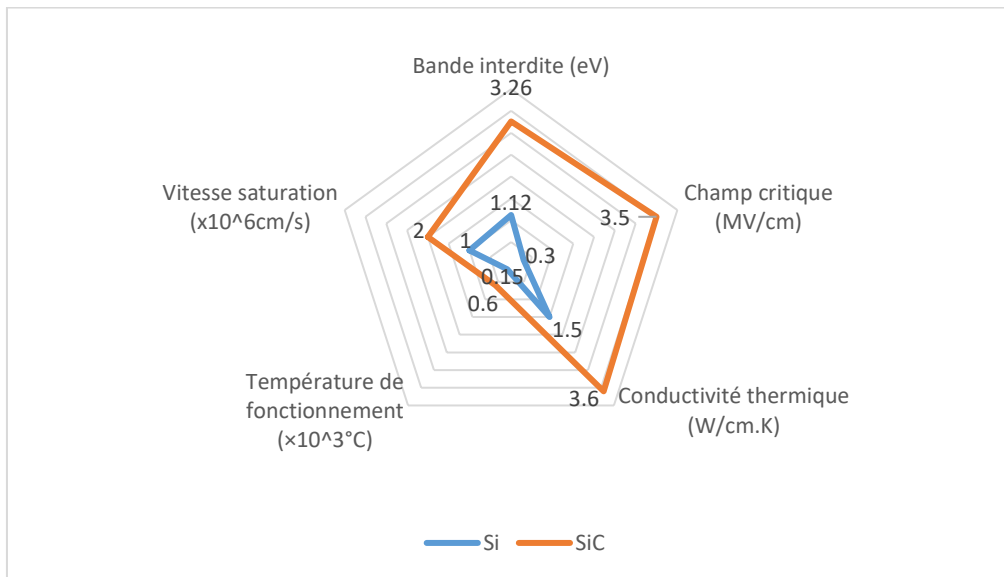


Figure 5. Comparaison des caractéristiques intrinsèques du Si et du 4H-SiC.

La Figure 5 résume brièvement les performances des matériaux semi-conducteurs. On trouve que le matériau SiC est potentiellement plus attractif que le matériau Si dans toutes les applications à haute tension, à haute température et à haute fréquence. Grâce à ses caractéristiques intrinsèques supérieures, le carbure de silicium SiC a un fort potentiel de réduction de la résistance à l'état passant, c'est-à-dire que les pertes par conduction seront drastiquement diminuées. Avec le remplacement de la diode PiN Si par la diode Schottky SiC et de l'IGBT Si par le MOSFET SiC, les pertes par commutations seront également diminuées (pas de porteurs minoritaires). Cette diminution importante des pertes

permet non seulement d'augmenter l'efficacité du système, mais aussi de réduire les composants passifs et le système de refroidissement qui contribuent pour 73% du poids et pour 66% du volume total du système aujourd'hui [10]. Les composants SiC ouvrent aussi une porte pour les applications à très haute fréquence. Par exemple, les modules MOSFET SiC 1200V de CREE WOLFSPEED ont pu fonctionner à 3,38MHz [10].

Au final, le matériau SiC est capable de travailler à très haute température. Cependant, les transistors ne fonctionnent pas seuls. Ils ont besoins d'un système de packaging et d'un système de commande. Il faut que cette partie soit aussi fonctionnelle à haute température. À ce jour, la plupart des composants SiC commercialisés sont limités à 175°C. Un prototype du demi-module SiC développé par CREE WOLFSPEED a pu opérer à 250°C [10]. Les développements de packaging pour les composants SiC sont indispensables pour mener le système entier à la hauteur du potentiel du SiC. Plusieurs composants en SiC sont commercialisés : diode Schottky, MOSFET SiC (CREE, ROHM, STM...) et BJTs SiC (GENESIC). Les IGBTs SiC sont en cours de développement.

I.3. MOSFET SiC

Le premier MOSFET SiC (1200V) a été commercialisé en 2011 par CREE. Depuis, plusieurs MOSFETs SiC ont été développés par plusieurs fabricants afin d’améliorer les calibres en tension, en courant, en température ainsi que la fiabilité : STMicroelectronics, ROHM Semiconductors, CREE Wolfspeed, SEI, Monolith, GE... A l’état actuel, les MOSFETs SiC de puissance commercialisés ont un calibre en tension de 650V à 1700V et un calibre en courant de 3,7A à 140A. La plage de température de fonctionnement de ces composants est généralement entre -55°C et 175°C, sauf l’exception de MOSFETs SiC de STM qui peuvent fonctionner jusqu’à 200°C (voir Figure 6).

Comme il est difficile de synthétiser toutes ces évolutions, nous essayons ici de résumer et d’analyser les différentes caractéristiques du MOSFET SiC et de les illustrer avec des exemples de composants issus de différents fabricants. Afin d’avoir une vue quantitative sur les caractéristiques de MOSFETs SiC, quelques composants de chaque fabricant sont choisis. Les choix de composants restent délicats car il y a des centaines MOSFETs SiC déjà commercialisés.

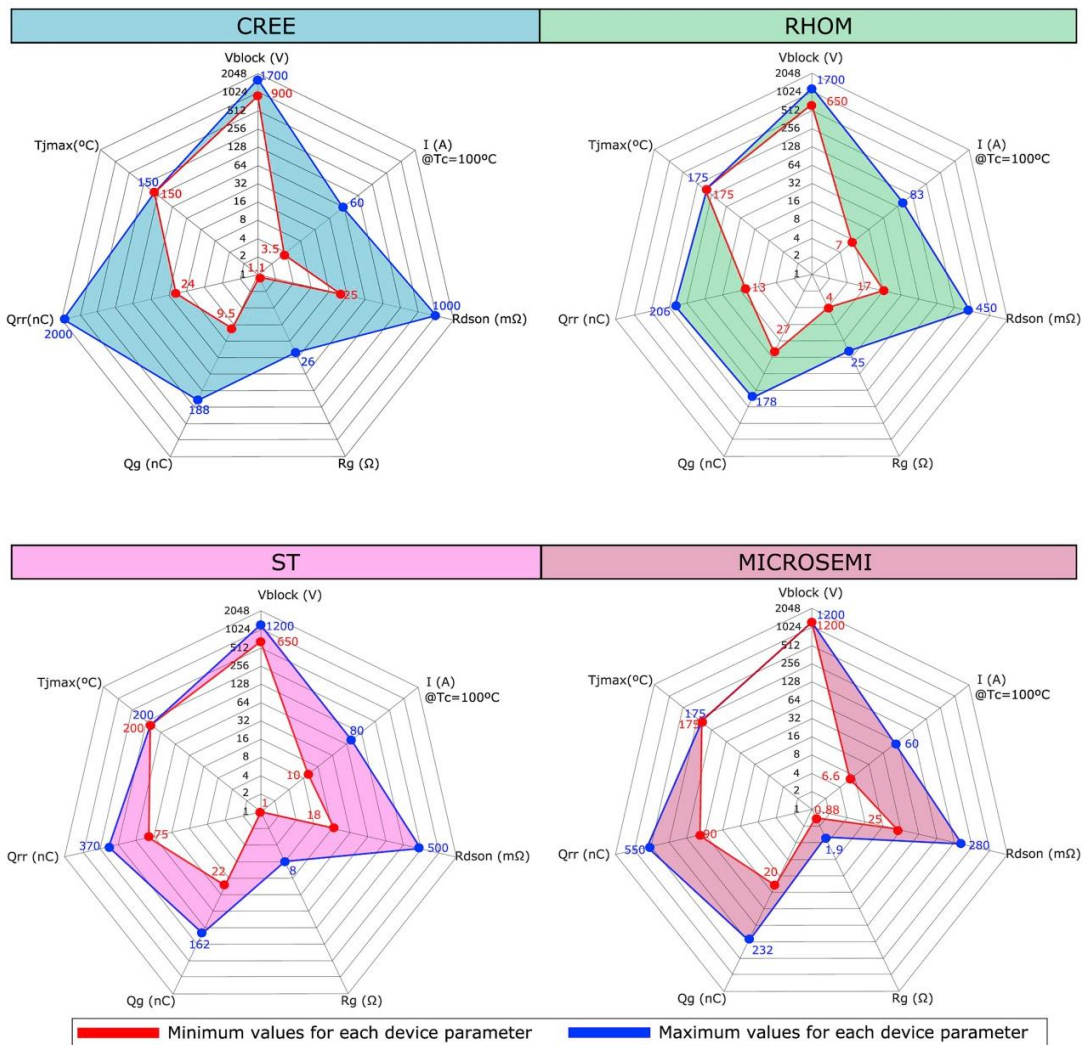


Figure 6. Comparaison des caractéristiques des MOSFET SiC issus de différents fabricants [11].

Tableau 2 – Différents MOSFETs SiC de différents fabricants

Composant MOSFET	V_{DS} (V)	I_{D-CONT} (A)
STM SCT50N120	1200	65
CREE Wolfspeed CMF20120D	1200	42
CREE Wolfspeed C2M0080120D	1200	36
ROHM SCT3080KL (gen 3)	1200	31
ROHM SCT2160KE (gen 2)	1200	22
ROHM SCT2080KE (gen 2)	1200	40
CREE Wolfspeed #1 X3M0050090G	900	35
CREE Wolfspeed #2 C3M0010090D-ES	900	160
SEI XSM3012J-ST01	1200	30
Monolith MSA12N080A	1200	36
Monolith MSA12N025A	1200	120
GE GE12N120L	1200	30

Nous présentons l'état de l'art des MOSFETs SiC par le biais de plusieurs caractéristiques critiques: la résistance spécifique à l'état passant, la tension de seuil et la diode structurale.

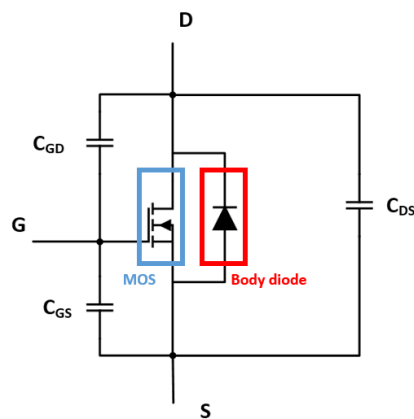


Figure 7. Schéma équivalent d'un MOSFET

I.3.1. Résistance à l'état passant

La résistance spécifique à l'état passant $R_{ON, SP}$ ($m\Omega.cm^2$) pour une tension de claquage donnée constitue l'un des paramètres le plus important de ce composant. La résistance spécifique à l'état passant $R_{ON, SP}$ est le produit de la résistance à l'état passant R_{ON} du MOSFET et de la superficie de la puce (die area). Comme une partie de la face avant de la puce est dédiée à la terminaison de grille, la région active est plus petite que la surface totale de la puce. Le rapport entre la région active et la surface totale de la puce varie selon les composants (avec les différents calibres en courant). En général, ce rapport est plus élevé pour les composants à courant plus fort [12]. Par exemple, la résistance à l'état passant des MOSFET SiC STM SCT50N120 mesurée est 46 mΩ (la valeur typique de R_{ON} indiquée dans la spécification est 52 mΩ). La surface totale de la puce (face arrière) est $3,8mm \times 3,8mm = 14,44 mm^2 = 0,1444 cm^2$. Donc $R_{ON, SP} = 46 \times 0,1444 = 6,64 m\Omega.cm^2$. Nous pouvons aussi calculer la résistance à l'état passant spécifique $R_{ON, SP}$ sachant que la superficie de la région active est $9,67mm^2$. Donc $R_{ON, SP (active)} = 4,45 m\Omega.cm^2$. On voit que les résistances spécifiques calculées par la surface totale de la puce et par la surface de la région active peuvent avoir 50% d'écart. Cependant, on n'a pas d'accès à la superficie de la région active des composants, la résistance spécifique a été calculée dans le Tableau 2 en multipliant la résistance à l'état passant par la surface totale de la puce [12]. Par ce procédé, la résistance spécifique a tendance à être surestimée.

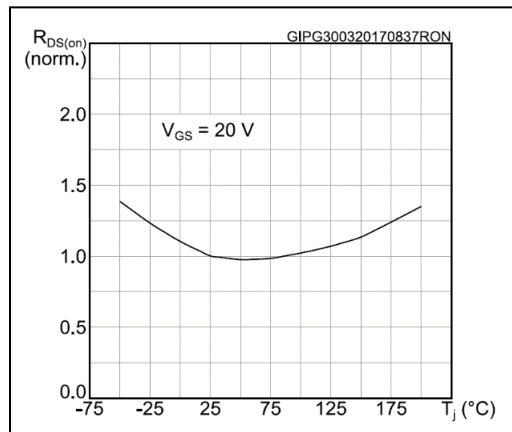
Le MOSFET SiC SEI a la résistance spécifique à l'état passant la plus petite qui est de l'ordre de $3,65 m\Omega.cm^2$. Le MOSFET de CREE Wolfspeed #2 C3M0010090D a aussi une résistance à l'état passant spécifique $R_{ON, SP}$ inférieure à $4 m\Omega.cm^2$. Cependant, ces deux MOSFET ne sont pas encore commercialisés. Quant au MOSFET SiC STM, il a une résistance spécifique à l'état passant de l'ordre de $6,64 m\Omega.cm^2$ qui est supérieure à celle du MOSFET ROHM SCT3080KL génération 3.

Tableau 2. Résistances spécifiques à l'état passant de MOSFETs SiC calculées à partir de la surface totale de la puce [12], [13].

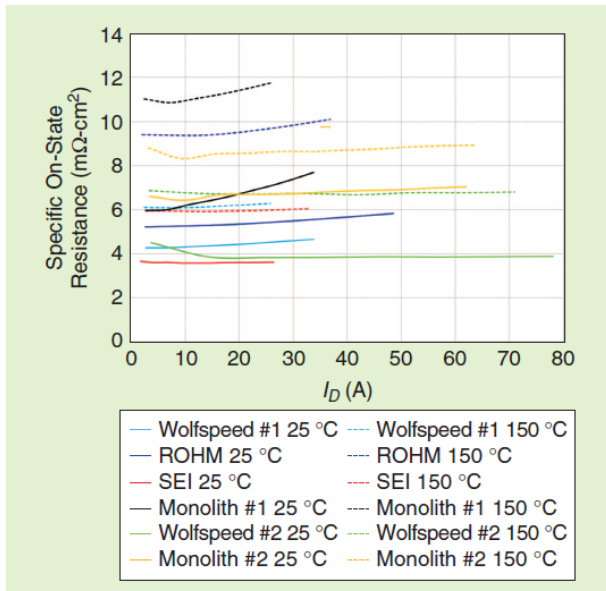
Composant MOSFET	V_{DS} (V)	I_D (A)	$R_{ON, SP}$ ($m\Omega.cm^2$) (à 25°C)	La surface totale de la puce (mm^2)	R_{ON} (mΩ) (à 25°C)
STM SCT50N120	1200	65	6,64	14,44	46
CREE Wolfspeed CMF20120D	1200	42	≈12,5	≈15,63	80
CREE Wolfspeed C2M0080120D	1200	36	≈ 8,6	≈10,75	80
ROHM SCT3080KL (gen 3)	1200	31	5,4	6,75	80
ROHM SCT2160KE (gen 2)	1200	22	≈ 11	≈6,88	160
ROHM SCT2080KE (gen 2)	1200	40	≈ 12	≈15	80
CREE Wolfspeed #1 X3M0050090G	900	35	4,45	7,56	59
CREE Wolfspeed #2 C3M0010090D	900	160	3,82	31,65	12
SEI XSM3012J-ST01	1200	30	3,65	9	40,5
Monolith MSA12N080A	1200	36	6,7	10	67
Monolith MSA12N025A	1200	120	6,65	31	21,5
GE GE12N120L	1200	30	≈ 12	≈10,43	115

La résistance à l'état passant du MOSFET SiC varie en fonction de la température. Cependant, cette variation est moins importante que celle des MOSFETs Si. La Figure 8a illustre la variation de la résistance normalisée du MOSFET STM. La résistance spécifique à l'état passant des autres MOSFETs est caractérisée pour deux valeurs de températures 25°C et 150°C (voir Figure 8b) soit de 25°C à 200°C (voir Figure 8c).

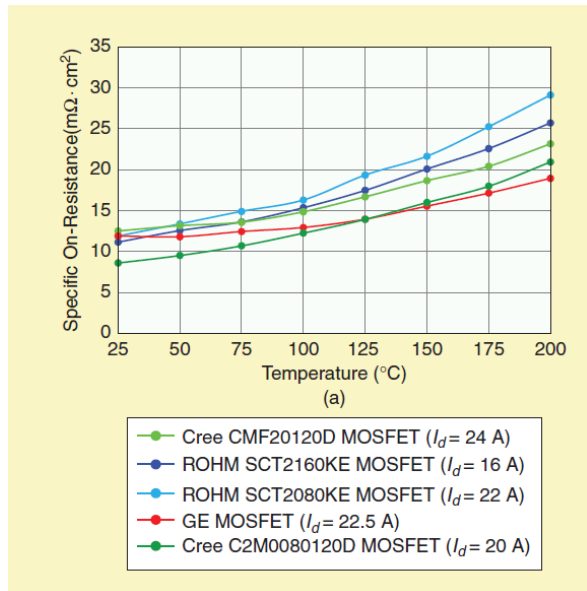
La résistance spécifique à l'état passant des MOSFETs SiC (CREE, ROHM, SEI, Monolith, GE) augmente d'environ 50% quand la température passe de 25°C à 150°C et augmente moins de 59% quand la température passe à 200°C [14]. Il faut rappeler que la résistance à l'état passant des MOSFETs Si augmentent généralement de 100% de 25°C à 125°C [14]. La résistance $R_{ON,SP}$ du MOSFET SiC STM varie de moins que 18% lors du passage de la température ambiante à 150°C. On voit que le comportement de la résistance spécifique à l'état passant du MOSFET SiC STM est un peu différent de celui des autres MOSFET. Quand la résistance $R_{ON,SP}$ des autres MOSFETs augmente avec la température, R_{ON} du MOSFET STM diminue d'abord entre 25°C-75°C avant d'augmenter.



(a)



(b)



(c)

Figure 8. (a) Résistance à l'état passant normalisée du MOSFET SiC STM (source : STM), (b) Résistance spécifique à 25°C et à 150°C [13], (c) Résistance spécifique en fonction de la température [14].

La résistance à l'état passant $R_{DS(on)}$ (appelée aussi R_{ON}) d'un MOSFET est la somme des résistances en séries qui sont sur le chemin de courant drain-source (voir Figure 9) :

$$R_{DS(on)} = R_{SOURCE} + R_{CH} + R_{JFET} + R_{DRIFT} + R_{SUB}$$

Où :

R_{SOURCE} : la résistance de la source

R_{CH} : la résistance du canal

R_{JFET} : la résistance JFET entre deux régions P-well

R_{DRIFT} : la résistance de la région drift

R_{SUB} : la résistance du substrat

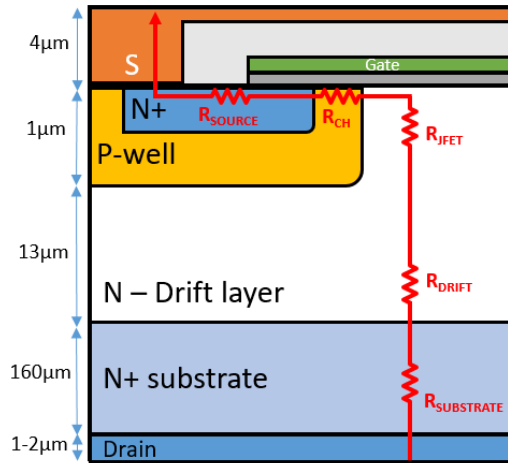


Figure 9. Décomposition de la résistance à l'état passant dans les différentes régions de la puce.

Parmi ces résistances, R_{CH} , R_{JFET} et R_{DRIFT} sont les contributeurs majeurs de la résistance totale $R_{DS(on)}$. La résistance R_{CH} dépend de la tension de commande V_{GS} et de la mobilité de porteurs dans le canal. Lorsque la tension de commande V_{GS} augmente, la résistance R_{CH} diminue. Pour les MOSFETs SiC, cette résistance R_{CH} sature à sa valeur minimale quand la tension de commande V_{GS} arrive à 20V, tension souvent utilisée pour les commander.

Comme indiqué, la résistance à l'état passant du MOSFET SiC STM diminue et ensuite augmente avec la température. Ce phénomène pourrait être expliqué par le fait que la résistance du canal R_{CH} est très importante dans la résistance R_{ON} du MOSFET STM à faible température. Quand la température augmente de 25°C à 75°C, la mobilité des porteurs augmente et donc R_{CH} diminue mais R_{JFET} et R_{DRIFT} augmentent. Cependant quand la température continue à augmenter de 75°C à 150°C, l'augmentation des résistances R_{JET} et R_D l'emporte sur celle du canal R_{CH} [15].

En développant les MOSFETs SiC Trench, ROHM Semiconductors a amélioré la résistance à l'état passant $R_{DS(on)}$ par un facteur 2 comme nous pouvons le voir dans le Tableau 2 (5,4 mΩ.cm² vs 11-12 mΩ.cm²). General Electric a annoncé le développement d'une nouvelle génération du MOSFET SiC avec une résistance spécifique encore plus petite de l'ordre de 2,85 mΩ.cm² comme illustré par la Figure 10 (les carrés bleus représentent les MOSFETs SiC de GE, les carrés gris et blancs représentent les MOSFETs SiC des autres fabricants). Jusqu'à maintenant, la plupart des MOSFETs SiC commercialisés est constituée de MOSFETs Planar (sauf MOSFET SiC gen 3 de ROHM et CoolSiC Trench d'INFINEON). Dans l'avenir, les MOSFETs SiC Trench sont attendus pour diminuer la résistance à l'état passant.

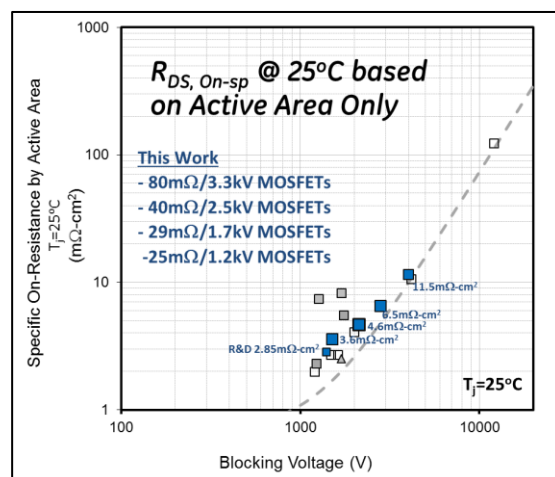
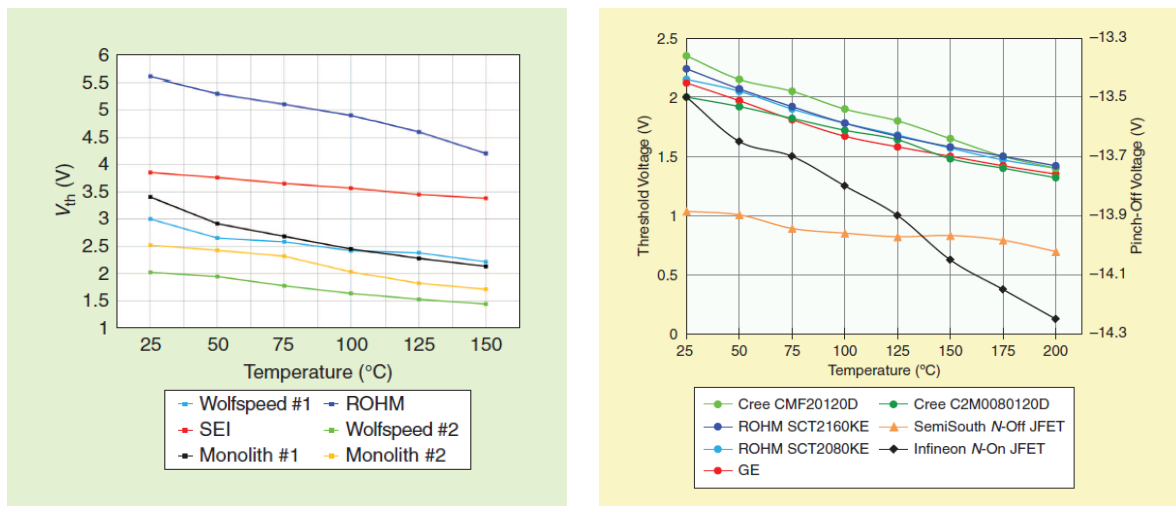


Figure 10. Résistance spécifique des MOSFET SiC de GE après plusieurs générations [16].

I.3.2. Tension de seuil

La tension de seuil V_{TH} du MOSFET est définie comme la chute de tension entre la grille et la source à laquelle le canal de conduction commence à se former et un courant commence à passer dans le composant. Pour les composants à base de Silicium (MOSFET ou IGBT), ce courant de seuil est choisi de l'ordre de $250\mu A$ généralement. Quant aux MOSFETs SiC, ce courant de seuil est souvent choisi de l'ordre de $1mA$. Cependant, il est parfois défini proportionnellement au courant nominal du composant dans des travaux de recherche ou par les fabricants des puces.

Tout comme la tension de seuil du MOSFET Si, celle du MOSFET SiC diminue en fonction de la température. La tension de seuil V_{TH} des MOSFETs CREE, ROHM, Monolith et GE diminue environ de 25% quand la température passe de $25^{\circ}C$ à $150^{\circ}C$ (voir Figure 11). La tension de seuil V_{TH} du MOSFET SEI ne diminue que de 12%.



(a) (b)
 Figure 11. Tension de seuil V_{TH} : (a) $I_D = 50mA$ [14], (b) $I_D = 1mA$ [13].

I.3.3. Diode structurelle

La diode structurelle joue un rôle très important dans le MOSFET SiC. La diode structurelle d'un MOSFET est présentée dans la figure ci-dessous :

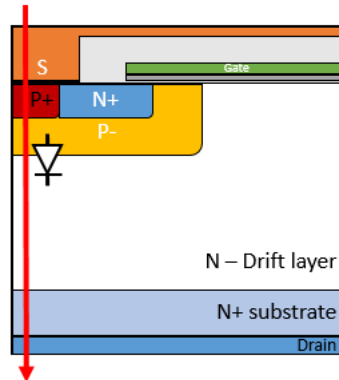


Figure 12. Structure d'un MOSFET N-canal

Les interrupteurs dans un module de puissance Silicium sont constitués de puces IGBT et de diodes antiparallèles. Les premiers modules de puissance SiC complet comportaient des MOSFETs SiC et des diodes Schottky SiC en antiparallèles. Cependant, grâce à un temps de recouvrement court de la diode structurelle du MOSFET SiC, plusieurs possibilités de remplacer les diodes Schottky dans les convertisseurs SiC par les diodes structurelles du MOSFET SiC sont analysées [17].

Aujourd'hui, il existe encore des inconvénients lorsque la diode structurelle du MOSFET SiC se substitue la diode Schottky SiC :

- La chute de tension de la diode structurelle en conduction directe est grande par rapport à celle de la diode Schottky (3-4V contre 1,25-1,5V) : les pertes par conduction de la diode interne sont 3 fois plus grandes que celles de la diode Schottky. La diode structurelle peut être utilisée dans des applications où son temps de conduction est très court (rapport cyclique faible).
- Pour les applications à haute fréquence et à haute température, la perte totale par commutation de la diode structurelle est encore significativement plus élevée de celle de la diode Schottky [17].
- L'utilisation de la diode structurelle peut induire une dégradation au niveau de la capacité de blocage de tension du MOSFET en augmentant le courant de fuite (observé dans plusieurs MOSFETs). Elle induit également une hausse de la tension de seuil du MOSFET SiC [18].

La chute de tension de la diode structurelle diminue linéairement en fonction de la température de jonction. Elle dépend également de la tension de commande V_{GS} . Ce phénomène sera expliqué dans le chapitre 5.

I.4. PACKAGING DES MODULES DE PUISSANCE

Les puces semi-conductrices sont encapsulées soit de façon individuelle (composants discrets) soit de façon regroupée dans un même boîtier (modules de puissance). Tandis que les composants discrets offrent une flexibilité et une adaptabilité à des applications différentes, les modules de puissance sont indispensables pour les applications dont la densité de puissance est élevée. Les modules de puissance doivent assurer des fonctions importantes comme la tenue mécanique des éléments, des interconnexions électriques, l'isolation électrique et la gestion thermique. Aujourd'hui, les défis principaux sont (voir Figure 13) :

- Augmenter la densité de puissance volumique et la densité de puissance massique.
- Augmenter la température de fonctionnement.
- Augmenter la fréquence de fonctionnement.
- Diminuer les pertes et diminuer les coûts.

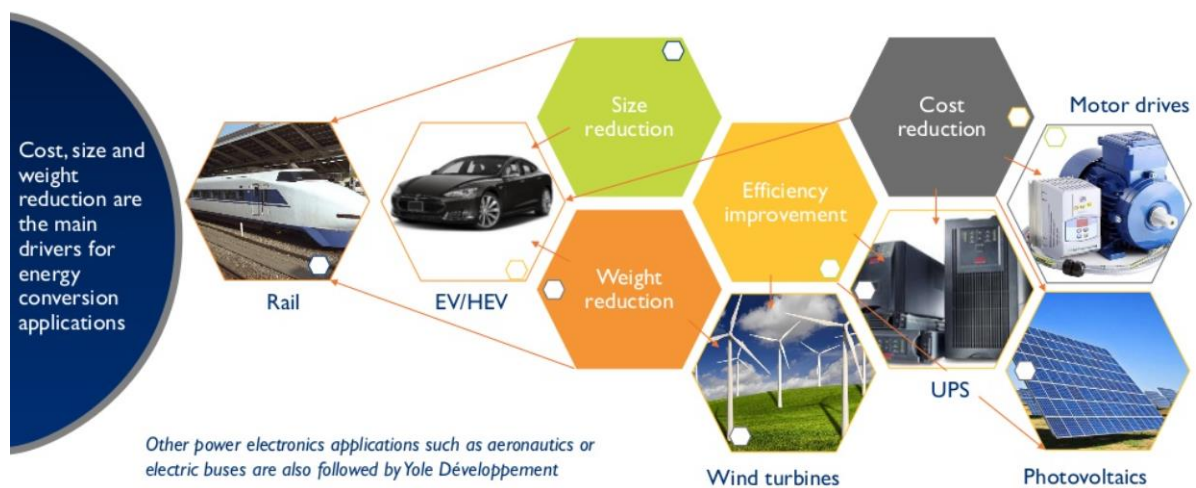


Figure 13. Les défis de modules de puissance (source : Status of the Power Module Packaging Industry Yole 2019 Report).

Selon l’application, les niveaux de puissance de ces modules peuvent varier considérablement de quelques kW à quelques MW. Par exemple, un convertisseur de puissance d’une voiture légère hybride peut avoir une puissance de 4 kW tandis qu’un convertisseur principal d’une voiture électrique peut avoir une puissance de 180 kW (voir Tableau 3).

Tableau 3. Niveaux de puissance, de tension et de courant des voitures électriques (légère, bus) [11].

Voiture légère	Micro-Hybridation			Hybride/Rechargeable		Voitures 100% électriques		
	12V	48V	HV	mid	power	petit	medium	sportif
Puissance (kW)	4	12	20	60	100	60	100	180
Tension (V)	15	60	200	400	420	400	400	420/800
Batteries								
Courant DC (A)	333	333	167	200	400	200	333	550/280
Courant AC (A)	353	500	500	600	800	250	450	1000/500
Bus	7,5t	7,5-12t	>12t	Bus 18t	7,5-12t	7,5t	7,5-12t	Bus 18t
Puissance (kW)	50	65	120	120	90	100	120	2×120
Tension (V)	420	420	420/800	420/800	420	420	420	400/800
Courant (batteries)								
DC (A)	180	223	400/200	400/200	300	330	400	400
AC (A)	300	350	450/250	450/250	450	450	450	2×500

La densité volumique de modules de puissance Silicium utilisés dans les voitures électriques varie entre 5 kW/l et 17 kW/l (voir Tableau 4) alors que celle de modules de puissance à base de Carbone de Silicium peut être beaucoup plus élevée (jusqu’à 160 kW/l). La densité volumique de puissance est calculée en prenant en compte le volume du module et du dissipateur local (hors échangeur thermique) comme illustré sur la Figure 14.

Tableau 4. Exemples des onduleurs Si/SiC pour les voitures électriques [11]

Onduleur Si	Puissance	Puissance spécifique	Densité de puissance	DC bus
2004 Prius	50 kW	5.68 kW/kg	5.75 kW/l	200 V
2007 Camry	70 kW	9.33 kW/kg	11.67 kW/l	250 V
2008 LS 600h	110 kW	14.86 kW/kg	17.19 kW/l	288 V
2010 Prius	60 kW	16.67 kW/kg	11.11 kW/l	200 V
2012 Nissan leaf	80 kW	4.9 kW/kg	5.7 kW/l	380 V
Onduleur SiC	Puissance	Rendement	Densité de puissance	DC bus
EV onduleur	30 kW	99,5%	15 kW/l	250-800 V
EV onduleur	60kW	NA	34 kW/l	400 V
EV onduleur	110 kW	96,3% moyen	23.1 kVA/l (17 kW/l)	200-450 V
demi-pont		98,9% peak	16.8 kVA/kg (12.4 kW/kg)	
EV onduleur	100 kW peak	NA	34 kW/l	400 V
EV onduleur	80 kW	99.5 %	NA	800 V
EV onduleur	60 kW	92.3-99.1 %	160 kW/l	800 V
EV onduleur	120 kW	96.8-99.3 %	160 kW/l	800 V
EV onduleur	88 kW	NA	21.5 kW/l	900 V

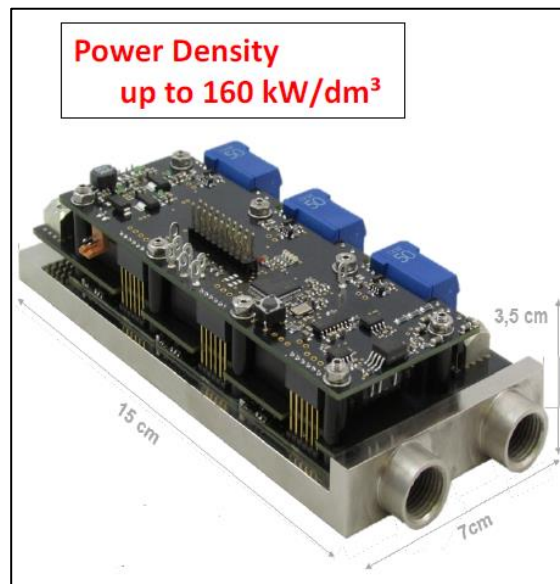


Figure 14. Onduleur à base de SiC pour les moteurs de voitures électriques (source : Fraunhofer)

Un autre défi est d’augmenter la température de fonctionnement de modules de puissance. Les matériaux SiC avec des caractéristiques intrinsèques supérieures permettent de construire les composants de puissance qui fonctionnent sous des conditions extrêmes et améliorent les performances. Pourtant, malgré leurs caractéristiques intrinsèques supérieures, les composants de puissance à base de SiC sont limités dans leurs fonctionnements par les éléments auxiliaires (boîtier, systèmes de commande de grille) qui ne sont pas encore développés pour s’adapter aux applications à conditions extrêmes.

Dans la partie suivante, les différents constituants d’un module de puissance sont présentés avec leurs avancements technologiques pour répondre à des défis discutés précédemment. Un module de puissance conventionnel est constitué des éléments fondamentaux suivant : puces, substrat, brasure/frittage, fils câblage, semelle, encapsulation, boîtier plastique [19].

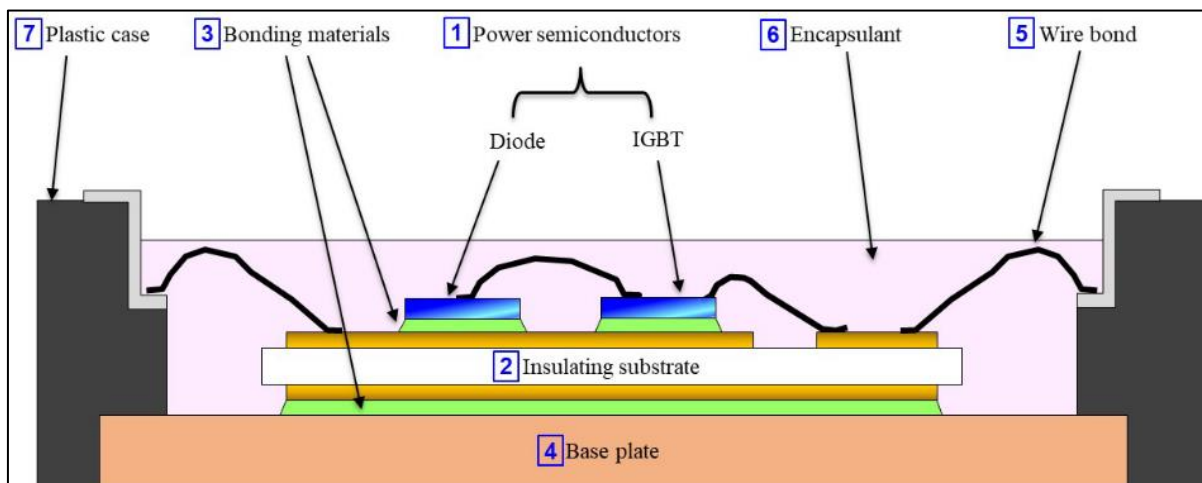


Figure 15. Diagramme d’un module de puissance conventionnel [19]

La puce semi-conductrice (MOSFET, IGBT, diode, ...) est l'élément essentiel du module qui joue le rôle de conversion de puissance. Elle est constituée de matériaux semi-conducteurs avec les deux métallisations des faces supérieure et inférieure. Ces puces sont déposées à l'aide d'une brasure ou d'un frittage sur un substrat qui contient souvent une couche isolante et deux couches conductrices. La couche conductrice supérieure en métal (en général du cuivre) du substrat sert à fournir des interconnexions électriques entre les puces et les terminaux du module. La couche isolante (en céramique : Al_2O_3 , AlN , Si_3N_4 , $BeO...$) sépare électriquement les puces des autres parties métalliques comme la semelle. La brasure/frittage (SnPb, SnAgCu...) sert comme un lien mécanique, électrique et thermique entre les puces et le substrat. La couche inférieure de métal du substrat est ensuite liée à une semelle métallique par une brasure. La face supérieure des puces est connectée aux terminaux du module à travers des fils de câblage (fils de bondings). L'encapsulation (gel, résine...) a l'objectif de protéger la puce de l'environnement (humidité, poussière...), de gérer les aspects thermomécaniques et d'augmenter la tenue diélectrique autour de la puce. Enfin, l'ensemble de ces éléments est intégré dans un boîtier plastique pour éviter les chocs mécaniques et faciliter le montage du module.

Un tel module de puissance doit assurer son fonctionnement sous différentes conditions et satisfaire des différents critères : compacité, fonctionnement à fréquence élevée, à température élevée et à tension élevée. Depuis quelques années, les éléments du packaging de modules de puissance évoluent technologiquement afin de répondre aux nouveaux besoins applicatifs. La Figure 16 illustre les tendances des technologies des différents éléments du packaging de modules de puissance.

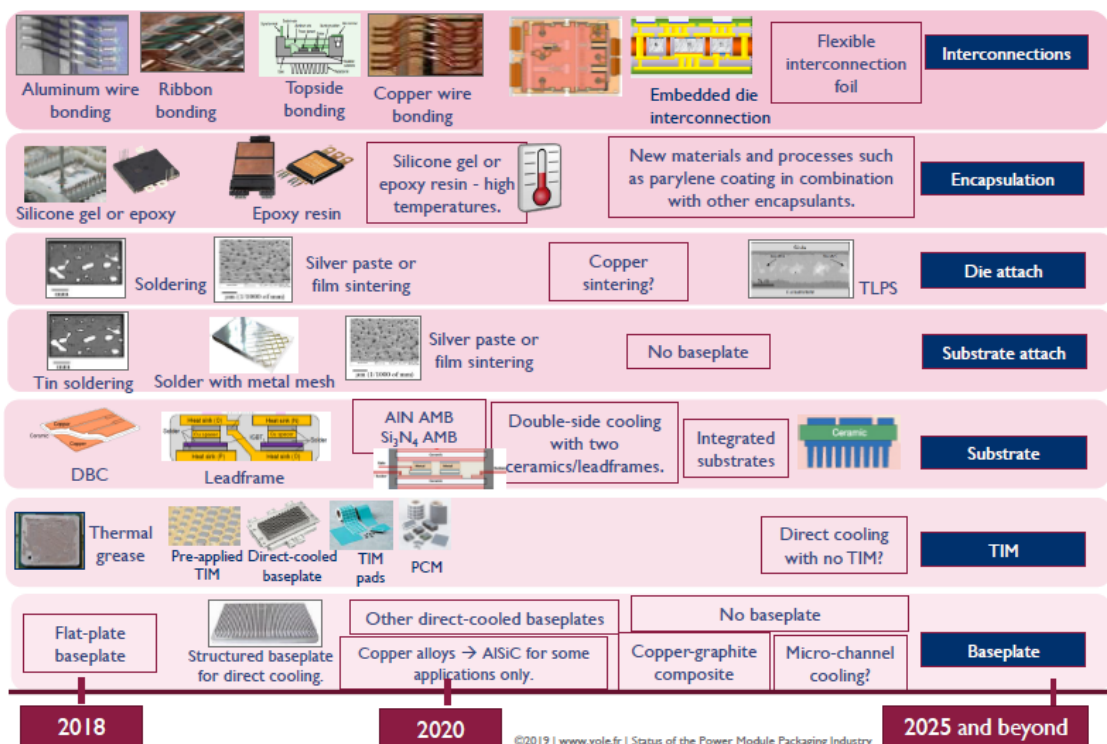


Figure 16. Evolutions des éléments de technologies de packaging (source : Status of the Power Module Packaging Industry Yole 2019 Report)

Ces différents éléments vont maintenant être détaillés et leurs avancées technologiques vont être précisées.

I.4.1. Puce

Les puces semi-conductrices sont les éléments actifs du cœur d'un module de puissance. Elles comprennent trois parties principales :

- Une couche du matériau semi-conducteur, avec une épaisseur de l'ordre de 200µm à 300µm, qui peut être réalisée en Silicium ou en matériaux grands gaps (SiC, GaN). La structure du semi-conducteur peut être verticale dans le cas de puces Si et SiC ou latérale dans le cas de puce de GaN. Les puces semi-conductrices de puissance haute tension à base de Silicium ne peuvent fonctionner qu'à une température maximale de 150°C (cette valeur dépend de la température) alors que les puces de puissance grands gaps haute tension peuvent fonctionner à une température plus élevée (bien au-delà de 200°). C'est pourquoi les composants grands gaps sont priorités pour les applications à haute température.
- Deux couches de métallisations (voir Figure 17) sur les deux faces de la puce. La métallisation supérieure puce dont l'épaisseur est de l'ordre de 1 à 10µm sert d'interface entre les terminaux semi-conducteurs et les fils de câblage. Cette métallisation est souvent constituée du même matériau que celui du fil de câblage ce qui permet d'assurer un bon contact. La métallisation inférieure puce avec une épaisseur de l'ordre de 1 à 2µm, sert au report de la puce sur le substrat.
- Une couche de passivation qui recouvre la face supérieure de la puce afin de réduire les risques de décharges partielles et de courants de fuites entre deux électrodes de la face supérieure (grille et source).

Les deux couches de métallisations et la couche de passivation sont très proches de la puce qui est la source de chaleur, ces couches doivent eux aussi supporter une température très élevée pendant le fonctionnement du module de puissance.

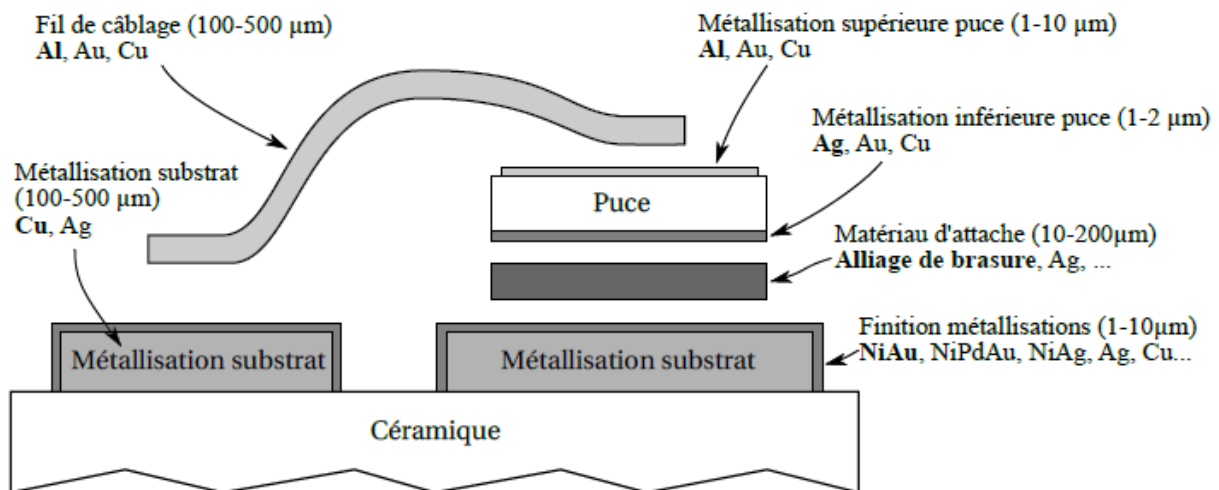


Figure 17. Schéma des couches d'une puce semi-conductrice [20]

I.4.2. Substrat

Le substrat, base sur laquelle on reporte les puces semi-conductrices, joue trois rôles :

- Conducteur électrique qui assure l'interconnexion de la face arrière de la puce et les éléments du module,
- Conducteur thermique qui permet d'évacuer la chaleur dissipée par les puces vers le système de refroidissement,
- Isolation électrique entre la face arrière des puces et le système de refroidissement.

Il existe trois catégories des substrats : circuit imprimé (PCB), substrat métallique isolé (SMI) et substrat céramique métallisé (voir Figure 18).

Le circuit imprimé PCB (voir Figure 18a) comprend un composite de fibre de verre-époxy (l'isolant de 0,2 à 3mm d'épaisseur) et des couches de cuivre assemblées par laminage (épaisseur de 35 à 400µm) [21]. Le composite verre-époxy a une mauvaise conductivité thermique de l'ordre de 1 W/m.K [20] et une température de fonctionnement limitée (ses propriétés sont dégradées au-delà de 160°C [22]). Il est largement utilisé en électronique de signal pour les tensions basses comme les cartes de commande. Cependant, son application en électronique de forte puissance est encore limitée à ce jour.

Le substrat métallisé isolé SMI (voir Figure 18b) comprend une couche de métallisation et une fine couche de composite verre-époxy collé sur une semelle métallique. La semelle métallique est généralement en aluminium d'épaisseur comprise entre 0,5 à 3mm. Si le composite verre-époxy d'un PCB a une épaisseur moyenne de 1,6mm, celle d'un SMI est généralement fine, de l'ordre de 100µm.

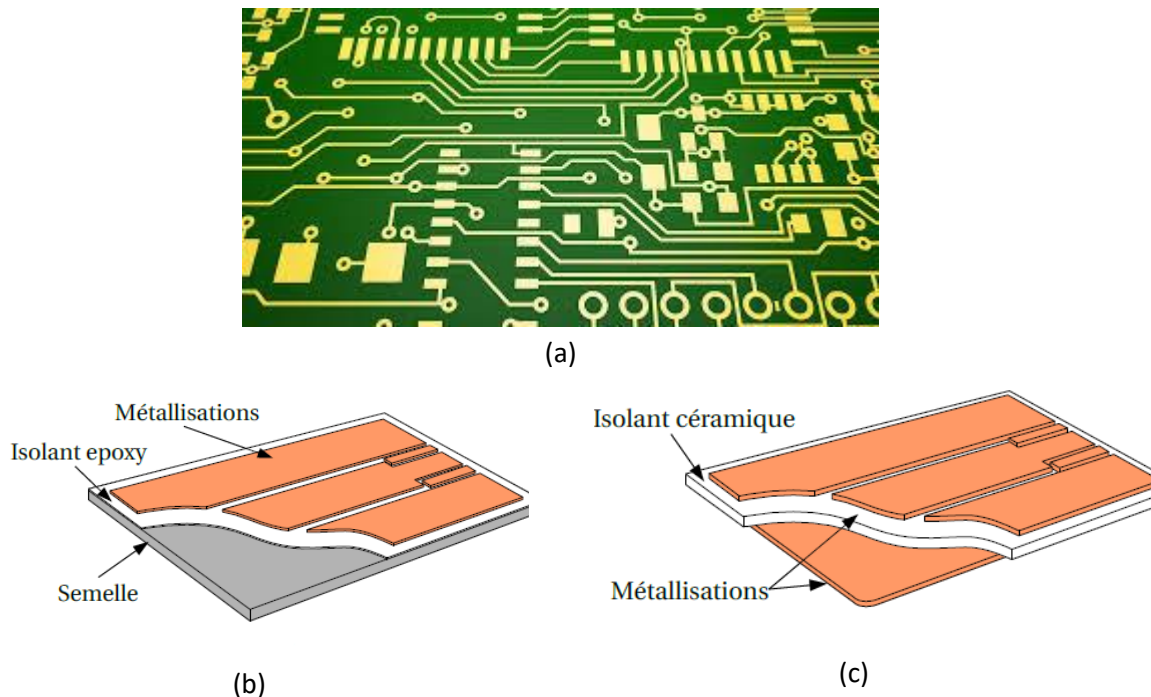


Figure 18. (a) Circuit imprimé PCB, (b) Substrat métallique isolé SMI, (c) Substrat céramique métallisé [20].

Le substrat céramique métallisé (voir Figure 18c) comprend une couche d'isolant céramique et deux couches de métallisation. La céramique idéal est un bon conducteur thermique et un isolant électrique. Les matériaux utilisés pour la céramique sont : l'alumine (Al_2O_3 , $22-33 W.m^{-1}.K^{-1}$), le nitrure de silicium (Si_3N_4 , $70 W.m^{-1}.K^{-1}$), le nitrure d'aluminium (AlN , 150 à $180 W.m^{-1}.K^{-1}$), l'oxyde de béryllium (BeO , $270 W.cm^{-1}.K^{-1}$) et le diamant ($2000 W.m^{-1}.K^{-1}$). L'oxyde de béryllium BeO et le diamant sont rarement utilisés respectivement à cause de leur toxicité et de leur coût. Parmi les trois autres matériaux, l'alumine Al_2O_3 a une conductivité thermique relativement faible et un coût moins important ce qui la rend intéressante à des applications dont la densité de puissance est faible et le facteur économique est important. Le nitrure d'aluminium AlN avec une bonne conductivité thermique et une température de fonctionnement élevé est un bon candidat pour les applications à haute température (supérieure à $400^{\circ}C$) malgré son coût élevé.

Deux techniques de liaison entre la céramique et sa métallisation existent :

- La technique directe : DBC (Direct Bonded Copper) qui utilise une métallisation en cuivre, DBA (Direct Bonded Aluminium) qui utilise une métallisation en aluminium. La liaison entre la céramique et la métallisation est réalisée en mettant ces deux couches directement en contact à une température élevée proche de la fusion du cuivre (voir Figure 19a)
- La brasure active : AMB (Active Metal Braze). Dans ce cas, la céramique Si_3N_4 est couramment utilisée grâce à sa grande résistance mécanique par rapport aux céramiques Al_2O_3 et AlN . Une brasure $Ti/Ag/Cu$ est utilisée pour assembler des métallisations en cuivre (épaisseur de 200 à $500\mu m$) sur la céramique (voir Figure 19b).



Figure 19. Schéma de coupe (a) d'un DBC, (b) d'un AMB

Ces deux substrats permettent une liaison directe avec le système de refroidissement sans l'utilisation d'une semelle, par exemple dans des modules de la société aPSI^{3D}.

I.4.3. Brasure/frittage

Parmi plusieurs techniques d'interconnexion, le brasage et le frittage sont deux techniques souvent utilisées.

La brasure dont l'épaisseur est comprise entre quelques dizaines et une centaine de micromètres, peut être utilisée pour assembler les puces et les terminaux avec un substrat, le substrat avec une semelle (voir Figure 20). La phase de brasage est constituée de 3 étapes : dépôt de l'alliage de brasure entre les deux éléments à assembler, refusion de l'ensemble suivant un profil de température permettant à l'alliage d'être totalement fondu et refroidissement rapide jusqu'à la température ambiante. Un des alliages souvent utilisé en tant que la brasure est de types de SACs composé de différents pourcentages d'étain, argent et cuivre ($Sn/Ag/Cu$). Il existe plusieurs types de SACs comme par exemple : SAC305 ($Sn96.5/Ag3.0/Cu0.5$), SAC307 ($Sn95.5/Ag0.3/Cu0.7$), SAC405 ($Sn95.5/Ag4.0/Cu0.5$), ... En général, ils ont une température de fusion légèrement supérieure à $200^{\circ}C$, une bonne mouillabilité et un approvisionnement facile.

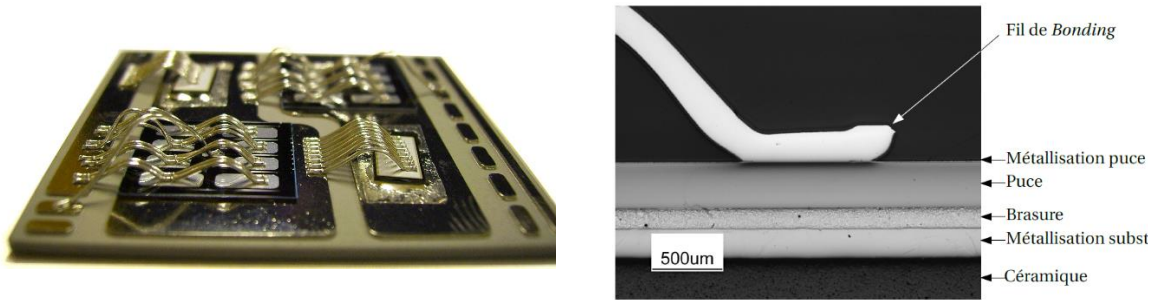


Figure 20. (a) Un substrat céramique (AlN) avec ses puces et les fils de câblage, (b) Coupe métallographique d'une puce de puissance brasée sur un substrat céramique [21].

Le frittage, notamment d'argent, est utilisé pour solidariser les puces et un substrat. Il se déroule entièrement en phase solide. Le poudre d'argent est portée à une température modérée (habituellement inférieure à 300 °C). Les mécanismes de diffusion vont pousser les particules de la poudre à se joindre, formant ainsi un joint massif qui aura un point de fusion d'environ 950°C (voir Figure 21).

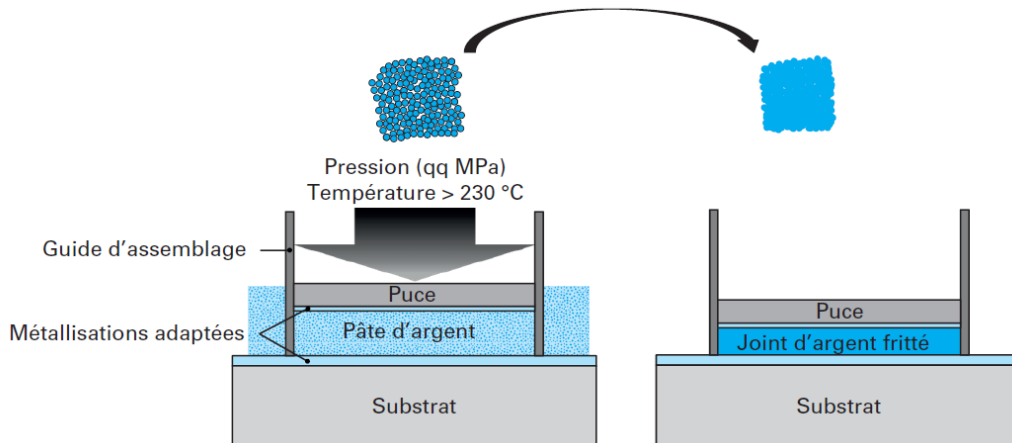


Figure 21. Frittage d'argent avec pression d'un puce sur un substrat [21]

Il existe deux procédés de frittage d'argent : frittage sous pression et frittage sans pression [21] :

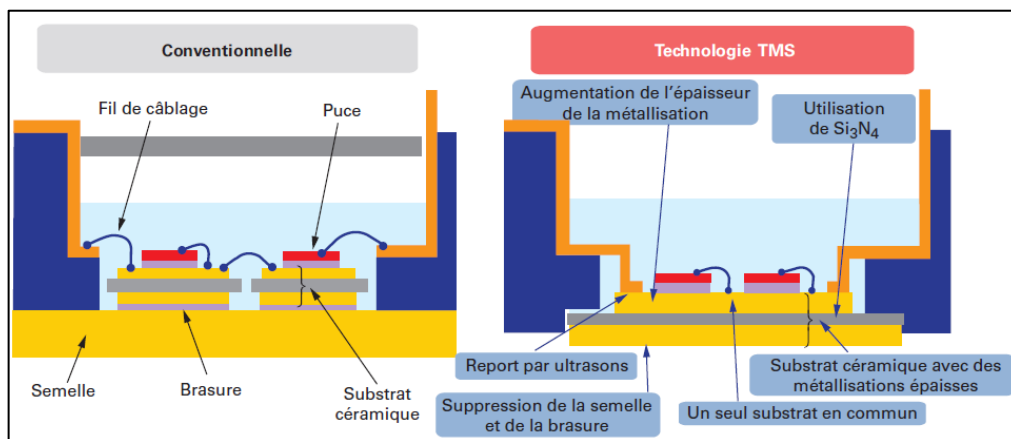
- Le frittage d'argent avec pression s'effectue sous air, à une température entre 230°C et 250°C et sous une pression de l'ordre de 10MPa à 40MPa. Ce type de frittage est souvent utilisé pour le report de la face arrière d'une puce sur un substrat. Il donne un joint fritté dont l'épaisseur est aux alentours de 30µm. Son inconvénient réside dans l'utilisation d'une pression trop importante qui peut provoquer des microfissures et donc endommager les composants de puissance [21].
- Le frittage sans pression s'effectue également sous air, à une température entre 200°C et 280°C. Le joint fritté utilisant cette technologie a généralement une épaisseur aux alentours de 50µm. Ce type de frittage est moins contraint et permet de préserver les puces lors de l'assemblage [21].

Le frittage d'argent peut être utilisé non seulement pour le report de la face arrière d'une puce mais aussi pour les autres interconnexions, par exemple les frittages puce-billes-substrat dans le cas d'un module de puissance aPSI^{3D}.

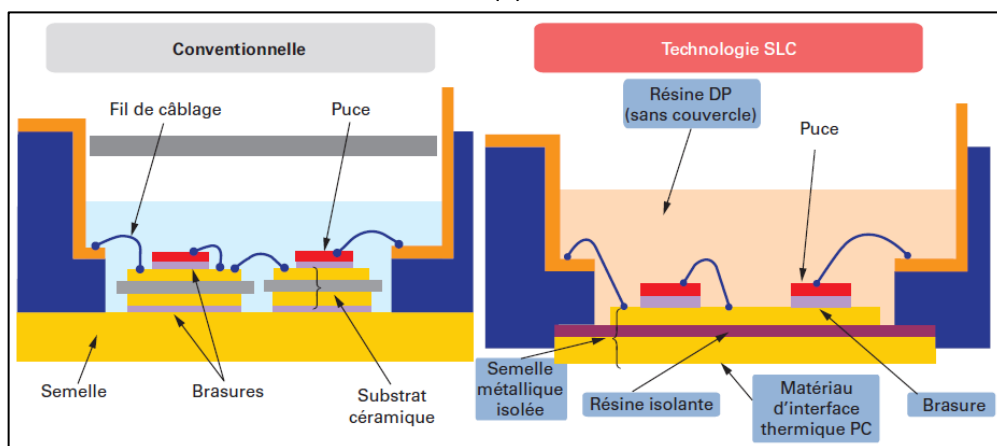
I.4.4. Semelle

La semelle est localisée entre le substrat et le système de refroidissement. Elle joue le rôle d'interface entre l'intérieur du module et le dissipateur. Comme elle se situe sur le chemin thermique, elle doit avoir une résistance thermique la plus faible possible. Son épaisseur est de l'ordre de quelques millimètres. Comme elle ne joue pas le rôle d'isolation électrique, il existe un choix large de matériau de la semelle. Les matériaux plus utilisés sont : l'AlSiC, le cuivre tungstène (CuW), le cuivre molybdène (CuMo), le kovar (Ni/Fe) ou l'aluminium (Al). Les finitions métalliques sont réalisées sur les deux faces de la semelle afin d'assurer un bon contact entre la semelle avec le substrat et le dissipateur. L'élaboration des matériaux composites cuivre-carbone est aussi adaptée à la réalisation des semelles grâce à leurs performances thermiques et mécaniques.

Il existe deux technologies différentes pour introduire la semelle dans le module en réduisant le nombre de couches [21]. La première technique « TMS »-Thick Metal Substrate supprime la semelle et utilise un substrat céramique Si_3N_4 avec des couches de cuivre très épaisses (voir Figure 22a). Cette technique est utilisée par la société aPSI^{3D} qui consiste à supprimer la semelle et à braser directement le dissipateur sur le substrat AMB. La deuxième technique SLC-Solid Cover consiste à ajouter une résine isolante et une couche de cuivre afin de reporter les puces directement dessus (voir Figure 22b).



(a)



(b)

Figure 22. Schéma de principe de la technologie (a) TMS, (b) SLC [21].

I.4.5. Interconnexions électriques

Plusieurs techniques d'interconnexion sont proposées avec des objectifs différents : réduire les inductances parasites, permettre d'avoir une interconnexion 3D et donc un refroidissement double face. La Figure 23 illustre les types d'interconnexion des électrodes de la puce.

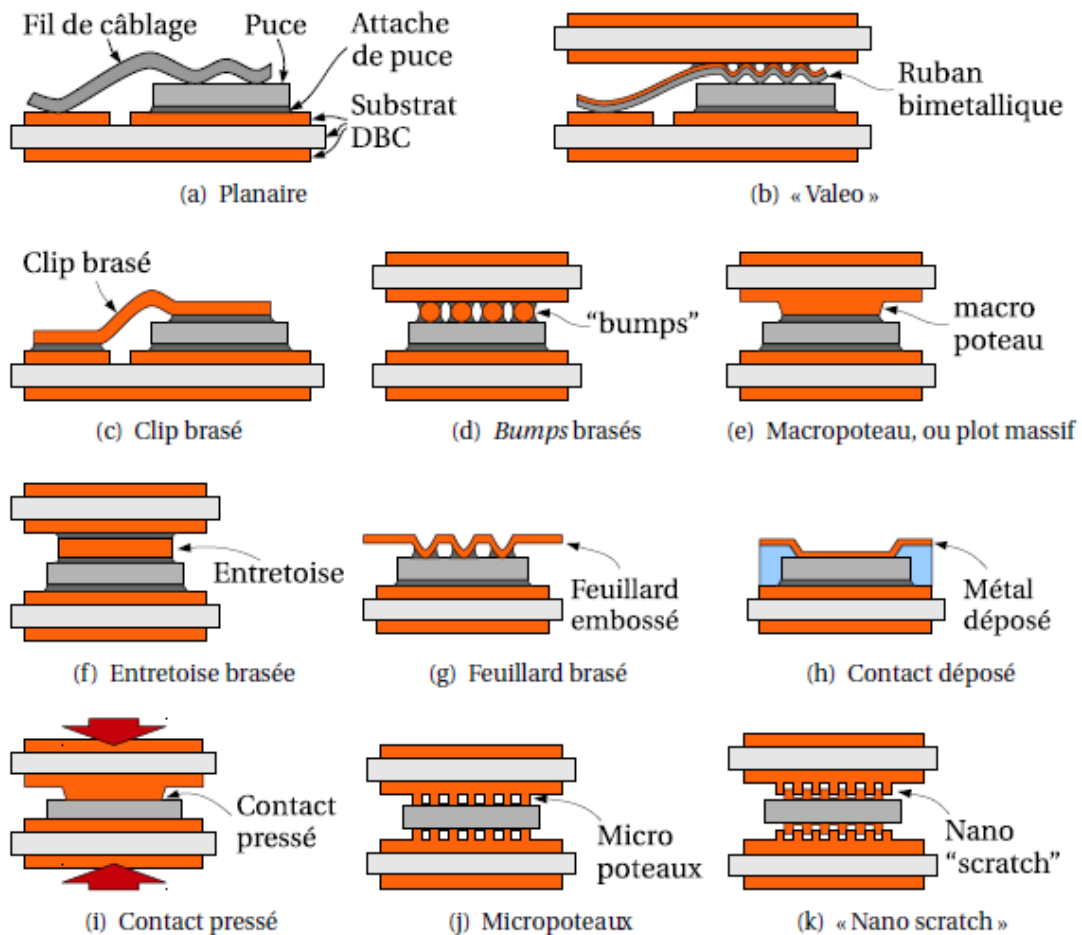


Figure 23. Différents types d'interconnexion électrique dans un module de puissance [20]

On constate que les interconnexions « fil de câblage », « clip brasé », « feuillard brasé » et « contact déposé » sont utilisés pour les modules de puissance à refroidissement simple face. Ces modules évacuent la puissance dissipée par la face inférieure tandis que la face supérieure est utilisée pour réaliser les interconnexions électriques. Parmi ces techniques, la technique « fil de câblage » ou « wire bonding » est la technique la plus utilisée dans les modules de puissance grâce à sa maturité technologique et sa fiabilité. Ces fils de câblages dont le diamètre est compris entre 100 et 500µm, sont généralement en aluminium. Afin d'éviter la formation d'intermétallique, ce fil de câblage et la métallisation de la puce sont souvent de même matériau. Lorsque le courant transmis est très important, le ruban devient une alternative intéressante grâce à sa performance électrique.

Afin d’améliorer la compacité et la performance thermique de ce type de module, les travaux actuels suivent deux directions :

- Au niveau de la face inférieure du module : réduire le nombre des interfaces thermiques de la face inférieure du module. Cela peut être réalisé en supprimant le matériau d’interface thermique TIM ou les graisses thermiques et en passant par contact direct comme le frittage, brasage afin d’améliorer les conductivités thermiques des interfaces (voir Figure 24).
- Au niveau de la face supérieure du module : intégrer les composants passifs et le système de commande au plus près des puces afin de rendre le système plus compact et réduire les inductances parasites ajoutées par les interconnexions.

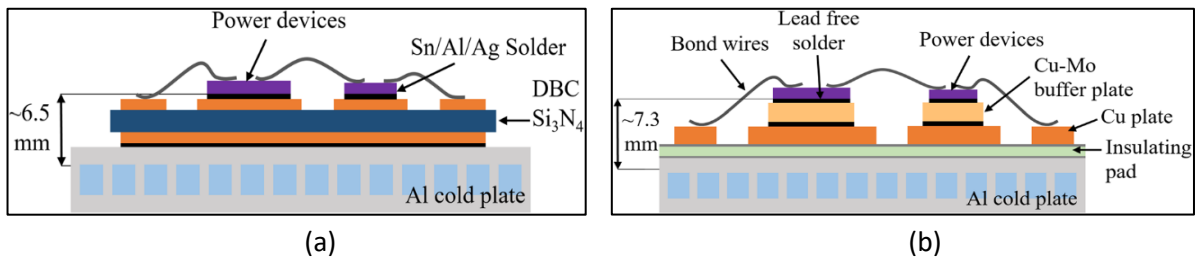


Figure 24. Module de puissance : (a) Nissan Leaf 2012, (b) Honda Accord 2014 [23]

Les techniques « bumps brasés », « bumps frittés », « macro poteau », « micro poteaux », « entretoise brasée » sont utilisées pour les modules de puissance à refroidissement double face. Ces modules évacuent la puissance dissipée par les deux côtés face avant et face arrière des puces. Un des avantages de l’utilisation de billes est d’offrir une meilleure tenue thermomécanique lors de cycles thermiques (passifs ou actifs) [24], [25]. L’utilisation de billes permet également de séparer les terminaisons grilles-sources des MOSFETs (voir Figure 25).

Par rapport à un module de puissance conventionnel utilisant des fils de câblage (bondings), un module de puissance à refroidissement double face utilisant les interconnexions alternatives citées offre au moins deux avantages :

- Le remplacement des fils de câblage par des billes ou des poteaux permet de diminuer les inductances parasites induites par ces interconnexions.
- Les billes et les poteaux permettent aussi une intégration 3D et un refroidissement double face du module qui améliorent sa performance thermique.

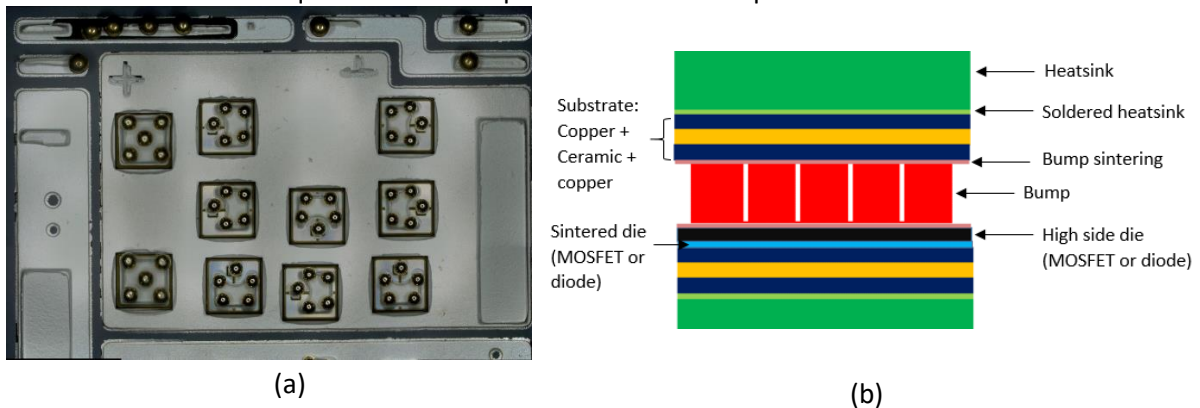


Figure 25. Module de puissance à refroidissement double face (aPSI^{3D}) : (a) Billes frittées sur la face avant des puces, (b) Schéma de coupe du module

I.4.6. Terminaisons électriques

Les terminaisons électriques permettent de relier les métallisations du substrat à l'extérieur du boîtier avec les connectiques de puissance et de commande. En général, ils sont brasés sur la métallisation du substrat. Cependant, ces brasures peuvent induire des défaillances du module. Quelques solutions sont utilisées pour résoudre ces problématiques comme : former une extension de la métallisation à l'extérieur (voir Figure 26a) ou pré-imprimer les pistes métalliques compatibles aux positions des puces sur le substrat (voir Figure 26b).

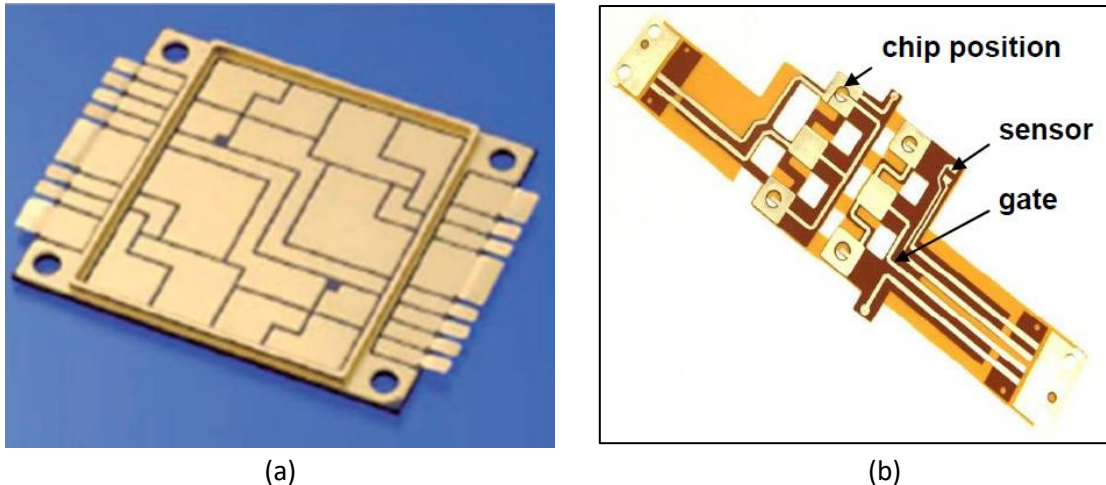


Figure 26. (a) Connecteurs externes intégrés dans un AMB (Kyocera) [22], (b) Contacts auxiliaires d'un substrat flexible (module SKiN, Semikron)[26].

I.4.7. Encapsulation

L'encapsulation permet d'avoir un maintien mécanique (vissage, clipsage...) et de protéger la puce et les interconnexions électriques de l'environnement hostile comme l'humidité, les poussières ou les produits chimiques. De plus, l'encapsulation non seulement fournit une isolation électrique pour les fils de câblage mais elle joue aussi un rôle thermomécanique de fixation des éléments.



Figure 27. Module de puissance rempli de gel silicone [22]

L'encapsulation est constituée d'un boîtier et d'un matériau d'encapsulation (voir Figure 27). Le boîtier permet d'englober l'ensemble puces, interconnexions et substrats. Il est réalisé généralement en matière plastique. Le matériau d'encapsulation remplit l'intérieur du module. Il permet

d'augmenter la tenue électrique autour de la puce donc il doit supporter des champs électriques élevés (plusieurs dizaines de kV/mm). Comme le matériau d'encapsulation est en contact direct avec les puces, il doit aussi supporter les températures idéalement plus de 200°C [21]. Différentes techniques d'encapsulation peuvent être utilisées pour les modules de puissance : encapsulation gazeuse, encapsulation par un gel silicone et encapsulation par une résine époxy rigide. Les gels silicones sont l'encapsulant le plus utilisé. Ils ont une tenue diélectrique entre 15-20 kV/mm, une conductivité thermique faible de l'ordre de 0,15 W/m.K à 0,3W/m.K mais ils ont une température d'utilisation limitée à 200°C [21]. Peu d'entre des matériaux d'encapsulation supportent la température élevée. Le parylène HT est un candidat pour les applications à haute température (300°C et plus). De plus, il a aussi une durée de vie et une fiabilité supérieures aux celles du silicone et de l'époxy [20].

I.4.8. Système de refroidissement

Le système de refroidissement performant joue un rôle important dans l'évacuation thermique pour augmenter la densité de puissance du système. Il contribue pour une part importante à la taille et à la masse globale du système de puissance [10] et doit donc avoir un faible poids et une taille réduite. Il existe plusieurs types de système de refroidissement : à air, à liquide ou diphasique.

Les dissipateurs à air à ailettes sont utilisés comme une solution avec un coût acceptable pour les systèmes dont le besoin de performances thermiques est faible (densité de flux thermique à dissiper de 20 à 80 W/cm²).

Concernant le système de refroidissement liquide, une plaque à eau permet de dissiper une densité de puissance autour de 100 W/cm². Les modules de puissance dans les voitures électriques ont suivi différentes tendances :

- Packaging avec moulage par compression-transfert (« transfer molding packaging ») pour un coût acceptable. La chaleur est dissipée par les deux côtés du module à travers les substrat puis les interfaces thermiques (« TIM-thermal interface material ») vers les plaques froides (voir Figure 28a). La résistance thermique du TIM diminue considérablement la performance thermique du système.
- Packaging avec dissipateur brasé ou fritté directement sur la semelle ou le substrat dans le module (voir Figure 28b). Cela permet d'améliorer le contact thermique et de diminuer la résistance thermique totale. Cependant, la chaleur est dissipée par un seul côté dans ce cas.
- Afin d'exploiter à la fois les avantages des deux technologies précédentes, un module de puissance avec les dissipateurs brasés sur les deux substrats est réalisé par la société aPSI^{3D}, ce qui permet un vrai refroidissement double face (voir Figure 28c).

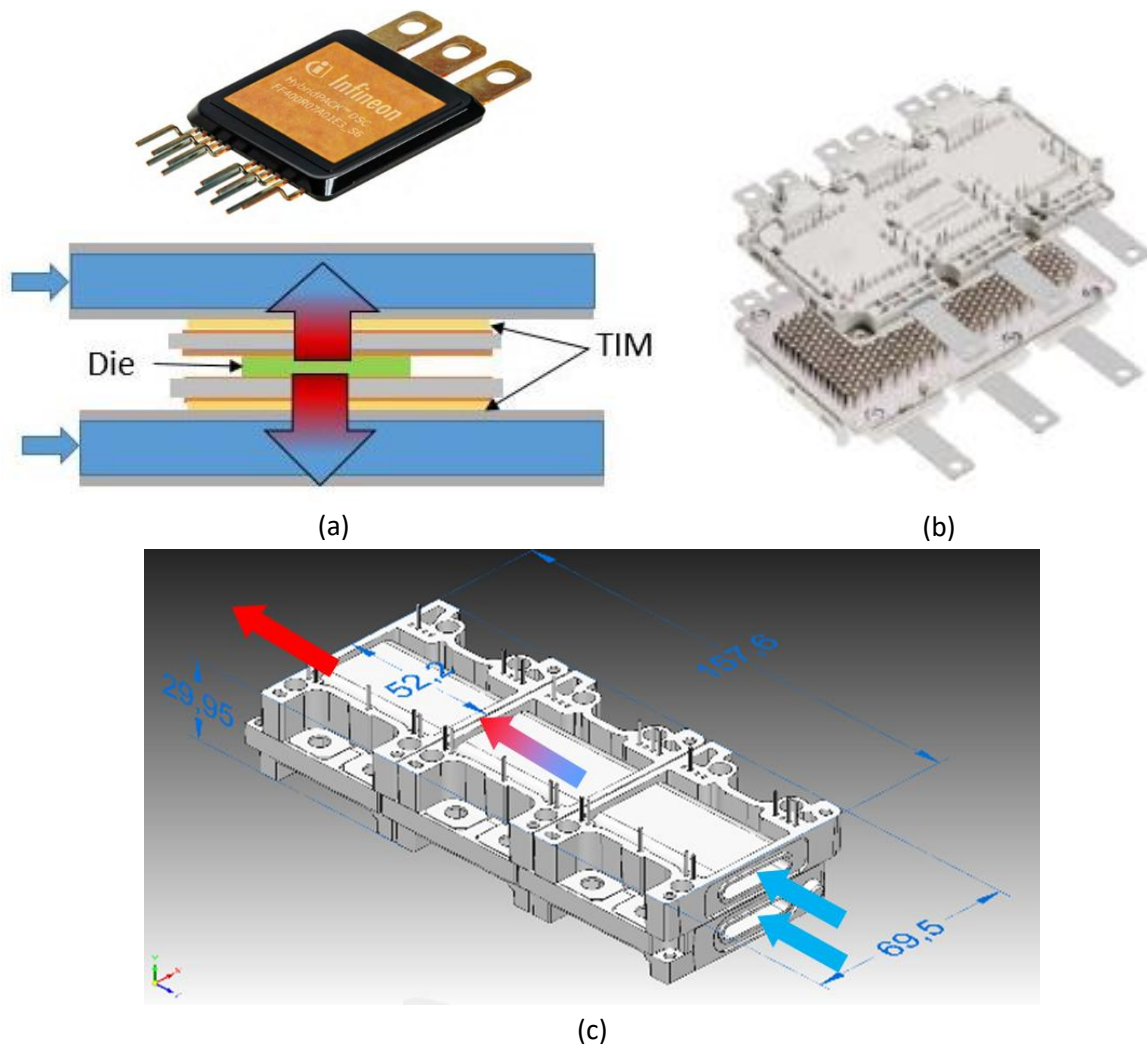


Figure 28. (a) Refroidissement double face avec de TIM et de plaque froide [27], (b) Refroidissement simple face avec dissipateur avec dissipateur intégré (source : Infineon), (c) Refroidissement double face avec dissipateur intégré (source : aPSI^{3D})

Les ailettes dans les dissipateurs peuvent être de différentes formes : ailettes droites (voir Figure 29a) ou ailettes à picots (voir Figure 29b).

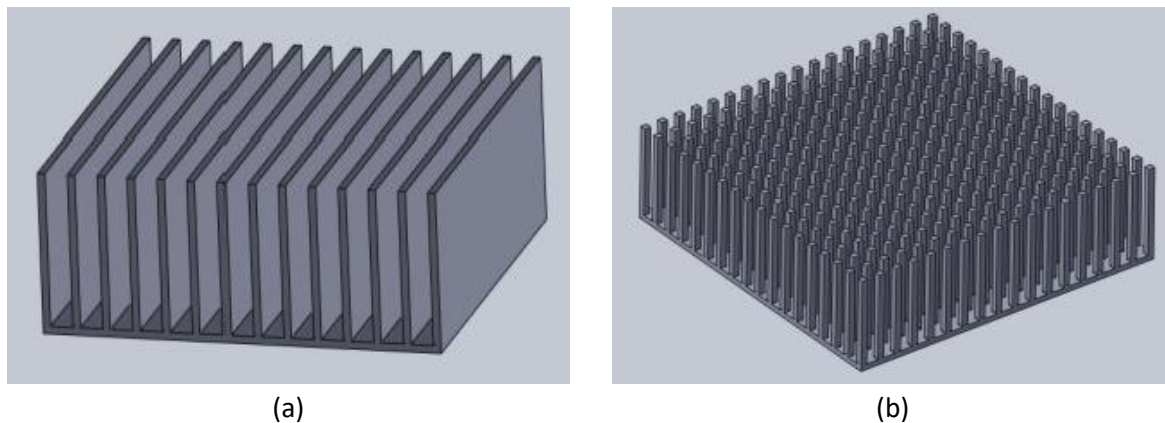


Figure 29. (a) Dissipateur à ailette, (b) Dissipateur pin fin [28]

I.5. CONCLUSION

Dans ce chapitre nous avons montré les caractéristiques intéressantes du matériau SiC et en conséquences des MOSFETs en SiC. Sachant que les packagings actuels ne sont pas complètement adaptés pour exploiter ces caractéristiques, nous nous sommes intéressés à l'évolution des technologies des modules de puissance pour montrer les tendances actuelles qui pourraient être exploitées pour les MOSFETs en SiC comme le double refroidissement. Plusieurs travaux de recherches sont menés afin de trouver des méthodes pour l'augmentation de la densité de puissance et de la fréquence de commutation des modules en SiC.

Le développement de nouveaux modules adaptés aux puces ne SiC conduit à des structures complexes et contraintes dont la robustesse et la fiabilité ne sont pas complètement éprouvées, des travaux, comme l'objet de cette thèse, visent la maturation technologique de ces nouveaux dispositifs.

II. BANC DE MESURE D'IMPEDANCES THERMIQUES

II.1. INTRODUCTION

Lors de leur fonctionnement, les composants de puissance subissent des échauffements résultants des dissipations de puissance générées (pertes par conduction et pertes par commutation). Ces augmentations de température peuvent engendrer une modification de leur comportement et dans une certaine mesure modifier leur durée de vie.

Dans notre travail, nous définissons la température de jonction comme la température moyenne de la zone de la puce identifiée comme étant active.

Dans le pire des cas, si la température de jonction dépasse une certaine limite, le composant peut être endommagé voire détruit. C'est pourquoi la température de jonction T_j est un facteur très important pour la performance et la fiabilité des composants semi-conducteurs qu'il est indispensable de maîtriser.

Dans ce chapitre, nous commençons par une présentation d'un état de l'art sur les techniques de mesure de la température de jonction en insistant sur les difficultés de cette mesure.

Nous montrons ensuite la méthode que nous adoptons pour la mesure de température de jonction des MOSFETs et des diodes SiC.

Nous détaillons la conception et la réalisation du banc de mesure de l'impédance thermique développé et validé dans le cadre de cette thèse.

La décision de concevoir et de réaliser un nouveau banc de mesure d'impédances thermiques a été dictée par la volonté de maîtriser totalement les conditions de l'environnement thermique et électrique, la configuration de mesures et le post-traitement de données.

II.2. ETAT DE L'ART DES METHODES DE MESURES DE TEMPERATURE DE COMPOSANTS

Dans cette partie, nous présentons et analysons en détails des méthodes de mesure de la température de jonction. De façon générale, on peut classer en trois catégories les principales méthodes pour estimer la température des composants semi-conducteurs : les méthodes optiques, les méthodes par contact physique et les méthodes électriques [29], [30].

Les méthodes optiques utilisent l'impact de la température sur les propriétés optiques de certains matériaux ou leur réponse à un flux de rayonnement. Dans cette première catégorie, on se limite aux méthodes sans contact. Comme seuls les photons sont en interaction avec le composant, les méthodes optiques ne sont pas intrusives ni sur le fonctionnement du composant ni sur sa température. La résolution spatiale de ces méthodes est déterminée par la taille de la sonde optique et par la surface d'interaction optique. Le temps de réponse de la mesure est déterminé par le phénomène optique et par l'appareil utilisé.

Les méthodes par contact physique, comme leur nom l'indique, nécessitent un contact physique pour mesurer la température. Citons notamment les thermocouples, les fibres optiques, le microscope thermique à balayage, les cristaux liquides, ... La fiabilité de ces méthodes est liée à la qualité du contact du capteur. La résolution spatiale de ces méthodes est déterminée par la surface d'interaction entre le composant et la sonde utilisée. Le temps de réponse de la mesure dépend de la réponse thermique de la sonde. L'un des avantages de ces méthodes consiste en une bonne résolution spatiale (moins de 100nm pour le microscope thermique à balayage). Comme l'instrument ne mesure que la température du point de contact, il est nécessaire d'avoir plusieurs mesures si on veut établir une carte de température du composant. Le plus grand inconvénient de ces méthodes est l'exigence de contact de la surface mesurée (ce qui n'est pas toujours possible pour les composants encapsulés).

Les méthodes électriques utilisent un paramètre électrique thermosensible (« thermal sensitive electrical parameter » ou TSEP en anglais) pour mesurer la température de jonction. Les paramètres les plus utilisés sont : la tension directe de jonction PN, la tension de seuil du MOSFET, le courant de saturation... Contrairement aux méthodes optiques ou par contact physique, pour lesquelles il est possible d'obtenir une cartographie du composant, les méthodes électriques donne une « température moyenne ». Si la température du composant est homogène (même densité de courant, même chute de tension, même température dans tout le composant), cette température est représentative de la température de jonction. Par exemple, dans le cas d'une diode en régime établi, la répartition des pertes est présentée comme homogène, donc sa température moyenne est la température de jonction. Dans le cas contraire, si la température du composant n'est pas homogène, cette température mesurée ne représente qu'une « température moyenne volumique » de la puce. Par exemple, dans un MOSFET SiC, souvent la résistance du canal contribue largement à la résistance totale à l'état passant du MOSFET donc la dissipation de puissance se trouve principalement dans le canal. La température n'est pas forcément homogène dans toute la puce du MOSFET.

Le Tableau 5 résume les méthodes de mesure de la température de jonction T_j avec leurs avantages et inconvénients :

Tableau 5. Avantages et les inconvénients des différentes méthodes de mesure de température de jonction.

Méthode	Exemples	Avantages	Inconvénients
Electrique	<ul style="list-style-type: none"> • Tension directe de jonction • Tension de seuil • Résistance à l'état passant • Courant de saturation 	<ul style="list-style-type: none"> • Applicable aux composants encapsulés • Pas de contact physique • La température indiquée est intimement liée à la puce 	<ul style="list-style-type: none"> • Température moyenne. • Banc de mesure à développer
Optique	<ul style="list-style-type: none"> • Infrarouge • Effet thermo-optique • Luminescence • Réflectance • Raman 	<ul style="list-style-type: none"> • Cartographie • Pas de contact physique • Bonne résolution spatiale 	<ul style="list-style-type: none"> • Besoin d'accès visuel de la surface • Coût élevé • Temps de réponse relativement long
Contact physique	<ul style="list-style-type: none"> • Thermocouple • Thermistance • Microscope thermique à balayage • Cristal liquide • Fibre optique 	<ul style="list-style-type: none"> • Cartographie • Potentiellement bonne résolution spatiale 	<ul style="list-style-type: none"> • Exigence d'accès à la surface mesurée • Le contact physique peut influencer la température mesurée

Dans un premier temps, les travaux de mesure de températures de jonction employant les méthodes optiques et par contact physique sont présentés. Ensuite un état de l'art des paramètres thermosensibles utilisés dans les méthodes électriques est présenté et analysé.

II.2.1. Méthodes optiques

Les méthodes optiques utilisent soit une onde externe (Luminescence, Effet Raman, Réflectance), soit une caractéristique intrinsèque de l'objet (Infrarouge, Effet Thermo-Optique) afin de mesurer sa température. L'avantage principal des méthodes optiques est d'obtenir une cartographie thermique du composant. Cela peut permettre de détecter d'éventuels points chauds à la surface du composant. Cependant, ces méthodes exigent des accès optiques aux composants de puissance ce qui n'est pas toujours possible à cause de l'encapsulation.

Méthodes par infrarouge : C'est la méthode optique la plus utilisée. Son principe est basé sur la dépendance en température du rayonnement infrarouge émis par un corps. La température d'un corps peut être déterminée en mesurant son rayonnement infrarouge total (avec une émissivité proche de 1). La méthode IR fonctionne correctement lors que la surface dont on mesure la température a une émissivité proche de 1. Lorsque l'émissivité est faible, la partie du flux rayonné représentative de la température de la surface est atténuée et de plus un flux réfléchi sur la surface dépendant de la température de l'environnement vient se rajouter. Pour contourner ce problème, on peut rajouter une couche de peinture d'émissivité proche de 1 sur la surface du composant pour améliorer la précision de la mesure. Les caméras thermiques (voir Figure 30a) sont largement utilisées pour mesurer la température d'une surface soit en régime statique soit en régime dynamique ce qui permet de montrer l'évolution de températures de la surface [31]–[36]. Les capteurs locaux infrarouges (voir Figure 30b) sont aussi utilisés par exemple pour mesurer la température des modules IGBTs et des MOSFETs Silicium [37]–[39]. L'avantage de ces capteurs réside dans leur proximité de la surface mesurée donc les mesures ne sont réalisées que sur la surface choisie. En général, la résolution spatiale des méthodes infrarouges, limitée par la longueur d'onde détectée, est de l'ordre de $1,5\mu\text{m}$ - $5\mu\text{m}$ pour les capteurs InSb et de l'ordre de $8\mu\text{m}$ - $12\mu\text{m}$ pour les capteurs HgCdTe. Leur temps de réponse est de l'ordre de quelques millisecondes et leur résolution de température est très bonne.

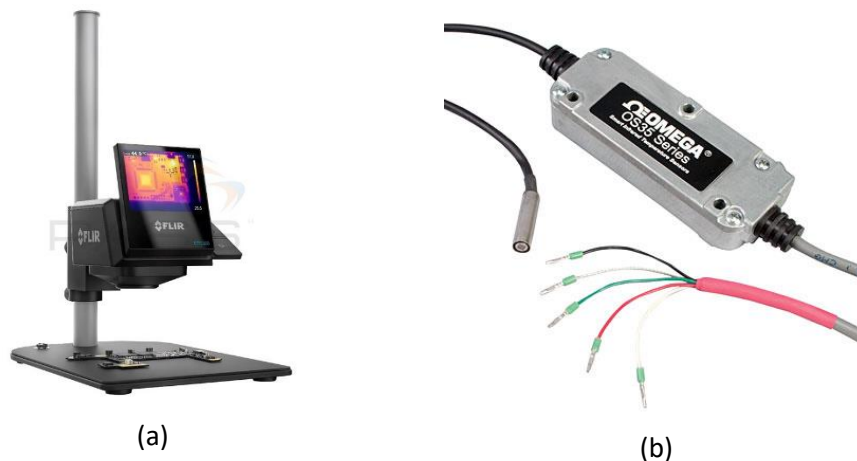


Figure 30. Exemples : (a) d'une caméra thermique (source : FLIR), (b) d'un capteur à fibre infrarouge (source : Omega)

Méthode par photoluminescence : C'est une émission de lumière qui résulte la recombinaison des électrons et des trous dont la longueur d'onde est liée à l'énergie de la bande interdite. La Figure 31a illustre le principe de cette méthode. Un faisceau laser « He-Ne » est envoyé par un micromanipulateur vers la surface du composant à tester. Les ondes de photoluminescence sont émises dans toutes les directions. En utilisant un système de miroir et de filtre, la luminescence est transmise à un spectrophotomètre. Ce signal est ensuite analysé par un système de traitement d'images afin de déterminer la température du point ciblé par le laser. Grâce à une résolution de l'ordre de $0,1\mu\text{m}$ du micromanipulateur, le faisceau laser peut être orienté à une position très précise sur la surface du composant. Cette méthode est utilisée pour mesurer la température de transistors GaAs et a atteint une résolution de l'ordre de $0,5\mu\text{m}$ - $1\mu\text{m}$ et de 1°C . Cependant, la photoluminescence ne peut être utilisée que pour les semi-conducteurs de gap direct comme le GaAs, le GaN mais pas pour le Si ou le SiC (gap indirect).

Méthode utilisant l'effet Raman : Elle est basée sur un phénomène physique selon lequel un milieu modifie légèrement la fréquence (donc la longueur d'onde) de la lumière le traversant. Ce décalage en fréquence correspond à un échange d'énergie entre le rayon lumineux et le milieu. La différence de l'énergie entre le rayonnement diffusé et le rayonnement incident dépend de la température. La température locale du canal d'un MOSFET peut être mesurée par cette méthode. Dans la Figure 31a, un faisceau laser doit être focalisé au niveau de la grille du MOSFET, la lumière qui traverse une zone du composant est réfléchiée puis recueillie par un capteur. Elle est ensuite acheminée jusqu'au séparateur. Un spectromètre Raman de haute résolution est utilisé pour déterminer l'énergie de phonons du Si (voir Figure 31b) et donc estimer la température avec une précision de l'ordre de 2°C . La distribution de température entre la source et le drain est scannée pour avoir une cartographie de la section du MOSFET. Cet effet a été utilisé pour mesurer la température de MOSFET Si et de composants GaAs. Sa résolution spatiale est de l'ordre de $1\mu\text{m}$ et sa résolution de température est de l'ordre de 1 - 2°C .

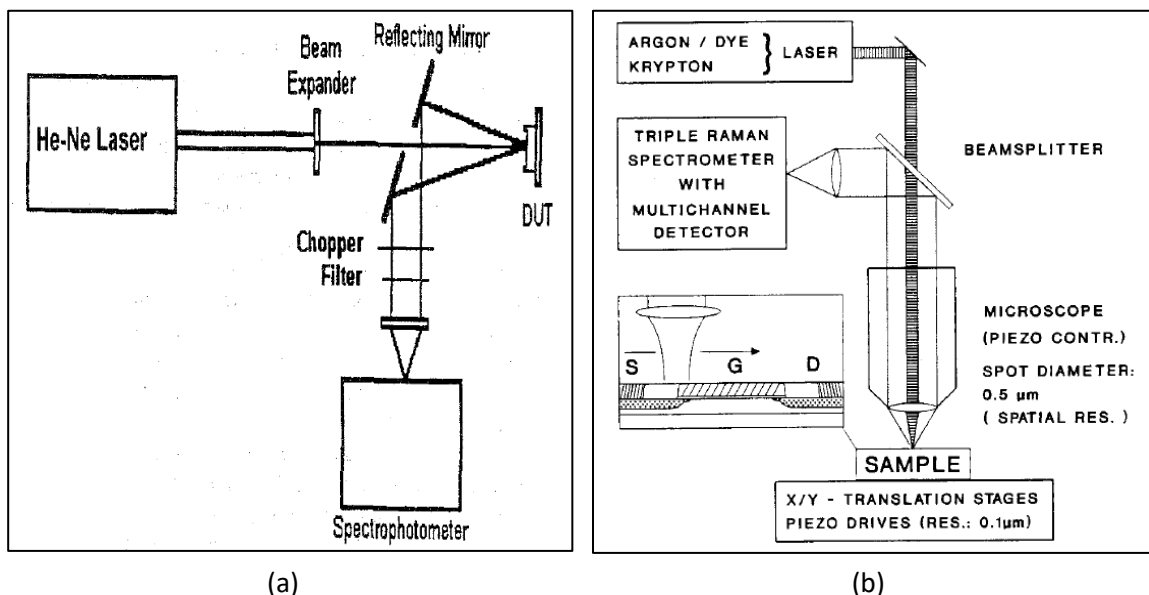
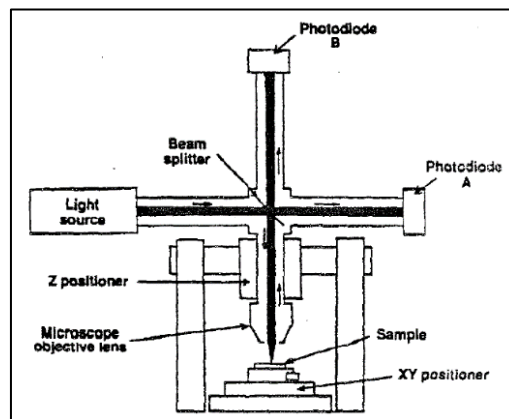


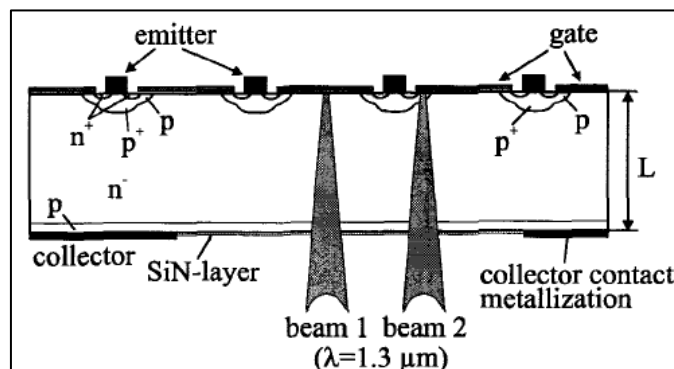
Figure 31. Systèmes de mesure de températures par (a) photoluminescence [40], (b) effet Raman [41].

Méthode utilisant la réflectance : Elle est basée sur la mesure de l'intensité de la lumière réfléchi sur une surface qui dépend de la température de cette dernière. Le rayonnement réfléchi et le rayonnement incident ont la même fréquence mais pas la même intensité. Dans cette référence [42], le faisceau incident de longueur d'onde de 390nm est divisé en deux faisceaux par un séparateur (voir la Figure 32a) . Le faisceau transmis à la photodiode A est utilisé comme l'onde de référence. L'autre faisceau réfléchi est focalisé à la surface du composant en traversant un système optique. L'onde réfléchi est captée par la photodiode B. La température de la surface du composant est estimée en comparant l'onde de référence et l'onde réfléchi. La méthode est utilisée par plusieurs travaux pour mesurer la température d'interconnexion avec un temps de réponse de 10 μ s [43], [44] et des thyristors GTO en Si [42].

Méthode basée sur l'indice de réfraction : L'indice de réfraction d'un matériau dépend aussi de la température. La sensibilité de l'indice en température est très petite, de l'ordre de 10⁻⁵/°C. En 1999, les chercheurs de SIEMENS et de l'Institut de l'électronique du solide (Autriche) ont présenté la technique « Differential Backside Laserprobing » pour estimer la température d'un IGBT [45]. Cette technique est basée sur le changement de l'indice de réfraction avec la température en mesurant la différence de phase de deux faisceaux laser. Le schéma du banc est présenté dans la Figure 32b: Deux faisceaux laser de longueur d'onde de 1310nm sont envoyés à différentes positions de la surface de l'IGBT. Une couche anti-réflexion SiN est déposée sur une ouverture de la face arrière de l'IGBT afin de permettre aux faisceaux laser de traverser la surface du collecteur. Les ondes réfléchies de la surface de la métallisation (de la grille ou de l'émetteur) interfèrent avec un autre signal dans un détecteur afin d'obtenir la différence de phases entre ces deux ondes. Cette différence de phases sera ensuite analysée par un oscilloscope pour estimer la variation de la température latérale de l'IGBT.



(a)



(b)

Figure 32. (a) Thermoréflectomètre [42], (b) Indice de réfraction [45]

II.2.2. Méthodes par contact physique

Les méthodes par contact physique employées pour la mesure de température de jonction peuvent être déclinées en :

Les thermocouples sont les dispositifs par contact physique les plus utilisés [46], [47]. Il existe plusieurs types de thermocouple à base de métaux usuels (type E, J, K, N, T, M), de métaux nobles (type R, S, B) ou de métaux réfractaires (type C, G, D) qui peuvent mesurer une large étendue de température (de -180°C à plus de 2000°C). Un thermocouple est constitué de deux fils de métaux différents A et B (voir Figure 33a), soudés à l'une de leurs extrémités. La soudure chaude se trouve au niveau du contact avec le milieu dont on veut mesurer la température. Les deux soudures froides, qui se trouvent à la même température, sont reliées aux bornes d'un voltmètre. La différence de tension entre les deux soudures froides nous permet d'accéder à la température de la soudure chaude.

La thermistance est basée sur la variation de la résistance électrique en fonction de la température. Il existe plusieurs types de thermistance : CTN (Coefficient de Température Négatif), CTP (Coefficient de Température Positif). Les thermistances sont parfois intégrées dans un module de puissance afin de mesurer la température à l'intérieur du module (voir Figure 33b).

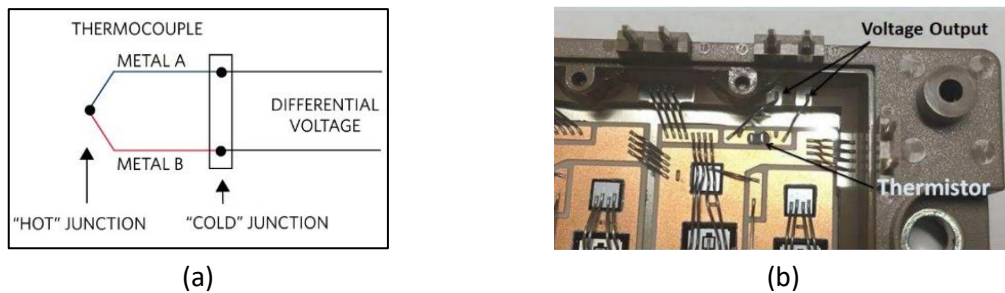


Figure 33. (a) Schéma de fonctionnement d'un thermocouple (source : Ecnmag), (b) Exemple d'une thermistance [48]

Méthode par microscopie thermique à balayage : il s'agit d'une technique qui donne la cartographie de la température locale et la conductivité thermique d'une interface. Cette méthode emploie plusieurs micro-thermocouples et micro-thermistances pour mesurer plusieurs températures de surface du composant. « Un microscope thermique à balayage est le résultat d'un Microscope à force atomique équipé d'une sonde thermique » [49]. La sonde « Platinum Core », illustrée dans la Figure 34a, est une thermistance qui mesure la température de la surface. Le diamètre de cette sonde est de l'ordre de $5\mu\text{m}$ et le rayon de la surface du contact est de l'ordre de 50nm . Le Microscope à Force Atomique permet de contrôler la position de la sonde et le contact avec la surface du composant. Un faisceau laser est envoyé vers le miroir et ensuite réfléchi afin d'obtenir la topographie de la surface. Cette méthode est employée pour mesurer de petites structures à l'échelle submicrométrique. Elle peut également mesurer la variation de température induite par un courant alternatif AC dans un transistor. La méthode a atteint une résolution spatiale de l'ordre de 100nm .

Méthode par cristaux liquides : Il s'agit d'exploiter l'état de la matière qui combine la mobilité d'un liquide conventionnel et les propriétés optiques d'un solide cristallisé. Le cristal liquide réfléchit une lumière de couleurs différentes lorsque la température varie, ce qui peut en faire un capteur de température. L'intervalle de mesure de la température est compris entre -30°C et 120°C actuellement. La cartographie d'un composant électronique (voir Figure 34c) a été réalisée par la thermographie par cristaux liquides. Le cristal liquide est utile pour détecter les points chauds sur les transistors. La résolution spatiale est de l'ordre de $1\mu\text{m}$ et la résolution en température est de

l'ordre de 0,1°C. Les cristaux liquides thermo chromiques sont choisis pour une gamme de températures à mesurer et appliqués sur la surface du composant de puissance. Les cristaux liquides changent de couleur en fonction de la température de la surface du composant. La carte des couleurs est captée par un système optique et analysée pour établir une cartographie thermique.

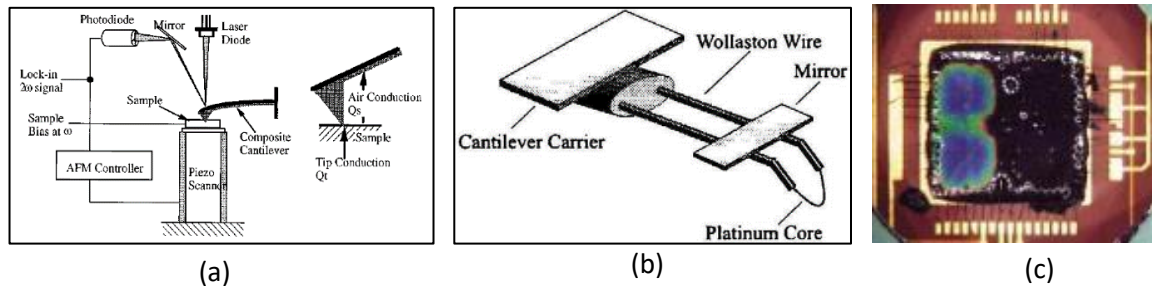


Figure 34. (a), (b) Microscope thermique à balayage [50], [51]; (c) mesure de température d'un composant par la méthode par cristaux liquides [52].

Méthode de mesure par fibre optique : elle est basée sur un capteur de température (encapsulant + Phosphore), une fibre optique et une centrale d'acquisition [53]. Le matériau thermosensible (phosphore ou « manganese-activated magnesium fluorogermanate ») est protégé par un encapsulant qui est localisé à la pointe de la fibre optique (voir Figure 35). La pointe de la fibre optique est appuyée à la surface de jonction pour mesurer la température locale. L'encapsulant peut-être en verre, en plastique, en saphir ou en quartz. Il permet d'isoler le phosphore de la surface du composant (pour éviter une contamination du composant de puissance) mais il n'empêche pas la transmission d'un faisceau de lumière entre la fibre optique et le capteur de phosphore. Un émetteur envoie des impulsions d'excitation (lumière bleu-violet) qui sont transmises dans la fibre optique au capteur de phosphore et créent la fluorescence (lumière rouge) qui a un niveau énergétique différent. Ensuite ce signal fluorescent est transmis à un photo détecteur. En analysant le temps de retard de ce signal, qui dépend de la température, on en déduit la température [54], [55].

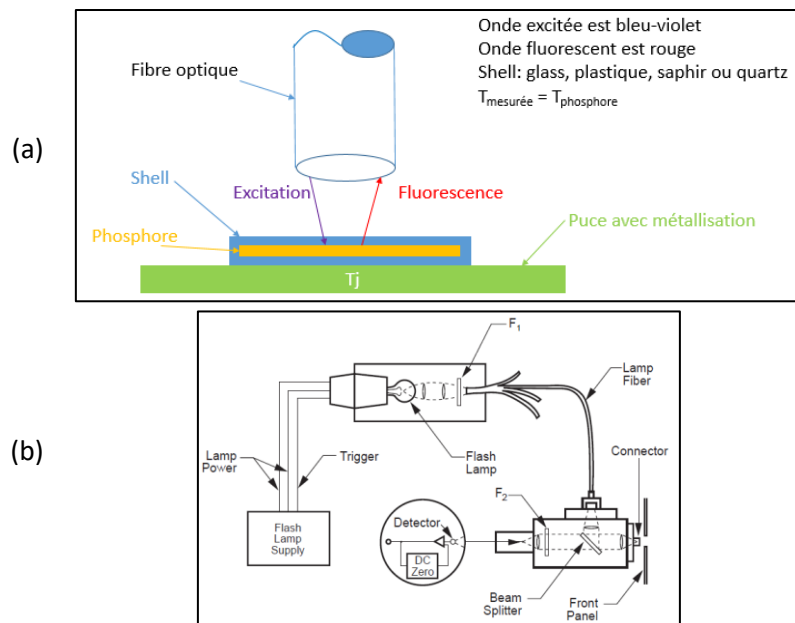


Figure 35. Méthode par fibre optique : (a) Principe de fonctionnement, (b) système de mesure [53].

II.2.3. Méthodes électriques

Les méthodes précédentes peuvent être intrusives et/ou modifier le comportement du composant. Ces conditions dans certains cas doivent être évitées. Par ailleurs, dans le cas d'un composant encapsulé, l'accessibilité de la zone de mesure n'est pas aisée. Pour contourner ces problèmes, les méthodes basées sur les caractéristiques électriques de composants peuvent être une bonne alternative. L'idée est de mesurer la température de jonction grâce à la dépendance en température des propriétés électriques. Ces propriétés électriques sont appelées « paramètres électriques thermosensibles » -TSEP (Thermo Sensitive Electrical Parameter). La mise en œuvre de cette méthode se réalise en deux étapes :

- La calibration consiste à caractériser la relation entre le TSEP et la température du composant.
- L'exploitation de la méthode consiste à utiliser le TSEP pour déterminer la température de jonction après un auto-échauffement.

Calibration :

Dans cette étape, la température du composant est fixée par un système externe (flux d'air température contrôlée, étuve, plaque chaude ou plaque froide), un paramètre électrique peut ainsi être mesuré en fonction de la température. Ceci permet d'établir une relation définie par : $TSEP = f(T_j)$. Pour que les résultats soient corrects, il faut que l'auto-échauffement dû à la polarisation lors de la mesure soit négligeable. Pour cela, la puissance dissipée par le composant durant la mesure doit être très faible ou le temps de cette mesure doit être très court, par exemple en utilisant une méthode impulsionnelle.

Exploitation de la méthode :

Pendant cette phase, une puissance est imposée à l'aide d'un courant adapté I_c (voir Figure 36) pour échauffer activement le composant. Ensuite, un courant de mesure très faible appelé I_m (voir Figure 36) ($I_m \ll I_c$) est utilisé pour mesurer le TSEP. Grâce à des valeurs obtenues de TSEP, la relation établie pendant l'étape de caractérisation est utilisée pour estimer la température du composant. Il faut remarquer que le TSEP doit être mesuré dès le début de la phase de refroidissement. Cependant, à cause des bruits électroniques (capacités parasites dans le circuit, équipement de mesure), le TSEP ne peut pas être mesuré exactement au moment où le courant de puissance s'arrête dans le composant. Afin de résoudre ce problème, une extrapolation doit être réalisée pour estimer la valeur exacte du TSEP [56], [57].

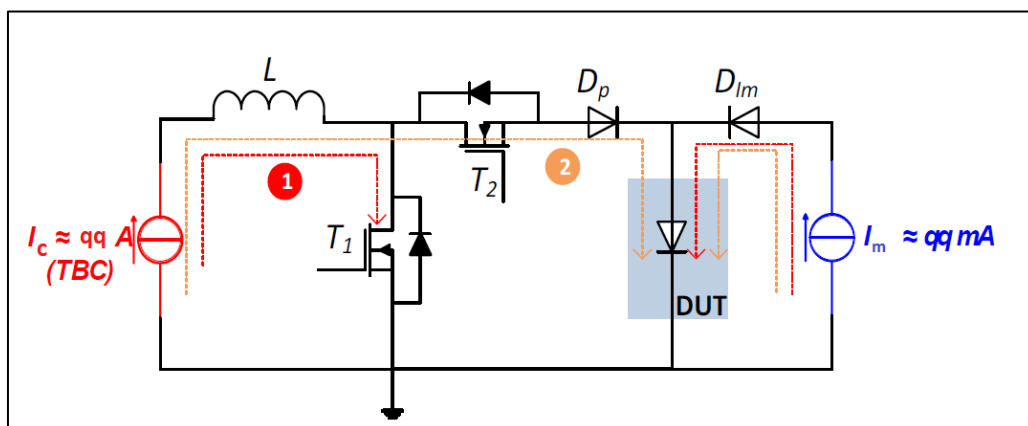


Figure 36. Circuit pour la mesure de température de jonction.

Types de paramètres thermosensibles utilisables

Nous résumons ici brièvement les TSEPs existants dans la littérature pour les composants à base de Silicium et de Carbure de Silicium. Les paramètres électriques thermosensibles peuvent être classifiés en deux grandes familles : TSEPs hors-ligne et TSEPs en-ligne. Les TSEPs hors-ligne sont exploitables dans des conditions éloignées des conditions réelles d'usage (dans un convertisseur). Ils permettent de mesurer la résistance et l'impédance thermique des composants. Cette famille de TSEPs est utilisée principalement en laboratoire. Les TSEPs en ligne sont les méthodes utilisables lorsque le composant est en fonctionnement réel, par exemple pour le monitoring. Pour les composants de puissance à base de Silicium, plusieurs paramètres thermosensibles sont caractérisés et validés. Les TSEPs les plus connus pour les composants de puissance à base de Silicium sont :

- Pour une Diode : la tension directe V_F sous un faible courant.
- Pour un IGBT : la tension directe V_{CESAT} sous un faible courant.
- Pour un MOSFET : La tension de la diode structurelle sous un faible courant.

Quant aux composants de puissance à base de Carbure de Silicium, il existe notamment les TSEPs pour la diode Schottky SiC et le MOSFET SiC. La tension directe V_F est également utilisée pour mesurer la température de diode Schottky SiC. Quant au MOSFET SiC, plusieurs paramètres thermosensibles sont en cours de caractérisation et de validation comme : la tension directe de la diode structurelle, la variation du courant de drain dI_{DS}/dt pendant la commutation, la quasi-tension de seuil, la tension directe à l'état passant, la résistance interne de grille. La variation du courant de drain dI_{DS}/dt pendant la commutation augmente avec la température [58]. Cependant, ces paramètres présentent encore des inconvénients dans la fiabilité des mesures et dans la mise en place de tests. Par exemple, la méthode dI_{DS}/dt est très limitée car elle dépend fortement de la fréquence de commutation, à cause des inductances parasites qui ralentissent la commutation du composant et diminuent la sensibilité à la température de dI_{DS}/dt .

A ce jour, on a plusieurs paramètres thermosensibles fiables pour les composants de puissance en Si. Le défi de mesure de la température de jonction T_j est résolu. Généralement, la tension V_{CESAT} est le paramètre le plus utilisé pour mesurer la température de jonction T_j d'un IGBT grâce à sa fiabilité et sa facilité au niveau du montage de mesures. Quant aux MOSFETs SiC, les méthodes de mesure de la température de jonction sont moins matures et font l'objet de plusieurs travaux de recherche. Nous consacrons la suite de ce paragraphe à la problématique de paramètres thermosensibles pour les composants SiC.

Le tableau suivant résume les paramètres thermosensibles pour les composants en SiC (Diode Schottky, MOSFET).

Tableau 6. Paramètres électriques thermosensibles étudiés pour les composants de puissance en SiC [59], [60].

Méthodes	V _F sous faible courant	V _{DS(on)} sous fort courant	Tension de seuil V _{TH} sous faible courant	Quasi-tension de seuil VQ _{TH} sous faible tension	Résistance interne de grille R _{G, in}	Caractéristique transitoire di _{DS} /dt	R _{DS(on)} sous fort ou faible courant
Description	Injecter un faible courant dans la diode et mesurer sa chute de tension	Injecter un fort courant dans le DUT et mesurer sa chute de tension avec un V _{GS} modéré (10V)	Injecter un faible courant (Grille et Drain court-circuités) et mesurer V _{GS}	Mesurer V _{GS} quand le courant commence à circuler lors d'une commutation	Mesurer la résistance interne de grille	Mesurer la variation du courant drain lors de la fermeture du DUT	Injecter un fort courant ou faible courant et mesurer la chute de tension et le courant
Hors/En ligne	Hors ligne	Hors ligne	Hors ligne	En ligne	En ligne	En ligne	Dépend
Linéarité	Oui	Non	Près	Près	Oui	Oui	Non
Sensibilité	-1,5 à -3mV/°C	-quelques mV/°C	-10mV/°C	-10mV/°C	0,4 mΩ/°C	-	Dépend
Contrôle externe du circuit (type)	Source de faible courant et traitement de signal	Source de fort courant	Source de faible courant	Source de faible courant	-	-	-

II.2.3.1. Tension à l'état passant

Alors que la résistance à l'état passant d'un MOSFET Silicium augmente toujours avec la température de jonction (augmentation de 200% quand la température passe de 25°C à 150°C), celle d'un MOSFET SiC n'augmente pas forcément avec la température. Comme illustré dans le chapitre 1 par exemple, la résistance de l'état passant d'un MOSFET SiC STM diminue d'abord puis augmente avec la température. Sous la tension de commande optimale (18-20V), la tension à l'état passant du MOSFET SiC varie très peu avec la température. Sous une tension de commande faible, la sensibilité à la température de la tension à l'état passant est suffisamment grande pour être utilisée comme un TSEP. Cependant, le phénomène de piégeage de charges empêche l'utilisation de ce paramètre pour la mesure de la température de jonction [61].

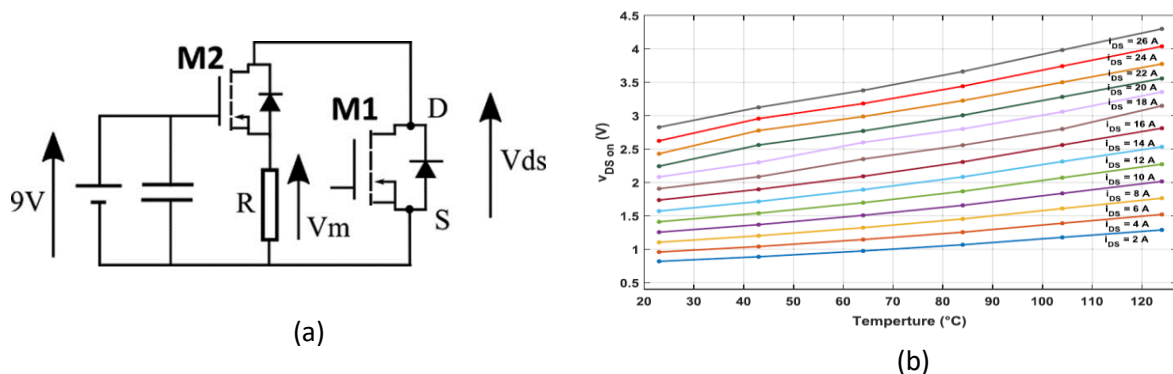


Figure 37. (a) Schéma électrique de mesure, (b) Variation de la résistance à l'état passant en fonction de la température [62].

II.2.3.2. Tension de seuil

Comme la tension de seuil du MOSFET Silicium, celle d'un MOSFET SiC diminue en fonction de la température (voir Figure 38b). Si la tension de seuil peut être utilisée directement pour mesurer la température de jonction d'un MOSFET Silicium ou d'un IGBT, elle est moins adéquate pour la mesure de la température d'un MOSFET SiC. L'un des inconvénients de cette méthode est qu'elle n'est pas exploitable lorsque le composant est en fonctionnement. Donc la quasi-tension de seuil $V_{Q_{TH}}$ est souvent utilisée pour mesurer la température de jonction en ligne. Cette tension $V_{Q_{TH}}$ est mesurée quand le courant commence à passer dans le transistor lors de l'amorçage [62].

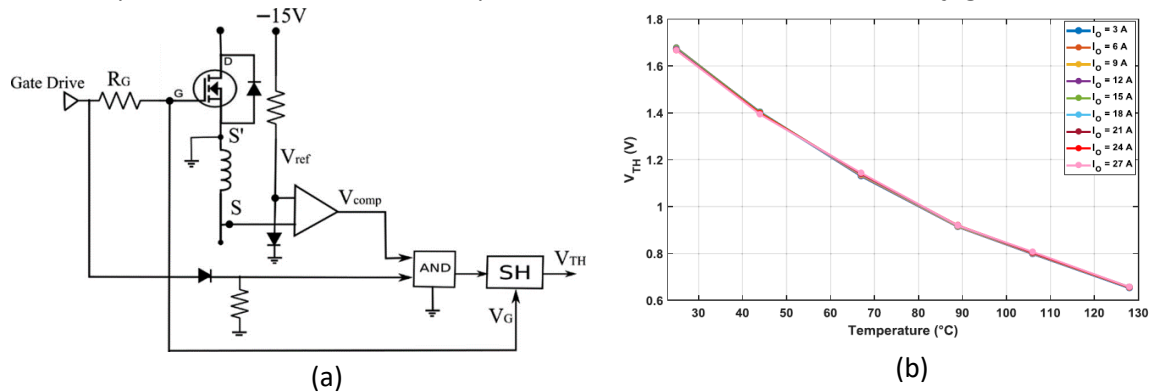


Figure 38. (a) Schéma électrique de mesure de la tension de seuil, (b) Variation de la tension de seuil en fonction de la température [62].

II.2.3.3. Résistance interne de grille

La résistance interne de grille $R_{G,in}$ augmente avec la température de jonction (voir Figure 39b). Cependant, sa sensibilité est très faible et fortement influencée par les bruits de mesure. De plus, la mesure de cette résistance dépend de la capacité grille-source. Lors de la commutation du MOSFET SiC, les porteurs de charges sont piégés dans l'interface et peuvent faire varier la capacité grille-source. Néanmoins, elle est un candidat qui pourrait être utilisée comme un paramètre thermosensible sous certaines conditions [62].

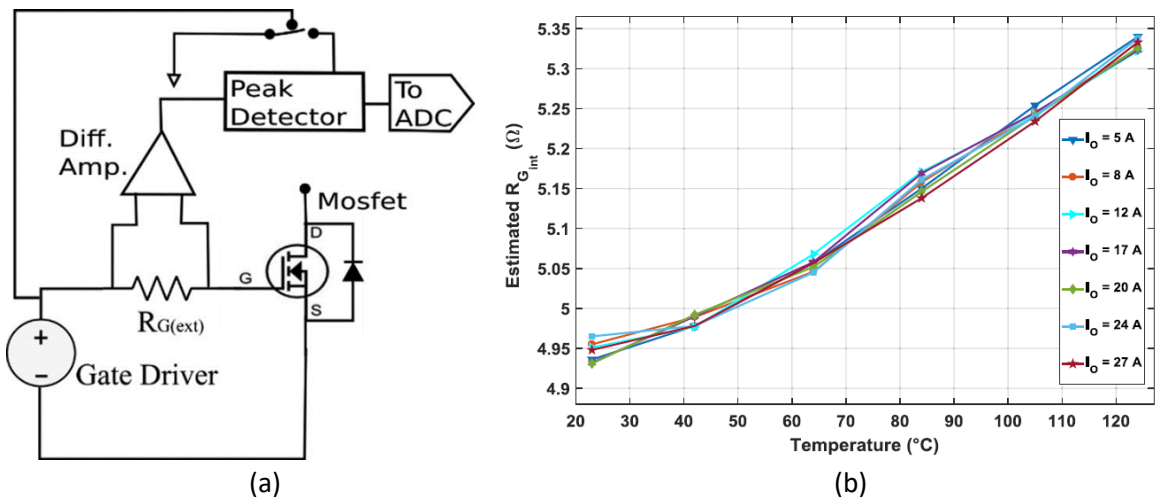


Figure 39. (a) Schéma électrique de mesure de la résistance interne de grille, (b) Variation de la résistance de grille en fonction de la température [62].

II.2.3.4. Variation du courant de drain

La variation du courant de drain di_{DS}/dt lors d'un amorçage du MOSFET SiC varie avec sa température de jonction [62]. La dépendance de di_{DS}/dt en fonction de la température est illustrée dans la Figure 40b. Le schéma électrique de mesure est présenté dans la Figure 40a. Cette méthode dépend énormément de la résistance de grille et des capacités parasites du MOSFET [62].

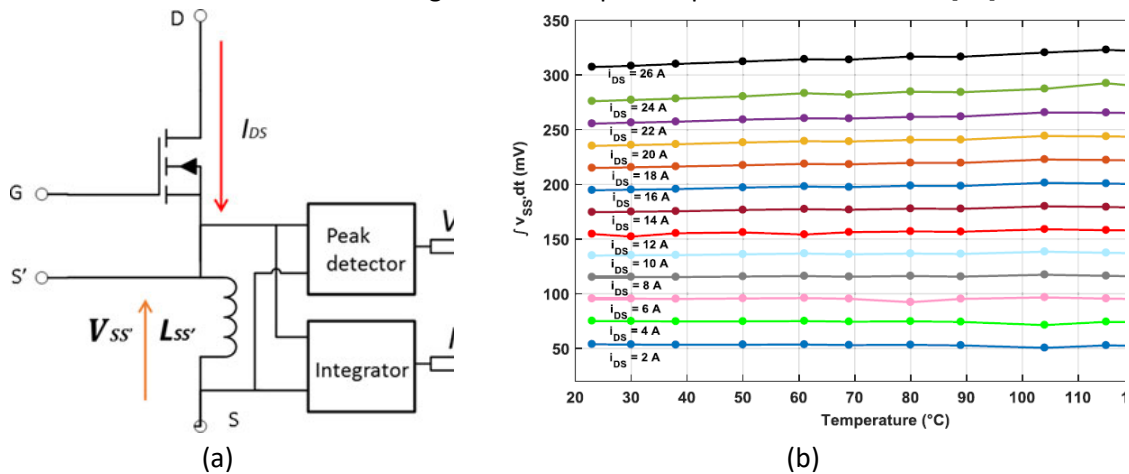


Figure 40. (a) Montage de mesure, (b) Variation du courant de drain en fonction de la température [62].

II.2.3.5. Diode structurelle

Le courant d'une jonction PN idéale peut être calculé en fonction de la tension directe, du courant de saturation et de la température :

$$I_F = I_{sat} \left[\exp\left(\frac{qV_F}{kT}\right) - 1 \right]$$

Où

q est la charge électronique élémentaire ($1,6 \times 10^{-19}$ C), k est la constante de Boltzmann ($1,38 \times 10^{-23}$ J/K).

I_F est le courant traversant la diode, V_F est la chute de tension aux bornes de la diode.

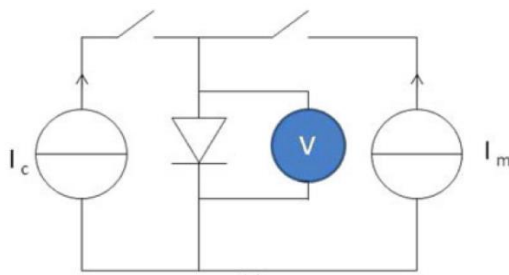
I_{sat} est le courant de saturation et calculé par la formule suivante [63] :

$$I_{sat} = I_0 T^\gamma \exp\left(\frac{-E_g}{kT}\right)$$

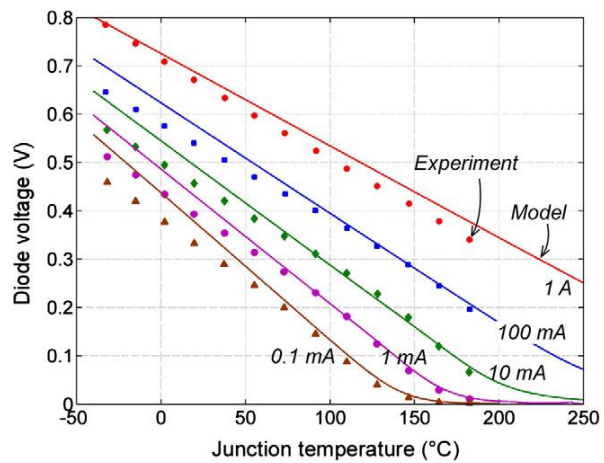
Où γ est une constante (environ 3), E_g est l'énergie de la bande interdite du matériau, I_0 est un courant constant qui ne dépend pas de la température. Par conséquent, si le courant I_F est constant, la tension directe V_F varie en fonction de la température [63] :

$$\left[\frac{\partial V_F}{\partial T} \right]_{I_F} = -\gamma \frac{k}{q} + \frac{\left(V_F - \frac{E_g}{q} \right)}{T}$$

Quand le courant I_F est suffisamment grand (généralement à partir d'une mA, dépend du calibre de la diode), la variation de V_F en fonction de la température est linéaire jusqu'à 150°C. Pour un courant de I_F de 10mA, on a une sensibilité d'environ -2mV/°C pour une diode bipolaire en Si ou en SiC.



(a)



(b)

Figure 41. (a) Montage de mesure de la tension directe de la diode, (b) Variation de la tension directe de la diode structurelle en fonction de la température [30].

Ce paramètre est prometteur pour la mesure de la température de jonction. Cependant, l'influence du phénomène de piège de charge d'interface du MOSFET SiC sur ce paramètre doit être étudiée prudemment avant de l'utiliser comme un TSEP.

II.3. CONCEPTION ET REALISATION D'UN BANC

Dans la littérature, il existe deux méthodes électriques de mesure de l'impédance thermique Z_{TH} d'un composant de puissance [56], [57] : technique en échauffement (Pulsed Heating Curve Technique) et technique en refroidissement (Cooling Curve Technique).

La technique en échauffement est basée sur la mesure de la réponse en température du composant quand ce dernier est soumis à des injections de puissance de différentes durées jusqu'à son équilibre thermique (régime permanent). En estimant la température à différents instants, la courbe de la réponse en température est tracée.

Pour la technique en refroidissement, le composant est échauffé par une puissance jusqu'à son équilibre thermique (régime permanent). Ensuite, la puissance est arrêtée et le composant se refroidit. La courbe de température du composant (pendant le refroidissement) est acquise afin de retrouver son impédance thermique.

Les courbes de la réponse en température du composant mesurées par ces deux techniques sont conjuguées (voir Figure 42) sous condition de l'hypothèse de la linéarité des lois du comportement thermique [57].

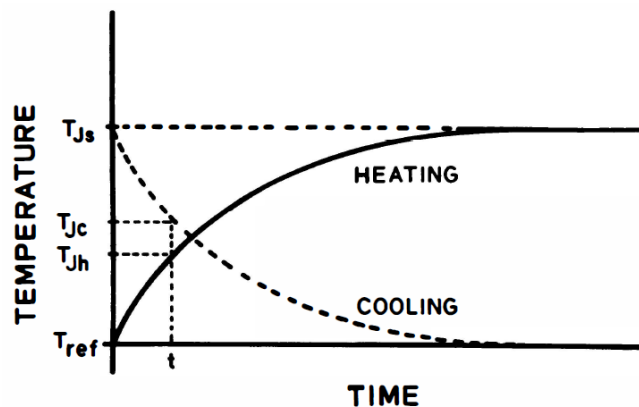


Figure 42. Courbes d'échauffement et de refroidissement d'un composant de puissance. Si deux courbes sont conjuguées : $T_{Jh}(t) - T_{ref} = T_{Js} - T_{Jc}(t)$ d'où $T_{Jh}(t)$ la température à l'instant t pendant l'échauffement, $T_{Jc}(t)$ la température de jonction à l'instant t pendant le refroidissement, T_{ref} la température de référence, T_{Js} est la température de jonction au régime stationnaire [56].

La comparaison de courbes de la réponse thermique d'un composant mesurée par deux techniques est étudiée et analysée dans [56] et [57]. Cependant, ces travaux montrent les résultats contradictoires. Selon les auteurs dans [56], dans la méthode en refroidissement, comme le composant est d'abord échauffé jusqu'au régime stationnaire, la répartition de puissance est moins uniforme que celle au régime transitoire. La réponse thermique mesurée par la méthode en refroidissement est donc supérieure à celle mesurée par la méthode en échauffement (voir Figure 43a). Au contraire, selon [57], dans la méthode en refroidissement au régime stationnaire, le flux de chaleur se localise dans le chemin thermique favorable à l'évacuation de chaleur ce qui donc minimise l'impact des défauts d'interconnexions sur la réponse thermique. La réponse thermique mesurée par la méthode en refroidissement est donc inférieure à celle mesurée par la méthode en échauffement (voir Figure 43b et Figure 43c). Cette comparaison est l'un des objectifs réalisés dans le chapitre 3.

La partie suivante décrit un banc de mesure de l'impédance thermique Z_{TH} (basé sur les travaux réalisés dans [57]) qui est constitué de 3 unités : (i) Unité électrique : elle permet de réaliser l'échauffement des composants et les mesures électriques ; (ii) Unité de refroidissement : elle permet de contrôler les conditions de l'environnement dans lequel les composants fonctionnent ; (iii) Unité de pilotage et d'acquisition des mesures : elle permet de commander les signaux électriques et d'enregistrer les mesures des grandeurs physiques (Figure 44).

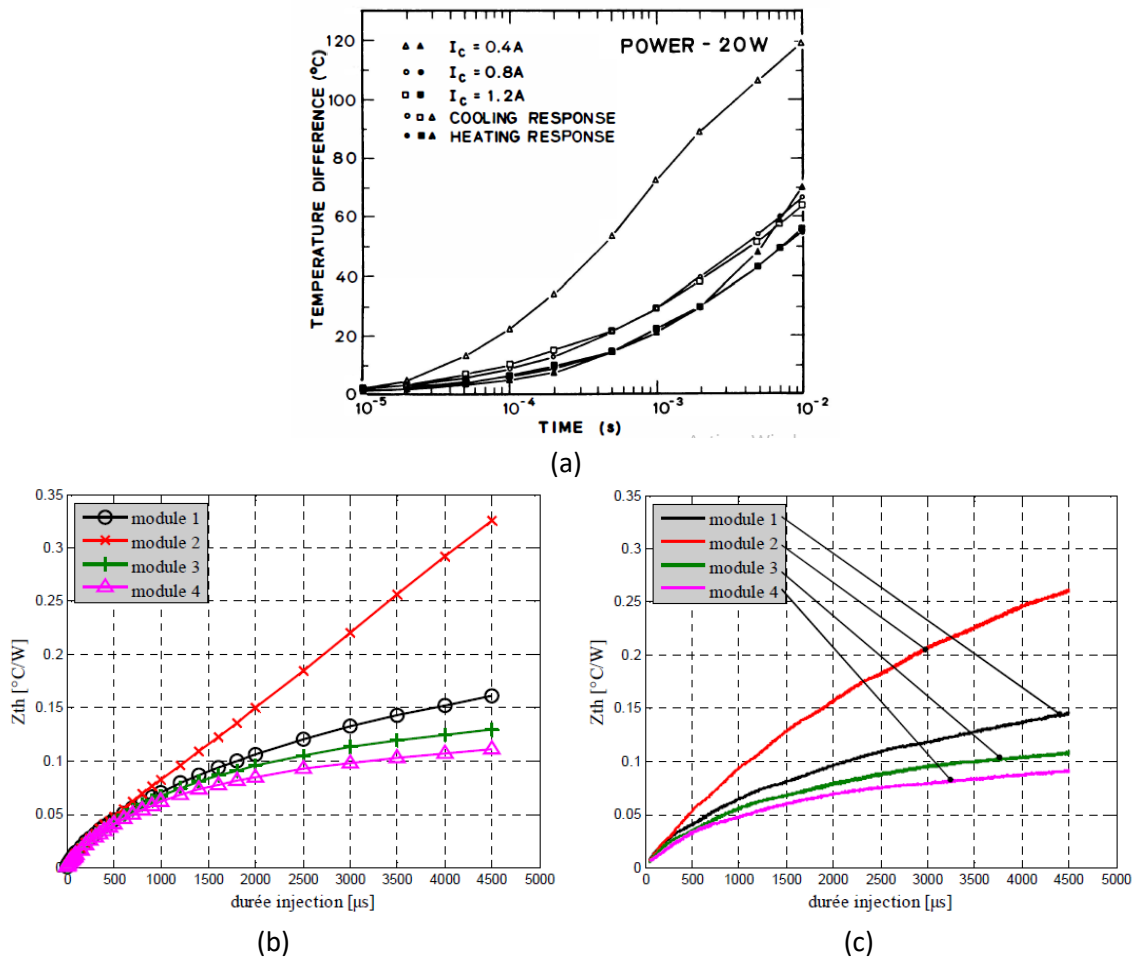


Figure 43. (a) Les réponses thermiques mesurées par la méthode en échauffement et en refroidissement [56], Réponse thermique mesurée par (b) la méthode en échauffement et (c) la méthode en refroidissement [57].

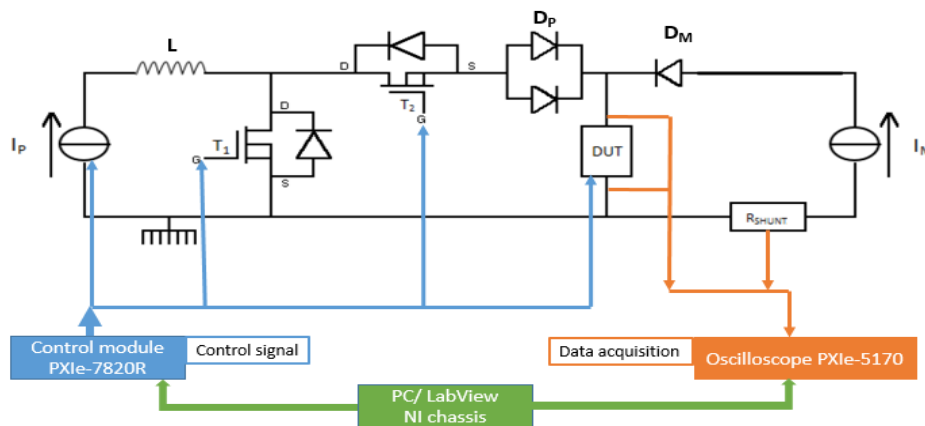


Figure 44. Schéma électrique équivalent du banc

II.3.1. Système électrique

L'alimentation de puissance I_P (réf. EA-PS 9040-340) peut délivrer un courant variant de 0 à 340A (la puissance maximale de l'alimentation est 6,6 kW) (voir Figure 45a). Ce courant sert à dissiper une forte puissance dans le composant sous test (DUT= « Device Under Test ») afin de l'échauffer de manière active. L'alimentation EA-PS 9040-340 est une source de tension qui permet de réguler le courant mais avec un temps de réponse de régulation en charge d'environ 2ms (réf. datasheet [64]).

L'alimentation en courant de mesure I_M permet de délivrer un courant de 10mA (voir Figure 45b) et la tension directe résultante sous ce faible courant sert à mesurer la température de jonction. Les TSEPs sont préalablement calibrés sous ce courant. C'est pourquoi ce courant doit rester constant pendant les mesures afin d'éviter de différence entre la calibration et l'exploitation.

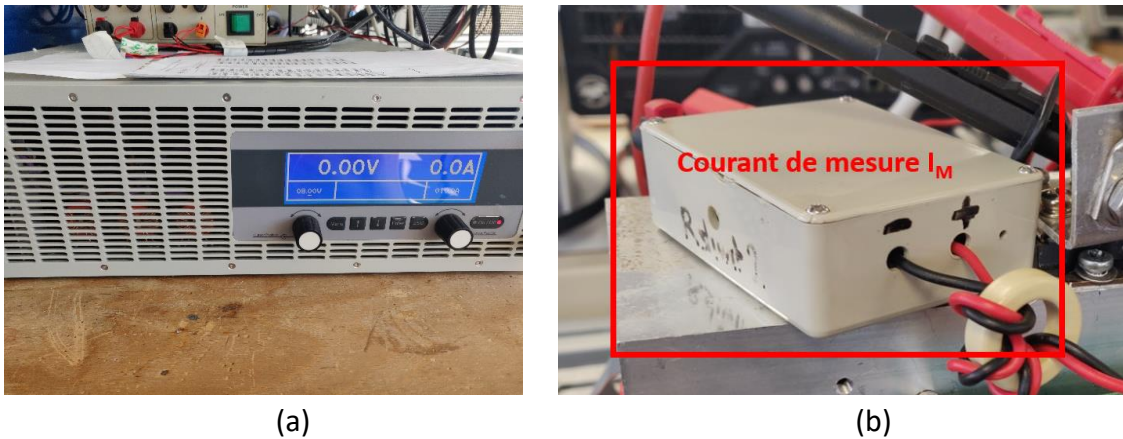


Figure 45. (a) L'alimentation de tension à courant contrôlé I_P , (b) l'alimentation du courant de mesure

La résistance R_{SHUNT} (voir Figure 44) sert à mesurer et vérifier le courant de mesure I_M . La tension aux bornes de la résistance R_{SHUNT} est relevée pendant la phase de mesure afin de vérifier que le courant de mesure reste toujours à 10mA.

L'aiguilleur de courant est constitué de 2 interrupteurs T_1 et T_2 (transistors MOSFET 75V/455A, réf IXFN520N075T2). Le rôle de l'aiguilleur de courant est de faire circuler et de couper le courant de puissance I_P dans le DUT pendant la phase d'injection du courant. Ces deux MOSFETs permettent de réaliser les transitions entre les phases avec un temps de recouvrement très court grâce à leur rapidité. La diode D_P (voir Figure 44) a trois rôles dans le circuit :

- Garantir que le courant I_P ne traverse pas le DUT mais uniquement l'interrupteur T_1 durant les phases de chevauchement.
- Empêcher le courant I_M de passer par la diode structurelle du MOSFET T_2 et par le MOSFET T_1 afin que tout le courant I_M traverse le DUT.
- Accélérer les commutations.

Cette diode D_P choisie est une diode Schottky (réf. STPS200170TV1, 170V, 200A, boîtier isotope) pour éviter les perturbations du courant I_M lors de la commutation. La diode bipolaire D_M (voir Figure 44) a pour objectif d'empêcher le courant de puissance I_P de passer par l'alimentation de courant I_M . Dans ce cas, il faut éviter le courant de fuite de cette diode qui pourrait perturber le

courant I_M , celle-ci est donc du type jonction PN. De plus, le courant I_M est présent en permanence donc la diode D_M n'a pas d'être rapide.

Afin de générer une dissipation de puissance dont la valeur est constante et maîtrisée pendant une durée très courte par l'injection du courant I_P , et compte-tenu du temps de réponse de régulation de courant de l'alimentation de puissance (de l'ordre de 2ms selon le fabricant), il est nécessaire d'ajouter une inductance L qui permet stabiliser ce courant pendant la phase d'injection de la puissance. La vitesse de variation du courant dépend de la variation de tension et de l'inductance (de valeur 8mH) après la relation suivante [57]:

$$\frac{\Delta I}{\Delta t} = \frac{\Delta U}{L} \quad [A/s]$$

Les formes d'ondes sont présentées dans la partie II.4 avec la validation du banc de mesure.

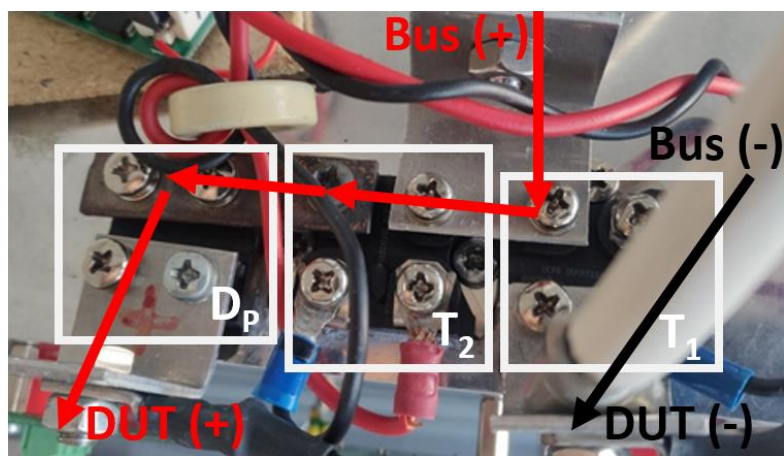


Figure 46. L'aiguillage de courant avec deux interrupteurs T1, T2 et la diode Dp

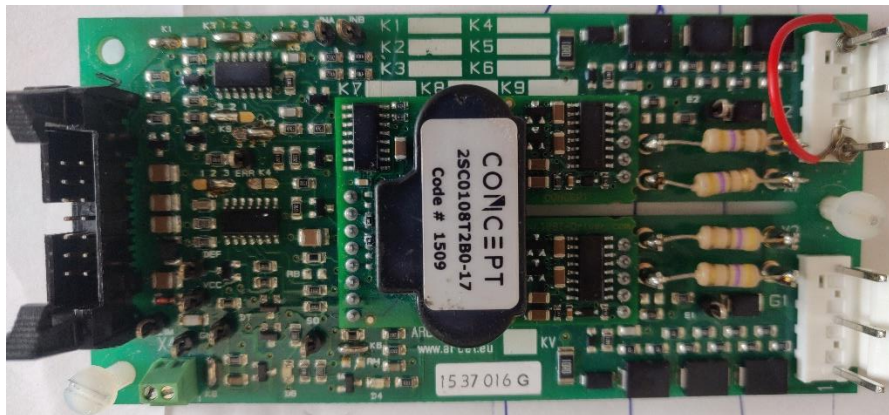


Figure 47. Carte drivers de l'aiguillage de courant

Une carte drivers (réf. ARCAL2108) est utilisée afin de piloter les deux interrupteurs T1 et T2. La sonde de courant Hioki Clamp on Probe 3274 (DC à 10MHz, 150 Arms) est présente pour mesurer le courant de puissance traversant le DUT pendant la phase d'échauffement.

II.3.2. Système de refroidissement et capteurs

Dans nos études, deux modules de puissance ont été utilisés : le module TRIBOX SiC aPSI^{3D} à refroidissement double face est intégré à un système hydraulique alors que le module CULPA SiC à refroidissement simple face est collé sur un dissipateur avec ventilation forcée.

La Figure 48 présente une vue du système hydraulique avec les capteurs positionnés sur le banc. Un cryostat permet de faire circuler le fluide (eau glycolée à 50%) à différentes températures dans le système (la température du liquide peut varier de -30°C à 90°C). A la sortie du cryostat, un filtre permet d'enlever les impuretés pour protéger les débitmètres. A partir d'un dédoubleur, deux branches amènent le fluide au niveau des parties supérieure et inférieure du module grâce à des pièces réalisées par fabrication additive. Le fluide revient au final à l'entrée du cryostat. Quatre thermocouples (type T) et 4 capteurs de pression (réf. Wika S20 G316) sont installés sur deux branches en amont et en aval du module afin d'acquérir les mesures de température du liquide et les pertes de charge. Deux débitmètres volumétriques à roue ovale (réf. Macnaught MX12P-1TA) avec 2 compteurs/afficheurs sont placés sur chacune des branches afin de mesurer et visualiser le débit de fluide. Les mesures de tous ces capteurs sont enregistrées au PC via une carte d'acquisition.

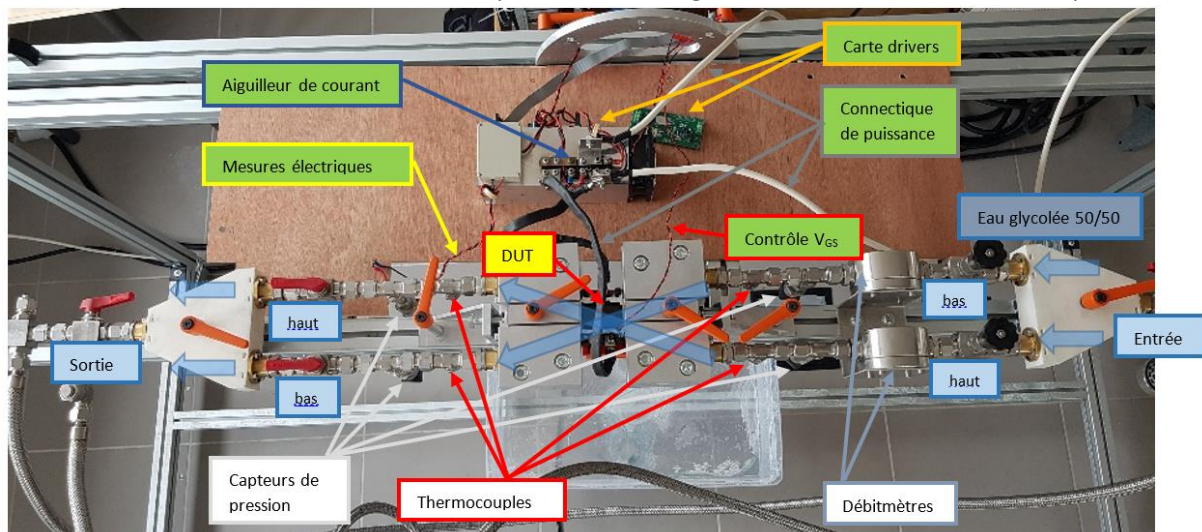


Figure 48. Vue du système hydraulique avec les capteurs (thermocouples, pressions, débits).

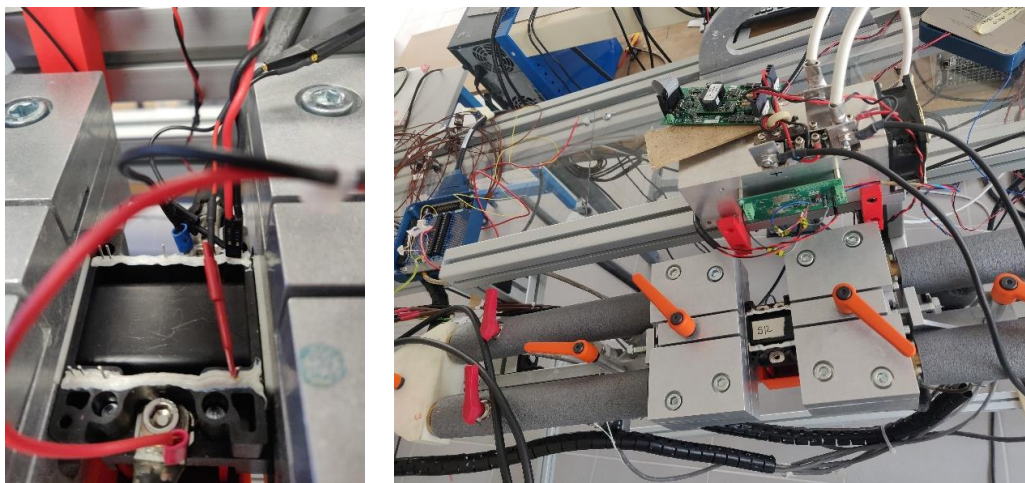


Figure 49. Mise en place du module de puissance aPSI3D TRIBOX sur le banc hydraulique.

Le deuxième module SiC (CULPA) à refroidissement simple face est monté sur un dissipateur à ventilation forcée. Six thermocouple (type T) sont insérés à la verticale et aux centres des puces, entre la semelle du module et le dissipateur afin d'acquérir les mesures de température de référence. La Figure 50 illustre le module de puissance CULPA et son montage sur le banc de mesure Z_{TH} . Ce montage et les éléments du banc sont présentés en détail dans le chapitre 3.

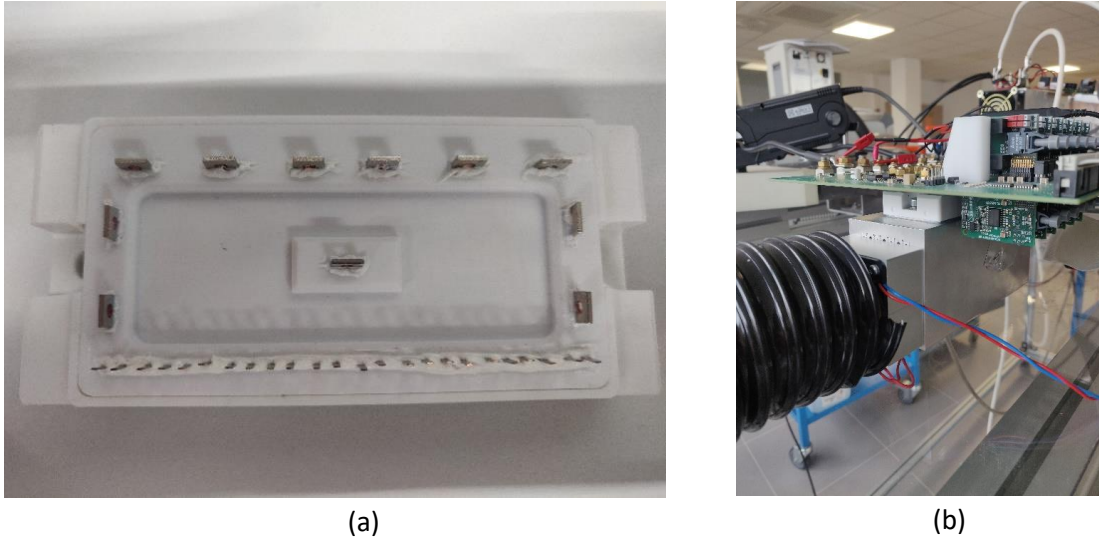


Figure 50. Mise en place du module CULPA sur le banc de mesure Z_{TH} : (a) module CULPA, (b) montage du module sur le banc de mesure.

II.3.3. Pilotage et acquisition par LabVIEW

Les équipements National Instruments ont été choisis pour réaliser le banc de mesure de l'impédance thermique. Cela permet d'effectuer le pilotage, les mesures et l'enregistrement des données sur une même plateforme. Le système de pilotage et d'acquisition National Instruments (NI) est constituée de (voir Figure 51):

- Un oscilloscope NI (réf. PXIe-5170, 14bits 100MHz) est dédié aux mesures de la tension du DUT pendant la phase d'échauffement et la phase de mesure. Les tensions à mesurer dans le banc de test est : (i) La tension du DUT sous le courant de puissance I_P qui est de l'ordre de quelques volts (inférieure à 5V) ; (ii) la tension du DUT sous le courant de mesure I_M qui est de l'ordre de 300mV-3V dépendant du DUT. La fréquence d'échantillonnage élevée de l'oscilloscope permet d'enregistrer la tension dynamique rapide lors de la commutation pendant l'essais.
- Une carte d'acquisition NI (réf. PXIe-6345) est mise en place pour acquérir les mesures dites « lentes » (thermocouples, débits, pressions). Elle contient 40 canaux différentiels qui permettent d'enregistrer tous les mesures des capteurs du banc.
- Une carte de contrôle (réf. PXIe-7820R) permet d'envoyer les signaux de commandes 0/3,3V, à des cartes drivers des interrupteurs du banc et du module de puissance si besoin. Celle-ci permet donc de synchroniser l'ouverture et la fermeture des interrupteurs pendant les phases de puissance et de mesure.

- Un châssis (réf. PXIe-1073 Contrôleur MXIe intégré) joue le rôle de communication entre LabVIEW, l'oscilloscope NI et les cartes d'acquisition NI.
- Un PC équipé LabVIEW permet de réaliser un scénario qui contrôle les interrupteurs, l'alimentation de puissance et déclenche l'acquisition des mesures. Il commande donc l'oscilloscope, la carte d'acquisition et la carte de contrôle à travers du châssis.

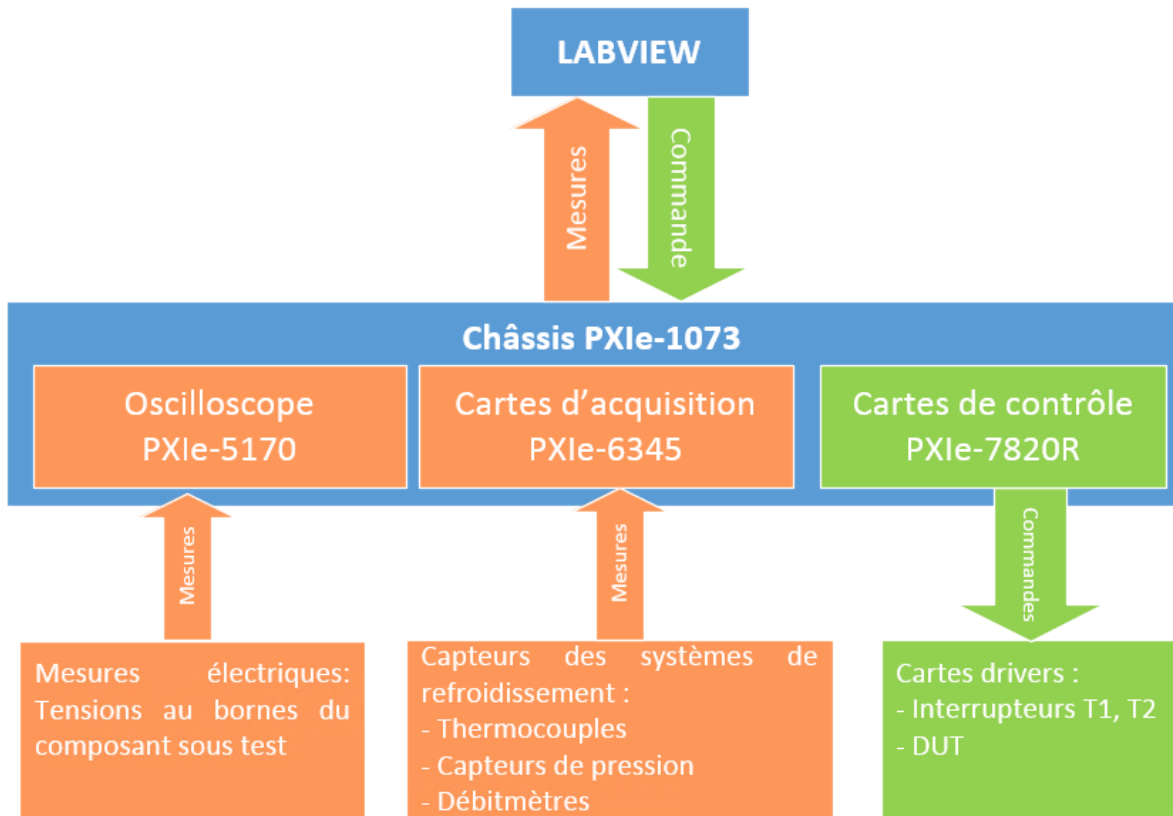


Figure 51. Diagramme du système de pilotage et d'acquisition des mesures.

Le

Tableau 7 présente les étapes dans le scénario de mesure de l'impédance thermique. Il comprend la phase de mesure de TSEP avant l'échauffement, la phase de l'échauffement du composant et la phase de mesure de TSEP après l'échauffement.

Tableau 7. Un scénario de mesure de l'impédance thermique

Étape	États	Actions	Schéma équivalent
0	T1 off T2 off I _p off I _M off	État initial : le circuit est éteint complètement. Tous les paramètres sont à 0.	
1	T1 off T2 off I _p off I _M off	T1, T2 sont ouverts. Déclencher les mesures des capteurs lents (thermocouples, pressions, débits)	
2	T1 off T2 off I _p off I _M on	Injecter un faible courant I _M . Déclencher les mesures V_F, V_{shunt}(I_M) à la température ambiante. Noter la valeur de V _F (T _{amb}). À partir de cette étape, le courant I _M est toujours présent.	
3	T1 on T2 off I _p off	Fermer T1. Préparer une maille fermée pour faire circuler le courant I _p .	
4	T1 on T2 off I _p on	Allumer l'alim I _p (emmagasiner l'énergie dans l'inductance L, voir Figure 44). L'interrupteur T1 est fermé pendant cette étape.	
5	T1 on T2 on I _p on	Fermer T2 et donc le courant I _p passe dans deux mailles. Cependant, comme la résistance série de la maille DUT est plus grande donc celle de la maille T1, le courant passe principalement par l'interrupteur T1.	
6	T1 off T2 on I _p on	Ouvrir T1 et donc courant I _p ne passe que dans le DUT La puissance dissipée dans le DUT est le produit du courant I _p et de la tension V _{DUT} (I _p) pendant cette étape. Déclencher les mesures I_p et V_{DUT}(I_p).	
7	T1 on T2 on I _p on	Fermer T1. Donc le courant I _p passe dans les deux mailles mais principalement par T1. Préparer pour arrêter le courant dans le DUT.	

8	T1 on T2 off I_p on	Ouvrir T2. Arrêter complètement le courant dans le DUT. Le courant I_p ne passe que par l'interrupteur T1. Mesurer la tension V_{DUT}, le courant I_M. Vérifier bien que $I_M = 10mA$. Enregistrer ces deux mesures pour le post-traitement.	
9	T1 on T2 off I_p off	Éteindre l'alim I_p afin d'éviter un échauffement inutile de l'interrupteur T1 pendant la stabilisation thermique du système.	
10	T1 off T2 off I_p off	Ouvrir T1.	
11	T1 off T2 off I_p off	Mesurer V_F et $V_{shunt}(I_M)$ pendant quelques minutes (jusqu'à ce que V_F retourne à la valeur $V_F(T_{amb})$). Arrêter l'enregistrement des mesures des capteurs lents. Ensuite répéter à partir de l'étape 2, avec une durée d'injection de puissance t_{heat} augmentant à chaque cycle.	
0	T1 off T2 off I_p off	Une fois toutes les mesures réalisées (la durée de l'injection de puissance atteint la valeur maximale), éteindre le circuit. Revenir donc à l'étape 0.	

Ici, il faut préciser que nous avons utilisé un pas de temps (durée d'échauffement) exponentiel qui permet d'avoir 5 points de mesure par décade. Les valeurs de t_{heat} sont données par le tableau suivant :

10 μ s	100 μ s	1ms	10ms	100ms	1s	10s	100s	1000s
15,8 μ s	158 μ s	1,58ms	15,8ms	158ms	1,58s	15,8s	158s	
25,1 μ s	251 μ s	2,51ms	25,1ms	251ms	2,51s	25,1s	251s	
39,8 μ s	398 μ s	3,98ms	39,8ms	398ms	3,98s	39,8s	398s	
63,1 μ s	631 μ s	6,31ms	63,1ms	631ms	6,31s	63,1s	631s	

La valeur maximale de t_{heat} est le temps quand la thermalisation est atteinte donc $t_{heat,max} = 10s$ dans le cas du module double face et $t_{heat,max} = 1000s$ dans le cas du module simple face.

Comme le refroidissement liquide permet d'évacuer la chaleur rapidement, la durée de refroidissement entre 2 mesures est de 10 minutes. Dans le cas du refroidissement à air forcé, l'inertie thermique étant plus grande, la durée de refroidissement entre 2 mesures est de 30 minutes pour pouvoir évacuer toute la chaleur introduite par la procédure de mesure.

Pour donner un exemple des mesures obtenues, prenons le cas de la mesure de température de la diode Schottky pour une durée d'échauffement $t_{heat} = 16ms$, la tension à ses bornes a une forme suivante :

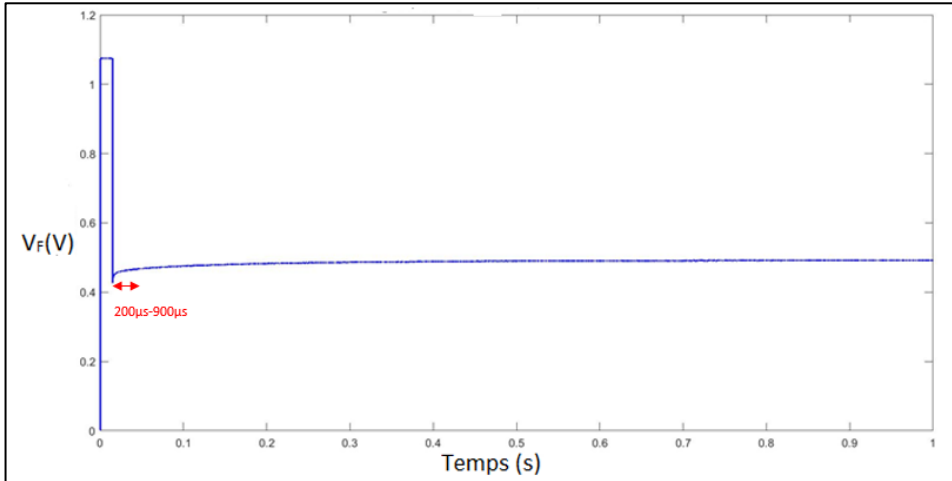


Figure 52. Tension du composant sous test lors d'une mesure (échauffement + mesure)

Comme ces signaux comprennent une fluctuation qui dure environ 200µs après l'arrêt de la puissance, il n'est pas possible de retrouver directement la valeur de la tension qui correspond à la température de jonction au moment de l'arrêt de l'injection de puissance. Il est donc indispensable de réaliser une procédure d'extrapolation qui permet d'estimer cette valeur. Cette procédure d'extrapolation a été mentionnée dans plusieurs travaux, notamment dans l'étude réalisée par [57].

En théorie, comme la température de jonction varie linéairement en fonction de la racine carrée du temps et que la tension varie linéairement en fonction de la température, la tension varie aussi linéairement en fonction de la racine carrée du temps. On a donc pris des valeurs de la tension dans l'intervalle de 200µs à 900µs après l'arrêt de la puissance. Afin de réduire les fluctuations due aux bruits, une procédure de filtrage en utilisant la moyenne glissante sur 400 points a été réalisée. La tension de la diode sur cet intervalle est tracée en fonction de la racine carrée du temps comme dans la Figure 53 :

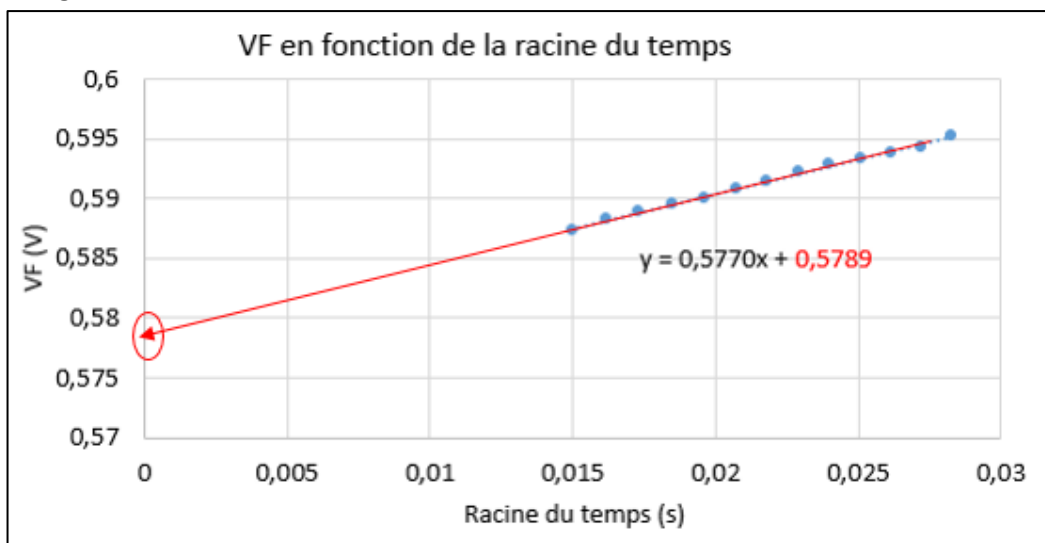


Figure 53. Extrapolation linéaire de la tension de la diode en fonction de la racine du temps

L'extrapolation de cette courbe au temps $t = 0$ permet d'obtenir la valeur de la tension au moment de l'arrêt de l'injection de puissance et donc la température de jonction qui ici est égale à $T_j = 120^\circ\text{C}$.

II.4. VALIDATION DU BANC DE MESURE

Afin de valider le fonctionnement du banc de mesure Z_{TH} , un module de puissance du commerce (réf. Fuji 2MBI100VA-120-50) a été utilisé. L'impédance thermique de ce module est donnée dans sa spécification. Son impédance thermique sera remesurée avec le banc de mesure. La comparaison entre l'impédance thermique mesurée par le constructeur du module et donnée dans la spécification et l'impédance thermique mesurée par le banc permet de valider sa précision.

La Figure 54 illustre les formes d'onde du courant de puissance I_P (le courant de consigne est de 65A) à deux durées d'échauffement de 10ms et de 100ms. Comme expliqué dans la partie précédente, l'inductance L permet de stabiliser le courant de puissance, néanmoins avec une décroissance ΔI . Par exemple, pour une durée d'échauffement de 10ms (voir Figure 54a), la baisse du courant ΔI est donnée par :

$$\frac{\Delta I}{10\text{ms}} = \frac{3V}{8\text{mH}} \text{ [A/s]} \text{ donc } \Delta I = 3,75\text{A}$$

Cela signifie que ce courant a diminué de 5,7% de sa valeur de consigne. Pour une durée d'échauffement de 100ms et au-delà, la source de puissance a le temps de réagir et arrive à stabiliser le courant à 65A (voir Figure 54b et Figure 54c).

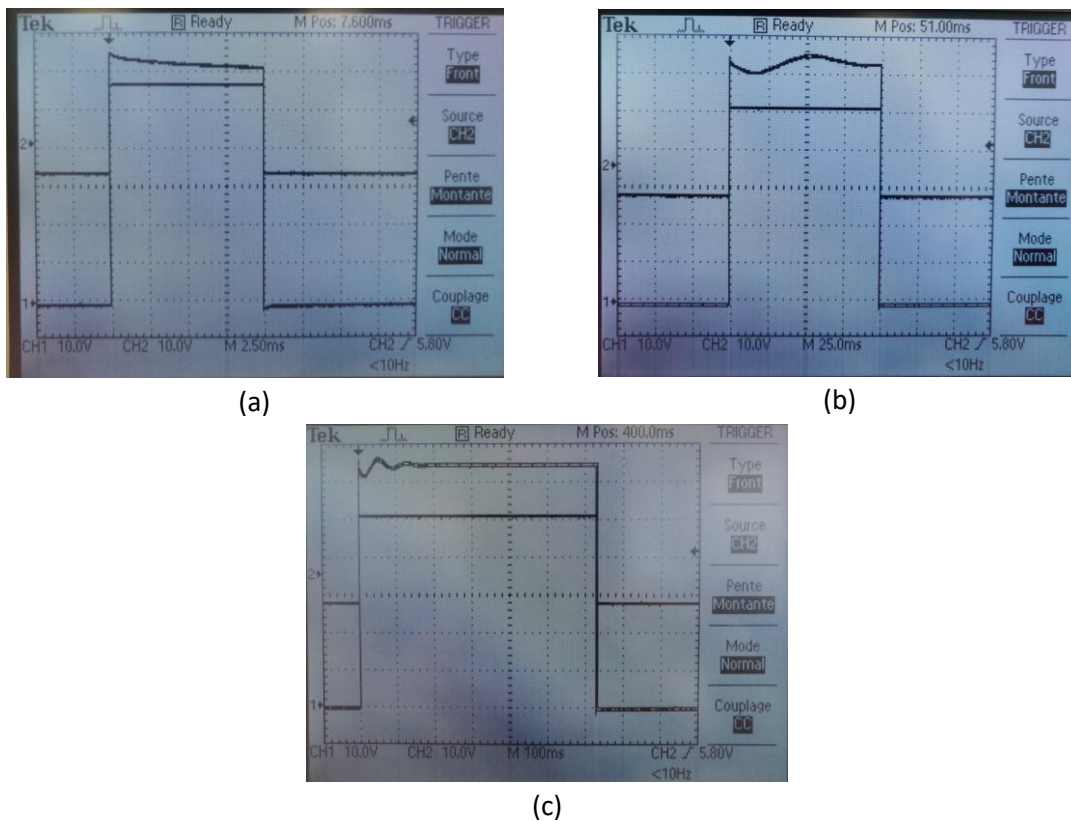


Figure 54. Formes d'onde du courant I_P (canal CH1) à une durée d'échauffement de (a) 10ms, (b) 100ms, (c) 600ms

Le module Fuji est constitué de deux interrupteurs qui comprennent chacun un IGBT et une Diode Silicium (voir la Figure 55a). La Figure 55b et la Figure 55c illustrent l'installation du module Fuji sur le banc de mesure. Une plaque froide a été utilisée comme système de refroidissement. Le module est déposé et vissé sur la plaque froide et le contact est assuré à l'aide d'une graisse thermique. Deux vis sur chaque côté du module permettent d'assurer une pression et donc un bon contact entre le module et la plaque. Deux thermocouples de type T sont également insérés dans la partie métallique de la plaque froide au-dessous du module afin de mesurer les températures de la semelle du module. Nous mesurons ici l'impédance thermique d'une diode dans le module Fuji. Le temps d'échauffement de la diode varie de $10\mu\text{s}$ à 1s . Enfin, nous comparons l'impédance thermique mesurée par le banc à l'impédance thermique mesurée dans la spécification du module.

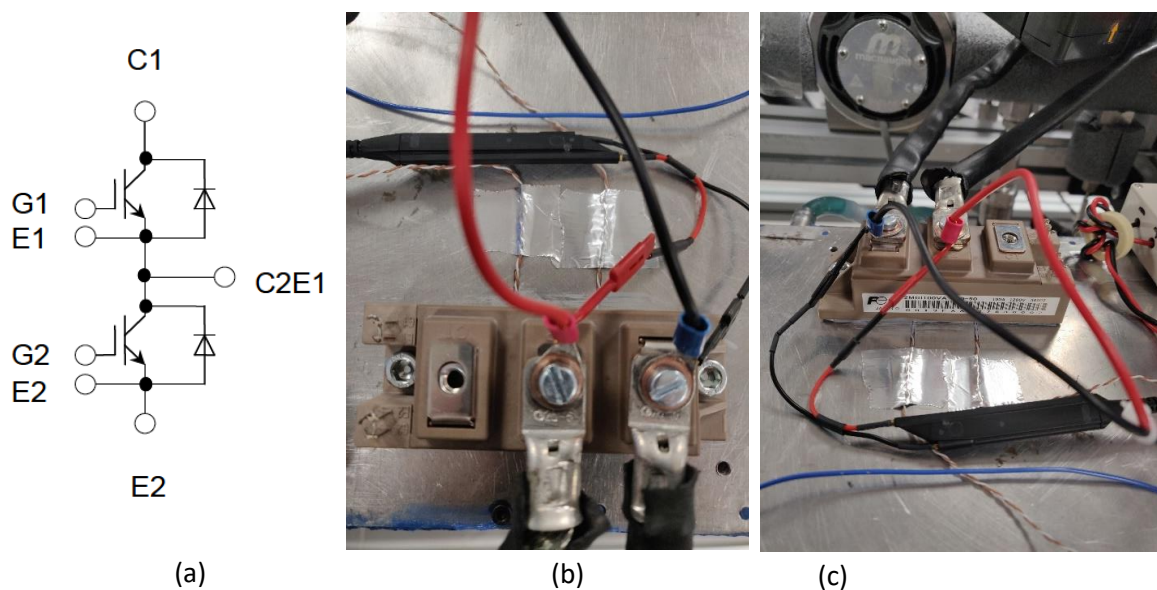
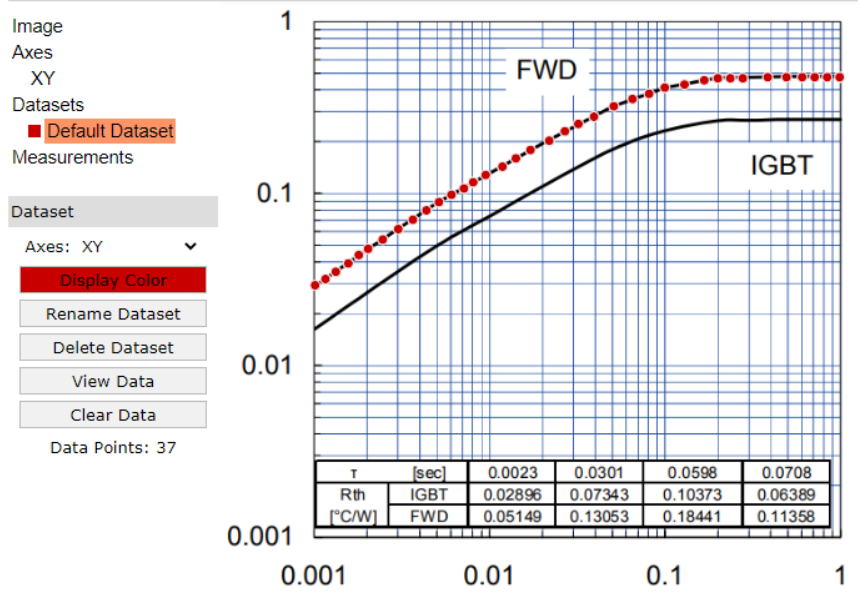
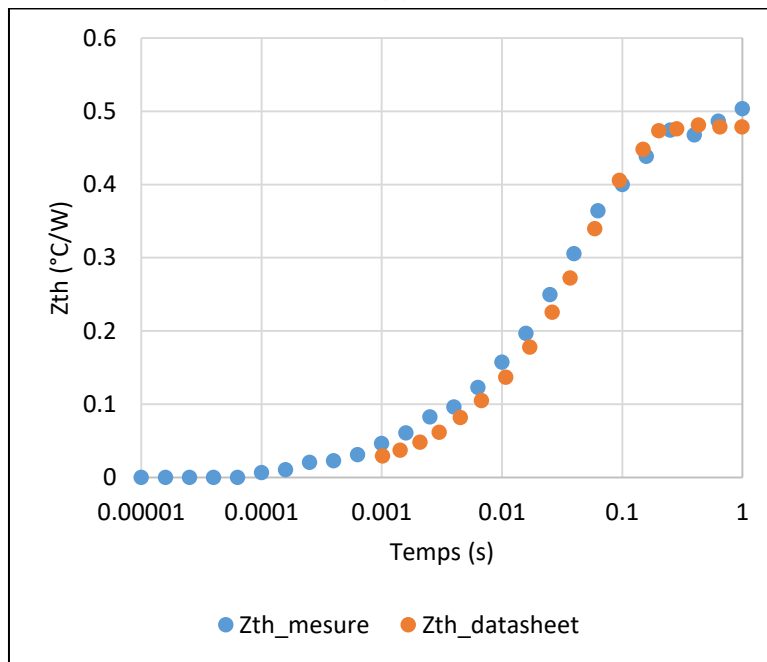


Figure 55. (a) Schéma électrique du module Fuji, (b), (c) Installation du module Fuji et les capteurs sur le banc de mesure

Nous avons extrait à partir de la spécification du module Fuji [65] les points de sa courbe d'impédance thermique entre 1ms et 1s qui sont présentés par les points orange dans la Figure 56. Les points de l'impédance thermique mesurée par le banc de mesure variant de $10\mu\text{s}$ à 1s sont présentés par les points bleus. Nous constatons que les deux impédances thermiques sont très proches ce qui signifie que le banc de mesure a une bonne précision.



(a)



(b)

Figure 56. (a) Impédance thermique fournie dans la datasheet du module Fuji, (b) Comparaison entre l'impédance thermique mesurée par le banc Z_{TH} et celle donnée dans la datasheet.

Afin de quantifier la précision du banc de mesure Z_{TH} , deux écarts sont considérés :

- L'écart absolu maximal entre l'impédance thermique mesurée par le banc et l'impédance thermique donnée par la spécification est 0,028 K/W (autour de 0,024s).
- L'écart moyen sur toute la courbe entre ces deux impédances thermiques est 0,0127 K/W et l'écart relatif moyen est 3,2%.

II.5. CONCLUSION

Dans ce chapitre nous avons proposé une méthodologie de mesure électrique de la température de jonction de puces SiC inaccessible pour des mesures classiques, qui nous a permis de concevoir et réaliser un banc d'extraction des impédances thermiques d'auto-échauffement et d'interactions entre puces. Ce banc a été voulu flexible de façon à représenter, en s'adaptant, les différentes applications qui peuvent être visées dans des études. Il se caractérise par les possibilités de contrôle des différents paramètres de refroidissement comme les débits et les températures de refroidissement.

Ce banc permet de contrôler toute la chaîne de mesure et l'exploitation de résultats. Le banc a été conçu pour être évolutif grâce à une maîtrise de développement informatique associé.

III. MESURES DES IMPEDANCES THERMIQUES

III.1. INTRODUCTION

Dans ce chapitre, nous présentons l'exploitation du banc développé pour extraire les impédances thermiques du module de puissance à refroidissement double face en SiC fabriqué par aPSI3D et prévu dans le projet (deux bras d'onduleur, chaque bras comprenant 8 MOSFETs SiC et 2 diodes Schottky). Pour extraire les températures individuelles des puces, un layout spécifique a été prévu pour piloter individuellement de MOSFETs. Malheureusement, celui-ci n'a pas pu être réalisé. Sur ce module, nous avons alors utilisé les diodes Schottky pour la mesure de température de jonction et pour différentes conditions de refroidissement.

Sachant que ces mesures ne nous renseignent pas sur les impédances thermiques des MOSFETs SiC, nous avons voulu implémenter la méthode en utilisant un deuxième module fabriqué par l'IRT Saint-Exupéry, dont les MOSFETs sont pilotés individuellement et cette fonctionnalité a été prévue dès la conception du module (six bras d'onduleur, chaque bras comprenant 2 MOSFETs SiC). Cependant, ce module n'est pas totalement représentatif de l'objectif prévu du projet car il ne présente qu'un refroidissement simple face.

Les détails des différentes étapes de la mesure sont ensuite donnés, comme la calibration des paramètres thermosensibles ou la maîtrise de l'environnement thermique de la mesure. Et quelques résultats donnant les impédances thermiques d'auto-échauffement et de couplages entre puces sont donnés sous forme de courbes.

Par ailleurs, pour le module simple refroidissement uniquement, nous avons également utilisé un banc commercial similaire (Micred MentorGraphics...) afin de comparer les mesures des impédances thermiques avec celles obtenues par le banc développé.

III.2. EXTRACTION DES PARAMETRE THERMOSENSIBLES

Dans un premier temps, nous présentons la calibration des paramètres thermosensibles correspondants à chaque composant (MOSFET SiC, Diode Schottky SiC) :

- Pour le MOSFET SiC, comme analysé dans le chapitre précédent (II.2.3), nous avons choisi sa diode structurelle pour mesurer la température de jonction. Concrètement, la chute de tension aux bornes de sa diode structurelle sous un faible courant $I_M = 10\text{mA}$ est utilisée comme paramètre thermosensible.
- Pour la diode Schottky SiC, la tension directe à ses bornes sous un faible courant $I_M = 10\text{mA}$ est utilisée pour mesurer sa température.

L'étape de calibration nécessite de mesurer le paramètre électrique thermosensible sur une plage de températures (0°C - 150°C) correspondant à la plage de variation de la température de jonction sur le banc de caractérisation. Pour cela, nous avons utilisé les matériels de la plateforme de caractérisation électrique du LAAS :

- Traceur de courbes HP4142,
- Thermostream Temptronic TP04200,
- Thermocouple de type K.

Le traceur de courbes I-V HP4142 permet d'extraire toutes les caractéristiques statiques des composants de puissance. Celui-ci est piloté par un ordinateur utilisant le logiciel ICS (Interactive Characterisation Software) qui permet d'automatiser les tests. Le HP4142 dispose de plusieurs SMU (Source/Monitor Unit) et HCU (High Current Source/Monitor Unit) qui peuvent envoyer des cycles d'impulsion de courant/tension et les mesurer :

- HP 41422A HCU : permet d'alimenter/mesurer une tension de -10V à 10V et un courant de -10A à 10A . Cette source est utilisée comme courant drain-source I_{DS} pour la caractérisation des MOSFETs SiC et comme courant direct pour la caractérisation des diodes Schottky SiC (voir Figure 57).
- HP 41421B SMU : permet d'alimenter/mesurer une tension entre -100V et 100V et un courant de -100mA à 100mA . Cette source est utilisée comme tension de commande de la grille V_{GS} pour la caractérisation des MOSFETs SiC (voir Figure 58a) et n'est pas utilisée pour la caractérisation des diodes Schottky SiC (voir Figure 58b).

Le module de puissance est placé dans une enceinte de régulation de température (Thermostream Temptronic TP04200) afin de contrôler la température de l'environnement entre 0°C et 150°C . Un thermocouple est placé à l'intérieur de cette enceinte et sur le module pour vérifier la température du module. Pour chaque valeur de température, le module est laissé dans l'enceinte pendant au moins 30 minutes afin d'atteindre la thermalisation.

La Figure 59 illustre la variation des paramètres électriques thermosensibles en fonction de la température. Nous pouvons en déduire les variations de la tension directe de deux diodes Schottky SiC et de la tension directe de la diode structurelle du MOSFET SiC en fonction de la température:

- Deux diodes Schottky SiC : $\frac{dV_F}{dT} = -1,78\text{mV}/^\circ\text{C}$ (voir Figure 59a) (12)

- Diode structurelle du MOSFET SiC : $\frac{dV_F}{dT} = -2,32\text{mV}/^\circ\text{C}$ (voir Figure 59b) (13)



Figure 57. Banc de caractérisation électrique des composants de puissance

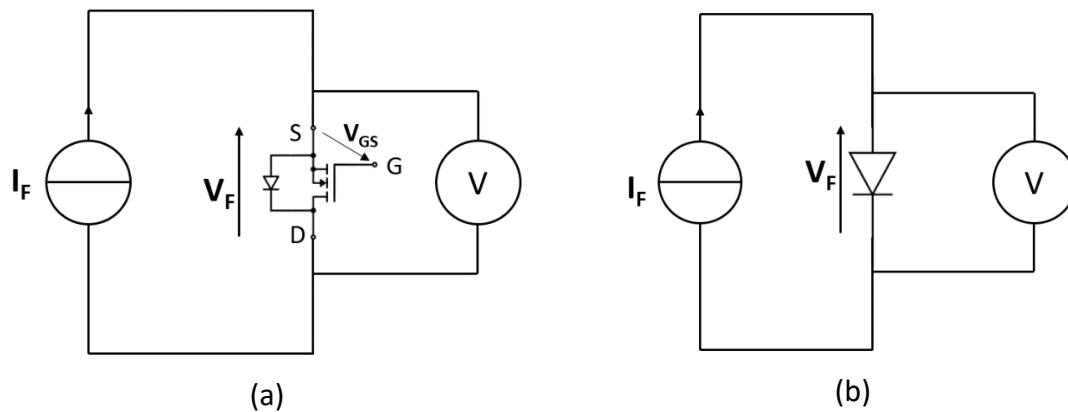


Figure 58. Schéma électrique équivalent pour les caractérisations : (a) de la diode structurée du MOSFET SiC et (b) des diodes Schottky SiC

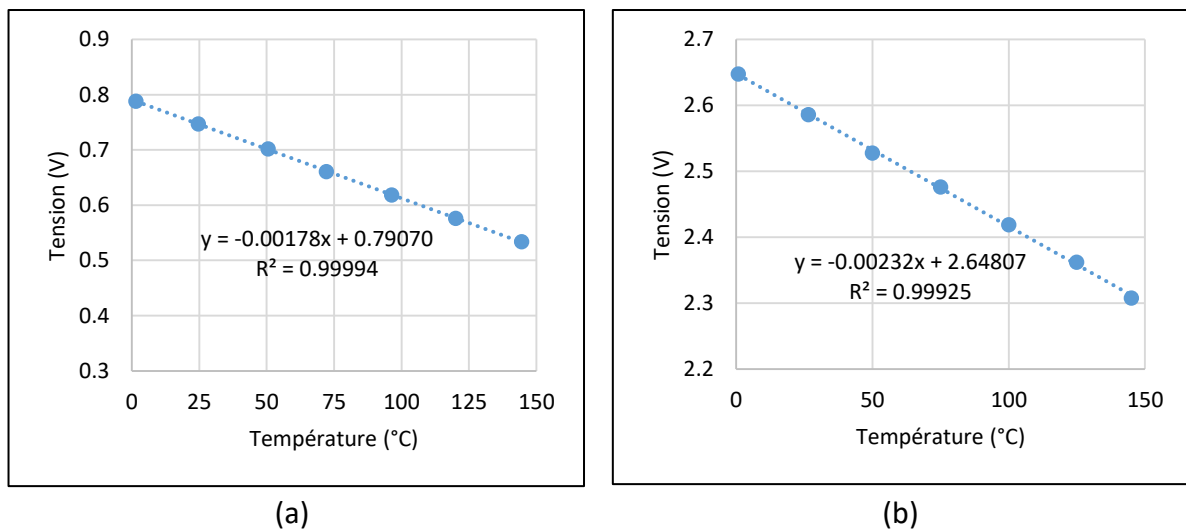


Figure 59. Variation en fonction de la température de : (a) la tension de deux diodes Schottky SiC, (b) la tension de la diode structurée du MOSFET SiC ($V_{GS} = -5V$).

III.3. CARACTERISATION DU MODULE DOUBLE FACE Si/SiC

III.3.1. Descriptions du module

Le module de puissance TRIBOX SiC utilisé dans cette étude est fabriqué par aPSI^{3D}. Ce module à refroidissement double face par liquide est constitué d'un bras d'onduleur, chaque interrupteur est composé de 8 MOSFETs SiC et de 2 diodes Schottky SiC (voir Figure 60). Les composants utilisés sont MOSFET SCT50N120 et diode JPSC50065-TR respectivement.

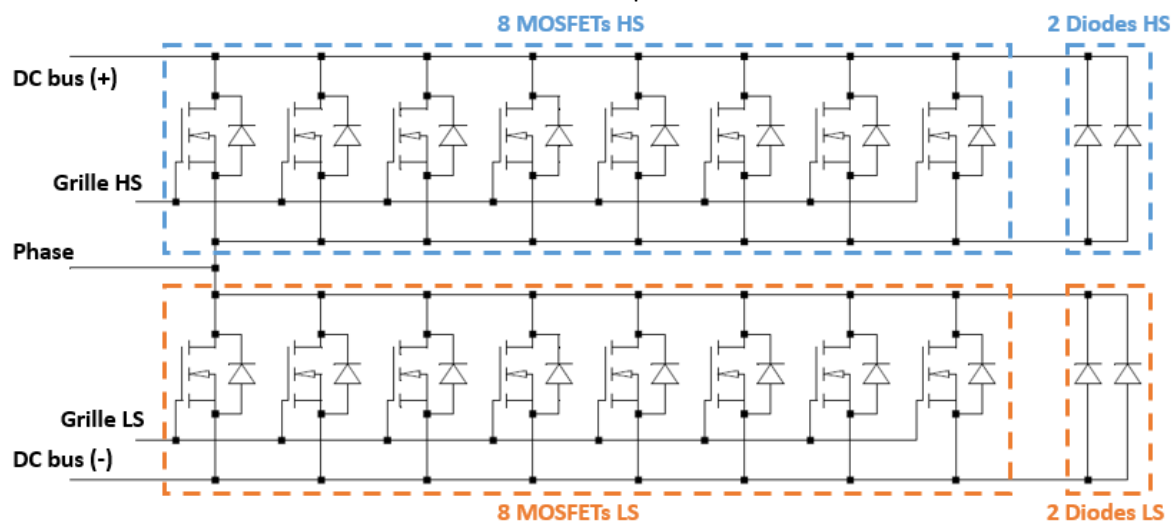


Figure 60. Schéma électrique du module de puissance TRIBOX SiC

Comme discuté dans le chapitre 1, l'intérêt du refroidissement double face est de diminuer les résistances thermiques du module et donc de permettre une densité de puissance plus élevée, ceci en évacuant la puissance dissipée par les deux côtés du module (haut et bas). Contrairement à un module simple face conventionnel, les billes en cuivre sont utilisées pour remplacer les fils de câblage afin de réaliser les interconnexions électriques et thermiques. L'interrupteur du haut (High-Side ou HS) et l'interrupteur du bas (Low-Side ou LS) sont positionnés dans le module comme illustré dans la Figure 61. Les puces et les billes sont « prises en sandwich » entre un substrat inférieur et un substrat supérieur qui sont positionnés tête bêche. Les substrats utilisés dans ce module sont des substrats AMB qui sont constitués d'une couche céramique pour l'isolation électrique et de deux couches métalliques (cuivre) pour les connexions électriques.

Les MOSFETs HS et les diodes HS sont assemblés en face arrière par un frittage argent directement sur l'AMB inférieur. Les billes sont ensuite frittées toujours par un frittage argent d'un côté sur les puces et de l'autre côté sur l'AMB supérieur (voir Figure 61b). Les refroidissements des puces HS par la face arrière (back side cooling) et par la face avant (front side cooling) sont effectués vers le bas et vers le haut respectivement. Inversement, les MOSFETs et les diodes LS sont frittés directement sur l'AMB supérieur. Les billes sont frittées d'un côté sur ces puces et d'autre côté sur l'AMB inférieur. Les refroidissements des puces LS par la face arrière et par la face avant sont effectués vers le haut et vers le bas respectivement. Une fois ce sandwich « AMB-puce-bille-AMB »

réalisé, quatre radiateur Wavy sont brasés directement sur les faces extérieures des AMBs. Grâce à des pistes de cuivre adaptés au niveau des AMBs, les terminaisons grille-sources des MOSFETs sont connectées à l'extérieur via des connectiques de commande. Trois connectiques de puissance (DC bus (+), (-) et la phase) sont frittées aux bornes des substrats (Figure 61f). La phase est frittée au substrat inférieur sur lequel le drain des MOSFETs LS et la source des MOSFETs HS sont connectés. La couche de cuivre inférieure du substrat supérieur est séparée en deux parties afin de dissocier la source des MOSFETs LS et le drain des MOSFETs HS. La connectique de puissance DC bus (-) est frittée sur le cuivre de la source des MOSFETs LS. La connectique de puissance DC bus (+) est frittée sur le cuivre du drain des MOSFETs HS.

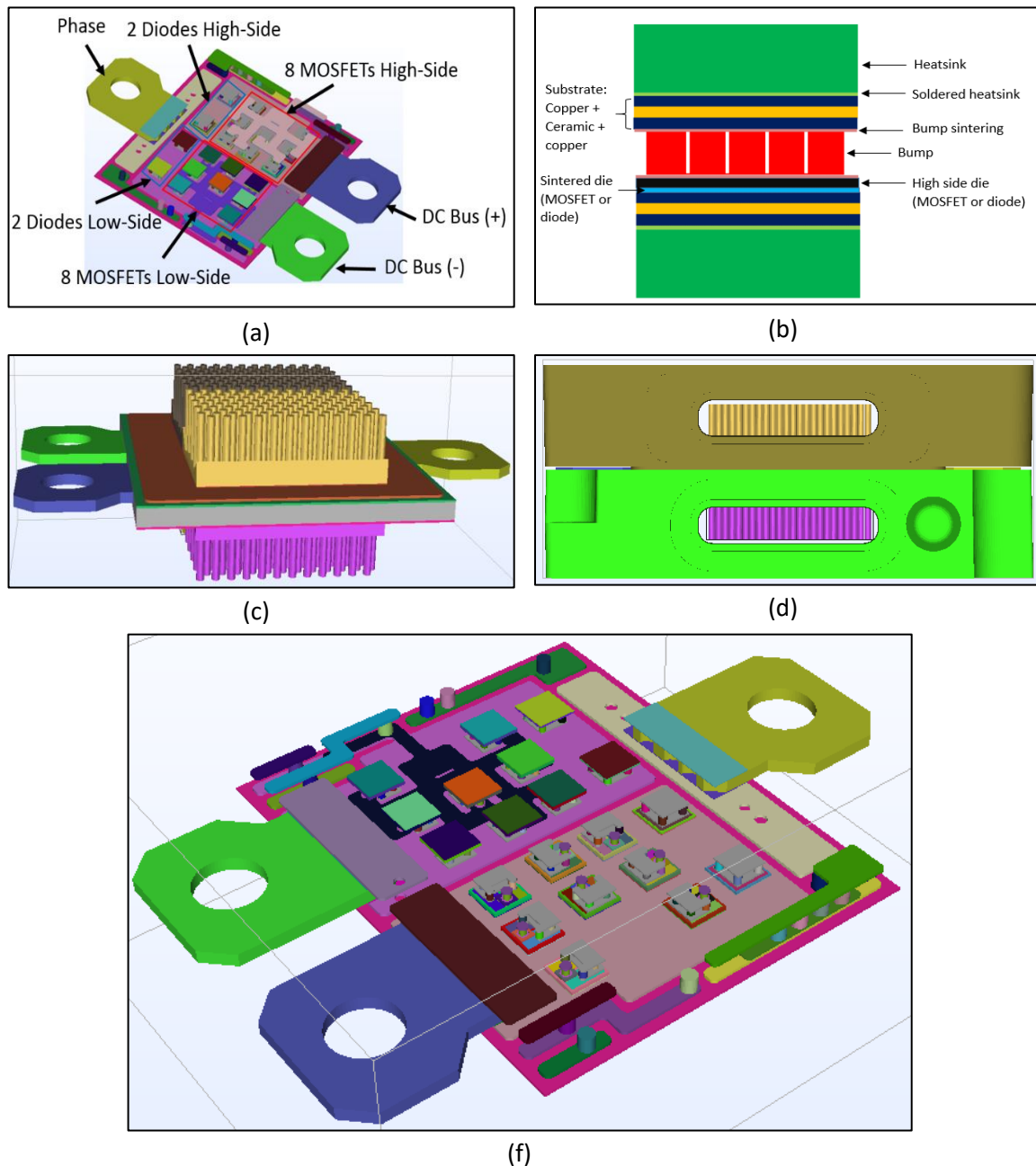


Figure 61. (a) Vue de l'intérieur du « sandwich », (b) Schéma de coupe des couches du module, (c) Radiateurs à picots Wavy brasés sur l'extérieur du « sandwich », (d) Schéma de coupe du boîtier plastique avec les radiateurs, (f) Vue de dessus du module sans l'AMB dessus

Comme nous pouvons constater (voir Figure 60), les MOSFETs SiC de chaque interrupteur (HS et LS) sont mis en parallèle et pilotés avec la même grille. Au départ, nous avons voulu réaliser un prototype de ce module avec des grilles séparées. En effet, si on souhaite mesurer les températures de MOSFETs individuellement, il faut au minimum avoir un pilotage indépendant des MOSFETs. Cependant, après plusieurs tentatives, pour des raisons technologiques, les prototypes réalisés n'ont jamais été fonctionnels. Nous avons donc décidé d'utiliser les diodes Schottky du module en exploitant leur paramètre thermosensible pour mesurer leurs températures de jonction.

Comme chaque interrupteur a deux diodes Schottky en parallèle et que nous ne pouvons pas les activer indépendamment, nous mesurons donc la moyenne de leurs températures de jonction. Mais cette procédure ne peut pas être appliquée pour les 8 MOSFETs en parallèle.

Comme nous souhaitions quand même mesurer indépendamment la température de jonction des MOSFETs SiC, nous avons décidé d'utiliser un autre prototype (CULPA). Nous présenterons ce module dans la partie III.5 du chapitre.

III.3.2. Mise en place de la mesure

La mise en place de la mesure consiste à placer le module dans son environnement de refroidissement et connecter le système de commande, le système de puissance et le système de mesure. Le système de refroidissement hydraulique permet de reproduire l'environnement du module de puissance dans l'application automobile (à l'eau glycolée 50%). La Figure 62 illustre l'installation d'un module TRIBOX sur le banc hydraulique, qui est effectué après avoir réalisé les étapes suivantes :

- Le module est monté et inséré entre deux blocs métalliques qui maintiennent le module à cette position pendant toute la durée des essais. Chaque bloc contient deux adaptateurs hydrauliques réalisés par impression 3D qui permettent de faire circuler le liquide de refroidissement (l'eau glycolée à 50%) dans le module (voir Figure 62a). L'étanchéité au niveau de l'interface module-pièce en fabrication additive est garantie par des joints et par la pression de maintien exercée par l'intermédiaire des blocs métalliques. La température du liquide est contrôlée par un cryostat (pouvant varier de -30°C à 90°C). Cependant, la température du liquide est fixée à 20°C dans nos essais.
- Deux débitmètres (réf. Macnaught MX12P-1TA) sont installés en amont du module afin de mesurer le débit du liquide circulant dans chaque branche (voir Figure 63). Ces débitmètres sont connectés à deux afficheurs qui permet de visualiser les mesures. Chaque afficheur contient une carte de recopie qui permet de remonter les données de mesures au PC via la carte d'acquisition PXIe-6345.
- Quatre thermocouples de type T sont également installés sur deux branches, en amont et en aval du module de puissance. Les soudures chaudes de ces thermocouples sont installées à mi-hauteur dans la section de chaque branche afin de mesurer les températures du liquide d'entrées et de sorties de chaque branche. Les thermocouples amont permettent de mesurer les températures d'entrée de l'eau glycolée et de contrôler les pertes thermiques par rapport à la consigne donnée au niveau du cryostat. Les thermocouples aval n'ont pas été utilisés car le niveau de puissance généré est insuffisant dans le cadre de ces mesures pour avoir une précision acceptable au niveau de l'élévation de température. La chaleur extraite afin que la température du liquide augmente 0,1°C est 28W. Donc même si toute la puissance dissipée (environ 200W) est extraite par un seul côté, la température du liquide de sorties augmente à peine 0,7°C par rapport à la température du liquide d'entrées.

$$P = mC_p dT = \left(\frac{4000g}{60s}\right) \times 4,18J/g.K \times 0,1K = 28W$$

- Quatre capteurs de pression (réf. Wika S20 G316) sont également montés sur deux branches, en amont et en aval du module de puissance afin de mesurer les pertes de charge. Des mesures de pertes de charge ont été effectués en fonction des températures de l'eau glycolée afin de vérifier que la spécification au niveau de la pompe fournie par l'équipement dans l'application finale était bien respectée. Ce point ne sera pas approfondi dans le cadre de ce mémoire.

Nous avons mesuré les impédances thermiques du module TRIBOX SiC dans les conditions suivantes :

- Température du liquide (environ 20°C) : valeur mesurée chaque expérience.
- Puissance dissipée totale (environ 200W dans 2 diodes Schottky) : valeur mesurée chaque expérience.

Trois types de refroidissement sont utilisés pendant les essais :

- Refroidissement double face (double sided cooling) : le débit du liquide passant dans les deux branches est de 4L/min/branche.
- Refroidissement simple face avant (front side cooling) : le débit du liquide dans la branche « côté face avant puce » est 4L/min, le débit du liquide dans la branche « côté face arrière puce » est 0L/min.
- Refroidissement simple face arrière (back side cooling) : le débit du liquide dans la branche du « côté face avant puce » est 0L/min, le débit du liquide dans la branche du « côté face arrière puce » est 4L/min.

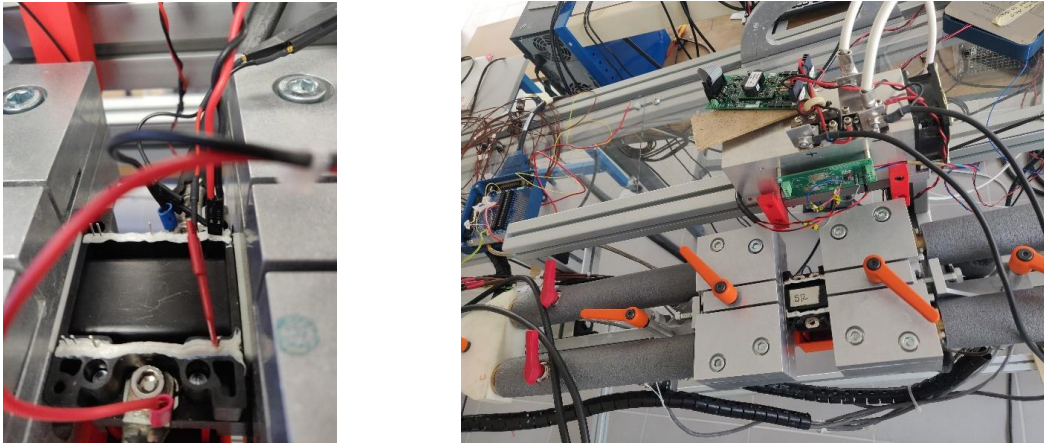


Figure 62. Mise en place du module de puissance SiC à refroidissement double face par liquide sur le banc de caractérisation thermique.

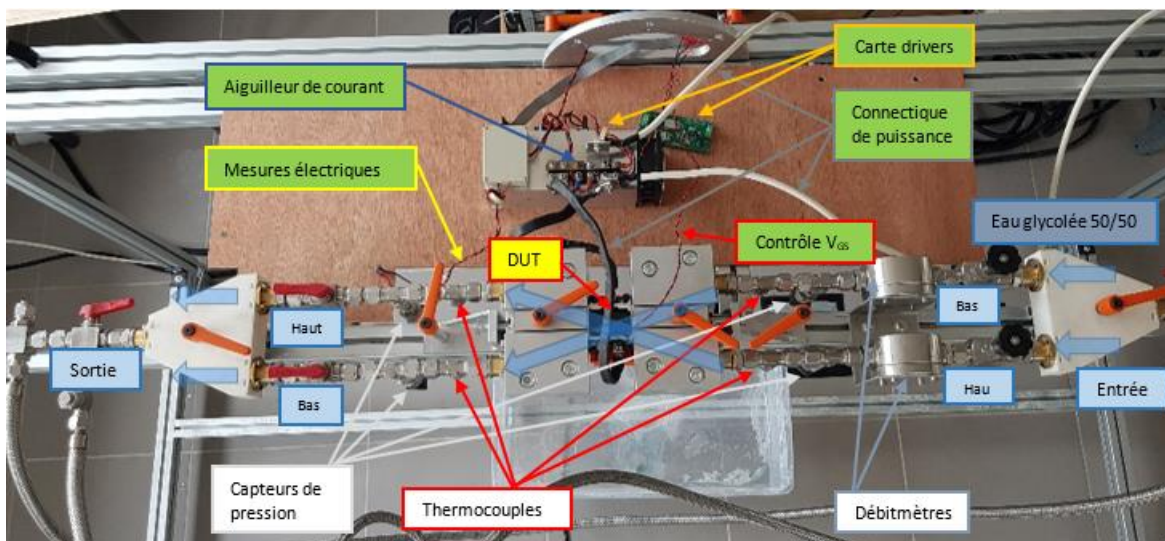


Figure 63. Vue du système hydraulique avec les capteurs (pressions, débits, thermocouples)

III.3.3. Impédance thermique auto-échauffement

La Figure 64 illustre l'impédance thermique jonction-ambiante de deux diodes Schottky High-Side en refroidissement double face (double sided cooling). Les Figure 65a et Figure 65b illustrent les impédances thermiques de deux diodes Schottky en mode refroidissement simple face : simple face arrière (back side cooling) et simple face avant (front side cooling). Ici, il faut rappeler que ces impédances thermiques sont calculées à partir de la température moyenne des deux diodes Schottky mesurées en même temps.

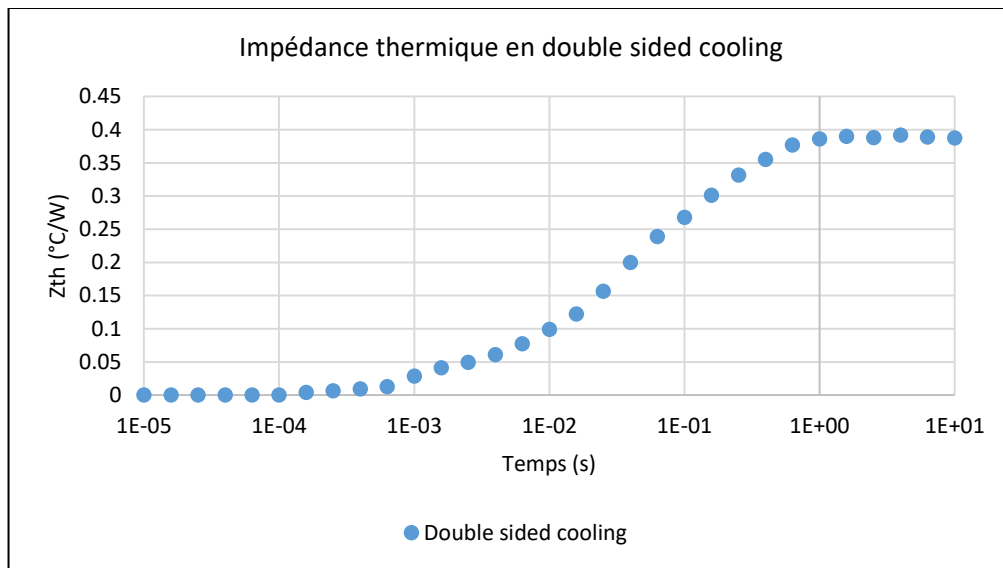


Figure 64. Impédance thermique des diodes Schottky HS en refroidissement double face.

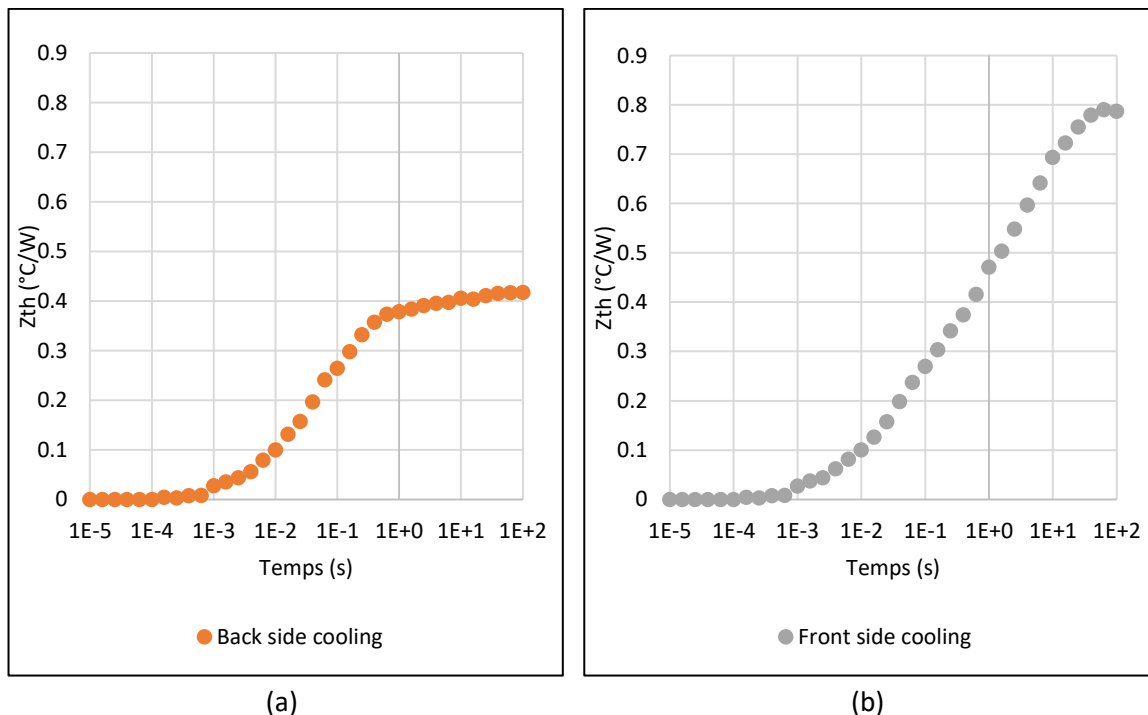


Figure 65. Impédances thermiques des diodes Schottky HS en refroidissement: (a) simple face arrière, (b) simple face avant.

D'abord, nous pouvons constater que la réponse thermique par « double sided cooling » atteint la régime permanent après 1s (voir Figure 64). Toutefois, les impédances thermiques par « back side cooling » et par « front side cooling » n'ont pas atteint la régime permanent même après 100s (voir Figure 65). Les trois impédances thermiques suivent la même courbe de $10\mu\text{s}$ à $0,16\text{s}$. Ensuite, ces trois impédances commencent à diverger progressivement (voir Figure 66).

Nous remarquons que l'impédance thermique par « double sided cooling » et celle par « back side cooling » sont très proche (voir Figure 66). Au contraire, la résistance thermique par « front side cooling » est bien supérieure aux valeurs de résistance « back side cooling » et « double sided cooling » ($0,8\text{K/W}$ vs $0,4\text{K/W}$ à 100s). En conséquence, nous pouvons constater que le refroidissement « front side cooling » n'a quasiment pas d'impact sur le refroidissement « double side cooling » du module.

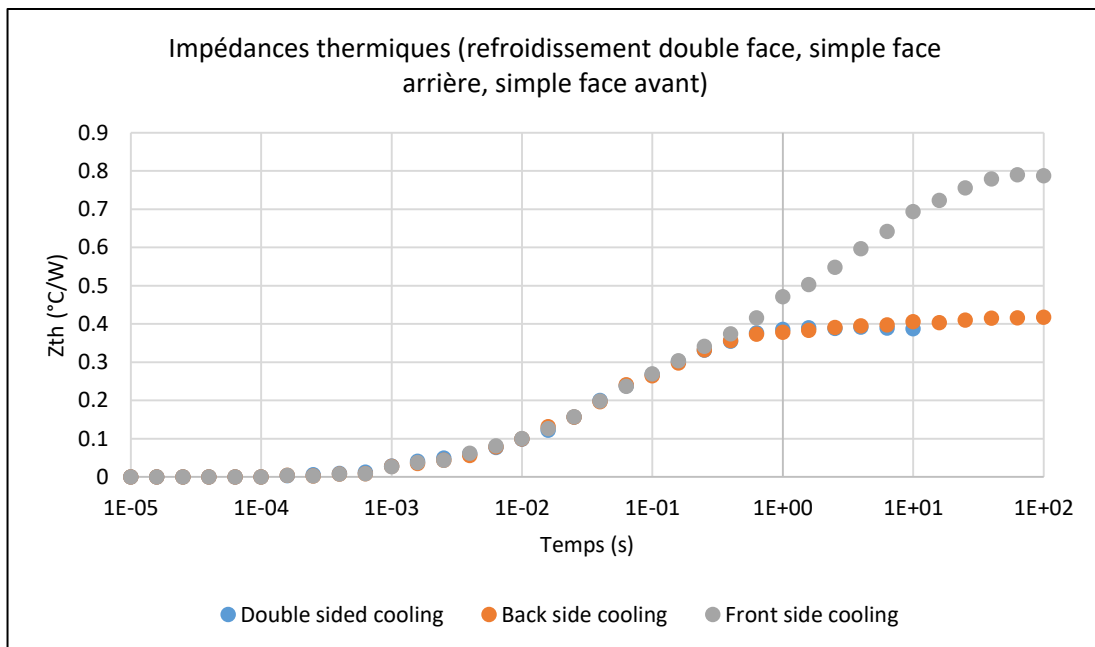


Figure 66. Impédances thermiques de deux diodes Schottky HS sous 3 types de refroidissement.

III.4. PERTINENCE DE PARAMETRES THERMOSENSIBLES

III.4.1. Cas d'un module avec les MOSFETs SiC en parallèle

Dans ce qui suit, nous voulons mesurer la température de jonction d'une puce dans un module de puissance constitué de MOSFETs SiC en parallèle avec les grilles séparées. Comme nous avons accès à chaque grille de chaque puce, nous pouvons piloter indépendamment ces MOSFETs.

La caractéristique $I_F(V_F)$ de la diode structurale d'un MOSFET SiC dépend de la tension de commande V_{GS} (voir Figure 67). La tension de seuil de la diode structurale augmente quand V_{GS} varie de 0V à -5V. Grâce à cette propriété, nous pouvons faire en sorte que le courant de 10mA passe dans la diode structurale d'un MOSFET spécifique en appliquant les bons niveaux de tension sur les grilles des MOSFETs.

Considérons l'interrupteur constitué de 8 MOSFETs SiC en parallèle (voir Figure 68) : le MOSFET 1 est commandé à une tension $V_{GS1} = 0V$ et les 7 autres MOSFETs sont commandés à une tension $V_{GS7} = -5V$. Comme la tension de seuil de diodes structurales des MOSFETs pour la tension $V_{GS7} = -5V$ est grande (environ 2,5V) et la tension de seuil de la diode structurale du MOSFET 1 est petite (environ 0,9V), le courant qui passe dans l'interrupteur passe seulement dans la diode structurale du MOSFET 1.

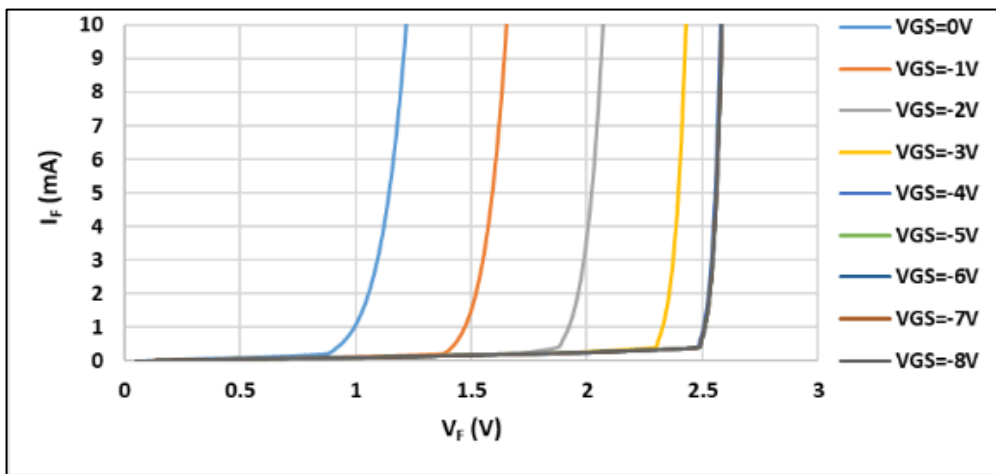


Figure 67. $I_F(V_F)$ de la diode structurale en fonction de la tension V_{GS}

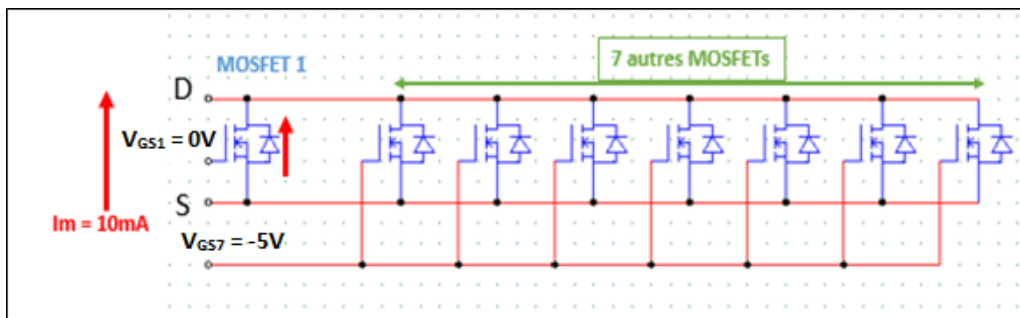


Figure 68. Schéma de pilotage des MOSFETs pour la mesure de la température de jonction d'un seul MOSFET SiC.

Dans ce cas, nous pouvons assurer que le courant I_M de 10mA ne passe que dans le MOSFET 1. Afin d'échauffer cette puce, un courant de puissance I_P de l'ordre de quelques dizaines d'ampères est nécessaire. Pour que ce courant passe uniquement dans la diode structurale du MOSFET 1, sa chute de tension sous courant I_P doit rester inférieure à la tension de seuil des autres diodes structurales des autres MOSFETs. Si la puce 1 est activée en fonctionnement diode ($V_{GS1} = 0V$), ceci ne peut pas être assuré, nous devons alors limiter la chute de tension en activant le canal du MOSFET 1 par l'application d'une tension de commande $V_{GS1} = 20V$ pendant la phase d'échauffement, ce qui fera passer le courant I_P dans le canal avec une chute de tension de l'ordre de 1,5V (pour $I_P = 20A$).

Nous allons maintenant vérifier la validité de l'utilisation de la tension de la diode structurale pour mesurer la température de jonction du MOSFET SiC. A cette fin, et comme illustré sur la Figure 69a, nous suivons la procédure de mesure en trois étapes :

- (1) La tension de commande $V_{GS} = V_{GSM} (0V)$ et un courant de mesure I_M est injecté dans la puce (plus précisément dans la diode structurale).
- (2) La tension de commande $V_{GS} = V_{GSP} (20V)$ et un courant de puissance I_P est injecté dans la puce pour l'échauffer (plus précisément dans le canal dans le sens source-drain).
- (3) La tension de commande $V_{GS} = V_{GSM} (0V)$ et le courant I_P est arrêté, seul courant I_M passe dans la puce (plus précisément dans la diode structurale).

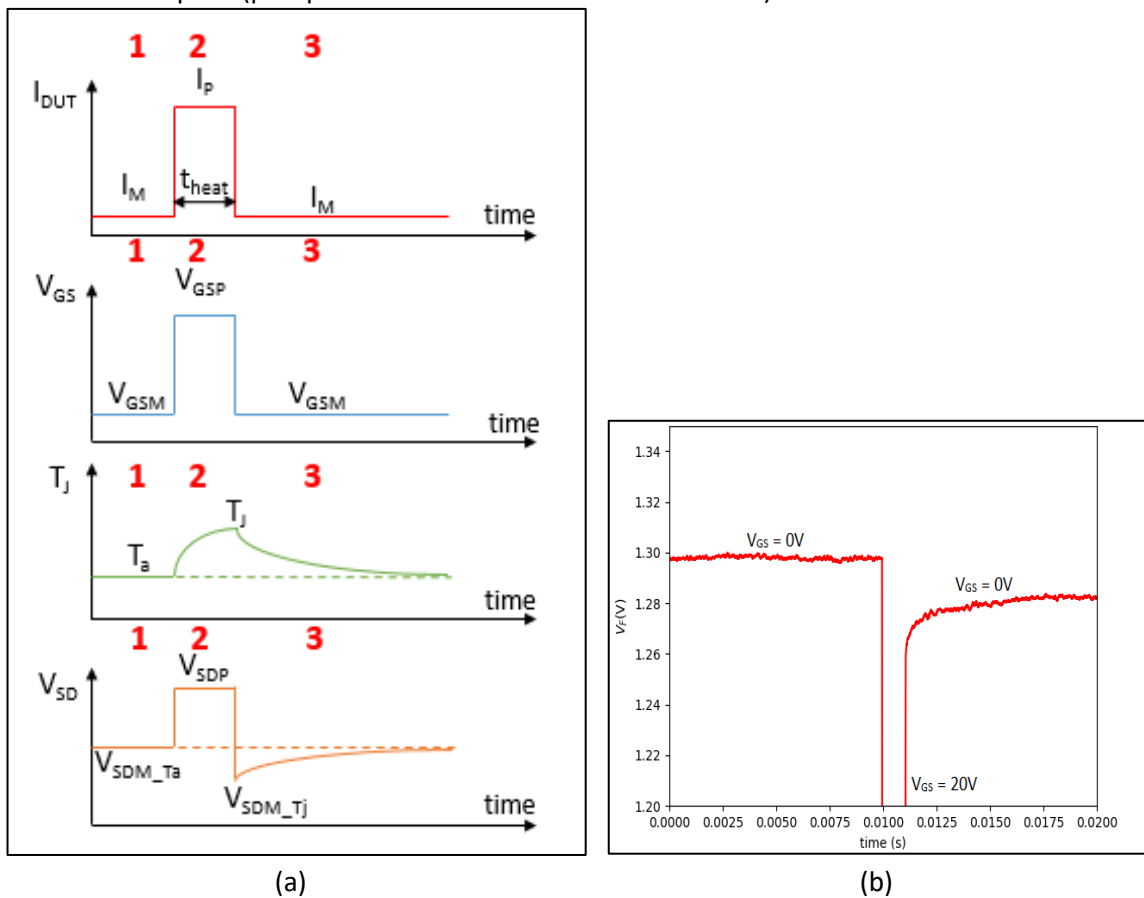


Figure 69. Vérification de la validité du TSEP: (a) procédure de mesure, (b) évolution de la tension V_F lorsque $V_{GS} = 0V/20V/0V$

S'il n'y a pas de puissance dissipée dans le MOSFET, le niveau de tension de la diode structurale doit rester le même dans la phase (1) et la phase (3) puisque celle-ci est l'image de la température de jonction qui n'aura pas été modifiée :

- $V_{GSM} = 0V$ et $V_{GSP} = 20V$: Comme on peut constater sur la Figure 69b, la tension de la diode structurale sous une tension $V_{GS} = 0V$ varie entre les deux phases (1) et (3) même quand il n'y a pas de dissipation de puissance ce qui est inattendu. L'explication de ce phénomène est la suivante: Lorsque le MOSFET est en fonctionnement inverse sous une tension de commande V_{GS} entre $0V$ et $-4V$, le courant de drain est composé de deux courants (voir Figure 70a) : l'un passe par la jonction P-N appelé I_{body} , l'autre passe par le canal du MOS appelé I_{ch} [66]. Quand la tension V_{GS} varie de $0V$ (phase 1) à $20V$ (phase 2) et à $0V$ (phase 3), les charges sont piégées dans l'interface entre la région SiC P- et l'oxyde de grille SiO_2 (voir Figure 70b). Ce phénomène de piégeage de charges influence la partie du courant I_{ch} et donc change le niveau de tension de la diode structurale. Cela signifie que la tension de la diode structurale quand on applique à nouveau $V_{GS} = 0V$ ne peut pas être utilisée pour mesurer la température de jonction.

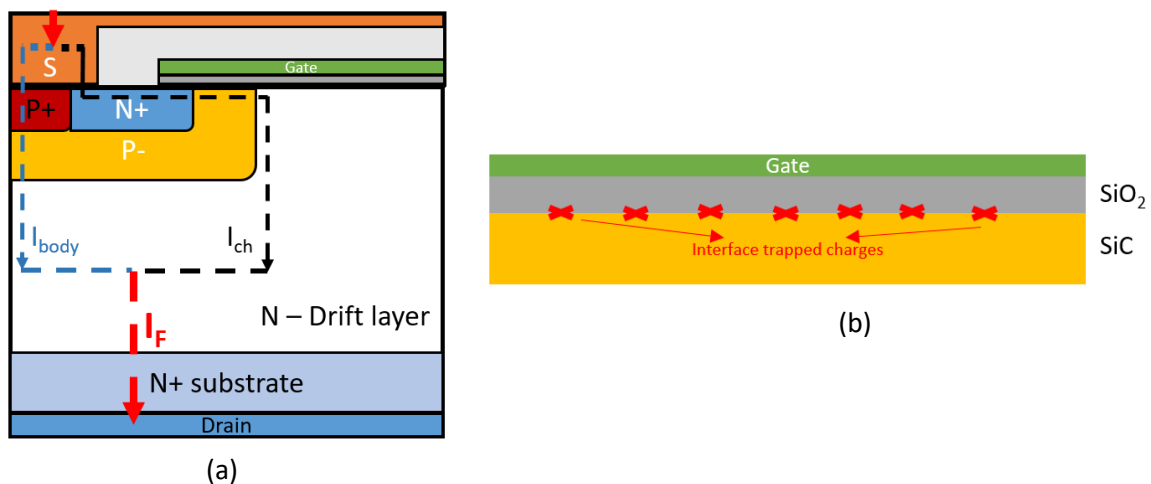


Figure 70. (a) Composition de courants passant le MOSFET en inverse, (b) charges piégées dans l'interface entre deux régions P-well et l'oxyde de grille SiO_2

- Pour confirmer l'explication de ce phénomène, explorons le cas où $V_{GSM} = -5V$ et $V_{GSP} = 20V$: Quand on applique une tension de commande V_{GS} plus négative (de $0V$ à $-5V$), la tension de la diode structurale pour un courant donné est plus grande (voir figure 65). Lorsque la tension de commande est inférieure à $-5V$, la courbe $I_F(V_F)$ ne varie plus (voir Figure 67). Cela signifie que la partie du courant I_{ch} est progressivement éliminée. Comme constaté dans la Figure 71, la tension de la diode structurale sous une tension $V_{GS} = -5V$ ne varie pas entre la phase 1 et la phase 3, c'est-à-dire qu'elle n'est pas influencée par le phénomène de piégeage de charges. La tension de la diode structurale sous une tension de commande $V_{GS} = -5V$ peut donc être utilisée pour mesurer la température de jonction d'un MOSFET isolé. Ceci n'est malheureusement pas possible dans le cas de MOSFETs montés en parallèle comme vu plus haut.

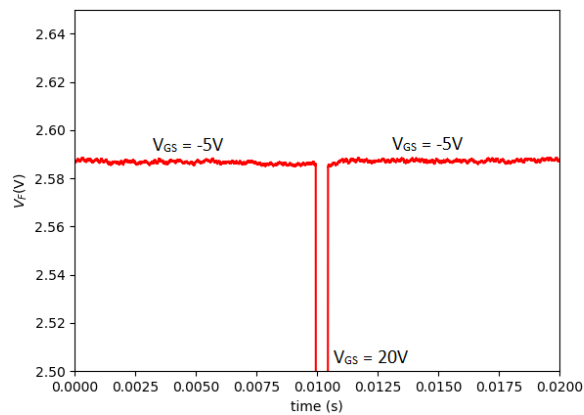


Figure 71. Evolution de la tension V_F lors que $V_{GS} = -5V/20V/-5V$.

III.4.2. Cas d'un MOSFET SiC indépendant

Dans le cas d'un MOSFET SiC seul, nous n'avons pas besoin de faire varier la tension de commande V_{GS} pendant la phase de mesure et la phase d'échauffement. Ici, pour vérifier la pertinence du paramètre thermosensible, une impulsion de courant de 10A et d'une durée de l'ordre de 40 μ s est utilisée pendant la phase d'échauffement. Avec un tel courant modéré et une si courte durée d'échauffement, la température de jonction ne devrait pas augmenter. C'est-à-dire, les tensions de la diode structurale dans la phase 1 et la phase 3 (voir Figure 69a avec $V_{GSM}=V_{GSP}$) doivent être la même. Cependant nous constatons :

- La tension de la diode structurale pour $V_{GS} = 0V$ ne reste pas la même entre la phase 1 et la phase 3 (voir Figure 72a). Cela signifie que la tension de la diode structurale sous $V_{GS} = 0V$ est toujours influencée par le phénomène de piégeage de charge. Cette diode ne peut pas être utilisée pour mesurer la température de jonction si $V_{GS}=0V$.
- La Figure 72b illustre la tension de la diode structurale quand la tension de commande $V_{GS} = -5V$. On peut voir qu'elle reste la même entre la phase 1 et la phase 3. La tension de la diode structurale avec $V_{GS} = -5V$ peut donc être utilisée pour la mesure de la température de jonction.

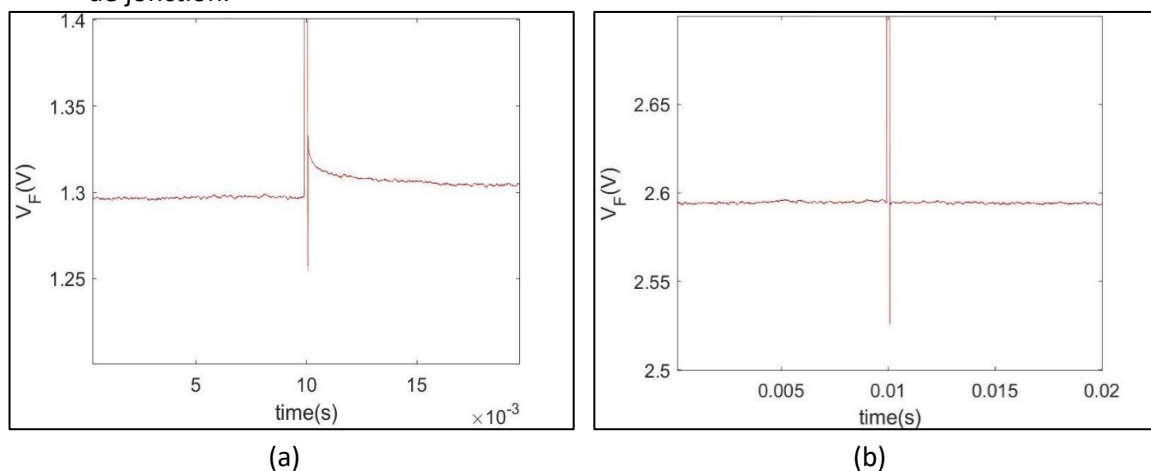


Figure 72. Tension de la diode structurale du MOSFET SiC avec : (a) $V_{GS} = 0V$, (c) $V_{GS} = -5V$.

III.4.3. Conclusion sur les paramètres thermosensibles

Les résultats de vérification de paramètres thermosensibles sont résumés dans le tableau ci-dessous :

- Lorsque $V_{GS} = -5V$ pendant la phase de mesure, la tension de la diode structurale peut être utilisée comme un TSEP dans les deux instants où la tension $V_{GS} = -5V$ même si l'on a besoin de passer par 20V pendant la phase d'échauffement.
- Lorsque $V_{GS} = 0V$ pendant la phase de mesure, la tension de la diode structurale ne peut pas être utilisée comme un TSEP dans les deux cas où la tension $V_{GS} = 0V$ avec un passage à 20V pendant la phase d'échauffement.

V_{GSM} (mesure) \ V_{GSP} (puissance)	-5V	0V	20V
-5V	OK, pas de problème de piégeage.	Aucun intérêt. Non réalisable	OK, pas de problème de piégeage
0V	Aucun intérêt. Non réalisable	Ne marche pas à cause de problèmes de piégeage. La tension dans la phase 3 est supérieure à celle dans la phase 1 (un écart de 20mV à temps court, de 10mV à temps long 10ms après l'arrêt du courant de puissance)	Ne marche pas à cause de problème de piégeage. La tension dans la phase 3 est inférieure à celle dans la phase 1 (un écart d'environ 10mV).

Nous pouvons donc conclure que la méthode de la mesure de la température de jonction proposée ne fonctionne pas sur un module de puissance avec les MOSFETs SiC connectés en parallèle. Dans la suite, nous nous intéressons à l'utilisation d'un module de puissance avec les MOSFETs indépendants (module CULPA) afin de pouvoir mesurer la température de jonction de chaque MOSFET individuellement de façon très fiable.

III.5. CARACTERISATION D'UN MODULE DE PUISSANCE SIMPLE FACE SIC

III.5.1. Descriptions du module

Le module de puissance CULPA (Capacitors Up-Layer Positioning Architecture) utilisé dans cette étude est fabriqué par l'IRT Saint-Exupéry. Ce module est constitué de 6 cellules avec chaque cellule comprenant 2 MOSFETs SiC CREE Wolfspeed CPM2-1200-0080B (voir Figure 73).

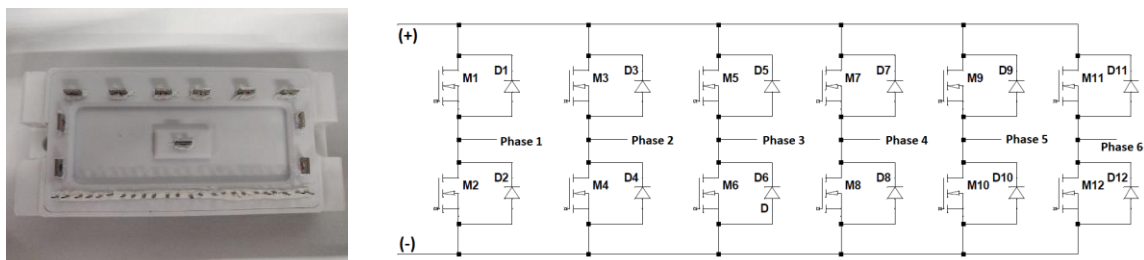


Figure 73. Image du module CULPA et schéma électrique associé

L'intérêt initial de ce module est d'intégrer des condensateurs au plus près des composants actifs et donc de réduire les inductances parasites. Cependant, nous ne présenterons pas ici plus précisément cet intérêt [67]. Comme mentionné dans la partie précédente, le fait que les MOSFETs de ce module ne soient pas connectés en parallèle et que les commandes de grille soient indépendantes permet de mesurer les températures de jonction de puces individuellement.

Les 6 cellules sont intégrées dans deux sous-modules comprenant chacun 3 cellules (voir Figure 75) afin de faciliter le placement des composants et la fabrication du module (voir Figure 74). Les dimensions du package et du module sont :

- Package : $108 \times 47 \times 20 \text{ mm}^3$
- Module : $80 \times 37 \times 3,8 \text{ mm}^3$
- Sous-module : $40 \times 37 \times 3,8 \text{ mm}^3$

Pour chaque sous-module, les 6 puces MOSFET SiC sont brasées sur un DBC (Direct Bonding Copper) qui est constitué d'un substrat céramique et de deux couches de cuivre. Ce DBC est, à son tour, brasé sur une semelle d'aluminium. Quant aux faces supérieures des puces, les connectiques électriques sont réalisées via des fils de câblage comme dans un module classique. Pour le placement des condensateurs, un DBC supplémentaire est utilisé et interconnecté à l'aide de billes en cuivre. Ces billes, brasées en haut et en bas, permettent de réaliser des interconnexions électriques entre le DBC inférieur et le DBC supérieur. Ces billes ne sont pas en contact direct avec les puces. L'utilisation du DBC supérieur permet à la fois d'avoir une structure compacte sans augmentation de superficie, donc de semelle, et aussi de créer deux couches à des températures différentes dont l'une comporte les condensateurs, l'autre les puces.

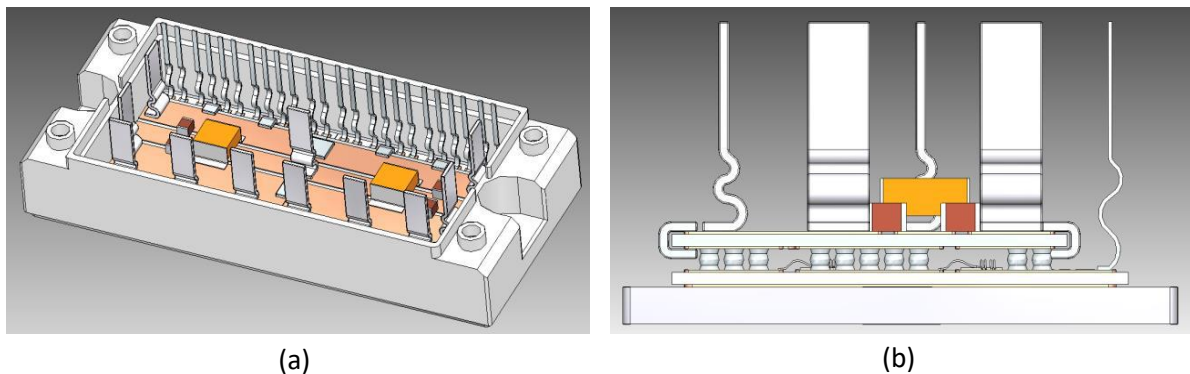


Figure 74. (a) Placement des sous-modules dans le boîtier, (b) Vue de profil l'empilement des composants.

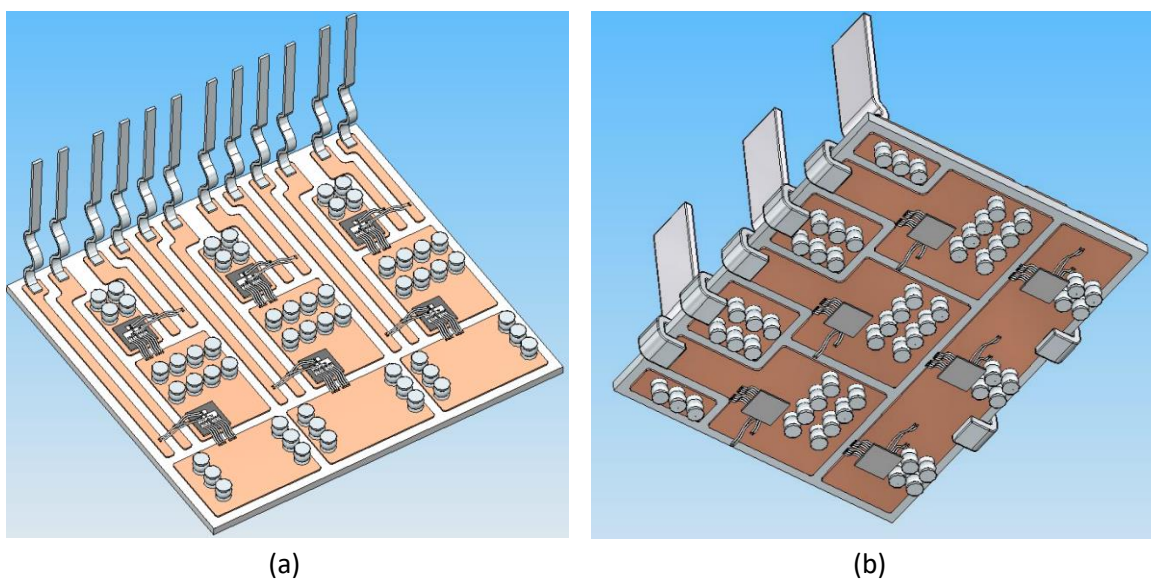


Figure 75. (a) Face avant du DBC inférieur (les puces sont brasées sur ce DBC), (b) Face arrière du DBC supérieur (les puces ne sont pas brasées sur ce DBC)

La grille et la source de chaque puce sont connectées à deux pistes de cuivre via des fils de câblage (voir Figure 75a). Les connectiques de commande qui jouent le rôle d'interface entre les circuits de commande intérieur et extérieur du module, sont ensuite brasées sur les pistes de cuivre de ce DBC inférieur (voir Figure 75a). Les connectiques de puissances sont brasées sur les pistes de cuivre du DBC supérieur, qui sont à leur tour connectées aux terminaisons correspondantes des puces via des connectiques de routage (forme U, voir Figure 75b). Un gel, qui joue le rôle d'une couche diélectrique, est injecté entre deux DBC.

III.5.2. Mise en place de la mesure

La mise en place de la mesure consiste à placer le module dans son environnement de refroidissement et connecter le système de commande, le système de puissance et le système de mesure. Cela permet de contrôler et de mesurer les conditions de fonctionnement puis de les intégrer de façon précise en termes de conditions aux limites dans la simulation. Pour ce fait, nous suivons les étapes suivantes :

- Retouche du module : La semelle du module est rectifiée afin d'assurer sa planéité.
- Intégration du système de refroidissement : Il est constitué d'un dissipateur à ailettes et d'un ventilateur (référence. LV 6 24V). Le fonctionnement de ce ventilateur sera précisé ultérieurement dans la partie 4.3.1 du chapitre 4. Nous avons décidé de réaliser les caractérisations thermiques pour les 6 puces alignées dans la direction de l'écoulement du fluide (3 puces sur chaque sous-module). Le plan mécanique du module a permis de localiser le perçage des six trous alignés dans le dissipateur à la verticale et au centre des puces pour lesquelles sont réalisées les mesures. Après calibration entre 0°C et 90°C, six thermocouples de type T sont insérés à travers les trous réalisés (voir Figure 76b) et le câble de chaque thermocouple est collé pour assurer le maintien pendant les essais. Ces thermocouples permettent de mesurer les températures de boîtier sous chaque puce.
- Montage du module sur le dissipateur : Une couche de graisse thermique (réf. Fischer Elektronik WLPK 10) dont l'épaisseur estimée de l'ordre de 50µm, a alors été étalée sur la surface de la semelle du module. Le module est ensuite posé sur le dissipateur tout en assurant le contact entre les thermocouples et la semelle du module (voir Figure 76c)
- Montage du système de commande : Une carte intermédiaire est connectée aux connectiques de commande et de puissance du module. Une carte mère comprenant les cartes drivers des MOSFETs SiC est posée sur la carte intermédiaire (voir Figure 76c et Figure 76d). La carte mère et les cartes drivers sont alimentées par les alimentations appropriées.
- Montage du système de puissance : Les bornes du module de puissance sont câblées pour l'aiguilleur de courant (voir Figure 76e).
- Montage du système de mesure : Mise en place des sondes de tension et de courant (voir Figure 76e et Figure 76f).
- Finalement, un tube plastique est ajouté en amont du ventilateur afin de garantir l'arrivée d'air frais au niveau du radiateur. Cela permet d'éviter l'impact de l'échauffement du module sur la température de l'air forcé de refroidissement.

Les essais expérimentaux sont ensuite réalisés afin de mesurer les impédances thermiques d'auto-échauffement des puces et les impédances thermiques mutuelles entre les puces. Les conditions de test sont :

- Puissance dissipée (environ 40W) : valeur mesurée dans chaque expérience
- Température de l'environnement (environ 22-25°C) : valeur mesurée dans chaque expérience

La température de jonction T_j est mesurée par le paramètre électrique thermosensible. La température de boîtier T_c est mesurée par les thermocouples installés précédemment. La

température ambiante T_a est la température de l'air en amont du ventilateur lors du démarrage des tests.

Par définition :

- $Z_{thja\ mm}$ est l'impédance thermique d'auto-échauffement jonction-ambiante du MOSFET m.
- $Z_{thjc\ mm}$ est l'impédance thermique d'auto-échauffement jonction-boîtier du MOSFET m.
- $Z_{thja\ mn}$ est l'impédance thermique mutuelle jonction-ambiante du MOSFET n lorsque le MOSFET m est activé.

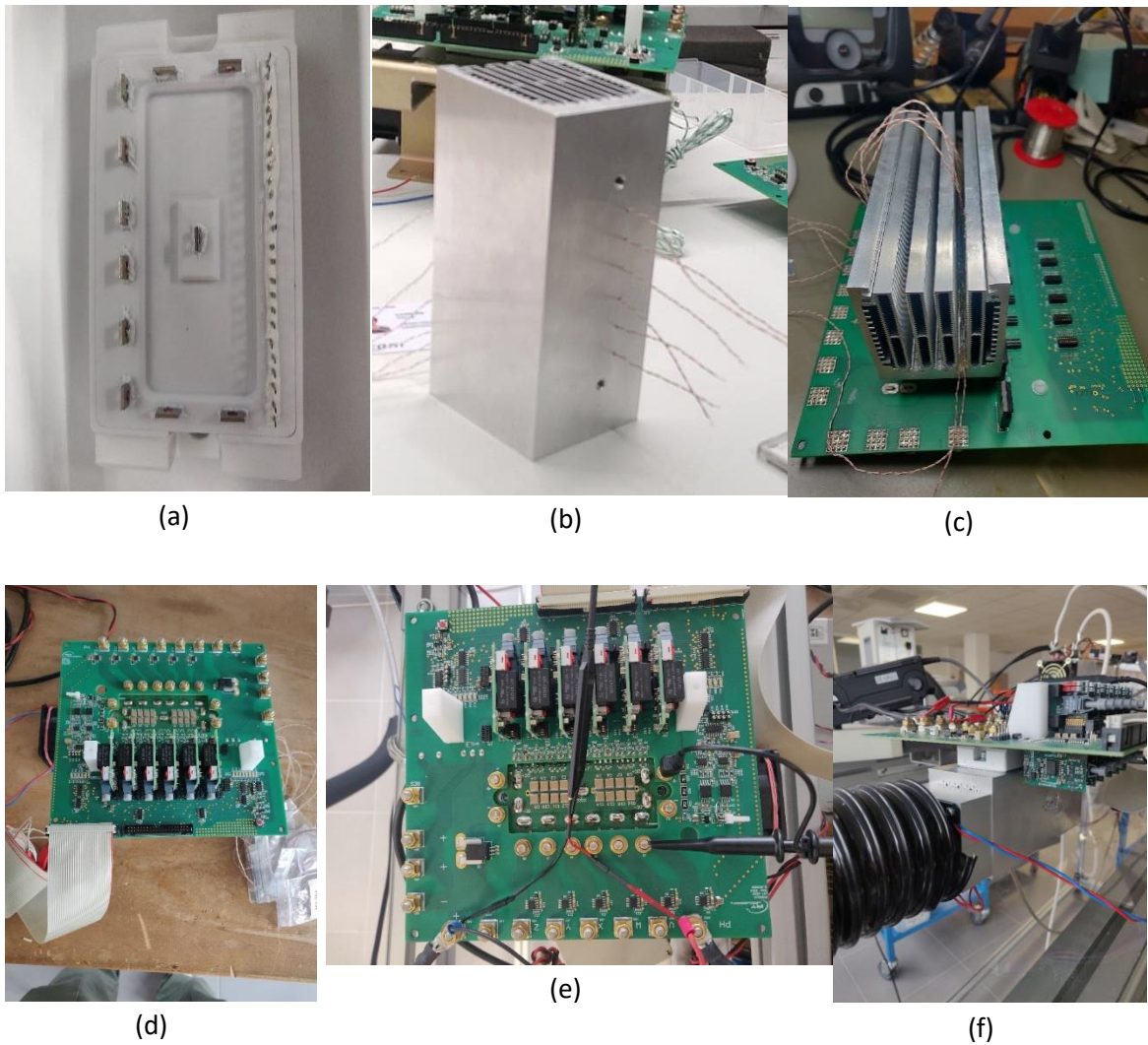


Figure 76. Montage du module de puissance CULPA sur le banc de caractérisation thermique.

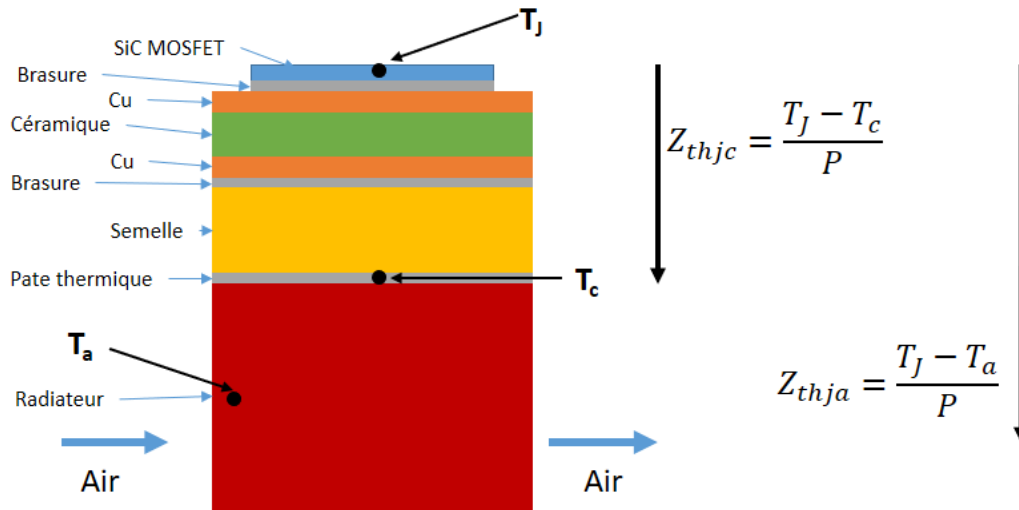


Figure 77. Schéma des couches du montage du module CULPA

III.5.3. Utilisation d'un banc de mesure commercial

Dans cette partie, nous présentons les mesures de l'impédance thermique du module en utilisant un banc de mesure commercial (référence. MICRED Industrial T3STER). Ce banc de mesure utilise la méthode par refroidissement (mentionnée au chapitre 2) pour mesurer les impédances thermiques. Concrètement, le composant est échauffé par l'injection d'un courant jusqu'à l'équilibre thermique. Le composant est refroidi et sa température de jonction est mesurée au cours du refroidissement. L'utilisation de deux méthodes différentes permet de faire une comparaison entre les mesures réalisées par la méthode par échauffement et la méthode par refroidissement.

Le banc de mesure est constitué d'un système électrique et d'un système de refroidissement. Le système électrique fournit le courant de mesure (10mA), le courant de puissance et le signal de commande des composants (voir Figure 78a). Le système de refroidissement par liquide est constitué d'un cryostat et de deux plaques froides pour permettre de tester deux modules de puissance à la fois (voir Figure 78b). Des alimentations de tension sont utilisées pour la carte mère et les cartes drivers du module. L'ensemble module, ventilateur-dissipateur et cartes de commande est posé sur une plaque froide. Les thermocouples sont connectés à un lecteur externe afin de récupérer la température du boîtier sous les puces. La Figure 78d illustre un test en cours (le capot est fermé pour la protection du manipulateur).

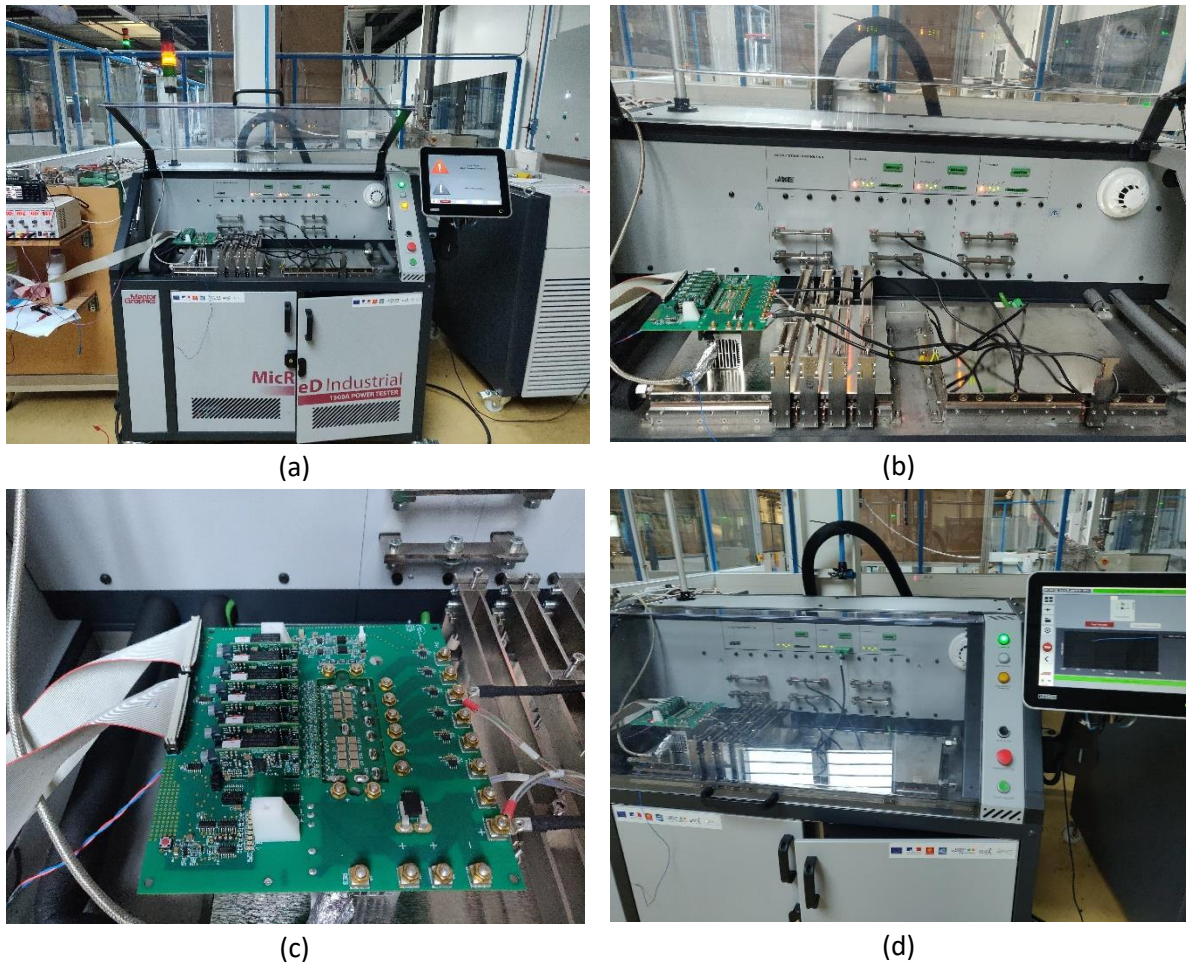


Figure 78. (a) Banc de mesure de l'impédance thermique MICRED, (b)(c) Montage du module sur le banc, (d) Vue globale pour un test en cours.

III.5.4. Impédances thermiques d'auto-échauffement

La Figure 79 illustre les impédances thermiques du MOSFET 2 mesurées par deux méthodes : par échauffement (courbe bleue discrète) et par refroidissement (courbe orange continue). Nous constatons que ces deux méthodes donnent la même courbe d'impédance thermique. L'impédance thermique commence à augmenter à partir de $100\mu\text{s}$. Elle augmente rapidement entre $100\mu\text{s}$ (très faible, proche de 0 K/W) et 1s ($1,36\text{ K/W}$). Ensuite l'impédance thermique augmente lentement jusqu'à 1000s ($1,6\text{K/W}$) et elle continue à augmenter même après 1000s . Cela signifie que l'équilibre thermique n'est pas atteint à 1000s d'échauffement. Ceci pourrait être expliqué par la taille et la masse importante du dissipateur. En effet, avec une masse qui est relativement plus importante que celle du module, le dissipateur a une capacité thermique très grande ce qui demande une constante de temps très longue pour arriver au régime permanent. Pour valider ce point, la constante de temps du radiateur a été estimée en utilisant la formule relative aux corps minces (formule valide pour les corps de température homogène) :

$$\tau = \frac{m \times C_p}{h \times S} = \frac{0,93kg \times 900J/kgK}{600 \times 0,047 \times 0,108} = 274,8 s \tag{14}$$

Avec :

$m = 0,93kg$: la masse du dissipateur

$C_p = 900J/kgK$: la capacité thermique du matériau du dissipateur (Aluminium)

$h = 600W/mK$: le coefficient de convection équivalente

S : la surface du package de taille $47mm \times 108mm$ (mentionnée en III.3.1)

A partir de cette constante de temps, on peut alors calculer le temps de réponse $t_{permanent}$ pour atteindre le régime permanent (99,3% de la valeur du régime permanent) qui est cohérent avec la valeur expérimentale :

$$t_{permanent} = 5\tau = 5 \times 274,8 s = 1374s \tag{15}$$

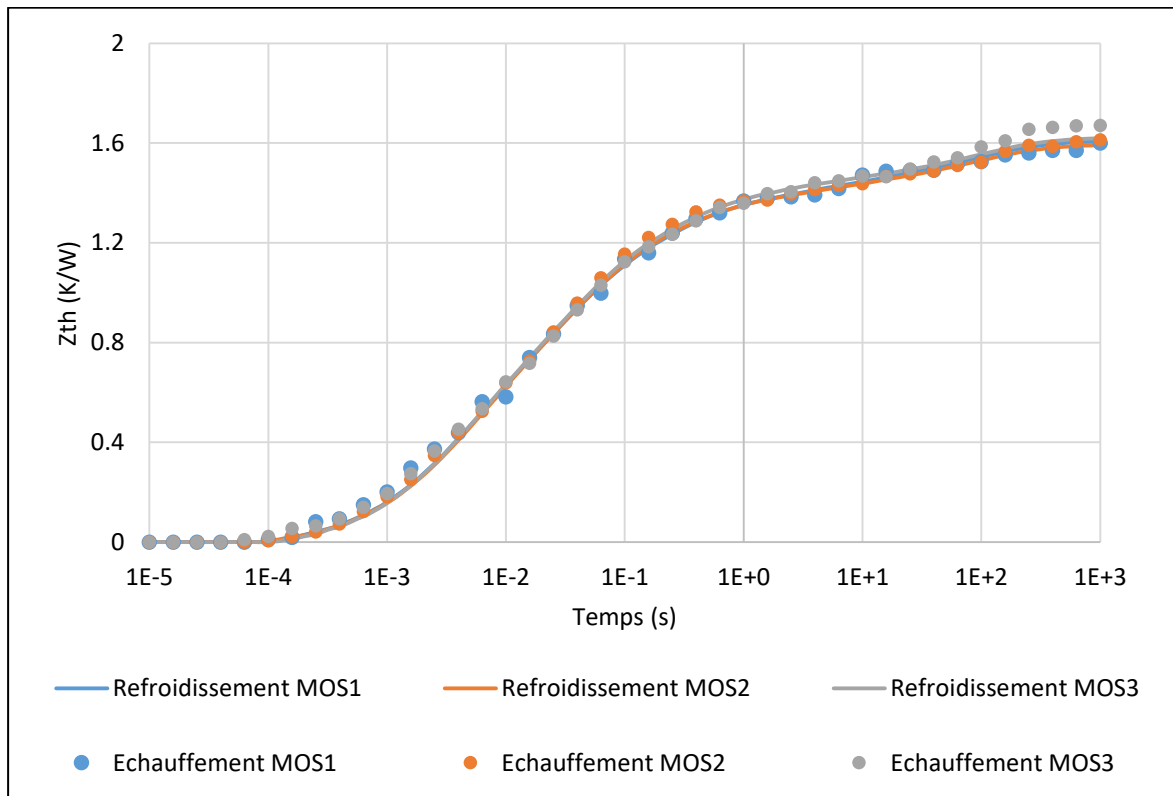


Figure 79. Impédance thermique d'auto-échauffement jonction-ambiante Z_{thja} des MOSFET 1, MOSFET 2, MOSFET 3

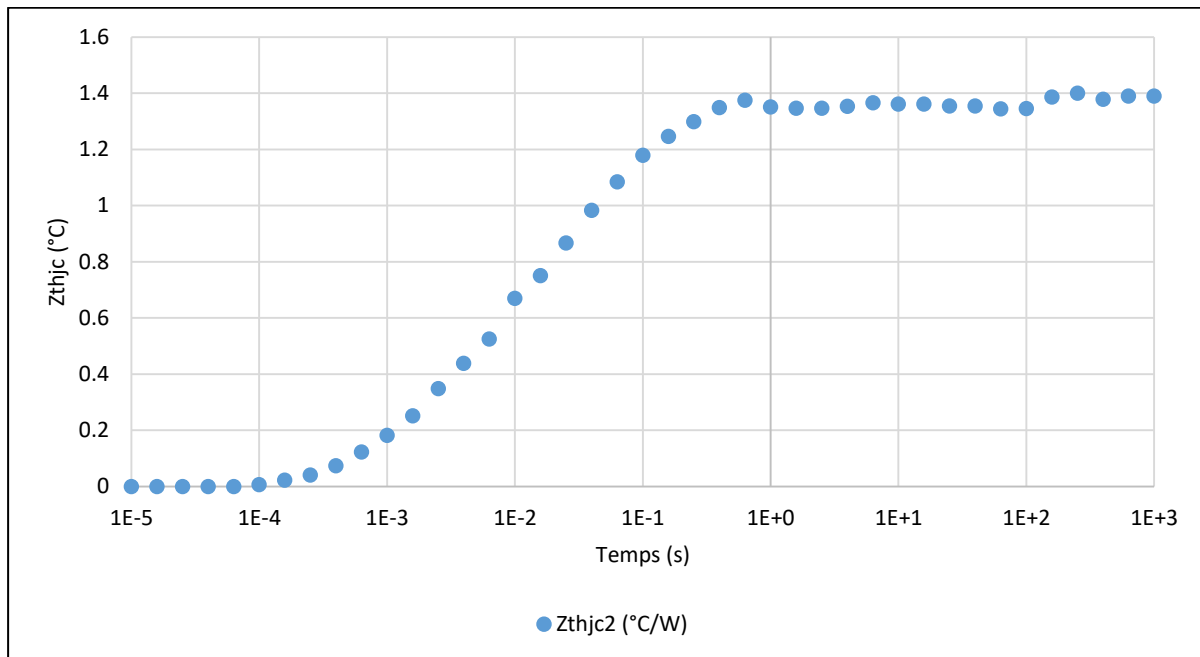


Figure 80. Impédance thermique d'auto-échauffement jonction-boitier Z_{thjc} du MOSFET 2

La Figure 80 illustre l'impédance thermique d'auto-échauffement jonction-boitier Z_{thjc} du MOSFET 2. Cette impédance est calculée comme montré dans la Figure 77 avec T_J la température de jonction mesurée par TSEP et T_c la température du boitier mesurée par le thermocouple implémenté entre l'interface semelle/dissipateur, à la verticale et au centre du MOSFET 2. Nous remarquons que l'impédance thermique jonction-case Z_{thjc22} atteint le régime permanent après un temps d'échauffement d'environ 1 seconde.

Nous avons trouvé (cf. Figure 79) que les impédances thermiques mesurées par les deux méthodes (échauffement et refroidissement) sont les mêmes. Cependant, dans [57], l'impédance thermique mesurée par la technique en échauffement est plus élevée que celle mesurée par la technique en refroidissement. L'explication avancée par [57] consiste à dire que l'effet de la présence des vides, qui concentre le flux thermique en certaines zones, n'agit pas de la même manière lorsqu'on est en phase d'échauffement ou de refroidissement.

Afin d'étudier l'effet de la présence des vides sur l'extraction de l'impédance thermique à partir des deux techniques, nous avons réalisé deux simulations thermiques avec une dissipation de puissance constante de 40W dans la puce : sans vides (voir Figure 81a) et avec vides dans la brasure face arrière puce (qui couvre 30% de la surface de la puce, voir Figure 81b). La Figure 81c et la Figure 81d illustrent, pour les deux cas, l'évolution de la température de jonction quand la puce est échauffée pendant 1200s jusqu'au régime permanent et refroidie par la suite.

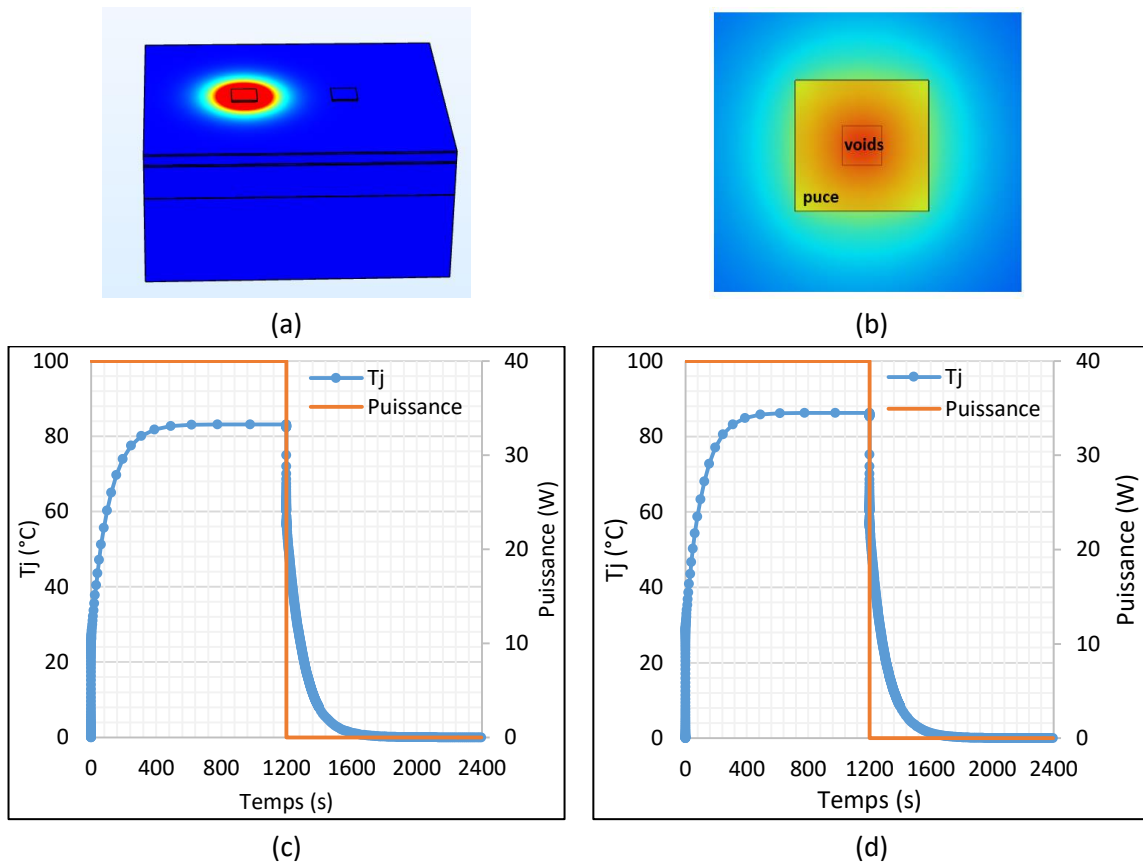


Figure 81. Evolution de la température de jonction obtenue par simulation thermique :
 (a) champ de température surfacique pour brasure parfaite (b) champ de température pour brasure avec voids (c) Evolution de la température moyenne de la puce dans le cas (a), (d) Evolution de la température moyenne de la puce dans le cas (b)

A partir de l'évolution de la température moyenne de la puce, nous avons extrait l'impédance thermique comme suit :

$$Z_{th_échauffement} = \frac{T_{échauffement}(t) - T_{ref}}{P_{dissipée}}$$

$$Z_{th_refroidissement} = \frac{T_{permanente} - T_{refroidissement}(t)}{P_{dissipé}}$$

La Figure 82 montre que les impédances thermiques en échauffement et en refroidissement sont superposées. Avec un modèle purement thermique (puissance constante), il n'y a donc aucune influence de la présence des voids sur les courbes d'impédance thermique obtenues par réchauffement ou refroidissement.

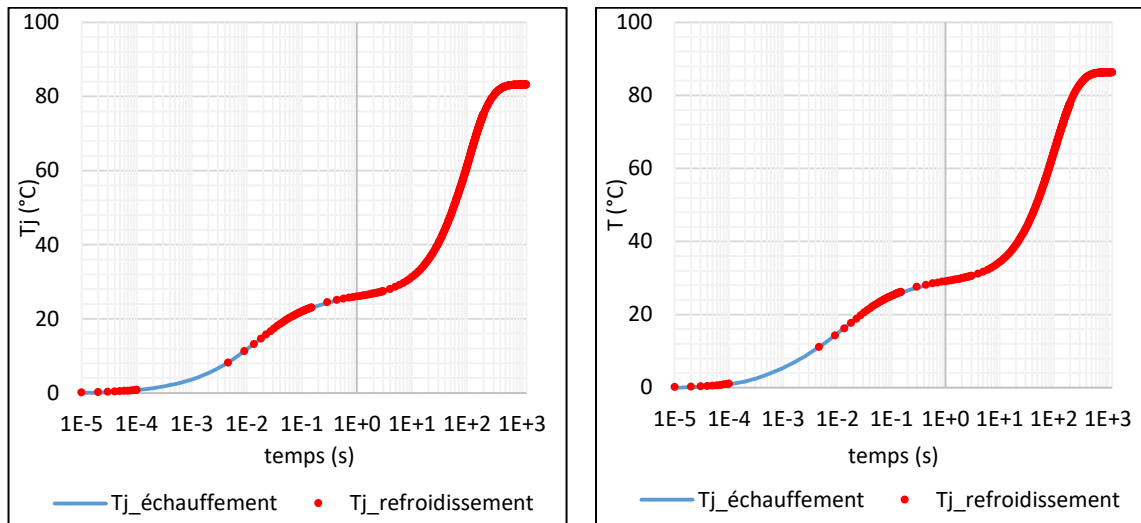


Figure 82. Impédances thermiques extraites par deux méthodes en échauffement et en refroidissement (a) sans voids, (b) avec voids

L'une des hypothèses qui pourrait expliquer la différence entre nos résultats obtenus expérimentalement sans aucun écart entre les courbes et ceux trouvés dans [57] pourrait être la suivante :

- Dans [57], les essais ont été réalisés sur les diodes Si. La dissipation de puissance dans la puce est volumique et donc la source de chaleur est en contact avec les voids face arrière puce.
- Dans nos travaux, les essais ont été réalisés sur les MOSFETs SiC dont la dissipation de puissance est plutôt surfacique ($10\mu\text{m}$ près de la métallisation de la source du MOSFET). La source de chaleur n'est donc pas en contact direct avec les voids face arrière puce.
- La présence de voids pourrait modifier beaucoup plus la répartition du courant et donc la puissance dissipée dans le cas des diodes Si que dans celui des MOSFETs SiC. De plus, le phénomène étant électrothermique, ces écarts peuvent être accentués.

III.5.5. Impédances thermiques mutuelles

La Figure 83 illustre l'impédance thermique mutuelle Z_{th21} du MOSFET 1 lorsque le MOSFET 2 est activé. Nous constatons que l'impédance thermique Z_{th21} et donc la température du MOSFET 1 reste toujours quasiment nulle quand le temps d'échauffement du MOSFET 2 est inférieur à 1s. Cela signifie que le front chaleur arrive au MOSFET 1 après environ 1 seconde ce qui correspond au temps de transit thermique entre les deux MOSFETs. Nous discuterons de cela au chapitre 4. La valeur de l'impédance thermique mutuelle Z_{th21} à 1000s est environ 17% de l'impédance thermique d'auto-échauffement Z_{thja22} (0,273K/W vs 1,59K/W).

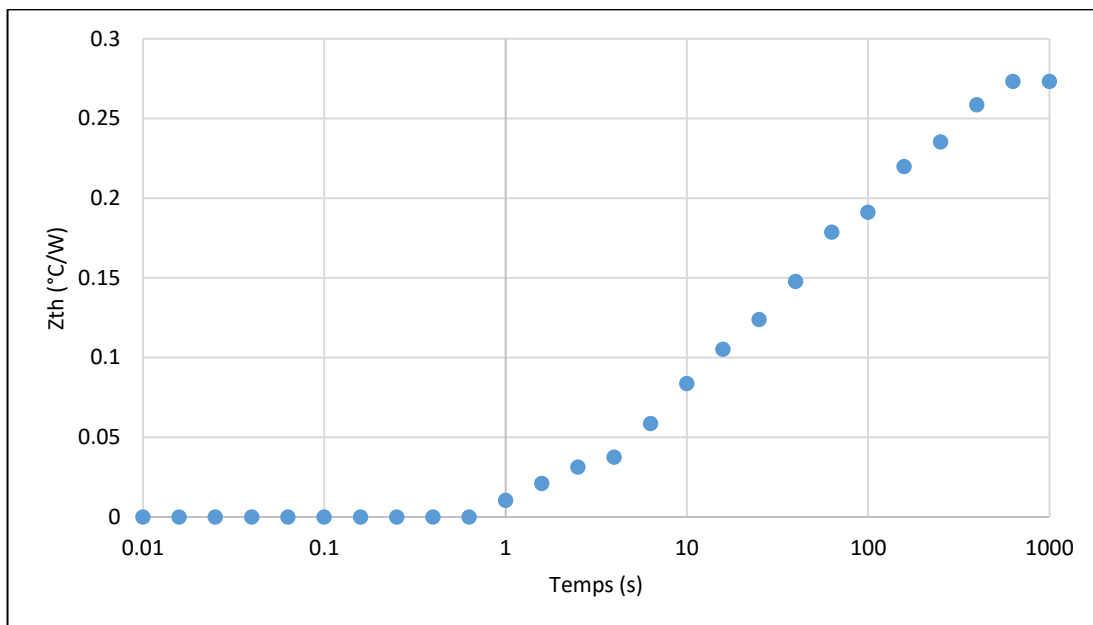


Figure 83. Impédance thermique mutuelle Z_{thja21} (MOS2 : activé, MOS1 : désactivé)

III.6. CONCLUSION

Dans ce chapitre, nous avons montré que le banc de test thermique nous a permis d'extraire les impédances thermiques d'auto-échauffement et de couplages entre puces de modules de puissance SiC. Une comparaison avec les résultats obtenus en utilisant un banc commercial basé sur une autre méthode a conforté la validation du banc développé.

Ce banc pourra être utilisé pour d'autres types de composants grands gaps (GaN), d'autres types de packaging (puces enterrées dans les PCBs) et d'autres types de refroidissement (diphasique).

L'obtention des impédances thermiques transitoires rend possible une comparaison aisée entre différentes configurations de refroidissement. Ceci a été montré dans ce chapitre.

IV. LOCALISATION DES DEFAUTS DANS LES MODULES

IV.1. INTRODUCTION

Dans ce chapitre, nous montrons comment la comparaison entre les impédances thermiques mesurées et celles issues de la simulation nous a conduit à découvrir, identifier et à localiser des défauts présents dans le module.

Les simulations thermiques sont effectuées par l'ICAM à l'aide du logiciel de thermique-électronique 6SigmaET. Cet outil permet de traiter des problématiques de forts facteurs géométriques et temporel : jusqu'à 10^6 dans les 2 cas.

La comparaison entre ces deux démarches a révélé l'apparition d'écarts entre les courbes d'impédances thermiques transitoires à partir d'un certain instant. Les paramètres du modèle ont été modifiés à plusieurs reprises afin de diminuer ces écarts, en se faisant guider par la notion de temps de transit thermique.

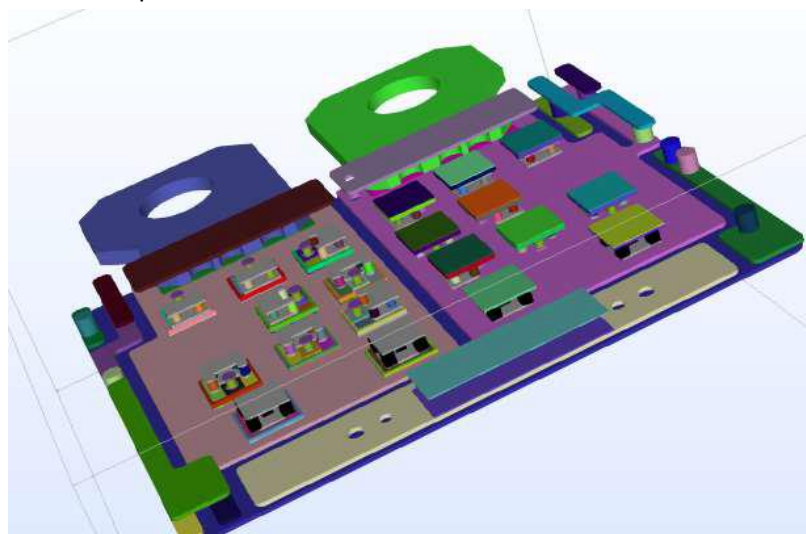
Cette méthodologie, qui utilise les impédances thermiques mesurées et simulées, a d'abord permis d'identifier et de localiser les défauts présents dans les modules de puissance Si fabriqués par la société aPSI3D. Cependant, dans le cadre de ce manuscrit, nous ne présentons pas ces résultats.

Par la suite, les résultats présentés sont ceux appliqués sur le module de puissance SiC double face et le module de puissance SiC à refroidissement simple.

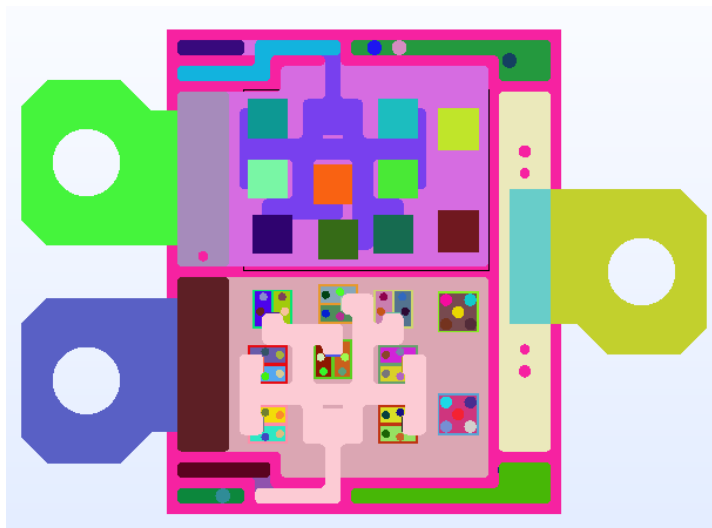
IV.2. MODULE DOUBLE FACE

IV.2.1. Simulation thermique 3D

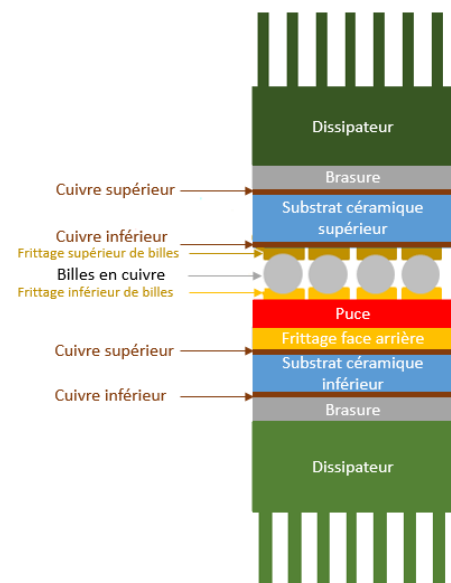
La CAO du module TRIBOX, fournie par le fabricant du module, est importée dans le logiciel de simulation 6SigmaET. La Figure 84a illustre une vue globale de l'intérieur du module. La Figure 84b représente la répartition des puces sur les deux côtés (High Side et Low Side) du module. La Figure 84c est une représentation en coupe des couches du module.



(a)



(b)



(c)

Figure 84. CAO du module SiC : (a) vue en perspective (b) détail des positions des puces, (c) représentation en coupe des couches

Le maillage du module TRIBOX est réalisé en deux étapes. Un premier maillage principal sert à mailler l'ensemble du module. Ensuite, chaque pièce se voit attribuer un maillage spécifique qui est plus approprié à sa géométrie. Les maillages utilisés sont de type non-structurés avec un nombre de maille de 29 millions afin d'être le plus précis possible en respectant la géométrie de chaque élément du modèle.

Une fois toutes ces étapes réalisées, les matériaux correspondant à chaque composant sont affectés : la masse volumique, la conductivité thermique et la capacité thermique (voir Tableau 8). La zone de dissipation de la diode Schottky est volumique et est présente dans tout le volume de celle-ci.

Tableau 8. Caractéristiques des matériaux du module TRIBOX SiC

Éléments	Matériau	λ (W/mK)	ρ (kg/m ³)	Cp (J/kg.K)
Métallisation puces (MOSFET et Diode)	Aluminium Pur	220	2710	896
Puces (MOSFET et Diode)	4H-SiC	$\lambda = f(T)$	3200	680
Frittage face arrière des puces Frittage bille MOSFET Frittage bille Diode	Argent poreux	100	10500	232
bille1 bille 1.175 (diodeST)	Cuivre pur	386	8950	380
Cuivre AMB	Cuivre Pur	386	8950	380
Vernis piste AMB	Epoxy	0,2	2000	1005
Céramique substrat	Si ₃ N ₄	64	3240	700
Brasure du radiateur	Sac 305	64	7400	230
Résine MOSFET	Résine JNC	0,2	1150	1005
Underfill	Gel	0,7	1600	3000
Radiateur	Cuivre Pur	386	8950	380
Boiter plastique	Ultem 2300	0,13	1510	1260

IV.2.2. Comparaison entre les mesures et la simulation

La Figure 85 illustre la comparaison entre les impédances thermiques issues de mesures et celles issues de simulations.

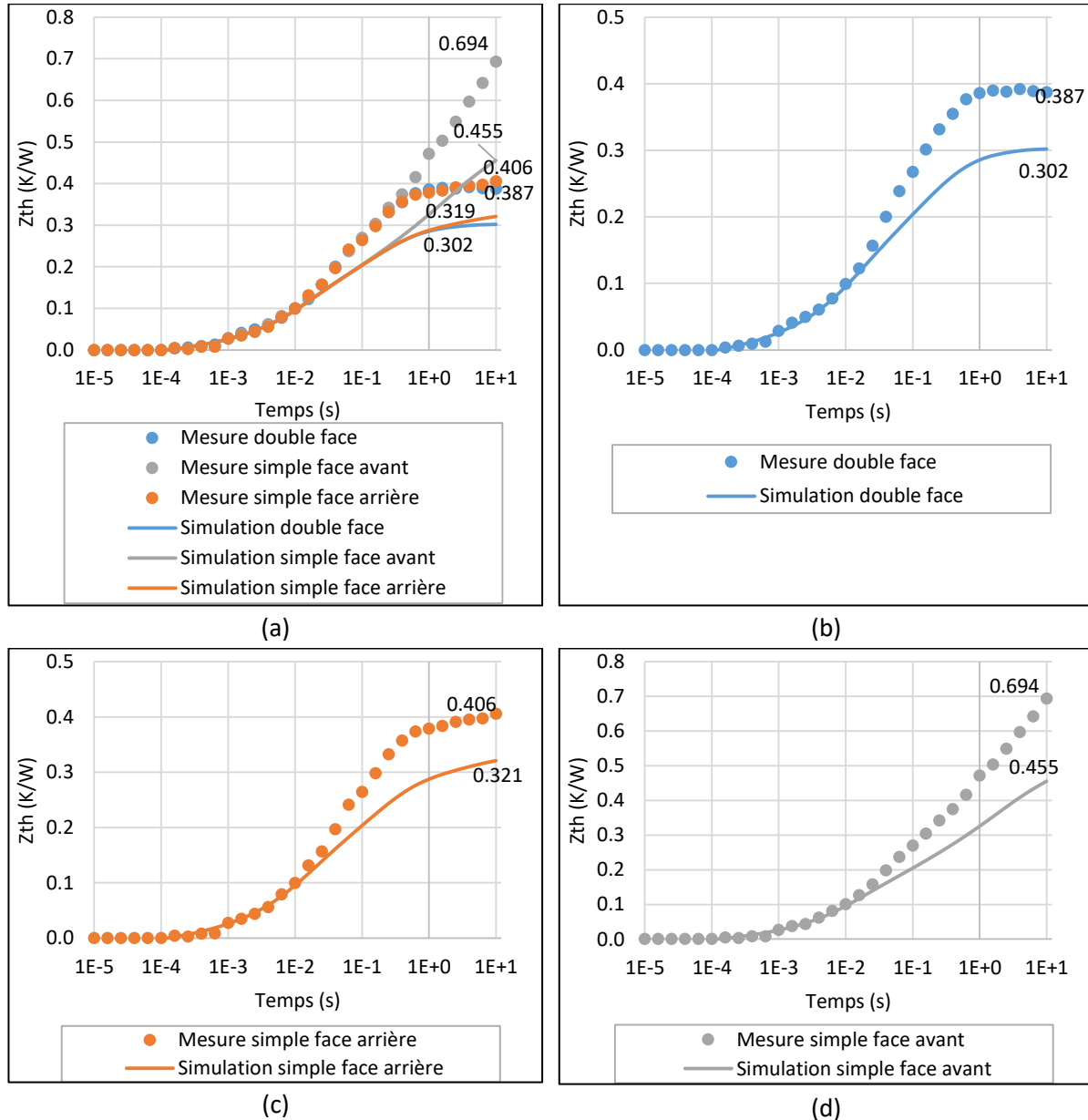


Figure 85. Comparaison essais/simulation de Z_{TH} des diodes HS du module : (a) Trois types de refroidissement, (b) Refroidissement double face, (c) refroidissement simple face arrière, (d) refroidissement simple face avant

D'abord, nous remarquons qu'il existe bien un écart entre les résultats issus de mesures et ceux issus de simulations. Dans les trois types de refroidissement, quand le temps d'échauffement est entre $100\mu\text{s}$ et 25ms , les impédances thermiques mesurées et simulées sont bien en accord. Cela signifie que pour les interfaces proches de la puce, la CAO est bien représentative du module fabriqué. Par contre, lorsque le temps d'échauffement est supérieur de 25ms , ces impédances thermiques

commencent à diverger progressivement. Elles ont un écart important à 10s (refroidissement double face : 28%, refroidissement simple face arrière : 27%, et refroidissement simple face avant : 53%).

Après avoir validé les mesures expérimentales et les paramètres du modèle thermique, nous nous sommes posé des questions sur la représentativité de la CAO par rapport aux écarts éventuels apportés à la fabrication :

- Forme, épaisseur, conductivité et porosité de frittages
- Forme, rugosité, irrégularité et matériau des billes
- Planéité des substrats céramiques et distance entre eux
- « Voids » (bulles d'air) et délaminations couche par couche

Dans ce qui suit, nous présentons la méthodologie que nous avons utilisée afin de localiser ces défauts dans le package.

IV.2.3. Localisation des défauts

Plusieurs capteurs de température sont insérés au milieu des couches et au centre de la puce dans le modèle 6sigmaET. Ceux-ci permettent de relever la température des points qui sont situés dans le chemin de la propagation vertical de la chaleur : De la puce vers le radiateur. Afin de visualiser les temps de transit du front de chaleur à travers des couches différentes, nous avons représenté les impédances thermiques de chaque couche en échelle double logarithmique (voir Figure 86).

La température de jonction commence à augmenter après 100 μ s. Ensuite, le front de chaleur arrive à des couches proches de la puce : frittage inférieur des billes (voir Figure 84c) et frittage face arrière (entre 100 μ s et 200 μ s). La chaleur continue de se propager et arrive progressivement à des couches loin de la puce : frittage supérieur des billes, substrat bas, substrat haut et enfin aux radiateurs.

Nous remarquons qu'un écart d'environ 0,01 K/W à 25ms correspond à des couches : frittage supérieur des billes et substrat bas. Cela signifie que les défauts sont situés probablement entre ces deux couches.

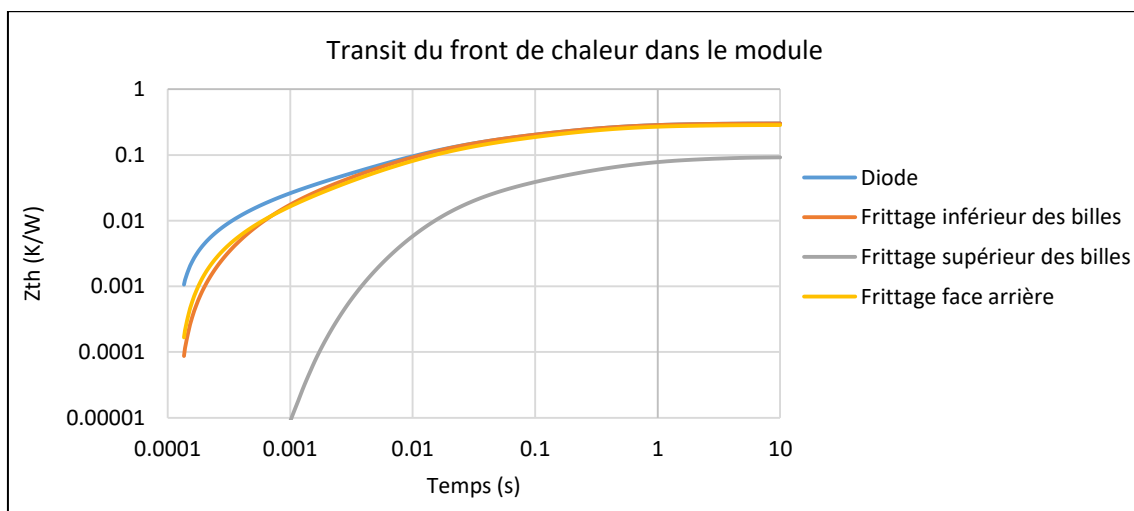


Figure 86. Propagation du front de chaleur dans le module TRIBOX SiC

IV.2.4. Modélisation des défauts

Chronologiquement, nous avons d'abord identifié et localisé les défauts dans le module TRIBOX Silicium. Suite à l'analyse du déplacement du front de chaleur dans les couches du module, le point de divergence a été détecté dans la zone qui se situe entre les billes et le substrat supérieur, donc globalement autour du frittage supérieur des billes. Nous avons décidé de représenter les défauts en dégradant la performance thermique de ce frittage. Après plusieurs itérations nous avons modifié la conductivité du frittage de 100W/m.K à 1W/m.K dans les simulations suivantes afin de mieux correspondre à la réalité. Les écarts entre les résultats issus de mesures et ceux issus de simulations sont nettement diminués après la prise en compte des défauts au niveau du frittage supérieur des billes (voir l'annexe). Ensuite, grâce à une observation détaillée (voir Figure 87) sur la zone désignée, nous avons pu déceler une délamination entre le cuivre bas du substrat et la céramique du substrat. Toutes ces études ont été réalisées sur un module TRIBOX Si.

Pour le module TRIBOX SiC, nous avons observé les mêmes types d'écarts entre les résultats issus de mesures et ceux issus de simulations. Logiquement, nous avons mis en cause la qualité des substrats AMB utilisés également dans le module TRIBOX SiC. Cette fois-ci, nous avons donc simulé cette délamination partielle du module en abaissant de façon symétrique la conductivité des couches de cuivre supérieures des 2 substrats (haut et bas). Les couches de cuivre supérieures sont au plus près des billes, signalés par des flèches bleues sur la Figure 87. Après plusieurs itérations sur les valeurs de conductivité, nous avons modifié finalement la conductivité des couches de cuivre supérieures de 386 W/m.K à 30 W/m.K dans les simulations afin de retrouver les même résultats que les essais. Nous pouvons voir les résultats présentés dans la partie suivante.

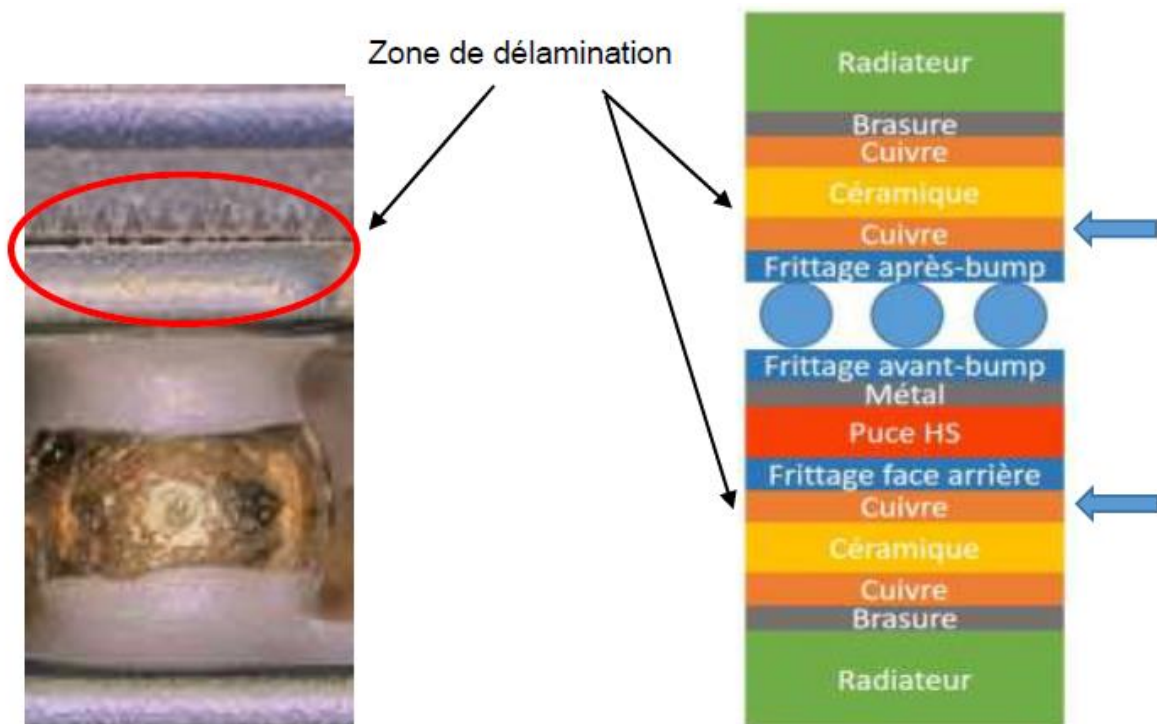


Figure 87. Localisation de la délamination par visualisation de la structure (vue de côté du module, photo prise par un microscope numérique Keyence VHX-5000) et le schéma de coupe.

IV.2.5. Validation du modèle de défauts

La Figure 88 illustre la comparaison des impédances thermiques issues de mesures et celles issues de simulations avec la prise en compte de la délamination dans le modèle.

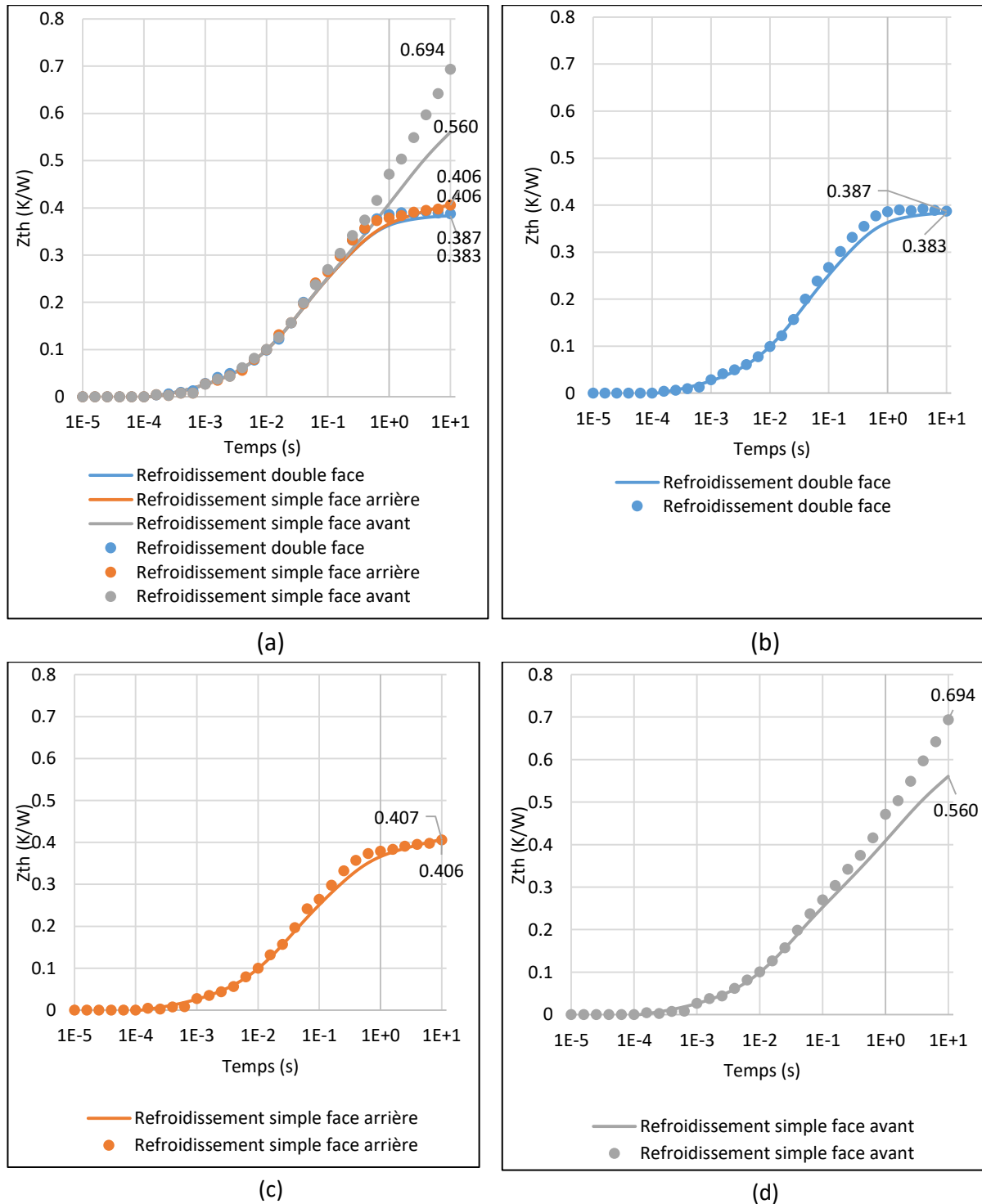


Figure 88. Comparaison essais (points)/simulations (courbe continue) de Z_{TH} des diodes HS du module après recalage du modèle : (a) Trois types de refroidissement, (b) Refroidissement double face, (c) refroidissement simple face arrière, (d) refroidissement simple face avant

IV.3. MODULE SIMPLE FACE

Nous présentons ici la comparaison entre les impédances thermiques issues des mesures et celles issues de la simulation du module de puissance CULPA.

IV.3.1. Simulation thermique 3D

La première étape consiste à importer le fichier CAO du module CULPA fourni par le fabricant dans le logiciel de simulation thermique 3D 6SigmaET. La Figure 89a représente la CAO du module CULPA. La Figure 89c illustre la répartition des douze MOSFETs SiC dans le module.

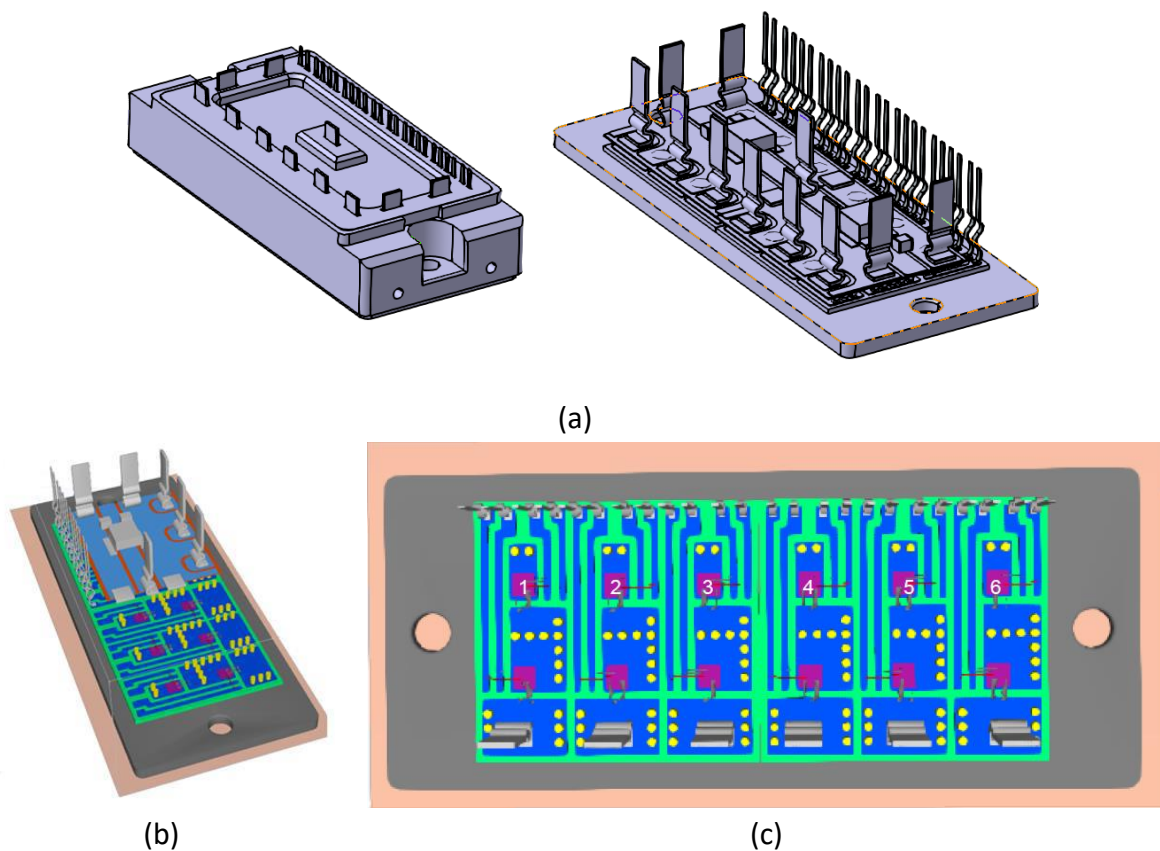


Figure 89. (a) CAO du module CULPA, (b) importation de la CAO dans le logiciel de la simulation thermique, (c) répartition des MOSFETs dans le module

Afin d'assurer un bon suivi du chapitre, nous rappelons rapidement, sans entrer dans les détails, la coupe autour d'une puce (voir Figure 90). Les puces SiC sont brasées sur le DBC inférieur (un substrat céramique et deux couches de cuivre). Les connectiques électriques des puces sont réalisées via des fils de câblage (bonding) comme dans un module classique. Les billes cuivres, frittées en haut et en bas, permettent de faire des interconnexions entre le DBC inférieur et le DBC supérieur.

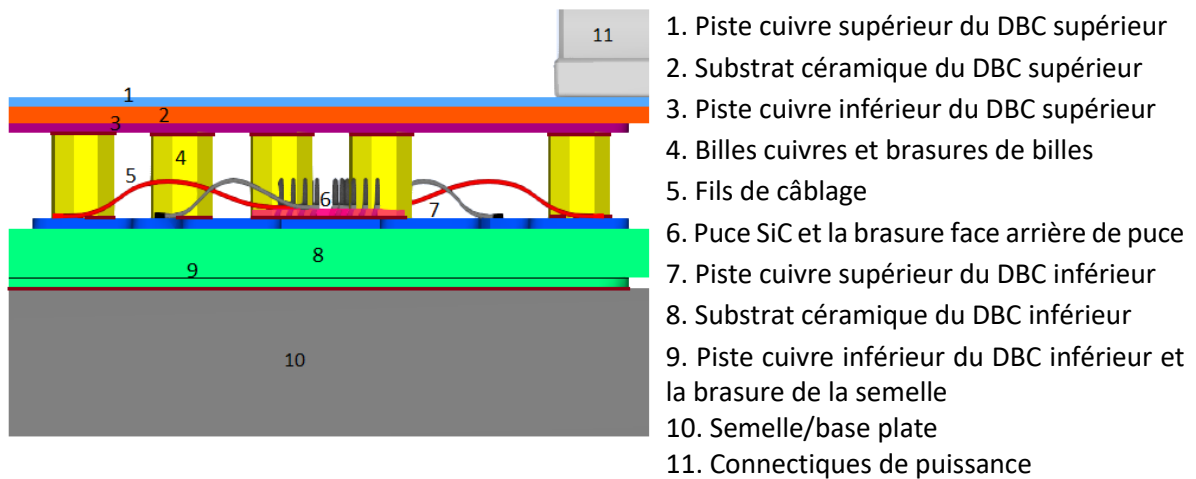


Figure 90. Détail de la structure autour d'une puce

Quelques modifications ont été réalisées sur la CAO du module. L'assemblage brasure-bille-brasure est remplacé par une structure cylindrique de conductivité orthotrope équivalente à celle de l'assemblage. Les billes sont situées au niveau des pistes de cuivre et non au niveau des puces. De plus, les puces sont refroidies en face arrière de puce et la chaleur est évacuée vers le radiateur à travers le substrat inférieur. La modélisation précise de l'assemblage brasure-bille-brasure n'est donc pas indispensable.

La définition de la zone de dissipation de puissance au sein du MOSFET est importante pour avoir une simulation précise. Il est donc nécessaire d'évaluer la répartition de la chute de tension du composant lors de l'injection d'un fort courant pendant l'étape d'échauffement. Lorsque le MOSFET fonctionne à l'état passant, sa résistance est constituée de résistances différentes :

$$R_{DSON} = R_{SOURCE} + R_{CH} + R_{JFET} + R_{DRIFT} + R_{SUBSTRATE} \tag{16}$$

La Figure 91a illustre le chemin du courant de drain et les compositions de la résistance à l'état passant sur un schéma de coupe du MOSFET SiC avec des épaisseurs [68]. La Figure 91b illustre la composition de la résistance à l'état passant d'un MOSFET SiC à 25°C et à 225°C [69].

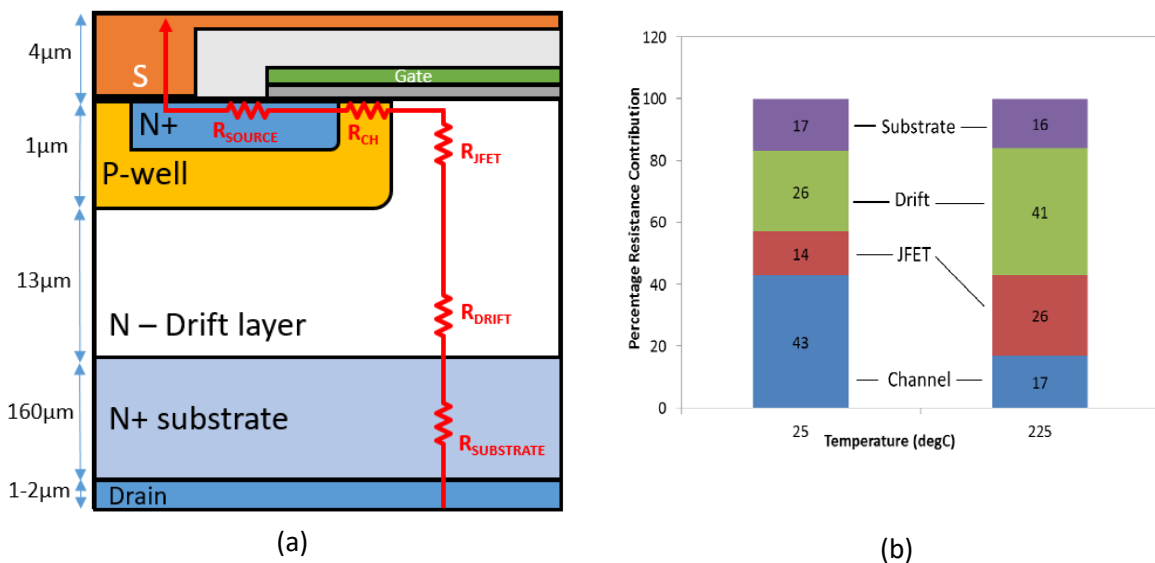


Figure 91. (a) Courant du MOSFET dans le premier quadrant, (b) Répartition des résistances du MOSFET [69]

Nous remarquons que la résistance du canal et la résistance JFET contribuent à environ 50% de la résistance à l'état passant et se situent dans une épaisseur d'environ 1µm sous la face avant. La résistance de la région de drift se situe dans une épaisseur de 14µm sous la surface. Nous pouvons constater donc que la majorité de la résistance de l'état passant du MOSFET SiC se situe entre 10µm-15µm sous la surface supérieure. Dans les essais expérimentaux, le MOSFET SiC fonctionne en mode diode. La diode structurale, qui est formée entre la région P- et la région N- drift, conduit le courant. La chute de tension aux bornes de la diode est composée de la jonction PiN, de la métallisation de la source, du substrat N+ et de la métallisation de drain. Nous pouvons considérer que cette chute de tension est principalement située dans la jonction PiN et négliger les autres. Cette jonction PiN a une épaisseur d'environ 14µm (voir Figure 91a).

La zone de charge d'espace, qui est responsable de la chute de tension de la jonction PiN, est établie à l'interface entre ces deux régions. Nous pouvons calculer l'épaisseur de la zone de charge d'espace à partir des paramètres intrinsèques du composant : concentration intrinsèque, niveaux de dopages, perméabilité du matériau SiC. La tension interne de la jonction PiN est :

$$V_0 = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) = \frac{1,38 \cdot 10^{-23} \times 300}{1,6 \times 10^{-19}} \ln\left(\frac{1 \cdot 10^{19} \times 1 \cdot 10^{16}}{(8,2 \times 10^{-9})^2}\right) = 2,56 \text{ V} \quad (17)$$

L'épaisseur de la zone de charge d'espace est calculée comme suivante :

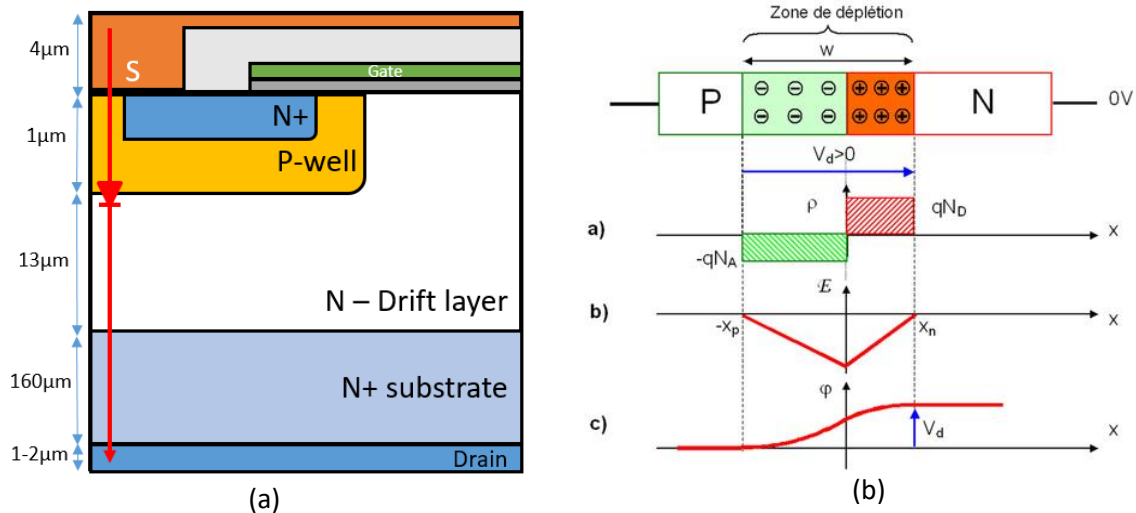
$$W = x_p + x_n = \sqrt{\frac{2\epsilon_{SiC}}{q} V_0 \left(\frac{1}{N_A} + \frac{1}{N_D}\right)} = \sqrt{\frac{2 \times 0,86 \cdot 10^{-12}}{1,6 \times 10^{-19}} \times 2,56 \times \left(\frac{1}{1 \cdot 10^{19}} + \frac{1}{1 \cdot 10^{16}}\right)} \quad (18)$$

Donc $W = 0,524 \text{ }\mu\text{m}$

Avec :

- Constante de Boltzmann : $k = 1,38 \times 10^{-23} \text{ J} \cdot \text{K}^{-1}$,
- Température ambiante : $T = 300\text{K}$,
- Quantité de charge d'un électron : $q = 1,6 \times 10^{-19} \text{ C}$
- Concentration intrinsèque du 4H-SiC : $n_i = 8,2 \times 10^{-9} \text{ cm}^{-3}$
- Densité de dopage de la région P-well : $N_A = 1 \cdot 10^{19} \text{ cm}^{-3}$
- Densité de dopage de la région de drift : $N_D = 1 \cdot 10^{16} \text{ cm}^{-3}$

La chute de tension de la diode se localise donc dans une épaisseur d'environ de 1,5 µm sous le contact de source.



A partir des analyses précédentes, nous arrivons à deux conclusions. Dans les deux cas de fonctionnement en MOS ou en diode, la chute de tension du MOSFET SiC se situe principalement sur une épaisseur aux alentours $10\mu\text{m}$ sous la surface supérieure. Cela signifie que les zones de dissipation dans les deux cas sont situées à peu près au même endroit. Le phénomène thermique par l'échauffement du MOSFET SiC dans le cas de fonctionnement en diode est proche de celui du fonctionnement en MOS.

Prenant en compte ces valeurs et les paramètres géométriques de la puce, nous avons donc décidé d'implémenter dans la CAO du module deux zones de dissipation qui sont situées au-dessous de deux zones de métallisations de la source, près de la surface du MOSFET. Ces deux zones ont chacune une épaisseur de $10\mu\text{m}$ et une surface de $1,43\text{mm}\times 1,04\text{mm}$ (voir Figure 93).

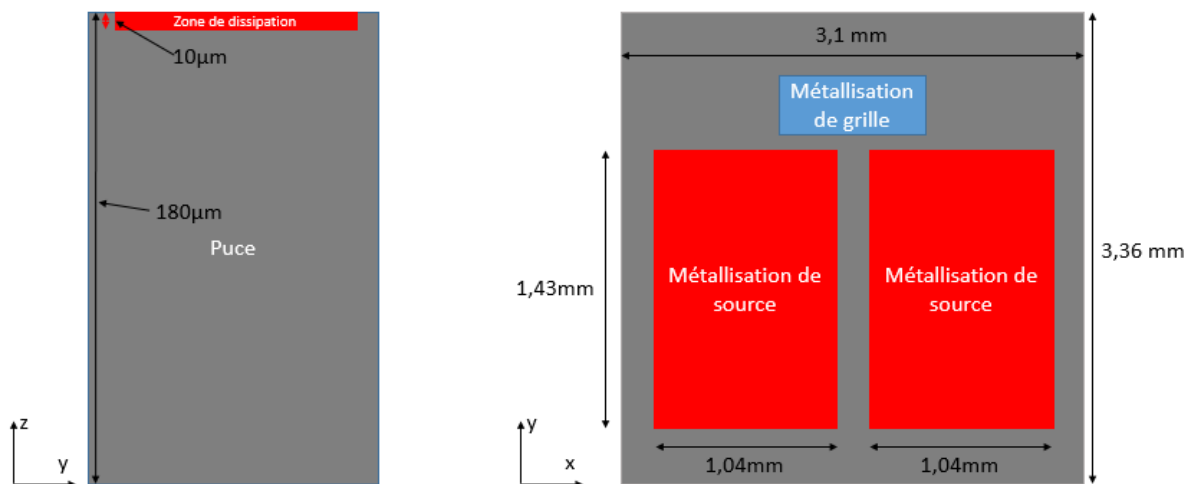


Figure 93. Zone de dissipation : coupe des couches (gauche) et vue de dessus (droite)

La deuxième étape de la modélisation est d'affecter à chaque domaine physique du modèle un matériau correspondant. Le Tableau 9 résume tous les matériaux présents dans cette simulation avec leurs caractéristiques principales, à savoir ici la masse volumique, la capacité thermique et la conductivité thermique.

Tableau 9. Les caractéristiques des matériaux des pièces (source : ICAM)

Nom de la pièce	Densité(kg/m ³)	Chaleur spécifique (J/kg.K)	Conductivité (W/m.K)
Underfill	970	1000	0.2
Radiateur	2 700	898	210
Pâte thermique	1 400	2 000	10
Semelle	2 700	900	220
Brasure semelle (SAC305)	7 500	200	58,7
Piste cuivre DBC	8 950	380	386
Céramique (AlN)	3 255	780	160
Brasure puce (Au80Sn20)	14 500	150	57
Puce en SiC	3 210	600	Dépend de T
Métallisation	8 950	380	386
Billes	8 966	705	177
Fils	8 950	380	386

La conductivité thermique du matériau SiC est discutable car il existe des références différentes dans la littérature. Les matériaux 4H-SiC et 6H-SiC ont des valeurs de conductivité thermique bien différentes. Dans notre cas, le MOSFET utilisé est à base de 4H-SiC [71]. La conductivité thermique du matériau 4H-SiC dépend de la température comme illustré dans la Figure 94. Deux courbes de variations peuvent être considérées : une en meilleur cas cas $k_{4H-SiC,bcb}$ (best-case) et une en pire cas (worst-case) $k_{4H-SiC,wcb}$ [72]:

$$k_{4H-SiC,wcb} = 2,6 \left(\frac{T}{300} \right)^{-1,29} Wcm^{-1}K^{-1} \quad (19)$$

$$k_{4H-SiC,bcb} = 3,95 \left(\frac{T}{293} \right)^{-1,29} Wcm^{-1}K^{-1} \quad (20)$$

Sur cette courbe, la valeur du meilleur cas à température ambiante 20°C est proche de la valeur donnée par le constructeur de puce CREE Wolfspeed qui est $3,7 Wcm^{-1}K^{-1}$ [72]. Nous avons donc appliqué la valeur de la conductivité thermique dans le meilleur cas dans notre simulation.

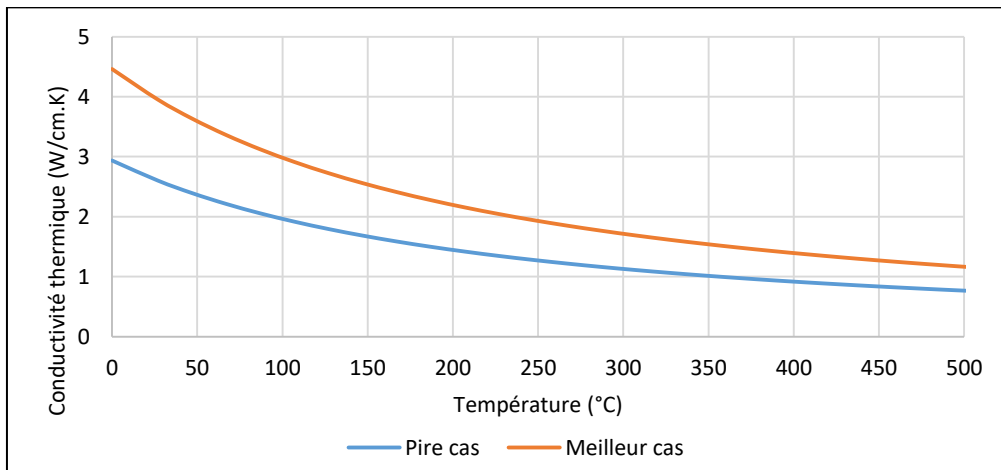


Figure 94. Conductivité thermique du Carbone de Silicium (4H-SiC, dopage) en fonction de la température [72].

L'étape suivante est donc de mailler les composants de manière adaptée. Un maillage général a été réalisé pour l'ensemble du module. Ensuite, chaque pièce a été maillée avec davantage de précision ce qui permet d'ajuster les cellules à la géométrie des pièces et donc représenter le plus fidèlement leur géométrie. Cela permet d'augmenter considérablement la précision des résultats de simulation. Le module de puissance est refroidi par convection forcée par un ensemble radiateur + ventilateur avec une chambre de compensation entre les deux. Le radiateur utilisé pour le refroidissement du module est le « LA V 6 150 24 » du fabricant Fisher Electronik (voir Figure 95). La géométrie de ce radiateur est importée et maillée dans le logiciel 6SigmaET afin de représenter fidèlement son impact thermo-fluidique dans le système. Le ventilateur est le Ebmpapst 614 NHH-119 de 24 V. Afin de définir le fonctionnement du ventilateur, nous imposons la courbe « débit/perte de charge » du ventilateur comme entrée du modèle (voir Figure 97a). C'est le logiciel 6SigmaET qui définit le point de fonctionnement du ventilateur par intersection entre la courbe « débit/perte de charge » du ventilateur et celle du système « radiateur et chambre de compensation » (voir Figure 97b) calculée par la résolution de l'équation de la fluidique. Le rôle de la chambre de compensation est de limiter l'impact fluidique de l'air directement sur les ailettes ainsi que celui du Swirl du ventilateur.

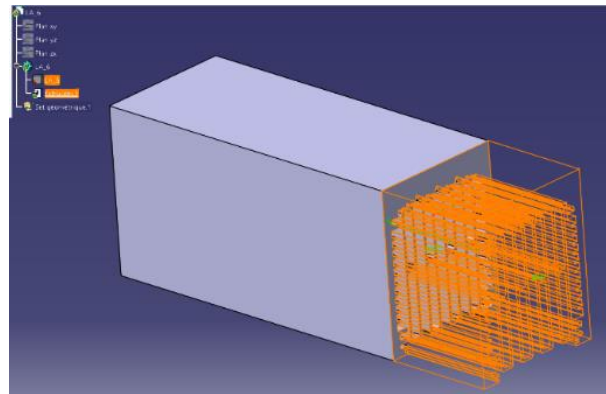
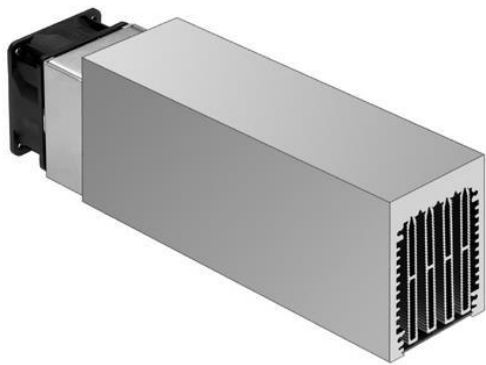


Figure 95. (a) Radiateur LA V6 150 24, (b) Représentation du radiateur dans CATIA.

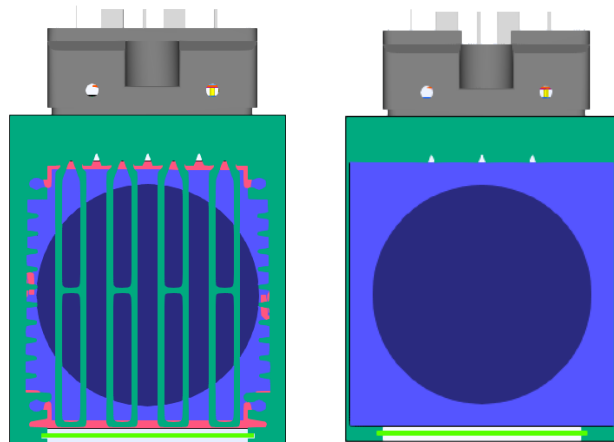
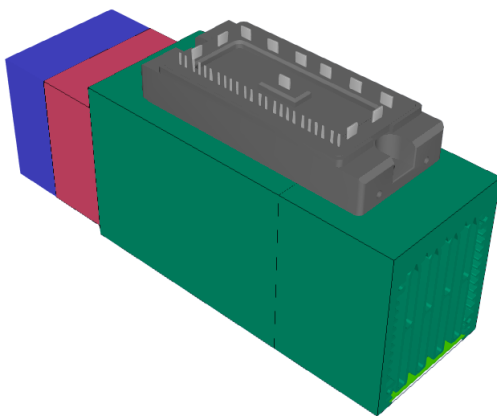


Figure 96. Vues du modèle complet CULPA

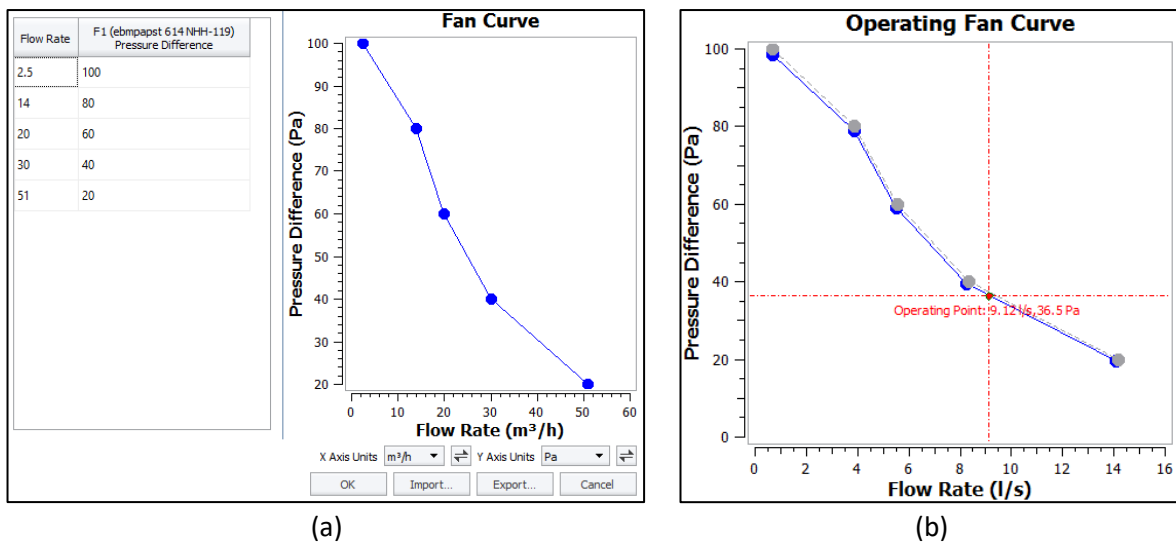


Figure 97. (a) Courbe débit/perte de charge, (b) Point de fonctionnement du ventilateur

Les simulations sont réalisées sous les conditions suivantes :

- Température de l'air ambiant : $T_{AMB} = 20^{\circ}\text{C}$
- Puissance dissipée par une puce : 40W
- La zone de dissipation mentionnée précédemment

IV.3.2. Comparaison entre les mesures et les simulations

Nous décidons de présenter ici un cas d'étude afin d'illustrer la comparaison entre les mesures et les simulations, ainsi que la méthodologie utilisée pour localiser les défauts dans le module. Dans ce, le MOSFET 2 est activé tandis que les autres MOSFETs sont désactivés (voir Figure 98).

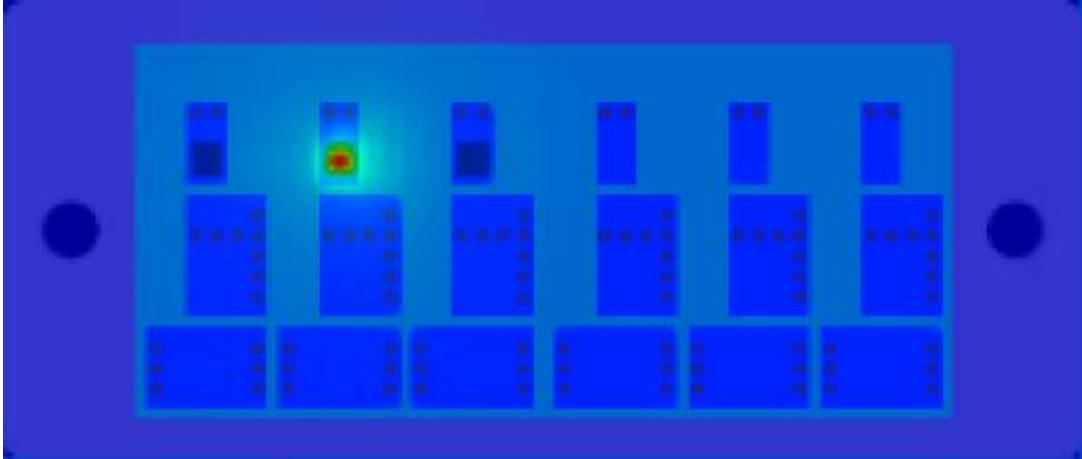


Figure 98. Cartographie de la température de la puce 2 (à 10s).

La Figure 99 illustre la comparaison des impédances thermiques d'auto-échauffement issues de mesures et celles issues de simulations du MOSFET 2. Nous constatons qu'il y a un écart entre ces deux impédances thermiques. A partir d'une milliseconde, ces deux courbes commencent à diverger et leur écart devient progressivement significatif avec l'augmentation du temps d'échauffement. A 10s, nous observons un écart absolu de 0,5 W/K (1,44 W/K et 0,94 W/K) ce qui est équivalent à un écart relatif de 35%. Ce résultat révèle un problème dans la représentativité et la fiabilité du modèle. Concrètement, cela signifie qu'il y a potentiellement des "voids" ou des délaminations qui sont présentes dans le module mais ne sont pas prises en compte dans la simulation.

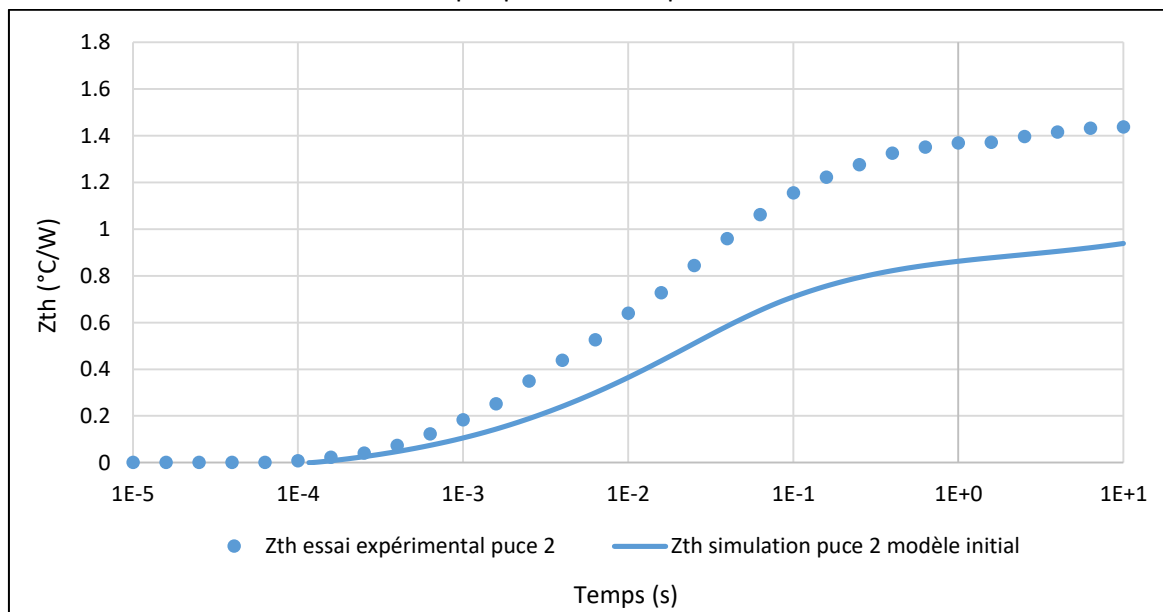


Figure 99. Comparaison des résultats issus de essais expérimentaux et ceux issus de simulations du MOSFET 2

IV.3.3. Localisation des défauts

La comparaison entre les mesures et les simulations ont démontré qu'il existe potentiellement des défauts dans l'assemblage. Ces défauts peuvent être :

- Soit des voids (bulles d'air) dans les brasures
- Soit des délaminations d'interface entre les couches

Nous remarquons que la divergence entre les impédances thermiques mesurées et simulées se situe très tôt dans le temps (quelques centaines de microsecondes). Cela signifie qu'il existe probablement des défauts dans les couches proches des puces comme au niveau de la brasure face arrière par exemple. Grâce aux informations données par le fabricant du module, il est possible que des défauts se situent au sein de trois couches :

- La première dans la brasure puce/cuivre supérieur.
- La deuxième entre le cuivre supérieur/céramique. Ce type de défaut a été trouvé dans le substrat du module TRIBOX SiC. Cela conduit à une hypothèse qu'il existe également ce type de défaut dans le substrat du module CULPA.
- La troisième dans la brasure cuivre inférieur/semelle.

Les « voids » ou les délaminations se situent majoritairement au centre des surfaces de contact entre deux couches. En effet, lors du dépôt de brasure (matériau visqueux qui devient dur), l'air a une tendance à s'emprisonner au centre de la brasure. Nous avons pris en compte ces voids/délaminations successivement en plusieurs étapes afin de quantifier l'impact de chaque défaut sur l'impédance thermique de la puce (voir Figure 100).

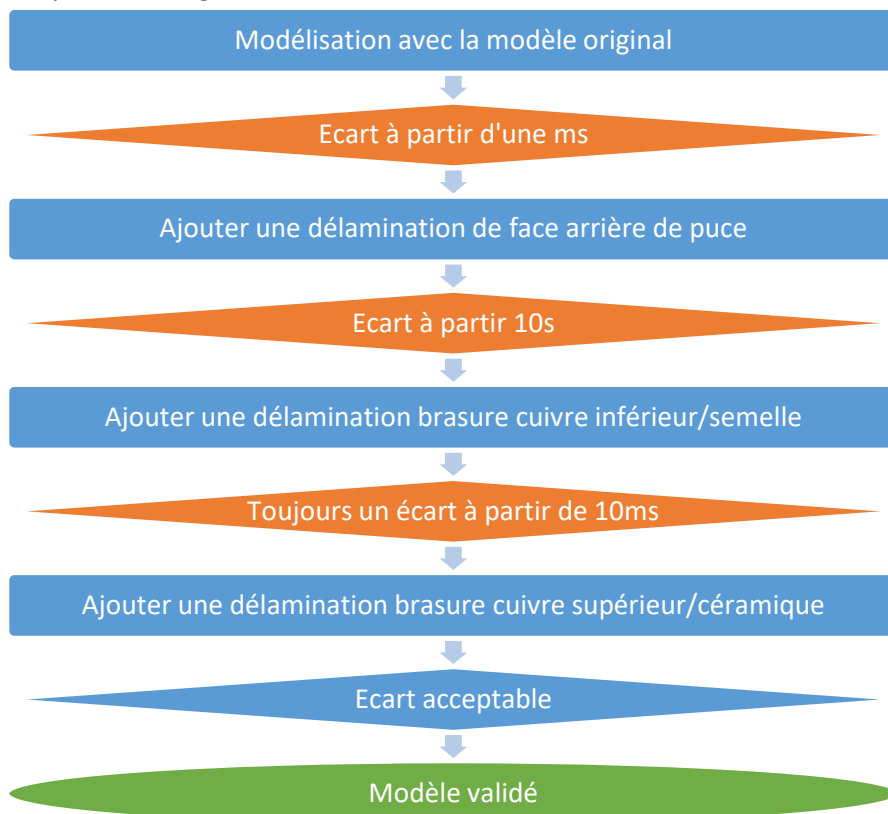


Figure 100. Flow chart des recalages de simulation par rapport aux mesures

La délamination de la brasure face arrière de puce est représentée par l'insertion d'une lame d'air d'épaisseur de $10\mu\text{m}$ qui se situe dans la brasure face arrière et en contact avec le cuivre supérieur. Elle est localisée verticalement au centre de la puce et elle couvre 30% (cette valeur a été prise grâce aux expériences sur les modules précédents) de la surface de la puce. Après la mise en place de cette délamination, l'impédance thermique simulée est bien recalée au début de la courbe par rapport à celle mesurée mais il existe toujours un écart à partir de 10ms.

Par la suite, nous avons mis en place la modélisation de la délamination dans la brasure couche inférieure de cuivre /semelle. Elle est aussi localisée verticalement au centre du substrat du sous-module. Elle est représentée par un mélange entre les bulles d'air et le matériau de la brasure. Elle étend sur une surface qui fait 30% de la surface du substrat et elle a une épaisseur de $10\mu\text{m}$. Cette dernière prise en compte de la délamination nous a permis de recalculer complètement les deux impédances thermiques issues de mesures et de simulations.

Ensuite, nous modélisons la délamination du substrat qui se situe dans le cuivre supérieur et est en contact avec la céramique. Elle est localisée verticalement au centre de la piste cuivre sur laquelle la puce est brasée. Son épaisseur est de $10\mu\text{m}$ et sa superficie fait 30% de la superficie de la piste cuivre. Cette prise en compte de la délamination nous a permis de recalculer les deux courbes d'impédances thermiques mesurées et simulées entre 10ms et 1s.

Après avoir discuté avec le fabricant du module et eu des retours d'expériences (des modules précédents), nous avons implémenté les trois défauts au centre de la surface concernée avec une superficie de 30% de la surface. Ce ratio de 30% a été observé sur les différents modules de puissance.

IV.3.4. Modélisation des défauts

Comme présenté dans la partie précédente, la modélisation des défauts est successivement réalisée sur les délaminations du plus près au plus loin de la puce.

- La délamination brasure puce/cuivre supérieur illustrée par un rectangle rouge. Dimensions : 2mm × 1,5mm (voir Figure 101).
- La délamination cuivre supérieur/céramique illustrée par le rectangle rouge. Dimensions : 2mm × 5mm (voir Figure 102).
- La délamination brasure cuivre inférieur/semelle illustrée par le rectangle rouge. Dimensions : 9mm × 25mm (voir Figure 103).

La Figure 104 illustre les positions de ces délaminations dans le schéma des couches du module.

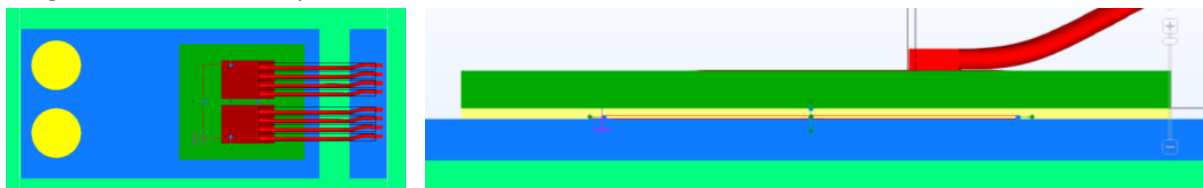


Figure 101. Délamination dans la brasure puce

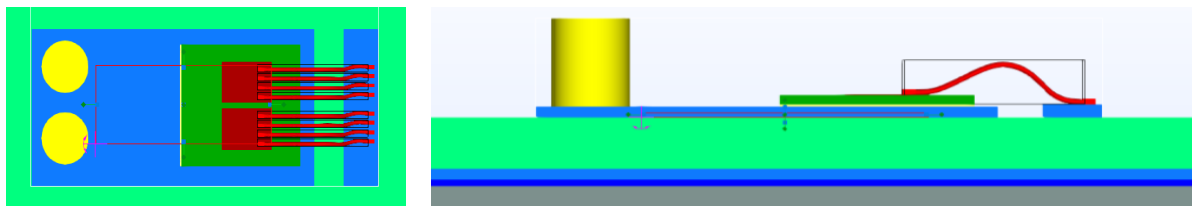


Figure 102. Délamination dans le substrat

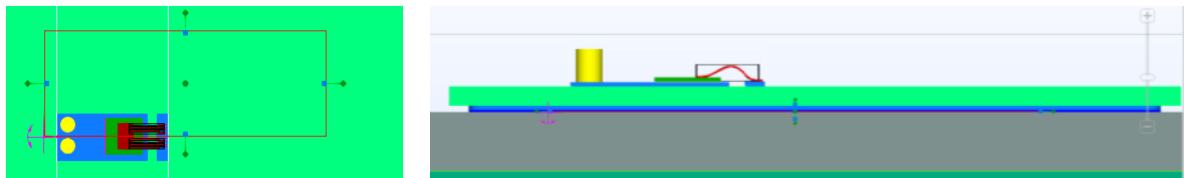


Figure 103. Délamination dans la semelle

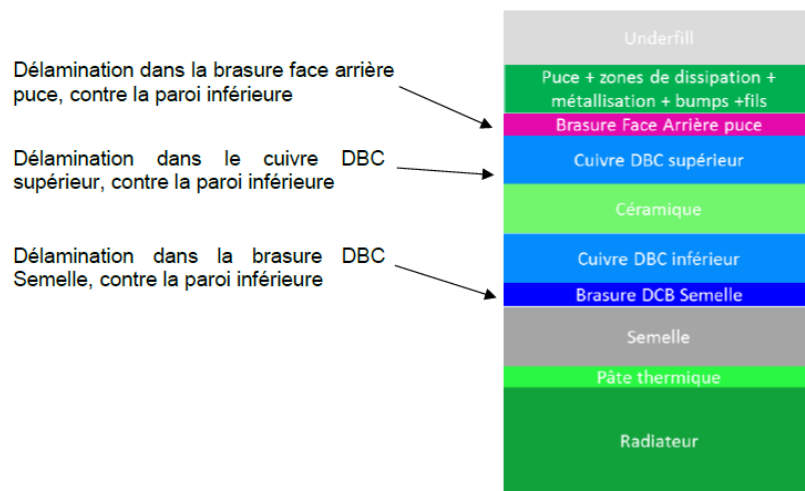


Figure 104. Localisation des délaminations sur le schéma des couches du modèle

IV.3.5. Validation du modèle de défauts

Après avoir pris en compte trois délaminations dans le modèle thermique, nous avons obtenu la nouvelle impédance thermique d'auto-échauffement du MOSFET 2. La Figure 105 illustre deux impédances thermiques simulées et l'impédance thermique mesurée.

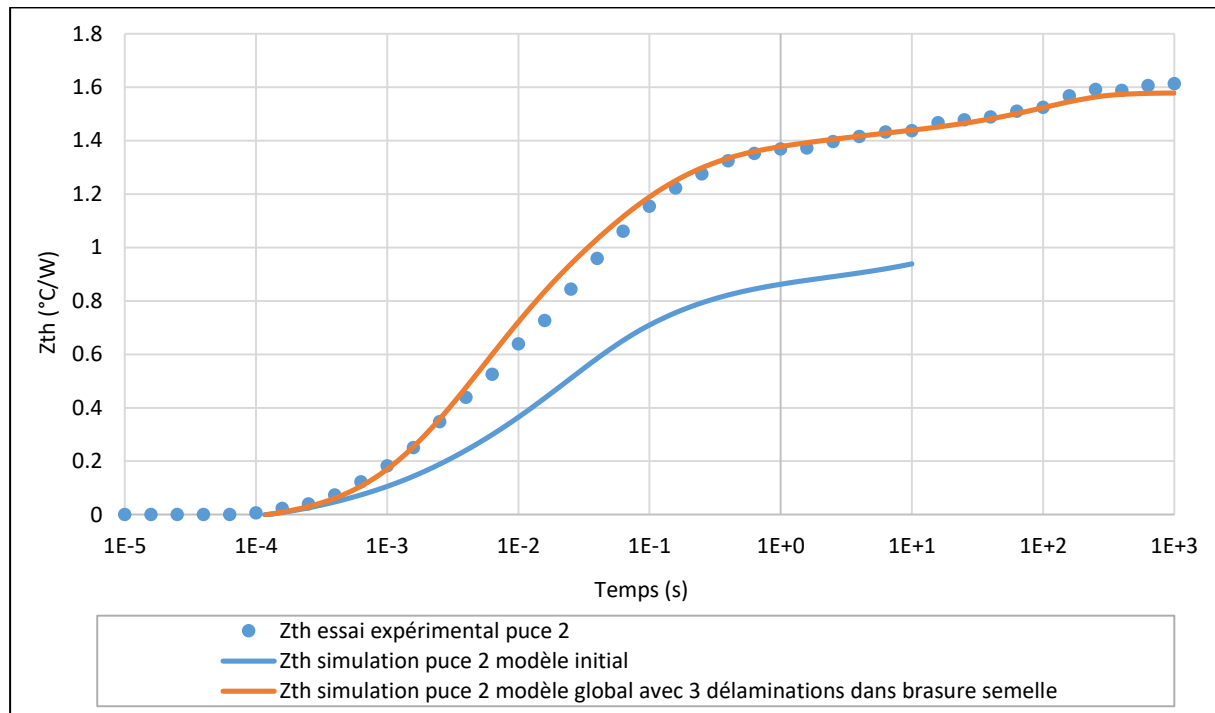


Figure 105. Comparaison des résultats issus des mesures et ceux issus des simulations (initial et prise en compte des délaminations).

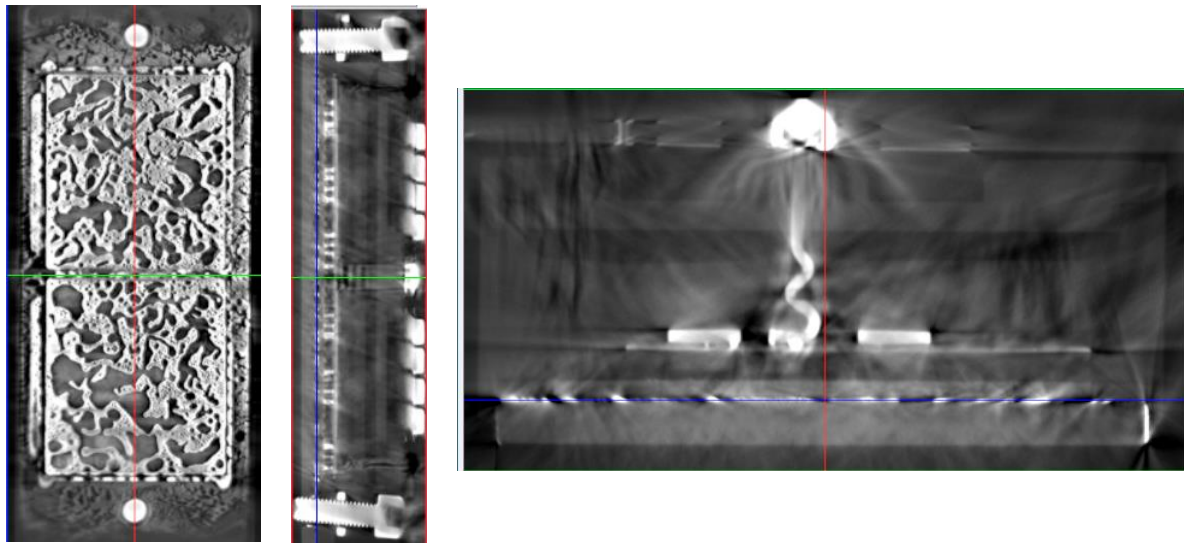
Après introduction de voids et délamination, le résultat est encourageant : la nouvelle impédance thermique suit bien celle mesurée. Tandis que ces deux courbes sont bien collées dans deux plages du temps : [100 μ s ; 3,5ms] et [0,1s ; 1000s], elles s'écartent un peu entre 3,5ms et 100ms. Cela signifie que les modélisations des délaminations ne sont pas tout à fait représentatives.

Afin de confirmer ces zones de défauts, une analyse de structure a été réalisée en utilisant le tomographe par rayons X EasyTom et le SAM (Scanning Acoustic Microscope).

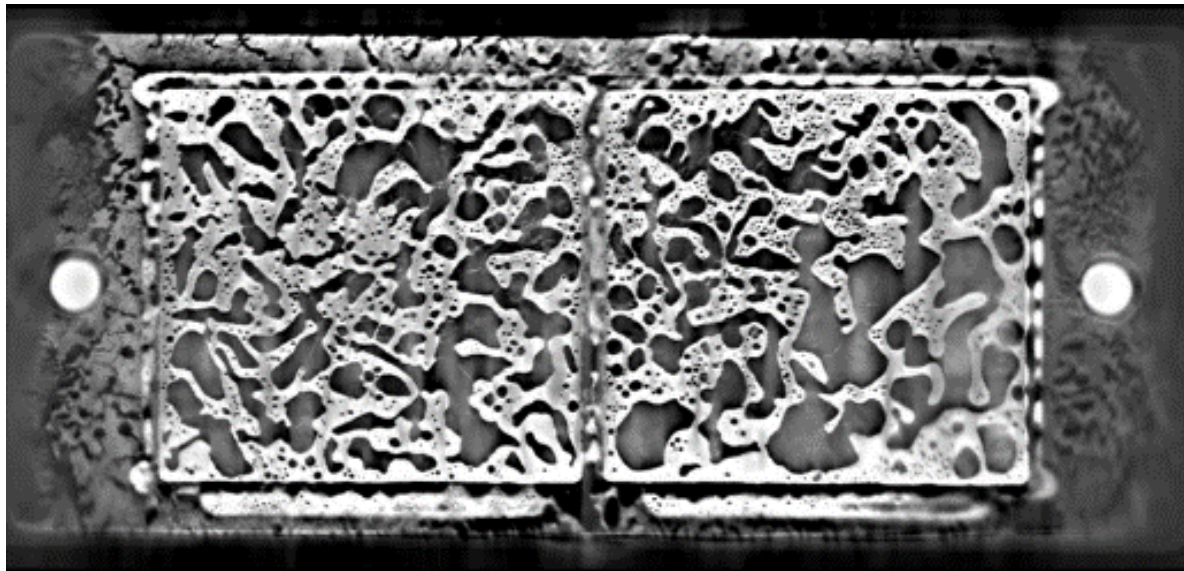
La Figure 106 illustre l'image de diagnostic RX de l'interface brasure semelle. Elle montre effectivement des voids qui traversent la brasure de la semelle et couvrent l'ensemble de la surface (au moins 50% de la surface).

La Figure 107 illustre l'image RX de la brasure face arrière de la puce et montre qu'il existe également des voids qui traversent cette brasure.

Quant aux diagnostics SAM, comme nous ne pouvons pas utiliser cette méthode avec un module entier, nous avons essayé de chercher la délamination dans un substrat neuf (avant de montage dans le module) avec les fréquences différentes (50Mhz et 100Mhz). La Figure 108 obtenue à l'aide du SAM sur le DBC montre qu'il n'y a pas de délaminations aux interfaces céramique-cuivre avant intégration du module entier. Cependant, l'apparition de délaminations à cause de la procédure de l'assemblage du module est possible.

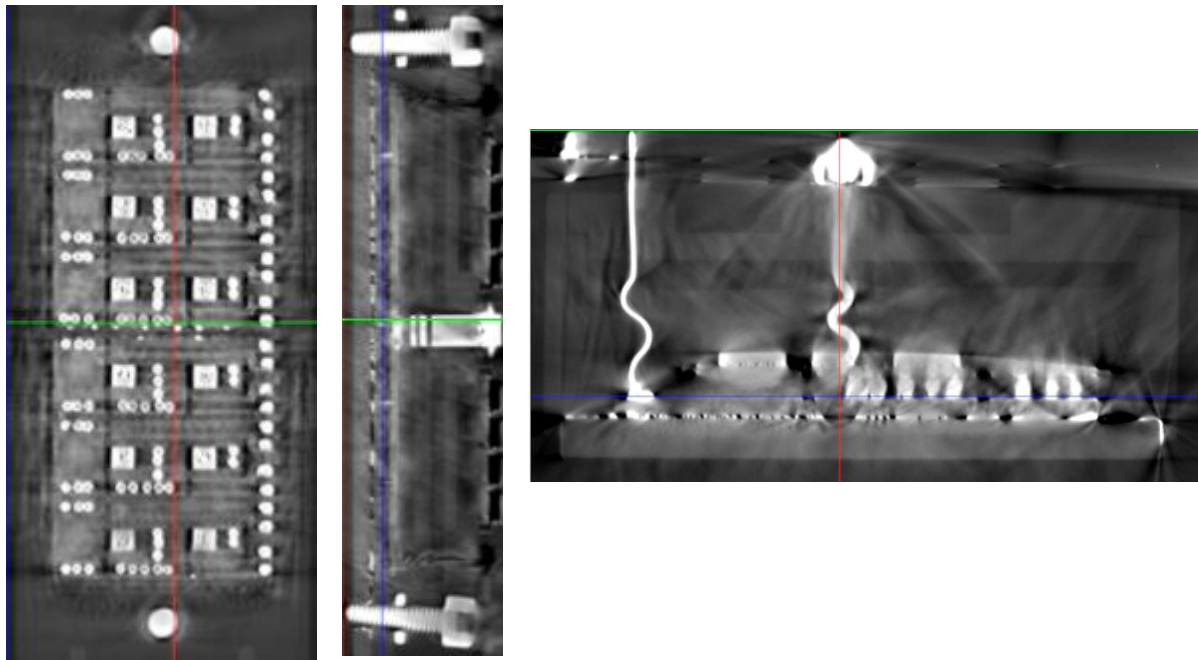


(a)

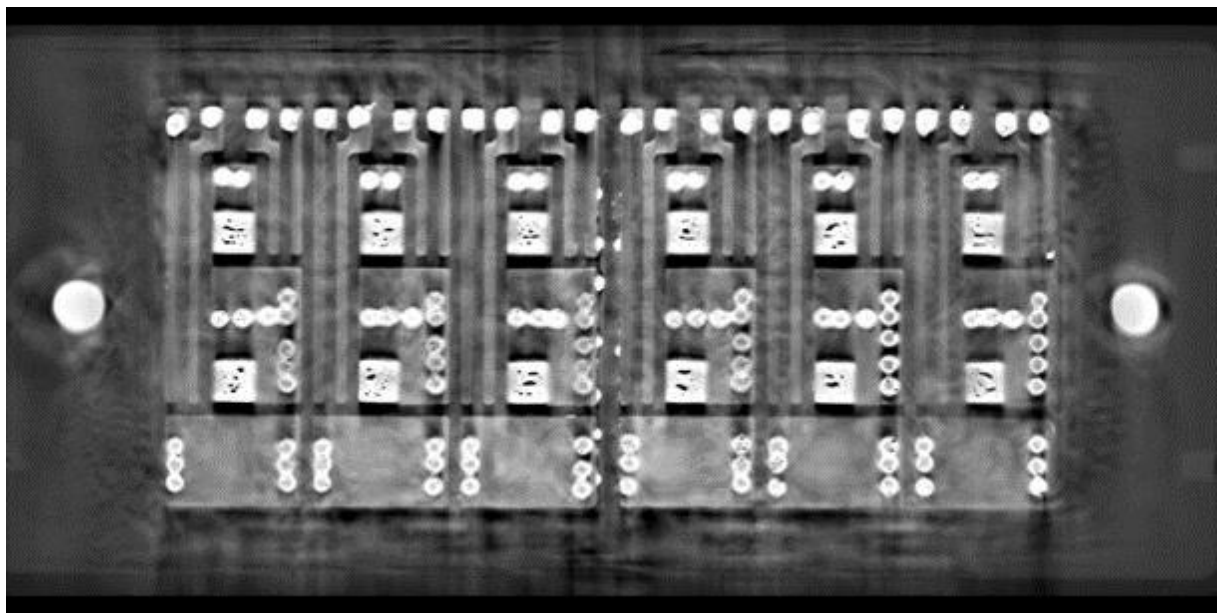


(b)

Figure 106. Image de RX de l'interface de la brasure de la semelle : (a) positions de la coupe, (b) image de l'interface (source : IRT)



(a)



(b)

Figure 107. Image RX de la brasure face arrière des puces : (a) positions de la coupe, (b) image de l'interface (source : IRT)

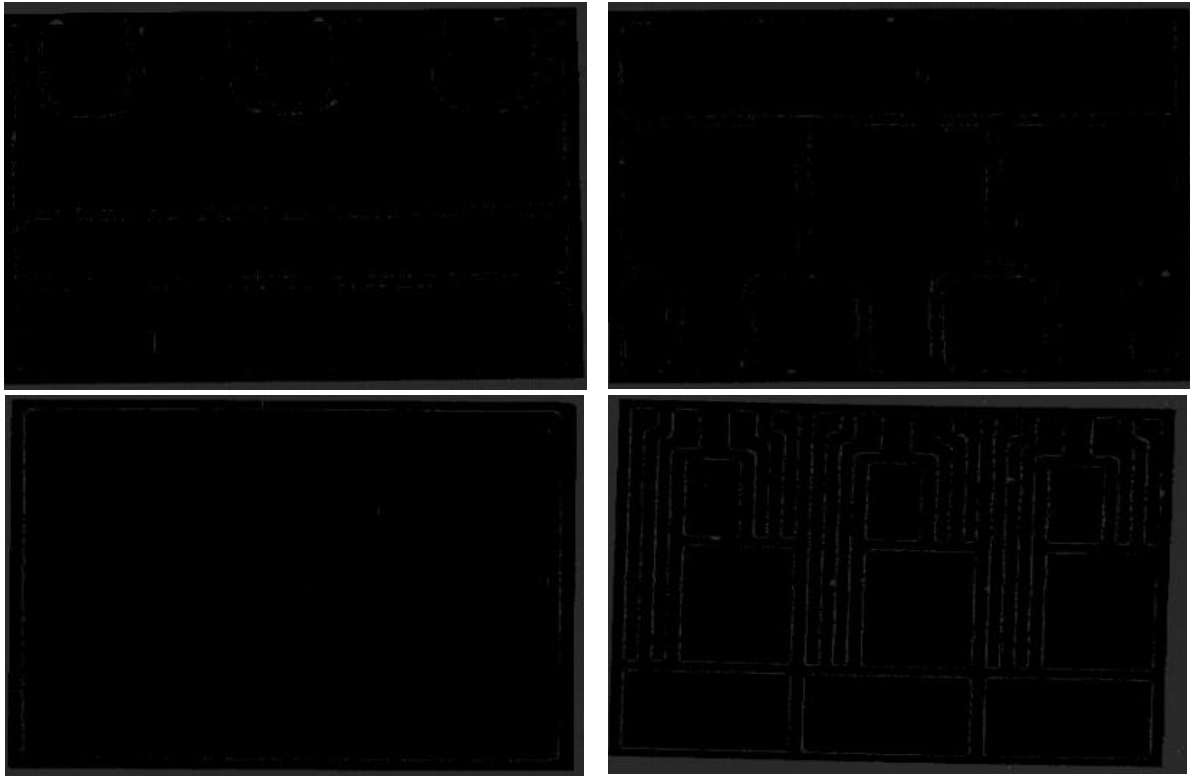


Figure 108. Images SAM des interfaces du DBC (source : IRT)

IV.4. CONCLUSION

Dans ce chapitre nous avons montré que l'utilisation d'une part du banc de mesure des impédances thermiques, et d'autre part d'un outil de simulation thermique 3D nous a permis de mettre en œuvre une méthodologie non intrusive de détection et de localisation de défauts dans la structure des modules de puissance.

La puissance de cette méthode réside dans l'exploitation de phénomènes transitoires et dans le recours à la notion de temps de transit thermique.

Les deux modules dont les défauts ont été identifiés par la méthode développée ont subi des inspections aux rayons X et au SAM, ce qui a confirmé les défauts localisés.

Dans la littérature, une méthode souvent utilisée pour la détection et la localisation de défaut est proposée par MiCRED. Cependant, cette méthode n'est valable que lorsque le flux thermique est unidirectionnel et uniforme. Quand la structure est 3D et le flux thermique s'épanouit dans tout le volume, la fonction de structure utilisée par MiCRED n'est donc plus valable dans ce cas [103].

V. VERS LA MODELISATION ELECTRIQUE ET ELECTROTHERMIQUE

V.1. INTRODUCTION

Dans ce chapitre, nous proposons une méthodologie pour générer des modèles électrothermiques de modules SiC aisément utilisables par tout équipementier utilisateur de ces modules.

Nous commençons par un état de l'art de la modélisation électrique thermosensible du MOSFET SiC puis proposons une méthode de modélisation électrique thermosensible de ce composant facilement réalisable à partir de données des constructeurs ou de mesures. Nous montrons ensuite comment des mesures électriques à température régulée ont été utilisées pour la validation du modèle proposé.

Par ailleurs, nous décrivons l'exploitation d'une méthodologie d'extraction de modèles thermiques compacts pour notamment la prise en compte des couplages thermiques entre puces. La technique proposée a été appliquée à un module SiC hexaphasé.

V.2. ÉTAT DE L'ART DE LA MODELISATION ELECTRIQUE THERMOSENSIBLE

Les composants de puissance à grands gaps (Carbure de Silicium SiC, Nitrure de Gallium GaN) ont un grand potentiel pour remplacer les composants de puissance Si pour plusieurs applications. Grâce à leurs caractéristiques intrinsèques, ces composants à grands gaps permettent de fonctionner à haute température, à haute tension et à haute fréquence.

Depuis quelques années, les composants à grands gaps ont successivement été commercialisés : Diode Schottky SiC, MOSFET SiC, GaN HEMTs... Aujourd'hui, le composant de puissance grand gap le plus utilisé dans les applications est le MOSFET SiC. Il offre des améliorations par rapport à son homologue IGBT Si car le MOSFET SiC est unipolaire (pas de porteurs minoritaires donc moins de courant de recouvrement). Il se positionne donc comme un excellent candidat pour les applications automobiles, dans le cadre de l'aéronef plus électrique, ou encore dans le domaine de l'énergie solaire...

La première étape pour évaluer les performances des composants de puissance dans les applications avant de réaliser un prototype ou bien fabriquer un produit est de réaliser des simulations de type circuit. Celles-ci permettent de comparer les avantages/inconvénients des différents composants de puissance pour une application spécifique avec des besoins et des priorités spécifiques. Les simulations de circuit sont souvent effectuées avec des logiciels comme SPICE ou Matlab/Simulink... Pour cela, il est indispensable d'avoir un modèle électrique du MOSFET SiC qui satisfait bien le compromis précision/temps de simulation.

En général, les modèles existants du MOSFET SiC peuvent être classifiés en 5 catégories : modèle comportemental, modèle semi-physique, modèle physique, modèle semi-numérique, modèle numérique : Les modèles comportementaux utilisent une approche empirique et des équations mathématiques afin de représenter les caractéristiques des composants. Les modèles physiques, quant à eux, emploient les équations physiques semi-conductrices afin de modéliser les caractéristiques physiques. Les modèles semi-physiques associent deux approches de modèles comportementaux et de modèles physiques. Les modèles numériques sont les simulation 2D ou 3D (SILVACO, TCAD, Sentaurus...) avec des informations des propriétés des matériaux et de la géométrie du composant. Les modèles semi-numériques associent de modèles physiques et numériques.

Nous nous intéressons aux modèles utilisables facilement dans les simulateurs de type SPICE. Ces modèles sont utilisés pour procéder à la simulation électrique de modules de puissance SiC (plusieurs transistors, éléments parasites, couplage thermique...). C'est pour cette raison que nous ne nous intéressons pas aux modèles numériques et semi-numériques à cause de leur complexité.

Par la suite, l'état de l'art des modèles électriques existants du MOSFET SiC ainsi que les modèles fournis par des fabricants de semi-conducteur sont sélectionnés, présentés et analysés (voir Tableau 10). Les trois fabricants STMicroelectronics, ROHM Semiconductor, CREE Wolfspeed emploient des modèles comportementaux pour leurs composants. ON Semiconductor présente pour la première fois un modèle physique, évolutif basé sur les processus de fabrication et des données intrinsèques du composant lui-même (géométrie, concentration de dopage).

Tableau 10. Résumé des modèles existants du MOSFET SiC

Référence	Modèle	Remarques
[75]	Physique	Courant du canal calculé comme étant la somme de deux courants qui passent par l'angle et la partie principale de la cellule MOSFET
[76] [77]	Physique	Région de drift divisée en trois parties
[78]	Physique	Modélisation de la distribution non uniforme du courant dans la région JFET utilisant une source de tension et résistances
[79] [80]	Physique	Proposition d'une procédure d'extraction de paramètres basée sur le modèle [75] en utilisant les spécifications
[81]	Physique	Modèle électrique thermosensible prenant en compte le courant de fuite et l'impact d'ionisation
[82]	Semi-physique	Courants dépendant de la température
[83]	Semi-physique	Modèle SPICE simplifié en modifiant le modèle conventionnel du MOSFET Si latéral
[84]	Semi-physique	Modèle MOSFET SiC haute tension utilisant la loi de puissance n_{th}
[85]	Semi-physique	Modèle MOSFET SiC haute tension utilisant le modèle MOSFET avec la loi de puissance n, m
[86]	Semi-physique	Réseau RC Foster pour la modélisation thermique
[87]	Semi-physique	Modèle MOSFET SiC thermosensible prenant en compte les comportements à basse température et l'impact de la tension de grille négative sur la capacité grille-source
[88]	Semi-physique	Prise en compte de l'impact de la température sur la tension de seuil et la mobilité des porteurs de charge.
[89]	Semi-physique	Modèle d'un module de puissance SiC 1200V 800A avec des éléments parasites
[90]	Comportemental	Résistance drain-source pour le canal et trois capacités constantes
[91]	Comportemental	Modèle mathématique des pertes du composant
[92]	Comportemental	Modèle comportemental dans Matlab/Simulink
[93] [94]	STMicroelectronics	Modèle analogique comportemental avec des paramètres thermosensibles
[94]	ROHM Semiconductor	Modèle comportemental
[95] [94]	CREE Wolfspeed	Modèle comportemental basé sur le modèle EKV, adapté pour les différentes régions de l'inversion du MOSFET
[96]	ON Semiconductor	Modèle physique, basé sur les paramètres géométriques et physiques intrinsèques du composant

Le modèle physique, comme son nom l'indique, utilise les équations physiques semi-conductrices afin de représenter le fonctionnement du MOSFET SiC. Plusieurs modèles physiques du MOSFET SiC ont été développés au fil de temps [97].

L'un des modèles physiques du MOSFET SiC le plus complet est présenté dans [75] et est construit à partir de la même approche que le modèle IGBT Si [98]. Une procédure d'extraction de paramètres est proposée utilisant les spécifications du MOSFET SiC que l'on souhaite modéliser. Une base de données de paramètres physiques de différents matériaux SiC (3C-, 4H- et 6H-SiC) permet d'adapter le module suivant le matériau du composant. Contenant 57 paramètres physiques du MOSFET SiC, ce modèle représente le fonctionnement du canal, les caractéristiques statiques à l'état passant et les caractéristiques transitoires.

Le courant du canal I_{mos} est composé de deux courants I_{mosh} et I_{mosl} .

$$I_{mos} = I_{mosh} + I_{mosl} \quad (21)$$

- I_{mosl} est le courant traversant l'angle de la cellule MOSFET. Cette source domine lorsque le courant est faible car la tension de seuil V_{Tl} est plus faible.
- I_{mosh} est le courant traversant la partie principale de la cellule MOSFET. Cette source domine lorsque le courant est fort car la tension de seuil V_{Th} est plus grande.

$$I_{mosl} = \frac{K_{fl}K_fK_p[(V_{gs}-V_{Tl})V_{ds}-P_{vf}^{y-1}V_{ds}^y(V_{gs}-V_{Tl})^{2-y}]}{(1+\theta(V_{gs}-V_{Tl}))} \quad si \quad V_{ds} \leq \frac{V_{gs}-V_{Tl}}{P_{vf}} \quad (22)$$

$$I_{mosh} = \frac{(1-K_{fl})K_fK_p[(V_{gs}-V_{Th})V_{ds}-P_{vf}^{y-1}V_{ds}^y(V_{gs}-V_{Th})^{2-y}]}{(1+\theta(V_{gs}-V_{Th}))} \quad si \quad V_{ds} \leq \frac{V_{gs}-V_{Th}}{P_{vf}} \quad (23)$$

$$I_{mosl,sat} = \frac{K_{fl}K_p(V_{gs}-V_{Tl})^2}{2(1+\theta(V_{gs}-V_{Tl}))} \quad si \quad V_{ds} > \frac{V_{gs}-V_{Tl}}{P_{vf}} \quad (24)$$

$$I_{mosh,sat} = \frac{(1-K_{fl})K_p(V_{gs}-V_{Th})^2}{2(1+\theta(V_{gs}-V_{Th}))} \quad si \quad V_{ds} > \frac{V_{gs}-V_{Th}}{P_{vf}} \quad (25)$$

K_{fl} est le facteur de transconductance à courant faible. En régime linéaire, l'effet de la diffusion de charges est lié à la densité non uniforme de dopage dans le canal. Cet effet induit des paramètres de type transconductance différents pour le régime linéaire et pour le régime saturation.

La chute de tension à l'état passant du MOSFET appelée V_{dds} est la somme de la chute de tension du canal V_{ds} et la chute de tension traversant des résistances séries (substrat et contact) :

$$V_{dds} = V_{ds} + I_d(R_b + R_s) \quad (26)$$

La tension de seuil dépend de la température de jonction de manière linéaire :

$$V_T(T_j) = V_{T0} + V_{T1}(T_j - T_0) \quad (27)$$

Les transconductances sont dépendantes de la température de jonction suivant les équations :

$$K_p(T_j) = K_{p0} \left(\frac{T_0}{T_j} \right)^{K_{p1}} \quad (28)$$

$$K_f(T_j) = K_{f0} \left(\frac{T_0}{T_j} \right)^{K_{f1}} \quad (29)$$

$$\theta(T_j) = \theta_0 \left(\frac{T_j}{T_0} \right)^{\theta_1} \quad (30)$$

Les capacités sont calculées à partir des paramètres géométriques et physiques du composant comme : la surface de chevauchement grille-drain, ou la largeur de la région de drain. La capacité grille-source C_{GS} est considérée constante. La capacité de jonction drain-source C_{dsj} est déterminée par la largeur de la région de déplétion et par la surface du substrat de drain :

$$C_{dsj} = \frac{A_{ds}\epsilon_{semi}}{W_{dsj}} \tag{31}$$

La capacité grille-drain C_{GD} a une composante qui dépend de la surface de chevauchement A_{gd} et de la tension de seuil de la région de déplétion grille-drain V_{Td} . Quand la tension drain-grille est inférieure à la tension $-V_{Td}$, C_{gd} est égale à la tension d'oxyde grille-drain C_{oxd} . Dans le cas contraire, la capacité grille-drain C_{gd} est équivalente à C_{gdj} et C_{oxd} en série.

$$C_{gdj} = \frac{A_{gd}\epsilon_{semi}}{W_{gdj}} \tag{32}$$

$$C_{gd} = \left\{ \begin{array}{l} C_{oxd} \\ C_{oxd}C_{gdj}/(C_{oxd} + C_{gdj}) \end{array} \right. \tag{33}$$

Pour une tension de grille négative, une couche de déplétion apparaît au-dessous du chevauchement grille-drain. Quand la tension de grille devient plus négative, la capacité grille-drain C_{gd} diminue rapidement comme les trous se déplacent de la région p- à la couche d'inversion. Dans ce cas, c'est donc logique de parler de la capacité grille-couche d'inversion qui renforce la capacité grille-drain. Une procédure d'ajustement de courbes utilisant le logiciel IMPACT a été appliquée afin de trouver les paramètres du modèle.

$$C_{gi} = \left\{ \begin{array}{l} C_{oxd} \\ C_{oxd} \left(\frac{V_{gs} - V_{Tdi}edge}{V_{Tdi} - V_{Tdi}edge} \right) \end{array} \right. \tag{34}$$

Basé sur le modèle donné par [75], [79]-[80] propose une procédure simplifiée d'extraction de paramètres à partir d'une spécification du composant. Cette procédure consiste d'abord à extraire les caractéristiques électriques mentionnées dans une spécification en utilisant le simulateur SABER. Comme illustré dans la Figure 109, les paramètres du modèle sont déterminés à partir de différentes régions de fonctionnement du composant.

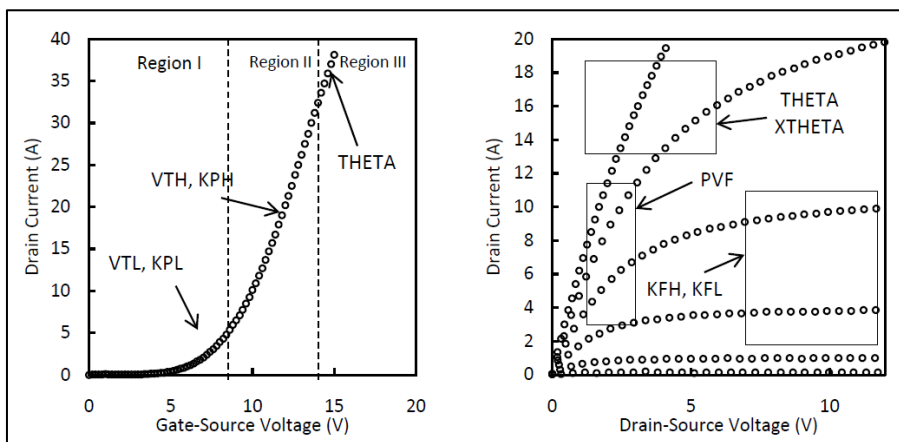


Figure 109 : Identification de paramètres pour : (a) caractéristique de transfert et (b) caractéristique statique [79]

Un autre modèle physique basé sur la division de différentes zones du MOSFET SiC est présenté dans [76], [77]. La Figure 110 illustre la structure de DIMOS avec les différentes régions et leurs dimensions. Comme on peut constater, la région de drift est divisée en trois parties afin de modéliser son comportement sous différentes conditions de courant.

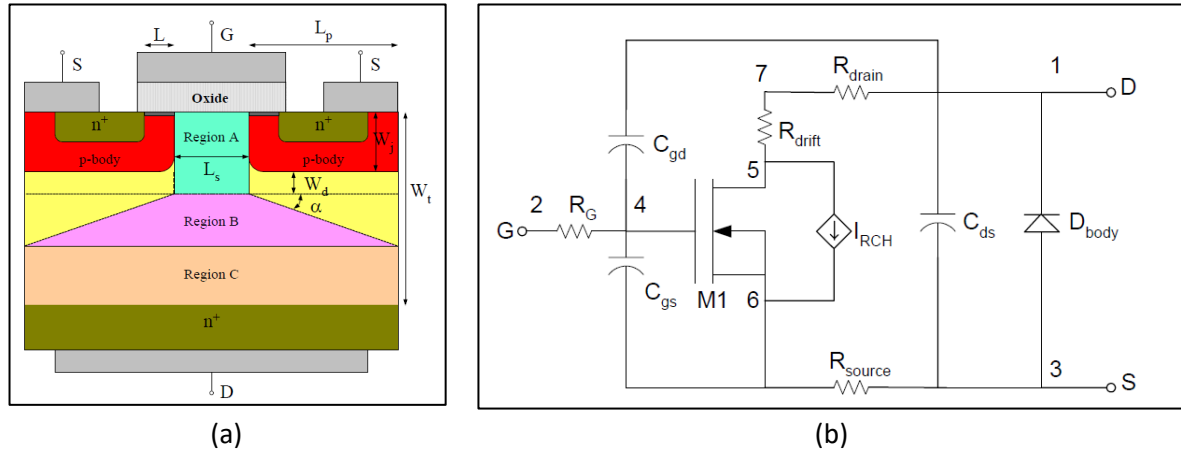


Figure 110 : (a) Structure DIMOS avec les dimensions géométriques, (b) Modèle équivalent [76], [77]

Le courant du canal est modélisé à partir d'un modèle pour un MOSFET vertical :

$$I_{ch} = \frac{W\mu_n}{2L(1 + \mu_n/2v_{sat}L)V_{ch}} V_{ch} [2C_{OX}(V_{GS} - V_T) - (C_{OX} + C_{do})V_{ch}] \quad (35)$$

W est la largeur du canal, L est la longueur du canal,

V_{ch} est la chute de tension du canal, V_T est la tension de seuil, V_{GS} est la tension grille-source,

C_{OX} est la capacité d'oxyde, C_{do} est la capacité de la région de déplétion,

μ_n est la mobilité d'électron, v_{sat} est la vitesse de saturation d'électrons.

La chute de tension dans la région d'accumulation A (région JFET) est calculée par :

$$V_A = \frac{I_D(W_j + W_d)}{W(L_s q N_d \mu_n) - I_D/E_C} \quad (36)$$

La chute de tension de la région de drift avec la section variable B est :

$$V_B = \frac{I_D}{WqN_d\mu_n \cot\alpha} \log \left[\frac{WqN_d\mu_n(L_s + 2L_p) - I_D/E_C}{WqN_dL_s\mu_n - I_D/E_C} \right] \quad (37)$$

La chute de tension de la région de drift avec la section constante C est :

$$V_C = \frac{I_D(W_t - W_j - W_d - L_p \tan\alpha)}{WqN_d\mu_n(L_s + 2L_p) - I_D/E_C} \quad (38)$$

Où :

W_j est la profondeur de la région N^+ , W_d est la profondeur de la région déplétion, W_t est l'épaisseur totale de l'épitaxie

L_s est la longueur de la région d'accumulation, L_p est la longueur de la région p-

La chute de tension totale traversant la région de drift est

$$V_{drift} = V_A + V_B + V_C \quad (39)$$

La chute de tension drain-source est donc

$$V_{DS} = V_{drift} + V_{ch} \quad (40)$$

Le modèle [78] représente la distribution non uniforme dans la région JEFET grâce à une source de tension et une résistance.

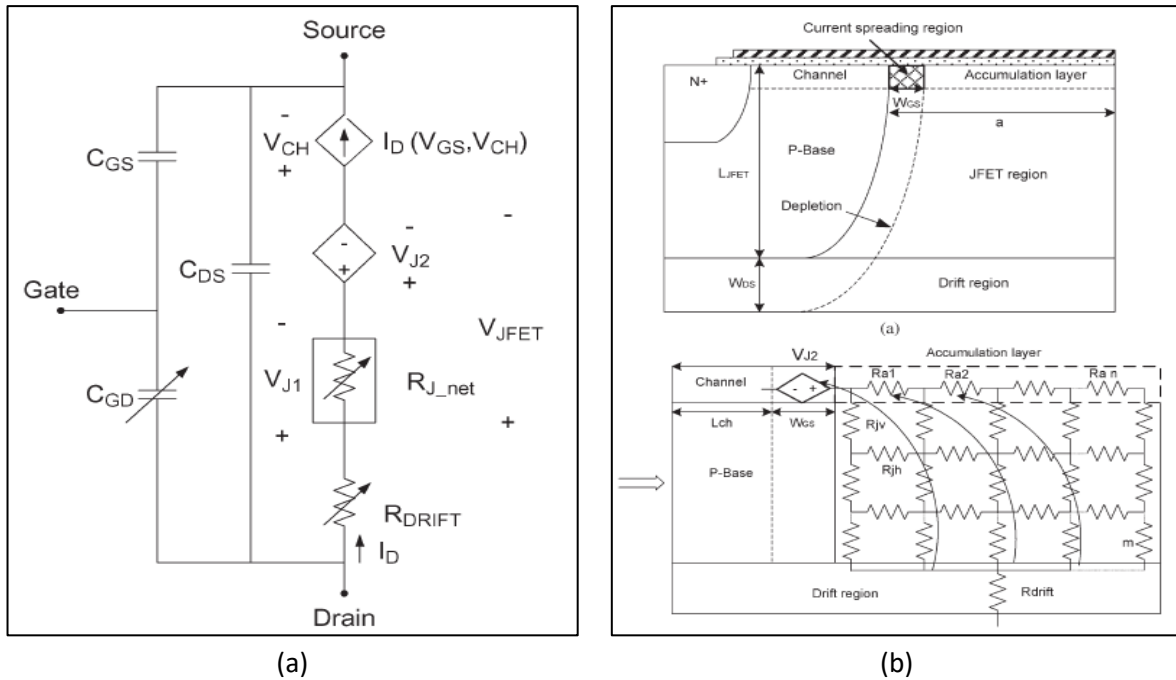


Figure 111 : Structure (a) du modèle DMOSFET SiC, (b) de la région JFET [78]

La structure de ce modèle est illustrée dans la Figure 111. Il est composé de :

- Une source de courant contrôlée en tension I_D qui représente le fonctionnement du canal
- Une source de tension V_{J2}
- Une résistance non-linéaire R_{J_net} de la région JFET
- Une résistance non-linéaire R_{DRIFT} de la région de drift

La résistance non-linéaire de la région de drift est donnée par :

$$R_{DRIFT} = \frac{L_{DRIFT} - W_{DS}}{2 \cdot q \cdot \mu_{n-drift} \cdot N_{DRIFT} \cdot Z \cdot W_{JFET}} \tag{41}$$

La résistance non-linéaire de la région JFET :

$$R_{J_net} = \frac{L_{JFET}}{2 \cdot q \cdot \mu_{JFET} \cdot N_{JFET} \cdot Z \cdot (a - W_{JFET})} \tag{42}$$

La région JFET est composée de deux parties : la source de tension V_{J2} et une matrice de résistances (voir Figure 111). La source de tension V_{J2} représente la chute de tension due au passage du courant. La matrice de résistances permet de prendre en compte la distribution non-uniforme du courant dans la région JFET. Ce modèle permet de reproduire la chute de tension JFET dans les deux directions horizontale et verticale. Comme illustré dans la Figure 111, le haut de la matrice donne les résistances d'accumulation lorsque le bas de la matrice représente la région JFET. Ces résistances dépendent de la tension grille-source V_{GS} et de la tension drain-source V_{DS} .

Les résistances de la couche d'accumulation R_{ai} , de la région JFET (horizontal R_{jh} et vertical R_{jv}) sont aussi dépendantes de la distance L_R entre les nœuds aux bornes d'une même résistance et de l'épaisseur L_{JFET} de la région JFET :

$$R_{ai} = \frac{L_R}{Z\mu_A C_{OX}(V_{GS} - V_T - V_i)} \tag{43}$$

$$R_{jh} = \frac{L_R m}{q\mu_{JFET} N_{JFET} Z L_{JFET}} \tag{44}$$

$$R_{jv} = \frac{L_{JFET}}{q\mu_{JFET} N_{JFET} Z L_R m} \tag{45}$$

Le modèle comportemental utilise simplement les équations purement mathématiques afin de modéliser le fonctionnement des transistors [90], [91].

Alors que le fonctionnement du canal est représenté par l'équation du courant de drain dans les modèles physiques précédents, [90] décrit le canal directement par une résistance drain-source R_{DSON} . Ce modèle est relativement simple par rapport aux modèles précédents (voir Figure 112).

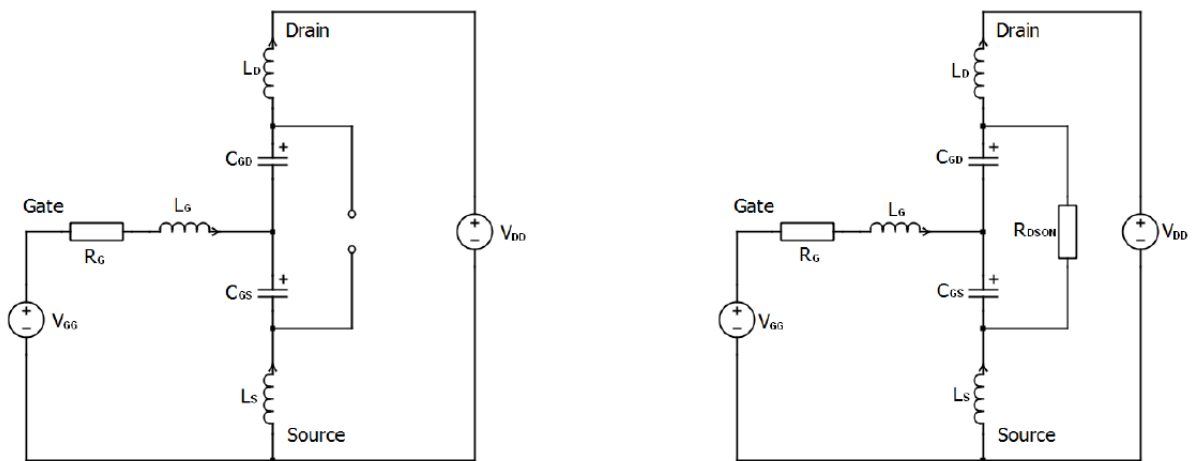


Figure 112 : Circuit équivalent du MOSFET à l'état bloqué et à l'état passant [90].

Ce modèle est composé de :

- Une résistance drain-source R_{DSON}
- Deux capacités internes du MOSFET : C_{GS} et C_{GD}
- Trois inductances parasites L_G, L_D, L_S connectées à trois électrodes grilles, drain, source

La résistance R_{DSON} peut varier de l'infinie (état bloqué) à une petite valeur (état passant) selon la tension de commande V_{GS} . Les équations de la mise en conduction du MOSFET prennent en compte des inductances parasites. Celles-ci nous permettent de mieux modéliser les oscillations de la tension et du courant lors de la commutation OFF-ON.

$$(V_D - V_G)sC_{GD} + \left(\frac{V_D - V_{DD}}{sL_D}\right) + \left(\frac{V_D - V_S}{R_{DSON}}\right) = 0 \tag{46}$$

$$(V_G - V_S)sC_{GS} + \left(\frac{V_G - V_{GG}}{R_G + sL_G}\right) + (V_G - V_D)sC_{GD} = 0 \tag{47}$$

$$(V_S - V_G)sC_{GS} + \frac{V_S - V_D}{R_{DSON}} + \frac{V_S}{sL_S} = 0 \tag{48}$$

Le modèle présenté dans [91] utilise les équations empiriques pour calculer des pertes du MOSFET SiC. Les pertes par commutation, dépendantes de la tension drain-source u_{ds} , du courant i_c et de la température de jonction T_j , sont calculées par la formule suivante :

$$E_S(u_{ds}, i_c, T_j) = E_0 \cdot f_1(u_{ds}) \cdot f_2(i_c) \cdot f_3(T_j) \tag{49}$$

Où :

$f_i(p) = c_{0,i}(p^{e_{0,i}}) + c_{1,i}(p^{e_{1,i}}) + c_{2,i}(p^{e_{2,i}})$ est une fonction élémentaire utilisée pour simplifier la procédure d'ajustement de courbe.

La chute de tension du MOSFET dans la région linéaire :

$$u_c(i_c, T_j) = u_0 \cdot f_4(T_j) + r_0 \cdot f_5(T_j) \cdot i_c \tag{50}$$

Le modèle semi-physique contient à la fois les équations physiques et les équations mathématiques afin de modéliser le transistor. Plusieurs modèles sont présentés dans [82], [83], [84], [85], [86], [87], [88], [89].

La Figure 113 illustre le schéma équivalent du modèle MOSFET SiC proposé dans [88].

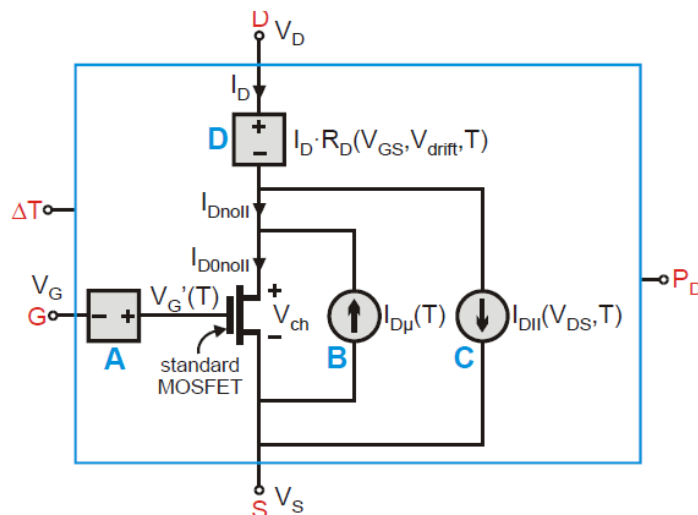


Figure 113 : Schéma électrique du modèle MOSFET SiC selon [88].

Ce modèle utilise un modèle du standard MOSFET pour représenter le fonctionnement du canal du MOSFET. Les paramètres comme la tension de seuil V_{TH} et la mobilité d'électron μ_n sont dépendants de la température. La résistance de la région de drift est modélisée comme suit :

$$R_D(V_{GS}, V_{drift}, T) = R_{D0}(T) + R_{D1} \frac{V_{drift}}{V_1 + V_{drift}} \left(\frac{V_{GS}}{V_2} \right)^{-r} \tag{51}$$

Une source de tension A est ajoutée afin de compenser mathématiquement la variation de la tension de seuil en fonction de la température.

$$V_G' - V_S - V_{TH}(T_0) = V_{GS} - V_{TH}(T) \tag{52}$$

Une source de courant B exprime l'impact de l'effet d'ionisation au niveau de l'interface (interface piégeage) :

$$I_{D\mu} = I_{D0noII} \left[1 - \left(\frac{T_0 + \Delta T}{T_0} \right)^{-m(T)} \right] \tag{53}$$

Une source de courant C représente l'effet d'avalanche du MOSFET SiC.

$$I_{DII} = (M - 1) \cdot I_{D0noII} \tag{54}$$

Le courant drain I_D est la somme de ces trois courants I_{D0noII} , I_{DW} , I_{DII} illustrés dans la Figure 113. Le modèle est ensuite validé avec un cas de court-circuit du composant (100V, 100A). Le résultat montre que l'impact de l'effet d'ionisation doit être pris en compte afin d'avoir une simulation précise.

L'article [82] propose un modèle analytique thermosensible du MOSFET 6H-SiC. La Figure 114 illustre le schéma électrique équivalent représentant le courant de drain. Les paramètres électriques et physiques du modèle sont dépendants de la température : la tension de seuil, la mobilité de charge, le courant de fuite et les résistances de contact de drain et de source.

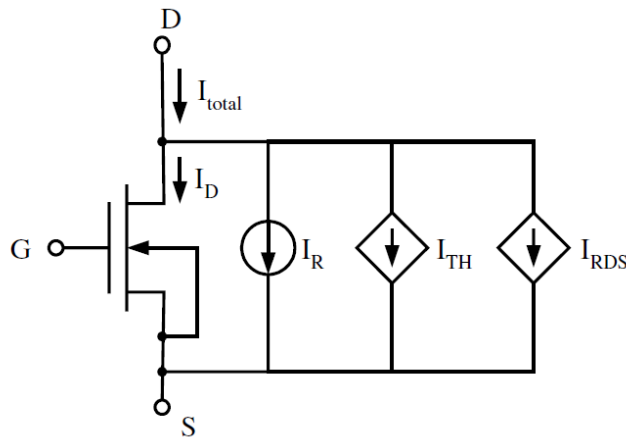


Figure 114 : Modèle du MOSFET SiC avec la compensation de température [82].

Trois sources de courant sont mises en parallèle avec le courant du canal (I_D). Ces trois courants ont pour objectif de compenser la variation du courant total en fonction de la température. Le courant total drain-source est donc :

$$I_{total} = I_D + I_R + I_{TH} + I_{RDS} \tag{55}$$

Le courant du canal I_D est le courant du canal à la température ambiante (300K). Ce courant est constant pour toutes les températures. Dans la région linéaire et la région de saturation, le courant du canal est calculé par l'équation de Shockley:

$$I_D = \frac{W}{L} \mu_n C_{OX} \left[(V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right] V_{DS} \tag{56}$$

$$I_{Dsat} = \frac{W}{2L} \mu_n C_{OX} [(V_{GS} - V_{TH})^2] \tag{57}$$

Le courant I_R représente le courant de fuite du composant. Ce courant est proportionnel à la concentration intrinsèque de porteurs de charge n_i . À la température ambiante, le courant de fuite est négligeable. Cependant, quand la température augmente, la concentration intrinsèque augmente de manière exponentielle. Le courant de fuite I_R peut donc devenir important à très haute température.

$$I_R = qA \frac{D_n n_i^2}{L_n N_A} \alpha A T^3 \exp\left(-\frac{E_g}{kT}\right) \tag{58}$$

Le courant I_{TH} est la variation du courant total due à la variation de la tension de seuil V_{TH} avec la température. Comme la tension de seuil diminue quand la température augmente, $V'_{TH} < V_{TH}$ lorsque la température est supérieure de la température de référence donc le courant I_{TH} est positif (selon

l'équation (59)). Au contraire, quand la température est inférieure de la température de référence, ce courant I_{TH} est négatif.

$$I_{TH} = \frac{W}{L} \mu_n C_{OX} [V_{TH} - V'_{TH}] V_{DS} \tag{59}$$

$$I_{THsat} = \frac{W}{2L} \mu_n C_{OX} [(V_{GS} - V'_{TH})^2 - (V_{GS} - V_{TH})^2] \tag{60}$$

Le courant I_{RDS} représente l'impact des résistances de contact de drain et de source sur le courant total du composant. La tension drain-source V_{DS} est composée d'une chute de tension du contact et de la chute de tension du canal. Par ailleurs, il est démontré que cette résistance de contact diminue quand la température augmente ($R'_{DS} < R_{DS}$).

$$I_{RDS} = \left(\frac{1}{R'_{DS}} - \frac{1}{R_{DS}} \right) V_{DS} \tag{61}$$

A partir du modèle classique Shockley d'un MOSFET latéral, [84]-[85] propose un modèle de puissance n qui permet de mieux représenter les caractéristiques de transfert du MOSFET SiC.

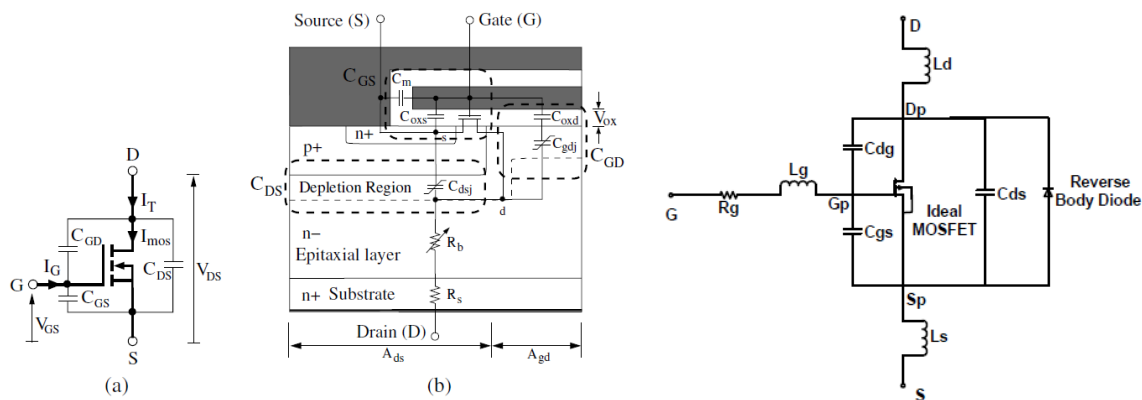


Figure 115 : Structure et modèle équivalent du MOSFET SiC [84], [85]

Lorsque le modèle du MOSFET latéral Shockley est utilisé, il n'est pas adapté au MOSFET SiC en raison de la transition graduelle entre la région linéaire et la région de saturation. Il est donc nécessaire d'ajouter des paramètres dans ce modèle afin de mieux représenter cette transition.

La tension de saturation V_{DSSat} et le courant de saturation I_{DSSat} sont calculés comme suivant :

$$V_{DSSat} = K(V_{GS} - V_{th})^m \tag{62}$$

$$I_{DSSat} = B(V_{GS} - V_{th})^n \tag{63}$$

Où K et m sont des paramètres pour modéliser la région linéaire, B et n sont des paramètres pour modéliser la région de saturation. Le courant de drain dans la région linéaire est :

$$I_D = I_{Dsat} (1 + \lambda V_{DS}) \left(2 - \frac{V_{DS}}{V_{DSSat}} \right) \frac{V_{DS}}{V_{DSSat}} \tag{64}$$

Le courant de drain dans la région de saturation :

$$I_D = I_{Dsat} (1 + \lambda V_{DS}) \tag{65}$$

Le paramètre λ décrit l'effet de la modulation de la longueur du canal. Ce paramètre est calculé comme la pente du courant de drain dans la région de saturation.

L'article [83] propose un modèle SPICE de MOSFET SiC très haute tension 10kV. Partant de ce même modèle, [87] l'a modifié afin de l'étendre aux basses températures (-25°C à 125°C) et à tensions de commande V_{GS} négatives. La Figure 116 illustre le schéma équivalent du MOSFET et le sous-circuit de la capacité non-linéaire C_{GD} .

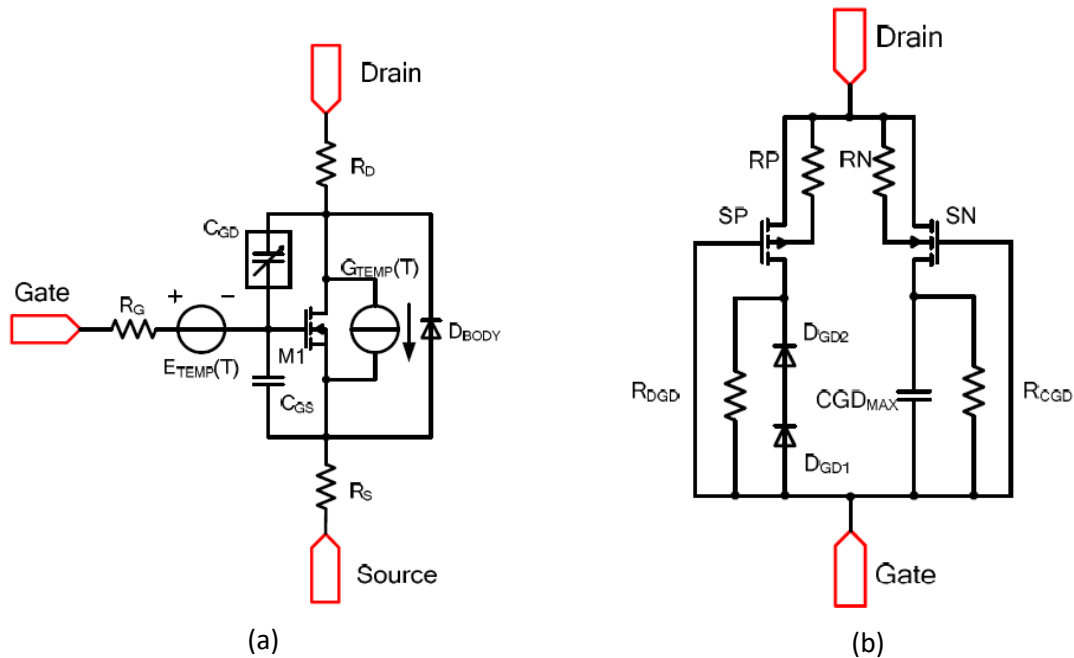


Figure 116 : Modèle équivalent du MOSFET SiC et sous-circuit de la capacité C_{GD} [87].

Étant différent des modèles précédents, ce modèle représente le fonctionnement du canal à l'état passant par une résistance R_{DSon} qui dépend de la température. La résistance R_{DSon} est calculée par un polynôme de degré 2 en fonction de la température. Une valeur de référence est relevée à la température ambiante (25°C). Des coefficients TC1 et TC2 sont estimés de façon à ce que les courbes obtenues d'une part par le modèle et d'autre part par la mesure, coïncident. Cette procédure sera appelée « ajustement de courbes ».

$$R_{DSon}(T) = R(T_{25})[1 + TC1.(T - T_{25}) + TC2.(T - T_{25})^2] \quad (66)$$

La résistance de grille du composant dépend aussi de la température. Une procédure d'ajustement de courbes similaire est utilisée afin d'estimer ses paramètres.

$$R_G(T) = R_G(T_{25})[1 + TC3.(T - T_{25}) + TC4.(T - T_{25})^2] \quad (67)$$

Une source de tension E_{TEMP} est mise en série avec la résistance de grille R_G pour compenser la variation de la tension de seuil due à la température. Comme une estimation linéaire induit des erreurs, les auteurs ont exprimé cette tension comme un polynôme de degré 3 en fonction de température.

$$E_{TEMP} = VT3.(T - T_{25})^3 + VT2.(T - T_{25})^2 + VT1.(T - T_{25}) \quad (68)$$

Afin de prendre en compte l'impact de la température, une source de courant G_{TEMP} est mise en parallèle avec le MOSFET (voir Figure 116). Le courant $I(T_{25})$ est le courant de drain à la température ambiante. Les paramètres TC1, TC2 sont calculés par l'ajustement de courbes.

$$G_{TEMP} = I(T_{25}) \left[\left(\frac{T + 273}{T_{25} + 273} \right)^{TC1} - \left(\frac{T + 273}{T_{25} + 273} \right)^{TC2} \right] \quad (69)$$

L'article [86] présente la modélisation électrothermique des composants de puissance SiC (MOSFET et Diode Schottky). La Figure 117 illustre la structure du MOSFET SiC et son modèle équivalent proposé. Le courant de drain est calculé par la formule suivante :

$$I_{DS} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (2V_{DS,sat} V_{DS} - V_{DS}^2) \text{ pour } V_{DS} < V_{DS,sat} \tag{70}$$

$$I_{DS} = \frac{1}{2} \mu_n C_{OX} V_{DS,sat}^2 [1 + \lambda(V_{DS} - V_{DS,sat})] \text{ pour } V_{DS} \geq V_{DS,sat} \tag{71}$$

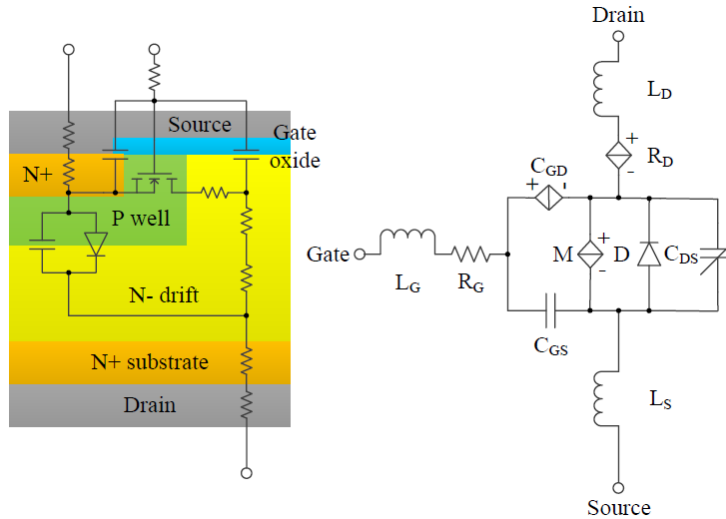


Figure 117 : Structure et modèle électrique équivalent du MOSFET SiC [86].

La résistance à l'état passant $R_{DS,on}$ est la somme de la résistance de la région de drift et de la résistance du canal :

$$R_{DS,on} = R_D + R_{CH} = R_D + \frac{1}{2K_P V_{DS,sat}} \tag{72}$$

Par ailleurs, les fabricants de transistors modélisent aussi leurs composants afin d'aider les utilisateurs dans la simulation de leurs systèmes mais aussi afin de valider le choix de composants. À côté des académiques, les fabricants des transistors jouent un rôle actif en publiant des modèles utilisés pour leurs composants. Ici, on présente les topologies des modèles de quatre fabricants : CREE Wolfspeed, ROHM Semiconductor et STMicroelectronics, ON Semiconductor.

STMicroelectronics [93] présente un modèle analogique comportemental du MOSFET SiC (voir Figure 118). Ce modèle est thermosensible avec les paramètres dépendants de la température comme R_{DSON} , BV_{DSS} , V_{TH} . Les caractéristiques statiques sont représentées par une source de courant à tension contrôlée (VCCS) appelée G_{value} . Elle contient les équations du courant de drain I_D en fonction de la tension de seuil V_{TH} et de la tension drain-source V_{DS} . À la sortie de G_{value} , la puissance dissipée $P_d(t)$ du composant peut être estimée. Cette puissance est fournie à un réseau RC afin de calculer la température de jonction $T_j(t)$ en connaissant l'impédance thermique $Z_{TH}(t)$ et la température de boîtier du composant :

$$T_j(t) = P_d(t)Z_{TH}(t) + T_{case} \tag{73}$$

La température $T_j(t)$ impacte les paramètres R_{DSON} et V_{TH} , qui font varier le courant de drain I_D et donc la puissance dissipée. Cette boucle présente le comportement électrothermique du composant.

Les caractéristiques dynamiques sont représentées par des capacités mesurées préalablement. Le courant est calculé en fonction de la tension et des capacités. Les résistances et inductances parasites du package sont aussi présentées dans ce modèle.

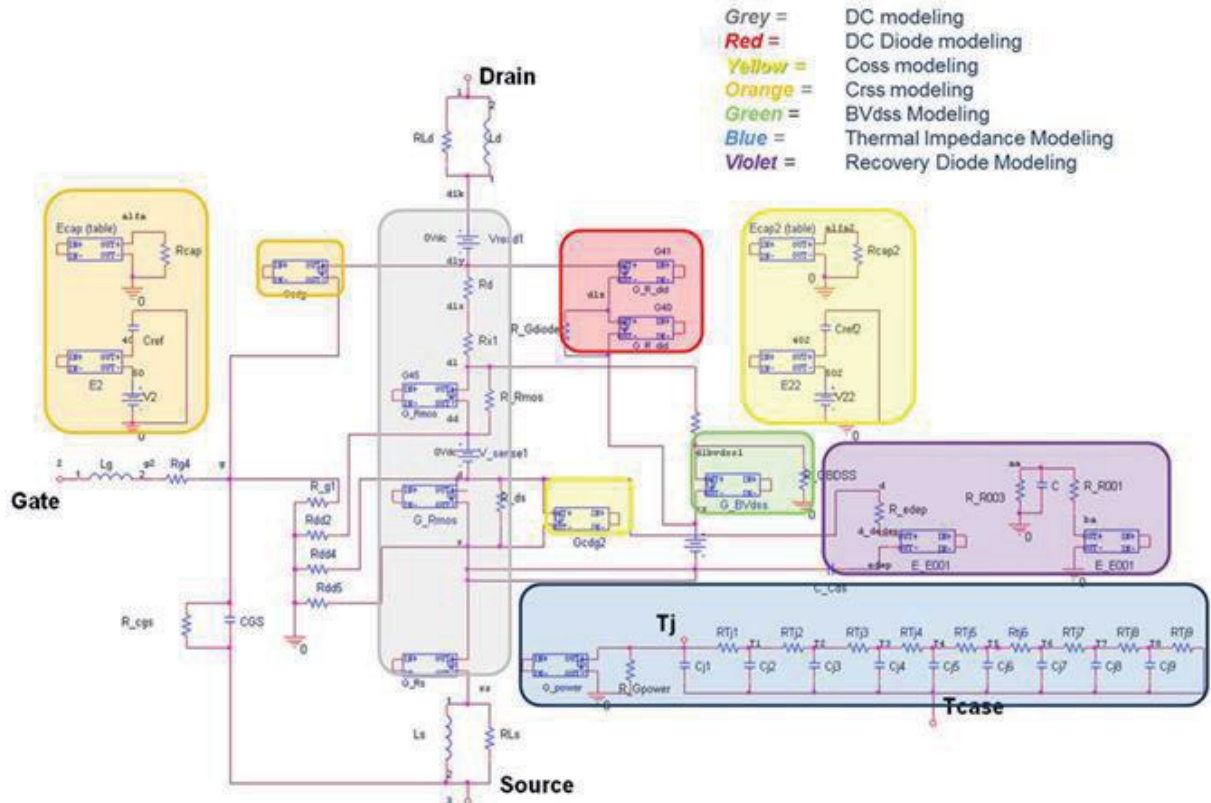


Figure 118 : Schéma du modèle du MOSFET SiC représenté par les blocs spécifiques [93].

La Figure 119 illustre le modèle équivalent du MOSFET SiC de ROHM Semiconductor [94].

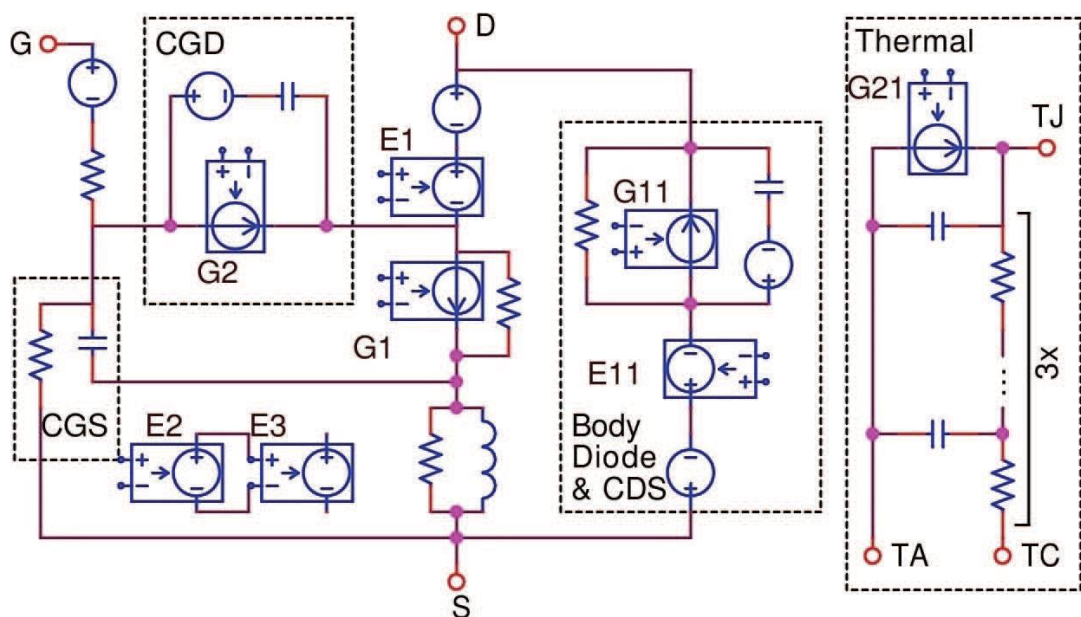


Figure 119 : Schéma électrique équivalent du modèle MOSFET SiC de ROHM [94].

Le modèle du MOSFET SiC de ROHM Semiconductors mélange les approches du modèle EKV [99] et du modèle Curtice [100]. Le courant de drain est représenté par une source de courant contrôlée en tension G1 (VCCS). La résistance à l'état passant est modélisée par une source de tension contrôlée en courant E1 (CCVS) en série avec le courant de drain G1 (voir Figure 119). Cette résistance impacte donc les deux caractéristiques directe et inverse du MOSFET.

Le modèle thermique utilise l'approche du modèle STM en utilisant un réseau RC de Cauer. Les résistances thermiques remontent à la température ambiante. Les températures de jonction T_J et de case T_C sont donc calculées avec la puissance dissipée G21 et la température ambiante T_A .

$$f_g(V_{GS}) = V'_{GS} \left[1 + \left(B_1 + B_2 \tanh \left(\frac{V'_{GS}}{c_1} \right) \right) \cdot \frac{e^{\frac{T_J - T_0}{-c_T}}}{10} \right] \quad (74)$$

$$f_d(V_{DS}) = \frac{V_{DS}}{|V_{DS}| + \left(B_1 + B_2 \tanh \left(\frac{V'_{GS}}{c_1} \right) \right) \cdot e^{\frac{T_J - T_0}{-c_T}}} \quad (75)$$

La diode structurelle est modélisée par une résistance et une source de courant à tension contrôlée G11 et une source de tension E11.

Pour les caractéristiques dynamiques, trois capacités sont présentes : C_{GD} contient une source de courant à tension contrôlée G2 et une capacité. La capacité C_{DS} est incluse dans la diode structurelle (voir Figure 119).

La Figure 120 illustre les modèles électriques des MOSFETs SiC CREE Wolfspeed de différentes générations : C2M et C3M [94].

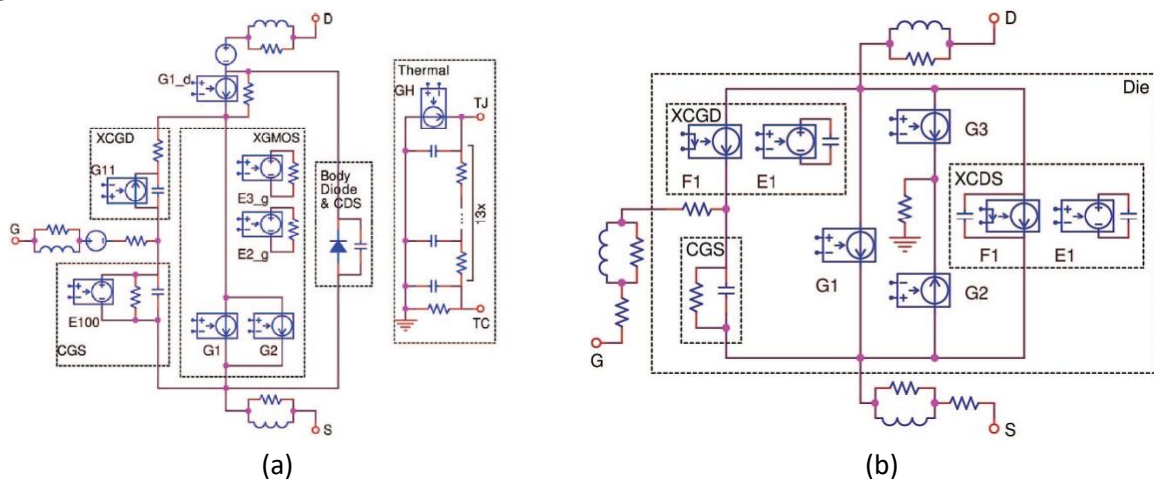


Figure 120 : Modèles électriques des MOSFETs SiC CREE Wolfspeed : (a) C2M, (b) C3M [94].

Le modèle du MOSFET SiC CREE est basé sur le modèle Enz-Krummenacher-Victor (EKV). L'avantage de ce modèle est la capacité d'adapter le comportement du MOSFET SiC dans les régions d'inversion faible, moyenne et forte avec une seule équation. Le modèle EKV décrit le courant de drain de la façon suivante :

$$I_{Drain} = 2g_m \phi_t^2 k_S \left\{ \left[\ln \left(1 + e^{\frac{(V_{GS} - V_{th})}{2k_S \phi_t}} \right) \right]^k - \left[\ln \left(1 + e^{\frac{(V_{GS} - V_{th}) - nV_{DS}}{2k_S \phi_t}} \right) \right]^k \right\} (1 + \gamma V_{DS}) \quad (76)$$

La source G1 présente le courant du canal comme une fonction de la tension grille-source et de la tension drain-source. La diode structurelle est illustrée par deux sources de courant à tension contrôlée G2 et G3. Les capacités C_{GD} et C_{DS} sont dépendantes de la tension. En conséquence, une source de tension E1 est utilisée pour décrire l'impact de la tension sur les valeurs des capacités (voir Figure 120b).

La Figure 121 illustre la structure avec des dimensions géométriques et le modèle équivalent du MOSFET SiC chez ON Semiconductor [96].

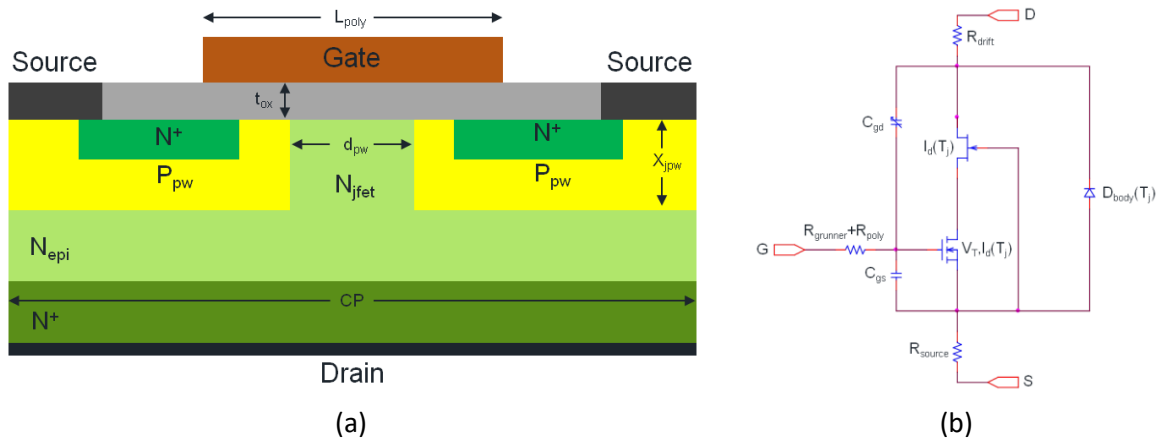


Figure 121 : La structure (à gauche) et le modèle sous-circuit du MOSFET SiC [96].

Étant différent des modèles précédents, le modèle du MOSFET SiC chez ON Semiconductor est un modèle physique. Le modèle du canal est basé sur Bsim3v3 [96] qui est adapté aux transitions entre les régions sous-seuil (sub-threshold), d'inversion faible et d'inversion forte. L'impact de la température est aussi pris en compte.

Le courant de drain est calculé par l'équation :

$$I_D = \beta \cdot [2 \cdot (V_{GS} - vto) - V_{DS}] \cdot V_{DS} \cdot (1 + \lambda V_{DS}) \quad (77)$$

où : β et vto sont des paramètres estimés à partir du processus physique ainsi que de la géométrie. La tension de pincement vto dépend de la distance de la région JFET et du potentiel intrinsèque entre la région P-well et la région JFET. Le paramètre β dépend de la profondeur de la région pwell et de la résistivité de la région JFET.

La diode structurelle du MOSFET est développée à partir d'un modèle physique pour les diodes à recouvrement rapide.

La capacité grille-drain dépend de l'épaisseur de l'oxyde t_{ox} , de la distance d_{pw} et de la concentration de dopage N_{jfet} de la région JFET.

$$C_{GD} = \frac{C_{ox} C_{dep}}{C_{ox} + C_{dep}} \quad (78)$$

La capacité grille-source C_{GS} est déterminée à partir du modèle bsim3v3. La capacité drain-source C_{DS} est présentée comme la capacité de jonction de la diode intrinsèque.

De plus, les paramètres intrinsèques de la puce (dimension, dopage) sont pris en compte afin de rendre le modèle évolutif, c'est-à-dire que les paramètres électriques précédents peuvent être déterminés pour chaque puce en modifiant des paramètres géométriques de la puce.

V.3. MODELE DU MOSFET SiC

La partie précédente nous a permis de citer les modèles existants du MOSFET SiC: modèle physique, modèle semi-physique et modèle comportemental. Les modèles physiques utilisent les équations de la physique des semi-conducteurs afin de modéliser le transistor. Pour représenter fidèlement les phénomènes présents dans le transistor, ces modèles intègrent les informations des caractéristiques intrinsèques du composant tels que les dimensions géométriques, les niveaux de dopage, ...Cependant, il n'est pas aisé d'accéder à de telles informations. Nous avons donc décidé de réaliser un modèle thermosensible comportemental qui nous permet d'avoir un modèle de base simplifié avec une bonne précision afin de construire ultérieurement un modèle électrothermique des modules de puissance plus complexes. Ce modèle intègre les équations purement mathématiques afin de représenter les caractéristiques du MOSFET SiC. Celui-ci permet de réduire le nombre des paramètres utilisés dans le modèle tout en gardant une bonne précision par rapport à des caractéristiques mesurées.

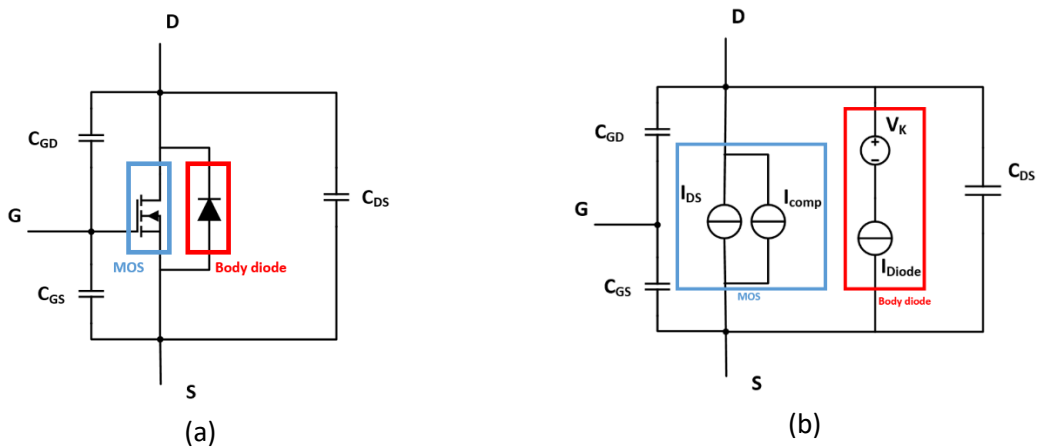


Figure 122. (a) Schéma électrique équivalent du MOSFET SiC, (b) Présentation de chaque élément du MOSFET SiC.

La Figure 122 illustre le schéma électrique simplifié d'un MOSFET et le schéma électrique équivalent du modèle proposé. Contrairement aux modèles basé sur le modèle Shockley du MOSFET Silicium où une seule source de courant est utilisée pour modéliser le fonctionnement du canal, ici deux sources de courant sont utilisées :

- La source de courant I_{DS} représente le fonctionnement du MOSFET SiC en conduction directe.
- La source de courant I_{COMP} représente le fonctionnement en conduction inverse. Comme les deux modes de conduction directe et inverse du MOSFET SiC ne sont pas symétriques, ces deux sources de courant permettent la prise en compte de cette particularité du MOSFET SiC par rapport au MOSFET Silicium.

La diode structurelle du MOSFET SiC est représentée par une source de tension V_K et une source de courant I_{diode} .

V.3.1. Conduction directe

Parmi les différents modèles existants du MOSFET SiC, l'approche la plus populaire est de réaliser un modèle à partir de l'équation physique de Shockley du MOSFET Silicium latéral [3]. Cependant, cette approche demande souvent de modifier l'équation en ajoutant plusieurs paramètres afin de mieux l'adapter au cas du MOSFET SiC. Une autre approche consiste à choisir une fonction analytique qui la même allure que les caractéristiques de sortie du MOSFET [4].

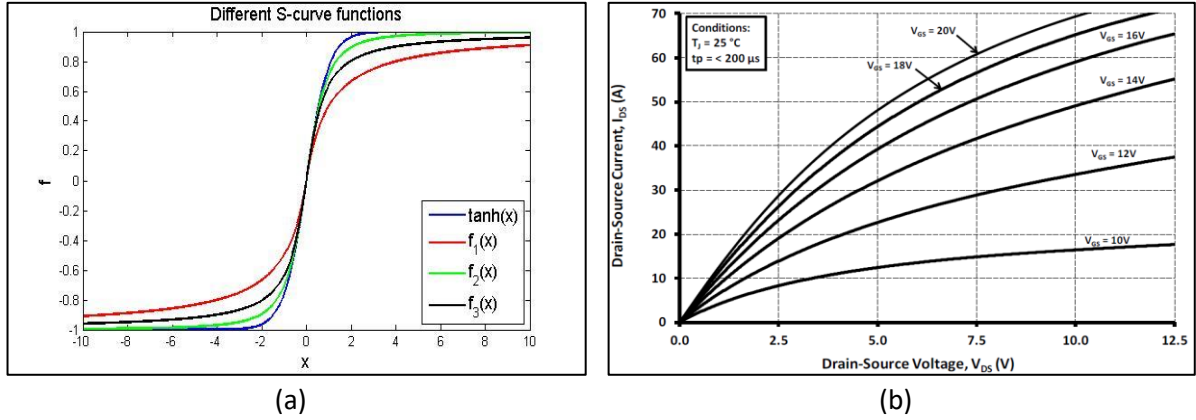


Figure 123. (a) Allures de fonctions f_1 , f_2 , f_3 , (b) Caractéristiques de sortie en conduction directe (source : datasheet)

A partir de l'approche utilisant les équations mathématiques, le fonctionnement du canal du MOSFET SiC est représenté analytiquement par l'équation suivante :

$$I_{DS} = I_{sat} \times f_g(V_{GS}) \times f_d(V_{DS}) \times (1 + \lambda V_{DS}) \quad (79)$$

Avec : I_{sat} est lié au courant de saturation du MOSFET SiC.

$f_d(V_{DS})$, représente les caractéristiques de sortie du MOSFET SiC. Elle est sous forme d'une des trois fonctions f_1 , f_2 , f_3 .

$$f_1(x) = \frac{x}{|x| + b} \quad (80)$$

$$f_2(x) = \frac{x}{\sqrt{x^2 + b}} \quad (81)$$

$$f_3(x) = \frac{2}{\pi} \arctan\left(b \times \frac{\pi}{2} x\right) \quad (82)$$

$f_g(V_{GS})$ représente les caractéristiques de transfert du MOSFET SiC avec les paramètres a , n , m .

$$f_g(V_{GS}) = \left(\frac{V_{GS}^n}{V_{GS}^n + a^n}\right)^m \quad (83)$$

$1 + \lambda V_{DS}$, prend en compte le phénomène de modulation de longueur du canal avec le paramètre λ . Afin de représenter l'impact de la température sur les caractéristiques statiques du MOSFET SiC, les paramètres de l'équation du MOSFET sont dépendants linéairement de la température de jonction :

$$I_{sat} = I_{sat0} + \delta_{I_{sat}} \frac{T_J + 273}{T_0 + 273} \quad (84)$$

$$a = a_0 + \delta_a \frac{T_J + 273}{T_0 + 273} \quad (85)$$

$$n = n_0 + \delta_n \frac{T_J + 273}{T_0 + 273} \quad (86)$$

$$m = m_0 + \delta_m \frac{T_J + 273}{T_0 + 273} \quad (87)$$

$$b = b_0 + \delta_b \frac{T_J + 273}{T_0 + 273} \quad (88)$$

$$\lambda = \lambda_0 + \delta_\lambda \frac{T_J + 273}{T_0 + 273} \quad (89)$$

Où: $T_0 = 25^\circ\text{C}$ température de référence, T_J ($^\circ\text{C}$) température de jonction du MOSFET SiC.

I_{sat0} , a_0 , n_0 , m_0 , b_0 , λ_0 , δ_{Isat} , δ_a , δ_n , δ_m , δ_b , δ_λ sont des constantes et indépendantes de la température.

V.3.2. Conduction inverse

Comme il existe une asymétrie de caractéristiques de sortie en conduction directe et en conduction inverse, une seule équation analytique n'est pas suffisante pour représenter ces deux caractéristiques à la fois. Il faut donc ajouter une autre source de courant afin de mieux représenter cette asymétrie. La source de courant I_{COMP} peut modéliser les caractéristiques en conduction inverse. Le générateur de courant I_{COMP} peut être exprimé comme suit :

$$I_{COMP} = x_1 V_{SD} \left(\left(\frac{T_J + 273}{T_0 + 273} \right) V_{SD} + x_2 V_{GS} + x_3 \right) \times \left(x_4 \left(\frac{T_J + 273}{T_0 + 273} \right)^2 + x_5 \left(\frac{T_J + 273}{T_0 + 273} \right) + x_6 \right) \quad (90)$$

Où :

T_J , température de jonction

T_0 , température de référence 25°C

V_{GS} , tension de commande grille-source

V_{SD} , tension source-drain

$x_1, x_2, x_3, x_4, x_5, x_6$, coefficients indépendants de la température

V.3.3. Diode structurelle

La diode structurelle du MOSFET SiC a été modélisée par une source de tension V_K et une source de courant I_{diode} . Deux sources de courants I_{diode_bas} , I_{diode_haut} modélisent le comportement de la diode structurelle sous un faible courant et un fort courant respectivement.

$$I_{diode_bas} = I_{S_bas} \times \left(e^{\frac{V_F - V_K}{a_1 T + a_2 V_{GS} + a_3}} - 1 \right) \quad (91)$$

$$I_{diode_haut} = I_{S_haut} \times \left(e^{\frac{V_F^2 + b_1 V_F + b_2}{c_1 T + c_2 V_{GS} + c_3}} - 1 \right) \quad (92)$$

Où :

- I_{S_bas}, I_{S_haut} , courants de la diode structurale sous faible et forte tensions respectivement
- V_F , tension aux bornes de la diode structurale
- V_K , tension intrinsèque de la diode structurale
- V_{GS} , tension de commande
- T , température de jonction
- $a_1, a_2, a_3, b_1, b_2, c_1, c_2, c_3$, coefficients de la température et de la tension de commande

V.3.4. Caractéristiques dynamiques

Les capacités parasites du MOSFETs SiC sont :

$$\begin{cases} C_{iss} = C_{gs} + C_{gd} \\ C_{oss} = C_{ds} + C_{gd} \\ C_{rss} = C_{gd} \end{cases}$$

A partir des courbes données par la datasheet de la capacité d'entrée C_{iss} , de la capacité de sortie C_{oss} et de la capacité de transfert C_{rss} , les capacités C_{gs}, C_{ds}, C_{gd} peuvent être calculées.

Comme la capacité grille-source C_{gs} ne dépend que de l'oxyde de grille et qu'elle est considérée comme quasi constante, elle est modélisée par une capacité à valeur constante : $C_{gs} = 950pF$. Par contre, les capacités drain-source C_{ds} et grille-drain C_{gd} varient en fonction de la tension V_{DS} . Après avoir utilisé la méthode des moindres carrés, nous pouvons les modéliser par les lois analytiques suivantes :

$$C_{gd} = \begin{cases} 10^{a_1 V_{DS} + b_1}, & \text{si } 0V < V_{DS} < 10V \\ 10^{a_2 V_{DS} + b_2}, & \text{si } 10V < V_{DS} < 15V \\ 10^{a_3 V_{DS}^m + b_3}, & \text{si } 15V < V_{DS} \end{cases} \quad (93)$$

$$\text{avec } \begin{cases} a_1 = -0,0551, & b_1 = -9,4248 \\ a_2 = -0,1004, & b_2 = -8,9350 \\ a_3 = 2,4072, & b_3 = -12, & m = -0,1530 \end{cases} \quad (94)$$

$$C_{ds} = 10^{a_4 V_{DS}^n + b_4}, \text{ avec } a_4 = 3,1618, \quad b_4 = -12, \quad n = -0,0769 \quad (95)$$

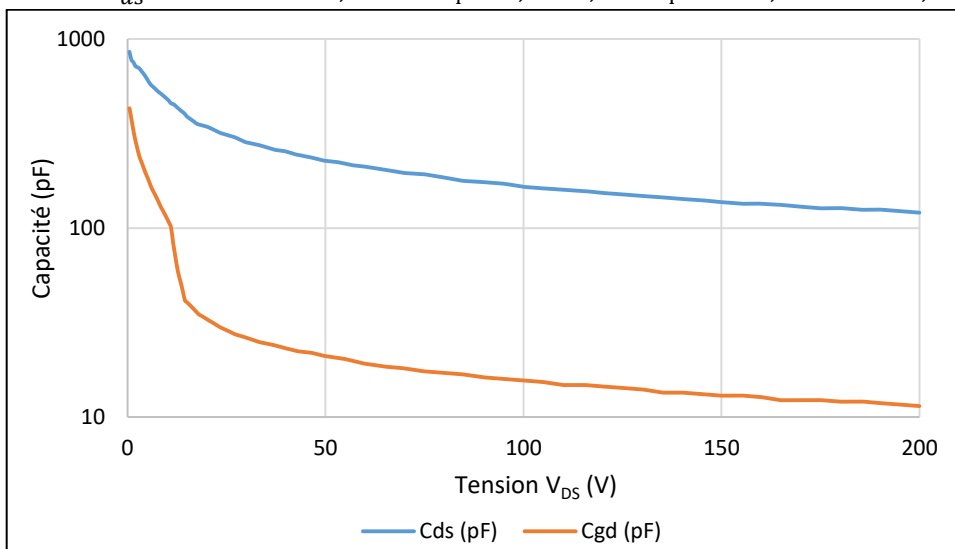


Figure 124. Capacités C_{ds} et C_{gd} en fonction de la tension V_{DS}

V.4. EXTRACTION DES PARAMETRES DU MODELE

V.4.1. Caractéristiques statiques

La Figure 125 illustre la variation de la résistance à l'état passant $R_{DS(on)}$ du MOSFET SiC (ref. CREE Wolfspeed CPM2-1200-0080B) à différentes températures ($T_J=0^{\circ}C-150^{\circ}C$) et à différentes tensions de commande V_{GS} (10V-20V).

A une tension de commande élevée ($V_{GS} = 14-20V$), la résistance $R_{DS(on)}$ augmente quand la température s'accroît de $0^{\circ}C$ à $150^{\circ}C$. Quand $V_{GS} = 20V$, cette résistance augmente de 80% quand la température de jonction augmente de $25^{\circ}C$ ($R_{DS(on)} = 77m\Omega$) à $150^{\circ}C$ ($R_{DS(on)} = 139m\Omega$).

On remarque qu'à une tension de grille faible $V_{GS} = 10V-12V$, la résistance à l'état passant diminue d'abord quand la température augmente (T_J passe de $0^{\circ}C$ à $75^{\circ}C$). Ensuite, quand la température continue d'augmenter, elle s'accroît. Ce phénomène peut être expliqué par le fait que la résistance $R_{DS(on)}$ est principalement constituée de la résistance du canal R_{CH} , la résistance de la région de drift R_{DRIFT} et la résistance R_{JFET} . Quand la température augmente, la mobilité des porteurs augmente et donc R_{CH} diminue. En revanche, les résistances R_{JFET} et R_{DRIFT} augmentent dans ce cas. A ce niveau de tension de commande (10V-12V), la résistance du canal R_{CH} contribue d'une part importante dans la résistance à l'état passant à faible température. Quand la température augmente de $0^{\circ}C$ à $75^{\circ}C$, la résistance R_{CH} diminue donc la résistance $R_{DS(on)}$ diminue aussi. Cependant, avec l'augmentation de la température, l'augmentation des résistances R_{JET} et R_{DRIFT} l'emporte sur celle du canal donc la résistance $R_{DS(on)}$ augmente.

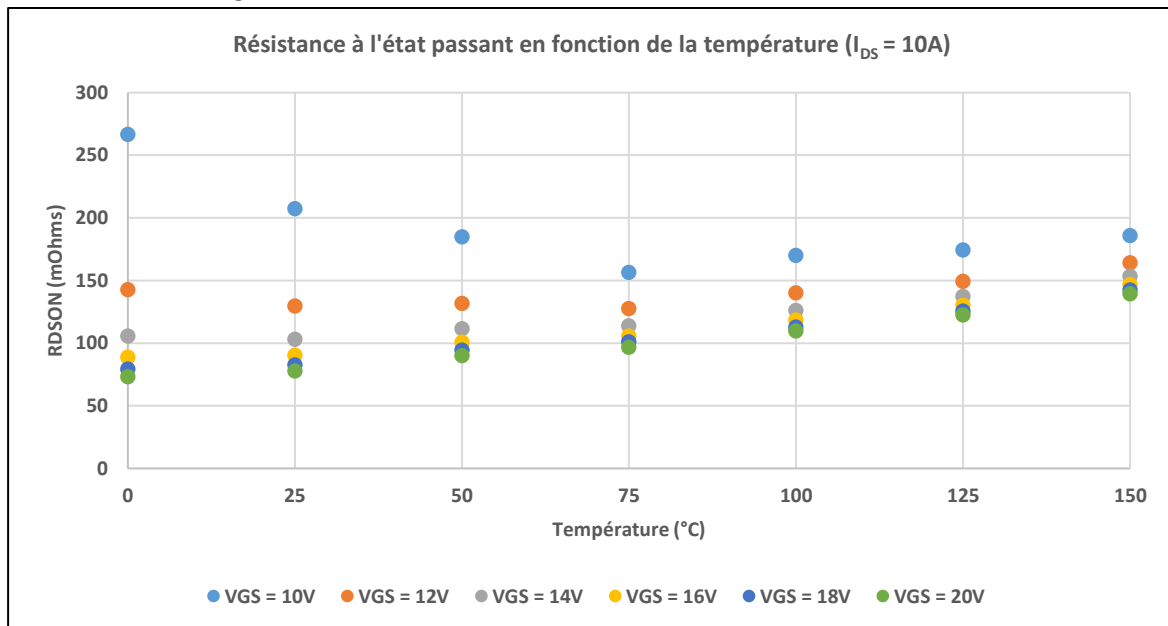


Figure 125. Résistance à l'état passant $R_{DS(on)}$ en fonction de la température de jonction

Les caractéristiques de sortie $I_{DS}(V_{DS})$ du MOSFET représentent son fonctionnement à l'état passant. La Figure 126 illustre les mesures de caractéristiques de sortie en conduction directe du MOSFET ($V_{GS} = 10-20V$, $I_{DS} = 0-10A$). La Figure 127 montre les caractéristiques de sortie en conduction inverse ($V_{GS} = 10-20V$, $I_{DS} = 0$ à $-10A$).

On remarque que les caractéristiques de sortie en conduction directe et en conduction inverse ne sont pas symétriques. Cette asymétrie est due à l'effet géométrique [101] de la structure du MOSFET SiC. Quand la tension de commande V_{GS} dépasse une tension de seuil V_{TH} , les charges sont induites dans la couche d'interface (appelée aussi couche d'inversion). Cette tension de seuil représente la barrière de potentiel qui s'oppose l'injection des charges de la source. Quand la tension drain-source V_{DS} est négative, la différence de tension entre la grille et la région de drift est positive. Cela réduit la barrière de potentiel donc réduit la tension de seuil V_{TH} [101].

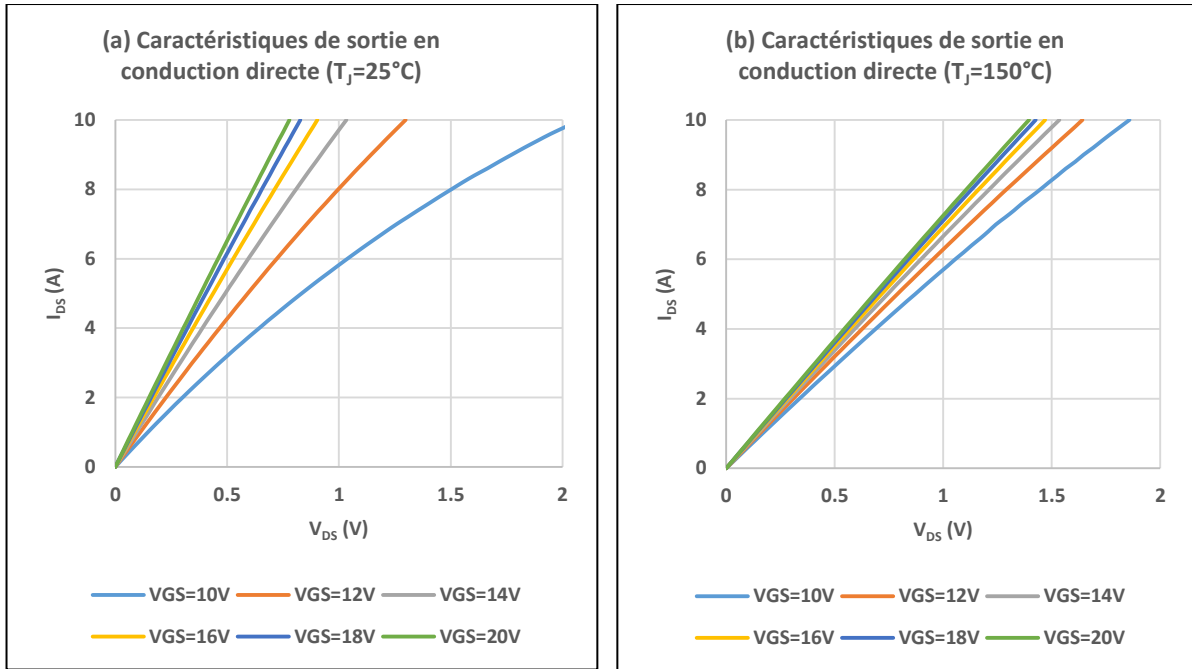


Figure 126. Caractéristiques de sortie en conduction directe à $T_j = 25^\circ\text{C}$ (a), $T_j = 150^\circ\text{C}$ (b)

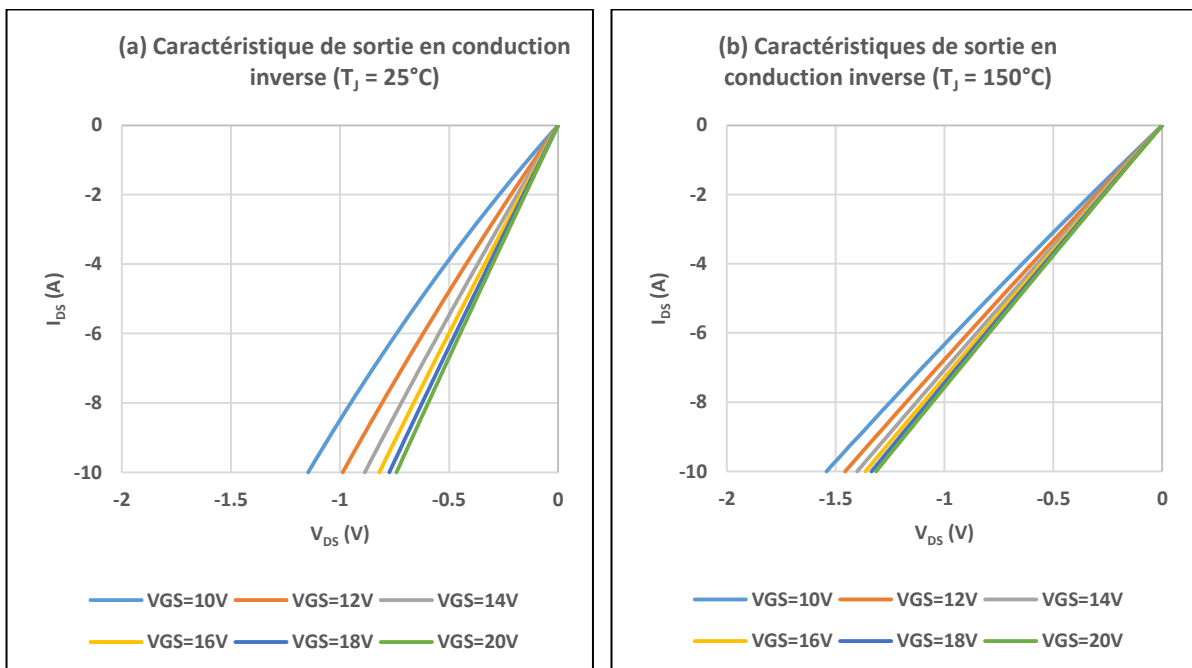


Figure 127. Caractéristiques de sortie en conduction inverse à $T_j = 25^\circ\text{C}$ (a), $T_j = 150^\circ\text{C}$ (b)

V.4.2. Caractéristiques de transfert

Les caractéristiques de transfert $I_{DS}(V_{GS})$ du MOSFET SiC CREE sont illustrées dans la Figure 128. Les conditions dans lesquelles ces caractéristiques sont mesurées sont :

- $V_{DS} = 10V$ (limitée par le traceur de courbes)
- $V_{GS} = 0-10V$ (courant I_{DS} mesuré limité par le traceur de courbes à 10A)
- $T_J = 0^{\circ}C-150^{\circ}C$

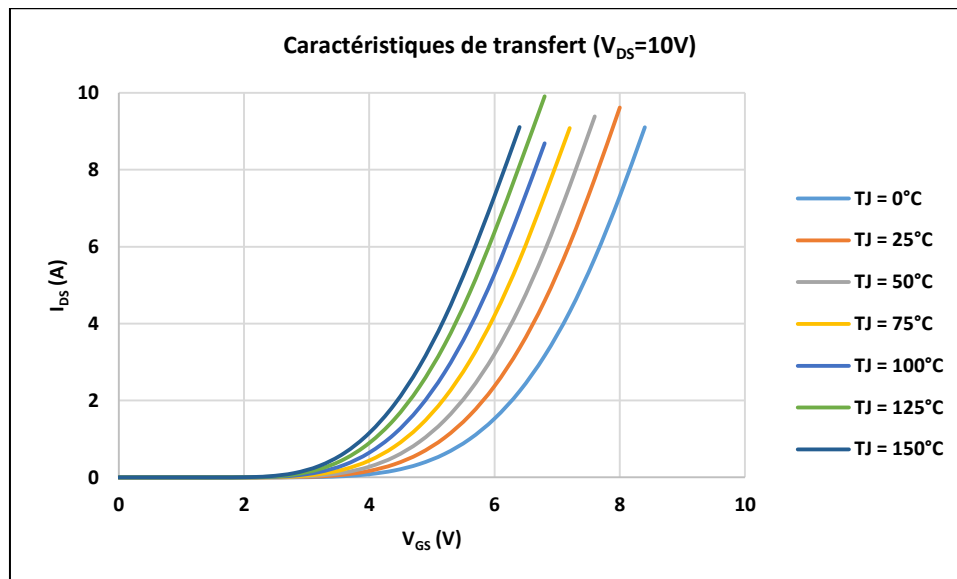


Figure 128. Caractéristiques de transfert à $V_{DS} = 10V$ et à différentes températures ($T_J = 25^{\circ}C-150^{\circ}C$).

On remarque que comme dans un MOSFET Silicium, les caractéristiques de transfert du MOSFET SiC sont décalées vers la gauche lorsque la température augmente.

V.4.3. Diode structurale

La diode structurale joue un rôle très important dans le MOSFET SiC. Grâce à son temps de recouvrement rapide, dans certains cas, la diode structurale peut être utilisée afin de remplacer les diodes Schottky dans les convertisseurs SiC. Cette possibilité permet de diminuer les coûts des convertisseurs à base de Carbure de Silicium et de réaliser des convertisseurs plus compacts.

La Figure 129 montre les caractéristiques de la diode structurale du MOSFET SiC à différentes tensions de commandes ($V_{GS} = 0V$ à $-8V$) et différentes températures ($T_J = 25^\circ C$ et $T_J = 150^\circ C$). D’abord, on remarque que contrairement aux MOSFET Silicium, les caractéristiques de la diode structurale du MOSFET SiC dépendent de la tension de commande V_{GS} . Quand la tension de commande V_{GS} devient plus négative, la diode structurale devient plus résistive (pour un même courant $I_{DS} = -10A$, $V_{DS} = -3,1V$ avec $V_{GS} = 0V$ et $V_{DS} = -4,2V$ avec $V_{GS} = -8V$).

Deuxièmement, on remarque que la dépendance en température de la diode structurale sous différentes tensions de commande V_{GS} n’est pas la même. Par exemple, à une tension de commande $V_{GS} = 0V$ et un courant $I_{DS} = -10A$, la tension V_{DS} passe de $-4,2V$ à $-3,8V$ quand la température augmente de $25^\circ C$ à $150^\circ C$. Cependant, à tension $V_{GS} = 0V$ et un courant $I_{DS} = -10A$, la tension V_{DS} passe de $-3,2V$ à $-3,1V$ sur la même plage de température.

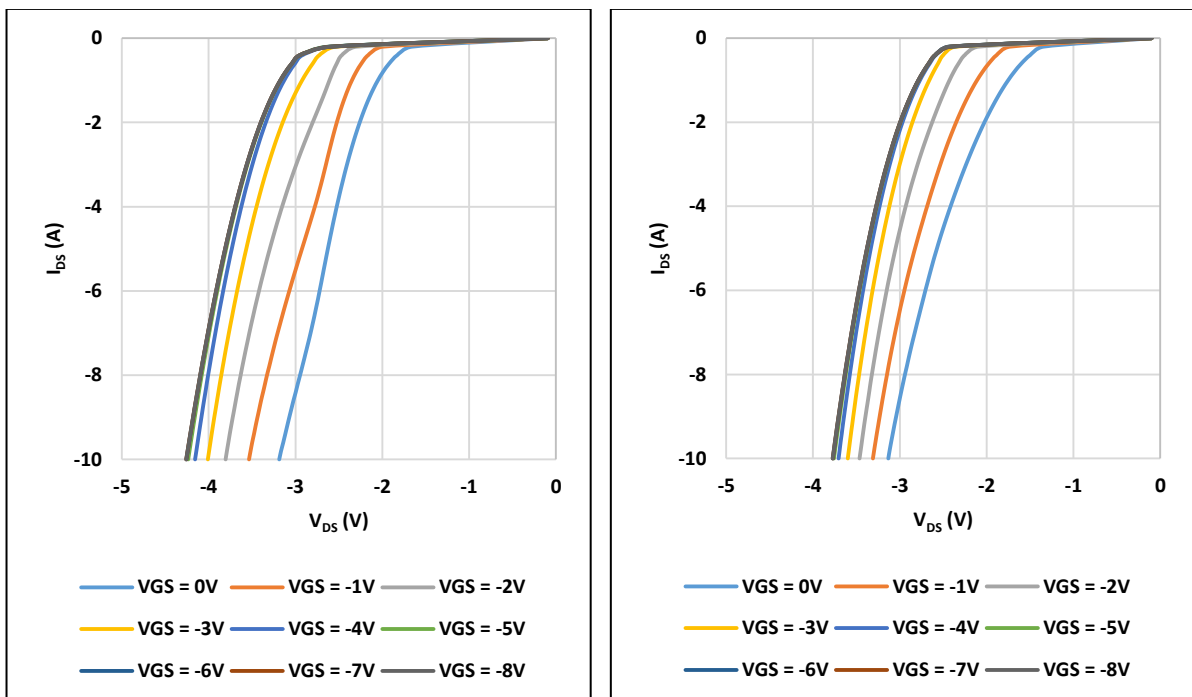


Figure 129. Caractéristiques de la diode structurale à différentes tensions V_{GS} ($0V$ à $-8V$) : (a) à $T_J = 25^\circ C$, (b) à $T_J = 150^\circ C$

V.4.4. Caractéristiques dynamiques

Les Figure 130 et Figure 131 illustrent la comparaison entre les capacités C_{ds} et C_{gd} issues du modèle et issues de la datasheet de la puce.

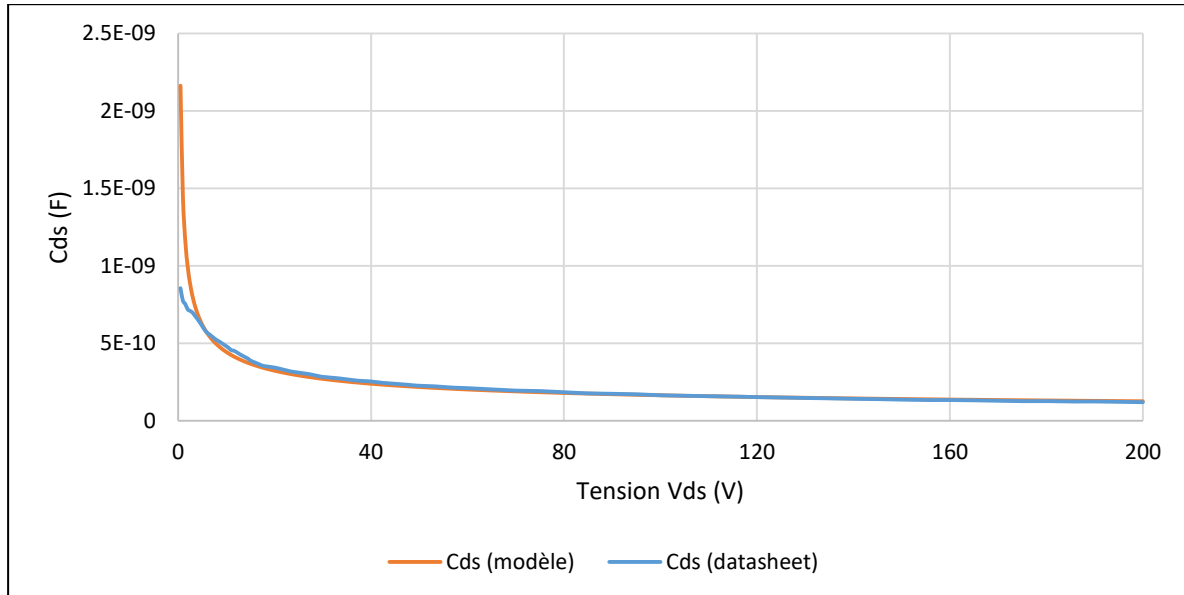


Figure 130. Capacité C_{ds} en fonction de la tension V_{DS} : modèle vs datasheet

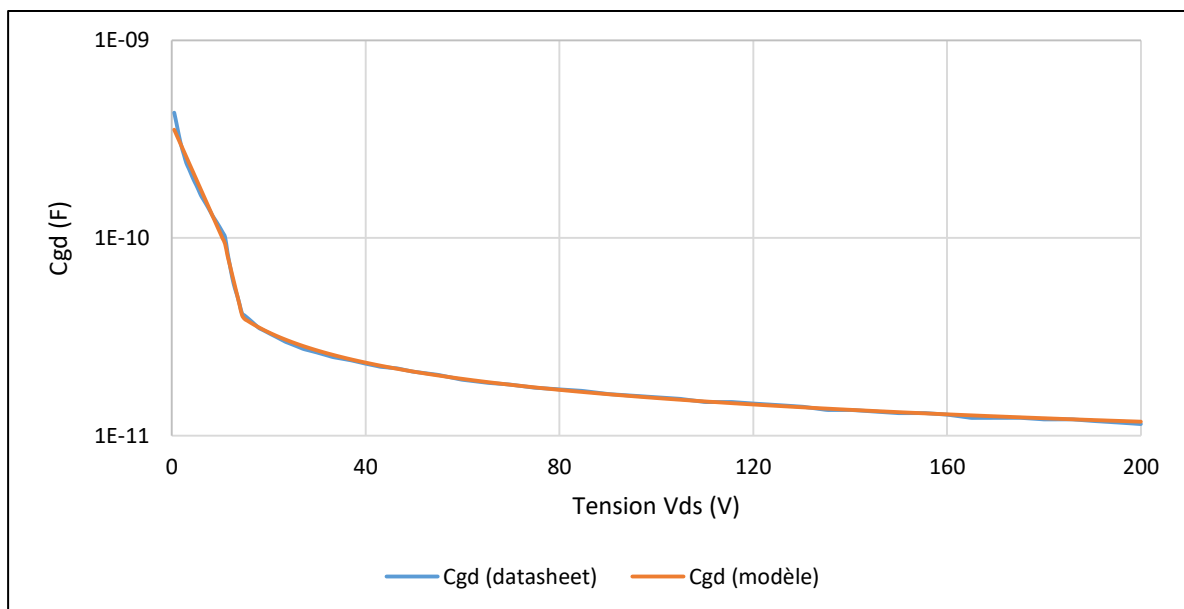


Figure 131. Capacité C_{gd} en fonction de la tension V_{DS} : modèle vs datasheet

V.5. VALIDATION DU MODELE DU MOSFET SiC

La procédure de la modélisation est la suivante :

- Détermination des exigences du modèle (modèle thermosensible qui prend en compte l'influence de la température sur les caractéristiques électriques).
- Caractérisation des composants de puissance sous les différentes conditions prédéfinies.
- Sélection d'un ou des modèles qui peuvent satisfaire ces exigences. Les équations mathématiques utilisées dans le modèle sont choisies afin de mieux représenter le comportement des composants.
- Utilisation d'un algorithme d'optimisation (méthode des moindres carrés) afin de minimiser l'écart entre les résultats donnés par le modèle et ceux donnés par la mesure dans l'objectif de trouver l'ensemble des paramètres du modèle (voir Tableau 11).
- Comparaison des mesures expérimentales et des simulations issues du modèle et itération si nécessaire. S'il existe un écart important entre la simulation et les mesures, il faut recommencer à l'étape de sélection de modèle. Cette boucle peut être répétée plusieurs fois avant de trouver un modèle qui représente de façon satisfaisante le comportement des composants.

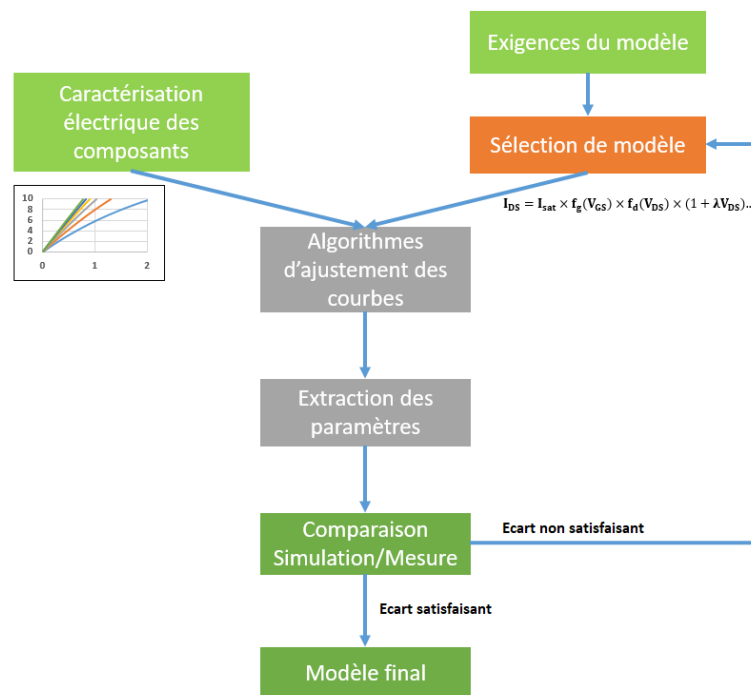


Figure 132. Diagramme des étapes de la modélisation

Tableau 11. Valeurs des paramètres du modèle.

Conduction directe	$I_{sat0} = 0,613842$	$\delta_{I_{sat}} = -0,188321$
	$a_0 = 17,885893$	$\delta_a = -4,539042$
	$n_0 = 7,899018$	$\delta_n = -4,023426$
	$m_0 = 1,106816$	$\delta_m = -0,541096$
	$b_0 = 0,593996$	$\delta_b = -0,258084$
	$\lambda_0 = 0$	$\delta_\lambda = 0,030639$

Conduction inverse	$x_1 = 0,2396$	$x_2 = 1$
	$x_3 = 12,7026$	$x_4 = 2,2204 * 10^{-14}$
	$x_5 = -0,0045$	$x_6 = 2,9465$
Diode structurelle	$a_1 = 0,007836$	$a_2 = -0,0004471$
	$a_3 = 0,639035$	$b_1 = -2,2276 * 10^{-14}$
	$b_2 = -0,0026$	$c_1 = 2,25 * 10^{-14}$
	$c_2 = 1$	$c_3 = 19,70847$

La Figure 133 montre la comparaison entre les résultats issus de la simulation et les mesures du fonctionnement du MOSFET en conduction directe à des tensions différentes de commande et à des températures différentes. Comme illustré dans la Figure 133, le modèle donne une bonne précision sur toute la plage de température $T_J = 25^{\circ}\text{C}-150^{\circ}\text{C}$.

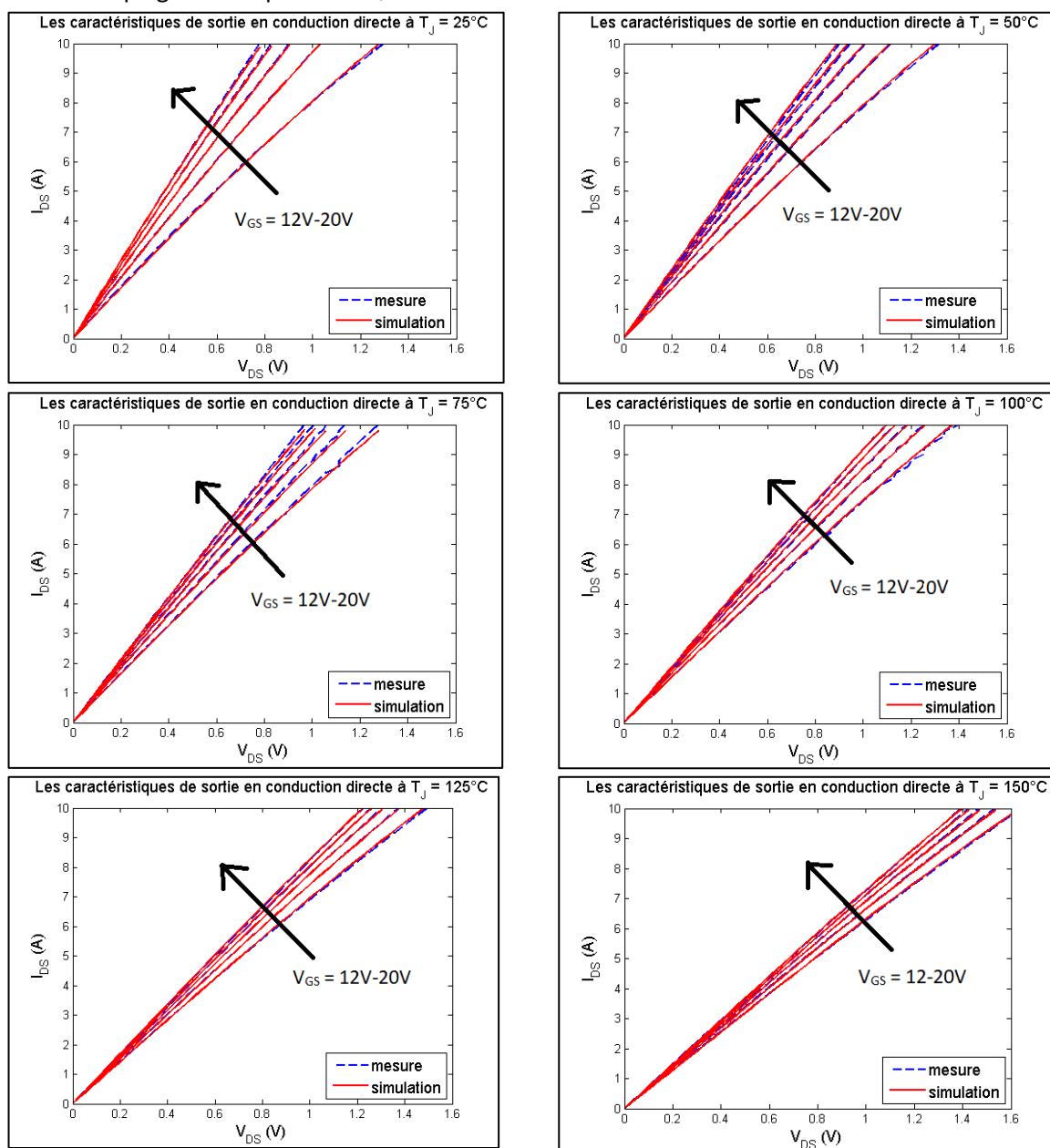


Figure 133. Comparaison entre les mesures et les résultats issus de la simulation des caractéristiques de sortie en conduction directe du MOSFET SiC.

La Figure 134 montre la comparaison entre les résultats issus de la simulation et les mesures des caractéristiques de sortie en conduction inverse. D'abord, on remarque que le modèle ne donne une précision satisfaisante que sur la plage de température de 75°C à 100°C. Quand la température est plus basse (25°C-50°C) ou plus élevée (100-150°C), le modèle ne représente pas bien le comportement de la conduction inverse. Ces écarts importants peuvent s'expliquer par le fait que dans le modèle, le courant de drain I_{SD} est dépendant linéairement de la tension de commande V_{GS} . Cependant, en réalité, cette dépendance suit une loi plus compliquée. Afin de mieux modéliser la conduction inverse du MOSFET SiC, la tension de commande V_{GS} doit être mieux prise en compte dans l'équation du courant de drain I_{SD} .

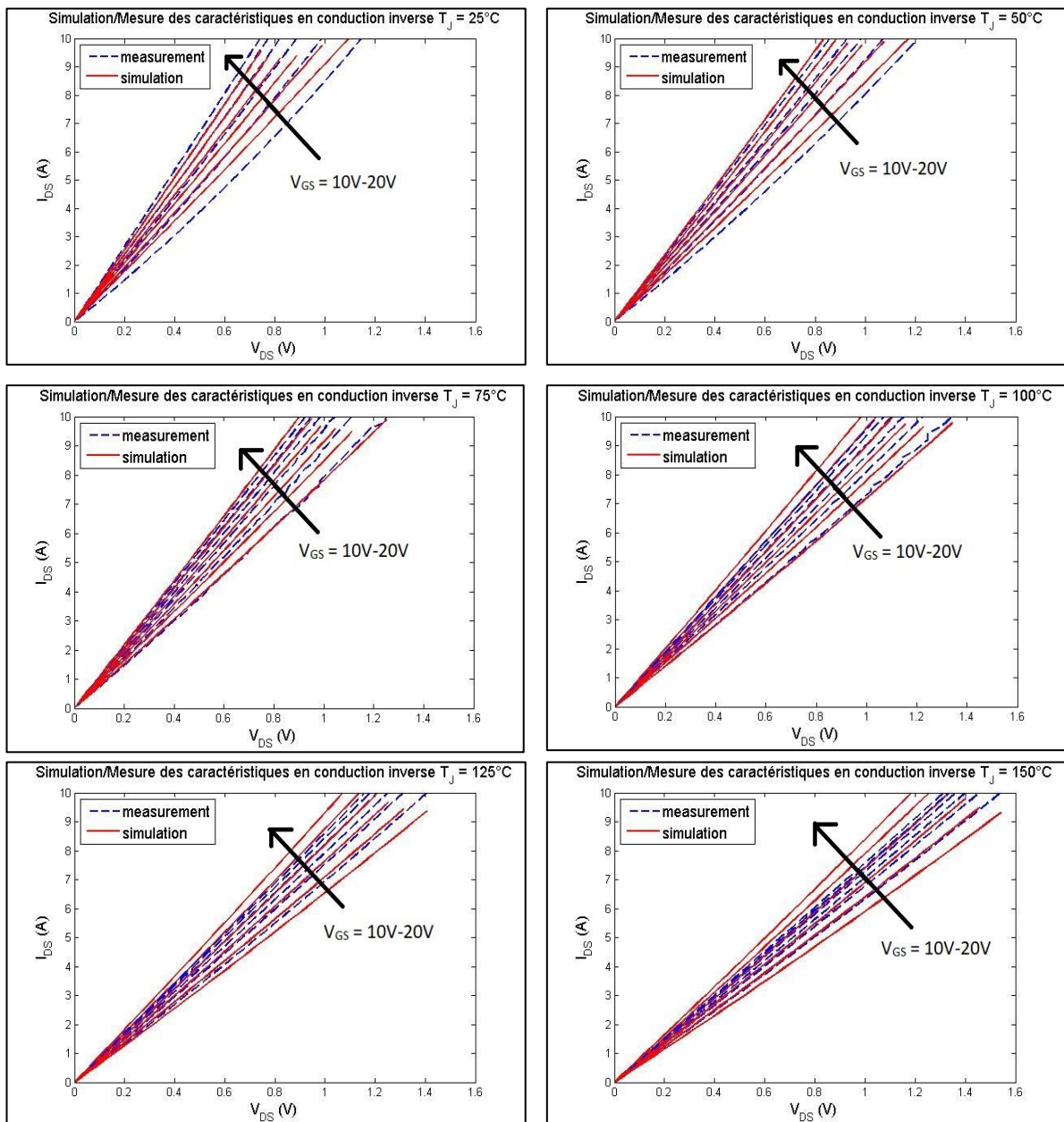


Figure 134. Comparaison entre les mesures et les résultats issus de la simulation des caractéristiques de sortie en conduction inverse du MOSFET SiC (axe vertical représentant la valeur absolue du courant de drain).

La Figure 136 illustre la comparaison entre la simulation et les mesures expérimentales de la diode structurale à différentes tensions de commande V_{GS} et à différentes températures ($T_J = 0^\circ\text{C}-150^\circ\text{C}$). On remarque que, le modèle a une bonne précision lorsque la tension de commande est suffisamment négative ($V_{GS} = -2\text{V}$ à -5V). Cependant, le modèle ne représente pas bien les mesures expérimentales pour les tensions de commande $V_{GS} = 0\text{V}$ à -1V . On peut expliquer ces écarts en allant plus en détails dans le fonctionnement de la diode structurale du MOSFET SiC.

Lorsque le MOSFET SiC fonctionne en mode diode, la tension V_{DS} est négative. Quand la tension de commande $V_{GS} = 0\text{V}$, la différence de tension entre la grille et la région de drift est positive (voir Figure 135). Cela induit des charges dans le canal du MOS ce qui le rend conducteur. Le courant I_F dans ce cas est composé de deux courants : courant du canal I_{CH} et courant de la partie « jonction » I_{body} . Le courant I_F traversant la diode structurale dans le cas $V_{GS} = 0\text{V}$ n'a donc pas le comportement d'un courant d'une diode. En conséquence, ce modèle qui est utilisé pour une diode, n'est pas bien adapté dans ce cas. Quand la tension de commande devient plus négative (V_{GS} tend vers -5V), le courant du canal du MOS diminue donc le courant de la partie « jonction » devient plus important dans le courant total I_F . Dans ce cas, le courant de la diode structurale a un comportement plus proche de celui d'une diode normale.

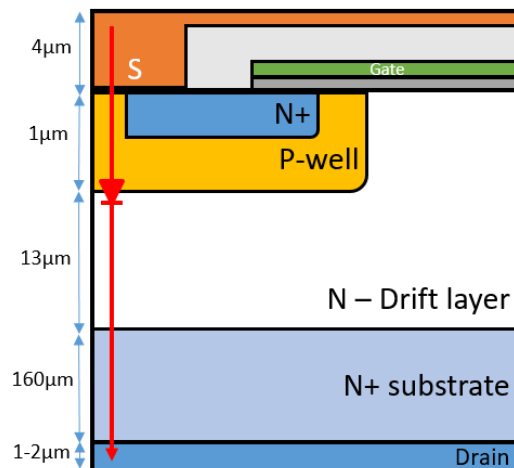


Figure 135. Courant traversant la diode structurale du MOSFET

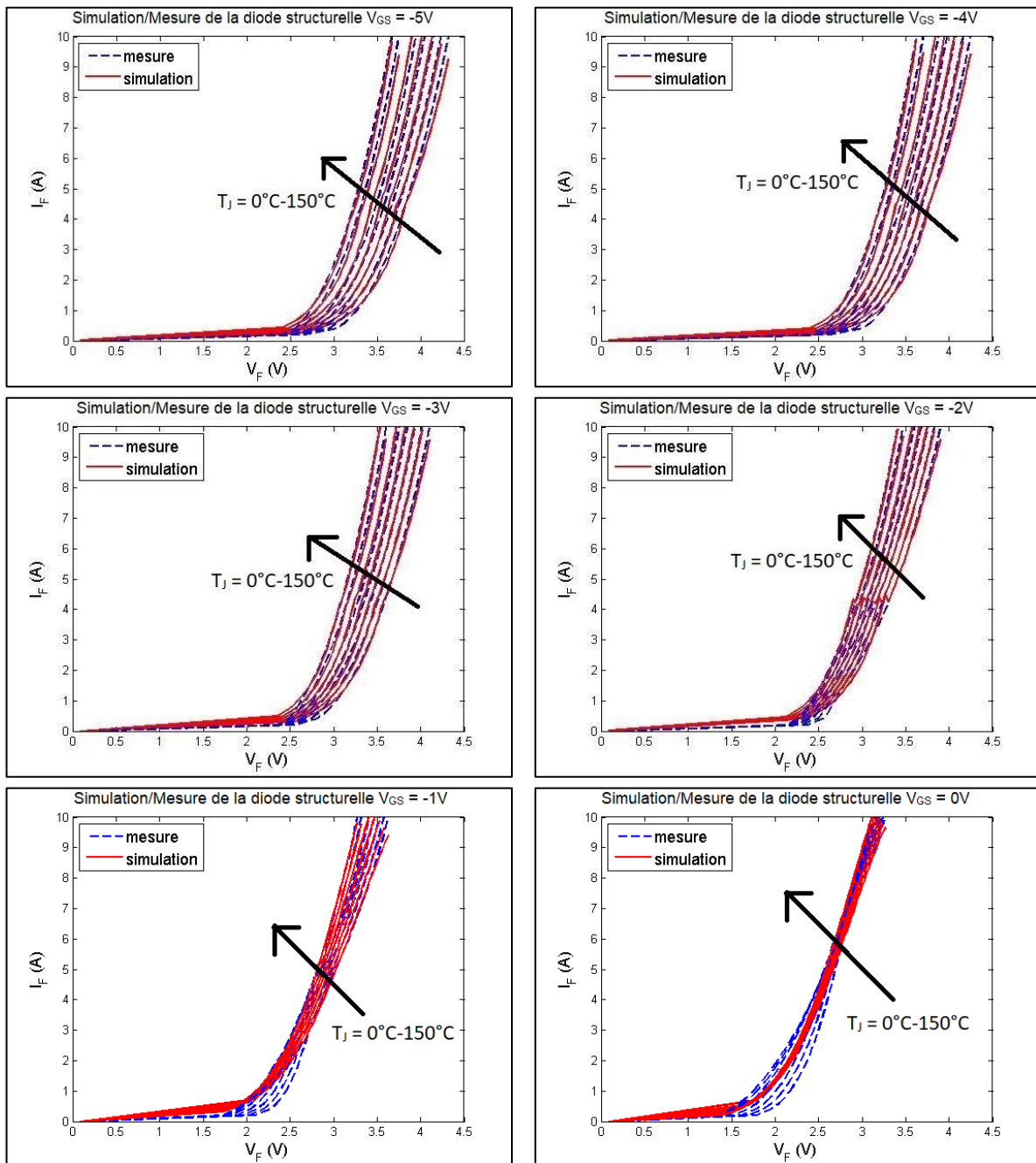


Figure 136. Comparaison entre les mesures et les résultats issus de la simulation de la diode structurelle du MOSFET SiC.

V.6. MODELISATION ELECTROTHERMIQUE DU MODULE SiC

Ici, nous présentons le modèle électrothermique du module de puissance SiC. Ce modèle comporte les modèles électriques thermosensibles de chaque puce et les réseaux thermiques RC représentant l'auto-échauffement et couplages thermiques entre les puces.

V.6.1. Spécifications de la modélisation électrothermique

En électronique de puissance (visant les applications comme le domaine de l'énergie renouvelable, du véhicule électrique, du transport ferroviaire, de l'électrification des avions...), nous avons recours à des modules comprenant plusieurs puces. La recherche d'une densité de puissance élevée et d'une meilleure compacité nous conduit à rapprocher les puces les unes des autres ce qui augmente leur interaction thermique. Il a été démontré que les modules de puissance SiC (MOSFET SiC) ont une meilleure performance (rendement, fréquence élevée, haute température) par rapport aux modules de puissance Silicium (IGBT + diode Silicium). Aujourd'hui, à cause de la petite taille des puces et du faible courant transmis par puce, les modules SiC comportent un nombre relativement important de puces afin d'augmenter la puissance transmise du module. Sur l'aspect thermique, lorsqu'une puce est en fonctionnement, elle dissipe une puissance, due aux pertes par conduction et par commutation, subit un auto-échauffement et participe à l'échauffement de son voisinage (interconnexions métalliques, substrat, autres puces...). Cela a un effet cumulatif parce que plusieurs puces fonctionnent simultanément. Or les paramètres électriques comme la résistance à l'état passant, la tension de seuil, la chute de tension... sont impactés par la température de jonction, ce qui impacte la puissance dissipée et donc par conséquent la température de jonction. Ceci forme une boucle de couplage électrothermique. Afin d'étudier le comportement et d'évaluer les performances des modules de puissance, il est donc indispensable de réaliser un modèle électrothermique de ces modules qui tienne compte des couplages entre les puces. Ce modèle permettra aux utilisateurs de connaître les limitations (température de jonction, puissance maximale, courant maximal) et la performance des modules lors de leur fonctionnement.

En général, le modèle électrothermique est composé de deux sous-modèles : modèle électrique thermosensible du composant et modèle thermique dépendant du packaging. Le modèle électrique thermosensible décrit l'influence de la température de jonction sur les paramètres électriques comme : la résistance à l'état passant, la tension de seuil, la chute de tension, ... Celui-ci est lié à la technologie et à la géométrie de la puce, alors que le modèle thermique est lié à la technologie, à la géométrie et aux propriétés des matériaux du module dans son ensemble. Le modèle thermique permet de connaître la réponse thermique d'auto-échauffement de la puce dissipatrice et de son influence sur les puces voisines. Plusieurs travaux dans la littérature ont utilisé cette approche afin de modéliser les modules de puissances à base de Silicium et à base de Carbure de Silicium [2-8].

V.6.2. Choix du modèle thermique compact

La Figure 137 illustre la procédure pour réaliser un modèle thermique du module. Nous partons de la CAO du module et réalisons les simulations thermiques 3D afin d'avoir les réponses thermiques précises des puces. Ensuite, une topologie du réseau RC est proposée et les paramètres R-C sont extraits grâce à un algorithme d'optimisation (réponse du réseau RC vs réponse thermique issue de la simulation 3D).

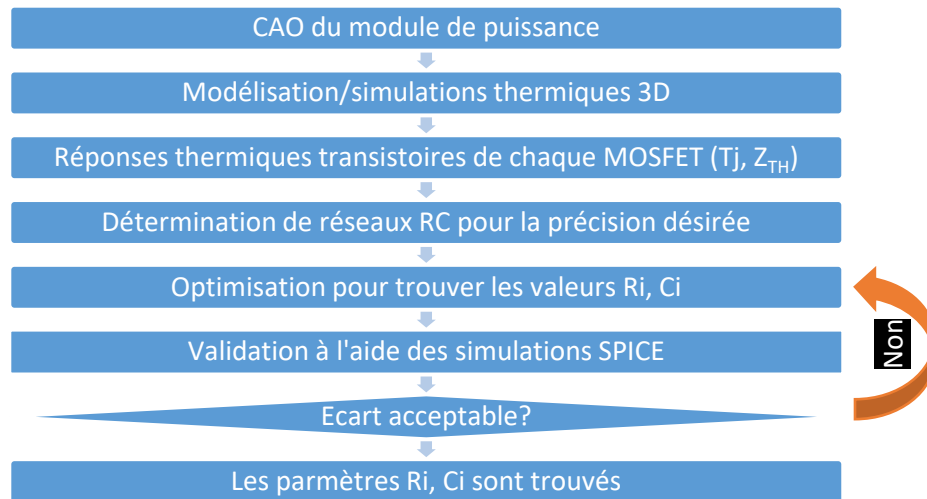


Figure 137. Procédure de modélisation thermique du module de puissance

La CAO du module de puissance, fournie par le fabricant (par l'IRT Saint-Exupéry dans ce cas), contient tous les éléments réels du module (puces, pistes métalliques, billes métalliques, substrat céramique, semelle, fils de câblage, interconnexions) ainsi que le dissipateur. Cette CAO est importée et adaptée au logiciel de simulation 3D (comme COMSOL, 6SigmaET...). Les informations telles que les propriétés des matériaux, les conditions aux limites, le maillage spécifique pour chaque élément sont spécifiés dans le logiciel. Les conditions dans la simulation sont les suivantes :

- La puce active dissipe 40W (valeur des essais expérimentaux).
- Afin d'alléger la simulation thermique, toute la structure qui se trouve en dessous de la semelle du radiateur est enlevée et remplacée par un coefficient de convection équivalent (voir Figure 138b). Un coefficient de convection thermique est ajoutée à la surface inférieure de la semelle du radiateur. La valeur du coefficient de convection thermique est calculée par la formule suivante :

$$h = \frac{1}{R_{th} \times S} = \frac{1}{0,22 \times 0,15 \times 0,05} = 606 \text{ W} \cdot \text{m}^{-2} \cdot \text{K}^{-1} \quad (96)$$

Avec $S = 150 \times 50 \text{ mm}^2$ (surface d'échange réduite entre l'air et la paroi) et $R_{th} = 0,22 \text{ K/W}$ (réf. radiateur LA 6 24V [102]). Nous avons choisi un coefficient de convection $h = 600 \text{ W} \cdot \text{m}^{-2} \cdot \text{K}^{-1}$ et une température de référence à 0°C . Afin de conserver la constante de temps du radiateur, la masse de la structure enlevée est reportée à celle de la semelle du radiateur. Ce coefficient permet de modéliser l'impact de la convection forcée au niveau de la semelle du radiateur.

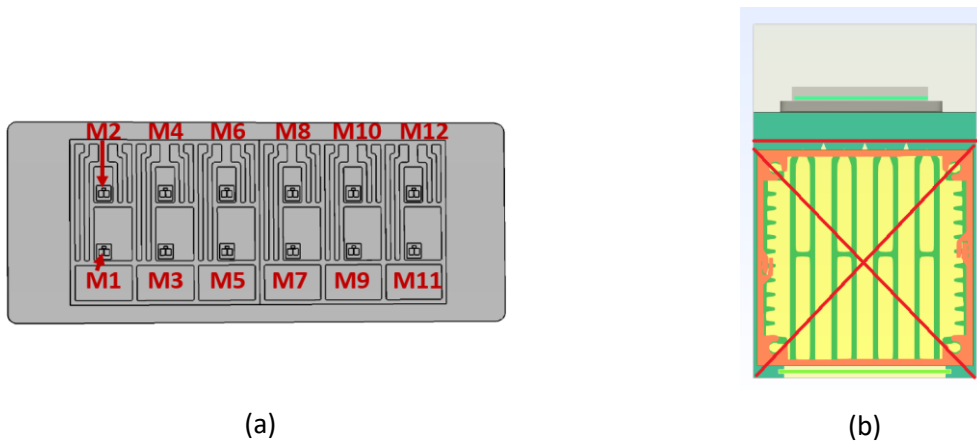


Figure 138. (a) Numérotation des puces dans le module, (b) Délimitation du radiateur

L'étape suivante est de réaliser les simulations en fonction de la configuration des puces du module (activée/désactivée). Dans chaque simulation, une puce est activée à la fois et les réponses thermiques de toutes les puces sont analysées ce qui permet d'obtenir l'auto-échauffement de la puce activée et les échauffements mutuels. La Figure 139 illustre l'élévation de température et les impédances thermiques des puces lorsque le MOS1 est activé.

$$Z_{th1-j} = \frac{T_{MOSj} - T_{ref}}{P_{dissipée}} \text{ d'où } T_{ref} \text{ est la température ambiante} \tag{97}$$

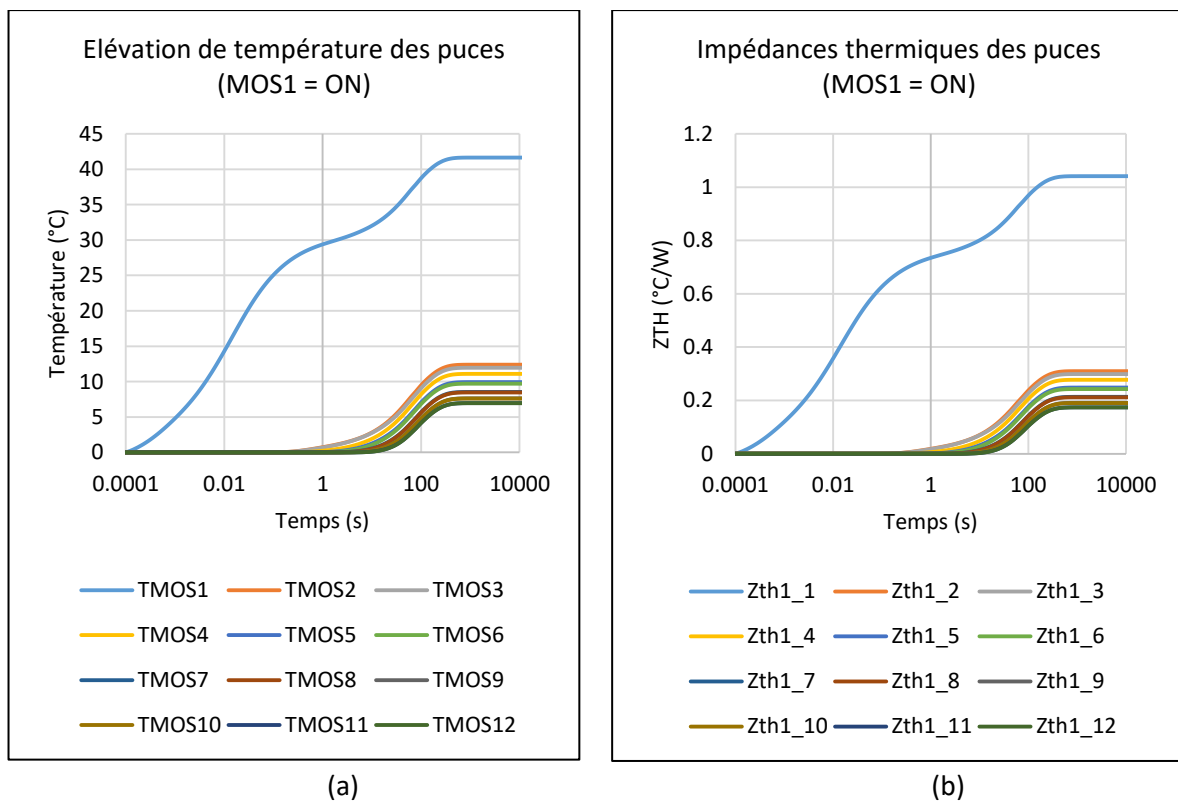


Figure 139. (a) Elévation de températures et (b) impédances thermiques des puces (MOS1 = activé)

A partir des réponses thermiques, nous avons généré un réseau RC qui représente l'auto-échauffement et les couplages thermiques. Dans la littérature, les réseaux thermiques RC de Foster et de Cauer (voir Figure 140) sont souvent utilisés pour représenter le modèle thermique d'une puce. Le réseau de Cauer permet de garder la signification physique des points intermédiaires et des différentes couches, mais il est très difficile de trouver les valeurs R_i , C_i à partir d'une réponse thermique. Au contraire, le réseau de Foster est un modèle comportemental qui permet d'ajuster facilement les paramètres R_i , C_i à la réponse thermique. De ce fait, nous avons choisi le réseau de Foster pour modéliser le comportement thermique des puces.

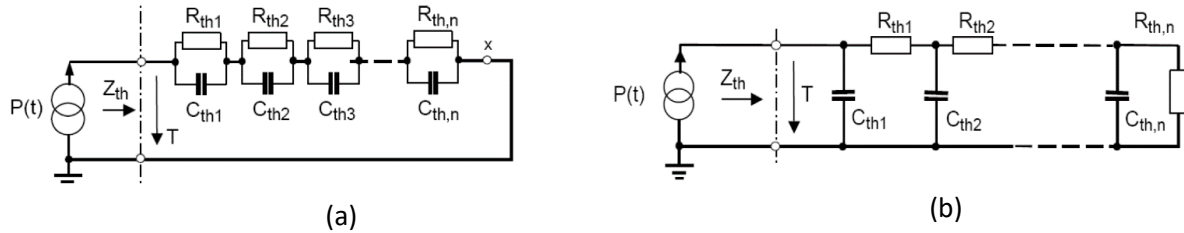


Figure 140. (a) Réseau de Foster et (b) réseau de Cauer

Si la température de chaque MOSFET était représentée comme un nœud du réseau thermique le réseau de Foster aurait 12 cellules RC (voir Figure 141). Ici T_{1j} représente la température du MOSFET numéro j lorsque MOSFET 1 est activé.

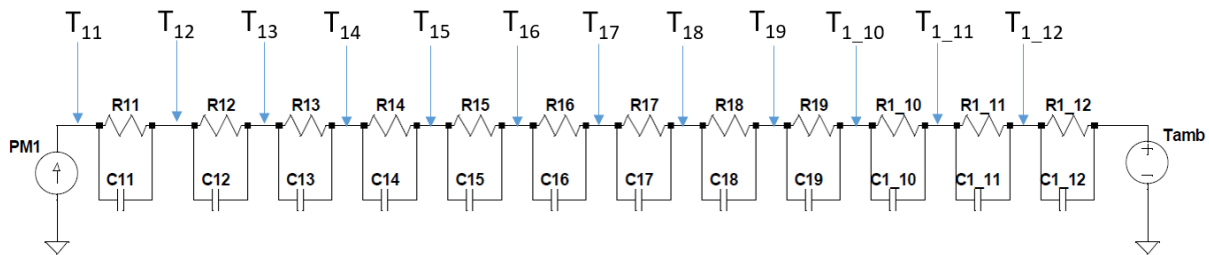


Figure 141. Réseau RC de Foster prenant en compte les couplages thermiques de la puce 1 avec ses voisins.

Afin de simplifier ce réseau, un critère de couplage est défini pour permettre de regrouper les puces qui subissent du MOS1 des influences thermiques significatives et équivalentes :

- Les puces sont ordonnées de la puce la plus impactée (la plus chaude) à la puce la moins impactée (la moins chaude).
- A partir de la puce 2, si la différence relative d'élévations de température entre 2 puces est inférieure à 10% de, les deux puces sont regroupées.

Le critère ainsi défini permet de regrouper les puces qui sont un peu près sur la même isotherme. Par exemple, dans le cas où la puce 1 est activée, nous avons la valeur de la température de jonction au régime permanent des MOSFETs dans le Tableau 12.

Tableau 12. Elévation de températures des puces (MOS1 est activé).

MOS1	MOS2	MOS3	MOS4	MOS5	MOS6	MOS7	MOS8	MOS9	MOS10	MOS11	MOS12
41,64	12,4	11,96	11,08	9,92	9,68	8,52	8,48	7,64	7,6	6,96	6,96

A partir des critères mentionnés, nous avons regroupé : [MOS2, MOS3, MOS4, noté MOS2-4], [MOS5-MOS6, noté MOS5-6], [MOS7 - MOS8, noté MOS7-8], [MOS9 - MOS10 - MOS11 - MOS12, noté MOS9-12] (voir Figure 142a).

Les cellules RC entre deux nœuds de température représentent la différence de températures de ces deux nœuds en régime transitoire. De plus, nous remarquons que les constantes de temps du MOS1 et du MOS2 sont très différentes car le MOS1 subit un auto-échauffement alors que le MOS2 subit un couplage qui tient compte aussi de la distance entre les deux puces. Pour respecter la progressivité thermique, nous devons rajouter une ou plusieurs cellules RC afin de pouvoir mieux représenter l’auto-échauffement du MOS1 (dans notre cas, nous avons dû utiliser trois cellules $R_{11a} - C_{11a}$ et $R_{11b} - C_{11b}$ et $R_{11c} - C_{11c}$, voir Figure 142b). La différence de températures entre T_{1_2-4} et T_{1_5-6} est représentée par deux cellules $R_{12a} - C_{12a}$ et $R_{12b} - C_{12b}$. Les autres différences de températures (respectivement MOS5-6 avec MOS7-8, MOS7-8 avec MOS9-12, MOS9-12 avec T_{AMB}) sont représentées par une seule cellule RC chacune.

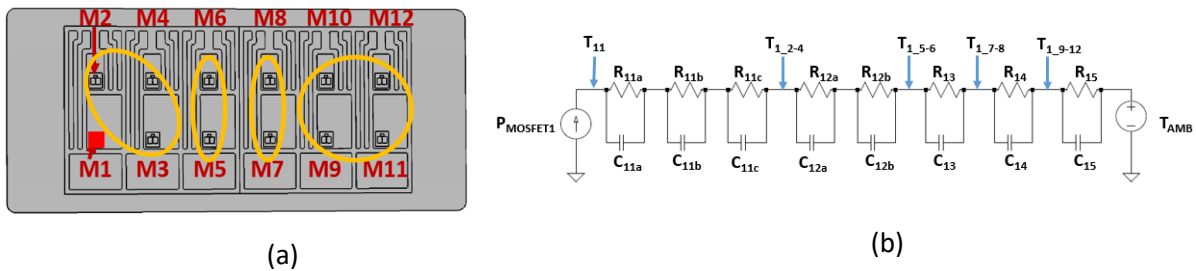


Figure 142. (a) Regroupement des MOSFETs et (b) réseau RC de Foster simplifié

A partir des courbes des impédances thermiques (auto-échauffement et couplage), nous pouvons calculer les valeurs des résistances thermiques pour le réseau de Foster :

$$R_{11a} + R_{11b} + R_{11c} = \frac{TMOS1 - TMOS2}{P_{dissipée}} = 0,731 \text{ K/W} \tag{98}$$

$$R_{12a} + R_{12b} = \frac{TMOS2 - TMOS5}{P_{dissipée}} = 0,062 \text{ K/W} \tag{99}$$

$$R_{13} = \frac{TMOS5 - TMOS7}{P_{dissipée}} = 0,035 \text{ K/W} \tag{100}$$

$$R_{14} = \frac{TMOS7 - TMOS9}{P_{dissipée}} = 0,023 \text{ K/W} \tag{101}$$

$$R_{15} = \frac{TMOS9 - T_{ref}}{P_{dissipée}} = 0,191 \text{ K/W} \tag{102}$$

Il reste à trouver les résistances R_{11a} , R_{11b} , R_{11c} , R_{12a} , R_{12b} et les capacités C_{11a} , C_{11b} , C_{11c} , C_{12a} , C_{12b} , C_{13} , C_{14} , C_{15} pour que T_{11} soit la réponse thermique de $TMOS1$ trouvée avec COMSOL (voir Figure 139). Pour ces calculs, nous avons utilisé :

- La différence entre les réponses thermiques des différents MOS issues de la simulation 3D.
- Un algorithme d’optimisation à moindres carrés (méthode Simplex).

Les valeurs de résistances et de capacités du réseau de Foster sont trouvées dans le Tableau 13.

Tableau 13. Valeurs des résistances et de capacités du réseau de Foster

Résistances	Capacités
$R_{11a} = 0,2116 \text{ K/W}$	$C_{11a} = 0,0079 \text{ J/K}$
$R_{11b} = 0,3926 \text{ K/W}$	$C_{11b} = 0,0606 \text{ J/K}$
$R_{11c} = 0,1416 \text{ K/W}$	$C_{11c} = 2,7354 \text{ J/K}$
$R_{12a} = 0,0238 \text{ K/W}$	$C_{12a} = 69,2829 \text{ J/K}$
$R_{12b} = 0,0261 \text{ K/W}$	$C_{12b} = 861,9875 \text{ J/K}$
$R_{13} = 0,0329 \text{ K/W}$	$C_{13} = 522,3075 \text{ J/K}$
$R_{14} = 0,0303 \text{ K/W}$	$C_{14} = 890,7672 \text{ J/K}$
$R_{15} = 0,1822 \text{ K/W}$	$C_{15} = 637,4467 \text{ J/K}$

V.6.3. Modèle électrothermique du module

Le réseau RC de Foster est implémenté dans SPICE afin de réaliser une simulation pour avoir les réponses thermiques des MOSFETs pour des conditions de dissipations thermiques données. On compare les résultats issus du réseau RC de Foster (SPICE) et les réponses thermiques issues de la simulation 3D COMSOL.

La Figure 143 illustre la comparaison d'impédances thermiques d'auto-échauffement entre deux cas. On constate que l'auto-échauffement du MOSFET 1 est bien représenté avec une précision satisfaisante par le réseau de Foster. La Figure 144 illustre la réponse thermique par couplage de l'ensemble MOSFETs 2, 3, 4 et celle des MOSFETs 5-6. On constate que ces réponses thermiques couplées sont bien modélisées aux temps courts (100µs-1s) ainsi qu'aux temps longs (1s-1000s). La Figure 145 illustre les échauffements transitoires des MOSFETs 7-8 et ceux des MOSFETs 9-10-11-12. Ces réponses thermiques sont bien présentées aux temps longs (40s-1000s). Cependant, on remarque qu'il y a une différence entre ces réponses thermiques dans la plage entre 1s et 40s. Cet écart peut être expliqué par le fait que l'utilisation d'une seule cellule RC n'est pas suffisante.

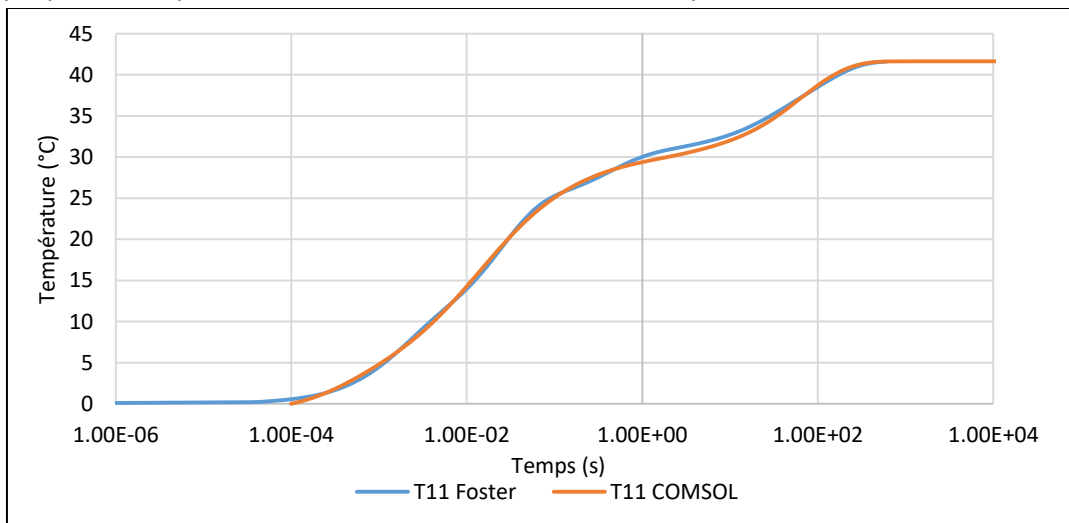
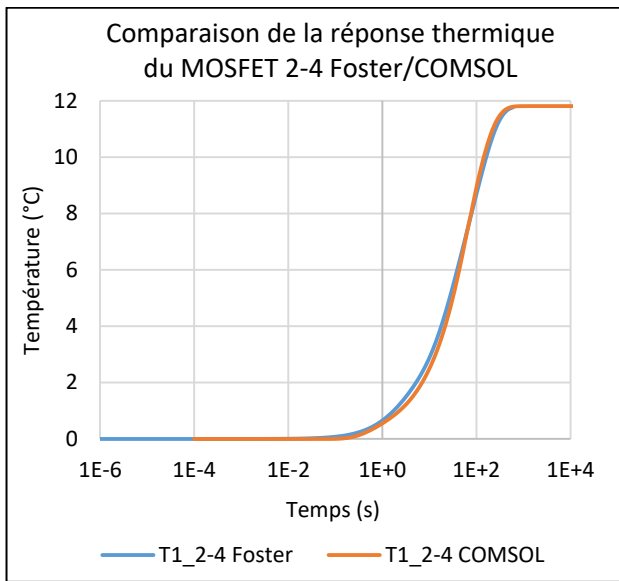
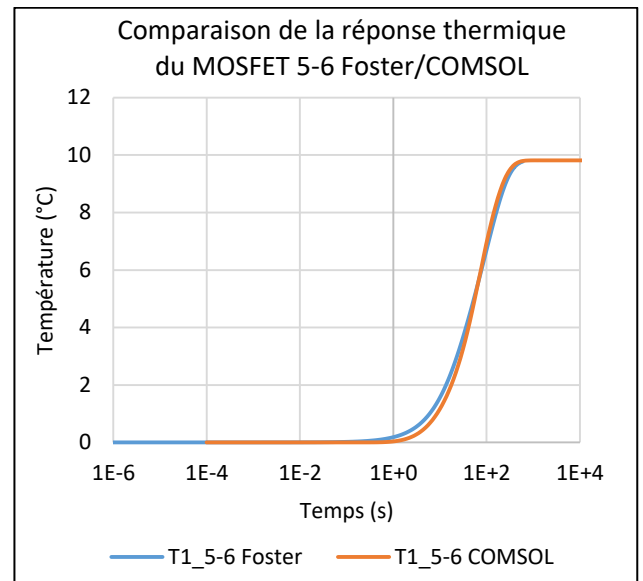


Figure 143. Comparaison de la réponse thermique ($T_j - T_{ref}$) issue du réseau de Foster avec celle issue de la simulation 3D

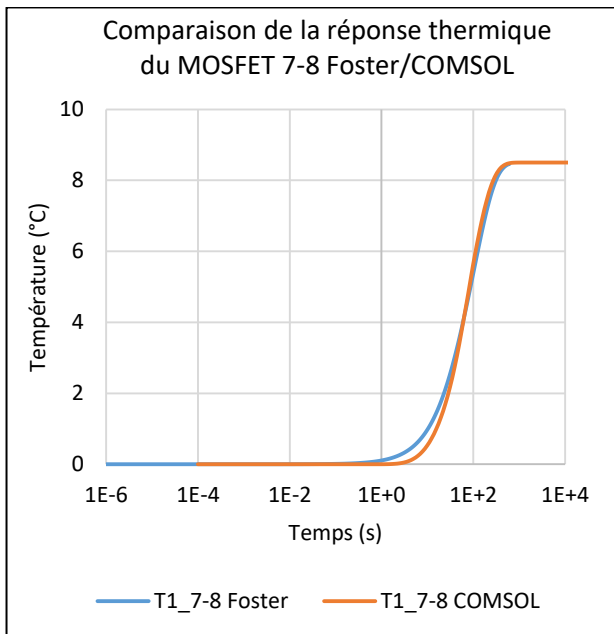


(a)

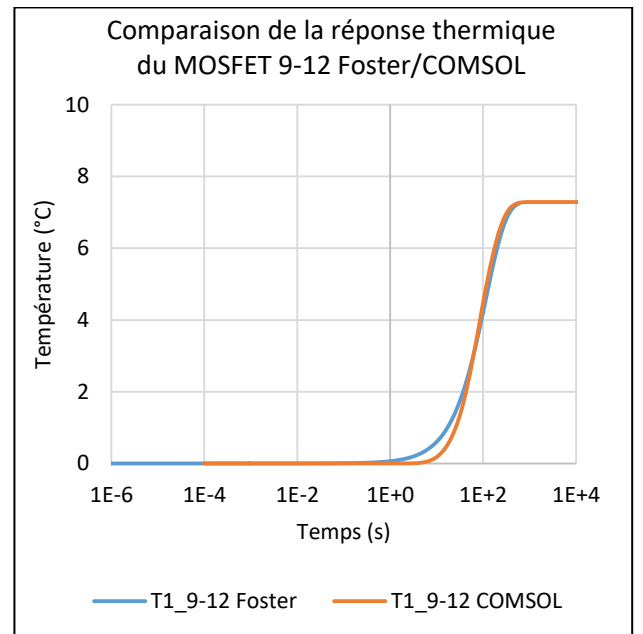


(b)

Figure 144. Réponses thermiques ($T_j - T_{ref}$) issues du réseau de Foster et de la simulation 3D : (a) MOSFET 2-4, (b) MOSFET 5-6



(a)



(b)

Figure 145. Réponses thermiques ($T_j - T_{ref}$) issues du réseau de Foster et de la simulation 3D : (a) MOSFET 7-8, (b) MOSFET 9-12.

V.7. EXEMPLE D'EXPLOITATION DU MODELE PROPOSE

Dans cette partie, quelques exemples d'utilisation du modèle du MOSFET SiC proposé sont donnés. Pour commencer, nous montrons comment le modèle développé peut être exploité aisément dans un simulateur de circuits électroniques. Le modèle du MOSFET SiC proposé est implémenté avec 5 terminaux : drain, grille, source, T_J et T_{AMB} . Le réseau RC de Foster représente le comportement thermique des puces du module (T_J) pour des conditions aux limites thermiques données du milieu ambiant(T_{AMB}).

Avant de prendre en considération des cas applicatifs, nous testons le modèle électrothermique développé sur un fonctionnement simple. La Figure 146 représente la mise en conduction du MOSFET pour un tension appliquée de 800V et une charge résistive de 40 Ohms pendant 1000s, ce qui engendre une dissipation de puissance d'environ 50W (voir dans le MOSFET en conséquence de laquelle le modèle thermique compact (réseau de Foster) nous donne l'évolution de la température de jonction (voir Figure 148). La Figure 148 illustre l'évolution de la température de jonction et l'impédance thermique du MOSFET. Nous pouvons remarquer sur la figure 146 que la puissance dissipée dans le MOSFET augmente légèrement du fait que le modèle développé prend en compte le couplage électrothermique.

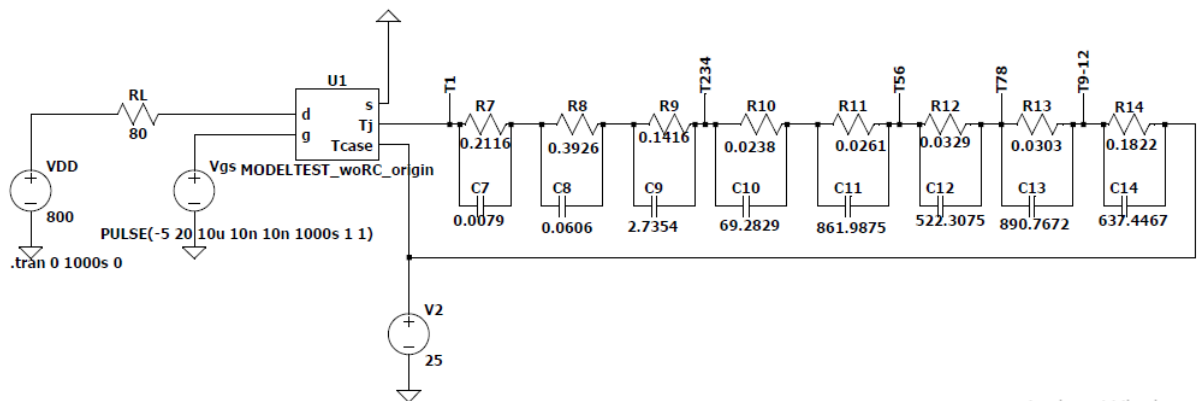


Figure 146. Implémentation du modèle électrothermique du MOSFET SiC sous LTSpice

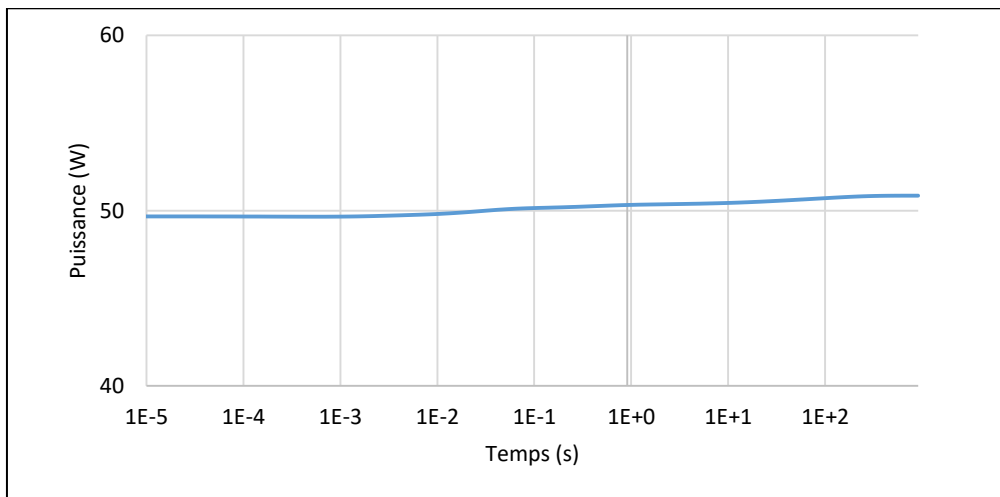


Figure 147. Evolution de la puissance dissipée dans le MOSFET SiC

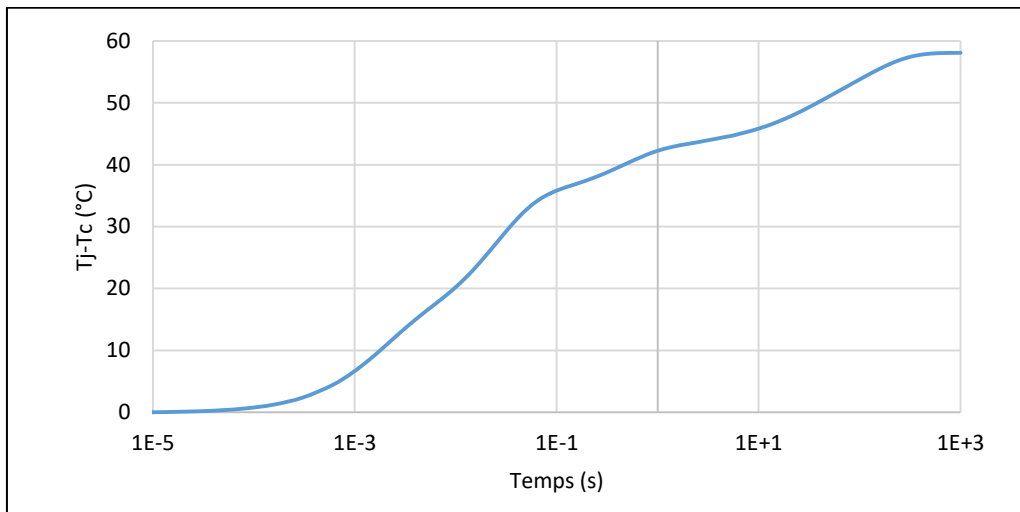


Figure 148. Evolution de la température de jonction du MOSFET SiC

Prenons maintenant des exemples de cas applicatifs dans lesquels on envisage l'utilisation de MOSFETS SiC. Le premier exemple consiste en un hacheur, le second traitera un onduleur monophasé.

Exemple 1 : Hacheur

Prenons un exemple d'un hacheur avec une charge composée d'une résistance de 40 Ohms et d'une inductance de 20mH (voir Figure 149). La tension appliquée est de 800V. Le MOSFET SiC est commandé à une fréquence de 1 kHz. La température ambiante est de 25°C.

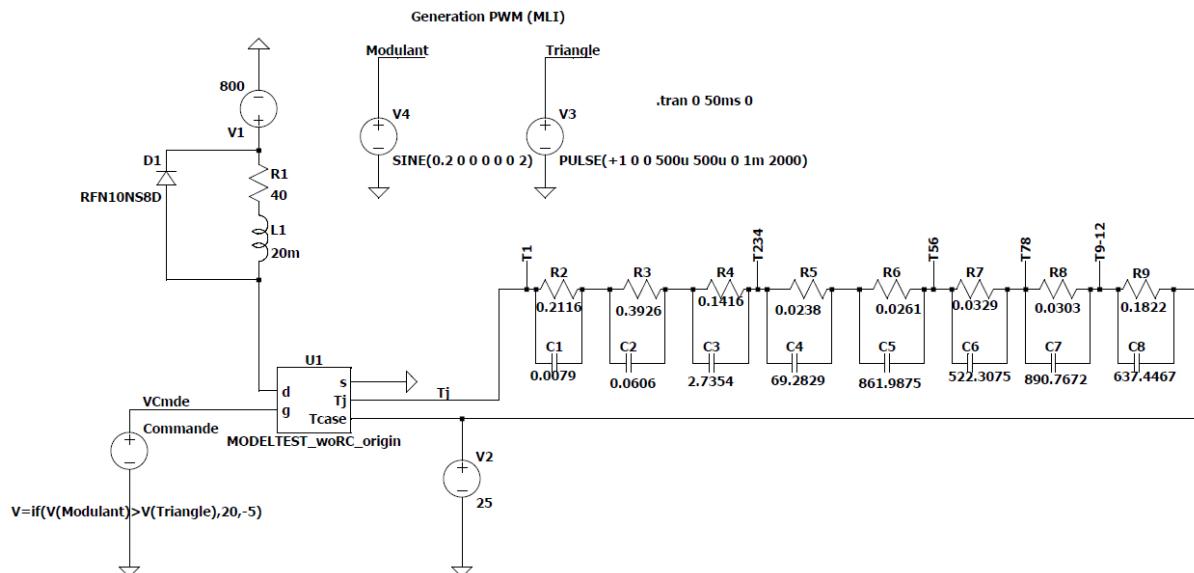


Figure 149. Schéma du circuit hacheur avec prise en compte du couplage électrothermique

Nous considérons 2 cas :

- Cas 1 : Le rapport cyclique est égal à 0,5. Le courant de drain du MOSFET et le courant dans l'inductance sont illustrés dans la Figure 150a et la Figure 150b. La température de jonction augmente à environ 27,5°C après 20ms (voir Figure 152a).

Nous pouvons essayer de retrouver la température de jonction du MOSFET à 20ms à partir des données de la simulation et de la courbe d'impédance thermique (voir Figure 139). La puissance dissipée moyenne donnée par la simulation est environ 5,3W (pertes par commutation 0,5W, pertes par conduction 4,8W). Le calcul de la température du MOSFET échauffé à cette puissance pendant 20ms donne :

$$T_j = T_{AMB} + Z_{th_{20ms}} * P = 25 + 0,45 * 5,3 = 27,39 \text{ } ^\circ\text{C}$$

- Cas 2 : Le rapport cyclique est égal à 0,8. La Figure 151 illustre le courant de drain du MOSFET et le courant dans l'inductance. La température de jonction augmente à 34°C (voir Figure 152b).

Nous essayons également ici de retrouver la température de jonction du MOSFET à 20ms à partir des données de la simulation et de la courbe d'impédance thermique (voir Figure 139). La puissance dissipée moyenne donnée par la simulation est environ 19,3W (pertes par commutation 1,8W, pertes par conduction 17,5W). Le calcul de la température du MOSFET échauffé à cette puissance pendant 20ms donne

$$T_j = T_{AMB} + Z_{th_{20ms}} * P = 25 + 0,45 * 19,3 = 33,69 \text{ } ^\circ\text{C}$$

On pourrait s'attendre à retrouver dans la Figure 152 l'allure de l'impédance thermique donnée par la Figure 139, or ceci ne peut pas être le cas dans l'absolu car il s'agit d'un résultat de calcul électrothermique dans lequel la puissance dissipée est réajustée à chaque instant par la température de jonction.

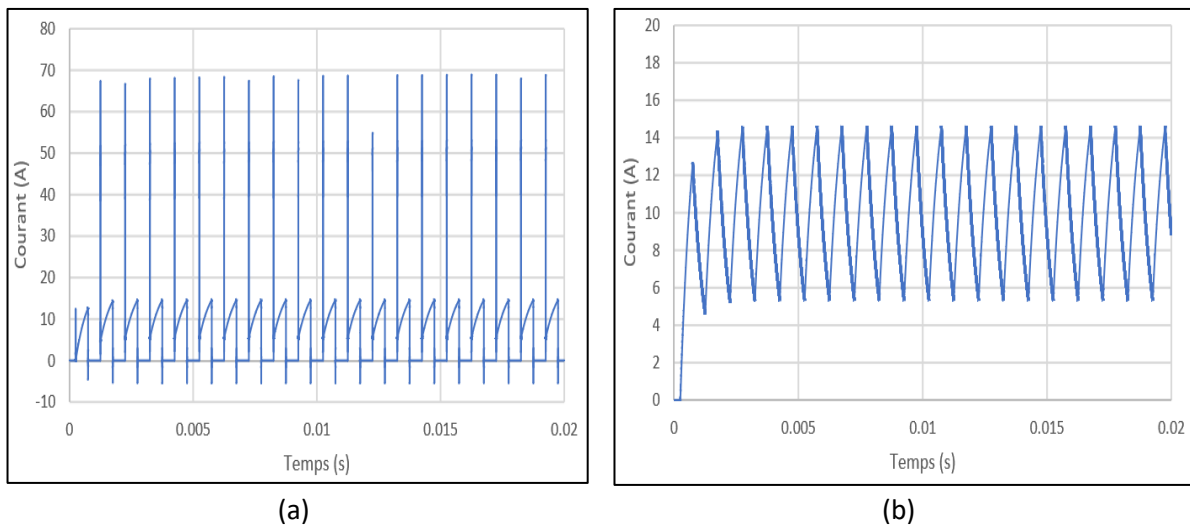


Figure 150. Evolution des courants pour un rapport cyclique de 0,5 : (a) dans le drain du MOSFET, (b) dans l'inductance

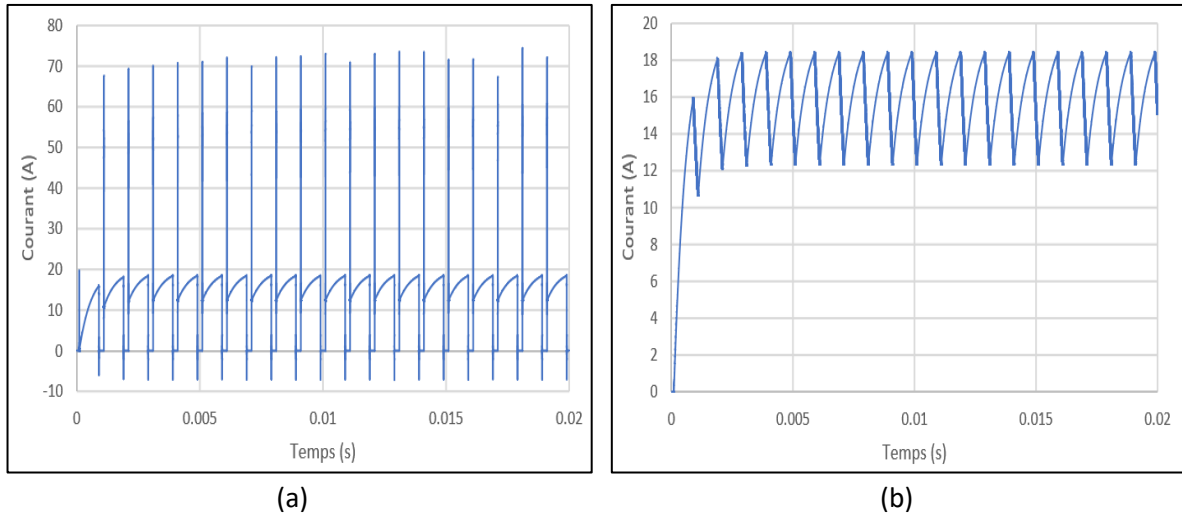


Figure 151. Evolution des courants pour un rapport cyclique de 0,8 : (a) dans le drain du MOSFET, (b) dans l'inductance

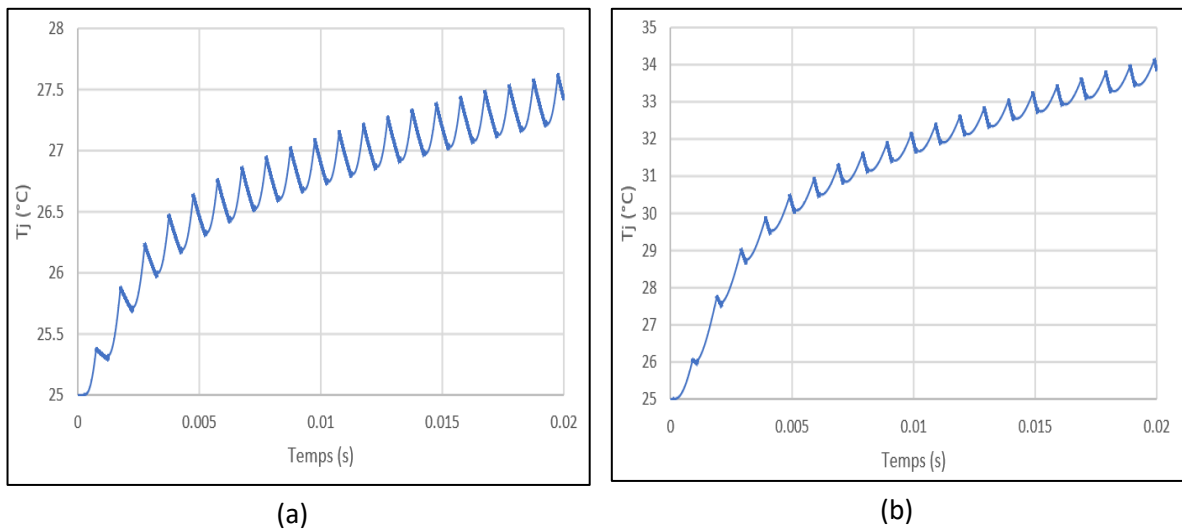


Figure 152. Evolution de la température de jonction : (a) rapport cyclique 0,5 ; (b) rapport cyclique 0,8

Exemple 2 : Onduleur monophasé

Prenons un exemple d'un onduleur monophasé 200Hz (voir figure 152) avec une charge constituée d'une résistance 40 Ohms et d'une inductance de 10mH. La fréquence de découpage est de 5kHz et de 40kHz.

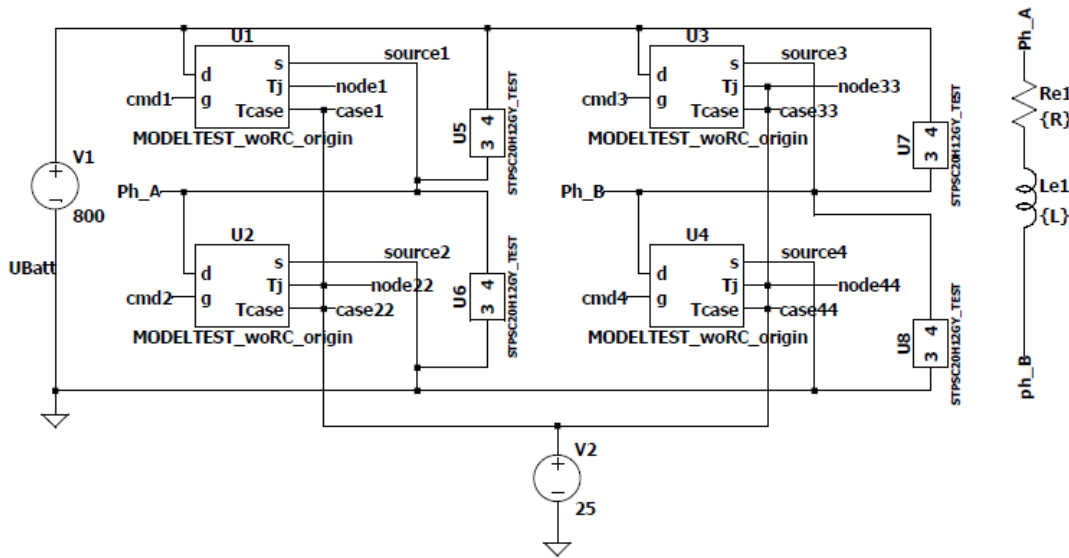


Figure 153. Schéma de simulation de l'onduleur

Nous utilisons pour piloter les quatre MOSFETs SiC une commande classique de type MLI avec des tensions de -5V à 20V donnée par la Figure 154.

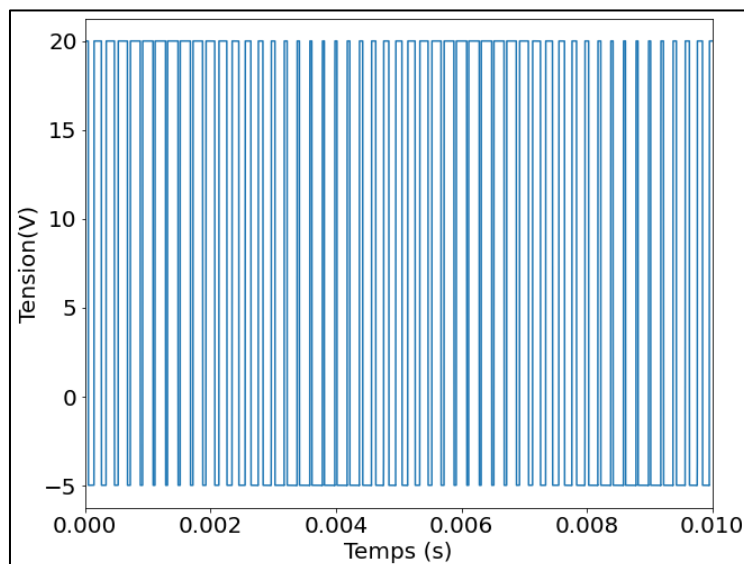


Figure 154. Commande MLI du MOSFET U1 : fréquence de découpage 5kHz

Le courant dans l'inductance avec une fréquence de découpage 5kHz ,comme attendu, a l'allure donnée par la Figure 155.

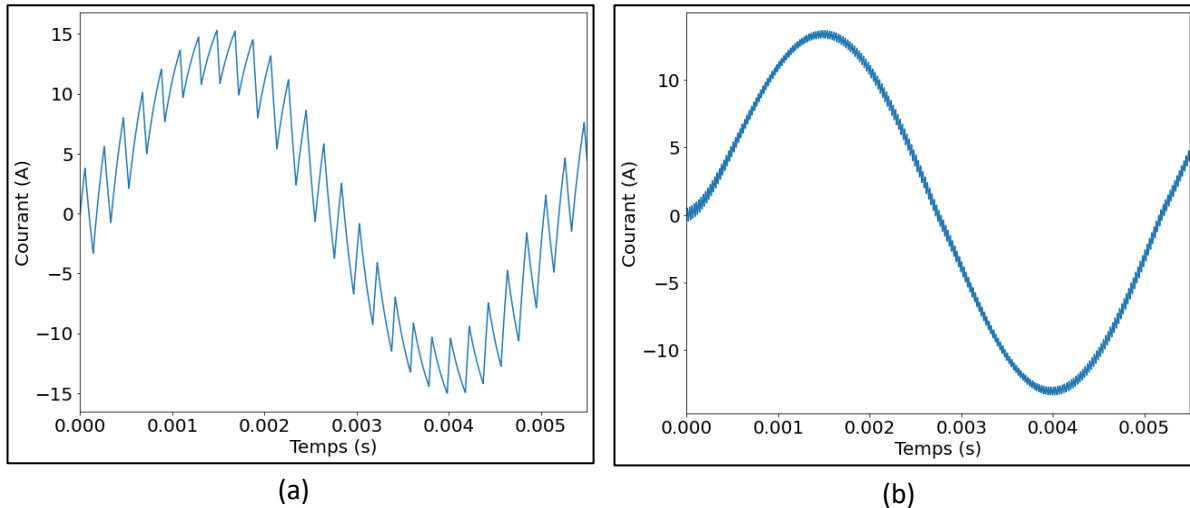


Figure 155. Courant dans l'inductance : (a) fréquence de découpage 5kHz, (b) fréquence de découpage 40kHz

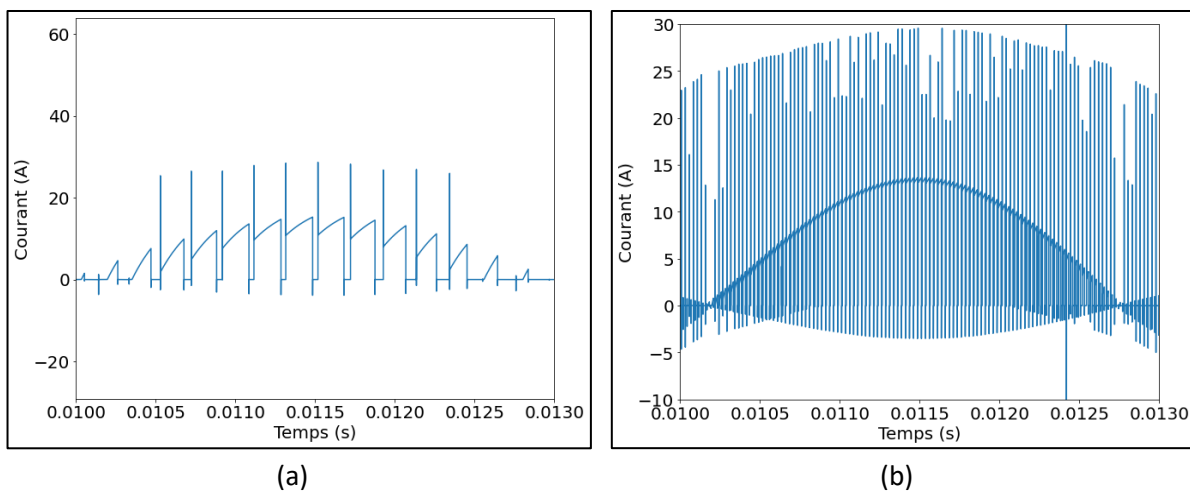


Figure 156. Courant dans le MOSFET U1 : (a) fréquence de découpage 5kHz, (b) fréquence de découpage 40kHz

Si l'on se focalise sur la température du MOSFET indiqué U1 (voir Figure 153), la simulation électrothermique nous donne l'allure suivante de l'échauffement transitoire du MOSFET en question.

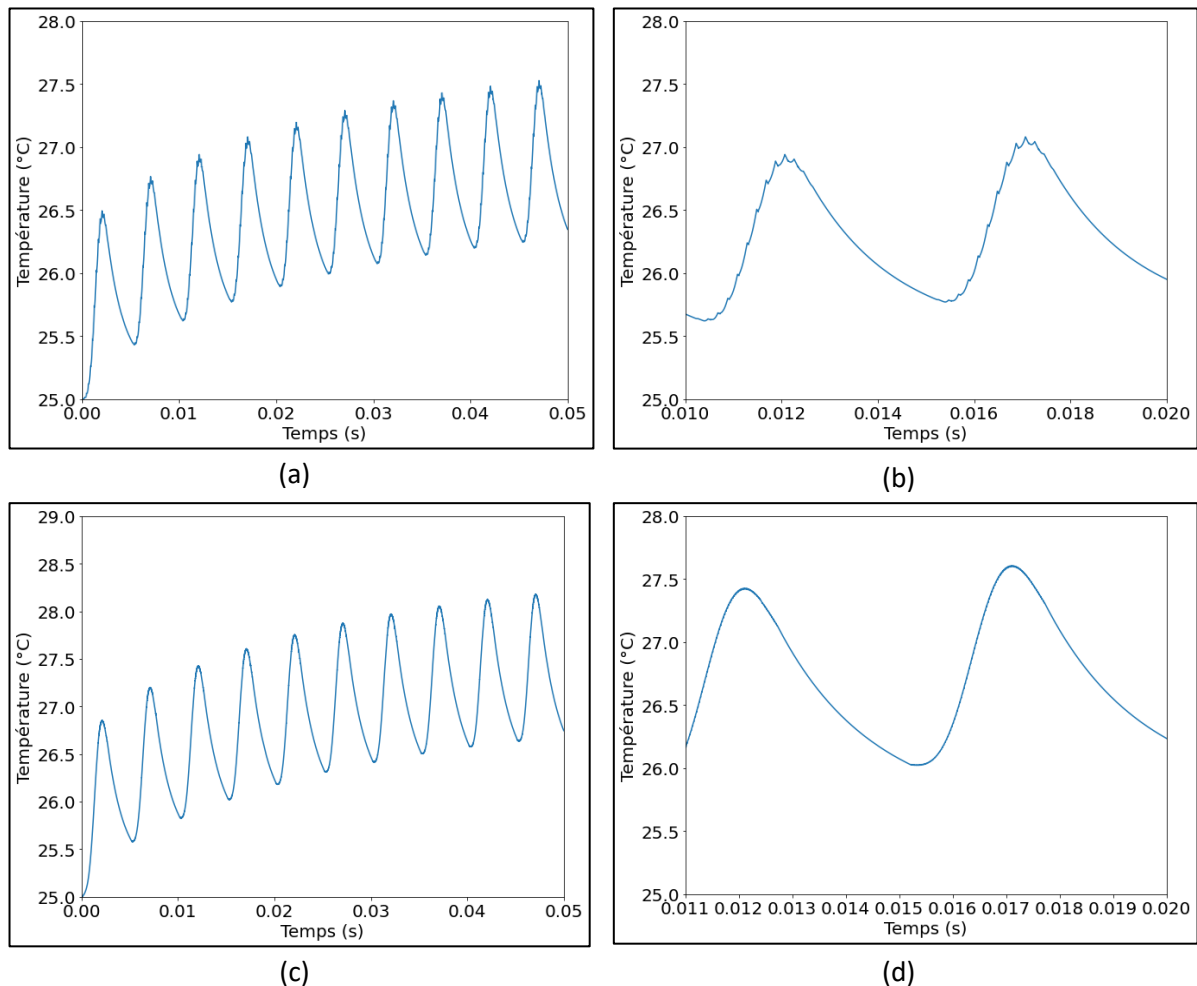


Figure 157. Température de jonction du MOSFET U1 (a) fréquence de 5khz, (b) zoom sur l'intervalle 10ms-20ms; (c) fréquence de 40khz, (d) zoom sur l'intervalle 10ms-20ms.

A ce stade d'avancement, nous avons obtenu des résultats satisfaisants de la simulation électrothermique qui sont caractérisés par la rapidité de l'exécution grâce à l'exploitation de modèles thermiques compacts et du développement d'un nouveau modèle électrique thermosensible du MOSFET SiC.

Cependant, ce travail est à poursuivre et à compléter pour :

- Améliorer la robustesse de la modélisation de la diode structurelle en transitoire.
- Considérer des cas de convertisseurs utilisant uniquement les diodes structurelles.
- Exploiter le couplage thermique global entre les différentes puces du module.
- Maîtriser au mieux la subtilité de l'utilisation du logiciel de simulation LTSpice.

V.8. CONCLUSION

Dans ce chapitre, nous avons proposé une méthodologie d'extraction de modèles électrothermiques compacts de modules SiC destinés aux équipementiers afin de dimensionner et d'optimiser son système de puissance.

Nous avons accordé une attention particulière à la facilité d'exploitation de ces modèles dans des outils de simulation électrique, tout en tenant compte des différents couplages thermiques entre puces.

Afin d'explicitier les étapes de construction de ces modèles, nous avons traité un exemple en appliquant la technique proposée à un module SiC hexaphasé.

A la fin de ce chapitre, nous avons tenté de montrer l'apport de l'exploitation des modèles électrothermiques développés pour des applications de types hacheur et onduleur.

Néanmoins, ce travail n'est pas totalement terminé, car il faut également prendre en compte les inductances et capacités parasites du package afin d'aboutir à une modélisation électrothermique distribuée.

CONCLUSION GENERALE ET PERSPECTIVES

Dans cette thèse, nous avons traité deux problématiques principales : le développement d'outils d'accompagnement de la montée en maturité de nouveaux modules ultracompacts de puissance et la modélisation électrothermique compacte dédiée aux utilisateurs de ces modules.

Afin d'adresser la première problématique, nous avons d'abord réalisé un état de l'art sur la mesure de la température de jonction. En considérant les contraintes d'accessibilité à la puce, nous avons choisi les méthodes électriques adéquates pour mesurer les températures des diodes Schottky et des MOSFETs SiC. Ensuite, nous avons réalisé un banc de mesure d'impédances thermiques et nous l'avons validé en utilisant un module de puissance du commerce. Ce banc de mesure permet de s'adapter à différents types de refroidissement (à air, liquide, diphasique) et à différentes configurations de refroidissement (double face, simple face). Il permet également de mesurer les impédances mutuelles entre puces. Enfin, le fait d'avoir réalisé le banc nous permet d'accéder et de contrôler tous les éléments de la chaîne de mesure (aiguilleur de courant, temps d'échauffement, temps de chevauchement des transistors) et les paramètres nécessaires à l'exploitation de résultats. Nous avons exploité ce banc pour extraire les impédances thermiques d'un module de puissance à refroidissement simple face à air fabriqué par l'IRT Saint-Exupéry et d'un module de puissance à refroidissement liquide double face fabriqué par la société aPSI^{3D}. La partie de mesure de température de jonction peut être utilisée pour d'autres types de refroidissement comme par exemple le refroidissement diphasique. En parallèle, les simulations thermiques 3D (6sigmaET) ont été réalisées grâce à une collaboration entre l'ICAM et la société aPSI^{3D}. La comparaison entre les impédances thermiques mesurées et simulées, couplée aux analyses de temps de transit thermique, nous a permis d'identifier et de localiser les défauts dans les modules. Enfin, les inspections réalisées par Rayons X et par SAM nous ont permis de confirmer nos conclusions. Nous avons ainsi développé une méthodologie de diagnostic non-destructive qui peut être appliquée et utilisée sur des modules complexes à refroidissement double face.

Quant à la deuxième problématique, nous nous sommes imposés comme objectif de proposer un modèle électrothermique de modules de puissance SiC qui prend en compte les principaux phénomènes tout en gardant une certaine simplicité pour que l'utilisateur puisse l'implémenter dans les logiciels de simulation de circuits électriques courants. Pour cela, nous avons fait un état de l'art de la modélisation électrique thermosensible du MOSFET SiC afin de sélectionner la technique de modélisation la plus adaptée pour une modélisation électrothermique. Nous avons proposé un modèle électrique thermosensible comportemental qui prend en compte les particularités du MOSFET SiC. Deux sources de courant ont été utilisées pour représenter l'asymétrie de la conduction du canal du MOSFET. La diode structurelle, quant à elle, a été modélisée en prenant en compte d'une part son comportement à faible et à fort courant, et d'autre part l'influence de la tension de commande V_{GS} . De plus, nous avons aussi modélisé le régime dynamique en considérant les capacités parasites dont les valeurs et les lois de variations aisément extraites des données constructeur. Pour la paramétrisation de ce modèle, nous avons défini une procédure d'extraction basée sur une méthode de caractérisation des MOSFET SiC ou sur les spécifications du constructeur. Une comparaison des caractéristiques issues de simulations

utilisant le modèle et celles issues de mesures permet de valider la précision du modèle. Pour le modèle couplé électrothermique, nous avons eu recours à un modèle thermique compact développé au LAAS-CNRS. Celui-ci a pour avantages : la prise en compte le couplage thermique entre puces, la prise en compte de la non-linéarité, l'évolution des paramètres en fonction de conditions aux limites. Nous avons défini également une procédure d'extraction de paramètres du modèle. Une comparaison entre les résultats issus de la simulation thermique 3D et ceux issus de la simulation du réseau thermique permet de valider ce modèle.

Lors de ce travail, nous avons rencontré quelques difficultés liées à la nécessité de piloter individuellement les MOSFETs pour l'exploitation du TSEP adopté. Des prototypes particuliers du TRIBOX SiC aPSI^{3D} intégrant une modification du circuit de pilotage des grilles ont été conçus et fabriqués pour y parvenir. Cependant, les modules réalisés ne sont pas complètement fonctionnels. Cette action est à poursuivre dans des travaux ultérieurs.

Nous avons décidé d'utiliser un prototype (CULPA) fabriqué par l'IRT Saint-Exupéry qui est constitué de 6 bras d'onduleur. Les MOSFETs du module CULPA ont soit les drains séparés soit les sources séparées. Cela a permis d'échauffer les puces individuellement et de mesurer les températures de ces puces séparément.

La méthodologie développée continue à être utilisée pour identifier/localiser de manière non-destructive les voids/délaminations de modules de puissance. En plus, les autres méthodes non-destructives comme Rayon X et SAM peuvent compléter cette méthode pour les diagnostics mais elles ne sont pas suffisantes. La méthode RX est utilisable pour les modules mais sa numérisation/reconstruction appliquée à un module de puissance donne une précision « voxel-RX » de dizaine de μm . Il ne peut donc pas détecter les délaminations de quelques μm . En revanche, le SAM peut détecter les délaminations mais il est limité en profondeur, c'est-à-dire qu'il ne peut être utilisé que pour les substrats nus. Par rapport à ces deux méthodes, la méthode d'impédance thermique est la seule méthode non-destructive qui permet d'identifier des délaminations dans le module complet. Cependant, il demeure deux inconvénients à cette méthodologie :

- Elle ne permet pas de distinguer les voids des délaminations car ces deux défauts donnent le même effet thermique.
- Elle ne donne pas de pourcentage de voids/délaminations par rapport aux surfaces impactées.

Il faut noter que la méthode développée pour la mesure de température du module CULPA ne peut pas être utilisée sur les modules avec les MOSFETs connectés en parallèle.

De nombreuses perspectives peuvent être proposées afin d'améliorer et de compléter ces travaux :

- Paramètre électrique thermosensible : Identification d'un paramètre qui permet de mesurer la température de MOSFETs connectés en parallèle de manière indépendante. Par exemple, la méthode basée sur la mesure de la résistance de grille ou de la variation de la tension de commande peut être un bon candidat [62].

- Banc de mesure d'impédance thermique : il peut être amélioré sur plusieurs aspects, par exemple, adapter les connexions électriques et les composants (de l'aiguille) pour permettre de passer des courants plus importants et adapter le banc à différents modules de puissance (prototype ou du commerce), automatiser le post-traitement de données.
- Amélioration du modèle électrothermique :
 - Plusieurs aspects du modèle peuvent être améliorés : la robustesse de la modélisation de la diode structurelle en transitoire, simulation des cas de convertisseurs MOSFET SiC exploitant la diode structurelle, couplage thermique global entre les différentes puces...
 - Les inductances et capacités parasites du package doivent être prises en compte afin de réaliser les simulations électrothermiques distribuées beaucoup plus proche de la réalité physique (effet de lignes sur la transitoire, répartition du courant, surtension, surintensité,...).

BIBLIOGRAPHIE

BIBLIOGRAPHIE GENERALE

- [1] M. R. Atelge, « Power Module Packaging in Automotive Applications », p. 83.
- [2] J. Broughton, V. Smet, R. R. Tummala, et Y. K. Joshi, « Review of Thermal Packaging Technologies for Automotive Power Electronics for Traction Purposes », *Journal of Electronic Packaging*, vol. 140, n° 4, déc. 2018, doi: 10.1115/1.4040828.
- [3] F. Qi, L. Fu, L. Xu, P. Jing, G. Zhao, et J. Wang, « Si and SiC power MOSFET characterization and comparison », in *2014 IEEE Conference and Expo Transportation Electrification Asia-Pacific (ITEC Asia-Pacific)*, 2014, p. 1-6.
- [4] S. H. Ryu *et al.*, « A comparison of high temperature performance of SiC DMOSFETs and JFETs », in *Materials science forum*, 2007, vol. 556, p. 775-778.
- [5] M. Bhatnagar et B. J. Baliga, « Comparison of 6H-SiC, 3C-SiC, and Si for power devices », *IEEE Transactions on electron devices*, vol. 40, n° 3, p. 645-655, 1993.
- [6] M. Ruff, H. Mitlehner, et R. Helbig, « SiC devices: physics and numerical simulation », *IEEE Transactions on electron devices*, vol. 41, n° 6, p. 1040-1054, 1994.
- [7] E. Bahat-Treidel, *GaN-based HEMTs for high voltage operation: design, technology and characterization*, vol. 22. Cuvillier Verlag, 2012.
- [8] O. Nilsson, H. Mehling, R. Horn, J. Fricke, et R. Hofmann, « Determination of the thermal diffusivity and conductivity of monocrystalline silicon carbide (300-2300 K) », *High Temperatures. High Pressures (Print)*, vol. 29, n° 1, p. 73-79, 1997.
- [9] R. Wei *et al.*, « Thermal conductivity of 4H-SiC single crystals », *Journal of Applied Physics*, vol. 113, n° 5, p. 053503, 2013.
- [10] S. Seal et H. A. Mantooth, « High performance silicon carbide power packaging—past trends, present practices, and future directions », *Energies*, vol. 10, n° 3, p. 341, 2017.
- [11] A. Matallana *et al.*, « Power module electronics in HEV/EV applications: New trends in wide-bandgap semiconductor technologies and design aspects », *Renewable and Sustainable Energy Reviews*, vol. 113, p. 109264, 2019.
- [12] A. Marzoughi, A. Romero, R. Burgos, et D. Boroyevich, « Comparing the State-of-the-Art SiC MOSFETs: Test results reveal characteristics of four major manufacturers? 900-V and 1.2-kV SiC devices », *IEEE Power Electronics Magazine*, vol. 4, n° 2, p. 36-45, 2017.
- [13] C. M. DiMarino, R. Burgos, et B. Dushan, « High-temperature silicon carbide: characterization of state-of-the-art silicon carbide power transistors », *IEEE Industrial Electronics Magazine*, vol. 9, n° 3, p. 19-30, 2015.
- [14] A. Marzoughi, A. Romero, R. Burgos, et D. Boroyevich, « Comparing the State-of-the-Art SiC MOSFETs: Test results reveal characteristics of four major manufacturers? 900-V and 1.2-kV SiC devices », *IEEE Power Electronics Magazine*, vol. 4, n° 2, p. 36-45, 2017.
- [15] D.-L. Dang, S. Guichard, M. Urbain, et S. Raël, « Characterization and modeling of 1200V–100A N-channel 4H-SiC MOSFET », 2016.
- [16] S. Arthur, « SiC MOSFET Activities at GE & PEMC », p. 31.
- [17] D. Martin, P. Killeen, W. A. Curbow, B. Sparkman, L. E. Kegley, et T. McNutt, « Comparing the switching performance of SiC MOSFET intrinsic body diode to additional SiC schottky diodes in SiC power modules », in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2016, p. 242-246.
- [18] T. Funaki, « A study on performance degradation of SiC MOSFET for burn-in test of body diode », in *2013 4th IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, 2013, p. 1-5.

- [19] H. Lee, V. Smet, et R. Tummala, « A Review of SiC Power Module Packaging Technologies: Challenges, Advances, and Emerging Issues », *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, n° 1, p. 239-255, mars 2020, doi: 10.1109/JESTPE.2019.2951801.
- [20] C. Buttay, « Le Packaging en électronique de puissance », INSA de Lyon, 2015.
- [21] R. Raphaël, « Conditionnement des modules de puissance », 2020.
- [22] L. Ménager, B. Allard, et B. Vincent, « Conditionnement des modules de puissance », 2010.
- [23] J. Broughton, V. Smet, R. R. Tummala, et Y. K. Joshi, « Review of Thermal Packaging Technologies for Automotive Power Electronics for Traction Purposes », *Journal of Electronic Packaging*, vol. 140, n° 4, déc. 2018, doi: 10.1115/1.4040828.
- [24] O. Dalverny et J. Alexis, « Thermo-mechanical behavior of power electronic packaging assemblies: From characterization to predictive simulation of lifetimes », in *AIP Conference Proceedings*, 2018, vol. 1932, n° 1, p. 030009.
- [25] A. Zeanh *et al.*, « Thermomechanical modelling and reliability study of an IGBT module for an aeronautical application », in *EuroSimE 2008-International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems*, 2008, p. 1-7.
- [26] T. Stockmeier, P. Beckedahl, C. Göbl, et T. Malzer, « SKiN: Double side sintering technology for new packages », in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*, 2011, p. 324-327.
- [27] J. M. and U. Vangaveti, « Dual side indirectly cooled power modules have an edge over single side direct cooled modules », *Power Electronics News*, juin 30, 2020. <https://www.powerselectronicsnews.com/dual-side-indirectly-cooled-power-modules-have-an-edge-over-single-side-direct-cooled-modules/> (consulté le avr. 28, 2021).
- [28] Y. Tateishi, V. Parque, T. Miyashita, H. Gohara, R. Kato, et Y. Ikeda, « Design optimization of heat sink using additive manufacturing », in *2017 IEEE CPMT Symposium Japan (ICSJ)*, 2017, p. 91-94.
- [29] D. L. Blackburn, « Temperature measurements of semiconductor devices-a review », in *Twentieth Annual IEEE Semiconductor Thermal Measurement and Management Symposium (IEEE Cat. No. 04CH37545)*, 2004, p. 70-80.
- [30] Y. Avenas, L. Dupont, et Z. Khatir, « Temperature measurement of power semiconductor devices by thermo-sensitive electrical parameters—A review », *IEEE transactions on power electronics*, vol. 27, n° 6, p. 3081-3092, 2011.
- [31] C.-S. Yun, P. Regli, J. Waldmeyer, et W. Fichtner, « Static and dynamic thermal characteristics of IGBT power modules », in *11th International Symposium on Power Semiconductor Devices and ICs. ISPSD'99 Proceedings (Cat. No. 99CH36312)*, 1999, p. 37-40.
- [32] T. Bruckner et S. Bernet, « Estimation and measurement of junction temperatures in a three-level voltage source converter », in *Fourtieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005.*, 2005, vol. 1, p. 106-114.
- [33] M. Mermet-Guyennet, X. Perpina, et M. Piton, « Revisiting power cycling test for better life-time prediction in traction », *Microelectronics Reliability*, vol. 47, n° 9-11, p. 1690-1695, 2007.
- [34] R. Schmidt et U. Scheuermann, « Using the chip as a temperature sensor-The influence of steep lateral temperature gradients on the Vce (T)-measurement », *EPE Journal*, vol. 21, n° 2, p. 5-11, 2011.
- [35] J. Zarebski et K. Górecki, « The electrothermal large-signal model of power MOS transistors for SPICE », *IEEE transactions on power electronics*, vol. 25, n° 5, p. 1265-1274, 2009.
- [36] L. Dupont, Y. Avenas, et P.-O. Jeannin, « Comparison of junction temperature evaluations in a power IGBT module using an IR camera and three thermosensitive electrical parameters », *IEEE Transactions on Industry Applications*, vol. 49, n° 4, p. 1599-1608, 2013.
- [37] P. Spirito, G. Breglio, V. d'Alessandro, et N. Rinaldi, « Thermal instabilities in high current power MOS devices: experimental evidence, electro-thermal simulations and analytical modeling », in

- 2002 23rd International Conference on Microelectronics. Proceedings (Cat. No. 02TH8595), 2002, vol. 1, p. 23-30.
- [38] G. Breglio, A. Irace, P. Spirito, R. Letor, et S. Russo, « Fast transient infrared thermal analysis of smart Power MOSFETS in permanent short circuit operation », in *2006 IEEE International Symposium on Power Semiconductor Devices and IC's*, 2006, p. 1-4.
- [39] W. Brekel, T. Duetemeyer, G. Puk, et O. Schilling, « Time resolved in situ Tvj measurements of 6.5 kV IGBTs during inverter operation », *Proceedings PCIM Europe*, p. 808-813, 2009.
- [40] D. C. Hall, L. Goldberg, et D. Mehuys, « Technique for lateral temperature profiling in optoelectronic devices using a photoluminescence microprobe », *Appl. Phys. Lett.*, vol. 61, n° 4, p. 384-386, juill. 1992, doi: 10.1063/1.107890.
- [41] G. Abstreiter, « Micro-Raman spectroscopy for characterization of semiconductor devices », *Applied Surface Science*, vol. 50, n° 1, p. 73-78, juin 1991, doi: 10.1016/0169-4332(91)90141-6.
- [42] R. Abid et F.-Z. Mezroua, « New technique of temperature noncontact measurements: application to thermal characterization of GTO thyristors in commutation », in *Proceedings 1995 Canadian Conference on Electrical and Computer Engineering*, 1995, vol. 1, p. 586-589.
- [43] Y. S. Ju et K. E. Goodson, « Thermal mapping of interconnects subjected to brief electrical stresses », *IEEE Electron Device Letters*, vol. 18, n° 11, p. 512-514, 1997.
- [44] Y. S. Ju et K. E. Goodson, « Short-timescale thermal mapping of interconnects », in *1997 IEEE International Reliability Physics Symposium Proceedings. 35th Annual*, 1997, p. 320-324.
- [45] C. Furbock *et al.*, « A differential backside laserprobing technique for the investigation of the lateral temperature distribution in power devices », in *11th International Symposium on Power Semiconductor Devices and ICs. ISPSD'99 Proceedings (Cat. No. 99CH36312)*, 1999, p. 193-196.
- [46] A. Hamidi et G. Coquery, « Effects of current density and chip temperature distribution on lifetime of high power IGBT modules in traction working conditions », *Microelectronics reliability*, vol. 37, n° 10-11, p. 1755-1758, 1997.
- [47] B. Du, J. L. Hudgins, E. Santi, A. T. Bryant, P. R. Palmer, et H. A. Mantooth, « Transient electrothermal simulation of power semiconductor devices », *IEEE Transactions on power electronics*, vol. 25, n° 1, p. 237-248, 2009.
- [48] M. Shaway, « Using Thermistors to Optimize the Thermal Performance of IGBT Modules », p. 3, 2019.
- [49] I. De, « Thermal characterization of nanostructures using scanning thermal microscopy », Université de Bordeaux, 2017.
- [50] A. Laraoui, H. Aycock-Rizzo, Y. Gao, X. Lu, E. Riedo, et C. A. Meriles, « Imaging thermal conductivity with nanoscale resolution using a scanning spin probe », *Nature communications*, vol. 6, n° 1, p. 1-8, 2015.
- [51] J. Altet *et al.*, « Four different approaches for the measurement of IC surface temperature: application to thermal testing », *Microelectronics journal*, vol. 33, n° 9, p. 689-696, 2002.
- [52] K. Azar et D. J. Farina, « Measuring chip temperature with thermochromic liquid crystals », *Electronics Cooling*, vol. 3, p. 16-22, 1997.
- [53] « LUXTRON 710, 712, 790 Users.pdf ». Consulté le: mars 03, 2021. [En ligne]. Disponible sur: <http://manuals.repeater-builder.com/te-files/MISCELLANEOUS/LUXTRON%20710,%20712,%20790%20Users.pdf>.
- [54] S. Carubelli et Z. Khatir, « Experimental validation of a thermal modelling method dedicated to multichip power modules in operating conditions », *Microelectronics journal*, vol. 34, n° 12, p. 1143-1151, 2003.
- [55] G. Coquery *et al.*, « Power module lifetime estimation from chip temperature direct measurement in an automotive traction inverter », *Microelectronics Reliability*, vol. 41, n° 9-10, p. 1695-1700, 2001.

- [56] D. L. Blackburn et F. F. Oettinger, « Transient thermal response measurements of power transistors », *IEEE Transactions on Industrial Electronics and Control Instrumentation*, n° 2, p. 134-141, 1975.
- [57] B. Thollin, « Outils et méthodologies de caractérisation électrothermique pour l'analyse des technologies d'interconnexion de l'électronique de puissance », Université de Grenoble, 2013.
- [58] J. O. Gonzalez, O. Alatise, J. Hu, L. Ran, et P. A. Mawby, « An investigation of temperature-sensitive electrical parameters for SiC power MOSFETs », *IEEE Transactions on Power Electronics*, vol. 32, n° 10, p. 7954-7966, 2016.
- [59] J. Brandelero, J. Ewanchuk, et S. Mollov, « Online junction temperature measurements for power cycling power modules with high switching frequencies », in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, p. 191-194.
- [60] Y. Avenas, L. Dupont, et Z. Khatir, « Temperature measurement of power semiconductor devices by thermo-sensitive electrical parameters—A review », *IEEE transactions on power electronics*, vol. 27, n° 6, p. 3081-3092, 2011.
- [61] D.-L. Dang, « Caractérisation, analyse et modélisation du MOSFET de puissance en carbure de silicium », Université de Lorraine, 2019.
- [62] A. Griffio, J. Wang, K. Colombage, et T. Kamel, « Real-time measurement of temperature sensitive electrical parameters in SiC power MOSFETs », *IEEE Transactions on Industrial Electronics*, vol. 65, n° 3, p. 2663-2671, 2017.
- [63] D. L. Blackburn, « Temperature measurements of semiconductor devices-a review », in *Twentieth Annual IEEE Semiconductor Thermal Measurement and Management Symposium (IEEE Cat. No. 04CH37545)*, 2004, p. 70-80.
- [64] « 2197475.pdf ». Consulté le: avr. 02, 2021. [En ligne]. Disponible sur: <http://www.farnell.com/datasheets/2197475.pdf>.
- [65] « 2181875.pdf ». Consulté le: mars 21, 2021. [En ligne]. Disponible sur: <http://www.farnell.com/datasheets/2181875.pdf>.
- [66] V. Pala *et al.*, « Physics of bipolar, unipolar and intermediate conduction modes in Silicon Carbide MOSFET body diodes », in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, p. 227-230.
- [67] V. Dos Santos, « Modélisation des émissions conduites de mode commun d'une chaîne électromécanique: Optimisation paramétrique de l'ensemble convertisseur filtres sous contraintes CEM », Toulouse, INPT, 2019.
- [68] F. Boige, « Caractérisation et modélisation électrothermique compacte étendue du MOSFET SiC en régime extrême de fonctionnement incluant ses modes de défaillance: application à la conception d'une protection intégrée au plus proche du circuit de commande », 2019.
- [69] K. Matocha, K. Chatty, S. Banerjee, et L. B. Rowland, « 1700V, 5.5 mOhm-cm² 4H-SiC DMOSFET with stable 225° C operation », in *Materials Science Forum*, 2014, vol. 778, p. 903-906.
- [70] « Physique des semi-conducteurs: Fondamentaux - Jonction abrupte à l'équilibre thermodynamique ». http://www.optique-ingenieur.org/fr/cours/OPI_fr_M05_C02/co/Contenu_05.html (consulté le mars 11, 2021).
- [71] « materials_catalog.pdf ». Consulté le: févr. 28, 2021. [En ligne]. Disponible sur: https://www.wolfspeed.com/index.php/downloads/dl/file/id/888/product/0/materials_catalog.pdf.
- [72] F. Cappelluti, M. Furno, A. Angelini, F. Bonani, M. Pirola, et G. Ghione, « On the substrate thermal optimization in SiC-based backside-mounted high-power GaN FETs », *IEEE transactions on electron devices*, vol. 54, n° 7, p. 1744-1752, 2007.
- [73] R. Riva, « Solution d'interconnexions pour la haute température », INSA de Lyon, 2014.
- [74] L. Xiaofei, Z. Libing, K. Xiangdong, J. Pengyun, et H. Li, « The research of relationship between the void of DBC and the temperature distribution », in *2011 International Symposium on Advanced Packaging Materials (APM)*, 2011, p. 168-171.

- [75] T. R. McNutt, A. R. Hefner, H. A. Mantooth, D. Berning, et S.-H. Ryu, « Silicon carbide power MOSFET model and parameter extraction sequence », *IEEE Transactions on Power Electronics*, vol. 22, n° 2, p. 353-363, 2007.
- [76] M. Hasanuzzaman, S. K. Islam, L. M. Tolbert, et B. Ozpineci, « Model simulation and verification of a vertical double implanted (DIMOS) transistor in 4H-SiC », in *proceedings of the 7 th IASTED International Multi-Conference, ece. utk. edu*, 2003, p. 1.
- [77] M. D. Hasanuzzaman, S. K. Islam, L. M. Tolbert, et B. Ozpineci, « Design, modeling, testing, and spice parameter extraction of dimos transistor in 4 H-silicon carbide », in *Frontiers In Electronics: (With CD-ROM)*, World Scientific, 2006, p. 733-746.
- [78] R. Fu, A. Grekov, J. Hudgins, A. Mantooth, et E. Santi, « Power SiC DMOSFET model accounting for nonuniform current distribution in JFET region », *IEEE Transactions on Industry Applications*, vol. 48, n° 1, p. 181-190, 2011.
- [79] M. Mudholkar, M. Saadeh, et H. A. Mantooth, « A datasheet driven power MOSFET model and parameter extraction procedure for 1200V, 20A SiC MOSFETs », in *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, 2011, p. 1-10.
- [80] M. Mudholkar, S. Ahmed, M. N. Ericson, S. S. Frank, C. L. Britton, et H. A. Mantooth, « Datasheet driven silicon carbide power MOSFET model », *IEEE Transactions on Power Electronics*, vol. 29, n° 5, p. 2220-2228, 2013.
- [81] M. Riccio, V. d'Alessandro, G. Romano, L. Maresca, G. Breglio, et A. Irace, « A temperature-dependent SPICE model of SiC Power MOSFETs for within and out-of-SOA simulations », *IEEE Transactions on power electronics*, vol. 33, n° 9, p. 8020-8029, 2017.
- [82] M. Hasanuzzaman, S. K. Islam, et L. M. Tolbert, « Effects of temperature variation (300–600 K) in MOSFET modeling in 6H-silicon carbide », *Solid-State Electronics*, vol. 48, n° 1, p. 125-132, 2004.
- [83] J. Wang *et al.*, « Characterization, modeling, and application of 10-kV SiC MOSFET », *IEEE Transactions on Electron Devices*, vol. 55, n° 8, p. 1798-1806, 2008.
- [84] N. Phankong, T. Funaki, et T. Hikihara, « A static and dynamic model for a silicon carbide power MOSFET », in *2009 13th European Conference on Power Electronics and Applications*, 2009, p. 1-10.
- [85] Y. Cui, M. Chinthavali, et L. M. Tolbert, « Temperature dependent Pspice model of silicon carbide power MOSFET », in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, p. 1698-1704.
- [86] S. Yin, T. Wang, K.-J. Tseng, J. Zhao, et X. Hu, « Electro-thermal modeling of SiC power devices for circuit simulation », in *IECON 2013-39th Annual Conference of the IEEE Industrial Electronics Society*, 2013, p. 718-723.
- [87] J. Lu, K. Sun, H. Wu, Y. Xing, et L. Huang, « Modeling of SiC MOSFET with temperature dependent parameters and its applications », in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, p. 540-544.
- [88] V. d'Alessandro *et al.*, « SPICE modeling and dynamic electrothermal simulation of SiC power MOSFETs », in *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2014, p. 285-288.
- [89] D. Johannesson et M. Nawaz, « Assessment of PSpice model for commercial SiC MOSFET power modules », in *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2015, p. 291-295.
- [90] P. Alexakis, O. Alatise, L. Ran, et P. Mawby, « Modeling power converters using hard switched silicon carbide MOSFETs and Schottky barrier diodes », in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, p. 1-9.
- [91] A. Merkert, T. Krone, et A. Mertens, « Characterization and scalable modeling of power semiconductors for optimized design of traction inverters with Si-and SiC-devices », *IEEE Transactions on Power Electronics*, vol. 29, n° 5, p. 2238-2245, 2013.

- [92] G. Li, Q. Gao, M. Jin, J. Kou, X. Li, et D. Xu, « An improved MATLAB/simulink model of SiC power MOSFETs », in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, 2016, p. 1628-1633.
- [93] G. Bazzano, D. G. Cavallaro, R. Greco, A. Raffa, et P. P. Veneziano, « A new analog behavioral SPICE macro model with thermal and self-heating effects for Silicon Carbide power MOSFETs », in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, p. 1-8.
- [94] A. Stefanskyi, Ł. Starzak, et A. Napieralski, « Review of commercial SiC MOSFET models: Topologies and equations », in *2017 MIXDES-24th International Conference" Mixed Design of Integrated Circuits and Systems*, 2017, p. 484-487.
- [95] B. N. Pushpakaran, S. B. Bayne, G. Wang, et J. Mookken, « Fast and accurate electro-thermal behavioral model of a commercial SiC 1200V, 80 mΩ power MOSFET », in *2015 IEEE Pulsed Power Conference (PPC)*, 2015, p. 1-5.
- [96] C. He *et al.*, « A physically based scalable SPICE model for silicon carbide power MOSFETs », in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, p. 2678-2684.
- [97] H. A. Mantooth, K. Peng, E. Santi, et J. L. Hudgins, « Modeling of wide bandgap power semiconductor devices—Part I », *IEEE Transactions on Electron Devices*, vol. 62, n° 2, p. 423-433, 2014.
- [98] H. Shichman et D. A. Hodges, « Modeling and simulation of insulated-gate field-effect transistor switching circuits », *IEEE Journal of Solid-State Circuits*, vol. 3, n° 3, p. 285-289, 1968.
- [99] Y. S. Chauhan, F. Krummenacher, et A. M. Ionescu, « Modeling of high voltage MOSFETs based on EKV (HV-EKV) », in *Power/HVMOS Devices Compact Modeling*, Springer, 2010, p. 95-127.
- [100] S. Maas, « Fixing the Curtice FET model.(Technical Feature) », *Microwave Journal*, vol. 45, n° 3, p. 68-75, 2002.
- [101] V. Pala *et al.*, « Physics of bipolar, unipolar and intermediate conduction modes in Silicon Carbide MOSFET body diodes », in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, juin 2016, p. 227-230, doi: 10.1109/ISPSD.2016.7520819.
- [102] « Home - Fischerelektronik - LA 6 ». https://www.fischerelektronik.de/web_fischer/fr_FR/PR/LA6_/datasheet.xhtml?branch=heatsinks (consulté le févr. 27, 2021).
- [103] A. Poppe, A. Vass-Varnai, Z. Sarkany, M. Rencz, G. Hantos, G. Farkas, « Suggestions for extending the Scope of the Transient Dual Interface Method », In *2021 27rd International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*. IEEE, 2021.

ANNEXE

Dans cette annexe, nous montrons les mesures d'impédance thermique et la simulation thermique d'un module de puissance TRIBOX Silicium. Une comparaison entre les résultats issus de la simulation et ceux de la mesure est présentée. Cette analyse est équivalente à celle présentée dans la partie IV.2.

Le module de puissance TRIBOX Si est la version équivalente en Silicium du module TRIBOX SiC (présenté en III.3). Il est constitué d'un bras d'onduleur, chaque interrupteur est composé d'un IGBT et d'une diode Si comme illustrée dans la Figure 158. Il possède les mêmes éléments que la version TRIBOX SiC : billes en cuivre, substrat AMB, frittages face arrière et face avant puce, frittage des deux côtés des billes, dissipateurs brasés sur deux côtés du module (voir la Figure 158c et la Figure 158d).

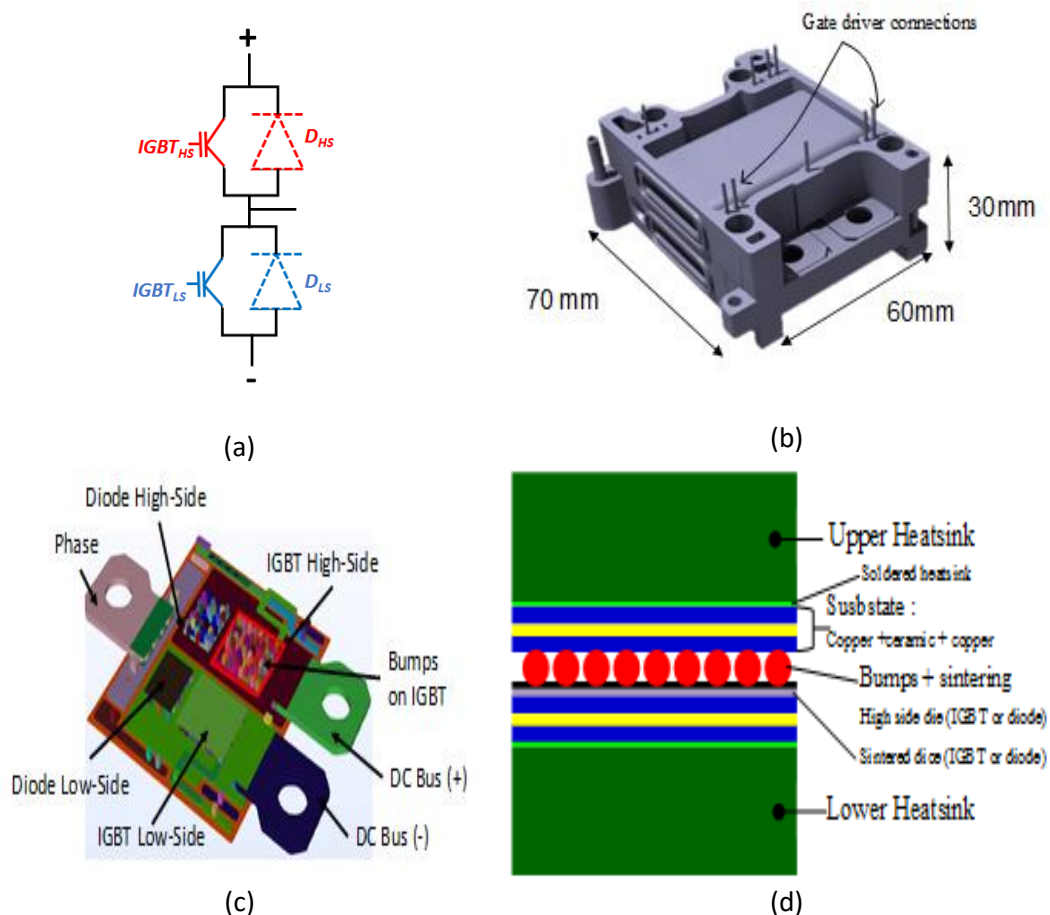


Figure 158. Présentation du module TRIBOX Si : (a) Schéma électrique, (b) Boîtier, (c) Vue intérieure, (d) Vue en coupe du module.

Les simulations équivalentes de celles présentées en IV.4 sont réalisées sous les conditions suivantes :

- Puissance dissipée dans la puce diode LS : 100W.
- Refroidissement à eau glycolée à une température de référence de 20°C.
- Trois types de refroidissement (double face, simple face avant et simple face arrière).

La Figure 159 illustre la comparaison entre les impédances thermiques issues de la simulation et celles issues des mesures. Nous remarquons qu'il existe un écart entre les résultats issus

des mesures et ceux issus des simulations ce qui signifie que le modèle n'est pas représentatif de la réalité.

Afin de savoir quelles caractéristiques thermiques et quelle couche doit être modifiée, une simulation donnant la température de chaque couche en régime transitoire a été réalisée. En représentant les réponses thermiques de chaque couche en échelle double logarithmique, nous pouvons identifier la progression du front de chaleur à travers les différentes couches (voir Figure 160 : il s'agit la température moyenne de la puce et des températures au centre des différentes couches). Nous remarquons que la divergence entre essai et simulation se fait aux alentours de 0,05-0,1s avec une différence de Z_{TH} de l'ordre de 0,01-0,02 °C/W. En exploitant la Figure 160, nous pouvons donc mettre en cause la zone qui se situe entre les billes et le substrat supérieur.

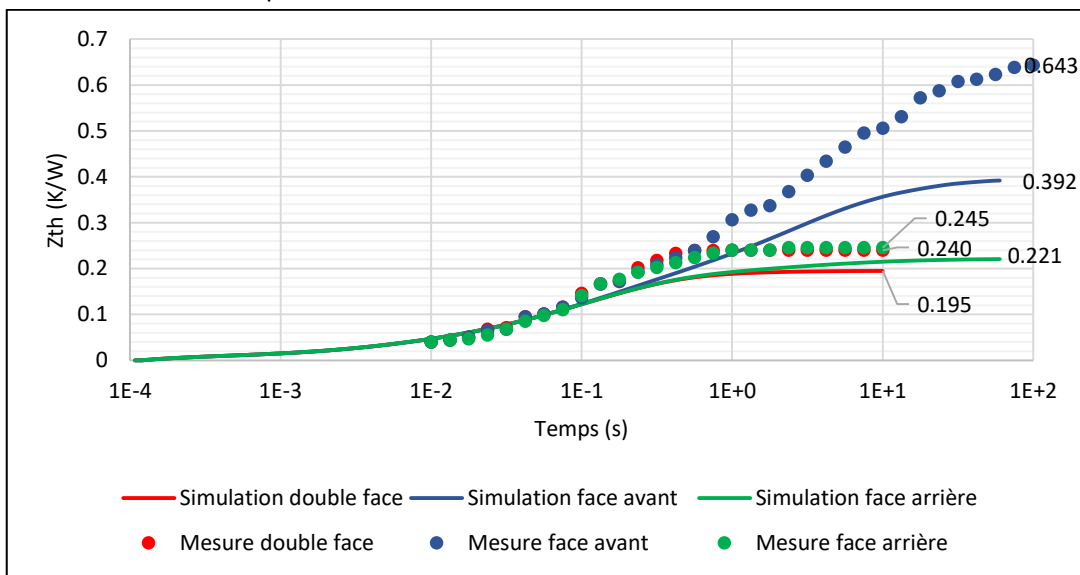


Figure 159. Comparaison simulation/mesure de Z_{th} de la diode Si

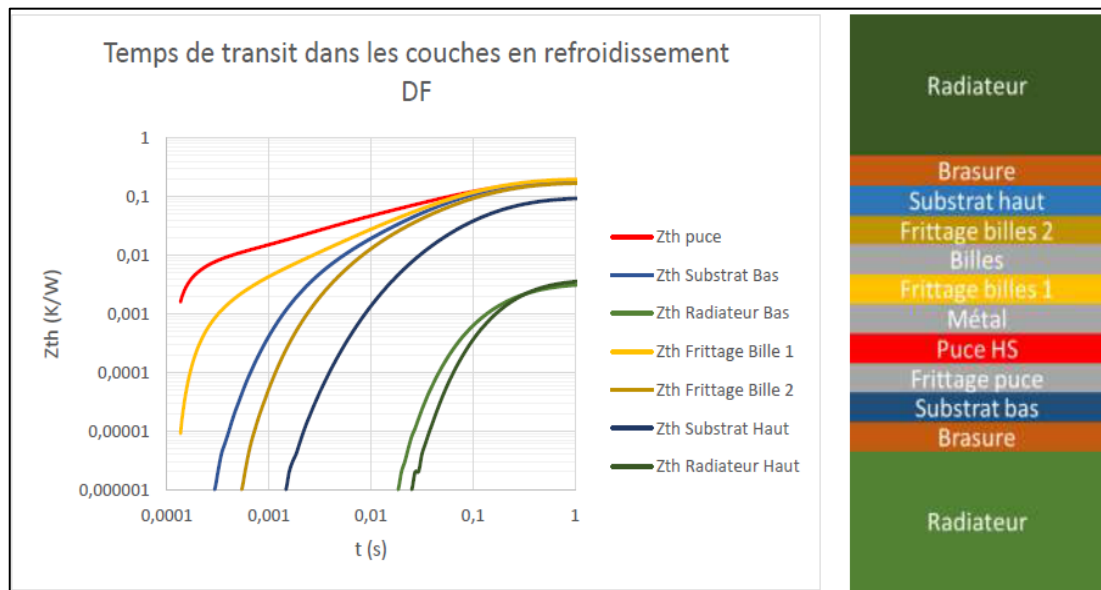


Figure 160. Réponses thermiques transitoires au niveau des différentes couches du module TRIBOX Si en refroidissement double face.

Suite à l'analyse précédente, nous avons procédé à des modifications de la conductivité du frittage de la bille (côté substrat) de 100W/m.K à 1W/m.K en plusieurs itérations dans les simulations, ceci pour prendre compte l'effet du défaut détecté. Avec ces modifications, nous obtenons une correspondance plus réaliste entre les résultats de la simulation et ceux des mesures (voir Figure 161).

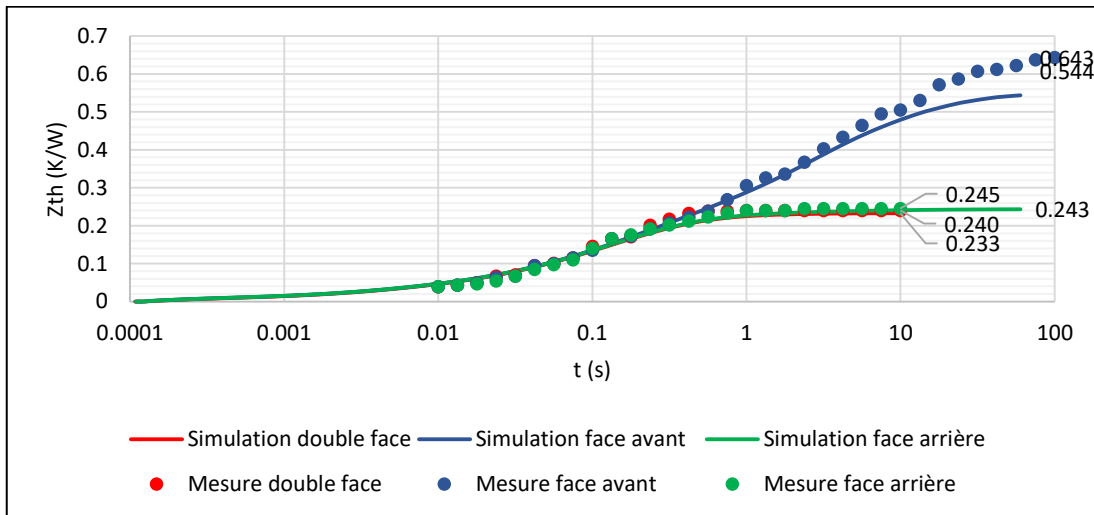


Figure 161. Comparaison simulation/mesure de Z_{th} de la diode Si après la prise en compte dans la simulation du défaut détecté.

Par la suite, nous avons procédé à une observation détaillée à l'aide d'un microscope numérique Keyence VHX-5000 ce qui nous a permis de détecter des délaminations du substrat AMB (voir Figure 162) et de confirmer la localisation déjà trouvée précédemment. Il n'est en effet pas possible, uniquement par simulation, de séparer un défaut de frittage de la bille côté substrat d'une délamination du substrat.

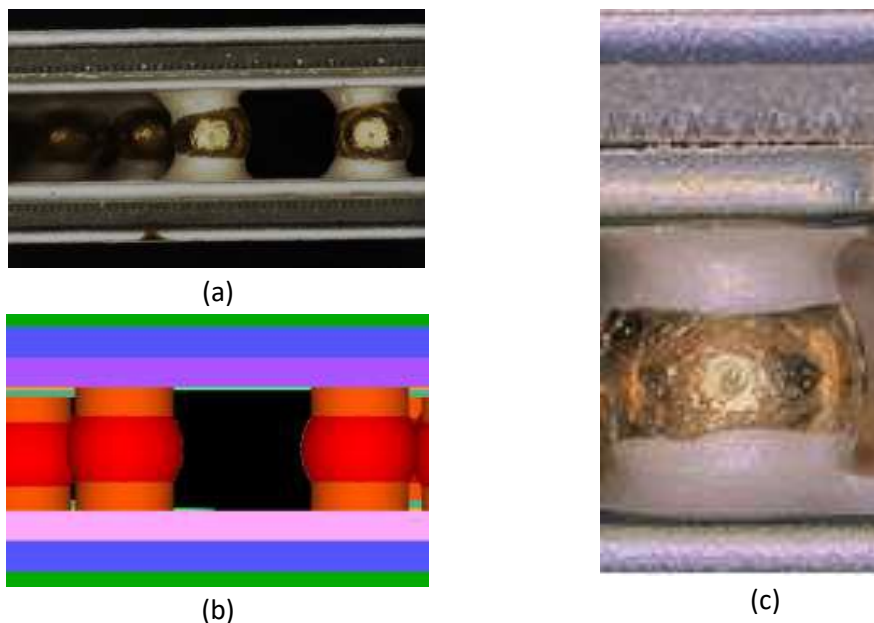


Figure 162. Localisation de la délamination par visualisation de la structure : (a) vue de côté du module, (b) schéma de coupe dans la simulation, (c) zoom sur la délamination

Afin de mieux comprendre le phénomène thermique dans le module de puissance à refroidissement double face, nous avons analysé par simulation le flux de chaleur évacué par chaque côté du module. La Figure 163 montre le champ de température et la Figure 164 illustre le flux thermique le cas où une seule diode HS1 est activée (par une puissance dissipée 100W).

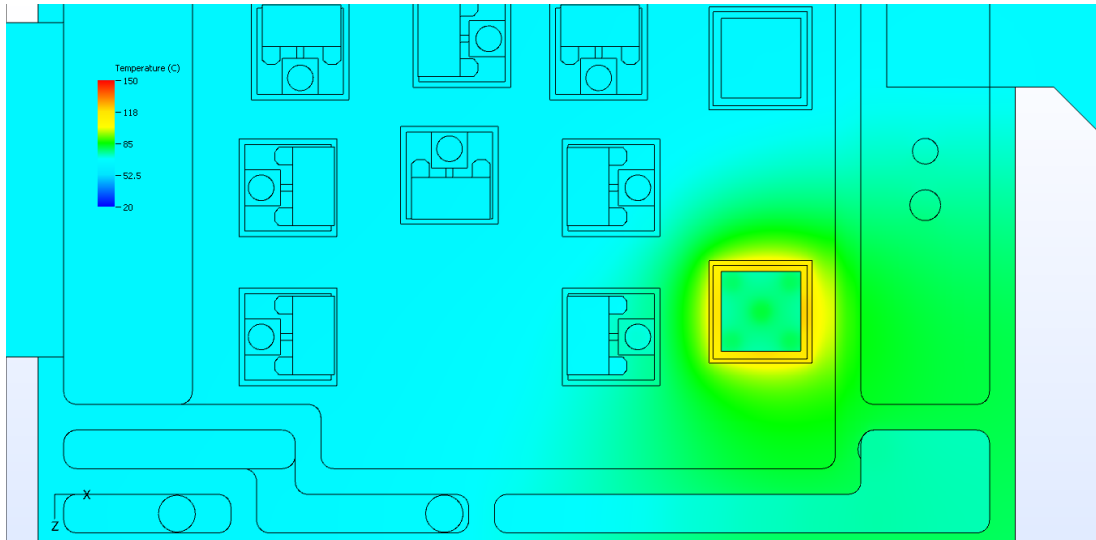


Figure 163. Champ de température au niveau de la diode HS1

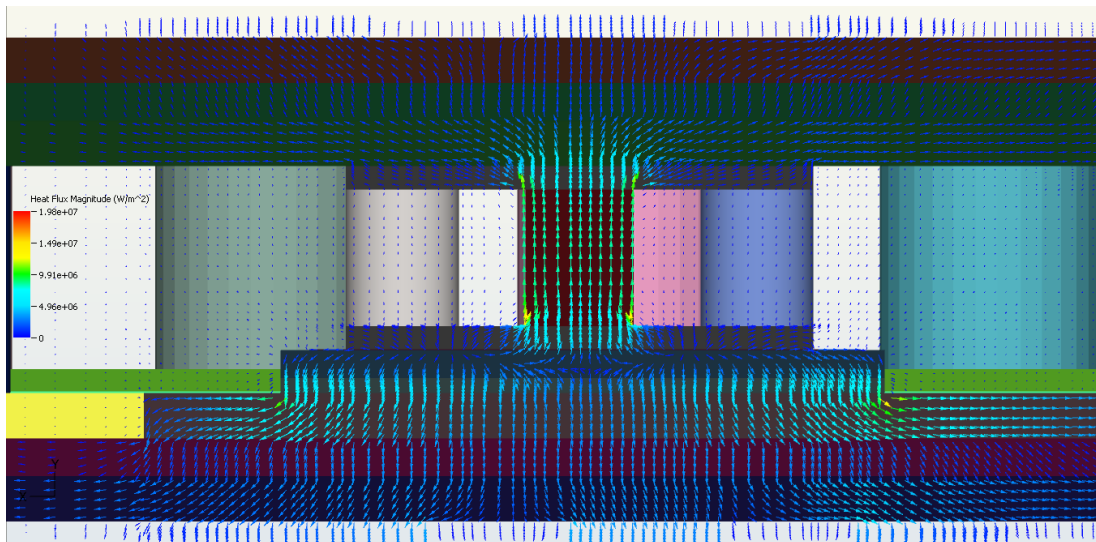


Figure 164. Flux thermique dans le module autour de la diode HS1

Grâce au bilan de flux thermique effectué au niveau de la diode HS1, nous pouvons identifier qu'il y a d'environ 17% de la puissance évacuée par la face avant et 83% de la puissance évacuée par la face arrière.

	Face avant	Face arrière
Puissance (W)	16,817	82,5
Pourcentage (%)	17	83

