



HAL
open science

Développement d'un pixel photogate éclairé par la face arrière

Andrej Suler

► **To cite this version:**

Andrej Suler. Développement d'un pixel photogate éclairé par la face arrière. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2019. Français. NNT : 2019GREAT025 . tel-03632251

HAL Id: tel-03632251

<https://theses.hal.science/tel-03632251v1>

Submitted on 6 Apr 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 25 mai 2016

Présentée par

Andrej SULER

Thèse dirigée par **Panagiota MORFOULI** et
codirigée par **Laurent MONTÈS** et **François ROY**

préparée au sein de l'**Institut de Microélectronique,
Electromagnétisme et Photonique – Laboratoire
d'hyperfréquences et de caractérisation (IMEP-LAHC)** de
Grenoble et sur le site **STMICROELECTRONICS** de **Crolles**
dans l'**École Doctorale Electronique, Electrotechnique,
Automatisme & Traitement du Signal (EEATS)**

Développement d'un pixel photogate éclairé par la face arrière

Thèse soutenue publiquement le **15 janvier 2019**
devant le jury composé de :

Mme. Hélène TAP

Professeur des universités, INP Toulouse - ENSEEIHT, Rapporteur

M. Guo-Neng LU

Professeur des universités, UCB Lyon 1, Rapporteur

M. Yvon CAZAUX

Ingénieur de recherche, CEA Grenoble, Examineur

M. Jean-Emmanuel BROQUIN

Professeur des universités, INP Grenoble, Président du jury

Mme. Panagiota MORFOULI

Professeur des universités, INP Grenoble, Directrice de thèse

M. Laurent MONTÈS

Maitre de Conférences, INP Grenoble, Co-directeur de thèse

M. François ROY

Ingénieur Docteur, STMICROELECTRONICS Crolles, Co-encadrant de thèse



Remerciements

Ces travaux ont été réalisés dans le cadre d'une convention CIFRE au sein de l'équipe R&D Process Intergration – CMOS imaging de la société STMicroelectronics (Crolles, France) en collaboration avec le laboratoire IMEP-LHAC (Grenoble, France). J'espère que la lecture de ce manuscrit vous permettra de vous familiariser avec ce fabuleux domaine des capteurs d'image que j'ai découvert par l'aide de nombreuses personnes et qu'il me sera très difficile de tous remercier dans ce court aparté.

Je voudrais tout d'abord remercier grandement Madame Panagiota MORFOULI, Professeur à Grenoble-INP et, Monsieur François ROY, Ingénieur à STMicroelectronics. D'une part, Madame Panagiota MORFOULI pour tout son aide et toute sa bienveillance, je suis ravi d'avoir travaillé en sa compagnie car outre son appui scientifique, elle a toujours été là pour me soutenir et me conseiller au cours de l'élaboration de cette thèse. D'autre part, Monsieur François ROY pour la confiance qu'il m'a témoignée en m'accueillant dans son équipe. Sans oublier bien sûr, in fine, Monsieur Laurent MONTÈS, qui a eu la gentillesse de co-encadrer cette thèse et qui, in fine, aura été d'un très grand secours et d'une très grande sympathie. Un grand merci à tous pour les multiples relectures de ce manuscrit.

J'adresse mes remerciements à Madame Hélène TAP, professeur à l'université de INP Toulouse – ENSEEIHT et Monsieur Guo-Neng LU, professeur des universités, UCB Lyon 1, qui m'ont fait l'honneur d'être les rapporteurs de ma thèse ainsi que pour le temps qu'ils ont consacré à son évaluation.

J'exprime ma profonde reconnaissance à Monsieur Yvon CAZAUX et Monsieur Jean-Emmanuel BROQUIN pour avoir accepté de participer à mon jury de thèse, pour leur disponibilité et attention à mon égard.

Je tiens à exprimer ma gratitude aux membres des différentes équipes de ST Crolles avec qui j'ai eu la chance de collaborer. Premièrement, l'équipe de process intégration : Sébastien P, Sébastien J, Nelly G, Jean-Luc H, Jean-Pierre C, Thomas F, Yann H, Thierry B, Stéphane A, Arnaud T. Ensuite, l'équipe de caractérisation : Jihane A, Thomas D, Nicolas V, Christine A, Clémence J, Stéphane H. Et Finalement, l'équipe de process development : Sylvain J, Julien B, Alisée T, Nacer Z, Thomas M, François L, Romuald B, Faouzi, Jérôme D, Denis P, Olivier G, Bilel S, Claire R, Floriane B, Elodie B, Aurélien S, Christophe E, Emilie D, Catherine C, Daniel B, Patrick G.

Une mention spéciale à Sonarith qui aura été un mentor et m'aura permis de progresser avec autonomie durant cette thèse ainsi qu'à Boris avec qui j'ai eu la chance de pouvoir échanger et débattre durant ces trois années.

Je remercie toutes les personnes avec qui j'ai également partagé mes études et notamment ces années de thèse : Thomas, Daniel, Yolène, Younes, Pierre et pour lesquelles je transmets tous mes vœux de réussite. Mes remerciements vont aussi à tous mes amis qui m'ont supportées durant cette période et soutenues lors de ma soutenance : Victor, Mario, Fanny, Camille, Giulio, Nils, Bastien, Catherine, Maxime.

Finalement, j'adresse un immense merci aux membres de ma famille qui m'ont apporté leur soutien et qui ont contribué à entretenir l'équilibre propice au déroulement de ce travail.

A mes parents,

A mon frère,

A Justine,

Sincèrement

Andréj

Table des matières

Glossaire	9
Introduction générale.....	11
Chapitre 1 : Les capteurs d'image numérique.....	15
1. De la scène à l'image	15
1.1 La chaîne d'acquisition	15
1.2 Composants photosensibles	19
1.3 Le capteur CMOS.....	21
1.3.1 Différents types d'intégration.....	21
1.3.2 Le pixel 4T à photodiode pincée	22
1.4 Comparaison entre photogate et photodiode.....	25
2. Evolution de la structure du pixel CMOS.....	26
2.1 Diaphotie et isolation entre pixels	26
2.2 Illumination par la face arrière.....	27
2.3 Photodiode verticale	28
2.4 Photosite de type N et de type P	29
3. Les défis des technologies actuelles.....	30
3.1 La passivation des différentes interfaces.....	30
3.2 Les limites des photodiodes implantées.....	32
3.3 Le transfert depuis la zone de collection	33
4. Conclusions et objectif de la thèse.....	34
Chapitre 2 : Réalisation d'une photogate verticale de type P.....	35
1. Introduction.....	35
2. Schéma d'intégration	36
3. La photogate.....	38
3.1 Les tranchées CDTI	38
3.1.1 Effet du type du polysilicium	39
3.1.2 Simulation du CDTI de type N	41
3.1.3 Résultats des mesures capacitives.....	42
3.2 Le dopage du substrat.....	44
3.2.1 Approche théorique.....	44

3.2.2	Mesure du potentiel de déplétion	46
4.	La grille de transfert verticale	48
4.1	Procédé de fabrication	50
4.2	Potentiel de barrière de la grille de transfert.....	57
4.3	Analyse des capacités	59
4.3.1	Capacité de l'oxyde des tranchées.....	59
4.3.2	Capacité du nœud de lecture	61
4.4	Etude des champs électriques	62
5.	Transistors de lecture PMOS.....	65
5.1	Réduction de l'impact du dopage caisson	65
5.2	Vérification des paramètres électriques	67
5.2.1	Tension de seuil.....	67
5.2.2	Courant de fuite et effet substrat	68
5.2.3	Gain en montage suiveur	69
5.3	Recommandations.....	70
6.	Diélectrique en face arrière du dispositif	71
6.1	Caractéristiques optiques de l'empilement	71
6.1.1	Approche théorique d'une couche anti-réfléctive.....	71
6.1.2	Résultats de simulation optique	73
6.2	Effet du diélectrique sur la passivation de l'interface	76
7.	Conclusion.....	79
Chapitre 3 : Etude et caractérisation du fonctionnement du pixel		81
1.	Introduction	81
1.1	Architecture du pixel	81
1.2	Les différentes versions de pixels étudiés	82
1.3	Réponse du capteur sous éclairement	84
1.4	Facteur de conversion de charge en tension (CVF)	85
1.4.1	Evaluation du CVF.....	85
1.4.2	Effet de la capacité du nœud de lecture	86
2.	Dynamique et sensibilité du capteur	87
2.1	Optimisation de la dynamique	87
2.1.1	Charges stockables par la photogate	87
2.1.2	Effet de l'épaisseur de l'épithaxie sur la charge stockée	90

2.1.3	Rétention des charges dans le pixel	91
2.1.4	Facteur limitant la chaîne de lecture	92
2.1.5	Photogate en mode stockage en surface	93
2.2	Efficacité quantique (Qe)	94
2.2.1	Méthode de mesure	94
2.2.2	Effets de l'épaisseur de l'épitaxie	95
2.2.3	Effets de la passivation face arrière.....	97
3.	Le courant d'obscurité.....	98
3.1	Mécanisme de génération	98
3.1.1	Modèle de génération/recombinaison assisté par défauts	100
3.1.2	Génération par le modèle SRH puis transport.....	102
3.1.3	Points blancs	104
3.2	Mesures du courant d'obscurité.....	106
3.2.1	Méthode de mesure	106
3.2.2	Répartition de la population.....	107
3.2.3	Spectroscopie du courant d'obscurité.....	108
3.2.4	Corrélation entre le courant d'obscurité et l'énergie d'activation	109
3.3	Résultats.....	110
3.3.1	Contaminants et Points Blancs	110
3.3.2	Etude de la population intrinsèque	111
3.3.2.1	Passivation active des interfaces	112
3.3.2.2	Passivation statique des interfaces	113
3.3.2.3	Etude de la diffusion depuis l'interface supérieure	114
3.4	Comparaison avec un pixel de référence de type N	116
3.5	Conclusions sur le courant d'obscurité.....	120
4.	Sources de bruit sur l'image	121
4.1	Courbe de transfert photonique (PTC)	122
4.2	Plancher de bruit.....	124
4.2.1	Bruit de lecture	125
4.2.2	Bruit fixe associé au pixel.....	126
4.3	Sources de bruit sous éclairage.....	129
4.3.1	Non-uniformité de la réponse photonique (PRNU).....	129
4.3.2	Rémanence	130

5. Conclusions	132
Conclusion générale.....	135
Bibliographie	139
Productions scientifiques.....	146

Glossaire

ADC	Analog Digital Convertor	PECVD	Plasma-Enhanced Chemical Vapor Deposition
AE	Activation Energy	PPS	Passive Pixel Sensor
APS	Active Pixel Sensor	PRNU	Photon response non uniformity
ARC	Anti-Reflective Coating	PSN	Photon Shot Noise
ARD	Analog ReadOut	PTC	Photon Transfer Curve
BEOL	Back End Of Line	PTC	Photon transfert curve
BSI	BackSide Illumination	PXVG	PiXeL Vertical Gate
CCD	Charge Coupled Devices	QE	Quantum Efficiency
CDS	correlated Double Sampling	RGBC	Red Green Blue Clear
CDTI	Capacitor Deep Trench Isolation	ROI	Region of interest
CIS	CMOS Image Sensor	RS	Row Select
CMOS	Complementary Metal Oxide Semiconductor	RST	ReSeT
CVF	Charge to Voltage Factor	RTN=RTS	Random Telegraph Noise
DCNU	Dark Current Non Uniformity	RTS=RTN	Random Telegraph Signal
DCSN	Dark Current Shot Noise	SCM	Scanning Capacitance Microscopy
DN	Digital Number	SEM	Scanning Electron Microscopy
DPS	Digital Pixel Sensor	SF	Source Follower
DR	Dynamic Range	SN=FD	Sensing Node
DR	dynamic range	SNR	Signal to Noise Ratio
DRAM	Dynamic Random Access Memory	SNTI	Sense Node Trench Isolation
DSC	Digital Still camera	SRH	Model Shockley-Read-Hall
DSLR	Digital Single-Lens Reflex camera	STI	Shallow Trench Isolation
DSNU	Dark Signal Non Uniformity	TCAD	Technology Computer-Aided Design
DTI	Deep Trench Isolation	TEM	Transmission Electron Microscope
DY	Dummy	TG=TX	Transfer Gate
FD=SN	Floating Diffusion	TN	Temporal Noise
FEOL	Front End Of Line	TSV	Through Silicon Via
FPN	Fixed Pattern Noise	TX=TG	Transfer Gate
FSI	FrontSide Illumination	UV	Ultra Violet
ISP	Image Sensor Processing	VEGA	Vertical Gate
Lag	Rémanence	VG	Vertical Gate
MEOL	Middle End Of Line	Vx	column signal
MOS	Metal Oxide Semiconductor	ZCE	Zone de Charge d'Espace
NIR	Near Infra Red (700nm-1100nm)	ZQE	Zone Quasi neutralité Electrique

Introduction générale

Les deux principaux critères pour l'acquisition d'une image par un appareil photographique sont la qualité de l'image et son coût. Ces critères ont été les standards de l'industrie depuis des décennies. Cependant, la course à la résolution grâce à la réduction de la taille des pixels est depuis longtemps révolue et on arrive facilement à des capteurs à bas coût (1\$) d'une résolution équivalente au nombre de cônes de l'œil humain soit environ 7Mpix [1]. De plus, les tailles minimales pour un pixel sont désormais inférieures au micromètre. A cette échelle, la dégradation de la qualité de l'image est évidente : en effet, on ne peut miniaturiser des capteurs analogiques où les performances sont, par exemple, liées à la surface éclairée comme des processeurs numériques dont le signal est uniquement binaire. Il existe donc pour les capteurs d'image et pour un type d'application donné, des **capteurs spécifiques**.

Les capteurs d'image répondent ainsi à de nouveaux enjeux. En effet, nous entrons dans une période où les systèmes automatisés ne s'emploient plus à exécuter des tâches prédéfinies mais cherchent à agir par eux-mêmes en fonction des paramètres de leur environnement. Les techniques actuelles ouvrent déjà la porte à des **systèmes décisionnels** et d'auto-apprentissage notamment grâce à l'intelligence artificielle.

Les décisions d'un système autonome reposent essentiellement sur les informations mises à sa disposition et sur la manière de les acquérir. Concernant le secteur de la robotique ou de l'automobile, on s'efforcera de rendre ces machines intelligentes pour faciliter les usages et la sécurité. On pourra évoquer l'exemple des capteurs d'image de la voiture autonome ou encore celui de la reconnaissance faciale. L'image et l'information seront donc les clefs de **la sécurité** de ces nouvelles solutions.

L'industrie actuelle veille alors à concevoir des capteurs d'image à réponse spécifique dont le premier objectif sera notamment la **fiabilité de l'information**, la facilité de réaliser le traitement de l'image et sa robustesse dans un environnement défavorable. On essaiera également de rendre la solution portable et de limiter sa **consommation énergétique** pour des applications nomades relatives aux objets connectés et d'aide à la personne.

Afin d'illustrer certaines problématiques, on peut évoquer le cas historique de la dynamique jour et nuit comme représenté sur la figure 1. La majorité des capteurs ne permettent pas à l'heure actuelle d'effectuer une image permettant de distinguer des scènes peu ou fortement éclairées comme le ferait un œil humain dont la dynamique est d'environ 140dB [2]. Certains capteurs utilisent plusieurs prises à différents temps de capture pour reconstruire la scène mais ce procédé artificiel ne permet pas son application à un véhicule autonome par exemple. En effet, celui-ci doit prendre des décisions en temps réel et la reconstruction risque d'introduire des artéfacts. Les capteurs à forte dynamique font l'objet d'un secteur spécifique appelé HDR (High Dynamique Range) où les solutions les plus répandues actuellement sont les capteurs à réponse logarithmique [3] ou à gain ajustable [4].



Figure 1 : Le problème de la dynamique des capteurs. [5]

Les objets en mouvement sont également un problème récurrent comme on l'illustre sur la figure 2. La lecture différée pixel à pixel d'une matrice produit une distorsion des éléments en mouvement rapide qui rendra impossible le traitement de l'image finale. Afin de pallier à ce problème, des structures appelées à «obturation globale » ont vu le jour [6].

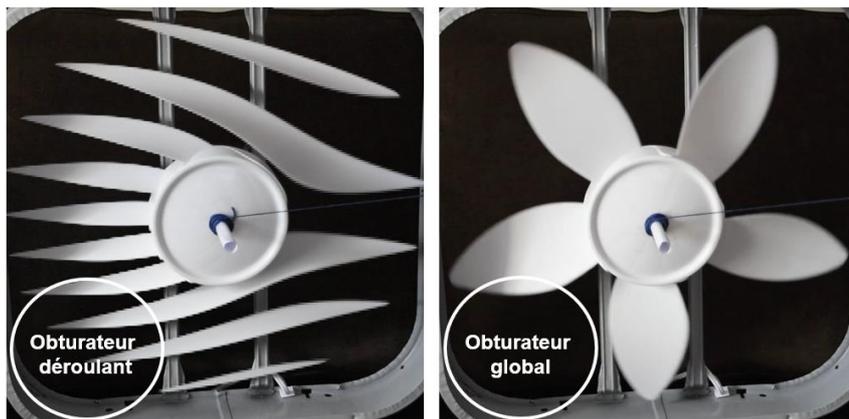


Figure 2 : Image capturée grâce à deux mécanismes d'obturation différents. [7]

Les sources lumineuses de l'environnement sont aussi à prendre en considération. En effet, notre œil n'est pas sensible au scintillement de l'éclairage, notamment à LED, car sa rémanence est d'environ 40ms [8]. Un capteur d'image est bien plus rapide (<10ms) et peut atténuer certaines informations issues de cet éclairage comme on peut le voir sur la figure 3.



Figure 3 : Contraste dégradé lors d'un éclairage non-continu par LED. [9]

Nous avons remarqué dans les exemples que le capteur doit prendre en compte son environnement afin de transmettre des informations pertinentes tout en restant intègre dans le temps. A ce propos, les normes automobiles sont relativement strictes, il devient de plus en plus nécessaire d'être stable sous haute température ($\sim 100^{\circ}\text{C}$). Par ailleurs, l'utilisation d'un capteur dans le milieu spatial ou médical montre des détériorations du capteur en raison de l'environnement radiatif.

On peut également s'intéresser aux différents marchés des capteurs d'image. Bien que celui-ci soit florissant comme on peut le remarquer sur la Figure 4, les ventes à destination des smartphones ont ralenti. En effet, celles-ci n'ont progressé que de 6% en 2017 et sont en partie liées à l'adoption de smartphone avec de multiples capteurs. En comparaison, le secteur automobile est annoncé comme un marché en explosion avec une augmentation du volume de 38.5% sur 5 ans notamment avec la démocratisation des dispositifs d'aide à la conduite et conduite autonome. Il représentera alors environ 15% du marché mondial soit 2.8 milliards de dollars [10].



Figure 4 : Estimation des ventes de capteur d'image CMOS pour les prochaines années [10]

Face à ces enjeux, on tâchera de développer les fondements d'un pixel plus performant qui pourra permettre de répondre au maximum à ces nouvelles fonctionnalités au moyen d'une amélioration de sa dynamique, de la tension de mise en œuvre ou de la réduction de la taille du pixel. Ces trois paramètres sont évidemment reliés car la réduction de la taille du pixel diminue la dynamique de fonctionnement et en conséquence augmente les tensions de mise en œuvre. On veillera également à évaluer son utilisation jusqu'à une température de 120°C .

Le travail mené durant cette thèse concerne la **conception**, la **réalisation** et l'**évaluation** d'une nouvelle architecture de **pixel CMOS éclairés par la face arrière** de type **photogate** qui permettra de répondre aux demandes de l'imagerie. Ce développement aura nécessité la réalisation d'un **pixel à collection de trou** (type P) à **stockage vertical** et également d'une **grille de transfert** qui a la particularité de transférer les charges de manière **verticale et en volume**.

Nous nous intéresserons dans le premier chapitre aux problématiques générales liées à la construction de l'image grâce à un capteur d'image numérique. Ce chapitre détaille les différentes architectures existantes et l'évolution des pixels à faible encombrement. On y effectue une synthèse de l'état de l'art et une revue des différents inconvénients des structures actuelles. Les notions importantes abordées sont notamment la **différence entre la photodiode et la photogate**, le **fonctionnement d'un pixel à 4 transistors** et le **choix d'un pixel à collection de trou** (i.e. de type P).

Le chapitre 2 aborde principalement l'élaboration de la structure proposée. On étudie chaque nouvel élément pris séparément à l'aide de moyens de **simulations** et de **caractérisations** de structures de test. Il est donc question ici de développer : **la photogate**, **la grille verticale**, **les transistors de lecture PMOS** et **l'empilement diélectrique en face arrière**. On évoque aussi les détails de la réalisation et notamment du **procédé de fabrication** de la grille verticale.

Dans le chapitre 3, on examine de plus près la fonctionnalité du capteur d'image réalisé. On y analyse les différents types de pixel du dispositif final grâce à plusieurs mesures, notamment : l'évaluation de la **charge en saturation** et l'**efficacité quantique**. Après avoir détaillé la manière d'acquérir le signal, on étudiera le bruit qui lui est associé. Une partie est consacrée au **courant d'obscurité** avec une synthèse des défauts de la structure à l'aide de la spectroscopie de ce courant. Puis, on s'intéresse dans une dernière partie aux autres types de bruits dont le **bruit de lecture**, le **bruit fixe spatial**, **l'uniformité du signal** et finalement la **rémanence**.

Chapitre 1 : Les capteurs d'image numérique

Ce chapitre examine le principe de fonctionnement d'un capteur d'image numérique. Nous y introduirons les différents éléments constituant le capteur en évoquant quelques notions utiles et les principes physiques mis en jeu lors de la détection des photons. On évoque la structure d'un capteur CMOS d'un point de vue macroscopique puis on y aborde l'évolution de son élément photosensible : le pixel. Nous expliquons ensuite les défis technologiques actuels dus à la réduction de la taille et présentons la problématique de cette thèse, à savoir l'intérêt du développement d'une nouvelle architecture optimisée pour les pixels.

1. De la scène à l'image

1.1 La chaîne d'acquisition

On représente sur la Figure 1.1, un exemple typique d'éléments constituant la chaîne d'acquisition d'une image. Elle est composée a minima d'une source lumineuse, d'un module photographique et d'un processeur d'image (ISP).

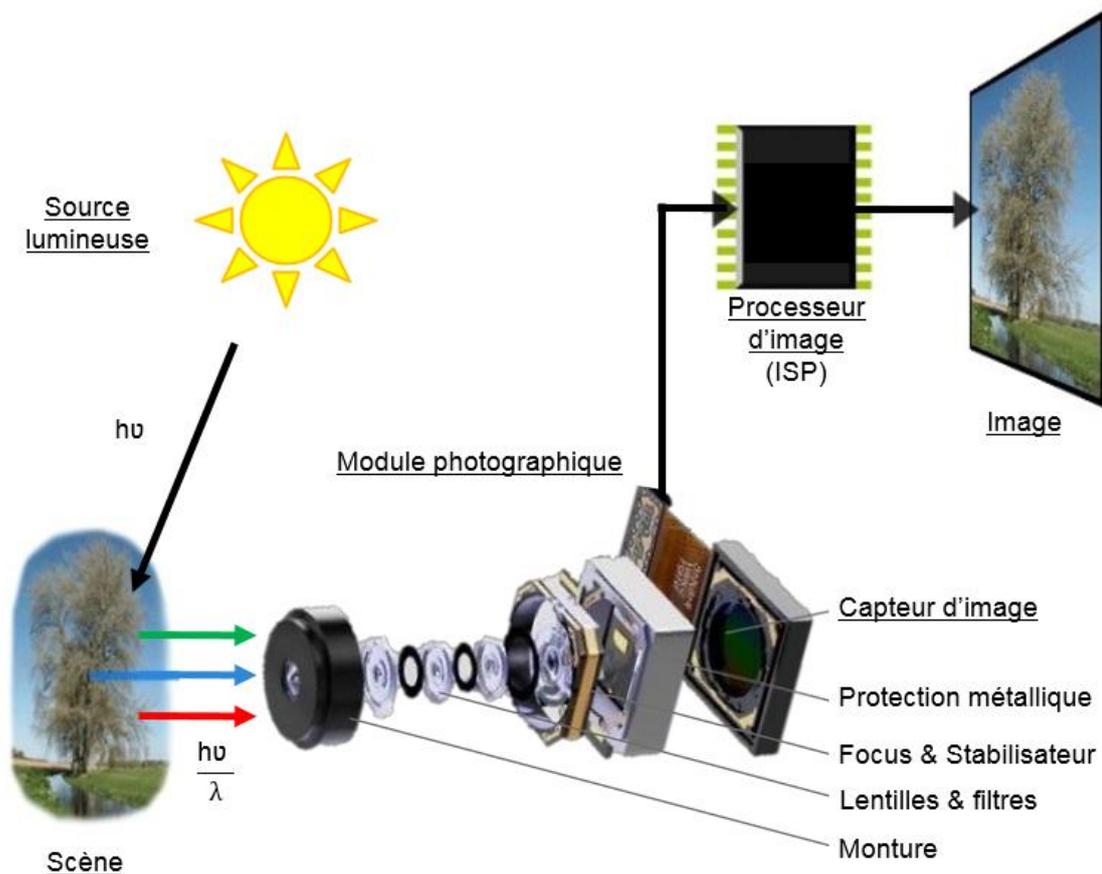


Figure 1.1: Schéma des différentes éléments nécessaires de la prise de vue de la scène à photographier jusqu'à la restitution de l'image [11].

Les photons émis par une source lumineuse (soleil, lampe, LED, ...) rencontrent les éléments de la scène puis sont en partie réfléchis en fonction des propriétés de la matière rencontrée, certaines longueurs d'onde sont par conséquent absorbées. Les longueurs d'onde émises et visibles par l'œil humain se situent entre 400nm et 750nm. C'est dans ce spectre que l'on cherche à acquérir une image. La Figure 1.2 illustre cette partie visible qui ne représente qu'une infime partie du spectre électromagnétique environnant. D'où l'utilisation de filtres de couleur nécessaire à la séparation des différentes longueurs d'ondes.

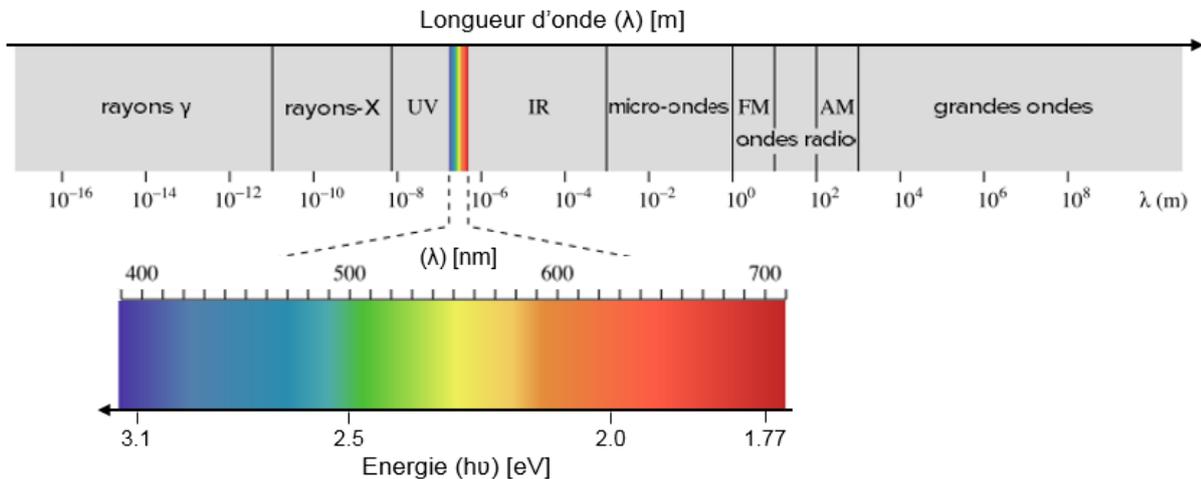


Figure 1.2 : Illustration du spectre électromagnétique et de sa partie visible à l'œil nu [12]

Le module photographique (Figure 1.1) est constitué d'éléments optiques qui focalisent la lumière sur le capteur d'image qui peut être de type CMOS ou CCD. Il inclut également des filtres, infrarouges par exemple, et des éléments mécaniques afin de stabiliser la prise d'image en cas de vibration ou mouvement de l'appareil.

Le processeur d'image ou ISP (Image Signal Processing) effectue des opérations élémentaires sur le contrôle de la prise de vue et de reconstruction de l'image. Il contrôle l'autofocus, le temps d'exposition et la balance des blancs. Ainsi il peut également effectuer l'interpolation des couleurs ou agencer différentes prises pour les capteurs à grande dynamique, corriger les imperfections de la lentille ou filtrer l'image. Ce processeur peut être séparé du module principal ou y être intégré directement afin de réduire l'encombrement du dispositif pour les applications portables.

Même si les défis à relever restent nombreux dans le domaine de l'optique ou du traitement de l'image, on s'intéresse uniquement au capteur d'image, un schéma détaillé sur la Figure 1.3 montre une décomposition en trois sous-ensembles. Premièrement, les microlentilles focalisent la lumière sur les éléments photosensibles et permettent de capturer davantage de lumière. On trouve ensuite des filtres colorés représentés avec un motif de Bayer [13] (bleu 25%, rouge 25%, vert 50%) qui permettent de filtrer le spectre de la lumière incidente et reconstruire la couleur de la scène. Le filtrage de Bayer est le plus couramment utilisé de nos jours car il se rapproche du fonctionnement de l'œil sensible à ces trois longueurs d'onde. Certains constructeurs utilisent tout de même des pixels RGBC [14] (Red, Green, Blue, Clear) en remplaçant un pixel vert par un pixel monochromatique. On recense quelques cas d'utilisation de système sans filtres colorés à l'aide de l'absorption dans des grilles de polysilicium d'épaisseurs différentes [15] ou à diffraction [16].

Enfin, on retrouve en dernière position le capteur matriciel et ses éléments photosensibles (pixels) composant l'image finale. Les pixels sont identiques et répétés dans les deux directions avec un pas correspondant à la taille du pixel qui peut varier d'une dizaine de micromètres à moins d'un micromètre pour les technologies les plus avancées [17]. En comparaison les cônes, éléments photosensibles de l'œil humain, mesurent de 1,5 μm à 2 μm .

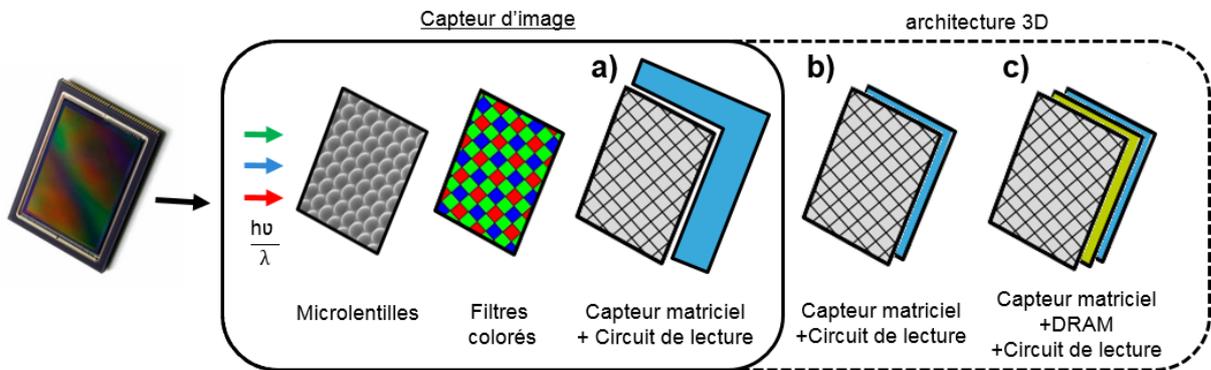


Figure 1.3 : Schéma des éléments constituant un capteur d'image et architecture 3D

La matrice est en général entourée par le circuit de lecture qui permet son fonctionnement et la transmission de l'image au processeur contrôlant le dispositif (Figure 1.3 a). Le processeur d'image est souvent fabriqué de manière distincte du circuit de lecture dans un nœud technologique plus fin afin de réduire son coût. De nos jours, on peut envisager au moyen de l'intégration puce sur puce, appelée architecture 3D (Figure 1.3 b), un processeur de traitement d'image incluant les circuits de lecture du pixel grâce à des connexions puce à puce (TSV) [18] ou à un collage hybride [19]. On voit également apparaître l'inclusion de mémoire de type DRAM [20] permettant de stocker l'image (Figure 1.3 c) qui permet un gain de place et de rapidité pour le dispositif final.

Le pixel de la matrice réalise les différentes fonctions illustrées sur la Figure 1.4. On appelle par la suite Q_e l'efficacité quantique du dispositif le rapport de la transformation des photons incidents en charges électriques et CVF (Charge to Voltage Factor) le facteur de conversion de charge en tension que l'on discutera plus en détail dans le chapitre 3.

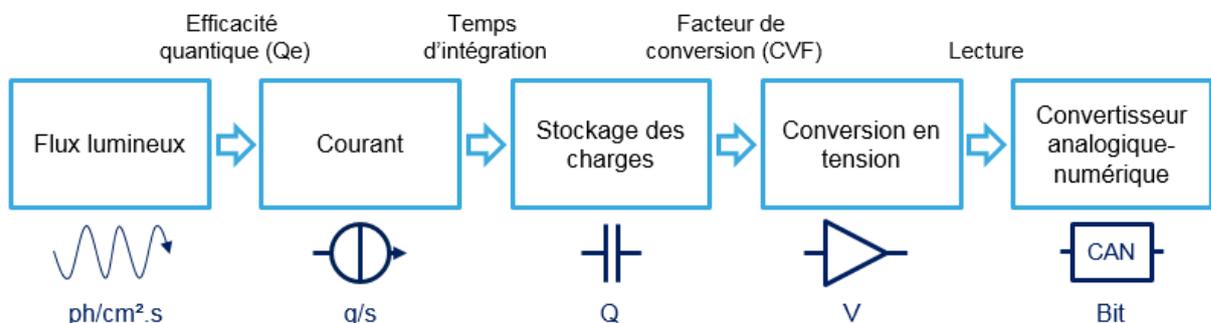


Figure 1.4 : Schéma de la conversion du signal lumineux par un pixel de la matrice

On peut voir la structure de deux capteurs d'image sur la Figure 1.5 à l'aide de coupe réalisée par un microscope électronique à transmission (TEM). On retrouve sur la Figure 1.5 (a) les différents éléments : microlentilles, filtres colorés et une zone photosensible. La deuxième coupe Figure 1.5 (b) montre une architecture 3D plus complexe avec deux niveaux de microlentilles afin de focaliser davantage la lumière et disposant d'une zone de collage permettant de placer le processeur d'image (ISP) sur le capteur d'image.

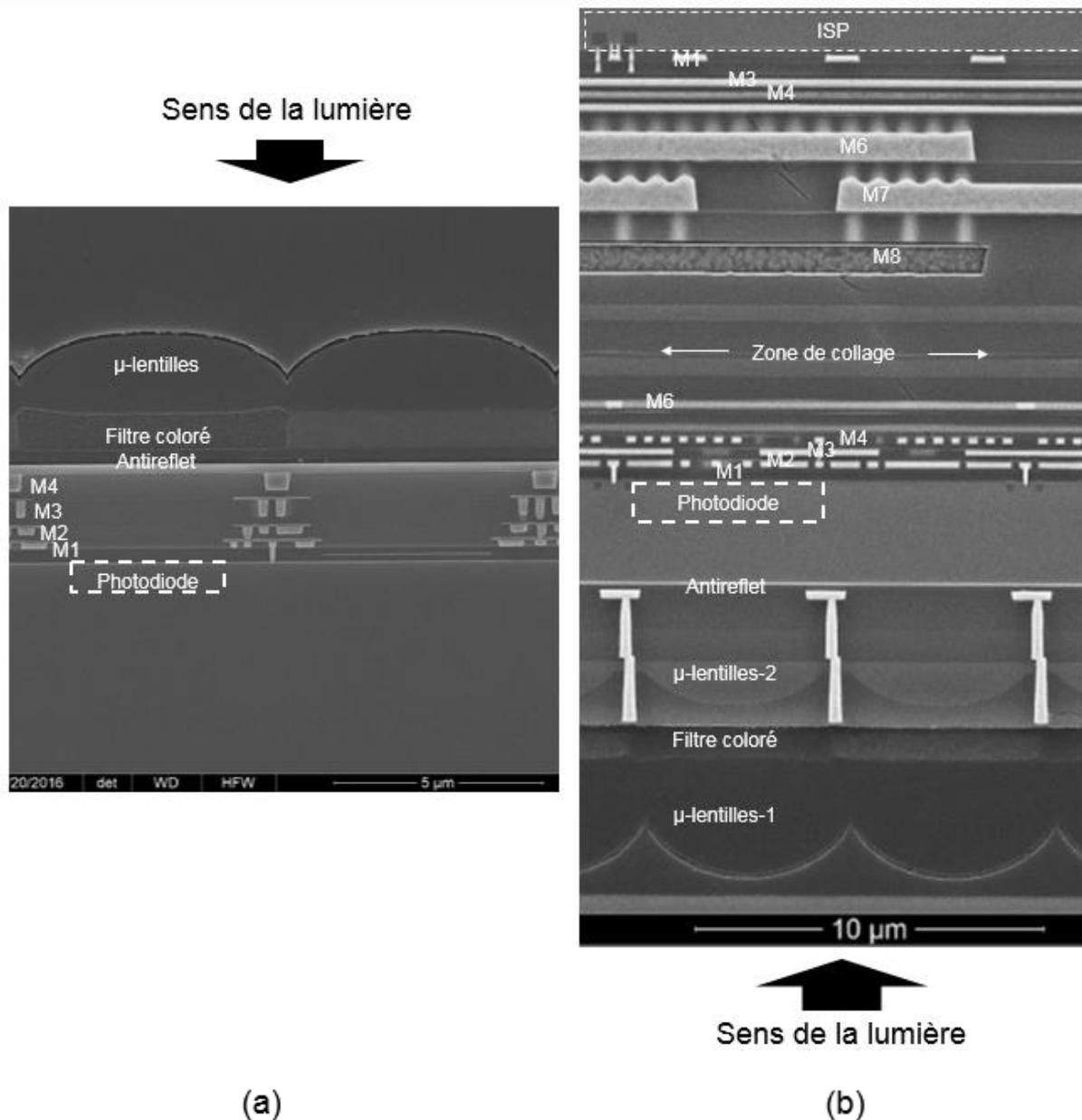


Figure 1.5 : Vue en coupe de deux pixels du capteur T4K54 produit par Toshiba (a) et IMX310 produit par Sony (b). On distingue sur la coupe (a) un capteur éclairé par la face avant avec des microlentilles, filtre coloré, un antireflet, 4 niveaux de métallisation et une photodiode d'un pas d'environ 5 μm . La figure (b) montre un capteur éclairé par la face arrière avec 2 niveaux de microlentilles dont la deuxième entourée par du tungstène, des filtres colorés, un antireflet, une photodiode d'un pas d'environ 5 μm et 6 niveaux de métallisation puis une zone de collage permettant le report d'un processeur d'image (ISP) et ses 8 niveaux de métallisation. [21]

1.2 Composants photosensibles

De nombreux matériaux peuvent permettre la conversion en charge des photons de la lumière. On peut citer les semi-conducteurs tels que le silicium, germanium pour des applications solaires [22] ou photoniques [23] ou même des matériaux organiques du type P3HT:PCBM [24]. Dans notre cas, nous utiliserons uniquement le silicium car celui-ci est compatible avec le domaine visible et les procédés de fabrication disponibles ce qui rend cette technologie abordable.

Les photons réagissent avec la matière par un effet photoélectrique décrit par Einstein grâce à la quantification de la lumière en 1905 [25]. Pour un semi-conducteur comme le silicium, on peut voir sur la Figure 1.6 (a) que celui-ci possède une bande interdite E_g d'environ 1.12eV à température ambiante [26]. Les charges ne peuvent accéder aux états dans la bande interdite. Cependant un photon incident peut transférer une charge de la bande de valence vers la bande de conduction grâce à sa propre énergie si celle-ci est supérieure au gap E_g (1.12 eV). Ceci est bien le cas pour des longueurs dans le visible (1.77-3.1eV, voir Figure 1.2). Un photon peut donc générer une paire électron-trou dans le silicium, on note que celui-ci génère également un phonon par conservation de l'énergie car le gap du silicium est indirect.

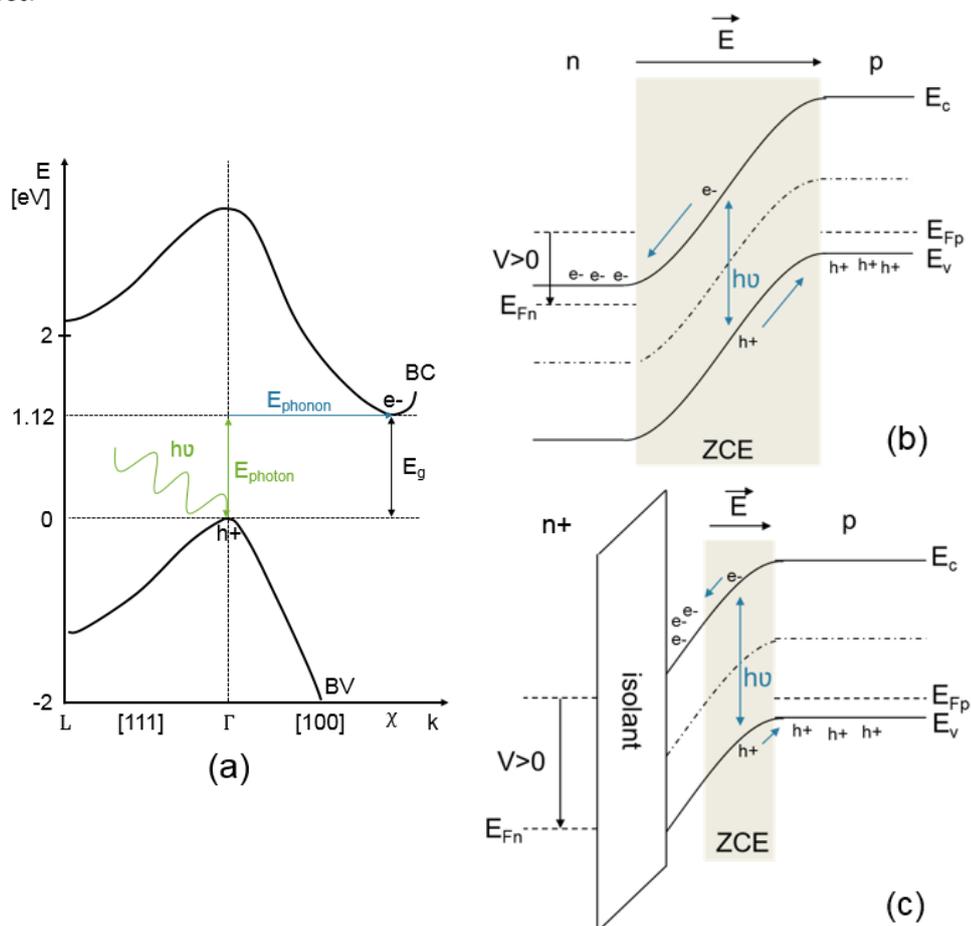


Figure 1.6 : Effet photoélectrique : (a) Diagramme $E.k$ du silicium cristallin : création d'une paire électron/trou par l'absorption d'un photon et assistée par un phonon.

(b) absorption du photon par une jonction PN polarisée en inverse

(c) absorption d'un photon par une structure MOS polarisée en inversion

Les charges photogénérées peuvent être perdues car elles ne disposent que d'une durée de vie limitée de l'ordre de quelques μs avant de se recombiner [27]. On cherche alors à les séparer et à les stocker au moyen d'un champ électrique. En ce qui concerne le silicium, on peut utiliser des structures de type jonction PN ou structure MOS représentées sur les diagrammes énergétiques Figure 1.6 (b) et (c). Les zones de charges d'espace (ZCE) sont des zones privilégiées pour la photo-génération car elles se composent d'un champ électrique et ne disposent que de peu de charges internes libres pour effectuer la recombinaison des charges photo-générées. On précisera néanmoins que la photo-génération intervient dans tout le volume du silicium même pour des zones non-déplétées et est dépendante de la longueur d'onde de la lumière incidente. Les charges générées dans ces zones devront uniquement être transportées et collectées avant leur recombinaison.

Sur le principe d'une structure MOS est apparu en 1970 le premier capteur d'image CCD (Charge Coupled Device) [28]. La structure MOS utilisée par le pixel est souvent retrouvée sous le terme de Photo-MOS ou Photogate. Le CCD est basé sur la mise en matrice de photogate (« grille photosensible ») et le contrôle de leur potentiel de surface. Il n'y a pas d'adressage des lignes et des colonnes comme pour le capteur CMOS, le transfert des charges s'effectue de pixel en pixel. On schématise sur la Figure 1.7 (a) et (b) un exemple de transfert de charge vers un pixel voisin à l'aide d'un changement de polarisation sur l'une des grilles. Ce transfert s'effectue jusqu'à une ligne de lecture qui transmet le signal de proche en proche jusqu'à l'amplificateur de lecture intégré (Figure 1.7 c).

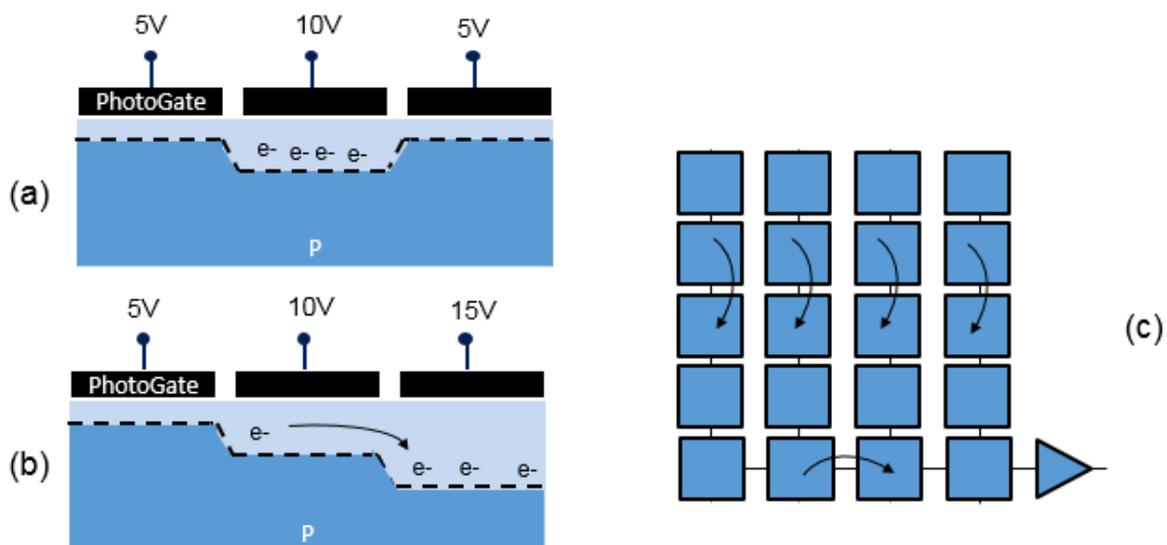


Figure 1.7 : Principe du fonctionnement du CCD : (a) rétention des charges sous une grille (b) transfert des charges vers une autre grille (c) illustration d'une matrice CCD et de la ligne de lecture.

Le CCD n'utilise que des structures à photogate car le contrôle du potentiel de surface par la grille est nécessaire au transfert des charges vers les pixels voisins. Le capteur CMOS pourra quant à lui exploiter au choix une photogate ou être basé plus classiquement sur une jonction PN ou photodiode.

1.3 Le capteur CMOS

1.3.1 Différents types d'intégration

Les capteurs CMOS sont les plus répandus de nos jours et utilisent souvent des photodiodes comme éléments photosensibles que l'on illustre par une diode dans les figures suivantes. Le capteur CMOS lit séquentiellement les pixels grâce à un adressage réalisé sous la forme de lignes de sélection et de colonnes de lecture à l'aide d'un transistor appelé transistor de lecture (Read : RD).

Le système CMOS le plus simple à mettre en place est donc une jonction PN photodiode et un transistor de lecture par pixel. Ce dispositif a été réalisé en 1984 [29] et est représenté en Figure 1.8 (a). On le désigne sous le terme de pixel passif (PPS) car les éléments d'amplification et de conversion digitale sont situés sur la colonne de lecture. Cet assemblage a pour défaut d'avoir un niveau de bruit très élevé [30] car le signal de chaque photodiode est faible, quelques milliers de charges comparés à la capacité imposante de la colonne. Le rapport de signal sur bruit (SNR) sera donc dégradé à faible éclaircement. On retrouve un bruit 3 fois moins élevé pour le pixel actif (APS) [31].

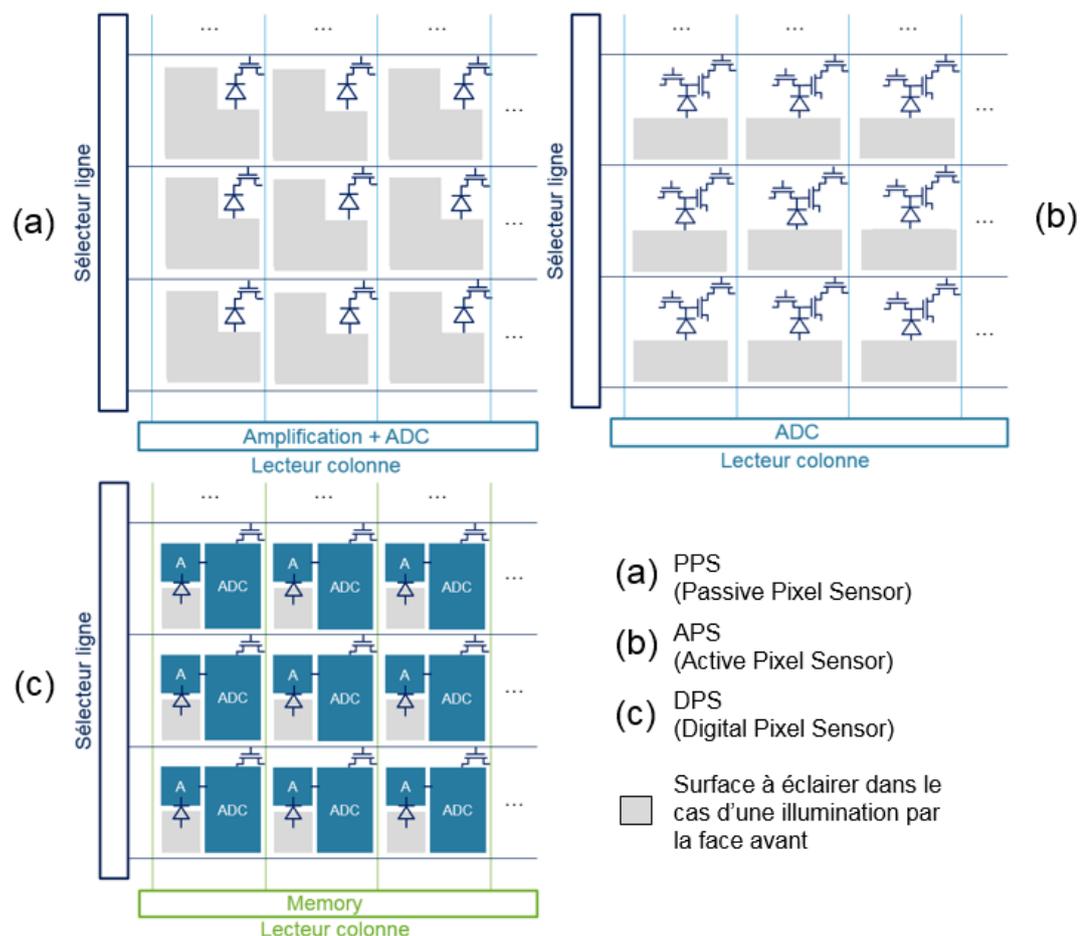


Figure 1.8 : Différentes structures de capteur, (a) pixel passif à 1 transistor, (b) pixel actif à 3 transistors, (c) pixel numérique avec nombreux transistors [32]

Dans les années 1990, les premiers pixels actifs (APS) ont vu le jour et sont représentés Figure 1.8 (b). Ceux-ci comprennent un transistor en mode suiveur dans le pixel permettant l'amplification du signal avant sa transmission sur la colonne. Le pixel se dote également d'un transistor de remise à zéro de la photodiode car la colonne ne peut plus assurer cette fonction. Cette structure qui contient trois transistors est dite 3T.

D'autres développements ont conduit en 1995 à l'élaboration d'un pixel entièrement numérique [33], où l'on intègre l'ADC (Analog to Digital Converter) directement dans le pixel, Figure 1.8 (c). Celui-ci s'affranchit donc de tous les bruits présents sur la colonne mais crée a contrario une non-uniformité de pixel à pixel car chaque transistor supplémentaire agit sur la variabilité des pixels entre eux. De plus, un nombre important de transistors dans le pixel occupe et occulte une partie de la zone photosensible dans le cas d'une illumination en face avant. Ce pixel est assez volumineux et il trouve son intérêt dans les applications à très grande vitesse de lecture [34].

On remarque également en Figure 1.8 que la taille de la zone photosensible diminue lorsque l'on vient ajouter des transistors dans le pixel. On peut essayer d'éviter une perte d'éclairement grâce à une microlentille permettant de focaliser le faisceau dans la zone utile. Le passage à l'illumination par la face arrière permet lui aussi de se libérer en partie de ce problème et sera discuté en partie 2.2.

1.3.2 Le pixel 4T à photodiode pincée

Le pixel 4T (quatre transistors intégrés) et à photodiode pincée est le plus couramment utilisé de nos jours en raison de sa compacité et également de ses performances. Il est constitué d'un transistor de transfert supplémentaire et d'une photodiode pincée intégralement déplétée. Grâce à ces améliorations, le pixel 4T vient compenser des défauts récurrents des pixels à 3 transistors : il permet le stockage des charges sur une capacité différente de la capacité de jonction souvent plus grande, la séparation de la zone photosensible de la surface, la réduction du bruit et donne la possibilité d'effectuer une lecture à double échantillonnage corrélé efficace pour la suppression du bruit de lecture.

Le pixel 4T est composé de 4 transistors soit un de plus que le pixel 3T. Ce transistor est un transistor de transfert (TG) qui relie la zone photosensible et le nœud de lecture : illustré avec une photodiode pincée sur la Figure 1.9. Cette nouvelle grille permet de transférer les charges depuis la capacité de la photodiode vers la capacité du nœud de lecture. On ajoute ainsi une zone intermédiaire où l'on vient stocker les charges avant la lecture.

On schématise également sur la Figure 1.9 les éléments nécessaires au double échantillonnage. Le double échantillonnage est effectué grâce à deux capacités permettant de prendre un échantillon du signal de remise à zéro et un échantillon lors de la lecture. Le comparateur effectue ensuite la soustraction des deux échantillons et permet la suppression d'une partie du bruit associée à la remise à zéro principalement liée au bruit thermique.

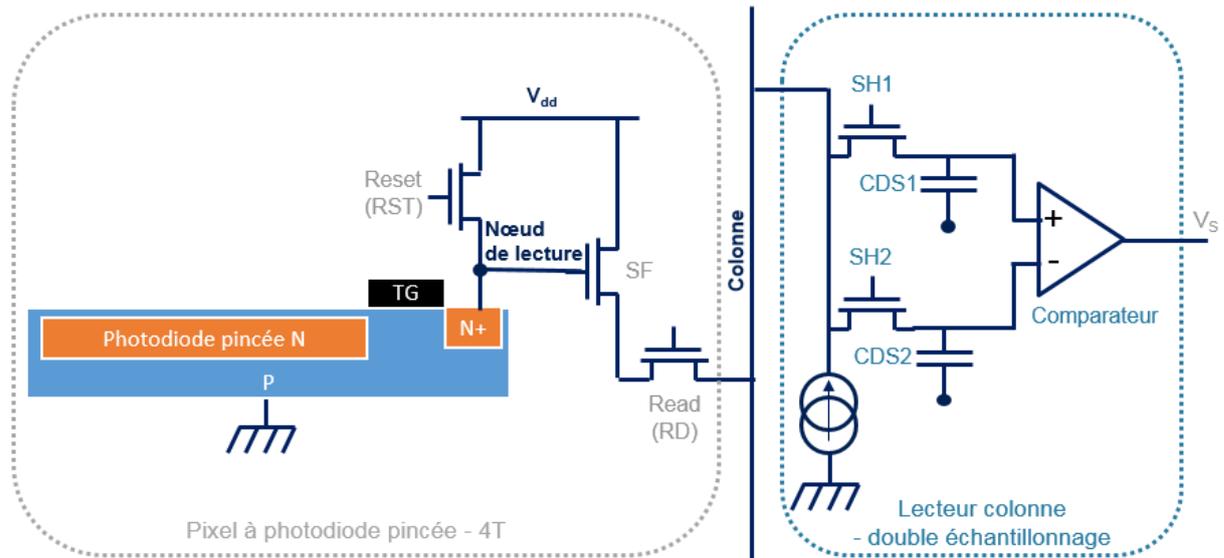


Figure 1.9 : Schéma d'un pixel 4T et le système de lecture à double échantillonnage : on retrouve la photodiode pincée de type N, les quatre transistors (TG, RST, SF, RD) présents dans le pixel et en sortie de colonne les deux transistors (SH1 et SH2 : Sample&Hold) et capacités (CDS1 et CDS2 : Correlated Double Sampling) permettant la soustraction du signal de remise à zéro.

Les Figure 1.10 (a) et (b) présentent respectivement deux chronogrammes de fonctionnement d'un pixel 3T et 4T. On retrouve sur le chronogramme (b) la lecture d'un pixel 4T ayant une grille de transfert (TG) supplémentaire par rapport au 3T en (a). Pour le pixel 4T, on ouvre la grille TG avec le transistor de remise à zéro en mode passant pour effectuer un vidage complet des charges de la photodiode peu avant le départ de l'intégration et pendant la phase de réinitialisation. A l'instant où l'on referme cette grille, la phase d'intégration peut débuter. Durant cette étape la photodiode pincée collecte les électrons qui serviront à la lecture de l'image. Pendant la phase de lecture (transistor RD actif), on mesure une première fois la tension du nœud de lecture vide et remise à zéro qu'on conservera sur l'une des deux capacités réservées au double échantillonnage corrélé. On transfère ensuite les charges intégrées vers le nœud de lecture et on lit une deuxième fois en stockant sur la deuxième capacité.

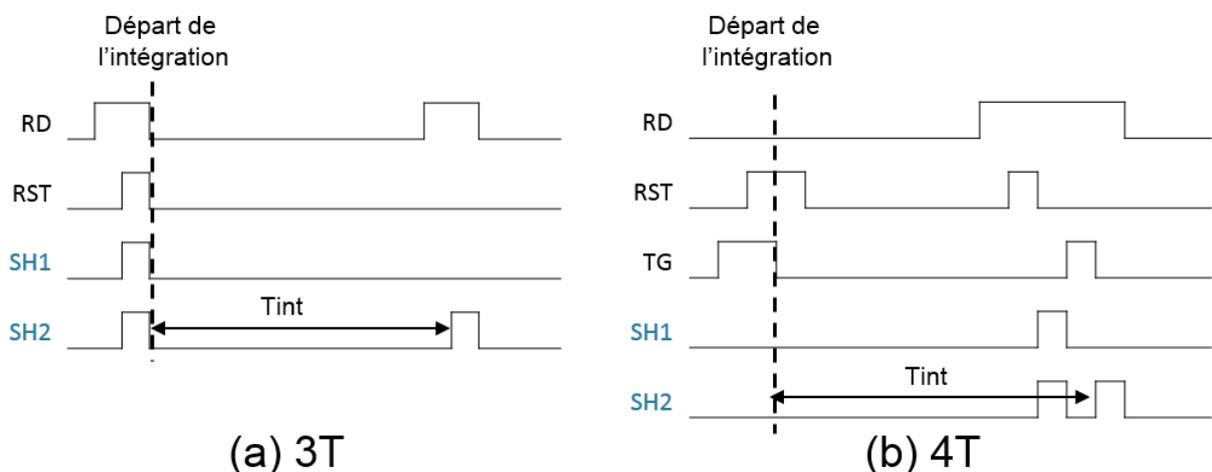


Figure 1.10 : Exemple de chronogramme associé aux pixels 3T et 4T. Les transistors sont passants à l'état haut.

Si l'on compare le temps d'intégration (T_{int}) de la Figure 1.10 de la mise en œuvre d'un pixel 3T et 4T, on remarque que l'échantillonnage du signal de remise à zéro (SH1) est effectué en début d'intégration pour le pixel 3T et est ainsi utilisé comme niveau de référence par l'image (n-1) qui ne sera donc pas corrélé. Dans le cas du pixel 4T, on voit que le nœud de lecture peut être remis à zéro pendant l'intégration du signal et être effectué très peu de temps avant la deuxième lecture pour une même image. Le bruit de remise à zéro lié au bruit thermique (kT/C) que l'on rappelle en (Eq. 1-1) est dans ce cas bien supprimé [35]. Ce bruit est associé à la réinitialisation de la capacité de la photodiode pour le pixel 3T ou de la capacité du nœud de lecture dans le cas du pixel 4T.

$$\sigma_{T,RMS} = \sqrt{4k_B T R \Delta f} = \sqrt{\frac{k_B T}{C}} \tag{Eq. 1-1}$$

Où, $\Delta f = \frac{1}{4RC}$, k_B constante de Boltzmann, T la température du milieu, C la capacité du nœud de lecture.

Pour le pixel 4T, la proximité entre les deux échantillons permet également de retirer une partie du bruit venant de la lecture du transistor suiveur comme le bruit 1/f et le RTS (Random Telegraph Signal ou parfois RTN : Random Telegraph Noise). Le temps d'attente entre les deux échantillons a un impact sur le bruit de la chaîne de lecture [35]. On note dans cette publication que la constante de temps de ce bruit est de l'ordre de 5µs mais que plus la lecture est rapide plus le bruit de lecture diminue.

L'un des points sensibles de cette technologie reste le transfert des charges vers le nœud de lecture. En effet, il faut fournir un transfert rapide et de toutes les charges pour éviter des phénomènes de rémanence de charge dans la photodiode. On illustre le principe de transfert de la photodiode pincée sur la Figure 1.11.

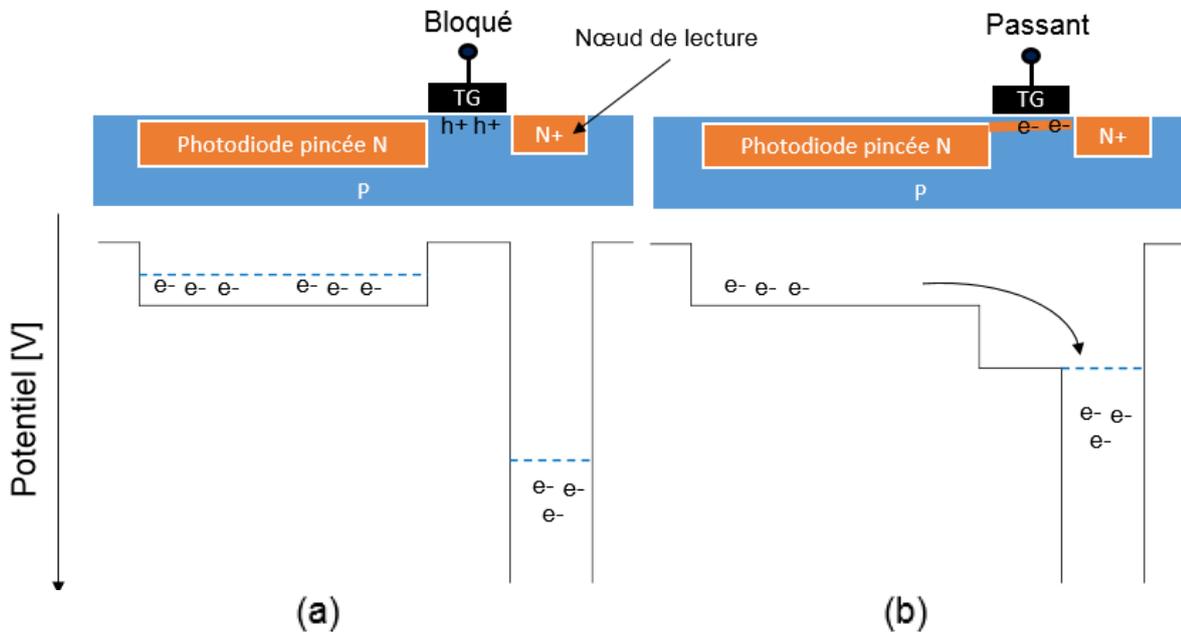


Figure 1.11 : Principe du transfert d'un photosite pincé vers son nœud de lecture grâce à une grille de transfert. (a) grille de transfert en position bloquée et photodiode en cours d'intégration, (b) grille de transfert en mode passant qui crée un canal de conduction pour le transfert des charges vers le nœud de lecture

Pour les pixels 4T, il est possible de partager les transistors de lecture entre plusieurs pixels afin de diminuer le nombre de transistor par pixel et ainsi diminuer sa surface et son coût. En effet, les transistors de remise à zéro, de sélection de ligne et d'amplification peuvent être partagés et chaque pixel doit uniquement garder au minimum une grille de transfert vers le nœud de lecture. On peut obtenir par exemple pour 4 pixels partagés un minimum de 7 transistors ; architecture appelée 1T75 [36]. Le seul inconvénient de cette structure est l'augmentation de la capacité du nœud de lecture qui est alors partagé [37]. On cherche souvent à diminuer cette capacité afin de minimiser le bruit de lecture [38] sachant qu'augmenter la capacité de grille du suiveur permet de minimiser le bruit $1/f$ [39][40].

1.4 Comparaison entre photogate et photodiode

Comme décrit en partie 1.2, le pixel CMOS peut fonctionner avec une structure de type photodiode ou photogate. Sur la Figure 1.12, on représente ces différentes possibilités pour le pixel 4T.

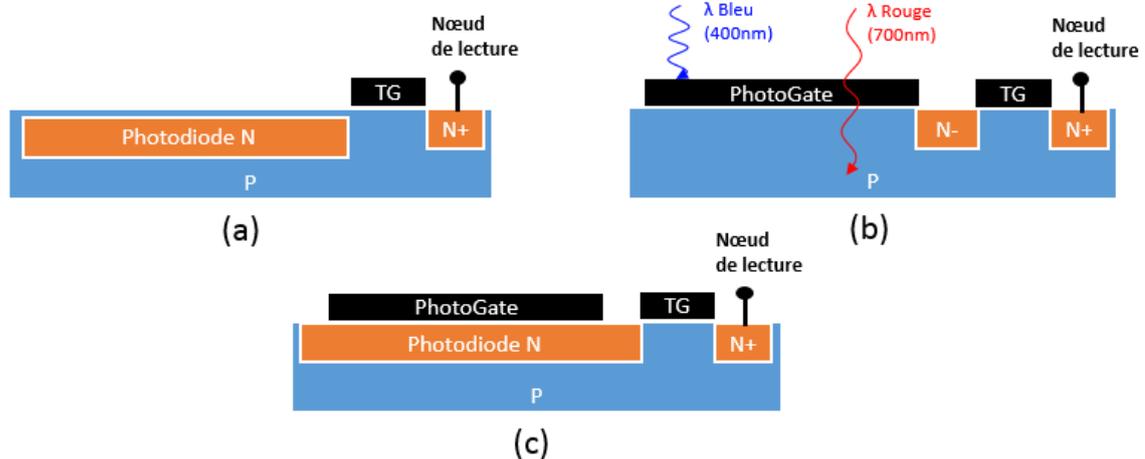


Figure 1.12 : Différents types de pixel : (a) photodiode pincée (b) photogate (c) combinaison d'une photodiode et d'une photogate.

Si l'on compare la photodiode (a) et la photogate (b), la capacité de stockage de la photogate est supérieure à celle de la photodiode car on peut utiliser sa capacité C_{ox} supplémentaire qui dépendant du potentiel appliqué [41] et est supérieure à la capacité d'une double jonction PN. Cependant stocker des charges au niveau d'une interface d'oxyde augmente le courant d'obscurité en raison des défauts en surface, comme on le détaille par la suite et dans le chapitre 3. Le deuxième inconvénient de la structure photogate est l'absorption des faibles longueurs d'onde qui sont peu pénétrantes. En effet, environ 50% de la lumière bleue est absorbée par la grille en polysilicium qui se situe dans le chemin optique de la lumière (Figure 1.12 b) [42]. On peut éviter ce phénomène en adoptant une structure éclairée par la face arrière [42]. A l'inverse de la photodiode, le transfert des charges peut se faire sans basculement de la grille TG. En effet, il suffit de modifier le potentiel de la photogate afin de transférer les charges vers le nœud de lecture [43]. Cette facilité de transfert est appréciable car elle est l'un des points critiques des structures 4T pour les pixels de petite taille. Le schéma (c) Figure 1.12 représente une combinaison des deux technologies [44][45]. On peut alors se servir au choix de la photogate en inversion afin d'effectuer un pincement de la photodiode en surface ou en accumulation afin d'utiliser sa capacité MOS.

2. Evolution de la structure du pixel CMOS

2.1 Diaphotie et isolation entre pixels

Pour réaliser des pixels de plus en plus petit, il a été étudié la manière de les isoler entre eux afin d'éviter la diaphotie (cross-talk en anglais) qui est l'un des problèmes majeurs lors de la miniaturisation. La diaphotie peut être d'origine spectrale, optique ou électrique. La diaphotie spectrale est le résultat d'un mauvais filtrage des photons incidents par les filtres colorés. Nous n'évoquerons pas cette diaphotie qui peut être améliorée par l'optimisation du gabarit en longueur d'onde des filtres colorés. On définit la diaphotie optique comme un photon non absorbé par un pixel et reçu par le pixel adjacent. La diaphotie électrique est définie comme une charge dépassant la barrière de potentiel d'un pixel ou diffusant d'un pixel vers son voisin. On peut exprimer la diaphotie en % de la charge totale d'un pixel reçu par les pixels adjacents. Les diaphoties optiques et électriques augmentent avec la longueur d'onde car les électrons seront générés en profondeur dans le silicium.

La diaphotie ne change pas uniquement le rendement quantique (Qe) du pixel mais crée un signal parasite sur toute la matrice. Cet effet dégrade très fortement les performances comme on peut le voir par la perte en saturation des couleurs sur les images de la Figure 1.13 avec une image prise avec un pixel ayant une diaphotie de 20% (b) contre 10% (a) [46].



Figure 1.13 : Exemple d'image pour un pixel de $1.1\mu\text{m}$ et une diaphotie mesurée d'environ 10% (a) et d'un pixel de $0.9\mu\text{m}$ et une diaphotie mesurée d'environ 20% (b). [46]

Des méthodes pour isoler les pixels et réduire la diaphotie sont représentées sur Figure 1.14, avec un cas sans isolation et une diaphotie optique et électrique en (a1) ou une isolation par STI (Shallow Trench Isolation) qui vient séparer électriquement et optiquement le pixel voisin grâce au changement d'indice de l'oxyde en (a2). Cependant cette solution ne parvient pas à stopper la diffusion des charges générées profondément ni les rayons lumineux traversant le pixel. On peut intégralement isoler électriquement le pixel de son voisin par des tranchées profondes d'isolation DTI (Deep Trench Isolation) comme le montre la figure (b1). Dans ce cas, on remplit par de l'oxyde une cavité profonde pour éviter les courants entre les deux pixels. De plus, ces tranchées créent un phénomène de guide d'onde pour les photons grâce au saut d'indice entre le silicium et l'oxyde de silicium [47].

Cependant l'introduction d'une interface Si/SiO₂ dégrade d'autres performances comme le courant d'obscurité. La solution est présentée sur la figure (b2) avec des tranchées capacitives profondes d'isolation CDTI (Capacitive Deep Trench Isolation) remplies d'une fine couche d'oxyde et de polysilicium qui permettent de passiver les défauts en surface [48].

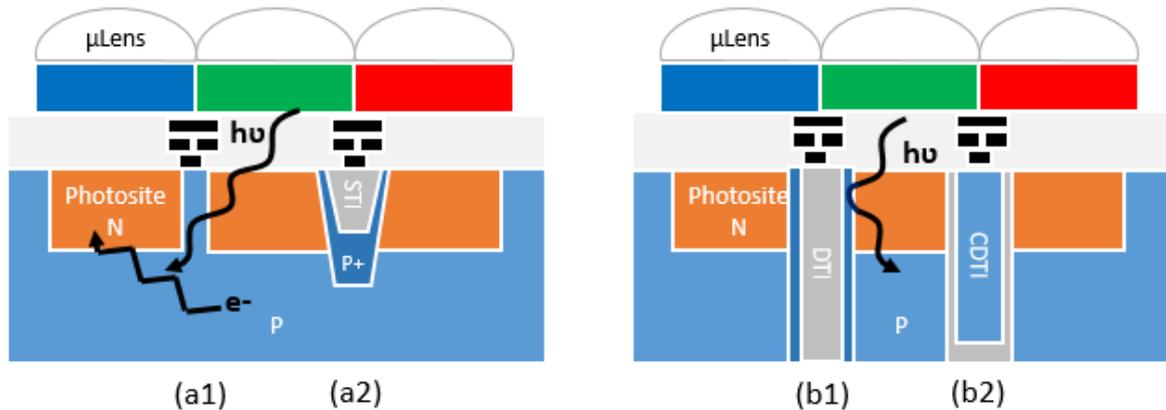


Figure 1.14 : Evolution de l'isolation entre pixels : (a1) pas de barrière optique dans le pixel et donc possible diffusion des charges photo générées vers le pixel voisin (a2) ajout du STI et d'une implantation P+ pour limiter les échanges entre pixel (b1) structure DTI dédiée à l'isolation électrique intégrale des pixels entre eux et un meilleur confinement de la lumière (b2) structure CDTI : structure MOS active isolant les pixels et améliorant les performances en bruit.

2.2 Illumination par la face arrière

Un autre inconvénient des pixels de petite taille concerne la diminution de sa surface pour la photodiode qui est souvent exprimée par le facteur de remplissage (ou FF : Fill Factor en anglais). Ce facteur évalue le rapport entre la surface photosensible et la surface totale du pixel. On a vu précédemment en partie 1.3.1 que l'ajout de transistors dans le pixel diminue cette surface et donc le facteur de remplissage et la sensibilité du pixel. De la même manière, les lignes métalliques sont des éléments à prendre en considération pour les pixels à éclairage avant (FSI : Front Side Illumination) car celles-ci masquent une partie du pixel. L'une des solutions apportées fut le passage en éclairage par la face arrière (BSI : Back Side Illumination) comme illustré sur la Figure 1.15 (b).

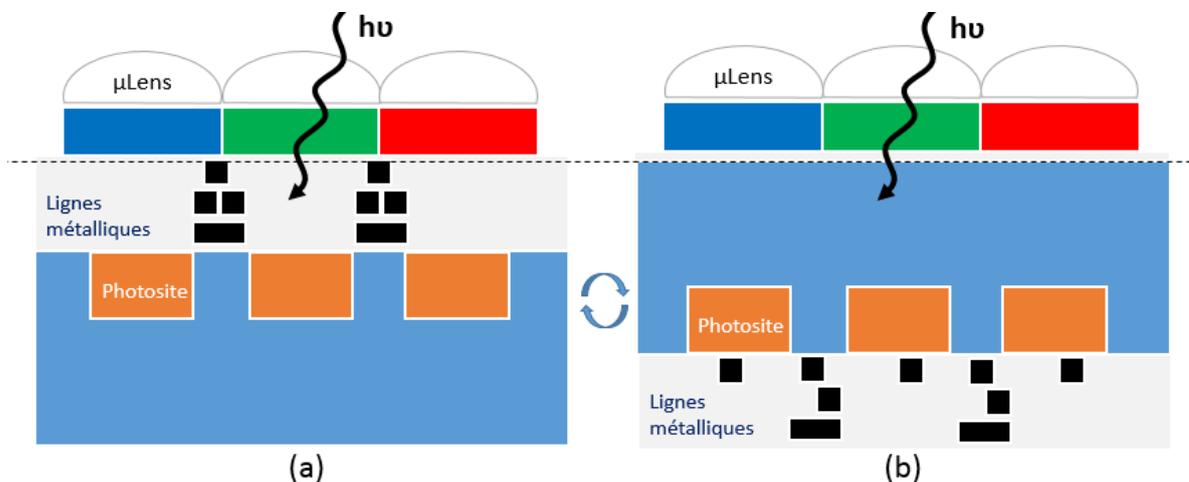


Figure 1.15 : Exemple d'un pixel éclairé par la face avant (a) et pixel éclairé par la face arrière (b) où les lignes métalliques ne gênent plus le passage de la lumière.

Le processus de fabrication de la technologie BSI est illustré sur la Figure 1.16. On y voit une première plaquette (n°1) sur laquelle on retrouve les pixels et une plaquette de report (n°2) couverte d'oxyde. Les deux plaques sont assemblées grâce à un collage moléculaire [49], on effectue ensuite un recuit afin de former des liaisons siloxanes stables ayant une énergie de liaison 5 à 20 fois supérieure aux liaisons initiales [50]. La plaquette est ensuite amincie à quelques micromètres sur lesquels sont déposés la couche d'antireflet, les filtres colorés puis les microlentilles.

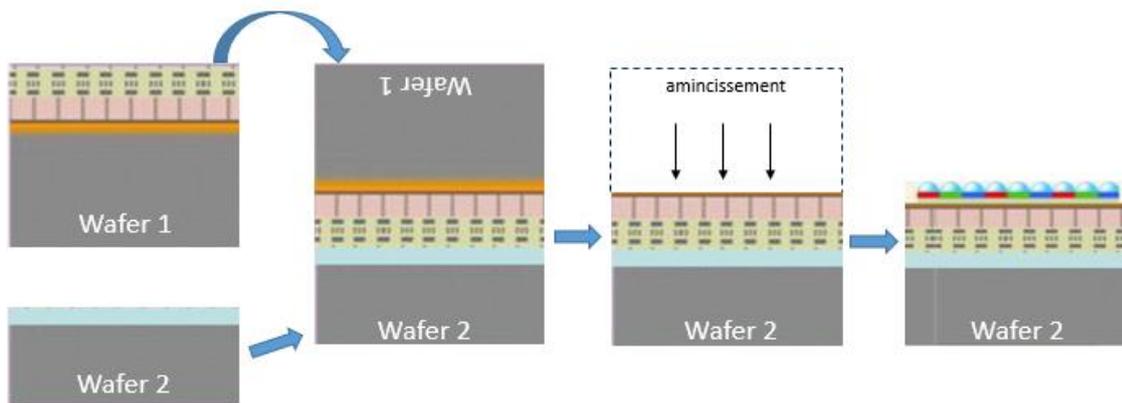


Figure 1.16 : Procédé de fabrication simplifié d'un capteur en illumination face arrière réalisé grâce au collage moléculaire sur une plaque de report et l'amincissement de la plaquette.

2.3 Photodiode verticale

En partie 2.1, nous avons abordé une manière d'isoler les pixels de petite taille et de leur faire gagner en compacité et sensibilité. Cependant la charge stockable de la photodiode va aussi se réduire à mesure que l'on diminue sa taille d'où le passage des structures surfaciques aux structures verticales. Ainsi en comparant des deux photodiodes de la Figure 1.17, on s'aperçoit qu'elles peuvent stocker la même quantité de charge en raison de leur taille identique. La structure verticale en (b) sera quant à elle beaucoup plus compacte.

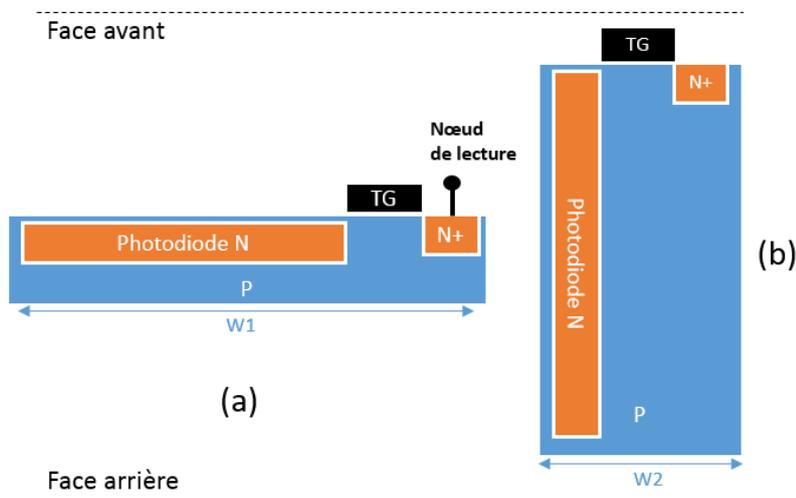


Figure 1.17 : Photodiode pincée planaire (a) et verticale (b) utilisées pour des structures éclairées par la face arrière. Le pas du pixel planaire est supérieur au pixel vertical ($W1 > W2$).

Cet arrangement n'a de sens que si l'on utilise une structure en illumination face arrière. En effet, la grille de transfert est un élément absorbant la lumière à faible longueur d'onde en raison de l'épaisseur du polysilicium en surface. Ainsi on peut voir que si on éclaire par la face avant la structure (b) celle-ci opacifie sur environ 30 % de la surface supérieure du pixel (rapport entre la surface de silicium et de la grille).

2.4 Photosite de type N et de type P

En prenant en compte les différents éléments évoqués précédemment, on peut aboutir aux structures simulées en Figure 1.18. On retrouve en Figure 1.18 (a) les DTIs servant d'isolation, un éclairage par la face arrière et le pincement vertical de la photodiode. La figure (b) montre un équivalent de ce pixel de type P. Cette fois-ci, la photodiode n'est pas implantée de type N mais de type P et elle recueille des trous à la place des électrons. On choisit de passer vers un pixel P afin d'exploiter le dopage du substrat, les substrats de type N ne sont généralement pas courant dans l'industrie. On remarque que dans le cas du pixel de type N la photodiode verticale ne s'étend pas au-delà de $1.5\mu\text{m}$ de profondeur car elle est limitée par la profondeur implantable. Pour la Figure 1.18 (b), on utilise le dopage substrat grâce à un pincement latéral. Celui-ci est réalisé par des implantations avant le remplissage des DTI avec de l'oxyde. Cette photodiode verticale est appelée photodiode verticale profonde car elle utilise le volume distant de la surface comme illustré Figure 1.18 (b).

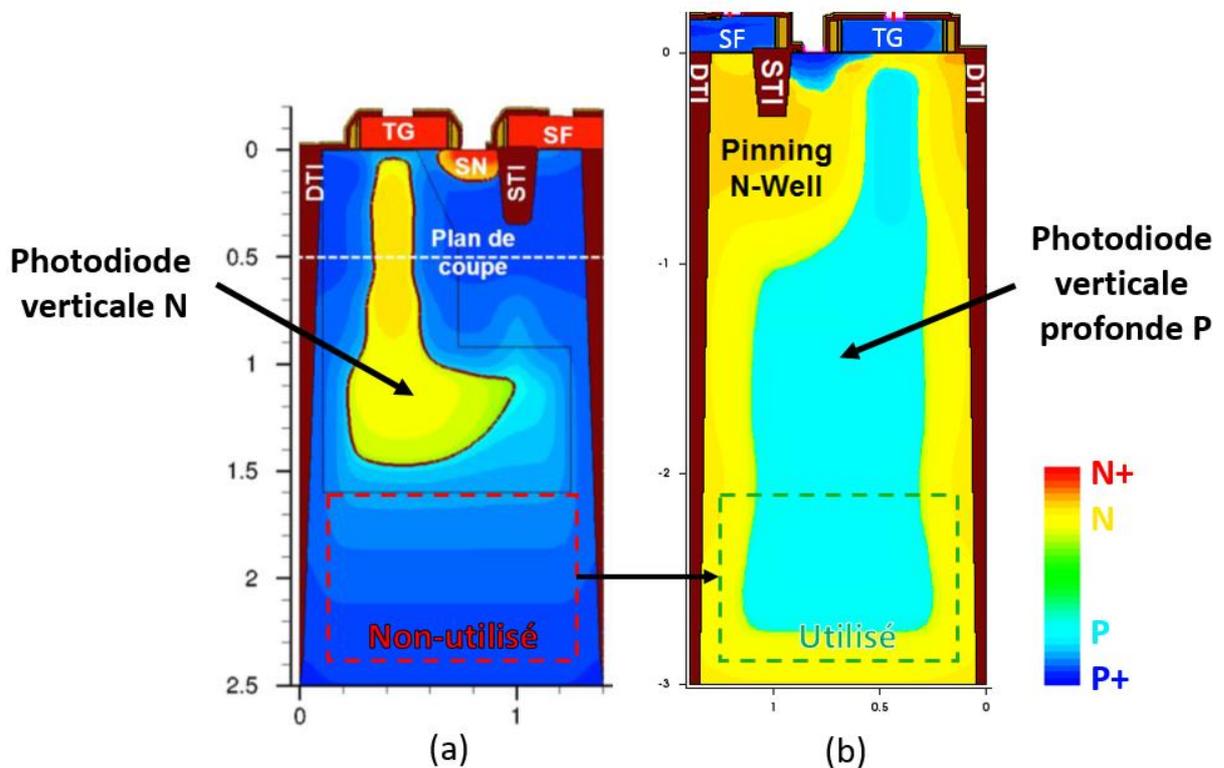


Figure 1.18 : Comparaison entre un pixel type N (a) [51] et type P (b) [52] : le pixel (b) utilise la quasi-totalité du volume disponible pour le stockage des charges

Outre une meilleure capacité de stockage, plusieurs études montrent que le capteur de type P est plus résistant au mécanisme de dégradation sous rayonnement gamma [52][53] et possède une meilleure tenue au mécanisme de dégradation UV lors des procédés assistés par plasma [54]. Les résultats sont plus contrastés pour le courant d'obscurité donnant une avance sur le pixel de type P qui serait uniquement lié au procédé de fabrication et notamment à l'implantation type P qui est moins contaminante [52] [55]. D'autre part, la chaîne de lecture de type PMOS montre un bruit plus faible grâce à la réduction du bruit RTS [55].

3. Les défis des technologies actuelles

3.1 La passivation des différentes interfaces

Les atomes de silicium possèdent quatre liaisons covalentes. Ces liaisons sont assurées par les atomes voisins dans un silicium cristallin. Cependant, l'introduction des structures évoquées en partie 2.1 telles que les DTI, STI ou même plus communément les grilles des transistors, introduisent des liaisons pendantes (Si^+ chargé positivement) qui sont la principale source de défaut de l'interface et entraînent l'apparition de niveau d'énergie dans la bande interdite du silicium appelée état d'interface. La qualité d'une interface est souvent caractérisée par le D_{it} : densité d'états à l'interface.

Les liaisons pendantes représentent une majeure partie des défauts d'interfaces. Elles dépendent de l'orientation cristalline de l'interface [56]. On notera généralement les défauts centre P_b pour une orientation (111), P_{b0} et P_{b1} pour l'orientation (100) [57]. Si on prend l'exemple d'une interface (111) sur la Figure 1.19, celle-ci présente deux pics qui sont situés à environ 0.28eV et 0.85eV visibles sur la courbe en trait plein. D'après [56], la forme en U extrapolée sur la courbe en pointillé n'est pas liée au centre P_b mais à la différence du paramètre de maille entre les deux matériaux.

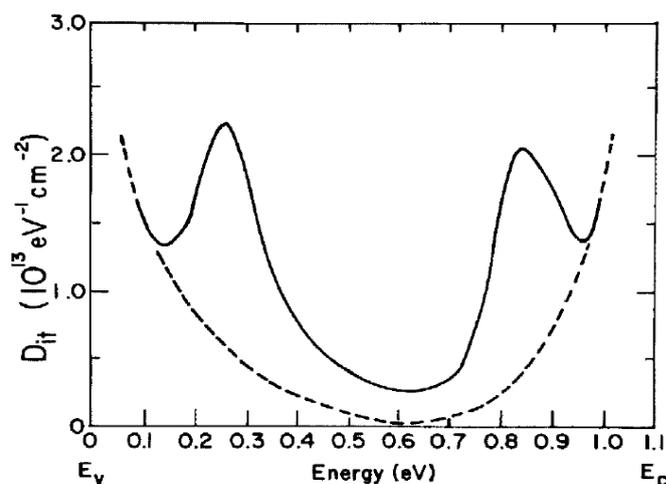


Figure 1.19 : Distribution de la densité d'état d'interface pour la silicium (111): D_{it} total en trait plein et estimation de la contribution du paramètre de maille en pointillé [56]

Chacun de ces états d'interfaces est électriquement actif. Ils génèrent des charges non désirées dans le pixel au cours de sa phase d'intégration. Ce courant parasite est évalué par le courant d'obscurité dont la réduction est notamment l'un des intérêts de notre structure et fera l'objet d'une partie dédiée en chapitre 3. Ces défauts modifient également certains paramètres typiques des transistors de lecture : la tension de seuil, la mobilité et surtout dans notre cas le bruit de lecture.

Une interface « libre » présente une densité de défauts minimale ($D_{it,min}$) d'environ $10^{14} \text{ cm}^{-2} \cdot \text{eV}^{-1}$. Après oxydation thermique certaines de ces liaisons pendantes sont occupées par des atomes d'oxygène. On peut visualiser sur la coupe TEM (a) en Figure 1.20 l'interface Si/SiO₂ après cette oxydation ainsi que sa représentation schématisée en (b). L'oxydation laisse un $D_{it,min}$ d'environ $10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ [58]. Si on estime la bande interdite du silicium à 1.12eV, cela représente environ 2500 liaisons pendantes pour une surface de $0.5\mu\text{m} \times 0.5\mu\text{m}$.

On peut significativement réduire le nombre de défauts à l'aide de différentes méthodes de passivation. L'une d'entre elles est la passivation chimique qui permet de diminuer le nombre de défauts via l'introduction d'atomes d'hydrogène illustrés Figure 1.20 (c). Ces atomes d'hydrogène peuvent former des liaisons Si-H et réduire ainsi le $D_{it,min}$ à $10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$. Les liaisons hydrogènes sont très fragiles et peuvent être associées dans certains cas à la dégradation des performances du pixel ou des transistors [59]–[61].

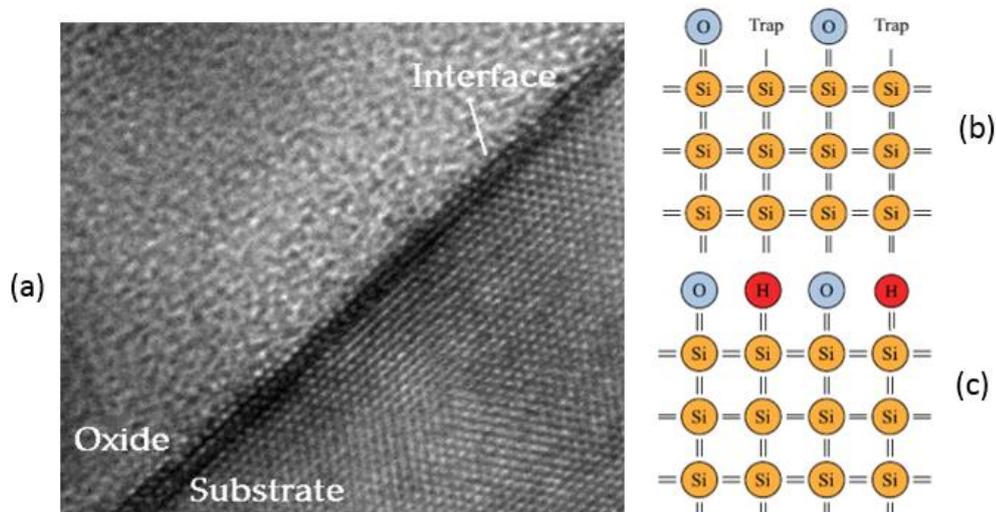


Figure 1.20 : Exemple d'une interface Si/SiO₂ observée par TEM, (b) schémas interface saturée avec de l'oxygène et (c) interface passivée après recuit sous hydrogène [60]

La seconde méthode consiste à éviter que les charges générées conduisent à une dégradation des performances du pixel. Par exemple, l'ajout de dopant en surface peut limiter la durée de vie des porteurs minoritaires et assurer leurs recombinaisons avant diffusion vers le photosite. On peut également utiliser une couche d'inversion via une capacité MOS qui remplira l'intégralité de ces défauts par des charges [48]. Ainsi, on a vu l'apparition des tranchées capacitives (CDTI Figure 1.21) comme évoqué dans la partie 2.1. Les CDTI sont polarisés en inversion afin de former une couche électronique de densité suffisante afin de passiver l'interface. Ces charges en surface vont bloquer la génération et transmission des charges générées par les états d'interfaces vers la zone de collection.

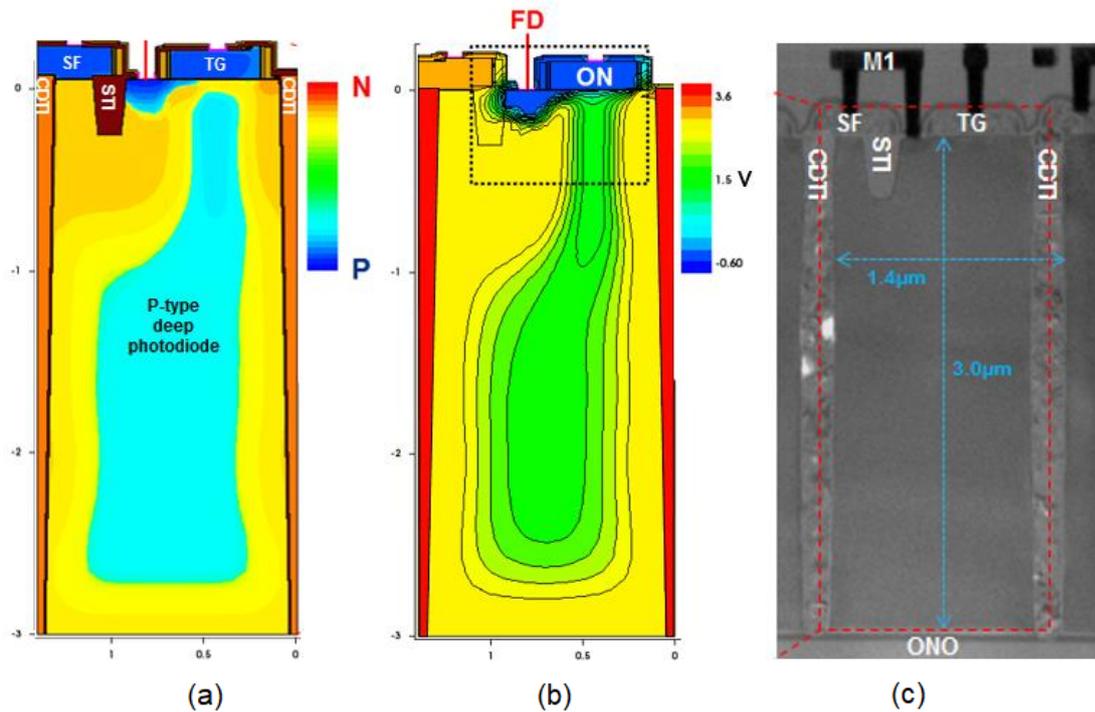


Figure 1.21 : Profil du dopage (a), simulation du potentiel (b) et coupe TEM (c) d'un pixel de type P à photodiode profonde avec des tranchées de type CDTI [52]

3.2 Les limites des photodiodes implantées

Dans le cas d'une photodiode de type N, la zone de stockage des charges est limitée par la profondeur implantable. En effet, nous avons expliqué en 2.4 que le changement d'une photodiode de type N vers une photodiode de type P permet l'utilisation du substrat comme zone de stockage. Nous chercherons par l'introduction de l'architecture photogate à rendre la zone photosensible indépendante de l'implantation. En effet, la capacité de stockage ne sera plus dépendante de la zone implantée mais de l'épaisseur du substrat aminci.

D'autre part, l'implantation génère des défauts ponctuels dans le silicium. Même si des recuits thermiques permettent de recristalliser le réseau, les implantations peuvent entraîner l'apparition de contaminants tel que le tungstène attribuée à l'implantation ionique du bore et provenant du filament de tungstène nécessaire à la génération des ions [52]. Nous évaluerons donc si la nouvelle architecture basée sur la photogate permet de minimiser ces défauts qui dégradent l'image et introduisent des pixels blancs.

3.3 Le transfert depuis la zone de collection

L'un des points fondamentaux soulevé lors de la conception des pixels 4T est la détermination du dopage de la zone photosensible et la faculté à transférer intégralement les charges vers le nœud de lecture. Ce transfert est une problématique associée à celle du bruit du pixel. En effet, chaque charge non transférée est équivalente à un bruit lors de la lecture du pixel. Cette rémanence de charge peut parfois devenir la limite de bruit pour ces pixels car la chaîne de lecture peut de nos jours atteindre un seuil de bruit inférieur à une charge électrique [38].

Les grilles de transfert en surface nécessitent une très grande attention pour effectuer un transfert sans rémanence. Le potentiel doit être décroissant vers le nœud de lecture afin d'écouler les charges jusqu'à la zone de transfert de la grille. Cette limite contraint le substrat à être peu dopé [52], diminuant par la même occasion la charge stockable. Il faut ainsi ajuster précisément les doses lors de l'implantation de la photodiode verticale car la zone de transfert des charges est éloignée de la zone de déplétion de la photodiode.

On peut pallier ce problème par l'introduction d'une grille verticale. Cette grille permet de contrôler en profondeur les potentiels, ce que l'on illustre sur la Figure 1.22 (a). Elle permet d'éviter de créer la zone implantée jusqu'à une grille de transfert surfacique. Cela facilite alors le transfert sans rémanence des charges du pixel et permet la réduction de sa taille [62].

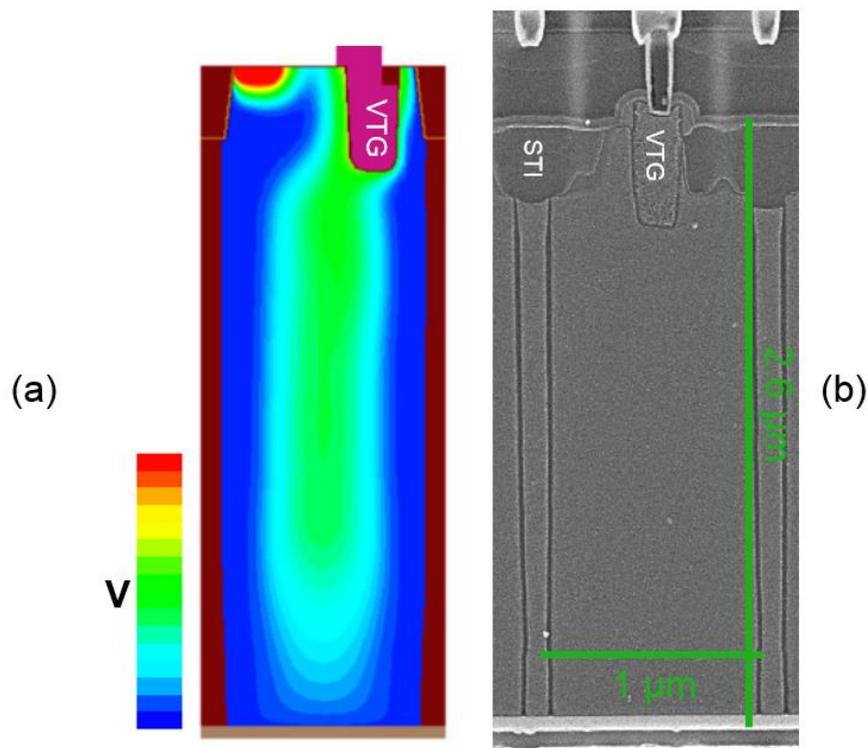


Figure 1.22 : Pixel à photodiode verticale de type N et grille de transfert verticale (VTG) pour un transfert simplifié et sans rémanence de charge. (a) représentation des potentiels pour une grille verticale passante, (b) coupe TEM de la structure [62]

4. Conclusions et objectif de la thèse

Dans ce chapitre, nous avons dans un premier temps développé le principe de fonctionnement des capteurs d'image. Nous avons vu différentes structures à base de semi-conducteurs permettant de convertir la lumière en signal électrique à l'aide de l'effet photoélectrique. Par ailleurs, les pixels sont les éléments qui réalisent cette conversion et définissent la résolution de l'image finale. Le silicium est également indiqué pour la réception du spectre visible et représente le matériau le plus communément utilisé dans l'industrie.

Nous avons abordé dans un second temps 30 ans d'évolution du pixel CMOS dont l'une des avancées majeures est l'introduction de la photodiode pincée et l'architecture 4T. La miniaturisation de cette architecture aura engendré de nombreux développements. On peut évoquer les architectures partagées, la photodiode verticale, les tranchées d'isolation profondes et l'éclairement par la face arrière.

Il reste néanmoins encore de nombreux points à explorer. L'ajout d'interfaces diélectriques de type Si/SiO₂ qui présente des défauts en surface impactent les performances du capteur. D'autres défauts et contaminants sont également introduits au cours des étapes de fabrication et particulièrement pendant les implantations. On aura aussi remarqué l'intérêt d'un pixel à photodiode de type P pour l'utilisation de l'intégralité du volume du substrat. Néanmoins, son utilisation requiert une fine optimisation des implantations pour le transfert des charges. Le pixel de type P montre également des perspectives intéressantes en termes de bruit et de résistance aux rayonnements ionisants.

Nous envisageons ainsi la conception d'une structure dont les interfaces seront intégralement passivées et qui a pour objectif d'éviter les implantations du site photosensible. On cherchera à utiliser l'intégralité du volume à disposition dans le pixel pour le stockage de charge et à effectuer le transfert via une grille verticale sans rémanence.

On propose ainsi de développer un nouveau type de pixel éclairé par la face arrière sur le principe d'une photogate à collection de trous et stockage vertical basé sur l'utilisation du CDTI. On utilisera une nouvelle grille de transfert vertical en volume ainsi qu'une chaîne de lecture composée de transistors PMOS et d'un diélectrique en face arrière adaptée.

Chapitre 2 : Réalisation d'une photogate verticale de type P

Dans ce chapitre, on détaille les structures élémentaires du pixel ainsi que son procédé de fabrication. On compare ensuite les modèles théoriques et les résultats de simulations aux mesures électriques disponibles sur des dispositifs de test élémentaires.

1. Introduction

Le pixel peut être décomposé en différents sous-éléments. Chacun d'entre eux remplit une fonction élémentaire telle que le stockage des charges ou leur lecture. Ceux-ci sont fabriqués de manière séquentielle à partir d'un ou plusieurs masques et d'un procédé de fabrication spécifique. On peut voir en Figure 2.1 le schéma du pixel avec ses principaux éléments (a) et ses masques de fabrication associés (b).

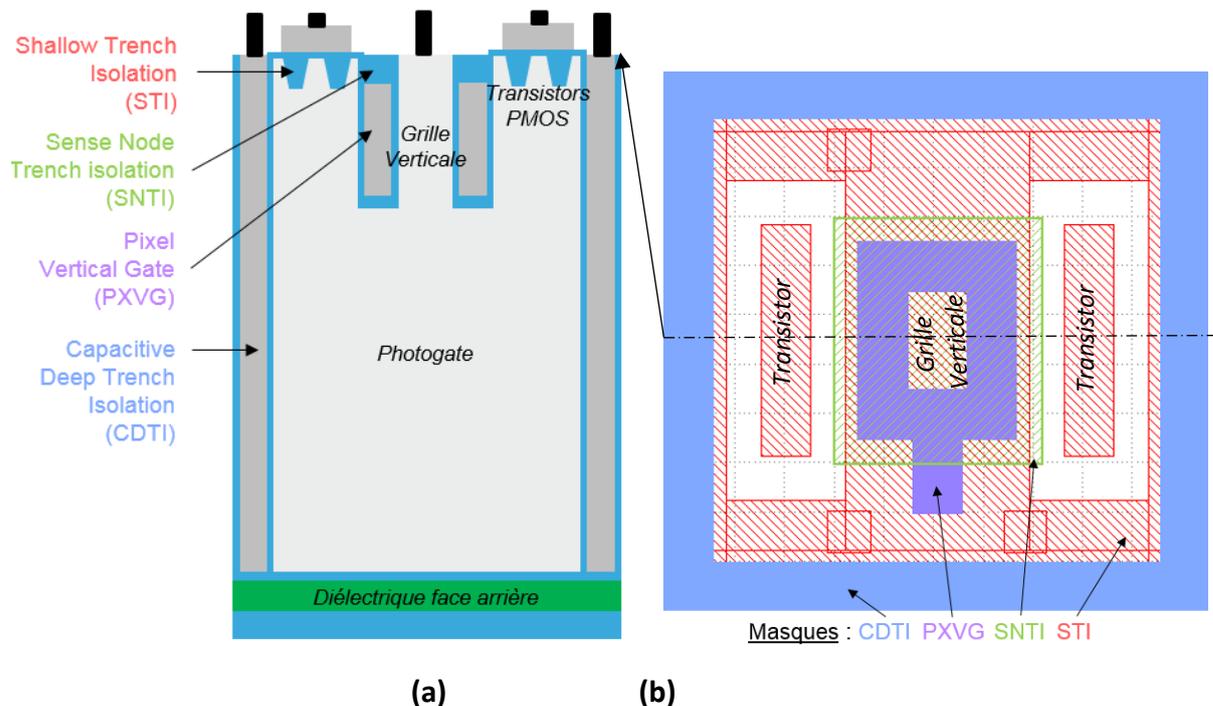


Figure 2.1 : Vue en coupe schématique du pixel (a) et dessin des masques associés (b) en vue de dessus. Les quatre éléments qui seront développés au cours de ce chapitre sont la photogate, la grille verticale, les transistors PMOS et le diélectrique face arrière.

De manière générale, les tranchées d'isolation peu profondes (Shallow Trench Isolation : STI) isolent électriquement les zones dites « actives » entre elles grâce à un diélectrique, ici SiO_2 . Elles permettent ainsi de définir les transistors présents dans le pixel. La grille verticale est quant à elle constituée des tranchées capacitatives délimitées par le masque PXVG (PiXel Vertical Gate). Elle peut bénéficier d'une isolation par de l'oxyde SNTI (Sense Node Trench Isolation) au-dessus des tranchées. Cette tranchée et son isolation sont deux éléments qui ont été spécifiquement réalisés au cours de cette thèse. Nous détaillons la manière de les fabriquer par la suite. Le dernier élément est le CDTI (Capacitive Deep Trench Isolation) : il

sert à la fois à la création de la zone photosensible mais aussi à l'isolation électrique et optique entre les pixels [48].

Les quatre principaux éléments qui composent ce pixel sont : la photogate, la grille verticale, les transistors PMOS spécifiques au pixel et l'empilement diélectrique en face arrière. Nous traitons dans la partie suivante la manière d'enchaîner leurs fabrications puis au cours de ce chapitre nous abordons chacun de ces éléments grâce à la simulation et la caractérisation.

2. Schéma d'intégration

Afin de créer la structure décrite en introduction de ce chapitre, il est nécessaire de définir l'enchaînement des briques élémentaires que nous appelons CDTI, PXVG, SNTI et STI (voir Figure 2.1). Une brique est souvent l'association d'une étape de photolithographie, d'une gravure silicium, d'un remplissage de la cavité par un oxyde ou polysilicium et d'une planarisation mécano-chimique (CMP).

La succession des briques peut s'organiser comme décrit dans la Figure 2.2. Nous distinguerons 3 différentes intégrations : « CDTI 1st », « PXVG 1st » et « STI 1st ». Ces schémas d'intégrations ne sont pas tous équivalents. Dans notre cas, il a initialement été mis en place l'intégration 1 (CDTI 1st). Cependant, cette solution ne nous a pas permis la fabrication d'échantillons fonctionnels en raison de nombreuses difficultés rencontrées lors de la fabrication notamment à cause d'effet de densité et topologie sur plaquette créée par les motifs CDTI. Celle-ci a alors été abandonnée au profit des intégrations 2 (PXVG 1st) puis 3 (STI 1st). Ces deux intégrations sont fonctionnelles et leurs différences reposent essentiellement sur les interactions entre les briques.

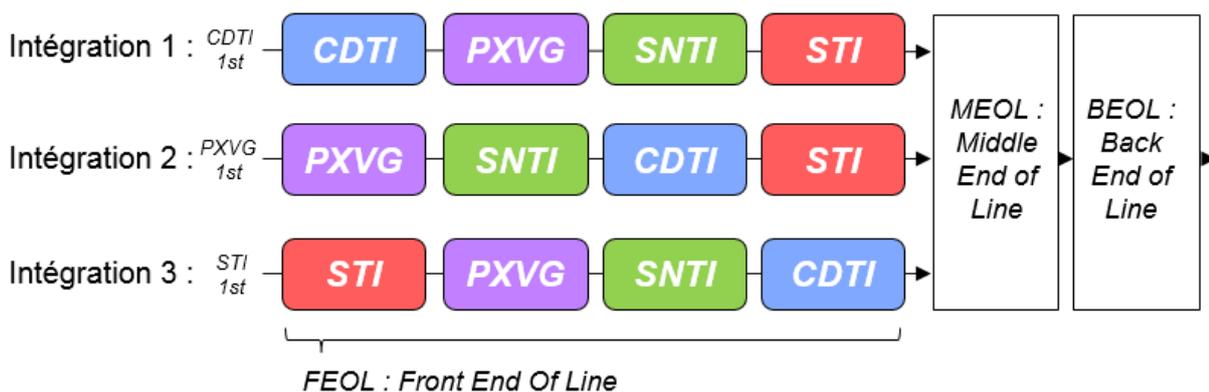


Figure 2.2 : Schéma de 3 différentes intégrations possibles. Chaque boîte représente une brique constituée des étapes nécessaire à la réalisation des éléments illustrés Figure 2.1. On ne représente ici que les étapes clés de notre intégration. L'intégration PXVG 1st est possible mais STI 1st sera privilégiée.

Un exemple d'interaction est le croisement entre les masques STI et CDTI. Aujourd'hui, la gravure CDTI est optimisée pour une gravure directe sur silicium. Si la gravure rencontre une zone d'oxyde la gravure sera incomplète. Ainsi sur la Figure 2.3, on peut observer que pour une intégration STI 1st, les croisements STI et CDTI ne seront pas exploitables car les tranchées CDTI ne sont pas assez profondes pour créer la zone de photogate. Ce problème explique pourquoi certains dessins (i.e. versions) de pixels ne sont pas exploitables par la suite.

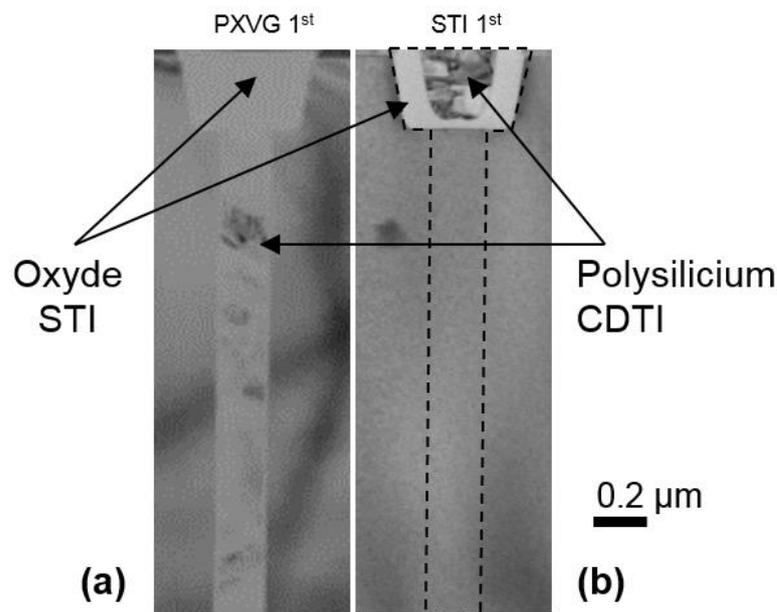


Figure 2.3 : Coupe TEM : Exemple de croisement entre STI et CDTI dans le cas I2 (PXVG 1st) (a) et I3 (STI 1st) (b). Le CDTI de la figure (b) n'est pas suffisamment gravé.

Un autre exemple rédhibitoire en intégration est celui de la diffusion des espèces chimiques présentes dans le pixel. En effet, toutes les briques de fabrication introduisent une diffusion dans la structure à cause de la température imposée lors de procédés thermiques. Les recuits thermiques peuvent par exemple servir à la création, la densification d'un oxyde [63] ou à l'activation de dopants. Dans notre cas, le recuit prépondérant est lié à la densification de l'oxyde STI. Ce recuit est effectué à 1050 °C pendant 30min contre 30s dans le cas d'une oxydation utilisée pour les tranchées capacitives. Ainsi lors d'une intégration PXVG 1st, les dopants contenus dans le polysilicium des tranchées diffusent [64] vers le pixel lors du recuit de densification du STI, ce qui n'est pas le cas pour l'intégration STI 1st. Sur la Figure 2.4 on peut distinguer la différence entre les intégrations grâce aux images par SCM (Scanning Capacitance Microscopy) [65]. On constate une diffusion autour des tranchées capacitives dans le cas du PXVG 1st qui est synonyme de diffusion d'une espèce de type N, dans notre cas le phosphore, vers le substrat de type P.

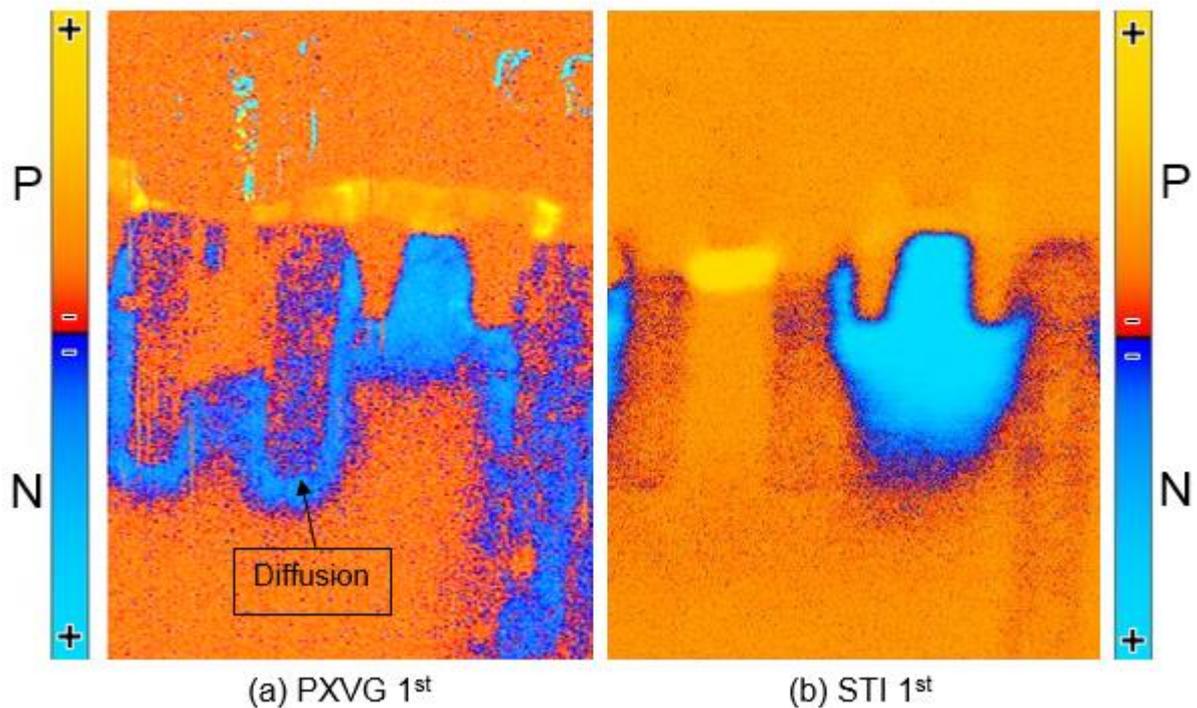


Figure 2.4 : Images SCM : Exemple de diffusion du phosphore dans le cas PXVG 1st (a) et STI 1st (b). Le cas (a) montre une diffusion importante contrairement à (b).

3. La photogate

La photogate forme la zone de collection et de stockage des charges photo-générées du pixel. Celle-ci est formée par des tranchées CDTI ayant pour intervalle consécutif $2\mu\text{m}$ (i.e. le pas du pixel) et une profondeur d'environ $3.5\mu\text{m}$. Ces tranchées capacitives assurent également plusieurs autres objectifs : l'isolation électrique et optique entre pixel et la passivation des interfaces Si/SiO₂. Nous étudions par la suite le dimensionnement des tranchées CDTI et du substrat afin de réaliser cette zone photosensible.

3.1 Les tranchées CDTI

Les tranchées sont réalisées à l'aide d'une gravure anisotrope (DRIE) de la plaque de silicium. Afin de rendre ces tranchées capacitives, il est nécessaire de les remplir d'un oxyde (SiO₂) qui peut se présenter sous la forme d'une monocouche d'oxyde thermique ou bi-couche par l'ajout d'un second oxyde déposé et de remplir par la suite d'un matériau conducteur, ici un polysilicium fortement dopé. On peut voir en Figure 2.5 un exemple type CDTI réalisé au cours de ce projet. On remarque une légère inclinaison de la cavité des tranchées ($\sim 5\text{nm}/\mu\text{m}$) dont la largeur se réduit de 213nm en surface à 190nm en bas des tranchées afin de permettre un meilleur remplissage de la cavité formée. L'oxyde latéral est plus épais en surface à cause des procédés de désoxydation causés par les nettoyages à l'acide hydrofluorique et réoxydation thermique de la surface.

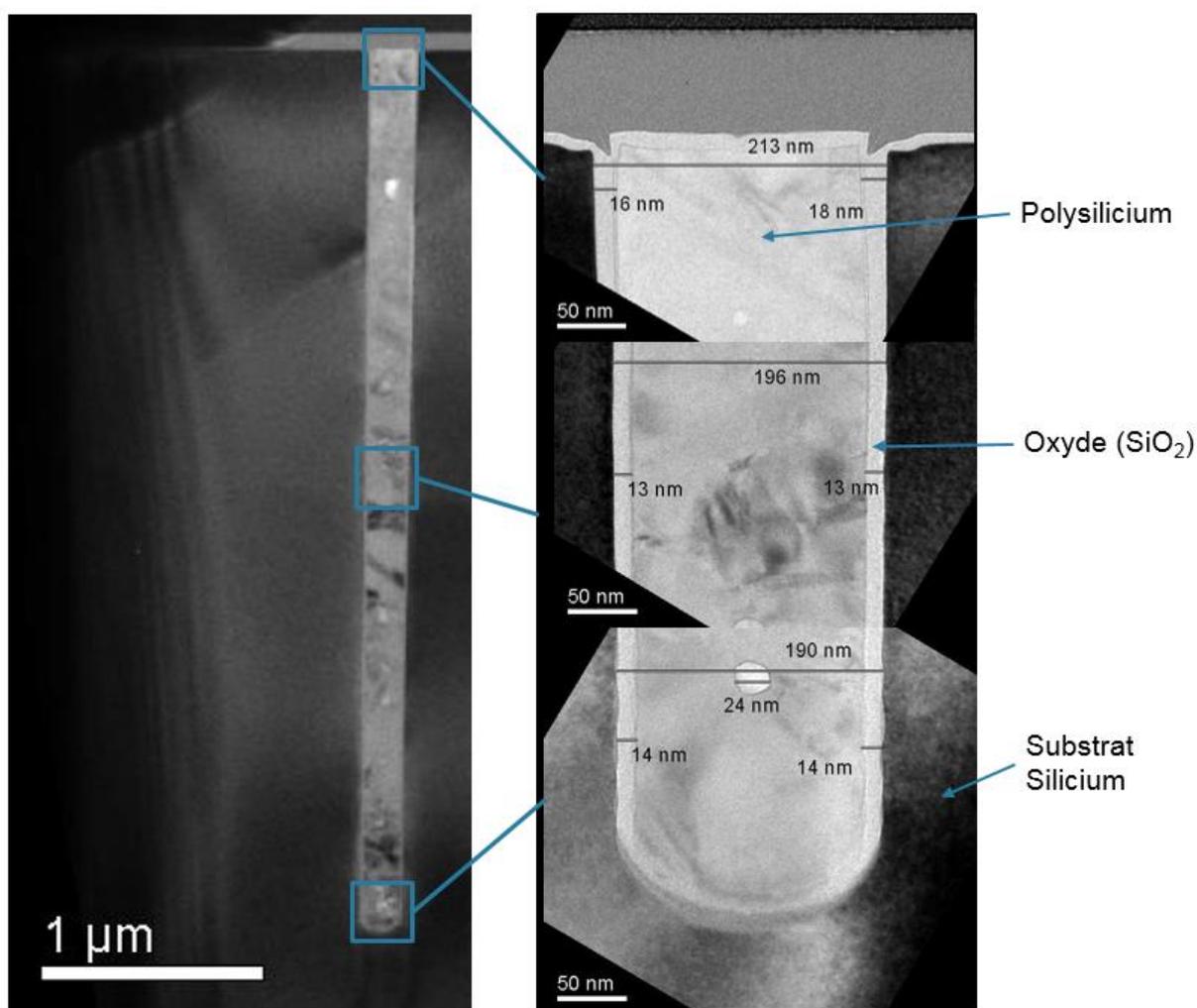


Figure 2.5 : Coupes TEM et grossissement d'une tranchée CDTI. La tranchée mesure 4 μm de profondeur et contient du polysilicium qui est séparé du substrat par un oxyde de 155 Å.

3.1.1 Effet du type du polysilicium

On peut considérer les CDTI comme des structures MOS. Elles peuvent être remplies par différents matériaux conducteurs. On peut prendre l'exemple de métaux type tungstène, cuivre ou du polysilicium fortement dopé qui, outre la différence entre les différents travaux de sortie (Φ_m pour le métal et Φ_{ps} pour le polysilicium) de chacun des matériaux [66], possèdent des propriétés optiques différentes lors du parcours de la lumière dans le pixel. Par exemple, les métaux sont souvent réfléchissants et confinent la lumière dans le pixel ce qui permettrait un gain en sensibilité. Cependant, l'utilisation de métaux n'est pas compatible avec notre intégration CDTI en début de fabrication à cause de la contamination qui serait apportée par ces matériaux dans les équipements comme les fours d'oxydation dont la contamination est contrôlée rigoureusement afin de ne pas détériorer la qualité des oxydes. On peut néanmoins imaginer une intégration compatible si le CDTI était réalisé en fin de fabrication. Dans notre cas, nous utiliserons donc un polysilicium dopé in situ type N (phosphore) ou type P (bore).

On présente sur la Figure 2.6 une simulation 2D de la capacité d'une tranchée CDTI : sa hauteur est de $4\mu\text{m}$ et sa largeur de $0.2\mu\text{m}$ ce qui représente un périmètre total de $8.2\mu\text{m}$. La simulation de capacité différentielle de la structure est effectuée en régime de petits signaux, c'est-à-dire que le dispositif est soumis à une polarisation continue à laquelle on superpose un signal sinusoïdal de 20mV d'une fréquence de 1kHz . Les deux courbes sur ce graphique représentent les capacités avec un polysilicium fortement dopé N ou fortement dopé P ($\sim 7 \cdot 10^{19} \text{ at/cm}^3$). Pour ce substrat de type P, nous obtenons une déplétion du substrat autour de -0.5V pour un polysilicium de type N et $+0.5\text{V}$ pour un silicium de type P. Il faudra alors polariser le CDTI dans un régime de déplétion afin de réaliser la zone photosensible du pixel. De plus, dans le cas d'un polysilicium de type N polarisé à $V_{\text{CDTI}}=0.5\text{V}$, le substrat est en inversion alors que dans le cas du polysilicium de type P il est uniquement déplété. Afin de réaliser le pixel avec une plage en tension minimale et une passivation efficace, nous avons privilégié le polysilicium dopé N qui représente alors un gain de 1V sur les tensions d'alimentation, Figure 2.6 (b). En pratique, on utilisera le phosphore afin d'obtenir une tranchée de type N pour notre pixel à collection de trou, ce changement implique quelques précautions lors de la fabrication car le dopage utilisé usuellement est le bore.

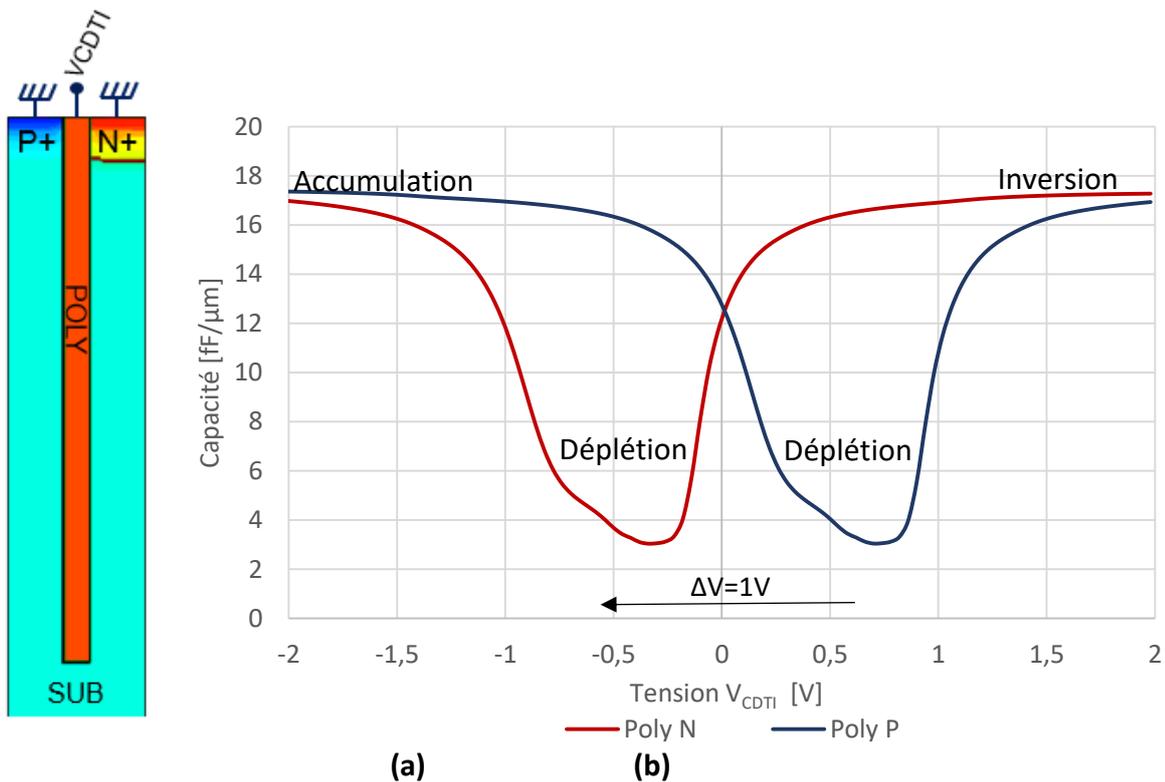


Figure 2.6 : Simulation par TCAD sur Sentaurus du $C(V)$ à 1kHz pour un CDTI dopé P ou N pour un substrat silicium de type P. Schéma de la simulation (a) et courbes extraites (b). On remarque le décalage d'un 1V entre le cas du polysilicium N et celui du polysilicium P.

3.1.2 Simulation du CDTI de type N

La concentration en dopant du polysilicium est un paramètre à prendre en compte lors de la réalisation des CDTI. En effet, afin d'obtenir un polysilicium totalement dégénéré il est nécessaire d'avoir un dopage élevé : $>10^{18}$ at/cm³ [26]. Par contre pour des valeurs plus importantes ($>10^{19}$ at/cm³), il peut y avoir une diffusion non négligeable des espèces à travers l'oxyde : ce qui n'est pas souhaité. A faible valeur, nous pouvons voir apparaître un phénomène de déplétion du polysilicium [67]. Il y aura donc un compromis à trouver sur l'épaisseur de l'oxyde et le dopage du polysilicium. En effet, diminuer l'épaisseur d'oxyde et augmenter le dopage permet de réduire les tensions de fonctionnement mais accroît les risques de diffusion.

On illustre sur la Figure 2.7 (a) les courbes de capacité simulées pour le CDTI avec deux épaisseurs d'oxydes (155Å et 175Å) et deux dopages différents (7.10^{18} at.cm⁻³ et 7.10^{19} at.cm⁻³) pour un polysilicium de type N. On remarque sur cette courbe un changement évident de capacité pour ces deux oxydes qui est inversement proportionnel à l'épaisseur l'oxyde. On remarque un décalage d'environ 50mV de la tension de seuil (V_t pris au maximum de la dérivée de la courbe C(V) [67]). La déplétion du polysilicium est un phénomène qui intervient dans le régime d'inversion de la courbe. Dans ce régime, l'accumulation de charge négative du côté substrat peut alors dépléter le polysilicium s'il n'est pas suffisamment dopé comme illustré sur les schémas Figure 2.7 (b). D'un point de vu capacitif cela se traduit par une baisse de capacité due à l'augmentation de la zone de charge d'espace, on peut alors retrouver sur la courbe C(V) une baisse de la capacité pour le polysilicium dopé à 7.10^{18} at.cm⁻³.

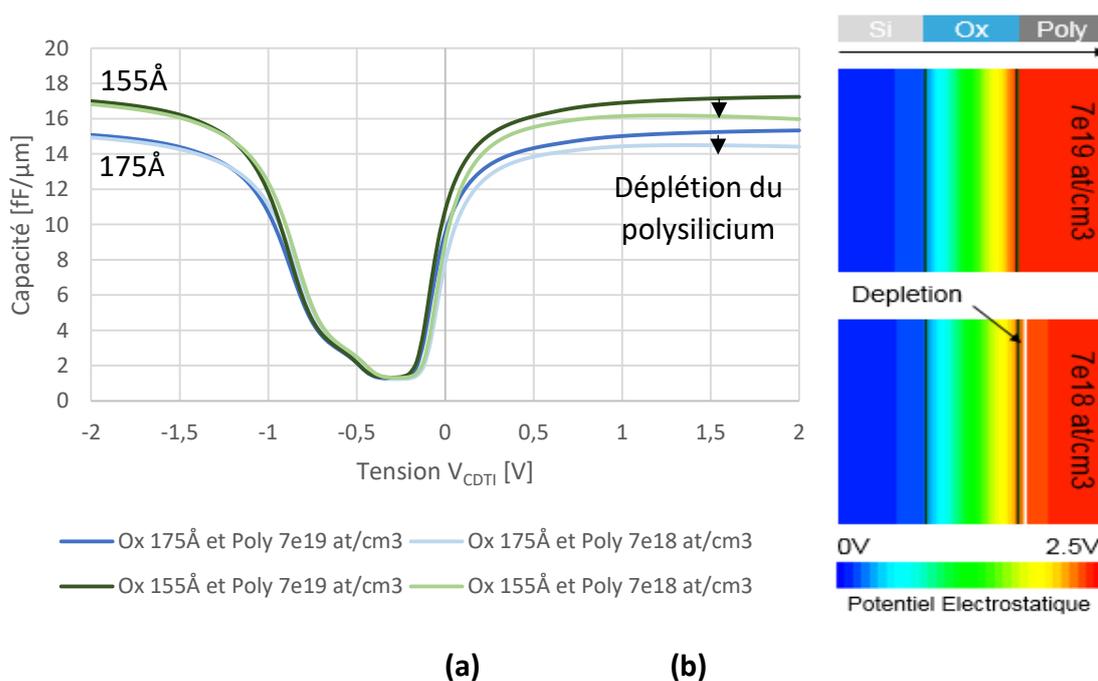


Figure 2.7: (a) Simulation par TCAD du C(V) à 1kHz du CDTI pour différents dopage et oxyde.
(b) Illustration du phénomène de poly-déplétion à l'interface Ox/poly.

Dans le cas d'un polysilicium dopé, la diffusion de phosphore correspond d'un point de vue du CDTI à un changement de substrat de type P vers N. On peut distinguer sur les courbes C(V) en Figure 2.8 les changements après différents traitements thermiques appliqués au cours de la simulation. Les changements de pente correspondent à l'échange entre les régimes d'accumulation et d'inversion. Pour le CDTI avec diffusion correspondant au cas n°3 le substrat est équivalent à un substrat de type N, nous avons une déplétion et inversion pour les $V_{CDTI} > -1V$ et une accumulation pour $V_{CDTI} < -1V$. La diffusion est un paramètre difficile à modéliser pour notre système qui compte de nombreux recuits. Des mesures SIMS (Secondary Ion Mass Spectrometry) ont été conduites afin de déterminer les profils de dopage associés à la diffusion mais la résolution pour des valeurs $< 5 \cdot 10^{18} \text{ at.cm}^{-3}$ n'a pas été suffisante afin de l'évaluer avec précision. Le choix a donc été de minimiser la contribution de la diffusion en privilégiant l'intégration STI 1st.

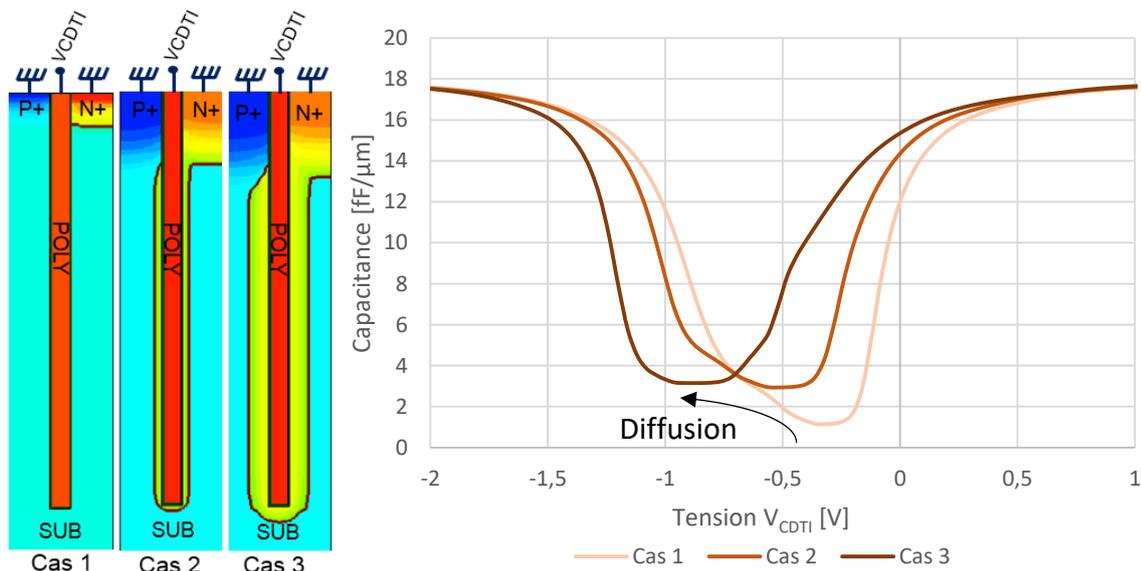


Figure 2.8 : Simulation par TCAD du C(V) à 1kHz pour le CDTI : Effet de la diffusion du phosphore des tranchées vers le substrat. La diffusion modifie les régimes d'accumulation et d'inversion, on retrouve une inversion des pentes dans la zone de déplétion.

3.1.3 Résultats des mesures capacitives

Des mesures C(V) ont été réalisées sur des structures élémentaires du pixel. On utilise une matrice de 3000 pixels connectés en parallèle afin d'augmenter la capacité totale et faciliter la mesure. La surface développée d'un pixel est de $26.6 \mu\text{m}^2$. La mesure a été réalisée dans les conditions proches de la simulation présentée précédemment. Néanmoins, la reproduction d'un environnement identique n'est pas possible notamment à cause de la diffusion des dopants et de la proximité des autres éléments composant le pixel. On représente sur la Figure 2.9, un CDTI de 155 \AA avec un polysilicium dopé à $7 \cdot 10^{19} \text{ at.cm}^{-3}$ et un autre de 175 \AA avec un polysilicium dopé à $7 \cdot 10^{18} \text{ at.cm}^{-3}$.

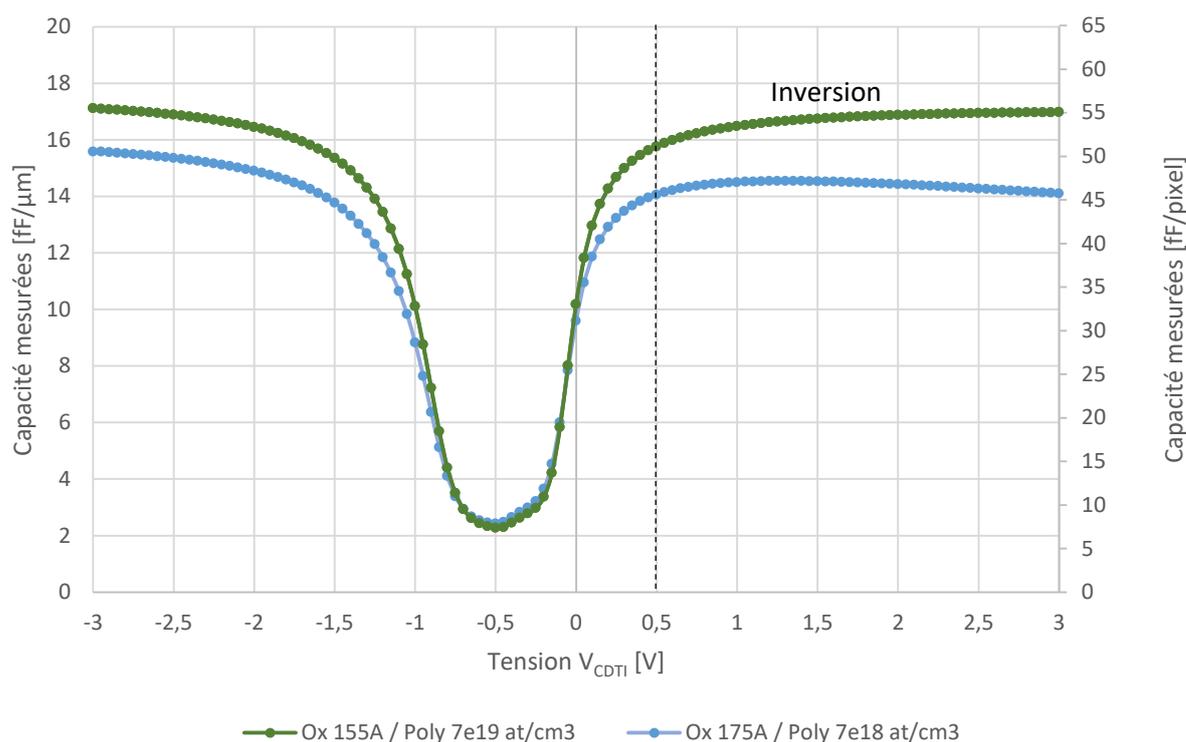


Figure 2.9 : Mesure $C(V)$ de la structure CDTI pour un signal AC de 1kHz et d'amplitude 20mV.

On distingue sur la Figure 2.9 les mêmes phénomènes discutés par simulation. D'une part, on observe la baisse de capacité en raison de l'augmentation de l'épaisseur de l'oxyde. D'autre part, le phénomène de déplétion du polysilicium est visible pour le dopage à $7 \cdot 10^{18}$ at.cm⁻³. Par contre, le phénomène de diffusion n'est pas plus marqué sur une courbe que sur l'autre et correspond à une diffusion acceptable (cas n°2 sur la Figure 2.8). Nous proposons uniquement une étude qualitative de la diffusion car l'extraction du dopage dans le silicium par la méthode de Maserjian [68] est uniquement possible dans le cas d'un dopage uniforme et non d'une diffusion, certains modèles proposent néanmoins une approximation par un profil gaussien qui a fait l'objet d'une partie de la thèse [69].

La tension de seuil mesurée sur la courbe est de -50mV [67]. Nous cherchons en pratique à polariser le CDTI en régime d'inversion, donc plus de 0.5V par rapport au potentiel appliqué sur le contact N. Nous pouvons également estimer grâce à l'intégrale de cette courbe ($Q_{inv}=C.V$) la quantité de charge à l'interface en inversion pour différentes polarisations et relier ces paramètres au fonctionnement du pixel en chapitre 3.

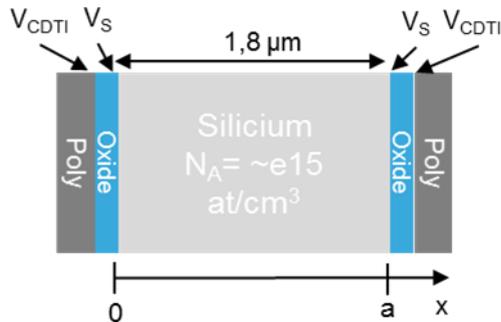
3.2 Le dopage du substrat

Le dopage du substrat est un paramètre important pour le fonctionnement du pixel. Il détermine le nombre de charges que le pixel peut stocker. On limite souvent volontairement le nombre de charges stockées car on peut rapidement dégrader la qualité de transfert des charges en introduisant de la rémanence ou risquer de ne pas pouvoir lire ces charges par limitation en chaîne de lecture. Le paramètre utilisé pour définir le niveau de dopage est le potentiel de déplétion créé par la photogate.

3.2.1 Approche théorique

Afin de réaliser la zone photosensible, on place le substrat dans un régime de déplétion comparable à une photodiode pincée. Cependant dans le cas d'une photodiode pincée, le pincement est réalisé par une double jonction alors que dans le cas d'une photogate elle est réalisée par la couche d'inversion des tranchées CDTI polarisées.

On peut schématiser sur la Figure 2.10 le cas d'une photogate à une dimension. Afin de connaître le profil du potentiel dans la structure, nous pouvons résoudre l'équation de Poisson (Eq. 2-1) où N_A : le dopage du silicium en [$\text{at} \cdot \text{cm}^{-3}$] et ϵ_{SI} : la permittivité du silicium en [$\text{F} \cdot \text{cm}^{-1}$] [26].



$$\text{Eq. Poisson : } \frac{d^2V(x)}{dx^2} = \frac{-\rho(x)}{\epsilon_{SI}} = \frac{q N_A}{\epsilon_{SI}} \quad (\text{Eq. 2-1})$$

$$\text{Solutions : } V(x) = \frac{q N_A}{2 \epsilon_{SI}} x^2 + A x + B$$

$$\text{Conditions aux limites : } \begin{cases} V(0) = V_S \\ V(a) = V_S \end{cases}$$

Figure 2.10 : Résolution à une dimension du potentiel de déplétion V_D dans une structure pincée par deux jonctions MOS polarisée en inversion avec pour potentiel de surface V_S .

$$\text{Soit, } V(x) = \frac{q N_A}{2 \epsilon_{SI}} \left(x - \frac{a}{2}\right)^2 + V_D \quad \text{on note, } \begin{cases} V_D = V_S + \Delta V_D \\ \Delta V_D = -\frac{a^2 q N_A}{8 \epsilon_{SI}} \end{cases} \quad (\text{Eq. 2-2})$$

Dans le cas du CDTI en inversion : $0.5 < V_{CDTI} - V_N$ où V_N est le potentiel de référence du caisson N, nous pouvons résoudre l'équation grâce aux conditions aux limites et déduire l'équation (Eq. 2-2) dans le substrat entre $[0; a]$. On obtient alors un profil de potentiel de forme parabolique dans le substrat qui a pour minimum $a/2$ et que l'on appelle potentiel de déplétion V_D .

On peut résoudre ces équations numériquement en simulation 3D sur sentaurus Figure 2.11 afin de prendre en compte l'ensemble de la structure. Sur la coupe C2 en (b), on extrait le profil du potentiel à l'intérieur de la structure présenté Figure 2.12.

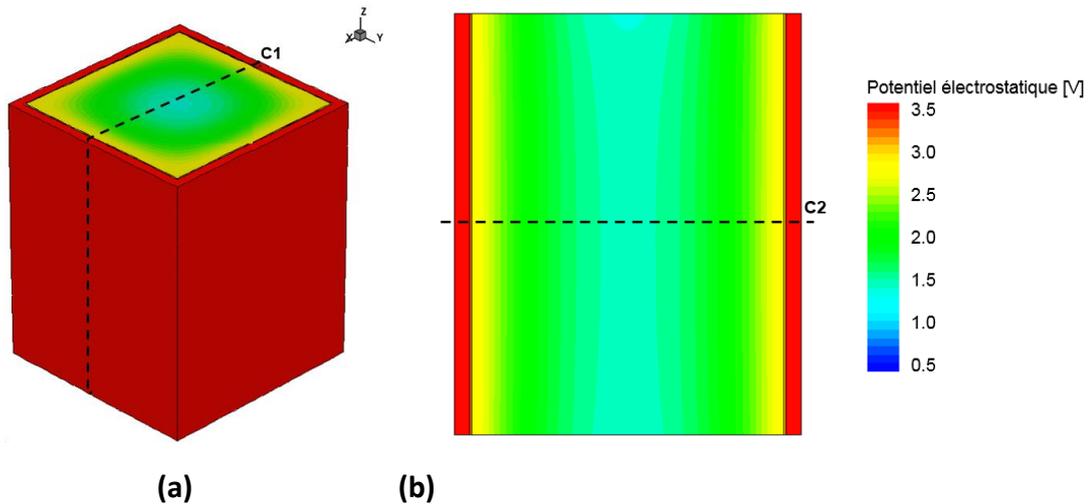


Figure 2.11 : (a) Simulation 3D du potentiel interne de la photogate. (b) Potentiel Electrostatique simulé suivant la coupe C1.

On note sur la Figure 2.12 que le profil de potentiel représenté atteint un minimum au centre de la structure comme attendu. On peut retrouver sur cette figure les différents potentiels définis précédemment : V_{CDTI} , V_S , V_D et ΔV_D . Toutefois le profil n'est pas parabolique pour la simulation 3D comme on pourrait le suggérer.

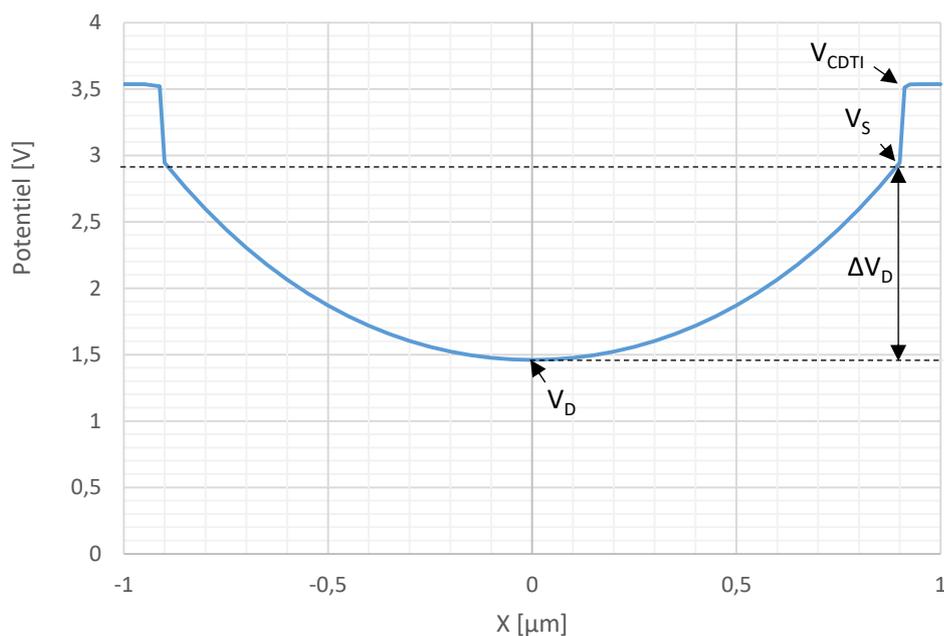


Figure 2.12 : Profil du potentiel de la photogate suivant la coupe C2 (Figure 2.11) pour un dopage $N_A=4 \cdot 10^{15} \text{ at.cm}^{-3}$

Pour un potentiel V_S fixé, le potentiel de déplétion V_D est dépendant du dopage du substrat N_A et de la dimension de la photogate. Sur la Figure 2.13, on peut retrouver les résultats pour différents dopages N_A . On peut voir qu'il n'y a pas de différence de potentiel entre la simulation et la solution analytique à une direction. Néanmoins la simulation en 3D montre une différence assez importante au niveau des potentiels de déplétion. Ceci s'explique par la prise en compte du volume confiné dans deux directions comme on peut l'apercevoir sur la Figure 2.11 (a).

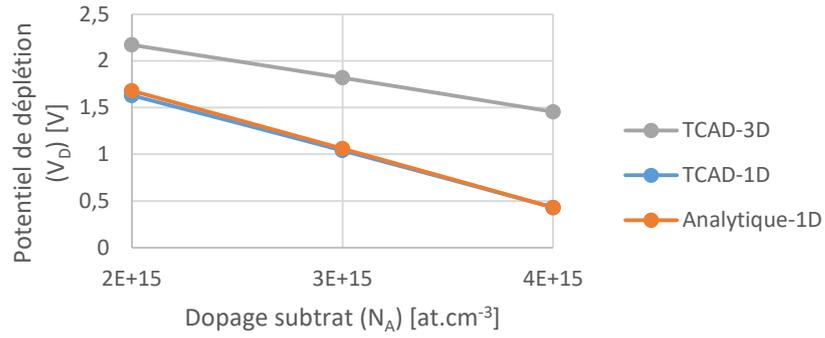


Figure 2.13 : Potentiel de déplétion pour un pixel 2µm : calcul analytique et simulation

3.2.2 Mesure du potentiel de déplétion

On peut mesurer le potentiel de déplétion grâce à un test C(V). Contrairement à la mesure C(V) sur les capacités des tranchées, on ne mesure pas une structure MOS dans différents modes de fonctionnement. On place ici le CDTI en inversion et la grille verticale en position passante de manière à avoir accès à la capacité de la photogate à partir du nœud de lecture comme illustré sur la Figure 2.14 (a).

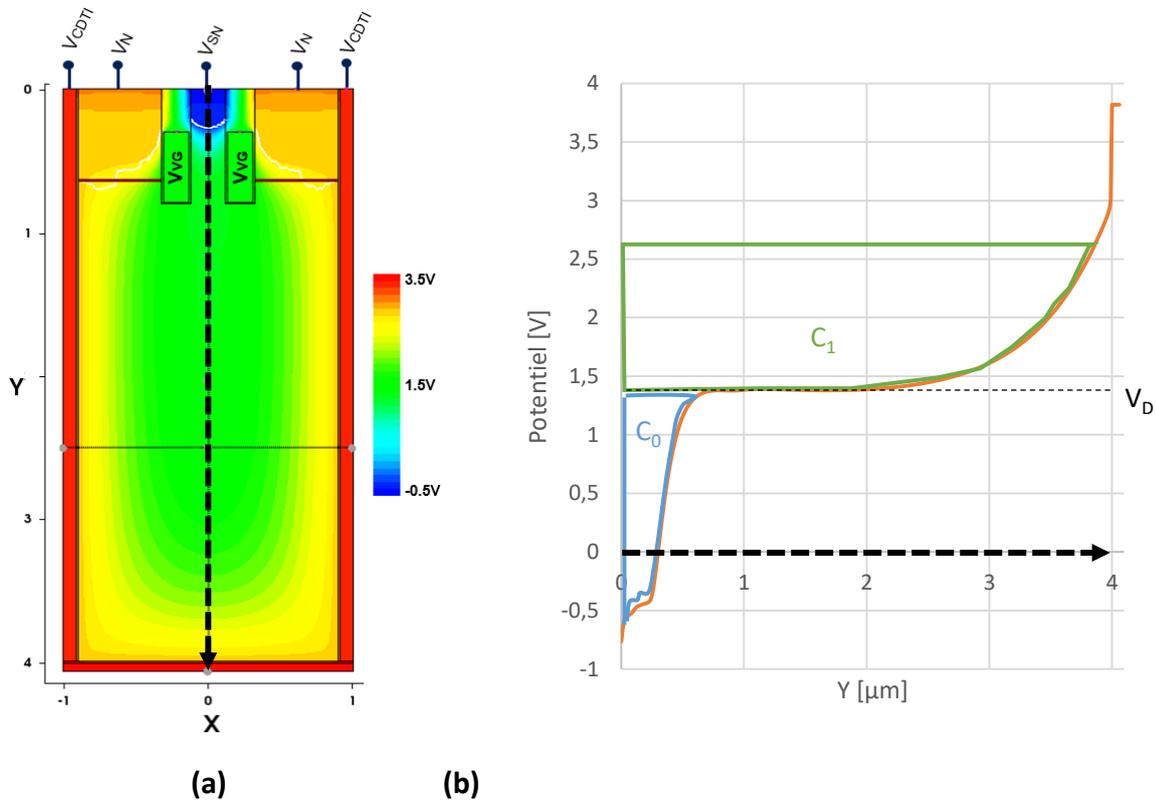


Figure 2.14 : (a) Structure en 2D de la photogate pour la mesure de la capacité
(b) Profil de potentiel suivant la coupe X=0.

Sur la Figure 2.14 (b), on trouve le potentiel électrostatique suivant l'axe Y en $X=0$ au sein de la structure placée dans ce mode de mesure. On peut vérifier sur le schéma que la tranchee CDTI est dans un régime d'inversion : La tension V_{CDTI} (3V) est supérieure à V_N (2.5V). On applique alors V_{VG} proche du potentiel de déplétion (ce point sera détaillé en partie 4) et on fait varier le potentiel au niveau du nœud de lecture pour réaliser la mesure. On peut ainsi distinguer deux zones sur Figure 2.14 (b) : une zone C_0 lorsque V_{SN} est inférieur au potentiel de déplétion ($V_D \sim 1.5V$ dans ce cas) et une zone C_1 lorsque celui-ci est supérieur. Dans la première zone, le profil est dominé par la capacité du nœud de lecture C_0 qui est le seul endroit accessible pour un potentiel inférieur au potentiel de déplétion V_D . Pour un potentiel supérieur au potentiel de déplétion V_D , on ajoute alors la capacité C_1 de la photogate. La capacité de la photogate dépend alors de la tension appliquée sur le nœud de lecture car elle est liée à la taille de la zone de déplétion. Dans notre cas, plus la tension est forte, plus cette zone se réduit. La capacité mesurée augmente donc avec V_{SN} pour $V_{SN} > V_D$.

On présente sur la Figure 2.15 la capacité totale de la structure en fonction du potentiel du nœud de lecture V_{SN} . On peut remarquer sur cette figure le passage de la C_0 à la zone C_1 . On a donc ainsi accès au potentiel de déplétion V_D en extrapolant la droite C_1 et en notant son intersection avec C_0 .

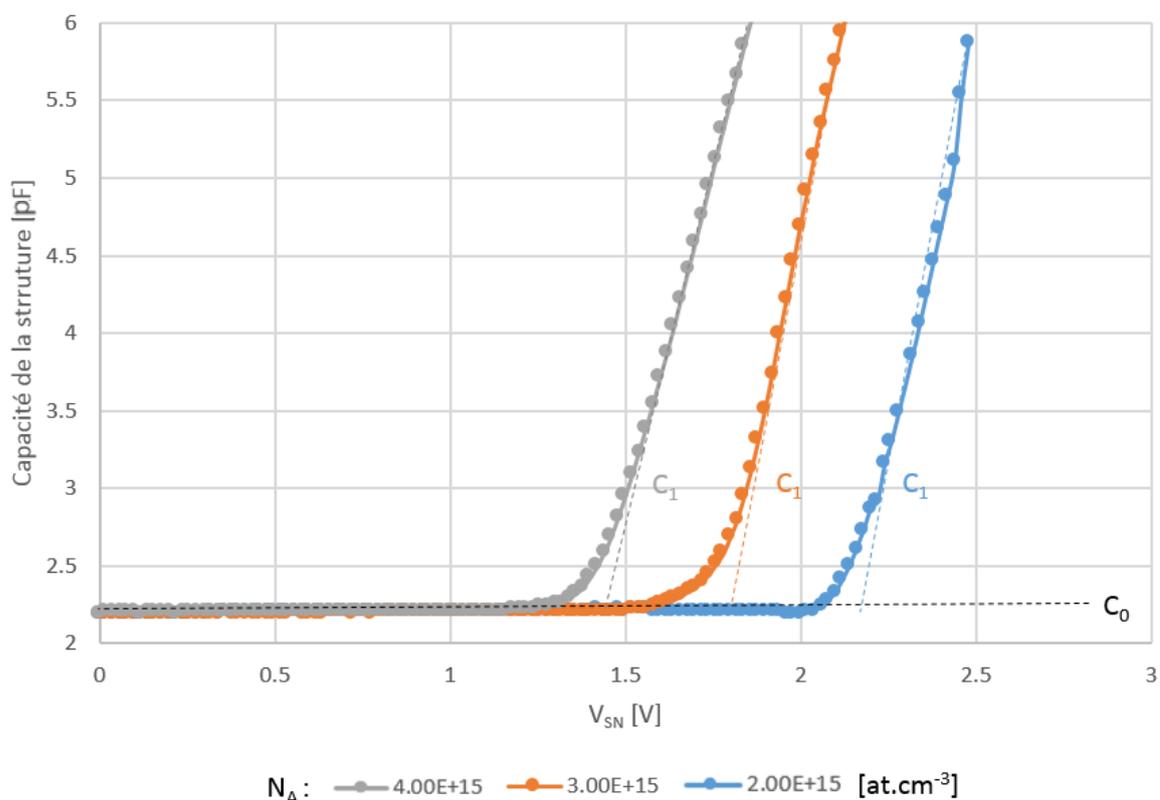


Figure 2.15 : Mesures $C(V)$ du potentiel de déplétion pour différents dopages substrats N_A type P en at.cm^{-3} . On retrouve : C_0 la capacité du nœud de lecture, et C_1 la capacité de la photogate.

L'extraction du potentiel V_D est en accord avec la simulation 3D pour les différents dopages N_A récapitulés sur la Figure 2.16.

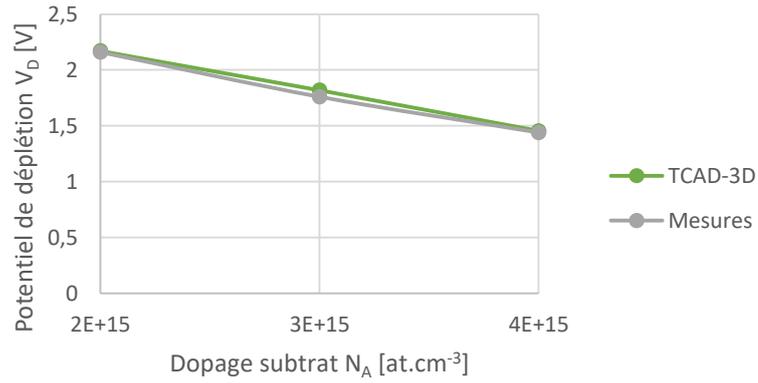


Figure 2.16 : Comparaison du potentiel de déplétion mesuré en C(V) à celui obtenu par simulation 3D TCAD.

Nous utiliserons donc pour conclure un dopage du substrat allant de 3 à 4 10^{15} at.cm⁻³ ainsi que des tranchées capacitives polarisées en inverse. On créera alors par ce moyen un potentiel de déplétion nécessaire aux confinements des charges dans la photogate.

4. La grille de transfert verticale

La grille de transfert verticale (VG) est un transistor à déplétion qui a pour particularité d'avoir un canal de transfert en volume. Ce canal permet la liaison entre les charges contenues dans le pixel et la zone de collection ou nœud de lecture (Sense Node) comme représenté Figure 2.17 (a). Ainsi par le contrôle de cette grille, il est possible de bloquer les charges dans la zone de photogate et de les transférer vers le nœud de lecture.

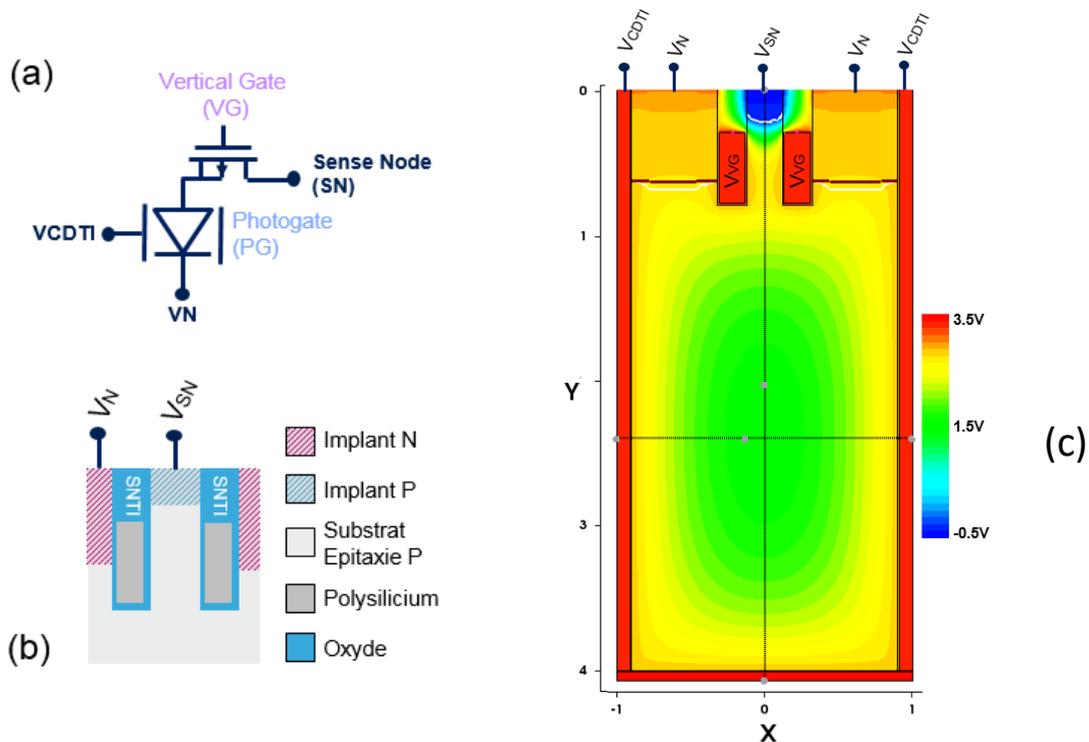


Figure 2.17 : (a) Schéma du circuit, (b) schéma des matériaux et dopants et (c) simulation TCAD de la distribution du potentiel de la grille de transfert verticale en position bloquée.

Tout comme le CDTI, la grille de transfert verticale est une tranchée capacitive constituée d'un polysilicium entouré d'un oxyde de grille. On cherche à découpler la grille du nœud de lecture grâce à un oxyde que l'on appelle SNTI (Sense Node Trench Isolation) Figure 2.17 (b). On verra en partie 4.4 l'intérêt de cet oxyde pour la réduction des champs électriques de la grille verticale.

Le polysilicium de la grille peut être dopé N ou P respectivement par des ions phosphore ou Bore comme dans le cas du CDTI. Ce dopage apporte de la même manière un potentiel interne qui facilite soit la fermeture soit l'ouverture. Dans notre cas, la grille verticale est dopée N par des ions phosphore, cette grille bénéficiera donc une meilleure fermeture car sa tension de seuil sera négative.

Sur les différentes courbes en Figure 2.18, on représente le profil simulé du potentiel suivant l'axe Y en $X=0$ (Figure 2.17 (c)) lors du passage de la grille verticale (VG) du mode passant au mode bloqué. Pour $V_{VG}=3V$, la grille verticale est bloquée et a pour potentiel de barrière V_B . Cette grille de transfert devient passante pour $V_B < V_D$ le potentiel de déplétion de la photogate. Ainsi pour des tensions $V_{VG} < 1.2V$, la grille est passante et permet d'écouler les charges retenues dans la photogate.

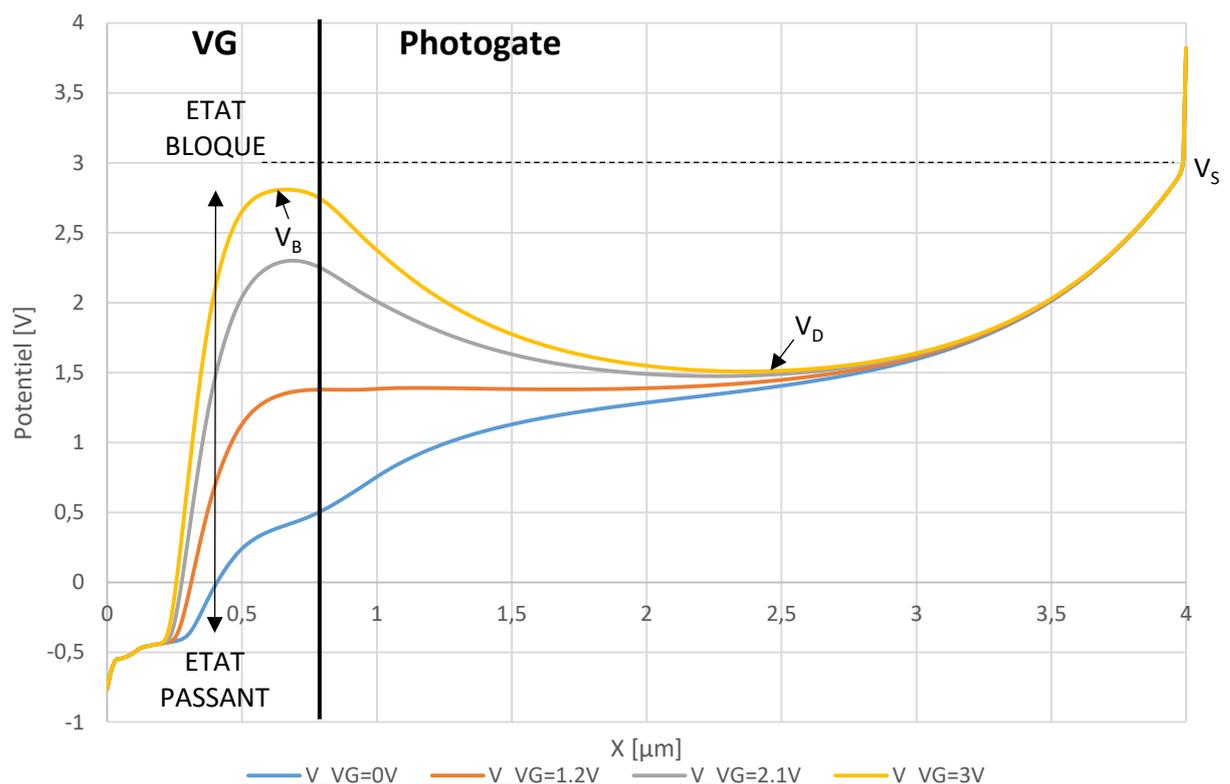


Figure 2.18 : Potentiel électrostatique simulé au sein du pixel suivant la coupe $X=0$ pour différents potentiels appliqués sur la grille verticale.

Dans les parties suivantes, on détaille le procédé de fabrication de la grille verticale puis on recherche à déterminer sa tension de seuil à l'aide de la mesure de capacité. On évalue également la hauteur de la barrière de potentiel (V_B) de la grille verticale à l'état bloqué. De manière analogue à V_D et ΔV_D , on notera $V_B = V_S - \Delta V_B$.

4.1 Procédé de fabrication

La conception de la grille verticale ainsi que l'isolation du nœud de lecture nécessite l'utilisation de deux masques spécifiques : PXVG et SNTI. Ces masques sont intégrés dans leurs briques respectives et illustrées en Figure 2.19 (b).

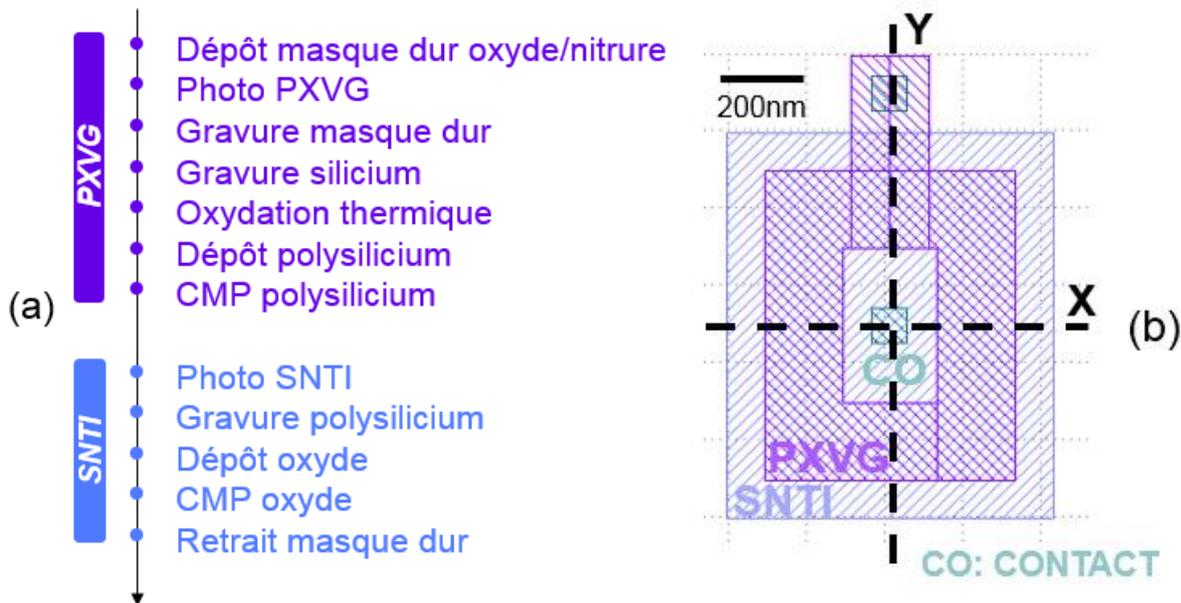


Figure 2.19 : (a) Description simplifiée des briques PXVG/ SNTI
 (b) Dessin des masques utilisés, les coupes X et Y seront utilisé par la suite pour les images par TEM

Sur la Figure 2.19 (a), on peut retrouver une liste des différentes étapes nécessaires à la réalisation de ces deux briques élaborées pendant la thèse. Sur cette description n'apparaissent que les étapes importantes afin de faciliter la lecture. Des étapes supplémentaires sont par exemple nécessaires afin de mettre en conformité le bord de plaque, la face arrière ou simplement nettoyer la plaque des différentes particules ou contaminants potentiels. Un nombre important d'étapes de mesure est également obligatoire pour permettre la vérification des différentes épaisseurs gravées, ainsi que de l'ouverture et l'alignement de la résine qui a été spécifique et nécessaire à l'ajustement de notre procédé.

Même si la plupart des mesures permettent de vérifier et contrôler la fabrication, il est nécessaire lors de la réalisation de ces nouvelles briques, de vérifier la morphologie par les coupes TEM. La matrice de pixel de notre capteur est composée de différents dessins ou variantes. Le schéma d'intégration actuel permet de faire cohabiter les versions avec l'oxyde SNTI et celles sans oxyde SNTI. La Figure 2.20 montre à ce titre deux coupes TEM effectuées sur une plaque unique qui présente ces deux versions technologiques.

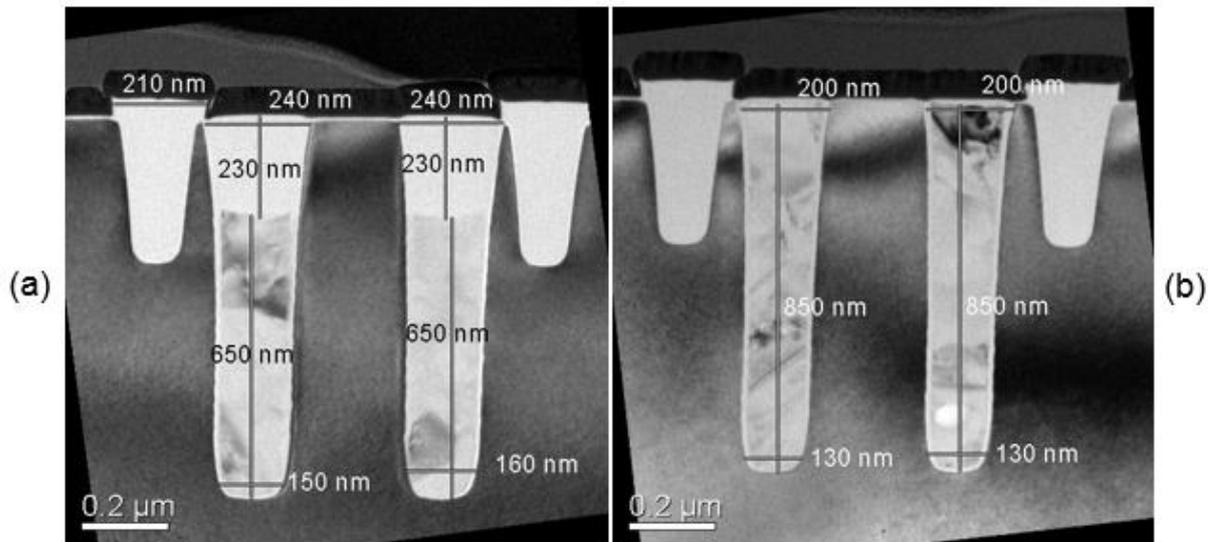


Figure 2.20 : Coupe TEM suivant l'axe X de la grille verticale (VG), (a) avec SNTI (b) sans la brique SNTI.

Par contre dans le cas des versions avec un croisement entre les masques PXVG et STI, celle-ci ne peuvent co-exister que dans le cadre d'une intégration PXVG 1st comme évoqué en partie 2. La Figure 2.21 montre une version de pixel avec un croisement avec le STI dans le cas d'une intégration « PXVG 1st » où la brique STI est réalisée après le PXVG, SNTI et CDTI.

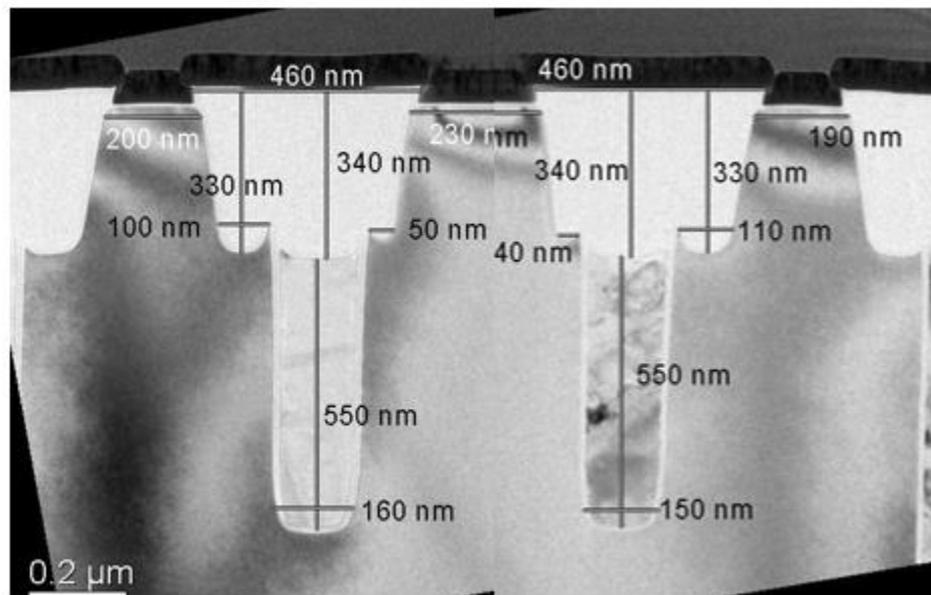


Figure 2.21 : Coupe suivant l'axe X de la grille verticale (VG) dans le cas d'un croisement avec STI

4.1.1 Procédé de fabrication de la grille de transfert verticale

Dans cette partie, on détaille le procédé nécessaire à la création de la grille de transfert verticale. Celui-ci s'appuie en partie sur un procédé de fabrication de la brique CDTI avec quelques ajustements nécessaires en vue d'adapter la gravure et de permettre la réalisation de la brique SNTI.

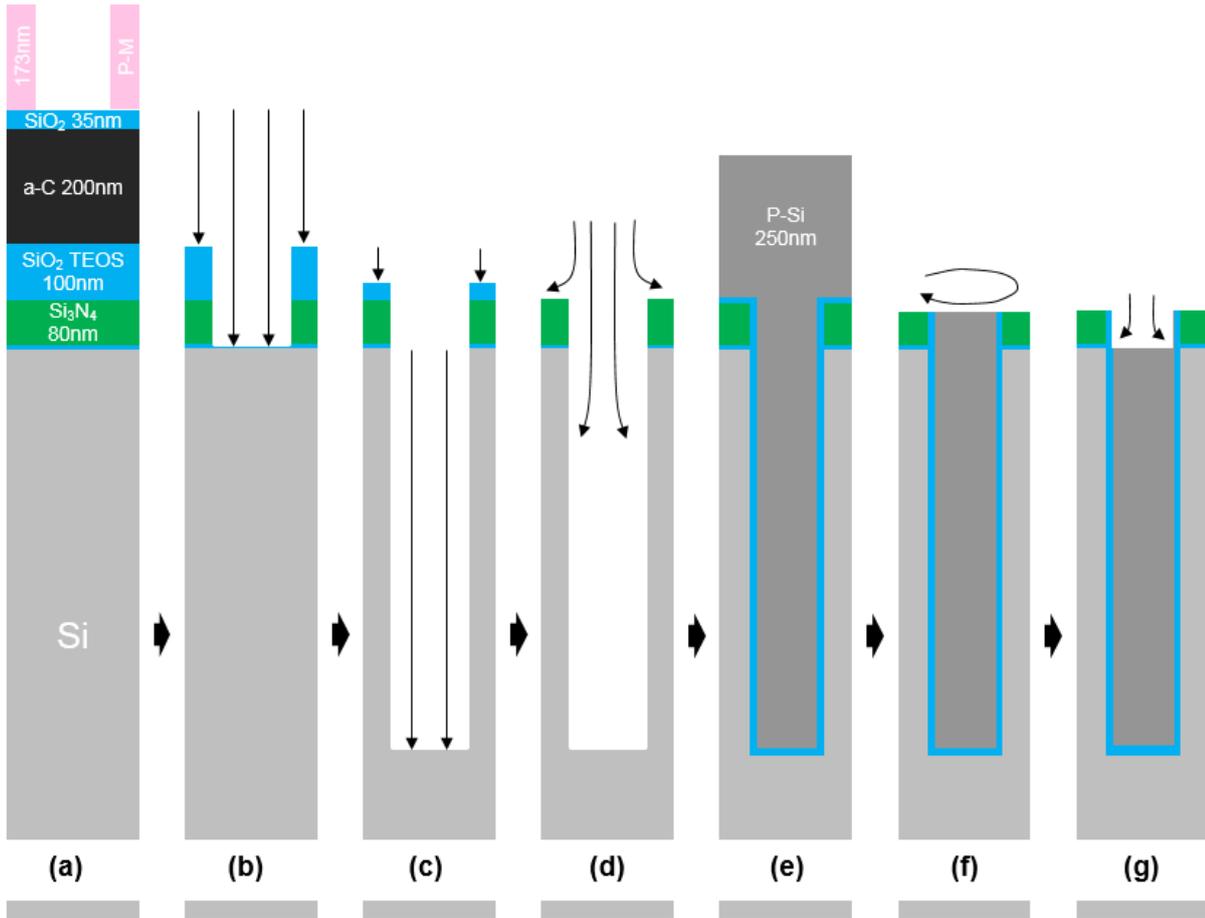


Figure 2.22 : Schématisation du procédé de fabrication de la grille de transfert verticale. (a) Dépôt masque dur et photolithographie PXVG, (b) gravure masque dur, (c) gravure DRIE silicium, (d) gravure humide oxyde, (e) oxydation thermique et dépôt polysilicium, (f) CMP polysilicium, (g) gravure humide polysilicium.

- (a) et (b) : Dépôt masque dur, photolithographie PXVG et gravure masque dur

La gravure PXVG est souhaitée anisotrope afin de réaliser une tranchée ce qui rend la gravure moins sélective aux différents matériaux comparée à la gravure isotropique, il est donc nécessaire de déposer un masque dur pour la gravure. Ce masque dur est un empilement composé d'un nitrure puis d'un oxyde, d'une couche de carbone amorphe et d'une couche d'oxyde. Il est gravé à l'aide de la résine déposée et insolée suivant un procédé photolithographique à 193nm [70]. Après gravure du masque dur, il restera un oxyde de surface permettant la gravure du silicium et du nitrure utilisé par les procédés suivants.

- (c) et (d) : Gravure silicium et retrait du masque dur

La gravure du silicium est assurée par la mise en place d'une gravure verticale profonde basée sur un cycle de procédé Bosch [71]. Ce cycle est constitué d'une phase gravure du silicium est effectuée grâce à un plasma (DRIE) et d'une phase de dépôt d'une couche inerte de passivation qui va protéger les flancs des tranchées contre les attaques chimiques de la gravure suivante. Chaque cycle permet la gravure d'une dizaine de nanomètre et laisse donc une légère ondulation sur les flancs. Le cycle actuel a été ajusté afin de limiter cette ondulation et contient 22 cycles pour une gravure totale de 0.8-0.9 μ m.

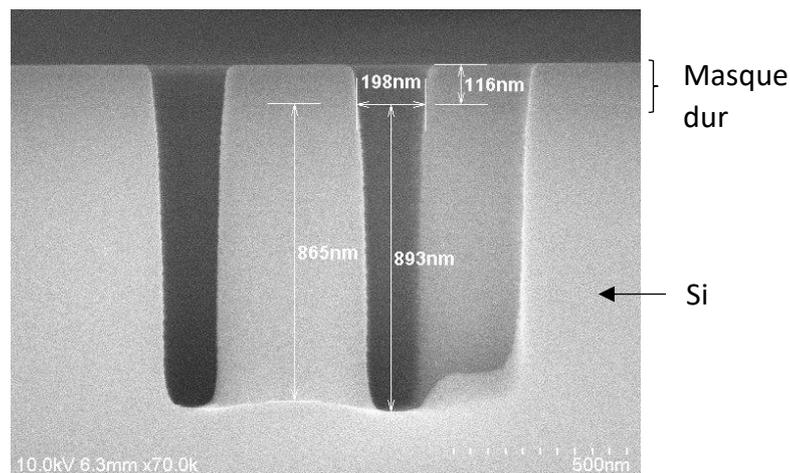


Figure 2.23: TEM suivant l'axe Y après gravure silicium. La hauteur de la tranchée est de 893nm et le masque dur restant de 116nm.

La coupe TEM Figure 2.23) montre que le silicium a bien été gravé de manière anisotrope. Les mesures donnent un oxyde en surface restant d'environ 32nm visible sur la coupe au niveau du masque dur bien que le contraste soit faible (116nm \approx 7nm d'oxyde en surface+80nm de nitrure+32nm d'oxyde du masque dur restant). Cet oxyde sera alors retiré chimiquement par une solution d'acide hydrofluorique (HF). Cette gravure consomme par ailleurs un peu d'oxyde en surface.

- (e) : Oxyde de grille et dépôt du polysilicium

Afin de créer une tranchée capacitive profonde, on doit séparer le substrat et le dépôt de polysilicium par un isolant, dans notre cas de l'oxyde. Le dopage de la tranchée doit être choisi de manière à limiter la diffusion vers la zone photosensible, bien évidemment celui-ci ne doit pas être trop faible au risque de voir apparaître des phénomènes de déplétion du polysilicium à l'intérieur des tranchées comme pour le CDTI en partie précédente. L'épaisseur de l'oxyde thermique joue également un rôle fondamental dans la diffusion. Afin de limiter celle-ci, on peut penser augmenter l'épaisseur de l'oxyde [72] ou appliquer différents traitements de surface tel que la nitruration permettant de densifier l'oxyde [64].

- (f) : Planarisation mécano-chimique (CMP)

La planarisation mécano-chimique est un procédé de lissage des surfaces utilisant l'action combinée de forces mécaniques et chimiques. Le polysilicium est poli en deux étapes. La première vise à planariser la surface à l'aide d'une mesure de l'épaisseur du polysilicium qui permet un contrôle de la pression de la tête en rotation pendant le polissage de la plaque. Une deuxième étape consomme le polysilicium restant en s'arrêtant sur une couche d'arrêt non consommée par la chimie, dans notre cas le nitrure. Le résultat final est représenté sur la Figure 2.24 où l'on peut observer une légère concavité sur le polysilicium restant en surface.

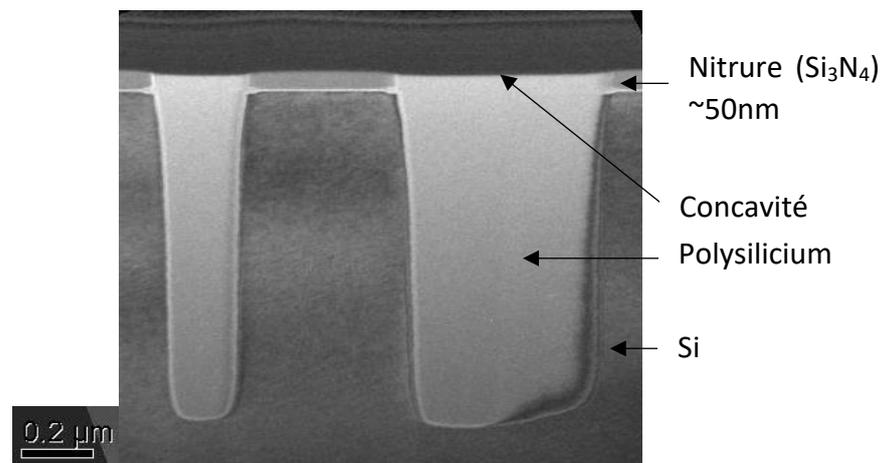


Figure 2.24: Image TEM suivant l'axe Y après polissage CMP polysilicium

L'épaisseur de nitrure nécessaire pour un arrêt sélectif est de l'ordre 30nm ce qui nous laisse après CMP une hauteur de 50nm de polysilicium au-dessus du niveau du substrat. Cette topologie pouvant poser des problèmes par la suite, il est nécessaire de retirer le polysilicium excédentaire à l'aide d'une gravure humide avant le retrait du nitrure représenté par l'étape (g) Figure 2.22.

4.1.2 Procédé de fabrication du SNTI

Le SNTI est une option pendant la fabrication et peut être ajouté en partant d'une tranchée ouverte sur le nitrure et en suivant les étapes de fabrication schématisé sur la Figure 2.25.

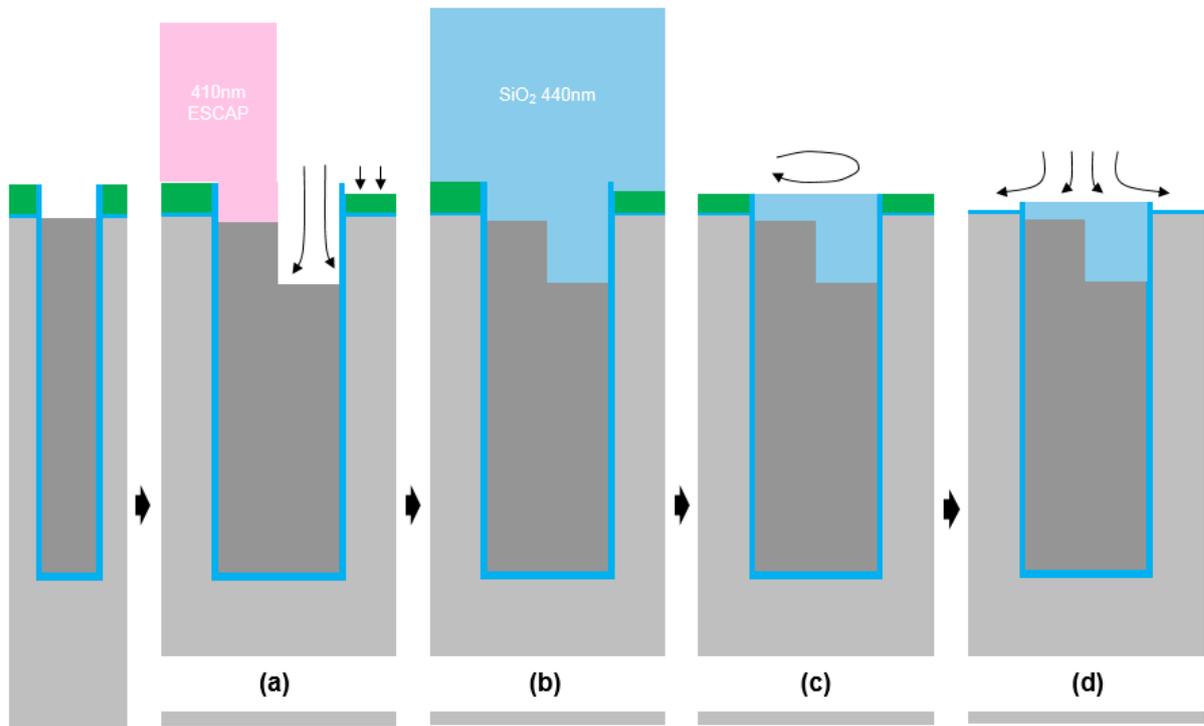


Figure 2.25 : Schématisation du procédé de fabrication du SNTI. (a) photolithographie SNTI et gravure polysilicium, (b) dépôt oxyde, (c) CMP oxyde, (d) gravure humide nitrure

- (a) : Photolithographie et gravure SNTI

Tout comme la gravure PXVG, le SNTI requiert un masque spécifique. Cependant celui-ci n'a pas besoin d'être aligné précisément à la grille verticale car la gravure sera auto-alignée grâce à l'ouverture du nitrure. La résine sert uniquement de protection pour la zone de polysilicium non-gravé où va se placer le contact. La gravure est sélective au polysilicium vis-à-vis de l'oxyde. On note une légère consommation de nitrure lors de cette gravure. La gravure est isotrope et sa gravure latérale vaut environ 70% de l'épaisseur gravée.

Cette gravure latérale du polysilicium peut empêcher le contact de la grille verticale (V_{VG}) comme on peut le voir sur la coupe TEM Figure 2.26 (a), l'ensemble du polysilicium présent sous le contact V_{VG} a presque été retiré. Pour traiter cette problématique, un changement de masque a été nécessaire afin de mieux protéger la surface : on peut voir cette modification sur l'image SEM représentant la résine avant (a) et après modification (b) avec un gain de 150nm sur la gravure latérale.

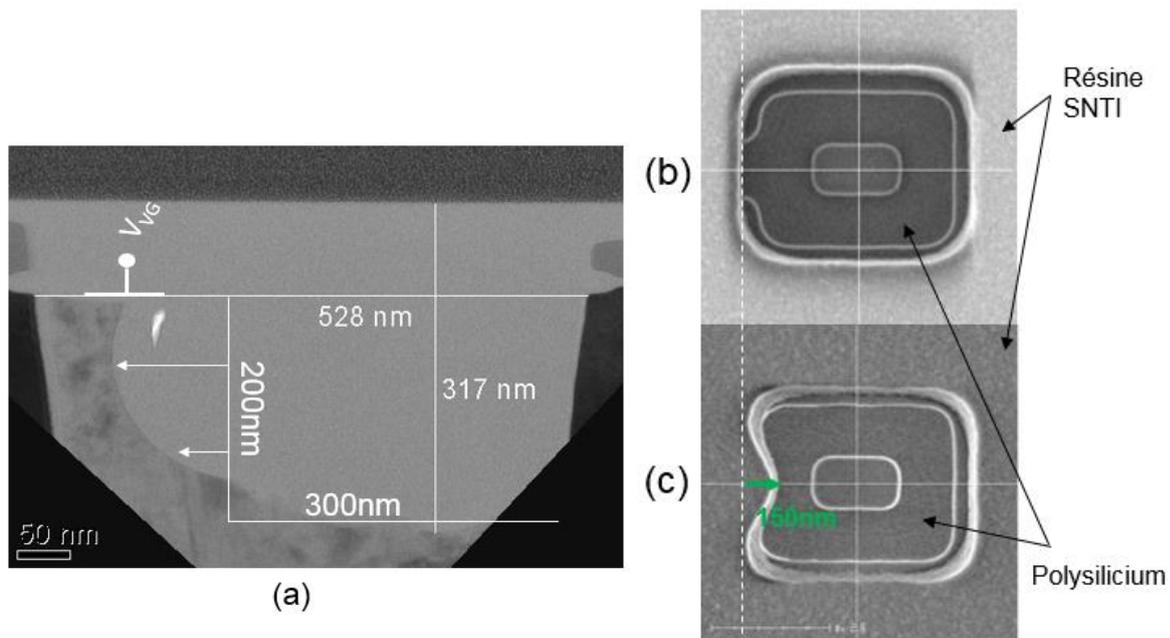


Figure 2.26 : (a) coupe TEM suivant l'axe Y après gravure et remplissage par l'oxyde SNTI. (b) image par SEM de la résine SNTI utilisé pour la coupe a, (c) image par SEM de la résine SNTI du nouveau masque

- (b) et (c) : dépôt et CMP oxyde SNTI

Le dépôt d'oxyde laisse une topologie assez importante comme on peut le constater sur la Figure 2.27. Cette topologie peut parfois être compensée par la CMP. Dans le cadre de la thèse, il a été introduit un masque dit « inverse » afin d'aider la planarisation. On retrouve sur la Figure 2.27 (b) une coupe TEM réalisée après planarisation, la CMP de l'oxyde vient s'arrêter sélectivement sur le nitrure utilisé précédemment.

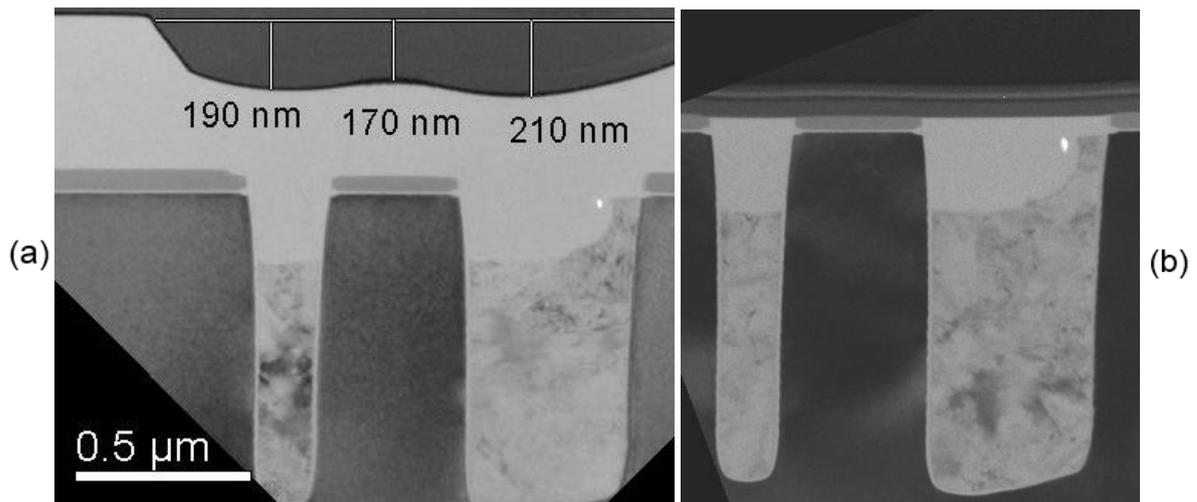


Figure 2.27 : Coupes suivant l'axe Y après dépôt de l'oxyde (a) et après CMP (b)

4.2 Potentiel de barrière de la grille de transfert

Les potentiels internes de la grille verticale sont des paramètres déterminants pour le pixel. En effet, c'est le potentiel de barrière lorsque le transistor est bloqué qui permet de contenir les charges dans le pixel. Il faut également un potentiel assez faible lors du transfert en mode passant afin de transporter efficacement les charges de la photogate vers le nœud de lecture. Le potentiel de barrière V_B et le potentiel de déplétion V_D définissent la charge maximale stockée dans le pixel.

Dans cette partie, nous cherchons à extraire le potentiel de barrière V_B représenté Figure 2.28.

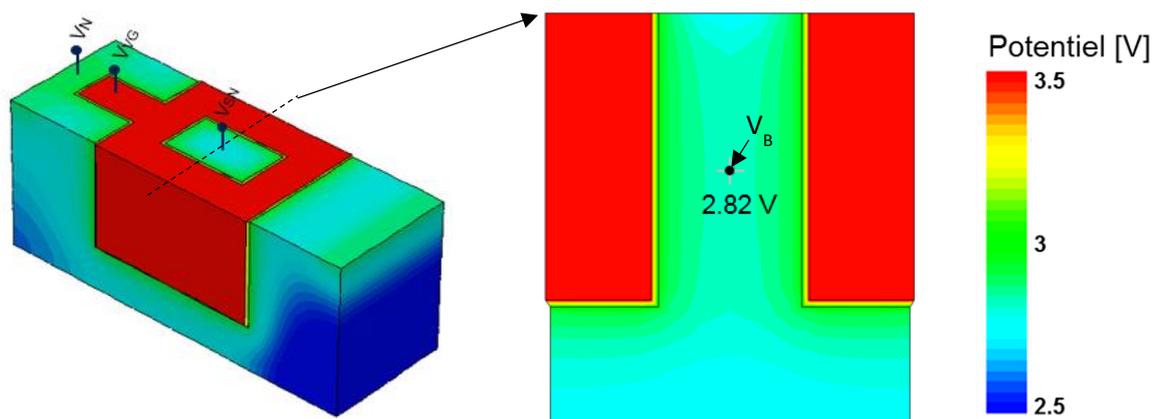


Figure 2.28 : Simulation TCAD-3D du potentiel électrostatique de la grille verticale et visualisation du potentiel de barrière (V_B) pour $V_{VG} = 3.5V$ et $V_N = 2.5V$.

Une structure élémentaire composée d'une grille verticale a été dessinée dans ce but. Cette structure est constituée des implantations classiques du pixel avec un nœud P+ déporté afin de permettre une conduction avec le nœud de lecture, voir Figure 2.29.

Lors de la mesure, on polarise les différents contacts dans un mode de fonctionnement bloqué. C'est-à-dire, $V_{VG} = 3.5V$ supérieur à $V_{N+} = 2.5V$ pour se placer en inversion. On force alors un faible courant sur le nœud de lecture en effectuant un balayage des potentiels sur le nœud P+. La mesure du potentiel sur le nœud de lecture pendant ce balayage va nous donner accès au potentiel de barrière. Pour $V_{P+} < V_B$, V_{SN} est fixe puis, pour $V_{P+} > V_B$, V_B suit le potentiel imposé par V_{P+} .

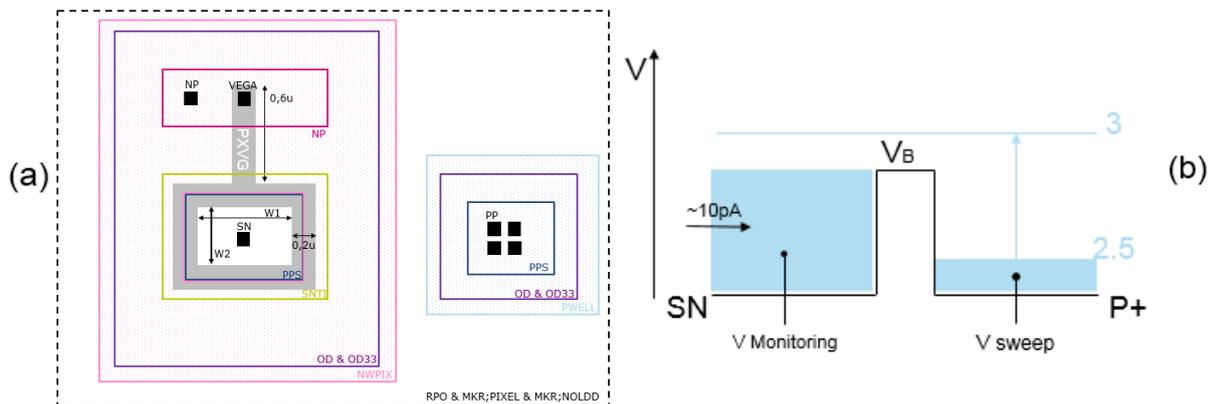


Figure 2.29 : (a) Dessin de la structure de test utilisée pour la mesure du potentiel de barrière
 (b) Mise en fonctionnement de la structure : on règle un courant sur le contact SN et on lit sa tension ($V_{Monitoring}$) pour différent potentiel (V_{sweep}) appliqué sur le contact P+.

Sur la Figure 2.30, on trace la tension lue sur le nœud de lecture pour différentes sections W_1*W_2 de la grille verticale. Le potentiel de barrière V_B mesuré pour la section référence à $0.24*0.4 \mu m^2$ est de 2.91 V contre 2.82 V donné par la simulation. Cette différence peut être liée aux différences de morphologie de la structure entre la simulation et la réalité : par exemple, effet d'arrondissement des bords ou surface d'ouverture, ou encore lié à un phénomène de diffusion des dopants présents dans les tranchées.

On note également sur cette figure l'effet du pincement dans les deux directions. Pour un même W_1 de $0.24 \mu m$, on passe de 2.88 V à 2.86 V en faisant varier respectivement W_2 de $0.8 \mu m$ à $1.2 \mu m$. Ces variations restent faibles mais peuvent impacter la charge stockée dans le pixel. Nous verrons en chapitre 3 qu'une perte d'environ 100mV sur le potentiel de barrière peut représenter jusqu'à 1500 charges (i.e. $\sim 20\%$ de la capacité totale). Pour des valeurs d'ouverture élevées, $1.4\mu m*1.4\mu m$, on observe que le contrôle de la barrière est perdu ($V_{SN} = V_{P+}$).

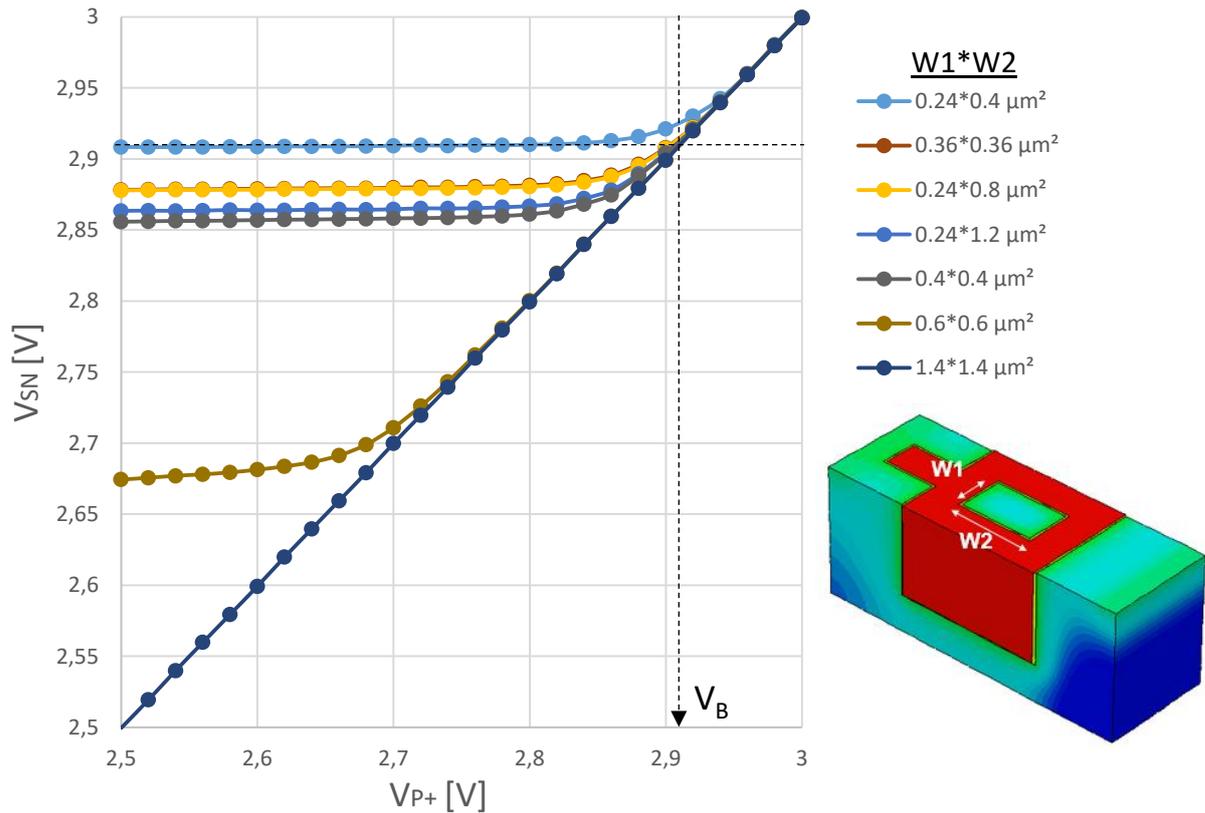


Figure 2.30 : Mesures de V_{SN} en fonction de V_{P+} pour différentes surfaces de nœud de lecture pour un courant de 10pA. On extrait le potentiel de barrière V_B grâce à l'asymptote de la courbe.

4.3 Analyse des capacités

Les mesures de capacité différentielle de l'oxyde et du nœud de lecture peuvent être menées pour la capacité de la grille verticale tout comme pour le CDTI. Nous ne reprendrons pas l'explication de la méthode de mesure déjà détaillée. On analyse dans cette partie les effets du SNTI et du couplage entre photogate et grille verticale.

4.3.1 Capacité de l'oxyde des tranchées

Afin de mieux estimer la capacité de la grille verticale, il est nécessaire d'effectuer des simulations en 3D. Les morphologies de la grille verticale et du SNTI ne se prêtent pas à la simulation des capacités en 2D car aucune dimension n'est négligeable par rapport à une autre. On peut le voir sur les demi-structures de la Figure 2.31 représentant les différents essais menés sur l'épaisseur de l'oxyde SNTI et le volume occupé par celui-ci.

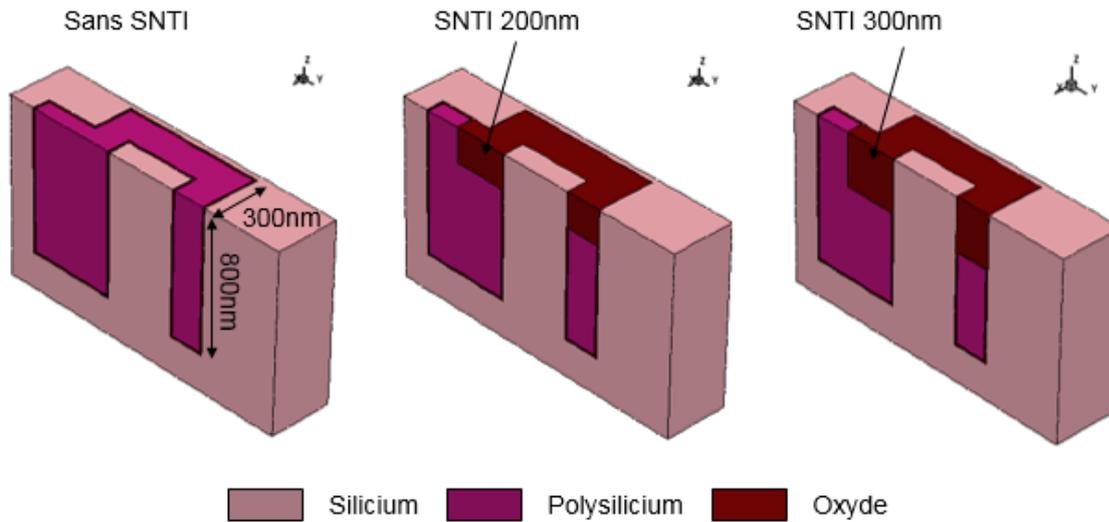


Figure 2.31 : Demi-géométrie pour la simulation 3D de la grille verticale pour différentes profondeurs en oxyde SNTI.

La structure simulée n'est pas rigoureusement identique à la réalité car on ne prend pas en compte la gravure latérale du SNTI ou l'arrondissement des bords de la structure. On peut tout de même comparer les effets du SNTI sur la capacité totale de la structure mesurée ou simulée que l'on présente sur la Figure 2.32. On ne cherche pas à calibrer la simulation 3D mais on peut remarquer que la mesure permet d'estimer la surface totale de SNTI. En effet, moins le SNTI sera profond, plus la capacité sera grande. On note également que la tension de seuil est de -110mV [67] et que les tranchées de la grille verticale sont bien polarisées en inverse à partir de $0.5 < V_{VG} - V_N$ de la même manière que les tranchées CDTI grâce au polysilicium de type N.

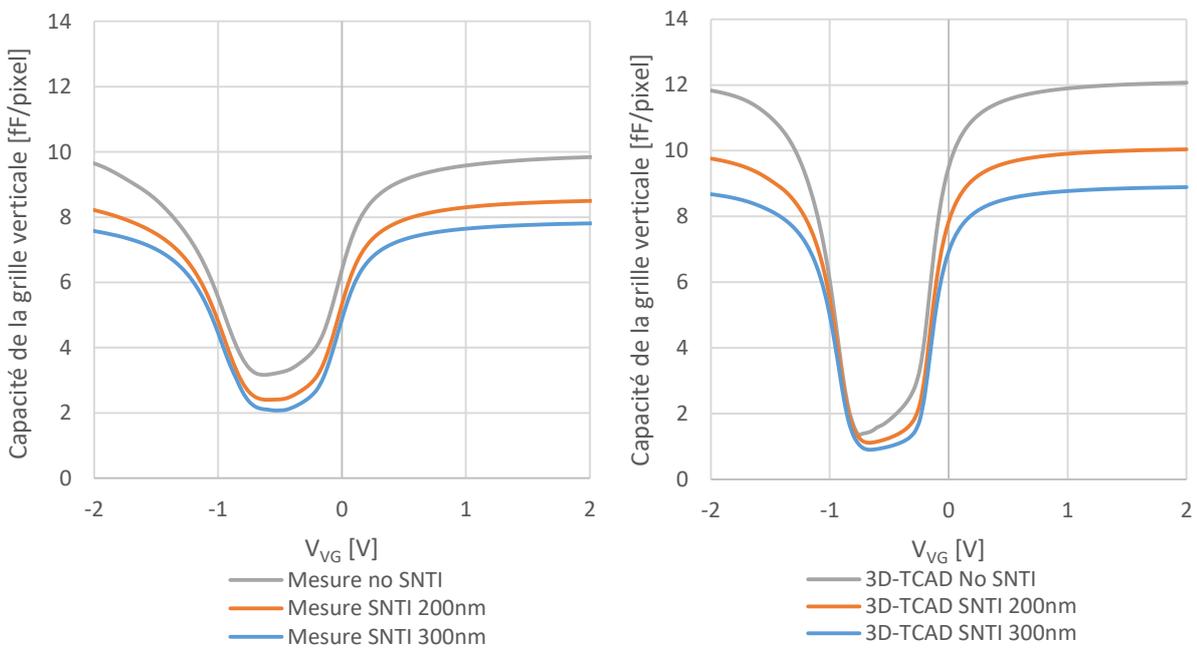


Figure 2.32 : Mesures et simulations des capacités pour différentes profondeurs de SNTI

4.3.2 Capacité du nœud de lecture

L'évaluation de la capacité du nœud de lecture en fonction de l'état de la grille verticale est nécessaire à l'extraction du potentiel de déplétion présenté dans la partie 3.2.2. En effet, celle-ci est bien dépendante de la capacité de la grille verticale car elle permet l'accès à la photogate. On peut procéder à une mesure avec différentes tensions V_{VG} afin de montrer l'impact de la grille verticale sur la capacité du nœud de lecture.

On distingue sur la Figure 2.33 deux comportements différents en fonction du potentiel de la grille verticale :

- Dans le premier mode si le potentiel est inférieur au potentiel de déplétion ($V_D=1.45V$), la grille stocke des charges et modifie donc la capacité totale : plus la tension est basse, plus la capacité à stocker est grande. On observe alors trois changements de pente pour une tension de grille à $-0.5V$. En (1), nous avons uniquement la capacité du nœud de lecture puis un passage progressif sur la capacité de la grille verticale (2) et en (3) la capacité totale de la structure nœud de lecture, grille verticale et photogate en inversion.
- Pour le second mode, la grille verticale bloquée ($V_{VG} > 1V$), l'entrée à la photogate est contrôlée par la tension de la grille. Par exemple, pour $V_{VG}=1.5V$, on distingue un passage brutal de la capacité du nœud de lecture (4) à la capacité de la grille verticale et photogate (5).

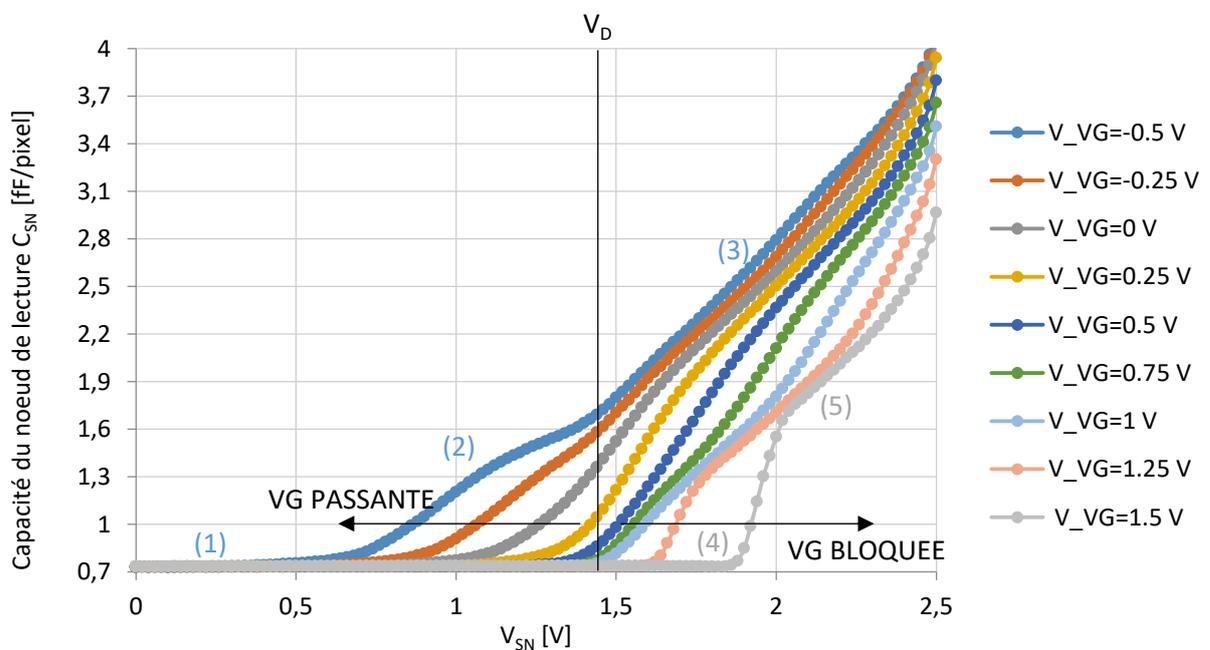


Figure 2.33 : Capacité du nœud de lecture en fonction du potentiel appliqué sur la grille verticale pour un substrat dopé type P ($4e15 \text{ at/cm}^3$).

Une limitation de la mesure du potentiel de déplétion par la méthode du C(V) est donc liée au couplage du potentiel de déplétion de la photogate et de la grille verticale comme on peut le constater sur la simulation Figure 2.34 : le potentiel de déplétion varie légèrement avec la tension de la grille verticale (V_{VG}). Pour réduire au maximum ce phénomène, nous utiliserons un potentiel de grille proche de la condition de transfert c'est-à-dire proche du potentiel de déplétion. Par exemple dans le cas d'un potentiel de 1.5V, nous appliquons un potentiel sur la grille verticale autour de 1.1V.

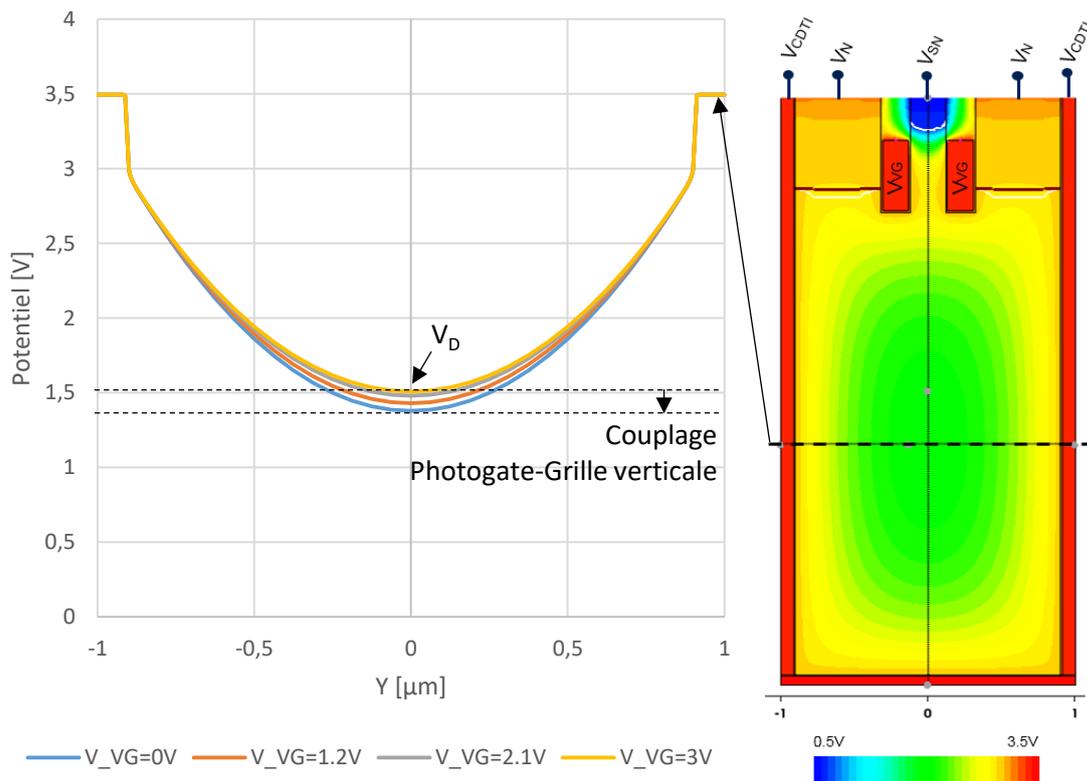


Figure 2.34 : Potentiel électrostatique simulé au sein du pixel suivant la coupe $Y=2.5$ pour différents potentiels appliqués sur la grille verticale.

4.4 Etude des champs électriques

L'étude des champs électriques est nécessaire à la conception d'un dispositif performant. Entre autres, des champs électriques trop importants peuvent induire des fuites comme des injections de porteurs chauds ou de mécanisme de fuite par effet tunnel [73]. A ce titre, les champs internes dans le silicium doivent rester inférieurs à $3 \cdot 10^5 \text{ V.cm}^{-1}$ [26]. Néanmoins pour des dispositifs comme les pixels de petite taille ces champs doivent être bien plus faibles car chaque charge introduit un bruit non négligeable. La simulation par TCAD nous permet alors de trouver et d'optimiser les régions avec les gradients de potentiel les plus élevés dans le pixel.

Les champs internes de la photogate sont relativement faibles ($<10^5 \text{ V.cm}^{-1}$). Les gradients les plus importants se situent entre la zone N+ du polysilicium de la grille et P+ du nœud de lecture que l'on peut observer sur la grille verticale Figure 2.35 (b). Les paramètres déterminants pour le champ dans cette zone sont le profil du dopage du nœud P+ et la distance entre le N+ et P+ : c'est-à-dire la profondeur de l'oxyde SNTI.

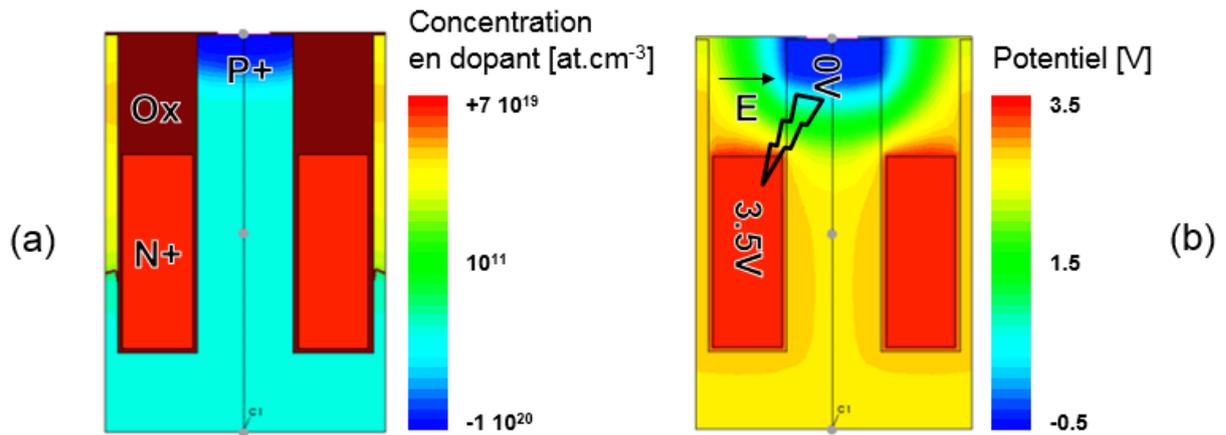


Figure 2.35 : Simulation 3D-TCAD de la grille verticale : Profil du dopage (a) et potentiel électrostatique associé (b)

Afin de calibrer les simulations, nous avons extrait un profil du nœud P+ grâce à une analyse SIMS que l'on peut retrouver sur la Figure 2.36. On note la différence assez importante du profil SIMS entre les deux courbes pour des valeurs supérieures à 100nm, cette différence s'explique par l'utilisation d'un modèle de diffusion non-calibré en simulation. En partant du profil du dopage mesuré, on peut alors chercher la profondeur d'oxyde SNTI nécessaire pour séparer le nœud de lecture de la grille verticale afin de respecter la limite maximale du champ électrique de $3 \cdot 10^5 \text{ V.cm}^{-1}$.

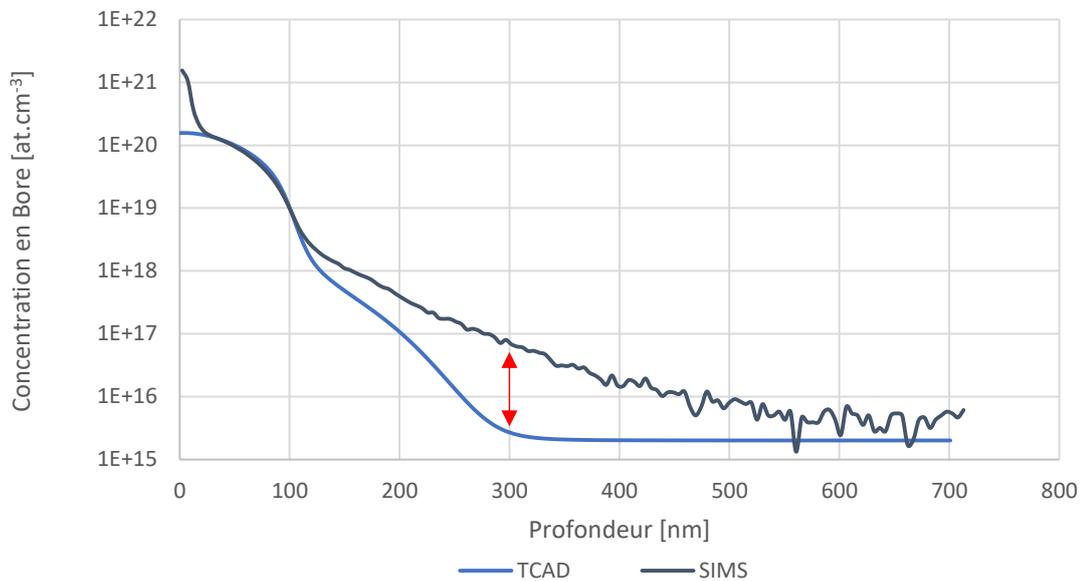


Figure 2.36 : Extraction du profil du nœud de lecture et comparaison au profil SIMS mesuré.

Sur la Figure 2.37, on représente la valeur absolue du champ électrique au sein de la structure pour des valeurs supérieures à 10^5 V.cm^{-1} . On remarque alors que la valeur maximale de ce champ est située sur les bords de la grille verticale entre la zone N+ et P+. Pour une grille verticale sans SNTI, le champ dans le silicium est très important et dépasse la limite théorique de $3 \cdot 10^5 \text{ V.cm}^{-1}$. A partir de 200nm d'oxyde SNTI, on voit que ces champs deviennent acceptables. Nous ne prenons pas en compte les phénomènes d'arrondissement des bords lors de cette simulation qui viennent également atténuer le champ électrique. Par ailleurs, nous n'avons pas cherché à réduire le profil de l'implantation du nœud de lecture afin de ne pas détériorer la prise du contact. Au lieu d'augmenter la profondeur de l'oxyde, on pourrait par exemple chercher à diminuer la profondeur de l'implantation du nœud de lecture.

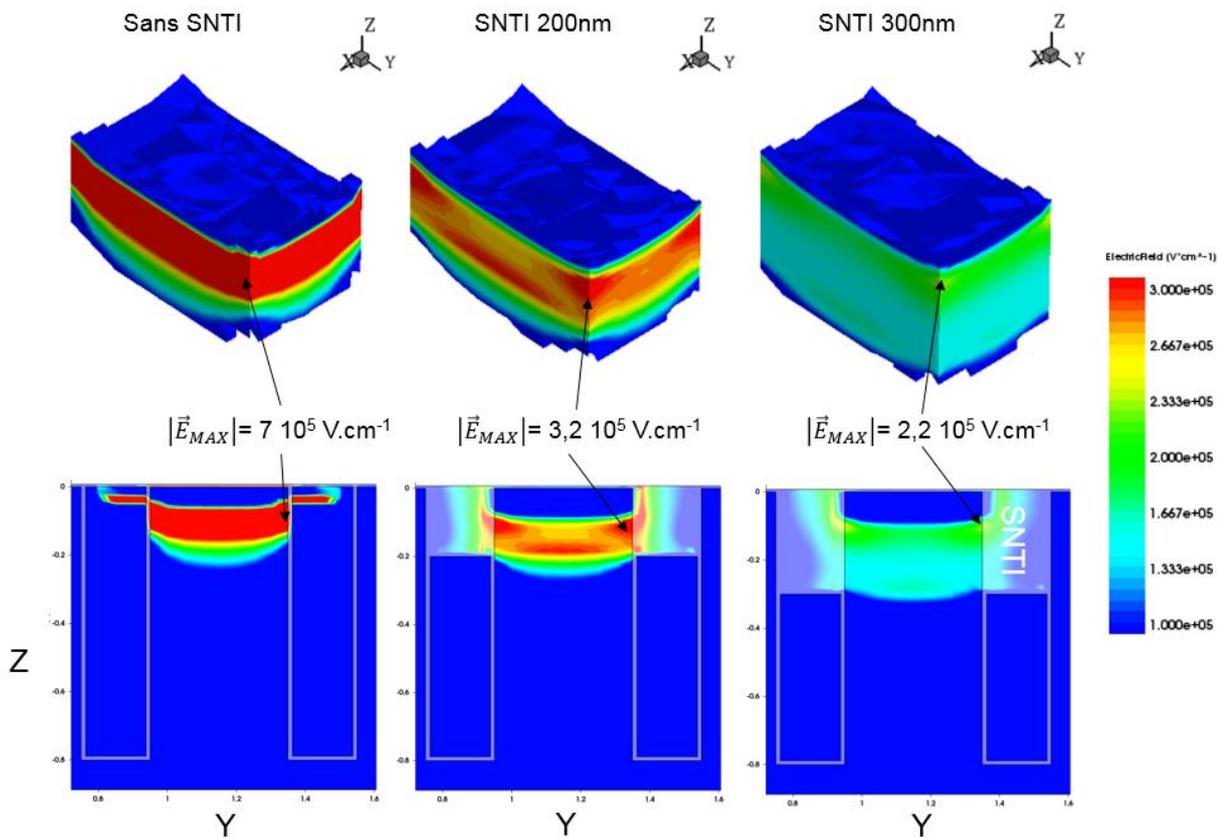


Figure 2.37 : Simulation 3D du champ électrique de la grille verticale dans le silicium et coupe et coupes 2D suivant X.

5. Transistors de lecture PMOS

Dans le cadre du projet, nous avons élaboré de nouveaux transistors PMOS intégrés au pixel. Ces transistors doivent répondre aux exigences du pixel, à savoir : un caisson suffisamment peu profond pour ne pas gêner ou modifier le fonctionnement de la photogate ainsi que des caractéristiques similaires aux transistors NMOS couramment utilisés.

Le schéma donné sur la Figure 2.38 représente une chaîne de lecture typique d'un pixel actif P-type. La zone photosensible est schématisée par une diode et V_x représente la tension en sortie du pixel. On note que cette chaîne utilise un courant de $2\mu\text{A}$ pour alimenter le transistor suiveur. Dans ce paragraphe, on cherche à évaluer la tension de seuil ainsi que le gain en fonctionnement suiveur pour le transistor réalisé : ces paramètres impactent de manière directe la dynamique du pixel.

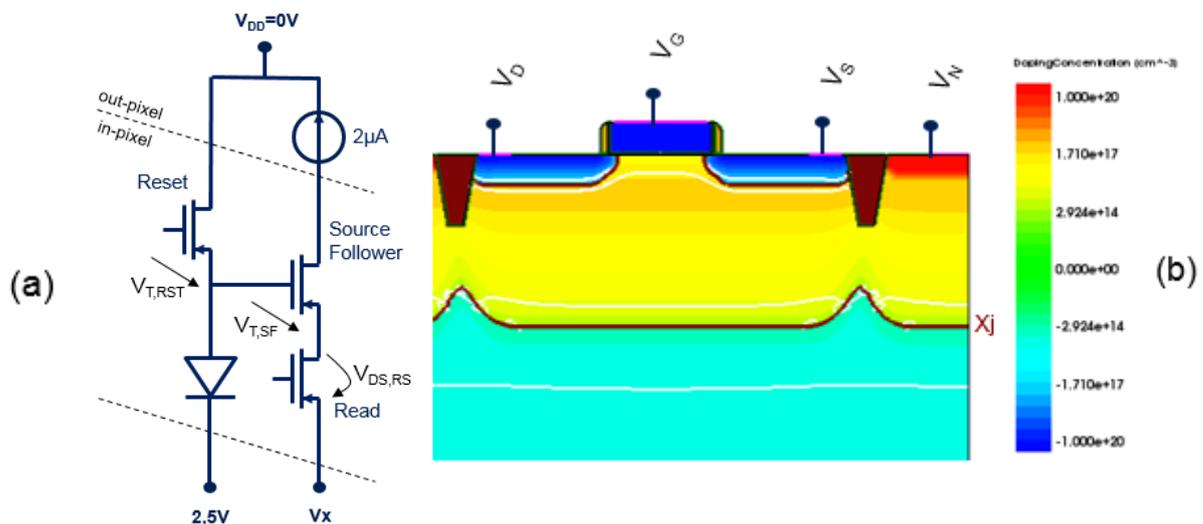


Figure 2.38 : (a) schéma d'une chaîne de lecture PMOS et (b) simulation de la distribution du potentiel d'un transistor PMOS utilisé. On note X_j la profondeur de jonction du caisson.

5.1 Réduction de l'impact du dopage caisson

Pour un dopage P du substrat d'environ $4 \cdot 10^{15} \text{ at. cm}^{-3}$, les caissons des transistors PMOS de référence présentent une profondeur de jonction (notée X_j) d'environ $1.4\mu\text{m}$ (Figure 2.39). Dans ces conditions, les caissons limitent le stockage dans la zone déplétée et risquent également de contre-doper la zone de transfert vers le nœud de lecture et créer de fait une barrière de potentiel limitant le transfert des charges.

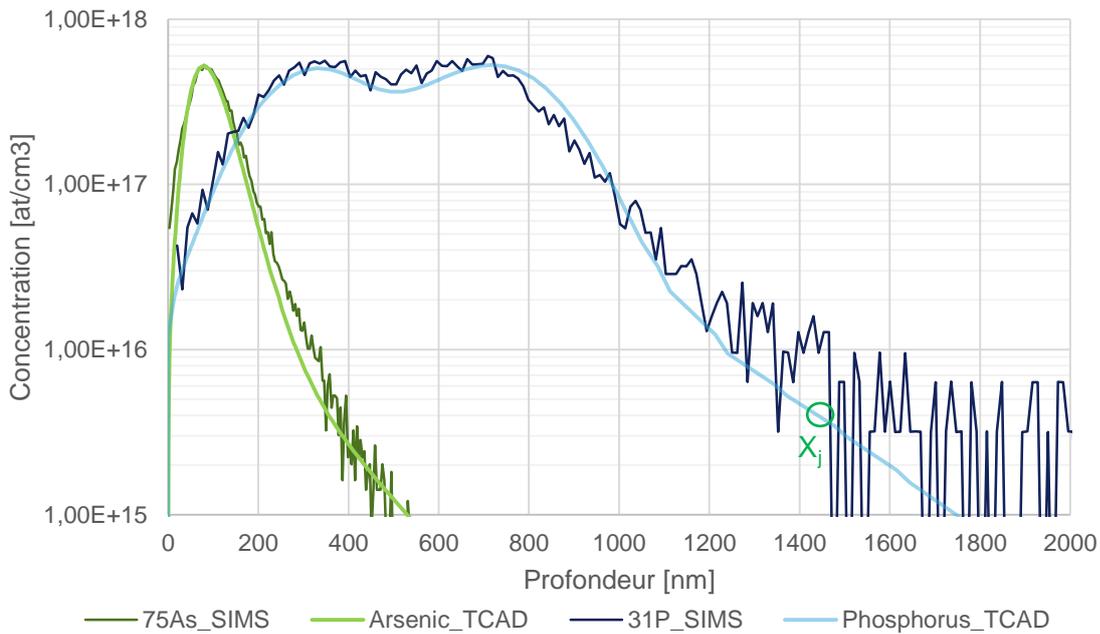


Figure 2.39 : Caisson PMOS initial par analyse SIMS et simulation TCAD. La profondeur de jonction estimée d'un caisson standard est de $X_j=1450\text{nm}$.

Les dimensions du dispositif imposent au caisson un espace réduit au-dessus du pixel. Afin d'augmenter sa compacité, nous avons pris pour objectif de réduire la profondeur de jonction du caisson à une valeur inférieure à la profondeur de la grille verticale, soit une profondeur de jonction inférieure à $0.8\ \mu\text{m}$.

La dose et l'énergie nominale pour l'implantation du caisson ont été simulées en TCAD afin de trouver un nouveau procédé de fabrication. On montre en TCAD que pour respecter notre objectif, il faut retirer toutes les implantations à forte énergie, d'où une implantation unique au phosphore. Cette implantation doit se trouver dans la gamme de $[110-150]\ \text{KeV}$ et $[3-7]\ 10^{12}\ \text{at.cm}^{-2}$.

Tableau 2-1 : (a) Profondeur de jonction X_j en $[\mu\text{m}]$ et (b) tension de seuil en $[\text{V}]$ obtenues par simulation.

Dose Ener.	7e12 cm ⁻²	5e12 cm ⁻²	3e12 cm ⁻²
110 KeV	0,69	0,67	0,65
130 KeV	0,76	0,74	0,7
150 KeV	0,83	0,81	0,75

$X_j\ [\mu\text{m}]$

Dose Ener.	7e12 cm ⁻²	5e12 cm ⁻²	3e12 cm ⁻²
110 KeV	-0,212	-0,179	-0,133
130 KeV	-0,168	-0,139	-0,100
150 KeV	-0,135	-0,110	-0,075

$V_T\ [\text{V}]$

On remarque bien que diminuer la dose permet de diminuer la tension de seuil des transistors et également la profondeur de jonction. Cependant, diminuer fortement cette dose risque de rendre le caisson sujet aux fuites de courant ou peut supprimer la continuité électrique du caisson sous le STI. Nous utiliserons comme nouvelle référence pour notre pixel le caisson implanté en phosphore à 130KeV et une dose de $5\ 10^{12}\ \text{at.cm}^{-2}$ qui a une profondeur de jonction de $0.74\ \mu\text{m}$ par simulation.

Pour cette nouvelle implantation, la profondeur de jonction dans le silicium a été estimée avec une bonne précision par la simulation. On retrouve que la profondeur de jonction du caisson est d'environ $0.7\mu\text{m}$ (Figure 2.40). On note une différence relativement importante sur le niveau de dopage en surface entre la simulation et la mesure. Ceci peut être expliqué par le fait que l'on n'a pas simulé la ségrégation des dopants à l'interface.

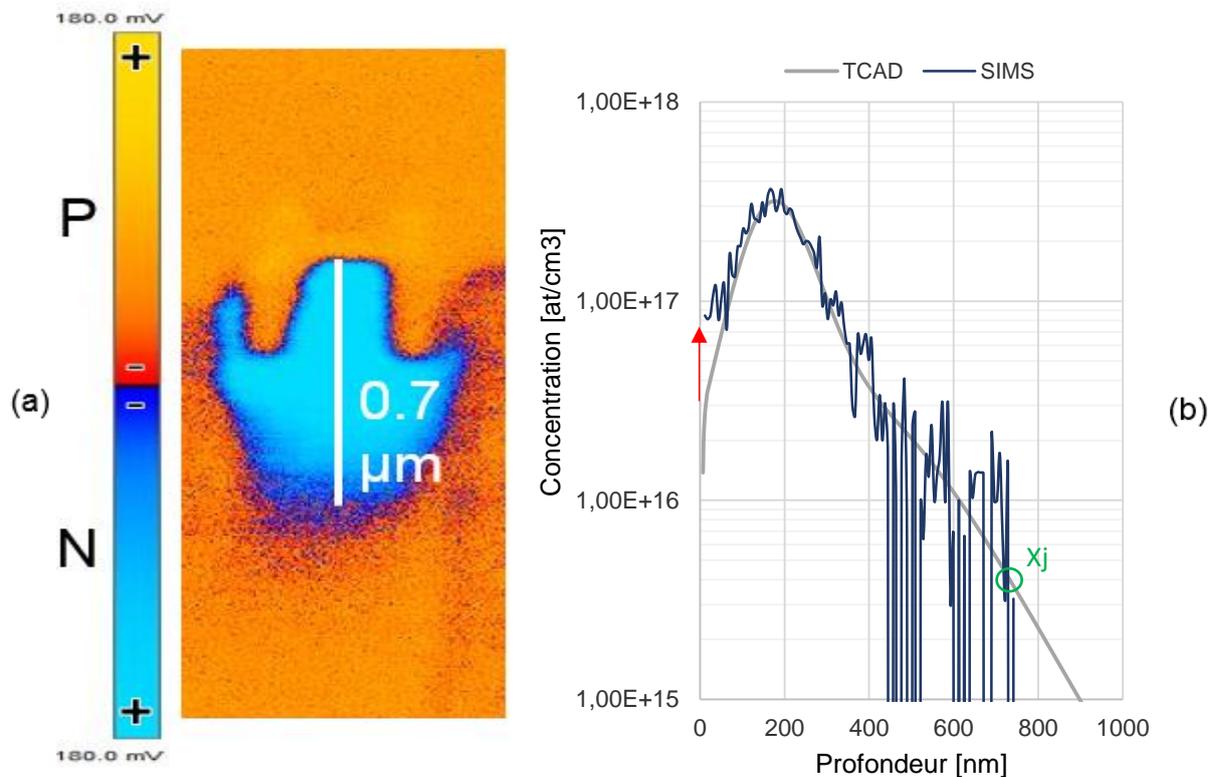


Figure 2.40 : (a) Mesure SCM et (b) Profils SIMS du nouveau caisson. La profondeur de jonction estimée du caisson PMOS adapté est de $X_j=750\text{nm}$.

5.2 Vérification des paramètres électriques

5.2.1 Tension de seuil

Différents essais ont été réalisés et les transistors caractérisés par des tests sous pointes. On retrouve sur le Tableau 2-2, l'extraction des tensions de seuil par une méthode d'extrapolation de la région linéaire (ELR) [74] suivant les essais.

Tableau 2-2 : Mesure de la tension de seuil en [V] selon la méthode d'extrapolation de la région linéaire

	Dose	7e12 cm ⁻²	5e12 cm ⁻²	3e12 cm ⁻²
V_T [V]	110 KeV	-	-0,526	-
	130 KeV	-0,497	-0,448 (TCAD -0.139)	-0,416
	150 KeV	-0,474	-0,414	-0,406

On note une différence entre la TCAD et les mesures réalisées sur des échantillons de silicium, avec en moyenne -325 mV (Tableau 2-2). Les différences de tension de seuil calculées par le simulateur sont principalement le résultat des différences de dopage en surface : la simulation ne prend pas en compte des phénomènes comme la ségrégation des dopants [75] vers les zones endommagées du silicium ni les charges fixes présentes à l'interface [76]. On ne cherchera pas à calibrer celle-ci par manque d'une structure de test dédiée (transistors matrisés par exemple) nécessaire à l'étude de la capacité de nos transistors PMOS.

5.2.2 Courant de fuite et effet substrat

On peut vérifier la continuité électrique entre le caisson et le nœud N+ par la mise en évidence d'un effet substrat. En effet, le changement de polarisation du caisson doit entraîner un déplacement de la tension de seuil du transistor [26]. Une augmentation de la tension V_{BS} accroît en valeur absolue également la tension de seuil, voir Figure 2.41. Il y a donc bien continuité électrique entre le caisson et le nœud N+.

La modification du caisson peut aussi modifier le courant de fuite. Sur la Figure 2.41, on constate que les deux caissons ont un courant de fuite équivalent pour V_D compris entre 0 et -3V en position de grille fermée, ce qui montre que le caisson est suffisamment dopé.

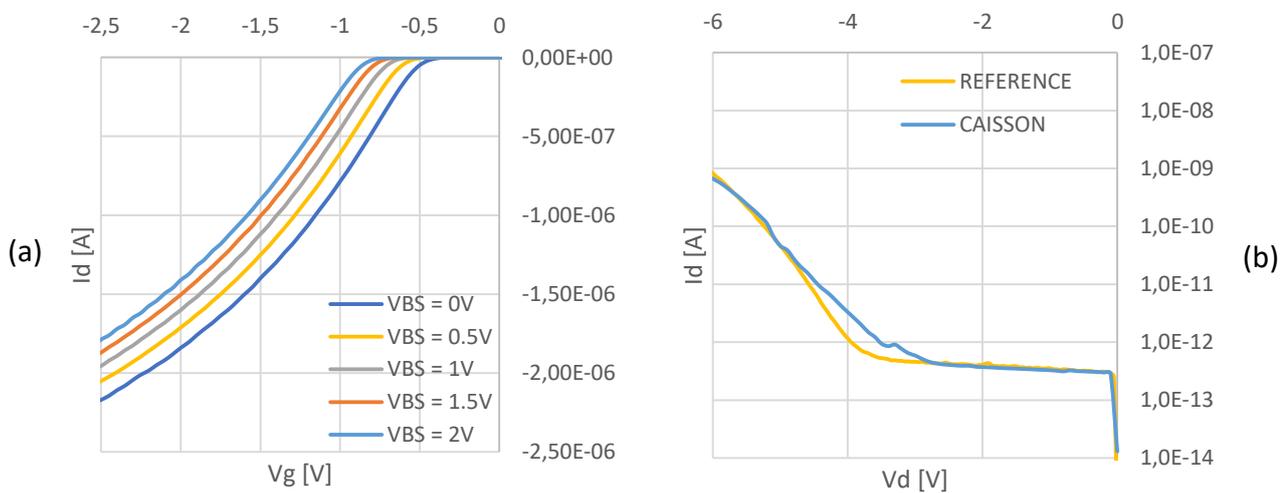


Figure 2.41 : (a) Effet du substrat – $I_d(V_{gs})$ pour différents V_{bs}
 (b) Courant de fuite en position OFF – $I_d(V_d)$ pour $V_{gs}=0V$ pour le cas de référence pour $X_j=1.4\mu m$ et le caisson actuel avec $X_j=0.7\mu m$.

5.2.3 Gain en montage suiveur

Notre pixel est composé de 3 transistors. Deux d'entre eux ont des fonctionnements de type ON/OFF : le transistor de sélection de ligne dit « read » et le transistor de réinitialisation dit « reset ». Le dernier est quant à lui un transistor de conversion au sein d'un montage suiveur de type « source-follower » [77]. On montre pour ce transistor en régime saturé par un courant I_D [78] que :

$$V_{OUT} = \sqrt{\frac{2 * I_D}{\mu_p * C_{OX} * \frac{W}{L}}} - V_T + V_{IN} = V_{SF} - V_T + V_{IN} \quad (\text{Eq. 2-3})$$

$$G = \frac{\partial V_{OUT}}{\partial V_{IN}} = \frac{\partial V_T}{\partial V_{SB}} \frac{\partial V_{SB}}{\partial V_{IN}} + 1 \quad \text{avec} \quad \left\{ \begin{array}{l} \frac{\partial V_{OUT}}{\partial V_{IN}} = \frac{\partial V_{SB}}{\partial V_{IN}} \\ V_T = V_{T0} - \gamma * (\sqrt{-2\phi_F - V_{SB}} - \sqrt{-2\phi_F}) \\ \frac{\partial V_T}{\partial V_{SB}} = \frac{\gamma}{2 * \sqrt{-2\phi_F - V_{SB}}} = \eta \end{array} \right. \quad (\text{Eq. 2-4})$$

$$\text{D'où, } G = \frac{1}{1 + \eta} \quad (\text{Eq. 2-5})$$

Où V_{OUT} , la tension en sortie sur la colonne, V_{IN} , la tension sur la grille du transistor et G , le gain du montage.

L'équation (Eq. 2-3) indique que la tension en sortie du montage dépend d'une part de (V_{SF}) calculé à partir du courant dans le transistor (I_D) et de sa géométrie (W/L) et d'autre part de la tension de seuil du transistor (V_T). Pour un courant de $2\mu A$ et une grille de $0.5 * 0.2\mu m^2$, on trouve analytiquement une tension V_{SF} de $180mV$: cette tension peut être réduite en augmentant la largeur de la grille par la mise en place de deux transistors par exemple. La tension de seuil (V_T) s'exprime par la relation (Eq. 2-4). Celle-ci se décompose en V_{T0} (tension de seuil idéale du transistor) et une composante dépendante de l'effet substrat. Dans notre cas la tension V_{T0} est de l'ordre de $-450mV$. En prenant en compte l'effet substrat vu dans la partie précédente pour une polarisation de $2.5V$, on trouve alors un V_T est de l'ordre de $-800mV$. Soit pour $V_{IN}=0V$, on trouve $V_{OUT}=0.98V$.

Le gain du montage (G) est souhaité le plus proche d'un suiveur idéal de gain 1. On peut voir sur l'équation (Eq. 2-5) qu'il est nécessairement inférieur à 1 et dépend entre autre de l'effet substrat qui est fonction notamment de la concentration en dopant du canal et de la capacité de la grille.

On montre en Figure 2.42 la caractéristique $V_S(V_G)$ et sa dérivée (G) pour le montage suiveur dans les conditions d'utilisation. A $V_G=0V$ (ie. $V_{IN}=0V$), on trouve par la mesure un potentiel de $V_S=0.92V$ (i.e. $V_{OUT}=0.92V$) contre $0.98V$ estimé grâce aux calculs des contributions. On trouve un gain (G) de l'ordre de 0.83 dans la zone de fonctionnement $[0.0 \ 1.5V]$. Cette zone de fonctionnement est utilisée par le pixel car les charges seront stockées dans le nœud de lecture entre la tension de reset définie à $0.5V$ et le potentiel de déplétion $1.5V$. On remarquera également que, au-delà de $2.5V$, la jonction V_{SB} passe en régime direct ($V_B=2.5$

V_s , $V_s=3V$) tandis que, en-deçà de $-0.6V$, le transistor ne respecte plus la condition de saturation.

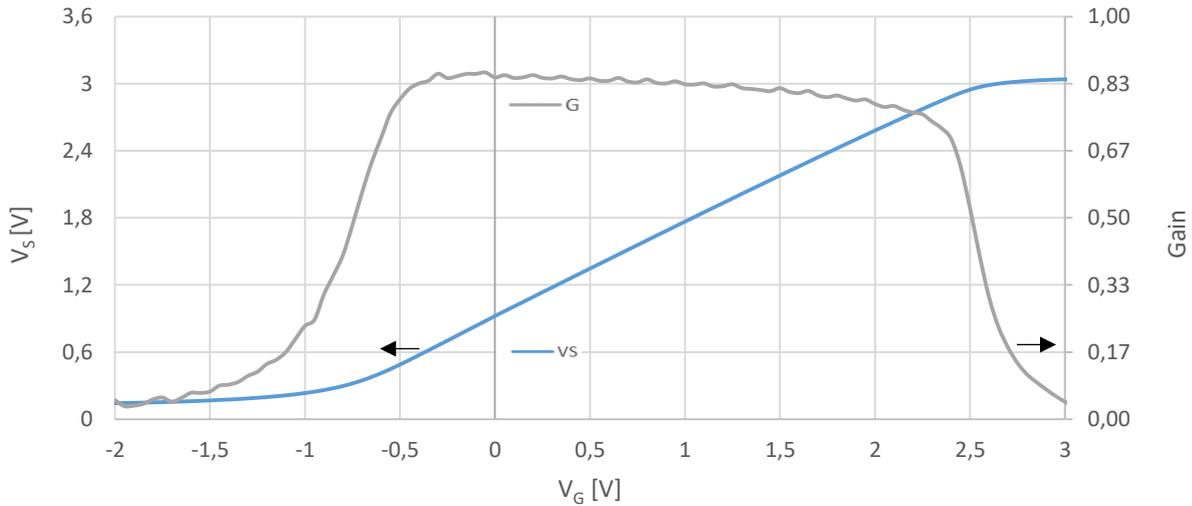


Figure 2.42: Caractéristique $V_s(V_G)$ et gain G du transistor de lecture en mode suiveur pour un courant de $2\mu A$

5.3 Recommandations

De manière générale pour un pixel à 4 transistors, la tension maximale délivrée par le pixel (ΔV_{PIX}) peut s'écrire en reprenant la Figure 2.38 (a) :

$$\Delta V_{PIX} = V_{DD} - V_{T,RST} - V_{T,SF} - V_{DS,RS} \quad (\text{Eq. 2-6})$$

La tension de seuil du transistor de remise à zéro ($V_{T,RST}$) et du transistor suiveur ($V_{T,SF}$) de la dynamique de fonctionnement et la tension ($V_{DS,RS}$) du transistor de lecture impactent donc directement la tension maximale de lecture. En effet, la valeur de mise à zéro (V_{RST}) du nœud de lecture est définie pour un transistor passant. On utilise donc en pratique une certaine marge en tension ($\sim 50mV$) pour s'affranchir de la variabilité des tensions de seuil des transistors pour que la tension de mise à zéro soit bien supérieure à la tension de seuil V_T . De la même manière, le transistor en mode suiveur perd sa linéarité lorsque les potentiels sur V_s sont élevés. Il faut alors, soit, diminuer le courant, (ce qui risque de pénaliser le temps de lecture) soit diminuer la tension de seuil du transistor. Des tensions de seuil (V_T) proches de $0V$ pour ces deux transistors assurent donc une bonne dynamique de fonctionnement pour le pixel.

En conclusion, il est possible de créer des transistors pixels à caissons peu profonds. Ceux-ci assurent un fonctionnement quasi-identique aux transistors standards dans notre gamme de fonctionnement. L'impact sur le fonctionnement du pixel reste néanmoins à évaluer. L'implantation en phosphore à basse énergie ($130KeV$) et à faible dose ($5 \cdot 10^{12} \text{ at.cm}^{-2}$) vient relever la tension de seuil autour de $-450mV$. A l'avenir, il conviendrait d'essayer de diminuer cette tension grâce un ajustement par contre-dopage en surface.

6. Diélectrique en face arrière du dispositif

Le diélectrique en face arrière est un élément non négligeable de la structure. En effet, cette interface est directement en contact avec la zone photosensible et de déplétion ce qui en constitue une zone pouvant générer des charges parasites au sein du pixel. D'autre part cet empilement fait également partie de manière analogue aux tranchées capacitives à l'environnement définissant le pincement et la passivation de la photogate. En effet, Les charges contenues dans le diélectrique agissent par un effet de champ sur la face arrière. Finalement, ces couches composent un antireflet permettant d'améliorer la transmission de la lumière vers le silicium.

6.1 Caractéristiques optiques de l'empilement

6.1.1 Approche théorique d'une couche anti-réflexive

Pour une transition d'un milieu diélectrique à un autre, nous pouvons appliquer les formules de Fresnel déduites des équations de Maxwell pour une onde incidente se propageant dans deux milieux homogènes et isotropes d'indice n_1 et n_2 et déduire les coefficients de réflexion et transmission suivant [79] :

$$t_{12} = \frac{2 p_1}{p_1 + p_2} \qquad r_{12} = \frac{p_1 - p_2}{p_1 + p_2} \qquad (\text{Eq. 2-7})$$

Où, $p_i = n_i \cos \theta_i$

Dans le cas général, on note A_1 les ondes incidentes au milieu 1 et B_1 l'onde sortante et de la même manière B_2 l'onde incidente du milieu 2 et A_2 l'onde sortante du milieu 2. On peut exprimer les interactions entre ces ondes par la matrice de passage M (Eq. 2-8) que l'on illustre sur la Figure 2.43.

$$\begin{pmatrix} A_1 \\ B_1 \end{pmatrix} = M \begin{pmatrix} A_2 \\ B_2 \end{pmatrix} = \frac{1}{t_{12}} \begin{pmatrix} 1 & r_{12} \\ r_{12} & 1 \end{pmatrix} \begin{pmatrix} A_2 \\ B_2 \end{pmatrix} \qquad (\text{Eq. 2-8})$$

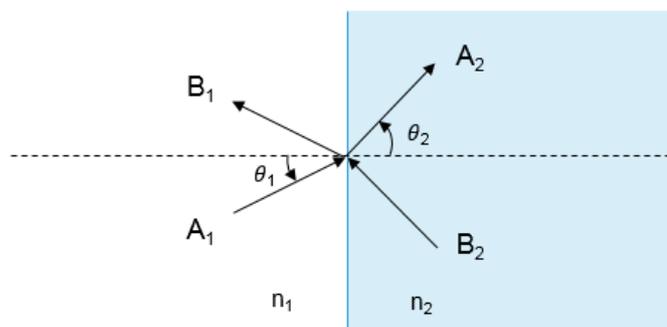


Figure 2.43 : Schéma de principe pour le passage des ondes d'un milieu d'indice n_1 vers un milieu d'indice n_2 .

On considère à présent le milieu n_2 d'épaisseur h (Figure 2.44). On note R l'amplitude réfléchie et T l'amplitude de l'onde transmise par ce film mince. On remarque que sur cette figure l'onde incidente produit de multiples réflexions au sein du milieu n_2 , chacune des ondes transitant par ce milieu se retrouve déphasée par δ .

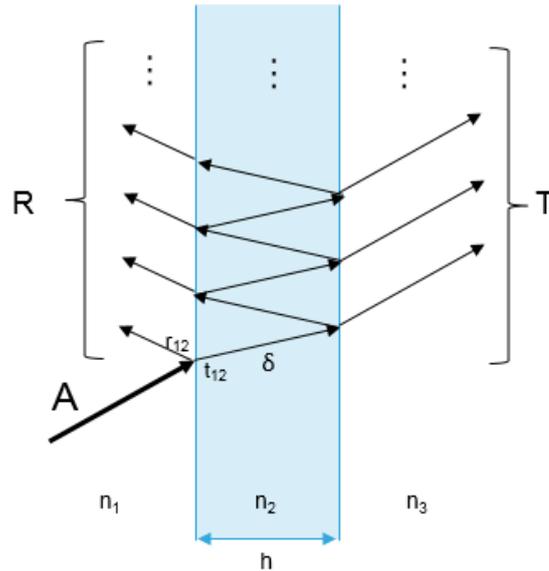


Figure 2.44 : Schéma de principe du passage d'un film mince. Le schéma présente une interface n_1/n_2 puis une propagation dans le milieu n_2 et une nouvelle interface n_2/n_3

Dans ce cas, la nouvelle matrice de passage pour ce milieu est une combinaison du passage de l'interface n_1 à n_2 , du déphasage de l'onde par le milieu n_2 et le passage du milieu n_2 à n_3 qui peut s'écrire de la manière suivante :

$$M = \frac{1}{t_{12}} \begin{pmatrix} 1 & r_{12} \\ r_{12} & 1 \end{pmatrix} \begin{pmatrix} e^{-i\delta} & 0 \\ 0 & e^{i\delta} \end{pmatrix} \frac{1}{t_{23}} \begin{pmatrix} 1 & r_{23} \\ r_{23} & 1 \end{pmatrix} = \begin{pmatrix} M_{11} & M_{12} \\ M_{21} & M_{22} \end{pmatrix} \quad (\text{Eq. 2-9})$$

Où,

$$\delta = \langle \vec{k} | \vec{r} \rangle = \frac{2\pi n_2}{\lambda} h \cos \theta_2$$

$$M_{11} = \frac{e^{-i\delta} + r_{12}r_{23}e^{-i\delta}}{t_{12}t_{23}}$$

$$M_{21} = \frac{r_{12}e^{-i\delta} + r_{23}e^{-i\delta}}{t_{12}t_{23}}$$

On peut alors calculer les coefficients de réflexion et transmission proposés par [80]:

$$r = \frac{R}{A} = \frac{1}{M_{11}} = \frac{t_{12}t_{23}e^{i\delta}}{1 + r_{12}r_{23}e^{i2\delta}} \quad (\text{Eq. 2-10})$$

$$t = \frac{T}{A} = \frac{M_{21}}{M_{11}} = \frac{r_{12} + r_{23}e^{i2\delta}}{1 + r_{12}r_{23}e^{i2\delta}} \quad (\text{Eq. 2-11})$$

La réflectivité de la surface est alors donnée par :

$$\mathcal{R} = |r|^2 = \frac{r_{12}^2 + r_{23}^2 + r_{12}r_{23}\cos(2\delta)}{1 + r_{12}^2 r_{23}^2 + 2 r_{12}r_{23}\cos(2\delta)} \quad (\text{Eq. 2-12})$$

On remarquera que $\frac{d\mathcal{R}}{dh} = \frac{d\mathcal{R}}{d\delta} = 0 \Leftrightarrow \sin(2\delta) = 0$, la fonction \mathcal{R} admet des minimas et maximas notamment pour $\cos(2\delta) = -1$ et $\cos(2\delta) = 1$. Les réflexions en incidence normale peuvent ainsi être notées :

$\cos(2\delta) = -1$: Cas quart d'onde	$\cos(2\delta) = 1$: Cas demi-onde
$\mathcal{R} = \left(\frac{n_1 n_3 - n_2^2}{n_1 n_3 + n_2^2} \right)^2$ <p>Pour $h = \frac{\lambda}{4 \cdot n_2}$ et $n_2 = \sqrt{n_1 n_3}$, la réflectivité de la couche est nulle, l'intégralité de la lumière à la longueur d'onde λ sera transmise dans le milieu 3.</p>	$\mathcal{R} = \left(\frac{n_1 - n_3}{n_1 + n_3} \right)^2$ <p>Pour $h = \frac{\lambda}{2 \cdot n_2}$, la réflectivité de la couche est indépendante de n_2 et si $n_1 = n_3$ la couche est transparente à la longueur d'onde λ et atténue les autres longueurs d'onde.</p>

En conclusion, le filtre antireflet en quart d'onde est optimal pour une transition oxyde vers silicium à une longueur d'onde de 550nm si son indice optique est égal à $n_2=2.43$ et son épaisseur théorique égale à 59nm. On peut également combiner sur plusieurs couches quart d'onde et demi-onde afin de réaliser des filtres passe-bande avec une fréquence de coupure plus élevée [80].

6.1.2 Résultats de simulation optique

En pratique, on ne peut pas réaliser un quart d'onde idéal. D'une part, il faut que le matériau ait un indice optique précis que nous avons précédemment calculé $n_2=2.43$ à une longueur d'onde de 550nm. Cependant l'indice optique du silicium varie en fonction de la longueur d'onde. On peut constater sur la Figure 2.45 (a) que les matériaux disponibles tels que le HfO_2 , Ta_2O_5 , SiO et SiN ont un indice optique majoritairement constants sur les longueurs d'onde visibles. D'autre part, il faut que le matériau ait une interface faible en défauts et des charges fixes positives comme on le discutera en partie 6.2 : Effets sur la passivation de l'interface.

On utilise pour la simulation une couche de SiO_2 afin de limiter les défauts à l'interface et une couche anti-réfléctive basée sur le quart d'onde. Pour cette seconde couche, on utilisera l'indice optique disponible le plus proche de 2.45, soit Ta_2O_5 ($n=2.23$) ou SiN ($n=1.91$).

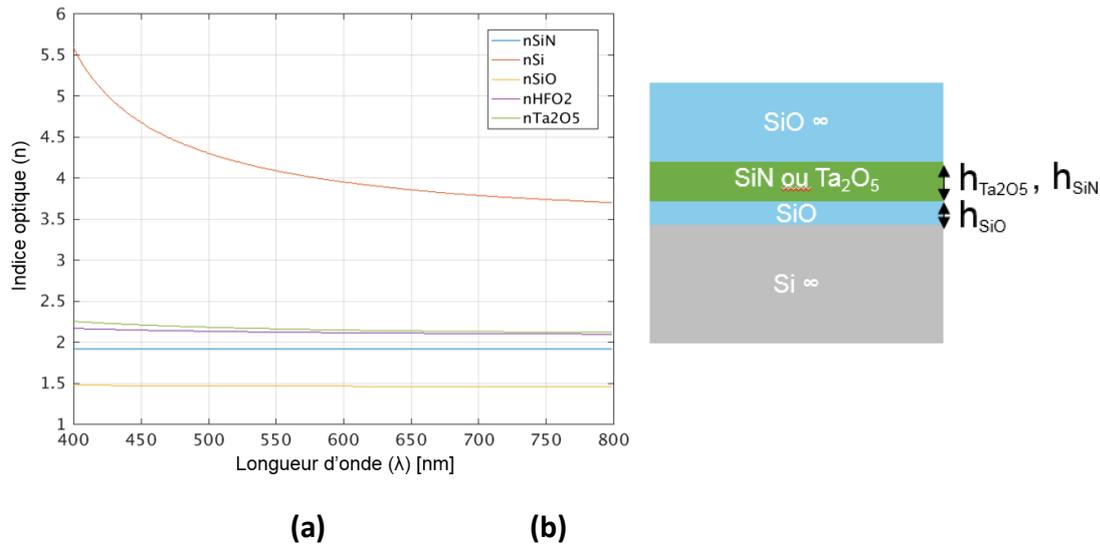


Figure 2.45 : (a) Indices optiques de différents matériaux utilisés lors de la simulation, (b) description de l'empilement simulé.

A partir des équations et matrice de passages, on calcule analytiquement sous Matlab la transmission pour l'empilement présenté Figure 2.45 (b). On simule l'empilement pour une direction semi-infinie de silicium représentant le pixel. La seconde direction semi-infinie est un oxyde représentant au premier ordre l'ensemble des lentilles et filtres colorés qui ont une dimension totale d'environ 1.5μm ce qui est grand devant l'épaisseur de l'antireflet.

Si on cherche à optimiser les longueurs d'onde visibles Figure 2.46 (b), il faut un oxyde de 2nm et un nitrure de 64nm pour obtenir une moyenne de 91.9% de transmission. Pour le Ta₂O₅ (Figure 2.47 b), il faut un oxyde de 2nm et un nitrure de silicium de 56nm pour obtenir une moyenne de 95.9% de transmission soit un gain de 4 points par rapport au nitrure. De plus, on voit sur ces figures que le maximum de transmission se déplace vers un empilement en quart d'onde idéal, c'est-à-dire, sans oxyde intermédiaire ou le plus fin possible (2nm). On remarque également que l'empilement n'est pas nécessairement le même si on souhaite optimiser une longueur d'onde particulière comme le vert à 550nm ou optimiser la bande spectrale 400-700nm.

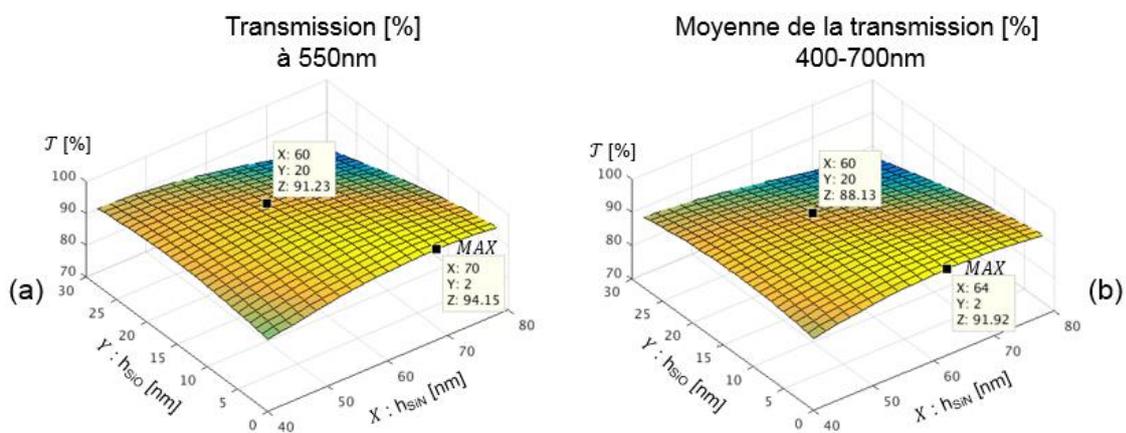


Figure 2.46 : Simulation de la transmission à la longueur d'onde 550nm (a) et moyenne sur le spectre 400-700nm (b) pour le SiN.

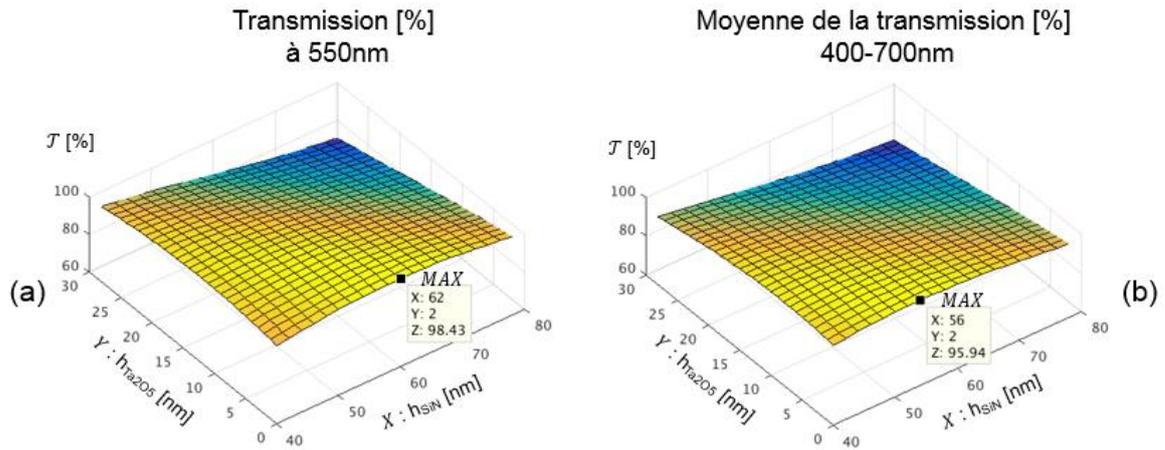


Figure 2.47 : Simulation de la transmission à la longueur d'onde 550nm (a) et moyenne sur le spectre 400-700nm (b) pour le Ta_2O_5 .

En pratique, la réalisation d'un capteur avec filtres colorés et microlentilles nécessite un développement des procédés pour les dimensions adaptées au pas du pixel. Nous ne l'avons pas réalisé sur notre capteur par manque de temps. D'autre part, l'utilisation du Ta_2O_5 a conduit à une dégradation du courant d'obscurité non viable. On se retrouve alors dans le cas illustré sur la Figure 2.48. Le maximum de transmission est sensible à la valeur de l'oxyde en surface du silicium. Ainsi, si l'on augmente son épaisseur on déplace le maximum vers le rouge (forte longueur d'onde) tout en diminuant la sensibilité dans le bleu (400nm).

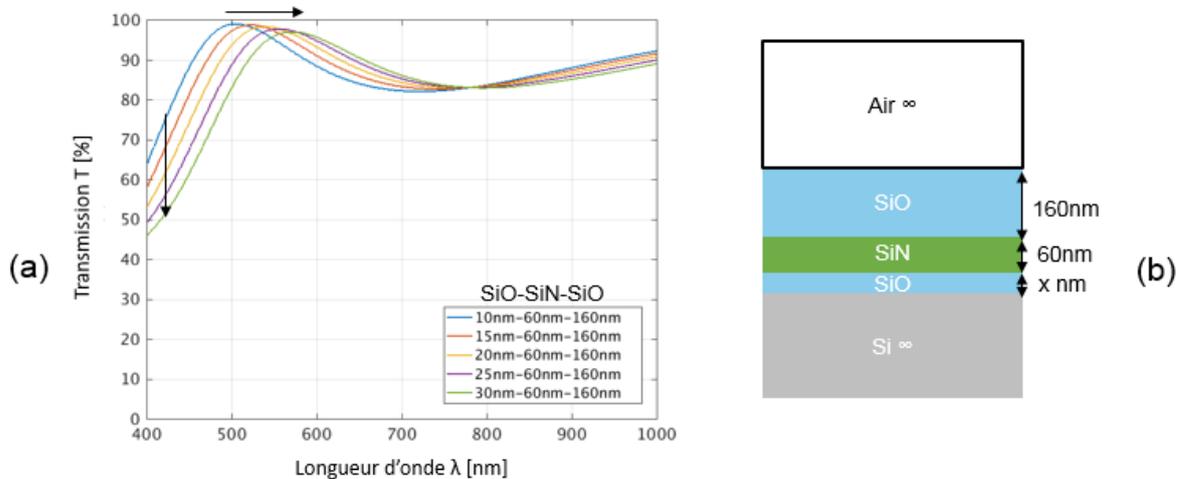


Figure 2.48 : Simulation de transmission $T\%$ en fonction de λ dans un cas réel (a) schéma associé à la simulation (b). On retrouve les variations de sensibilité sur le capteur dans le chapitre 3 en fonction de l'empilement face arrière choisi.

On peut réaliser un filtre d'ordre supérieur en combinant une couche en quart d'onde et une autre en demi-onde que l'on illustre en Figure 2.49. On a ici une amélioration de la transmission moyenne pour des longueurs d'onde visibles et pour une deuxième couche en demi-onde d'environ 120nm. Cet essai a été effectué mais l'échantillon n'a pas pu être finalisé en raison d'un bord de plaque non conforme.

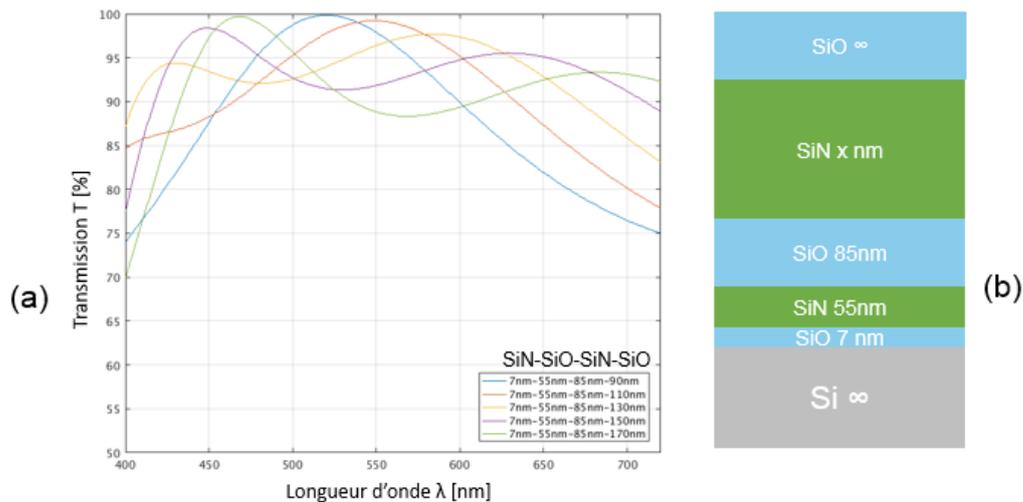


Figure 2.49 : Cas d'un quart d'onde combiné à une couche demi-onde. Simulation de la transmission (a) et schémas associés à la simulation (b)

On recommande en conclusion de diminuer l'épaisseur de l'oxyde en surface afin d'augmenter la transmission de la couche d'antireflet. On estime que l'utilisation d'un oxyde mince (2nm) en surface de silicium comparé à 20nm entraîne une augmentation de la transmission de 3 points. Le remplacement du nitrure par le Ta₂O₅ augmente la transmission de 4 points. Les contraintes de fabrication nous ont cependant conduits à utiliser un empilement composé de 20nm SiO₂, de 60nm SiN et de 160nm SiO₂. On note une réduction de la transmission dans le bleu (400nm) pour cet empilement sans filtres colorés ni microlentilles.

6.2 Effet du diélectrique sur la passivation de l'interface

Les considérations pour les matériaux de la couche anti-réfléctive ne sont pas uniquement optiques. En effet, nous avons vu dans le premier chapitre que les interfaces sont constituées de défauts qu'il est nécessaire de passiver. Pour rappel, un élément permettant de diminuer le nombre de défauts est l'utilisation de l'hydrogène (forming gaz) pour passiver les liaisons pendantes [59]. On peut aussi raisonner par analogie avec les tranchées capacitives profondes, celles-ci utilisent un potentiel électrostatique afin de créer une couche d'inversion en surface qui isole de manière active les défauts de la zone photosensible. En utilisant un matériau adapté, on peut amener des charges fixes en face arrière qui ont un effet similaire d'un point de vue électrostatique.

Le choix du nitrure (SiN) pour matériau en seconde couche est assez judicieux car celui-ci est un matériau constitué de défauts de type centre K amphotère, c'est-à-dire un matériau pouvant être chargé positivement ou négativement [81]. Lors du dépôt du SiN, on ajoute de l'hydrogène afin d'obtenir un nitrure hydrogéné (a-SiN_x:H) chargé d'ions positifs et créant une passivation par effet de champ. De plus, l'ajout d'hydrogène permet un apport en hydrogène à la surface aidant à la passivation chimique. Ce matériau est utilisé et étudié depuis de nombreuses années dans les cellules solaires [82].

On peut vérifier la quantité de charge dans un diélectrique grâce à la mesure COCOS (Corona Oxide Characterization of Semiconductor) dont le principe est basé sur la mesure $C(V)$ [83]. Nous avons effectué cette mesure sur un échantillon de 20nm de SiO₂ et 60nm de SiN, le résultat est présenté sur la Figure 2.50. Nous pouvons voir que la répartition des charges sur la plaquette n'est pas uniforme. En effet, celle-ci est plus chargée en bord qu'en centre de plaque avec une médiane de $+1.65 \cdot 10^{12} \text{ cm}^{-2}$. La charge dans le matériau est, comme attendu, positive.

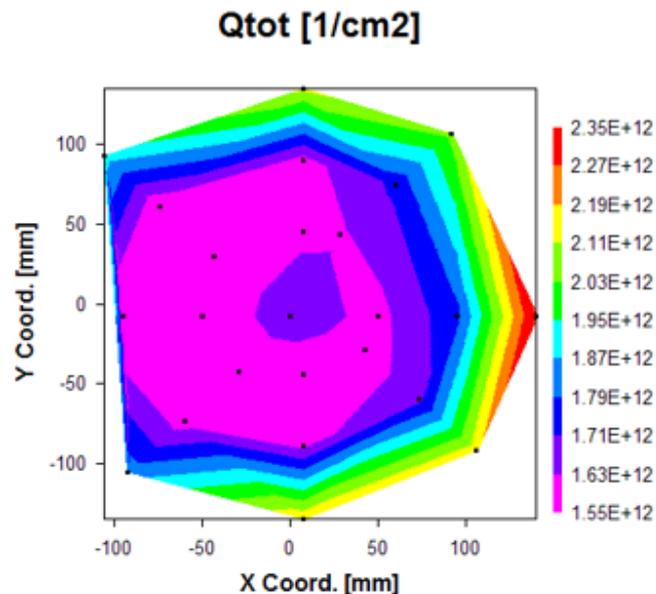


Figure 2.50 : Mesure des charges fixes par mesure COCOS sur un wafer 300mm pour un diélectrique SiO 20nm et SiN 60nm. La densité de charge médiane est de $1.65 \cdot 10^{12} \text{ cm}^{-2}$.

La simulation du pixel présentée dans les différentes parties prend en considération cette charge présente dans le nitrure. En effet, on observe sur la Figure 2.51 l'effet du champ électrique en face arrière qui vient créer un pincement du potentiel de déplétion dans la structure. Cette figure montre trois charges surfaciques différentes pour l'interface nitrure. Le cas (a) est simulé pour la charge mesurée de $1.65 \cdot 10^{12} \text{ cm}^{-2}$, on constate que le pincement s'effectue bien en face arrière. On peut estimer par simulation la densité de charges en surface à environ $7 \cdot 10^{17} \text{ cm}^{-3}$. À titre de comparaison, la densité électronique à l'interface d'une tranchée capacitive est de l'ordre de $4 \cdot 10^{17} \text{ cm}^{-3}$. La charge mesurée dans le diélectrique est donc bien suffisante à la création d'une couche de passivation en face arrière. Les schémas (b) et (c) sont respectivement simulés pour une charge surfacique en face arrière de $2 \cdot 10^{11} \text{ cm}^{-2}$ et 10^{11} cm^{-2} . Pour le schéma (c), on remarque que la charge est insuffisante pour créer une couche d'inversion en face arrière, la densité électronique en surface est de $7 \cdot 10^9 \text{ cm}^{-3}$ ce qui est proche de la densité intrinsèque de porteur 10^{10} cm^{-3} . On recommande alors un minimum de $2 \cdot 10^{11} \text{ cm}^{-2}$ (cas (b)) pour créer une couche d'inversion suffisante pour passiver correctement la face arrière.

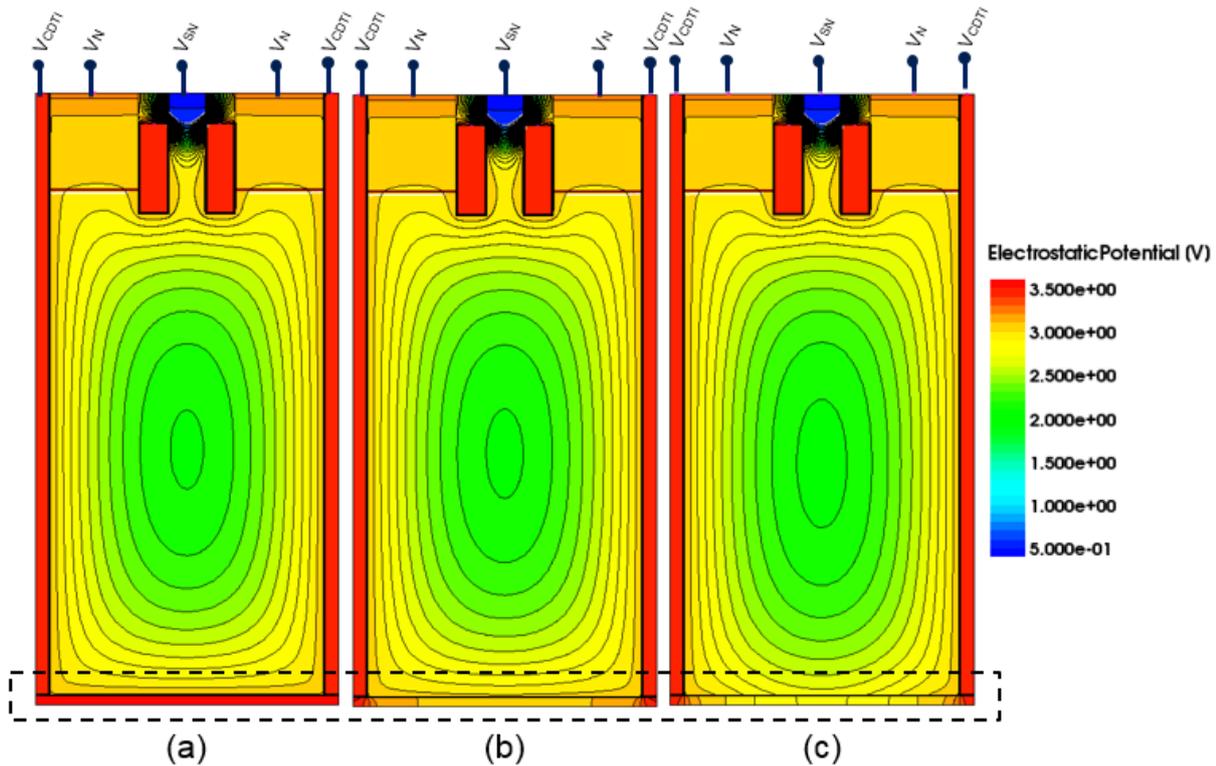


Figure 2.51 : Potentiel électrostatique dans la structure pour différentes charges surfacique en face arrière. (a) est le cas simulé pour la charge mesurée de $1.65 \cdot 10^{12} \text{ cm}^{-2}$, (b) est le cas limite simulé pour une charge surfacique en face arrière de $2 \cdot 10^{11} \text{ cm}^{-2}$ et (c) un cas de non passivation en face arrière pour une charge de $1 \cdot 10^{11} \text{ cm}^{-2}$.

L'ajout en face arrière de 60nm de nitrure de silicium chargé par des atomes d'hydrogène est en mesure de la passiver efficacement. On peut également penser, au vu des densités électroniques retrouvées, à remplacer le polysilicium polarisé dans les tranchées capacitives CDTI par du nitrure. D'une part, cela évite de devoir placer un contact et une alimentation supplémentaire. D'autre part, le nitrure augmente l'indice optique des tranchées ce qui permet de mieux réfléchir la lumière incidente et diminue donc la diaphotie optique.

7. Conclusion

Dans ce chapitre, nous avons décrit l'ensemble des éléments qui composent le pixel. Nous avons étudié la morphologie du pixel et sa fabrication. Nous avons également cherché à caractériser les paramètres importants via des mesures sur des structures de test élémentaires.

Il faudra retenir lors des différents essais effectués que l'intégration STI 1st sera privilégiée lors de l'intégration des différentes briques (voir Figure 2.52). Deux nouvelles briques technologiques ont été mise en place (PXVG et SNTI) afin de concevoir le transfert des charges de la photogate vers le nœud de lecture.

Nous avons formé la zone photosensible grâce à une photogate. Celle-ci utilise des tranchées capacitives dopées de type N afin de réduire la tension de mise en œuvre. Le dopage a été adapté afin d'éviter la diffusion des espèces dopantes comme le phosphore et le phénomène de déplétion dans le polysilicium. L'épitaxie du substrat a été choisie de type P et à une concentration égale à $4 \cdot 10^{15} \text{at.cm}^{-3}$ grâce à la mesure du potentiel de déplétion afin d'optimiser le stockage de charges dans le pixel.

La grille de transfert verticale a été caractérisée au moyen des mesures de capacité et de potentiel. Nous avons ainsi déterminé la barrière de potentiel à l'aide d'une structure dédiée et effectué les comparaisons de différentes intégrations. Les mesures de capacité du nœud de lecture sous différentes polarisations ont montré la manière dont fonctionne l'accès à la photogate. On a évoqué l'impact du couplage de la grille verticale sur la mesure du potentiel de déplétion et vérifié par la simulation les champs électriques internes. On recommande ainsi l'utilisation d'un oxyde SNTI d'au moins 200nm de profondeur afin de limiter le champ électrique maximal.

Nous avons cherché à limiter l'empreinte des transistors de lecture dans le pixel en optimisant la taille des caissons. Grâce à des mesures standards, nous avons vu que ces nouveaux transistors fonctionnaient de manière conforme dans les conditions d'utilisation. On propose également de diminuer la tension de seuil afin d'augmenter la dynamique de lecture.

Dans une dernière partie, nous avons décrit et caractérisé l'empilement réalisé en face arrière. Celui-ci est optimisé de manière optique et électrique. On cherche en effet à créer un filtre antireflet grâce à un quart d'onde afin de maximiser la lumière transmise dans le silicium photosensible. On a vu également que cet empilement participe activement à la définition de la zone active du pixel réagissant de manière analogue aux tranchées capacitives. Afin de dépléter et passiver correctement le silicium en face arrière on recommandera une charge surfacique minimale de $2 \cdot 10^{11} \text{cm}^{-2}$. Dans notre cas, la charge surfacique a été mesurée à $1.65 \cdot 10^{12} \text{cm}^{-2}$.

Dans le chapitre suivant, on cherche à mettre en œuvre le pixel conçu et à examiner ses principales caractéristiques.

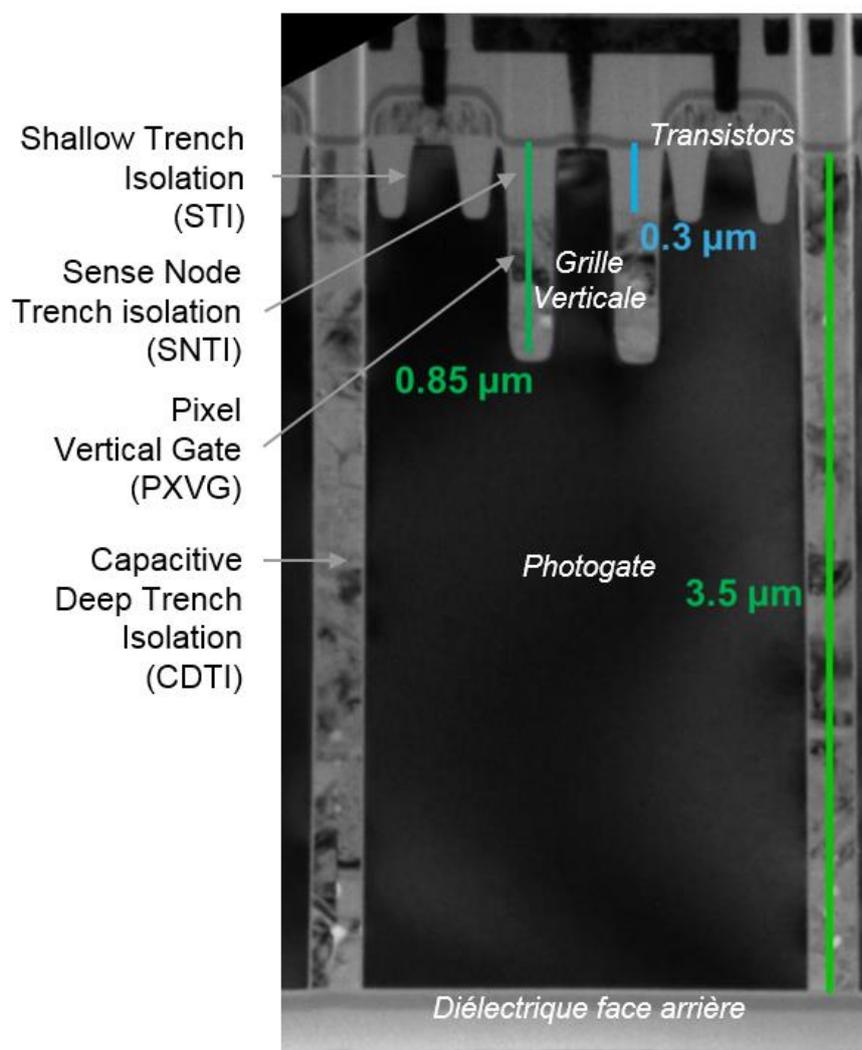


Figure 2.52 : Pixel Pinned Photogate / Vertical Gate

Chapitre 3 : Etude et caractérisation du fonctionnement du pixel

On développe dans ce chapitre le fonctionnement et la caractérisation du pixel à travers les mesures des paramètres clés régissant le capteur. Nous y introduisons la manière de convertir les charges photogénérées en signal utile. Puis, via la caractérisation, on évalue la capacité de la photogate à acquérir et photo-générer des porteurs dans le pixel, à les stocker et à les retenir. Dans un deuxième temps, on s'intéressera aux différents types de bruits présents dans le pixel. Nous y étudions en détail l'origine du courant d'obscurité puis des bruits de lecture et des bruits sous éclairage.

1. Introduction

1.1 Architecture du pixel

La chaîne de lecture du pixel partage deux sites photosensibles avec leurs grilles de transfert verticales respectives VG1 et VG2 comme on peut le voir sur la Figure 3.1.

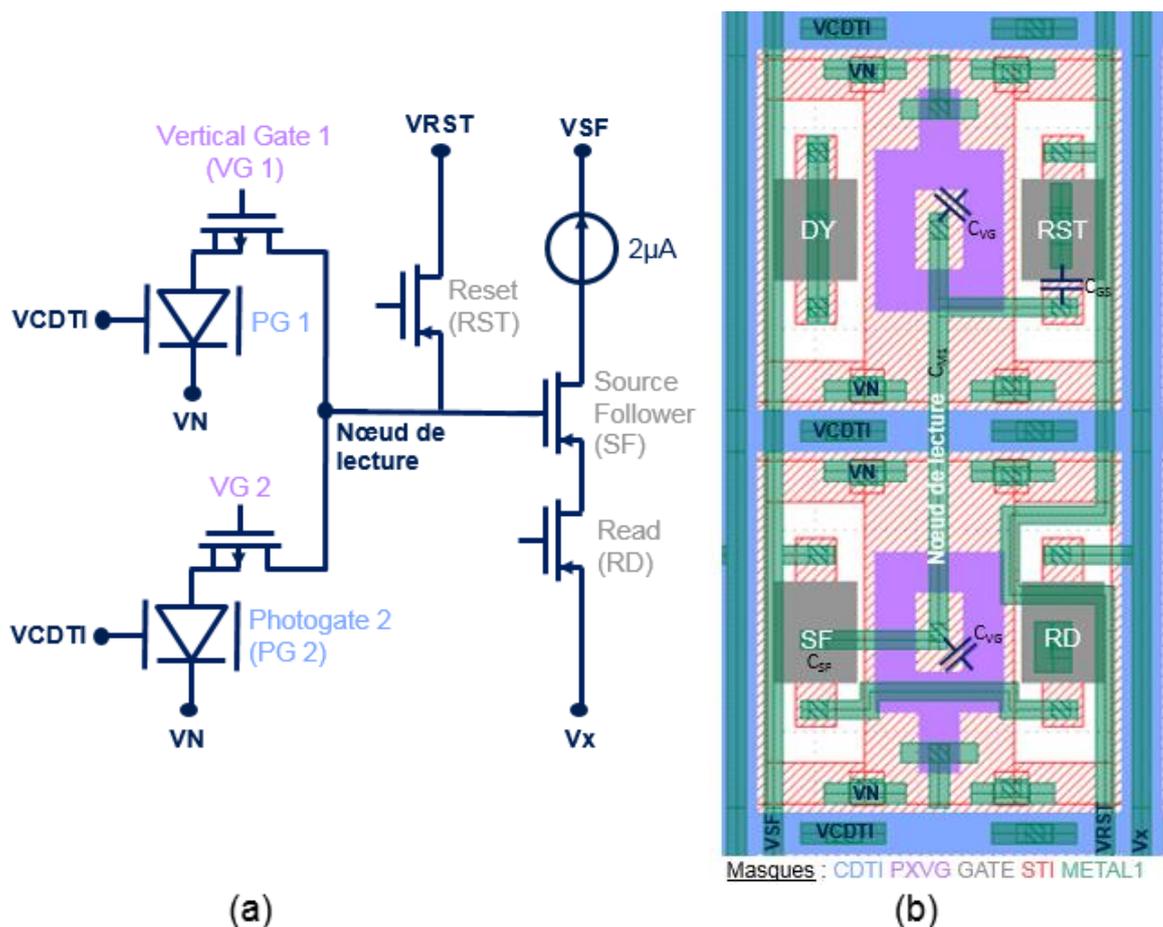


Figure 3.1 : (a) Schéma électrique du pixel, architecture « 2T5 » : 2 pixels (PG1, PG2) partageant 5 transistors : VG1, VG2, RST, SF et RD
(b) Principaux masques pour la réalisation du circuit et pixel (CDTI, PXVG, GATE, STI, METAL1)

On reconnaît sur cette figure une architecture de pixel actif à deux photosites partagés (PG1, PG2), avec un total de 5 transistors dont 3 communs pour 2 sites à photogate : le transistor de remise à zéro : RST, le transistor suiveur : SF et transistor de lecture : RD. Grâce au schéma électrique, on peut déduire la capacité totale du nœud de lecture qui représente la somme de la capacité de couplage avec les deux grilles verticales (V_{G1} et V_{G2}), de la capacité de la ligne de métal 1 (C_{M1}), de la capacité de grille C_{GS} du transistor de remise à zéro (RST) et de la capacité de la grille du transistor suiveur (C_{SF}) comme illustré sur le schéma 3.1 (b). La capacité du nœud de lecture régit un paramètre clé appelé « facteur de conversion de charge en tension » que nous détaillerons ensuite (§ 1.4).

Les différentes tensions de mise en œuvre sont également représentées sur le schéma de la Figure 3.1. On y note : V_N , la tension de polarisation du caisson, V_{CDTI} , la tension de polarisation du CDTI et des tensions spécifiques à la chaîne de lecture : V_{RST} , tension de remise à zéro du pixel, V_{SF} , la tension d'alimentation du transistor suiveur et V_X , la tension de sortie de la colonne de lecture. On observe sur les masques Figure 3.1 (b) un transistor supplémentaire appelé DY (Dummy transistor). Celui-ci n'est pas utilisé lors du fonctionnement de la structure, il est ajouté afin de la rendre symétrique en vue d'augmenter l'uniformité optique des pixels ainsi que leur uniformité durant la fabrication. Toutefois ce transistor peut être relié en mode suiveur de manière à le doubler. Dans ce cas, sa capacité de grille s'ajoute à la capacité totale du nœud de lecture.

On rappelle sur le Tableau 3-1 les tensions de mise en œuvre dans les conditions utilisées lors des caractérisations du pixel PMOS de ce chapitre.

Tableau 3-1 : Récapitulatif des tensions de mises en œuvre utilisées

Nom	Fonction	Valeur	Unité
V_{RSTLO}	Niveau bas de la grille de transistor de remise à zéro	0	V
V_{RSTHI}	Niveau haut de la grille de transistor de remise à zéro	3.5	V
V_{VGLO}	Niveau bas de la grille de transfert verticale	0	V
V_{VGHI}	Niveau haut de la grille de transfert verticale	3.5	V
V_{READLO}	Niveau bas de la grille du transistor de lecture	0	V
V_{READHI}	Niveau haut de la grille du transistor de lecture	3.5	V
V_{CDTI}	Tension d'alimentation du CDTI	3.5	V
V_{SF}	Tension d'alimentation du drain du transistor suiveur	0	V
V_{RST}	Tension de remise à zéro	0.5	V
V_N	Tension de polarisation des caissons N	2.5	V
V_{WC}	Définit la tension maximale sur la colonne V_X	1.5	V
I_{COL}	Définit le courant dans la colonne	2.0	μA

1.2 Les différentes versions de pixels étudiés

Notre matrice de pixel contient 10 versions de pixels différentes pour une taille de matrice de 1200*900 (1Mpix) comme détaillé en Figure 3.2. Ils s'organisent au sein de 10 blocs formés par $1.08 \cdot 10^5$ pixels et partagent les mêmes colonnes de lecture (V_X).

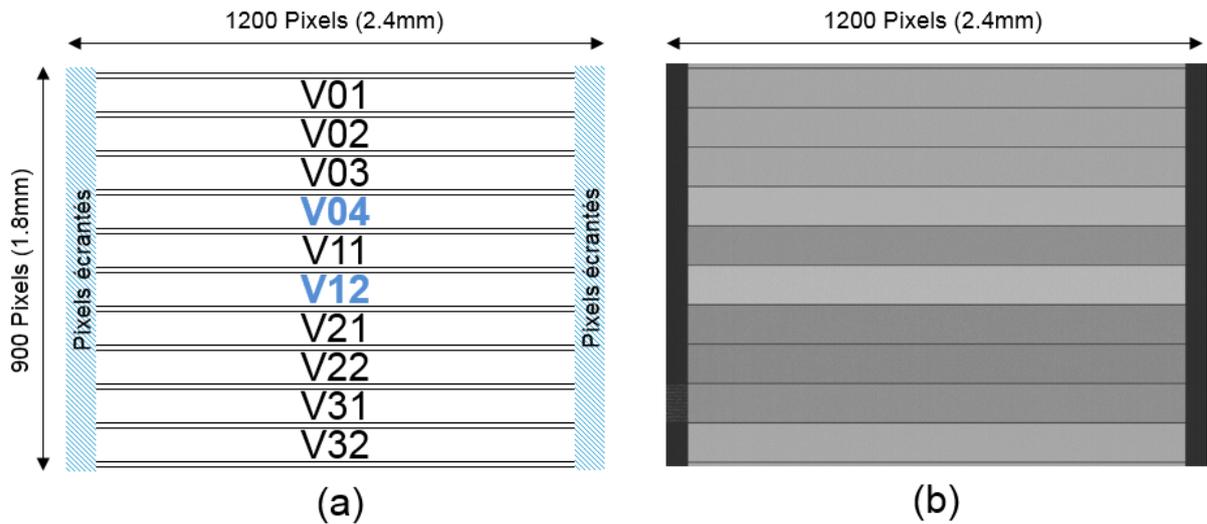


Figure 3.2 : (a) Schéma des différentes versions des pixels, (b) image sous éclairage du capteur illustrant les différentes versions et bandes noirs de pixels écrantés.

Lors du traitement des images, nous prendrons soin de traiter ces variantes séparément en définissant des régions d'intérêt (ROI : Region Of Interest) et en excluant les bords de la matrice dont les pixels écrantés sont utilisés comme pixels de référence dans l'obscurité. Les versions V01, V02, V03 et V04 sont dessinées sans SNTI contrairement aux pixels V11 et V12. Les pixels V21 à V31 sont quant à eux dessinés avec des croisements STI/CDTI ou PXVG. Dans l'étude que nous proposons et afin de simplifier l'analyse, nous nous référons majoritairement aux pixels V04 appelés « No SNTI » et V12 « SNTI » avec 2 transistors en mode suiveur. Ultérieurement, nous utiliserons également des pixels sans motif STI appelés « SNTI/NoSTI », représentés sur la Figure 3.3.

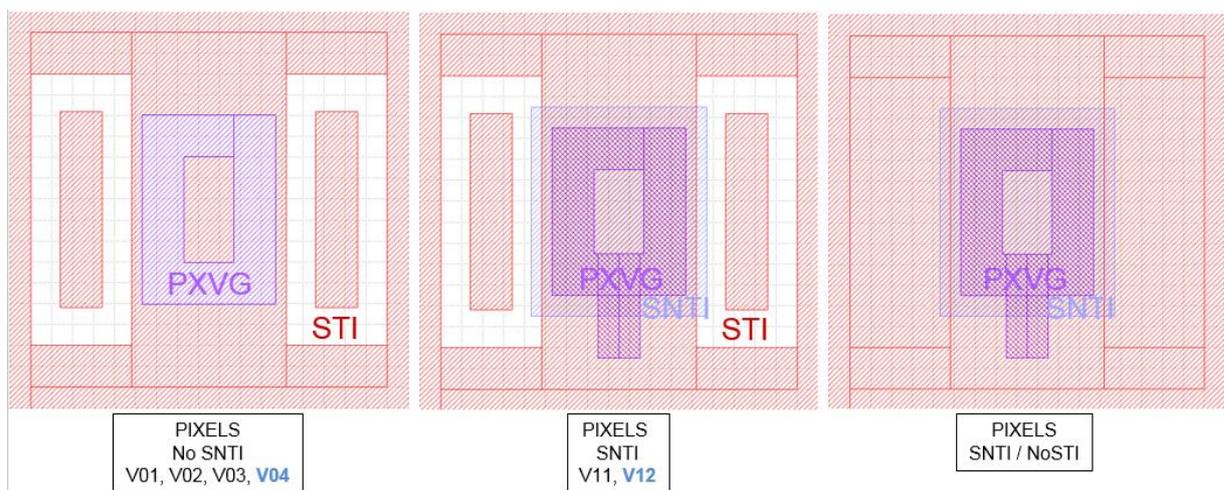


Figure 3.3 : Masques utilisés pour les différentes versions de pixel : « No SNTI », « SNTI » et « SNTI/No STI ». On peut retrouver les coupes TEM correspondante aux versions No SNTI et SNTI sur la Figure 2.20.

1.3 Réponse du capteur sous éclairement

Une manière de vérifier le fonctionnement du pixel consiste à effectuer des images à des temps d'acquisition différents. On mesure alors la tension moyenne en sortie après double échantillonnage corrélé. Sur la Figure 3.4, on aperçoit que le signal récupéré augmente avec le temps d'intégration. La nouvelle architecture photogate proposée réagit donc bien à la durée d'exposition.

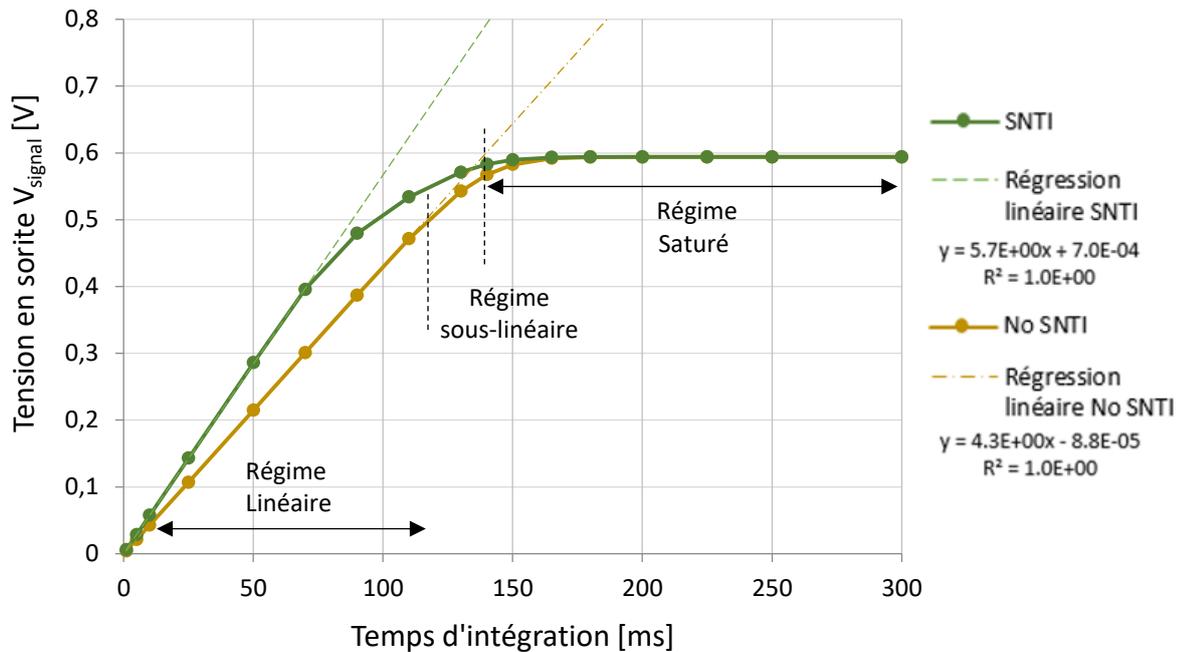


Figure 3.4: Courbe de linéarité du capteur pour les deux versions de pixel avec et sans SNTI pour un éclairement en lumière blanche de 2.45 Lux avec 10 images moyennées.

Sur les courbes de la Figure 3.4, on distingue 3 régimes différents : linéaire, sous-linéaire et saturé. Dans le domaine linéaire, le pixel stocke les charges et les lit de manière proportionnelle au temps d'éclairement. Il perd ensuite peu à peu de sa linéarité pour atteindre une zone de saturation.

On définit la sensibilité d'un capteur par la pente de la partie linéaire. Celle-ci dépend de l'intensité lumineuse et s'exprime donc en $V/(\text{lux}\cdot\text{s})$. Dans notre cas, nous effectuons la mesure en lumière blanche au moyen d'une source halogène de 2.45 Lux. On trouve par régression linéaire $2.32V/(\text{lux}\cdot\text{s})$ pour la version SNTI et $1.73V/(\text{lux}\cdot\text{s})$ sans SNTI. Cette différence de pente s'explique par un facteur de conversion de charge en tension (CVF : charge to voltage factor) plus élevé pour le pixel SNTI et entraîne une plus grande amplification du signal lu. Ce paramètre sera calculé et commenté dans la partie suivante (1.4).

Dans la zone de saturation, nous avons accès à la tension maximale délivrée par le pixel. Celle-ci correspond à la charge maximale stockée par le pixel dans le cas où la saturation n'est pas limitée par la chaîne de lecture. Ici, la saturation en tension est la même pour les deux pixels, ce qui laisse supposer une limitation de la chaîne de lecture que l'on discutera en partie 2.1.4.

1.4 Facteur de conversion de charge en tension (CVF)

Le facteur de conversion de charge en tension (CVF : charge to voltage factor) est un rapport qui relie la tension lue sur la colonne au nombre de charges présentes dans le nœud de lecture et par extension dans la photogate. Ce facteur est déterminé dans la zone de linéarité du pixel. Il s'exprime en $\mu\text{V}/h^+$ et est défini par :

$$CVF = \frac{V_{signal}}{N_{h^+}} \quad (\text{Eq. 3-1})$$

Où V_{signal} est la tension en sortie du capteur et N_{h^+} le nombre de trous stockés et transférés.

1.4.1 Evaluation du CVF

Une manière d'évaluer le CVF est issue de la courbe de transfert photonique [84]. Celle-ci se base sur le signal reçu dans la zone de linéarité du capteur et sur son bruit photonique associé. Le bruit photonique (σ_p) associé au signal décrit un processus de Poisson dont la variance s'exprime par la racine du nombre d'événement : ici, le nombre de photons incidents (N_p) :

$$\sigma_p = \sqrt{N_p} \quad (\text{Eq. 3-2})$$

En partant de la définition du CVF (Eq. 3-1) et en supposant que le bruit photonique est prédominant dans la zone de linéarité choisie, $\sigma_{h^+} = \sqrt{N_{h^+}}$ (que l'on vérifiera en partie 4.1). On trouve :

$$\sigma_{signal}^2 = CVF^2 * \sigma_{h^+}^2 = CVF^2 * N_{h^+} = CVF^2 * \frac{V_{signal}}{CVF} = CVF * V_{signal} \quad (\text{Eq. 3-3})$$

Dans ces conditions, la pente de la variance en fonction du signal moyen de la matrice donne accès au CVF. Grâce à la régression linéaire représentée sur la Figure 3.5, on trouve un CVF de $94.5\mu\text{V}/h^+$ pour la version SNTI et $73.8\mu\text{V}/h^+$ pour la version sans SNTI. Ce qui représente des valeurs plutôt basses en comparaison à des pixels utilisant une grille de transfert en surface dont la dynamique est optimisée ($\sim 125\mu\text{V}/h^+$), le facteur limitant la dynamique de notre pixel sera discutée 2.1.4. Par la suite, nous nous servons de ce facteur de conversion pour évaluer la charge en saturation (2.1.1), l'efficacité quantique (2.2.1) et le courant d'obscurité (3.2.1).

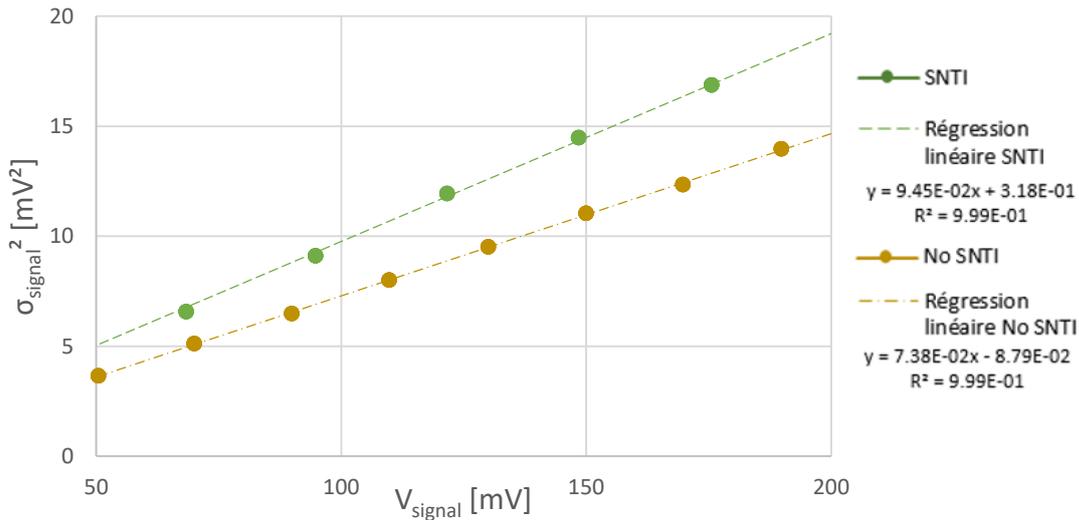


Figure 3.5 : Courbe d'extraction du CVF : Bruit mesuré en fonction du signal moyen. La pente de la courbe donne accès au CVF voir (Eq. 3-3).

1.4.2 Effet de la capacité du nœud de lecture

Le facteur de conversion de charge en tension (CVF) est influencé par la capacité du nœud de lecture (C_{SN}) et le gain du transistor suiveur (G_{SF}) comme on peut le remarquer à partir de l'équation (3-4). Le gain du transistor suiveur a été évalué en chapitre 2 § 5.2.3 et est d'environ 0.83 pour toutes les versions de pixel. La variation sur le CVF pour les différentes versions est donc liée à la capacité C_{SN} du nœud de lecture. Celle-ci est notamment modifiée par la capacité de grille du transistor suiveur (C_{SF}) et l'interaction entre le nœud de lecture et la grille de transfert verticale.

$$CVF = \frac{V_{signal}}{N_{h+}} = \frac{G_{SF} * V_{SN}}{N_{h+}} = \frac{G_{SF} * q * N_{h+}}{N_{h+} * C_{SN}} = \frac{G_{SF} * q}{C_{SN}} \quad (\text{Eq. 3-4})$$

L'ajout du SNTI diminue la capacité totale du nœud de lecture comme on peut le voir sur le Tableau 3-2. Néanmoins, l'ajout d'un deuxième transistor (DY) en fonctionnement suiveur augmente la capacité par la mise en parallèle de deux capacités de grille (C_{SF}) et diminue ainsi le CVF. On peut au moyen de ce tableau évaluer au premier ordre la capacité de la grille (C_{SF}) du transistor suiveur à environ 0.2fF et la différence de capacité du couplage pour un SNTI de 200nm à 0.2fF (deux nœuds de lecture sont partagés : 0.4fF/2).

Tableau 3-2 : Rappel des différents pixels, moyenne des CVF associés et capacité calculé du nœud de lecture grâce à (Eq. 3-4)

Versions	2*SF	SNTI	CVF [μV/h+]	C _{SN} [fF]
V04			84.0	1.58
V04 - No SNTI	X		73.2	1.81
V12		X	110.4	1.20
V12 - SNTI	X	X	96.1	1.38

2. Dynamique et sensibilité du capteur

2.1 Optimisation de la dynamique

Différents éléments déterminent la dynamique maximale du pixel : la charge en saturation dans la photogate, la tension maximale de chaîne de lecture du pixel et le nombre de bit du convertisseur analogique/numérique (CAN). Nous chercherons à mettre en évidence dans cette partie la limite de la dynamique du système.

2.1.1 Charges stockables par la photogate

Les charges photogénérées sont stockées dans la zone photosensible du pixel. En effet, cette zone est intégralement déplétée lors de la mise à zéro et permet de stocker les charges positives. La Figure 3.6 montre que les charges pourront être stockées entre le potentiel de déplétion V_D et le potentiel de la barrière de la grille verticale V_B . On note V_{DF} le potentiel à l'intérieur de la photogate pour une charge stockée donnée. On rappelle par la même occasion ΔV_B et ΔV_D , les différences de potentiel de barrière et de déplétion par rapport au potentiel de surface V_S .

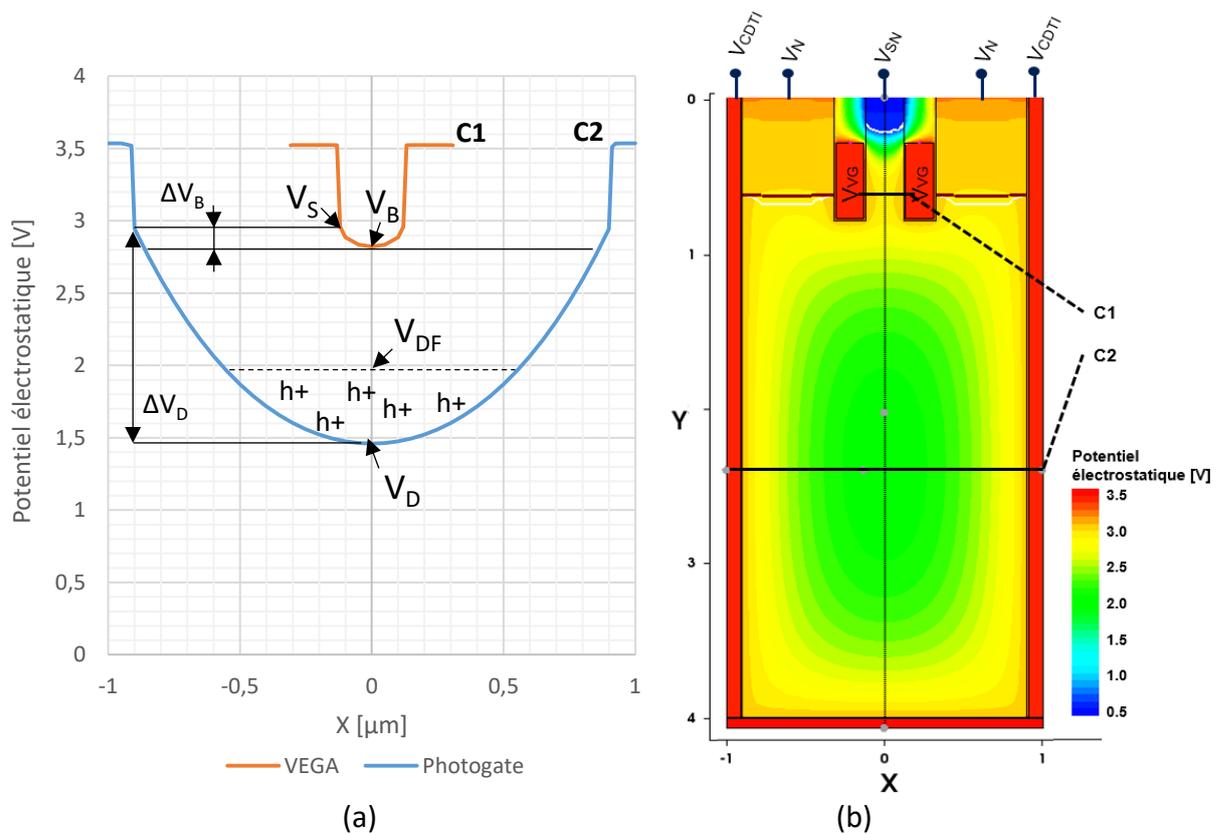


Figure 3.6 : Simulation TCAD du potentiel du pixel. Les courbes VEGA et Photogate en (a) représentent respectivement la coupe suivant C1 et la coupe suivant C2 sur la simulation 2D (b). On applique sur la structure les potentiels suivants : $V_N=2.5V$, $V_{SN}=0V$, $V_{CDTI}=3.5V$ et $V_{VG}=3.5V$. Les charges sont stockées par la photogate et retenues par le potentiel V_B de la grille verticale.

Il est possible d'estimer, par la simulation, la charge présente au sein de la structure en fonction du potentiel V_{DF} . On représente cette charge maximale sur la Figure 3.7 pour un pixel simulé en 3D avec une épitaxie $3.5\mu\text{m}$, l'axe secondaire donne l'équivalent de cette charge par μm de photogate. Pour des potentiels V_{DF} élevés, proche de 2.8V , les charges ne sont plus contenues dans la photogate car le potentiel dépasse le potentiel de la barrière. D'où la divergence de la courbe. En outre, on doit également prendre en compte l'agitation thermique dans le calcul de la hauteur de la barrière qui n'a pas été simulée car le nombre de charges perdues dépend du temps de lecture, comme on le verra dans le paragraphe 2.1.3. De manière empirique, cette agitation représente un abaissement de la barrière d'au moins $10 \cdot kT/q$ soit 260mV à température ambiante [85] [86] par rapport au potentiel de barrière V_B .

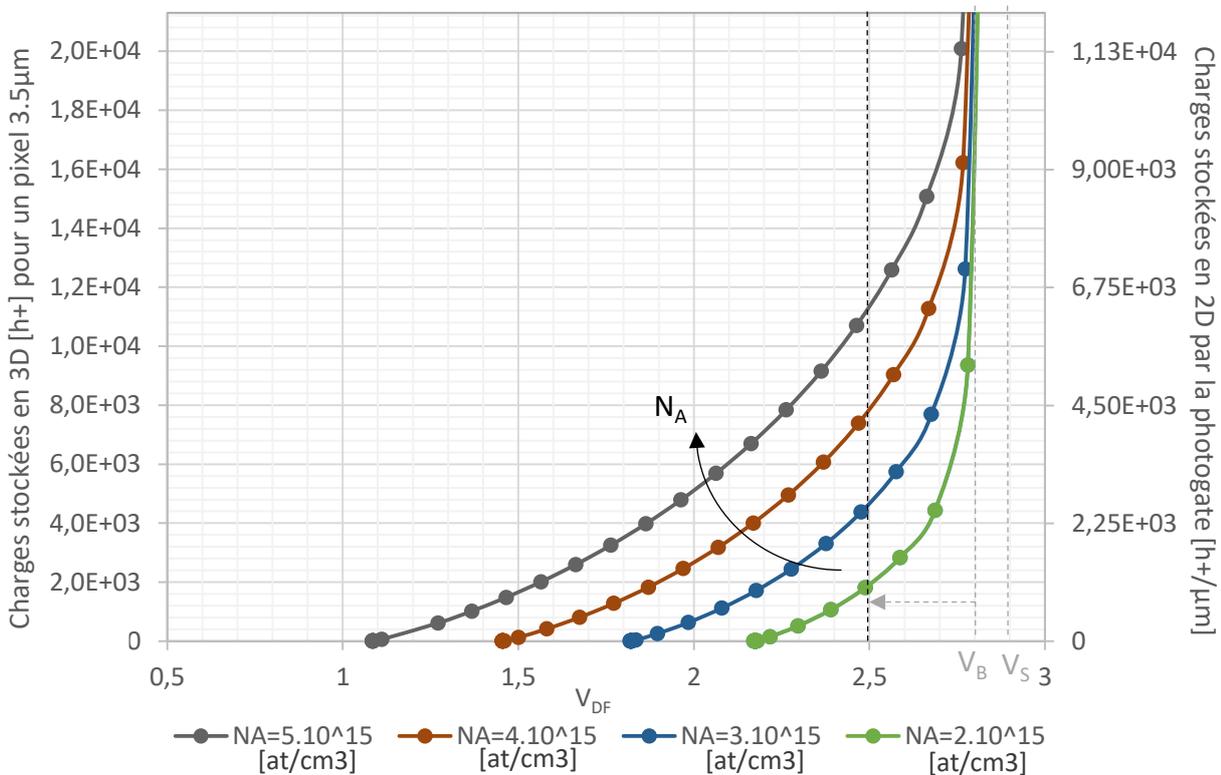


Figure 3.7 : Simulation en 3D et 2D des charges stockées dans la structure en fonction du potentiel interne V_{DF} pour différents dopages N_A de l'épitaxie. Augmenter le dopage revient à augmenter la charge stockable et diminuer le potentiel de déplétion.

On reporte dans le Tableau 3-3 la charge simulée pour $V_{DF}=2.5\text{V}$ et pour un pixel de $3.5\mu\text{m}$. La charge maximale en 3D n'est pas égale à la charge stockée en simulation 2D multipliée par la hauteur de l'épitaxie comme on peut le supposer : en 3D, pour $V_{DF}=2.5\text{V}$, on trouve $8000h^+$ alors qu'en 2D, $4500 \cdot 3.5\mu\text{m} = 15750h^+$. Les valeurs de la simulation 2D considèrent en effet que tout le pixel est utilisé pour le stockage des charges. Ce qui n'est pas le cas en raison de la place utilisée par les caissons PMOS, de la grille verticale et des phénomènes de bords en face arrière par exemple.

Tableau 3-3 : Charge maximale estimée par simulation en fonction de l'épitaxie pour un pixel de 3.5 μm et par μm utilisable.

Dopage de l'épitaxie [at/cm ³]	Charge maximale	
	[h+] pour 3.5 μm	[h+/ μm]
4.10^{15}	8000	4600
3.10^{15}	4200	2500

On peut également mesurer cette charge stockée en fonction du potentiel interne de la photogate. En effet, on peut limiter le nombre de charges stockées dans le pixel (potentiel V_{DF}) en déplaçant le potentiel de la barrière (V_B) vers le bas par modification de la tension de la grille verticale à l'état haut (V_{VGH1}). On obtient alors le graphique représenté en Figure 3.8 par la superposition de cette mesure et de la simulation précédente pour un dopage N_A égal à 4.10^{15} at/cm³.

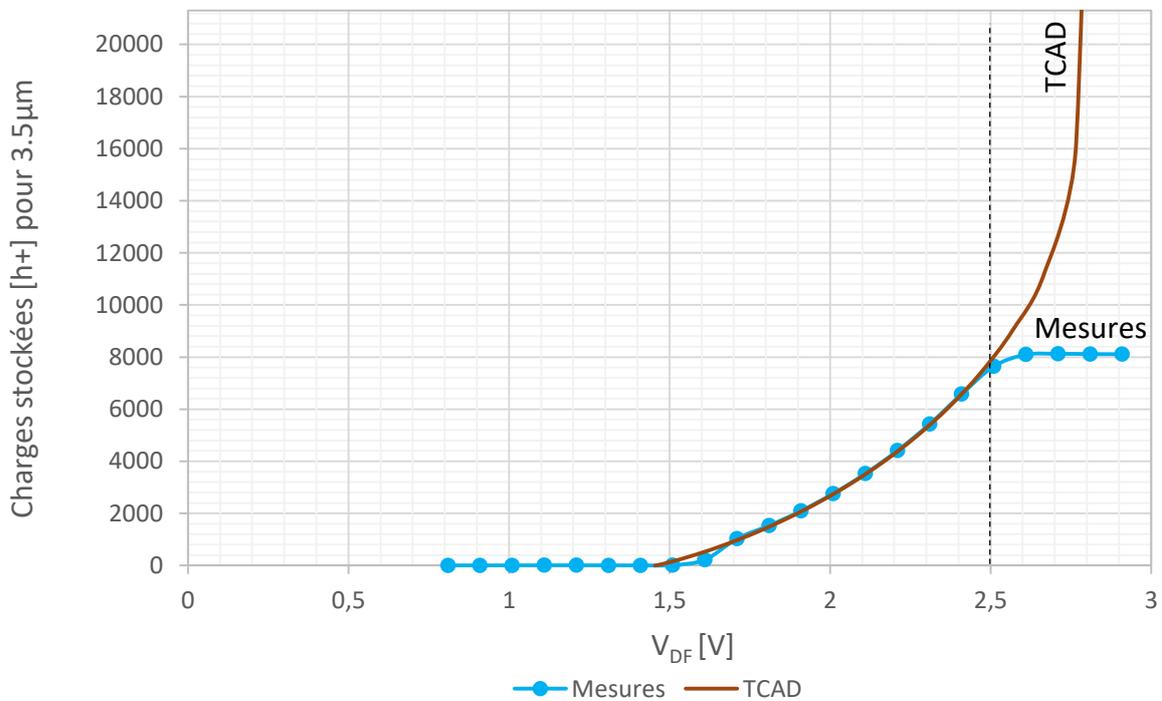


Figure 3.8 : Comparaison entre la mesure et la simulation de la charge stockée pour une épitaxie 3.5 μm dopé à $N_A=4.10^{15}$ at/cm³ en fonction du potentiel interne de déplétion. La dérivée de cette courbe donne accès à la capacité en fonction de V de la photogate.

On constate sur la Figure 3.8 que les hypothèses évoquées pendant l'étude théorique sont cohérentes avec la mesure et en prenant en compte de l'abaissement de la barrière créé par l'agitation thermique ($\sim 10\text{kT}/q$) autour de 2.5V. Par approximation linéaire de la courbe, on peut estimer la capacité de la photogate à 1.28fF.

2.1.2 Effet de l'épaisseur de l'épitaxie sur la charge stockée

Des échantillons ont été réalisés avec plusieurs épaisseurs d'épitaxie afin d'évaluer l'évolution de la charge de stockage à saturation. Ces résultats sont donnés sur la Figure 3.9. Nous remarquons dans un premier temps que pour une épitaxie à 3.10^{15} at/cm³ la charge à saturation suit une évolution linéaire ($R^2=0.99$) avec une pente $2388h^+/\mu\text{m}$ qui est comparable à celle obtenue par TCAD : $2500 h^+/\mu\text{m}$, la charge maximale pour $3.5\mu\text{m}$ est de $4240 h^+$ contre $4200h^+$ donnée par la simulation. De la même manière pour une épitaxie à 4.10^{15} at/cm³, on trouve une pente de $4620h^+/\mu\text{m}$ contre $4600 h^+/\mu\text{m}$ en TCAD et une charge maximale mesurée pour $3.5\mu\text{m}$ à $7980h^+$ contre $8000h^+$ en valeur théorique.

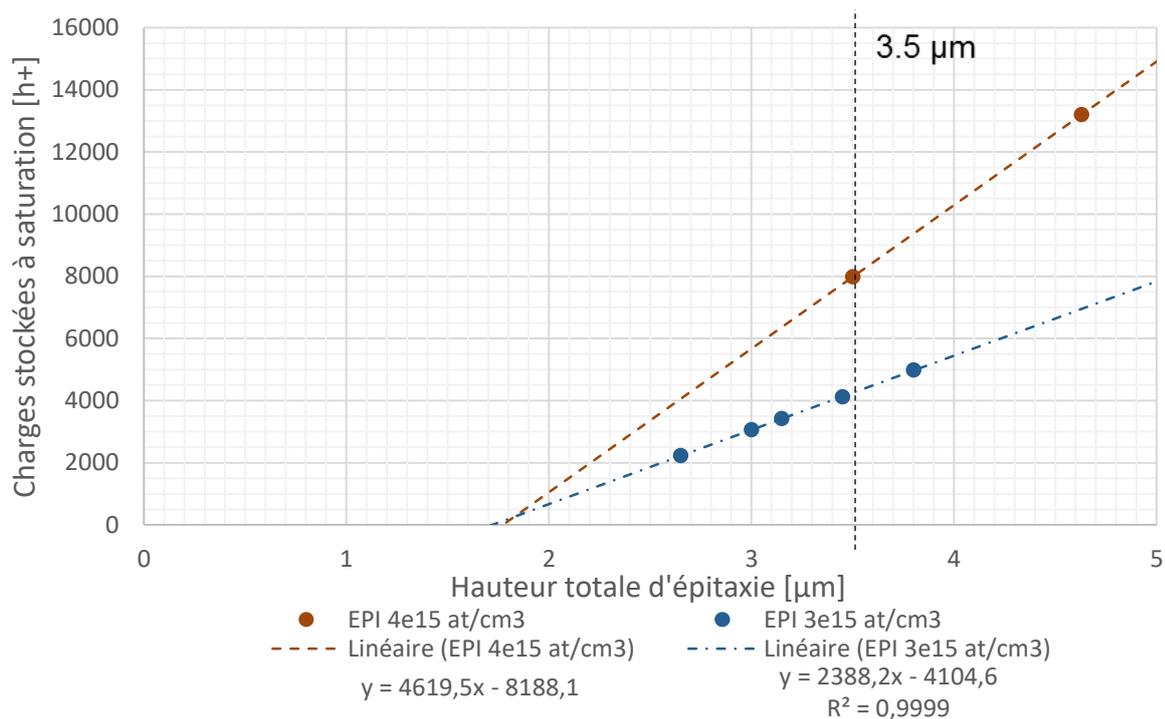


Figure 3.9 : Mesure de la charge à saturation en fonction des différentes épitaxies réalisées. Evolution linéaire entre l'épaisseur de l'épitaxie et $1.8 \mu\text{m}$ de zone inutilisée.

On peut discerner par ailleurs que l'abscisse à l'origine du graphique de la Figure 3.9 montre une zone de $1.8\mu\text{m}$ non utilisée pour le stockage par le pixel ce qui engendre une perte d'environ $8188h^+$ pour le dopage de 4.10^{15} at/cm³. En effet, $0.8\mu\text{m}$ sont occupés par la grille de transfert verticale et sont donc perdus. On estime par ailleurs qu'environ $1\mu\text{m}$ de stockage est perdu à cause des effets de bord de la face arrière et lors du pincement de la grille verticale en position fermée visible sur la simulation Figure 3.6 (b).

Finalement, on aura réalisé et caractérisé un échantillon intégralement dépleté stockant 13500 charges sur une hauteur utile de photogate de $4\mu\text{m}$. Cette charge maximale peut encore être augmentée par la réduction de la taille de la grille verticale et des caissons N. L'utilisation d'un dopage graduel peut permettre de maximiser le stockage dans la zone de face arrière ou proche de la grille verticale mais celle-ci n'est pas recommandée car il faut s'assurer que les charges seront transférées efficacement et sans rémanence depuis ces zones.

2.1.3 Rétention des charges dans le pixel

Nous avons vu en paragraphe 2.1.1 que la perte en tension due à l'agitation thermique est estimée à $\sim 10kT/q$. On peut mettre en évidence ce phénomène d'écoulement des charges en faible injection vers le nœud de lecture à l'aide d'une mesure de rétention des charges. Durant cette mesure de charges stockées, nous laissons volontairement un temps d'attente entre la fin de l'éclairement où la saturation est atteinte et la lecture des charges. L'agitation thermique va durant ce moment créer un courant vers le nœud de lecture qui dépend du niveau de Fermi de la photogate ou photodiode.

Sur la Figure 3.10, on représente le nombre de charge retenue en fonction du temps avant la lecture. On observe que le nombre de charges restantes dans le pixel diminue de manière logarithmique avec le temps.

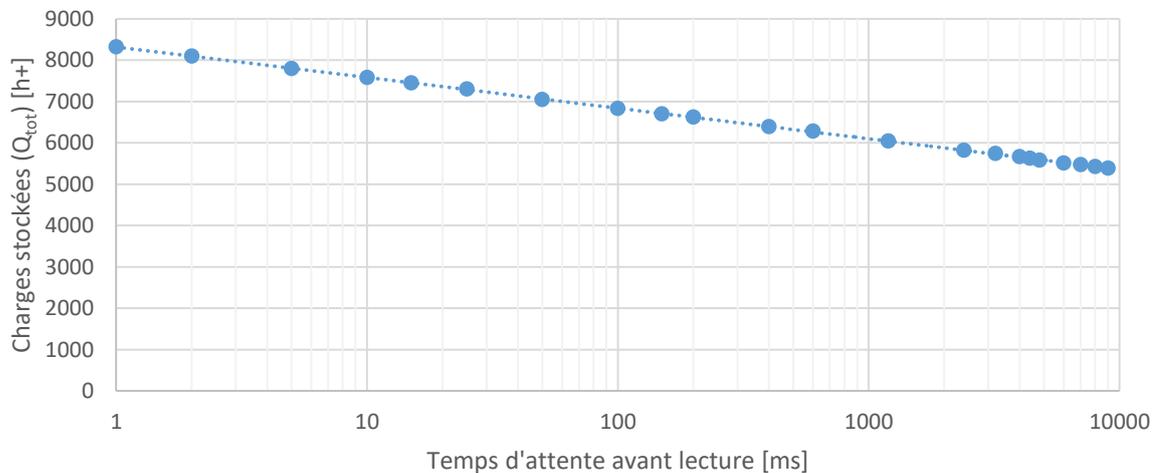


Figure 3.10 : Mesure de la rétention des charges de la photogate en fonction du temps d'attente en échelle logarithmique et régression linéaire ($y = -321.4 \ln(x) + 8320.1$, $R^2 = 0.9999$).

Cette décroissance logarithmique est décrite par l'équation (Eq. 3-5) adaptée de [87]. Les potentiels V_{DF} et V_D sont respectivement liés à Q_{tot} et Q_{max} par la capacité de la photogate C_{PG} .

$$V_{DF} = -\frac{kT}{q} \ln\left(\frac{q}{kT C_{PG}} I_0 t_{attente} + 1\right) + V_D \quad (\text{Eq. 3-5})$$

Avec I_0 , le courant en [A] à l'instant t_0 et $t_{attente}$ en [s] le temps d'attente entre la fin de l'intégration et la lecture du signal.

Après un temps très long ($\sim 5s$), le signal diminue d'environ 2000 h^+ , ce qui représente un potentiel de déplétion $V_{DF}=2.3V$ soit environ égal à 500mV ($20kT/q$). Cette valeur a également été retrouvée pour les capteurs à photodiode pincée [86].

2.1.4 Facteur limitant la chaîne de lecture

On construit l'ensemble de la chaîne de lecture vis-à-vis de l'élément le plus contraignant. Dans notre cas, le convertisseur analogique-numérique (CAN) a une dynamique de conversion fixée à 1V pour 14bit. On souhaite dans notre cas convertir 8000 charges par ce biais, un rapide calcul permet de définir un facteur de conversion optimal de $125\mu\text{V}/\text{h}+$. Nous avons vu au chapitre 2 que le potentiel de déplétion est placé à 1.5V et que l'on doit placer la tension de remise à zéro à 0.5V afin d'effectuer une remise à zéro non dépendante de la tension de seuil du transistor. Ainsi, à première vue, la chaîne de lecture n'impose aucune limitation à la tension maximale en sortie.

Néanmoins, si l'on étudie attentivement la courbe du transistor suiveur (chapitre 2 Figure 2.42), nous observons que la tension de la colonne (V_s) peut s'approcher de la tension du caisson N et risque de placer cette diode proche d'un régime direct impactant les performances du pixel. Afin de limiter la tension sur la colonne nous placerons un transistor de fuite polarisé à la tension (V_{WC}) sur la colonne de lecture. Sur la Figure 3.4 du paragraphe 1.3, la tension de saturation est limitée à 600mV et pour des conditions nominales (voir Tableau 3-1).

On notera que cette plage de lecture est insuffisante pour le fonctionnement du pixel avec SNTI qui a un facteur de conversion le plus élevé. Afin de lire d'avantage de charges, on peut par exemple ajouter 0.5V à la dynamique initiale et obtenir les courbes de linéarité saturées en charge de la Figure 3.11.

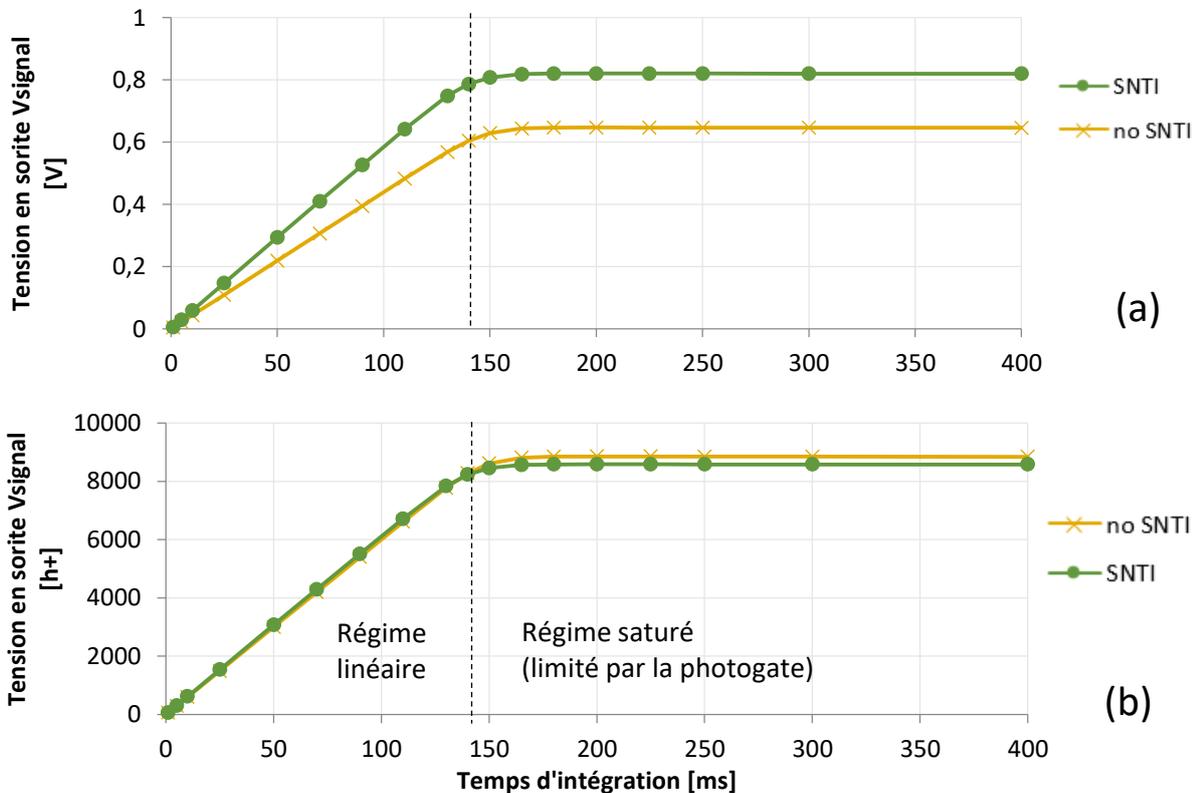


Figure 3.11 : Courbe de linéarité non limité par la chaîne de lecture en tension (a) et (b) en charges qui permet de déterminer la charge à saturation pour la photogate.

On note avec cette nouvelle tension de fonctionnement que les différents pixels ne saturent plus à tension constante comme précédemment (Figure 3.4). La charge de la photogate en régime de saturation est de l'ordre de 8500 h+ pour la puce mesurée. Ceci pour les deux versions de pixel avec et sans SNTI (Figure 3.11).

2.1.5 Photogate en mode stockage en surface

La photogate dans le cas usuel de nos caractérisations agit comme une capacité MOS placée en inversion. On utilise ce domaine de polarisation en raison de la diminution du courant d'obscurité que nous abordons de manière détaillée dans le paragraphe 3.3.2.1. Cependant, nous pouvons également étudier la photogate en dehors de ce régime. En effet, on peut utiliser la capacité C_{ox} de ce composant MOS afin de stocker des charges en surface.

Pour mettre en évidence ce phénomène, on représente sur la Figure 3.12 la charge en régime de saturation en fonction de la tension appliquée sur la tranchée capacitive (V_{CDTI}). On remarque que la charge augmente grâce à un stockage des charges en surface. On trouve une augmentation de 30% de la charge stockée soit 3000 charges.

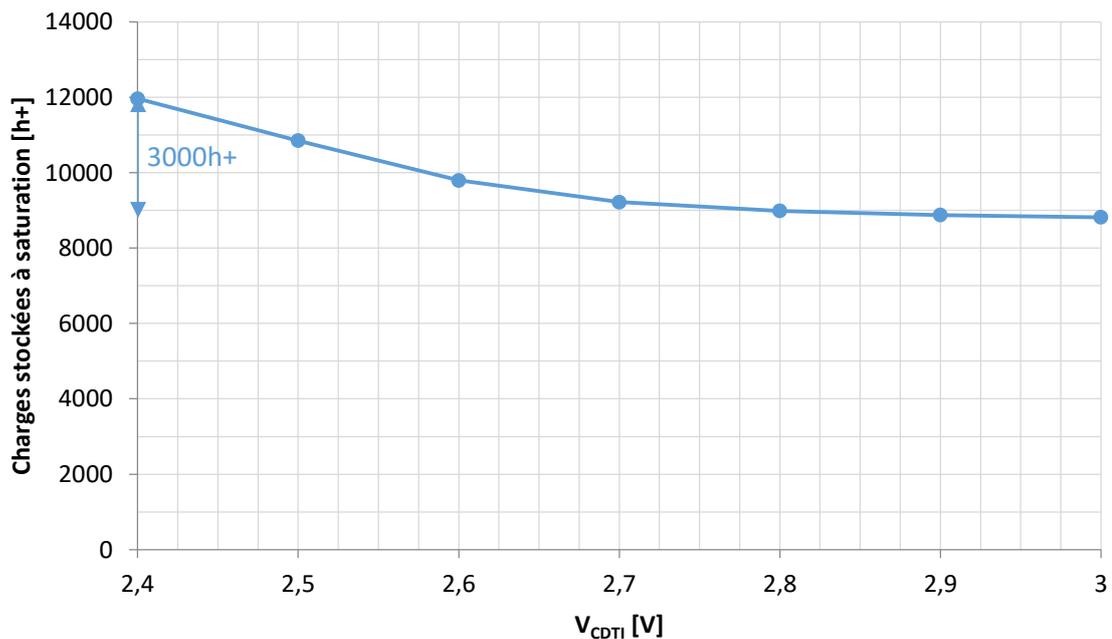


Figure 3.12 : Effet du changement de la polarisation V_{CDTI} sur la charge à saturation pour la version sans SNTI.

En choisissant des tensions de fonctionnement élargies et en appliquant une tension V_N supérieure à 2.5V, ce résultat peut offrir de bonnes perspectives d'application pour les capteurs à forte dynamique. En effet, ce mode de fonctionnement est intéressant dans les cas de fortes luminosités car il augmente le nombre de charges stockées. Cependant, il dégradera le bruit, à cause du courant d'obscurité généré par les interfaces qui ne seront plus passivées. Ce mode ne sera donc pas adapté aux faibles éclaircissements.

2.2 Efficacité quantique (Qe)

Nous avons évoqué en introduction la sensibilité du capteur. La mesure de sensibilité peut permettre dans des conditions d'éclairement données et pour un facteur de conversion identique une manière de classer la performance de la conversion de photons en charges. Cependant, si l'on souhaite avoir une compréhension plus complète du pixel, on peut étudier la sensibilité en fonction de la longueur d'onde et de l'éclairement de la source. On peut également rendre ce paramètre indépendant du facteur de conversion (CVF), ce qui revient à mesurer la performance de la conversion photon/charge que l'on appelle efficacité quantique (Qe).

2.2.1 Méthode de mesure

L'efficacité quantique (Qe) en [%] est le rapport entre le nombre de charges collectées et le nombre de photons émis, pour une longueur d'onde (λ) définie. Elle est donnée par la relation :

$$Qe [\%] = \frac{N_{h+}}{N_{photon}} * 100 = \frac{V_{signal}}{CVF} * \frac{hc}{\lambda E_{\lambda}} * \frac{1}{T_{int} * S_{pix}} * 100 \quad (\text{Eq. 3-6})$$

Avec, V_{signal} [V] : la tension en sortie du pixel, CVF [$\mu\text{V}/h+$] : le facteur de conversion de la chaîne de lecture et hc/λ [J/photon] : l'énergie d'un photon, E_{λ} [W/m²] : la puissance rayonnée reçue par unité de surface (irradiance), T_{int} [s] : le temps d'intégration, S_{pix} [m²] la surface éclairée du pixel.

Dans cette équation l'ensemble des paramètres est connu, à l'exception de l'irradiance (E_{λ}). Cette irradiance est déterminée à l'aide d'une source monochromatique calibrée. Cette puissance rayonnée par la source peut être mesurée à une longueur d'onde donnée au moyen d'un photomètre placé à une distance identique à celle du capteur.

Sur la Figure 3.13, on schématise le dispositif mis en place. On observe que la mesure de l'irradiance est effectuée en même temps que l'illumination du capteur grâce à une sphère intégrante à deux entrées. Le monochromateur est quant à lui composé d'une source halogène dont les longueurs d'onde sont séparées par un réseau de diffraction.

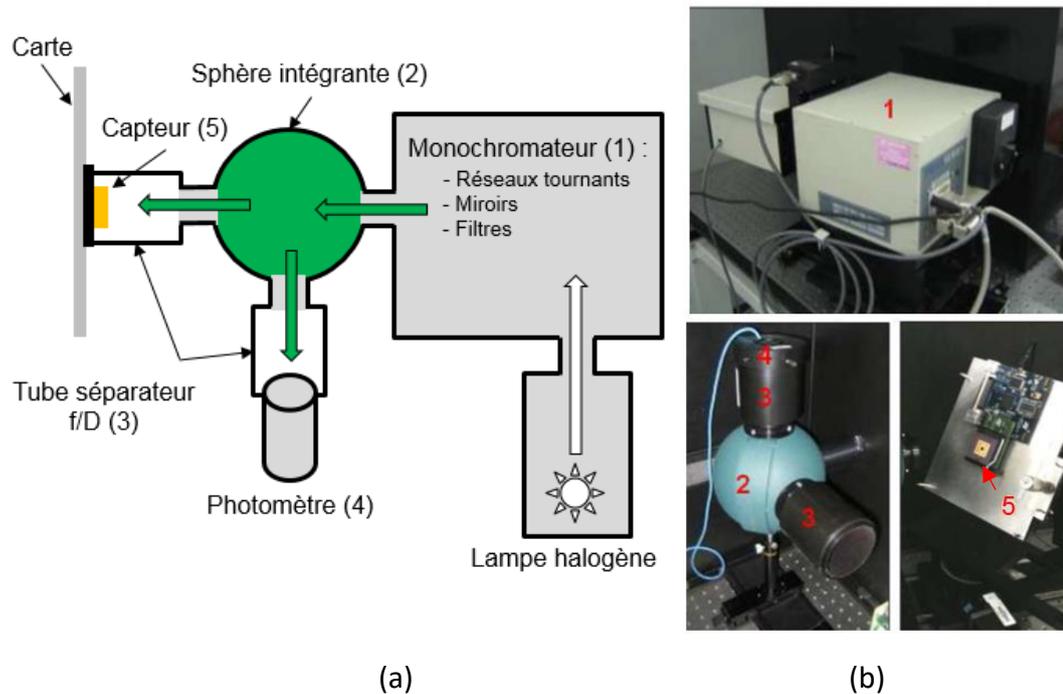


Figure 3.13 : (a) Schéma de fonctionnement du monochromateur et (b) photographie des instruments employés [88]
 (1).Monochromateur (2).Sphère intégrante (3).Tube séparateur (4).Photomètre (5).Capteur

2.2.2 Effets de l'épaisseur de l'épitaxie

De nombreux facteurs peuvent influencer l'efficacité quantique (Q_e). Le nombre de trous générés N_{h^+} (Eq. 3-6) dépend du nombre de photons convertis dans la structure. Ces photons peuvent être réfléchis par la surface (voir § 2.2.3) ou ne pas être absorbés par le silicium.

L'épaisseur d'épitaxie est un paramètre déterminant et favorisant cette absorption. En effet, plus l'épaisseur du silicium est importante, plus les photons ont la possibilité de photo-générer une paire électron/trou. On peut évaluer l'absorption des photons dans le silicium par la mesure de la transmission optique ce qui revient à déterminer l'indice optique à différentes longueurs d'onde [89].

La Figure 3.14 montre une simulation de l'absorption en fonction de l'épaisseur de l'épitaxie réalisée grâce une mesure de l'indice optique du silicium [89]. On remarque sur ce graphique que l'épaisseur de silicium affecte très peu l'absorption dans les longueurs d'onde proche du bleu (400-500nm). En effet, il ne suffit que d' $1 \mu\text{m}$ pour absorber la quasi-totalité des photons émis à cette longueur d'onde. Cependant, pour des longueurs d'onde proche du rouge (600-800nm), le gain moyen est d'environ 10 % pour chaque μm entre de $2\mu\text{m}$ et $5\mu\text{m}$ d'épitaxie.

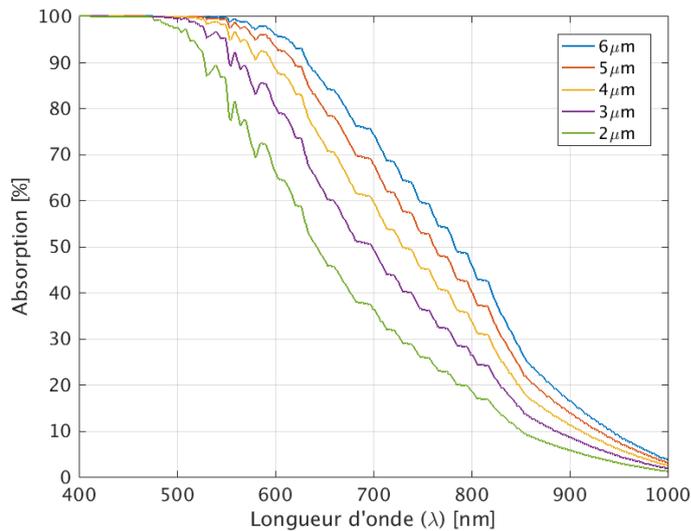


Figure 3.14 : Simulation à partir de la mesure de l'indice optique [89] de l'absorption du silicium en fonction de l'épaisseur d'épitaxie

Sur la Figure 3.15, on retrouve les différents essais réalisés sur l'épaisseur de l'épitaxie du pixel. On trouve un gain de l'ordre de 5 % entre l'épitaxie de 3.8 μm et de 4.8 μm. Ce résultat est nécessairement inférieur au gain d'absorption dans le silicium évoqué précédemment. En effet, lors de la simulation de l'absorption, il n'a pas été pris en compte la réflexion des photons sur les lignes de métal au-dessus des transistors permettant de les récupérer à nouveau dans le pixel. On constate également qu'une efficacité quantique pour des longueurs d'onde supérieures à 900nm, est supérieure à 15% comparée à celle prévu par la simulation. On peut démontrer par des simulations [90] que les réflexions multiples au sein de ces lignes de métal améliorent grandement la réponse dans l'infrarouge. On retrouve dans la littérature des motifs structurant la face arrière pour améliorer cette réponse [91].

D'autre part, la réponse entre 400-500nm est fortement atténuée. Ce phénomène est dû à la réflectivité pour ces longueurs d'onde en raison de la passivation tri-couche composée de 20nm d'oxyde, 60nm de nitrure et 160nm d'oxyde (chapitre 2 § 6.1.2).

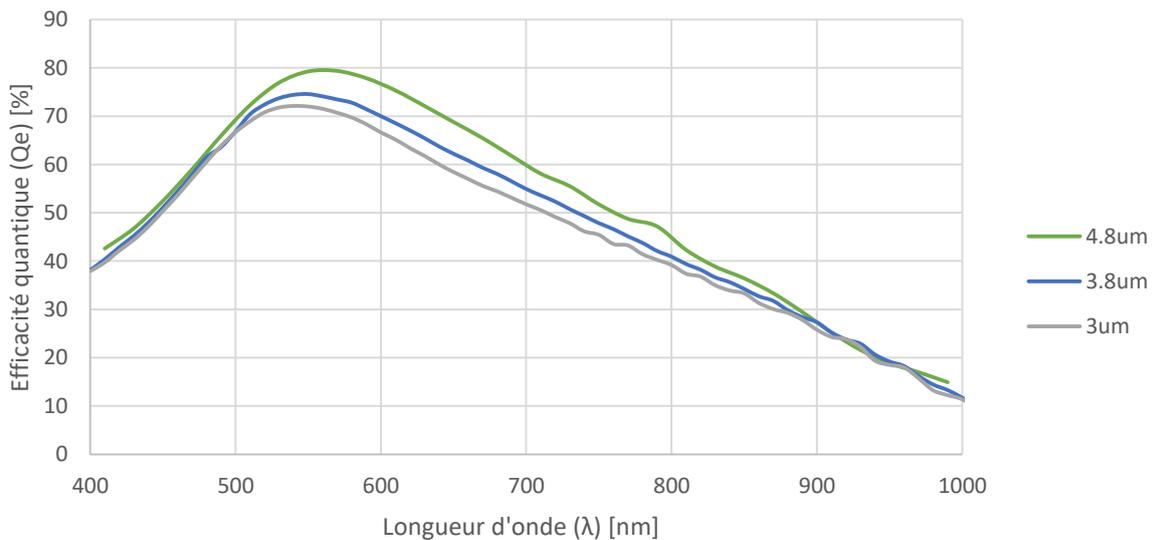


Figure 3.15 : Mesure du Qe pour des épaisseurs d'épitaxie variant de 3 à 4.8 μm. La réponse dans le rouge 600-800nm est améliorée quand l'épaisseur d'épitaxie augmente.

2.2.3 Effets de la passivation face arrière

Nous avons mené différents essais concernant la passivation face arrière de notre dispositif. Comme nous avons pu le voir sur les simulations optiques (chapitre 2 § 6.1.2), diminuer l'épaisseur de l'oxyde en contact avec le silicium peut modifier le pic de transmission de la couche antireflet pour un pixel monochrome. Ainsi, sur la Figure 3.16, l'effet de cette modification est mis en évidence par trois essais différents. Le pic est situé à environ 550nm pour 20nm d'oxyde. Il se décale vers le bleu 500nm pour 10nm d'oxyde et finalement 450nm pour 7nm d'oxyde.

Ce résultat est à nuancer dans le cadre de pixels colorés car pour ces pixels diminuer l'épaisseur ne génère pas de pic mais améliore la valeur moyenne d'efficacité quantique sur les longueurs d'onde visibles. En effet, la dégradation de l'efficacité quantique pour des longueurs d'onde proche de 400nm avec 20nm d'oxyde est un effet de l'interaction du deuxième oxyde (Ox2) de l'antireflet et non de la recombinaison des charges en surface.

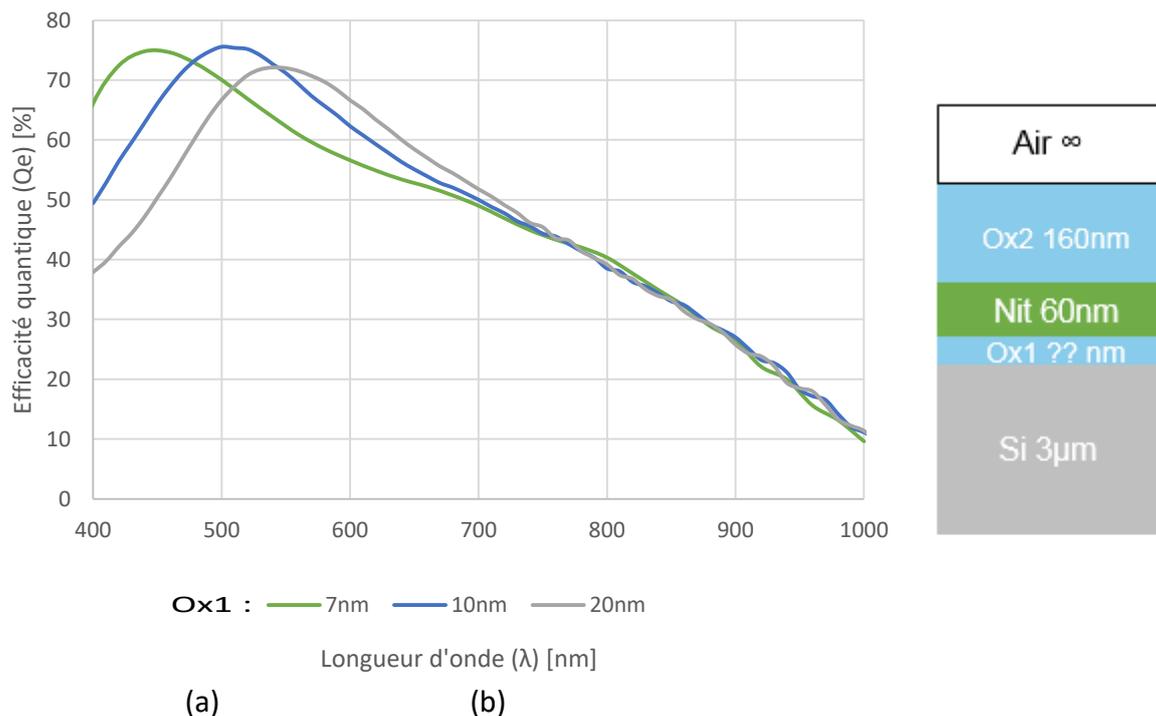


Figure 3.16 : (a) Mesure de l'efficacité quantique en fonction de l'épaisseur d'oxyde de surface (Ox1) pour une épitaxie de 3 μm

(b) Coupe schématique du pixel avec les différentes couches en face arrière

3. Le courant d'obscurité

Le courant d'obscurité est un signal parasite lors de la mise en fonctionnement du pixel. Ce signal vient s'ajouter au signal utile, ce qui diminue d'une part la dynamique de fonctionnement, d'autre part, ajoute un bruit DCSN (Dark Current Shot Noise) qui dégrade la qualité de l'image [92].

Si l'on considère une image éclairée, on cherche souvent à supprimer ce signal au moyen d'une autre image prise dans l'obscurité et avec le même temps d'intégration. Ainsi l'image résultante sera moins bruitée (suppression du moment du 1^{er} ordre) mais conservera tout de même une dispersion due à la variance du signal qui ne pourra pas être supprimée (moment d'ordre 2) ce qui laisse un bruit de type DCSN.

Les appareils photographiques intègrent un mécanisme d'obturation en vue de réaliser une image dans l'obscurité. Mais ce n'est pas le cas pour les applications « ultra-compact » qui ne disposent pas de diaphragme. Dans le cadre de ces capteurs, on utilisera des pixels de référence écrantés par des lignes de métal afin de soustraire un niveau moyen du courant d'obscurité. L'uniformité de ce courant d'obscurité entre les pixels est donc importante pour que la suppression soit efficace. Le bruit résultant de la soustraction est appelé non-uniformité du courant d'obscurité DCNU (Dark Current Non-Uniformity). Le bruit résiduel résultant de cette soustraction du courant d'obscurité est à l'origine d'une perte en qualité d'image.

3.1 Mécanisme de génération

Le courant d'obscurité est causé par la thermo-génération de paires électrons/trous en absence de lumière à proximité ou à l'intérieur de la zone de déplétion du pixel. La génération de charges libres est réalisée thermiquement à l'aide de son interaction avec un phonon : ce mécanisme tend à rétablir l'équilibre thermodynamique de la structure. Cette charge peut être directement transportée à partir d'une autre zone distante du pixel dans le cas où son transport serait assuré sans recombinaison jusqu'à la zone déplétée.

Un mécanisme pour la génération d'une paire électron/trou a été décrit par le modèle Shockley-Read-Hall (SRH) dans les années 1950 [93]. Ce modèle présente le mécanisme de génération/recombinaison de charges assisté par des défauts présents dans le matériau. Il peut être appliqué à un défaut dans un volume déplété ou situé à une interface.

Les défauts sont principalement les conséquences des procédés de fabrication. Notamment aux étapes d'implantation, de gravure, de traitements thermiques et d'épitaxie. On illustre ainsi sur la Figure 3.17 les différents contributeurs au courant d'obscurité total dans la structure. On peut classer parmi ces sources les défauts liés à des défauts de surfaces ou à des défauts en volume et de leur proximité avec la zone de déplétion qui nécessite la diffusion des porteurs.

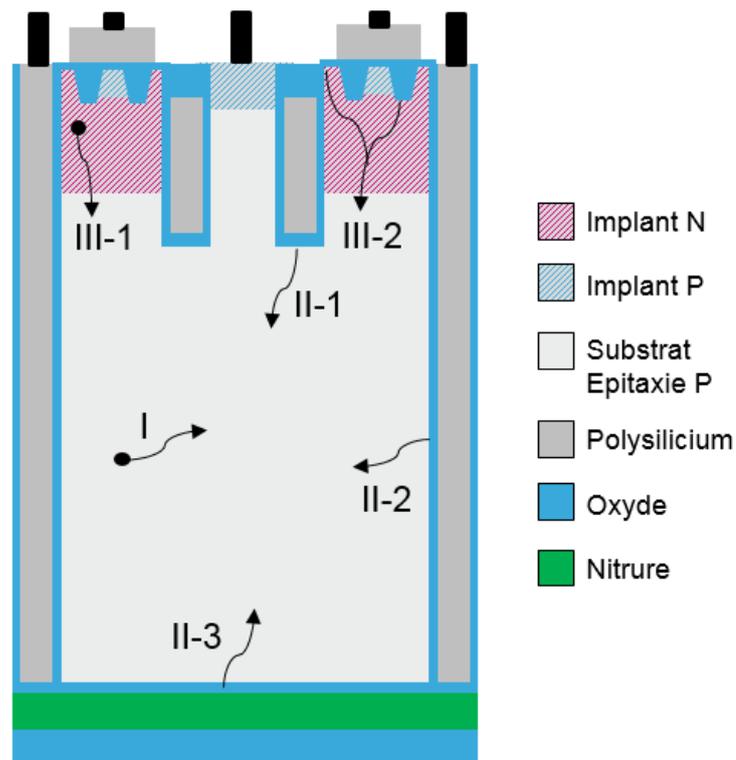


Figure 3.17 : Schématisation des différentes sources de courant d'obscurité possibles

Les zones « I », « II » et « III » représentées sur la Figure 3.17 sont explicitées ci-dessous :

I / Défauts dans le volume déplété (SRH)

- Défauts cristallins ou des impuretés présentes dans le substrat épitaxié

II / Défauts à l'interface en contact avec le volume déplété (SRH)

- Défauts de structure SiO_2/Si de la grille verticale (1)
- Défauts de structure SiO_2/Si des CDTI (2)
- Défauts de structure SiO_2/Si de la face arrière (3)

III / En surface : génération des charges et leur transport vers la zone déplétée

- Défauts du réseau et de contamination apportée par les étapes d'implantations (1) ou génération de charges aux interfaces présentes en surface et transport de la charge par le caisson N (2)

IV/ Injections de porteurs (non représenté car minoritaire ou facilement évitable en définissant les bonnes tensions de fonctionnement)

- Du nœud de lecture par franchissement de la barrière de la grille verticale
- Par la polarisation en direct des jonctions du caisson N ou tunneling

3.1.1 *Modèle de génération/recombinaison assisté par défauts*

Le modèle Shockley-Read-Hall (SRH) évalue le taux de génération et de recombinaison des différents porteurs par un défaut situé entre la bande de valence et la bande de conduction du matériau. Ce modèle est applicable aux défauts en volume ou en surface en exprimant les densités surfaciques.

On peut alors noter pour le mécanisme illustré en Figure 3.18 les taux de capture R_{hc} et d'émission R_{he} pour les trous [78] :

$$R_{hc} = v_{th} \sigma_p * p * N_t * F_t \tag{Eq. 3-7}$$

$$R_{he} = v_{th} \sigma_p * n_i e^{\frac{E_i - E_t}{kT}} * N_t * (1 - F_t) \tag{Eq. 3-8}$$

$$F_t = \frac{1}{1 + e^{\frac{E_t - E_F}{kT}}} \text{ et } E_i = \frac{E_g}{2}$$

Avec, v_{th} la vitesse thermique des porteurs, σ_p la section de capture des trous [cm^2], N_t la densité de défaut [cm^{-3}], E_t le niveau d'énergie du piège, F_t la distribution de Fermi associée au défaut c'est-à-dire la probabilité d'occuper le piège. Les mêmes équations sont transposables aux électrons.

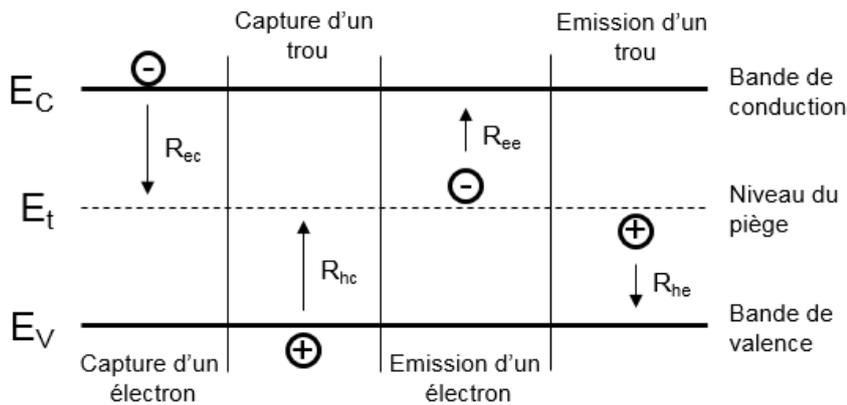


Figure 3.18 : Relations d'échange des porteurs définies par la théorie SRH pour un défaut situé entre la bande de valence et bande de conduction adapté de [26].

Or, le nombre d'électrons et de trous doit rester identique dans le système. On doit donc résoudre les deux demi-équations suivantes :

$$\begin{aligned} R &= \frac{dp}{dt} = R_{he} - R_{hc} \\ R &= \frac{de}{dt} = R_{ee} - R_{ec} \end{aligned} \tag{Eq. 3-9}$$

On trouve alors un taux de génération [78] :

$$G = -R = - \frac{v_{th} \sigma_n \sigma_p N_t (pn - n_i^2)}{\sigma_p \left(p + n_i e^{\frac{E_i - E_t}{kT}} \right) + \sigma_n \left(n + n_i e^{\frac{E_t - E_i}{kT}} \right)} \quad (\text{Eq. 3-10})$$

$$\text{Où, } n_i = \sqrt{N_v N_c} e^{-\frac{E_g}{2kT}} \quad (\text{Eq. 3-11})$$

On peut appliquer l'équation (Eq. 3-10) dans le cas des défauts de type « I » et « II ». Pour les défauts présents dans le volume de déplétion on a $p=n=0$, on peut ainsi réduire l'équation à :

$$G = \frac{v_{th} \sigma_n \sigma_p N_t n_i}{\sigma_p e^{\frac{E_i - E_t}{kT}} + \sigma_n e^{\frac{E_t - E_i}{kT}}} \quad (\text{Eq. 3-12})$$

Si $E_t - E_i > 0$ et suffisamment loin du milieu de la bande interdite, on a $\sigma_p e^{\frac{E_i - E_t}{kT}} \ll \sigma_n e^{\frac{E_t - E_i}{kT}}$ et on note $E_a = E_t$. D'où la simplification suivante :

$$G = v_{th} \sigma_p N_t \sqrt{N_v N_c} e^{-\frac{E_i}{kT}} e^{\frac{(-E_t + E_i)}{kT}} = A * e^{-\frac{E_t}{kT}} = A * e^{-\frac{E_a}{kT}} \quad (\text{Eq. 3-13})$$

$$\text{Où, } A = v_{th} \sigma_p N_t \sqrt{N_v N_c} \quad (\text{Eq. 3-14})$$

Dans le cas $E_i - E_t > 0$, on a de la même manière $\sigma_p e^{\frac{E_i - E_t}{kT}} \gg \sigma_n e^{\frac{E_t - E_i}{kT}}$ et on note $E_a = E_g - E_t$:

$$G = v_{th} \sigma_n N_t \sqrt{N_v N_c} e^{-\frac{E_i}{kT}} e^{\frac{+E_t - E_i}{kT}} = A * e^{-\frac{(E_g - E_t)}{kT}} = A * e^{-\frac{E_a}{kT}} \quad (\text{Eq. 3-15})$$

E_a représente l'énergie d'activation du défaut qu'il soit proche de la bande de valence ou de la bande de conduction par rapport à E_v et A dépendant de la section de capture σ_n ou σ_p en fonction de la position du défaut.

Si l'on intègre la densité de génération pour un défaut d'une énergie E_t dans le volume du pixel, on obtient :

$$I_{dark} = q V_{dep} * G = q V_{dep} * A e^{-\frac{E_a}{kT}} \quad (\text{Eq. 3-16})$$

En utilisant, l'équation (Eq. 3-16) et des images prises à différentes températures, il est possible de remonter à l'énergie d'activation du défaut (E_a) et son identification.

En pratique l'équation (Eq. 3-16) reste valable non seulement pour les défauts éloignés du milieu de bande mais aussi pour des défauts intermédiaires voire proche du milieu de la bande interdite [94]. Il faudra néanmoins considérer lors du calcul de l'énergie d'activation que le facteur A et E_g sont également dépendant de la température car $\sqrt{N_v N_c} \propto T^{3/2}$, $v_{th} \propto T^{1/2}$ et $\Delta E_g \propto T$ [95] ce qui représente environ un décalage d'environ +0.09 eV à 60°C pour des défauts proche du milieu de la bande interdite [94].

On utilise alors la Figure 3.19 afin de corriger les valeurs mesurées expérimentalement pour obtenir les valeurs réelles de E_t [52] :

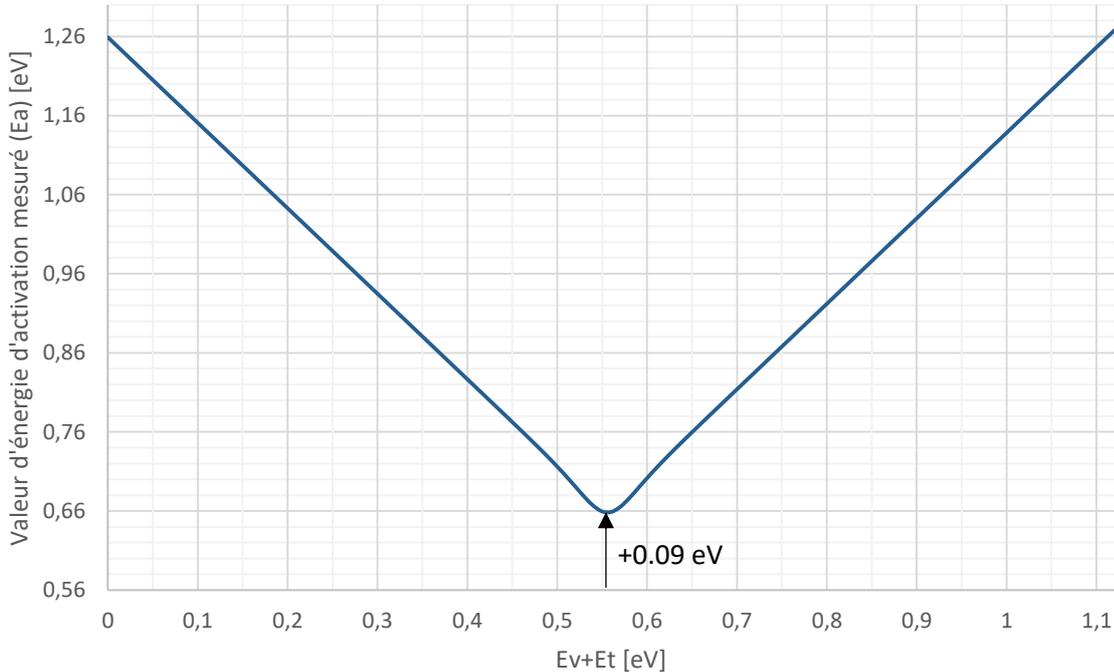


Figure 3.19 : Courbe reliant les énergies d'activation mesurées et les énergies réelles du défaut à 60°C. Il y a deux valeurs de E_t possibles pour le défaut suivant si le niveau est donneur ou accepteur ce qui ne peut pas être déterminé expérimentalement.

3.1.2 Génération par le modèle SRH puis transport

On peut associer le modèle de génération à une équation de diffusion pour représenter le transport des porteurs éloignés du site photosensible. Pour modéliser la diffusion dans la région « III », on utilise l'équation de diffusion des charges (Loi de Fick) en absence de champ électrique (Eq. 3-17) [26].

$$D \frac{\partial^2 n}{\partial x^2} + \frac{n}{\tau} = 0 \quad (\text{Eq. 3-17})$$

où D le coefficient de diffusion [$\text{m}^2 \cdot \text{s}^{-1}$] et τ le taux de recombinaison [s].

La Figure 3.20 illustre la longueur de diffusion L_{diff} des porteurs minoritaires en fonction du dopage du substrat [96]. Dans notre cas pour le caisson dopé N de l'ordre de 10^{18} at/cm³, la longueur de diffusion pour les charges positives est égale à environ 20 μ m. Cette longueur est donc suffisante pour permettre à un défaut présent à l'interface supérieure de diffuser jusqu'à la zone déplétée. Evidemment, un certain nombre de charges générées sera recombiné en fonction de la densité de charge dans le caisson de type N.

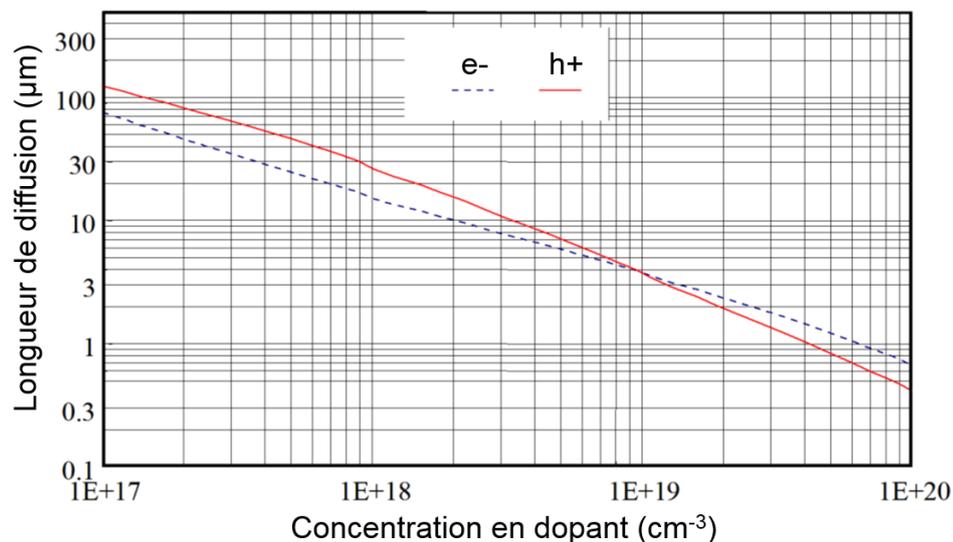


Figure 3.20 : Longueur de diffusion pour les porteurs minoritaires en fonction du dopage [97][98]

En outre, l'application de l'équation de diffusion pour un système complet est difficilement réalisable au vu des différents lieux de génération dans le pixel, de l'évolution de la zone de déplétion en fonction de la charge du pixel et du champ électrique régnant dans la structure. On peut retrouver un modèle utilisant le champ électrique [99] ou dépendant de l'évolution de la zone de déplétion [100]. Dans ces références, on distingue généralement la génération assistée par diffusion et la génération directe dans les zones déplétées car on peut retrouver que la diffusion des porteurs minoritaires est associée à une énergie proche de E_g alors que la génération par des défauts dans le volume est associée à $E_g/2$ [101]. On peut évaluer le comportement des défauts en $E_g/2$ à basse température afin d'éviter la contribution du courant de diffusion en E_g [94], dans notre cas nous chercherons à extraire l'ensemble des contributions. Nous allons ainsi tester les échantillons à des températures évoluant entre 60°C et 100°C.

L'activité de ces éléments dépend également de leur coefficient de diffusion dans le silicium. En effet, plus l'élément est proche de la zone photosensible, plus il est probable qu'il génère des charges. La diffusion de ces éléments est notamment liée à la température et au nombre de recuits (i.e. budget thermique). Si les contaminants sont issus de l'implantation en face avant, ils pourront facilement diffuser durant les différents recuits (>1000°C). Plus tard lors de la formation des contacts, on introduira une couche de siliciure en surface grâce au Cobalt pour réduire la résistance du contact et on limitera volontairement les budgets thermiques afin d'éviter la diffusion de ces éléments (<450°C). D'autres contaminants peuvent être introduits en face arrière lors de l'amincissement du substrat. Les coefficients de diffusion de la plupart des espèces sont disponibles dans la littérature [103], nous les classerons de manière uniquement qualitative car leur longueur de diffusion dépend de l'instant d'introduction dans le silicium, ce qui est difficilement identifiable.

Dans le Tableau 3-4, on retrouve les principales espèces contaminantes détectées en salle blanche et leurs concentrations limites en surface lors de l'amincissement. A titre indicatif, on classe leur facilité à diffuser dans le silicium en trois catégories suivant leur diffusivité: rapide, intermédiaire et lente. On donne également dans ce tableau les énergies d'activation pour les différentes espèces selon deux mesures disponibles dans la littérature. On cherche en paragraphe 3.3.1 à identifier par une méthode spectrométrie du courant d'obscurité ces différentes espèces.

Tableau 3-4 : Tableau récapitulatif des contaminants les plus probables en salle blanche de leurs vitesses de diffusion et de leurs énergies d'activation. En gras sont représentée les énergies d'activation les plus proches de $E_G/2$.

Espèce	Concentration max en face arrière [at.cm ⁻²]	Diffuseur [104]	Energies d'activation E_a par rapport à E_V [eV]	
			Selon [26]	Selon [105]
Cu	1e10	Rapide	0.24 0.4 0.53	0.22 0.46 0.96
Au	1e10	Rapide	0.29 0.49 0.58	0.34 0.57
Mn	5e10	Rapide	0.45 0.53 0.69	0.27 0.34 0.69 0.7 1
Fe	1e10	Rapide	0.4 0.61 0.98	0.39
Co	1e10	Rapide	0.35 0.49 0.59	0.23 0.41 0.71
Ni	1e10	Rapide	0.23 0.77	0.17 0.71 1.05
Zn	5e11	Rapide	0.26 0.57	0.32 0.59
Ti	NC	Intermédiaire	0.21	0.28 0.85 1.04
Mo	NC	Intermédiaire	0.3 0.34 0.79	0.28
W	1e10	Lent	0.31 0.34 0.75 0.82 0.9	0.40

3.2 Mesures du courant d'obscurité

3.2.1 Méthode de mesure

On mesure le courant d'obscurité du capteur à l'abri de la lumière à une température de 60 °C afin d'exacerber l'effet de la génération thermique. En effet à température ambiante, les capteurs d'image actuelle offrent des courants d'obscurité très bas, 2 aA soit environ une dizaine de charge par seconde.

Le courant d'obscurité en [h+/s] est défini par :

$$I_{dark} = \frac{dN_{h+}}{dt_{int}} \cong \frac{\Delta V_{signal}}{CVF * \Delta t_{int}} \quad (\text{Eq. 3-18})$$

Avec N_{h+} le nombre de trous générés et t_{int} le temps d'intégration.

On réalise donc deux mesures à des temps différents. A partir de celles-ci, on moyenne le signal dans le noir et on calcule la pente. La Figure 3.23 montre que pour des temps inférieurs à t_{limite} le signal n'est pas suffisant ($\sim 0.5h+$). Ce qui conduit à une erreur de quantification. Nous utiliserons donc des images prise à des temps de 100ms et 500ms pour le calcul.

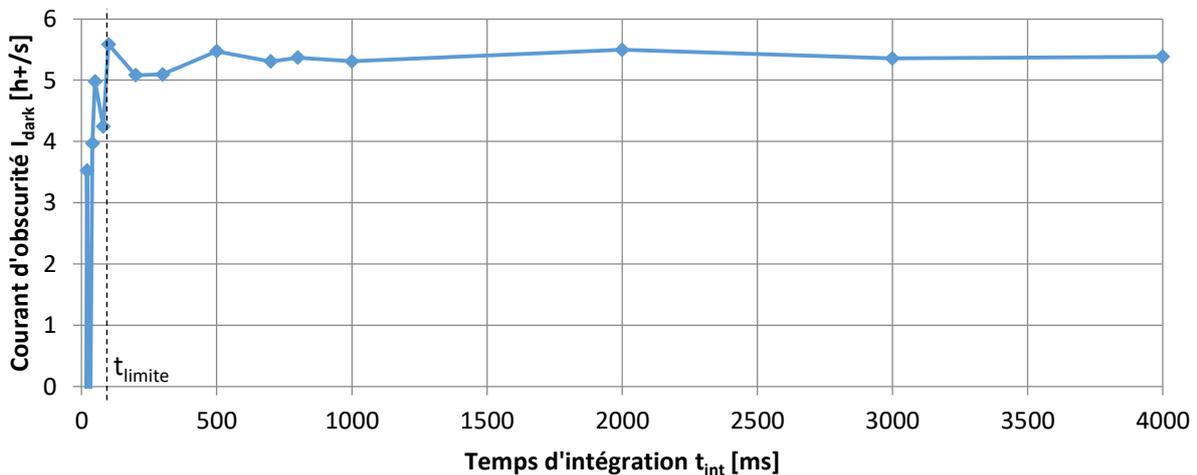


Figure 3.23 : Courant d'obscurité (I_{dark}) en fonction du temps d'intégration pour la version no SNTI. Mesure effectuée à 60°C avec 10 images moyennées. Le temps d'intégration limite pour avoir suffisamment de charges est de 100ms.

On peut également quantifier la linéarité de ce courant d'obscurité en fonction du remplissage du pixel car la photogate est intégralement vidée avant la mesure. Ainsi, on peut évaluer l'impact de la distance de déplétion sur le courant d'obscurité ce qui fut l'un des objets de la thèse concernant une photodiode [100].

3.2.2 Répartition de la population

Grâce aux mesures du courant d'obscurité sur la matrice de pixel, nous pouvons effectuer un histogramme de la population suivant les différents courants présents (Figure 3.24). On remarque sur cette figure que tous les pixels ne sont pas centrés sur une valeur moyenne. On identifie alors sur ces courbes différentes populations de pixels notées ①, ②, ③ et ④. La population ④ est identifiée comme des pixels blancs. Cette population est bien supérieure à 600h+/s pour la courbe à 60°C. La population principale est notée ①. La population ③ est un contaminant à identifier. Pour la population ②, il n'est pas évident de la distinguer sur ce graphique mais on la mettra en évidence par la suite via une méthode de spectrométrie du courant d'obscurité.

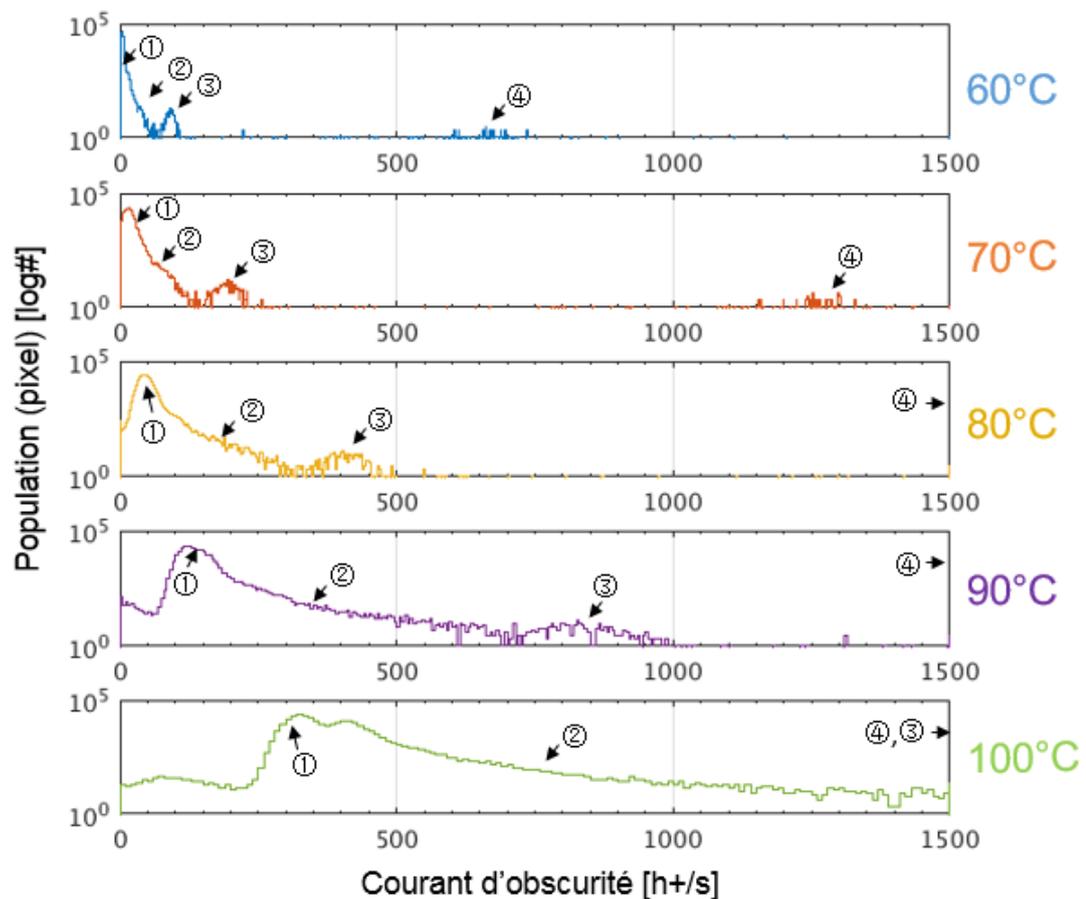


Figure 3.24 : Répartition du courant d'obscurité (I_{dark}) au sein d'une population de 150000 pixels pour différentes températures. On distingue 4 pics : une population principale ① et 3 populations extrinsèques ②, ③ et ④.

On reporte sur le Tableau 3-5 les différentes valeurs de courant d'obscurité pour les pics identifiés sur la courbe. Pour la population principale ①, on peut remarquer que l'on double le courant d'obscurité tous les 6.4°C ce qui est typique d'une population intrinsèque évoluant exponentiellement avec E_G qui double tous les 6°C [106]. Notre capteur a été caractérisé jusqu'à 100°C afin de garder une mesure qui ne sature pas le pixel en courant d'obscurité, le courant d'obscurité moyen mesuré à cette température est de 327 h+/s.

Tableau 3-5 : Extraction des niveaux de courant d'obscurité (I_{dark}) pour des différents pics en fonction de la température.

	Max(①) [h+/s]	Max(②) [h+/s]	Max(③) [h+/s]	Max(④) [h+/s]
60 °C	4.6	36.1	91.6	661
70 °C	14.5	78.5	194.8	1270
80 °C	44.6	170.5	408.8	2337
90 °C	121	353.3	824.4	4110
100 °C	327	772.6	1645	7050

3.2.3 Spectroscopie du courant d'obscurité

A partir de l'équation (Eq. 3-16) donnée par le modèle SRH (§ 3.1.1):

$$I_{dark} = q V_{dep} * A e^{-\frac{E_a}{kT}}$$

Nous pouvons déduire l'énergie d'activation E_a :

$$\ln(I_{dark}) = \ln(I_0) - \frac{E_a}{kT} \quad \text{Où } I_0 = q V_{dep} * A \quad (\text{Eq. 3-19})$$

En effectuant une régression linéaire à partir de la fonction $f(T)=\ln(I_{dark})$ qui est illustrée par la suite (Figure 3.28), nous pouvons déduire l'énergie d'activation de chacun des pixels. On trace sur la Figure 3.25 la répartition des différentes énergies d'activations calculées pour les pixels.

On reporte sur ce graphique les 4 populations. Cependant le graphique ne présente que 3 populations clairement identifiables dont une principale ① et une extrinsèque ④. Les populations ② et ③ ne sont pas clairement séparables comme lors de la représentation en fonction du courant d'obscurité en Figure 3.24. Leurs énergies d'activation sont très proches. Pour les séparer correctement, nous allons effectuer une représentation 2D dans le paragraphe (3.2.4).

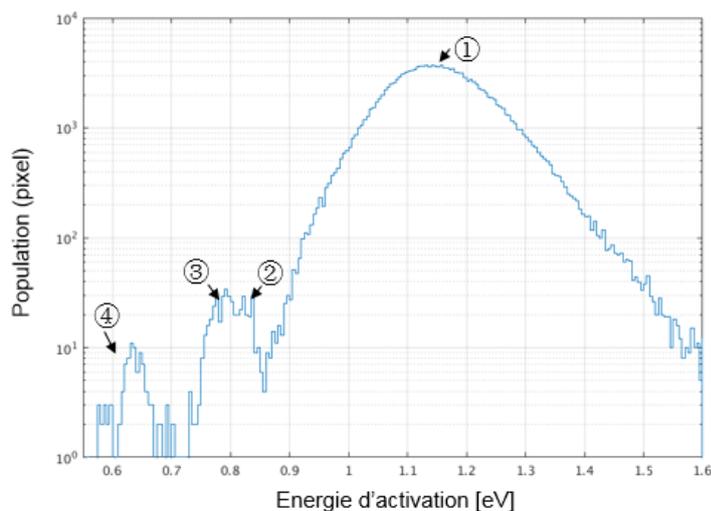


Figure 3.25 : Répartition de la population des énergies d'activation E_a extraites de 150000 pixels. Les pixels avec un coefficient de régression linéaire $R^2 < 0.99$ lors du calcul de l'énergie d'activation ont été écartées.

3.2.4 Corrélation entre le courant d'obscurité et l'énergie d'activation

Nous pouvons identifier des populations à travers les représentations en énergie d'activation et courant d'obscurité. On peut ainsi affirmer qu'il existe une corrélation directe entre les deux. En effet, les énergies d'activation les plus faibles auront tendance à générer davantage de courant. La Figure 3.26 montre la correspondance entre les pixels blancs et une énergie d'activation autour de 0.63 eV.

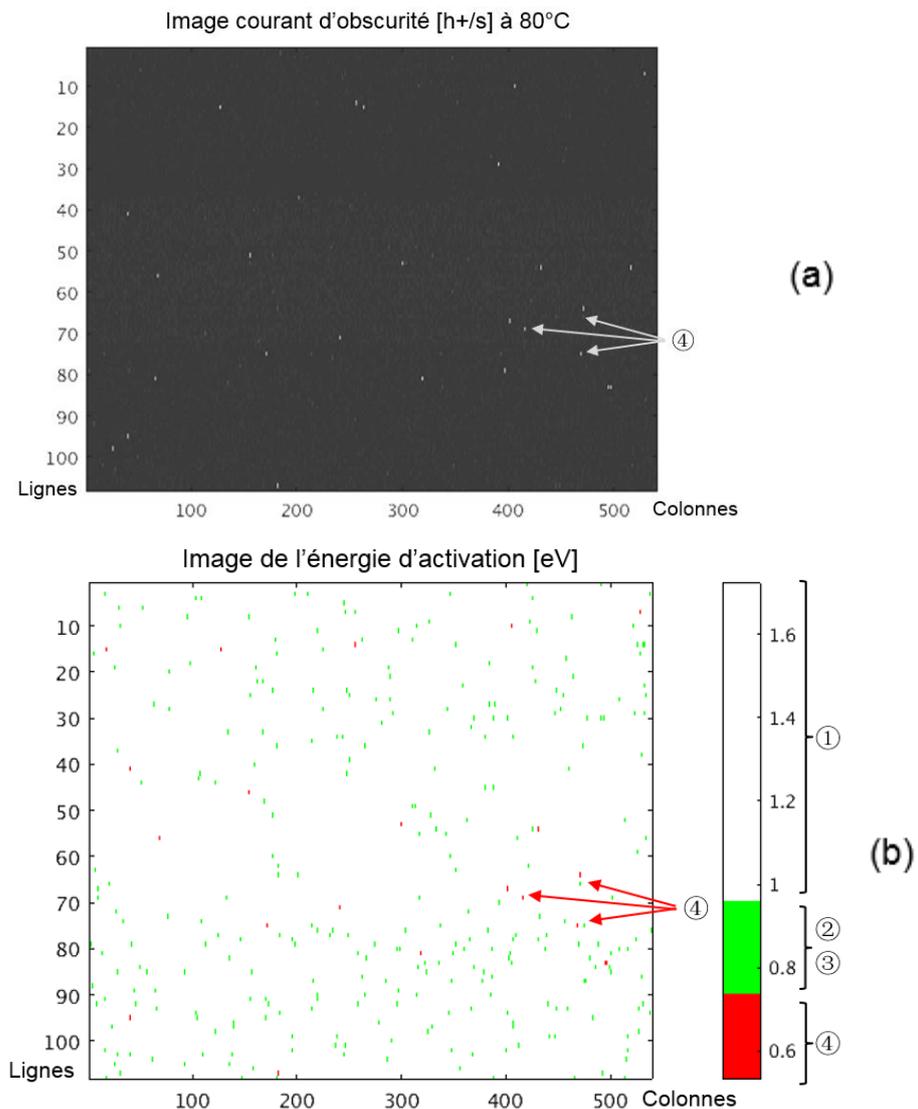


Figure 3.26 : (a) Image du courant d'obscurité à 60°C et (b) Image de l'énergie d'activation

On peut faire correspondre les énergies d'activation et le courant d'obscurité de chacun des pixels grâce à un histogramme 2D de ces deux paramètres que l'on représente sur la Figure 3.27. Sur cette figure, on distingue en ① la population principale centrée autour de 5h+/s. Puis on distingue les trois autres populations associées à des défauts (②, ③ et ④). Cette fois-ci la population ② est clairement identifiable car elle n'est pas masquée par la population principale ①. On note également la présence d'une sous-populations ①' masquée par la population principale dont l'énergie d'activation ne peut être évaluée avec précision à cause de l'influence du courant d'obscurité de la population principale.

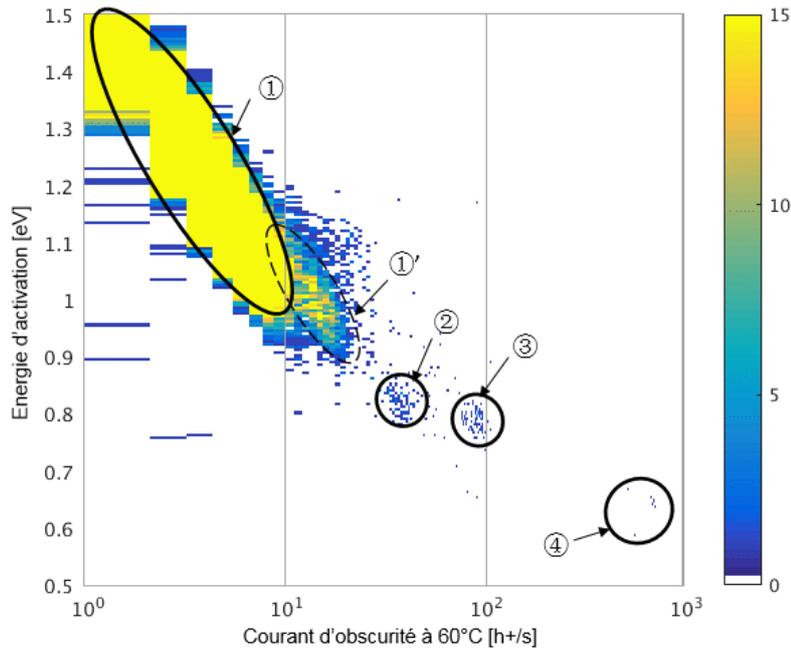


Figure 3.27 : Histogramme 2D, Population en fonction de l'énergie d'activation E_a et du courant d'obscurité I_{dark} . Cette représentation permet de différencier les contaminants de la population principale.

3.3 Résultats

3.3.1 Contaminants et Points Blancs

On représente sur la Figure 3.28 la fonction $f(T)=\ln(I_{dark})$ à l'aide de différents pics identifiés à partir de la répartition Figure 3.27. En effectuant une régression linéaire, nous pouvons ainsi avec précision l'énergie d'activation de chacune de ces populations.

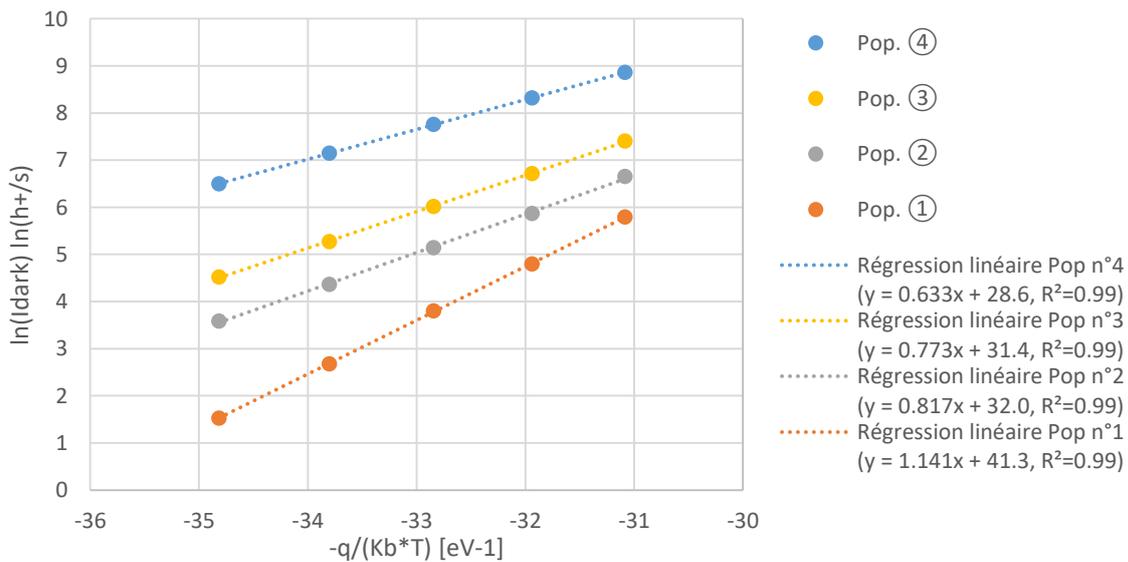


Figure 3.28 : Extraction des énergies d'activation à partir de l'équation (Eq. 3-19). La pente de la régression linéaire donne accès aux énergies d'activation des populations.

Pour ces 4 populations, on reporte sur le Tableau 3-6 l'énergie d'activation de chacun des défauts. On note que la population principale est autour de 1 eV, soit très proche de l'énergie de la bande interdite du silicium intrinsèque. Les pics 2 et 3 ont respectivement des énergies d'activation de 0.42 eV et 0.45 eV soit des énergies d'activation proche du tungstène (0.40eV) et du cuivre (0.46eV). La dernière population ④ évolue en $E_g/2$ ce qui est le type de défaut le plus impactant. Ce défaut peut être lié à une contamination de l'or (0.57eV) ou à des défauts d'interface profonds non passivés en face arrière ou avant.

Tableau 3-6 : Energie d'activation mesurée, énergie d'activation corrigée et espèces supposées.

Pop.	Ea [eV]	Ea_corrigée (Figure 3.19) [eV]	Espèces supposées (Ea en [eV] suivant [105])	Quantité [pixel]	Quantité [ppm]
①	1.14	0.11 ou 1	Intrinsèque (1.12)	152758	~99.5%
①'	0.99	0.25 ou 0.86	Mo (0.28), Ti (0.85) ou centre Pb	612	3984
②	0.82	0.42 ou 0.69	W (0.40), Co (0.41) ou Mn (0.69)	190	1223
③	0.77	0.45 ou 0.64	Cu (0.46)	73	470
④	0.63	0.55	Au (0.57) ou défauts oxydes profonds	26	170

3.3.2 Etude de la population intrinsèque

La valeur moyenne du courant d'obscurité est liée à la population principale ① car les pixels extrinsèques ne représentent qu'une faible partie (0.5%) de la population totale. Cette population principale ne peut être dégradée que si un défaut est bien présent sur l'ensemble des pixels : c'est le cas des interfaces d'oxydes. Il est par contre peu probable qu'un contaminant soit présent sur tous les pixels sans apercevoir des pixels à deux ou trois défauts dont le courant d'obscurité sera deux et trois fois la valeur nominale, ce qui n'est pas le cas ici.

Nous pouvons comparer en Figure 3.29 le courant d'obscurité des différentes structures réalisées. La version SNTI a un courant d'obscurité plus élevé que les deux autres pixels. Cette version contient une interface d'oxyde supplémentaire lors de l'ajout du SNTI qui dégrade le courant d'obscurité. Pour la version SNTI/noSTI, on retire la surface d'oxyde due à la présence du STI d'où une diminution du courant d'obscurité.

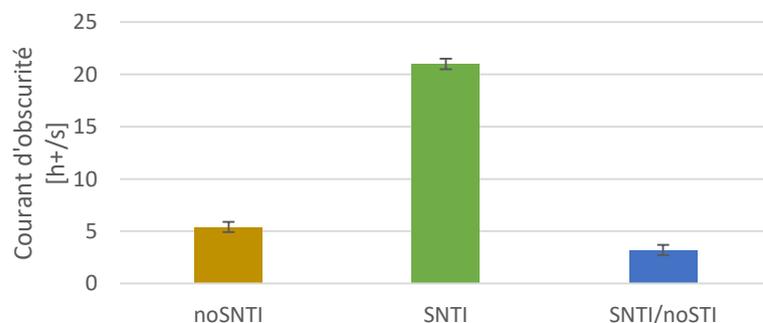


Figure 3.29 : Moyenne du courant d'obscurité pour les différentes versions de pixel

Nous distinguerons les interfaces passivées activement ou non par la suite et chercherons à identifier la localisation de génération du courant d'obscurité pour les différentes versions.

3.3.2.1 Passivation active des interfaces

Comme nous l'avons évoqué dans le chapitre 1, les tranchées capacitives participent activement à la passivation des interfaces. Les zones représentées par II-1 et II-2 sur la Figure 3.17 contribuent donc très peu au courant d'obscurité. On rappelle que le potentiel de référence du caisson N est de 2.5V et 0V pour le contact P+.

On montre ainsi sur la Figure 3.30, l'effet de la tension V_{CDTI} sur le courant d'obscurité moyen. Pour $V_{CDTI} > 2.7V$, on remarque que l'on se place dans le régime d'inversion du CDTI et que celui-ci passive les défauts que l'on peut trouver à l'interface. En dessous de cette valeur, certaines charges ne se recombinent pas avec les électrons à l'interface car leur densité n'est pas suffisante. On voit alors une augmentation du courant d'obscurité.

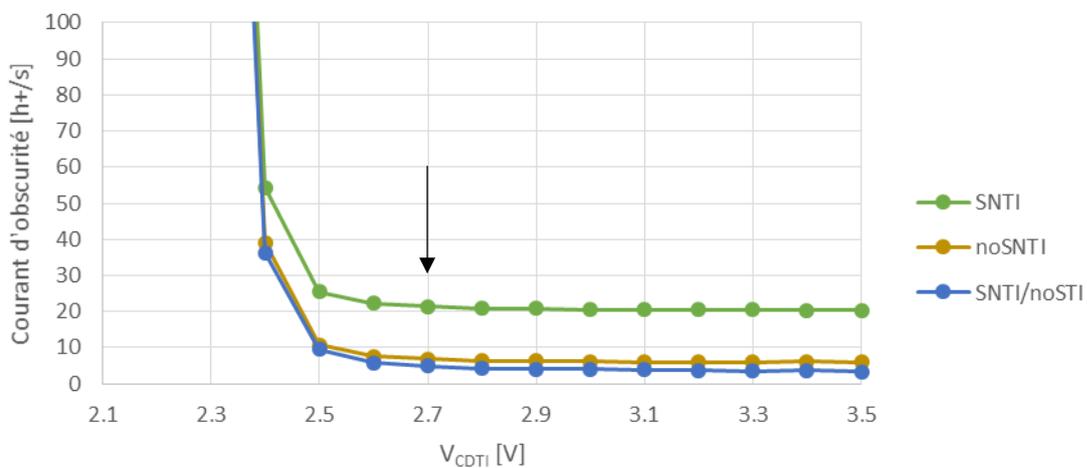


Figure 3.30 : Effet de la tension de la tension V_{CDTI} sur le courant d'obscurité pour un caisson N polarisé à 2.5V pour 3 versions : SNTI, noSNTI, SNTI/noSTI.

Par ailleurs, on remarque (Figure 3.30) que les différentes versions sont stables entre 2.7 et 3.5V pour V_{CDTI} . On représente de la même manière en Figure 3.31, l'évolution du courant d'obscurité en fonction de V_{VGH1} tension de fermeture de la grille verticale pendant la phase d'intégration. Contrairement à ce que l'on a pu observer, il existe une différence entre la version noSNTI et SNTI/noSTI dans le domaine 2.5-3.5V. On voit également que pour les versions SNTI et noSNTI, on dégrade plus lentement le courant d'obscurité comparé à la version SNTI/noSTI. Dans ce cas, on ne dégrade pas la qualité de la passivation mais plutôt l'environnement à proximité de la grille verticale. En effet, la tension appliquée sur la grille verticale définit la densité de charges négatives pouvant recombiner les charges générées à proximité. On peut voir sur la Figure 3.31 (b) que les charges doivent diffuser vers la zone de déplétion et peuvent être recombinées par les électrons apportés par la grille verticale. On note également que l'ajout d'oxyde SNTI entre les versions SNTI et NoSNTI peut également diminuer la quantité de dopant dans la région N et augmenter la longueur de diffusion des charges, ce qui facilite leurs transports vers la zone de déplétion.

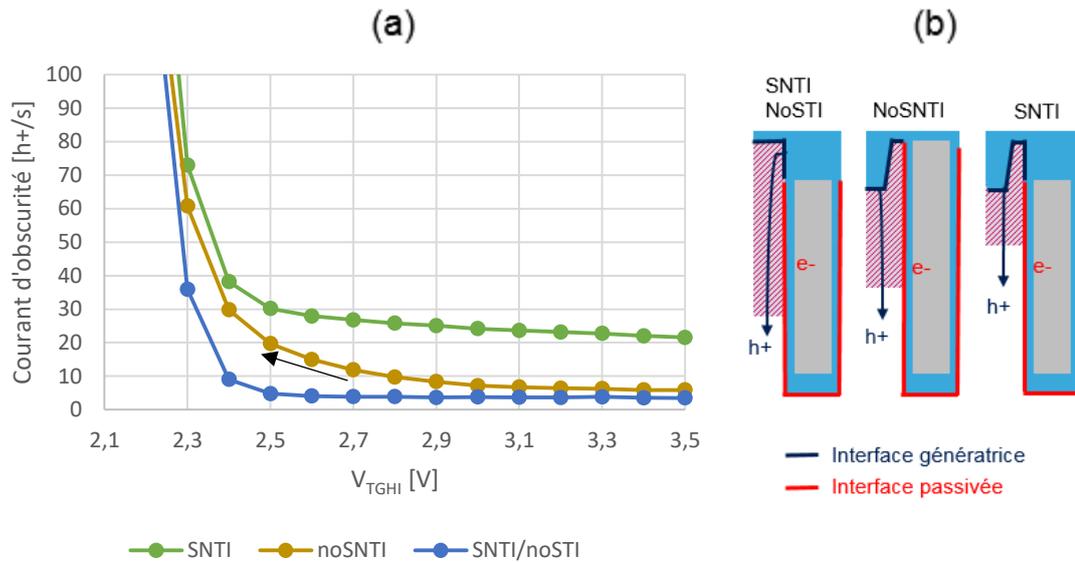


Figure 3.31 : (a) Effet de la tension de la grille verticale V_{TG} sur le courant d'obscurité pour un caisson N polarisé à 2.5V. (b) Schéma des différents cas pour la diffusion des charges générées en surface.

3.3.2.2 Passivation statique des interfaces

Nous avons vu précédemment que les interfaces passivées par les tranchées capacitatives sont des contributeurs minoritaires grâce à la mise en inversion des interfaces. Cependant, il reste d'autres interfaces à passiver dans le pixel, par exemple, la face arrière ou encore les zones actives en surface.

Dans le cas de la face arrière, les charges mesurées et apportées par le dépôt de la couche de nitrure sont suffisantes pour permettre une accumulation d'électrons à l'interface avec une densité proche de celle du CDTI (chapitre 2 § 6.2).

La surface supérieure est quant à elle passivée par le caisson de type N qui apporte des charges négatives. La densité de charges est proportionnelle au dopage du caisson ainsi qu'à sa polarisation. En effet, la double jonction P/N/P du caisson est polarisée en inverse d'où l'apparition d'une zone de déplétion. De plus, si l'on augmente le potentiel entre les contacts N et P cette zone de déplétion s'élargit également [66]. On déduit ainsi qu'augmenter la tension de polarisation du caisson diminue la densité d'électrons présents dans le caisson et diminue ainsi la capacité du caisson à recombiner des charges venant de la surface. Sur la Figure 3.32, on remarque que le courant d'obscurité augmente avec la tension V_N appliquée au caisson N. On note aussi que cet effet est plus prononcé pour la version SNTI et pour la version sans SNTI, ce qui est en accord avec le résultat décrit plutôt sur la Figure 3.31 (b).

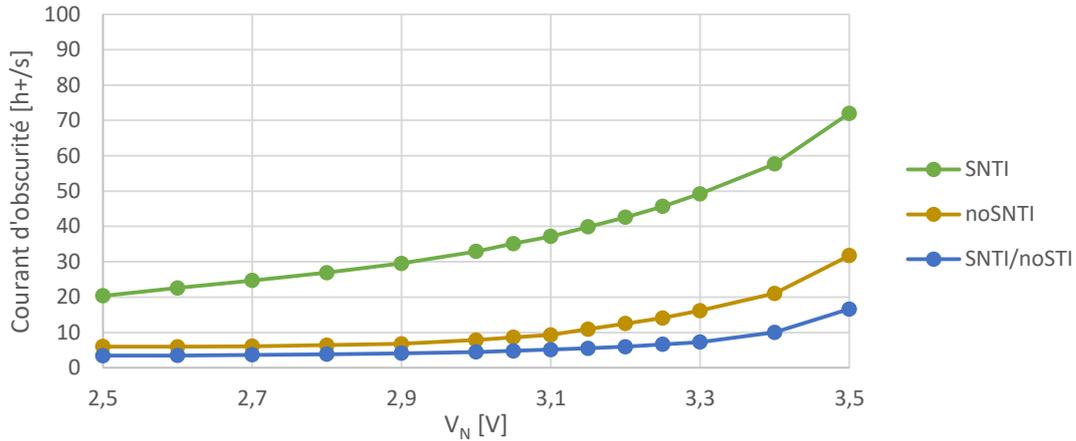


Figure 3.32 : Courant d'obscurité en fonction de la polarisation appliquée sur le caisson N. ($V_{CDTI}=3.5V$, $V_{TGI}=3.5V$)

3.3.2.3 Etude de la diffusion depuis l'interface supérieure

Des structures de test ont été élaborées afin d'étudier en détail la génération de l'interface supérieure. On peut retrouver en Figure 3.33 (a) le dessin des masques de ces structures. On distingue différentes interfaces en surface : sur la première, « sans motifs » qui reprend uniquement une grille de transfert classique avec SNTI. Pour la version motifs VEGA, on ajoute des îlots de grille verticale polarisés à la tension V_{CDTI} et non commandés par la grille verticale. Dans le dernier essai, on modifie la surface d'oxyde en ajoutant des motifs de type STI en surface.

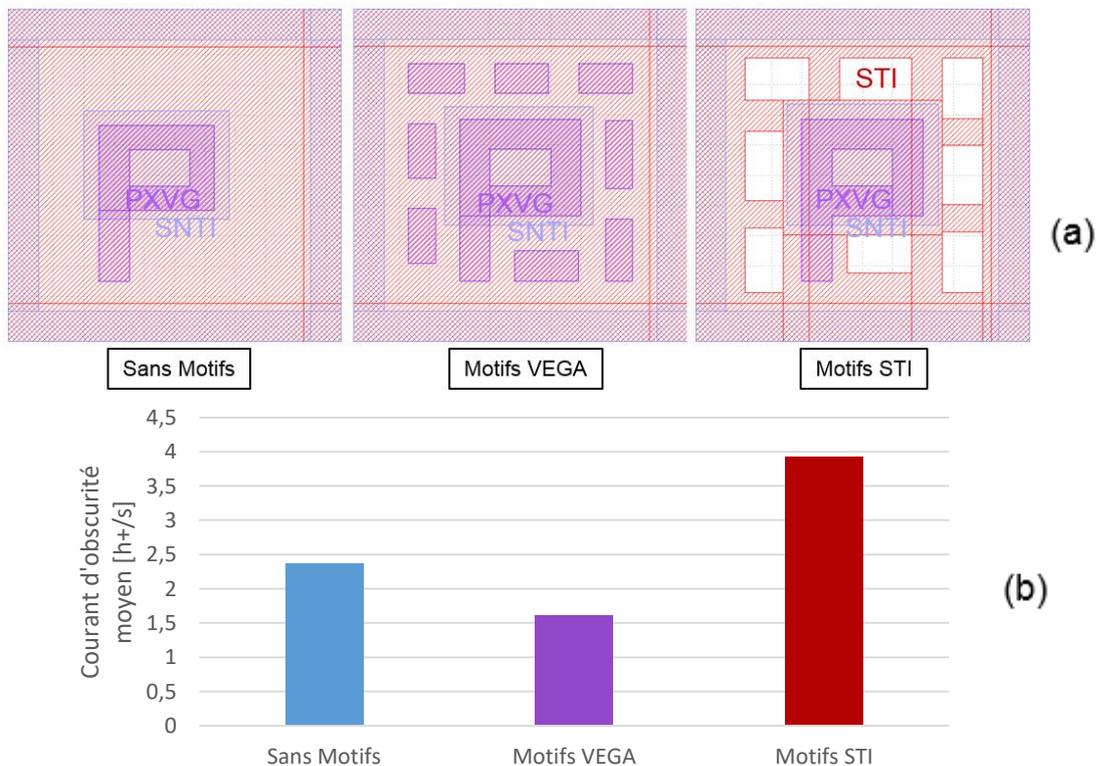


Figure 3.33 : Dessin des structures à interface supérieure spécifique (a) et courant d'obscurité associé (b).

Sur la Figure 3.33 (b) on constate que le courant d'obscurité diminue après l'ajout de structure de type grille verticale. En effet, la grille verticale remplace une surface d'oxyde non-passivée et diminue ainsi le courant moyen à $1.5h+/s$. D'autre part, l'ajout d'une surface d'oxyde supplémentaire par l'ajout de STI augmente le courant d'obscurité.

En effectuant un calcul précis des dimensions géométriques du STI, nous pouvons évaluer le courant d'obscurité moyen en fonction de la surface totale d'oxyde à l'interface supérieure du pixel (Figure 3.34). On remarque une forte corrélation ($R^2=0.96$) entre la surface d'oxyde et le niveau moyen du courant d'obscurité.

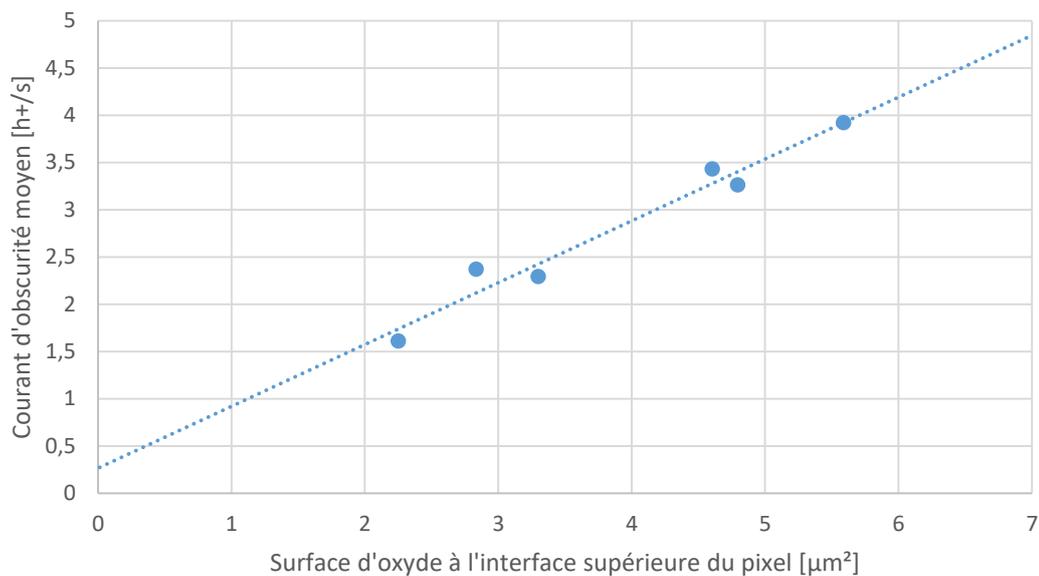


Figure 3.34 : Courant d'obscurité en fonction de la surface d'oxyde à l'interface supérieure et régression linéaire ($y = 0.6544x + 0.26$, $R^2 = 0.96$)

On peut ainsi considérer que l'oxyde en surface génère environ $0.65h+/s$ par μm^2 d'oxyde. L'ordonnée à l'origine est une composante constante de $0.26h+/s$ qui est liée aux autres contributions dont les contaminants présents sur le pixel. Ainsi, l'interface supérieure du pixel est l'origine principale du courant d'obscurité de la population intrinsèque.

3.4 Comparaison avec un pixel de référence de type N

Afin de comparer les résultats évoqués, on dispose d'un capteur de référence de type N. Ce pixel a été choisi car il est similaire d'un point de vue de sa composition à la photogate. Ce pixel de référence est un pixel 2T5 constitué d'une photodiode pincée de type N incluant 3 transistors par pixel et entourée de tranchées capacitives profondes (CDTI) comme le pixel photogate. Son pas est de $1.75\mu\text{m}$, ce qui est proche du pixel photogate de $2\mu\text{m}$ et donne un avantage au pixel de type N lors de la comparaison du courant d'obscurité en raison de la diminution de la surface des interfaces. On peut retrouver en Figure 3.35 une illustration du pixel de référence.

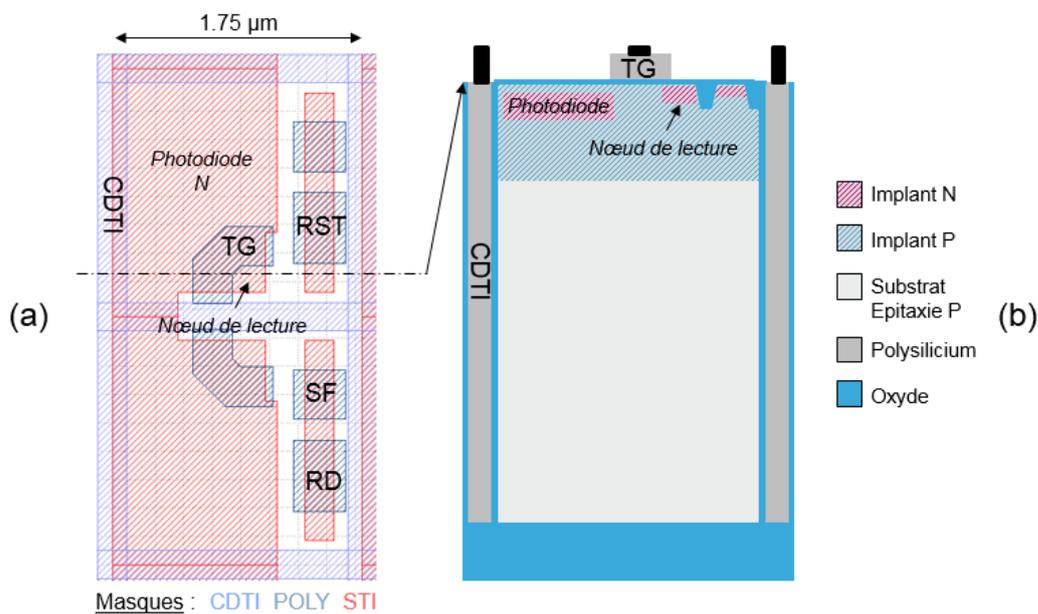


Figure 3.35 : (a) Dessin du pixel 2T5 N-type de comparaison et (b) schéma de la vue en coupe du pixel.

On représente sur la Figure 3.36 la distribution de la population des pixels en fonction du courant d'obscurité. La population de la photodiode N a pour valeur moyenne $23\text{e}^-/\text{s}$ avec un pic à $17\text{e}^-/\text{s}$ et présente une large dispersion. Donc on ne peut pas distinguer de pics de contaminant comme pour la photogate verticale P car ceux-ci sont masqués par la population principale. La valeur moyenne de la population principale et sa dispersion sont liées à la présence d'oxyde (STI) à proximité de la zone photo active. Dans le cas de la photogate, l'interface supérieure est davantage éloignée de la zone photosensible ce qui diminue son impact.

L'un des intérêts de la photogate est ainsi d'obtenir une très faible dispersion de la population principale qui permet de diminuer le bruit sur l'image en diminuant le bruit de grenaille dû au courant d'obscurité (DCSN : Dark Current Shot Noise en anglais).

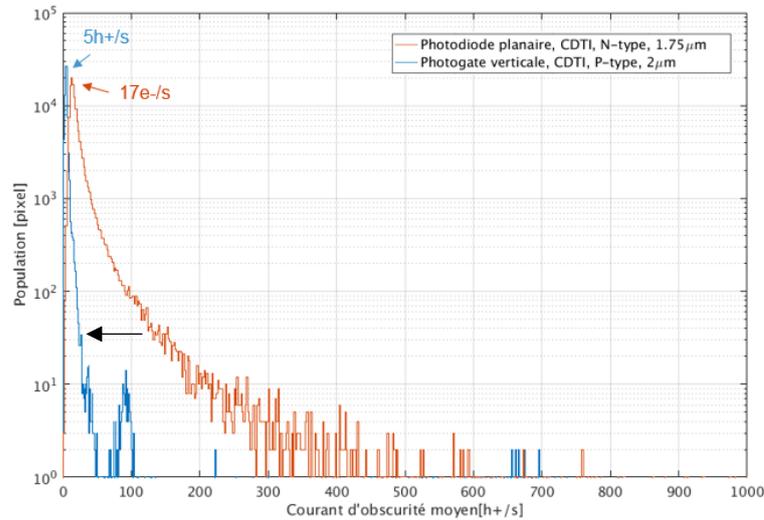


Figure 3.36 : Distribution du courant d'obscurité pour le pixel photogate et le pixel de comparaison. On ne remarque pas de pics pour le pixel de type N car sa valeur moyenne et sa dispersion sont plus élevées que pour la photogate.

On peut également représenter la figure précédente grâce à une distribution cumulée sur la Figure 3.37 de manière à mettre en évidence la dispersion de la population. Sur cette figure, on montre que la population de la photodiode est uniquement représentée par ① alors que l'on retrouve les différentes populations analysées (②), (③) et (④) dans le cas de la photogate. La proportion de pixels blancs (>600h+) est quasi-identique pour les deux pixels et d'environ 400ppm. On note néanmoins que la population ④ pour la photogate est liée à des contaminants alors que les points blancs de la photodiode sont principalement liés aux interfaces avec les oxydes.

Pour illustrer l'intérêt de la diminution de la dispersion de la population, on peut prendre un seuil à 1%. Dans le cas de la photodiode, 1% des pixels comptent plus de 140e-/s. Cela représente pour un temps d'intégration standard de 20ms, un bruit dû à la non-uniformité du courant d'obscurité (DCNU) résultant de $2.4e^-$ ($[(137-17)*0.02]$). Pour la photogate, ce bruit est bien moindre, avec seulement de $0.21h^+$ ($[(16-5.5)*0.02]$).

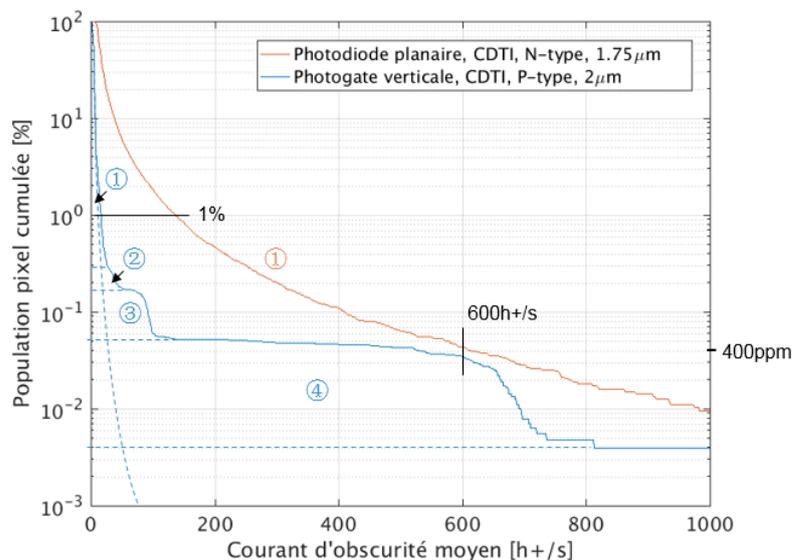


Figure 3.37 : Distribution cumulée et normalisée du courant d'obscurité pour le pixel photogate et le pixel de comparaison.

L'extraction des énergies d'activation pour le pixel de type N n'a pas permis d'isoler les contaminants présents dans le pixel comme pour la photogate. On propose néanmoins en Figure 3.38 une comparaison entre un histogramme 2D pour le pixel de type N (a) et le pixel photogate avec un CDTI non passivé (b). On peut voir sur la figure (a) une population principale unique autour de 0.95eV et 17e-/s. La figure (b) montre la photogate pour une interface CDTI non passivée ($V_{CDTI}=2.7V$ et $V_N=2.5V$). Les tranchées dans ce mode génèrent un courant d'obscurité en raison de l'interface. Contrairement à ce qui a été vu en Figure 3.27 avec l'identification des énergies d'activation pour les contaminants, nous remarquons ici que les pics sont également masqués par la population principale que l'on distingue autour de 0.95eV et 20h+/s. On peut conclure que les contaminants dans le cas de la photodiode de type N sont masqués par la population principale, et que ceci est la conséquence de la génération aux interfaces d'oxydes.

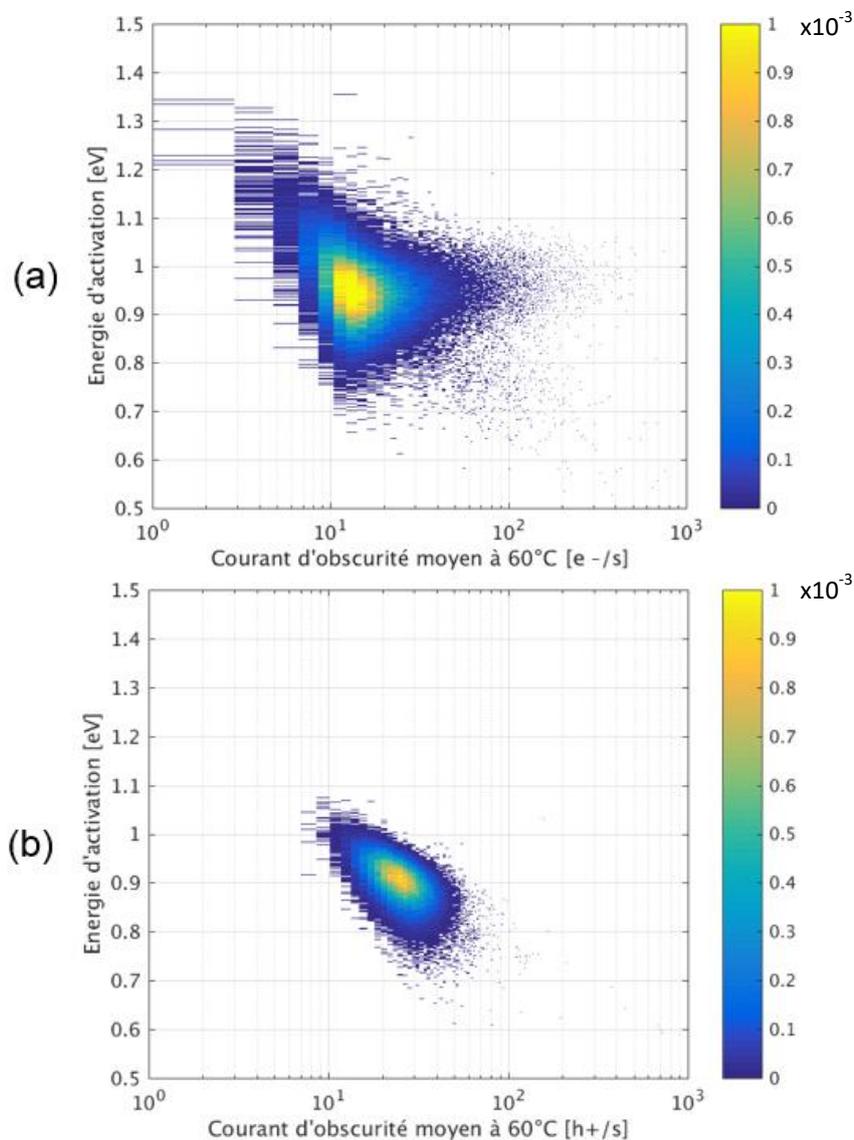


Figure 3.38 : Histogramme 2D, Population en fonction de l'énergie d'activation et du courant d'obscurité. (a) Cas photodiode planaire type N et (b) photogate verticale type P pour une interface CDTI non passivée ($V_{CDTI}=2.7V$ et $V_N=2.5V$)

On reporte dans le Tableau 3-7 les valeurs moyennes, médianes et de déviations standard du courant d'obscurité. Elles sont illustrées sur la Figure 3.39 et pour différentes températures testées. On remarque que les moyennes se rapprochent entre les deux pixels comparés en augmentant la température ce qui est cohérent avec une énergie d'activation plus élevée dans le cas de la photogate. Cependant, si l'on regarde la dispersion de la population grâce à l'écart type σ , on remarque qu'elle passe d'un gain d'un facteur 2 à 60°C à un facteur 6 à 100°C. Cette différence montre l'intérêt de diminuer le nombre de défauts d'interface actifs pour permettre à la photogate de garder une population centrée et inférieure à 600h+/s à 100°C.

Tableau 3-7 : Analyse statistique du courant d'obscurité à différentes température pour les deux capteurs comparés.

Température [°C]	Photogate verticale, CDTI, P-type, 2 μ m			Photodiode planaire, CDTI, N-type, 1.75 μ m		
	Moyenne	Médiane	σ	Moyenne	Médiane	σ
60	5.3	4.5	15.0	23.4	16.0	32.4
70	16.1	14.1	30.3	56.7	37.5	82.8
80	47.3	43.3	53.7	135.7	89.7	197.8
90	133.0	123.2	94.8	346.4	235.3	491.6
100	358.9	337.3	164.7	781.3	537.3	1099.8
110	619.6	575.4	275.9	1444.1	988.8	2137.2
120	1368.7	1318.5	416.7	3132.5	2221.6	3704.4

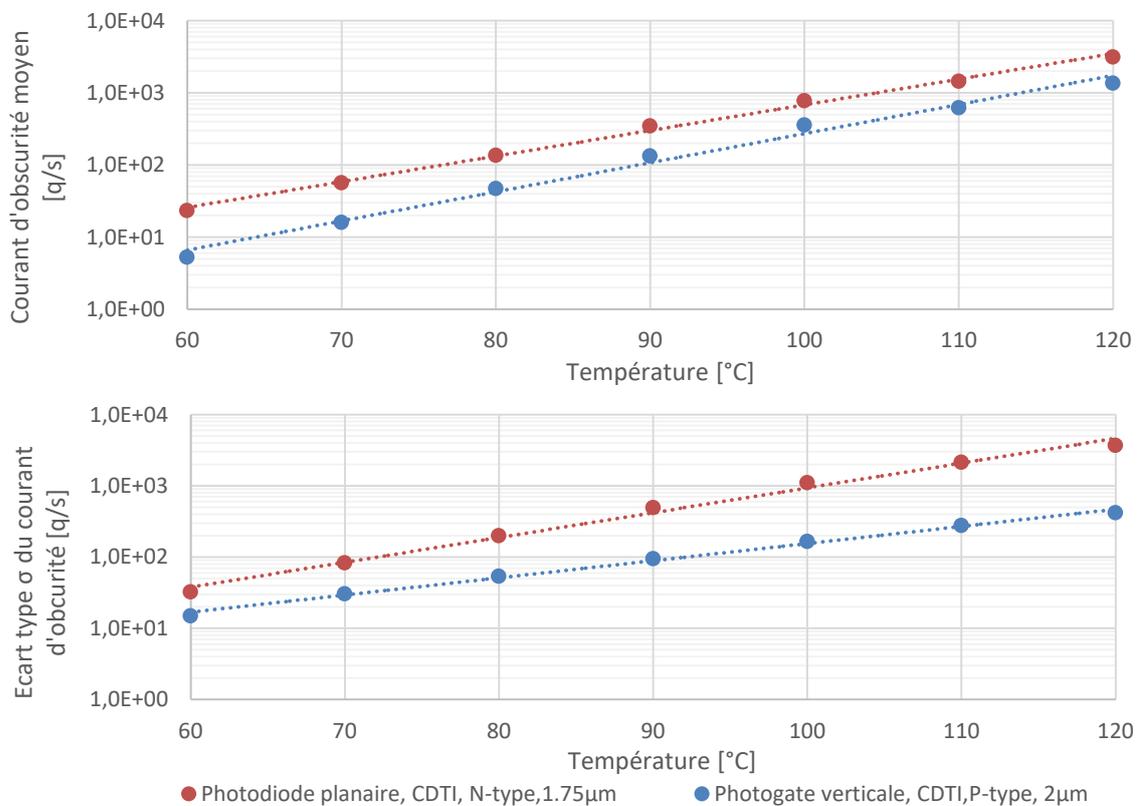


Figure 3.39 : Courant d'obscurité en fonction de la température et écart type.

3.5 Conclusions sur le courant d'obscurité

Nous avons identifié par la méthode de spectrométrie sur le courant d'obscurité une population de pixels intrinsèque et extrinsèque. La population extrinsèque est composée de contaminants présents dans la structure notamment métalliques ou de niveaux profonds introduits par les interfaces d'oxyde. L'identification des énergies d'activation de ces défauts nous conduit à suspecter une introduction involontaire d'atomes de molybdène, cuivre, tungstène ou or. Ces contaminants peuvent avoir été introduits pendant des étapes de fabrication spécifiques : le molybdène pendant l'épitaxie ou les gravures, le tungstène durant les étapes d'implantation, l'or et le cuivre pendant l'amincissement de la face arrière. Les pixels blancs sont quant à eux liés à la présence de défauts proches du milieu de la bande interdite qui peuvent être en lien avec une contamination d'or ou à un niveau profond d'une interface non passivée en face avant ou arrière.

D'autre part, le courant moyen du capteur est majoritairement dû la génération des charges aux différentes interfaces Si/SiO₂. Nous avons vu que, pour créer une barrière efficace à la diffusion des porteurs minoritaires vers la zone de déplétion, la densité en électrons dans la zone de diffusion doit être importante. Dans le cas des interfaces CDTI et VEGA, cette densité est suffisante afin de recombinaison la quasi-totalité des charges qui en sont issues. En ce qui concerne la face arrière, nous ne pouvons pas connaître précisément son implication dans le courant d'obscurité total. Nous avons néanmoins montré qu'elle accumule un nombre de charges négatives au moins équivalent au CDTI en inversion. De plus, nous avons vu que la surface des interfaces d'oxyde de la face avant du pixel est fortement corrélée avec le courant d'obscurité moyen. Donc la face avant est la zone de génération majoritaire du courant d'obscurité pour ce pixel. Nous avons par ailleurs démontré qu'il est possible de réduire le courant d'obscurité moyen à 1.5h+/s en passivant correctement l'interface supérieure du pixel. D'autre part, nous avons montré que la dispersion en courant d'obscurité de la population du pixel photogate était bien plus faible que le pixel à photodiode et permettait d'obtenir un gain en qualité d'image à haute température.

En prenant en compte ces considérations, nous pouvons dresser quelques recommandations concernant les pixels SNTI et no/SNTI. Il peut être judicieux d'employer un masque dédié à une implantation spécifique en surface de type N+ à forte dose et faible énergie. On peut également penser à passiver les interfaces supérieures à l'aide d'une structure MOS en inversion. Afin de diminuer le courant d'obscurité de la version SNTI, il est judicieux d'éviter la création de zones d'interface dans les zones de déplétion du caisson en créant un pixel sans STI par exemple.

4. Sources de bruit sur l'image

Précédemment, nous avons réalisé une étude sur le courant d'obscurité, qui est l'un des bruits de notre système. Cependant de nombreuses autres sources de bruits s'ajoutent à celle-ci. Nous chercherons à étudier dans ce chapitre les différents types de bruits du capteur d'image réalisé. On peut distinguer deux sources de bruit distinctes : le bruit temporel et le bruit spatial. Le bruit temporel est lié à la variation temporelle du signal pour un pixel donné, le bruit spatial est quant à lui lié aux variations du signal entre chaque pixel.

On illustre dans le Tableau 3-8 les différentes sources de bruit possibles que l'on cherche à expliciter dans cette partie.

Tableau 3-8 : Proposition de tableau récapitulatif des différentes sources de bruit, des origines et des techniques de suppression.

		Noise Type		Origins	Removal Technique	Expression
σ total noise	Temporal Noise (TN)	Read Noise (RN)	Johnson Thermal	Junction	Junction/Barrier engineering	$\sqrt{4kTR\Delta f}$
			KTC	Reset SN capacity	Correlated Double Sampling	$\sqrt{\frac{kT}{C}}$
			Flicker 1/f	Source Follower transistors	Design/process (gate W,L, Cox)	$\frac{K}{C_{ox} WL} * \frac{1}{f}$
			RTS	Transistor traps	Better interfaces	Discrete 1/f
			Quantization	ADC	Increase bit number	$\frac{\Delta}{\sqrt{12}}$
		Dark Current Shot Noise (DCSN)		Dark current signal	Decrease Dark current	\sqrt{DC}
		Photon Shot Noise (PSN)		Photon	None	\sqrt{Signal}
	Fixed Pattern Noise (FPN)	Dark signal non- uniformity (DSNU)	FPN col	I_{Col} variation	Dark frame subtraction @T=0 or dark column	-
			Pixel FPN	Pixel sense node E-field Opened TG	Design/process TG timings	-
			Dark Current Non- Uniformity (DCNU)	Dark signal (Uniformity if dark average subtraction)	Dark frame subtraction @T=Tint	DCNU*DC if dark avg subtraction
		Photon response non- uniformity (PRNU)		CVF uniformity Pixel sensitivity	Design/process	PRNU*Signal

4.1 Courbe de transfert photonique (PTC)

La courbe de transfert photonique (PTC : Photon transfert curve) permet d'illustrer les différents bruits de l'image. Cette courbe est déduite à partir de N images illustrées sur la Figure 3.40. On effectue grâce à des images prises à différents temps d'intégration une moyenne (μ) du signal et on évalue le bruit temporel (σ_{Temporal}) de chaque pixel ainsi que le bruit spatial (σ_{FPN}) de chaque image de manière à tracer une courbe du bruit en fonction du signal moyen reçu.

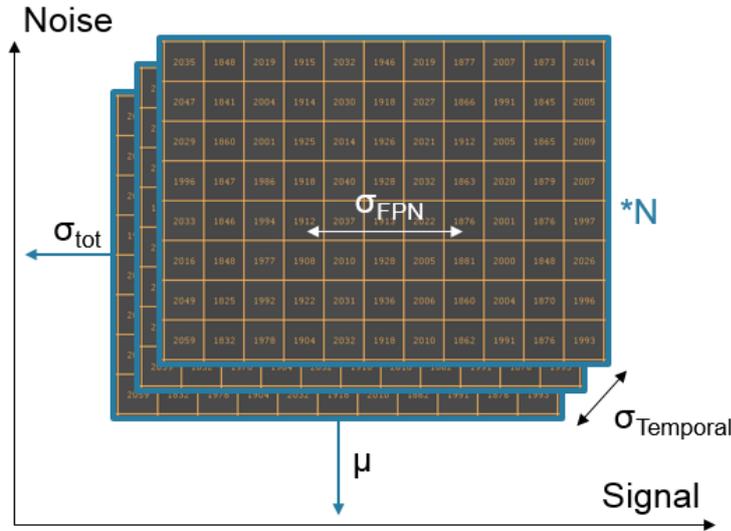


Figure 3.40 : Méthode d'extraction de la courbe de transfert photonique. La courbe est réalisée en évaluant la moyenne du signal μ sur la matrice et l'écart type σ_{tot} de l'image évalué grâce σ_{FPN} la dispersion du signale sur la matrice et σ_{temporal} la dispersion pour différents essais.

D'un point de vue théorique [11], le bruit total s'exprime par :

$$\sigma_{\text{Noise}} = \sqrt{\sigma_{\text{Temporal}}^2 + \sigma_{\text{FPN}}^2} \tag{Eq. 3-20}$$

$$\sigma_{\text{Noise}} = \sqrt{\sigma_{\text{RN}}^2 + \sigma_{\text{PhotonShot}}^2 + \sigma_{\text{DCNS}}^2 + \sigma_{\text{FPN,pixel}}^2 + \sigma_{\text{FPN,c}}^2 + \sigma_{\text{DCNU}}^2 + \sigma_{\text{PRNU}}^2} \tag{Eq. 3-21}$$

On peut simplifier cette équation en retirant les composantes du courant d'obscurité qui sont faibles dans notre cas ($\sim 1h+$ à saturation). On supprimera également au moyen d'une image la composante continue des colonnes (FPN,c). On exprime ainsi le bruit total par :

$$\sigma_{\text{Noise}} = \sqrt{\sigma_{\text{RN}}^2 + \text{Signal} + \sigma_{\text{FPN,pixel}}^2 + (\text{Signal} * \text{PRNU})^2} \tag{Eq. 3-22}$$

On distingue 3 composantes du bruit total (σ_{Noise}) grâce à l'équation (Eq. 3-22) que l'on représente sur la Figure 3.41 extraite de la littérature [107]. La première $\sigma_{RN}^2 + \sigma_{FPN, \text{pixel}}^2$ ne dépend pas du signal reçu mais uniquement du circuit de lecture, celle-ci est invariante à l'exposition donc de pente nulle. La seconde composante est le bruit photonique en $\sqrt{\text{Signal}}$, correspondant à une pente $\frac{1}{2}$ en échelle log/log. La dernière composante est linéairement dépendante à la PRNU, donc de pente 1 en échelle log/log.

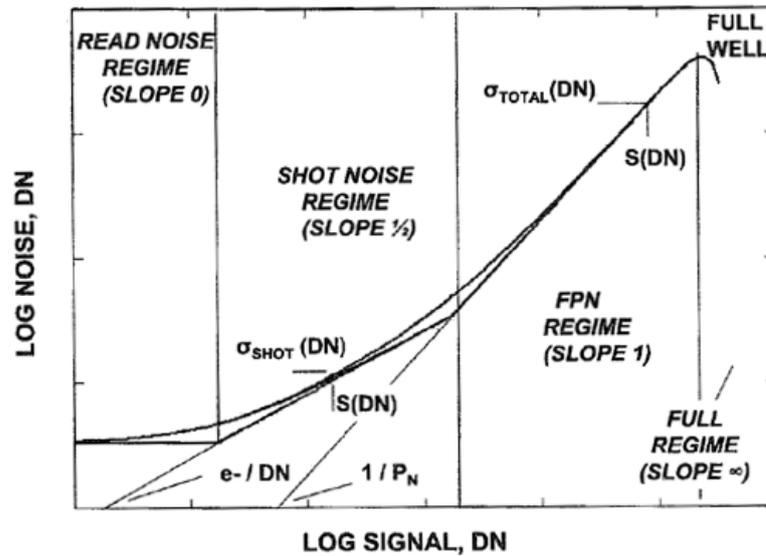


Figure 3.41 : Courbes de transfert photonique théorique [107] : Bruit en fonction du signal. Sur cette représentation log/log, on peut voir 4 régimes différents dont un de pente nulle, un de pente $\frac{1}{2}$ et de pente 1 puis le domaine de saturation.

Pour une capture de 50 images à chaque temps d'intégration, on obtient la courbe de la Figure 3.42 pour la version SNTI. On exprimera volontairement le bruit et le signal rapporté en charge pour plus de clarté, c'est-à-dire le bruit rapporté à l'entrée du transistor suiveur.

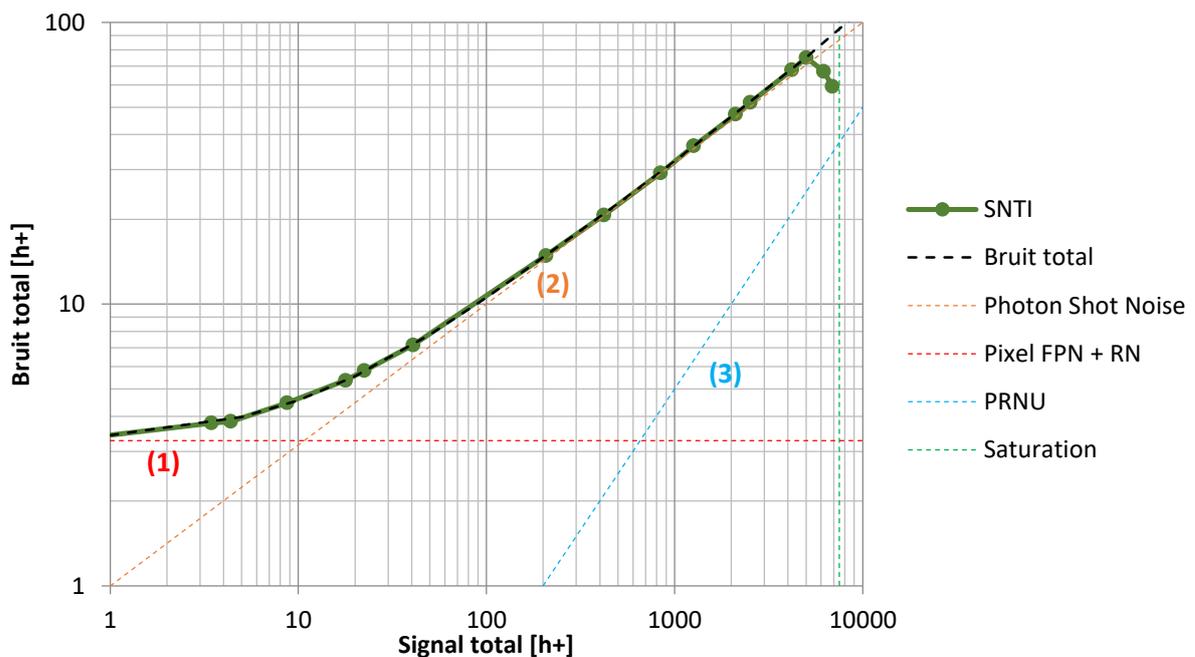


Figure 3.42 : Courbe de transfert photonique, bruit total en fonction du signal mesuré pour la version SNTI à 60°C. On illustre par (1) (2) et (3) les différentes composantes calculées du bruit total.

Sur cette courbe, on retrouve deux des trois régions décrites précédemment. Pour un niveau de signal faible ($<10h+$), les bruits prépondérants de l'image sont le bruit temporel et le bruit spatial du pixel appelé plancher de bruit (noise floor en anglais) qui est de $3.2h+$ et annoté (1). Afin d'améliorer les images à faible luminosité, il faut généralement optimiser ce paramètre grâce à l'optimisation du circuit de lecture et à la limitation des champs électriques dans la structure. Pour un signal entre $200 h+$ et $5000 h+$, on se situe dans la deuxième zone où le bruit est principalement dû au bruit photonique. Ce bruit ne peut pas être minimisé car il est lié à la dispersion statistique naturelle des photons incidents. On effectuera dans cette zone la mesure du facteur de conversion (CVF) afin de l'évaluer sans erreur. On peut également vérifier que l'hypothèse émise en (Eq. 3-3) : $\sigma_{h+} = \sqrt{N_{h+}}$ est respectée, comme visible sur la courbe « Photon Shot Noise » en zone (2). La zone linéaire de pente 1 dégradée par la PRNU est très peu visible car sa composante est négligeable à faible niveau et très proche de la zone saturée en (3) sur la figure.

On définit la dynamique (Dynamic Range : DR) de fonctionnement du capteur par la formule (Eq. 3-23) que l'on peut facilement calculer à partir de la courbe de transfert photonique.

$$DR = 20 * \log\left(\frac{Q_{sat}}{\sigma_{NoiseFloor}}\right) \quad (\text{Eq. 3-23})$$

La dynamique pour la version SNTI est égale à $DR=67.4\text{dB}$. ($Q_{sat} = 7500h+$ et $\sigma_{NoiseFloor} = 3.2h+$).

4.2 Plancher de bruit

Le plancher de bruit est mesuré dans l'obscurité et sans intégration ($t_{int} \sim 0s$) afin de ne pas comptabiliser le courant d'obscurité. Celui-ci contient, tout comme le bruit total, une composante temporelle et une composante spatiale.

La composante temporelle est principalement liée aux performances des transistors de lecture. Car, durant cette mesure, il n'y a pas d'intégration donc peu de courant d'obscurité et aucune lumière.

Le bruit spatial sans éclairage est lié à l'uniformité des différents composants du pixel. De manière analogue au courant d'obscurité qui peut être retiré grâce à une image au même temps d'intégration, le bruit spatial fixe est un signal qui peut être retranché grâce à une image de référence dans le noir à $t_{int} \sim 0s$. Néanmoins, cette soustraction ne retire que la partie fixe de ce signal parasite et non sa variance.

La technique du double échantillonnage lors de remise à zéro et de lecture permet de supprimer la composante fixe du bruit spatial. De plus, comme on a pu le voir au chapitre 1 § 1.3.2, le double échantillonnage corrélé (CDS) permet également de supprimer une partie du bruit temporel.

4.2.1 Bruit de lecture

On peut décomposer le bruit de lecture (Read Noise : σ_{RN}) par ses différentes composantes. La chaîne de lecture est composée de la grille de transfert verticale, du transistor suiveur et de l'ARD (Analog ReadOut) de la colonne. Pour ces composants, l'origine du bruit est principalement 1/f et thermique (kT/C). On note alors :

$$\sigma_{RN} = \sqrt{\sigma_{TG}^2 + \sigma_{SF}^2 + \sigma_{ARD}^2} \quad (\text{Eq. 3-24})$$

Afin d'extraire les différentes composantes de ce bruit, on peut tester séparément à l'aide d'une colonne de référence sans pixel le bruit de l'ARD issue de la colonne. On effectue ensuite une image sans intégration avec une lecture du pixel (bruit total σ_{RN}) et une image avec lecture du pixel sans activer la grille de transfert (bruit total sans bruit la composante σ_{TG}). On peut alors récupérer respectivement le bruit de la colonne, le bruit total puis le bruit du transistor suiveur (σ_{SF}). On extrait finalement grâce à l'équation (Eq. 3-25) le bruit de la grille de transfert vertical.

Les résultats sont représentés sur la Figure 3.43 pour la version SNTI et sans SNTI. La version SNTI est la moins bruitée avec une médiane de 195 μV (2h+) pour le bruit total. Par contre, le transistor suiveur de cette version est légèrement plus bruité. En effet, l'un des bruits prédominant après CDS pour le transistor suiveur est le bruit 1/f. Or, la version sans SNTI a une capacité de nœud de lecture plus grande (voir Tableau 3-2) donc un bruit 1/f plus faible que la version SNTI. D'autre part, le bruit de la grille verticale est plus important pour la version sans SNTI car les jonctions sont abruptes et davantage sujettes au bruit thermique.

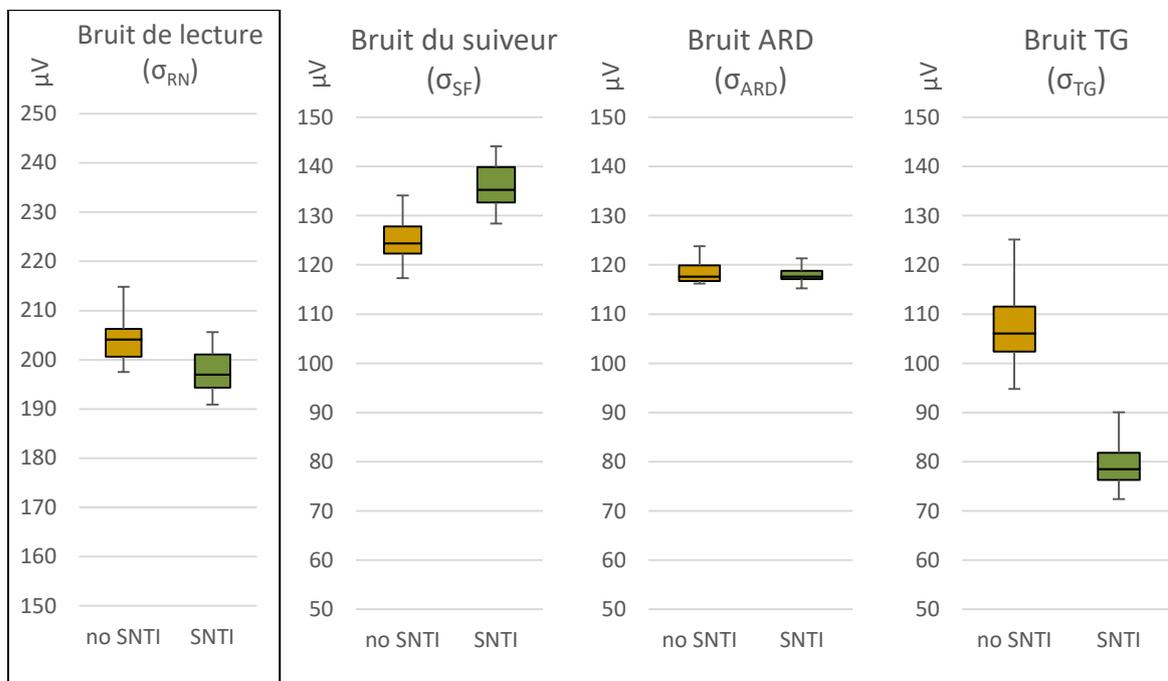


Figure 3.43 : Bruits total de la chaîne de lecture σ_{RN} pour les versions No SNTI et SNTI et le calcul de ses trois composantes : σ_{SF} , σ_{ARD} et σ_{TG} . Le bruit du transistor suiveur est prépondérant lors de la lecture.

Le bruit de lecture prépondérant reste le bruit du transistor suiveur. Si l'on compare le rapport des variances (σ^2) pour la version SNTI, le bruit du transistor suiveur représente environ 48% du bruit total, celui de l'ARD 37% et de la grille de transfert verticale 15%.

4.2.2 Bruit fixe associé au pixel

On peut déterminer le bruit fixe spatial en lien avec le pixel (Pixel FPN) grâce à l'équation (Eq. 3-25) issue de l'équation (Eq. 3-21). Nous évaluons le bruit fixe de colonne ($\sigma_{FPN,c}$) et le bruit fixe du pixel ($\sigma_{FPN,pixel}$) avec un temps d'intégration faible ($<440\mu s$) pour que le courant d'obscurité (Dark Current : DC) soit quasi-nul. Le bruit fixe de colonne ($\sigma_{FPN,c}$) est quant à lui obtenu en effectuant un échantillon du signal de la colonne sans actionner la lecture du pixel. C'est ainsi que nous pouvons déduire de l'équation le bruit fixe du pixel ($\sigma_{FPN,pixel}$).

$$\sigma_{DSNU} = \sqrt{\sigma_{FPN,c}^2 + \sigma_{FPN,pixel}^2 + (DCNU * DC)^2} \quad \text{(Eq. 3-25)}$$

Sur la Figure 3.44, on peut comparer l'effet du SNTI sur le bruit fixe du pixel. En effet, comme nous avons vu plutôt en chapitre 2 lors de la simulation, les champs électriques associés au nœud de lecture pour les versions sans SNTI sont très importants. Ces champs peuvent introduire des charges sur le nœud de lecture et créer une variabilité que l'on ne pourra pas compenser. Ainsi pour la version sans SNTI on trouve $1100\mu V$ de bruit et $250\mu V$ pour la version SNTI ce qui représente respectivement $16h+$ et $2.6h+$. Afin de réduire davantage ce bruit, on peut penser à augmenter la profondeur du SNTI ou à diminuer l'énergie et la dose de l'implantation sur le nœud de lecture afin de conserver un gradient de dopage et une distance suffisante entre le nœud de lecture et le polysilicium de la grille verticale.

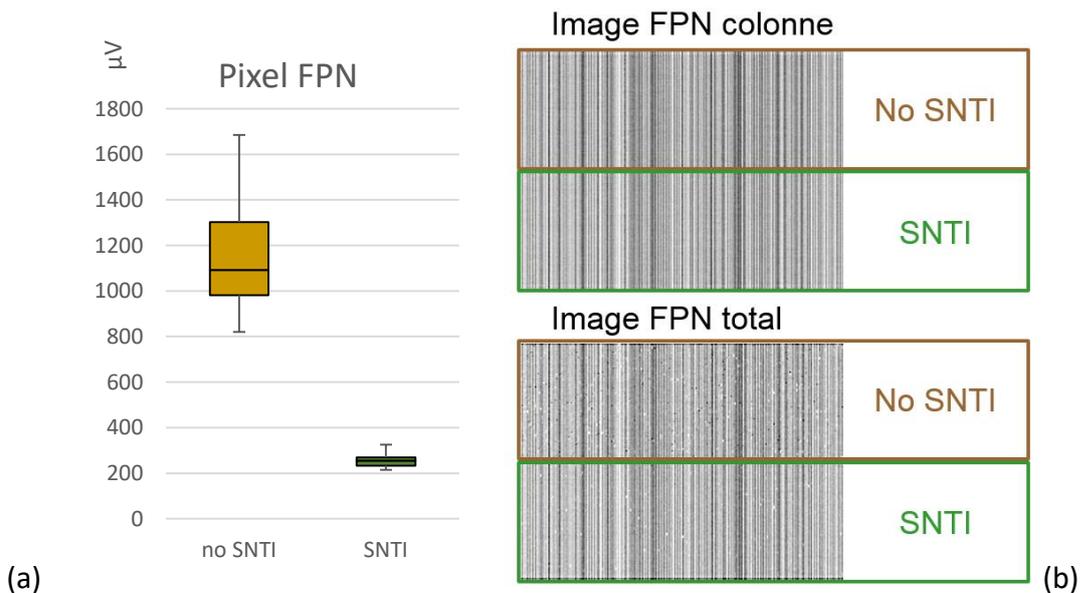


Figure 3.44 : (a) Bruit FPN du pixel pour les versions No SNTI et SNTI. (b) image de bruit colonne et du bruit total utilisée pour déduire le bruit fixe pixel grâce à l'équation (Eq. 3-25).

Nous pouvons également mener une analyse plus détaillée sur l'origine de ce bruit pour la version SNTI. On peut notamment effectuer des essais sur la durée d'ouverture de la grille de transfert (TG) permettant le transfert des charges vers le nœud de lecture (Figure 3.45). En effet, le bruit fixe du pixel dépend de la variation de l'amplitude du signal entre la prise des deux échantillons corrélés pendant la lecture (CDS1 et CDS2). On remarque sur la Figure 3.45 que cette variation sur le nœud de lecture est créée durant des phases où la grille de transfert (TG) est ouverte, en commutation et fermée.

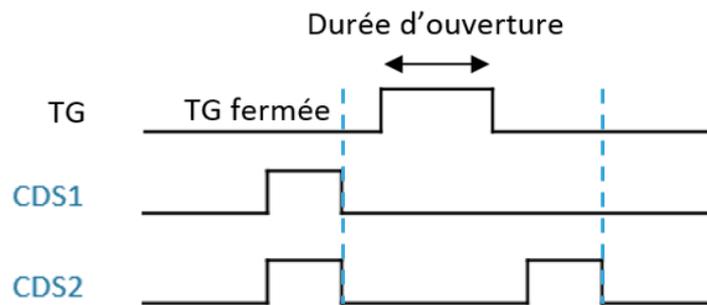


Figure 3.45 : Chronogramme de fonctionnement de la lecture d'un pixel. L'échantillonnage du signal a lieu avant transfert avec le CDS1 et après transfert (l'ouverture TG) avec CDS2. La génération du bruit fixe du pixel a lieu entre ces deux instants.

Sur la Figure 3.46, on représente le bruit fixe du pixel (FPN pixel) en fonction du temps d'ouverture de la grille de transfert (Durée d'ouverture TG), on notera que le temps de transfert de référence est de $1\mu\text{s}$. On remarque sur cette figure que l'évolution du bruit est linéaire. En effet, pendant l'ouverture de la grille de transfert les défauts aux interfaces oxydes de la grille ne sont plus passivés et génèrent un courant équivalent à un courant d'obscurité pour le nœud de lecture. On voit également grâce à la régression linéaire que la valeur est non nulle à l'origine. Pour un temps de $1\mu\text{s}$, on peut déduire qu'environ $1.17h+$ du bruit est causé par la génération des interfaces non passivées pendant l'ouverture de la grille de transfert et que $1.2h+$ sont causés par la contribution de la grille en position fermée et/ou à sa commutation.

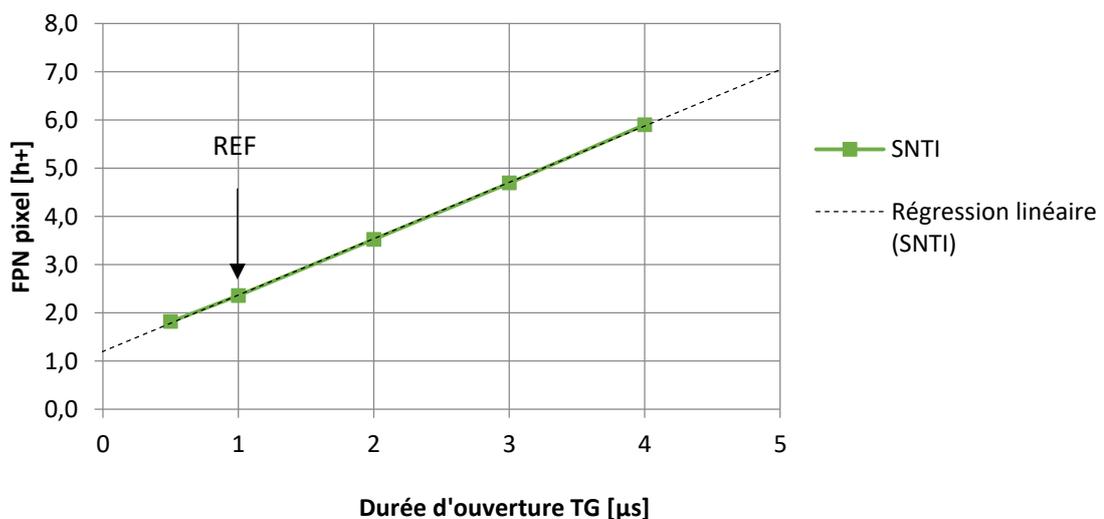


Figure 3.46 : Bruit FPN du pixel pour les versions SNTI en fonction de la durée d'ouverture TG.
($y = 1.17E+06x + 1.20$, $R^2 = 0.9998$).

On visualise aussi l'impact de l'augmentation de la durée d'ouverture de la grille de transfert à l'aide de la Figure 3.47. On retrouve sur ce graphique la population des pixels de la matrice en fonction de leurs niveaux de signal. Le calcul de la dispersion de ce signal donne donc accès au FPN du pixel. Si l'on compare une durée TG de $1\mu\text{s}$ et $4\mu\text{s}$, on remarque une augmentation du niveau de signal vers la droite du graphique (1) qui est bien en accord avec la génération de charges aux interfaces de la grille de transfert. D'autre part, on a également réalisé sur cette figure un essai sans actionner la grille de transfert (noTG) : dans ce cas, la grille reste bloquée pendant la lecture. La variation de signal est donc uniquement liée au champ électrique entre le nœud de lecture et la grille de transfert. La courbe « noTG » correspond donc à un signal induit par courant du nœud de lecture vers la grille en inversion par effet tunnel en polarisation inverse (Tunneling Zener [73]). Le dernier phénomène observable est la perte d'une partie des charges lors de l'activation de la grille de transfert. En effet, on remarque que la courbe « noTG » est uniquement positive alors que le signal pour la durée TG= $1\mu\text{s}$ se décale vers la gauche (2) et devient négatif. On peut supposer que ce phénomène a pour origine la recombinaison de certaines charges avec les défauts lors de la commutation de la grille. Afin de valider cette hypothèse, nous pourrions réaliser la comparaison entre une ouverture d'une durée de $1\mu\text{s}$ et celle de deux transitions d'une durée de $0.5\mu\text{s}$.

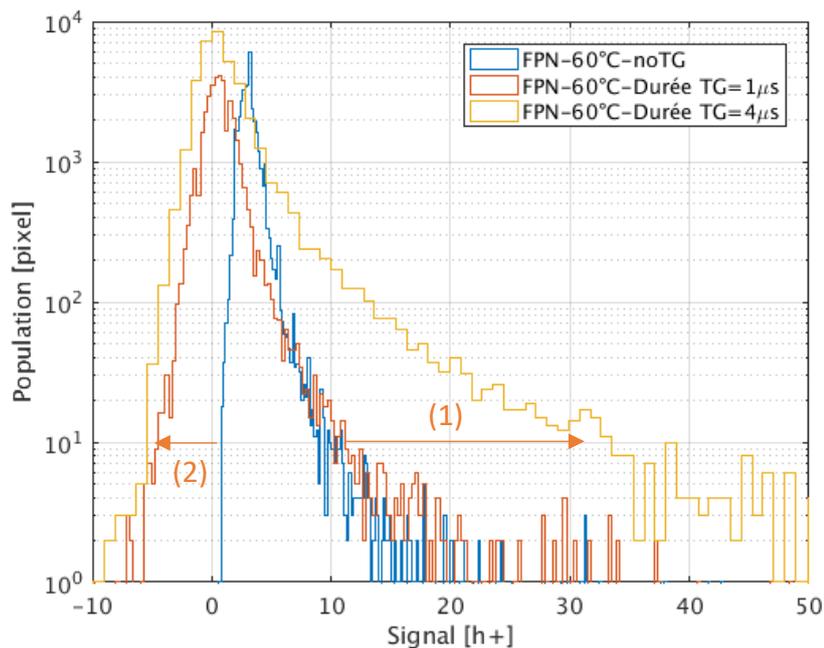


Figure 3.47 : Distribution spatiale du signal pixel pour un temps d'intégration faible et sans éclairage.

En conclusion nous pouvons, afin de réduire le bruit fixe du pixel, d'une part diminuer les champs électriques en ajustant plus finement les implantations du nœud de lecture et la profondeur du SNTI ou en réduisant les tensions de mise en œuvre. Cela permet de diminuer ce bruit d'un maximum de $1.2h+$. D'autre part, on peut réduire la génération de la grille en position ouverte ($1.17h+$ supplémentaire) grâce à la réduction du temps de transfert ou en minimisant la surface de l'interface de la grille de transfert.

4.3 Sources de bruit sous éclairage

Le bruit sous éclairage est principalement le bruit photonique qui est lié à la nature statistique de la lumière reçue. Le courant d'obscurité pendant l'intégration a déjà fait l'objet d'une discussion. Il ne reste donc plus qu'à détailler le bruit lié à la PRNU (Photon Response Non-Uniformity) qui est une source de bruit sous éclairage et à évoquer le cas de la rémanence.

4.3.1 Non-uniformité de la réponse photonique (PRNU)

La PRNU ou non-uniformité de la réponse photonique représente le décalage de la réponse en lumière entre chaque pixel. Celle-ci peut s'exprimer en % de déviation que l'on notera :

$$PRNU(\%) = \frac{\sigma_{signal}}{V_{signal}} * 100 \quad (\text{Eq. 3-26})$$

Afin de déterminer ce rapport, on cherche à supprimer les contributions des autres bruits fixes par l'application d'un filtre passe bas sur l'image. La PRNU peut être facilement évaluée avec un temps d'intégration suffisant dans la zone linéaire du pixel. On représente sur la Figure 3.48 la PRNU en fonction du niveau de charges stockées à l'aide d'une mesure à différents temps d'intégration. On remarque un plateau à 0.5% qui représente la déviation du signal entre les pixels. A bas niveau de signal, la PRNU est dégradée car le signal lumineux n'est pas suffisant comparé au bruit fixe et temporel. Ce rapport est également impacté à haut niveau par la saturation.

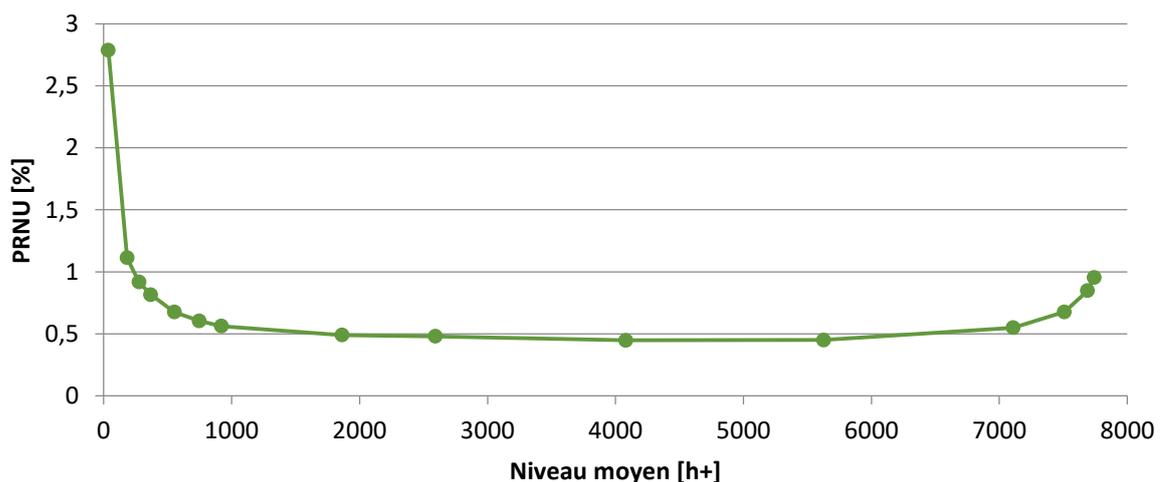


Figure 3.48 : Courbe de PRNU en [%] en fonction de la charge stockée pour la version SNTI

La PRNU est souvent dégradée par l'uniformité des facteurs de conversion de charge en tension (CVF) que nous avons évoquée en partie 1.4.1, car on utilise la valeur moyenne de ce facteur pour la création de l'image. Ainsi toute déviation de ce facteur est interprétée comme un bruit. D'autres paramètres comme l'uniformité de l'efficacité quantique entre les pixels peuvent dégrader la PRNU. Cette uniformité peut dépendre de la symétrie des pixels par exemple. La PRNU impacte très peu le bruit total comme on peut le voir sur la courbe de PTC Figure 3.42.

4.3.2 Rémanence

La rémanence (lag en anglais) résulte du non transfert de certaines charges vers le nœud de lecture. Les charges rémanentes apporteront un signal parasite lors de la lecture des images qui ne peut pas être évité. Ce phénomène crée un bruit résiduel sur l'image qui s'ajoute de manière directe aux autres bruits.

On représente sur la Figure 3.49 quatre différentes possibilités pour créer des charges rémanentes dans le site photosensible. Dans le cas (a), il est possible de piéger des charges dans des poches de potentiel si le potentiel de déplétion n'est pas constant. Ces charges seront parfois transférées suivant leur agitation thermique, ce qui induit un signal variable synonyme de bruit. En (b), on représente le cas où le potentiel de fermeture de la grille est dirigé vers le photosite. Lors de la fermeture, la grille transfère une certaine quantité de charges qui est retournée vers le photosite pincé. Le cas (c) illustre un problème où la barrière reste à un potentiel trop élevé. Dans ce cas, une partie du signal n'est jamais récupérée. Pour le schéma (d), le potentiel de la grille permet le transfert des charges, cependant le temps de transfert (ou d'ouverture) n'est pas suffisant pour récupérer toutes les charges.

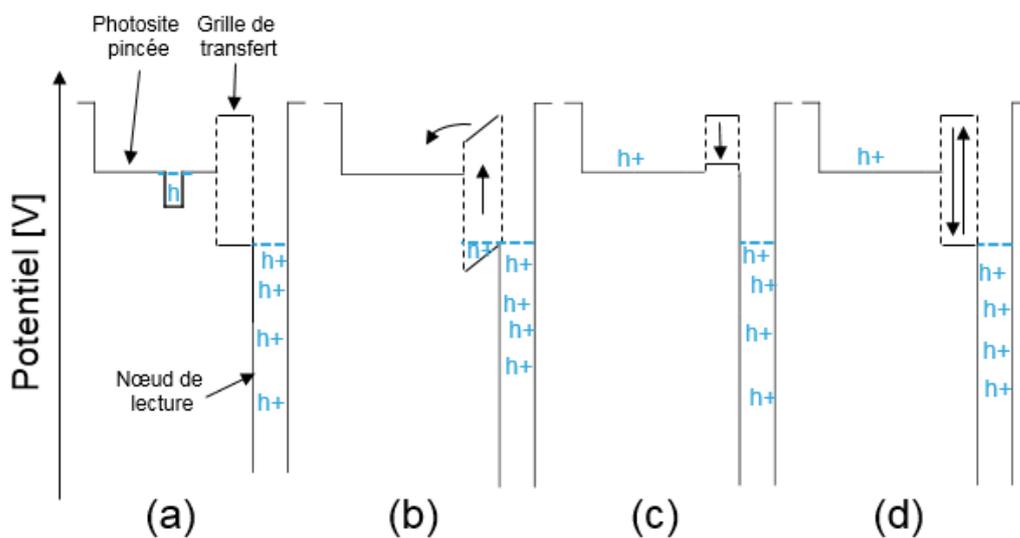


Figure 3.49 : Illustration de différents cas de rémanence pour les photosites pincés. (a) poche de potentiel dans la zone pincée, (b) retour de charge lors de la fermeture de la grille de transfert, (c) barrière de la grille de transfert non intégralement ouverte lors du transfert et (d) ouverture/fermeture rapide ne laissant pas assez de temps pour le transfert de toutes les charges stockées.

La mesure de la rémanence est effectuée sur les pixels grâce à un cycle de lecture où l'on alterne éclaircissement et passage dans obscurité au moyen d'une lumière pulsée afin d'accumuler des charges rémanentes lors des lectures consécutives. Lors de la mise en obscurité, on évalue la quantité de signal restante en la comparant à une référence en obscurité et sans transition de lumière. La Figure 3.50 (a) montre le résultat de cette mesure en fonction du temps d'ouverture de la grille de transfert.

Dans un cas de lecture typique, la durée d'ouverture de la grille est de $1\mu\text{s}$. Pour ce temps, on peut voir que le pixel NoSNTI conserve une rémanence de $2h+$ alors que la valeur pour le pixel SNTI est inférieure à une charge. Les deux pixels ont les mêmes potentiels de déplétion et de barrière excluant les cas (a) (b) et (c) représentés sur la Figure 3.49. Afin de mettre en évidence l'effet du temps de transfert (cas (d) sur la Figure 3.49), nous avons réalisé la mesure pour des temps d'ouverture de la grille de transfert (TG) plus long (5 et $10\mu\text{s}$). On remarque en Figure 3.50 (a) que l'augmentation de ce temps de transfert diminue la rémanence de la version NoSNTI.

On explique ce phénomène par un contact de grille de transfert proche du nœud de lecture. En effet, le contact de grille est effectué sur un polysilicium N+ (voir Figure 3.50 b), cependant celui-ci est placé à proximité de l'implantation P+ du nœud de lecture pour la version NoSNTI. Ce contact pour la version NoSNTI est donc plus résistif, ce qui va engendrer une constante de temps supérieure pour l'établissement de l'ouverture.

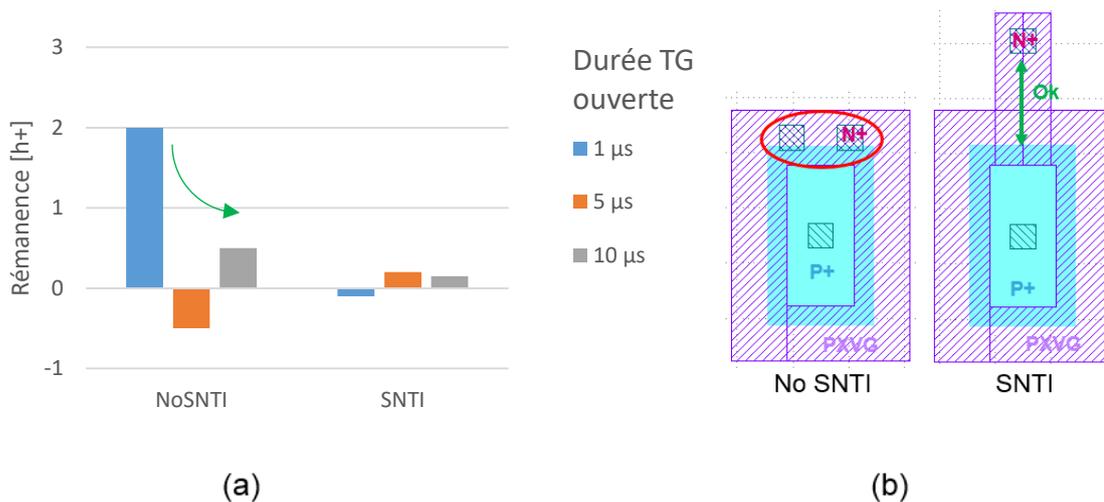


Figure 3.50 : (a) Rémanence en fonction du temps d'ouverture de la grille. (b) Position des contacts N+ sur la grille d'ouverture par rapport au P+.

A l'avenir, on privilégiera le dessin des contacts éloignés de l'implantation P+. On démontre ainsi que le pixel ne présente aucune poche de potentiel dans son volume déplété et permet le transfert intégral des charges vers le nœud de lecture. Dans le cas des photodiodes verticales P, on rappelle que l'augmentation du dopage du substrat aura occasionné une dégradation avec en moyenne 5% de rémanence [52] ce qui n'est pas le cas de la photogate.

5. Conclusions

Nous avons réalisé un pixel photogate de type P qui permet une déplétion sur toute la hauteur de la zone photosensible. Cette optimisation permet l'utilisation de la globalité du volume du pixel pour le stockage des charges, excepté la zone de transfert soit plus de 75% du volume disponible pour le pixel à $4.8\mu\text{m}$. On a ainsi vérifié l'augmentation de la dynamique maximale (+55%) atteignable et la réduction des tensions de fonctionnement (-1V) sans dégradation de l'efficacité quantique. Le pixel a également le potentiel de voir ses dimensions réduites. En effet, nous avons vu qu'il suffit d'augmenter l'épaisseur de l'épitaxie afin d'augmenter de manière proportionnelle la charge à saturation. Le pixel réalisé est le premier pixel à démontrer une zone intégralement déplétée sur $4\mu\text{m}$ de hauteur notamment grâce à la photogate avec l'utilisation du CDTI à la place des implantations de photodiode classique.

Contrairement aux autres pixels à photodiode, la zone photosensible photogate n'est pas implantée car la déplétion du volume est effectuée par les tranchées capacitives profondes placées dans un mode d'inversion. On retrouve une diminution du nombre de contaminants dans le pixel ainsi que des points blancs (Tableau 3-9). Nous avons évalué avec succès les énergies d'activation de ces défauts à l'aide de la spectrométrie du courant d'obscurité et ainsi nous avons pu proposer des espèces correspondantes. En outre, la valeur du courant d'obscurité est également très faible pour cette taille de pixel : $5\text{h}^+/\text{s}$ (pas de $2\mu\text{m}$) contre $16\text{h}^+/\text{s}$ pour un pixel classique au pas de $1.4\mu\text{m}$. On a montré l'effet de la passivation des interfaces par les tranchées capacitives profondes et trouvé que le courant d'obscurité moyen avait pour origine principale la surface supérieure du pixel. On a démontré la faisabilité d'un pixel de $2\mu\text{m}$ sous les $2\text{h}^+/\text{s}$ grâce à des interfaces de type VEGA en surface. On propose l'introduction d'un masque pour implanter la surface à basse énergie et forte dose N ou d'augmenter la passivation à l'aide de structures MOS surfaciques afin de réduire le courant d'obscurité. De la même manière et pour améliorer les performances de la version SNTI, il faudra ajouter une implantation afin de passiver correctement la surface et éviter les zones SNTI proches du STI et/ou retirer le STI du pixel.

Le bruit de notre pixel a été intégralement caractérisé. L'intérêt du SNTI a été validé expérimentalement afin de limiter le bruit fixe spatial. On recommande l'abaissement de l'énergie et de la dose de l'implantation du nœud de lecture et la diminution de la surface de la grille verticale enfin de réduire davantage ce bruit. De plus, on a identifié le transistor suiveur comme étant l'élément limitant le plancher de bruit de la chaîne de lecture. On suggère pour celui-ci d'abaisser la tension de seuil de ce transistor afin, d'une part de limiter les bruits et d'autre part d'augmenter la tension de lecture maximale. On a également vu que le pixel se comporte de manière très uniforme en fonction de l'éclairement avec une PRNU de 0.5% et que son transfert de charges depuis la photogate vers le nœud de lecture est intégral et sans rémanence.



Figure 3.51 : Image acquise par le capteur réalisé

Tableau 3-9 : Récapitulatif des performances des différentes versions de pixel

	Unité	Photodiode Verticale P-type	PHOTOGATE P-type	PHOTOGATE P-type SNTI	PHOTOGATE P-type SNTI/no STI
Supply Voltage	V	[-1 ; 3.5]	[0 ; 3.5]	[0 ; 3.5]	[0 ; 3.5]
Pitch	µm	1.4	2	2	2
Conversion Gain	µV/h+	125	73	96	150
Full well	h+	7400	8050	7500	6000
LAG	h+	<1h+	2	<1h+	<1h+
PRNU stdev @2ke-	%	-	0.5	0.5	0.5
Mean Dark Current (60°C)	h+/s	16 (9.5)	5.4	24.5	3.2
White Pixel Number (60°C)	ppm >600h/s	2000	380	400	340
Temporal Noise	µV	250	206	195	210
	h+	2.0	2.7	2	1.4
Temporal Noise - SF	µV	195	126	134	145
	h+	1.6	1.7	1.4	1
Pixel FPN	µV	-	1160	251	245
	h+	-	15.9	2.6	1.6
Qe(noµlens+monochrome)	%@550nm	-	75	75	75

Conclusion générale

Des capteurs d'images adaptés à leur environnement deviennent indispensables à l'évolution technique de notre société qui est de plus en plus automatisée et sécurisée. La recherche d'un capteur plus performant a accéléré la transition des systèmes CCD vers les pixels CMOS dans la majorité des applications grâce au passage des architectures passives vers des pixels actifs et à l'introduction des **photodiodes pincées**.

La miniaturisation des pixels a orienté cette technologie vers l'utilisation de l'intégralité du volume de silicium disponible et la création de structures pincées verticalement. La fabrication de ces **structures verticales** sans perte de qualité d'image aura été facilitée par l'association de tranchées d'isolation profondes et de la technologie d'illumination par la face arrière utilisée couramment de nos jours.

Dans ce contexte, ce sujet de thèse présente une solution innovante afin de permettre une optimisation du volume utilisé par les architectures verticales et une amélioration de leurs figures de mérite. On peut évoquer par exemple la dynamique, l'efficacité quantique, le courant d'obscurité, le bruit de lecture et les tensions de fonctionnement. L'originalité de la solution repose sur l'emploi d'une photogate pour site photosensible qui fut utilisée par les capteurs CCD et de son association avec les technologies disponibles aujourd'hui. On réalise de cette manière une **photogate pincée verticale** éclairée par la face arrière grâce à l'utilisation de tranchées capacitives d'isolation profondes.

Ce développement aura conduit à l'utilisation d'une **photogate à collection de trous**, de la réalisation d'une **chaîne de lecture spécifique** incluant une **grille de transfert de charges verticale et en volume** exclusive ainsi que la mise en place d'un empilement de **diélectriques adaptés en face arrière**.

L'analyse de ces quatre éléments fut menée par la **simulation, l'élaboration de structures de test** spécifique et par leur **caractérisation** morphologique, chimique et électrique.

On aura cherché dans un premier temps à définir le site photosensible. Sa conception aura abouti à l'emploi d'une tranchée capacitive de type N afin de réduire les tensions de fonctionnement et à l'épitaxie d'un substrat avec un dopage spécifique. Le dopage substrat aura été simulé puis évalué par le test capacitif du nœud de lecture qui aura été mis en place pour ce pixel. Le dopage idéal du substrat P permettant de réaliser une déplétion (ΔV_D) de -1.4V est de 4.10^{15} at.cm⁻³.

Dans un second temps, nous avons décrit le procédé de fabrication de la grille de transfert verticale (PXVG) qui aura été créé au cours de la thèse. Son introduction dans le procédé global aura fait l'objet de nombreux essais afin d'éviter le phénomène de diffusion et prendre en compte les contraintes de fabrication en salle blanche. On aura démontré que l'enchaînement « STI-PXVG-SNTI-CDTI » est une solution préférable. La tension de seuil de cette grille verticale a été estimée à -110mV grâce au test capacitif C(V) et sa barrière de fermeture (ΔV_B) à -100mV grâce à la mesure d'une structure I(V) verticale pour un substrat dopé à 4.10^{15} at.cm⁻³. Les champs électriques du nœud de lecture ont été simulés et ont conduit à l'introduction d'un oxyde d'isolation du nœud de lecture (SNTI) pour les diminuer.

Une profondeur d'oxyde minimale de 200nm est suggérée afin d'éviter l'injection de charges par effet de champ dans le nœud de lecture.

On aura également cherché à adapter les caissons des transistors de type P aux contraintes du pixel au moyen d'une implantation unique dont la profondeur de jonction ne dépasse pas 0.75 μ m. Les caractéristiques de ces transistors ont été analysées et permettent le bon fonctionnement du pixel. Les transistors ont été évalués avec une tension de seuil de -450mV que le recommande de rapprocher de 0V et un gain en mode suiveur de 0.83.

En outre, les diélectriques en face arrière ont fait l'objet d'une étude approfondie d'un point de vue optique et électrostatique. Les caractérisations du matériau ont montré une charge fixe positive en adéquation avec le dispositif grâce à une densité surfacique de l'ordre de 1.6 10^{12} cm⁻². On aura également choisi pour cet empilement une double couche de 20nm d'oxyde et 60nm de nitrure afin d'optimiser la transmission des photons dans le visible.

La thèse fut également le sujet de la **mise en fonctionnement et l'étude des caractéristiques électriques et optiques du pixel** réalisé, constitué par les quatre éléments évoqués.

En premier lieu, nous avons cherché à estimer la capacité du nœud de lecture qui est de l'ordre de 1.4fF par la mesure du facteur de conversion de charge en tension (96 μ V/h+). Cette mesure a permis d'extraire la capacité de la grille d'un transistor suiveur (0.2fF) et la capacité de couplage du SNTI de 200nm (0.2fF).

Nous avons ensuite déterminé par la simulation et la mesure, le potentiel interne de la photogate en fonction de la quantité de charges stockées. Nous avons ainsi confirmé les mesures de potentiel de déplétion associées aux tests capacitifs ($\Delta V_D = -1.4V$ et $\Delta V_B = -100mV$) et une capacité équivalente de 1.28fF. Nous avons mis en évidence un phénomène d'écoulement de charges par activation thermique d'environ 10kT/q et montré, par la mesure de la rétention de charges, la propriété logarithmique de cet écoulement. D'autre part, la charge à saturation de la photogate montre une augmentation linéaire avec l'épaisseur de l'épitaxie qui est l'un des atouts de cette structure. La mesure de cette charge met en évidence une zone non utilisée liée à la taille de la grille verticale (0.8 μ m) et à l'effet de pincement en face avant et arrière du pixel (1 μ m). La faisabilité d'un pixel de 13500h+ avec une épaisseur d'épitaxie de 4.8 μ m à 4.10¹⁵at.cm⁻³ a été démontrée. Il a également montré la possibilité d'utiliser la photogate en stockage surfacique.

La sensibilité du pixel représentée par l'efficacité quantique de la structure est dépendante de l'épaisseur d'épitaxie qui améliore la réponse pour les longueurs d'onde de 500-800nm. On atteint ainsi un maximum de 80% à 550nm pour 4.8 μ m d'épaisseur d'épitaxie. Ce maximum peut être déplacé en jouant sur l'épaisseur d'oxyde du filtre anti-réfléctif. On aperçoit alors un déplacement de ce pic modifié vers le bleu jusqu'à 450nm pour un oxyde de 7nm.

Nous avons ensuite réalisé une étude détaillée du courant d'obscurité et de ses origines et explicité les différentes causes possibles de dégradations de courant d'obscurité et la manière de les caractériser grâce aux énergies d'activation des défauts. On peut extraire les différentes populations de pixel au moyen des représentations proposées et identifier celles réagissant de manière intrinsèque au silicium ou de manière extrinsèque associées à des défauts. Nous avons identifié pour chaque défaut extrinsèque, les espèces contaminantes retrouvées lors de la fabrication. Le pixel indique une proportion plus faible de point blanc et

une distribution davantage centrée en comparaison à une photodiode notamment grâce à l'absence d'implantation dans la structure et à la distance entre la photogate et les interfaces d'oxyde non passivées. L'étude de la population intrinsèque montre quant à elle l'effet des tranchées sur la passivation des interfaces Si/SiO₂ et explique la dégradation du courant d'obscurité associée à la version SNTI. De plus, nous avons été en mesure de prouver que le courant d'obscurité est majoritairement issu de la surface avant du pixel par l'élaboration de pixel avec différentes surfaces d'oxyde. Grâce à ces essais, nous avons réalisé un pixel photogate d'un pas de 2µm avec un courant moyen de 1.5h+/s.

Les autres sources de bruit sur l'image ont été également étudiées. On aura fait l'inventaire des différents bruits à l'aide de la mesure de la courbe de transfert photonique. On a notamment évalué le bruit temporel de la chaîne de lecture PMOS à 2h+ dont la composante majoritaire est le bruit du transistor suiveur (1.4h+). Le bruit fixe du pixel est quant à lui diminué lors de l'utilisation du SNTI : on retrouve un bruit fixe d'environ 16h+ pour la version sans SNTI contre 2.5h+ avec SNTI. Ce résultat montre le lien entre les champs électriques simulés au niveau du nœud de lecture et le bruit fixe. On peut également chercher à diminuer ce bruit en diminuant les tensions de fonctionnement et/ou la surface active de la grille de transfert verticale. De plus, on note une bonne uniformité de sous éclairage de la structure avec une déviation (PRNU) de 0.5% pixel à pixel. Finalement, la grille de transfert verticale réalise un transfert sans rémanence des charges présentes dans la photogate.

En synthèse, nous aurons démontré la possibilité de réaliser et intégralement caractérisé une structure photogate pincée verticalement. Celle-ci fut concrétisée par l'introduction de grille de transfert de charge verticale et l'utilisation des tranchées capacitives. On a montré que le retrait de l'implantation de la photodiode permet une meilleure définition de la zone photosensible. La photogate déplète et stocke ainsi les charges sur l'intégralité du volume du pixel. L'emploi d'une grille verticale facilite quant à lui le transfert sans rémanence de charge. La diminution du nombre d'implantations permet également la réduction des dommages dans la structure et la limitation des contaminants apportés. La structure du pixel est efficace car elle repose sur l'utilisation des tranchées capacitives (CDTI) qui ne comptent pas moins de 3 utilisations différentes. Celles-ci créent la zone photosensible, passivent les interfaces et réduisent la diaphotie en isolant électriquement et optiquement les pixels. On obtient alors un pixel entièrement passivé et à très faible courant d'obscurité qui aura la possibilité de diminuer avantageusement son pas. L'étude réalisée propose un pixel capable de stocker jusqu'à 13500h+ charges pour un potentiel de déplétion (ΔV_D) de -1.4V et un courant d'obscurité moyen inférieur à 5h+/s au pas de 2µm, une épitaxie de 4.8µm d'épaisseur et un dopage de 4.10^{15} at.cm⁻³.

De nombreuses perspectives s'offrent à la structure, comme la diminution de la tension de fonctionnement et du pas du pixel pour son utilisation à plus large échelle. On peut penser dans un premier temps à réduire les tensions de seuil des transistors de lecture et augmenter l'épaisseur de l'épitaxie afin de tirer pleinement profit de la structure. On peut également s'intéresser à son utilisation sous température dans le cadre du marché automobile où le courant d'obscurité peut être un facteur déterminant. Ce courant peut encore être réduit à l'aide d'une implantation de type N en surface ou à l'addition de grille en inversion. D'autre part, l'optimisation du bruit est nécessaire à l'augmentation de la

dynamique et pour son utilisation à faible luminosité. Dans ce contexte, il sera intéressant de diminuer la taille de l'implantation du nœud de lecture ou de diminuer la surface de la grille verticale afin de réduire le bruit fixe du pixel. D'autres études peuvent être menées concernant la fiabilité de la structure car ces problématiques n'ont pas été abordées durant ce travail. On peut par exemple évaluer la structure en vieillissement accéléré sous lumière UV, environnement ionisant ou encore température afin de confirmer les bénéfices du pixel de type P. Finalement, cette structure peut également être modifiée afin de créer un système d'obturation global, réaliser un pixel à collection de trous et d'électrons performant grâce à l'utilisation des tranchées. On peut également penser à remplacer le polysilicium des tranchées par du nitrure et rendre la structure photogate intégralement passive et placer la grille verticale dans une tranchée afin de créer des pixels à pas réduit.

Bibliographie

- [1] A. Hamer, "How Many Megapixels Is the Human Eye? The Answer Is Complicated." [Online]. Available: https://curiosity.com/topics/your-eye-is-576-megapixels-but-youre-asking-the-wrong-question-curiosity/?utm_source=facebookSCAL&utm_campaign=2016q4xxfbk03SCALmegapixel&utm_medium=social.
- [2] B. Hoefflinger, *High-Dynamic-Range (HDR) Vision*, vol. 26. Springer Berlin Heidelberg, 2007.
- [3] F. D. S. Campos, M. Macchi, M. E. Bordon, and J. W. Swart, "logarithmic CMOS sensor," no. 2, pp. 69–72, 2017.
- [4] R. Oi and K. Aizawa, "Wide dynamic range imaging by sensitivity adjustable CMOS image sensor," *Image Process.*, pp. 583–586, 2003.
- [5] D. Roland, "Pont en Royan," 2010. [Online]. Available: <http://bellenaturephotos.over-blog.com/article-jour-et-nuit-a-pont-en-royan-59974365.html>.
- [6] M. Wány and G. P. Israel, "Cmos image sensor with nmos-only global shutter and enhanced responsivity," *IEEE Trans. Electron Devices*, vol. 50, no. 1, pp. 57–62, 2003.
- [7] C. Wellons, "Rolling Shutter," 2017. [Online]. Available: <https://nullprogram.com/blog/2017/07/02/>.
- [8] "Persistence rétinienne." [Online]. Available: https://fr.wikipedia.org/wiki/Persistence_rétinienne.
- [9] V. Koifman, "ST Flicker-Free Image Sensor," *Autosens 2016 Conference*, 2016. [Online]. Available: <http://image-sensors-world.blogspot.com/2016/11/autosens-st-flicker-free-image-sensor.html>.
- [10] V. Koifman, "CMOS Sensor Sales Grow at Record-Breaking Pace," 2018. [Online]. Available: <http://image-sensors-world.blogspot.com/2018/05/cmos-sensor-sales-grow-at-record.html>.
- [11] J. Nakamura, *Image Sensors and Signal Processing for Digital Still Cameras*, Taylor & F., vol. 113. CRC Press, 2005.
- [12] "Caractéristique de la lumière," 2005. [Online]. Available: https://fr.wikiversity.org/wiki/Éclairagisme/Caractéristique_de_la_lumière.
- [13] B. E. Bayer, "Color Imaging Array Patent," U. S. patent 3971 065, 1976.
- [14] V. Koifman, "Aptina Explains Clarity+ Technology, Reveals 1.1um Pixel Product," 2013. [Online]. Available: <http://image-sensors-world.blogspot.com/2013/07/aptina-explains-clarity-technology.html>.
- [15] D. Ho, M. O. Noor, U. J. Krull, G. Gulak, and R. Genov, "CMOS tunable-wavelength multi-color photogate sensor," *IEEE Trans. Biomed. Circuits Syst.*, vol. 7, no. 6, pp. 805–819, 2013.

-
- [16] P. Wang and R. Menon, "Ultra-high-sensitivity color imaging via a transparent diffractive-filter array and computational optics," *Optica*, vol. 2, no. 11, p. 933, 2015.
- [17] V. Koifman, "Sony Announces 48MP 0.8um Pixel Sensor." [Online]. Available: <http://image-sensors-world.blogspot.com/2018/07/sony-announces-48mp-08um-pixel-sensor.html>.
- [18] C. T. Ko and K. N. Chen, "Wafer-level bonding/stacking technology for 3D integration," *Microelectron. Reliab.*, vol. 50, no. 4, pp. 481–488, 2010.
- [19] T. Kondo *et al.*, "A 3D stacked CMOS image sensor with 16Mpixel global-shutter mode and 2Mpixel 10000fps mode using 4 million interconnections," *IEEE Symp. VLSI Circuits, Dig. Tech. Pap.*, pp. 90–91, 2015.
- [20] H. Tsugawa *et al.*, "Pixel / DRAM / logic 3-layer stacked CMOS image sensor technology," vol. 1, no. d, pp. 56–59, 2017.
- [21] TechInsight, "Reverse engineering."
- [22] N. E. Posthuma, "Development Of Low Cost Germanium Photovoltaic Cells For Application In TPV Using Spin On Diffusants," *AIP Conf. Proc.*, vol. 738, pp. 337–344, 2004.
- [23] R. Going, T. J. Seok, and M. Wu, "Rapid melt grown Germanium p-i-n photodiode wrapped around a Silicon waveguide," *Cleo*, vol. 1, no. c, 2014.
- [24] F. Arca, M. Sramek, S. F. Tedde, P. Lugli, and O. Hayden, "Near-infrared organic photodiodes," *IEEE J. Quantum Electron.*, vol. 49, no. 12, pp. 1016–1025, 2013.
- [25] A. Einstein, "On a Heuristic Viewpoint Concerning the Production and Transformation of Light," *Ann. Phys.*, pp. 132–148, 1905.
- [26] S. M. Sze, *Semiconductor Devices: Physics and Technology*. John Wiley & Sons, 1936.
- [27] M. Daanoune, "Mesure de durée de vie de porteurs minoritaires dans les structures semiconductrices de basse dimensionnalité," Université Grenoble Alpes, 2015.
- [28] W. S. Boyle and G. E. Smith, "Charge Coupled Semiconductor Devices," *Bell Syst. Tech. J.*, vol. 49, no. 4, pp. 587–593, Apr. 1970.
- [29] K. Senda, S. Terakawa, Y. Hiroshima, and T. Kunii, "Analysis of charge-priming transfer efficiency in CPD image sensors," *IEEE Trans. Electron Devices*, vol. 31, no. 9, pp. 1324–1328, Sep. 1984.
- [30] H. Tian, "Noise Analysis in CMOS Image Sensors," Stanford University, 2000.
- [31] M. Tartagni, F. Filomena, and N. Manaresi, "A Comparative Analysis of Active and Passive Pixel CMOS Image Sensors," *Proc. 32th Eur. Solid-State Device Res. Conf.*, pp. 1–4, 2002.
- [32] M. A. Tournier, "Pixel 1-Transistor à modulation de charges pour capteurs d'images CMOS à haute résolution," Université Claude Bernard Lyon, 2007.
- [33] B. Fowler, A. El Gamal, and D. X. D. Yang, "A CMOS area image sensor with pixel-level A/D conversion," *Int. Solid-State Circuits Conf.*, pp. 226–227, 1994.

- [34] Y. Chen, "CMOS Digital Pixel Sensors With In-Pixel Analog- To-Digital Conversion CMOS," Ryerson University, 2008.
- [35] C. Y. P. Chao, H. Tu, T. Wu, K. Y. Chou, S. F. Yeh, and F. L. Hsueh, "CMOS Image Sensor Random Telegraph Noise Time Constant Extraction from Correlated to Uncorrelated Double Sampling," *IEEE J. Electron Devices Soc.*, vol. 5, no. 1, pp. 79–89, 2017.
- [36] Y. Kim *et al.*, "1/2-inch 7.2MPixel CMOS Image Sensor with 2.25 μ m Pixels Using 4-Shared Pixel Structure for Pixel-Level Summation," *2006 IEEE Int. Solid State Circuits Conf. - Dig. Tech. Pap.*, pp. 1994–2003, 2006.
- [37] N. Tanaka, J. Naruse, A. Mori, R. Okamoto, H. Yamashita, and M. Monoi, "A 1/2.5-inch 8Mpixel CMOS image sensor with a staggered shared-pixel architecture and an FD-boost operation," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 2, pp. 44–46, 2009.
- [38] C. Lotto, P. Seitz, and T. Baechler, "A sub-electron readout noise CMOS image sensor with pixel-level open-loop voltage amplification," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 53, no. 3, pp. 402–403, 2011.
- [39] W. Lee, N. Akahane, S. Adachi, K. Mizobuchi, and S. Sugawa, "A high S/N ratio and high full well capacity CMOS image sensor with active pixel readout feedback operation," *2007 IEEE Asian Solid-State Circuits Conf. A-SSCC*, pp. 260–263, 2007.
- [40] A. Boukhayma, A. Peizerat, and C. Enz, "Noise Reduction Techniques and Scaling Effects towards Photon Counting CMOS Image Sensors," *Sensors*, vol. 16, no. 4, p. 514, 2016.
- [41] V. H. Ponce-ponce, F. Gómez-castañeda, J. A. Moreno-cadenas, E. Molinar-solis, and H. Molina-lozano, "Photogate Active Pixel Sensor Modeling Using Pspice," 2006.
- [42] Q. Huang, L. Su, and T. Jin, "Back-side illuminated photogate CMOS active pixel sensor structure with improved short wavelength response," *IEEE Sens. J.*, vol. 11, no. 9, pp. 1993–1997, 2011.
- [43] B. Casadei, Y. Hu, C. Dufaza, and L. Martin, "Model for Electrical Simulation of Photogate Active Pixel Sensor," *Proceedings. 16th Int. Conf. Microelectron.*, pp. 189–193, 2004.
- [44] S. U. Ay, "A hybrid CMOS APS pixel for wide-dynamic range imaging applications," *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 1628–1631, 2008.
- [45] M. Bae, B. S. Choi, S. H. Jo, H. H. Lee, P. Choi, and J. K. Shin, "A Linear-Logarithmic CMOS Image Sensor With Adjustable Dynamic Range," *IEEE, Sensors J.*, vol. 16, no. 13, pp. 5222–5226, 2016.
- [46] S. G. Wu *et al.*, "A leading-edge 0.9 μ m pixel CMOS image sensor technology with backside illumination: Future challenges for pixel scaling," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 332–335, 2010.
- [47] Y. Kitamura *et al.*, "Suppression of crosstalk by using backside deep trench isolation for 1.12 μ m backside illuminated CMOS image sensor," in *IEDM*, 2012.
- [48] N. Ahmed *et al.*, "MOS Capacitor Deep Trench Isolation for CMOS image sensors,"

- IEDM*, 2015.
- [49] A. Garnier, M. Angermayer, L. Di Cioccio, P. Gueguen, and T. Wagenleitner, "Results on aligned SiO₂/SiO₂ direct wafer-to-wafer low temperature bonding for 3D integration," *Proc. - IEEE Int. SOI Conf.*, pp. 3–4, 2009.
- [50] U. Gösele, G. Cha, and R. Gafiteanu, "Low Temperature Wafer Direct Bonding," *J. Microelectromechanical Syst.*, vol. 3, no. 1, pp. 29–35, 1994.
- [51] J. Michelot *et al.*, "Back Illuminated Vertically Pinned Photodiode with in Depth Charge Storage," *IISW*, pp. 3–6, 2011.
- [52] B. Mamdy, "Nouvelle architecture de pixel CMOS éclairé par la face egrant une photodiode à collection de trous et une chaîne de lecture PMOS pour capteurs d' image en environnement ionisant," Université de Lyon, 2016.
- [53] R. Zheng and J. Wang, "Dark Current Analysis of P-type and N-type Pixels Under Total Ionizing Dose Radiation Effects," pp. 499–501, 2016.
- [54] J. Carrere, S. Place, J.-P. Oddou, D. Benoit, and F. Roy, "CMOS image sensor: Process impact on dark current," *2014 IEEE Int. Reliab. Phys. Symp.*, p. 3C.1.1-3C.1.6, 2014.
- [55] J. Janesick, T. Elliott, J. Andrews, and J. Tower, "Performance and design differences between PMOS and NMOS CMOS imagers," *SPIE*, 2017.
- [56] E. H. Poindexter, G. J. Gerardi, M. E. Rueckel, P. J. Caplan, N. M. Johnson, and D. K. Biegelsen, "Electronic traps and Pb centers at Si/SiO₂ interface: Band-gap energy distribution," *J. Appl. Phys.*, vol. 56, no. 10, pp. 2844–2849, 1984.
- [57] L. A. Ragnarsson and P. Lundgren, "Electrical characterization of Pb centers in (100)Si-SiO₂ structures: The influence of surface potential on passivation during post metallization anneal," *Doktorsavhandlingar vid Chalmers Tek. Hogsk.*, vol. 938, no. 1511, pp. 1–13, 1999.
- [58] Edwards, "Interaction of H and H₂ with the silicon dangling orbital at the <111> Si/SiO₂ interface.," *Phys. Rev. B. Condens. Matter*, vol. 44, no. 4, pp. 1832–1838, Jul. 1991.
- [59] P. E. Bunson, M. Di Ventra, S. T. Pantelides, R. D. Schrimpf, and K. F. Galloway, "Ab initio calculations of H⁺ energetics in SiO₂: Implications for transport," *IEEE Trans. Nucl. Sci.*, vol. 46, no. 6, pp. 1568–1573, 1999.
- [60] R. Entner, "Modeling and Simulation of Negative Bias Temperature Instability," Technischen Universität Wien Fakultät, 2007.
- [61] B. Mamdy, G. N. Lu, and F. Roy, "P-type BSI Image Sensor with Active Deep Trench Interface Passivation for Radiation-hardened Imaging Systems," *Procedia Eng.*, vol. 168, pp. 176–180, 2016.
- [62] J. C. Ahn *et al.*, "A 1/4-inch 8Mpixel CMOS image sensor with 3D backside-illuminated 1.12µm pixel with front-side deep-trench isolation and vertical transfer gate," *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 57, pp. 124–125, 2014.
- [63] F. Baker, A. Ballantine, E. Fisch, and W. Hodge, "STI TEOS densification for furnaces

- and RTP tools," *Adv. Semicond. Manuf. Conf. Work.*, no. 10th, pp. 394–399, 1999.
- [64] K. a. Ellis and R. A. Buhrman, "Phosphorus Diffusion in Silicon Oxide and Oxynitride Gate Dielectrics," *Electrochem. Solid-State Lett.*, vol. 2, no. 10, p. 516, 1999.
- [65] J. J. Kopanski, *Scanning Capacitance Microscopy for Electrical Characterization of Semiconductors and Dielectrics*. Springer, 2007.
- [66] H. Mathieu and H. Fanet, *Physique des semiconducteurs et des composants électroniques - 6ème édition: Cours et exercices corrigés*, 6e ed. Dunod, 2009.
- [67] C. Hu, *Modern Semiconductor Devices for Integrated Circuits*. Pearson, 2009.
- [68] J. Maserjian, G. Petersson, and C. Svensson, "Saturation capacitance of thin oxide MOS structures and the effective surface density of states of silicon," *Solid. State. Electron.*, vol. 17, no. 4, pp. 335–339, Apr. 1974.
- [69] S. Bernardini, "Modélisation des structures Métal-Oxyde-Semiconducteur (MOS) : Applications aux dispositifs mémoires," Université Aix-Marseille, 2004.
- [70] H. Ito, "Rise of chemical amplification resists from laboratory curiosity to paradigm enabling Moore's law," *SPIE*, 2008.
- [71] M. Yasuda and Y. Hirai, "Si Etching with High Aspect Ratio and Smooth Side Profile for Mold Fabrication," *Dig. Pap. Microprocess. Nanotechnol.*, pp. 198–199, 2006.
- [72] Y. Tsubo *et al.*, "Phosphorus diffusion from doped polysilicon through ultra-thin SiO₂ films into Si substrates," *Jpn. J. Appl. Phys.*, vol. 39, no. 10 A, pp. 955–957, 2000.
- [73] M. Singh Tyagi, "Zener and avalanche breakdown in silicon alloyed p-n junctions-I. Analysis of reverse characteristics," *Solid State Electron.*, vol. 11, no. 1, pp. 99–115, 1968.
- [74] A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectron. Reliab.*, vol. 42, no. 4–5, pp. 583–596, 2002.
- [75] Y. Sato, "Characterization of Phosphorus Pile-Up at the SiO₂/Si Interface," *J. Electrochem. Soc.*, vol. 140, no. 9, p. 2679, 1993.
- [76] D. Bin Kao, K. C. Saraswat, and J. P. Mcvittie, "Annealing of Oxide Fixed Charges in Scaled Polysilicon Gate MOS Structures," *IEEE Trans. Electron Devices*, vol. 32, no. 5, pp. 918–925, 1985.
- [77] B. Razavi, *Fundamentals of Microelectronics*, vol. 13. John Wiley & Sons, 2008.
- [78] S. M. Sze, K. K. Ng, J.-P. Colinge, and C. A. Colinge, "Physics of Semiconductor Devices," *Phys. Semicond. Devices*, pp. i–x, 1969.
- [79] M. Born and E. Wolf, *Principles of Optics*, Pergamon P. 1968.
- [80] O. Stenzel, *Optical Coatings*, vol. 54. Springer Berlin Heidelberg, 2014.
- [81] W. L. Warren, J. Kanicki, J. Robertson, E. H. Poindexter, and P. J. McWhorter, "Electron paramagnetic resonance investigation of charge trapping centers in amorphous silicon

- nitride films," *J. Appl. Phys.*, vol. 74, no. 6, pp. 4034–4046, Sep. 1993.
- [82] V. Sharma, "Study of Charges Present in Silicon Nitride Thin Films and Their Effect on Silicon Solar Cell Efficiencies," Arizona State University, 2013.
- [83] P. Edelman *et al.*, "Contact potential difference methods for full wafer characterization of Si/SiO₂ interface defects induced by plasma processing," *Proc. SPIE - Int. Soc. Opt. Eng.*, pp. 126–136, Aug. 1998.
- [84] J. Nakamura, *Image Sensors and Signal Processing for Digital Still Cameras*. CRC Press, 2005.
- [85] E. Fossum and D. B. Hondongwa, "A Review of the Pinned Photodiode for CCD and CMOS Image Sensors," *IEEE J. Electron Devices Soc.*, vol. 2, no. 3, pp. 33–43, 2014.
- [86] M. Sarkar, B. Buttgen, and A. J. P. Theuwissen, "Feedforward effect in standard CMOS pinned photodiodes," *IEEE Trans. Electron Devices*, vol. 60, no. 3, pp. 1154–1161, 2013.
- [87] M. Sarkar, B. Büttgen, and A. J. P. Theuwissen, "Temperature effects on feedforward voltage in standard CMOS pinned photodiodes," *IEEE Trans. Electron Devices*, vol. 63, no. 5, pp. 1963–1968, 2016.
- [88] C. Mornet, "Reconstruction couleur sous faible éclaircissement pour des capteurs d'images en technologie CMOS," Université de Grenoble, 2014.
- [89] E. Palik, *Handbook of Optical Constants of Solids*. Elsevier, 1985.
- [90] Z. Jaksic, "Back side reflection influence on quantum efficiency of photovoltaic devices," *Electron. Lett.*, vol. 24, no. 17, pp. 1100–1101, 1988.
- [91] S. Yokogawa *et al.*, "IR sensitivity enhancement of CMOS Image Sensor with diffractive light trapping pixels," *Sci. Rep.*, vol. 7, no. 1, pp. 1–9, 2017.
- [92] H. I. Kwon, I. M. Kang, B. G. Park, J. D. Lee, and S. S. Park, "The analysis of dark signals in the CMOS APS imagers from the characterization of test structures," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 178–184, 2004.
- [93] W. Shockley and W. T. Read, "Statistics of the Recombinations of Holes and Electrons," *Phys. Rev.*, vol. 87, no. 5, pp. 835–842, Sep. 1952.
- [94] J.-M. BELLOIR, "Spectroscopie du courant d'obscurité induit par les effets de déplacement atomique des radiations spatiales et nucléaires dans les capteurs d'images CMOS à photodiode pincée," Université de Toulouse, 2016.
- [95] K. P. O'DONNELL and X. CHEN, "Temperature dependence of semiconductor band gaps dependence of semiconductor band gaps," vol. 2924, pp. 67–70, 1991.
- [96] S. Yassine, "Détermination de la longueur de diffusion des porteurs de charge minoritaires dans le silicium cristallin par interaction lumière matière," Université de Mentouri-Constantine, 2009.
- [97] Del Alamo, J. A. and R. M. Swanson, *Solid State Electron.* 30, 11 (1987) 1127-1136.
- [98] Tyagi, M. S. and R. Van Overstraeten, *Solid State Electron.* 26, 6 (1983) 577-598.

-
- [99] J. Carrere, S. Place, J.-P. Oddou, D. Benoit, and F. Roy, "CMOS image sensor: Process impact on dark current," *IEEE Int. Reliab. Phys. Symp.*, 2014.
- [100] J. C. Dunlap, "Characterization and Modeling of Nonlinear Dark Current in Digital Imagers by," Portland State University, 2014.
- [101] N. Ahmed, G. N. Lu, and F. Roy, "Total Ionizing Dose Effects on CMOS Image Sensors with Deep-Trench Isolation," *Key Eng. Mater.*, vol. 605, pp. 453–456, Apr. 2014.
- [102] F. Domengie, J. L. Regolini, D. Bauza, and P. Morin, "Impact on device performance and monitoring of a low dose of tungsten contamination by Dark Current Spectroscopy," *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 259–264, 2010.
- [103] S. W. Jones, "Diffusion in silicon," *J. Appl. Phys.*, vol. 38, no. 9, p. 3475, 2000.
- [104] F. Domengie, "Etude des défauts électriquement actifs dans les matériaux des capteurs d'image CMOS," Université de Grenoble, 2011.
- [105] K. Graff, *Metal Impurities in Silicon-Device Fabrication*, vol. 24. Berlin: Springer, 2000.
- [106] D. Mcgrath *et al.*, "Dark Current Limiting Mechanisms in CMOS Image Sensors," *BAE Syst. Inf.*, pp. 1–19, 2017.
- [107] J. R. Janesick, *Photon Transfer*. SPIE, 2007.

Productions scientifiques

Les travaux effectués lors de cette thèse ont donné lieu aux brevets suivants:

Brevet déposé :

« High Full-well Surface Storage capability Fully Depleted Vertical MOS capacitance »,
François ROY, Andrej SULER, Nicolas VIROLLET, Stephane HULOT
Ref n° 17-GR3-0491FR01

« Double-poly vertical gate or double-poly vertical trench », Andrej SULER, François ROY
Ref n° 18-GR3-0216FR01

Brevet en cours de rédaction :

2 nouveaux brevets sont en cours de rédaction.

Développement d'un pixel photogate éclairé par la face arrière

Résumé : Les capteurs d'images cherchent de nos jours non seulement à être performant mais également à être adaptés à leur environnement et à de nouvelles utilisations. On peut évoquer le cas des machines et véhicules autonomes par exemple. En raison de la qualité d'image et son coût, une vaste majorité des applications ont aujourd'hui adopté l'usage des pixels CMOS actifs à photodiodes pincées et à illumination par la face arrière.

L'originalité de la solution proposée dans ce manuscrit repose sur l'intégration d'une photogate, utilisée par les capteurs CCD, au sein d'un pixel CMOS. Son utilisation optimise alors l'espace disponible dans le pixel et diminue le nombre d'implantation nécessaire à sa réalisation. Ce développement a également conduit à l'emploi d'une grille de transfert spécifique. Ces deux nouvelles structures auront toutes les deux été élaborées durant cette thèse notamment à l'aide de simulations et de structures de test.

La caractérisation de ce nouveau pixel aura démontré de nombreux atouts : entre autres, l'augmentation de la charge à saturation et la réduction du courant d'obscurité. De plus, l'étude détaillée du courant d'obscurité indique une distribution davantage centrée. Celle-ci permet l'identification de contaminants et une meilleure tenue en température en comparaison à une photodiode classique.

De nombreuses perspectives s'offrent à la structure telle que la réduction du pas du pixel ou son utilisation dans un environnement contraint en température.

Mots-Clés : Capteur d'image CMOS, Photogate, Pixel type P, tranchée d'isolation profonde capacitive, éclairage par la face arrière, courant d'obscurité.

Development of a back side illuminated photogate pixel

Abstract: Nowadays image sensors look neither to be efficient, but rather to be adapted to their environment or to new uses. Autonomous machines and vehicles can be mentioned for instance. Because of image quality and cost, a large majority of applications employs CMOS pixels and pinned back-side illuminated photodiodes.

The originality of the solution proposed in this manuscript relies on the integration of a photogate, used by CCD sensors, inside a CMOS pixel. Its use optimizes the available space inside the pixel and decrease the number of implantation needed to its realization. This development has also led to the use of specific transfer gate. Both structures have been created during this thesis and designed using simulation and specific test structures.

The characterization of the developed pixel demonstrates many assets such as an increase of saturation charges and a reduction of dark current. Furthermore, a detailed study of the dark current indicates a more gathered pixel distribution, allowing the identification of contaminants and a better temperature handling in comparison to a classical photodiode.

The proposed structure offers many perspectives such as reduction of the pixel pitch or its potential use in an environment with a temperature constraint.

Key Words: CMOS image sensor, Photogate, P-type pixel, capacitive deep trench isolation, back-side illumination, dark current.