



HAL
open science

Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm

Dylan Issartel

► **To cite this version:**

Dylan Issartel. Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm. Micro et nanotechnologies/Microélectronique. Université de Lyon, 2021. Français. NNT : 2021LYSEI090 . tel-03670871

HAL Id: tel-03670871

<https://theses.hal.science/tel-03670871v1>

Submitted on 17 May 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



N°d'ordre NNT : 2021LYSEI090

THESE de DOCTORAT **DE L'UNIVERSITE DE LYON**
opérée au sein de
INSA de Lyon

Ecole Doctorale N° ED 160
EEA (Électronique, Électrotechnique et Automatique)

Spécialité/ discipline de doctorat :
Électronique, micro et nanoélectronique, optique et laser

Soutenue le 08/12/2021, par :
Dylan ISSARTEL

Implémentation de diode à avalanche à photon unique (SPAD) dans une technologie CMOS FD-SOI 28nm

Devant le jury composé de :

MAGNAN Pierre	Professeur des Universités	ISAE	Rapporteur
PALA Marco	Chargé de Recherche CNRS	Laboratoire C2N	Rapporteur
UHRING Wilfried	Professeur des Université	Université de Strasbourg	Président
CATHELIN Andreia	Docteure – HDR	STMicroelectronics	Examinatrice
PITTET Patrick	Docteur – HDR	Université Claude Bernard - Lyon 1	Co-directeur de thèse
CALMON Francis	Professeur des Universités	INSA Lyon	Directeur de thèse
CELLIER Rémy	Docteur	CPE Lyon	Invité
GOLANSKI Dominique	Ingénieur	STMicroelectronics	Invité

Département FEDORA – INSA Lyon - Ecoles Doctorales

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	CHIMIE DE LYON https://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage secretariat@edchimie-lyon.fr	M. Stéphane DANIELE C2P2-CPE LYON-UMR 5265 Bâtiment F308, BP 2077 43 Boulevard du 11 novembre 1918 69616 Villeurbanne directeur@edchimie-lyon.fr
E.E.A.	ÉLECTRONIQUE, ÉLECTROTECHNIQUE, AUTOMATIQUE https://edeea.universite-lyon.fr Sec. : Stéphanie CAUVIN Bâtiment Direction INSA Lyon Tél : 04.72.43.71.70 secretariat.edeea@insa-lyon.fr	M. Philippe DELACHARTRE INSA LYON Laboratoire CREATIS Bâtiment Blaise Pascal, 7 avenue Jean Capelle 69621 Villeurbanne CEDEX Tél : 04.72.43.88.63 philippe.delachartre@insa-lyon.fr
E2M2	ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODÉLISATION http://e2m2.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 secretariat.e2m2@univ-lyon1.fr	M. Philippe NORMAND Université Claude Bernard Lyon 1 UMR 5557 Lab. d'Ecologie Microbienne Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69 622 Villeurbanne CEDEX philippe.normand@univ-lyon1.fr
EDISS	INTERDISCIPLINAIRE SCIENCES-SANTÉ http://ediss.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 secretariat.ediss@univ-lyon1.fr	Mme Sylvie RICARD-BLUM Institut de Chimie et Biochimie Moléculaires et Supramoléculaires (ICBMS) - UMR 5246 CNRS - Université Lyon 1 Bâtiment Raulin - 2ème étage Nord 43 Boulevard du 11 novembre 1918 69622 Villeurbanne Cedex Tél : +33(0)4 72 44 82 32 sylvie.ricard-blum@univ-lyon1.fr
INFOMATHS	INFORMATIQUE ET MATHÉMATIQUES http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 infomaths@univ-lyon1.fr	M. Hamamache KHEDDOUCI Université Claude Bernard Lyon 1 Bât. Nautibus 43, Boulevard du 11 novembre 1918 69 622 Villeurbanne Cedex France Tél : 04.72.44.83.69 hamamache.kheddouci@univ-lyon1.fr
Matériaux	MATÉRIAUX DE LYON http://ed34.universite-lyon.fr Sec. : Yann DE ORDENANA Tél : 04.72.18.62.44 yann.de-ordenana@ec-lyon.fr	M. Stéphane BENAYOUN Ecole Centrale de Lyon Laboratoire LTDS 36 avenue Guy de Collongue 69134 Ecully CEDEX Tél : 04.72.18.64.37 stephane.benayoun@ec-lyon.fr
MEGA	MÉCANIQUE, ÉNERGÉTIQUE, GÉNIE CIVIL, ACOUSTIQUE http://edmega.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bâtiment Direction INSA Lyon mega@insa-lyon.fr	M. Jocelyn BONJOUR INSA Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69621 Villeurbanne CEDEX jocelyn.bonjour@insa-lyon.fr
ScSo	ScSo* https://edsciencessociales.universite-lyon.fr Sec. : Mélina FAVETON INSA : J.Y. TOUSSAINT Tél : 04.78.69.77.79 melina.faveton@univ-lyon2.fr	M. Christian MONTES Université Lumière Lyon 2 86 Rue Pasteur 69365 Lyon CEDEX 07 christian.montes@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

Remerciements

Le travail présenté dans ce manuscrit a été réalisé au sein de l'équipe *Dispositifs Électroniques* du laboratoire *Institut des Nanotechnologies de Lyon* (INL - UMR 5270 - CNRS) et financé dans le cadre du projet de l'*Agence Nationale de la Recherche* (ANR-18-CE24-0010).

J'aimerais tout d'abord remercier mon directeur de thèse, Francis Calmon, pour son soutien durant ces trois années, pour son implication infaillible, pour les heures passées à m'aider, et pour m'avoir offert la chance de participer à ce projet de recherche.

Je remercie ensuite mon co-directeur de thèse, Patrick Pittet, pour ses explications détaillées, pour ses remarques judicieuses, et pour m'avoir poussé toujours plus loin vers l'amélioration de mes travaux.

Je remercie aussi grandement mon autre co-directeur de thèse, Rémy Cellier, pour son aide dans la compréhension des circuits électroniques ainsi que dans l'utilisation de *Cadence Virtuoso*.

J'aimerais également remercier les deux doctorants avec lesquels j'ai pu travailler durant ces trois ans, Tulio Chaves et Shaochen Gao, pour leur aide, leur soutien moral et leur amitié.

Je remercie le "professeur" Fabien Mandorlo, pour son investissement et les heures entières passées aux réglages du banc de caractérisation optique. Je remercie également David Albertini pour son soutien sur la préparation des échantillons à caractériser.

J'aimerais aussi présenter tous mes remerciements et toute ma gratitude aux employés de *STMicroelectronics* et du CMP qui m'ont permis d'obtenir tous les circuits intégrés sur lesquels j'ai travaillé pendant ces trois ans. En particulier, un grand merci à Andreia Cathelin, Dominique Golanski, et Jean-François Paillotin.

Je remercie tout particulièrement monsieur Marco Pala et monsieur Pierre Magnan d'avoir accepté d'être rapporteurs de cette thèse.

Pour les précieuses discussions scientifiques et les différentes aides apportées, j'aimerais remercier les membres de l'équipe *Dispositifs Électroniques* : Brice Gautier, Liviu Militaru, Etienne Puyoo, Nicolas Baboux, Christophe Malhaire, Damien Deleruyelle etc, les membres du laboratoire ICUBE de Strasbourg : Wilfried Uhring, Jean-Baptiste Kammerer, Jean-Baptiste Schell, Mohammadreza Dolaptoor Lakeh etc, et des autres équipes de l'INL.

Finalement, j'aimerais remercier toutes les personnes qui m'ont supporté et soutenu durant cette thèse : ma mère, Cathy, ma sœur, Méryl, mon grand-père, Robert, ma grand-mère, Danielle, ma Victoria, mon beau-père, Christophe et tous mes amis.

Sommaire

Liste des Acronymes	7
Introduction	9
1 Fonctionnement des SPAD et applications	11
1.1 Principe de fonctionnement des détecteurs SPAD	12
1.2 Critères de performance des SPAD	14
1.2.1 Courant d'obscurité et tension de claquage	14
1.2.2 Taux de comptage dans l'obscurité - <i>Dark Count Rate</i>	14
1.2.3 Déclenchement secondaire - <i>Afterpulsing</i>	15
1.2.4 Probabilité de détection des Photons - PDP	16
1.2.5 Gigue temporelle - <i>Jitter</i>	18
1.2.6 Facteur de remplissage - <i>Fill Factor</i>	19
1.2.7 Couplage électro-optique - <i>Crosstalk</i>	20
1.3 Exemples d'applications des détecteurs SPAD	21
1.3.1 Comptage de photons uniques corrélés dans le temps	21
1.3.2 Mesures de temps de vol - ToF	21
1.3.3 Tomographie par émission de positons	23
1.4 Etat de l'art sur la conception des SPAD	23
1.4.1 Technologie CMOS	23
1.4.2 Assemblage 3D	25
1.4.3 Concept de la focalisation des porteurs photogénérés	26
1.4.4 Technologie CMOS SOI	27
1.4.5 SPAD réalisées avec d'autres matériaux que le silicium	28
1.5 Bilan	29
2 Conception de la SPAD FD-SOI, objectifs de la thèse et moyens mis en œuvre	31
2.1 Présentation de la technologie CMOS FD-SOI 28 nm	32
2.2 Conception de la SPAD dans la technologie CMOS FD-SOI	34
2.2.1 Implémentation de la SPAD dans la technologie CMOS FD-SOI	34
2.2.2 Historique des travaux SPAD FD-SOI à l'INL	36
2.2.3 Objectif de la thèse	36
2.3 Simulations avec le logiciel TCAD <i>Sentaurus Synopsys</i>	37
2.3.1 Modèle de transport des charges	37
2.3.2 Modèles de génération-recombinaison des porteurs	38
2.3.3 Modèles d'avalanche et coefficients d'ionisation	40
2.3.4 Modélisation de la probabilité d'avalanche	43
2.3.5 Différentes méthodes de simulation TCAD mises en place	44
2.4 Dessin physique de la structure SPAD FD-SOI	46
2.4.1 Géométrie générale des cellules	47
2.4.2 Définition de la couche FD-SOI	48

2.4.3	Distance de garde	49
2.4.4	Couches métalliques	49
2.4.5	Conception des circuits intégrés	50
2.4.6	Historique des circuits fabriqués avant le début de cette thèse	51
2.5	Les différentes techniques de caractérisation	52
2.5.1	Carte de test	52
2.5.2	Mesures des caractéristiques $C(V)$ et $I(V)$ en enceinte cryogénique	53
2.5.3	Mesures du taux de comptage dans l'obscurité - DCR	54
2.5.4	Cartographies d'électroluminescence	55
2.5.5	Estimation de la probabilité de détection des photons - PDP sur banc optique	56
2.5.6	Évaluation du Gigue temporelle - <i>Jitter</i>	57
2.6	Bilan	57
3	Simulations et Caractérisations des structures de référence	59
3.1	Conception des premières structures SPAD FD-SOI	60
3.1.1	Les différents types de cellule	60
3.1.2	Géométrie des cellules	62
3.1.3	Taille des cellules	62
3.1.4	Structure matricielle	62
3.2	Caractérisations des structures de référence	64
3.2.1	Caractéristique statique $I(V)$ de la SPAD	64
3.2.2	Caractéristique statique $I(V)$ de la seconde jonction DNW/Substrat(P-)	67
3.2.3	Caractéristique $C(V)$ de la SPAD	68
3.2.4	Mesure du DCR et amélioration de la lecture des évènements d'avalanche	69
3.2.5	Cartographies d'électroluminescence	73
3.2.6	Comportement de la structure matricielle	74
3.3	Optimisation des simulations TCAD	75
3.3.1	Prise en compte du procédé de fabrication complet	75
3.3.2	Choix du modèle d'avalanche optimal	77
3.3.3	Ajustement de la durée de vie des porteurs	79
3.4	Bilan	81
4	Augmentation de la tension de claquage	83
4.1	Contexte	84
4.2	Optimisation de la cellule SPAD sans modification du procédé de fabrication	85
4.2.1	Principe	85
4.2.2	Étude en simulation	86
4.2.3	Dessin physique de la SPAD avec DNW en damier	89
4.2.4	Caractérisations	90
4.3	Optimisation de la cellule SPAD avec modification de l'étape d'implantation du caisson DNW	92
4.3.1	Principe	92
4.3.2	Étude en simulations	93
4.3.3	Caractérisations	95
4.4	Bilan	102
5	Optimisation de la cellule SPAD pour réduire le claquage prématuré en périphérie	105
5.1	Contexte	106
5.2	Étude du report du bloc STI	107
5.2.1	Hypothèses d'étude des défauts à l'interface STI	107
5.2.2	Simulations des défauts et mise en place du report STI	109
5.2.3	Dessin physique des cellules SPAD avec report STI et règles de dessin	111

5.2.4	Caractérisations	112
5.2.5	Problème de l'interface BOX / DNW rétrograde	114
5.3	Optimisation par modification des implantations du caisson PW	116
5.3.1	Implantations utilisées pour réaliser le caisson PW	117
5.3.2	Impact de la modification de la dose	119
5.3.3	Impact de la modification de l'énergie	119
5.3.4	Impact croisé avec diminution de la dose et augmentation de l'énergie	121
5.3.5	Combinaison avec la structure DNW modifié	122
5.4	Utilisation de deux implantations pour le caisson DNW	123
5.4.1	Principe de l'étude	123
5.4.2	Résultats en simulations	124
5.5	Bilan	125
6	Étude sous illumination	127
6.1	Apport des simulations TCAD transitoires pour optimiser l'architecture SPAD FD-SOI	128
6.1.1	Méthodologie des simulations TCAD électro-optiques transitoires	128
6.1.2	Résultats de simulation sur la structure SPAD de référence	130
6.1.3	Étude de variantes de la structure SPAD	132
6.1.4	Structure SPAD sans tranchée STI au-dessus de la zone active (SOI unique)	133
6.1.5	Dessin physique et fabrication de la structure SPAD FD-SOI sans tranchée STI	135
6.1.6	Mesures préliminaires du DCR sur une structure FD-SOI sans tranchée STI	136
6.2	Mesures de la Gigue temporelle - <i>Jitter</i>	137
6.2.1	Principe général de la mesure	137
6.2.2	Résultats préliminaires	138
6.3	Mesures de l'efficacité de détection des photons - PDP	139
6.3.1	Principe de la mesure en sphère intégrante et limites	139
6.3.2	Résultats préliminaires des mesures en incidence normale	140
6.4	Bilan	142
	Conclusion	145
	Annexe 1 : Bilan des Architectures SPAD	149
	Annexe 2 : Historique des puces fabriquées à l'INL	165
	Annexe 3 : Paramètres utilisés pour les mesures PDP	167
	Table des figures	173
	Liste des tableaux	181
	Références	183
	Liste des Publications	201

Liste des Acronymes

ABA : *Avalanche Breakdown Analysis*, Analyse de la tension de claquage avec la méthode des intégrales d'ionisation
ANR : Agence Nationale de la Recherche
AP : *AfterPulsing*
AQC : *Active Quenching Circuit*, Circuit d'étouffement actif
ATP : *Avalanche Triggering Probability*, Probabilité de déclenchement de l'avalanche
B2B : *Band to Band tunneling*, Courant tunnel bande à bande
BEOL : *Back End Of Line*, couches d'interconnexions
BFMOAT : zone sans implantation du caisson P
BOX : *Burried OXide*, Oxyde enterré
BSI : *Back Side Illumination*, Illumination en face arrière
CDTI : *Capacitor Deep Trench Isolation*, Isolation par tranchées profondes capacitives
CIS : *CMOS Image Sensor*
CMOS : *Complementary Metal Oxide Semiconductor*
CMP : *Circuits Multi-Projects*
DCR : *Dark Count Rate*, Taux de comptage dans l'obscurité
DNW : *Deep N-Well*, caisson N profond
DPW : *Deep P-Well*, caisson P profond
DRC : *Design Rule Check*, Vérifications des règles de Dessin
DRM : *Design Rule Manual*, Manuel des règles de dessin
DTI : *Deep Trench Isolation*, Isolation par tranchées profondes
ET-SOI : *Extremely Thin Silicon On Insulator*
FD-SOI : *Fully Depleted Silicon On Insulator*
FF : *Fill Factor*, Facteur de remplissage
FLIM : *Fluorescence Lifetime Imaging Microscopy*, Microscopie par imagerie de fluorescence résolue dans le temps
FoM : *Figures of Merit*, Critères de performance
FSI : *Front Side Illumination*, Illumination en face avant
FWHM : *Full-Width at Half Maximum*, Largeur totale à mi-hauteur
GO : *Gate Oxide*, Oxyde de grille
INL : Institut des Nanotechnologies de Lyon
IR : rayonnement Infrarouge
LIDAR : *Light Imaging Detection and Ranging*, Détection et estimation de la distance par lumière
LVT : *Low V_{th}*
MPW : *Multi-Project Wafer*, Circuits multi-projets
NIR : *Near Infra Red*, Proche infrarouge
NUV : *Near Ultra Violet*, Proche ultraviolet
NW : *N-Well*, caisson N
PCB : *Printed Circuit Board*, Circuit imprimé
PDE : *Photon Detection Efficiency*, Efficacité de Détection des Photons
PDP : *Photon Detection Probability*, Probabilité de Détection des Photons
PD-SOI : *Partially Depleted Silicon On Insulator*

PEB : *Premature Edge Breakdown*, Claquage prématuré sur les bords
PET : *Positron Emission Tomography*, Tomographie par émission de positons (TEP)
PQC : *Passive Quenching Circuit*, Circuit d'étouffement passif
PW : *P-Well*, caisson P
RE-SPAD : *Red-Enhanced SPAD*, SPAD améliorée pour l'IR
RVT : *Regular V_{th}*
SACM : *Separate Absorption Charge and Multiplication*
SOI : *Silicon On Insulator*, Silicium sur isolant
SPAD : *Single Photon Avalanche Diode*, Diode à avalanche à photon unique
SRH : Taux de générations/recombinaisons Shockley Read-Hall
STI : *Shallow Trench Isolation*, Isolation par tranchées superficielles
TAT : *Trap Assisted Tunneling*, Effet tunnel assisté par les pièges
TCSPC : *Time Correlated Single Photon Counting*, Comptage de photons uniques corrélés dans le temps
TCAD : *Technology Computer-Aided design*, Conception technologique assistée par ordinateur
ToF : *Time of Flight*, Temps de vol
TSV : *Trough-Silicon Vias*, Vias à travers le silicium
UTBB : *Ultra Thin BOX and Body*
 V_{BD} : Tension de claquage
 V_{ex} : Tension d'excès
ZCE : Zone de Charge d'Espace

Introduction

Les progrès dans le domaine de la micro et nano-électronique ont permis le développement de nouvelles applications et de marchés. Actuellement, les smartphones, les tablettes et les ordinateurs portables sont devenus des éléments incontournables et omniprésents dans notre vie aussi bien à l'échelle privée, industrielle que scolaire. Les limites de ces appareils sont sans cesse repoussées. Le stockage des données est grandissant. Les interconnexions avec les réseaux et les appareils extérieurs sont toujours plus nombreuses. La résolution des appareils photo et des caméras est continuellement optimisée.

Dans ce contexte, l'imagerie 3D, par ses applications à la fois dans le domaine médical, pour la télémétrie, pour la reconnaissance faciale, pour les voitures autonomes, fait l'objet d'une recherche intense et riche. La mesure du temps de vol (*Time of Flight*, ToF) est l'une des techniques avancées les plus utilisées pour ces applications. Elle repose sur l'utilisation d'une source lumineuse pulsée émettant un signal en direction d'un objet cible. Le faisceau est ensuite réfléchi par ce dernier et reçu par un capteur. La mesure du temps écoulé entre l'émission du stimulus et la détection du signal réfléchi permet de remonter à la distance source/objet.

Les diodes à avalanche à photon unique (*Single Photon Avalanche Diode*, SPAD), sont des jonctions PN fonctionnant sous forte polarisation inverse (en mode Geiger) qui présentent une grande sensibilité de détection associée à un temps de réponse très court. Ces caractéristiques font des SPAD d'excellents candidats pour la fonction de photodétection dans les systèmes ToF. Des structures SPAD ont été développées dans de nombreuses technologies microélectroniques comme par exemple, les technologies silicium CMOS et CMOS SOI (*Silicon On Insulator*), mais aussi germanium et III-V (*InGaAs*, *InP*, etc.). Certaines structures bénéficient des avancées récentes de l'intégration microélectronique 3D.

L'objectif de cette thèse concerne la simulation, la conception et la caractérisation de nouvelles structures SPAD implémentées dans la technologie CMOS FD-SOI (*Fully Depleted Silicon On Insulator*) 28 nm de *STMicroelectronics*. Ces travaux ont été menés dans le cadre du projet ANR-18-CE24-0010 avec un partenariat entre trois laboratoires français : l'Institut des Nanotechnologies de Lyon (INL, UMR CNRS 5270), le Laboratoire ICUBE de Strasbourg (UMR CNRS 7357), et le CEA-LETI à Grenoble, sous la supervision du Pr. Francis Calmon, du Dr. Patrick PITTET et du Dr. Rémy CELLIER. Nous avons également bénéficié du support technique de *STMicroelectronics*.

Dans le chapitre 1, le mode de fonctionnement de la SPAD et l'ensemble des critères permettant d'évaluer ses performances sont présentés. Ce chapitre décrit également les principales applications des détecteurs SPAD et donne quelques exemples de structures tirées de la littérature.

Le chapitre 2 présente le contexte du travail de thèse. Il commence par une présentation des principales caractéristiques de la technologies CMOS *Fully-Depleted Silicon on Insulator* (FD-SOI) 28 nm. Cela permet d'expliquer le principe et les intérêts de l'intégration de la structure SPAD étudiée dans cette technologie (jonction entre les caissons P-Well - PW et Deep-N-Well - DNW). Enfin, les objectifs du travail de thèse et les moyens mobilisés pour ce travail sont décrits en fin de ce chapitre.

Le chapitre 3 porte sur la conception et la caractérisation de structures SPAD qui respectent toutes les règles de dessin imposées par la technologie CMOS FD-SOI 28 nm. Ce chapitre détaille également le travail d'optimisation réalisé pour le paramétrage et le choix des modèles dans l'outil de simulation TCAD (*Technology Computer Aided-Design*) afin que les résultats de simulation correspondent le mieux possible aux résultats de caractérisation.

Le chapitre 4 présente des structures SPAD optimisées pour réduire le taux de comptage dans

l'obscurité (*Dark Count Rate*, DCR) et plus spécifiquement pour diminuer la contribution résultante de l'effet tunnel bande à bande. Pour cela, nous travaillons sur une modification du niveau de dopage du caisson DNW. Dans une première approche qui s'appuie sur le procédé de fabrication standard, nous étudions la structuration de ce caisson en îlots pour avoir un niveau de dopage moyen plus faible (obtenu par diffusion des dopants lors des étapes de recuit). Dans une seconde approche, nous travaillons sur un caisson DNW dont les caractéristiques d'implantation sont modifiées.

Dans le chapitre 5, les optimisations de la SPAD en technologie CMOS FD-SOI 28 nm portent sur la réduction du claquage prématuré sur les bords de la zone active. Une première étude analyse l'impact de la position des blocs STI périphériques sur les caractéristiques électriques de la SPAD. Dans la deuxième partie de ce chapitre, les travaux d'optimisation portent d'une part sur la modification des conditions d'implantation du caisson PW et d'autre part, sur la mise en œuvre d'un caisson DNW à deux niveaux de dopage.

Le chapitre 6 est dédié à l'étude du comportement électro-optique de la structure SPAD avec son circuit d'étouffement. Cette étude s'appuie sur des simulations TCAD en régime transitoire qui permettent notamment d'analyser finement le cycle d'avalanche. Ce volet de simulations est complété par des caractérisations pour évaluer la gigue temporelle du détecteur SPAD ainsi que la probabilité de détection des photons.

La conclusion générale dresse un bilan de l'ensemble des travaux réalisés dans le cadre du travail de thèse tant au niveau des différentes structures SPAD conçues et caractérisées que des voies d'optimisation explorées. Les résultats obtenus sont discutés et comparés à l'état de l'art, et mis en perspective pour la suite de ce travail.

Chapitre 1

Fonctionnement des SPAD et applications

Dans ce premier chapitre, nous présentons la diode à avalanche à photon unique (*Single Photon Avalanche Diode, SPAD*) et son mode de fonctionnement. Nous détaillons aussi l'ensemble des critères (*Figures of Merit, FoM*) qui permettent d'évaluer les performances de la structure. Ensuite, nous présentons les principales applications des détecteurs SPAD. Finalement, nous décrivons plusieurs structures issues de la littérature et réalisées dans différentes technologies.

Contents

1.1 Principe de fonctionnement des détecteurs SPAD	12
1.2 Critères de performance des SPAD	14
1.2.1 Courant d'obscurité et tension de claquage	14
1.2.2 Taux de comptage dans l'obscurité - <i>Dark Count Rate</i>	14
1.2.3 Déclenchement secondaire - <i>Afterpulsing</i>	15
1.2.4 Probabilité de détection des Photons - PDP	16
1.2.5 Gigue temporelle - <i>Jitter</i>	18
1.2.6 Facteur de remplissage - <i>Fill Factor</i>	19
1.2.7 Couplage électro-optique - <i>Crosstalk</i>	20
1.3 Exemples d'applications des détecteurs SPAD	21
1.3.1 Comptage de photons uniques corrélés dans le temps	21
1.3.2 Mesures de temps de vol - ToF	21
1.3.3 Tomographie par émission de positons	23
1.4 Etat de l'art sur la conception des SPAD	23
1.4.1 Technologie CMOS	23
1.4.2 Assemblage 3D	25
1.4.3 Concept de la focalisation des porteurs photogénérés	26
1.4.4 Technologie CMOS SOI	27
1.4.5 SPAD réalisées avec d'autres matériaux que le silicium	28
1.5 Bilan	29

1.1 Principe de fonctionnement des détecteurs SPAD

Les diodes à avalanche à photon unique (SPAD, *Single Photon Avalanche Diode*) sont des jonctions PN polarisées en inverse (Figure 1.1a) dans un mode dit *Geiger* qui consiste à travailler au-delà de la tension de claquage que l'on note V_{BD} (Figure 1.1b). Dans ces conditions de polarisation, le champ électrique présent dans la zone de charge d'espace (ZCE) est très élevé, ce qui a pour conséquence de positionner la structure dans un point de fonctionnement métastable. Tout porteur libre situé dans la ZCE est susceptible d'être accéléré par le champ (supérieur à quelques 1×10^5 V/cm) et peut acquérir une énergie cinétique suffisante pour donner lieu à la génération d'une paire électron-trou par processus d'ionisations des atomes du cristal. Ces paires sont ensuite accélérées par le champ électrique et peuvent conduire à de nouvelles ionisations par impact induisant alors un processus en chaîne appelé "effet d'avalanche". L'apparition de l'avalanche au sein de la SPAD entraîne un gain en courant tellement important que ce dernier va engendrer des dommages irréversibles à la cellule voire même la destruction de cette dernière [1]-[3]. Par conséquent, lorsqu'une SPAD fonctionne en mode Geiger, il est nécessaire d'utiliser un circuit d'étouffement ou *quenching* en anglais [4]-[6]. Si les conditions de polarisation sont telles qu'un seul porteur peut déclencher l'avalanche, ce qui pourra être le cas d'un porteur généré par effet photoélectrique, le détecteur est dit à photon unique ou *Single Photon Avalanche Diode*. Cet unique porteur est alors théoriquement capable de générer un signal de courant macroscopique qu'il sera aisé de détecter [1]. De plus, les SPAD peuvent aussi être utilisées pour détecter des particules chargées puisque l'énergie libérée au cours de leurs trajets est susceptible de générer des paires électron-trou [7]-[10]. Enfin, si le porteur à l'origine de l'avalanche provient d'un effet thermique ou de défauts présents dans la structure, il contribue au taux d'évènements dans l'obscurité ou *Dark Count Rate* (DCR) que nous expliciterons dans la sous-section 1.2.2.

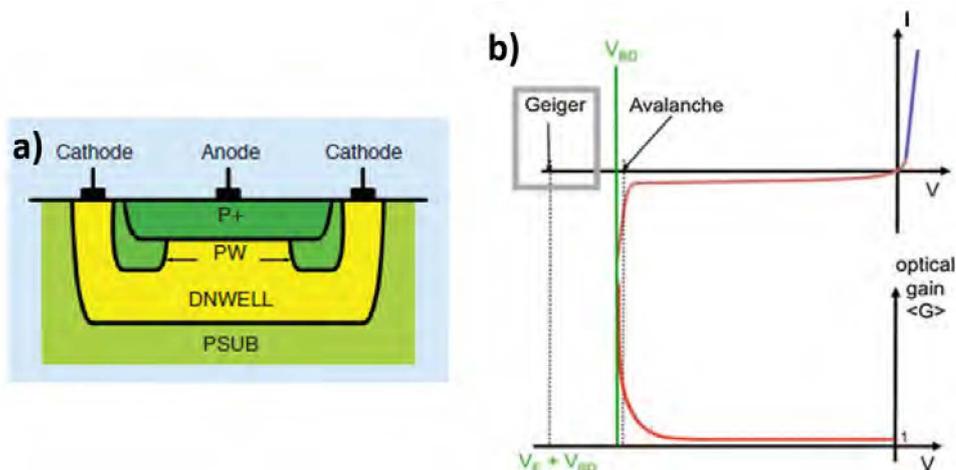


FIGURE 1.1 – Détails d'une SPAD : en a) structure d'une jonction PN [11] et en b) Caractéristique $I(V)$ avec visualisation du mode Geiger (adapté de [12])

L'objectif du circuit de *quenching* est d'étouffer l'avalanche en abaissant la polarisation inverse de la diode en deçà de la tension de claquage [4]. Dans la littérature, il existe deux grandes familles de circuits d'étouffement. Tout d'abord, les circuits passifs (*Passive Quenching Circuit*, PQC) sont les plus simples avec l'utilisation de résistances ou de transistors fonctionnant comme une résistance (Figure 1.2a). Ces circuits présentent l'avantage de n'avoir recours qu'à un faible nombre de composants mais le temps d'étouffement et de recharge est en général plus long qu'avec un circuit actif, et il n'est pas ajustable [4], [5]. Le second type de circuits est dit actif (*Active Quenching Circuit*, AQC) et présente une structure plus complexe mettant en œuvre une électronique CMOS. Sur la Figure 1.2b, un comparateur à seuil est utilisé pour détecter les impulsions de courant qui traversent la résistance R_S à chaque évènement d'avalanche. Le transistor PMOS permet l'étouffement et l'application du potentiel V_{QUENCH} sur le contact anode. La tension inverse aux bornes de la diode est ramenée à une

valeur proche ou en deçà de la tension de claquage comme cela apparaît sur la Figure 1.3. Ensuite, dans une deuxième phase, le transistor PMOS est désactivé et le NMOS entraîne le rechargement de la diode en amenant le potentiel de l'anode à la masse, il s'agit alors d'une recharge active. Les circuits actifs permettent une recharge très rapide après l'avalanche en offrant la possibilité de contrôler le temps mort. Toutefois, cette électronique complexifie le pixel et réduit le facteur de remplissage [4].

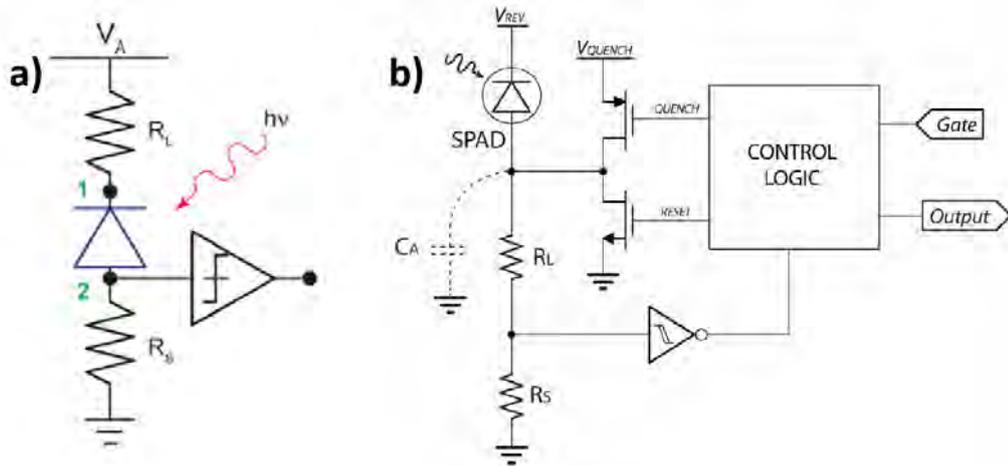


FIGURE 1.2 – Exemples de différents types de circuit d'étouffement : en a) passif [5] et en b) actif [6]

L'apparition d'une avalanche doit respecter deux conditions. Tout d'abord, le champ électrique au sein de la ZCE doit être suffisamment élevé (dans la gamme de 1×10^5 V/cm) pour que la probabilité d'avalanche (*Avalanche Triggering Probability*, ATP) soit non nulle. Il faut également au moins un porteur libre présent dans la zone de multiplication (dans la ZCE). Lorsque ces conditions sont remplies, le cycle d'avalanche de la SPAD démarre et comprend plusieurs phases comme illustré sur la Figure 1.3. Au départ la structure est polarisée à une tension (V_A) supérieure à celle de claquage (V_{BD}), l'écart entre les deux est nommé la tension d'excès (V_{ex}). Dans cet état (1), la SPAD est prête pour la détection d'un photon. Une fois ce dernier absorbé dans la ZCE ou dans une zone proche, une paire électron-trou est générée et les porteurs sont accélérés par le champ électrique. Le processus d'ionisation par impact se met en place, l'avalanche se déclenche et le courant dans la structure augmente très rapidement (zone entre 1 et 2). Le circuit d'étouffement réagit alors et entraîne la diminution de la tension de polarisation (zone entre 2 et 3). Une fois l'avalanche stoppée (état 3), la tension augmente de nouveau pour retourner à l'état 1, la cellule SPAD est prête pour une nouvelle détection.

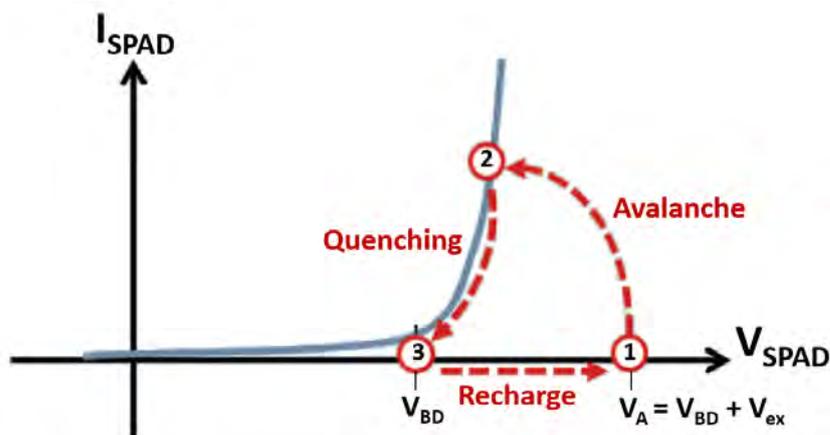


FIGURE 1.3 – Cycle de fonctionnement d'une SPAD en mode Geiger (adapté de [11])

1.2 Critères de performance des SPAD

Dans cette section, nous présentons maintenant les critères de performance (*Figure Of Merit*, FoM) de la SPAD. Ces derniers constituent les paramètres clés pour caractériser les cellules et ainsi évaluer leurs performances. Ils permettent aussi de réaliser des comparaisons entre des structures fabriquées dans différentes technologies.

1.2.1 Courant d'obscurité et tension de claquage

Lors de la mesure d'une caractéristique $I(V)$ sous polarisation inverse et dans l'obscurité, deux grandeurs sont analysées pour définir le comportement de la structure : la tension de claquage, V_{BD} , et le courant d'obscurité, I_{dark} (Figure 1.4). La tension de claquage correspond à la tension à partir de laquelle l'avalanche se déclenche avec une augmentation rapide du courant. Le courant d'obscurité est observé avant l'avalanche ; il est lié à des phénomènes parasites présents dans la ZCE et dans les zones adjacentes. Pour les structures SPAD intégrées dans une technologies CMOS, les tensions de claquage sont en général autour de 15 à 25 V avec un compromis entre une tension pas trop élevée compatible avec l'électronique CMOS mais suffisamment élevée pour minimiser le courant parasite par effet tunnel qui est responsable d'avalanches indésirables [13]-[22].

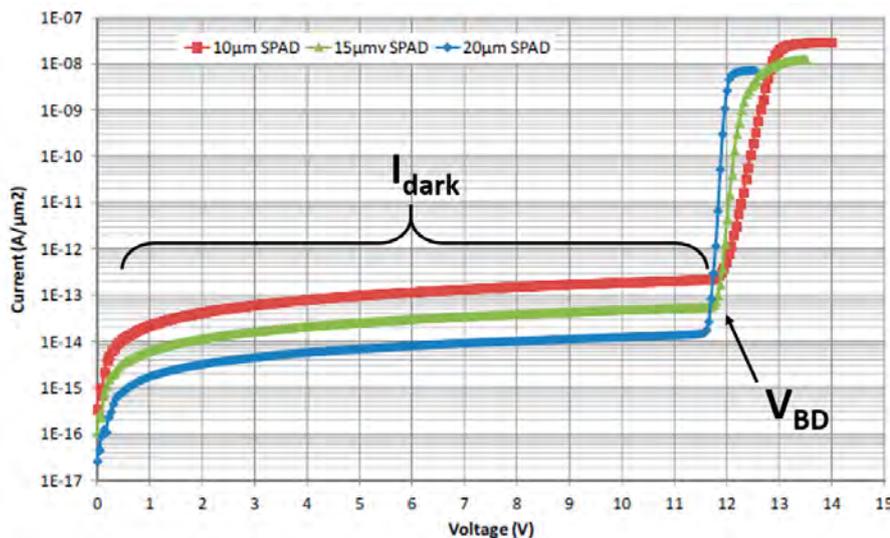


FIGURE 1.4 – Exemple de caractéristiques $I(V)$ en fonction du diamètre de la cellule (adapté de [17])

1.2.2 Taux de comptage dans l'obscurité - *Dark Count Rate*

Le taux de comptage dans l'obscurité que l'on nomme DCR pour *Dark Count Rate* en anglais (ou *Dark Count Noise*) est directement associé au "bruit" intrinsèque de la structure. Il correspond à la fréquence des avalanches parasites et indésirables provoquées par des événements autres que ceux optiques, c'est-à-dire au nombre d'avalanches générées dans l'obscurité par seconde. Des phénomènes comme l'effet tunnel bande à bande (B2B), la génération thermique, et la libération de charges piégées par des défauts, contribuent fortement au DCR [1], [12]. De ce fait, par exemple, le choix de la technologie, la géométrie et le profil de dopages auront un impact majeur sur le comptage dans l'obscurité puisque les niveaux de dopage et la densité de défauts influencent directement le niveau de DCR. De plus, le DCR est d'autant plus élevé que la surface de la SPAD est grande. Les études menées dans la littérature tendent à réduire les dimensions de la SPAD pour optimiser le compromis entre efficacité de détection et niveau de DCR. La Figure 1.5 présente un exemple de comptage du nombre d'avalanches déclenchées dans l'obscurité sur une fenêtre temporelle donnée, qui permet d'estimer le DCR.

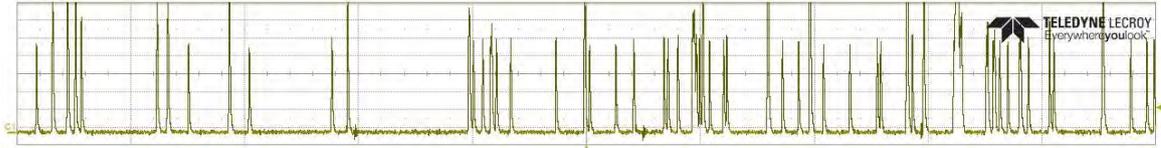
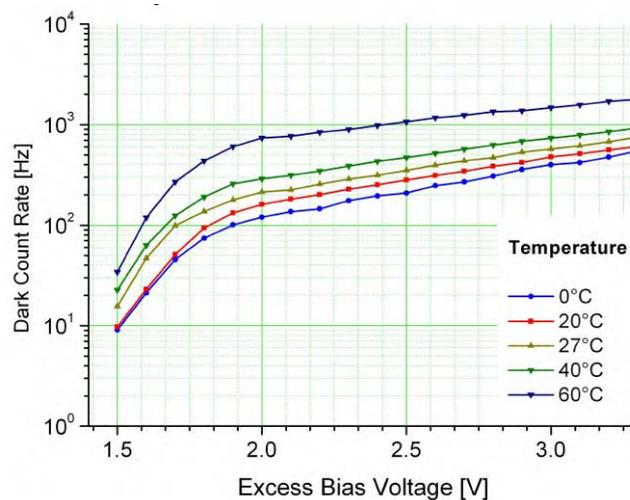


FIGURE 1.5 – Oscillogramme utilisé pour estimer le DCR

Par ailleurs, d'autres paramètres comme la température et la tension d'excès, impactent considérablement les niveaux de DCR (Figure 1.6). En effet, l'augmentation de la température entraîne un accroissement du taux de génération Shockley-Read-Hall (SRH) et par conséquent une augmentation du DCR. Quant à la tension d'excès, l'augmentation de cette dernière contribue à intensifier le champ électrique moyen présent dans la ZCE, à accroître la probabilité d'avalanche *Avalanche Triggering Probability, ATP* et donc aussi à augmenter le niveau du DCR.


 FIGURE 1.6 – Exemple de mesures DCR en fonction de V_{ex} et de la température [23]

1.2.3 Déclenchement secondaire - *Afterpulsing*

Le DCR comprend une deuxième composante liée aux déclenchements secondaires ou *afterpulsing* (AP), faisant suite à une première avalanche. Des porteurs sont capturés par les pièges lors du processus d'avalanche initial, et sont relâchés avec un certain retard causant le déclenchement d'une ou de plusieurs avalanches corrélées avec la première. Ce phénomène, représenté sur le schéma de la Figure 1.7, illustre que la mesure du DCR dépend du choix du seuil de comptage.

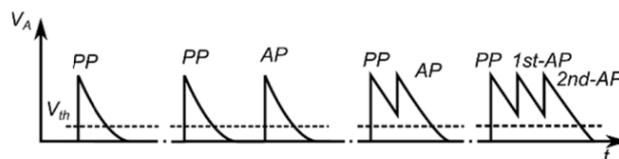


FIGURE 1.7 – Illustration schématique de l'afterpulsing [14]

L'afterpulsing dépend directement des charges piégées dans la bande interdite et de ce fait de la présence de défauts ou d'impuretés dans le semi-conducteur. Ceux-ci facilitent alors les transitions énergétiques entre les niveaux de valence et de conduction comme illustré sur la Figure 1.8 [3], [24]. La probabilité d'afterpulsing est fonction de la densité des pièges, du nombre de porteurs générés lors d'une avalanche et du temps de relâchement de ces mêmes porteurs [25].

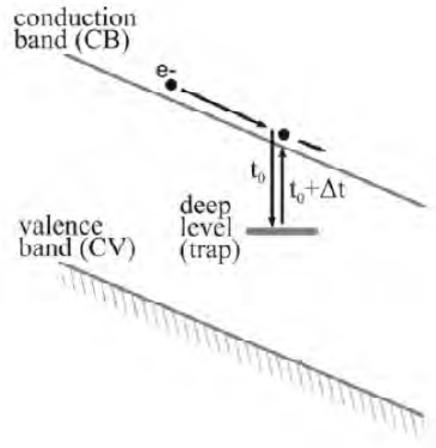


FIGURE 1.8 – Mécanisme de piégeage/dépiégeage des charges par les défauts présents dans la bande interdite (adapté de [3])

Afin de visualiser et de pouvoir estimer la probabilité d’afterpulsing, il est nécessaire de réaliser une étude statistique en mesurant le temps entre deux avalanches. Sur la Figure 1.9, on observe que la probabilité d’afterpulsing augmente avec la diminution de la température. En effet, à basses températures, le temps de rétention des porteurs est plus grand ; des avalanches peuvent se produire une fois le temps mort (correspondant au temps d’étouffement et de recharge de la SPAD) écoulé [26]. De plus, pour réaliser des mesures optimales, il est préférable d’avoir un temps de recharge court et donc de privilégier l’utilisation d’un circuit d’étouffement actif plutôt que passif. Par ailleurs, l’intensité du courant, qui varie avec la tension d’excès, engendre aussi une augmentation de la probabilité d’afterpulsing [27]-[29]. .

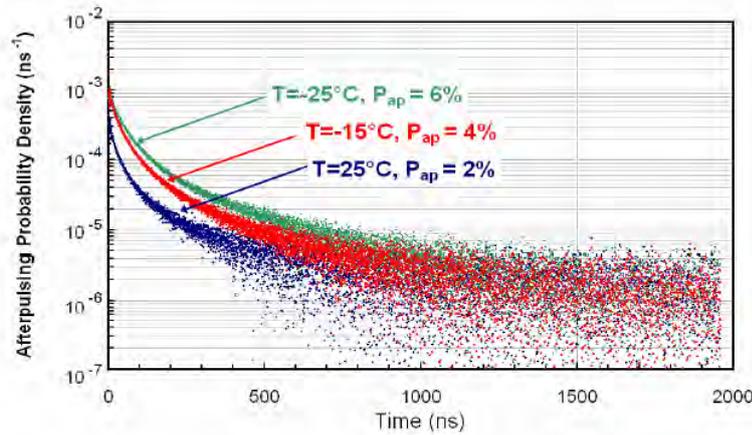


FIGURE 1.9 – Exemple de mesures de la probabilité d’afterpulsing sur une SPAD silicium de diamètre 200 μm [26]

1.2.4 Probabilité de détection des Photons - PDP

La probabilité de détection des photons (*Photon Detection Probability*, PDP) se définit comme la probabilité qu’un photon absorbé déclenche une avalanche et donc génère une impulsion de courant. Cette probabilité conditionne la sensibilité de la SPAD à la lumière, elle est fonction, pour une longueur d’onde donnée, de la probabilité de déclenchement d’une avalanche (*ATP*) et du taux de photogénération G_{light} en accord avec la formule suivante [3], [30], [31] :

$$PDP(\lambda) = \iiint ATP(\lambda) \cdot G_{light}(\lambda) \cdot dV \tag{1.1}$$

La photogénération pouvant avoir lieu dans la zone de multiplication ou à proximité, si les porteurs sont susceptibles d'atteindre la ZCE par diffusion et/ou dérive, il est indispensable de calculer la PDP dans l'ensemble du volume de la structure. De plus, dans cette formule, l' ATP est fonction du champ électrique présent dans la ZCE et par conséquent de la polarisation inverse imposée aux bornes de la SPAD, mais aussi des niveaux de dopage des caissons P et N, de la géométrie, et de la température [2], [3], [32], [33].

Dans les technologies silicium sur lesquelles portent les recherches présentées dans cette thèse, la PDP présente plusieurs limites. Tout d'abord, la largeur de la bande interdite ($E_g = 1.12$ eV) limite la bande spectrale, dans laquelle il y a une absorption, aux longueurs d'onde inférieures à approximativement 1100 nm. Les SPAD fabriquées en technologie CMOS présentent une PDP intrinsèque faible pour le proche infrarouge (*Near Infra Red*, NIR) compris entre 800 et 1000 nm, du fait de la faible absorption et d'une ZCE étroite [2] (à l'exception des architectures spéciales dites "charge focusing" qui seront présentées dans la sous-section 1.4.3). En illumination face avant (*Front Side Illumination*, FSI), la PDP est inférieure à 5 % (sans lentille) pour cette plage de longueurs d'onde. Pour travailler dans de meilleures conditions, des dispositifs illuminés en face arrière (*Back Side Illumination*, BSI) ont été développés [34]-[40].

Plusieurs facteurs peuvent impacter négativement les mesures de PDP [1], comme les réflexions multiples issues de l'empilement de matériaux en couches minces au-dessus (diélectriques d'isolation et de passivation) de la structure. Néanmoins, ce premier facteur peut être réduit en utilisant des couches anti-réflexion. Un second facteur limitant concerne la présence de zones pour lesquelles il n'y a pas de collecte des porteurs photogénérés. Enfin, un troisième facteur est celui de l'auto-extinction ou auto-étouffement du dispositif (*self-quenching*) causant une interruption soudaine de l'avalanche avant que cette dernière n'ait pu s'établir. Pour limiter ce dernier phénomène, il faut s'assurer de travailler dans des conditions de champ électrique élevé, avec une tension d'excès suffisamment haute. Pour réaliser les mesures PDP, une des nombreuses solutions consiste à installer la SPAD ainsi qu'une diode de référence dont le rendement quantique est connu, sur une sphère intégrante (Figure 1.10a) [41]-[43]. Une source de lumière monochromatique pénètre dans cette dernière, la PDP peut alors être estimée comme le rapport entre le nombre d'événements mesurés en sortie de la SPAD et le nombre de photons incidents par seconde (cette méthode sera utilisée dans le cadre de cette thèse, cf. chapitres 2 et 6). En faisant ensuite varier des paramètres comme la longueur d'onde, la tension d'excès ou encore la température, il est possible de caractériser la PDP comme illustré sur la Figure 1.10b.

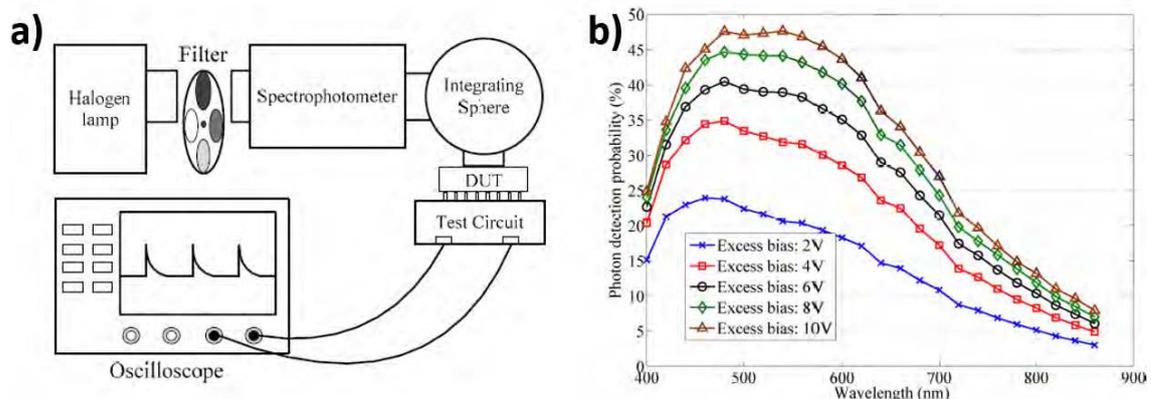


FIGURE 1.10 – a) Schéma de principe de la mesure de PDP avec utilisation d'une sphère intégrante [42], et b) Exemple de mesures de PDP sur une SPAD CMOS 180 nm de diamètre $12\mu\text{m}$ [16]

Il apparaît sur cette figure que la PDP est fonction de la longueur d'onde des photons incidents du fait des variations du coefficient d'absorption. Pour cette raison, de nombreux travaux sont menés afin de réaliser des SPAD dans des matériaux silicium ou autres avec pour objectif de maximiser

l'absorption dans le proche ultra violet (UV) entre 300 et 400 nm [34], [44]-[46], mais aussi dans le visible (400 et 800 nm) [47]-[59], et enfin dans le proche infra-rouge (800 et 1 550 nm) [13], [34], [48], [60]-[76]. Plusieurs de ces structures seront présentées en détails dans la section 1.4 sur l'état de l'art et/ou en Annexe 1. Pour adresser le problème de la faible absorption du silicium dans le NIR, d'autres travaux se concentrent autour de la réalisation de structures dites avec séparation des zones d'absorption, de transport des charges et de multiplication (*Separate Absorption Charge and Multiplication*, SACM) [77], [78]. Ces dispositifs, dont un exemple de structure est donné en Figure 1.11, utilisent une couche de collecte des photons dans un matériau différent du Silicium comme le Germanium (Ge) ou l'InGaAs qui sont plus susceptibles d'absorber dans le NIR. Grâce au champ électrique favorable, la paire électron/trou générée est accélérée au travers de la couche de transport de charges pour atteindre la zone de multiplication en silicium où l'avalanche se déclenche.

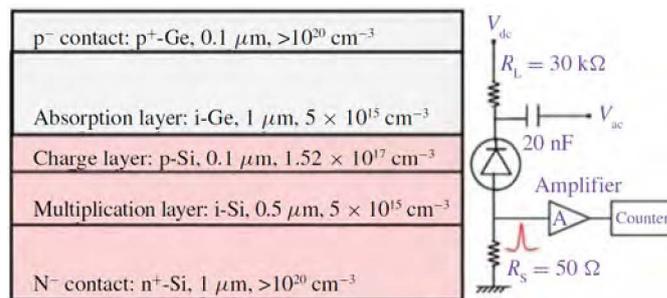


FIGURE 1.11 – Exemple d'une structure SACM avec utilisation de germanium et de silicium [77]

1.2.5 Gigue temporelle - *Jitter*

Dans le cadre du fonctionnement des SPAD, l'intervalle de temps séparant l'arrivée du photon et le déclenchement de l'avalanche n'est pas constant et présente des fluctuations statistiques. Le paramètre nommé gigue temporelle (du terme anglais *jitter*) permet de définir cette dispersion temporelle. Ce paramètre est défini comme la largeur à mi-hauteur de la distribution des temps de détection des événements d'avalanche en sortie du pixel SPAD (*Full-Width at Half Maximum*, FWHM) [3], [79]-[81]. Il est fonction de la longueur d'onde incidente et de la zone de déclenchement de l'avalanche [82]. L'origine des fluctuations temporelles provient de diverses sources : non-uniformité du champ électrique et de l'ATP dans la ZCE, dispersion "géographique" des porteurs photogénérés, temps de parcours pour atteindre la zone de multiplication... Les mesures de *jitter* s'effectuent sur la SPAD polarisée en mode Geiger et stimulée par des impulsions laser dont on contrôle la longueur d'onde, la largeur du pulse ainsi que la fréquence de répétition. Il faut ensuite réaliser un grand nombre de mesures de l'écart de temps entre le pulse du laser et celui qui caractérise l'avalanche. Enfin, en réalisant un histogramme de ces données, il est possible d'extraire le *jitter* à partir de la largeur à mi-hauteur (Figure 1.12) [43].

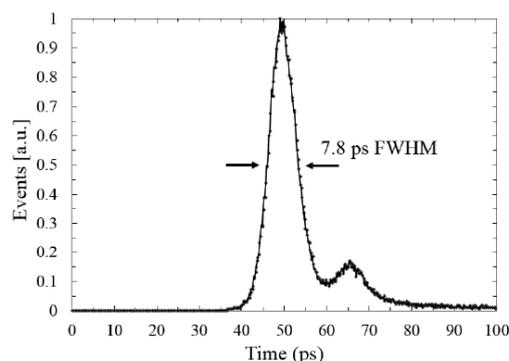


FIGURE 1.12 – Exemple de mesure du *jitter* pour une SPAD en technologie CMOS 65 nm de diamètre 20 μm [83]

Il est important de noter que la mesure permet d'extraire une distribution temporelle qui inclut à la fois les contributions de la SPAD, mais aussi de l'électronique associée et de l'instrumentation de mesure. L'observation d'une queue de distribution peut être reliée à la disparité des temps de transit des porteurs photogénérés pour atteindre la zone de multiplication. Sur la Figure 1.12, le second pic de distribution observé autour de 65 ps est attribué par les auteurs à des réflexions optiques dans le *setup* de mesure [83].

1.2.6 Facteur de remplissage - *Fill Factor*

Lors de l'utilisation de la SPAD, tous les photons qui arrivent sur le pixel ne seront pas détectés. Il faut alors distinguer la surface active de la cellule et la taille complète du pixel. Le Facteur de remplissage (*Fill Factor*, FF) correspond au ratio de la surface active sur la surface totale ($FF = S_{active}/S_{pixel}$) et s'applique aussi bien à une cellule SPAD isolée qu'à une matrice de cellules.

Il dépend à la fois d'éléments composant la structure de la SPAD comme les anneaux de garde et les pads d'interconnexion représentés sur la Figure 1.13, mais aussi d'éléments associés comme l'électronique d'étouffement et de lecture. Par ailleurs, afin de tenir compte de cette grandeur lors de la détermination de la sensibilité de la SPAD à la lumière, un nouveau paramètre a été introduit : la probabilité d'efficacité de détection (*Probability Detection Efficiency*, PDE) définie comme $PDE = PDP \cdot FF$ [2].

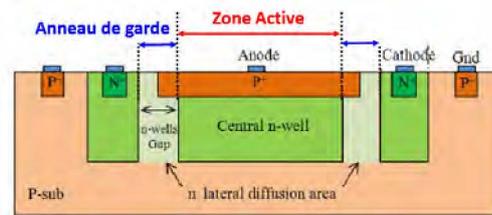


FIGURE 1.13 – Exemple de structure SPAD avec utilisation d'un anneau de garde constitué par une zone plus faiblement dopée (adapté de [84])

Le FF diminue au fur et à mesure de l'ajout d'éléments périphériques que ce soit pour l'optimisation de la structure ou par l'ajout de blocs électroniques [3]. Actuellement, de nombreux travaux concernent la maximisation de ce paramètre (Figure 1.14a) [13], [59], [65], [85]-[89]. Par exemple, l'utilisation de micro-lentilles permet de focaliser le signal incident sur la zone active de la cellule assurant alors une augmentation de la collecte des photons, une amélioration de la PDP et une optimisation du FF (Figure 1.14b). Cependant, ces lentilles nécessitent un procédé de fabrication en back-end qui n'est pas compatible avec certaines technologies [1].

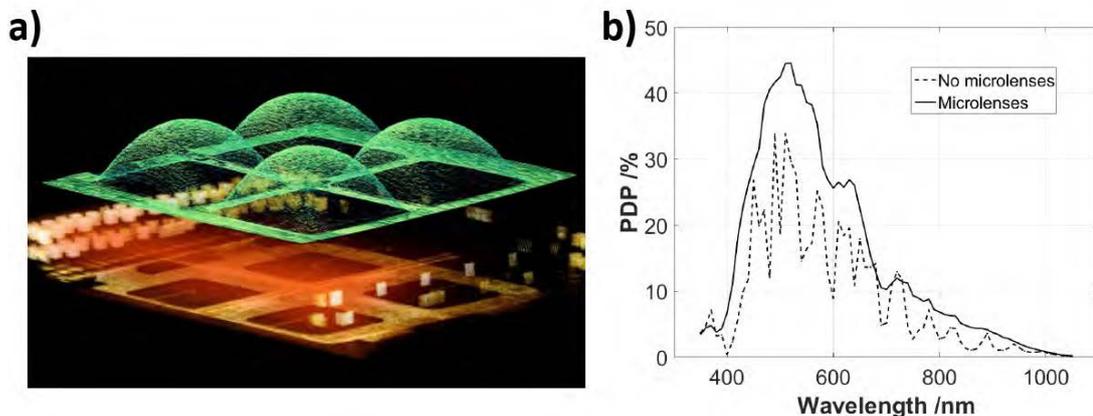


FIGURE 1.14 – a) Principe de l'utilisation de micro-lentilles et b) Mesures de PDP sur une SPAD en technologie CMOS 40 nm avec et sans micro-lentilles [13]

D'autres travaux se sont orientés sur la conception de SPAD dites 3D, avec une intégration verticale de la cellule et de son électronique de lecture, afin de maximiser le facteur de remplissage. Certains de ces travaux seront présentés dans la sous-section 1.4.2.

1.2.7 Couplage électro-optique - Crosstalk

Lors de la réalisation de structures matricielles de SPAD, le couplage (*crosstalk*) électrique ou optique entre deux cellules SPAD peut être pénalisant. Dans le cas du couplage électrique, lorsqu'un photon est absorbé dans la zone active d'une SPAD, il peut y avoir diffusion latérale des porteurs photo-générés vers la zone de multiplication d'une SPAD voisine. Dans le cas du couplage optique, lorsqu'un évènement d'avalanche se produit, la recombinaison des porteurs chauds va engendrer l'émission de photons d'électroluminescence pouvant être absorbés par une autre SPAD (Figure 1.15) [90], [91]. Les deux couplages conduisent au même effet, c'est-à-dire le déclenchement induit d'une avalanche dans la structure voisine. Pour cette raison et afin de les minimiser, lors de l'étape de conception les SPAD sont plus espacées. Néanmoins, ceci entraîne une diminution du FF nous obligeant alors à faire des compromis [1], [90].

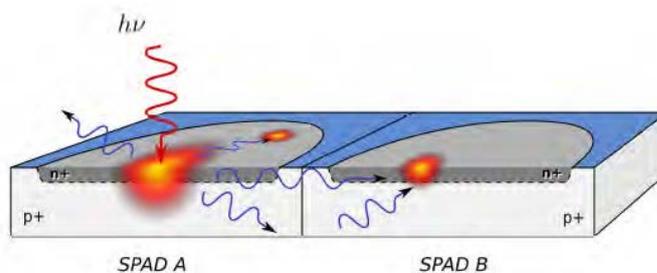


FIGURE 1.15 – Schéma du *crosstalk* optique entre deux SPAD [90]

Actuellement, des travaux sont réalisés pour intégrer des tranchées d'isolation, initialement développées pour les technologies imageurs, entre les cellules SPAD afin de réduire le couplage électro-optique (Figure 1.16c) [92]. Parmi elles, on retrouve tout particulièrement les structures DTI (*Deep Trench Isolation*, Figure 1.16a) qui sont entièrement constituées d'oxyde [93]-[96], et les CDTI (*Capacitor Deep Trench Isolation*, Figure 1.16b) qui constituent une extension des premières avec des tranchées remplies de polysilicium dopé pouvant être polarisées ou non durant le fonctionnement du capteur [92], [95], [97], [98].

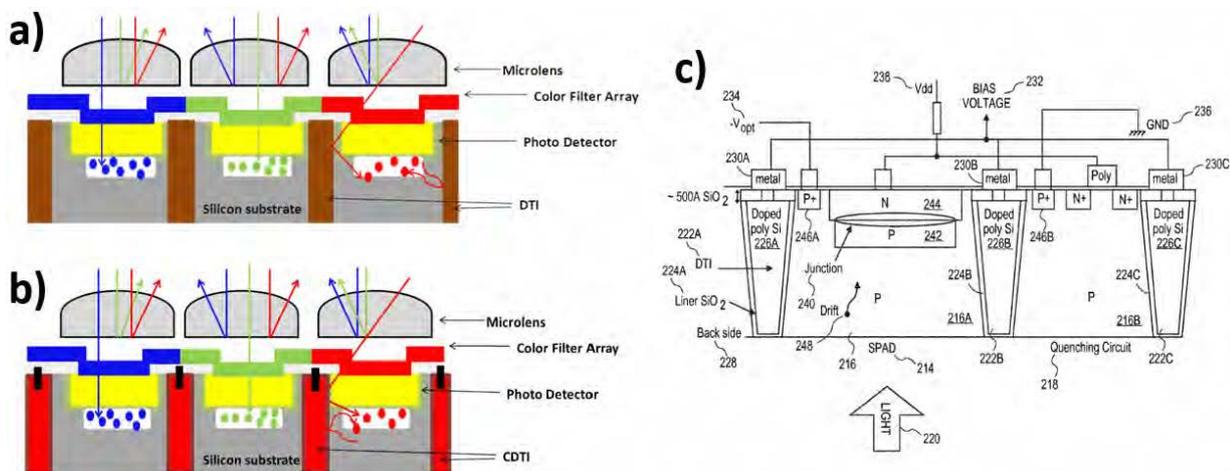


FIGURE 1.16 – Schéma du principe d'intégration dans les imageurs en a) des DTI, en b) des CDTI (adapté de [95]), et en c) Vue en coupe d'une structure SPAD intégrant des CDTI [92]

1.3 Exemples d'applications des détecteurs SPAD

Les SPAD, grâce à leur sensibilité élevée et à une très bonne résolution temporelle (de l'ordre de quelques dizaines de picosecondes) sont des dispositifs très intéressants pour de nombreux domaines d'application. Nous pouvons citer notamment le comptage de photons uniques corrélés dans le temps (*Time Correlated Single Photon Counting*, TCSPC) et la mesure du temps de vol (*Time of Flight*, ToF). Par ailleurs, pour de nombreuses utilisations, la structure SPAD est employée pour détecter des signaux dans le proche infrarouge. En effet, dans ce domaine spectral, il existe plusieurs intérêts applicatifs puisque les fibres optiques sont à faibles pertes, le risque de dommage oculaire est réduit (avec un seuil de tolérance vingt fois plus élevé que dans le visible), et la transmission reste bonne y compris en présence de fumée, brume, brouillard... [99]

1.3.1 Comptage de photons uniques corrélés dans le temps

Le comptage de photons uniques corrélés dans le temps est une approche précise reposant sur l'utilisation d'une source de lumière monochromatique. La mesure consiste à exciter plusieurs zones de l'échantillon à l'aide d'un laser émettant un signal pulsé. L'échantillon, présentant alors un surplus d'énergie, émet des photons afin de retourner dans un état d'équilibre stable. La mesure du délai séparant le pulse laser des photons émis permet alors de remonter à la durée de la fluorescence [100] [101]. Un exemple de configuration expérimentale pour les mesures TCSPC est présenté sur la Figure 1.17a.

Cette mesure est utilisée dans différents domaines comme par exemple la microscopie par imagerie de fluorescence résolue dans le temps (*Fluorescence Lifetime Imaging Microscopy*, FLIM) [100]-[109]. Il s'agit d'une méthode d'imagerie utilisée fréquemment dans le monde des sciences biologiques afin d'identifier certaines structures marquées par des fluorophores discriminables par leur temps de déclin [100] [105] [109]. Par le principe de la mesure TCSPC, des images basées sur la cartographie de ces temps de déclin comme illustré sur Figure 1.17b peuvent être obtenues. Sur cette figure, nous retrouvons un étalement du temps de déclin (allant de 1 500 ps à environ 4 000 ps) en fonction de la localisation des différents fluorophores au sein de la cellule. Il est à noter que l'obtention d'un tel cliché dépend fortement des conditions environnementales de mesure.

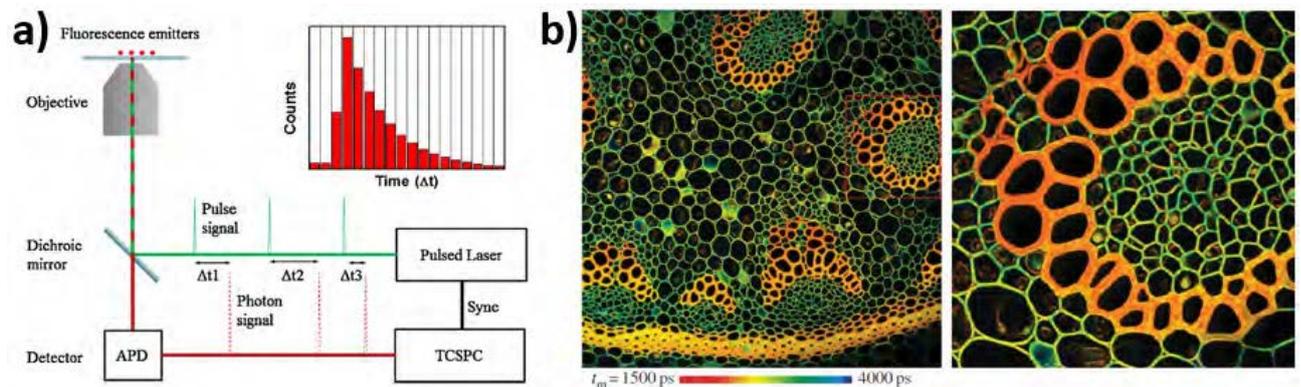


FIGURE 1.17 – a) Exemple de configuration expérimentale pour les mesures TCSPC [110], et b) Images FLIM obtenues par mesures TCSPC [105]

1.3.2 Mesures de temps de vol - ToF

Le principe de la mesure du temps de vol est illustré sur la Figure 1.18a [64], [111]-[119]. Une impulsion lumineuse monochromatique ou à bande spectrale étroite est dirigée vers une cible, le signal optique réfléchi par cette dernière est ensuite capté par un détecteur rapide de haute sensibilité. De ce fait, le détecteur SPAD est bien adapté à cette application. En mesurant le temps entre l'émission

de l'impulsion d'excitation et l'arrivée du signal réfléchi et en connaissant la vitesse de la lumière, il est possible de déterminer la distance à l'objet cible. La très haute sensibilité des SPAD fait d'eux des capteurs optimaux pour la détection de lumière réfléchie provenant de l'objet [2]. La mesure du temps de vol est utilisée dans de nombreux domaines comme l'imagerie 3D [64], [113], [114], [117], [118], ou la détection et télémétrie par imagerie lumineuse (*Light Imaging Detection and Ranging*, LIDAR), par exemple pour l'utilisation des voitures autonomes avec la conduite intelligente [112], [114], [116], [120], et même pour la reconnaissance faciale. Par ailleurs, cette mesure présente l'avantage d'une implémentation aisée dans les technologies de type CMOS (Figure 1.18b).

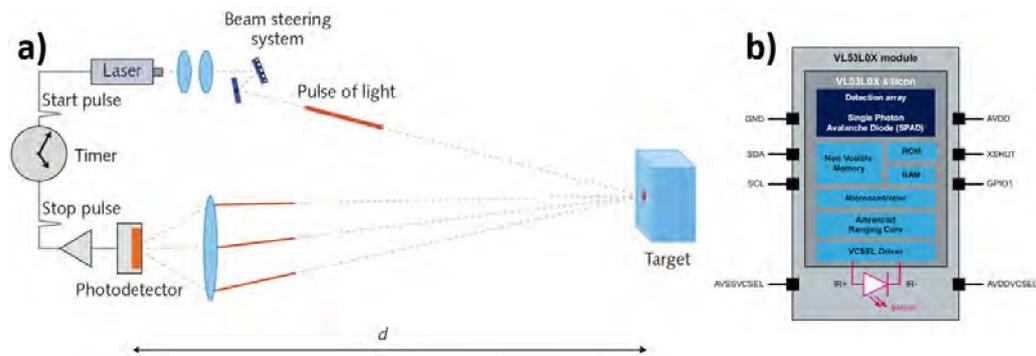


FIGURE 1.18 – a) Schéma du principe de mesures du temps de vol [111] et b) exemple de produit commercial intégrant cette fonction [120]

La relation théorique reliant la distance entre l'objet et le détecteur ($D_{\text{objet/détecteur}}$) et la résolution temporelle du capteur SPAD (Δt) peut s'exprimer à partir de la formule suivante :

$$\Delta t = \frac{2 \cdot D_{\text{objet/détecteur}}}{c} \quad (1.2)$$

avec c la vitesse de la lumière (3×10^{-8} m/s). Actuellement, les résolutions temporelles des SPAD sont très variées avec une valeur moyenne autour de la cinquantaine de picosecondes [13], [14], [35], [40], [99], [121], [122]. En tenant compte de cette valeur et de l'équation 1.3.2, le graphique de la Figure 1.19 peut être réalisé. Il illustre que dans le cadre des applications ToF, les SPAD ne sont pas capables de réaliser des mesures de distances inférieures à quelques millimètres. Pour les distances très courtes, le capteur doit présenter une résolution proche d'une dizaine de picosecondes, ce qui est à l'heure actuelle impossible à température ambiante avec les SPAD présentes dans la littérature. Pour cette raison, une optimisation possible est d'utiliser une électronique dédiée et de réaliser un grand nombre de mesures statistiques comme avec la méthode du TCSPC [2].

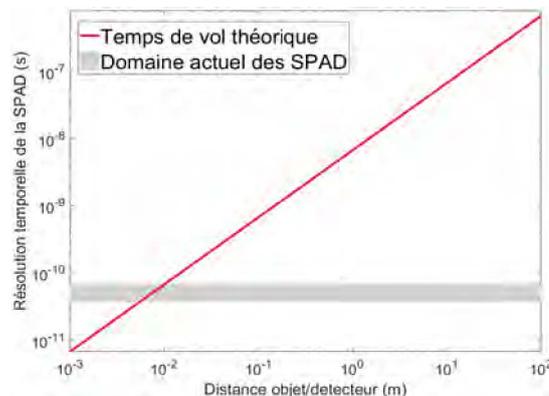


FIGURE 1.19 – Évolution de la résolution temporelle théorique du capteur en fonction de la distance objet/détecteur dans le cadre de l'application ToF

1.3.3 Tomographie par émission de positons

La tomographie par émission de positons (TEP) ou *Positron Emission Tomography* (PET) en anglais, est une méthode d'imagerie nucléaire utilisée en médecine pour la détection du cancer. Un produit radio-pharmaceutique est utilisé pour marquer les processus tumoraux. Il comprend un atome radio-actif (pouvant être du carbone, du fluor, ou de l'oxygène) qui émet des positons dont l'annihilation produit deux photons à 511 keV dans des directions opposées. La localisation de la zone d'émission est permise par la détection en coïncidence des deux photons par des scintillateurs couplés à des photodétecteurs comme illustré sur la Figure 1.20 [123], [124]. La durée de la fenêtre de coïncidence définit directement la résolution spatiale et l'efficacité la réjection des coïncidences fortuites. Les SPAD par leur excellente résolution temporelle sont des capteurs adaptés à cette application [125].

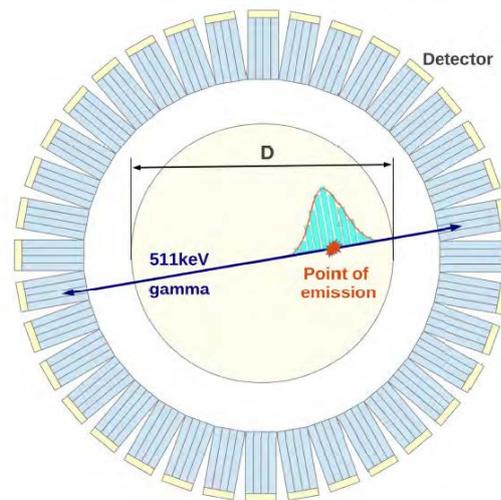


FIGURE 1.20 – Schéma du principe d'acquisition d'images de la tomographie par émission de positons [123]

1.4 Etat de l'art sur la conception des SPAD

1.4.1 Technologie CMOS

Les SPAD ont été réalisées initialement dans des technologies spécifiques. Néanmoins, de nombreux travaux ont porté sur l'utilisation de la technologie CMOS pour concevoir ce type de détecteur car elle permet l'intégration "on chip" de l'électronique associée [47], [48] et une production à grande échelle. La difficulté majeure dans cette intégration repose sur le fait que cette technologie n'est pas prévue pour l'intégration de diodes verticales optimisées pour le mode Geiger, mais développée pour la fabrication de transistors de plus en plus petits afin de réaliser des circuits électroniques toujours plus performants. Ainsi, dans de nombreuses études, l'optimisation des cellules SPAD en technologie CMOS s'accompagne de la violation de règles de dessin [40], [126]. Il a tout d'abord fallu concevoir des géométries circulaires afin d'obtenir un champ électrique uniforme dans le dispositif ou encore d'intégrer des anneaux de garde conçus à partir de caissons moins dopés, et cela pour éviter par exemple, un claquage prématuré dans les angles ou sur les bords. Enfin, les technologies CMOS reposent sur l'utilisation de caissons P et N très dopés, ce qui présente un inconvénient pour la SPAD car le DCR sera alors très élevé (effet tunnel) et la PDP beaucoup trop faible pour une détection efficace des photons. Il a alors fallu réduire de manière assez importante les niveaux de dopage moyens.

Au cours des dernières années, des SPAD ont été conçues et fabriquées dans la plupart des technologies CMOS. Plusieurs d'entre elles sont détaillées en Annexe 1. Nous pouvons notamment citer les SPAD en technologie CMOS 40 nm [13], ou bien en 65 nm [121], ou encore en 150 nm [14] (Figure 1.21) qui présentent des caractéristiques différentes en termes de tension de claquage, de PDP, de DCR

et de *jitter* (Tableau 1.1). Par ailleurs, pour bénéficier des avancées récentes sur les imageurs CMOS, les recherches s'axent dorénavant autour de l'intégration de SPAD en technologie *CMOS Image Sensor* (CIS) [40], [126].

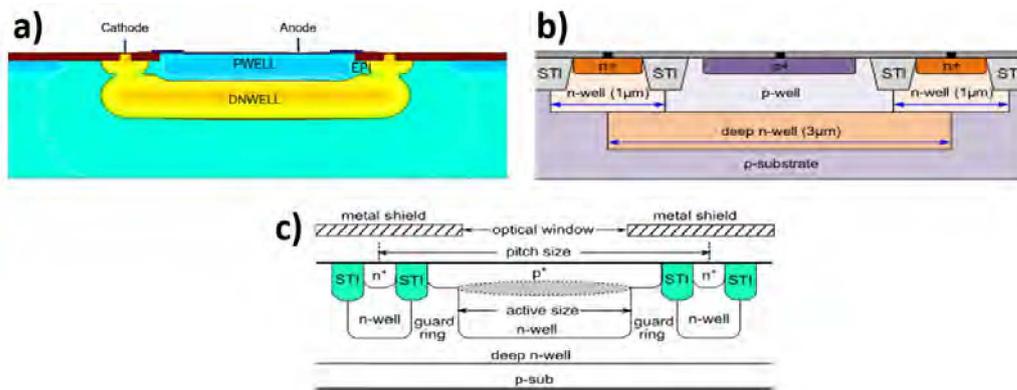


FIGURE 1.21 – Schéma en coupe de SPAD en technologie CMOS en a) 40 nm [13], en b) 65 nm [121], et en c) 150 nm [14]

Technologie	Surface active	V_{BD}	PDP	DCR	<i>Jitter</i>
CMOS 40 nm en 2017 [13]	$49 \mu\text{m}^2$ (FF = 40 %, et 70 % avec les lentilles)	15.5 V	30 % à $V_{ex} = 1 \text{ V}$ (6.5 % de V_{BD}) et $\lambda = 500 \text{ nm}$	50 Hz ($1.0 \text{ Hz}/\mu\text{m}^2$) à $V_{ex} = 1 \text{ V}$ (6.5 % de V_{BD}) et $T = 25 \text{ }^\circ\text{C}$	140 ps à $V_{ex} = 1 \text{ V}$ (6.5 % de V_{BD}) et $\lambda = 840 \text{ nm}$
CMOS 65 nm en 2020 [121]	$2.8 \mu\text{m}^2$ (FF = 17.7 %)	9.6 V	51.9 % à $V_{ex} = 2 \text{ V}$ (20.8 % de V_{BD}) et $\lambda = 480 \text{ nm}$	204.4 Hz ($73.0 \text{ Hz}/\mu\text{m}^2$) à $V_{ex} = 1 \text{ V}$ (10.4 % de V_{BD}) et $T = 20 \text{ }^\circ\text{C}$	158 ps à $V_{ex} = 2 \text{ V}$ (21 % de V_{BD}) et $\lambda = 485 \text{ nm}$
CMOS 150 nm en 2017 [14]	$97.12 \mu\text{m}^2$ (FF = 39.9 %)	18.01 V	31 % à $V_{ex} = 3 \text{ V}$ (16.6 % de V_{BD}) et $\lambda = 450 \text{ nm}$	39 Hz ($0.4 \text{ Hz}/\mu\text{m}^2$) à $V_{ex} = 3 \text{ V}$ (16.6 % de V_{BD}) et $T = 20 \text{ }^\circ\text{C}$	52 ps à $V_{ex} = 3 \text{ V}$ (16.6 % de V_{BD}) et $\lambda = 468 \text{ nm}$

TABLE 1.1 – Paramètres caractéristiques des SPAD conçues en technologie CMOS

Les SPAD CMOS sont limitées par des facteurs de remplissage faibles, inférieurs à 50 %. En effet, l'électronique associée à la SPAD avec notamment le circuit de *quench* est réalisée juste à côté de la ou des structures SPAD (Figure 1.22), et l'intégration se fait de manière planaire. Par ailleurs, les SPAD réalisées dans ces technologies présentent une seconde limite avec une PDP faible dans le proche infrarouge : 5 % sur la structure 40 nm [13], 3 % sur la 65 nm [121], et 2.5 % sur la 135 nm [14].

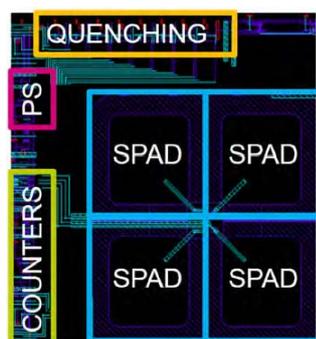


FIGURE 1.22 – Vue *layout* de structures SPAD en technologie CMOS 40 nm avec visualisation de l'électronique de lecture et d'étouffement [13]

1.4.2 Assemblage 3D

A ce jour et afin de répondre aux limites de l'utilisation des technologies CMOS, les meilleurs résultats de SPAD sont obtenus en s'appuyant sur la technologie microélectronique d'intégration 3D. Cette technologie repose sur l'utilisation de deux wafers en silicium, le premier est dédié à la structure de la SPAD matricielle tandis que le second est utilisé pour l'électronique de fonctionnement. Les deux plaques sont ensuite assemblées à l'aide d'une technique de collage wafer à wafer. Cette technique permet alors de combiner aisément les meilleures technologies pour la SPAD et l'électronique à condition que les deux soient compatibles. Par ailleurs, l'électronique n'étant plus à côté de la SPAD, le FF est fortement amélioré [37]-[40], [63], [127]-[129]. Dans cet assemblage, il existe deux approches en fonction du mode d'illumination que l'on souhaite mettre en place. Dans les deux cas, la SPAD est généralement fabriquée en technologie CIS tandis que l'électronique associée utilise une technologie CMOS avancée. Ensuite pour l'illumination en face avant (FSI, Figure 1.23a), la partie inférieure du wafer de la SPAD est connectée à la partie supérieure de celui contenant l'électronique. Dans ces conditions, des interconnexions supplémentaires, réalisées grâce à l'utilisation de vias (*Through-Silicon Vias*, TSV), sont nécessaires. La jonction étant peu profonde, l'approche FSI est particulièrement utile pour la détection de photons visibles ou du proche ultra-violet. Pour l'illumination en face arrière (BSI, Figure 1.23b), les deux wafers sont connectés en face à face permettant alors d'avoir une jonction plus éloignée de la zone d'illumination (le wafer supérieur subit un amincissement). Dans cette configuration, c'est l'absorption dans le NIR qui est privilégiée [130].

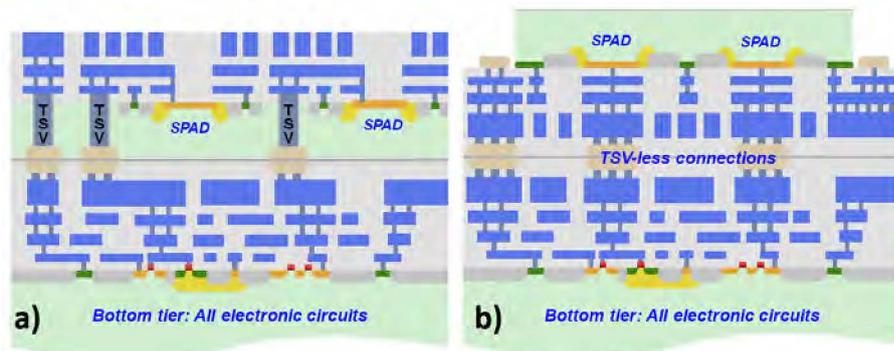


FIGURE 1.23 – Schéma des approches d'assemblage 3D en fonction du mode d'illumination choisi : en a) FSI et en b) BSI (adapté de [130])

L'Annexe 1 présente plusieurs structures SPAD basées sur l'intégration 3D. Pour rester exhaustif, nous pouvons citer les structures de E. Charbon publiée dès 2014 [129] et celles de M. Lee publiées en 2017 [38], [40]. La première utilise la technologie CMOS 130 nm pour concevoir à la fois la SPAD et l'électronique (Figure 1.24a) tandis que la seconde utilise la technologie CIS 45 nm pour la SPAD et la technologie CMOS 65 nm pour l'électronique (Figure 1.24b).

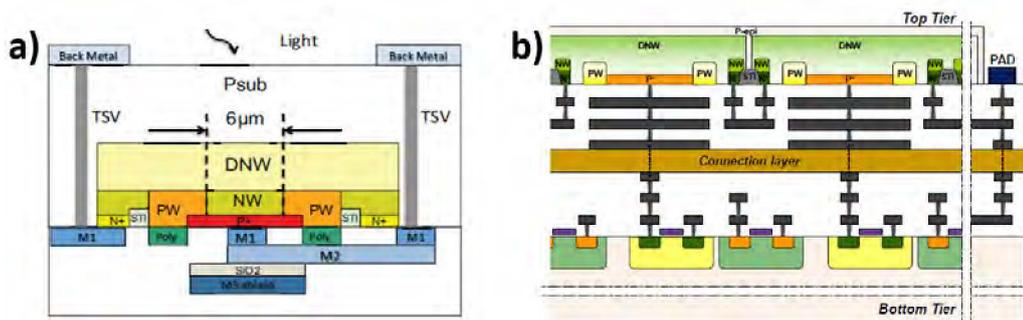


FIGURE 1.24 – Schéma en coupe de SPAD en assemblage 3D en a) CMOS 130 nm / CMOS 130 nm [129], et en b) CIS 45 nm / CMOS 65 nm [40]

Les SPAD étant issues de technologies différentes, leurs caractéristiques sont assez différentes comme cela apparaît dans le Tableau 1.2. Néanmoins, il faut noter que la structure de M. Lee a permis d'atteindre une PDP de 10.1 % à 850 nm pour une tension d'excès de 2.5 V, il s'agit de l'un des meilleurs résultats de la littérature pour les technologies sur silicium. Cette technique d'assemblage qui permet d'obtenir de bonnes performances requiert un processus d'intégration 3D complexe et coûteux.

Technologie	Surface active	V_{BD}	PDP	DCR	Jitter
CMOS 130 nm / CMOS 130 nm en 2014 [129]	$28.3 \mu\text{m}^2$	12.3 V	11 % à $V_{ex} = 4 \text{ V}$ (32.5 % de V_{BD}) et $\lambda = 725 \text{ nm}$	7 500 Hz (265.0 Hz/ μm^2) à $V_{ex} = 4 \text{ V}$ (32.5 % de V_{BD}) et $T = 20^\circ\text{C}$	-
CIS 45 nm / CMOS 65 nm en 2017 [38], [40]	$122.7 \mu\text{m}^2$	28.5 V	31.8 % à $V_{ex} = 2.5 \text{ V}$ (8.7 % de V_{BD}) et $\lambda = 600 \text{ nm}$	6 800 Hz (55.4 Hz/ μm^2) à $V_{ex} = 2.5 \text{ V}$ (8.7 % de V_{BD}) et $T = 20^\circ\text{C}$	107.7 ps à $V_{ex} = 2.5 \text{ V}$ (8.7 % de V_{BD}) et $\lambda = 637 \text{ nm}$

TABLE 1.2 – Paramètres caractéristiques des SPAD conçues en assemblage 3D

1.4.3 Concept de la focalisation des porteurs photogénérés

Des travaux récents se concentrent autour de la conception de SPAD avec une meilleure collecte des porteurs photogénérés [131]. La cellule est intégrée dans une technologie CMOS 180 nm avec éclairage par la face avant. Dans le cadre du procédé standard de fabrication (Figure 1.25a), la collecte des charges se fait uniquement verticalement avec une zone de multiplication (en rouge) à peu près égale en taille à la zone photosensible de la SPAD (en jaune). Le principe de focalisation des charges (Figure 1.25b) consiste à optimiser le caisson DPW (*Deep P-Well*) dans lequel le champ électrique va s'étendre pour permettre de collecter toutes les charges photogénérées et de les ramener vers une zone de multiplication étroite. La zone de sensibilité de la SPAD est alors grandement étendue, les charges générées étant concentrées vers la zone de multiplication.

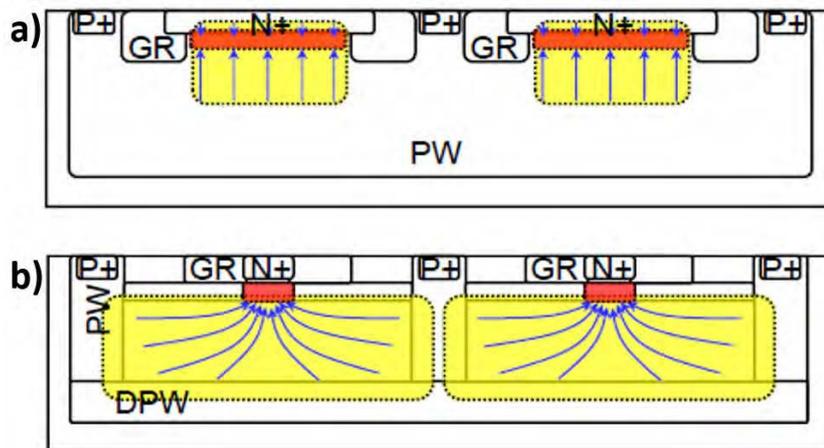


FIGURE 1.25 – Schéma en coupe de SPAD conçues en a) avec le procédé standard et en b) avec focalisation des charges (adapté de [131])

Cette approche appelée "*charge focusing*" permet alors d'augmenter la PDP de la SPAD tout en réduisant le DCR. Il s'agit par ailleurs de l'une des structures SPAD présentant le niveau de DCR le plus faible avec $15 \text{ mHz}/\mu\text{m}^2$ à température ambiante et pour une tension d'excès de 3.3 V. De plus, la miniaturisation du pixel permet d'atteindre un excellent facteur de remplissage. Le Tableau 1.3 résume les principaux critères de performance de cette SPAD.

Technologie	Surface active	V_{BD}	PDP	DCR	Jitter
CMOS 180 nm en 2021 [131]	$200.96 \mu\text{m}^2$	26.5 V	40 % à $V_{ex} = 2.5$ V (9.4 % de V_{BD}) et $\lambda = 550$ nm	3 Hz ($15 \text{ mHz}/\mu\text{m}^2$) à $V_{ex} = 3.3$ V (12.4 % de V_{BD}) et $T = 20^\circ\text{C}$	-

TABLE 1.3 – Paramètres caractéristiques de la SPAD avec focalisation des charges

1.4.4 Technologie CMOS SOI

Le développement de transistors toujours plus performants (consommation et vitesse) afin de répondre aux nouveaux besoins (Loi de Moore), a permis d'élaborer de nouvelles solutions comme la technologie SOI (*Silicon-On-Insulator*) qui repose sur l'utilisation de deux couches de silicium isolées électriquement par une couche d'oxyde enterrée : le BOX (cette technologie sera présentée plus en détails dans le chapitre 2). Dès 2013, des travaux ont porté sur l'intégration de SPAD dans cette technologie [132], d'abord avec des approches FSI puis BSI [34]-[36], [133]-[135]. Dans cette technologie, la SPAD est intégrée dans la couche silicium dopée situé au-dessus du BOX (Figure 1.26a). L'Annexe 1 présente plusieurs structures SPAD conçues et développées en technologie SOI. Une des structures les plus performantes publiée en 2015 par M. Lee a été conçue en technologie CMOS SOI 140 nm avec une couche de silicium épaisse de $1.5 \mu\text{m}$ [35]. Les caractéristiques de cette structure sont détaillées dans le Tableau 1.4.

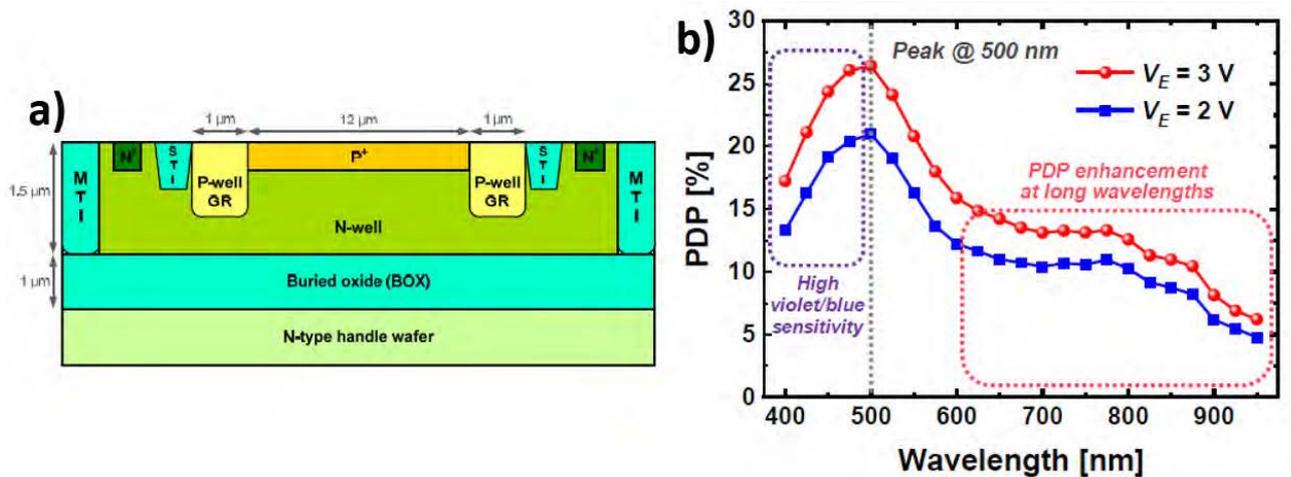


FIGURE 1.26 – a) Schéma en coupe de SPAD en technologie CMOS SOI 140 nm, et b) Mesures de PDP réalisées sur cette même structure [34]

Technologie	Surface active	V_{BD}	PDP	DCR	Jitter
CMOS SOI 140 nm en 2015 [34], [35]	$113.1 \mu\text{m}^2$	11.3 V	26.4 % à $V_{ex} = 3$ V (26.5 % de V_{BD}) et $\lambda = 500$ nm	44 800 Hz ($396.1 \text{ Hz}/\mu\text{m}^2$) à $V_{ex} = 3$ V (26.5 % de V_{BD}) et $T = 20^\circ\text{C}$	119 ps à $V_{ex} = 3$ V (26.5 % de V_{BD}) et $\lambda = 637$ nm

TABLE 1.4 – Paramètres caractéristiques des SPAD conçues en technologie CMOS SOI

Cette structure présente des résultats remarquables avec une PDP élevée s'étendant du visible au NIR. Pour une tension d'excès de 3 V, la PDP est systématiquement supérieure à 10 % sur la plage [400 ; 875 nm] (Figure 1.26b).

1.4.5 SPAD réalisées avec d'autres matériaux que le silicium

En raison des limites du silicium en matière d'absorption en dehors du visible, de nombreux travaux de recherche s'orientent autour de la fabrication de SPAD dans d'autres matériaux semi-conducteurs. Parmi ces derniers, nous retrouvons par exemple l'utilisation de *InGaAs/InP* [122], [136], [137] qui permet de réaliser des détecteurs très performants pour la détection dans le NIR entre 900 et 1 600 nm (Tableau 1.5 et Figure 1.27b). De manière générale, ces structures fonctionnent à des températures approximatives de 230 K (soit environ -40°C) qui sont obtenues par l'utilisation d'un système de refroidissement par effet Peltier. En effet, le gap plus petit de ces matériaux permet une meilleure sensibilité dans le NIR mais entraîne davantage de générations/recombinaisons SRH et nécessite un fonctionnement à basses températures. Un exemple de structure est donné en Figure 1.27a, à partir d'un substrat *InP* dopé N, une couche de *InGaAs* est réalisée et servira de couche d'absorption. La zone de multiplication est mise en œuvre dans une structure PiN en *InP* avec une couche dopée P+ dans la partie supérieure et une couche dopée N directement sur la zone d'absorption [138]. Néanmoins ces structures présentent plusieurs limites : elles sont très coûteuses, possèdent un *afterpulsing* très élevé, et sont peu compatibles avec des technologies CMOS silicium. D'autres SPAD sont conçues en technologie *SiGe* [77], [78], [99], [138] et nécessitent aussi de travailler à des températures inférieures à 0°C . Ces structures reposent sur la séparation des zones d'absorption, de transport des charges, et de multiplication (Figure 1.27c). Elles sont aussi tout particulièrement utilisées pour la détection de photons issus du proche infrarouge (Tableau 1.5). Par ailleurs, d'autres types de matériaux ou présentant des structures novatrices sont détaillés en Annexe 1.

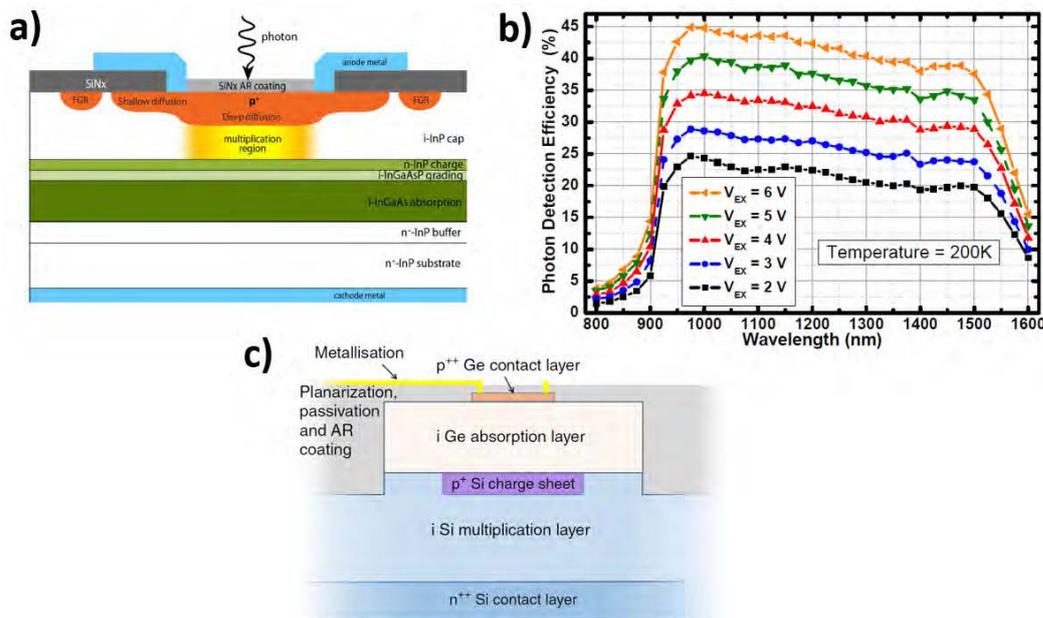


FIGURE 1.27 – a) Schéma en coupe d'une SPAD conçue en InGaAs/InP avec b) la mesure de PDE associée [122], et c) schéma en coupe d'une SPAD conçue avec du Ge [99]

Matériau	S_{active}	V_{BD}	PDE	DCR	Jitter
InGaAs/InP en 2012 [122]	$490\mu\text{m}^2$	71 V	45 % à $V_{ex} = 6\text{ V}$ (8.5 % de V_{BD}) et $\lambda = 1000\text{ nm}$	100 000 Hz (204.1 Hz/ μm^2) à $V_{ex} = 6\text{ V}$ (8.5 % de V_{BD}) et $T = -48^{\circ}\text{C}$	87 ps à $V_{ex} = 5\text{ V}$ (7.0 % de V_{BD}) et $\lambda = 1550\text{ nm}$
Ge en 2019 [99]	$7854\mu\text{m}^2$	$\sim 40\text{ V}$	38 % à $V_{ex} = 5.5\%$ de V_{BD} et $\lambda = 1310\text{ nm}$	2 000 000 Hz (254.8 Hz/ μm^2) à $V_{ex} = 5.5\%$ de V_{BD} et $T = -148^{\circ}\text{C}$	310 ps à $V_{ex} = 5.5\%$ de V_{BD} et $\lambda = 1310\text{ nm}$

TABLE 1.5 – Paramètres caractéristiques des SPAD conçues avec d'autres matériaux que le silicium

1.5 Bilan

Ce chapitre a permis de décrire le principe de fonctionnement des SPAD et de présenter des éléments essentiels associés à cette structure comme le circuit d'étouffement qui permet d'arrêter l'avalanche avant que cette dernière n'entraîne une détérioration de la structure. Les différents critères de performance ont été définis, permettant de caractériser et comparer les structures SPAD : le courant d'obscurité, la tension de claquage, le taux de comptage dans l'obscurité, le taux de déclenchements secondaires, la probabilité de détection des photons, la gigue temporelle, le facteur de remplissage et le couplage électro-optique. Différentes applications des détecteurs SPAD ont été présentées pour le comptage de photons uniques corrélés dans le temps, ou pour la mesure de temps vol. Cette dernière application joue un rôle majeur dans plusieurs domaines comme celui des véhicules autonomes, de la reconnaissance faciale, de la télémétrie ainsi que pour l'imagerie 3D. Enfin, dans la dernière partie de ce chapitre et dans l'Annexe 1 qui l'accompagne, différentes structures SPAD issues de la littérature conçues en technologie CMOS, SOI, ou avec d'autres matériaux que le silicium, ont été présentées dont certaines s'appuient sur des intégrations 3D.

Chapitre 2

Conception de la SPAD FD-SOI, objectifs de la thèse et moyens mis en œuvre

Dans ce chapitre, nous introduisons la technologie CMOS *Fully-Depleted Silicon on Insulator* (FD-SOI) 28 nm de STMicroelectronics et ses atouts pour les applications embarquées. Nous présentons ensuite le principe d'intégration de la structure SPAD dans cette technologie, les avantages de cette approche et les objectifs de la thèse. Enfin, nous décrivons les outils utilisés dans le cadre de la thèse pour répondre aux besoins de simulation, conception et caractérisation.

Contents

2.1	Présentation de la technologie CMOS FD-SOI 28 nm	32
2.2	Conception de la SPAD dans la technologie CMOS FD-SOI	34
2.2.1	Implémentation de la SPAD dans la technologie CMOS FD-SOI	34
2.2.2	Historique des travaux SPAD FD-SOI à l'INL	36
2.2.3	Objectif de la thèse	36
2.3	Simulations avec le logiciel TCAD <i>Sentaurus Synopsys</i>	37
2.3.1	Modèle de transport des charges	37
2.3.2	Modèles de génération-recombinaison des porteurs	38
2.3.3	Modèles d'avalanche et coefficients d'ionisation	40
2.3.4	Modélisation de la probabilité d'avalanche	43
2.3.5	Différentes méthodes de simulation TCAD mises en place	44
2.4	Dessin physique de la structure SPAD FD-SOI	46
2.4.1	Géométrie générale des cellules	47
2.4.2	Définition de la couche FD-SOI	48
2.4.3	Distance de garde	49
2.4.4	Couches métalliques	49
2.4.5	Conception des circuits intégrés	50
2.4.6	Historique des circuits fabriqués avant le début de cette thèse	51
2.5	Les différentes techniques de caractérisation	52
2.5.1	Carte de test	52
2.5.2	Mesures des caractéristiques $C(V)$ et $I(V)$ en enceinte cryogénique	53
2.5.3	Mesures du taux de comptage dans l'obscurité - DCR	54
2.5.4	Cartographies d'électroluminescence	55
2.5.5	Estimation de la probabilité de détection des photons - PDP sur banc optique	56
2.5.6	Évaluation du Gigue temporelle - <i>Jitter</i>	57
2.6	Bilan	57

2.1 Présentation de la technologie CMOS FD-SOI 28 nm

La technologie CMOS FD-SOI 28 nm s'inscrit dans la grande lignée des technologies microélectroniques, pour la conception de circuits intégrés plus performants et moins consommateur en énergie (Figure 2.1a à d), selon la loi empirique de Moore qui prédit que le nombre de transistors par circuit de même taille double à prix constant tous les dix-huit mois.

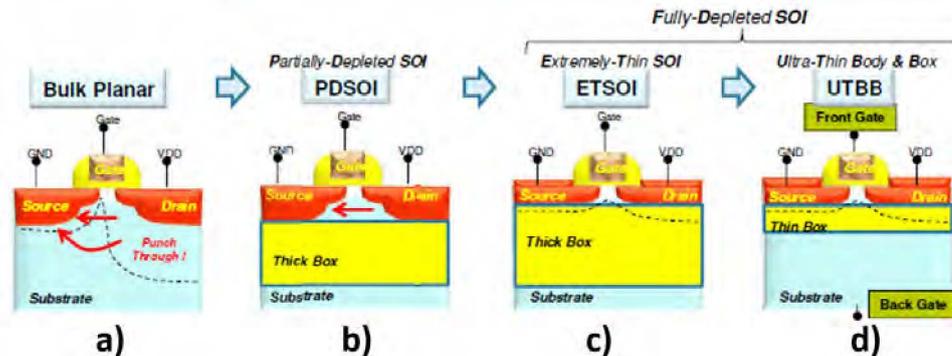


FIGURE 2.1 – Evolution Technologie pour la fabrication des transistors (adapté de [139])

Depuis des décennies, la technologie dominante en électronique intégrée est dite "Bulk" (Figure 2.1a). Elle présente plusieurs limites : 99% du volume total est occupé par le substrat, présence de capacités parasites entre le drain et la source, courants de fuite à travers le substrat... De plus, ces limites ont eu tendance à s'accroître avec la miniaturisation des composants notamment à partir des nœuds inférieurs à 40 nm [140]-[144].

L'utilisation d'une technologie *Silicon on Insulator* (SOI) a permis d'adresser certaines de ces limitations. Dans cette technologie, les transistors sont isolés du substrat grâce à une couche d'oxyde, le *Buried Oxide* (BOX, Figure 2.2). Ceci permet de limiter la capacité entre les jonctions permettant ainsi un fonctionnement à grande vitesse. Par ailleurs, la diminution des courants de fuite ainsi que la polarisation à de faibles tensions d'alimentation ont permis de réduire la consommation énergétique [140], [141], [144].

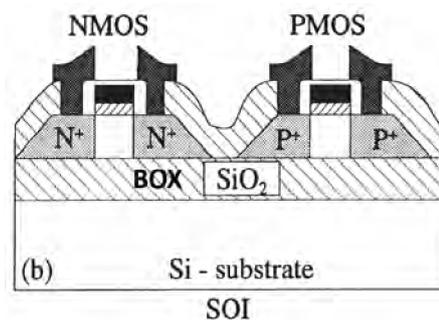


FIGURE 2.2 – Structure SOI (adapté de [140])

La technologie FD-SOI *Ultra-Thin Body and BOX* (UTBB Figure 2.1d) de *STMicroelectronics*, aboutissement des avancées de la filière SOI (PDSOI Figure 2.1b et ETSOI Figure 2.1c), ajoute un nouveau degré de liberté dans la conception des circuits : le contrôle de la tension de seuil des transistors (notée V_{th}) par polarisation du substrat (notée V_{bb}), ce mécanisme est appelé le *Body Biasing* (Figure 2.3) [144]-[146]. Cette technique apporte une flexibilité à la technologie permettant notamment d'augmenter la vitesse et les performances dans le cas de la polarisation directe (*Forward Body Biasing*, FBB), ou de réduire la consommation et les courants de fuite dans le cas de la polarisation inverse (*Reverse Body Biasing*, RBB) [142], [147]-[150].

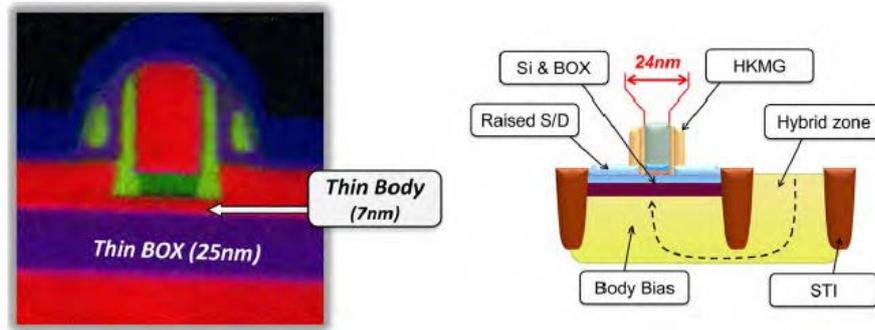


FIGURE 2.3 – Structure FD-SOI [148]

Deux épaisseurs d'oxyde de grille sont disponibles avec la technologie *STMicroelectronics* UTBB FD-SOI : 1.8 nm (*Gate Oxide, GO1*) pour 1 V de tension nominale de travail, et 2.8 nm (*GO2*) pour aller jusqu'à une polarisation comprise entre 1.5 et 1.8 V [147], [151], [152]. Afin de permettre un effet de *Body-biasing* par polarisation du substrat qui se comporte comme une seconde grille, il convient de doper le silicium situé directement sous le BOX. Pour cela, des caissons pouvant être du type P (*P-Wells, PW*) ou N (*N-Wells, NW*) sont réalisés [144], [147], [148]. Dans cette configuration, deux familles distinctes de transistors peuvent alors être conçues (Figure 2.4) : la première nommée LVT (*Low V_{th}*) pour une opération à hautes vitesses (*high speed*), et la seconde nommée RVT (*Regular V_{th}*) pour un fonctionnement à faibles fuites (*low leakage*).

L'effet du *body-biasing* permet de faire varier la tension de seuil des transistors d'un facteur $\Delta V_{th}/\Delta V_{bb}$ valant approximativement 85 mV/V pour les transistors avec *GO1* contre 140 mV/V pour ceux avec *GO2* que l'on nomme aussi *EG* pour *extended gate* [139], [147].

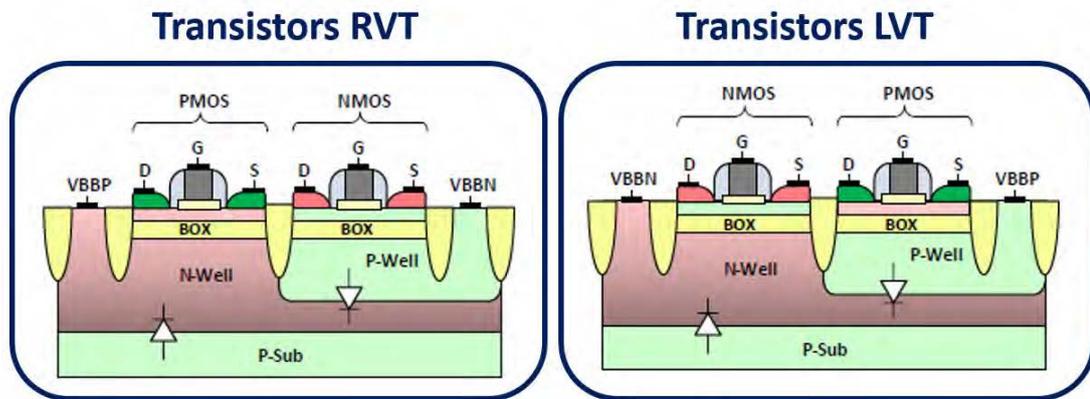


FIGURE 2.4 – Schéma des types de transistors en FD-SOI (adapté de [147])

Le substrat étant légèrement dopé positivement (que l'on note "Substrat P" ou *PSUB*), il est nécessaire d'isoler électriquement les PW pour éviter des courants de fuite. Pour cela, l'utilisation d'un autre caisson de type "N" implanté en profondeur (*Deep N-Well, DNW* aussi nommé *Triple-Well, T3, NISO*) devient obligatoire (Figure 2.5).

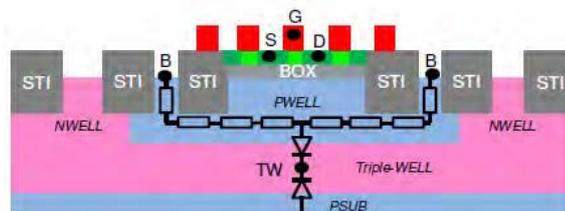


FIGURE 2.5 – Isolement du PW par utilisation d'un caisson DNW [139]

Les caractéristiques électriques des transistors sont fonction de la configuration établie et de la polarisation directe ou inverse. La Figure 2.6 présente ces principales propriétés.

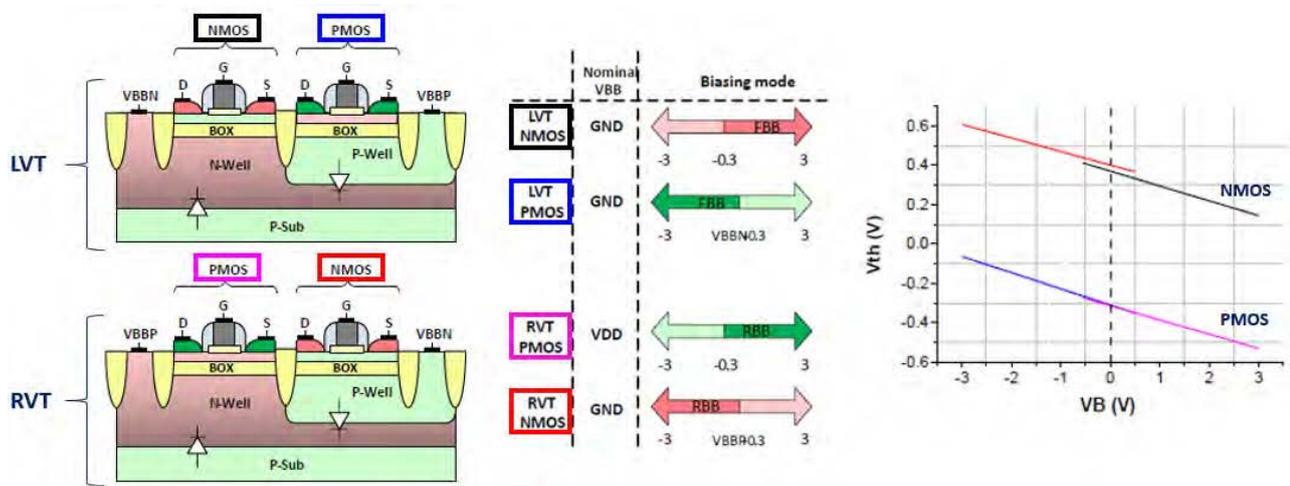


FIGURE 2.6 – $V_{th}(V_{bb})$ pour différentes configurations de transistors en technologie CMOS FD-SOI (adapté de [147])

2.2 Conception de la SPAD dans la technologie CMOS FD-SOI

2.2.1 Implémentation de la SPAD dans la technologie CMOS FD-SOI

La conception et l'implémentation de la SPAD dans la technologie CMOS FD-SOI 28 nm reposent sur l'utilisation des deux régions de silicium isolées électriquement par le BOX. La jonction PW/DNW implantée dans le substrat permet de concevoir la SPAD tandis que le film silicium situé au-dessus du BOX va permettre de mettre en place l'ensemble des composants électroniques nécessaires au fonctionnement de la SPAD : étouffement, adressage... (Figure 2.7). De plus, l'utilisation de blocs d'oxyde sous forme de tranchées superficielles (*Shallow Trench Isolation-STI*) sert à isoler électriquement les différentes zones polarisées de notre structure : cathode, anode, contact du substrat, et l'électronique présente dans le film silicium au-dessus du BOX. Cette implémentation requiert un éclairage par la face arrière (*Back Side Illumination, BSI*), et en conséquence un amincissement au préalable à quelques microns, pour une détection dans le proche infrarouge autour de 900 nm.

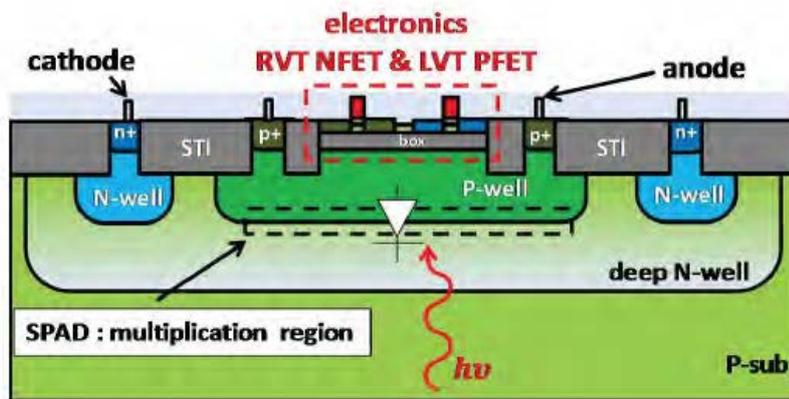


FIGURE 2.7 – Schéma en coupe d'une structure SPAD FD-SOI avec éclairage en face arrière [153]

Cette structure présente l'avantage d'être intrinsèquement 3D grâce à la cointégration verticale du dispositif détecteur et du circuit électronique associé [154]. Ceci permet d'optimiser grandement

le facteur de remplissage. Les caissons PW et NW qui servent en technologie FD-SOI pour le body-biasing sont utilisés ici pour prendre respectivement les contacts anode et cathode de la SPAD. Dans le cas de la cathode, il s'agit d'une prise de contact indirecte car le niveau de dopage du caisson DNW n'est pas suffisant pour réaliser directement un contact ohmique. La Figure 2.8 est une représentation schématique de la demi-structure de la SPAD en CMOS FD-SOI 28 nm. Dans cette dernière et par défaut, le caisson PW et les blocs STI sont toujours présents. Le concepteur définit ensuite les zones actives (empilement SOI) pour placer les transistors. La couche BFMOAT permet de supprimer la présence du dopage P, nous l'utilisons entre les caisson PW et NW comme anneau de garde afin de mettre en place une jonction moins dopée pour limiter les effets de claquage prématuré sur les bords (*Premature Edge Breakdown*, PEB).

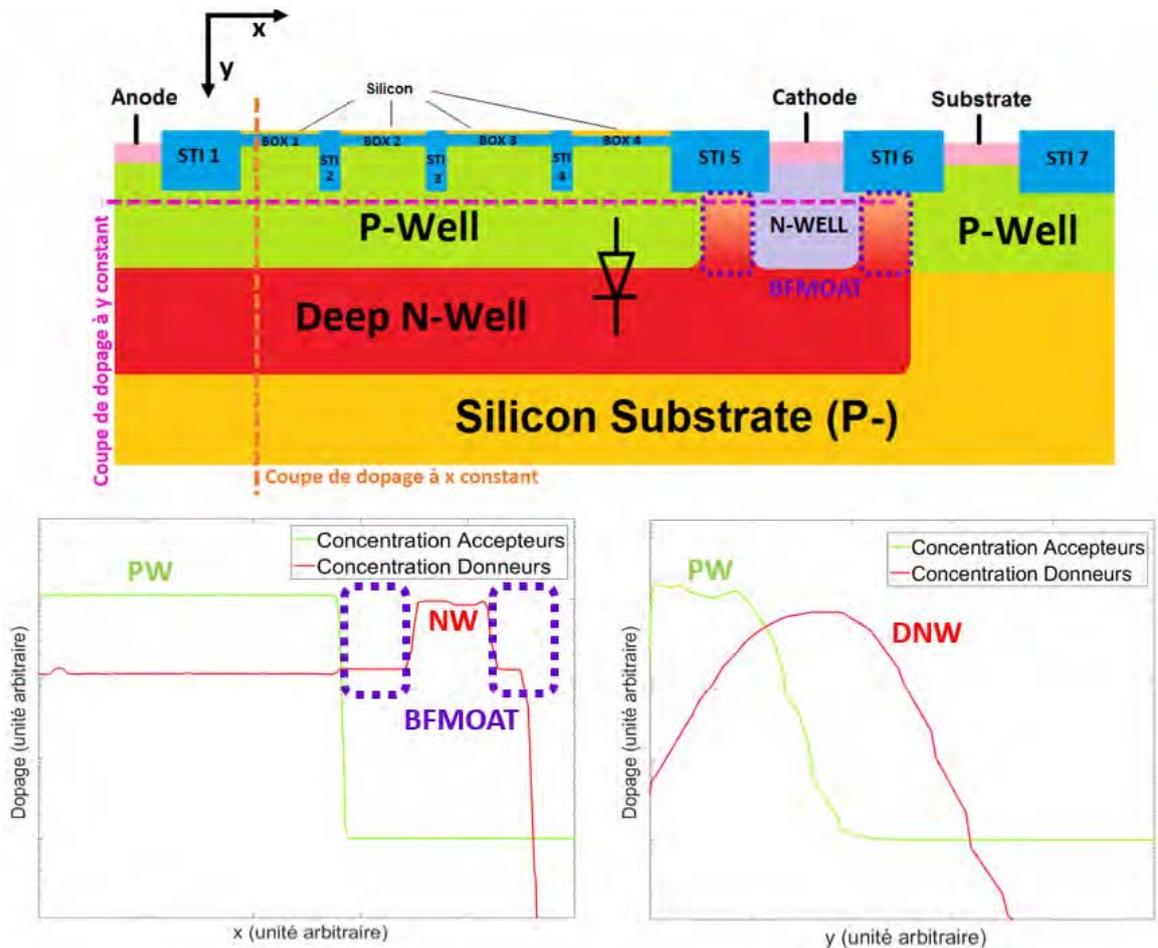


FIGURE 2.8 – Schéma de la SPAD intégrée en technologie CMOS FD-SOI avec visualisation des courbes de dopage en fonction de X et Y (adaptée de [155])

Le *Body-biasing* permet de concevoir des circuits d'étouffement et de recharge plus performants en termes de rapidité. La détection extrêmement rapide de l'avalanche amène une réduction de l'after-pulsing [156]. Par ailleurs, le *Body-biasing* peut être utilisé pour détecter indirectement les avalanches générées dans la diode [153]. Par exemple, nous plaçons un pont diviseur de tension au-dessus de la SPAD (Figure 2.9a) constitué d'un transistor PMOS et d'un transistor NMOS qui se comportent comme des résistances variables avec la tension du caisson PW (Figure 2.9b, *body-biasing*). Lors d'une avalanche, le potentiel d'anode (caisson PW) croît tandis que les tensions de seuil des deux transistors décroissent, entraînant alors une baisse de tension sur le nœud V_{out} . En conséquence, nous observons sur la Figure 2.9c, des pics d'avalanche vers le haut pour la lecture directe sur l'anode de la SPAD et des pics vers le bas pour la détection indirecte avec ce circuit de sensing.

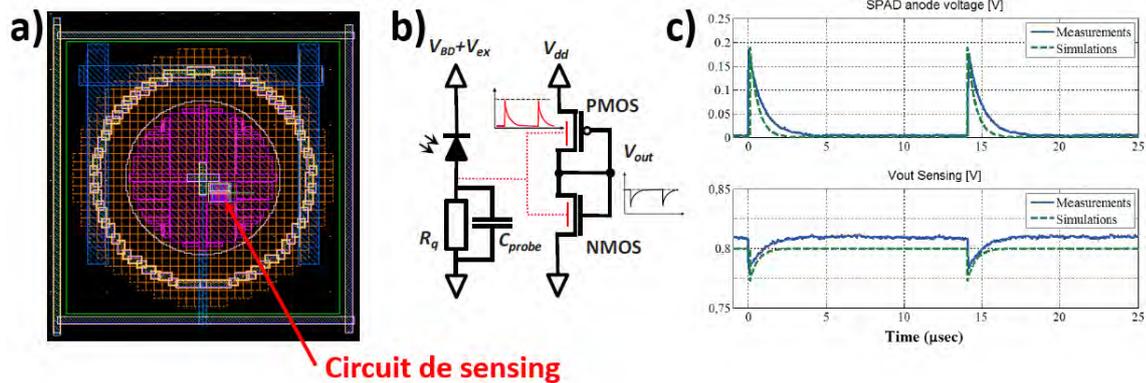


FIGURE 2.9 – Circuit de sensing utilisé sur une SPAD FD-SOI avec en a) dessin physique, en b) schéma électronique, et en c) correspondance des pulses enregistrés sur l'oscilloscope (adapté de [157] et [153])

2.2.2 Historique des travaux SPAD FD-SOI à l'INL

A l'Institut des Nanotechnologies de Lyon (INL), la conception de cellules SPAD dans la technologie CMOS FD-SOI 28 nm est au cœur de nombreux travaux depuis plusieurs années (Figure 2.10). Le projet est porté par le Pr. Calmon depuis 2015 avec la thèse de Matteo Vignetti [81], pendant laquelle l'idée de cette intégration a vu le jour. Ensuite, à partir de 2016, la thèse de Tulio Chaves de Albuquerque [157] a montré la faisabilité de réaliser des cellules SPAD dans cette technologie. Ceci nous amène aux travaux présentés dans ce manuscrit qui ont commencé en novembre 2018 et qui s'organisent autour de trois grands axes : simulations TCAD, conception/design des structures, et caractérisations. Par ailleurs, le travail de thèse de Shaochen Gao débuté en 2020 viendra compléter celui présenté dans ce manuscrit avec un focus sur l'amélioration de l'efficacité de détection.

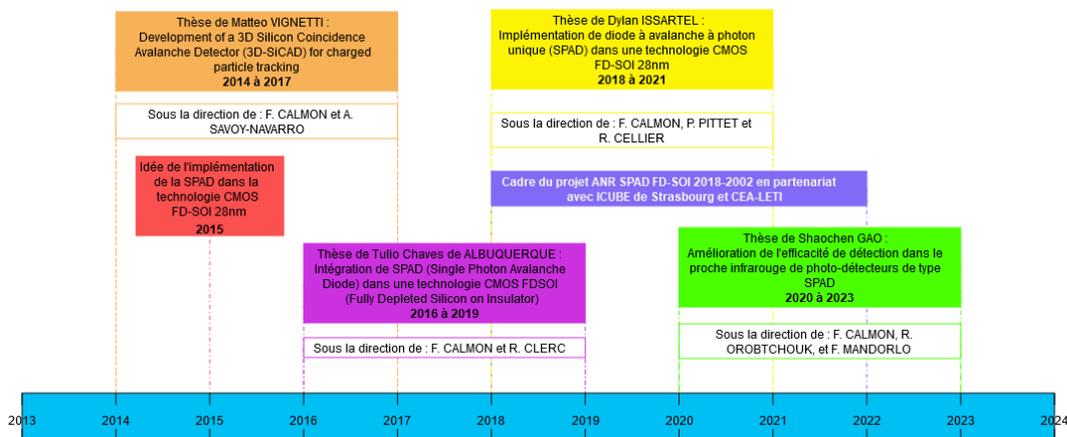


FIGURE 2.10 – Frise chronologique des travaux SPAD FD-SOI réalisés à l'INL

2.2.3 Objectif de la thèse

Dans le cadre de cette thèse, l'objectif est de proposer une architecture SPAD FD-SOI optimale et de démontrer qu'elle présente des performances proches de l'état de l'art. Les travaux menés peuvent être regroupés en trois catégories. La première concerne la mise en place de simulations TCAD à l'aide du logiciel *Synopsys Sentaurus*. L'enjeu est alors de simuler une structure la plus proche possible de celle fabriquée en adaptant les paramètres du code, et ensuite de mettre en place des possibles optimisations de la SPAD afin d'améliorer ses performances électriques. La deuxième catégorie s'oriente autour du dessin physique complet de la SPAD en technologie CMOS FD-SOI à l'aide du logiciel *Cadence Virtuoso*. Il s'agira ici d'adapter la structure de la SPAD par rapport aux éventuelles optimisations obtenues en

simulations TCAD tout en veillant au respect des règles de dessin. Enfin, les circuits intégrés étant fabriqués par *STMicroelectronics*, notre dernier axe de travail sera celui de la caractérisation des SPAD afin de déterminer ses performances en matière de courant d'obscurité, tension de claquage, taux de comptage dans l'obscurité, probabilité de détection des photons, etc. Les analyses des résultats expérimentaux corrélées aux simulations devront permettre de proposer une architecture SPAD FD-SOI aux performances proches de l'état de l'art.

2.3 Simulations avec le logiciel TCAD *Sentaurus Synopsys*

Pour réaliser une analyse approfondie des cellules SPAD conçues en technologie CMOS FD-SOI, des simulations à l'aide du logiciel TCAD *Synopsys Sentaurus* ont été réalisées. Ces simulations sont conçues en deux parties, tout d'abord la création de la structure 2D est assurée soit par l'outil *SDE* [158] permettant de décrire la structure en terme de géométrie, matériaux, niveaux de dopage, etc. soit par *SPROCESS* [159] assurant lui la création d'une structure en respectant les étapes du procédé de fabrication. Puis, l'outil *SDEVICE* [160] permet l'étude du comportement électrique. Enfin, l'analyse des données est assurée par le module *SVISUAL* [161]. Le code de simulation électrique fait intervenir plusieurs sous-sections, afin de définir des modèles d'analyse, les conditions de convergence, le type de simulations, etc. chacune jouant alors un rôle précis. Dans la sous-section "*Physics*", nous sélectionnons l'ensemble des modèles physiques que nous avons choisi d'utiliser. Dans la sous-section "*Maths*", nous introduisons les paramètres mathématiques pour lancer la routine de calculs et permettre l'exécution de la simulation. Enfin, la sous-section "*Solve*" permet de sélectionner le type de simulation électrique et les paramètres associés comme par exemple une rampe de tension statique en polarisation inverse allant de 0 à -10 V avec un pas de 0.01 V.

Une étape importante des simulations électriques concerne le choix et le paramétrage des modèles physiques. Les sous-sections suivantes présentent ceux sélectionnés afin d'étudier le comportement de la SPAD intégrée dans la technologie CMOS FD-SOI 28 nm.

2.3.1 Modèle de transport des charges

Le premier modèle activé est celui que l'on appelle le modèle classique de transport des charges selon l'approche dérive-diffusion des électrons et des trous [162] et [163]. Les densités de courant sont alors définies selon les équations suivantes (en accord avec le Tableau 2.1) :

$$\vec{J}_n = e \cdot \mu_n \cdot n \cdot \vec{E} + e \cdot D_n \cdot \vec{\nabla}n \quad (2.1)$$

$$\vec{J}_p = e \cdot \mu_p \cdot p \cdot \vec{E} - e \cdot D_p \cdot \vec{\nabla}p \quad (2.2)$$

Symboles	Grandeur associée
e	Charge élémentaire valant (1.6×10^{-19} C)
\vec{E}	Champ électrique (V/m)
\vec{J}_n et \vec{J}_p	Densités de courants respectivement des électrons et des trous (A/m^2)
μ_n et μ_p	Mobilités respectivement des électrons et des trous ($m^2/V s$)
n et p	Densités de concentration respectivement des électrons et des trous (m^{-3})
D_n et D_p	Constantes de diffusion respectivement des électrons et des trous (m^2/s)
$\vec{\nabla}n$ et $\vec{\nabla}p$	Gradients des densités de concentration respectivement des électrons et des trous (m^{-4})

TABLE 2.1 – Liste des paramètres du modèle de transport des charges

Les structures étudiées dans le cadre de cette thèse ne sont pas dégénérées, la relation d'Einstein liant la constante de diffusion à la température et à la mobilité s'applique donc :

$$D = \frac{k_B \cdot T}{e} \cdot \mu \quad (2.3)$$

avec k_B la constante de Boltzmann (1.38×10^{-23} J/K) et T la température. Les densités de courant prennent alors les expressions suivantes :

$$\vec{J}_n = -n \cdot e \cdot \mu_n \cdot \vec{\nabla} \phi_n \quad (2.4)$$

$$\vec{J}_p = -p \cdot e \cdot \mu_p \cdot \vec{\nabla} \phi_p \quad (2.5)$$

ϕ_n et ϕ_p représentent respectivement les potentiels de Fermi des électrons et des trous. Enfin, les variations du champ électrique dans la structure sont modélisées en accord avec la loi de Poisson. Le champ dérive d'un potentiel électrique avec la relation suivante :

$$\text{div}(\vec{E}) = \frac{\rho}{\epsilon_r \cdot \epsilon_0} \quad (2.6)$$

$$\vec{E} = -\vec{\nabla} V \quad (2.7)$$

avec ρ la densité volumique nette de charges prenant en compte les dopants ionisés, les électrons et les trous, ϵ_0 la permittivité diélectrique du vide (8.85×10^{-12} F/m), ϵ_r la permittivité diélectrique relative du matériau, et V le potentiel électrique.

2.3.2 Modèles de génération-recombinaison des porteurs

Dans les structures SPAD, la photogénération des porteurs est le mécanisme majeur contribuant à la génération dans la ZCE ou à sa périphérie. Cependant, d'autres mécanismes existent sans besoin de lumière pour se manifester. Par conséquent, ils contribuent au déclenchement d'avalanches indésirables, augmentant le bruit dans la structure et donc le DCR. Dans cette catégorie, le mécanisme principal est la génération-recombinaison de porteurs associée à la présence de défauts, dans le gap du silicium, qui sont activés thermiquement (Figure 2.11 a). Ce mécanisme peut être décrit dans *Synopsys Sentaurus* par le modèle de Shockley-Read-Hall (SRH) [164]-[166] qui permet d'estimer le taux de recombinaison net R_{net}^{SRH} dans lequel le taux de génération SRH est retranché. Les principales équations utilisées dans le modèle SRH sont détaillées ci-après et les paramètres sont donnés dans le Tableau 2.2 :

$$R_{net}^{SRH} = \frac{n \cdot p - n_{i,eff}^2}{\tau_p \cdot (n + n_1) + \tau_n \cdot (p + p_1)} \quad (2.8)$$

$$n_1 = n_{i,eff} \cdot \exp\left(\frac{E_{trap}}{k_B \cdot T}\right) \quad (2.9)$$

$$p_1 = n_{i,eff} \cdot \exp\left(\frac{-E_{trap}}{k_B \cdot T}\right) \quad (2.10)$$

$$\tau_{n,p} = \tau_{dop} \cdot \frac{f(T)}{1 + g(E)} \quad (2.11)$$

Symboles	Grandeur associée
E_{trap}	Position énergétique du défaut par rapport au milieu du gap (par défaut 0 eV)
$n_{i,eff}$	Densité intrinsèque de porteurs
τ_n et τ_p	Durées de vie respectivement des électrons et des trous (s)
τ_{dop}	Paramètres du calcul de la durée de vie tenant compte de la dépendance vis-à-vis des niveaux de dopage (équation 2.12)
$f(T)$	Paramètres du calcul de la durée de vie tenant compte de la dépendance vis-à-vis de la température (équation 2.13)
$g(E)$	Paramètres du calcul de la durée de vie tenant compte de la dépendance vis-à-vis du champ électrique (équation 2.14)

TABLE 2.2 – Liste des paramètres du modèle de recombinaisons SRH

De plus, les travaux de la thèse de T. Chaves [157] ont permis de paramétrer ce modèle afin de simuler un comportement le plus proche possible de celui d'une SPAD en technologie CMOS FD-SOI. Pour cela, les durées de vie ont été ajustées en fonction du niveau de dopage selon le modèle de Scharfetter ([167] et [168]) en utilisant la relation :

$$\tau_{dop} = \tau_{min} + \frac{\tau_{max} - \tau_{min}}{1 + \left(\frac{N_A + N_D}{N_{ref}}\right)^\gamma} \quad (2.12)$$

avec τ_{min} et τ_{max} des valeurs de durée de vie minimales et maximales des électrons et des trous fixées respectivement par défaut à 0 et 1×10^{-5} s pour les électrons et 0 et 3×10^{-6} s pour les trous, N_A la concentration en accepteurs, N_D la concentration en donneur, N_{ref} la concentration de référence, et γ un coefficient propre au modèle. Nous avons aussi utilisé une dépendance avec la température [169] de la forme :

$$f(T) = \left(\frac{T}{300K}\right)^{-3/2} \quad (2.13)$$

Par ailleurs, la dépendance du taux de génération avec le champ électrique est décrite aussi en simulation avec le modèle de Hurkx [170]. Ce dernier tient compte d'une combinaison entre le courant par effet tunnel (associé au mécanisme de bandes à bandes, B2B) et les recombinaisons SRH, c'est-à-dire l'effet de piégeage par les défauts (*Trap Assisted Tunneling*, TAT) :

$$g(E) = \int_0^{\tilde{E}_n} \exp\left(u - \frac{2}{3} \cdot \frac{\sqrt{u^3}}{\tilde{E}}\right) \cdot du \quad (2.14)$$

$$\tilde{E} = \frac{e \cdot h}{2\pi \cdot \sqrt{8 \cdot m_0 \cdot m_t \cdot k_B^3 \cdot T^3}} \cdot E \quad (2.15)$$

avec \tilde{E} une valeur fixe du champ électrique calculée en fonction du gap du matériau et du niveau énergétique des pièges, h la constante de Planck (6.62×10^{-34} J s), m_0 la masse des électrons libres (9.11×10^{-31} kg), et m_t la masse effective pour le transport par effet tunnel.

Enfin, concernant la prise en compte des générations/recombinaisons par effet tunnel bande à bande, B2B (Figure 2.11 b), trois modèles sont disponibles dans *Synopsys*, les modèles de Hurkx [171] et [170], Schenck [172], et Liou [173]. À noter que l'effet tunnel B2B n'est significatif qu'en présence d'un champ électrique élevé et que par défaut le modèle de Schenck est activé dans *SDEVICE*. Cependant, les travaux antérieurs [157] ont mis en évidence que le choix du modèle n'a pas d'impact majeur sur le comportement de la SPAD FD-SOI, et le modèle de Liou avec un taux de génération bande à bande exprimé sous la forme suivante a été choisi :

$$G^{B2B} = A \cdot E^P \cdot \exp\left(\frac{-B}{E}\right) \quad (2.16)$$

A , B et p sont des paramètres propres au modèle de Liou qui sont adaptés en fonction de la simulation. En effet, plus le champ électrique dans la structure est élevé plus le taux de génération B2B le sera aussi. Pour cela, trois sous modèles sont accessibles dans *SDEVICE* : E1, E1_5, et E2 pour respectivement un choix de la valeur P de 1, 1.5 ou 2 (Tableau 2.3).

Modèle	Valeur de p (S.U)	Valeur de A ($cm^{-2}.s^{-1}.V^{-1}$)	Valeur de B ($V.cm^{-1}$)
E1	1	$1.1 \cdot 10^{27}$	$21.3 \cdot 10^6$
E1_5	1.5	$1.9 \cdot 10^{24}$	$21.9 \cdot 10^6$
E2	2	$3.4 \cdot 10^{21}$	$22.6 \cdot 10^6$

TABLE 2.3 – Liste des coefficients du modèle de Liou [160]

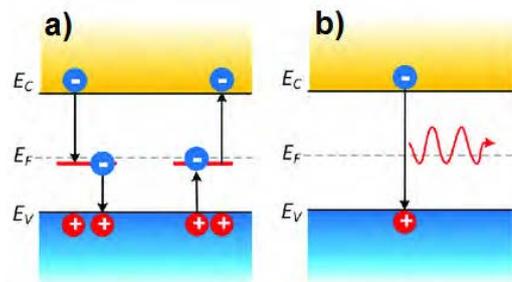


FIGURE 2.11 – Schéma des modèles de recombinaison/génération dans la ZCE en a) SRH et en b) B2B (adapté de [174])

2.3.3 Modèles d’avalanche et coefficients d’ionisation

La mise en place du processus d’ionisation par impact est responsable du déclenchement de l’avalanche dans la SPAD. Dans un premier temps, considérons une paire électron/trou générée thermiquement ou photogénérée (Figure 2.12 en ①). Grâce au champ électrique élevé, l’électron est accéléré ②. Il possède alors suffisamment d’énergie cinétique pour créer une nouvelle paire électron/trous ③ par impact. Ce processus se répète conduisant ainsi à un phénomène d’avalanche [163].

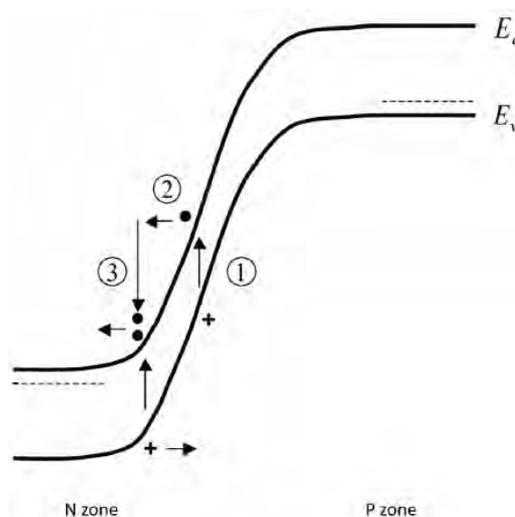


FIGURE 2.12 – Diagramme de bandes d’une jonction PN avec le détail du processus d’ionisation par impact (adapté de [163])

On peut définir un taux de génération d’ionisations par impact, que l’on notera G_{ionis} , et qui s’exprime selon l’équation suivante [162] (Tableau 2.4) :

$$G_{ionis} = \alpha_n \cdot v_n \cdot n + \alpha_p \cdot v_p \cdot p \quad (2.17)$$

Symboles	Grandeur associée
α_n et α_p	Coefficients d'ionisation respectivement des électrons et des trous
v_n et v_p	Vitesses respectivement des électrons et des trous

TABLE 2.4 – Liste des paramètres des modèles d'ionisation

Les coefficients d'ionisation des électrons (α_e) et des trous (α_h) sont des paramètres clés pour la description de l'ionisation par impact. Ils représentent le nombre de paires électron/trou générées par unité de longueur traversée par l'électron (ou le trou) accéléré par le champ électrique. Ils s'expriment en cm^{-1} et ont un impact direct sur les valeurs de probabilité d'avalanche, de la tension de claquage, du courant d'obscurité... Dans *Synopsys*, plusieurs modèles sont disponibles pour décrire ces coefficients d'ionisations. Ils dépendent tous de celui de Chynoweth établi en 1958 [175] qui s'écrit sous la forme :

$$\alpha(E) = a \cdot \exp\left(\frac{-b}{E}\right) \quad (2.18)$$

avec a et b des constantes propres au modèle choisi. Au total, quatre modèles d'avalanche sont disponibles dans *Synopsys* pour notre structure SPAD FD-SOI. Le premier est celui de Van Overstraeten de Man [176] qui représente une extension directe de celui de Chynoweth avec la prise en compte d'un facteur γ représentant l'énergie optique des phonons qui varie avec la température. Ce modèle est applicable pour des valeurs de champ électrique comprises entre 1.75×10^5 V/cm et 7×10^5 V/cm (Tableau 2.5).

$$\alpha(E) = \gamma \cdot a \cdot \exp\left(\frac{-\gamma \cdot b}{E}\right) \quad (2.19)$$

$$\gamma = \frac{\tanh\left(\frac{\hbar \cdot \omega_{op}}{2 \cdot k \cdot T_0}\right)}{\tanh\left(\frac{\hbar \cdot \omega_{op}}{2 \cdot k \cdot T}\right)}$$

avec $T_0 = 300$ K

Symboles	Grandeur associée	Valeur pour les électrons	Valeur pour les trous
a	Coefficient du modèle de Van Overstraeten	7.03×10^5 cm ⁻¹	6.71×10^5 cm ⁻¹
b	Coefficient du modèle de Van Overstraeten	1.231×10^6 V/cm	1.693×10^6 V/cm
$\hbar \cdot \omega_{op}$	Dépendance en température des phonons	0.063 eV	0.063 eV

TABLE 2.5 – Liste des paramètres du modèle de Van Overstraeten [160]

Le second modèle utilisable est celui d'Okuto-Crowell [177] qui illustre une plus grande sensibilité à la température. Il tient compte de quatre coefficients qui lui sont propres : a , b , c et d . De plus, ce modèle est recommandé pour des champs électriques variant de 1×10^5 V/cm à 1×10^6 V/cm (Tableau 2.6).

$$\alpha(E) = a \cdot (1 + c \cdot (T - T_0)) \cdot E^\gamma \cdot \exp\left(-\left(\frac{b \cdot (1 + d \cdot (T - T_0))}{E}\right)^\delta\right) \quad (2.20)$$

Symboles	Grandeur associée	Valeur pour les électrons	Valeur pour les trous
a	Coefficient du modèle d'Okuto	0.426 V ⁻¹	0.243 V ⁻¹
b	Coefficient du modèle d'Okuto	4.81 × 10 ⁵ V/cm	6.53 × 10 ⁵ V/cm
c	Coefficient du modèle d'Okuto	3.05 × 10 ⁻⁴ K ⁻¹	5.35 × 10 ⁻⁴ K ⁻¹
d	Coefficient du modèle d'Okuto	6.86 × 10 ⁻⁴ K ⁻¹	5.67 × 10 ⁻⁴ K ⁻¹
γ	Coefficient d'énergie optique des phonons	1 SU	1 SU
δ	Coefficient du modèle d'Okuto	2 SU	2 SU

TABLE 2.6 – Liste des paramètres du modèle d'Okuto-Crowell [160]

Le troisième modèle est celui de Lackner [178] qui correspond à une extension du modèle de Van Overstraten pour les pseudos ionisations locales. Il s'applique aux champs électriques compris entre 1 × 10⁵ V/cm et 1 × 10⁶ V/cm (Tableau 2.7).

$$\alpha(E) = \frac{\gamma \cdot a}{Z} \cdot \exp\left(-\frac{\gamma \cdot b}{E}\right) \quad (2.21)$$

$$Z = 1 + \frac{\gamma \cdot b_n}{E} \cdot \exp\left(-\frac{\gamma \cdot b_n}{E}\right) + \frac{\gamma \cdot b_p}{E} \cdot \exp\left(-\frac{\gamma \cdot b_p}{E}\right)$$

Symboles	Grandeur associée	Valeur pour les électrons	Valeur pour les trous
a	Coefficient du modèle de Lackner	1.316 × 10 ⁶ cm ⁻¹	1.818 × 10 ⁵ cm ⁻¹
b	Coefficient du modèle de Lackner	1.474 × 10 ⁶ V/cm	2.036 × 10 ⁶ V/cm
ħ · ω _{op}	Dépendance en température des phonons	0.063 eV	0.063 eV

TABLE 2.7 – Liste des paramètres du modèle de Lackner [160]

Le dernier modèle est celui développé par des chercheurs de l'Université de Bologne [179] et [180] qui se nomme UniBo. Ce modèle permet de calibrer l'impact par ionisation pour des champs électriques plus faibles allant de 5 × 10⁴ V/cm et 6 × 10⁵ V/cm avec une prise en compte de la température valable de 25 °C à 400 °C (Tableau 2.8).

$$\alpha(E) = \frac{E}{a(T) + b(T) \cdot \exp\left(\frac{d(T)}{E+c(T)}\right)} \quad (2.22)$$

$$a(T) = \begin{cases} \text{Pour les électrons} & a_0 + a_1 \cdot T^{a_2} \\ \text{Pour les trous} & a_0 + a_1 \cdot T \end{cases}$$

$$b(T) = \begin{cases} \text{Pour les électrons} & b_0 \\ \text{Pour les trous} & b_0 \cdot \exp(b_1 \cdot T) \end{cases}$$

$$c(T) = \begin{cases} \text{Pour les électrons} & c_0 + c_1 \cdot T + c_2 \cdot T^2 \\ \text{Pour les trous} & c_0 \cdot T^{c_1} \end{cases}$$

$$d(T) = d_0 + d_1 \cdot T + d_2 \cdot T^2$$

Symboles	Grandeur associée	Valeur pour les électrons	Valeur pour les trous
a_0	Coefficient du modèle d'UniBo	4.338 3 V	2.376 V
a_1	Coefficient du modèle d'UniBo	-2.42×10^{-12} V	1.033×10^{-2} V
a_2	Coefficient du modèle d'UniBo	4.123 3 SU	0 SU
b_0	Coefficient du modèle d'UniBo	0.235 V	0.177 14 V
b_1	Coefficient du modèle d'UniBo	0 SU	-2.178×10^{-3} SU
c_0	Coefficient du modèle d'UniBo	$1.683 1 \times 10^4$ V/cm	9.47×10^{-3} V/cm
c_1	Coefficient du modèle d'UniBo	4.379 6 V/cm	2.492 4 SU
c_2	Coefficient du modèle d'UniBo	0.130 05 V/cm	0 SU
d_0	Coefficient du modèle d'UniBo	$1.233 7 \times 10^6$ V/cm	$1.404 3 \times 10^6$ V/cm
d_1	Coefficient du modèle d'UniBo	$1.203 9 \times 10^3$ V/cm	$2.974 4 \times 10^3$ V/cm
d_2	Coefficient du modèle d'UniBo	0.567 03 V/cm	1.482 9 V/cm

TABLE 2.8 – Liste des paramètres du modèle de UniBo [160]

Plus récemment, le même groupe de recherche a étendu ce modèle sous le nom de UniBo2 afin qu'il puisse estimer la valeur des coefficients d'ionisation jusqu'à une température de 500 °C [181], [182] et [183].

Une étude en simulations présentée dans le Chapitre 3 a permis de choisir le modèle le mieux adapté à la description du comportement d'une structure SPAD FD-SOI.

2.3.4 Modélisation de la probabilité d'avalanche

Même si toutes les conditions pour provoquer une avalanche sont réunies, cette dernière ne se déclenchera pas automatiquement pour autant. Il est indispensable d'exprimer la probabilité de déclenchement d'une avalanche (*ATP, Avalanche Triggering Probability*) qui permettra alors d'estimer la PDP ou encore le DCR de la structure SPAD FD-SOI. Le modèle utilisé en simulations pour décrire l'ATP est celui de McIntyre de 1973 [32]. L'ATP notée dans les équations $P_p(x)$ dépend de $P_e(x)$ et $P_h(x)$, respectivement la probabilité qu'un électron ou un trou déclenche l'avalanche :

$$P_p(x) = P_e(x) + P_h(x) - P_e(x) \cdot P_h(x) \quad (2.23)$$

Cette équation peut aussi s'écrire sous la forme :

$$P_p(x) = 1 - (1 - P_h(x)) \cdot (1 - P_e(x))$$

$$\frac{dP_p}{dx} = (1 - P_e) \cdot \frac{dP_h}{dx} + (1 - P_h) \cdot \frac{dP_e}{dx}$$

Par ailleurs, en 1972 les travaux d'Oldham sur les probabilités P_e et P_h [33] avaient permis d'établir les équations ci-dessous :

$$\frac{dP_e}{dx} = (1 - P_e) \cdot \alpha_e \cdot P_p \quad (2.24)$$

$$\frac{dP_h}{dx} = (1 - P_h) \cdot \alpha_h \cdot P_p \quad (2.25)$$

On constate donc que le modèle choisi pour exprimer les coefficients d'ionisation va aussi venir impacter le calcul de l'ATP. En réinjectant ces équations dans celle de McIntyre, on obtient alors :

$$\frac{dP_p}{dx} = (\alpha_e - \alpha_h) \cdot P_p \cdot (1 - P_p) \quad (2.26)$$

Pour une jonction NP, en considérant une largeur de ZCE valant W et en respectant les conditions aux limites (CL) ci-dessous, l'expression finale de l'équation de McIntyre prend la forme suivante :

$$\begin{aligned}
 CL \begin{cases} P_e(0) = 0 & P_h(W) = 0 \\ P_p(0) = P_h(0) & P_p(W) = P_e(W) \end{cases} \\
 P_p(x) = \frac{P_h(0) \cdot f(x)}{P_h(0) \cdot f(x) + 1 - P_h(0)} = ATP(x) \\
 f(x) = \exp\left(\int_0^x (\alpha_e - \alpha_h) \cdot dx\right)
 \end{aligned} \tag{2.27}$$

L'utilisation de ce modèle déjà implémenté dans *Synopsys SDEVICE* permettra de réaliser des cartographies en 2D de la probabilité d'avalanche, et ainsi d'identifier les zones où ces avalanches sont les plus probables.

2.3.5 Différentes méthodes de simulation TCAD mises en place

Au niveau de l'étude en simulations menée dans le cadre de cette thèse, le code *SDEVICE* met en place deux voies d'analyse afin d'accéder à plusieurs paramètres caractéristiques de la SPAD FD-SOI.

Méthode dite "RESISTOR" :

Cette simulation associe en série la structure 2D en symétrie cylindrique de la SPAD à une résistance afin d'éviter les problèmes de convergence et de déterminer la caractéristique $I(V)$ y compris lors de l'avalanche. Par ailleurs, dans ce contexte il est possible d'activer ou non le modèle d'avalanche. Dans le premier cas, que l'on appelle *Resistor ON* (c'est-à-dire avalanche activée), la courbe $I(V)$ obtenue correspond à la caractéristique complète de la SPAD sur laquelle il est possible d'identifier le courant d'obscurité avant déclenchement de l'avalanche ainsi que la tension de claquage (Figure 2.13). Dans l'autre cas, que l'on appelle *Resistor OFF* (c'est-à-dire avalanche non-activée), celle-ci nous permet de simuler l'état de la structure à une tension de polarisation donnée juste avant que la génération d'une paire électron/trou ne déclenche l'avalanche. Ces simulations sont particulièrement utiles pour faire des cartographies du champ électrique, des taux de génération/recombinaison, des densités de courant... Au niveau de la courbe $I(V)$, l'avalanche ne se produisant pas, nous visualisons uniquement une augmentation progressive du courant avec la tension lié à l'effet Zéner, c'est-à-dire au courant bande à bande (Figure 2.13).

Par ailleurs, en mode *Resistor ON*, il est possible de faire varier la température pour étudier le mécanisme de claquage prédominant. En effet, la tension de claquage par avalanche augmente avec la température alors que dans le cas de l'effet tunnel (claquage Zéner), elle a plutôt tendance à diminuer [162] [163] [184].

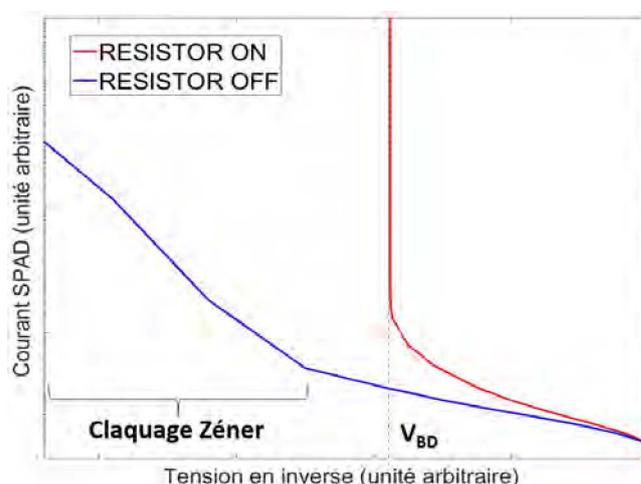


FIGURE 2.13 – Courbes $I(V)$ obtenues avec une simulation Resistor

Méthode dite "ABA", Avalanche Breakdown Analysis :

Cette simulation utilise le calcul des intégrales d'ionisation que l'on note ϕ_e et ϕ_h et qui dépendent des coefficients d'ionisations, sans calcul de courant, pour extraire la tension de claquage. Dans ce cadre, le modèle d'avalanche est toujours activé. L'équation 2.17 de la génération par ionisation par impact G_{ionis} en négligeant la diffusion s'exprime alors en fonction des densités de courant des électrons J_n et J_p sous la forme suivante [162] :

$$G_{ionis} = \alpha_n \cdot \frac{J_n}{q} + \alpha_p \cdot \frac{J_p}{q} \quad (2.28)$$

La densité du courant étant constante :

$$J = J_n(x) + J_p(x) \quad (2.29)$$

Dans le cadre de la SPAD (c'est-à-dire d'une jonction PN), à la limite de la ZCE du côté N (en $x = W$), la densité de courant de trous est à son maximum tandis que celle des électrons est nulle. On a donc $J = J_p(W)$. Il est alors possible d'introduire un paramètre M_p qui représente le facteur de multiplication de l'avalanche et d'écrire $J_p(x)$ sous la forme :

$$J_p(x) = M_p \cdot J_p(0) = J \quad (2.30)$$

Or la variation du courant de trous au travers de la ZCE vaut :

$$dJ_p = J_p \cdot \alpha_p \cdot dx + J_n \cdot \alpha_n \cdot dx \quad (2.31)$$

Ce qui s'écrit aussi sous la forme :

$$\frac{dJ_p}{dx} - J_p \cdot (\alpha_p - \alpha_n) = J \cdot \alpha_n \quad (2.32)$$

La solution de cette équation différentielle du premier ordre en tenant compte des conditions aux limites donne :

$$1 - \frac{1}{M_p} = \int_0^W \alpha_p \cdot \exp\left(-\int_0^x (\alpha_p - \alpha_n) \cdot dx\right) \cdot dx = \phi_p \quad (2.33)$$

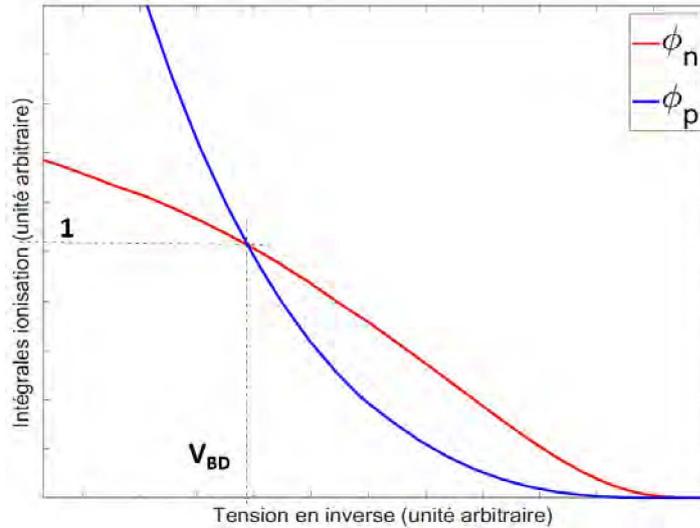
La mise en place de l'avalanche induit que le gain (facteur M_p) tend vers l'infini, par conséquent l'intégrale d'ionisation tend vers 1 :

$$\phi_p = 1 = \int_0^W \alpha_p \cdot \exp\left(-\int_0^x (\alpha_p - \alpha_n) \cdot dx\right) \cdot dx \quad (2.34)$$

Une étude similaire peut être menée avec les électrons du côté P pour obtenir :

$$\phi_n = 1 = \int_0^W \alpha_n \cdot \exp\left(-\int_0^x (\alpha_n - \alpha_p) \cdot dx\right) \cdot dx \quad (2.35)$$

Le tracé de ϕ_p et ϕ_n en fonction de la tension de polarisation inverse donnent deux courbes avec une intersection dont l'abscisse correspond à la tension de claquage de la structure (Figure 2.14). La détermination de la tension de claquage par cette méthode a tendance à être surestimée par rapport aux résultats des simulations *Resistor ON*, ceci semble provenir de légère variante dans la description de la sous-section *Physics* et des modèles électriques.


 FIGURE 2.14 – Courbes $\phi(V)$ obtenues avec une simulation ABA

Enfin, dans ce mode de simulation, le modèle de McIntyre est activé afin d’extraire l’ATP de la SPAD FD-SOI et de pouvoir étudier ses variations en fonction de la tension d’excès ou encore de la température.

2.4 Dessin physique de la structure SPAD FD-SOI

Dans le cadre de cette thèse, le dessin physique des cellules SPAD FD-SOI (c’est-à-dire le *layout*) est à notre charge. Il est réalisé avec l’outil *Cadence Virtuoso* dans lequel nous définissons l’ensemble des couches nécessaires à la mise en place de la structure. Le Tableau 2.9 récapitule l’utilisation faite de certaines couches de la technologie CMOS FD-SOI 28 nm dans le dessin physique de la cellule SPAD.

Nom	Utilisation
T3	Caisson DNW
NW	Caisson NW (prise de contact cathode)
BFMOAT	Anneau de garde entre PW et NW (supprime le PW présent partout par défaut)
RX fillopc	Zone active BOX + film Silicium au dessus du PW
IB	Couche métallique supérieure (niveau 8)

TABLE 2.9 – Liste de quelques couches utilisées sur Cadence Virtuoso

Le dessin d’une cellule peut être schématiquement résumé en cinq étapes :

- dessin du caisson DNW par l’utilisation du *layer T3* (Figure 2.15 a) ;
- dessin du caisson PW situé en dessous de la structure BOX et film de silicium (mise en place de la structure FD-SOI) par l’utilisation du *layer RX fillopc* (Figure 2.15 b) ;
- dessin d’un anneau de NW pour le contact cathode à l’aide du *layer NW* (Figure 2.15 c) ;
- dessin de l’anneau de garde entre NW et PW par l’utilisation du *layer BFMOAT* (Figure 2.15 d) ;
- dessin des couches métalliques pour venir prendre les contacts cathode et anode par exemple utilisation de la couche *IB*, (Figure 2.15 e).

Il est à noter que les blocs STI n’ont pas besoin d’un *layer* particulier pour être incorporés dans la structure. En effet, par défaut le STI est présent partout et le seul moyen de le supprimer est d’utiliser un *layer* de type *RX* (comme *RX fillopc*). Ce dernier est automatiquement placé sur l’ensemble des contacts et dans la zone active. Par conséquent, l’anneau de garde ainsi que la zone DNW après la fin du NW sont recouverts de STI.

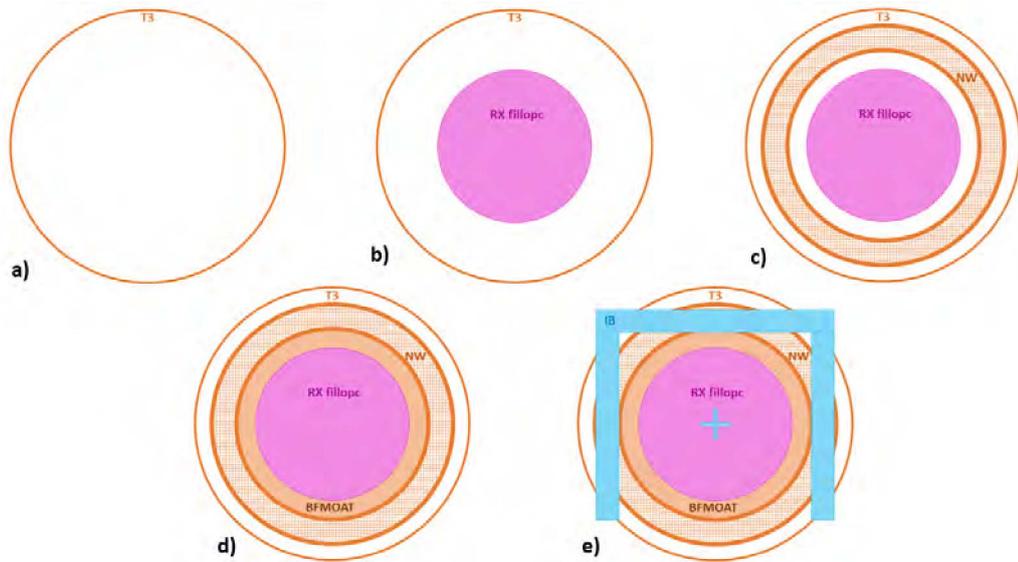
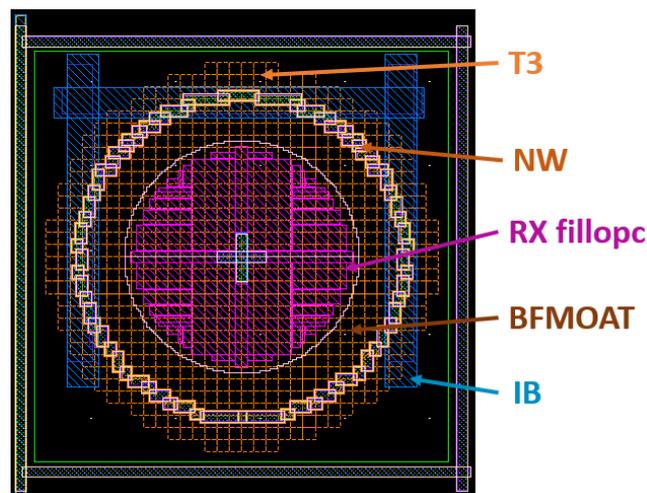


FIGURE 2.15 – Schéma simplifié du design d'une cellule SPAD FD-SOI sur Cadence

Nous venons de décrire le principe utilisé pour dessiner la SPAD mais dans la pratique, il faut tenir compte de nombreuses règles de dessin imposées par le fondeur dont certaines ont un impact important sur la structure finalement réalisée. Les sections qui suivent présentent certaines d'entre elles.

2.4.1 Géométrie générale des cellules

La première contrainte dans le dessin physique concerne la géométrie. En effet, pour dessiner la zone active de la SPAD FD-SOI, c'est-à-dire le caisson PW situé en dessous de l'empilement BOX et film de silicium (couche *RX fillopc* sur Figure 2.15), nous devons obligatoirement passer par une combinaison de formes rectangulaires. Nous ne pouvons donc pas dessiner une structure parfaitement circulaire, nous sommes obligés de juxtaposer plusieurs rectangles pour faire une approximation dite "en marches d'escalier". Par conséquent, quand nous évoquerons la forme circulaire, il s'agira en réalité d'une forme pseudo-circulaire (Figure 2.16).


 FIGURE 2.16 – Vue top d'une structure pseudo-circulaire de diamètre $25\mu\text{m}$

Il est important de noter qu'il existe un rapport de taille entre cellules dessinée et fabriquée. En effet, lors du procédé de fabrication, la prise en compte du *shrink optique* entraîne une diminution

d'un facteur proche 28/32. Ainsi pour concevoir des cellules pseudo-circulaires de $25\mu\text{m}$ comme celle de la Figure 2.16, nous devons en dessiner une d'environ $28\mu\text{m}$.

2.4.2 Définition de la couche FD-SOI

Toujours au niveau de la zone active, nous devons appliquer deux autres règles. Tout d'abord, la juxtaposition des formes rectangulaires de *RX fillopc* ne peut pas se faire bord à bord, mais une distance minimale doit être respectée entre chaque rectangle. Ces espaces entre blocs n'étant pas couverts d'une couche *RX*, nous retrouvons de ce fait des tranchées STI (Figure 2.17a) au-dessus de la zone active de 70 nm (justification de la présence des blocs STI 2, 3 et 4 sur la Figure 2.8).

De plus, la superposition des couches *BFMOAT* et *RX fillopc* est interdite. Une distance minimale de 350 nm doit être appliquée, ce qui est bien supérieure à la distance entre deux rectangles *RX fillopc*. Nous sommes alors contraints de terminer la zone active à distance de l'anneau de garde. Une fois de plus, cette zone "vide" n'étant pas recouverte du layer *RX*, du STI est présent dans cette zone. Comme illustré sur la Figure 2.17b, il existe une tranchée STI au dessus de l'interface PW/DNW (justification du débordement du STI 5 sur la Figure 2.8).

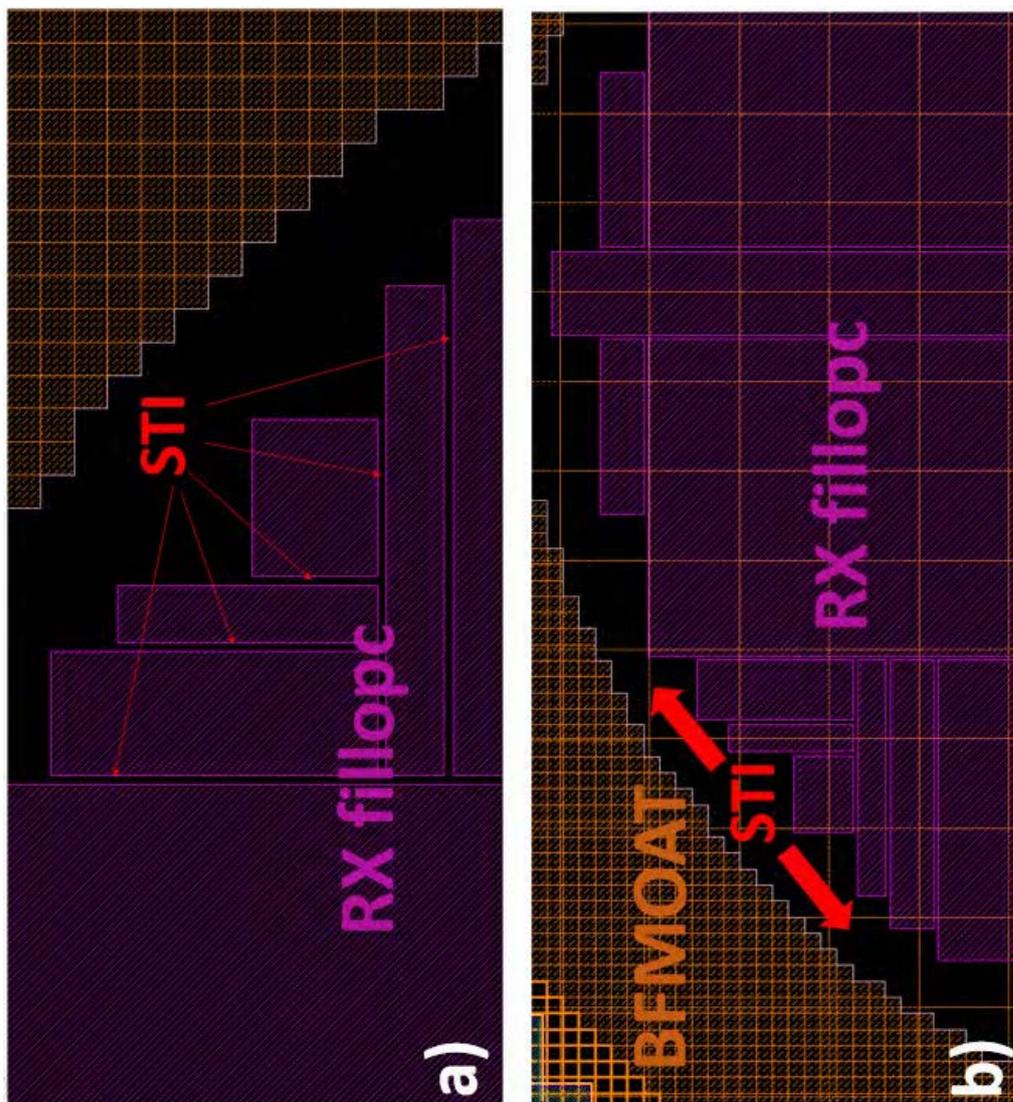


FIGURE 2.17 – Vue *layout* en a) des tranchées STI présentes entre les rectangles de *RX fillopc* et b) du STI présent entre les couches *RX fillopc* et *BFMOAT*

2.4.3 Distance de garde

Pour obtenir un isolement électrique convenable des deux caissons fortement dopés : PW et NW, nous créons un anneau de garde représenté sur le dessin physique par la couche *BFMOAT* qui supprime le caisson PW présent par défaut. Il s'agit en réalité d'une zone du substrat de silicium faiblement dopée N par l'implantation DNW proche de la surface, on parle aussi de "DNW rétrograde" (zone en couleur dégradée sur la Figure 2.18). Dans le cadre des travaux antérieurs [157], deux valeurs pour la distance de garde ont été testées. Par la suite, la caractérisation électrique avait mis en évidence un comportement similaire des structures pour ces deux distances. De ce fait, la valeur minimale a été utilisée puisqu'elle permet d'obtenir un meilleur facteur de remplissage. La Figure 2.18 associe une vue en coupe schématique à une vue physique afin d'illustrer les différentes règles évoquées précédemment.

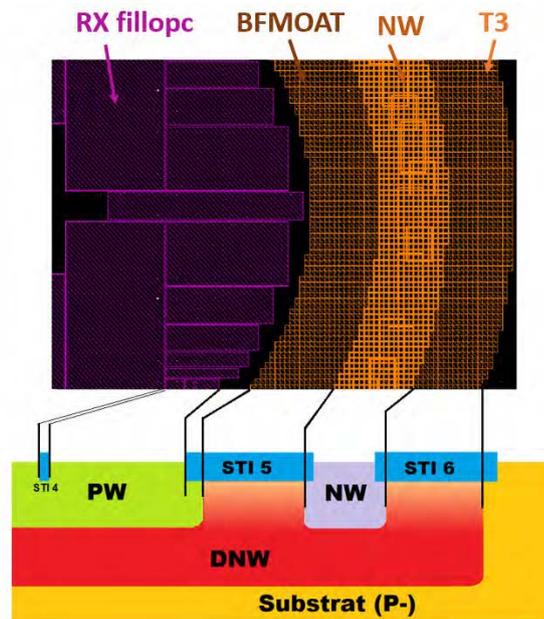


FIGURE 2.18 – Correspondance vue physique / coupe de la structure SPAD FD-SOI [155]

2.4.4 Couches métalliques

Une autre règle de conception importante concerne les couches métalliques. En effet, pour permettre les interconnexions et la récupération des signaux, la technologie CMOS FD-SOI 28 nm contient huit niveaux métalliques (dans l'option technologique accessible au prototypage "multi-projects"). La Figure 2.19 reprend l'ensemble des niveaux utilisés pour une structure pseudo-circulaire.

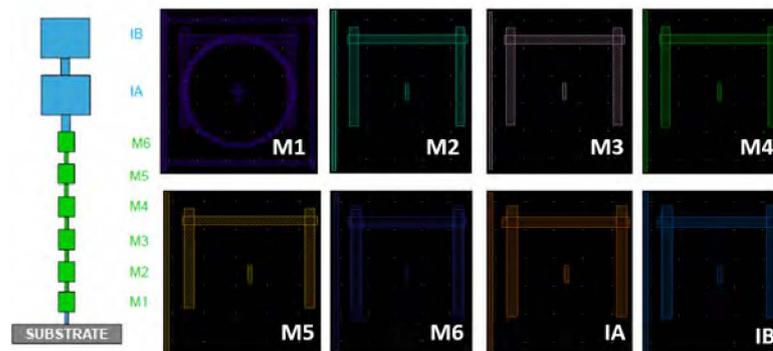


FIGURE 2.19 – Détails des couches métalliques de la technologie CMOS FD-SOI. À gauche, détails de la superposition [185]. À droite, vues physiques de chacun des niveaux sur la structure pseudo-circulaire

2.4.5 Conception des circuits intégrés

Les circuits fabriqués (en multi-projets - MPW) par *STMicroelectronics* dans la technologie CMOS FD-SOI 28 nm mesurent 1 mm^2 et comportent un ensemble de 42 plots de connexion (ou PAD) sur son contour extérieur (*PADRING*). Par conséquent, le dessin physique que nous réalisons sur *Cadence* fait intervenir plusieurs cellules SPAD que nous répartissons en trois catégories. La première d'entre elles concerne des cellules individuelles qui sont directement connectées aux plots. Chacune d'elles dispose d'un plot d'alimentation en haute tension (pouvant être partagé ou non entre cellules) qui constitue le contact cathode, ainsi que d'un plot de sortie qui constitue soit directement l'anode, soit la résistance d'étouffement intégrée (Figure 2.20).

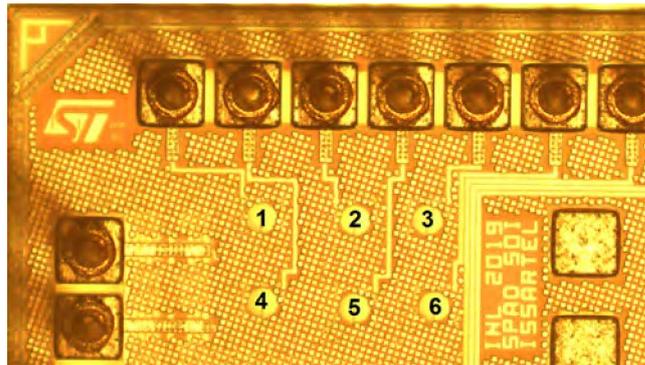


FIGURE 2.20 – Photo au microscope des cellules connectées au PADRING (numérotées de 1 à 6)

La deuxième catégorie est celle des cellules dites "sous pointes". Ces dernières ne sont pas connectées aux plots du *PADRING* et possèdent leurs propres plots afin de venir réaliser des mesures de courant et de tension sous pointes (Figure 2.21). Chaque cellule possède donc trois plots pour chacune des électrodes disponibles : cathode (Haute Tension, HT), anode et contact du substrat. Les plots pour poser les pointes ont une taille d'environ $50 \mu\text{m}$ par $50 \mu\text{m}$.

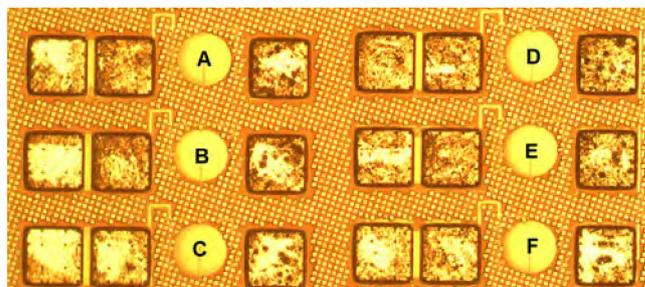


FIGURE 2.21 – Photo au microscope des cellules pour les mesures sous pointes (référéncées de A à F)

La dernière catégorie concerne les structures matricielles de SPAD. Comme pour la première catégorie, les cellules sont connectées à des plots du *PADRING*. Les matrices présentes dans les *test-chips* sont soit des structures de 3×3 (comme sur la Figure 2.22) ou de 4×4 cellules (pour cette dernière catégorie, uniquement à partir du *test-chip* 6, TC6).

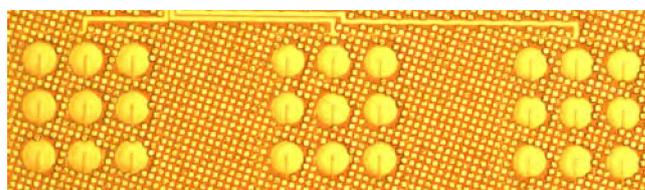


FIGURE 2.22 – Photo au microscope des structures matricielles 3×3 de SPAD

La Figure 2.23, ci-après, est une vue *layout* du circuit intégré conçu (*test-chip 4*) dans le cadre de mes travaux avec l'identification des trois types de cellules, en correspondance avec une photo prise au microscope.

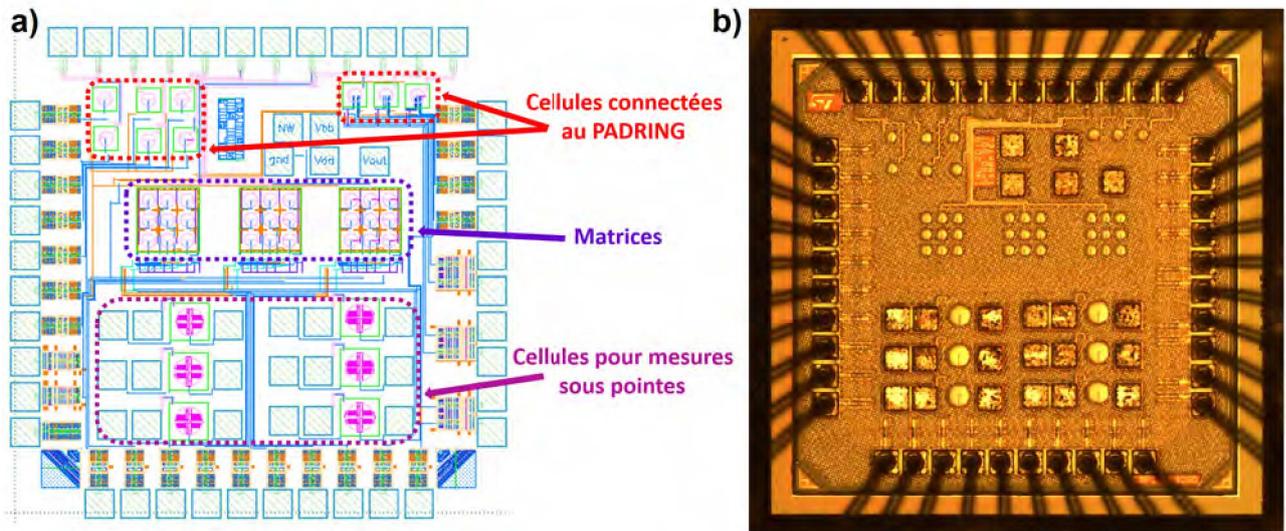


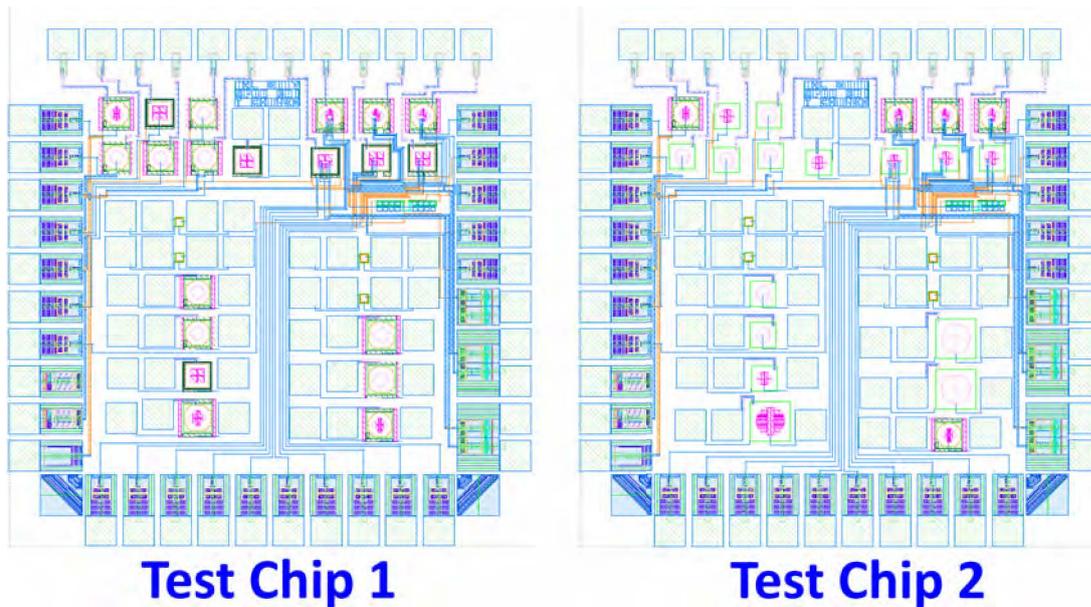
FIGURE 2.23 – En a) vue physique et en b) photo d'un circuit intégré conçu et fabriqué en technologie CMOS FD-SOI 28 nm (ici *test-chip 4*, TC4)

2.4.6 Historique des circuits fabriqués avant le début de cette thèse

Mon projet de thèse s'inscrivant dans la continuité du travail de T. Chaves [157], il existait à mon arrivée deux versions de circuit avec des cellules SPAD en technologie CMOS FD-SOI 28 nm. Fin 2017, la première version (nommée *test-chip 1* ou TC1, Figure 2.24) a permis de démontrer l'intégration et le fonctionnement de la SPAD dans cette technologie et d'étudier différentes géométries de cellules (forme et dimensions de l'anneau de garde). Sur la seconde version de début 2018 (*test-chip 2* ou TC2, Figure 2.24), le développement a été poussé plus loin avec l'utilisation d'une géométrie pseudo-circulaire et la mise en place d'une première amélioration de la structure par la modification des implantations du caisson DNW dont les analyses seront détaillées dans le chapitre 4. Le Tableau 2.10 reprend les caractéristiques principales de ces deux *test-chips* (voir aussi Annexe 2). Des détails plus précis ainsi que des mesures sur ces circuits seront présentés dans le chapitre 3. À noter par ailleurs que ces deux *test-chips* ne violent aucune règle de dessin.

N°	Géométrie des cellules	Structures disponibles	Taille des cellules	Présence de Matrice ?	Violations DRC
1	Carrée et Octogonale	FD-SOI et STI	28 μm	Non	-
2	Pseudo-circulaire et Octogonale	FD-SOI et STI	28 μm et 56 μm	Non	-

TABLE 2.10 – Tableau des caractéristiques principales des *test-chips* 1 et 2

FIGURE 2.24 – Vue *layout* des *test-chips* 1 et 2

2.5 Les différentes techniques de caractérisation

Le dernier domaine de ce travail de thèse concerne la caractérisation des SPAD FD-SOI qui repose sur l'utilisation de plusieurs techniques de mesure et appareillages associés. Mais avant tout, il est important de préciser qu'après fabrication par *STMicroelectronics*, nous recevons deux familles de puces. Les circuits intégrés dits "nus" sans packaging sont dédiés à la mesure directe des cellules. Ces circuits sont alors collés avec de la laque d'argent sur des plaques en aluminium (ou en cuivre), et sont ensuite utilisés pour les mesures sous pointes (Figure 2.25a) sur les structures individuelles prévues à cet effet (Figure 2.21). Nous recevons aussi des circuits intégrés dits "encapsulés" dans un boîtier de type *JLCC44* (avec capot non scellé) dont les broches sont connectées au *PADRING* par wire-bondings comme cela apparaît sur la Figure 2.25b. Le circuit imprimé ainsi encapsulé peut être monté sur une carte de test.

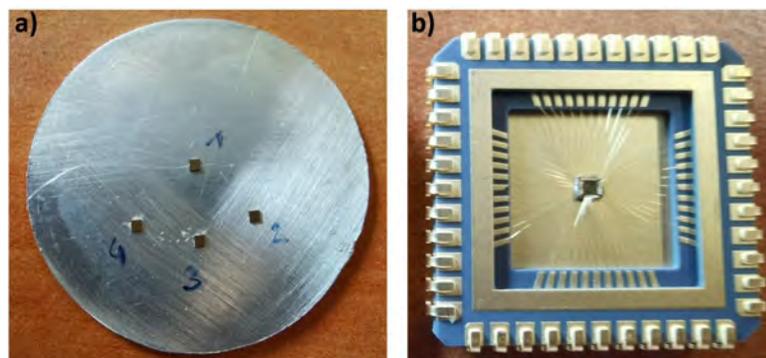


FIGURE 2.25 – a) Photos de circuits intégrés a) nus collés sur une plaque en aluminium, et b) encapsulé

2.5.1 Carte de test

La carte de test (PCB, *Printed Circuit Board*) est fabriquée en quatre couches sur matériau "ROGERS" (RO4003), elle est représentée en Figure 2.26a. Cette carte de test présente plusieurs éléments, tout d'abord des connecteurs de type SMB afin de venir polariser ou récupérer la tension de chacun des plots du *PADRING*. Des circuits *switchs* sont aussi présents pour l'alimentation en haute tension.

En effet pour éviter d'avoir un connecteur d'alimentation pour chacune des cellules, nous avons opté pour un bloc unique relié à un *switch*. La configuration choisie permet alors de polariser la SPAD souhaitée. Enfin, nous pouvons retrouver sur la carte différentes résistances et capacité permettant d'assurer un bon fonctionnement lors des mesures (Figure 2.26b). Cette carte nous permettra par la suite de réaliser la majeure partie de nos caractérisations : DCR, cartographie d'électroluminescence, PDP, *Jitter*...

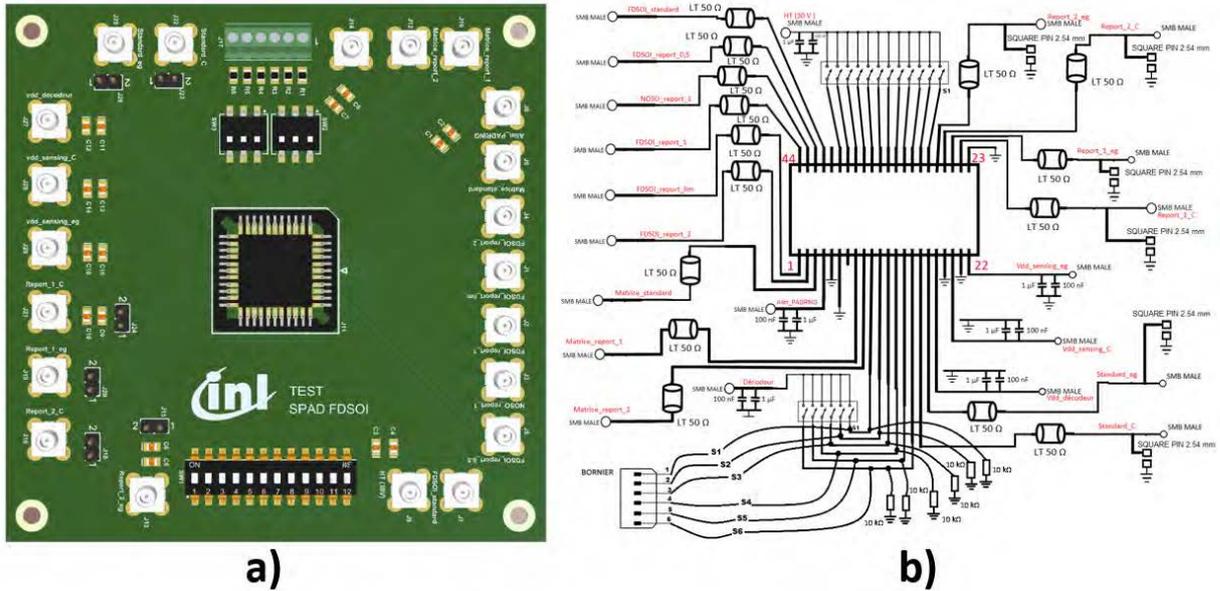


FIGURE 2.26 – Exemple d'une carte de circuit imprimé avec en a) vue top et en b) schéma électronique associé

2.5.2 Mesures des caractéristiques $C(V)$ et $I(V)$ en enceinte cryogénique

Les mesures $I(V)$ et $C(V)$ sont réalisées sous pointes avec les "circuits intégrés nus". Les mesures $I(V)$ permettent d'avoir accès au courant d'obscurité mais aussi de déterminer la tension de claquage de la SPAD FD-SOI. Pour les réaliser, nous travaillons dans une station cryogénique présentant quatre bras pour les pointes (Figure 2.27 avec l'indexation de A à D).

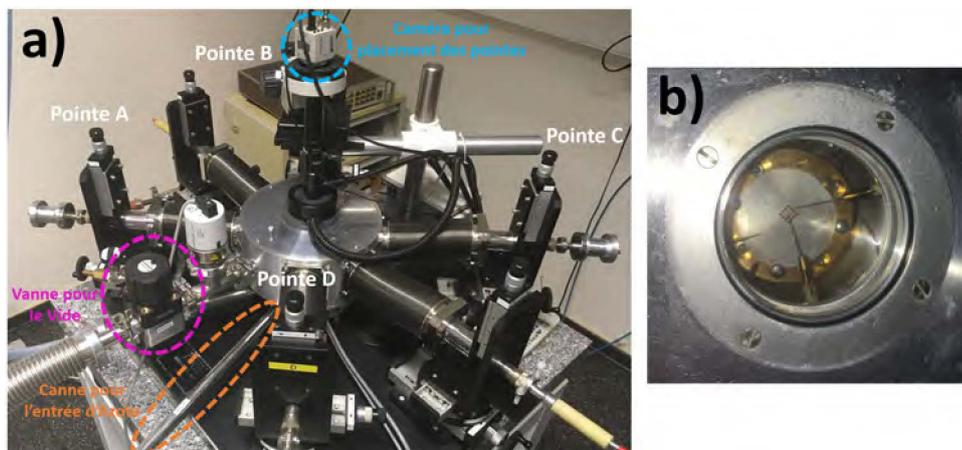


FIGURE 2.27 – Photos en a) de la station sous pointes, en b) de pointes posées sur une puce

L'enceinte doit être mise sous vide afin d'éviter la formation de glace sur les plots de mesure. Un système de thermocouples et de chaufferettes permet également de chauffer la structure pour réaliser des mesures à hautes températures jusqu'à 130 °C, tandis qu'une canne connectée à un tanker d'azote

liquide permet quant à elle de refroidir la structure (Figure 2.28). Dans le cadre de cette thèse, des mesures ont été réalisées pour une gamme de températures comprise entre -50 et 50°C . Enfin, la récupération et le traitement des données sont assurés par la connexion des pointes à un analyseur paramétrique *Keithley 4200A-SCS*. Dans notre *setup* de mesures, le balayage en tension avec des pas variables s'effectue sur l'anode, la limite en courant est fixée à 0.1 mA pour ne pas détériorer les cellules, et le courant minimal mesurable est approximativement de 100 fA .

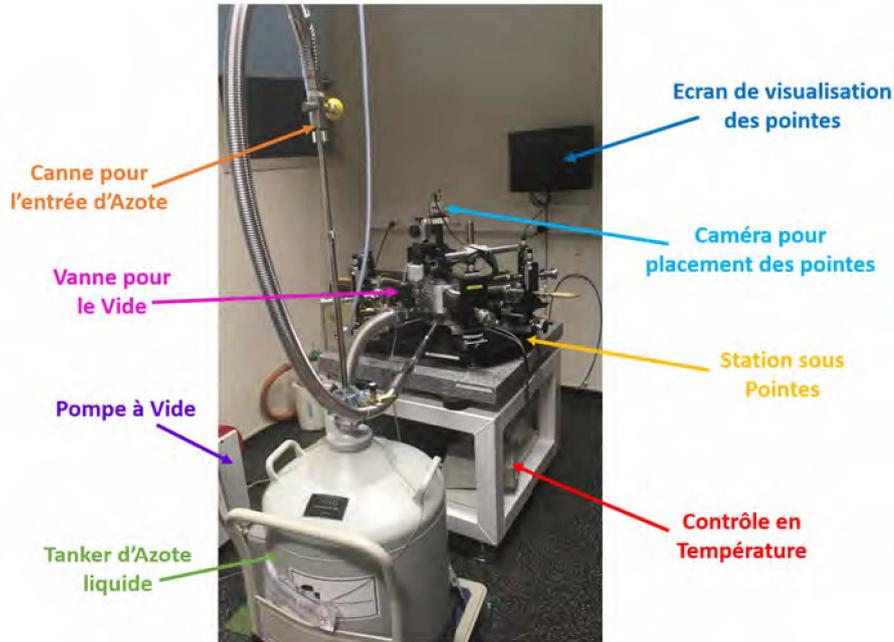


FIGURE 2.28 – Photo du banc de mesure sous pointes

2.5.3 Mesures du taux de comptage dans l'obscurité - DCR

Les mesures de comptage dans l'obscurité (DCR) sont réalisées en utilisant les "circuits intégrés encapsulés" protégés par un capot métallique. Le boîtier est monté sur la carte de test et la cellule est alimentée sous haute tension par un générateur. Le DCR est mesuré avec un oscilloscope *Teledyne Lecroy HD4096* qui intègre des fonctions avancées de traitement des données telles que le comptage d'impulsions, la mesure de temps entre deux fronts etc. Les impulsions liées aux événements d'avalanche peuvent être mesurées de deux manières : 1) soit directement sur le nœud entre l'anode et la résistance d'étouffement (intégrée ou externe), 2) soit en utilisant un amplificateur transimpédance extérieur (*FEMTO*, *DHPCA100*) en série avec la résistance d'étouffement intégrée (Figure 2.29).

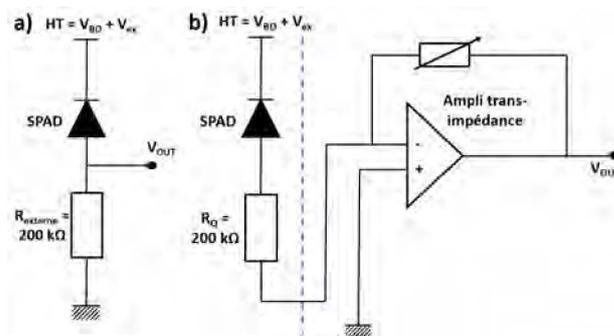


FIGURE 2.29 – Schéma de principe de comptage du DCR avec en a) mesures en tension et en b) mesures en courant

Le DCR peut être obtenu selon deux méthodes dont le *setup* est donné sur la Figure 2.30a. La première dite par comptage direct est celle la plus fréquemment utilisée dans nos mesures. La fonction (*edge@level*) nous permet, à partir d'un certain seuil, de compter le nombre d'avalanches générées pour une tension d'excès et une durée d'acquisition donnée. En divisant ensuite la valeur obtenue par la surface de la SPAD et la plage de temps d'acquisition de l'oscilloscope, nous sommes capables d'exprimer le DCR en $\text{Hz}/\mu\text{m}^2$. La seconde méthode repose sur la mesure des temps entre avalanches (fonction *period@level*) afin d'extraire une valeur moyenne qui correspond à l'inverse du DCR en négligeant le temps mort. Par ailleurs, cette seconde méthode permet aussi d'observer la distribution temporelle des temps entre avalanches pour extraire éventuellement l'*afterpulsing*. Enfin, pour réaliser une étude en température, nous avons la possibilité de placer l'ensemble carte de test avec circuit en boîtier dans une enceinte thermostatée (Figure 2.30 b). Pour ces mesures, nous sommes limités en température par le matériau constituant le PCB et pour cela nous travaillons uniquement entre -40 et 50°C .

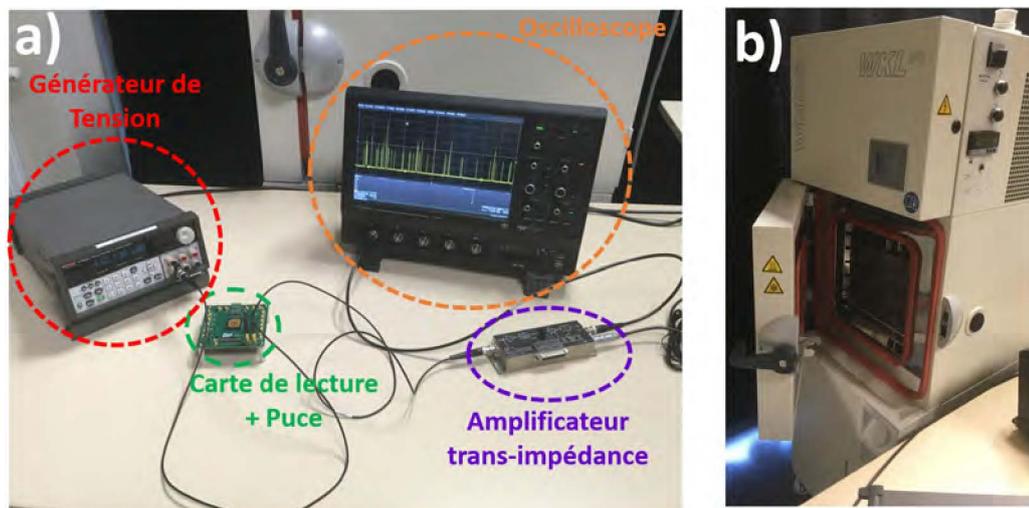


FIGURE 2.30 – Photos en a) montage de la mesure DCR et en b) enceinte cryogénique

2.5.4 Cartographies d'électroluminescence

Les cartographies d'électroluminescence sont des mesures faites dans l'obscurité qui nous permettent, en mettant sous tension notre dispositif, d'observer au microscope la lumière émise par les porteurs chauds des zones à fort champ électrique. Concrètement, lors de la polarisation à de fortes tensions, le champ électrique dans la structure augmente permettant ainsi la mise en place de l'avalanche. Localement, on se retrouve avec des charges présentant un excès d'énergie (on parle aussi de porteurs chauds), qui pour retourner dans un état d'équilibre plus stable vont libérer cette énergie sous forme de photons [186]-[190]. La cartographie d'électroluminescence reflète la distribution du champ électrique dans la partie active de la SPAD. Ainsi, en augmentant progressivement la tension de polarisation inverse de la SPAD, il est possible d'identifier les zones où le champ électrique est le plus fort conduisant éventuellement à un claquage prématuré sur les bords (PEB). Pour réaliser de telles mesures, nous utilisons comme pour le DCR les "circuits intégrés encapsulés" (sans capot). La cellule est mise sous tension par l'intermédiaire de la cathode tandis que l'anode est reliée à la masse. Le système est ensuite mis dans l'obscurité et nous venons observer l'image de la diode à l'aide d'un microscope et d'une caméra sensible (Figure 2.31). Les cartographies d'électroluminescence sont acquises avec une caméra SCMOS Zyla 5.5 de la société Andor, dont la limite de détection se situe à quelques photons par pixels [191].



FIGURE 2.31 – Photo du montage pour la cartographie d'électroluminescence

2.5.5 Estimation de la probabilité de détection des photons - PDP sur banc optique

Pour estimer la probabilité de détection des photons (PDP), nous utilisons un banc optique développé pour la caractérisation de cellules photovoltaïques. Ce dernier est composé d'une lampe xénon, comme source de lumière large bande, qui traverse un monochromateur pouvant être piloté à distance par le manipulateur afin de sélectionner la longueur d'onde adéquate. Le faisceau incident passe ensuite au travers de l'axe optique constitué de différents éléments : lentilles, polariseurs, et lames demi onde. Enfin, deux voies de sortie sont disponibles : une première dite "incidence normale" pour laquelle on dévie, à l'aide d'un miroir, le faisceau sur notre cellule. La seconde voie est dite "lumière diffuse", nous connectons le capteur sur une sphère intégrante, dans cette configuration chaque élément de la surface interne de la sphère reçoit la même quantité de signal lumineux (Figure 2.32). Une présentation plus détaillée des deux méthodes ainsi que des résultats préliminaires seront présentés dans le dernier chapitre de ce manuscrit (ainsi que dans l'Annexe 3).

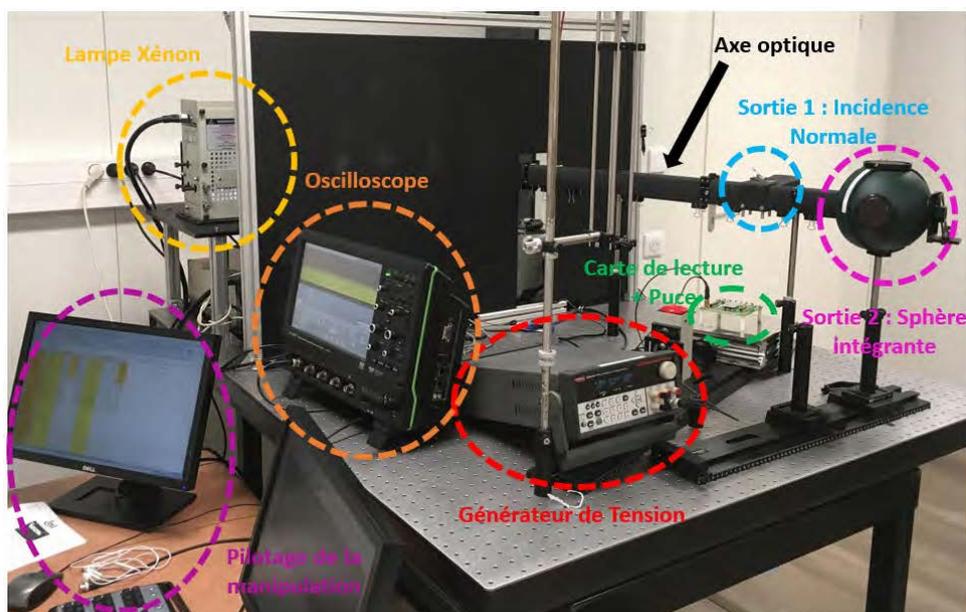


FIGURE 2.32 – Montage de la mesure PDP

2.5.6 Évaluation du Gigue temporelle - *Jitter*

Pour le *jitter*, nous travaillons avec les "circuits intégrés encapsulés". L'ensemble carte de test et circuit intégré est placé dans un caisson, le tout sous obscurité. Un laser pulsé (*PicoQuant*, LDH-IB-640-P) émettant dans le rouge à une longueur d'onde de 640 nm est focalisé sur la puce (Figure 2.33). La sortie de synchronisation du laser est connectée à l'entrée 1 de l'oscilloscope tandis que la sortie de la SPAD est reliée à la voie 2. L'utilisation d'une fonction, *Dtime@level*, permet de mesurer le temps séparant les fronts montants des deux voies. En visualisant un grand nombre d'acquisitions (supérieur à 100 000), il est possible de construire un histogramme pour caractériser la distribution du temps qui sépare le déclenchement de la SPAD du top de synchronisation du laser. La largeur à mi-hauteur (*Full-Width at Half Maximum*, FWHM) de l'histogramme caractérise le *jitter* de la SPAD [3], [79], [80], [154]. Il est à noter que ici, nous faisons l'hypothèse que le *jitter* du laser est nettement inférieur à celui de la SPAD et de l'électronique de mesure.



FIGURE 2.33 – Photos du montage expérimental pour déterminer le *jitter*

Le Tableau 2.11, ci-après, reprend l'ensemble des mesures qui vont être réalisées dans le cadre de cette thèse avec une correspondance au niveau des circuits intégrés utilisés.

Mesure	Type de puces
Caractéristiques $I(V)$ et $C(V)$	Circuits intégrés nus
Comptage du DGR	Circuits intégrés encapsulés
Cartographie d'électroluminescence	Circuits intégrés encapsulés
Estimation de la PDP	Circuits intégrés encapsulés
Évaluation du <i>jitter</i>	Circuits intégrés encapsulés

TABLE 2.11 – Bilan des mesures et des circuits intégrés associés

2.6 Bilan

Dans ce chapitre nous avons présenté et détaillé la structure SPAD FD-SOI ainsi que le principe de fonctionnement de la technologie CMOS FD-SOI 28 nm. Nous avons aussi décrit le principe de l'implémentation d'une cellule SPAD dans cette technologie avec l'avantage d'une architecture intrinsèquement en 3D. Enfin, nous avons introduit les objectifs de cette thèse ainsi que les outils utilisés à la fois à l'échelle des simulations TCAD, mais aussi du dessin physique ou encore de la caractérisation électro-optique.

Chapitre 3

Simulations et Caractérisations des structures de référence

Ce chapitre présente les premiers travaux menés dans le cadre de cette thèse afin d'obtenir des résultats de "référence". Dans une première section, nous présentons la conception des cellules de base qui respectent toutes les contraintes imposées par les règles de dessin de la technologie (DRM). Nous introduisons aussi la conception des premières structures matricielles de SPAD en technologie CMOS FD-SOI 28 nm. Une deuxième section est consacrée à la caractérisation de ces mêmes structures afin d'établir nos mesures de "référence" comprenant les caractéristiques $I(V)$ et $C(V)$, les valeurs de DCR, et les cartographies d'électroluminescence. Enfin, une dernière section est dédiée à l'optimisation des simulations TCAD afin d'obtenir un bon accord entre résultats de simulations et de mesures en termes notamment de tension de claquage et de courant d'obscurité.

Contents

3.1	Conception des premières structures SPAD FD-SOI	60
3.1.1	Les différents types de cellule	60
3.1.2	Géométrie des cellules	62
3.1.3	Taille des cellules	62
3.1.4	Structure matricielle	62
3.2	Caractérisations des structures de référence	64
3.2.1	Caractéristique statique $I(V)$ de la SPAD	64
3.2.2	Caractéristique statique $I(V)$ de la seconde jonction DNW/Substrat(P)	67
3.2.3	Caractéristique $C(V)$ de la SPAD	68
3.2.4	Mesure du DCR et amélioration de la lecture des événements d'avalanche	69
3.2.5	Cartographies d'électroluminescence	73
3.2.6	Comportement de la structure matricielle	74
3.3	Optimisation des simulations TCAD	75
3.3.1	Prise en compte du procédé de fabrication complet	75
3.3.2	Choix du modèle d'avalanche optimal	77
3.3.3	Ajustement de la durée de vie des porteurs	79
3.4	Bilan	81

3.1 Conception des premières structures SPAD FD-SOI

Différentes variantes de cellules SPAD FD-SOI ont été intégrées dans les circuits *test-chip 1* et *test-chip 2* (respectivement TC1 et TC2). Ces variantes permettent d'étudier la même jonction SPAD (PW/DNW) dans différentes configurations pour analyser séparément l'impact des interfaces PW/STI, PW/BOX, PW/BEOL au niveau de la zone active.

3.1.1 Les différents types de cellule

Dans les deux premières versions du circuit (TC1 et TC2) présentées en fin de chapitre 2, afin de mieux comprendre le comportement de la SPAD intégrée dans le substrat de silicium, nous avons mis en place plusieurs variantes de la structure permettant d'analyser le comportement de celle-ci. La première variante de la cellule désignée dans la suite du manuscrit par cellule "FD-SOI" est présentée sur la Figure 3.1. Elle comporte au-dessus de la zone active de la SPAD, l'oxyde enterré (BOX) et le film de silicium (utilisable pour mettre en œuvre l'électronique associée au détecteur). Par ailleurs, en accord avec les règles de dessin évoquées dans le chapitre précédent, la zone active de la SPAD est parsemée de tranchées STI (section 2.4.2). Enfin, plusieurs géométries de cette cellule sont mises en place afin de répondre aux contraintes imposées par le dessin de la couche *RX fillopc*, elles seront présentées en section 3.1.2.

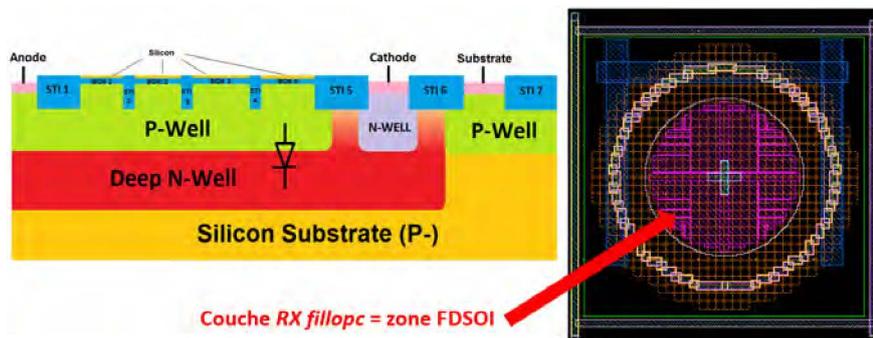


FIGURE 3.1 – Schéma et dessin physique de la structure SPAD "FD-SOI"

La seconde variante désignée par cellule "STI" est complètement recouverte par de l'oxyde STI comme cela apparaît sur la Figure 3.2. Pour réaliser cette variante, la couche de *RX fillopc* a été supprimée. À noter que cette structure de test n'a pas d'intérêt applicatif puisqu'elle ne possède ni oxyde enterré ni film de silicium au-dessus et ne permet pas de ce fait d'intégration 3D intrinsèque de l'électronique associée. L'étude de cette structure STI devrait nous permettre d'étudier l'impact des zones STI sur les performances de la SPAD.

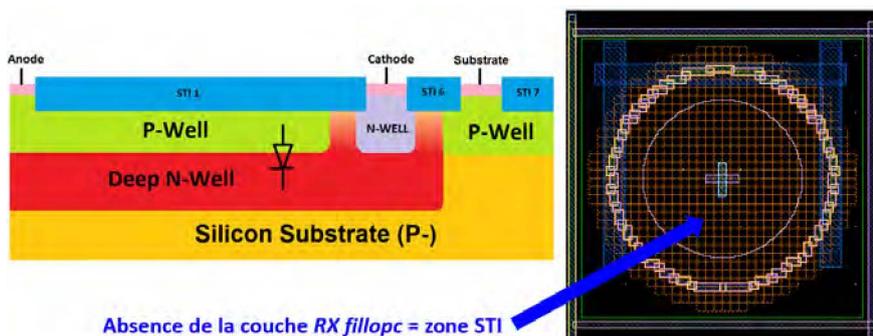


FIGURE 3.2 – Schéma et dessin physique de la structure SPAD "STI"

La dernière variante comme la seconde est une structure de test, elle est désignée par l'appellation cellule "NOSO". De nouveau l'empilement avec le BOX n'est pas présent, mais cette fois-ci le bloc STI non plus. Cette structure hybride présente alors une structure vierge au-dessus de la SPAD. Ceci n'est en réalité pas vrai puisque la vue schématique présentée sur la Figure 3.3 ne contient pas les couches BEOL et d'encapsulation utilisées. Afin de réaliser une telle structure sur Cadence, il est tout d'abord indispensable que la couche *RX fillopc* soit présente, il faut ensuite superposer la couche *Hybrid*, ensemble elles empêchent la formation de SOI et de STI.

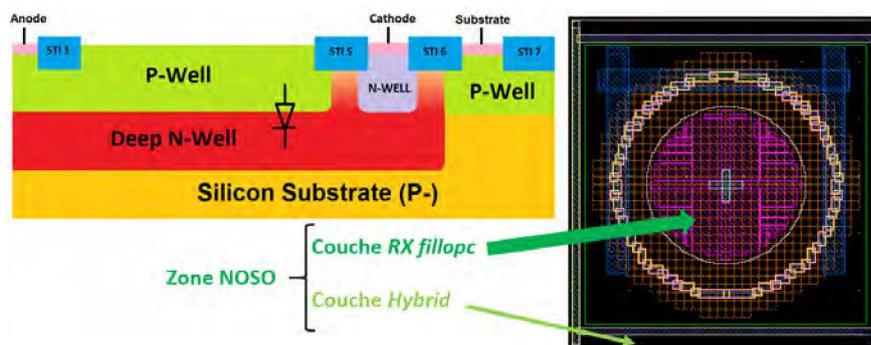


FIGURE 3.3 – Schéma et dessin physique de la structure SPAD "NOSO"

La Figure 3.4 est une vue au microscope de la technologie CMOS FD-SOI 28 nm sur laquelle on peut identifier les trois zones présentées précédemment [148]. Le Tableau 3.1 récapitule les différentes variantes d'architecture de la SPAD.

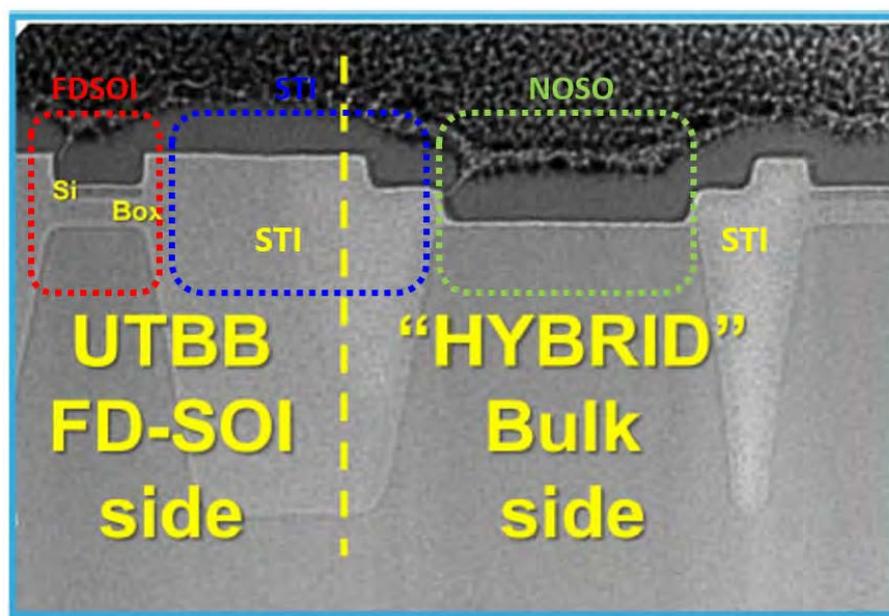


FIGURE 3.4 – Vue en coupe de la technologie CMOS FD-SOI 28 nm avec identification des différentes zones (adaptée de [148])

Variante	Type d'interfaces	BOX + film silicium
FD-SOI	PW/BOX	Oui
STI	PW/STI	Non
NOSO	PW/BEOL	Non

TABLE 3.1 – Récapitulatif des structures SPAD

3.1.2 Géométrie des cellules

Différentes géométries de cellules SPAD ont été développées en respectant les règles de dessin qui imposent d'employer uniquement une forme rectangulaire pour définir la couche *RX fillopc*. L'implémentation la plus simple est alors la forme carrée avec l'utilisation de quatre zones carrées de *RX fillopc* pour définir la zone FD-SOI (Figure 3.5a). Afin d'éviter le claquage prématuré sur les angles de la zone active (PEB), nous avons fait évoluer cette géométrie vers une forme plus douce polygonale nommée par défaut "octogonale" (Figure 3.5b) puis pseudo-circulaire (Figure 3.5c). Pour de telles structures, il nous est nécessaire de découper toute la couche *RX fillopc* en petits rectangles et de travailler selon une logique d'intégration en marches d'escalier sur la périphérie.

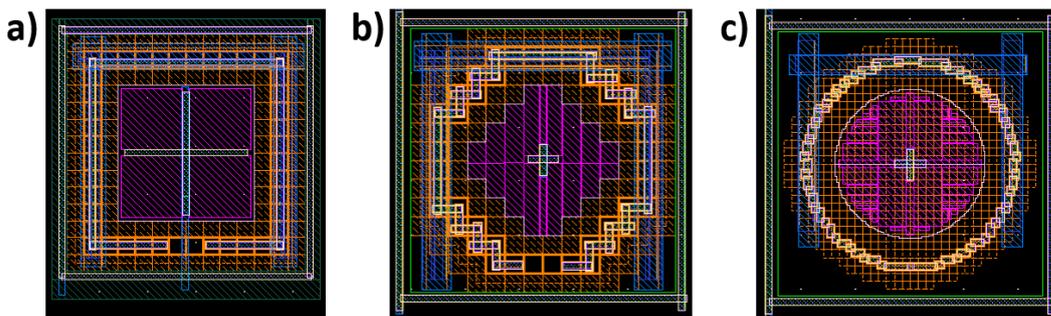


FIGURE 3.5 – Géométrie des SPAD en technologie FD-SOI en a) carrée, en b) octogonale et en c) pseudo-circulaire

3.1.3 Taille des cellules

Enfin, suite aux premières mesures statiques $I(V)$ sous pointes, nous avons constaté que les cellules standards individuelles de diamètre $25\mu\text{m}$ présentaient un courant d'obscurité assez faible (de l'ordre de 100pA) en limite de résolution de notre banc expérimental de mesures sous pointes. Pour cette raison, à partir du TC2, nous avons augmenté la taille de ces cellules à $50\mu\text{m}$ afin de mesurer des courants d'obscurité plus élevés et par conséquent être moins sensibles aux fluctuations de bruit induites par les mesures sous pointes. De plus, il s'avère intéressant de disposer de deux tailles de cellules avec des contributions périphériques différentes en termes, par exemple, de ratio capacité périphérique / capacité surfacique. Cette augmentation de taille (Figure 3.6) a été réalisée pour des cellules pseudo-circulaires mais aussi octogonales (à partir du TC5 pour cette géométrie).

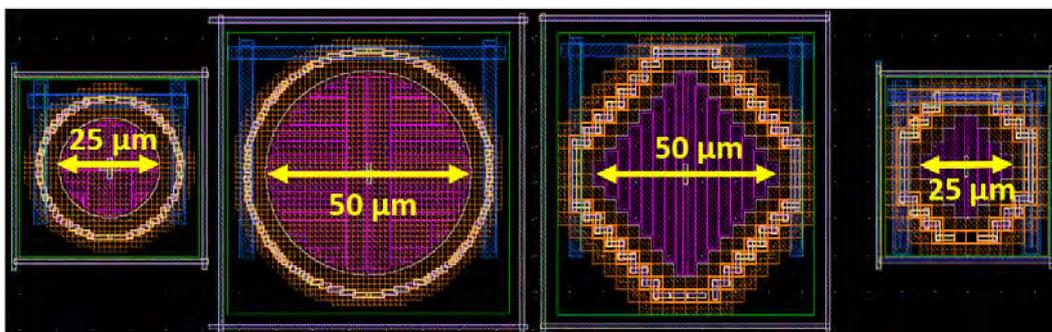


FIGURE 3.6 – Structures avec diamètre 25 et $50\mu\text{m}$ sur les géométries pseudo-circulaire et octogonale

3.1.4 Structure matricielle

Dans le cadre de cette thèse, nous proposons aussi une structure matricielle faisant intervenir neuf cellules SPAD en configuration 3×3 avec leur résistance d'étouffement intégrée (Figure 3.7). Cette dernière est conçue avec des SPAD pseudo-circulaires de diamètre $25\mu\text{m}$.

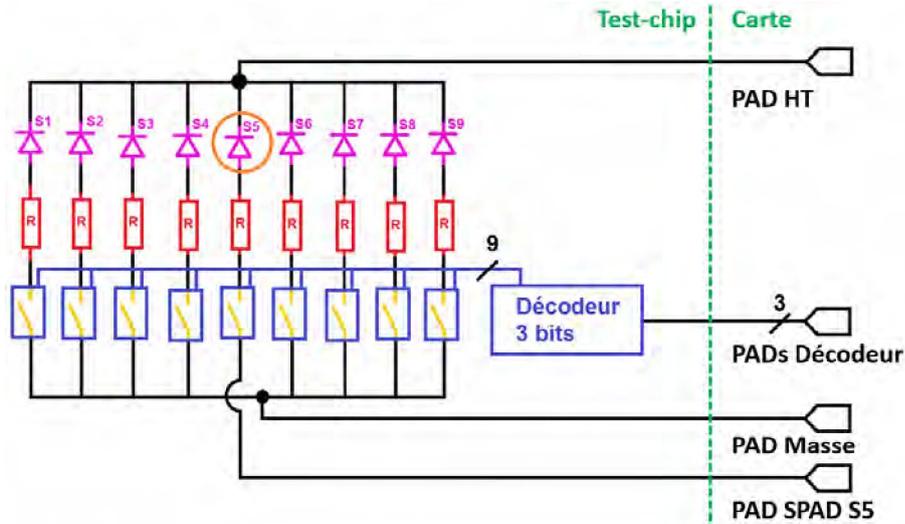


FIGURE 3.7 – Schéma électronique de la matrice de SPAD 3x3

Dans cette matrice, seule la SPAD du milieu $S5$ peut être caractérisée via un plot dédié du *PADRING*. Les autres SPAD peuvent être polarisées ou laissées flottantes selon les huit configurations possibles décrites sur la Figure 3.8 au moyen de trois bits de sélection et d'un décodeur présenté sur les Figures 3.9 et 3.10. Avec cette configuration, notre objectif est d'étudier la SPAD du milieu et l'influence de ses voisins pour évaluer un possible couplage électro-optique (*crosstalk*). Pour cela chaque SPAD est reliée à un circuit d'étouffement (ici une résistance de $200\text{ k}\Omega$) puis à un circuit de *switch* (ici représenté par un « interrupteur ouvert ») piloté par le décodeur.

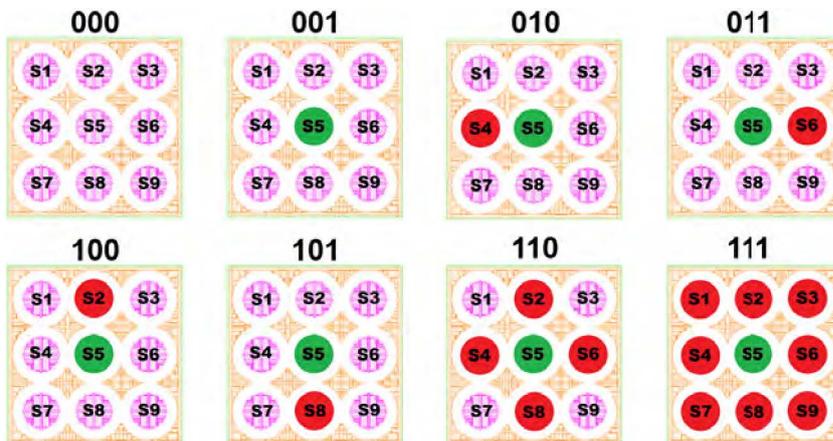


FIGURE 3.8 – Configurations possibles de la matrice de SPAD 3x3 (en rouge les cellules activées)

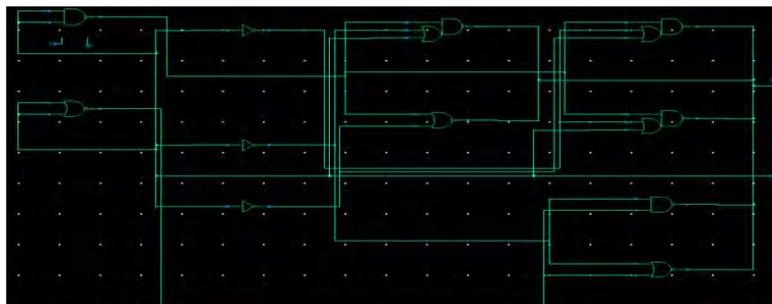


FIGURE 3.9 – Structure du décodeur 3 bits

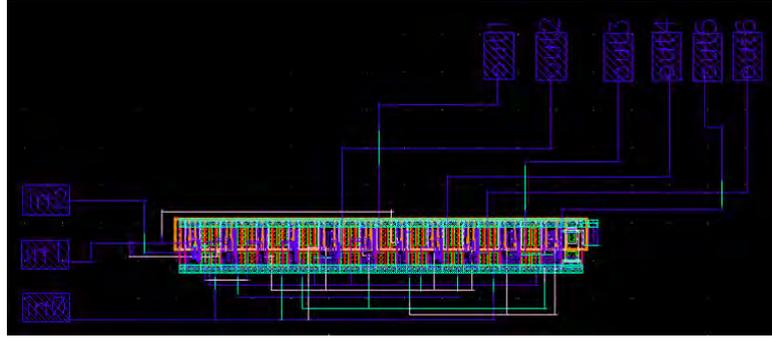


FIGURE 3.10 – Dessin physique du décodeur 3 bits

Les distances entre les SPAD de la matrice sont différentes afin d'étudier l'impact sur le *crosstalk* comme représenté sur les Figures 3.11a et b et sur le Tableau 3.2.

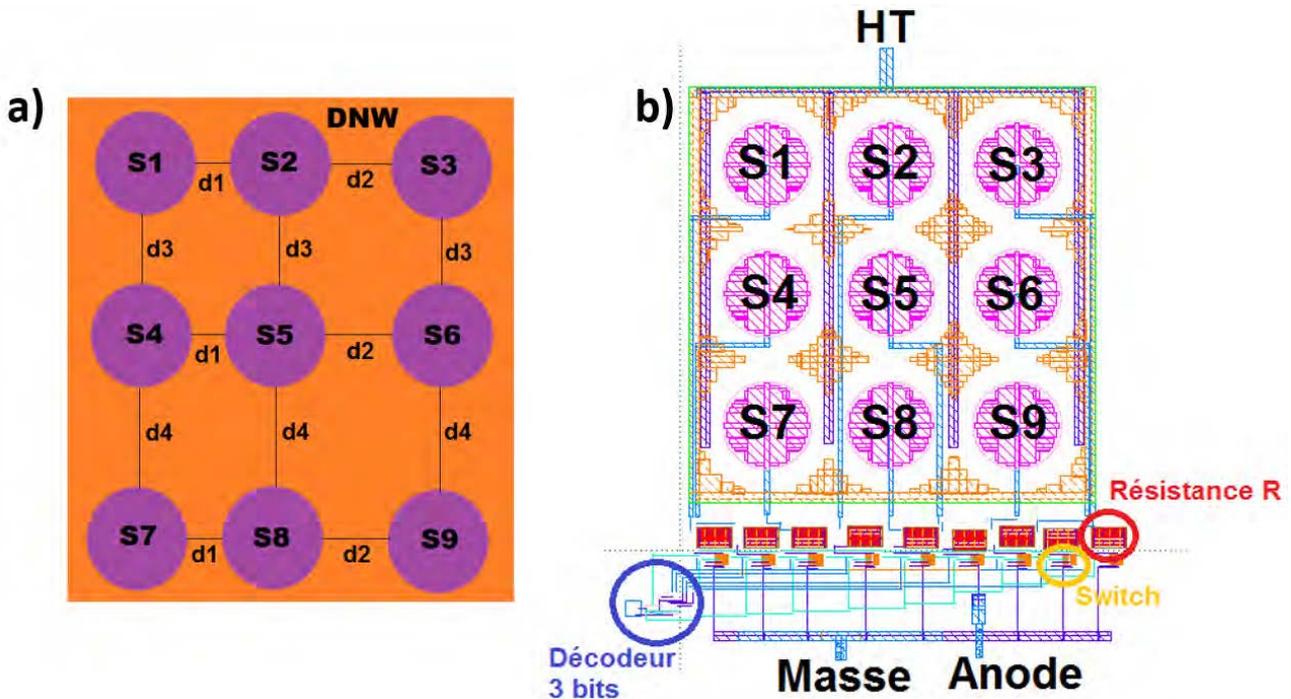


FIGURE 3.11 – Structure de la matrice avec en a) configuration géométrique et b) dessin physique associé

Distance	Valeur
d_1	$10.5 \mu\text{m}$
d_2	$11.5 \mu\text{m}$
d_3	$12.5 \mu\text{m}$
d_4	$13.5 \mu\text{m}$

TABLE 3.2 – Évolution des distances dans la structure matricielle

3.2 Caractérisations des structures de référence

3.2.1 Caractéristique statique $I(V)$ de la SPAD

Les caractéristiques statiques $I(V)$ de la SPAD sont réalisées dans l'obscurité sur des structures pseudo-circulaires de $50 \mu\text{m}$ (Figure 3.12). La cellule SPAD FD-SOI (courbe rouge), qui correspond à

notre structure de référence pour l'implémentation d'une structure SPAD dans la technologie CMOS FD-SOI 28 nm, présente une tension de claquage à température ambiante proche de 9.50 V. La structure SPAD STI (courbe bleue) présente une tension de claquage un peu plus faible de l'ordre de 9.35 V. Ce résultat, déjà explicité dans la thèse de T. Chaves [157], est relié à la présence d'une jonction plus abrupte sous le STI en périphérie (STI 5 sur la Figure 3.1) par rapport à la zone BOX avec film de silicium (FD-SOI) ; et par conséquent la structure SPAD STI a tendance à partir plus tôt en avalanche. Enfin, la structure SPAD NOSO (courbe verte) présente une tension de claquage légèrement plus élevée que la cellule FD-SOI à approximativement 9.7 V résultant possiblement d'un gradient de dopage plus faible lorsque la surface active n'est pas recouverte de BOX ou de STI. À noter pour cette structure une hausse subite du courant d'obscurité vers 6 V de polarisation inverse que nous n'observons pas pour les autres structures. Ce comportement singulier peut être causé par une densité importante de défauts d'interface au niveau PW/BEOL. Néanmoins, nous ne disposons pas de suffisamment d'informations sur la nature et les propriétés de ces couches d'oxyde BEOL pour étudier plus en détails ce comportement.

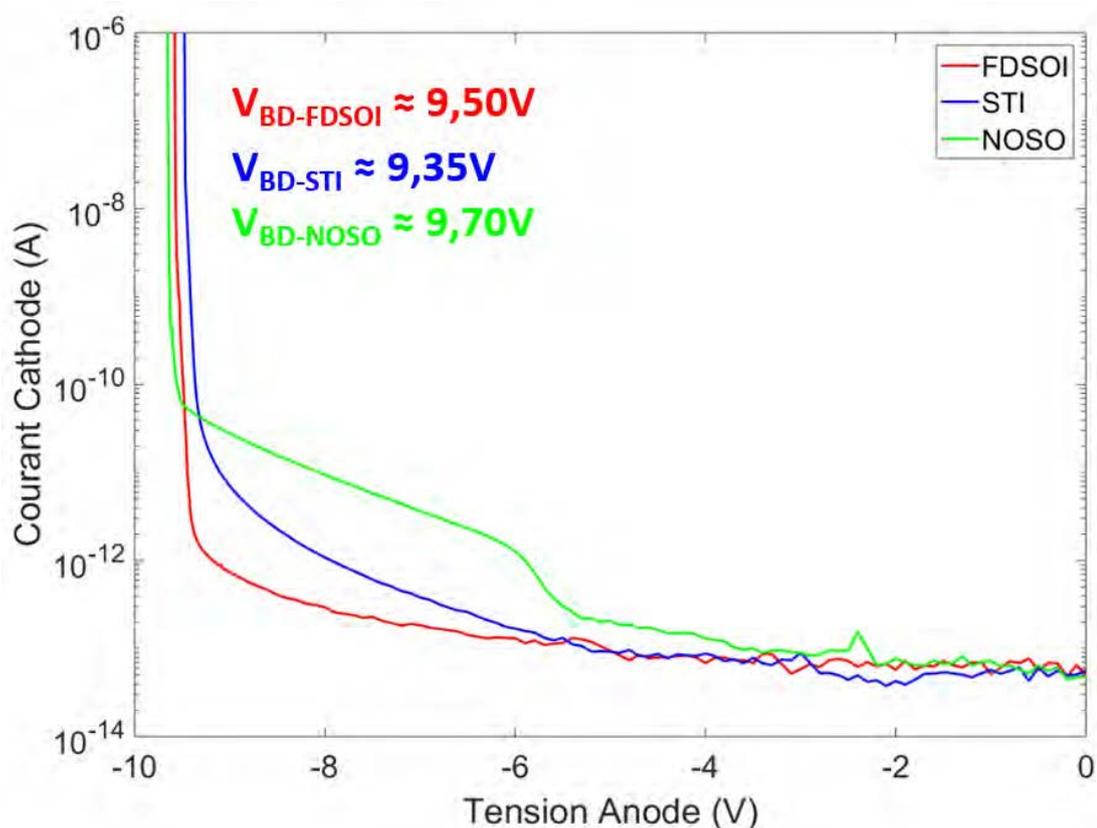


FIGURE 3.12 – Caractéristiques statiques $I(V)$ pour les structures SPAD pseudo-circulaire FD-SOI, STI et NOSO de diamètre $50\mu\text{m}$ (température ambiante)

Au niveau de la géométrie, la réalisation d'une structure carrée avec des angles très abrupts sur la périphérie a révélé la présence d'un PEB majeur [157]. Pour cette raison, à partir du *test-chip 3* (TC3) nous avons décidé de privilégier la structure pseudo-circulaire. Lors des caractérisations sous pointes, nous avons fait varier la température pour une gamme allant de -50 à 50°C . Nous avons constaté une augmentation progressive du courant d'obscurité (I_{dark}) et de la tension de claquage lorsque la température augmente (Figure 3.13a). La courbe d'Arrhénius présentée en Figure 3.13b permet d'extraire une énergie d'activation proche de 0.27 eV donc inférieure à la moitié du gap du silicium ($E_g = 1.12\text{ eV}$). Ce résultat traduit alors que le mécanisme prédominant dans nos structures SPAD est probablement le B2B.

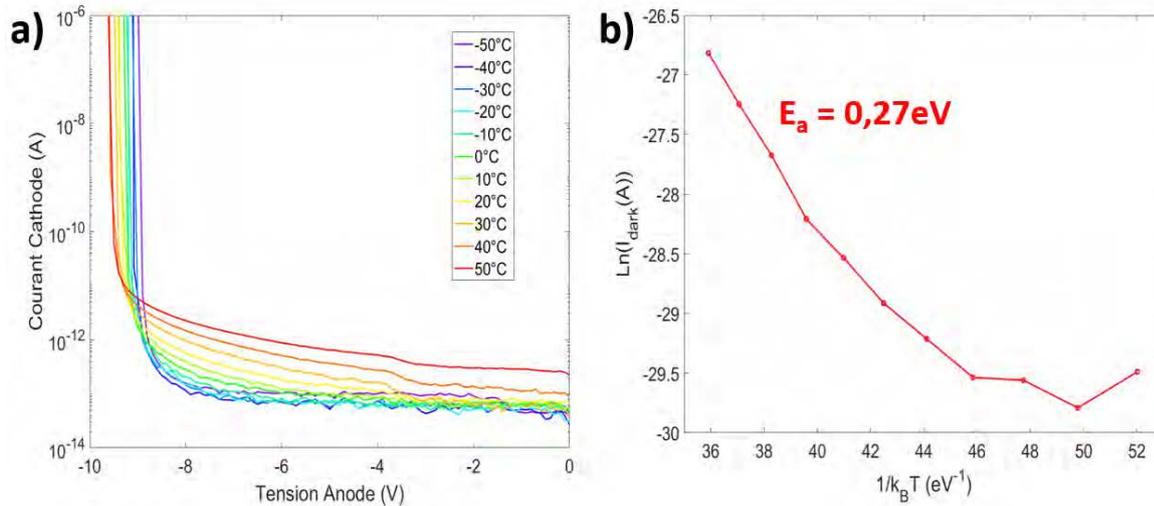


FIGURE 3.13 – En a) Caractéristiques $I(V)$ pour la structure pseudo-circulaire FD-SOI de diamètre $50\mu\text{m}$ à température variable, et en b) courbe d'Arrhénius à une polarisation inverse de 8 V

Par ailleurs, ces mesures ont aussi permis d'identifier le phénomène prédominant qui est à l'origine du claquage. En effet, en polarisation inverse deux mécanismes peuvent se produire pour la mise en place du claquage : soit il s'agit du mécanisme Zéner basé sur le courant tunnel bande à bande (B2B), soit il s'agit du phénomène d'avalanche lié à l'impact par ionisation. Dans le premier cas, la tension de claquage diminue quand la température augmente tandis que dans le second, elle augmente [162], [163], [184]. Comme cela apparaît sur la Figure 3.14, nous observons à la fois pour les structures FD-SOI et STI, une augmentation linéaire de la tension de claquage avec la température : 6.2 mV/K pour la structure FD-SOI et 6.0 mV/K pour la STI. Ce coefficient positif confirme que le claquage de la jonction PW/DNW correspond au phénomène d'avalanche qui est prédominant. Par ailleurs, cette courbe montre aussi que la présence d'une jonction plus abrupte sous STI, et donc un claquage pour des tensions plus faibles, se vérifie pour toute la gamme de températures testées.

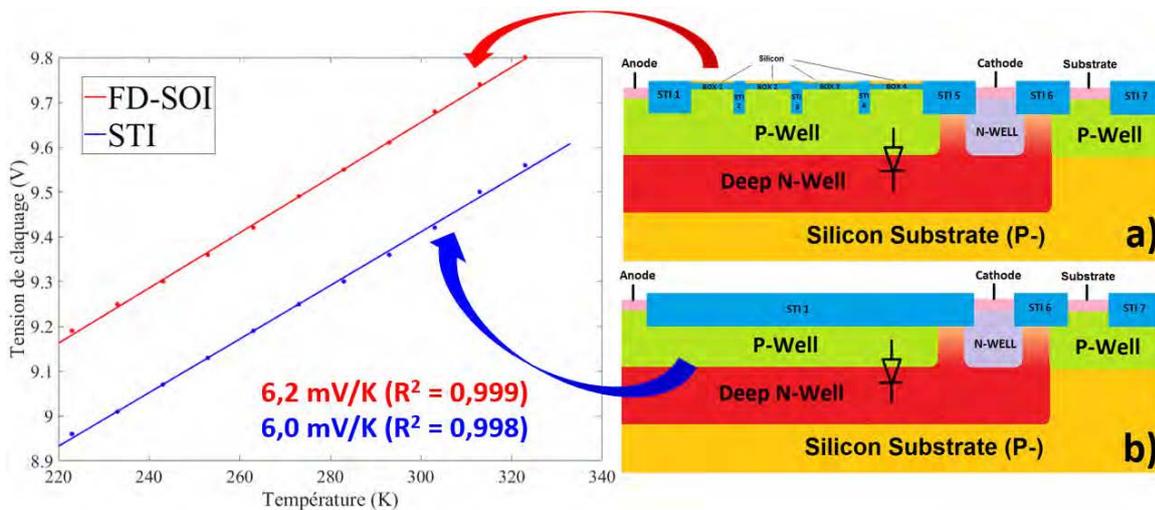


FIGURE 3.14 – Évolution de la tension de claquage en fonction de la température pour les structures SPAD FD-SOI en a) et STI en b)

Les tensions de claquage mesurées sont relativement basses par rapport aux valeurs de l'état de l'art [13], [14], [34], [38], [40], [99], [121], [122], [129]. Pour cela, nous proposons dans le chapitre 4, une modification du caisson DNW pour adoucir la jonction afin d'augmenter significativement la tension de claquage et ainsi réduire significativement les contributions B2B.

3.2.2 Caractéristique statique $I(V)$ de la seconde jonction DNW/Substrat(P-)

Les cellules pour la caractérisation sous pointes présentant trois plots pour chacun des contacts : anode (caisson PW), cathode (caisson DNW) et substrat (cf. chapitre 2), il est possible de mesurer aussi des caractéristiques statiques $I(V)$ pour la jonction profonde DNW/Substrat(P-). Sur la Figure 3.15, nous comparons pour une structure FD-SOI de diamètre $50\ \mu\text{m}$ l'allure des caractéristiques $I(V)$ des deux jonctions : PW/DNW et DNW/Substrat(P-). Nous constatons que la tension de claquage de la seconde jonction est bien supérieure à celle de la SPAD d'environ 15 V et de ce fait la jonction profonde n'a pas d'impact significatif sur l'activité de la diode SPAD.

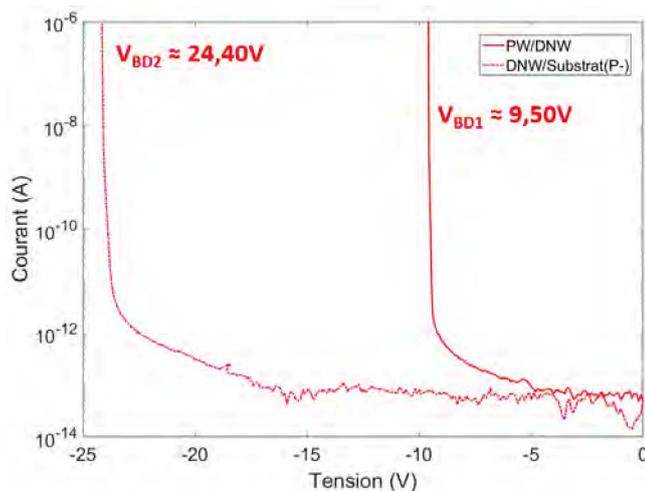


FIGURE 3.15 – Comparaison des caractéristiques $I(V)$ des deux jonctions pour une structure FD-SOI pseudo-circulaire de diamètre $50\ \mu\text{m}$ (température ambiante)

Si nous comparons maintenant les caractéristiques des structures STI, NOSO et FD-SOI (Figure 3.16). Nous constatons comme pour la jonction SPAD, que la jonction profonde de la structure STI a une tension de claquage plus faible que celle de la structure FD-SOI et donc un profil de dopage plus abrupt. Par ailleurs, les caractéristiques de la jonction profonde de la structure NOSO ne présente pas de point singulier par rapport à la FD-SOI contrairement aux observations faites pour la jonction SPAD. Les défauts de l'interface ne semblent donc pas impacter cette dernière.

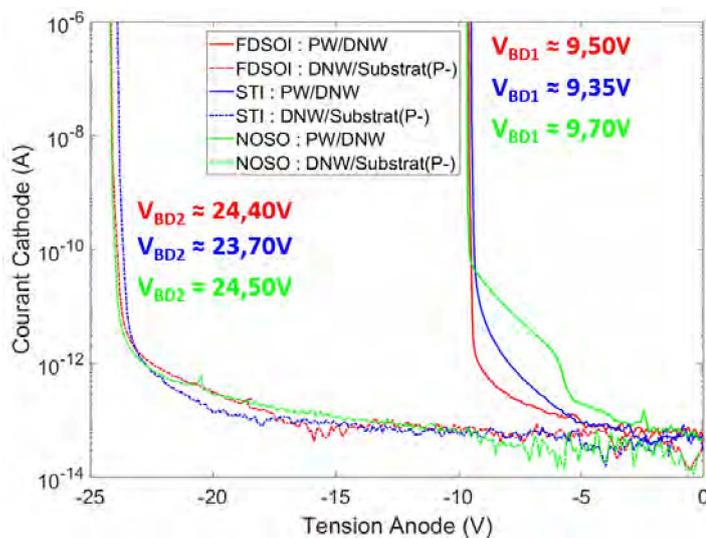


FIGURE 3.16 – Comparaison des caractéristiques $I(V)$ des deux jonctions pour les structures FD-SOI, STI et NOSO pseudo-circulaires de diamètre $50\ \mu\text{m}$ (température ambiante)

Nous avons observé une différence assez importante de la tension de claquage de la jonction profonde selon que nous considérons une SPAD FD-SOI de géométrie carrée ou octogonale (37 V) ou pseudo-circulaire (24.4 V) comme l'illustre la Figure 3.17. L'utilisation d'un plus grand nombre de blocs rectangulaires *RX fillopc* pour la mise en place du dessin physique des structures pseudo-circulaires semblent donc avoir impacté la jonction profonde DNW/Substrat (P-) en la rendant plus abrupte. Il est à noter que pour la jonction SPAD, aucun changement de tension de claquage n'a été observé entre les trois géométries.

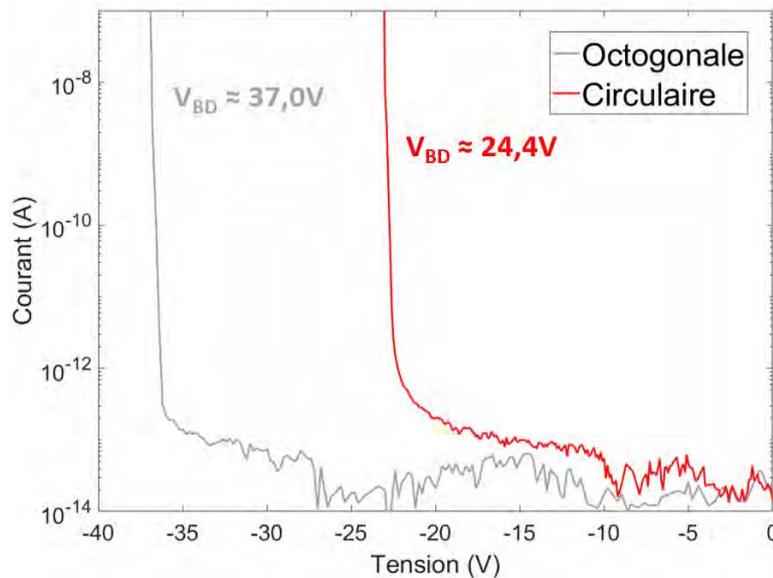


FIGURE 3.17 – Comparaison des caractéristiques $I(V)$ de la seconde jonction DNW/Substrat(P-) pour les structures FD-SOI octogonale et pseudo-circulaire de diamètre $25\mu\text{m}$ (température ambiante)

3.2.3 Caractéristique $C(V)$ de la SPAD

La variation de la polarisation inverse de la jonction entraîne une variation de la largeur de la ZCE, et de la charge stockée proportionnellement à la tension [163]. La jonction se comporte de ce point de vue comme un condensateur de capacité dynamique appelée capacité de transition qui, dans le cas d'une structure plane, s'écrit sous la forme :

$$C = \frac{\epsilon \cdot S}{W} \quad (3.1)$$

avec ϵ la permittivité électrique du matériau, S la surface et W la largeur de la ZCE. Les mesures réalisées sous pointes ont permis de vérifier que la capacité de la SPAD augmente avec la surface de la jonction. Par ailleurs, pour les trois géométries de cellule, même si le même "diamètre" de $25\mu\text{m}$ est visé, nous nous retrouvons avec des surfaces différentes. En effet, pour une structure carrée la surface mesure environ $625\mu\text{m}^2$, contre $490\mu\text{m}^2$ pour une pseudo-circulaire et $400\mu\text{m}^2$ pour une octogonale. Nous visualisons alors sur la Figure 3.18a, les capacités dans l'ordre croissant pour les géométries : octogonale, pseudo-circulaire et carrée. Par la suite, si nous normalisons ces capacités par la surface comme illustré sur la Figure 3.18b, nous constatons que les courbes ne coïncident pas et par conséquent qu'il n'y a pas de proportionnalité entre surface et capacité. Cela s'explique par la présence d'une capacité périphérique annulaire dominante. Cette capacité a alors tendance à varier en fonction de la géométrie mais aussi de la taille de la cellule.

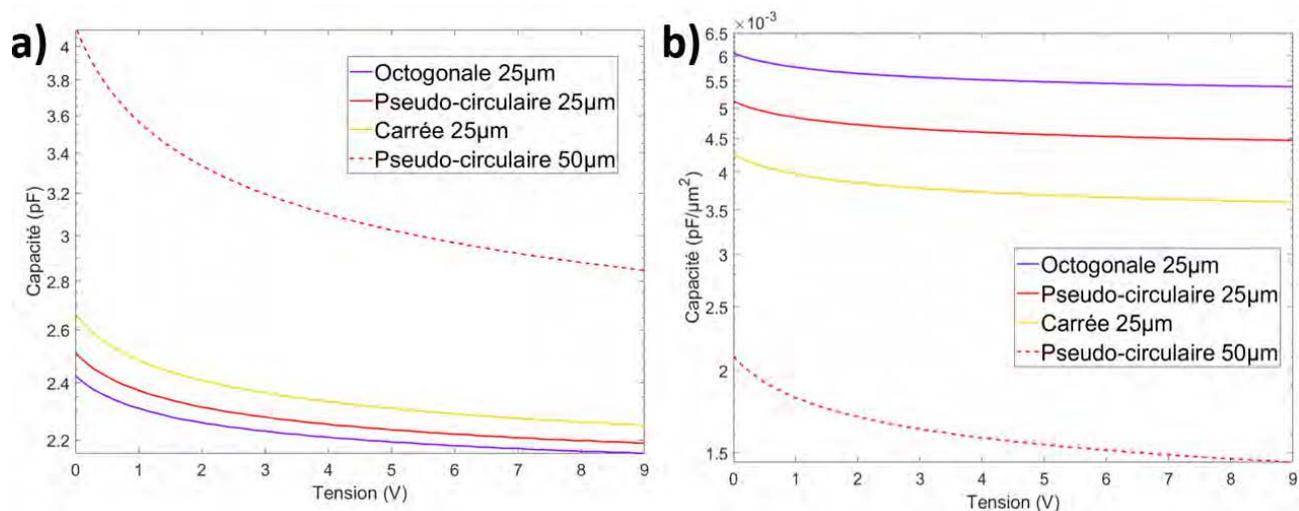


FIGURE 3.18 – Étude des caractéristiques $C(V)$ pour une structure SPAD FD-SOI en fonction de la géométrie et du diamètre avec en a) capacité mesurée en fonction de la tension et en b) capacité normalisée par la surface en fonction de la tension (température ambiante et $f = 100$ kHz)

La jonction PN d'une structure SPAD STI est comme nous l'avons dit précédemment plus abrupte que celle d'une FD-SOI. Par conséquent, la comparaison des courbes $C(V)$ entre les deux structures illustre une capacité légèrement plus élevée pour les structures STI que FD-SOI et ceci peu importe le diamètre de la cellule (Figure 3.19a). De nouveau, l'étude en normalisant la capacité par la surface illustre la présence d'une capacité périphérique dominante (Figure 3.19b).

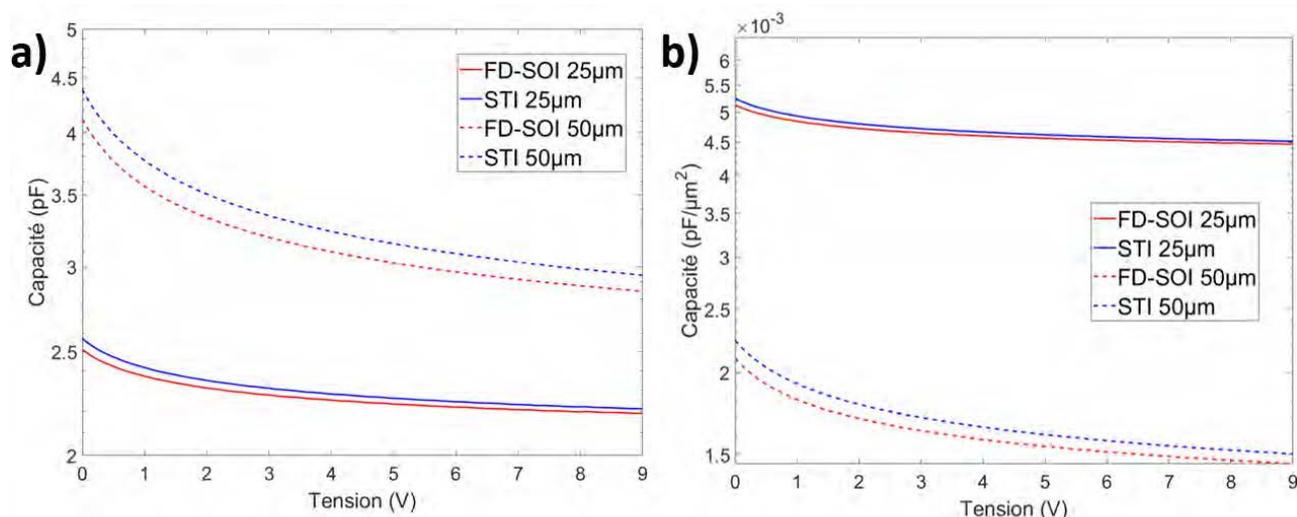


FIGURE 3.19 – Caractéristiques $C(V)$ de cellules pseudo-circulaires selon les deux valeurs de diamètre avec en a) capacité mesurée en fonction de la tension et en b) capacité normalisée par la surface en fonction de la tension (température ambiante et $f = 100$ kHz)

3.2.4 Mesure du DCR et amélioration de la lecture des évènements d'avalanche

Pour un photodétecteur SPAD, les évènements qui se produisent dans l'obscurité et qui sont quantifiés par le DCR constituent une composante parasite qui doit être la plus faible possible. Dans le cadre de cette thèse, nous avons travaillé sur plusieurs voies d'optimisation pour améliorer ce facteur de mérite. Les éléments présentés ci-après retracent ces différents travaux.

Les mesures réalisées sur les premiers circuits (TC1 à TC3) utilisent un circuit d'étouffement passif

avec une résistance de *quench* externe de 200 k Ω , et le signal est analysé avec l'oscilloscope au travers de l'utilisation d'une sonde active ou passive. Ces mesures ont mis en évidence des comportements assez différents pour les trois types de structures. Tout d'abord, nous constatons que les cellules SPAD STI présentent un DCR plus élevé que les SPAD FD-SOI (Figure 3.20), ce qui est en lien direct avec le fait que la jonction est plus abrupte et doit présenter une composante de type B2B supérieure. Par ailleurs, le comportement de la cellule NOSO n'est pas représenté sur cette même figure car le DCR n'était pas mesurable. En effet, nous ne parvenons pas à distinguer de pulses distincts sur l'oscilloscope et le comptage n'est donc pas possible. Le nombre d'avalanches dans l'obscurité est beaucoup trop important, la cellule est donc "trop bruitée". Ce comportement fait un lien direct avec les hypothèses soulevées sur les caractéristiques $I(V)$ (Figure 3.12), l'interface BEOL/substrat semble être riche en défauts qui viennent libérer des charges et créer des avalanches parasites dans la structure, contribuant alors à l'augmentation du DCR.

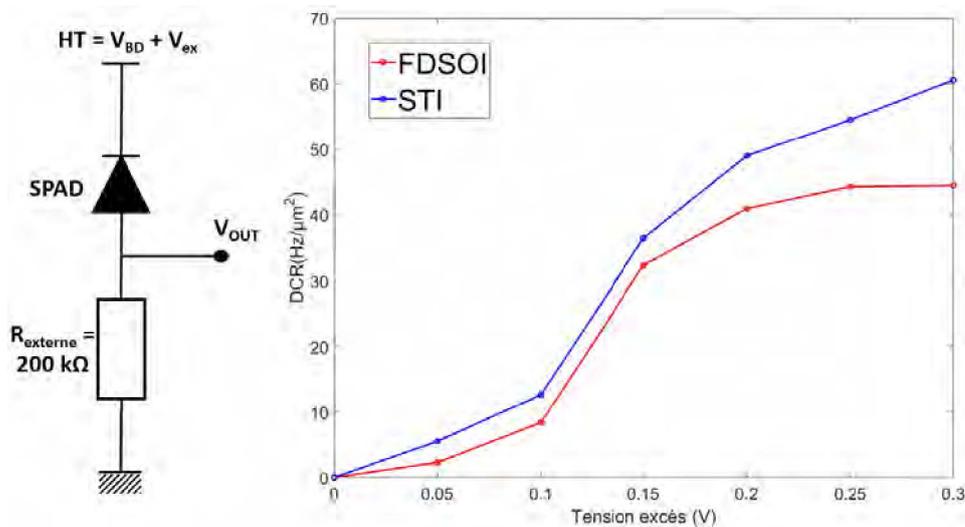


FIGURE 3.20 – Comparaison du DCR des SPAD FD-SOI et STI pour structure pseudo-circulaire de diamètre 25 μm (température ambiante)

Cependant, comme illustré sur la Figure 3.20 la plage de mesure est très limitée avec le *setup* utilisé car nous observons une saturation des mesures pour des tensions d'excès supérieures à 0.3 V. Cette saturation résulte du fait qu'il y a empilement des pulses (*pile up*) dont la durée est de l'ordre de la microseconde lorsque le DCR devient important. La carte contenant la résistance de *quench* externe introduit des éléments parasites qui s'ajoutent à la capacité d'entrée de l'oscilloscope et engendrent des impulsions d'avalanche longues. L'électronique n'est donc pas optimale pour réaliser des mesures, c'est pourquoi nous nous sommes tournés vers des résistances dites "Bouchons" que nous devons connecter à l'entrée de l'oscilloscope à l'aide d'une jonction "T" coaxiale. Malheureusement, malgré cette optimisation nous ne sommes pas parvenus à augmenter le tension d'excès maximale de mesure.

Ces premières mesures étant limitées par le *setup* expérimental, nous avons procédé à une intégration sur puce de la résistance de 200 k Ω comme illustré sur la Figure 3.22. Nous réalisons des mesures du courant avec un amplificateur transimpédance (DHPCA-100, marque *FEMTO*) réglable notamment en terme de gain et de bande passante. Dans le cadre de nos mesures, une des configurations optimales pour visualiser et compter les pulses consiste à utiliser un gain de 1×10^6 V/A et de choisir une bande passante de 1 MHz. Sur la Figure 3.21, nous comparons les chronogrammes des mesures avec résistance bouchon de 250 k Ω et sonde passive (en a) à ceux obtenus avec l'amplificateur transimpédance (en b), nous constatons une nette diminution de la durée des pulses par l'utilisation du module transimpédance.

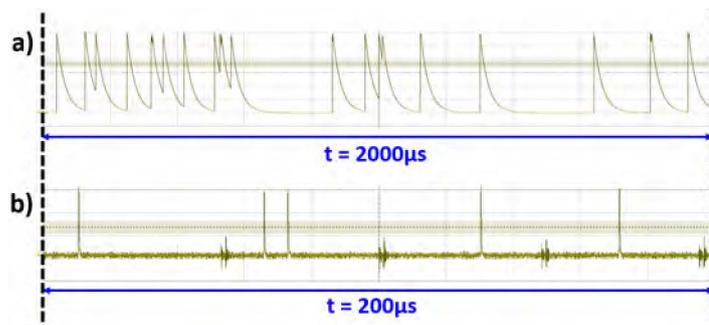


FIGURE 3.21 – Chronogrammes obtenus pour des mesures de DCR sur cellule SPAD FD-SOI de diamètre $25\ \mu\text{m}$ avec en a) sonde passive et en b) amplificateur transimpédance (température ambiante et $V_{ex} \sim 0.2\ \text{V}$)

À température ambiante, nous avons alors été capables de mesurer le DCR jusqu'à une tension d'excès de $0.7\ \text{V}$ (Figure 3.23). La forme de la courbe $DCR(V_{ex})$ correspond davantage à celle présente dans la littérature : augmentation avec la tension liée à l'accroissement de la probabilité d'avalanche (ATP).

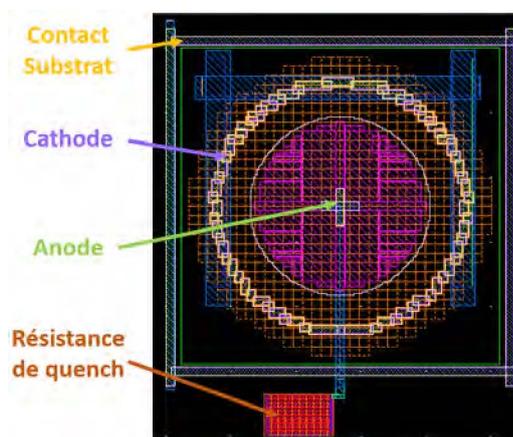


FIGURE 3.22 – Dessin physique d'une cellule FD-SOI pseudo-circulaire de diamètre $25\ \mu\text{m}$ avec résistance de quench interne

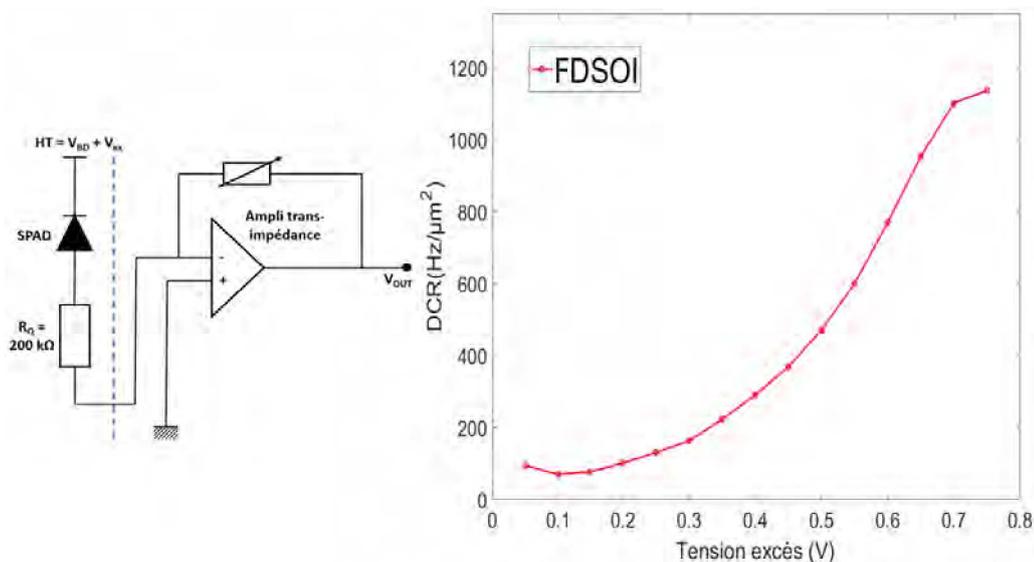


FIGURE 3.23 – Mesure du DCR de la SPAD FD-SOI pour structure pseudo-circulaire de diamètre $25\ \mu\text{m}$ avec utilisation de l'amplificateur transimpédance (température ambiante)

Ce résultat a été complété par une étude en température du DCR sur une plage de -40 à 50 °C (Figure 3.24). Nous visualisons un double comportement : le premier à faibles températures de -40 °C à 10 °C, et un second pour les températures supérieures à 10 °C.

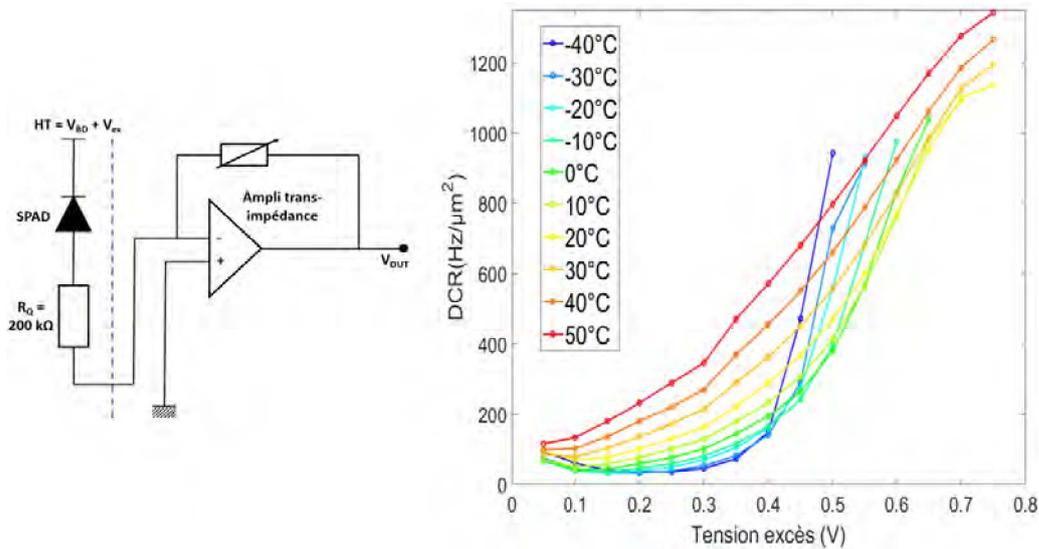


FIGURE 3.24 – Mesure du DCR de la SPAD FD-SOI pour structure pseudo-circulaire de diamètre $25\mu\text{m}$ avec utilisation de l'amplificateur transimpédance et variation de la température

À basses températures, pour les faibles tensions d'excès, nous constatons que le DCR augmente légèrement avec la température (repère A sur la Figure 3.25a). Ensuite, le DCR augmente très rapidement et nous saturons l'oscilloscope, cette tension seuil avant l'accroissement abrupt a tendance à augmenter avec la température (repère B). Par exemple, à -40 °C la tension seuil se situe autour de 0.4 V d'excès tandis qu'à 0 °C elle est plutôt autour de 0.6 V. Pour les températures supérieures à 10 °C, le DCR augmente de manière progressive avec la température (Figure 3.25b).

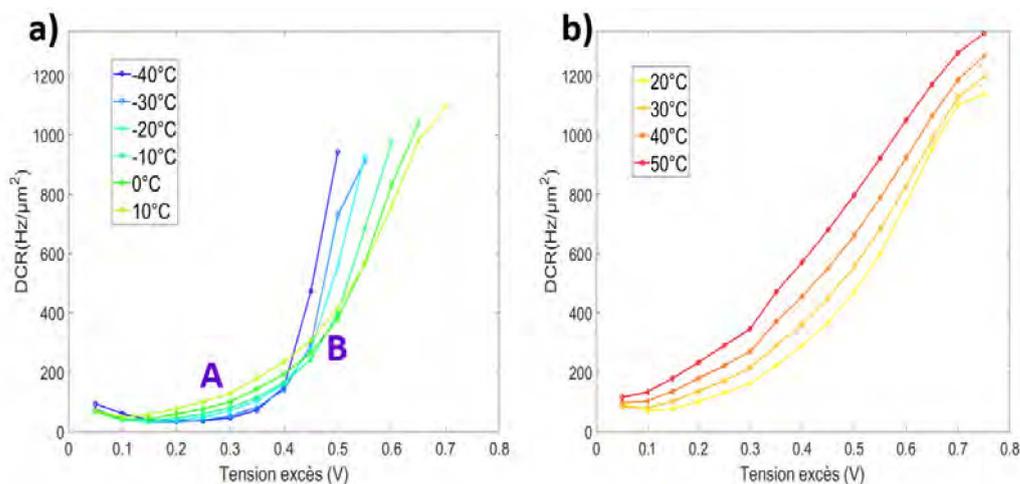


FIGURE 3.25 – Mesure du DCR de la SPAD FD-SOI pour structure pseudo-circulaire de diamètre $25\mu\text{m}$ avec utilisation de l'amplificateur transimpédance : en a) pour $T \leq 10$ °C et en b) $T > 10$ °C

La Figure 3.26a représente le tracé des courbes d'Arrhénius, c'est-à-dire de l'évolution du logarithme népérien du DCR en fonction de l'inverse de la température. Pour les faibles tensions d'excès $[0,10 ; 0,4]$ V, nous constatons uniquement une augmentation progressive du DCR avec la température. Pour des tensions plus élevées $[0,45 ; 0,75]$ V, nous observons une forme de "cuvette" qui traduit les deux comportements évoqués précédemment. À basses températures, l'augmentation brutale du

DCR pourrait être due aux pièges qui relâchent des charges plus tardivement, traduisant alors une augmentation rapide de la probabilité d'afterpuling. Tandis qu'à hautes températures, le B2B et la génération thermique prédominent et entraînent une augmentation du DCR. Les extractions des énergies d'activation à plusieurs valeurs de tensions d'excès donnent des valeurs faibles de l'ordre de 0.2 eV qui confirment le résultat obtenu sur les courbes $I(V)$ avec variation de la température : pour notre structure SPAD c'est le B2B qui prédomine [192], [193]. De plus si nous traçons la variation du DCR en fonction de la température pour une tension d'excès fixe (Figure 3.26b), nous mettons encore plus en évidence cette forme de « cuvette » (ici $V_{ex} = 0.5$ V). Ces valeurs de DCR mesurées sont bien supérieures à celles trouvées dans la littérature. Pour cette raison, un axe d'enjeu majeur sera de proposer de possibles optimisations afin de réduire le DCR.

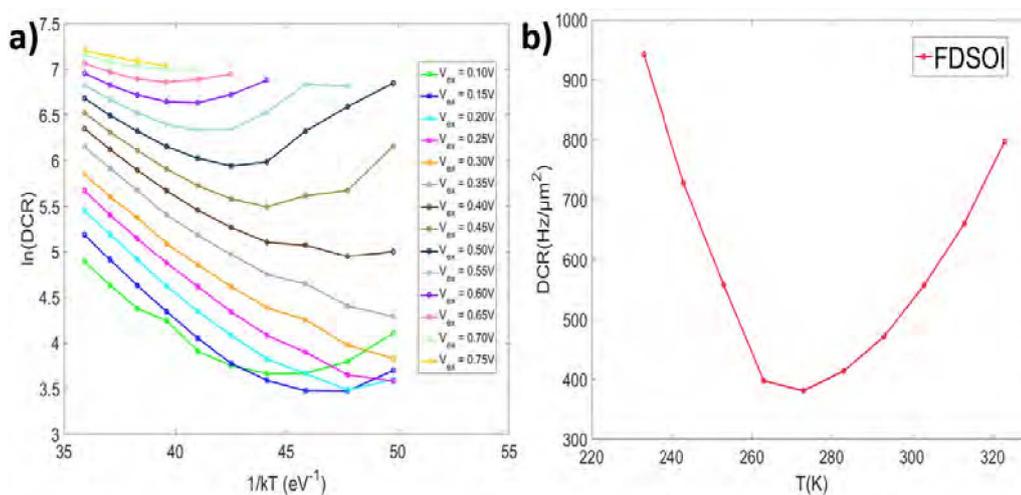


FIGURE 3.26 – Étude du DCR pour la structure SPAD FD-SOI standard de diamètre $25\mu\text{m}$: en a) Courbes d'Arrhénius et en b) DCR en fonction de la température pour $V_{ex} = 0.5$ V

3.2.5 Cartographies d'électroluminescence

Les cartographies d'électroluminescence ont été réalisées sur les *test-chips* 1 et 2 et ont permis d'analyser les trois géométries de SPAD FD-SOI : carrée, octogonale et pseudo-circulaire (Figure 3.27). Le comportement observé est le même pour ces trois géométries, nous retrouvons un claquage prépondérant sur les bords de la zone active (PEB, *Premature Edge Breakdown*). De plus, le même comportement est observé pour la cellule SPAD NOSO (non représenté ici). Par la suite, en augmentant la tension d'excès, nous parvenons à éclairer toute la structure traduisant un claquage dans l'intégralité de la zone active [157].

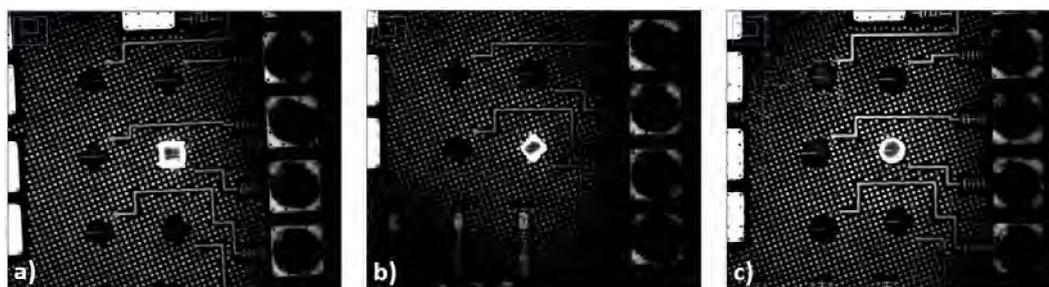


FIGURE 3.27 – Cartographies d'électroluminescence de SPAD FD-SOI de diamètre $25\mu\text{m}$ à $V_{ex} \sim 0.3$ V : en a) carrée, en b) octogonale et en c) pseudo-circulaire (température ambiante)

Les structures SPAD STI présentent un comportement opposé aux cellules FD-SOI. En effet, l'illumination commence au centre de la zone active et non pas sur les bords (Figure 3.28). Quand nous

augmentons ensuite la tension d'excès appliquée, nous parvenons à "éclairer" l'intégralité de la surface active.

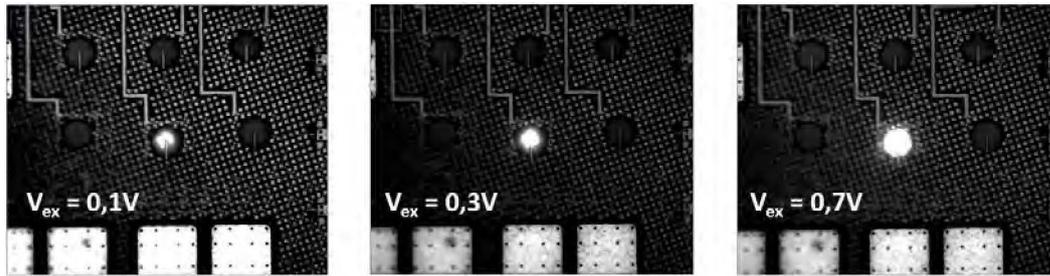


FIGURE 3.28 – Cartographies d'électroluminescence de SPAD STI pseudo-circulaire de diamètre $25\ \mu\text{m}$ en fonction de la tension d'excès (température ambiante)

Ces cartographies mettent en évidence le fait que la zone de claquage prédominante correspond systématiquement à une zone sous STI. Pour les structures SPAD FD-SOI, le STI de la périphérie qui déborde sur la jonction PW/DNW (imposée par les règles de dessin, cf. chapitre 2) semble être responsable du claquage localisé (étoile sous STI 5 dans la Figure 3.29a). Pour les structures SPAD STI, le claquage commence directement sous la large zone STI qui entoure le contact anode (Figure 3.29b). Ces blocs STI semblent donc néfastes pour le comportement de la SPAD FD-SOI, c'est pourquoi le chapitre 5 présente les travaux réalisés pour éloigner au maximum le bloc STI présent sur la périphérie de la jonction de la diode dans le cadre de la structure SPAD FD-SOI.

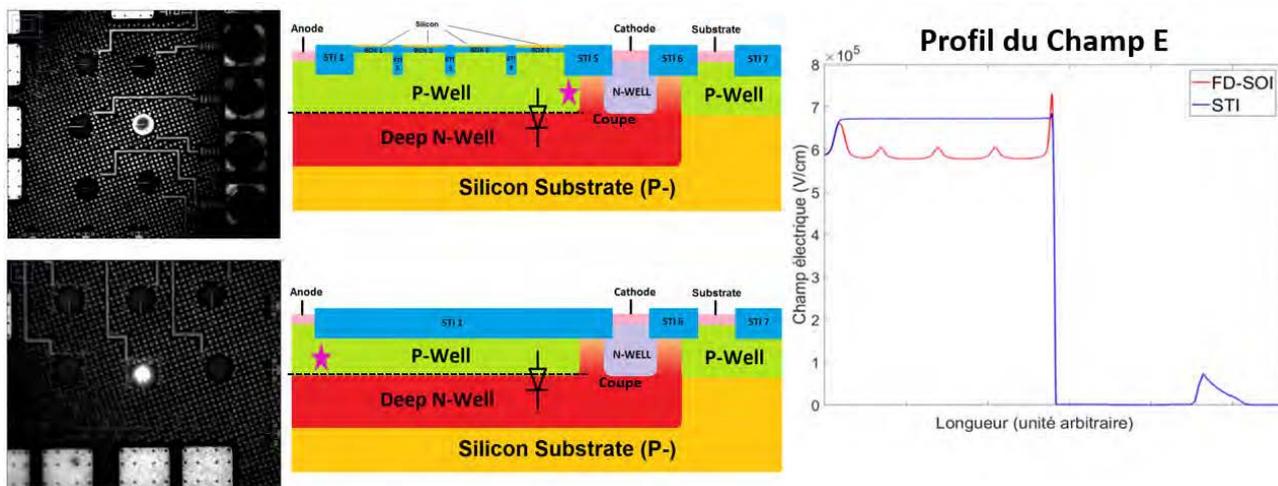


FIGURE 3.29 – Correspondance entre cartographies d'électroluminescence, zone de claquage prépondérante, et répartition du champ électrique dans la ZCE à $V_{ex} = 1\ \text{V}$: en a) structure SPAD FD-SOI et en b) structure SPAD STI

3.2.6 Comportement de la structure matricielle

Pour rappel, l'objectif de cette matrice est d'étudier l'influence des SPAD adjacentes sur celle du centre (qui est la seule pouvant être caractérisée électriquement). Au préalable, nous avons utilisé l'imagerie d'électroluminescence pour nous assurer que le circuit d'adressage intégré dans la *test-chip* est fonctionnel et que les SPAD sont opérationnelles. Le fonctionnement de la matrice est tel qu'attendu et nous observons bel et bien les huit configurations de polarisation sur les images de la Figure 3.30. De plus, les SPAD étant toutes polarisées avec la même tension inverse, ces images illustrent un comportement assez similaires des neuf SPAD avec la visualisation du claquage prépondérant sur les bords de la zone active (PEB). Nous constatons cependant quelques petites distinctions géométriques avec l'anneau éclairé qui n'est pas de largeur constante sur certaines SPAD.

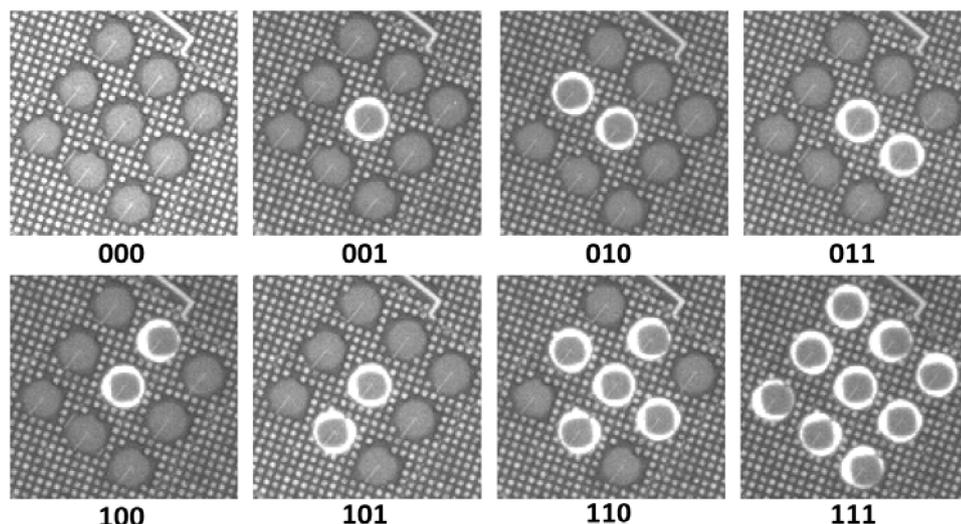


FIGURE 3.30 – Cartographies d'électroluminescence pour les différentes configurations de la matrice ($V_{ex} = 0.5$ V)

Nous avons ensuite réalisé des mesures de DCR (mais aussi de courant d'obscurité) avec les différentes configurations de la matrice. Il n'apparaît pas de modification significative du DCR de la SPAD centrale en fonction de l'activité des SPAD adjacentes (Figure 3.31). Ainsi, s'il existe des phénomènes de *crosstalk* (électrique et/ou optique) entre les SPAD de la matrice, ils ne contribuent pas significativement au DCR pour les distances employées et ne sont pas mesurables.

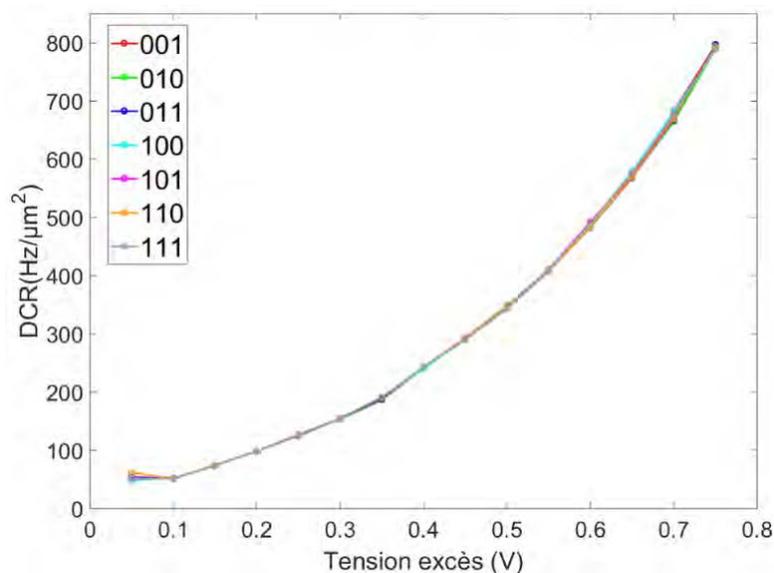


FIGURE 3.31 – Mesures DCR à température ambiante pour les différentes configurations de la matrice 3x3

3.3 Optimisation des simulations TCAD

3.3.1 Prise en compte du procédé de fabrication complet

Un des objectifs de mes travaux de thèse est de développer une chaîne de simulations pouvant prendre en compte le procédé de fabrication pour que les résultats simulés correspondent mieux aux mesures. En effet, jusqu'à présent nous avons recours au module *SDE* [158] de *Synopsys Sentaurus* qui permettait de faire une définition par région de la structure sans prendre en compte certains détails du procédé comme les données d'implantations et/ou de recuit.

Pour cette raison, la structure simulée n'était en fait qu'une vision simplifiée de celle fabriquée. Nous nous sommes donc dirigés vers le module *SPROCESS* [159] qui lui permet de décrire les conditions d'implantation et de recuit pour l'établissement des caissons NW, PW et DNW. Les simulations 3D complètes étant très coûteuses en ressources, nous décrivons une demi-structure avec une symétrie cylindrique. Nous commençons tout d'abord par créer un substrat silicium avec un dopage initial de type P- de longueur $28\mu\text{m}$ et d'épaisseur $6\mu\text{m}$ (Figure 3.32a). Nous réalisons ensuite une gravure du silicium afin de permettre la création des blocs STI (Figure 3.32b).

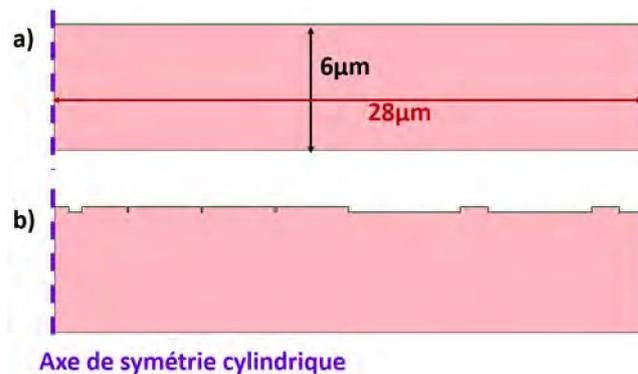


FIGURE 3.32 – Étape 1 de la conception en simulation de la structure de la SPAD FD-SOI : en a) création du substrat et en b) gravure du silicium pour les zones STI

Nous mettons ensuite en place un dépôt d'oxyde épais afin de remplir les cavités du silicium pour créer les tranchées STI. De plus, cette étape permet aussi de concevoir les BOX. Nous ajoutons ensuite une étape de dépôt de silicium afin de concevoir le film caractéristique de la technologie FD-SOI. L'empilement en place, nous terminons par l'ajout d'une fine couche d'oxyde qui se nomme *Screen Oxide* et qui sera utilisée uniquement pendant les étapes d'implantations ioniques (Figure 3.33). À noter que cette création du BOX et du film de silicium ne reflète pas le véritable procédé de fabrication mais permet de décrire une structure conforme par rapport à la technologie CMOS FD-SOI 28 nm.

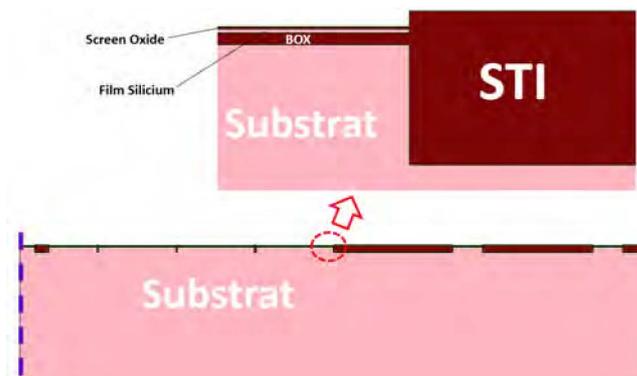


FIGURE 3.33 – Étape 2 de la conception en simulation de la structure de la SPAD FD-SOI avec mise en place des STI, des BOX, du film Silicium et de la couche *Screen Oxide*

Il faut maintenant créer la structure de la SPAD, pour cela nous mettons en place trois séries d'implantations ioniques pour chacun des caissons : PW, NW et DNW (Figure 3.34a). Ces dernières sont suivies par des recuits à différentes températures. Sur les résultats de simulations présentés sur la Figure 3.34b, les zones avec un dopage de type "P" sont représentées en bleu avec un niveau d'intensité qui augmente avec le niveau de dopage alors qu'une couleur rouge est utilisée pour coder le niveau de dopage des caissons de type "N". Enfin, pour terminer cette troisième étape, nous venons graver la couche de *Screen Oxide*.

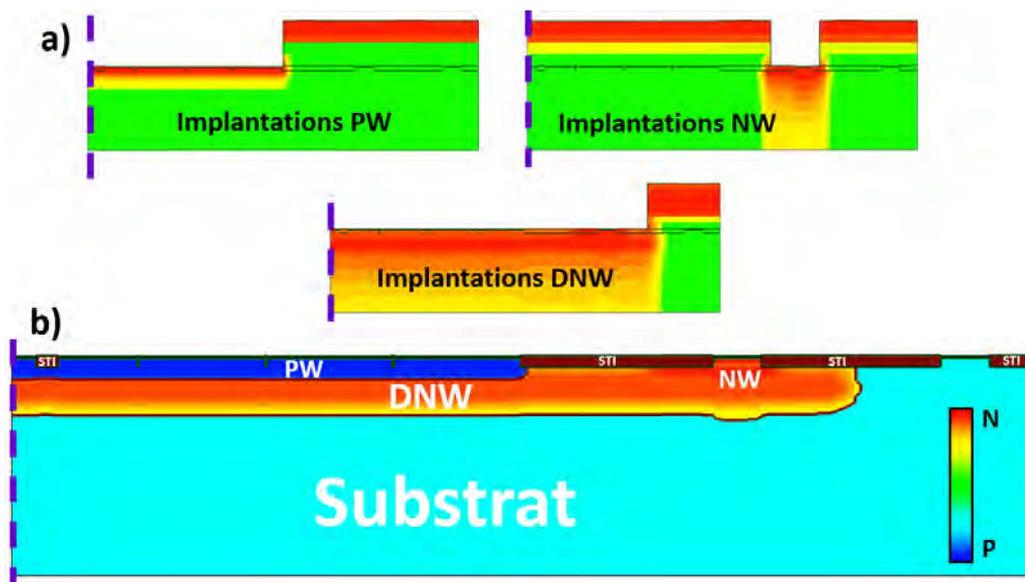


FIGURE 3.34 – Étape 3 de la conception en simulation de la structure de la SPAD FD-SOI : avec en a) mise en place des implantations ioniques et en b) structure après recuit

La structure est terminée mais elle n'est pas encore opérationnelle. Nous devons dans un premier temps réaliser la prise des contacts anode, cathode et substrat. Il est aussi important de mettre un contact sur chacune des zones FD-SOI pour ne pas laisser de silicium électriquement flottant et ainsi éviter les problèmes de convergence. Pour cela, nous réalisons les contacts nommés "SOI" qui sont au nombre de quatre (Figure 3.35a). Enfin, le maillage initial lié au procédé est ensuite retravaillé pour prendre en compte les zones de fort gradient de champs et/ou de dopages, notamment aux voisinages et à l'intérieur de la ZCE (Figure 3.35b).

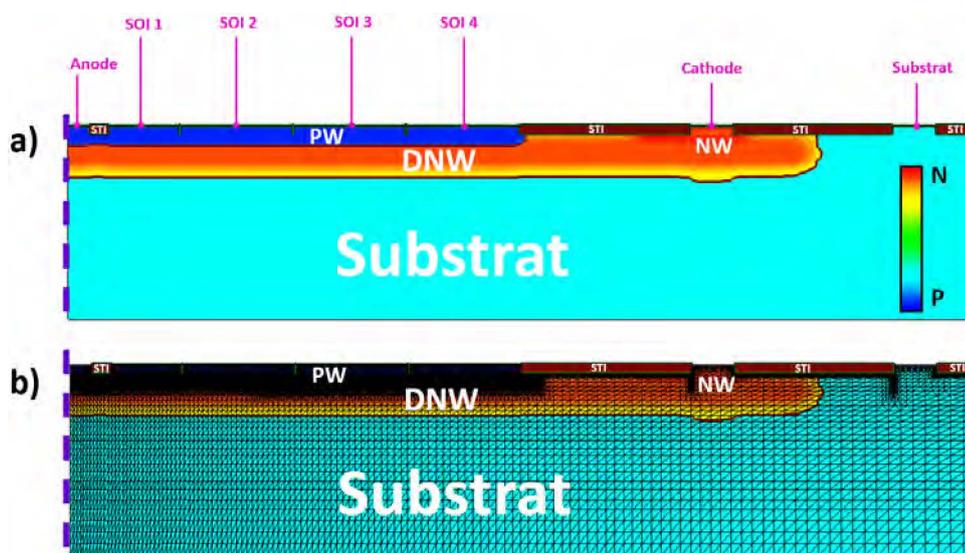


FIGURE 3.35 – Étape 4 de la conception en simulation de la structure de la SPAD FD-SOI avec contacts et mise en place du maillage

3.3.2 Choix du modèle d'avalanche optimal

Une autre voie d'optimisation de la simulation consiste à choisir le modèle d'avalanche le plus adapté à notre structure pour que les résultats de simulations correspondent aux mesures. Pour rappel du chapitre 2, quatre modèles pour calculer les coefficients d'ionisation sont disponibles dans *Sentau-*

rus : Van Overstraeten de Man [176], Okuto-Crowell [177], Lackner [178], et UniBo [179] et [180]. Les premières simulations mises en place avec ces modèles n'ont pas permis de faire un choix définitif. En effet, les courbes de $V_{BD}(T)$ étaient assez éloignées de celles mesurées (Figure 3.36). De plus, les pentes étaient elles aussi assez différentes (Tableau 3.3).

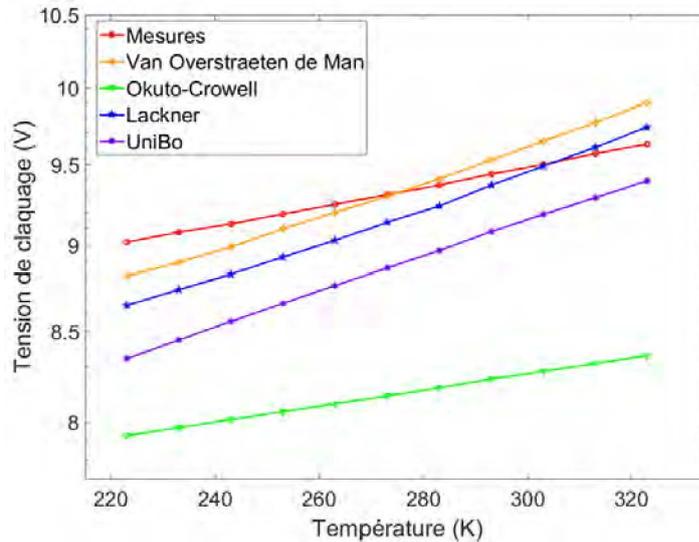


FIGURE 3.36 – Courbes $V_{BD}(T)$ simulées en fonction du modèle d'avalanche choisi

Modèles	Pente (mV/K)
Mesures	6.1
Van Overstraeten de Man	10.7
Okuto-Crowell	4.3
Lackner	10.8
UniBo	10.4

TABLE 3.3 – Pentés des courbes $V_{BD}(T)$ en fonction du modèle choisi en simulations

Selon le manuel *SDEVICE* [160], il est possible d'ajouter dans ces modèles une dépendance à l'énergie de gap du matériau, E_g . Pour cela, il suffit d'ajouter la commande *BandgapDependence* dans la zone de spécification du modèle d'avalanche. Dans les modèles de Van Overstraeten de Man, d'Okuto-Crowell et de Lackner, cette activation a pour conséquence de modifier l'expression du paramètre b (dans les équations 2.19, 2.20 et 2.21) qui prend maintenant la forme suivante :

$$b = \frac{\beta \cdot E_g}{q \cdot \lambda} \quad (3.2)$$

Dans le cas du modèle d'UniBo, l'expression du paramètre $d(T)$ (dans l'équation 2.3.3) est modifiée :

$$d(T) = \left(\frac{\beta \cdot E_g}{q \cdot \lambda} / d_0 \right) \cdot (d_0 + d_1 \cdot T + d_2 \cdot T^2) \quad (3.3)$$

En accord avec la Figure 3.37 et le Tableau 3.4, le modèle de Van Overstraeten de Man avec *BandgapDependence* activée a été retenu : i) il s'agit de la configuration pour laquelle les tensions de claquage en fonction de la température sont les plus proches de celles mesurées, et ii) la pente de $V_{BD}(T)$ est proche de celles des données expérimentales.

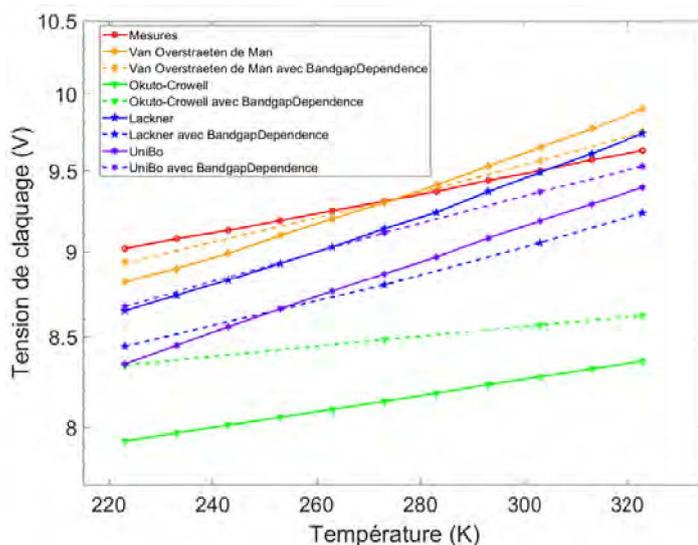


FIGURE 3.37 – Courbes $V_{BD}(T)$ simulées en fonction du modèle d’avalanche choisi avec activation de *BandgapDependence*

Modèles	Pente (mV/K)	Pente avec <i>BandgapDependence</i> (mV/K)
Mesures	6.1	-
Van Overstraeten de Man	10.7	8.1
Okuto-Crowell	4.3	2.8
Lakcner	10.8	7.9
UniBo	10.4	8.6

TABLE 3.4 – Pentés des courbes $V_{BD}(T)$ en fonction du modèle choisi en simulations avec *BandgapDependence*

3.3.3 Ajustement de la durée de vie des porteurs

Comme illustré sur la Figure 3.38, la caractéristique $I(V)$ simulée présente un écart de près de deux décades sur le courant d’obscurité à faible polarisation inverse.

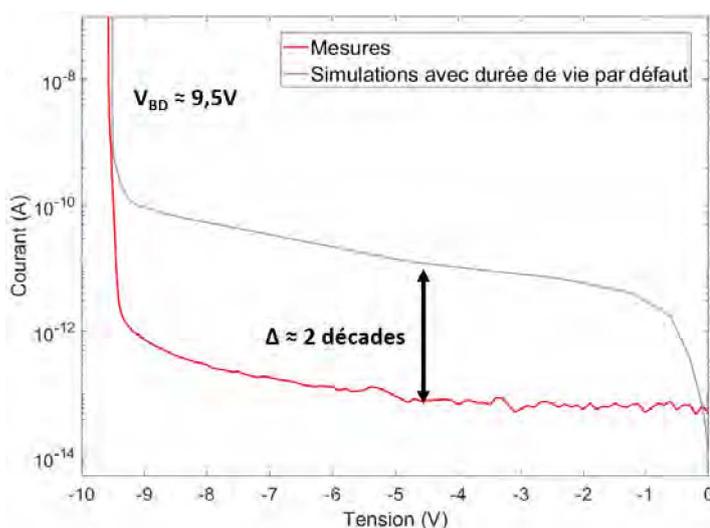


FIGURE 3.38 – Comparaison entre les courbes $I(V)$ mesurée et simulée

L’activation des recombinaisons de type SRH induit obligatoirement un calcul de la durée de vie des porteurs (comme vu au chapitre 2 avec les équations 2.11, 2.12, 2.13 et 2.14) selon la relation

suivante :

$$\tau = \tau_{min} + \frac{\tau_{max} - \tau_{min}}{1 + \left(\frac{N_A + N_D}{N_{ref}}\right)^\gamma} \cdot \frac{\left(\frac{T}{300K}\right)^\alpha}{1 + \int_0^{\tilde{E}_n} \exp\left(u - \frac{2}{3} \cdot \frac{\sqrt{u^3}}{E}\right) \cdot du} \quad (3.4)$$

Les valeurs par défaut de la simulation TCAD conduisent à un courant d'obscurité surestimé. De ce fait, nous avons modifié les paramètres de simulation pour augmenter la durée de vie des électrons et des trous, en ajustant les paramètres τ_{min} et τ_{max} (Tableau 3.5), afin de trouver la paramétrisation la mieux adaptée.

Configuration	τ_{min} électrons (s)	τ_{min} trous (s)	τ_{max} électrons (s)	τ_{max} trous (s)
Par défaut	0	0	1e-5	0.3e-5
1	1e-6	0.3e-6	1e-5	0.3e-5
2	1e-6	0.3e-6	1e-4	0.3e-4
3	1e-5	0.3e-5	1e-4	0.3e-4
4	1e-5	0.3e-5	1e-3	0.3e-3
5	1e-4	0.3e-4	1e-3	0.3e-3

TABLE 3.5 – Configurations choisies pour l'optimisation de la durée de vie

Comme cela apparaît sur les caractéristiques $I(V)$ de la Figure 3.39, la configuration 4 est la mieux adaptée et sera utilisée pour le reste de nos études avec des durées de vie dans une gamme large allant de la dizaine à plusieurs centaines de microsecondes.

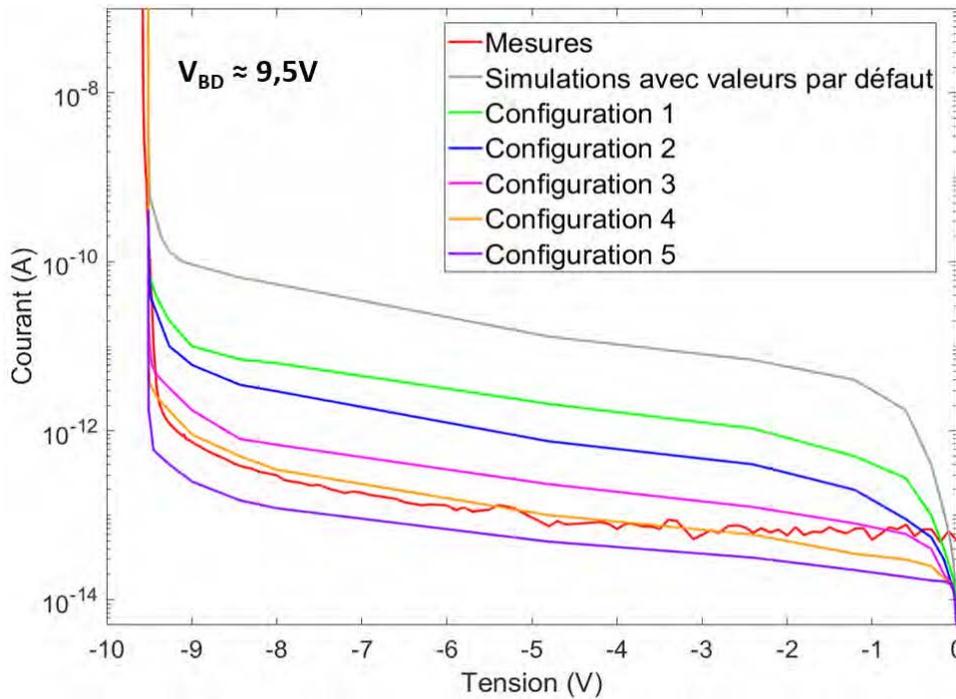


FIGURE 3.39 – Comparaison entre les courbes $I(V)$ mesurée et simulées selon plusieurs valeurs de durée de vie des porteurs dans le modèle SRH

3.4 Bilan

La conception et la caractérisation de cellules SPAD FD-SOI et STI ont permis de réaliser des mesures de référence. Elles serviront d'éléments de comparaison pour les études d'optimisation présentées dans les chapitres suivants. Ces premiers résultats ont mis en évidence que :

- la tension de claquage des SPAD FD-SOI est d'approximativement 9.5 V ce qui est assez faible par rapport à l'état de l'art ;
- la cellule FD-SOI présente un claquage prématuré sur la périphérie (PEB) ;
- la cellule STI présente une tension de claquage plus faible et un DCR plus élevé par rapport à la SPAD FD-SOI.

Ces deux dernières observations laissent penser que l'interface PW/STI impacte le déclenchement de l'avalanche et dégrade le DCR. Ceci peut s'expliquer par la présence de défauts d'interface, et par des pics de champ électrique au voisinage des STI. Cela fournit un axe d'étude pour la conception de cellules SPAD optimisées (cf. chapitre 5). Un autre axe d'étude vise à augmenter la tension de claquage afin d'éviter une contribution importante du B2B (cf. chapitre suivant).

Par ailleurs, en s'appuyant sur les mesures, il a été possible d'optimiser la chaîne de simulation en ajustant la durée de vie des porteurs, en choisissant et paramétrant le modèle d'avalanche le plus adapté, et en décrivant les étapes du procédé de fabrication.

Chapitre 4

Augmentation de la tension de claquage

Ce chapitre présente le travail d'optimisation réalisé pour augmenter la tension de claquage de la cellule SPAD PW/DNW. En effet, comme nous l'avons souligné dans le chapitre précédent, la tension de claquage de la cellule standard est relativement faible (~ 9.5 V) avec une contribution significative des générations/recombinaisons de porteurs par effet tunnel bande à bande (B2B) conduisant à un DCR relativement élevé au regard des valeurs rapportées dans la littérature.

Dans le cadre de ce travail d'optimisation, nous avons étudié deux voies possibles. La première ne nécessite pas de modification du procédé puisqu'elle s'appuie sur une structuration en îlots du caisson DNW. La seconde requiert une modification des caractéristiques d'implantation du caisson DNW, induisant cependant un impact limité sur les caractéristiques des composants CMOS.

Contents

4.1	Contexte	84
4.2	Optimisation de la cellule SPAD sans modification du procédé de fabrication	85
4.2.1	Principe	85
4.2.2	Étude en simulation	86
4.2.3	Dessin physique de la SPAD avec DNW en damier	89
4.2.4	Caractérisations	90
4.3	Optimisation de la cellule SPAD avec modification de l'étape d'implantation du caisson DNW	92
4.3.1	Principe	92
4.3.2	Étude en simulations	93
4.3.3	Caractérisations	95
4.4	Bilan	102

4.1 Contexte

Comme cela a été présenté dans le chapitre précédent, les mesures réalisées sur la cellule de référence : "FD-SOI", ont mis en évidence une tension de claquage à température ambiante de l'ordre de 9.5 V (Figure 4.1a). Cette valeur est relativement faible par rapport aux tensions de claquage mentionnées dans la littérature (cf. chapitre 1), et rend compte d'une jonction beaucoup trop abrupte pour un fonctionnement optimal de la SPAD. Dans ce contexte, le mécanisme de générations/recombinaisons de type B2B devient prédominant comme l'illustre les valeurs des énergies d'activation (~ 0.2 eV) extraites des mesures de courant d'obscurité et de DCR (cf. chapitre 3). De plus, les premières mesures ont aussi mis en évidence un DCR très élevé pour de faibles tensions d'excès, typiquement inférieures à 1 V, i.e. 10 % de V_{BD} (Figure 4.1b).

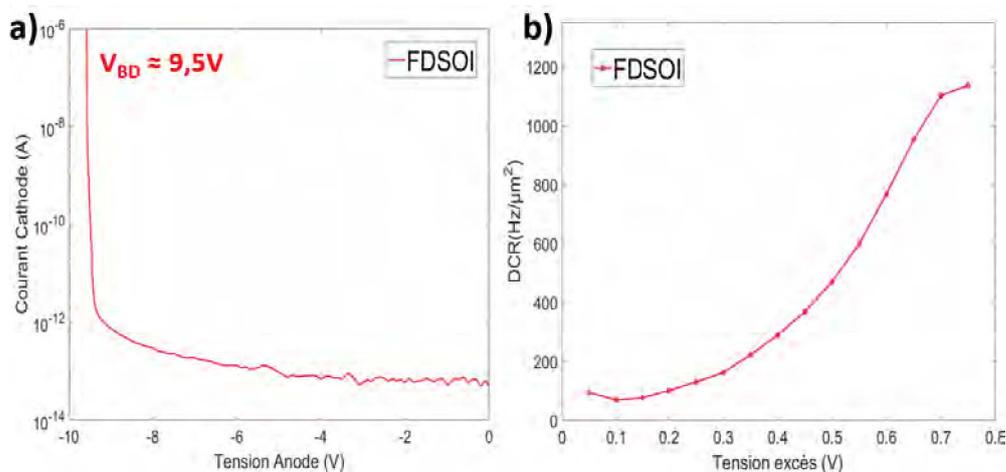


FIGURE 4.1 – Mesures sur la cellule SPAD FD-SOI standard à température ambiante : en a) $I(V)$ et en b) $DCR(V_{ex})$ mesuré avec un amplificateur transimpédance

De plus, sur les simulations TCAD, l'étude de la cartographie du champ électrique présent dans la ZCE a révélé une valeur très élevée de ce dernier, du fait de la jonction abrupte. La coupe présentée dans la Figure 4.2 est réalisée au milieu de la ZCE pour une tension d'excès de 1 V. De plus, nous observons des pics dans le profil du champ électrique, ces derniers sont induits par les tranchées STI présentes au-dessus de la zone active. Leurs effets seront analysés plus en détail dans les chapitres 5 et 6.

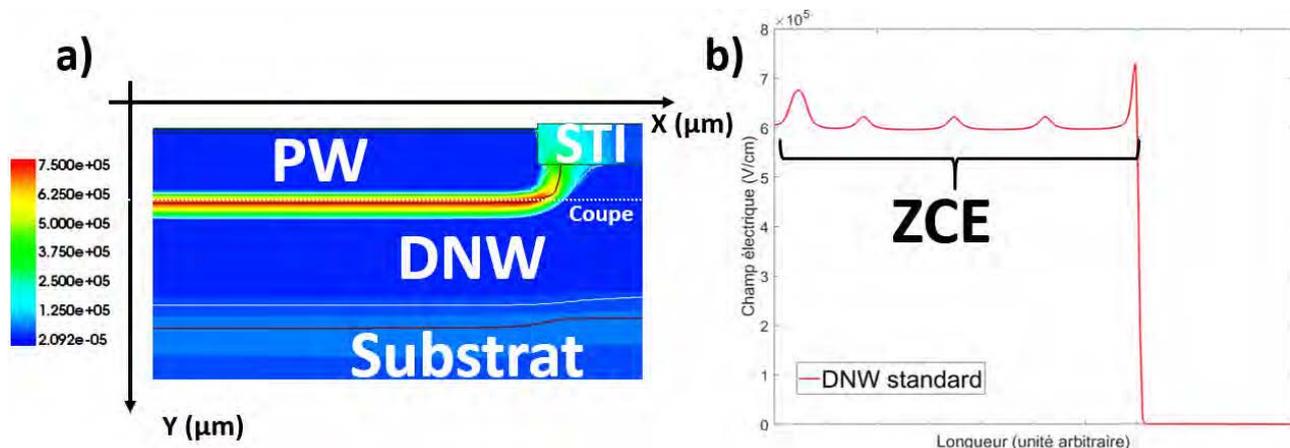


FIGURE 4.2 – Étude du champ électrique sur la structure DNW standard : en a) cartographie et en b) coupe au milieu de la ZCE ($V_{ex} = 1$ V)

Pour améliorer les performances de la SPAD et obtenir une tension de claquage plus élevée avec un DCR acceptable, il est possible de rendre moins abrupte le profil de dopage de la jonction PW/DNW. Nous avons étudié deux approches pour diminuer le niveau de dopage moyen du caisson DNW. Pour ces deux approches, le niveau de dopage du caisson PW n'est pas modifié, ce qui permet de conserver les caractéristiques de l'électronique située au-dessus du BOX (par exemple l'effet de body-biasing). Nous avons, dans un premier temps, étudié une solution qui ne nécessite pas de modification du procédé de fabrication et qui repose sur la structuration en îlots du caisson DNW. Ce volet de l'étude est présenté dans la première partie du chapitre. Nous avons également modifié le profil de dopage de la jonction grâce à la modification des paramètres de l'implantation du caisson DNW. Cette approche est décrite dans la seconde partie de ce chapitre.

4.2 Optimisation de la cellule SPAD sans modification du procédé de fabrication

4.2.1 Principe

Cette première approche est inspirée des travaux de S. Parent [194] qui a proposé de faire varier la structure du caisson N de sa SPAD en réalisant une implantation au travers d'une résine en forme de damier [195]. Une structure présentant des caissons N très dopés séparés par des zones non dopées est réalisée afin d'obtenir un caisson N avec un dopage moyen plus faible après l'étape de recuit (diffusion latérale) comme illustré sur la Figure 4.3.

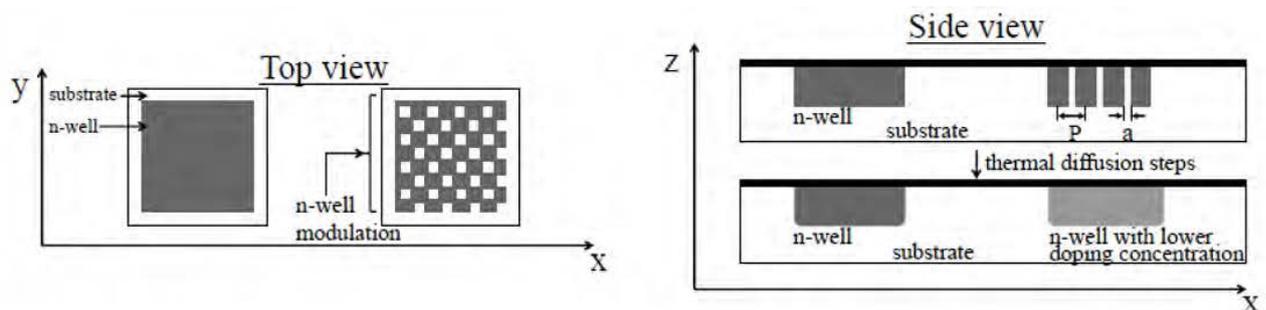


FIGURE 4.3 – Schéma des structures développées par S. Parent sur le caisson N (adapté de [194])

Cette modification a pour but de réduire le niveau de dopage du caisson N en modifiant uniquement la forme du masque permettant la réalisation du caisson NW. Dans ces conditions et en faisant varier le paramétrage de sa grille S. Parent a réussi à adoucir la jonction P/N, à augmenter la tension de claquage (Tableau 4.1) et à réduire le niveau de DCR.

Paramètre de grille P (μm)	Paramètre de grille a (μm)	Fill Factor de grille (%)	Concentration simulée (%)	V_{BD} mesurée (V)	Écart sur V_{BD} (V)
Sans Structuration		100	100	19.7	Référence
2	1.4	75	60	21.5	1.8
2	1.8	60	51	23.8	4.1
2	2	50	45	25.9	6.2
3	3	50	46	26.9	7.2
4	4	50	46	25.9	6.2

TABLE 4.1 – Variation des tensions de claquage obtenues dans l'étude de S. Parent avec $FF = 1 - \frac{a^2}{2P^2}$ (adapté de [194])

Notre objectif dans cette section est de reprendre la même étude mais en l'adaptant à notre structure SPAD et au procédé de fabrication de la technologie CMOS FD-SOI 28 nm (Figure 4.4).

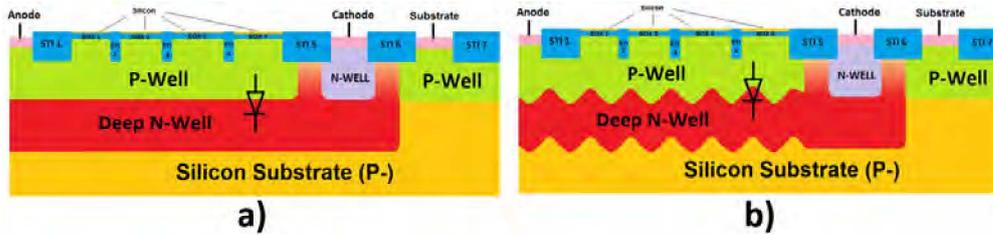


FIGURE 4.4 – Schéma des structures FD-SOI avec en a) DNW standard et en b) DNW en damier

4.2.2 Étude en simulation

Description TCAD de l'étape d'implantation

En simulations TCAD, l'instauration de cette modification intervient au niveau du module *SPROCESS* de *Synopsys* dans lequel le procédé de fabrication est décrit (cf. chapitre 3). Pour réaliser la structuration du caisson DNW, il est indispensable d'introduire une couche de résine que nous venons graver en forme de damier, et ceci avant de faire les implantations du DNW (Figure 4.5). La simulation prend en compte l'épaisseur de la résine ainsi que l'inclinaison des flancs, ces données confidentielles de *STMicroelectronics* ne seront pas communiquées dans cette thèse.

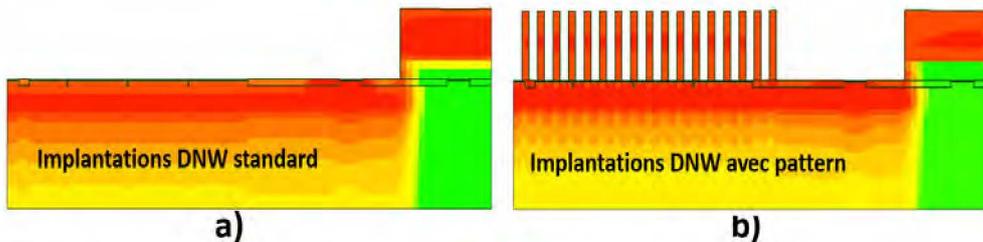


FIGURE 4.5 – Description TCAD pour l'implantation du caisson DNW dans la structure a) standard et b) en damier

Pour la réalisation des simulations, nous avons décidé de travailler sur deux paramètres, D qui représente la largeur d'un îlot DNW implanté, et donc l'ouverture dans la matrice de résine, puis a qui représente l'espacement entre deux îlots DNW voisins (Figure 4.6).

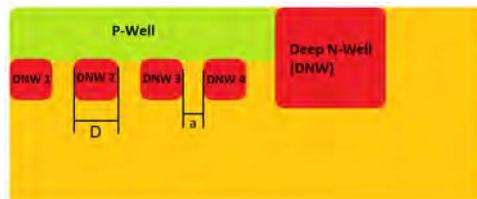


FIGURE 4.6 – Schéma de la structure DNW en damier avant recuit avec identification des paramètres D et a

Afin de réaliser une étude conforme par rapport aux règles imposées par la conception sur *Cadence Virtuoso*, il faut tenir compte des contraintes de dessin (DRM) qui sont présentées dans le Tableau 4.2.

Éléments	Nom de la règle	Impact sur l'étude
Espace entre deux zones dopées	ST_3T03	a minimal
Taille d'un îlot DNW	$GR3T02$	D minimal

TABLE 4.2 – Règles de dessin à respecter dans le cadre de l'étude du caisson DNW en damier

Étude paramétrique

Dans une première approche, notre idée était de respecter les règles du DRM pour le dispositif avec caisson DNW sous forme de damier. Cependant, avec la mise en place du procédé et le respect des données d'implantation ionique et de recuit, nous constatons que la diffusion latérale n'est pas assez importante pour permettre aux îlots DNW de fusionner. Ce problème s'explique par un temps de recuit beaucoup trop court. Nous avons alors décidé de violer une première règle de dessin et de travailler avec un paramètre a inférieur à sa valeur minimale afin de concevoir après recuit un caisson DNW continu.

Toutefois, pour une structure avec D supérieur à la limite et un a inférieure à sa valeur minimale mais proche de cette dernière, les îlots DNW ne fusionnent toujours pas comme illustré sur la Figure 4.7. Une étude paramétrique a montré qu'il est nécessaire d'utiliser une valeur de a très faible de l'ordre de $0.5 \mu\text{m}$.



FIGURE 4.7 – Cartographie TCAD des niveaux de dopage d'une structure FD-SOI avec structuration du caisson DNW pour D supérieur à la limite et a inférieure à sa valeur minimale mais proche de cette dernière

A la suite de différentes simulations, nous avons identifié des configurations pour lesquelles nous obtenions un caisson DNW continu (Figure 4.8). Cependant, les simulations électriques (*SDEVICE*) avec le modèle d'avalanche activé n'ont pas montré d'augmentation significative de la tension de claquage par la structuration du caisson DNW. Le meilleur gain est de l'ordre de 0.5 V ce qui est moins bon que les résultats obtenus par S.Parent.



FIGURE 4.8 – Cartographie TCAD des niveaux de dopage d'une structure FD-SOI avec structuration du caisson DNW pour D élevé et a inférieure à sa valeur minimale

Devant ces résultats, nous avons complété cette étude en choisissant des jeux de paramètres a et D du même ordre de grandeur pour avoir une plus grande modulation du niveau de dopage DNW résultant (Figure 4.9). Cependant, ceci présente une contrainte majeure puisque nous violons la deuxième règle de dessin imposant une valeur de D minimale.



FIGURE 4.9 – Cartographie TCAD des niveaux de dopage d'une structure FD-SOI avec structuration du caisson DNW pour D et a inférieurs à leurs valeurs minimales

Malgré cette nouvelle violation de règle de dessin, nous ne sommes pas parvenus à augmenter significativement la tension de claquage (Tableau 4.3). Le meilleur gain, obtenu pour la structure avec $D = 0.5\mu\text{m}$ et $a = 0.4\mu\text{m}$, est de l'ordre de 1.10 V (de nouveau assez loin des résultats de S.Parent). La sous-section suivante présente des résultats complémentaires pour cette structure.

N°	D (μm)	a (μm)	Écart sur V_{BD}	Nombre d'erreurs DRC
7	0.5	0.5	0.45	2
8	0.5	0.4	1.10	2
9	0.5	0.3	1.06	2

TABLE 4.3 – Paramètres d'étude des simulations du caisson DNW en damier avec violation de deux règles de conception

Résultat complémentaire

Nous avons commencé par étudier les cartographies de niveaux de dopage résultant des implantations DNW à travers une résine en forme de damier. Au niveau de la jonction PW/DNW (Figure 4.10a et b), nous visualisons clairement les zones fortement et faiblement dopées du DNW. Nous présentons également sur cette Figure, une vue en coupe des profils de dopage selon deux coupes verticales : une première (notée $C1$ en gris) pour une zone de dopage DNW fort et une seconde (notée $C2$ en noir) pour une zone faiblement dopée. Pour la coupe $C1$ (Figure 4.10c), la structure est globalement la même que celle du DNW standard, nous constatons néanmoins une faible diminution du niveau de dopage du DNW. Pour la coupe $C2$ (Figure 4.10d), nous constatons une forte diminution du niveau de dopage. Nous remarquons également sur la coupe $C2$ un déplacement des jonctions : la PW/DNW plus profonde et la DNW/Substrat(P-) moins profonde. Ces coupes confirment qu'il est possible de diminuer le niveau de dopage moyen du caisson DNW par structuration de ce dernier.

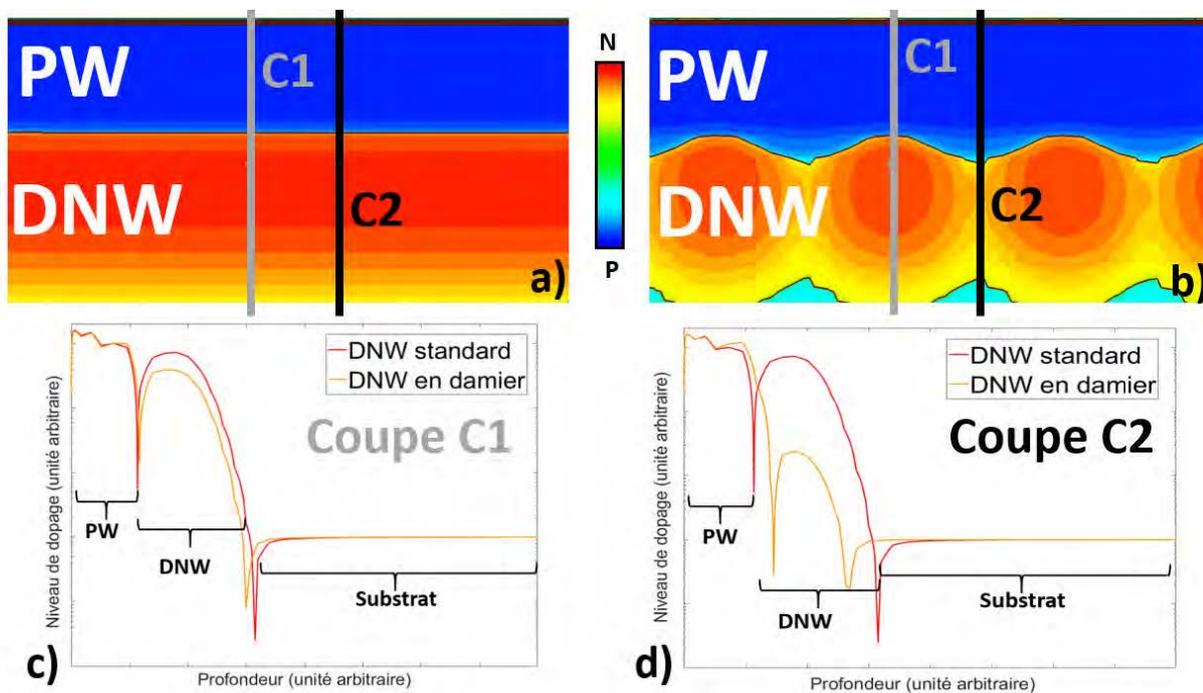


FIGURE 4.10 – Cartographies 2D du niveau de dopage pour la structure a) de référence et b) avec caisson DNW en damier, et profil des niveaux de dopage c) selon la Coupe 1 et d) selon la Coupe 2

Les courbes $I(V)$ avec et sans structuration du DNW (Figure 4.11a) mettent en avant le résultat déjà présenté dans le Tableau 4.3 concernant une augmentation de tension de claquage de l'ordre de

1.1 V. Par ailleurs, ces courbes illustrent aussi une légère diminution du courant d'obscurité pouvant être directement liée à la réduction des générations/recombinaisons B2B au sein de la ZCE observée ici pour une tension d'excès de 1 V (Figure 4.11b). Enfin, comme pour le DNW modifié, en réalisant une coupe horizontale au milieu de la ZCE et pour une tension d'excès valant 10 % de la tension de claquage, nous constatons une diminution du champ électrique moyen impliquant l'augmentation sur la tension de claquage (Figure 4.11c). Il est à noter que pour cette configuration, nous observons toujours un pic de champ sur les bords de la zone active, problème qui est adressé dans le chapitre suivant.

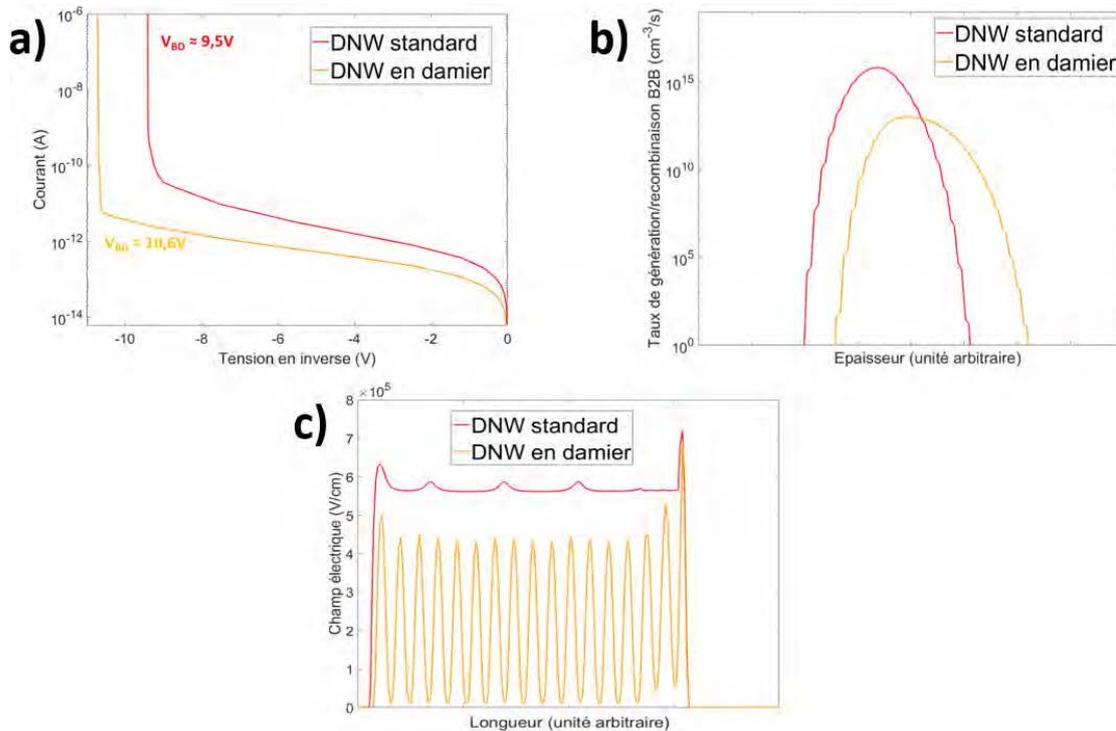


FIGURE 4.11 – Etude TCAD du caisson DNW en damier : en a) Caractéristiques $I(V)$, en b) Taux de B2B selon une coupe verticale, et en c) Coupe horizontale du champ électrique ($V_{ex} = 10\%$ de V_{BD})

4.2.3 Dessin physique de la SPAD avec DNW en damier

Pour confirmer ces résultats, nous avons profité du *test-chip* 3 (TC3) pour évaluer cette structure. La structure SPAD FD-SOI présente une structuration du DNW avec D de $0.5\mu\text{m}$ et a de $0.4\mu\text{m}$. Au niveau dessin, et en accord avec les éléments présentés dans le chapitre 2, nous avons modifié la structure de la couche nommée $T3$ (correspondant au caisson DNW, Figure 4.12).

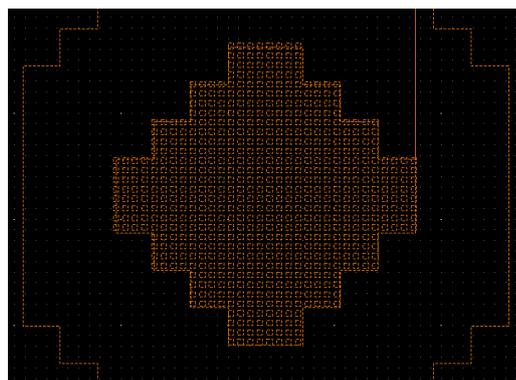


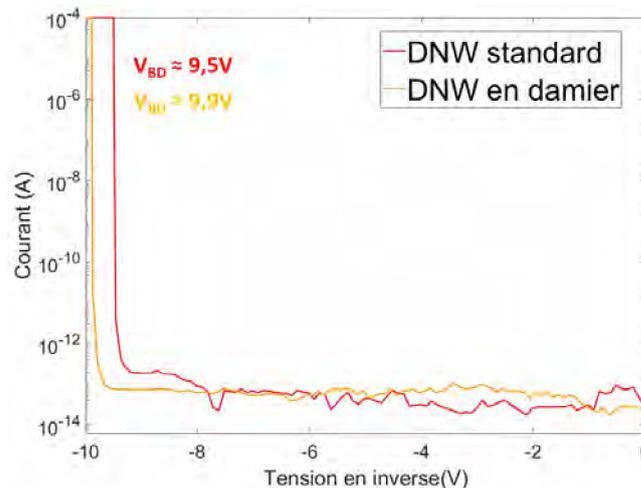
FIGURE 4.12 – Dessin physique de la couche $T3$ avec une structuration de $0.5\mu\text{m}$ par $0.4\mu\text{m}$

Les dimensions choisies étant très agressives par rapport au procédé de fabrication standard (2 règles de dessin violées), nous ne disposons d'aucune garantie sur la viabilité de circuits fabriqués. Par ailleurs, lors de la conception, nous nous sommes aperçus que la mise en place de la structuration du caisson DNW engendrait la violation d'une troisième règle de dessin, concernant l'espacement minimal entre les couches T3 (DNW) et RX (GR3T17). Les règles de dessin violées ne garantissent pas la fabrication d'une structure conforme au dessin physique mais restent compatibles avec le procédé. Ainsi, pour ne pas prendre trop de risques sur la conception d'un circuit intégré, seulement deux cellules du TC3 (une connectée au padding et une sous-pointes) présentent un caisson DNW en damier. Dans les deux cas, il s'agit d'une cellule FD-SOI octogonale de diamètre $25\mu\text{m}$ sans résistance d'étouffement intégrée (Figure 4.13).

FIGURE 4.13 – Vue physique du *test-chip* 3

4.2.4 Caractérisations

Le TC3 a été conçu en avril 2019 et les circuits ont été reçus en novembre. Sur les caractéristiques $I(V)$ issues du même *test-chip* d'une SPAD octogonale avec DNW standard et en damier, nous constatons tout d'abord qu'il n'y a pas de différence significative sur le courant d'obscurité des deux structures contrairement aux résultats de simulations (Figure 4.11a). Par contre, nous observons bien une augmentation de la tension de claquage mais elle n'est que d'environ 0.4 V contre approximativement 1 V en simulation (Figure 4.14).

FIGURE 4.14 – Caractéristiques $I(V)$ de cellule FD-SOI octogonale de diamètre $25\mu\text{m}$ pour le DNW standard et en damier (température ambiante)

Pour les mesures de DCR, l'absence de résistance d'étouffement limite la tensions d'excès à 0.3 V. Dans ces conditions, aucune amélioration du DCR n'a été observée. L'étude des cartographies d'électroluminescence montre un comportement proche du DNW standard avec un claquage prépondérant sur les bords (Figure 4.15). Ce comportement peut s'expliquer à partir de l'étude du champ électrique mené en TCAD (Figure 4.11c) qui montre un pic important sur la périphérie de la jonction PW/DNW.

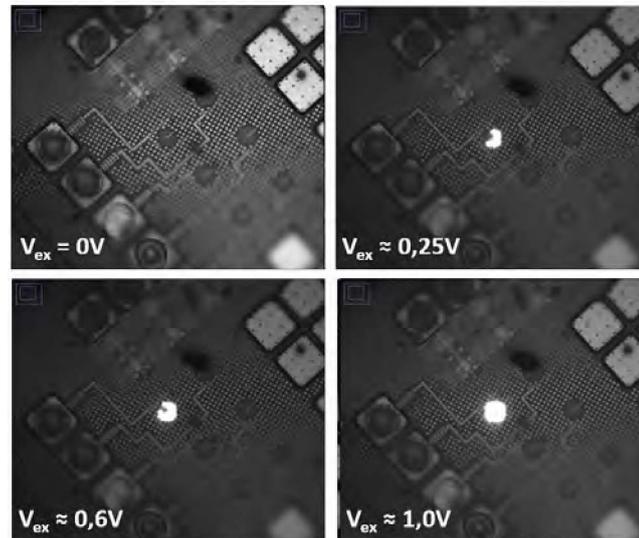


FIGURE 4.15 – Cartographies d'électroluminescence de la SPAD FD-SOI avec DNW en damier sur une structure octogonale de diamètre $25\mu\text{m}$ (température ambiante)

La structuration du caisson DNW modifie significativement la tension de claquage de la jonction entre le DNW et le substrat (P-). Une cellule octogonale FD-SOI présente une V_{BD} de l'ordre de 37 V dans le cas d'une fabrication avec le procédé standard (cf. chapitre 3). Avec le caisson DNW en damier, cette tension est de l'ordre de 10.2 V (Figure 4.16). Les tensions de claquage des deux jonctions sont très proches (PW/DNW et DNW/Substrat), et des courants provenant de la seconde peuvent alors venir parasiter la première.

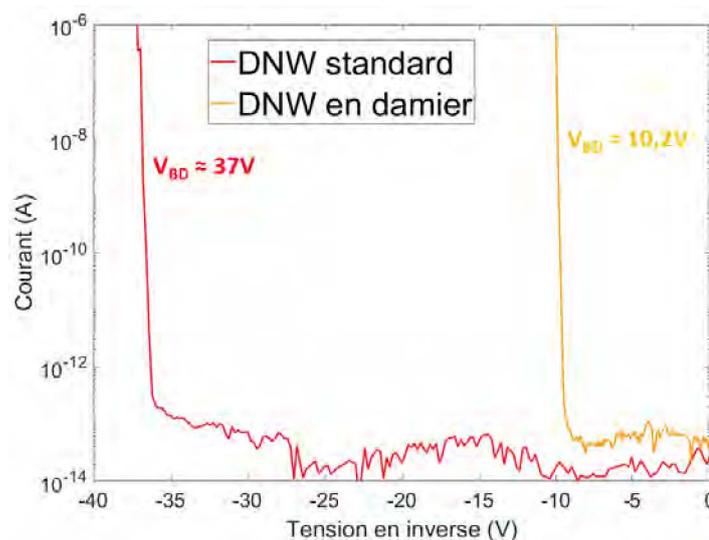


FIGURE 4.16 – Caractéristiques $I(V)$ de la jonction DNW/Substrat de la cellule FD-SOI octogonale de diamètre $25\mu\text{m}$ pour le DNW standard et en damier (température ambiante)

La structuration du caisson DNW est une solution assez intéressante pour modifier localement le niveau de dopage sans impacter le procédé de fabrication. Cependant, compte tenu des contraintes

de fabrication, les possibilités de modification restent trop limitées pour l'objectif visé. Nous avons néanmoins mis en évidence une modification des propriétés électriques de la SPAD par la structuration du caisson DNW, ce qui valide le concept. Par ailleurs, les dimensions physiques du damier sont très agressives, par rapport aux règles de dessin, et ont tout de même montré un effet.

4.3 Optimisation de la cellule SPAD avec modification de l'étape d'implantation du caisson DNW

4.3.1 Principe

Dans une deuxième approche, nous avons travaillé sur la réalisation d'un caisson DNW plus profond et moins dopé, obtenu par la modification des conditions d'implantation dans le procédé de fabrication (Figure 4.17 et Tableau 4.4). L'utilisation d'un caisson moins dopé permet d'obtenir une jonction PW/DNW plus profonde avec une ZCE élargie pour une tension de polarisation inverse donnée. Ainsi, le claquage apparaît à plus forte tension de polarisation inverse. Grâce à l'élargissement de la ZCE, la courbure de bande est moindre et conduit à une plus faible contribution des porteurs générés par effet tunnel dans le DCR (qui de ce fait diminue). Par ailleurs, il est à noter que l'anneau de garde reste toujours de type N moins dopé que la jonction SPAD malgré la diminution du niveau de dopage du caisson DNW.

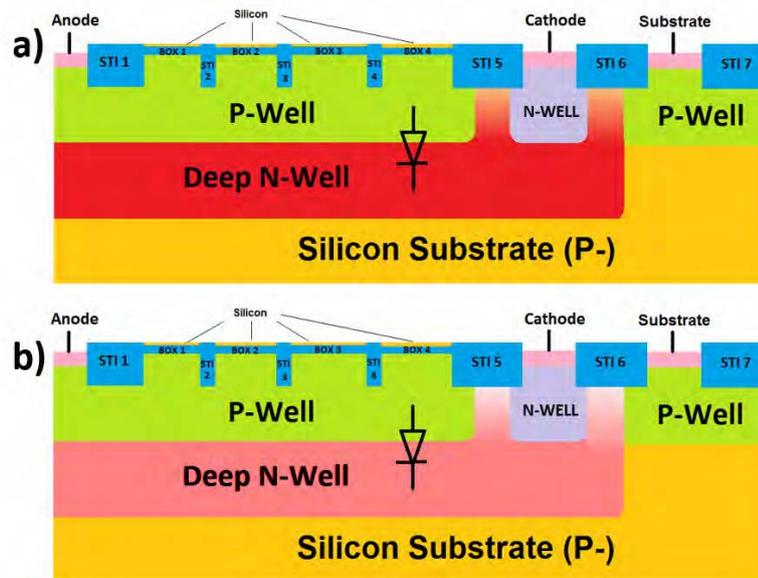


FIGURE 4.17 – Schéma des structures SPAD FD-SOI avec en a) un caisson DNW standard et en b) modifié

Paramètre	Variations
Dose	Diminution d'environ 70 %
Énergie	Augmentation d'environ 25 %

TABLE 4.4 – Modifications des conditions d'implantation du caisson DNW (suite à une étude paramétrique)

Cette solution a été possible car elle ne demande pas de modification de masque mais uniquement un changement des paramètres lors de l'implantation ionique (Tableau 4.4). Pour des raisons de confidentialité, aucune donnée d'implantation ionique ne peut être fournie dans cette thèse. Enfin, il est à noter que les structures SPAD conservent le même dessin physique avec ou sans modification du caisson DNW.

4.3.2 Étude en simulations

En simulations TCAD, le code *SPROCESS* a été modifié pour prendre en compte cette modification de l'étape d'implantation du caisson DNW. Les cartographies du niveau de dopage mettent en évidence un niveau de dopage plus faible pour le caisson DNW modifié par rapport à celui de la version standard (Figure 4.18a et b). La réalisation d'une coupe verticale au milieu de la zone active permet de quantifier cette diminution (Figure 4.18c). La valeur du pic de concentration maximale du caisson DNW modifié a été divisée environ d'un facteur trois par rapport au procédé standard.

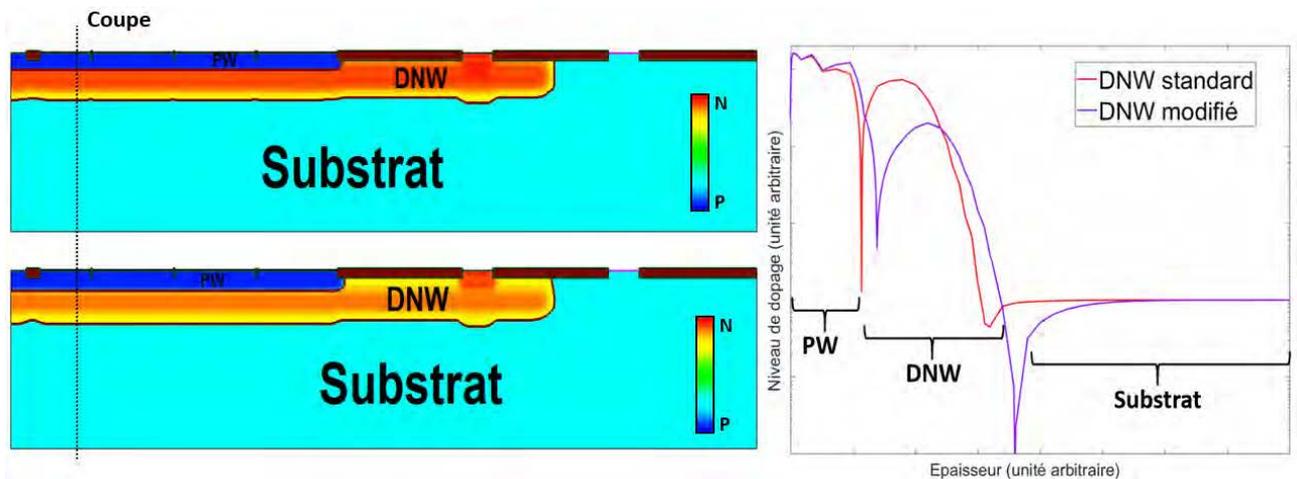


FIGURE 4.18 – Niveaux de dopage pour des structures a) DNW standard, b) DNW modifié, et c) profil de dopage sur une coupe verticale

La mise en place du bloc *SDEVICE* permet de caractériser le comportement électrique des deux structures. L'étude avec le modèle d'ionisation par impact (avalanche) activé met en évidence une augmentation de la tension de claquage de l'ordre de 6 V (Figure 4.19a). De plus, l'étude ABA des intégrales d'ionisation confirme cette augmentation de V_{BD} (Figure 4.19b). Les valeurs des tensions obtenues avec cette étude (de 9.8 V et de 14.8 V respectivement dans le cas standard et DNW modifié) sont légèrement différentes de celles déterminés avec les caractéristiques $I(V)$ (qui sont respectivement de 9.5 V et 15.8 V). Cet écart est attribué aux différences présentes dans la description des modèles physiques entre les modules *Resistor* et *ABA* (cf. chapitre 2).

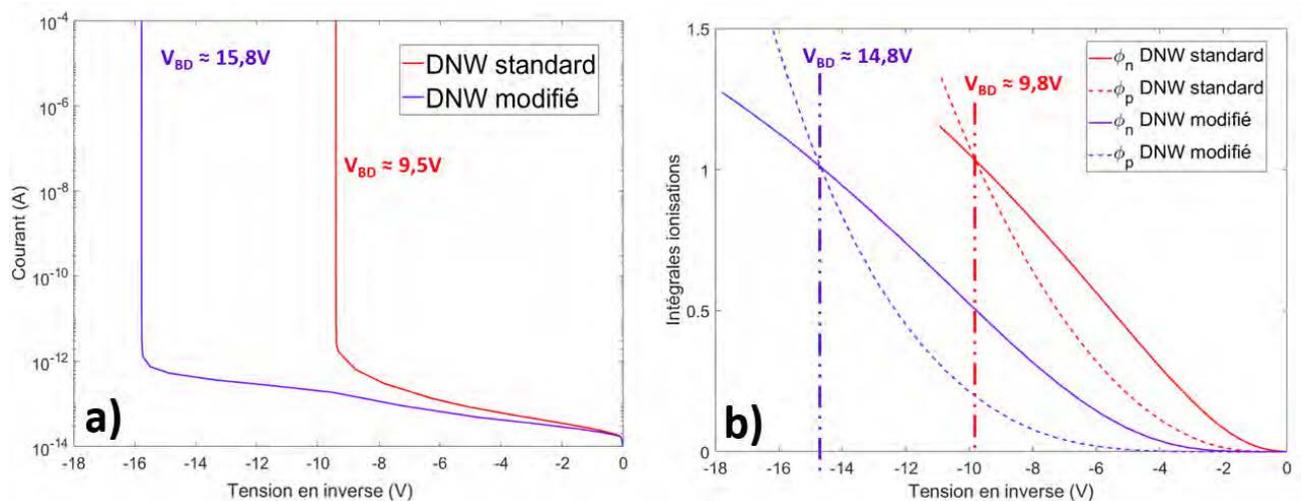


FIGURE 4.19 – a) Caractéristiques $I(V)$ simulées avec le modèle d'ionisation par impact activé, et b) Évolution des intégrales d'ionisations en fonction de la tension inverse (étude ABA)

En nous plaçant à la même valeur de tension d'excès relative (ici 10 % de V_{BD}), nous réalisons une étude en cartographie du comportement du champ électrique. Ces cartographies font apparaître un niveau de champ plus faible pour la version DNW modifié (Figure 4.20a et b). Sur ces figures, nous observons que la taille de la ZCE a augmenté. Sur une coupe horizontale au milieu de la ZCE, parallèle à la jonction (Figure 4.20c), nous constatons que le champ électrique moyen est passé de 6×10^5 V/cm à 5×10^5 V/cm, et que les pics de champ sous les STI ont diminué en amplitude. Cependant, à noter que pour les deux versions du DNW, il existe un pic de champ sur la périphérie de la zone active qui pourrait donner lieu à l'amorçage du claquage localisé à cet endroit (PEB). Le niveau de ce pic semble accentué par la présence du bloc STI, le chapitre 5 présente des voies d'optimisation pour réduire ce pic de champ et les risques de PEB associés.

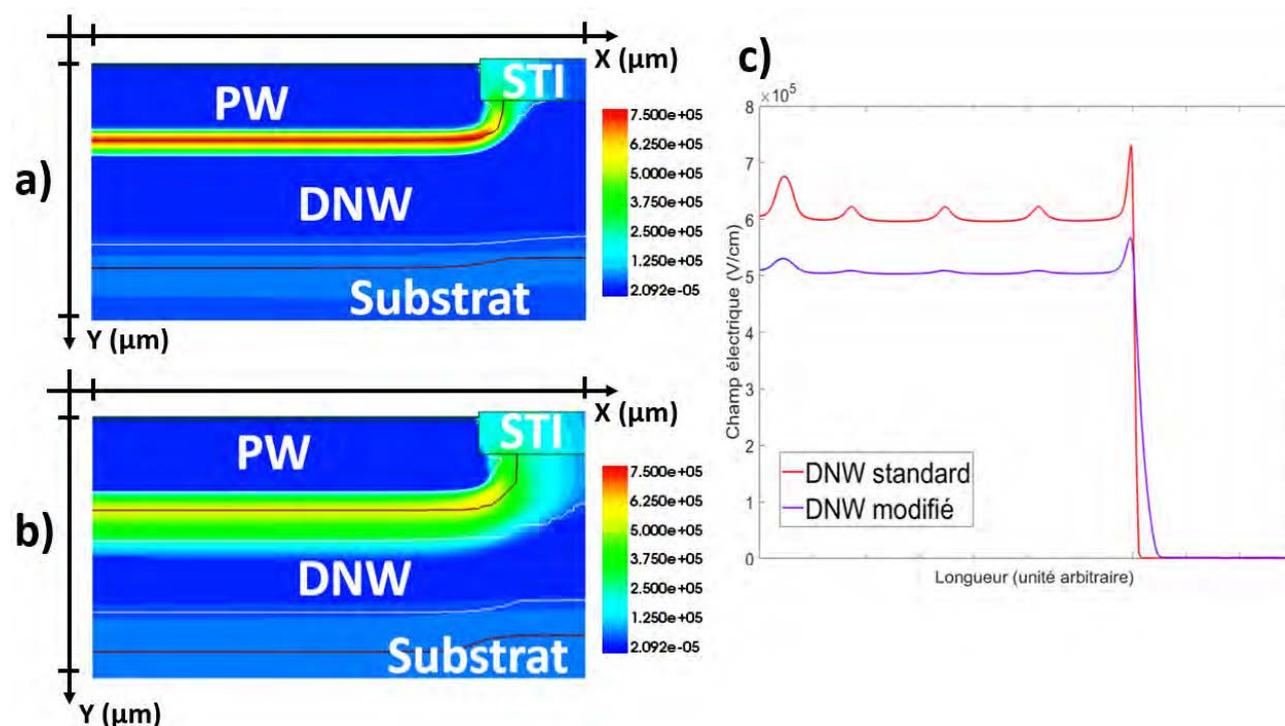


FIGURE 4.20 – Cartographie du champ électrique pour a) le DNW standard, b) le DNW modifié, et c) Profil du champ sur une coupe horizontale milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})

Dans des conditions similaires, l'étude du taux générations/recombinaisons de type *B2B* montre une diminution de quatre à cinq décades de ce taux résultant de la modification d'implantation du DNW (Figure 4.21a).

Nous avons aussi réalisé une simulation sans activer le modèle d'avalanche (le claquage résultant des ionisations par impact ne se produit pas dans cette configuration). Nous avons alors polarisé les structures jusqu'à des tensions très élevées ($V > 25$ V) pour étudier le claquage Zéner. En effet, dans ces conditions de simulation, l'augmentation du courant avec la tension est due aux phénomènes de générations/recombinaisons et en l'occurrence ici au *B2B*. À partir d'un certain point de polarisation, le champ électrique est tellement fort que les charges parviennent à circuler par effet tunnel. Pour la structure DNW standard, la conduction Zéner apparaît pour une tension proche de 10 V donc comparable à celle de l'avalanche. Pour le DNW modifié, le claquage Zéner intervient presque 10 V au-dessus de celui de l'avalanche (Figure 4.21b). Ceci confirme que la modification du DNW permet de diminuer la contribution *B2B* dans la SPAD FD-SOI.

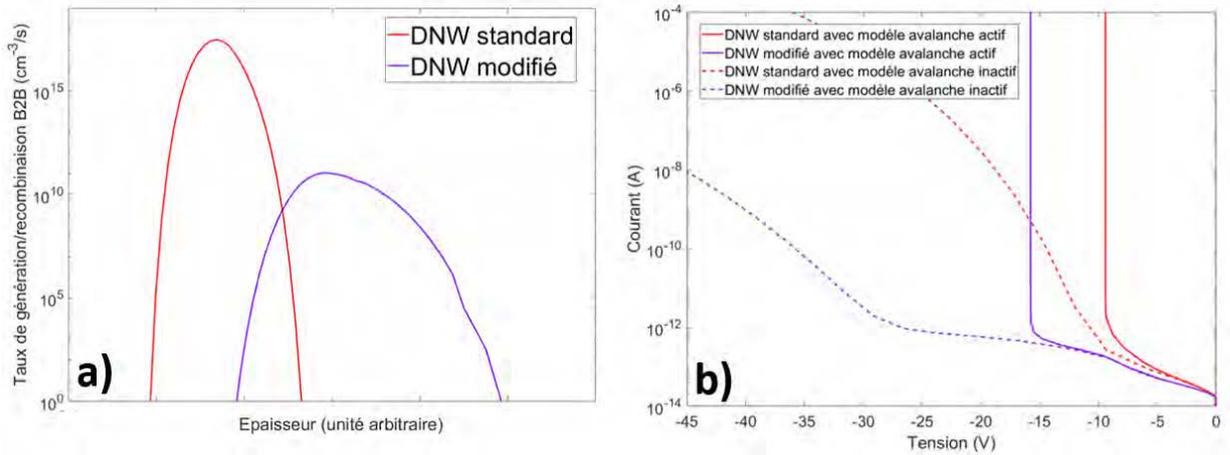


FIGURE 4.21 – a) Évolution du taux de générations/recombinaisons B2B dans la ZCE pour une coupe verticale ($V_{ex} = 10\%$ de V_{BD}), b) Caractéristiques $I(V)$ simulées avec le modèle ionisation par impact activé ou non

4.3.3 Caractérisations

Dans cette sous-section, nous présentons l'ensemble des résultats de caractérisation réalisé sur des structures SPAD FD-SOI présentant la modification d'implantation du DNW. Nous avons mesuré les caractéristiques $I(V)$ de ces structures, ainsi que le DCR. Nous avons également réalisé des microcartographies d'électroluminescence qui sont représentatives de la distribution du champ électrique dans la structure. Enfin, une dernière sous-section sera consacrée à l'étude de la matrice SPAD 3x3.

Caractéristiques $I(V)$

Les premières caractérisations $I(V)$ menées sur les SPAD FD-SOI avec modification d'implantation du caisson DNW ont confirmé les tendances obtenues en simulations. Nous retrouvons une augmentation en tension de claquage de l'ordre de 6 V avec une V_{BD} pour la nouvelle jonction proche de 16 V à température ambiante (Figure 4.22).

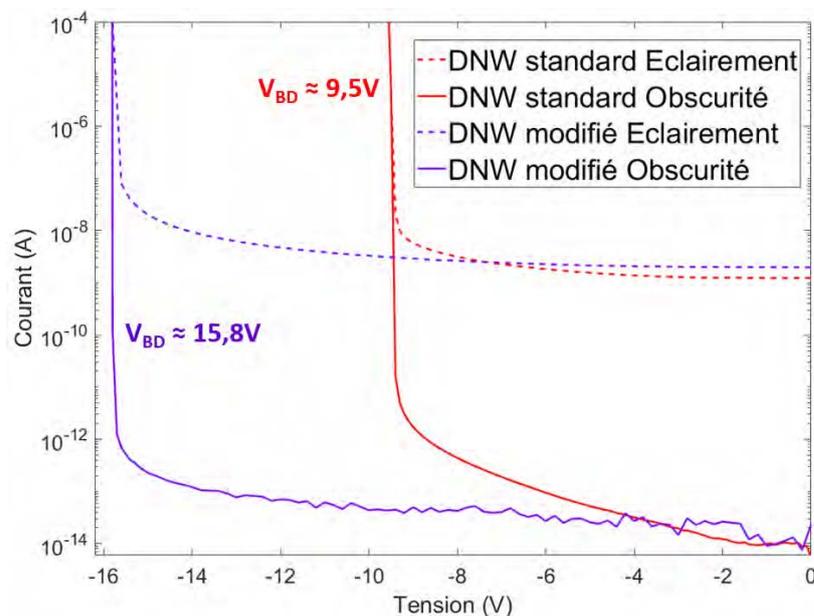


FIGURE 4.22 – Caractéristiques $I(V)$ mesurées sur des cellules FD-SOI pseudo-circulaires de diamètre $50\mu\text{m}$ avec les deux versions DNW (température ambiante)

Comme pour la version DNW standard, nous avons réalisé une étude en température sur une plage de -50 à 50 °C. Nous avons de nouveau constaté une augmentation progressive du courant d'obscurité avec la température (Figure 4.23a). De plus, sur cette nouvelle structure, nous avons aussi confirmé que l'avalanche est à l'origine de l'augmentation brutale du courant puisque le coefficient directeur de la courbe $V_{BD}(T)$ est positif, avec une valeur de pente de 11.6 mV/K, bien plus élevé que la structure standard ou les phénomènes d'avalanche et de B2B coexistent avec des variations en température de signes opposés (Figure 4.23b).

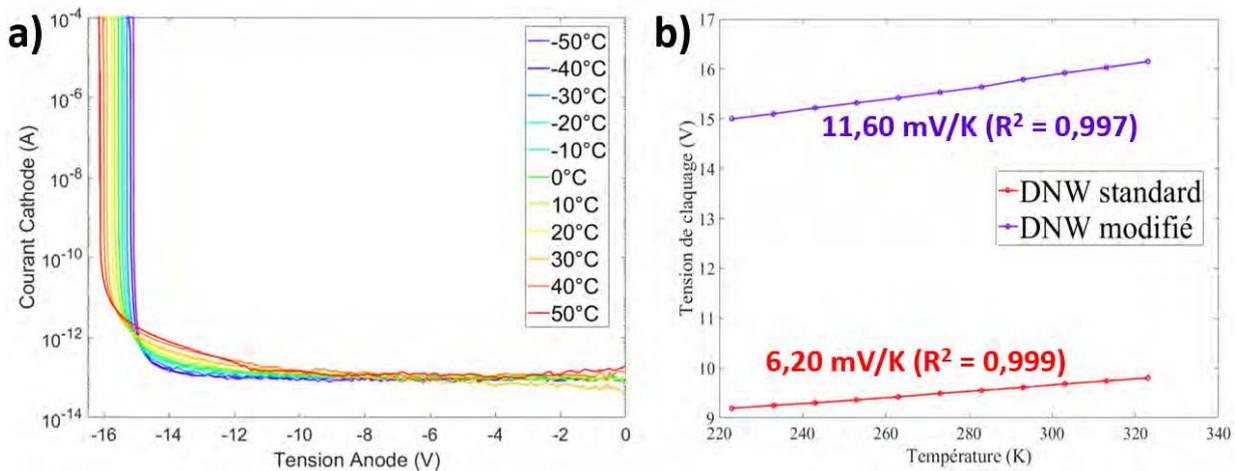


FIGURE 4.23 – Étude en température de la cellule FD-SOI avec DNW modifié : en a) caractéristiques $I(V)$ et en b) $V_{BD}(T)$ ($50\mu\text{m}$ de diamètre)

Par ailleurs, concernant la seconde jonction entre le DNW et le Substrat (dopé P-), la réduction du niveau de dopage dans le caisson DNW a permis aussi de rendre cette jonction moins abrupte. Ceci a entraîné une augmentation de la tension de claquage d'environ 10 V avec un passage de 24.4 V pour la version standard à environ 35 V pour le DNW modifié (Figure 4.24) dans le cas d'une structure pseudo-circulaire de diamètre $50\mu\text{m}$. Cette évolution est plutôt favorable.

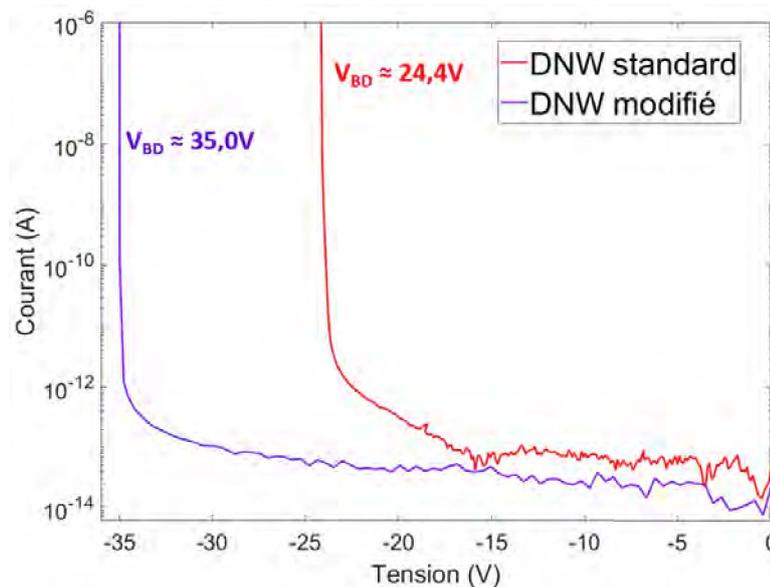


FIGURE 4.24 – Caractéristiques $I(V)$ de la jonction DNW/Substrat pour les structures SPAD FD-SOI pseudo-circulaires de diamètre $50\mu\text{m}$ avec les deux versions DNW (température ambiante)

Dark Count Rate

Dans le cadre de la thèse de T. Chaves [157], des mesures préliminaires de DCR sur les cellules avec DNW modifié avaient été réalisées. L'utilisation d'un circuit d'étouffement composé uniquement d'une résistance de $200\text{ k}\Omega$ en série avec la SPAD permettait d'avoir accès à des mesures de DCR jusqu'à une tension d'excès maximale de 0.3 V , avec une lecture de tension d'anode grâce à une sonde de tension (présentant une capacité élevée). Dans ces conditions, la portée de ces mesures étaient limitée et il n'était pas évident de quantifier l'apport de la modification du caisson DNW (Figure 4.25).

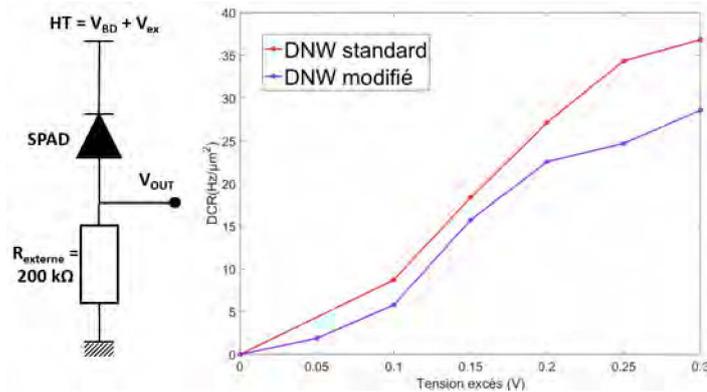


FIGURE 4.25 – Comparaison des mesures de DCR sur les deux versions DNW pour des structures pseudo-circulaires de diamètre $25\text{ }\mu\text{m}$ (température ambiante)

L'utilisation d'un amplificateur transimpédance externe, directement connecté à la sortie de la résistance d'étouffement, a permis d'obtenir des pulses beaucoup plus courts et ainsi de réaliser des mesures DCR sur une gamme étendue (cf. chapitre 3). Dans ces nouvelles conditions et à température ambiante, nous parvenons maintenant à réaliser des mesures jusqu'à une tension d'excès d'environ 1.3 V démontrant une importante diminution du DCR (Figure 4.26).

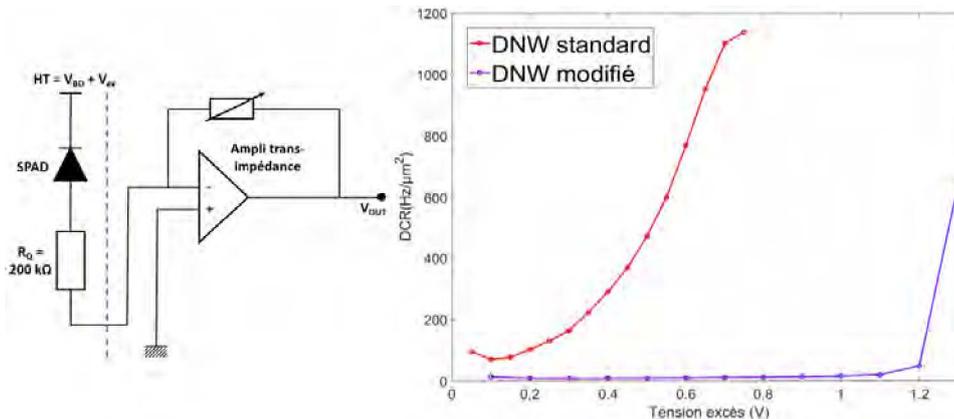


FIGURE 4.26 – Mesures du DCR de la SPAD FD-SOI avec DNW modifié pour une structure pseudo-circulaire de diamètre $25\text{ }\mu\text{m}$ en utilisant l'amplificateur transimpédance (température ambiante)

Nous avons ensuite réalisé une étude du DCR en température pour la gamme $[-40; 50\text{ }^\circ\text{C}]$, pour les cellules avec caissons DNW standard et modifié. Avec la version DNW standard, nous parvenons à mesurer le DCR jusqu'à une tension d'excès d'environ 0.7 V . Sur ces mesures, nous retrouvons la présence de deux comportements. Pour les basses températures, $[-40; 10\text{ }^\circ\text{C}]$, nous constatons une augmentation de la tension de seuil à partir de laquelle nous observons un emballement du DCR. Pour une tension d'excès \sim de 0.5 V , nous observons ainsi un DCR à $-20\text{ }^\circ\text{C}$ plus élevé qu'à $0\text{ }^\circ\text{C}$. Ensuite à plus hautes températures, $[10; 50\text{ }^\circ\text{C}]$, nous constatons une augmentation du DCR progressive avec la température et ceci pour toutes les tensions d'excès (Figure 4.27a).

Pour la structure avec modification de l'implantation du DNW (Figure 4.27b), il y a tout d'abord une diminution du DCR par rapport au DNW standard et ceci pour toutes les températures. Par ailleurs, pour une température donnée, avec le caisson DNW modifié, nous observons que l'augmentation du DCR avec la tension d'excès est beaucoup plus douce. Ceci permet alors d'utiliser des tensions d'excès plus élevées. À 20°C, sur la version DNW standard nous étions limités à une tension d'excès proche de 0.7 V, alors qu'avec la modification du DNW nous pouvons travailler jusqu'à 1.3 V. Enfin, concernant l'évolution en température par rapport au DNW standard, nous observons cette fois-ci un seul comportement : l'augmentation avec la température de la tension de seuil délimitant l'emballement du DCR (Figure 4.27b).

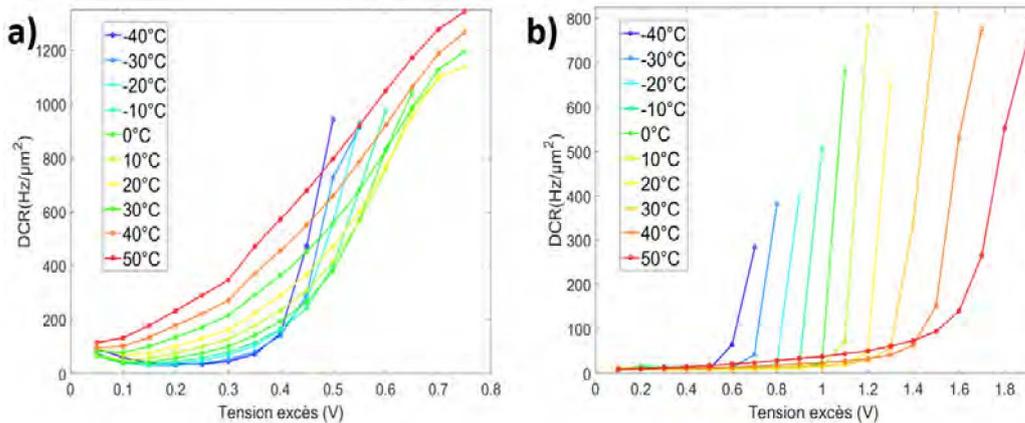


FIGURE 4.27 – Mesures du DCR de la SPAD FD-SOI pour la structure pseudo-circulaire de diamètre $25\ \mu\text{m}$ avec utilisation de l'amplificateur transimpédance et variation de la température : en a) DNW standard et en b) DNW modifié

Comme les deux structures n'ont pas la même tension de claquage (respectivement 9.5 V et 15.8 V), il est intéressant pour cette étude de considérer la tension d'excès relative définie par : V_{ex}/V_{BD} . La Figure 4.28 présente l'évolution du DCR avec la tension d'excès relative à différentes valeurs de température. Cette analyse confirme que la modification d'implantation permet de réduire le DCR et de faire fonctionner la SPAD avec caisson DNW modifié à des tensions d'excès relatives plus élevées. Il est à noter que l'amélioration du DCR devient de plus en plus importante quand nous augmentons la température. Néanmoins, même si le DCR a été amélioré par rapport à la structure issue du procédé standard, ce dernier reste plus élevé que pour les autres structures SPAD présentes dans la littérature [13], [14], [34], [38], [40], [99], [121], [122], [129].

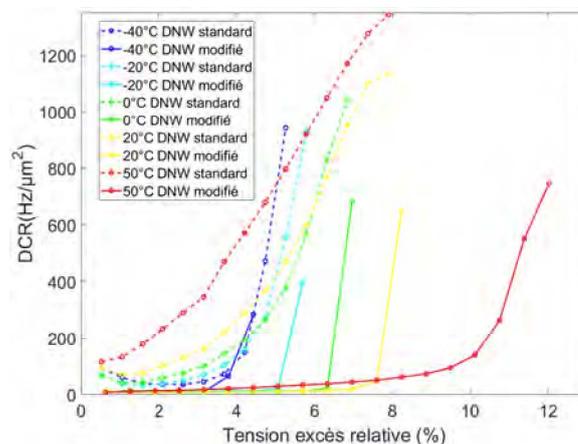


FIGURE 4.28 – Mesures du DCR de la SPAD FD-SOI avec utilisation de l'amplificateur transimpédance et variation de la température pour les deux versions du DNW en utilisant une échelle relative (pseudo-circulaire de diamètre $25\ \mu\text{m}$)

Sur la version DNW standard, les tracés d'Arrhénius mettent en évidence une forme de cuvette assez marquée notamment pour des tensions d'excès proches de 0.5 V (Figure 4.29a et c). Sur la structure DNW modifié, nous retrouvons aussi ce type de comportement comme illustré sur les Figures 4.29b et c. L'hypothèse évoquée pour le DNW standard (cf. chapitre 3), reste donc toujours valable : à basses températures l'augmentation soudaine du DCR semble liée aux pièges qui relâchent des charges avec un certain délai traduisant alors une augmentation brutale de l'afterpulsing, tandis qu'à plus hautes températures les mécanismes de type B2B et génération thermique prédominent. Cette dernière idée est renforcée par l'extraction des énergies d'activation qui à hautes températures pour le DNW modifié sont dans un ordre de grandeur de 0.3 à 0.4 eV, donc inférieures à $E_g/2$, traduisant une domination de l'effet tunnel (B2B) [192], [193].

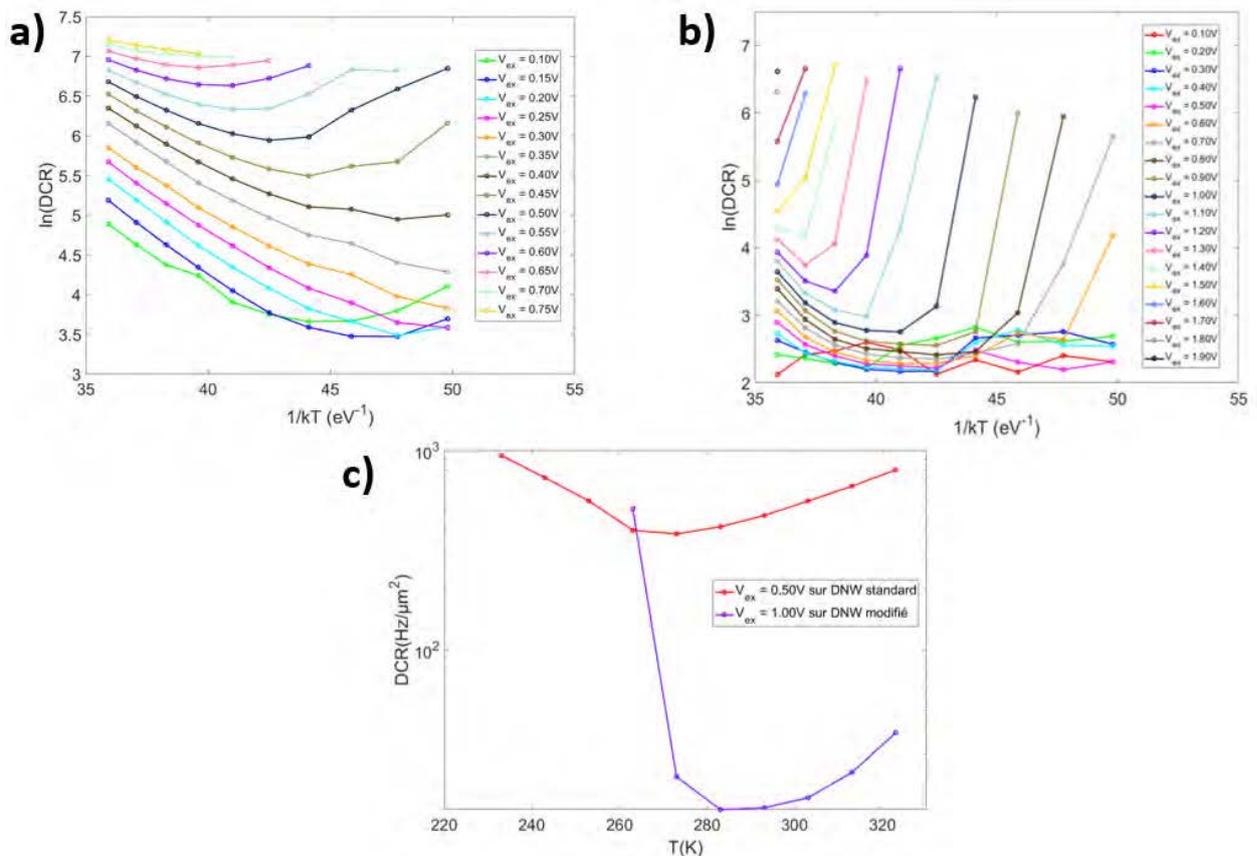


FIGURE 4.29 – Etude du DCR pour la structure SPAD FD-SOI de diamètre 25 μm : en a) Courbes d'Arrhénius pour le DNW standard, en b) Courbes d'Arrhénius pour le DNW modifié, et en c) DCR(T)

Cartographies d'électroluminescence

Les cartographies d'électroluminescence réalisées sur les structures SPAD FD-SOI avec le DNW modifié n'ont pas montré de différences par rapport au procédé standard. Nous retrouvons un claquage prédominant sur la périphérie de la zone active (PEB) pour des faibles tensions d'excès. Quand nous augmentons ensuite cette dernière, nous parvenons à éclairer l'intégralité de la surface active (Figure 4.30). Ce résultat fait un lien direct avec le comportement observé en simulations TCAD sur le champ électrique. Sur la Figure 4.20, nous avons mis en évidence la diminution du champ électrique moyen dans la ZCE par la réduction du niveau de dopage du caisson DNW. Cependant, sur les bords de la zone active, nous retrouvons toujours la présence d'un pic de champ plus important qu'au centre. À noter que le débordement du bloc STI sur la jonction contribue vraisemblablement à ce pic de champ. De ce fait, nous avons étudié dans le chapitre 5, l'effet du déplacement de ce bloc STI sur les pics de champ électrique périphériques.

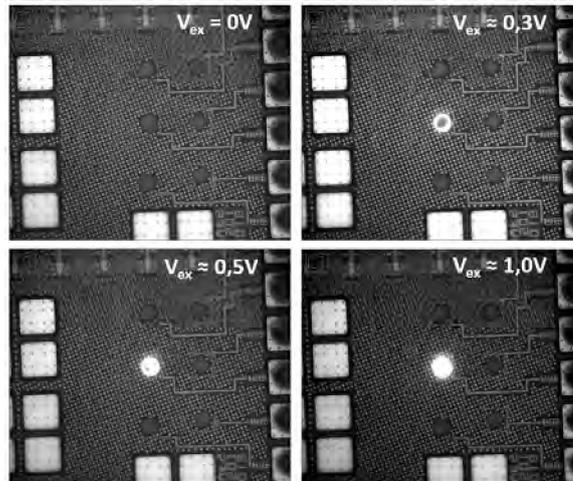


FIGURE 4.30 – Cartographies d'électroluminescence de SPAD FD-SOI avec DNW modifié sur une structure pseudo-circulaire de diamètre $25\mu\text{m}$ (température ambiante)

Matrices

Les mesures préliminaires réalisées sur les matrices 3x3 avec modification des conditions d'implantation du caisson DNW ont mis en avant des comportements singuliers. Le DCR de la SPAD centrale de la matrice est plus faible que celui d'une SPAD isolée comme illustré sur la Figure 4.31. Cela permet de travailler à une tension d'excès nettement supérieure (environ 2.5 V) pour la cellule centrale de la matrice comparée à la cellule isolée (1.3 V).

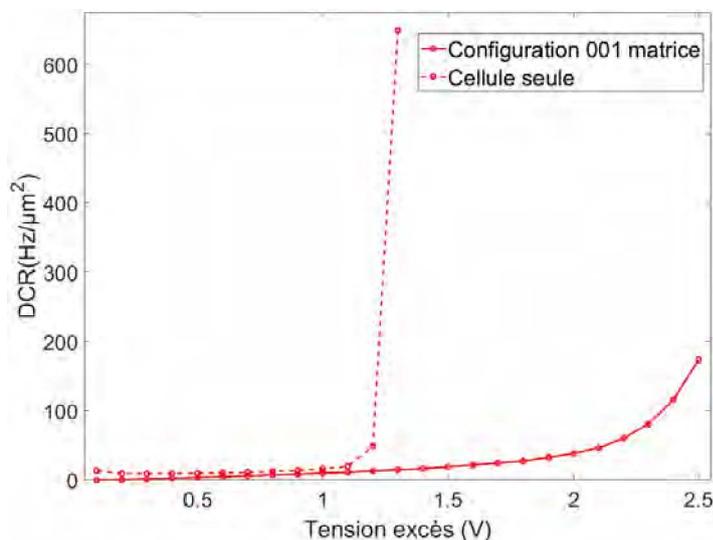


FIGURE 4.31 – Mesures du DCR de la SPAD FD-SOI pseudo-circulaire de diamètre $25\mu\text{m}$ avec modification du caisson DNW pour la cellule isolée et la cellule centrale de la matrice 3x3 (température ambiante)

Sur la matrice avec le caisson DNW standard, nous n'avons pas observé de différence sur la mesure du DCR quelle que soit la configuration choisie (Figure 4.32a et b). De plus, nous n'avons pas observé de différences entre les mesures de DCR des cellules de la matrice et d'une cellule isolée.

Avec le caisson DNW modifié, ce n'est plus le cas et nous distinguons deux types de comportement dans l'évolution du DCR. Les configurations 111, 110 et 100 présentent un DCR supérieur aux autres (Figure 4.32a et c). Dans les trois cas, la cellule SPAD commune sélectionnée est la S_2 , c'est-à-dire celle située directement au-dessus de la SPAD centrale. Le couplage électro-optique semble alors être présent mais uniquement pour des contributions verticales.

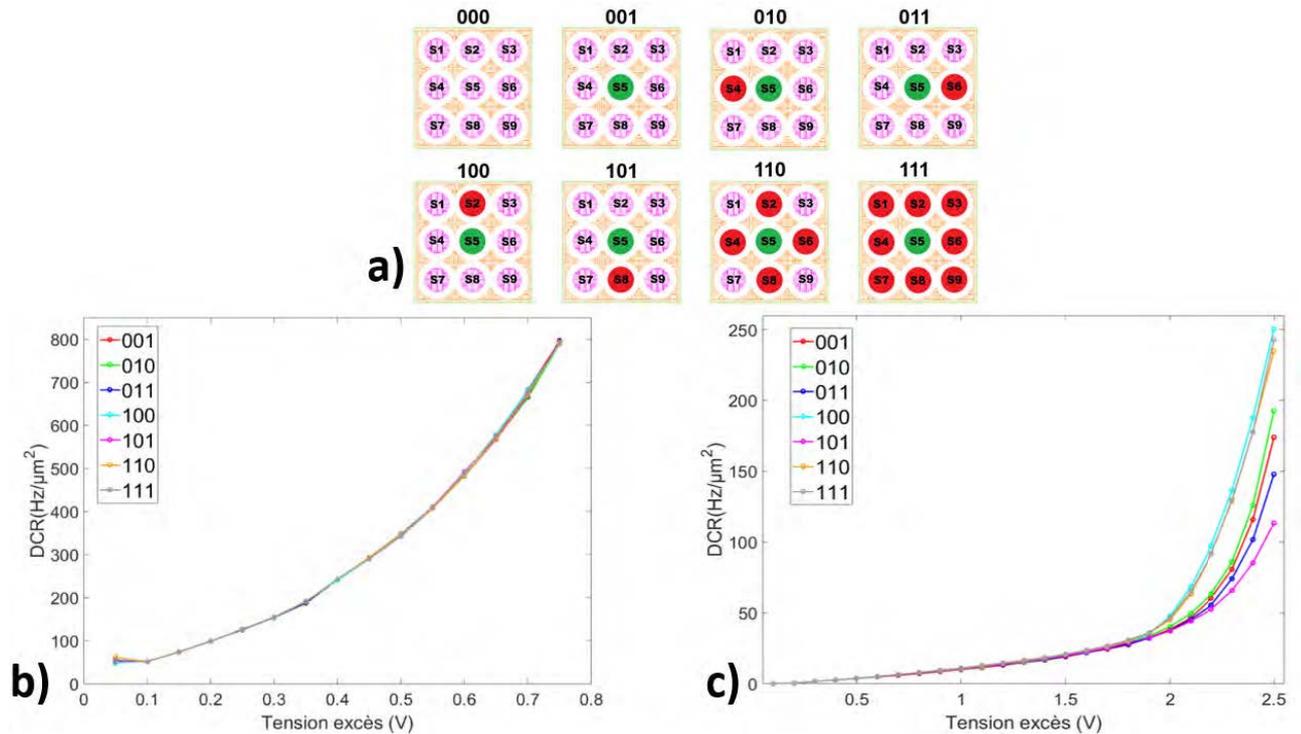


FIGURE 4.32 – a) Configurations possibles de la matrice 3x3 et Mesures du DCR sur matrice b) du DNW standard et c) du DNW modifié (température ambiante)

Ce résultat est surprenant car la distance entre la SPAD $S2$ et $S5$ ($12.5\mu\text{m}$) n'est pas la plus petite dans la matrice. La SPAD la plus proche est la $S4$ ($10.5\mu\text{m}$), et devrait être la plus pénalisante pour le couplage électro-optique.

Ce comportement semble de ce fait lié au dessin physique de la matrice associé à la modification du caisson DNW. Les neuf SPAD sont alimentées sous haute tension en même temps par l'intermédiaire de lignes métalliques $M1$. Cependant, les prises de contact sur le caisson DNW sont différentes par rapport à la structure isolée (contact annulaire), mais également ne sont pas réparties de manière identique sur les différentes SPAD de la matrice (Figure 4.33). Par exemple, un contact est présent entre $S4$ et $S5$ alors qu'aucun n'existe entre $S2$ et $S5$. Nous pouvons avancer l'hypothèse que cette absence de contact permet un couplage électrique plus fort.

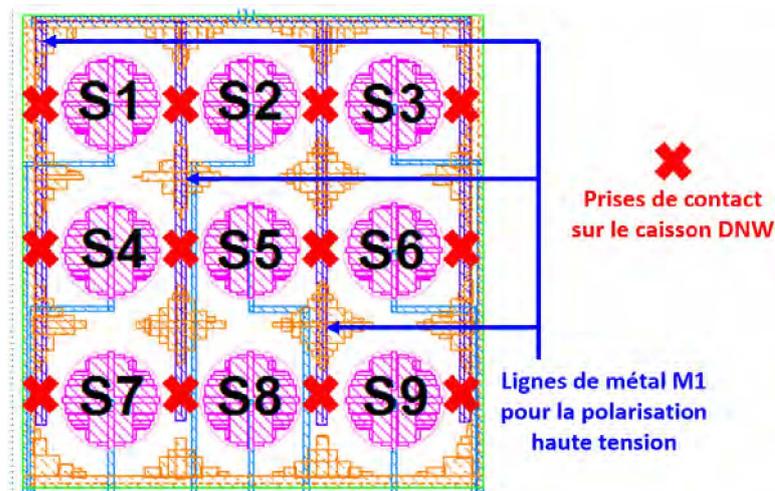


FIGURE 4.33 – Dessin physique de la matrice SPAD FD-SOI 3x3 avec visualisation des lignes de métal $M1$ et des prises de contact sur le caisson DNW

Dans les futurs *test-chips* dessinés, la répartition de la haute tension sera plus homogène pour corriger ce problème et permettre une étude plus fine du couplage électro-optique entre les cellules SPAD intégrées en technologie CMOS FD-SOI 28 nm.

4.4 Bilan

Dans ce chapitre, nous avons étudié deux stratégies de modification du caisson DNW afin d'améliorer le comportement de la SPAD en technologie CMOS FD-SOI 28 nm avec pour objectifs d'augmenter la tension de claquage et de réduire le DCR.

La première option, qui repose sur la réalisation d'un caisson DNW moins dopé en implantant ce dernier au travers d'une résine en forme de damier, ne nous a pas donné de résultat exploitable même si le concept a été validé. Tout d'abord, les temps de recuit assez courts du procédé de fabrication ne permettent pas une diffusion latérale suffisante des dopants pour obtenir un caisson continu. Il a fallu travailler sur des dimensions de motif ne respectant pas les règles de dessin du DRM impliquant un risque sur la viabilité des structures dessinées. Dans ces conditions, nous ne sommes pas assurés de fabriquer véritablement la structure dessinée. La caractérisation des cellules a validé le concept sans atteindre les valeurs simulées. Nous avons décidé de ne pas mettre en œuvre cette approche dans les circuits qui ont suivi.

La seconde option consiste à modifier le procédé de fabrication en changeant les paramètres d'implantation ionique du caisson DNW. Les résultats de simulation ont été validés par les mesures. En réduisant le dopage du caisson DNW, nous sommes parvenus à augmenter la profondeur de la jonction et à élargir la ZCE diminuant le champ électrique et les recombinaisons de type B2B. Par rapport au DNW standard, la tension de claquage est augmentée et le DCR réduit (Tableau 4.5). Devant ces résultats encourageants, nous avons décidé d'adopter cette modification sur nos circuits.

	T = 0°C			T = 20°C			T = 40°C		
	V_{BD}	V_{ex}^{max}	DCR à $V_{ex} = 0.5$ V	V_{BD}	V_{ex}^{max}	DCR à $V_{ex} = 0.5$ V	V_{BD}	V_{ex}^{max}	DCR à $V_{ex} = 0.5$ V
DNW standard	9.4 V	0.65 V	380 Hz/ μm^2	9.5 V	0.75 V	471 Hz/ μm^2	9.6 V	0.75 V	660 Hz/ μm^2
DNW modifié	15.5 V	1.10 V	9 Hz/ μm^2	15.8 V	1.30 V	10 Hz/ μm^2	16.0 V	1.70 V	13 Hz/ μm^2

TABLE 4.5 – Comparaison des résultats obtenus entre les deux versions du DNW

Par rapport aux *test-chips* présentés dans les chapitres 2 et 3, les travaux menés dans cette étude ont permis de concevoir deux circuits intégrés dont le récapitulatif est donné dans le Tableau 4.6 et sur la Figure 4.34 (cf. Annexe 2).

N°	Géométrie des cellules	Structures disponibles	Taille des cellules	Présence de Matrice ?	Modifications en lien avec les simulations	Violations DRC
1	Carrée et Octogonale	FD-SOI et STI	25 μm	Non	-	-
2	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	-	-
2 DNW	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	Modification d'implantation du DNW	-
3	Pseudo-circulaire et Octogonale	FD-SOI, STI et NOSO	25 μm et 50 μm	Non	Pattern du DNW	3

TABLE 4.6 – Tableau des caractéristiques principales des *test-chips* 1, 2, 2DNW et 3

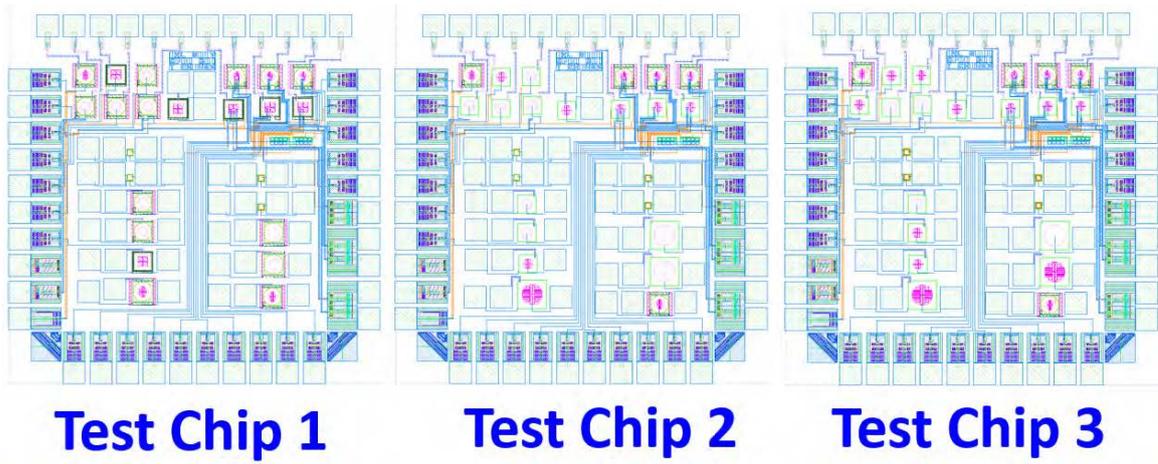


FIGURE 4.34 – Vue *layout* des *test-chips* 1, 2 et 3

Chapitre 5

Optimisation de la cellule SPAD pour réduire le claquage prématuré en périphérie

Dans ce chapitre, nous présentons un travail d'optimisation dans notre structure SPAD en technologie CMOS FD-SOI 28 nm pour réduire le claquage prématuré sur les bords de la zone active (PEB). Pour adresser ce problème, nous allons travailler sur trois axes d'étude. Le premier (sans modification du procédé de fabrication) porte sur l'éloignement des blocs STI périphériques de la zone active. Le second (avec modification du procédé de fabrication) traite de modifications des conditions d'implantation du caisson PW. Et enfin, le dernier concerne l'utilisation de deux implantations pour créer le caisson DNW.

Contents

5.1	Contexte	106
5.2	Étude du report du bloc STI	107
5.2.1	Hypothèses d'étude des défauts à l'interface STI	107
5.2.2	Simulations des défauts et mise en place du report STI	109
5.2.3	Dessin physique des cellules SPAD avec report STI et règles de dessin	111
5.2.4	Caractérisations	112
5.2.5	Problème de l'interface BOX / DNW rétrograde	114
5.3	Optimisation par modification des implantations du caisson PW	116
5.3.1	Implantations utilisées pour réaliser le caisson PW	117
5.3.2	Impact de la modification de la dose	119
5.3.3	Impact de la modification de l'énergie	119
5.3.4	Impact croisé avec diminution de la dose et augmentation de l'énergie	121
5.3.5	Combinaison avec la structure DNW modifié	122
5.4	Utilisation de deux implantations pour le caisson DNW	123
5.4.1	Principe de l'étude	123
5.4.2	Résultats en simulations	124
5.5	Bilan	125

5.1 Contexte

Le claquage prédominant sur les bords de la zone active, déjà présenté dans les chapitres 3 et 4, a notamment été mis en évidence par les cartographies d'électroluminescence. En effet, sur ces dernières quand nous augmentons la tension d'excès, la première zone qui émet de la lumière (zone de claquage) se situe en périphérie de la SPAD (Figure 5.1a). En augmentant encore cette tension, l'intégralité de la structure part en avalanche, et la cellule s'illumine entièrement (Figure 5.1b). Cette observation du claquage initial sur les bords n'est pas favorable pour un fonctionnement optimal de notre structure SPAD FD-SOI et pourrait expliquer le niveau relativement élevé de DCR mesuré.

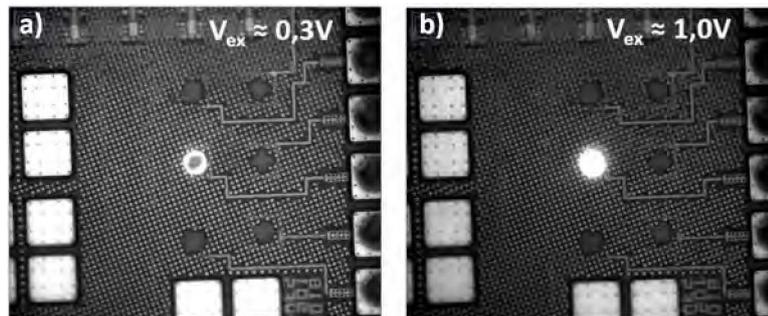


FIGURE 5.1 – Cartographie d'électroluminescence d'une SPAD pseudo-circulaire de diamètre $25\mu\text{m}$ avec le DNW standard en a) pour $V_{ex} = 0.3\text{V}$ et en b) pour $V_{ex} = 1.0\text{V}$

Par ailleurs, les études en simulations TCAD ont aussi confirmé un problème de la structure sur les bords. En effet, sur les cartographies à la fois de l'ATP mais aussi du champ électrique, nous observons un pic en périphérie traduisant un claquage prématuré localisé dans cette zone (Figure 5.2).

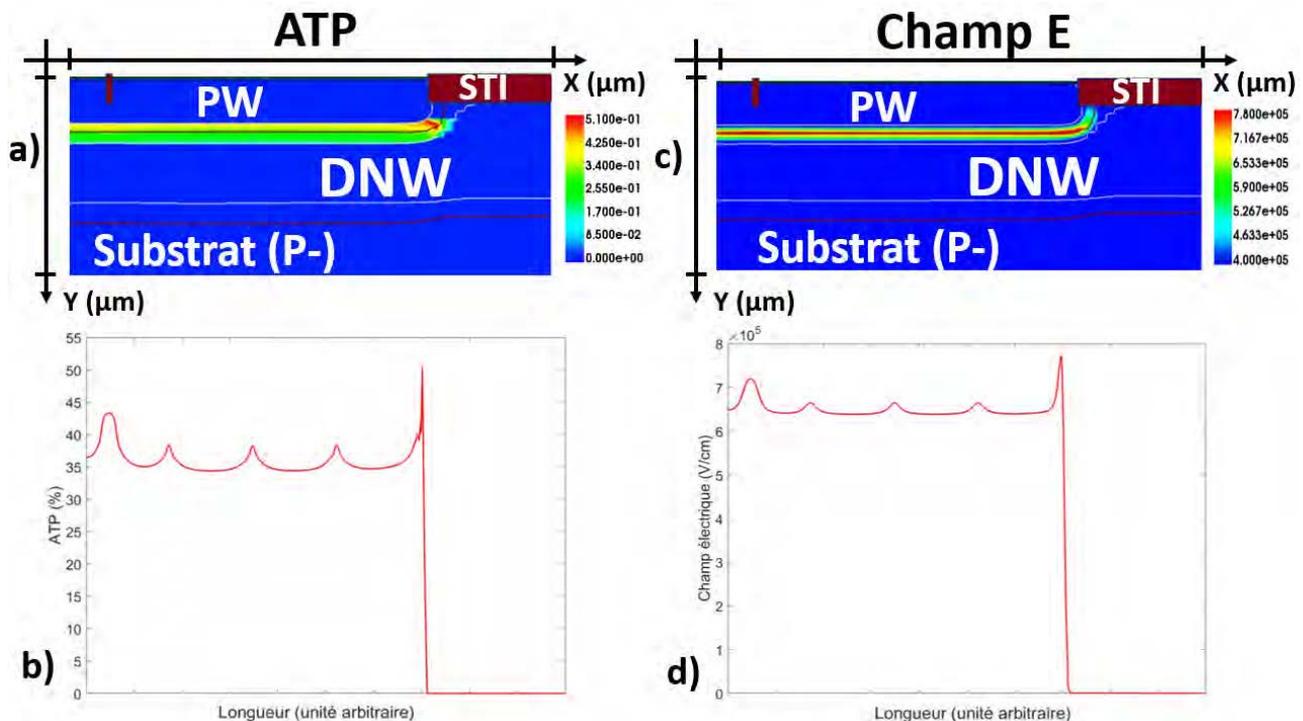


FIGURE 5.2 – Simulations TCAD de la structure SPAD FD-SOI de référence (pseudo-circulaire de diamètre $25\mu\text{m}$) avec en a) cartographie de l'ATP, en b) coupe horizontale de l'ATP au milieu de la ZCE, en c) cartographie du champ électrique, et en d) coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 2\text{V}$)

5.2 Étude du report du bloc STI

5.2.1 Hypothèses d'étude des défauts à l'interface STI

Dans la structure de référence de la SPAD, le respect des règles de dessin nous contraint à mettre un espace entre les couches *BFMOAT* (anneau de garde) et *RX fillopc* (zone FD-SOI) car la superposition de ces deux couches est interdite (cf. chapitre 2). Ceci a pour conséquence de recouvrir les bords de la zone active de la cellule d'un bloc STI (noté STI 5 sur la Figure 5.3a). Dans le procédé de fabrication, ce bloc est présent avant que les implantations ne soient réalisées. Les simulations TCAD ont mis en évidence que le profil de jonction est plus abrupt sous les blocs STI ce qui pourrait conduire à un claquage prématuré localisé dans cette zone (PEB). De plus, la ZCE en périphérie se courbe et vient "toucher" l'interface STI, qui, si elle présente une concentration en défauts élevée, pourrait être responsable d'un fort niveau de DCR. Afin de limiter l'effet des défauts d'interface SiO_2/Si , nous avons conçu des cellules dont le dessin physique permet d'éloigner cette interface de la ZCE : le report STI. Plusieurs configurations du bloc STI périphérique ont été étudiées. La première correspond à un alignement du bloc STI sur le caisson PW sans déport, appelée "STI aligné" (Figure 5.3b). Les autres configurations correspondent à un retrait de 0.5, 1 ou 2 μm par rapport à cette position limite comme illustré sur la Figure 5.3c. Cette voie d'étude présente l'avantage de ne demander aucune modification dans le procédé de fabrication mais viole cependant quelques règles de dessin (cf. sous-section 5.2.3).

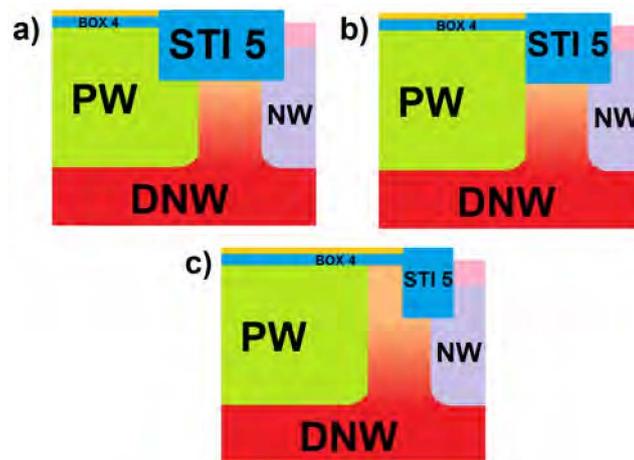


FIGURE 5.3 – Schéma de SPAD avec les structures en a) de référence, en b) STI aligné, et en c) Report STI important

Par ailleurs, comme précisé précédemment, lors de la fabrication, la réalisation des STI se fait avant les étapes d'implantation et de recuit. La partie du STI qui déborde sur la jonction PW/DNW subit une "double implantation", celle pour le caisson PW et celle pour le DNW. De ce fait, la portion du bloc entourée en rouge sur la Figure 5.4 présenterait une concentration de défauts plus élevée que l'autre partie entourée en vert.

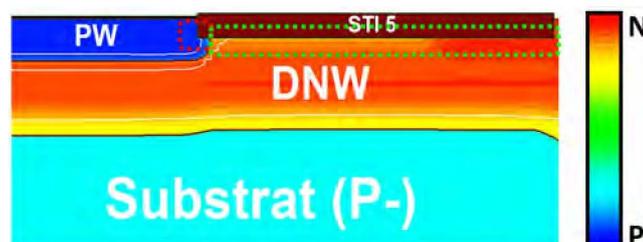


FIGURE 5.4 – Cartographie des dopages sur la structure FD-SOI de référence avec localisation des défauts aux interfaces STI (la zone rouge subit la double-implantation PW et DNW)

Pour la mise en place des simulations TCAD avec présence de défauts, le module *SDEVICE* [160] possède plusieurs options et pour notre étude, nous avons sélectionné deux d'entre elles.

La première option se nomme *RegionInterface* et permet de définir des défauts pour une interface donnée entre deux régions (ici deux matériaux différents). Cette description se fait en stipulant plusieurs paramètres caractéristiques des défauts dans les semi-conducteurs :

- le type de défauts, c'est-à-dire "Donneurs" ou "Accepteurs d'électrons". Après plusieurs paramétrages, nous n'avons pas visualisé de différence majeure en fonction du type de défauts, nous avons donc travaillé avec celui par défaut, c'est-à-dire les "Donneurs" ;
- la concentration de défauts (paramètre *Conc*) ;
- la distribution spatiale des défauts pouvant être uniforme, exponentielle, gaussienne... ;
- le niveau d'énergie des défauts dans la bande interdite (paramètre *EnergyMid*). Il est possible aussi de définir une distribution dans le niveau d'énergie des pièges en jouant sur le paramètre *EnergySig* ;
- la section de capture des défauts qui correspond au rayon d'attraction de ces derniers (paramètres *eXsection* et *hXsection*)

Nous ne possédons aucune information sur les défauts présents dans la technologie CMOS FD-SOI 28 nm. Pour cette raison, afin de simuler des ordres de grandeur cohérents, nous nous sommes inspirés de données présentes dans la littérature. Les défauts d'interface dans le silicium présentent des concentrations variées pouvant aller de 1×10^{10} à $1 \times 10^{14} \text{ cm}^{-2}$ [95], [196]-[198], les sections de captures sont quant à elles comprises entre 1×10^{-13} et $1 \times 10^{-16} \text{ cm}^2$ [199], [200]. Par ailleurs, pour simplifier notre étude et pour être cohérents avec la double implantation, nous allons uniquement faire varier la concentration en défauts des deux zones (cf. section suivante) et garder les mêmes valeurs pour les autres paramètres (Tableau 5.1).

Paramètre	Valeur
Type de défauts	Donneur
Concentration des défauts	$[1 \times 10^{11} ; 1 \times 10^{12}] \text{ cm}^{-2}$
Distribution des défauts	Uniforme
Niveau d'énergie des défauts	0.6 eV
Écart sur le niveau d'énergie des défauts	0.05 eV
Référence de définition de l'énergie des défauts	Bande de Valence
Section de capture des électrons	$5 \times 10^{-14} \text{ cm}^2$
Section de capture des trous	$5 \times 10^{-14} \text{ cm}^2$

TABLE 5.1 – Paramètres de simulations des défauts avec l'option *RegionInterface*

La seconde option se nomme *SurfaceRecombination* et elle repose sur l'activation des recombinaisons de surface de type SRH. Celle-ci entraîne alors une modification dans l'expression du terme de recombinaison R_{net}^{SRH} présentée dans le chapitre 2 [201]-[204] :

$$R_{surf,net}^{SRH} = \frac{n \cdot p - n_{i,eff}^2}{(n + n_1)/s_p + (p + p_1)/s_n} \quad (5.1)$$

$$n_1 = n_{i,eff} \cdot \exp\left(\frac{E_{trap}}{kT}\right) \quad (5.2)$$

$$p_1 = n_{i,eff} \cdot \exp\left(\frac{-E_{trap}}{kT}\right) \quad (5.3)$$

$$s = s_0 \cdot \left(1 + s_{ref} \cdot \left(\frac{N_i}{N_{ref}}\right)^\gamma\right) \quad (5.4)$$

avec s la vitesse de recombinaisons de surface, s_0 la vitesse intrinsèque, s_{ref} un coefficient des niveaux de dopage, N_i le niveau de dopage proche de la surface, N_{ref} le niveau de dopage de référence, γ un coefficient propre au modèle, et E_{trap} le niveau d'énergie des pièges.

La vitesse des recombinaisons de surface dépend de la concentration des dopants proches de la surface en question, et fait donc sens par rapport au modèle *RegionInterface*. Les travaux menés sur ce phénomène ont mis en évidence que dans le cas du silicium le paramètre γ était égal à 1 [201], [202], que la vitesse était très sensible à la concentration en phosphore [204] mais peu à celle de bore [203]. De plus, dans le cadre des SPAD en technologie CMOS FD-SOI, les conditions d'implantation induisent que la vitesse de recombinaisons de surface est quasiment égale à la vitesse intrinsèque (défini par défaut à 1×10^3 cm/s) [201]-[204]. En accord, avec la double implantation, nous allons modifier uniquement le paramètre s_0 entre les deux portions du STI.

5.2.2 Simulations des défauts et mise en place du report STI

En accord avec les deux options présentées précédemment pour définir les défauts, nous avons créé trois modèles d'étude. Le premier reprend la définition par *RegionInterface*, il implémente une concentration en défauts de 1×10^{12} cm⁻² pour la partie du STI subissant les deux implantations (en rouge sur la Figure 5.5) contre 1×10^{11} cm⁻² pour le reste du bloc (en violet sur la Figure 5.5).

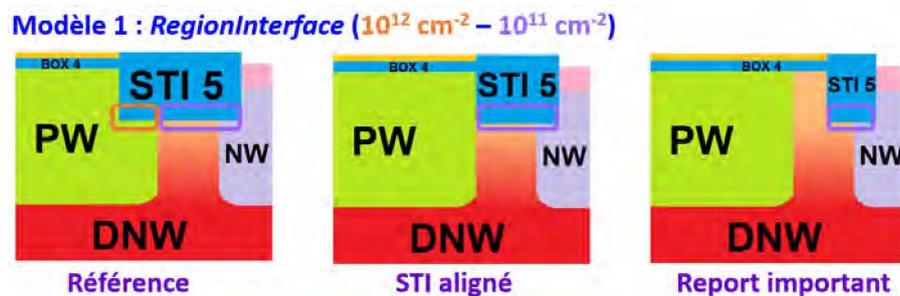


FIGURE 5.5 – Schéma des structures avec report STI et définition des défauts par l'option des régions (Modèle 1)

Le second modèle est la copie du premier mais adapté à l'activation des recombinaisons de surface. Dans ce contexte, la partie du STI soumise aux deux implantations présente une vitesse de recombinaisons de 1×10^4 cm/s (en rouge sur la Figure 5.6) tandis que l'autre portion présente une vitesse de 1×10^3 cm/s (en violet sur la Figure 5.6).

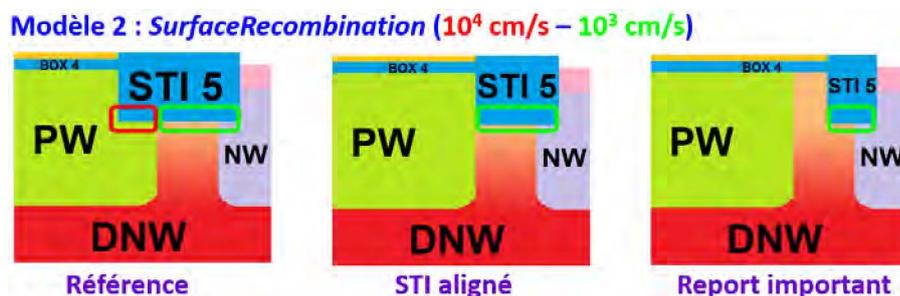


FIGURE 5.6 – Schéma des structures avec report STI et définition des défauts par l'activation des recombinaisons de surface (Modèle 2)

Enfin, le dernier modèle est une version intermédiaire du premier avec une définition selon l'option par régions. La zone de double implantations correspond à une concentration en défauts de 1×10^{12} cm⁻² (en rouge sur la Figure 5.7) et la zone n'étant exposée qu'à l'implantation du caisson DNW est associée à une concentration de 1×10^{11} cm⁻² (en violet sur la Figure 5.7). Une troisième zone intermédiaire est insérée entre ces deux dernières (en magenta sur la Figure 5.7), elle présente une concentration de 5×10^{11} cm⁻² pour simuler un gradient de la concentration de défauts.

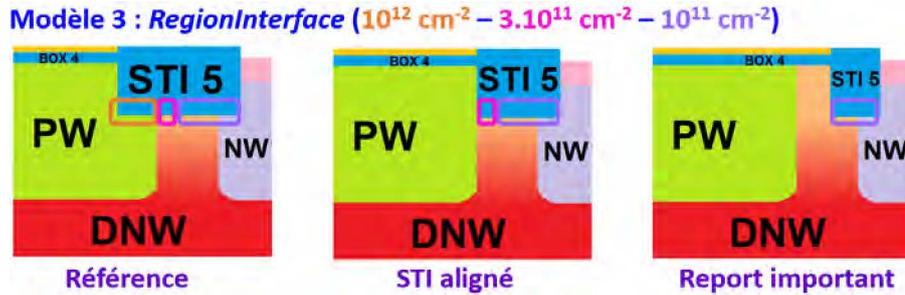


FIGURE 5.7 – Schéma des structures avec report STI et définition des défauts par l’option des régions (Modèle 3)

Les caractéristiques $I(V)$ obtenues à l’aide des simulations *SDEVICE* ont donné des tendances similaires pour les trois modèles utilisés pour la description de défauts. Tout d’abord, nous constatons que la mise en place du report STI permet de diminuer le courant d’obscurité de la SPAD, et donc potentiellement de réduire le DCR (Figure 5.8a, b et c). Cette réduction est d’autant plus importante que le retrait de la structure STI est important. Enfin, nous observons que le report STI n’entraîne pas de modification de la tension de claquage [155].

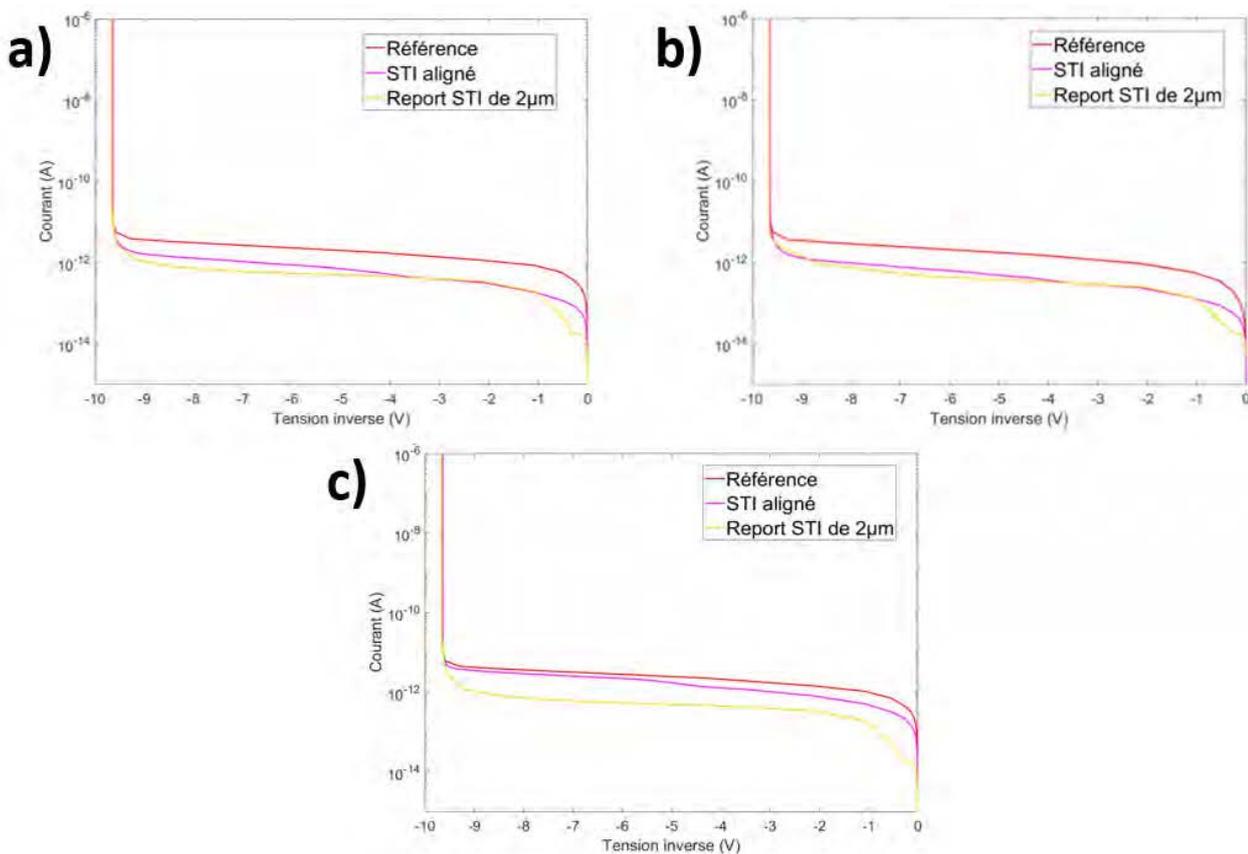


FIGURE 5.8 – Caractéristiques $I(V)$ simulées pour chaque structure avec en a) Modèle 1 : *RegionInterface*, en b) Modèle 2 : *SurfaceRecombination* et en c) Modèle 3 : *RegionInterface* et gradient de concentration des défauts

A noter que le report STI permet de réduire légèrement le pic de champ électrique sur les bords comme cela apparaît sur la Figure 5.9a. Cette diminution est d’autant plus importante que le report STI est grand (Figure 5.9b et c). Si la réduction du champ électrique périphérique est suffisante, cela devrait conduire à une réduction du DCR.

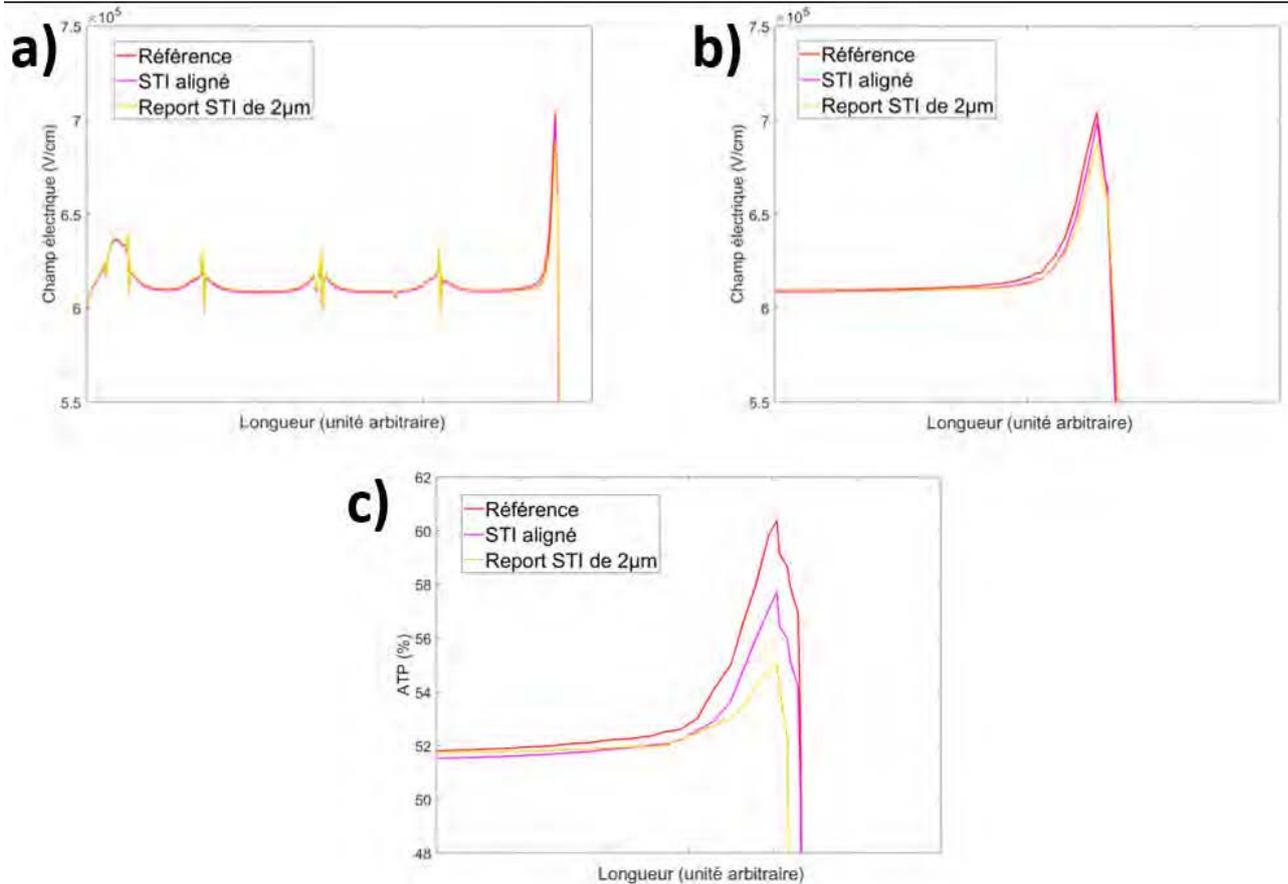


FIGURE 5.9 – Simulations *SDEVICE* avec le Modèle 3 : en a) Coupe horizontale du champ électrique au milieu de la ZCE, en b) Zoom sur le champ électrique des bords de la zone active, et en c) même zoom mais pour l'ATP ($V_{ex} = 2$ V)

Comme les résultats de simulations montrent un effet sur le champ électrique et le courant d'obscurité, nous avons décidé de lancer en fabrication des structures SPAD FD-SOI avec report STI sur la périphérie de la zone active.

5.2.3 Dessin physique des cellules SPAD avec report STI et règles de dessin

Pour le dessin physique des cellules avec report STI, il faut respecter certaines règles. Comme vu au chapitre 2, la zone FD-SOI avec BOX et film de silicium se construit en utilisant la couche *RX fillopc* (en magenta sur la Figure 5.10). Par ailleurs, les règles de dessin imposent un écart entre la fin du caisson PW (qui correspond au début de l'anneau de garde, *BFMOAT*) et la fin de la couche FD-SOI, conduisant à la présence d'un bloc STI périphérique (Figure 2.18). Pour dessiner la cellule "STI aligné", il faut que le début de la couche *BFMOAT* coïncide avec la fin de la couche *RX fillopc* (Figure 5.10a et b). Ceci conduit à la violation de deux règles de dessin (*GR795* et *DORX.D.8*) pour lesquelles nous avons obtenu une dérogation. Enfin, pour une structure avec un report STI plus important comme celui de $2\mu\text{m}$, il est nécessaire que la couche *RX fillopc* s'étende au-delà de la couche *BFMOAT* (Figure 5.10c). Cette situation demande la violation de trois règles de dessin (les deux précédentes ainsi que l'erreur *GR799a_RX* correspondant à une interdiction de superposition des couches *BFMOAT* et *RX fillopc*).

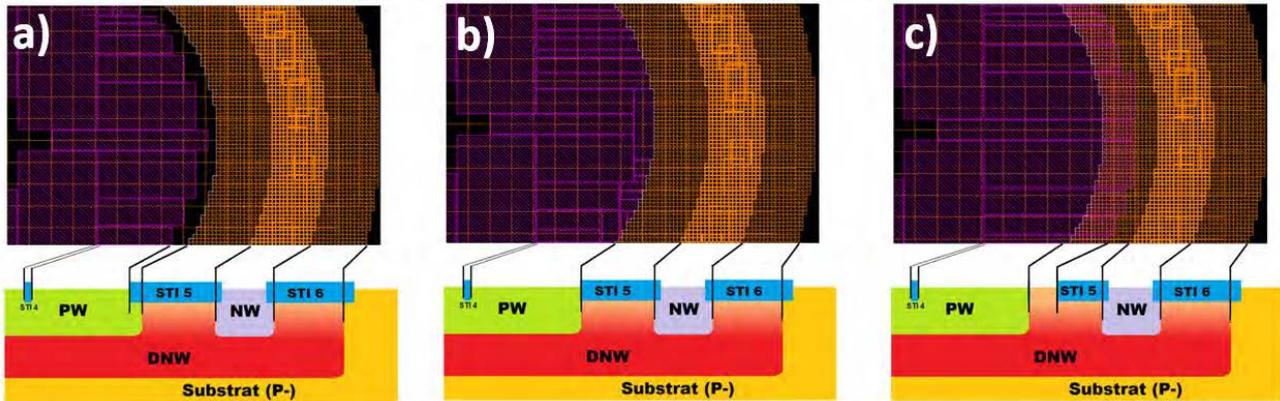


FIGURE 5.10 – Dessins physiques des structures FD-SOI pseudo-circulaires de diamètre $25\mu\text{m}$ avec en a) la référence, en b) STI aligné et en c) Report STI de $2\mu\text{m}$

Au niveau de la fabrication, certains de ces résultats de simulations ont été utilisés pour la conception du TC3 (avril 2019). Il intègre une configuration "STI aligné" sur une unique cellule FD-SOI octogonale de diamètre $25\mu\text{m}$. En nous appuyant sur des résultats de simulation complémentaires, nous avons conçu, dans le *test-chip 4* (TC4), quatre configurations de report sur des structures FD-SOI pseudo-circulaires de diamètre $25\mu\text{m}$ et $50\mu\text{m}$: "STI aligné", ainsi que report STI de 0.5, 1, et $2\mu\text{m}$. Ces configurations sont rappelées dans le Tableau 5.4 à la toute fin de ce chapitre.

5.2.4 Caractérisations

TC3 : cellule octogonale avec STI aligné

Les cartographies d'électroluminescence réalisées sur la cellule octogonale avec STI aligné ont mis en évidence un comportement conforme aux attentes. En effet, pour cette configuration, le claquage est tout d'abord localisé au centre de la structure puis s'étend à toute la zone active quand nous augmentons la tension d'excès (Figure 5.11b), alors qu'avec la structure standard le claquage prédominant était localisé sur la périphérie (Figure 5.11a) [155].

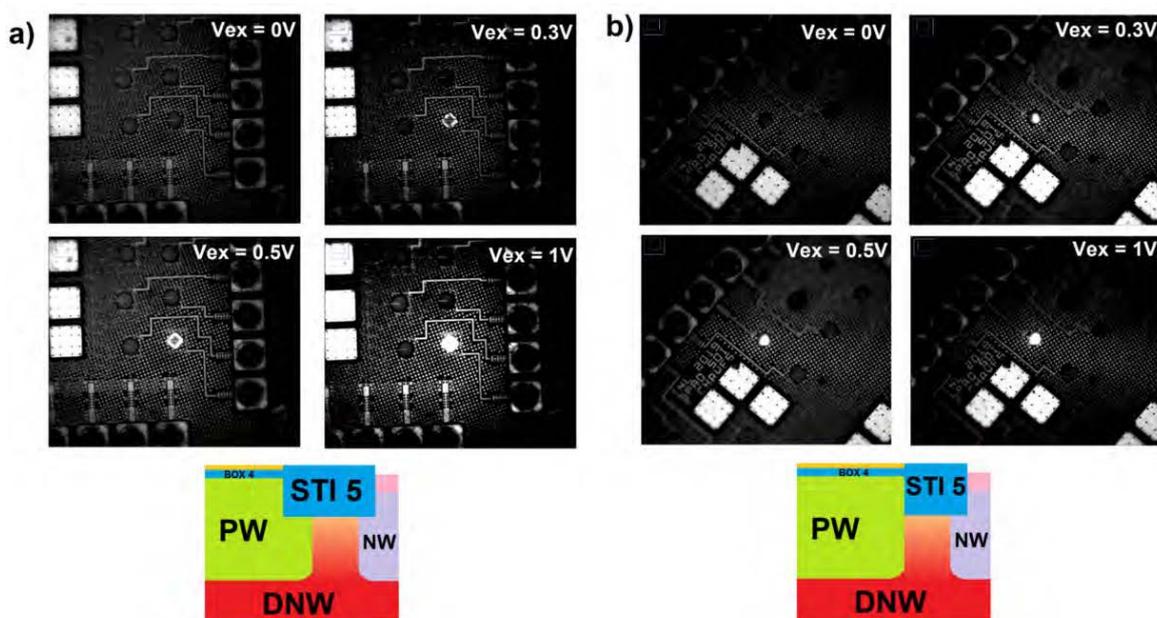


FIGURE 5.11 – Cartographies d'électroluminescence sur cellule octogonale FD-SOI de diamètre $25\mu\text{m}$: en a) structure de référence et en b) "STI aligné" (Température ambiante)

Les mesures de DCR ont montré que cette variation de la zone de claquage initiale s'accompagne d'une réduction assez importante du DCR. Sur une structure FD-SOI de référence en utilisant une résistance d'étouffement de $200\text{ k}\Omega$, nous trouvons un DCR élevé pour des tensions d'excès très faibles de l'ordre de 0.3 V , soit environ 3% de V_{BD} (Figure 5.12a). Le report STI permet de réduire le DCR et de réaliser des mesures jusqu'à une tension d'excès d'environ 1 V (10% de V_{BD}) comme illustré sur la Figure 5.12b [155]. Ce résultat montre qu'en absence du claquage prématuré périphérique (PEB) confirmé par les mesures d'électroluminescence, la SPAD avec report STI n'est pas pénalisée par cette composante du DCR qui semble prépondérante dans la cellule de référence.

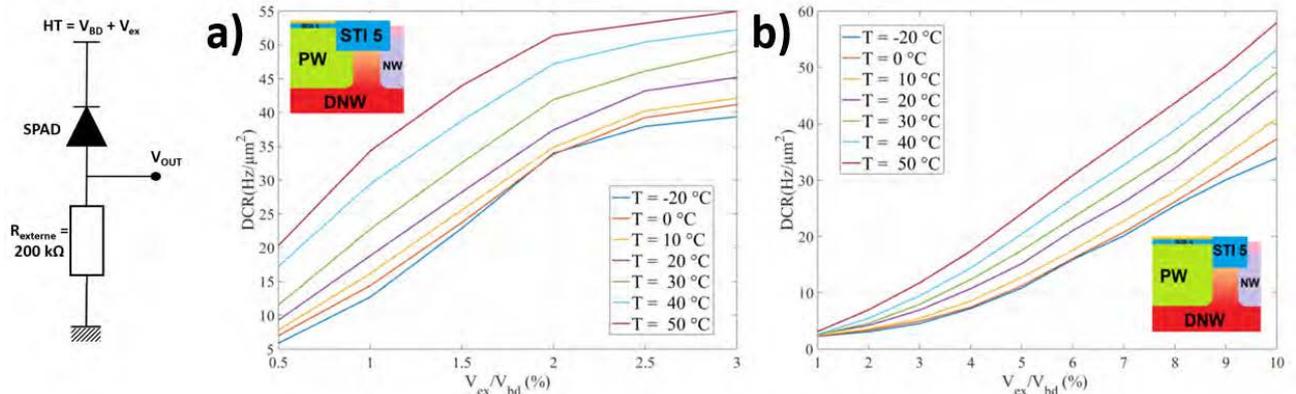


FIGURE 5.12 – Mesures de DCR sur cellule octogonale FD-SOI de diamètre $25\text{ }\mu\text{m}$: en a) structure de référence et en b) "STI aligné" (avec $R_Q = 200\text{ k}\Omega$)

Enfin, les caractéristiques $I(V)$ ont aussi confirmé ces deux premiers résultats. En effet, nous avons obtenu un courant d'obscurité plus faible pour la structure avec "STI aligné" et ceci pour plusieurs valeurs de températures (Figure 5.13) [155].

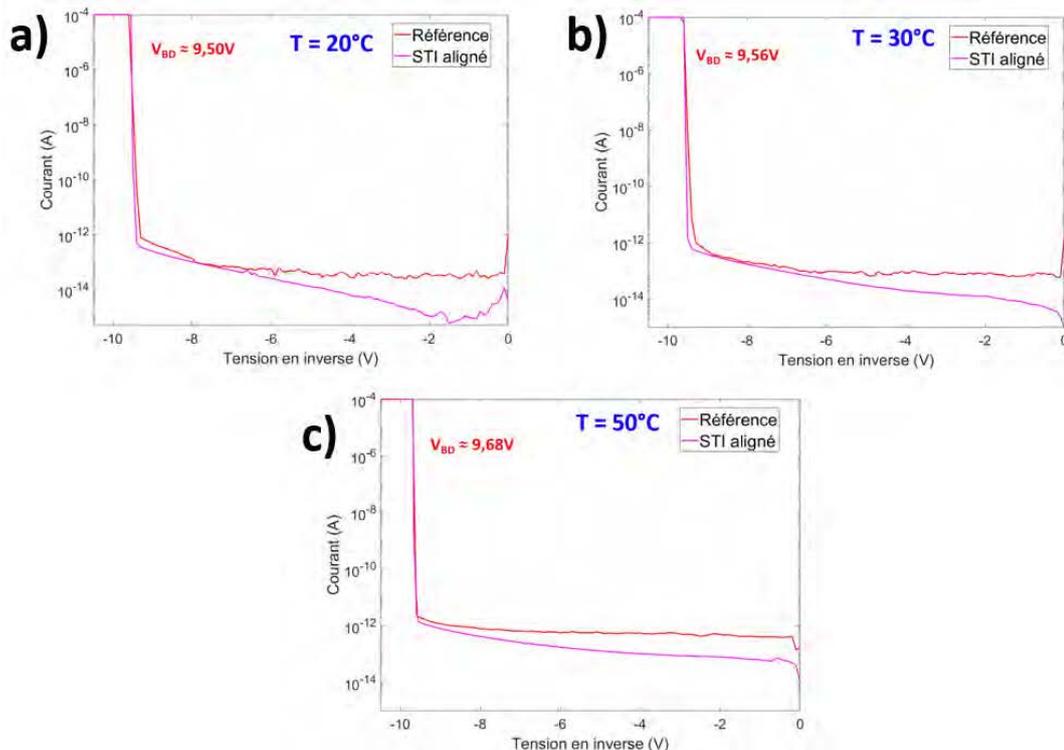


FIGURE 5.13 – Caractéristiques $I(V)$ sur les cellules octogonales FD-SOI de référence et "STI aligné" avec en a) $T = 20\text{ }^\circ\text{C}$, en b) $T = 30\text{ }^\circ\text{C}$, et en c) $T = 50\text{ }^\circ\text{C}$ (diamètre = $25\text{ }\mu\text{m}$)

TC4 : cellules pseudo-circulaires avec toutes les configurations de report STI

Les cellules pseudo-circulaires avec report STI (du TC4) montrent un comportement différent de celui observé sur la structure octogonale (du TC3). Tout d'abord, les mesures $I(V)$ n'ont pas mis en évidence de diminution notable du courant d'obscurité avec l'augmentation du report. Le niveau est globalement le même quelle que soit la configuration (Figure 5.14). Nous constatons par ailleurs une augmentation de la tension de claquage de l'ordre de 0.7 V (passage de 9.5 V à 10.2 V) qui n'était pas présente sur les résultats de simulations, et sur la structure octogonale. Cette augmentation est la même pour tous les reports, elle semble donc liée au fait que le STI ne déborde plus sur la jonction PW/DNW. Lors de précédentes mesures, nous avons montré qu'une structure entièrement STI (donc sans l'empilement BOX et film de silicium) présentait une tension de claquage plus faible que la structure FD-SOI standard car la jonction était plus abrupte (cf. chapitre 3). Cette analyse reste valable pour l'étude du report STI : la structure de référence présente un STI au-dessus de la jonction, donc cette dernière est localement plus abrupte, et par conséquent la tension de claquage est plus faible que pour une structure avec report. Par ailleurs, pour les cellules avec modification d'implantation du caisson DNW, nous n'observons pas de modification du courant d'obscurité avec une très légère augmentation de la tension de claquage.

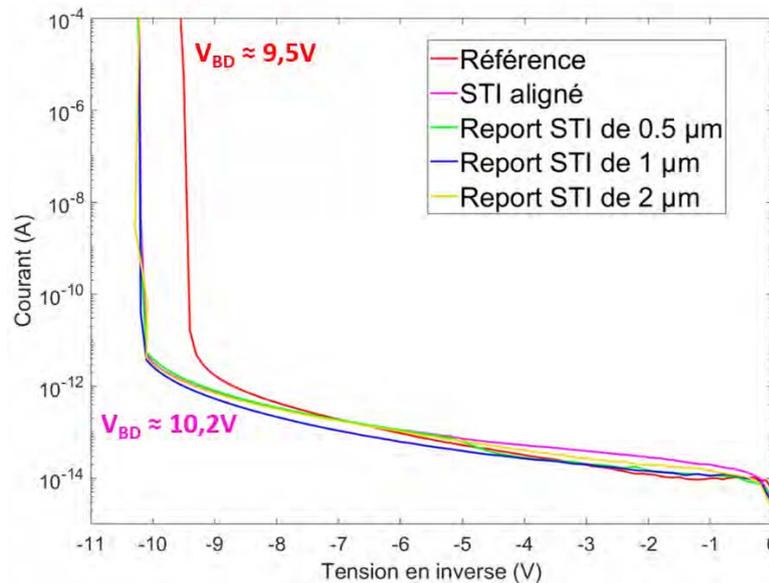


FIGURE 5.14 – Caractéristiques $I(V)$ sur les cellules pseudo-circulaires de diamètre $50\mu\text{m}$ selon les différentes configurations de report STI (température ambiante)

Cette augmentation de tension de claquage est confirmée par les mesures DCR pour lesquelles les événements d'avalanche apparaissent à partir de 10.2 V de tension de polarisation inverse. Par ailleurs, nous avons constaté que le DCR augmente très rapidement pour les structures avec report STI et devient alors supérieur à celui d'une structure FD-SOI standard. Cela est très gênant et remet en cause l'intérêt du report STI.

5.2.5 Problème de l'interface BOX / DNW rétrograde

Dans le cas des retraits STI significatifs (allant de 0.5 à $2\mu\text{m}$), il existe une interface BOX/DNW rétrograde qui n'était pas présente dans la structure de référence (Figure 5.15). Dans cette technologie, la réalisation d'un caisson PW très dopé sous le BOX permet de passiver cette interface et donc de diminuer la concentration de défauts. Dans le cas du report STI, cette passivation n'est plus présente et peut conduire à une interface de mauvaise qualité avec une concentration en défauts plus élevée qu'à l'interface STI/DNW.

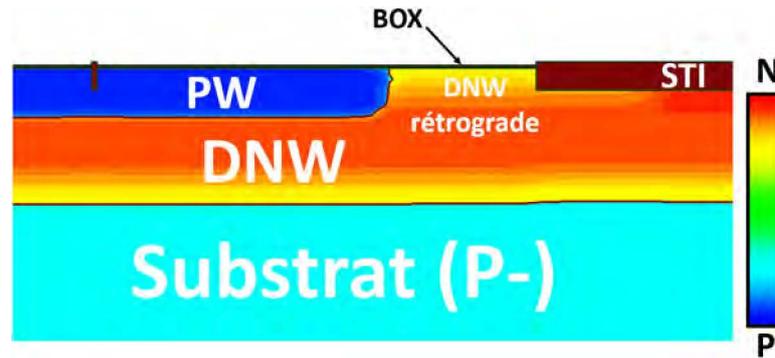


FIGURE 5.15 – Cartographie des dopages sur la structure FD-SOI avec report STI de $2\mu\text{m}$ et zoom sur la zone d'interface BOX/DNW rétrograde

La structure "STI aligné" ne contient à priori pas cette interface BOX/DNW rétrograde néfaste. Il semble alors surprenant qu'elle ne présente pas d'amélioration. Cela peut s'expliquer par la réalisation physique de la structure pseudo-circulaire qui impose d'utiliser des rectangles *RX fillopc* de petite taille avec une approximation en marches d'escalier. De ce fait, l'alignement STI avec la jonction PW/DNW est difficile à réaliser (Figure 5.16), avec potentiellement un report STI localement plus grand, laissant apparaître l'interface BOX/DNW rétrograde.

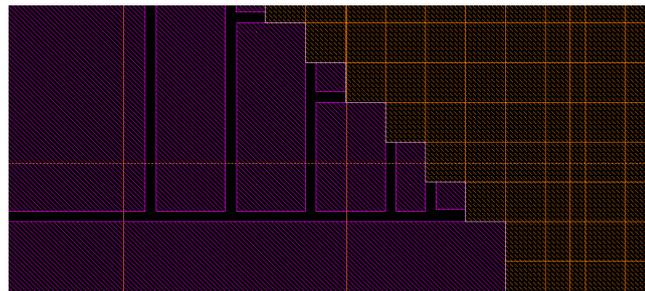


FIGURE 5.16 – Dessin physique d'une cellule pseudo-circulaire de $25\mu\text{m}$ avec zoom sur la zone d'alignement du STI

En simulations TCAD, nous avons repris la configuration avec report STI de $2\mu\text{m}$ et nous avons ajouté des défauts à l'interface BOX / DNW rétrograde selon la description *RegionInterface*. Nous avons ensuite ajusté la valeur de la concentration afin de simuler un impact plus ou moins important de cette interface. À noter que les défauts de l'interface STI/DNW sont toujours présents. Pour cette raison, cette étude compare trois types de structures (Tableau 5.2) : la cellule de référence avec défauts à l'interface STI/DNW (Figure 5.17a), celle avec report STI de $2\mu\text{m}$ et des défauts uniquement à l'interface STI/DNW (Figure 5.17b), et une cellule avec report STI de $2\mu\text{m}$ et des défauts à l'interface STI/DNW mais aussi à l'interface BOX/DNW rétrograde (Figure 5.17c).

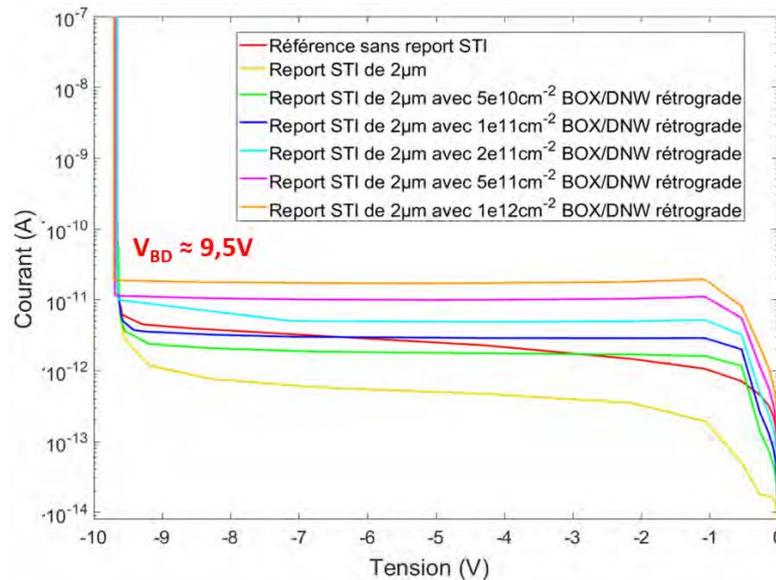


FIGURE 5.17 – Schémas des structures avec report STI et définition des défauts selon la description *RegionInterface* avec en a) la référence, en b) le report STI de $2\mu\text{m}$, et en c) le même report STI mais avec ajout de défauts à l'interface BOX/DNW rétrograde

Structure	Concentration des défauts à l'interface STI/DNW avec double implantations	Concentration des défauts à l'interface STI/DNW avec implantation unique	Concentration des défauts à l'interface BOX/DNW rétrograde
Référence	$1 \times 10^{12} \text{ cm}^{-2}$	$1 \times 10^{11} \text{ cm}^{-2}$	-
Report STI de $2 \mu\text{m}$	-	$1 \times 10^{11} \text{ cm}^{-2}$	-
Report STI de $2 \mu\text{m}$ avec défauts BOX / DNW rétrograde	-	$1 \times 10^{11} \text{ cm}^{-2}$	$5 \times 10^{10} / 1 \times 10^{11} / 2 \times 10^{11} / 5 \times 10^{11} / 1 \times 10^{12} \text{ cm}^{-2}$

TABLE 5.2 – Tableau des structures et configurations réalisées pour l'étude sur l'incorporation de défauts à l'interface BOX /DNW rétrograde

Sur les caractéristiques $I(V)$ simulées, nous constatons un effet néfaste des défauts à l'interface BOX/DNW rétrograde. En effet, pour des concentrations en défauts plus faibles qu'à l'interface STI/DNW, le courant d'obscurité augmente de manière beaucoup plus progressive. Ainsi pour des concentrations comprises entre 5×10^{10} et $1 \times 10^{11} \text{ cm}^{-2}$, le courant d'obscurité simulé est du même ordre de grandeur que celui de la structure de référence sans report STI (Figure 5.18).


 FIGURE 5.18 – Caractéristiques $I(V)$ simulées pour l'étude sur l'incorporation de défauts à l'interface BOX/DNW rétrograde

Finalement, ces simulations confirment que l'interface BOX/DNW rétrograde dégrade les performances de la SPAD en technologie CMOS FD-SOI 28 nm. Pour cette raison, lors de la conception du *test-chip* 5 (TC5) en novembre 2020, nous avons décidé de ne plus intégrer de structures avec des reports STI importants, mais de privilégier celle avec le STI aligné qui a donné de bons résultats sur le TC3 avec une géométrie dite "octogonale". Enfin, à noter que le TC5 a été fabriqué avec les deux types d'implantation du caisson DNW.

5.3 Optimisation par modification des implantations du caisson PW

Dans cette deuxième section, nous étudions l'impact des conditions d'implantation du caisson PW sur le pic de champ périphérique. Il s'agit d'une étude prospective réalisée en simulations car elle requiert une modification du procédé de fabrication. Nous cherchons à trouver une alternative au report STI qui n'a pas donné entière satisfaction.

5.3.1 Implantations utilisées pour réaliser le caisson PW

Les implantations pour former le caisson PW sont au nombre de quatre et permettent chacune d'ajuster la forme du profil de dopage dans la profondeur. La première implantation permet d'ajuster le niveau de dopage dans la partie la plus profonde du caisson alors que la dernière est utilisée pour ajuster le niveau de dopage au voisinage du BOX (probablement pour passer l'interface et diminuer les défauts). Pour obtenir un dopage de caisson PW plus uniforme, deux autres implantations sont utilisées entre la limite haute et basse (Figure 5.19a). Ensuite, l'étape de recuit va encore améliorer l'uniformité de dopage du caisson grâce à la diffusion thermique des dopants.

Dans un premier temps, nous avons décidé de regarder l'impact de chaque implantation sur le comportement électrique de la structure. Nous avons constaté que la première implantation joue un rôle assez important sur la tension de claquage. En effet, la réalisation d'une structure SPAD FD-SOI avec uniquement les implantations deux, trois et quatre du PW permet d'obtenir une structure claquant à environ 2 V de plus que la structure de référence. Cette tendance a par ailleurs été confirmée sur les caractéristiques $I(V)$ (Figure 5.19b) et par la méthode des intégrales d'ionisation (ABA, Figure 5.19c). Néanmoins, le champ électrique sur les bords reste toujours bien supérieur à celui du milieu de la zone active, avec un risque de PEB qui dégrade le DCR (Figure 5.19d).

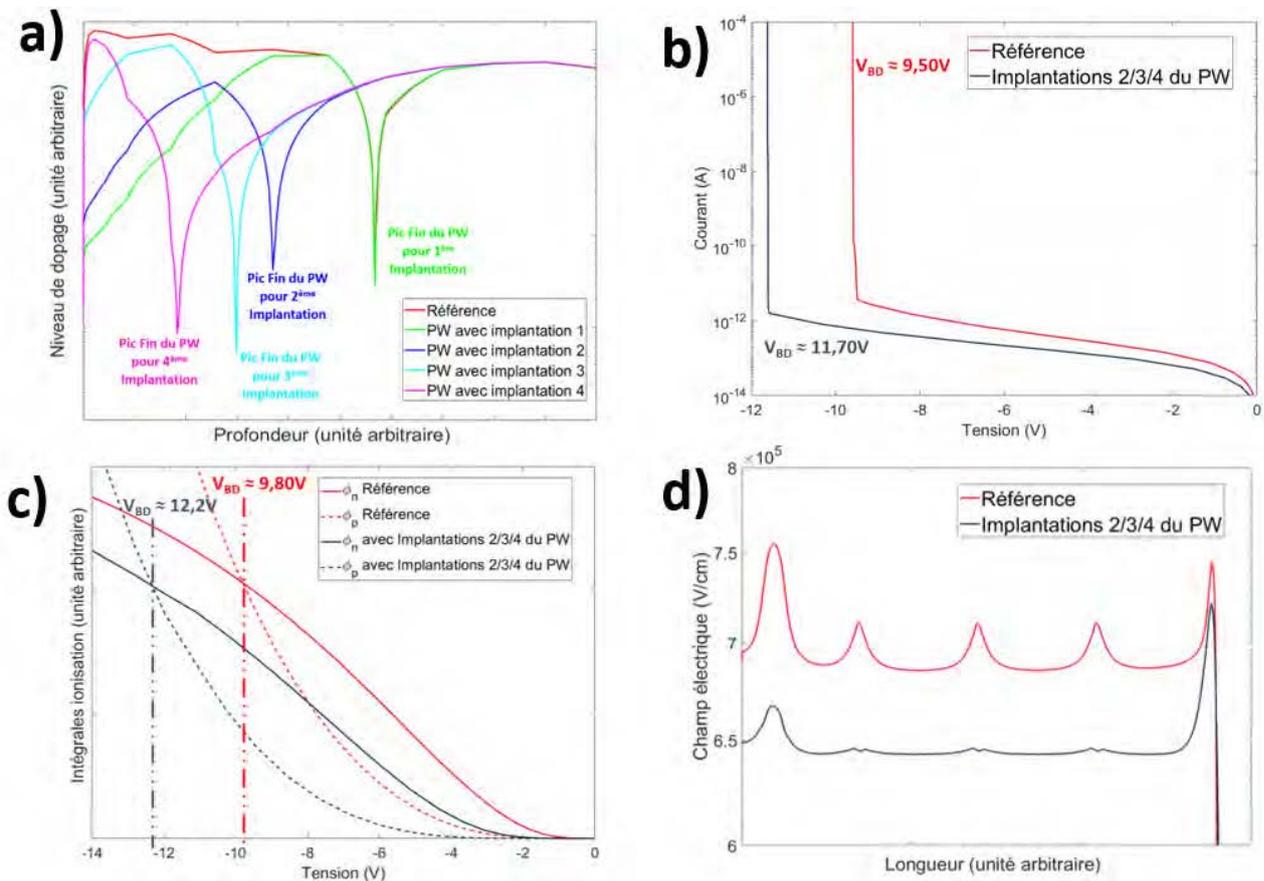


FIGURE 5.19 – a) Coupe verticale du niveau de dopages sous une zone BOX et film de silicium en fonction des implantations du caisson PW, et Simulations *SDEVICE* sur la structure de référence et sur une structure ne présentant que les implantations 2,3 et 4 du caisson PW : en b) $I(V)$ en c) ABA, et en d) coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})

Par ailleurs, cette modification entraîne un rapprochement de la jonction PW/DNW (zones active et de multiplication) avec l'interface enterrée du STI, ce qui n'est pas favorable du fait de la présence de défauts. Sur la Figure 5.20, nous présentons également deux courbes avec des défauts à l'interface STI périphérique comme pour l'étude du report décrite dans la section précédente. Ces défauts sont

présents à la fois pour la structure de référence mais aussi pour la structure sans la première implantation du caisson PW. En prenant en compte les défauts, la structure sans la première implantation du PW présente une augmentation du courant d'obscurité significativement plus élevée que celle sur la structure de référence.

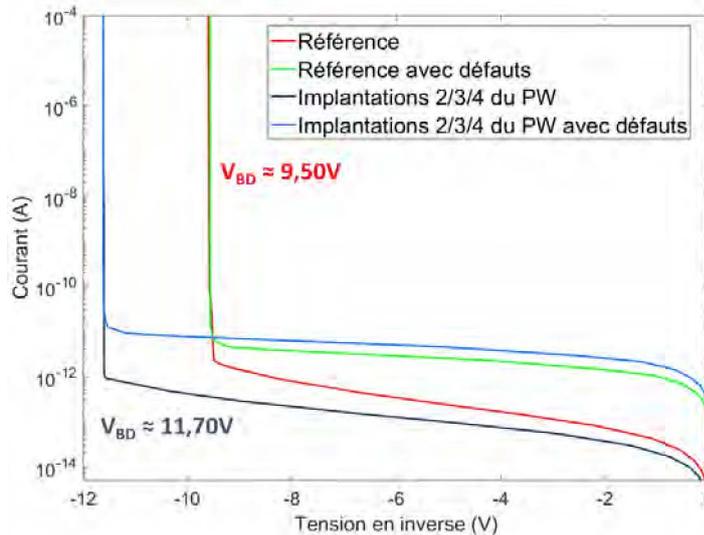


FIGURE 5.20 – Caractéristiques $I(V)$ simulées pour la structure de référence et sur une structure ne présentant que les implantations 2,3 et 4 du caisson PW, avec incorporation de défauts à l’interface STI périphérique

Enfin, nous avons testé aussi cette suppression de la première implantation du caisson PW avec la modification du caisson DNW. Nous avons obtenu les mêmes tendances qu’avec la structure de référence, c’est-à-dire une augmentation de la tension de claquage (Figure 5.21a) ainsi que la présence d’un pic de champ électrique sur les bords toujours prédominant (Figure 5.21b).

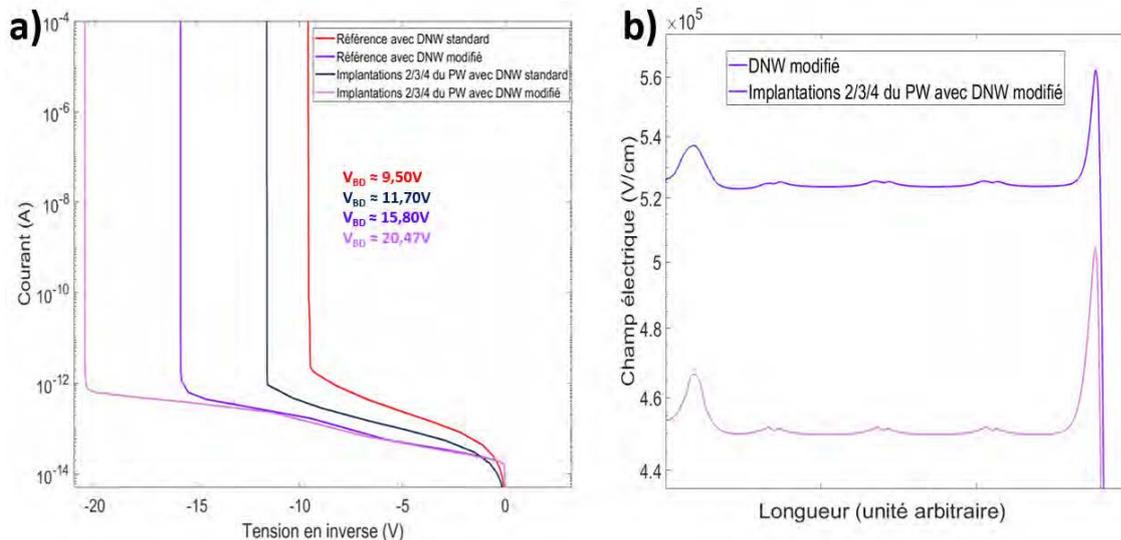


FIGURE 5.21 – Simulations *SDEVICE* sur la structure de référence et sur une structure sans la première implantation du caisson PW avec modification du caisson DNW : en a) $I(V)$ en b) coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})

Nous avons décidé plutôt que de supprimer cette première implantation, de la modifier en terme de dose et d’énergie afin de réduire ce pic de champ. Pour cette étude paramétrique, nous avons travaillé en ne modifiant qu’un seul paramètre à la fois, variation de la dose (étude A) ou variation de l’énergie (étude B).

5.3.2 Impact de la modification de la dose

Dans le cadre de l'étude A et pour respecter les données de fabrication confidentielles de *STMicroelectronics*, nous ne communiquerons aucune valeur d'implantation mais nous avons travaillé de façon à avoir $Dose\ 1 < Dose\ 2 < Dose\ 3 < Dose\ de\ référence < Dose\ 4$.

Pour une énergie fixée, travailler avec une dose d'implantation plus élevée entraîne une augmentation légère de la profondeur de jonction PW/DNW (Figure 5.22a). Par ailleurs, l'utilisation d'une dose plus élevée que la référence entraîne l'apparition d'un pic important dans la concentration des dopants en profondeur du caisson PW (repère A).

Au niveau des caractéristiques $I(V)$, nous constatons pour une augmentation de la dose, une diminution de la tension de claquage. À l'inverse, nous observons que la diminution de la dose permet d'augmenter significativement V_{BD} (Figure 5.22b). À noter, que dans tous les cas, le courant d'obscurité n'est pas impacté par la modification de la dose.

Pour le champ électrique, c'est l'effet inverse de celui souhaité qui se produit quand nous augmentons la dose, le pic de champ sur les bords est plus intense (Figure 5.22c). Par contre, dans le cadre de la diminution de la dose, nous parvenons à réduire le champ électrique moyen dans la structure et à minimiser le pic périphérique.

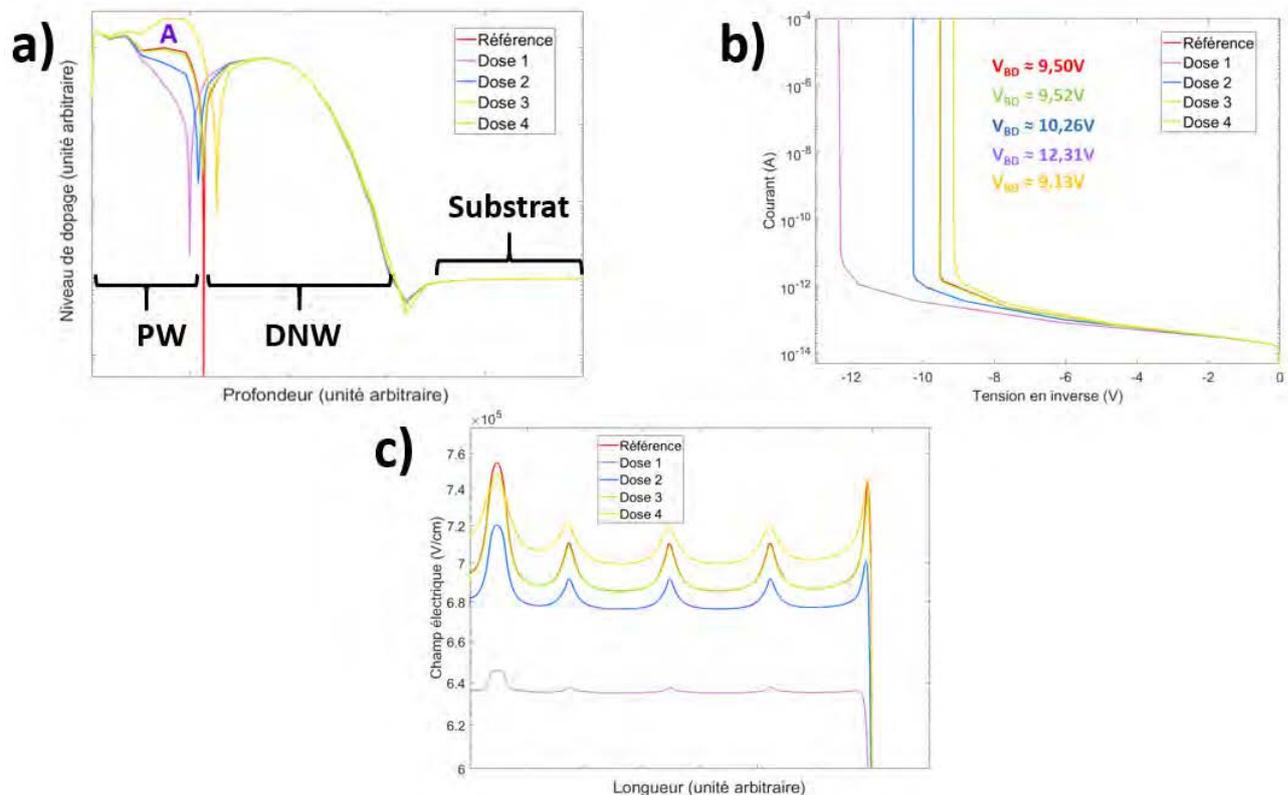


FIGURE 5.22 – Simulations sur l'étude A avec variation de la dose de la première implantation du PW : en a) Coupe verticale du profil de dopage, en b) Caractéristiques $I(V)$, et en c) Coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})

Finalement, cette étude montre que la diminution de la dose de la première implantation du caisson PW a un effet bénéfique sur le comportement électrique de la SPAD.

5.3.3 Impact de la modification de l'énergie

Pour l'étude B, nous avons travaillé avec plusieurs valeurs d'énergie telles que $Énergie\ 1 < Énergie\ de\ référence < Énergie\ 2 < Énergie\ 3 < Énergie\ 4$.

Néanmoins, comme la profondeur du caisson augmente avec l'énergie d'implantation, à dose constante, nous pouvons observer pour certaines valeurs d'énergie un creux de dopage au cœur du caisson PW comme cela apparaît sur la Figure 5.23a. Pour l'Énergie 4, le creux est tellement important qu'il fait apparaître le niveau de dopage du caisson DNW, et le caisson PW se retrouve alors séparé en deux régions (Figure 5.23b). Cette configuration n'est pas adaptée et elle ne sera pas étudiée dans la suite du travail.

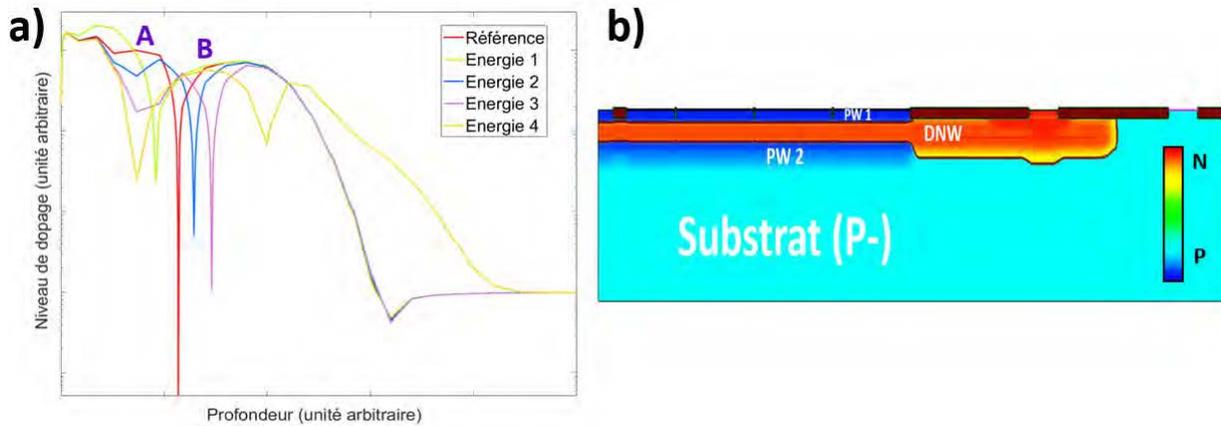


FIGURE 5.23 – Simulations des niveaux de dopage sur l'étude B avec augmentation de l'énergie de la première implantation du PW : en a) Coupe verticale, en b) Cartographie de la structure obtenue avec l'Énergie 4

Les caractéristiques $I(V)$ (simulées avec Énergie 1, Énergie 2 et Énergie 3) ne présentent pas d'évolution monotone de la tension de claquage avec la variation de l'énergie (Figure 5.24a). Par ailleurs, nous ne constatons pas de variation du courant d'obscurité avec les énergies testées.

L'augmentation de l'énergie permet de globalement diminuer le champ électrique sur les bords de la zone active mais aussi dans le reste de la jonction (Figure 5.24b). Pour la diminution de l'énergie, le pic sur les bords a plutôt tendance à s'intensifier par rapport au champ électrique moyen dans la jonction. Finalement, pour cette étude il semble plus intéressant de privilégier une augmentation d'énergie.

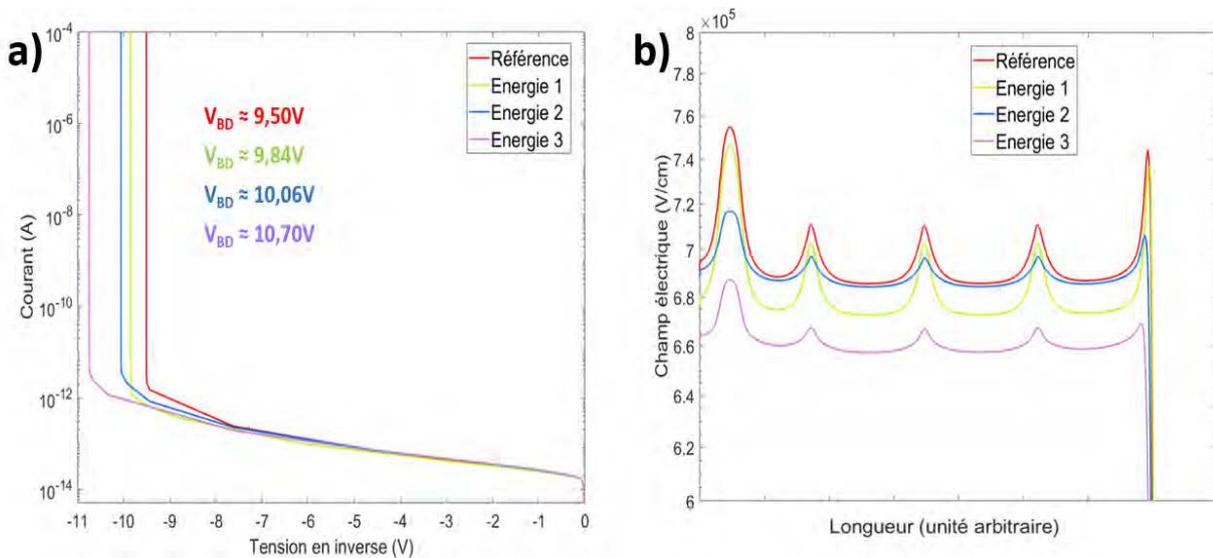


FIGURE 5.24 – Simulations sur l'étude B avec augmentation de l'énergie de la première implantation du PW : en a) Caractéristiques $I(V)$, et en b) Coupe horizontale du champ électrique dans la ZCE ($V_{ex} = 10\%$ de V_{BD})

5.3.4 Impact croisé avec diminution de la dose et augmentation de l'énergie

Devant les résultats encourageants, nous avons décidé de croiser les études sur la modification de la première implantation du caisson PW en augmentant l'énergie et en diminuant la dose. Les structures réalisées sont décrites dans le Tableau 5.3.

Structure	Dose	Énergie
Référence	<i>Dose de référence</i>	<i>Énergie de référence</i>
Augmentation Énergie Cas 1	<i>Dose de référence</i>	<i>Énergie 2</i>
Croisé 1.1	<i>Dose 3</i>	<i>Énergie 2</i>
Croisé 1.2	<i>Dose 2</i>	<i>Énergie 2</i>
Croisé 1.3	<i>Dose 1</i>	<i>Énergie 2</i>
Augmentation Énergie Cas 2	<i>Dose de référence</i>	<i>Énergie 3</i>
Croisé 2.1	<i>Dose 3</i>	<i>Énergie 3</i>
Croisé 2.2	<i>Dose 2</i>	<i>Énergie 3</i>
Croisé 2.3	<i>Dose 1</i>	<i>Énergie 3</i>

TABLE 5.3 – Tableau des structures et configurations réalisées pour l'étude sur l'incorporation de défauts à l'interface BOX /DNW rétrograde

Au niveau des simulations, la seconde étude reposant sur l'utilisation de l'Énergie 3 avec diminution de la dose n'a pas aboutie car la structure simulée présentait deux îlots PW (comme pour la structure Énergie 4 présentée en Figure 5.23b). Les meilleurs résultats obtenus correspondent à l'Énergie 2 avec la dose la plus faible (*Dose 1*). Nous obtenons une faible diminution de la profondeur de jonction (Figure 5.25a), avec une augmentation significative de la tension de claquage à 14 V (Figure 5.25b), et une réduction majeure du pic de champ électrique périphérique (Figure 5.25c).

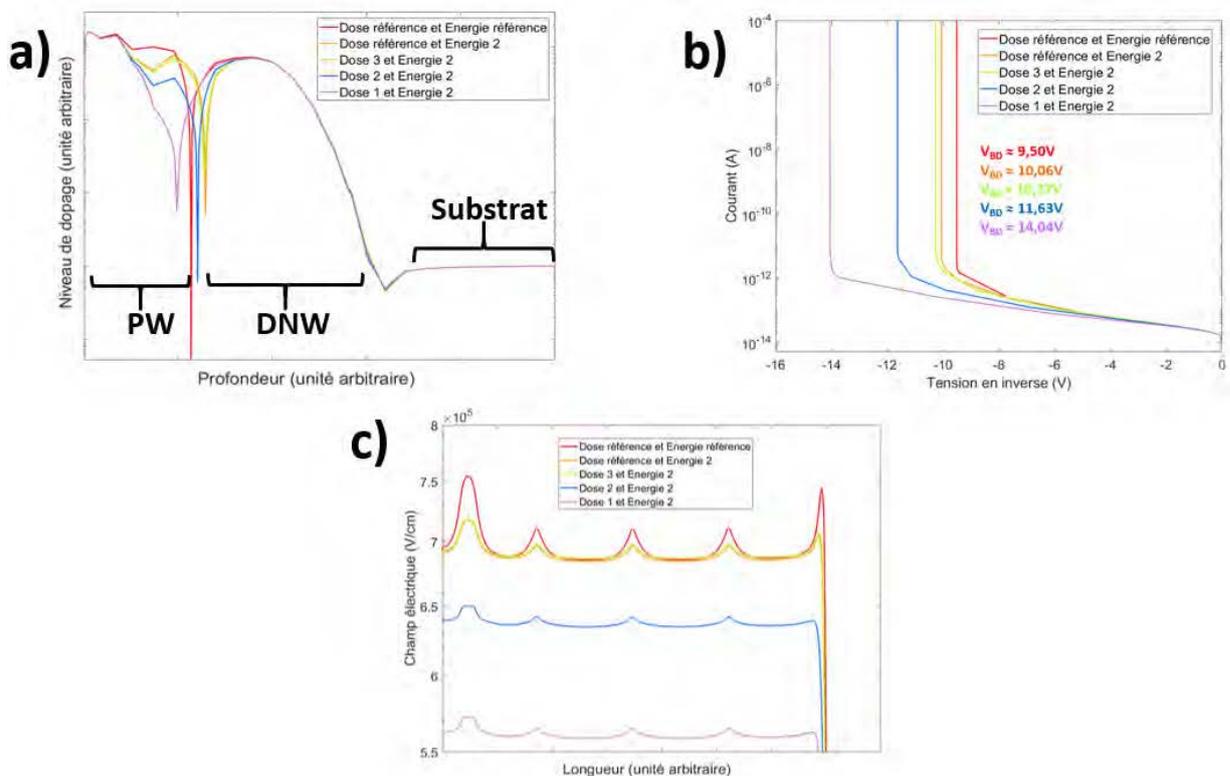


FIGURE 5.25 – Simulations sur l'étude croisée avec diminution de la dose et augmentation de l'énergie de la première implantation du PW : en a) Coupe verticale du profil de dopage, en b) Caractéristiques $I(V)$, et en c) Coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})

5.3.5 Combinaison avec la structure DNW modifié

Dans cette sous-section, nous étudions une structure combinant à la fois modification de la première implantation du caisson PW mais aussi modification du caisson DNW. Ces deux modifications, prises séparément ont montré chacune un intérêt pour le fonctionnement électrique de la structure SPAD FD-SOI. L'étude précédente a été reconduite avec la structure du caisson DNW modifié.

Au niveau de la profondeur de jonction, nous retrouvons le même résultat qu'avec le DNW standard : l'augmentation de l'énergie permet d'obtenir un caisson P implanté plus en profondeur, alors que la diminution de la dose n'a pas d'effet notable sur cette profondeur (Figure 5.26a). Par ailleurs, ces combinaisons, tout en conservant une tension de claquage autour de 16 V, n'ont pas permis de réduire le champ électrique sur les bords (Figure 5.26b et c) contrairement à ce qui avait été observé sur le caisson DNW standard.

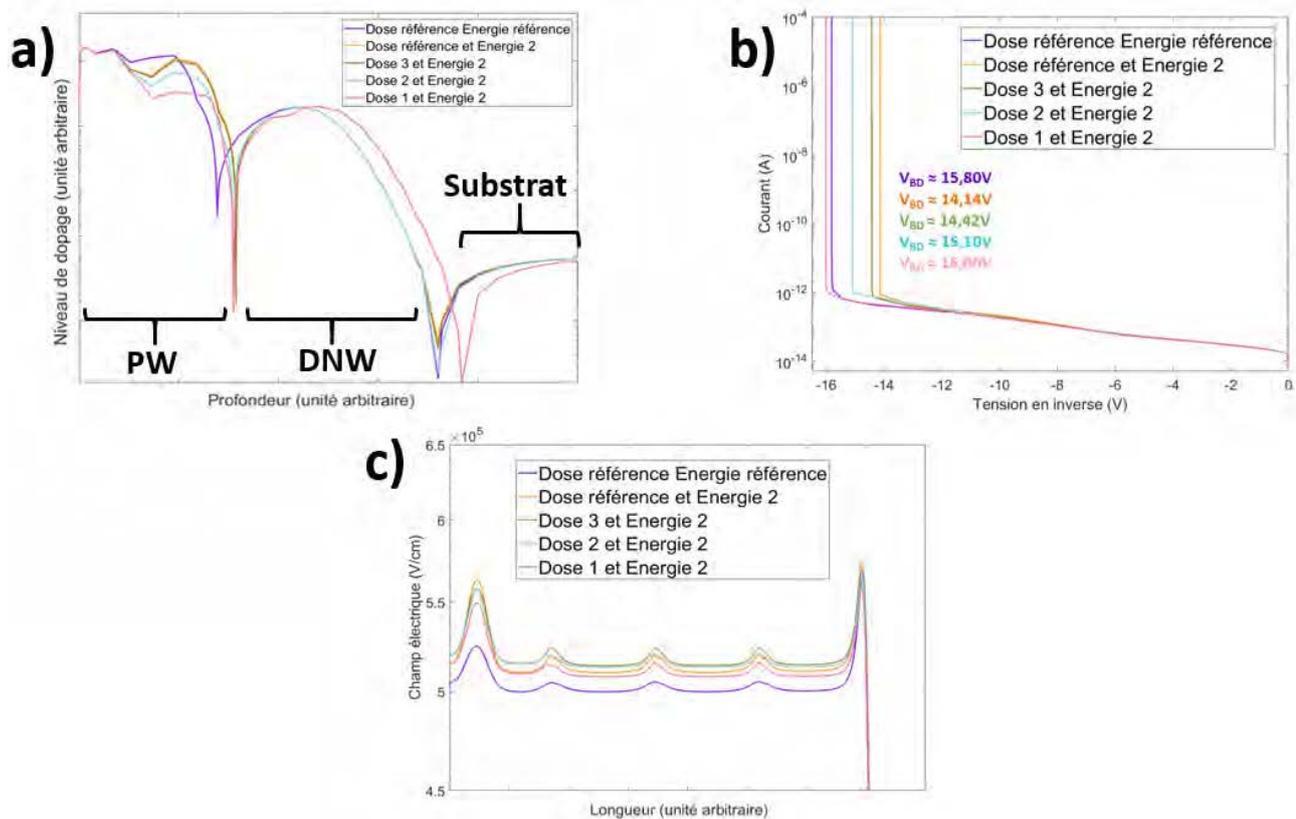


FIGURE 5.26 – Simulations sur l'étude B avec augmentation de l'énergie de la première implantation du PW ainsi que la modification du caisson DNW : en a) Coupe verticale du profil de dopage ($X = 6.0\mu\text{m}$), en b) Caractéristiques $I(V)$, et en c) Coupe horizontale du champ électrique dans la ZCE ($V_{ex} = 10\%$ de V_{BD})

Pour conclure, la modification de la première implantation du caisson PW (augmentation de l'énergie et diminution de la dose) présente un intérêt pour la réduction du champ électrique sur les bords dans la configuration du DNW standard. Pour ce qui concerne le caisson DNW modifié, les deux effets ne se cumulent pas, le pic de champ reste prédominant. Pour cette raison, la modification du PW n'a pas été lancée en fabrication, et nous nous sommes uniquement concentrés sur la modification du caisson DNW.

5.4 Utilisation de deux implantations pour le caisson DNW

5.4.1 Principe de l'étude

Les structures SPAD de la littérature, comme déjà évoqué dans le chapitre 1, présentent un anneau de garde sur les bords afin de réduire le problème du claquage prématuré. Ce dernier est très souvent constitué d'un caisson moins dopé que celui utilisé pour créer la jonction PN de la SPAD (Figure 5.27). Dans nos structures SPAD FD-SOI simulées et fabriqués, l'anneau de garde est créé grâce à la couche BFMOAT qui supprime les caissons PW et NW pour conserver uniquement le caisson DNW rétrograde.

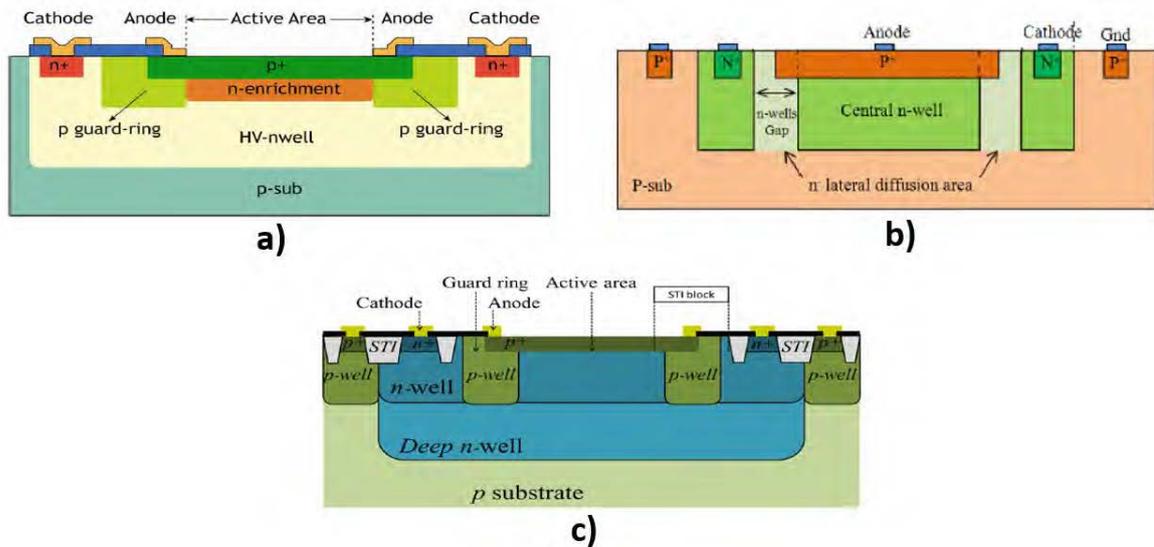


FIGURE 5.27 – Structures SPAD de la littérature utilisant un anneau de garde constitué d'un caisson moins dopé avec en a) technologie CMOS 350 nm [18], [19], en b) technologie CMOS 500 nm [84], en c) technologie CMOS 65 nm [83]

Dans cette section, nous décidons de travailler avec le caisson DNW modifié plutôt que le standard afin d'avoir une tension de claquage proche de 16 V afin de réduire les contributions B2B (cf. chapitre 4). Nous étudions une structure réalisée à partir de deux zones de dopages différenciées pour constituer le caisson DNW. Pour cela, le DNW "modifié" sera implanté dans toute la zone centrale et constituera avec le caisson PW, la jonction PN de la SPAD. Sur les bords, nous utiliserons une structure du DNW encore moins dopée (légère réduction de la dose par rapport au caisson DNW modifié) afin d'avoir une jonction plus douce (Figure 5.28). Il est à noter que cette structure servira uniquement de test en simulations, car en fabrication elle nécessiterait une modification trop importante du procédé et notamment avec des étapes de masquage supplémentaires.

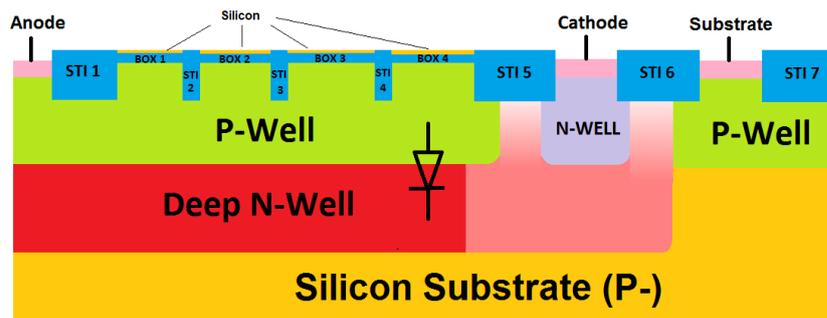


FIGURE 5.28 – Schéma de la structure SPAD FD-SOI utilisant un caisson DNW à deux niveaux de dopage

5.4.2 Résultats en simulations

Les simulations *SPROCESS* ont prouvé la faisabilité de la structure proposée. Les deux caissons DNW issus de deux conditions d'implantation fusionnent parfaitement après recuit pour venir créer un caisson continu (Figure 5.29a et b).

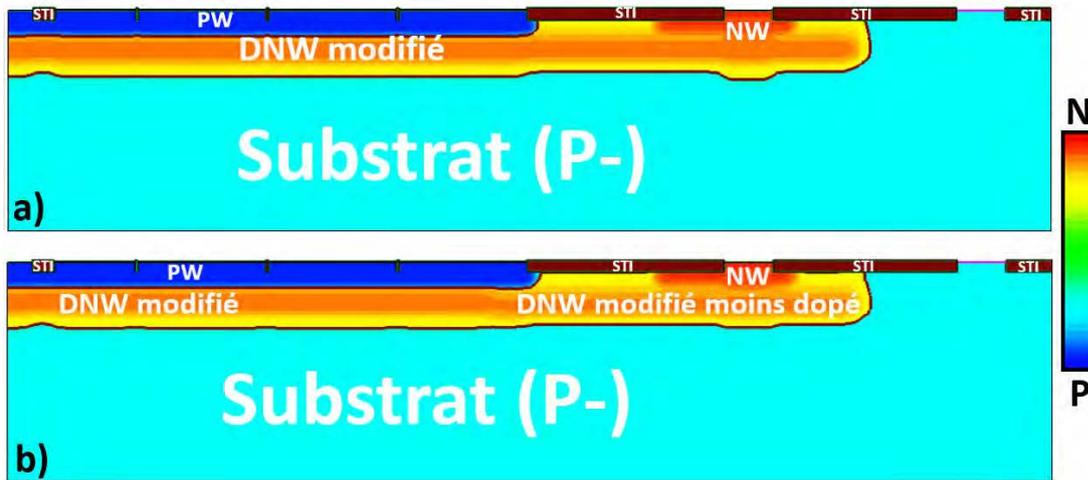


FIGURE 5.29 – Cartographies des niveaux de dopage avec en a) structure FD-SOI standard et en b) structure FD-SOI utilisant un caisson DNW à deux niveaux de dopage

En simulations *SDEVICE*, la jonction dominante de la SPAD étant toujours PW/DNW modifié, nous n'avons pas constaté de modification majeure sur la caractéristique $I(V)$ (Figure 5.30a) ni sur les courbes d'intégrales d'ionisations issues des simulations ABA (Figure 5.30b).

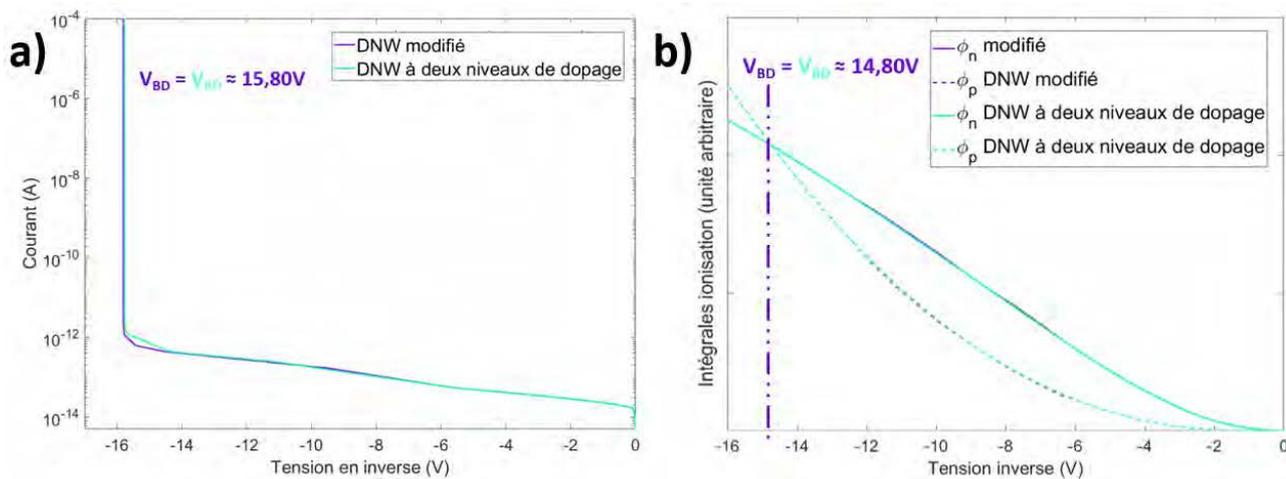


FIGURE 5.30 – Simulations sur l'étude d'une structure avec un caisson DNW à deux niveaux de dopage : en a) Caractéristiques $I(V)$ et en b) Intégrales d'ionisations

Au niveau du champ électrique, la coupe réalisée au milieu de la ZCE pour une tension d'excès de 2 V met clairement en évidence la suppression du pic de champ sur les bords (Figure 5.31a). L'étude de l'ATP pour la même coupe confirme ce comportement (Figure 5.31b). L'utilisation d'un caisson DNW à deux niveaux de dopage semble alors être une solution intéressante pour réduire le claquage prématuré sur les bords (PEB).

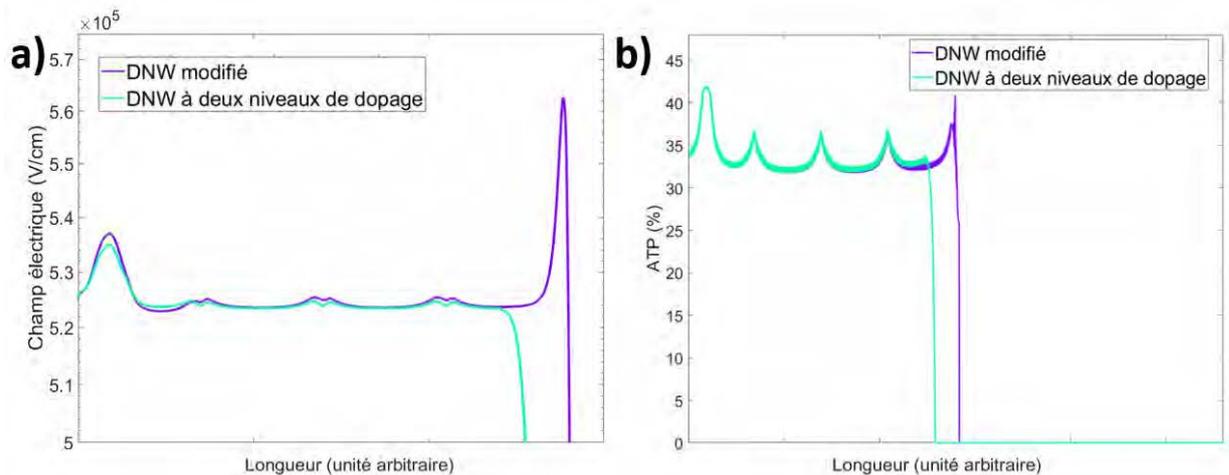


FIGURE 5.31 – Coupe horizontale à $V_{ex} = 2\text{ V}$ au milieu de la ZCE sur l'étude d'une structure avec un caisson DNW à deux niveaux de dopage : en a) Champ électrique b) ATP

5.5 Bilan

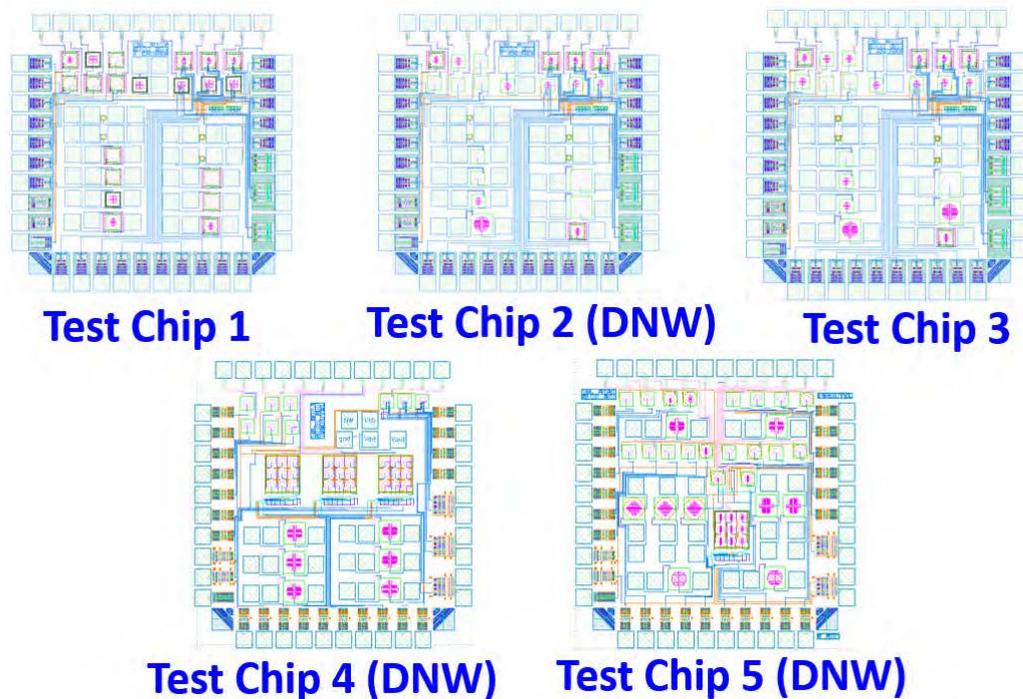
Nous avons étudié plusieurs solutions afin de réduire les claquages périphériques prématurés et le DCR de notre structure SPAD intégrée en technologie CMOS FD-SOI 28 nm. Une première approche porte sur l'éloignement des blocs d'oxyde STI de la jonction PW/DNW. Elle a mis en évidence une réduction du DCR pour un STI périphérique aligné sur la jonction. De plus, pour des reports plus importants l'apparition d'une interface BOX/DNW rétrograde semble pénalisante du fait de la forte concentration en défaut d'interface. De tels reports ne peuvent s'envisager qu'à condition d'améliorer la passivation de cette interface.

Dans une seconde approche, en simulations, nous avons montré que la modification des implantations du caisson PW entraîne une diminution du champ sur les bords de la zone active ainsi qu'une augmentation de la tension de claquage. Cependant, ces résultats obtenus avec le DNW standard ne s'appliquent pas au caisson DNW modifié.

Dans une dernière approche, nous avons étudié une structure qui utilise un caisson DNW à deux niveaux de dopage. Le caisson DNW modifié ($V_{BD} = 15.8\text{ V}$) est utilisé pour concevoir la jonction de la SPAD associé à un dopage périphérique légèrement moins dopé pour réaliser l'anneau de garde. Cette solution a montré une nette diminution du champ électrique ainsi que de l'ATP sur les bords. Néanmoins, cette structure très prometteuse nécessite d'importantes modifications sur le procédé de fabrication avec le rajout d'une étape de masquage.

Par rapport aux résultats présentés dans les chapitres précédents, l'étude menée ici a conduit à la conception de nouveaux circuits intégrés dont les spécificités sont résumées dans le Tableau 5.4 et sur la Figure 5.32 (cf. Annexe 2).

N°	Géométrie des cellules	Structures disponibles	Taille des cellules	Présence de Matrice ?	Modifications en lien avec les simulations	Violations DRC
1	Carrée et Octogonale	FD-SOI et STI	25 μm	Non	-	-
2	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	-	-
2 DNW	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	Modification d'implantation du DNW	-
3	Pseudo-circulaire et Octogonale	FD-SOI, STI et NOSO	25 μm et 50 μm	Non	Pattern du DNW + Structure STI aligné	3
4	Pseudo-circulaire	FD-SOI et NOSO	25 μm et 50 μm	Oui	Report STI	3
4 DNW	Pseudo-circulaire	FD-SOI et NOSO	25 μm et 50 μm	Oui	Modification d'implantation du DNW + Report STI	3
5	Pseudo-circulaire et Octogonale	FD-SOI	25 μm et 50 μm	Oui	Structure STI aligné	2
5 DNW	Pseudo-circulaire et Octogonale	FD-SOI et NOSO	25 μm et 50 μm	Oui	Modification d'implantation du DNW + Structure STI aligné	2

 TABLE 5.4 – Tableau des caractéristiques principales des *test-chips* 1, 2, 2DNW, 3, 4, 4DNW, 5 et 5DNW

 FIGURE 5.32 – Vue layout des *test-chips* 1, 2, 3, 4 et 5

Chapitre 6

Étude sous illumination

Dans ce dernier chapitre, nous allons étudier le comportement de la SPAD et son circuit d'étouffement après l'absorption d'un photon. Dans ce cadre, nous allons réaliser des simulations en régime transitoire (*Transient Simulations*). Dans la deuxième partie de ce chapitre, nous présenterons la caractérisation sous illumination de notre SPAD en technologie CMOS FD-SOI 28 nm, notamment l'étude de la gigue temporelle et de la probabilité de détection des photons.

Contents

6.1 Apport des simulations TCAD transitoires pour optimiser l'architecture SPAD FD-SOI	128
6.1.1 Méthodologie des simulations TCAD électro-optiques transitoires	128
6.1.2 Résultats de simulation sur la structure SPAD de référence	130
6.1.3 Étude de variantes de la structure SPAD	132
6.1.4 Structure SPAD sans tranchée STI au-dessus de la zone active (SOI unique) . .	133
6.1.5 Dessin physique et fabrication de la structure SPAD FD-SOI sans tranchée STI .	135
6.1.6 Mesures préliminaires du DCR sur une structure FD-SOI sans tranchée STI . . .	136
6.2 Mesures de la Gigue temporelle - <i>Jitter</i>	137
6.2.1 Principe général de la mesure	137
6.2.2 Résultats préliminaires	138
6.3 Mesures de l'efficacité de détection des photons - PDP	139
6.3.1 Principe de la mesure en sphère intégrante et limites	139
6.3.2 Résultats préliminaires des mesures en incidence normale	140
6.4 Bilan	142

6.1 Apport des simulations TCAD transitoires pour optimiser l'architecture SPAD FD-SOI

6.1.1 Méthodologie des simulations TCAD électro-optiques transitoires

Notre objectif dans l'utilisation des simulations transitoires est de mieux comprendre le phénomène d'avalanche et d'étouffement. Pour cela, nous adaptons une méthodologie de simulations TCAD transitoires introduite dans les travaux [205] à nos SPAD intégrées en technologie CMOS FD-SOI 28 nm. La réalisation de ce type de simulations se fait par l'utilisation de trois modules de l'outil TCAD Synopsys Sentaurus (Figure 6.1).



FIGURE 6.1 – Schéma du principe de fonctionnement des simulations transitoires

Dans un premier temps, nous utilisons le bloc *SPROCESS* qui permet de décrire le procédé de fabrication de la SPAD en nous appuyant sur les données confidentielles fournies par le fabricant (notamment celles relatives aux conditions d'implantation des caissons sous le BOX, et de recuit). Il s'agit du même code que celui présenté dans le chapitre 3. En sortie de ce bloc, nous obtenons une structure à symétrie cylindrique de la SPAD intégrée en technologie CMOS FD-SOI 28 nm (Figure 6.2).



FIGURE 6.2 – Structure de la SPAD FD-SOI en sortie du bloc de simulations *SPROCESS*

Ensuite, nous utilisons le premier bloc *SDEVICE* aussi nommé "bloc d'initialisation". Il s'agit d'une simulation en mode quasi stationnaire où tous les contacts sont mis à la masse à l'exception de la cathode qui est polarisée progressivement pour atteindre la tension $V = V_{BD} + V_{ex}$. Le point important à ce niveau est que le modèle d'avalanche n'est pas activé : il n'y aura donc pas de claquage de la structure. Ainsi, cette simulation est très proche de celle réalisée avec le module *Resistor Avalanche OFF* (cf. chapitre 2). Cette première phase qui sert d'initialisation à la suivante permet de polariser la structure SPAD dans un état où le déclenchement d'avalanche serait possible. À partir de ce point d'équilibre instable, nous passons à la dernière phase qui est décrite par un module *SDEVICE*, et qui correspond au cœur de la simulation transitoire. Ce module utilise la configuration mixte pour simuler des dispositifs physiques et des circuits électroniques (configuration *mixed-mode*). Les composants externes sont décrits avec leurs modèles de type "SPICE" et la simulation permet de résoudre conjointement les équations du semi-conducteur pour l'architecture SPAD dans une circuiterie (résolution des lois des nœuds et des mailles). Ici, la cathode est connectée à une source de tension tandis que l'anode est reliée à une résistance d'étouffement de 200 k Ω (R_Q) avec en parallèle une capacité (C_Q) de 3 fF (Figure 6.3). De plus, comme nous voulons étudier l'avalanche suite à l'absorption d'un photon indépendamment du type d'illumination, BSI ou FSI, l'excitation lumineuse pulsée ($\lambda = 600$ nm) sera décrite pour avoir une zone de photogénération initiale directement localisée dans la ZCE (voir la croix sur la Figure 6.3). À noter que dans cette troisième phase, le modèle d'avalanche est activé pour pouvoir étudier temporellement le cycle d'avalanche.

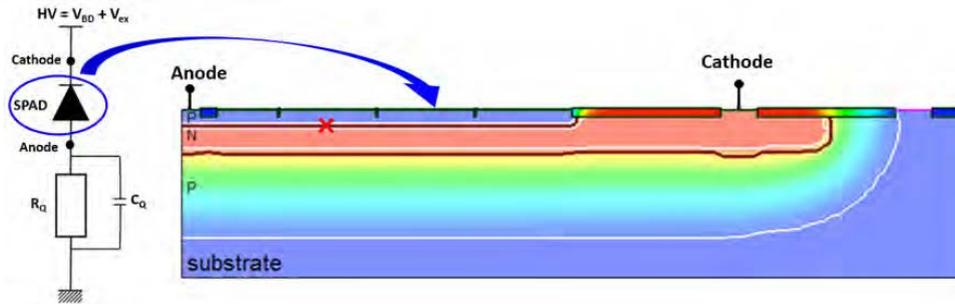


FIGURE 6.3 – Structure de la SPAD FD-SOI lors de l'utilisation du mode mixte pour les simulations transitoires

L'objectif de ces simulations étant de comprendre le comportement de la SPAD après l'absorption d'un photon et du déclenchement de l'avalanche, le temps sera un paramètre essentiel. Dans ce contexte, les simulations réalisées durent entre 1 et $5\mu s$, et la source lumineuse pulsée est activée 500 ps après le lancement de la phase de simulation transitoire et elle reste active pour une durée de 10 ps (comme illustré sur la Figure 6.4).

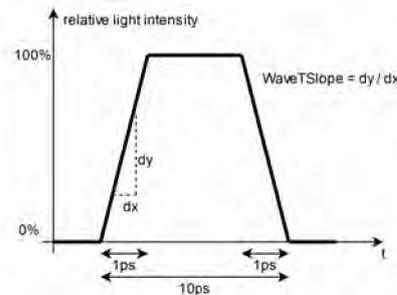


FIGURE 6.4 – Courbe de l'intensité lumineuse en fonction du temps dans le cadre des simulations transitoires

À la fin de cette simulation transitoire, différentes données pourront être étudiées qu'il s'agisse de grandeurs électriques macroscopiques (courant et tension) ou de données physiques internes (densités de porteurs...). Nos analyses porteront principalement sur l'étude du profil temporel de l'impulsion résultant du déclenchement de l'avalanche et de la mise en place de l'éteuffement (comme illustré en Figure 6.5a, [206], [207]). Nous accordons aussi un intérêt tout particulier à l'étude du "cycle d'éteuffement" décrivant l'évolution du courant en fonction de la tension et dont le principe est illustré sur la Figure 6.5b, [205].

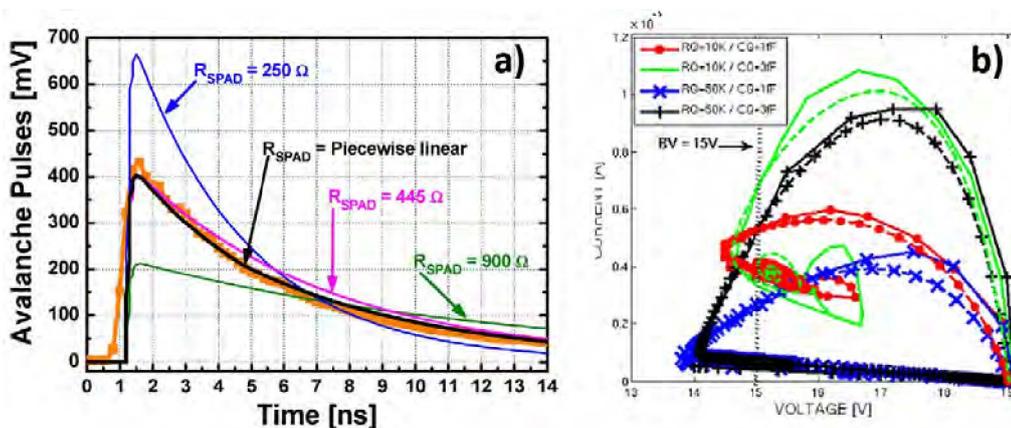


FIGURE 6.5 – Exemples de courbes pour l'étude en simulations transitoires avec en a) courbes $i(t)$ obtenues pour une structure SPAD en silicium [206], [207], et en b) Cycle d'éteuffement simulé sur une structure SPAD en technologie CMOS 40 nm [205]

6.1.2 Résultats de simulation sur la structure SPAD de référence

Les premiers essais réalisés avaient pour objectif de configurer la simulation afin que l'absorption de photons déclenche l'avalanche, et qu'il n'y ait pas d'avalanche spontanée en l'absence de stimulation optique. Pour cela, il a fallu ajuster un paramètre de simulation qui n'active la génération d'ionisation par impact qu'au-dessus d'une certaine densité de courant (supérieure à la densité de courant d'obscurité). Nous avons simulé des configurations avec une stimulation optique se produisant respectivement à 0.5 ns, 50 ns et 100 ns après le début de la simulation transitoire. Comme il apparaît sur la Figure 6.6a, les avalanches sont bien déclenchées par la stimulation optique et il n'existe pas d'avalanche spontanée.

Ensuite, nous avons vérifié que tant que la SPAD n'est pas polarisée en mode Geiger, il n'est pas possible d'observer d'avalanche. En effet, sur la Figure 6.6b, nous avons étudié deux polarisations inverses de la SPAD, respectivement à 4 V (bien en-deçà de la tension de claquage) et 10.5 V (correspondant à une tension d'excès de 1 V). Nous constatons alors que le déclenchement de l'avalanche, après absorption du pulse de lumière, se réalise uniquement pour la configuration Geiger avec un pic de courant atteignant environ 1 mA (soit environ sept décades au-dessus de l'impulsion de courant observée à 4 V de polarisation inverse). Étant donné que les conditions de stimulation sont identiques, nous pouvons estimer le gain de la SPAD à 1×10^7 pour 1 V de tension d'excès.

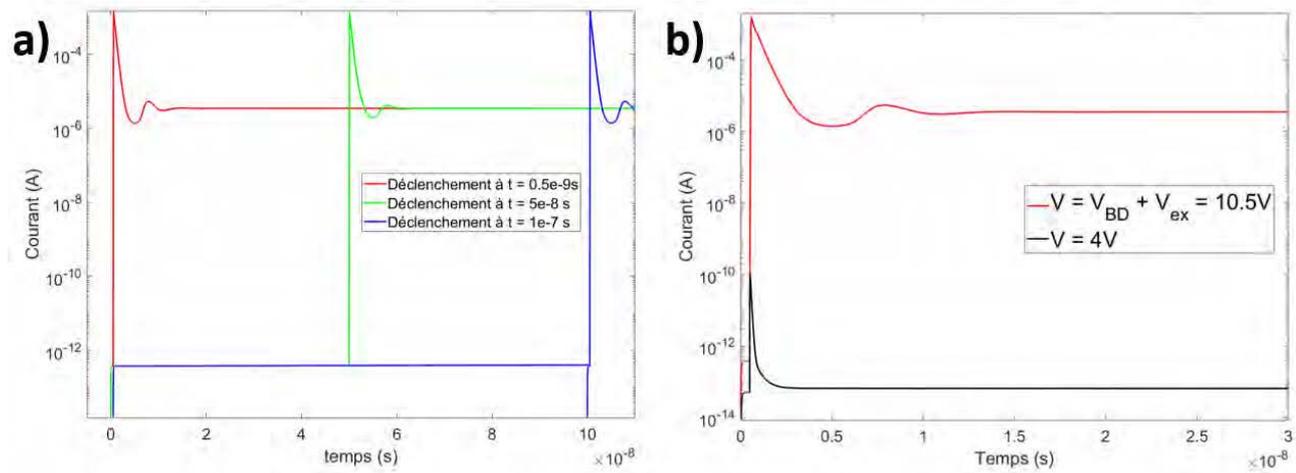
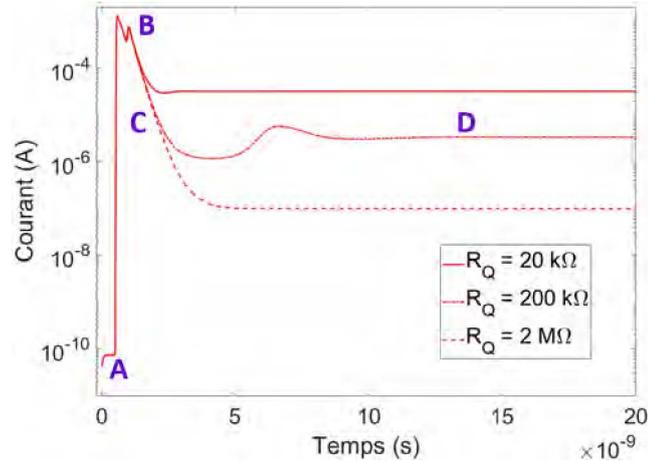
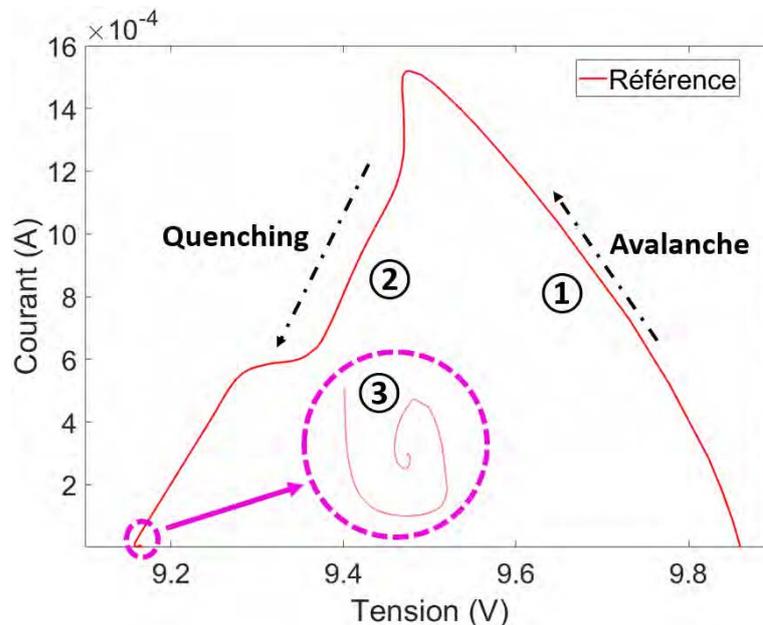


FIGURE 6.6 – $i(t)$ sur la structure de référence avec a) mise en place d'un retard de la stimulation optique, b) différentes tensions de polarisation inverse appliquées

Les études en simulations transitoires sur une structure SPAD de référence ont mis en évidence une anomalie dans le comportement de la cellule. Avant la génération de l'avalanche stimulée par le pulse de lumière, le courant circulant dans la structure est de l'ordre de 0.1 nA (il s'agit du courant d'obscurité, repère A sur la Figure 6.7). Ensuite dès l'apparition du pulse lumineux, l'avalanche se déclenche et le courant atteint un maximum proche de 1 mA (repère B). Le circuit d'étouffement permet alors de diminuer le courant et de stopper cette avalanche, car la tension chute aux bornes de la résistance et entraîne alors une diminution de la tension inverse aux bornes de la SPAD (repère C). Cependant, en fin de simulation, nous conservons des valeurs de courant quatre à cinq décades au-dessus du courant initial (repère D). Nous ne parvenons jamais à obtenir un courant final identique à celui d'obscurité initial, impliquant alors que l'étouffement de l'avalanche ne s'effectue pas correctement et que des charges sont toujours présentes. De plus, ce comportement a été obtenu quelle que soit la valeur de résistance d'étouffement utilisée 20 k Ω , 200 k Ω ou 2 M Ω [208].

FIGURE 6.7 – $i(t)$ sur la structure de référence selon différentes résistances d'étouffement [208]

Si nous nous concentrons sur la réalisation d'un cycle d'avalanche/étouffement, nous visualisons cette anomalie. Sur la Figure 6.8, nous identifions trois zones. Tout d'abord, suite à la photogénération de porteurs et au mécanisme de multiplication dû à l'ionisation par impact, le courant augmente rapidement tandis que la tension aux bornes de la SPAD diminue légèrement, l'avalanche se met en place (repère ①). Ensuite, grâce au circuit d'étouffement, la tension aux bornes de la SPAD décroît et le courant diminue pour retourner à un niveau bas (repère ②). Le cycle ne se termine pas après cette phase d'étouffement et puisque la recharge ne se produit pas, la tension inverse ne retourne pas à sa valeur initiale pour fermer le cycle. En étudiant la zone autour du repère ③, nous constatons une forme de spirale traduisant le lancement d'un nouveau cycle qui se poursuit avec des avalanches secondaires en série.

FIGURE 6.8 – Cycle d'avalanche/étouffement de la structure de référence ($V_{BD} = 9.50$ V) avec $R_Q = 200$ k Ω [208]

En analysant l'évolution temporelle de la densité de courant dans la structure, nous avons pu apporter un début d'explication à ce comportement (Figure 6.9). Suite au pulse de lumière, très rapidement nous observons un pic de la densité de courant traduisant la génération de l'avalanche (repère A sur Figure 6.9i). Ensuite, après quelques nanosecondes, les charges commencent à s'évacuer dans la structure, et durant l'évacuation une seconde avalanche apparaît au niveau du repère B sur la Figure

6.9ii). Cette dernière est localisée sous la tranchée STI la plus proche de la zone d'illumination. Par la suite, une densité de courant élevée reste présente sous ce bloc STI et ceci jusqu'à la fin de la simulation transitoire. Les tranchées STI semblent pénaliser le fonctionnement de la SPAD en empêchant l'évacuation rapide des charges, avec des "goulots d'étranglement" où se produisent des avalanches secondaires en série. Ce phénomène pourrait expliquer que la SPAD ne revienne pas dans son état initial. À noter que ce qui vient d'être mis en évidence avec une avalanche photogénérée se produit vraisemblablement en cas de génération de porteurs SRH avec un impact négatif sur le DCR mesuré de nos SPAD FD-SOI.

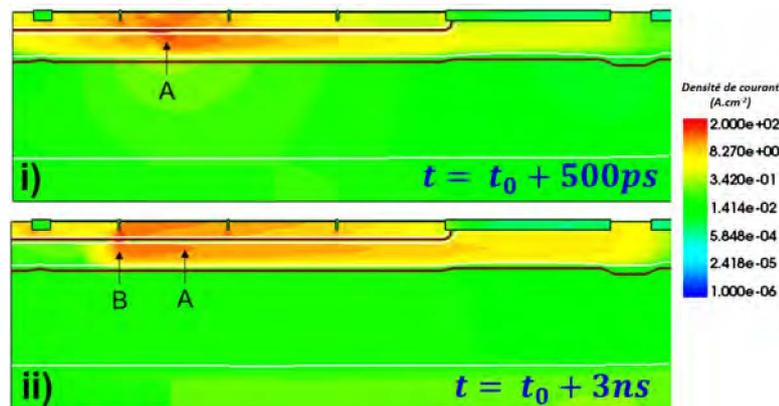


FIGURE 6.9 – Cartographie de courant d'électrons avec en i) pendant l'avalanche, et en ii) quelques nanosecondes après l'avalanche [208]

6.1.3 Étude de variantes de la structure SPAD

Afin de mieux comprendre ce problème d'avalanches en série et d'essayer de le résoudre, nous avons travaillé sur des variantes de la structure dont certaines sont des versions simplifiées de la structure de référence (Figure 6.10a). La première d'entre elles n'est pas conforme au concept initial de la SPAD FD-SOI sous le BOX puisque le film de silicium contenant l'électronique est remplacé par un contact anode de grande taille, elle sera nommée "Large Anode" (Figure 6.10b). Les deux autres structures simulées sont plus proches de celle de référence, il s'agit en réalité de structures d'étude pour lesquelles nous avons supprimé certains éléments de l'architecture. Dans l'une d'elles, c'est à la fois les tranchées STI et l'empilement BOX - film de silicium qui ne sont plus présents, nous retrouvons alors une structure très proche de la NOSO décrite dans le chapitre 3 (Figure 6.10c). Dans la dernière variante, toutes les tranchées STI présentes au dessus de la zone active ont été supprimées ("SOI unique", Figure 6.10d).

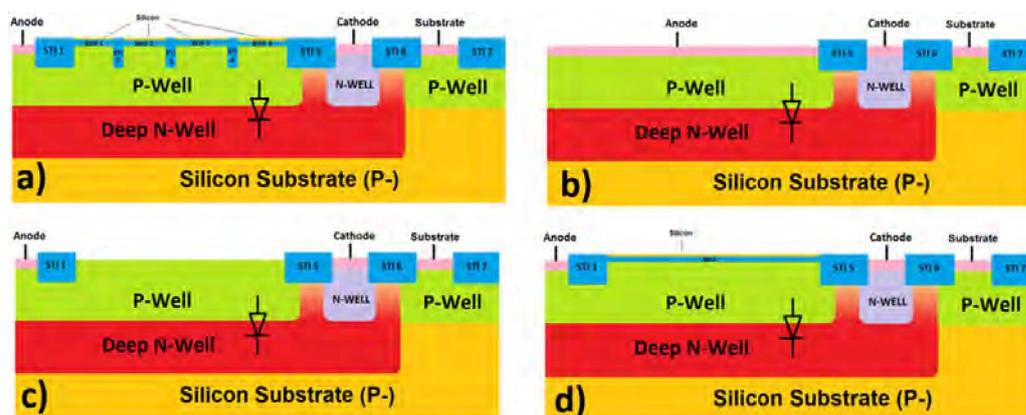


FIGURE 6.10 – Vue schématique des variantes de la structure simulées pour l'étude transitoire avec en a) la référence, en b) Large Anode, en c) NOSO, et en d) SOI unique (sans tranchée STI)

La simulation de courbes $i(t)$ sur des temps assez longs de l'ordre de quelques microsecondes a mis en évidence des différences de comportement entre les variantes (Figure 6.11). Tout d'abord, nous retrouvons le comportement déjà décrit sur la SPAD de référence : le courant en fin de simulation est beaucoup plus élevé qu'à l'état initial (courbe rouge) traduisant le déclenchement d'avalanches secondaires en série. Sur les trois autres structures, la forme de la courbe $i(t)$ est davantage conforme à ce qui est attendu. Nous retrouvons alors une augmentation du courant suite au déclenchement de l'avalanche (repère A), la mise en place de l'étouffement et la diminution du courant (repère B), et le retour à l'état initial en fin de simulation (repère C).

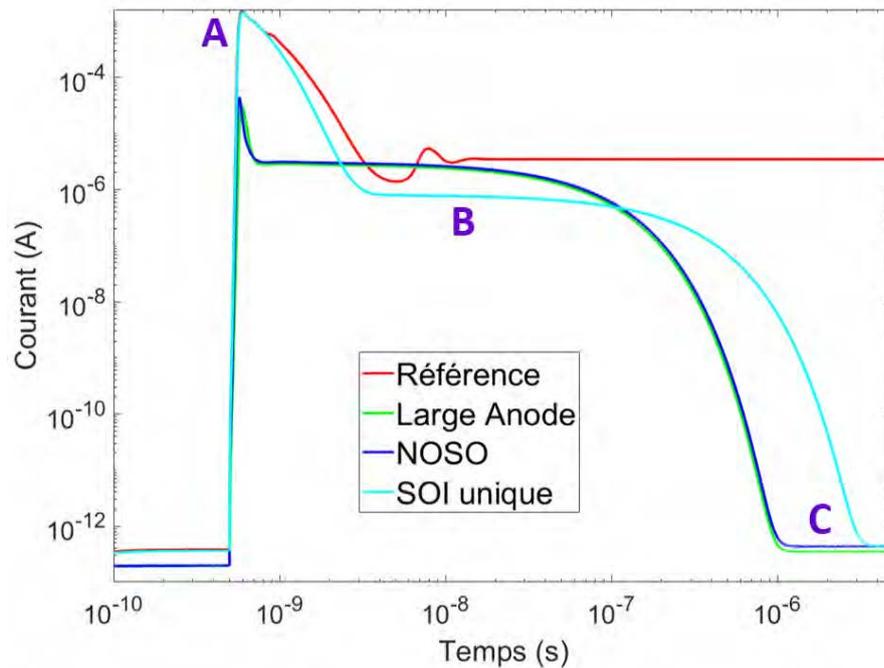


FIGURE 6.11 – $i(t)$ simulées sur les structures : référence, Large Anode, NOSO et SOI unique ($R_Q = 200 \text{ k}\Omega$)

Ces allures de courbes montrent que pour les variantes de structures, il n'y a pas de déclenchement d'avalanches secondaires en série. Néanmoins, comme les structures Large Anode et NOSO ne sont pas adaptées pour la réalisation d'une structure SPAD en technologie CMOS FD-SOI 28 nm, nous avons décidé de nous concentrer en simulations sur la structure SOI unique.

6.1.4 Structure SPAD sans tranchée STI au-dessus de la zone active (SOI unique)

Cette variante de structure présente une différence majeure par rapport à celle de référence : l'absence des tranchées STI au dessus de la zone active. Avant de poursuivre les simulations transitoires, nous avons décidé de reprendre une étude statique afin de vérifier que cette optimisation n'entraîne pas de modification majeure sur les performances de la SPAD.

Les caractéristiques simulées $I(V)$ présentées sur la Figure 6.12a n'ont pas mis en évidence de modification ni du courant d'obscurité, ni de la tension de claquage qui reste à une valeur proche de 9.5 V à température ambiante. De plus, l'étude en cartographie du champ électrique pour une tension d'excès de 1 V et la réalisation d'une coupe au milieu de la ZCE ont permis de confirmer que le champ moyen est le même entre les deux structures à la différence que les pics de champ au voisinage des tranchées STI (STI 2 à 4) ne sont plus présents pour la structure SOI unique (Figure 6.12b).

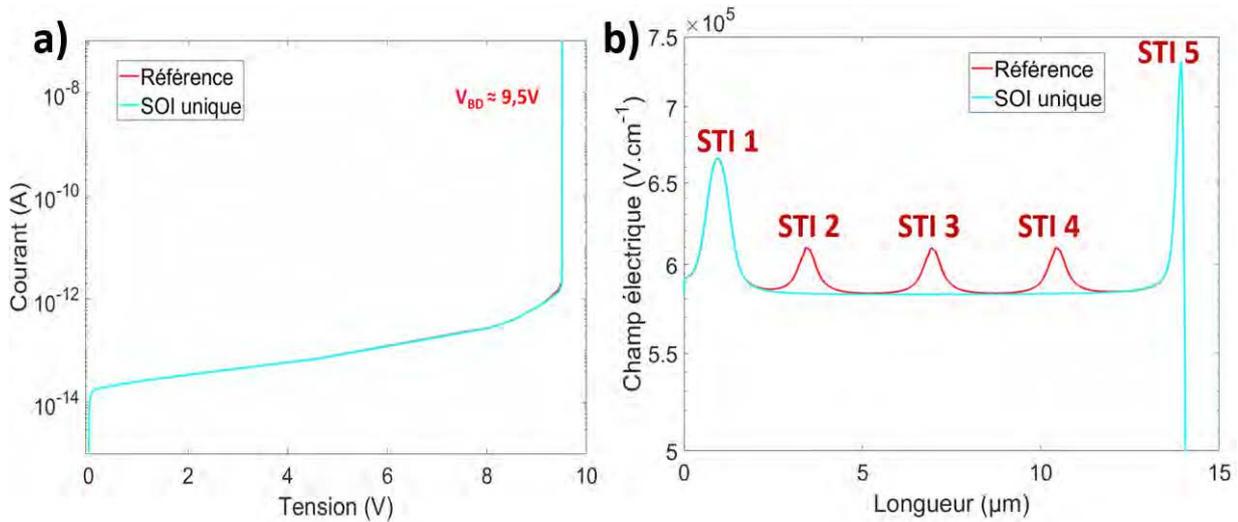


FIGURE 6.12 – Comparaison des structures de référence et SOI unique avec en a) Caractéristiques $I(V)$ et en b) Coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 1$ V) [208]

Nous avons poursuivi les simulations transitoires en nous concentrant sur le cycle d'avalanche/étouffement avec une résistance d'étouffement de 200 k Ω (Figure 6.13). Avec la structure SOI unique, nous obtenons la forme du cycle souhaité qui se décompose en trois phases. Nous retrouvons les deux phases déjà présentes sur la structure de référence : déclenchement de l'avalanche suite à la photogénération de porteurs (repère ①) puis diminution du courant par le circuit d'étouffement (repère ②). Ensuite, la dernière phase (repère ③), qui présentait une anomalie avec la structure SPAD de référence, se comporte maintenant normalement avec la recharge pour retrouver la polarisation de départ ($V_{BD} + V_{ex}$) avec le niveau de courant d'obscurité. La structure est de nouveau prête pour le déclenchement d'une nouvelle avalanche.

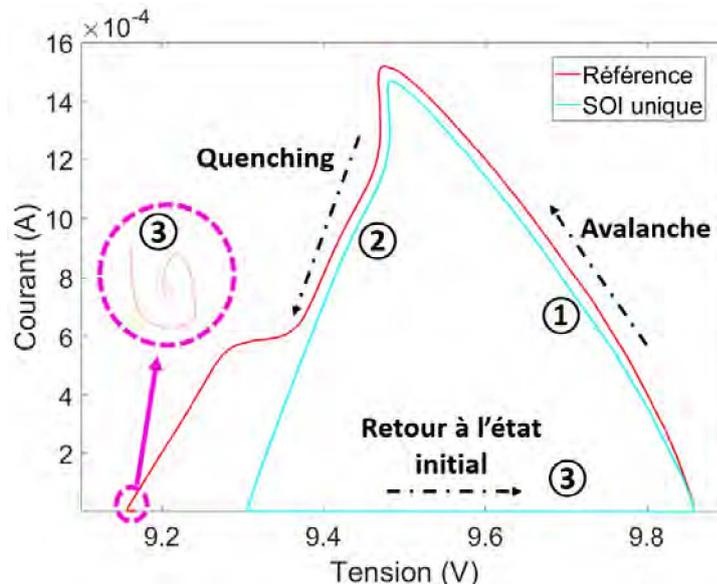


FIGURE 6.13 – Comparaison des cycles d'avalanche/étouffement pour les structures de référence et SOI unique sans tranchée STI ($R_Q = 200$ k Ω) [208]

Les évolutions du courant (déjà présentées en Figure 6.11) mais aussi de la tension aux bornes de la SPAD en fonction du temps confirment le bon déroulement du cycle d'avalanche/étouffement. En effet, nous retrouvons sur la Figure 6.14, les trois phases : avalanche, étouffement et recharge à l'état initial. Avec ces différents résultats, il semblerait que la suppression des tranchées STI, présentes au

dessus de la zone active, permette d'améliorer le fonctionnement de la SPAD. Cette structure a, de ce fait, été intégrée dans le *test-chip 5* (TC5).

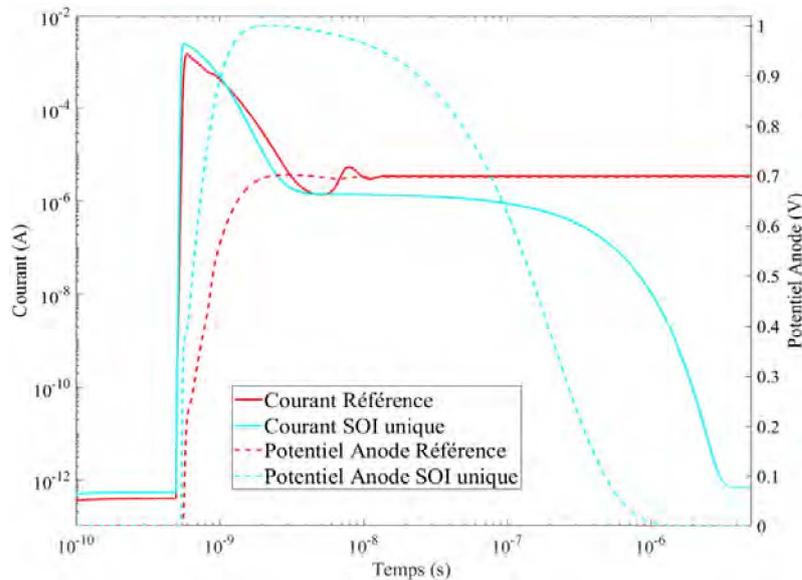


FIGURE 6.14 – Comparaison des courbes $i(t)$ et $v_{anode}(t)$ pour les structures de référence et SOI unique ($R_Q = 200 \text{ k}\Omega$) [208]

6.1.5 Dessin physique et fabrication de la structure SPAD FD-SOI sans tranchée STI

A partir du TC5, nous avons implémenté des structures SPAD FD-SOI avec zone SOI unique, c'est-à-dire sans les tranchées STI. Pour cela et en accord avec l'étude présentée dans le chapitre 3, il fallait supprimer les espacements imposés par les règles de dessin entre chacune des zones actives de film silicium (couche *RX fillopc*) présentes sur la structure de référence (Figure 6.15a et b). Cependant, cette modification entraîne obligatoirement la violation d'une nouvelle règle de dessin, *DORX.R.2* qui impose des couches *RX fillopc* uniquement de forme orthogonale. Nous avons néanmoins obtenu une dérogation de la part de *STMicronelectronics* pour lancer en fabrication cette structure.

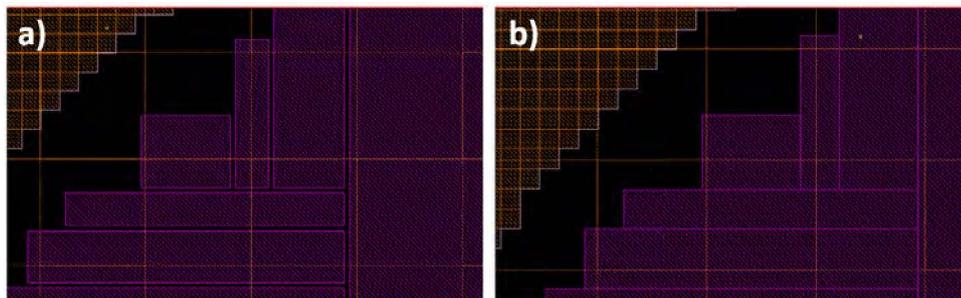


FIGURE 6.15 – Zoom sur la conception de l'empilement BOX + film de silicium sur en a) structure de référence et en b) SOI unique (les espaces remplis de STI entre les zones actives sont supprimés)

En accord avec les résultats obtenus sur le report STI (cf. chapitre 5) et sur la modification d'implantation du caisson DNW (cf. chapitre 4), cette nouvelle optimisation a été mise en place pour deux géométries de cellules : pseudo-circulaire et octogonale selon les deux diamètres possibles (25 ou $50 \mu\text{m}$) avec ou sans report STI et selon les deux versions du DNW. De plus, dans le cadre du projet ANR-18-CE24-0010, nous travaillons en étroite collaboration avec le laboratoire *ICUBE* (UMR CNRS 7357) qui se focalise sur la conception d'un circuit d'étouffement plus performant et plus rapide pour les SPAD intégrées en technologie CMOS FD-SOI 28 nm [156], [209], [210]. En mai 2021, nous avons

lancé en fabrication un nouveau circuit intégré (*test-chip 6*, TC6) qui combine les dernières structures SPAD conçues à l'INL avec un circuit électronique associé conçu par ICUBE (Figure 6.16). Parmi, ces dernières structures, les cellules sans tranchée STI dans la zone active sont majoritairement présentes dans le TC6.

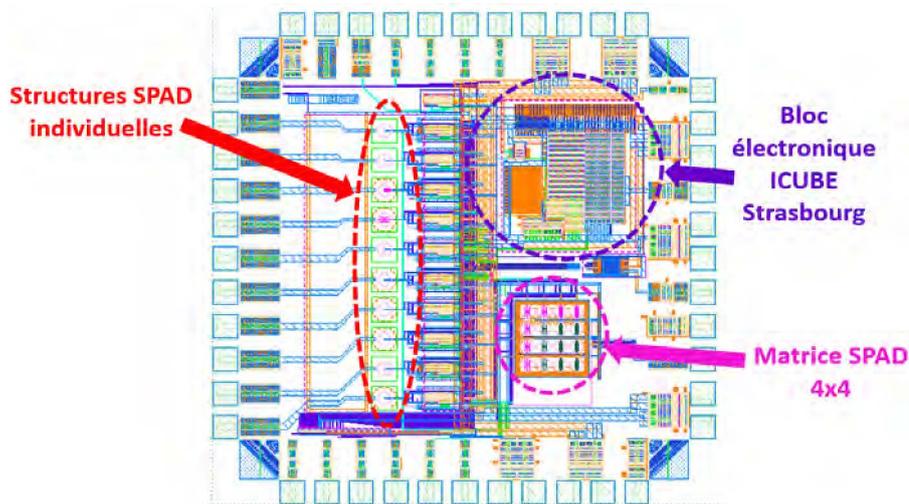


FIGURE 6.16 – Dessin physique du *test-chip 6*

6.1.6 Mesures préliminaires du DCR sur une structure FD-SOI sans tranchée STI

Afin de vérifier que la suppression des tranchées STI apporte une amélioration à la structure SPAD FD-SOI, nous avons réalisé de nouvelles mesures du DCR. En août 2021, nous avons reçu les premières puces du TC5, puis en octobre celles avec la modification du caisson DNW. Les mesures préliminaires du DCR sont présentées sur la Figure 6.17 et sont réalisées pour trois types de structure selon les deux versions du caisson DNW : référence, "STI aligné", et "STI aligné" sans tranchée STI au-dessus de la zone active. Nous retrouvons tout d'abord, le résultat présenté dans le chapitre 5, l'alignement du STI périphérique avec la jonction PW/DNW permet de diminuer le niveau de DCR moyen et ainsi d'avoir accès à des tensions d'excès relatives plus élevées. Sur cette même structure, la suppression des tranchées STI, présentes au-dessus de la zone active, permet une amélioration supérieure du niveau de DCR.

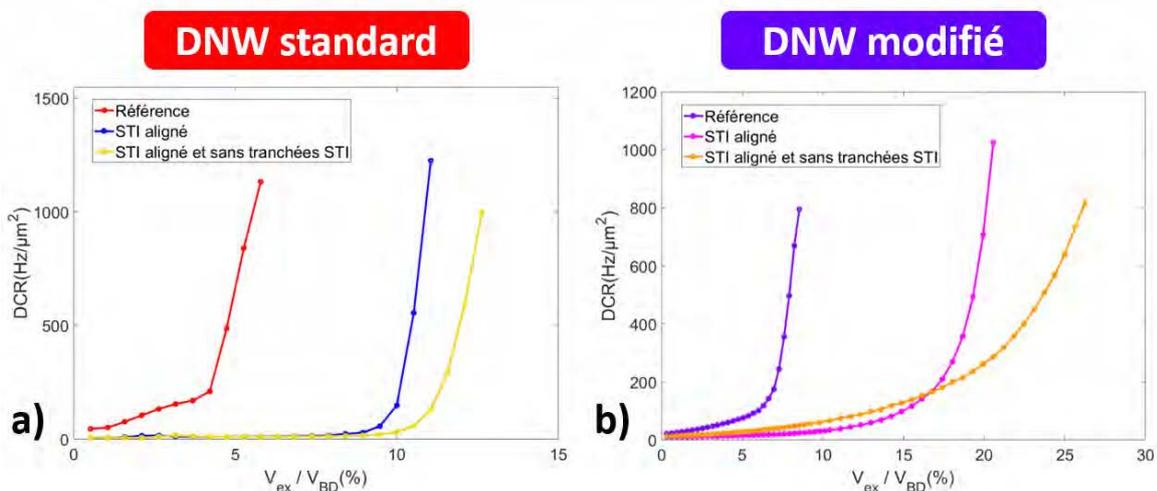


FIGURE 6.17 – Mesures de DCR avec l'amplificateur transimpédance sur une cellule octogonale FD-SOI de diamètre $25\mu\text{m}$ selon plusieurs configurations : en a) caisson DNW standard et en b) caisson DNW modifié (température ambiante)

Pour les deux versions du caisson DNW, les conclusions sont identiques : cumuler les optimisations permet de diminuer le DCR et d'avoir accès à des tensions d'excès relatives plus élevées. Alors que pour la structure de référence sans modification (courbe rouge sur Figure 6.17a), nous étions limités à environ 5% de V_{BD} avant l'accroissement brutal du DCR. Sur une structure présentant les trois optimisations (courbe orange sur la Figure 6.17b), nous avons maintenant accès à environ 20% de V_{BD} . Par conséquent, la structure FD-SOI réalisée avec le cumul des modifications (caisson DNW modifié, bloc STI périphérique aligné avec la jonction, et suppression des tranchées STI au-dessus de la zone active) se présente pour l'heure comme la structure optimale.

6.2 Mesures de la Gigue temporelle - *Jitter*

Dans cette section, nous présentons les mesures préliminaires réalisées afin d'estimer la gigue temporelle de nos SPAD. Pour cela, une première sous-section s'intéresse au principe général et à la validation de la mesure tandis que la seconde présente et discute les résultats préliminaires obtenus.

6.2.1 Principe général de la mesure

Le banc de mesure de la gigue temporelle est présenté dans le chapitre 2 (Figure 2.33). Les mesures sont réalisées à l'aide d'une source laser pulsée de longueur d'onde 640 nm (PICOQUANT, référence LDH_IB_640). L'impulsion lumineuse est dirigée sur la SPAD (avec un alignement réalisé manuellement), l'avalanche ainsi photogénérée produit un *pulse* de tension mesurable sur l'oscilloscope. Dans une première phase, nous avons testé une SPAD du commerce (*Micro Photon Devices*, PD-050-CTB), pour ensuite mesurer la SPAD FD-SOI. Pour la SPAD du commerce, ce *pulse* provient directement de la sortie rapide de l'électronique intégrée dans le module. Pour la SPAD FD-SOI, le pulse correspond à la sortie de l'amplificateur transimpédance externe. L'étude de la distribution statistique du temps τ , séparant l'impulsion de tension mesurée sur la SPAD du pulse de synchronisation du laser (Figure 6.18), permet d'estimer la gigue temporelle. Elle correspond à la largeur à mi-hauteur de la distribution des temps τ mesurés (FWHM). De plus, il a fallu effectuer au moins 1×10^5 acquisitions de ce temps τ afin d'obtenir une bonne estimation avec cet histogramme.

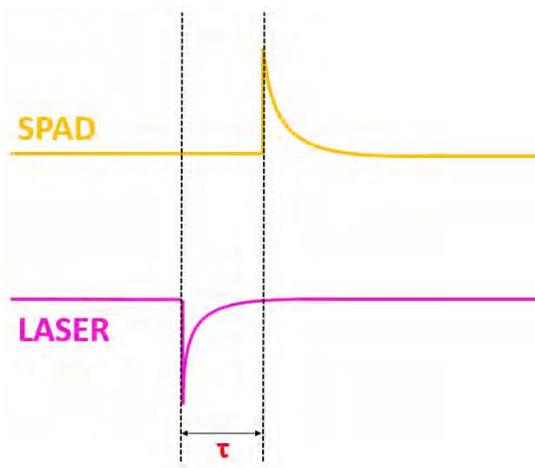
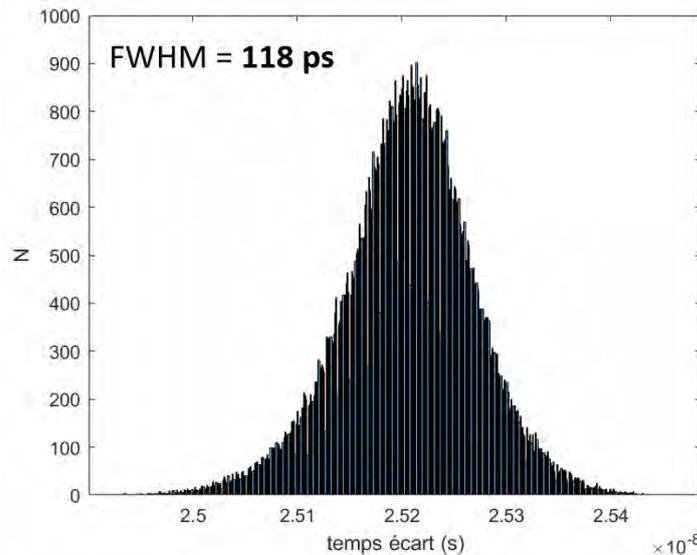


FIGURE 6.18 – Schéma de principe de la mesure pour estimation du *jitter*

Pour valider le banc de mesures dont les paramètres sont donnés dans le Tableau 6.1, nous avons d'abord utilisé la SPAD de référence (*Micro Photon Devices*, PD-050-CTB) pour laquelle le fabricant spécifie que la gigue temporelle est inférieure à 250 ps. Les mesures réalisées ont permis d'estimer un *jitter* de 118 ps ce qui est cohérent avec les spécifications du composant (Figure 6.19). Pour ces raisons, nous avons validé le protocole de mesure pour caractériser les SPAD FD-SOI.

Paramètres	Valeurs
Longueur d'onde du laser	640 nm
Fréquence du laser	8 MHz
Puissance du laser	696 nW
Impédance sur oscilloscope	50 Ω
Calibre de temps sur oscilloscope	5 ns/div
Nombre de données	100 000

TABLE 6.1 – Tableau des paramètres utilisés pour les estimations de *jitter*FIGURE 6.19 – Mesures de *jitter* sur la SPAD de référence à température ambiante

6.2.2 Résultats préliminaires

Afin de pouvoir réaliser des mesures efficaces sur les SPAD FD-SOI, il est nécessaire d'utiliser le circuit d'étouffement le plus performant dont nous disposons. Par conséquent, nous avons travaillé avec l'anode connectée directement à une résistance intégrée de 200 k Ω reliée à l'entrée d'un amplificateur transimpédance externe (DHPCA-100, marque *FEMTO*) qui fournit en sortie une tension proportionnelle au courant. La Figure 6.20 présente une estimation du *jitter* réalisée sur une cellule de référence pseudo-circulaire avec un diamètre de 25 μm pour une tension d'excès de 0.3 V et à température ambiante. Ce dernier est estimé à 5 ns donc bien supérieur à l'état de l'art [13], [14], [34], [40], [99], [105], [121], [122].

Cependant, ces mesures ne sont pas suffisamment précises puisque nous pensons que cette valeur ne correspond pas directement au *jitter* intrinsèque de la SPAD FD-SOI mais à des composants de la chaîne de mesure ; comme la carte de lecture, ou encore l'amplificateur transimpédance qui possède un temps de montée très long et une bande passante limitée (0.1 μs et 3.5 MHz). L'utilisation dans le TC6 de l'électronique développée par le laboratoire *ICUBE* qui est très rapide ne contribuera pas significativement au *jitter* mesuré et permettra ainsi d'estimer directement la gigue temporelle de la SPAD FD-SOI.

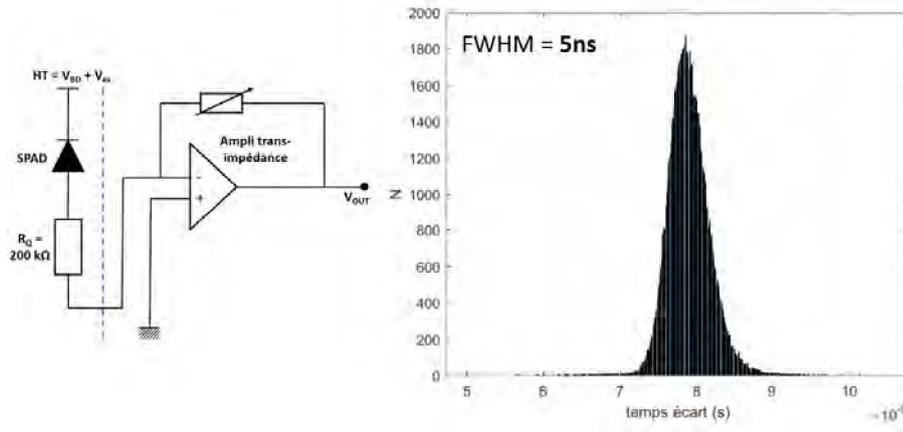


FIGURE 6.20 – Mesures de jitter sur la SPAD FD-SOI à température ambiante ($V_{ex} = 0.3\text{ V}$)

6.3 Mesures de l'efficacité de détection des photons - PDP

Dans cette dernière section, nous présentons l'étude de caractérisation de la PDP sur SPAD intégrée en technologie CMOS FD-SOI 28 nm. Nous disposons de deux configurations pour réaliser ces mesures avec un éclairage soit diffus soit en incidence normale, comme présenté en fin de chapitre 2. Dans les deux cas, nous exploitons le même montage optique (cf. Annexe 3) avec un faisceau que nous dirigeons soit vers l'échantillon (incidence normale), soit vers une sphère intégrante (diffus). Dans la technologie CMOS FD-SOI 28 nm, le nombre de couches au-dessus de l'empilement Substrat/BOX/film silicium est important. Pour l'incidence quasi-normale, ces couches peuvent entraîner l'apparition d'interférences optiques venant perturber la caractérisation. L'éclairage diffus permet de "lisser" la réponse spectrale en moyennant l'impact des interférences, et correspond à une configuration bien adaptée pour déterminer la probabilité de détection des photons d'une SPAD. Ainsi, dans une première sous-section, nous décrivons la caractérisation sous éclairage diffus. Cependant, diverses limites et contraintes du système nous ont pour l'heure empêché de réaliser des mesures fiables et reproductibles. Pour cette raison, dans une deuxième sous-section, nous présenterons la caractérisation de la SPAD illuminée sous-incidence normale.

6.3.1 Principe de la mesure en sphère intégrante et limites

Le détail de l'estimation de la PDP par la sphère intégrante est donné en Annexe 3. L'allure du signal mesuré en sortie de la SPAD est illustrée en Figure 6.21.

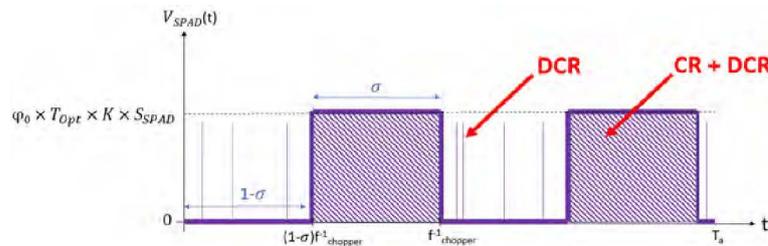


FIGURE 6.21 – Tension en sortie de la SPAD

La PDP de la SPAD peut s'écrire sous la forme :

$$PDP(\lambda) = \frac{N_{ph}(\lambda) - N_{dark}}{\sigma \cdot T_a} \cdot \frac{q \cdot EQE_{ref}(\lambda) \cdot G \cdot H_{Merlin}}{V_1(\lambda)} \cdot \frac{S_{ref}}{S_{SPAD}} \quad (6.1)$$

avec N_{ph} le nombre de coups mesuré sous éclairage (S.U), N_{dark} le nombre de coups mesuré dans l'obscurité (S.U), σ le rapport cyclique du hacheur optique (S.U), T_a la durée d'acquisition (en s), q la charge élémentaire (en C), EQE_{ref} le rendement de la photodiode de référence (S.U), G le gain de l'amplificateur transimpédance de la photodiode (en V/A), H_{Merlin} la fonction de transfert de la détection synchrone (S.U), V_1 la tension en sortie du Merlin (en V), S_{ref} la surface de la photodiode de référence (en μm^2), et S_{SPAD} la surface de la SPAD (en μm^2).

La mise en place du banc de caractérisation optique et sa calibration ont demandé plusieurs ajustements et réglages :

- détermination de la fonction de transfert de la détection synchrone, H_{Merlin} ;
- diminution du niveau de bruit lié aux fuites optiques, afin d'avoir le DCR le plus faible possible ;
- installation d'un amplificateur transimpédance adapté en sortie de la photodiode de référence

Par ailleurs, le peu de sensibilité des SPAD FD-SOI et leur niveau de DCR élevé font que les mesures de PDP sont relativement bruitées. C'est pourquoi, dans le cadre de cette thèse, les mesures de PDP doivent être considérées comme des résultats préliminaires qui devront être confirmés après optimisation du banc expérimental.

La Figure 6.22 présente l'allure de la PDP d'une SPAD FD-SOI pseudo-circulaire de diamètre $25\mu\text{m}$ réalisée avec la modification du caisson DNW. Nous observons un maximum d'absorption pour des longueurs d'onde proches de 650 nm et une PDP faible de l'ordre de 7%. À noter que la PDP du caisson DNW standard n'est pas mesurable du fait de la faible intensité lumineuse dans la sphère intégrante et du fort niveau de DCR.

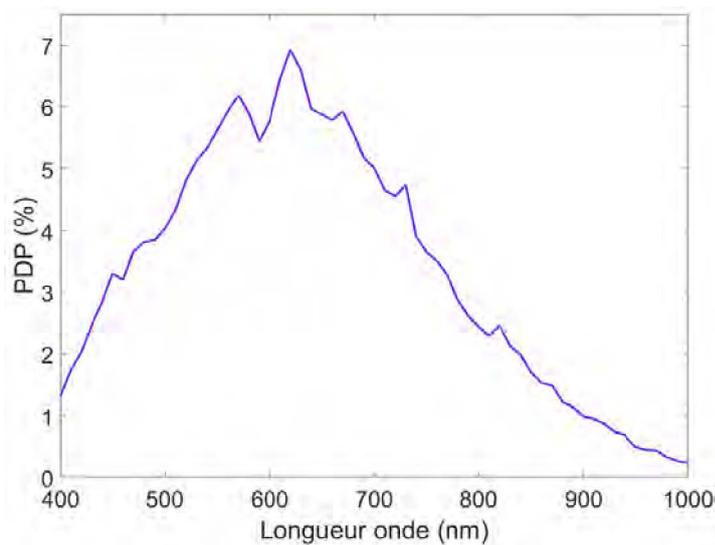


FIGURE 6.22 – Mesure de PDP préliminaire sur SPAD FD-SOI avec caisson DNW modifié (sphère intégrante, à température ambiante et $V_{ex} = 1\text{ V}$ soit 6% de V_{BD})

Actuellement divers travaux sont en cours pour optimiser la caractérisation des cellules SPAD FD-SOI notamment dans le cadre thèse de S. Gao intitulée "Amélioration de l'efficacité de détection dans le proche infrarouge des photodétecteurs de type SPAD".

6.3.2 Résultats préliminaires des mesures en incidence normale

En complément, nous avons réalisé des mesures sous incidence normale. Elles reposent sur l'utilisation d'une SPAD de référence *Micro Photon Devices* (PD-050-CTB), pour laquelle nous connaissons la surface notée $S_{commerce}$ ($D = 50\mu\text{m}$) ainsi que la PDP (notée $PDP_{commerce}$), qui servira pour calibrer nos mesures sur la SPAD FD-SOI. Le principe de cette mesure est schématisé en Figure 6.23. Nous commençons par placer la SPAD du commerce au niveau de la sortie "incidence normale" en illuminant l'intégralité de sa surface (on note $\phi_{photons}$, le flux incident sur le capteur). La sortie du

circuit de la SPAD du commerce est ensuite connectée à l'oscilloscope (*Teledyne Lecroy HD4096*) pour compter les évènements d'avalanche. Ensuite, nous répétons cette expérience pour plusieurs longueurs d'onde comprises entre 400 et 1 000 nm qui nous permet de déterminer le nombre de coups propres, $CR_{commerce}(\lambda)$. Nous retranchons la composante d'obscurité, $DCR_{commerce}$, ce qui permet d'écrire l'expression de la PDP suivante :

$$S_{commerce} \cdot \phi_{photons}(\lambda) \cdot PDP_{commerce}(\lambda) = CR_{commerce}(\lambda) - DCR_{commerce} \quad (6.2)$$

Nous réalisons ensuite ces mesures sur la SPAD FD-SOI avec un circuit encapsulé, sans capot, monté sur la carte de test. La zone active de la SPAD FD-SOI est positionnée à la même hauteur que celle du commerce afin qu'elle soit exposée à un flux de photons identique. Pour cette structure, on peut écrire que :

$$S_{FDSOI} \cdot \phi_{photons}(\lambda) \cdot PDP_{FDSOI}(\lambda) = CR_{FDSOI}(\lambda) - DCR_{FDSOI} \quad (6.3)$$

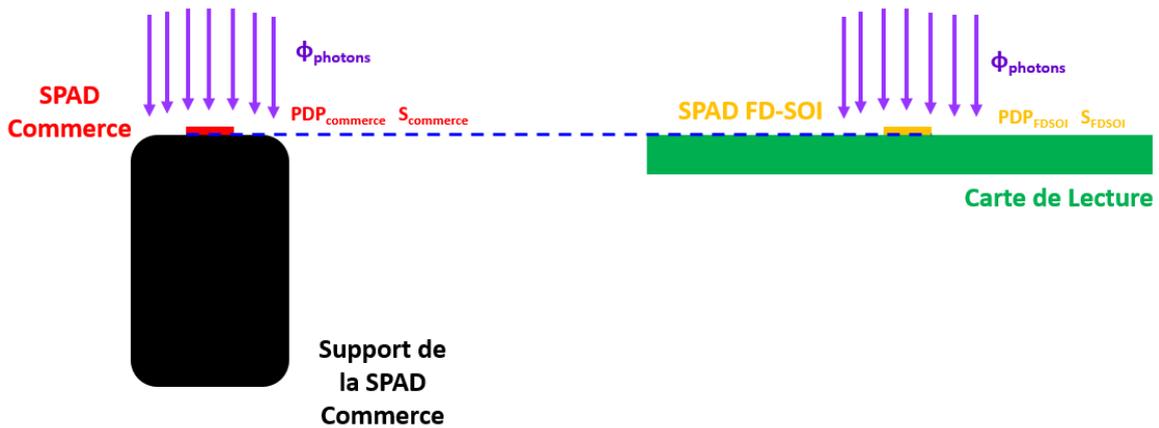


FIGURE 6.23 – Schéma du principe de détermination de la PDP_{FDSOI} en incidence normale

La surface de la SPAD FD-SOI étant connue, en identifiant le terme $\phi_{photons}(\lambda)$ dans les deux équations, la PDP de notre cellule est donnée par :

$$PDP_{FDSOI}(\lambda) = PDP_{commerce}(\lambda) \cdot \frac{S_{commerce}}{S_{FDSOI}} \cdot \frac{CR_{FDSOI}(\lambda) - DCR_{FDSOI}}{CR_{commerce}(\lambda) - DCR_{commerce}} \quad (6.4)$$

Cette expression suppose un même flux de photons sur les deux SPAD. En pratique, le flux lumineux est légèrement convergent et non pas collimaté : une différence de hauteur entre les deux SPAD entraîne donc une différence de flux surfacique. De plus, les supports de la SPAD du commerce et de la SPAD FD-SOI sont différents, entraînant alors des incertitudes non négligeables sur leurs positionnements dans le flux. Dans ce contexte, les mesures ne sont exploitées que pour caractériser les PDP relatives de différentes configurations de la SPAD FD-SOI.

Les mesures préliminaires ont porté sur la comparaison des deux versions du caisson DNW (cf. chapitre 4) afin d'être complémentaire par rapport aux résultats obtenus avec la sphère intégrante. Les mesures, réalisées pour une même tension d'excès relative (environ 6 %), ont révélé une augmentation de la PDP par la modification du DNW traduisant une meilleure sensibilité à la lumière associée à une zone de photogénération plus étendue (Figure 6.24). À noter, que le niveau de DCR plus bas du caisson DNW modifié permet d'accéder à une mesure plus précise de la PDP. De plus, nous avons aussi observé un décalage du maximum d'absorption vers les plus grandes longueurs d'onde par rapport à la référence, nous passons d'environ 500 nm à un peu plus de 600 nm (confirmant l'allure obtenue sur la Figure 6.22). Ceci fait sens vis-à-vis du fait que la jonction est plus profonde et que la ZCE est plus large.

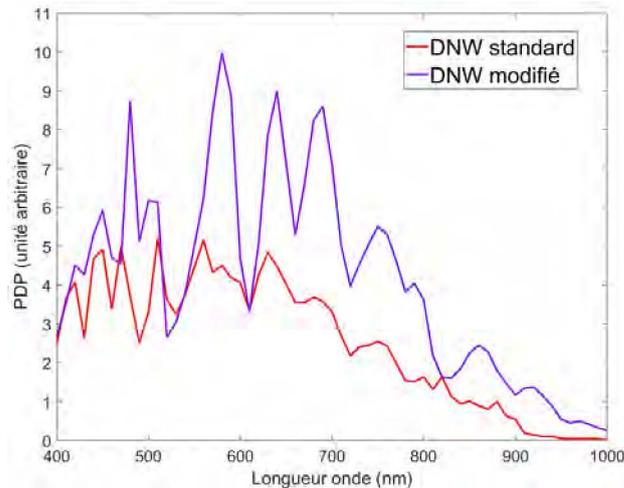


FIGURE 6.24 – Mesures relatives de PDP préliminaires sur SPAD FD-SOI avec les deux versions du DNW (incidence normale, à température ambiante et pour $V_{ex} = 6\%$ de V_{BD})

La Figure 6.24 met en évidence des écarts relatifs entre les deux versions DNW. Cependant, la PDP mesurée des SPAD FD-SOI est relativement faible car nous avons travaillé avec des tensions d'excès relativement modestes. En effet, le niveau DCR élevé (notamment du fait d'une probabilité d'*afterpulsing* importante) limite la tension d'excès maximale applicable (environ 6% de V_{BD}) avec nos conditions de mesures qui utilisent une résistance d'étouffement intégrée et un amplificateur transimpédance extérieur. Dans tous les cas, l'architecture SPAD avec DNW modifié est plus performante et devrait donner de bien meilleurs résultats avec une électronique associée intégrée permettant de détecter, d'étouffer rapidement l'avalanche et de contrôler le temps de recharge [156], [209], [210]. De plus, les autres voies d'optimisation étudiées en simulation telles que l'alignement du bloc STI périphérique, la suppression des tranchées STI au dessus de la zone active etc. combinées avec le caisson DNW modifié pourraient améliorer davantage les performances.

6.4 Bilan

Nous avons mis en place des simulations TCAD électro-optiques transitoires permettant, à partir d'une structure respectant le procédé de fabrication, de suivre l'évolution temporelle d'une avalanche activée par photogénération. Cette étude a permis de mettre en évidence l'effet négatif des tranchées STI présentes au dessus de la zone active et imposée par les règles de dessin. Ces dernières sont susceptibles de déclencher des avalanches secondaires en série et d'empêcher alors la recharge de la structure. Ce constat a conduit à concevoir et à lancer en fabrication une structure SPAD FD-SOI optimisée avec suppression de ces tranchées STI.

Nous avons aussi réalisé des mesures préliminaires de *jitter* qui ont permis de valider notre protocole de mesures. Le circuit d'étouffement actuel (simple résistance intégrée) associé à un amplificateur transimpédance externe ne permet pas d'estimer uniquement la gigue temporelle de la SPAD FD-SOI car d'autres éléments de la chaîne de mesure introduisent d'autres composantes significatives qui contribuent au *jitter*. Le couplage de nos structures avec l'électronique du laboratoire ICUBE permettra vraisemblablement d'estimer le *jitter* de la SPAD car cette électronique est suffisamment rapide pour ne pas pénaliser cette estimation. Nous avons également contribué à l'élaboration et à la calibration d'un banc de mesure pour l'estimation de la probabilité de détection des photons. Les mesures réalisés sur ce banc ont montré l'augmentation de la PDP en utilisant un caisson DNW modifié ainsi qu'un décalage du maximum d'absorption vers les plus grandes longueurs d'ondes.

Par rapport aux contributions évoquées dans les chapitres précédents, l'étude en simulations transitoires menée a été utilisée pour concevoir de nouvelles architectures de SPAD dont le récapitulatif est donné dans le Tableau 6.2 ainsi que sur la Figure 6.25 (cf. Annexe 2).

N°	Géométrie des cellules	Structures disponibles	Taille des cellules	Présence de Matrice ?	Modifications en lien avec les simulations	Violations DRC
1	Carrée et Octogonale	FD-SOI et STI	25 μm	Non	-	-
2	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	-	-
2 DNW	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	Modification d'implantation du DNW	-
3	Pseudo-circulaire et Octogonale	FD-SOI, STI et NOSO	25 μm et 50 μm	Non	Pattern du DNW + Structure STI aligné	6
4	Pseudo-circulaire	FD-SOI et NOSO	25 μm et 50 μm	Oui	Report STI	3
4 DNW	Pseudo-circulaire	FD-SOI et NOSO	25 μm et 50 μm	Oui	Modification d'implantation du DNW + Report STI	3
5	Pseudo-circulaire et Octogonale	FD-SOI	25 μm et 50 μm	Oui	Structure STI aligné + Suppression des tranchées STI dans la zone active	3
5 DNW	Pseudo-circulaire et Octogonale	FD-SOI	25 μm et 50 μm	Oui	Modification d'implantation du DNW + Structure STI aligné + Suppression des tranchées STI dans la zone active	3
6	Pseudo-circulaire et Octogonale	FD-SOI	25 μm	Oui	Structure STI aligné + Suppression des tranchées STI dans la zone active + Électronique ICUBE	3
6 DNW	Pseudo-circulaire et Octogonale	FD-SOI	25 μm	Oui	Modification d'implantation du DNW + STI aligné + Suppression des tranchées STI dans la zone active + Électronique ICUBE	3

TABLE 6.2 – Tableau des caractéristiques principales des *test-chips* 1, 2, 2DNW, 3, 4, 4DNW, 5, 5DNW, 6 et 6DNW

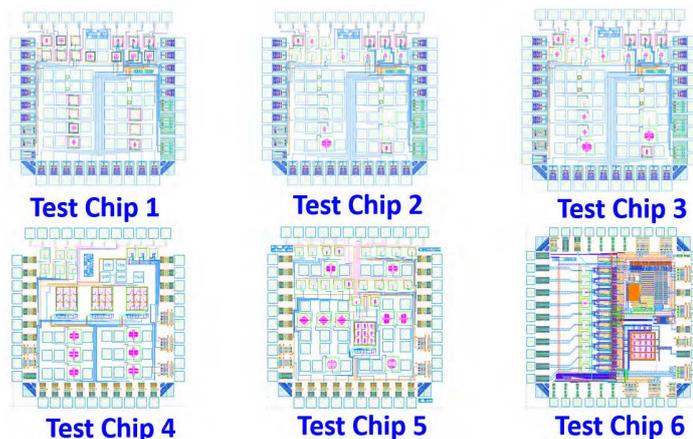


FIGURE 6.25 – Vue *layout* des *test-chips* 1, 2, 3, 4, 5 et 6

Conclusion

Ce travail de thèse a porté sur la conception et la caractérisation de diodes à avalanche à photon unique (*Single Photon Avalanche Diode*, SPAD) intégrées dans la technologie CMOS FD-SOI (*Fully Depleted Silicon On Insulator*) 28 nm.

La caractérisation des premières structures SPAD conçues et fabriquées en respectant l'ensemble des contraintes imposées par la technologie a mis en évidence plusieurs points faibles :

- le DCR est très élevé y compris pour des tensions d'excès faibles. Nous avons identifié que, du fait de la forte courbure de bande de la jonction abrupte utilisée pour la SPAD, les porteurs générés par effet tunnel bande à bande contribuaient très significativement à ce DCR élevé ;
- il existe un claquage prédominant sur la périphérie de la zone active. Nous pensons que l'interface PW/STI présente en périphérie de la SPAD en est la cause, en raison de la présence de défauts d'interface, et/ou de pics de champ électrique au voisinage de ce bloc STI.

Sur la base de ces premiers résultats et en nous appuyant sur une chaîne de simulation TCAD qui prend en compte les principales étapes du procédé de fabrication, nous avons exploré différentes approches pour concevoir des structures SPAD avec des performances améliorées.

Pour réduire la contribution de l'effet tunnel bande à bande dans le DCR, nous avons cherché à diminuer le champ électrique dans la ZCE en augmentant significativement la tension de claquage de la SPAD. Pour cela, nous avons travaillé sur le profil de dopage de la jonction PW/DNW afin de la rendre moins abrupte. De plus, pour ne pas impacter l'électronique développée dans le film silicium au-dessus du BOX et ne pas dégrader la passivation de l'interface BOX/PW, nos efforts ont d'abord porté sur la réduction du niveau de dopage du caisson DNW.

Dans une première approche, nous avons structuré le caisson DNW en îlots. La diminution du niveau de dopage moyen du caisson résulte alors de la diffusion des dopants entre ces îlots DNW lors des étapes de recuit. Un des enjeux, mis en évidence par des études paramétriques (simulations TCAD), est de choisir des paramètres géométriques pour ces îlots qui permettent, compte-tenu à la fois des caractéristiques des recuits et des autres contraintes de fabrication, d'obtenir un caisson DNW continu. Il en ressort qu'il faut utiliser des dimensions pour les îlots et pour leurs espacements très inférieures aux spécifications de la technologie. De ce fait, nous n'avons aucune garantie que les structures fabriquées correspondaient aux structures dessinées. Les résultats de caractérisation de ces structures ont montré un effet de la structuration du caisson DNW sur les caractéristiques électriques de la SPAD, ce qui valide le principe de cette approche. Néanmoins, nous n'avons pas obtenu les performances estimées en simulation, vraisemblablement parce que la structure fabriquée ne correspondait pas fidèlement à la structure dessinée.

Dans une seconde approche, nous avons étudié des structures SPAD pour lesquelles les paramètres d'implantation ionique du caisson DNW ont été ajustés. En modifiant la dose et l'énergie d'implantation, nous sommes parvenus à augmenter la profondeur de la jonction et à élargir la ZCE. Cela a permis d'augmenter la tension de claquage de 9.5 V à 15.8 V, tout en réduisant le niveau de DCR moyen (ce dernier reste cependant supérieur aux données de la littérature).

Pour diminuer encore le DCR de notre structure SPAD, nous avons alors cherché à réduire le risque de claquage périphérique prématuré. Les blocs d'oxyde STI localisés en périphérie de la jonction PW/DNW contribuent aux pics de champ, et les défauts présents à l'interface Si/SiO_2 ont potentiellement un effet négatif sur le DCR. Les meilleurs résultats ont été obtenus lorsque le bloc STI est aligné sur la jonction PW/DNW. En effet, pour les positions plus déportées, il apparaît une interface

BOX/DNW rétrograde contenant une forte concentration en défauts d'interface qui pénalise le DCR.

Nous avons complété ce travail par des études en simulation pour évaluer l'effet de la modification des conditions d'implantation du caisson PW. Le dopage de ce caisson est obtenu via quatre étapes d'implantation. Nous avons montré, dans le cas du DNW standard, qu'en augmentant l'énergie et en diminuant la dose de l'implantation la plus profonde, il est possible de diminuer le pic de champ périphérique et d'augmenter la tension de claquage. Par contre, ces modifications n'ont pas d'effet sur les caractéristiques électriques de la structure SPAD réalisée avec le caisson DNW modifié. Pour cette dernière structure, nous avons proposé une solution où le caisson DNW présente deux niveaux de dopage différents, le moins dopé des deux servant pour la réalisation de l'anneau de garde. Cette solution permet d'obtenir une nette diminution du champ électrique sans modification de la tension de claquage (≈ 15.8 V à température ambiante). Ces études qui montrent des voies d'optimisation complémentaires n'ont pas été mises en œuvre car elles nécessitent des modifications significatives du procédé de fabrication standard.

Enfin, la mise en place de simulations TCAD électro-optiques en régime transitoire a permis d'étudier finement le cycle d'avalanche. Nous avons mis en évidence l'apparition d'avalanches secondaires au niveau des tranchées STI situées au-dessus de la zone active de la SPAD et au voisinage du site où le photon a été absorbé. De ce fait, nous avons conçu des structures SPAD optimisées sans ces tranchées STI (ce qui nécessite de violer certaines règles de dessin). Les mesures de DCR préliminaires sur ces structures ont mis en évidence une diminution du niveau de DCR moyen par la suppression des tranchées STI.

Dans le cadre du travail de thèse, un banc de mesure pour estimer la probabilité de détection des photons de notre structure SPAD a été mis en place. Ce banc a permis de mesurer, pour la SPAD avec caisson DNW modifié, une augmentation de la PDP et un décalage du pic d'absorption vers les plus fortes longueurs d'ondes ($\lambda \sim 600$ nm) par rapport à la SPAD avec DNW standard.

En conclusion, les études en simulation TCAD ont été très utiles pour mieux comprendre l'origine du DCR élevé et pour proposer des modifications de conception et/ou de procédé pour le réduire. Grâce aux soutiens de la société *STMicroelectronics* et de l'ANR, ce travail de thèse s'est appuyé sur plusieurs versions de *test-chip* conçues et fabriquées en technologie CMOS FD-SOI 28 nm, chacune comprenant plusieurs variantes de SPAD. Ainsi, il a été possible en comparant les résultats de mesure aux résultats de simulation de confirmer ou d'infirmer nos hypothèses de travail.

Même si ces travaux n'ont pas permis d'atteindre les niveaux de DCR des SPAD les plus performantes de l'état de l'art, ils ont exploré de nombreuses voies d'optimisation, certaines conduisant à une amélioration significative des performances des SPAD réalisées dans cette technologie. Pour l'heure, la structure SPAD FD-SOI la plus performante correspond à la structure cumulant diverses optimisations : modification du caisson DNW, alignement du bloc STI périphérique avec la jonction PW/DNW ("STI aligné"), et suppression des tranchées STI au-dessus de la zone active.

Bien que les performances des SPAD présentées dans ce manuscrit restent modestes au regard de l'état de l'art (Tableau et Figure ci-après), nous pensons qu'il est intéressant d'exploiter les caractéristiques intrinsèquement 3D de la technologie FD-SOI i) en intégrant la SPAD au niveau de la jonction PW/DNW dans le silicium bulk et ii) en utilisant le film silicium situé au-dessus du BOX pour intégrer l'électronique associée au détecteur (circuits d'étouffement et d'adressage). Cette approche permet une optimisation du facteur de remplissage sans recourir aux technologies d'intégration 3D au niveau wafer qui restent complexes et coûteuses.

Très récemment, une des SPAD conçues dans ce travail de thèse a été intégrée avec une électronique avancée et optimisée conçue par le laboratoire *ICUBE* de Strasbourg. Les premiers résultats de caractérisation sont très encourageants notamment du fait de la mise en œuvre d'un circuit actif d'étouffement et de recharge très performant¹. L'amincissement des puces sur lequel travaille le *CEA-LETI*, permettra l'utilisation de la SPAD pour un éclairage en face arrière et contribuera également à

1. M. D. Lakeh, J-B. Kammerer, E. Aguénonon, D. Issartel, J-B. Schell, S. Rink, A. Cathelin, F. Calmon, W. Uhring, "An Ultrafast Active Quenching Active Reset Circuit with 50% SPAD Afterpulsing Reduction in a 28 nm FD-SOI CMOS Technology Using Body Biasing Technique," *MDPI Sensors*, vol. 21, no 12, p. 4014, 2021, doi : 10.3390/s21124014.

l'amélioration des performances des SPAD développées en technologie FD-SOI pour la détection dans le proche infrarouge. Le travail se poursuit avec la conception et la caractérisation de pixel 3D SPAD FD-SOI intégrant l'électronique au-dessus de la SPAD.

Technologie	Surface active	V_{BD}	PDP	DCR	Jitter
CMOS 40 nm (a)	$49 \mu\text{m}^2$ (FF = 40 %, et 70 % avec les lentilles)	15.5 V	30 % à $V_{ex} = 1 \text{ V}$ (6.5 % de V_{BD}) et $\lambda = 500 \text{ nm}$	$1.0 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1 \text{ V}$ (6.5 % de V_{BD}) et $T = 25^\circ\text{C}$	140 ps à $V_{ex} = 1 \text{ V}$ (6.5 % de V_{BD}) et $\lambda = 840 \text{ nm}$
Intégration 3D avec CIS 45 nm / CMOS 65 nm (b)	$122.7 \mu\text{m}^2$	28.5 V	31.8 % à $V_{ex} = 2.5 \text{ V}$ (8.7 % de V_{BD}) et $\lambda = 600 \text{ nm}$	$55.4 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 2.5 \text{ V}$ (8.7 % de V_{BD}) et $T = 20^\circ\text{C}$	107.7 ps à $V_{ex} = 2.5 \text{ V}$ (8.7 % de V_{BD}) et $\lambda = 637 \text{ nm}$
CMOS 180 nm avec focalisation des charges (c)	$200.96 \mu\text{m}^2$	26.5 V	40 % à $V_{ex} = 2.5 \text{ V}$ (9.4 % de V_{BD}) et $\lambda = 550 \text{ nm}$	$15 \text{ mHz}/\mu\text{m}^2$ à $V_{ex} = 3.3 \text{ V}$ (12.4 % de V_{BD}) et $T = 20^\circ\text{C}$	-
CMOS SOI 140 nm (d)	$113.1 \mu\text{m}^2$	11.3 V	26.4 % à $V_{ex} = 3 \text{ V}$ (26.5 % de V_{BD}) et $\lambda = 500 \text{ nm}$	$396.1 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3 \text{ V}$ (26.5 % de V_{BD}) et $T = 20^\circ\text{C}$	119 ps à $V_{ex} = 3 \text{ V}$ (26.5 % de V_{BD}) et $\lambda = 637 \text{ nm}$
CMOS FD-SOI 28 nm (e)	$490 \mu\text{m}^2$	9.5 V	-	$800 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 0.6 \text{ V}$ (6.3 % de V_{BD}) et $T = 20^\circ\text{C}$	-
CMOS FD-SOI 28 nm avec modification du caisson DNW (f)	$490 \mu\text{m}^2$	15.8 V	7 % à $V_{ex} = 1 \text{ V}$ (6.3 % de V_{BD}) et $\lambda = 650 \text{ nm}$	$17 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1 \text{ V}$ (6.3 % de V_{BD}) et $T = 20^\circ\text{C}$ $650 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1.3 \text{ V}$ (8.2 % de V_{BD}) et $T = 20^\circ\text{C}$	-
CMOS FD-SOI 28 nm avec modification du caisson DNW + "STI aligné" + sans tranchées STI (g)	$490 \mu\text{m}^2$	15.8 V	-	$10 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1 \text{ V}$ (6.3 % de V_{BD}) et $T = 20^\circ\text{C}$ $260 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3.2 \text{ V}$ (20 % de V_{BD}) et $T = 20^\circ\text{C}$	-

Paramètres caractéristiques de certaines structures SPAD de la littérature en comparaison de la SPAD CMOS FD-SOI 28 nm avec modification du caisson DNW

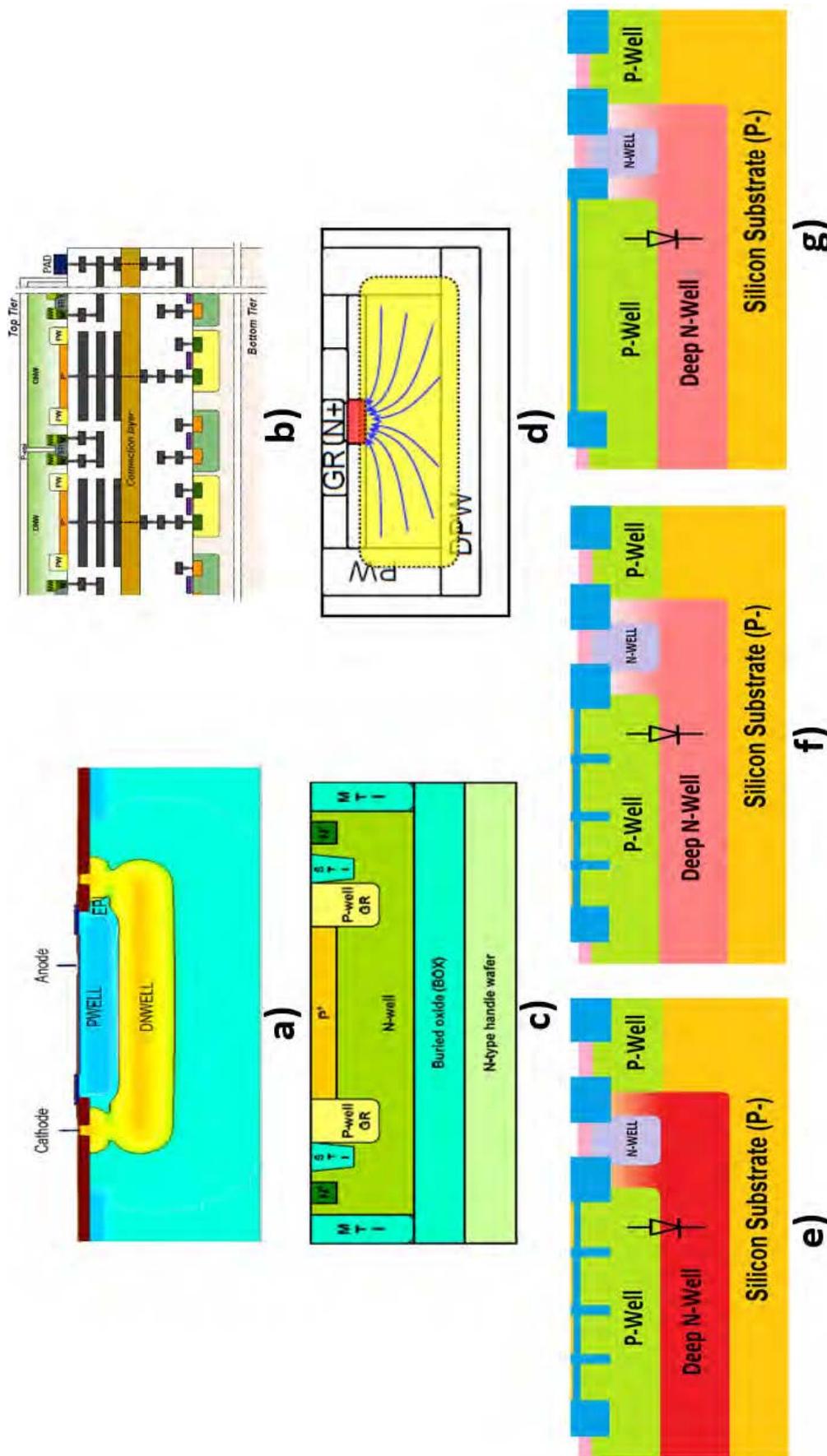
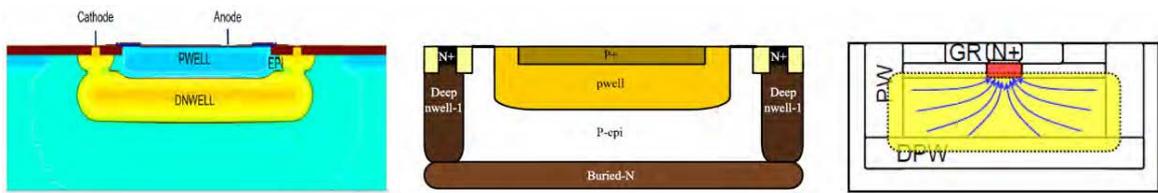


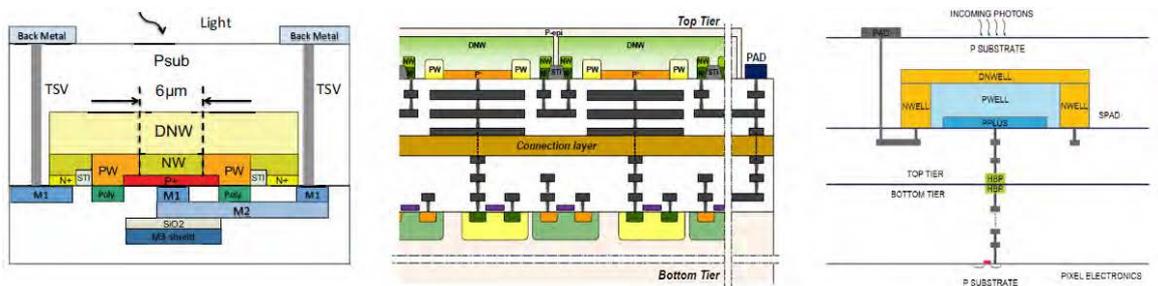
Schéma en coupe de SPAD en technologie a) CMOS 40 nm [13], b) 3D avec CIS 45 nm / CMOS 65 nm [40], c) CMOS 180 nm avec focalisation des charges [131], d) CMOS SOI 140 nm [34], e) CMOS FD-SOI 28 nm, f) CMOS FD-SOI 28 nm avec modification du caisson DNW, et g) CMOS FD-SOI 28 nm avec modification du caisson DNW + "STI aligné" + suppression des tranchées STI

Annexe 1 : Bilan des Architectures SPAD

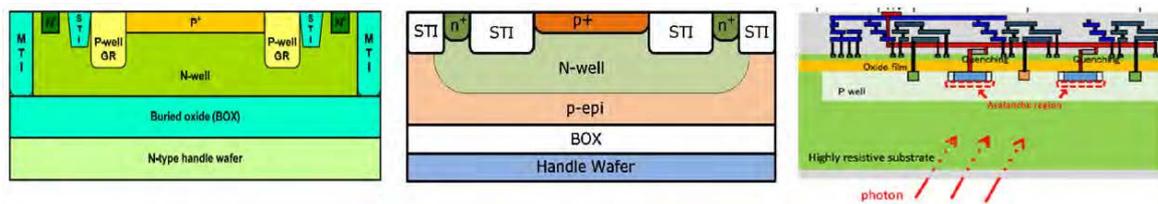
Technologie CMOS



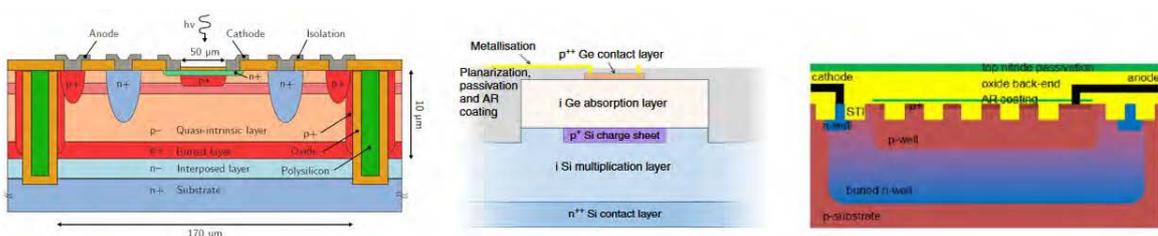
Intégration 3D

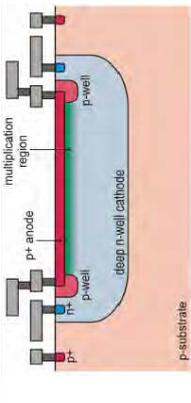
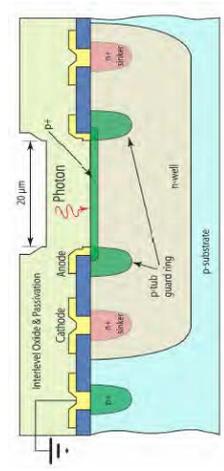
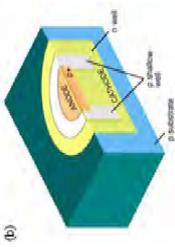
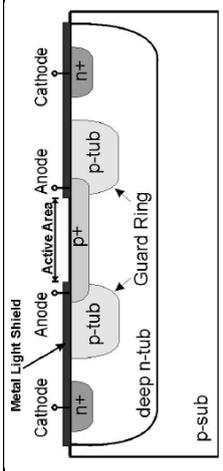
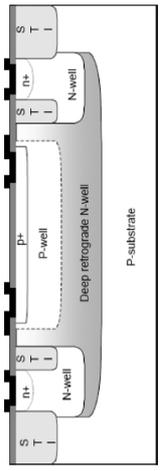


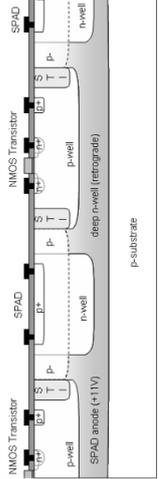
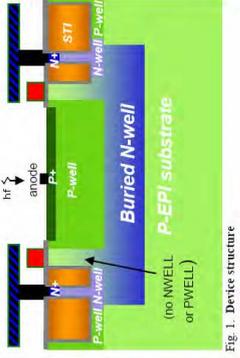
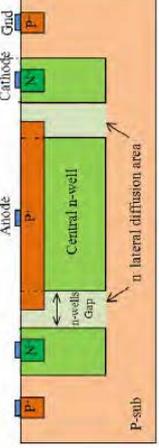
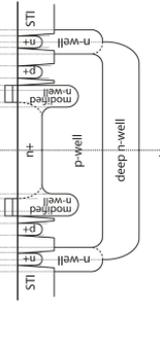
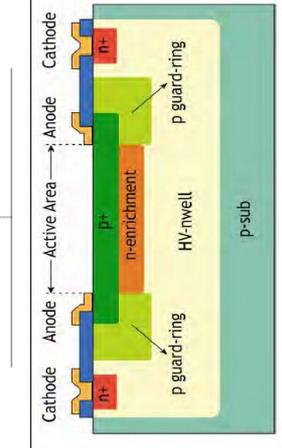
Technologie CMOS SOI

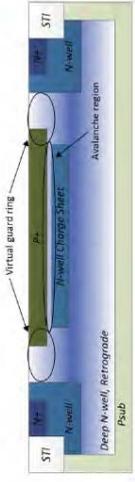
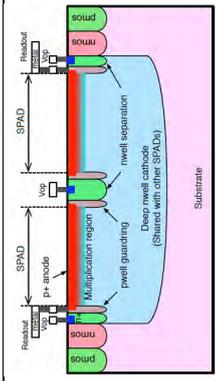
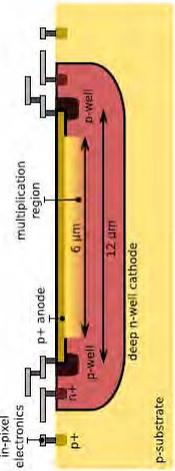
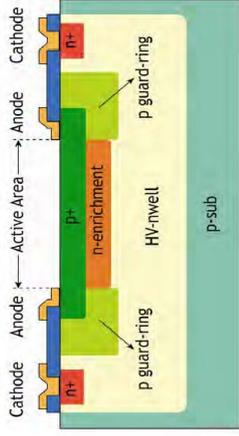


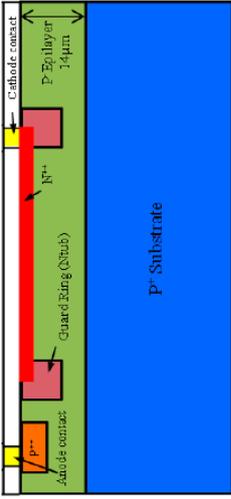
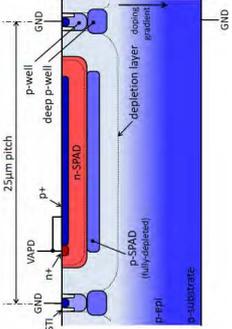
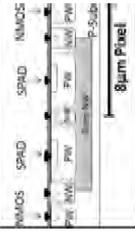
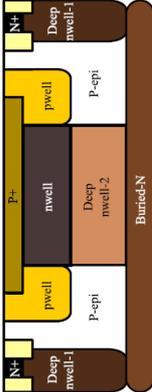
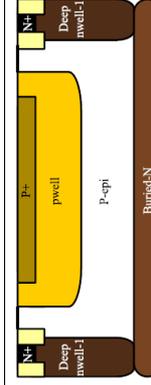
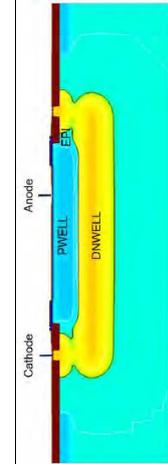
Autres structures

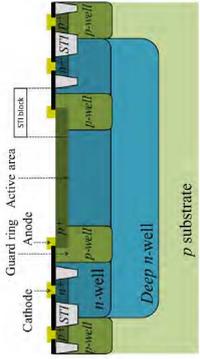
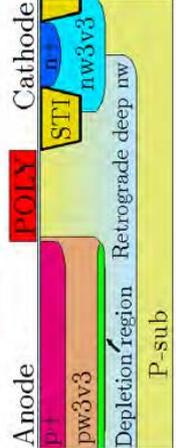
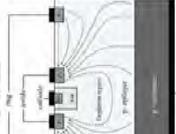
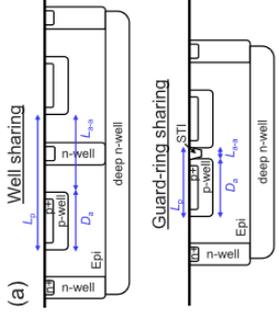


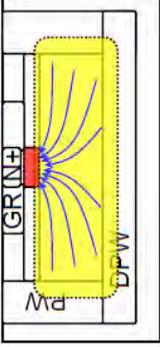
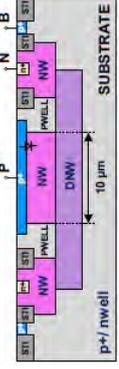
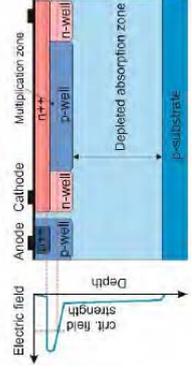
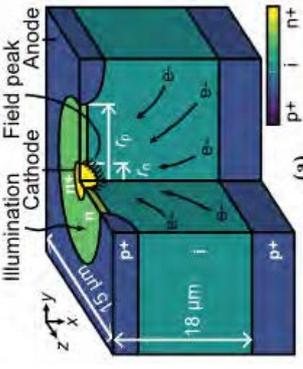
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Niclass 2008 [21]	CMOS 350 nm	$38.5 \mu\text{m}^2$ ($D = 7 \mu\text{m}$)	17.7 V	PDP = 35 % à $V_{ex} = 3.3 \text{ V}$ et $\lambda = 460 \text{ nm}$	$16.79 \text{ Hz}/\mu\text{m}^2$ $V_{ex} = 3.3 \text{ V}$ et $T = 27^\circ\text{C}$		Passif	-
Tisa 2008 [6]	CMOS 350 nm	$314.2 \mu\text{m}^2$ ($D = 20 \mu\text{m}$)	24 V	PDE = 31 % à $V_{ex} = 3 \text{ V}$ et $\lambda = 430 \text{ nm}$ (FF = 6 %)	$6.37 \text{ Hz}/\mu\text{m}^2$ $V_{ex} = 3 \text{ V}$ et $T = 20^\circ\text{C}$		Passif avec différentes valeurs de R (centaines de k Ω)	39 ps à $\lambda = 820 \text{ nm}$ et $V_{ex} = 5 \text{ V}$
Boiko 2009 [213]	CMOS 350 nm	$9.6 \mu\text{m}^2$ ($D = 3.5 \mu\text{m}$)	-	PDP = 25 % à $V_{ex} = 4 \text{ V}$ et $\lambda = 546 \text{ nm}$	$1.0 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 4 \text{ V}$ et $T = 20^\circ\text{C}$		Actif avec un temps mort de 15 ns	-
Pancheri 2009 [20], [214]	CMOS 350 nm	$243.3 \mu\text{m}^2$ ($D = 17.6 \mu\text{m}$)	28 V	PDE = 32 % à $V_{ex} = 4 \text{ V}$ et $\lambda = 450 \text{ nm}$ (FF = 34 %)	$4.11 \text{ Hz}/\mu\text{m}^2$ $V_{ex} = 4 \text{ V}$ et $T = 20^\circ\text{C}$		Actif avec temps mort de 200 ns	-
Richardson 2009 [215]	CMOS 130 nm	$50.3 \mu\text{m}^2$ ($D = 8 \mu\text{m}$)	14.4 V	PDE = 25 % à $V_{ex} = 1 \text{ V}$ et $\lambda = 500 \text{ nm}$	$0.40 \text{ Hz}/\mu\text{m}^2$ $V_{ex} = 1 \text{ V}$ et $T = 20^\circ\text{C}$		Passif	200 ps à $\lambda = 470 \text{ nm}$ et $V_{ex} = 1 \text{ V}$

Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Henderson 2010 [216]	CMOS 90 nm	$3.1 \mu\text{m}^2$ ($D = 2 \mu\text{m}$)	10.3 V	PDP = 36 % à $V_{ex} = 0.6 \text{ V}$ et $\lambda = 400 \text{ nm}$	$79.58 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 0.6 \text{ V}$ et T = 20°C		Actif	107 ps à $\lambda = 470 \text{ nm}$ et $V_{ex} = 0.6 \text{ V}$
Webster 2011 [70]	CMOS 90 nm	$50.3 \mu\text{m}^2$ ($D = 8 \mu\text{m}$)	17.4 V	PDE = 33 % à $V_{ex} = 1.2 \text{ V}$ et $\lambda = 470 \text{ nm}$	$2.64 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 0.4 \text{ V}$ et T = 22°C	 <p>Fig. 1. Device structure</p>	Actif avec temps mort de 150 ns	146 ps à $\lambda = 470 \text{ nm}$ $V_{ex} = 0.4 \text{ V}$
Zhang 2012 [84]	CMOS 500 nm	$314 \mu\text{m}^2$	14.2 V	-	$9.55 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 0.66 \text{ V}$ et T = 20°C		Actif avec temps mort de 60 ns	-
Charbon 2013 [12]	CMOS 130 nm	$64 \mu\text{m}^2$	9.1 V	PDP = 4 % à $V_{ex} = 0.2 \text{ V}$ et $\lambda = 450 \text{ nm}$	$5\,468.75 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 0.2 \text{ V}$ et T = 20°C		Actif avec temps mort de $5 \mu\text{s} + R = 7 \text{ k}\Omega$	235 ps à $\lambda = 637 \text{ nm}$ et $V_{ex} = 0.4 \text{ V}$
Durini 2013 [18] et Bronzi 2012 [19]	CMOS 350 nm	$706.9 \mu\text{m}^2$ ($D = 30 \mu\text{m}$)	26.1 V	PDE = 40 % à $V_{ex} = 6 \text{ V}$ et $\lambda = 500 \text{ nm}$	$0.06 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 6 \text{ V}$ et T = 20°C		Actif avec temps mort de 300 ns	134 ps à $\lambda = 390 \text{ nm}$ et $V_{ex} = 5 \text{ V}$

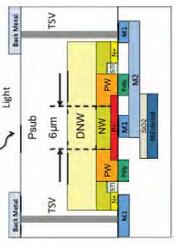
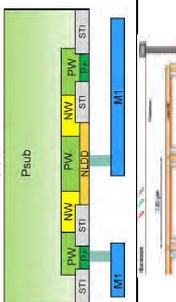
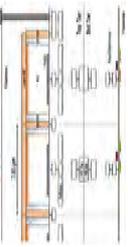
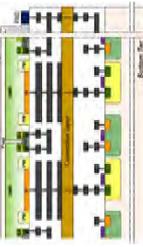
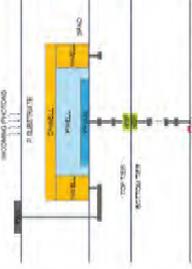
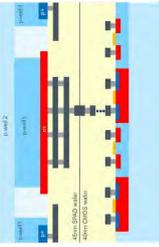
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Leitner 2013 [217]	CMOS 180 nm	$78.5 \mu\text{m}^2$ ($D = 10 \mu\text{m}$)	21 V)	PDE = 35 % à $V_{ex} = 1 \text{ V}$ et $\lambda = 500 \text{ nm}$	$0.38 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 2.5 \text{ V}$ et $T = 20^\circ\text{C}$		Passif avec une résistance de $30 \text{ k}\Omega$	-
Mandai 2013 [218]	CMOS 350 nm	$1500 \mu\text{m}^2$	22-23 V	PDP = 30 % à $V_{ex} = 4 \text{ V}$ et $\lambda = 420 \text{ nm}$	$39 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3 \text{ V}$ et $T = 20^\circ\text{C}$		Passif	114 ps à $\lambda = 405 \text{ nm}$ et $V_{ex} = 4 \text{ V}$
Burri 2014 [219]	CMOS 350 nm	$28.3 \mu\text{m}^2$ ($D = 6 \mu\text{m}$)	-	PDE = 45 % à $V_{ex} = 4 \text{ V}$ et $\lambda = 490 \text{ nm}$ (FF = 5 %)	$12.94 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 4.5 \text{ V}$ et $T = 20^\circ\text{C}$		Actif avec un temps mort de 100 ns	-
Veerappan 2014 [16]	CMOS 180 nm	$113.1 \mu\text{m}^2$ ($D = 12 \mu\text{m}$)	23.2 V	PDP = 25 % à $V_{ex} = 2 \text{ V}$ et $\lambda = 480 \text{ nm}$	$0.13 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 2 \text{ V}$ et $T = 20^\circ\text{C}$		Actif avec temps mort de 300 ns	70 ps à $\lambda = 405 \text{ nm}$ et $V_{ex} = 10 \text{ V}$
Villa 2014 [54]	CMOS 350 nm	$706.9 \mu\text{m}^2$ ($D = 30 \mu\text{m}$)	25 V	PDE = 53 % à $V_{ex} = 6 \text{ V}$ et $\lambda = 450 \text{ nm}$	0.06 Hz à $V_{ex} = 6 \text{ V}$ et $T = 25^\circ\text{C}$		Actif	76 ps à $\lambda = 780 \text{ nm}$ $V_{ex} = 6 \text{ V}$

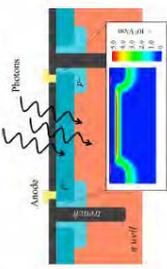
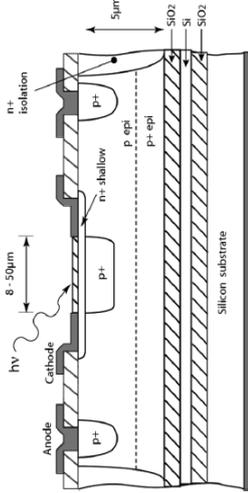
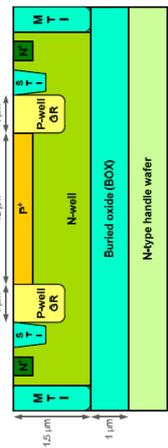
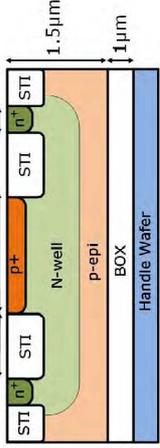
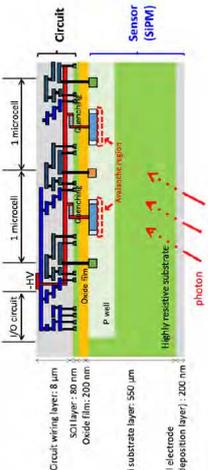
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Jradi 2014 [17]	CMOS 180 nm	176.7 μm^2 (D = 15 μm)	12 V	PDE = 90 % à $V_{ex} = 0.8 \text{ V}$ et $\lambda = 480 \text{ nm}$	17 Hz/ μm^2 à $V_{ex} = 0.8 \text{ V}$ et T = 20 °C		-	-
Niclass 2015 [15]	CMOS 180 nm	490.9 μm^2 (D = 25 μm)	20.5 V	PDE = 64.8 % à $V_{ex} = 5 \text{ V}$ et $\lambda = 610 \text{ nm}$	3.26 Hz/ μm^2 à $V_{ex} = 5 \text{ V}$ et T = 20 °C		Passif avec Résistance de 300 k Ω	-
Parmesan 2015 [220], [221]	CMOS 130 nm	13.7 μm^2	-	-	3.65 Hz/ μm^2 à $V_{ex} = 2 \text{ V}$ et T = 20 °C		-	368 ps à $\lambda = 483 \text{ nm}$ et $V_{ex} = 0.7 \text{ V}$
Veerappan 2015 [222]	CMOS 180 nm	113.1 μm^2 (D = 12 μm)	14 V	PDP = 35 % à $V_{ex} = 2 \text{ V}$ et $\lambda = 480 \text{ nm}$	0.88 Hz/ μm^2 à $V_{ex} = 2 \text{ V}$ et T = 20 °C		Actif avec temps mort de 300 ns	95 ps à $\lambda = 405 \text{ nm}$ et $V_{ex} = 4 \text{ V}$
Veerappan 2016 [223]	CMOS 180 nm	113.1 μm^2 (D = 12 μm)	25 V	PDP = 45 % à $V_{ex} = 2 \text{ V}$ et $\lambda = 480 \text{ nm}$	0.09 Hz/ μm^2 à $V_{ex} = 2 \text{ V}$ et T = 20 °C		Actif avec temps mort de 300 ns	100.8 ps à $\lambda = 405 \text{ nm}$ et $V_{ex} = 11 \text{ V}$
Pellegrini 2017 [13]	CMOS 40 nm	49 μm^2	15.5 V	PDP = 5 % à $V_{ex} = 1 \text{ V}$ et $\lambda = 840 \text{ nm}$	1.02 Hz/ μm^2 à $V_{ex} = 1 \text{ V}$ et T = 25 °C		Passif	140 ps à $V_{ex} = 1 \text{ V}$ et $\lambda = 840 \text{ nm}$

Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Nolet 2018 [83]	CMOS 65 nm	$314.2 \mu\text{m}^2$ ($D = 20 \mu\text{m}$)	9.9 V	PDE = 8 % à $V_{ex} = 1.5 \text{ V}$ et $\lambda = 470 \text{ nm}$ (FF = 25 %)	$2800 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1.5 \text{ V}$ et $T = 20^\circ\text{C}$		Passif	7.8 ps à $\lambda = 410 \text{ nm}$ et $V_{ex} = 1.75 \text{ V}$
Hirose 2019 [228]	CMOS 65 nm	-	29 V	-	100 Hz à $T = 20^\circ\text{C}$		Quench Passif avec $R = 100 \text{ k}\Omega$	-
Vornicu 2019 [229]	CMOS 110 nm	$78.5 \mu\text{m}^2$ ($D = 10 \mu\text{m}$)	18 V	PDP = 64 % à $V_{ex} = 3 \text{ V}$ et $\lambda = 500 \text{ nm}$	$0.4 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3 \text{ V}$ et $T = 20^\circ\text{C}$		-	92 ps à $V_{ex} = 3 \text{ V}$ et $\lambda = 850 \text{ nm}$
Jegannathan 2020 [230]	CMOS 110 nm	$1600 \mu\text{m}^2$	52.4 V	PDE = 5.74 % à $V_{ex} = 1.15 \text{ V}$ et $\lambda = 785 \text{ nm}$	$625 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1 \text{ V}$ et $T = 20^\circ\text{C}$		Passif avec $R = 47 \text{ k}\Omega$	370 ps à $\lambda = 785 \text{ nm}$ et $V_{ex} = 0.86 \text{ V}$
Morimoto 2020 [231]	CMOS 180 nm	$1.1 \mu\text{m}^2$ ($D = 1.2 \mu\text{m}$)	32.3 V	PDP = 10.3 % à $V_{ex} = 4 \text{ V}$ et $\lambda = 500 \text{ nm}$	$664.03 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 4 \text{ V}$ et $T = 20^\circ\text{C}$		Actif	72 ps à $\lambda = 785 \text{ nm}$ et $V_{ex} = 4 \text{ V}$
		$3.1 \mu\text{m}^2$ ($D = 2 \mu\text{m}$)	23.6 V	PDP = 17.3 % à $V_{ex} = 6 \text{ V}$ et $\lambda = 500 \text{ nm}$	70 ps à $\lambda = 785 \text{ nm}$ et $V_{ex} = 6 \text{ V}$			
		$7.1 \mu\text{m}^2$ ($D = 3 \mu\text{m}$)	22.1 V	PDP = 33.5 % à $V_{ex} = 6 \text{ V}$ et $\lambda = 500 \text{ nm}$	88 ps à $\lambda = 785 \text{ nm}$ et $V_{ex} = 6 \text{ V}$			

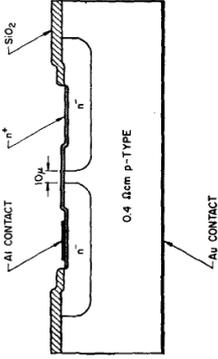
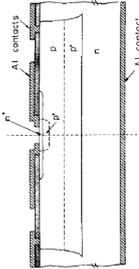
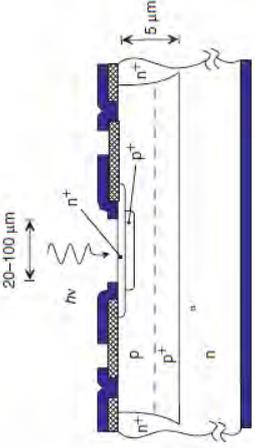
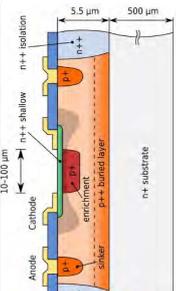
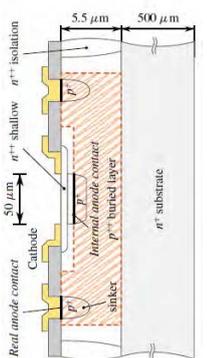
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Lu 2020 [121]	CMOS 65 nm	$2.8 \mu\text{m}^2$	9.6 V	PDP = 51.9 % à $V_{ex} = 2 \text{ V}$ et $\lambda = 480 \text{ nm}$	$73 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 2 \text{ V}$ et $T = 20^\circ\text{C}$		Passif avec R = 30 kΩ	158 ps à $V_{ex} = 2 \text{ V}$ et $\lambda = 485 \text{ nm}$
Morimoto 2020 [131], [232]	CMOS 180 nm	$200.96 \mu\text{m}^2$	26.5	PDP = 40 % à $V_{ex} = 2.5 \text{ V}$ et $\lambda = 550 \text{ nm}$	$0.015 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3.3 \text{ V}$ et $T = 20^\circ\text{C}$		-	-
Johnston 2020 [233], [234]	CMOS 180 nm	$53 \mu\text{m}^2$	11.2 V	PDP = 2.5 % à $V_{ex} = 0.8 \text{ V}$ et $\lambda = 565 \text{ nm}$	$2547.17 \text{ Hz}/\mu\text{m}^2$		-	-
Zimmermann 2020 [235]	CMOS 350 nm	$125\,663 \mu\text{m}^2$ (D = 400 μm)	-	PDP = 22 % à $V_{ex} = 3.3 \text{ V}$ et $\lambda = 650 \text{ nm}$	$2 \times 10^{-4} \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3.3 \text{ V}$ et $T = 20^\circ\text{C}$		-	-
Van Sielegheem 2021 [236]	CMOS 130 nm	$3.1 \mu\text{m}^2$ (D = 2 μm)	67.25 V	PDE = 13 % à $V_{ex} = 3.5 \text{ V}$ et $\lambda = 905 \text{ nm}$	$267.38 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 3.5 \text{ V}$ et $T = 25^\circ\text{C}$		Passif	300 ps à $V_{ex} = 3.5 \text{ V}$ et $\lambda = 905 \text{ nm}$ (simulations)

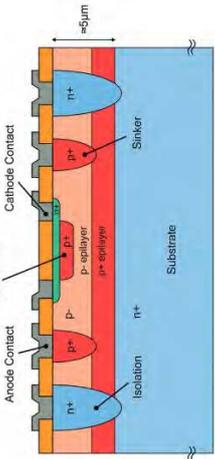
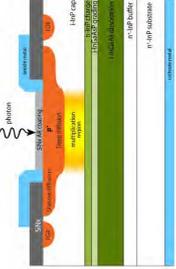
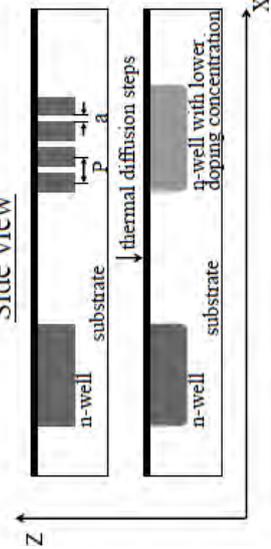
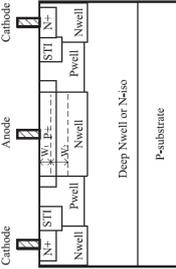
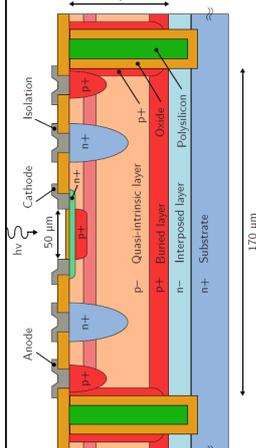
SPAD en technologie 3D

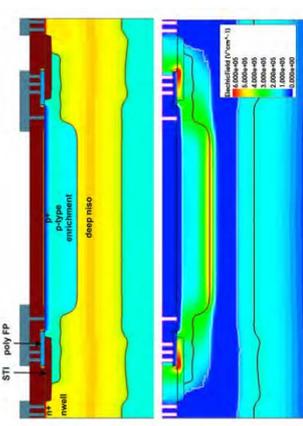
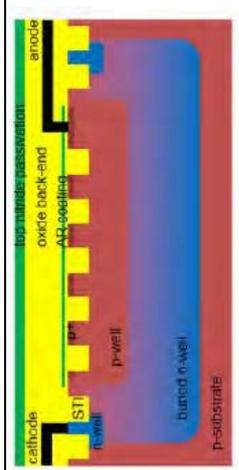
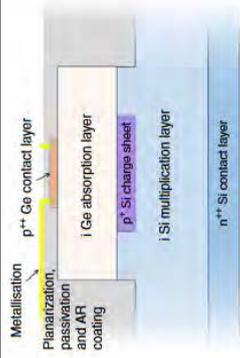
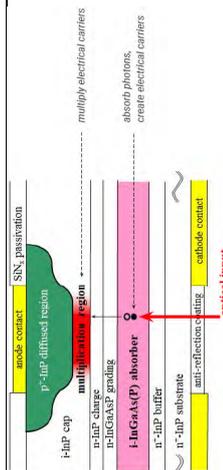
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Charbon 2014 [105]	SPAD 3D avec CMOS 130 nm	$28.3 \mu\text{m}^2$	12.3 V	PDP = 11 % à $V_{ex} = 4 \text{ V}$ et $\lambda = 725 \text{ nm}$	$265 \text{ Hz}/\mu\text{m}^2$ à V_{ex} = 4 V et T = 20 °C		-	-
Pavia 2015 [63]	SPAD 3D avec CMOS 130 nm	$28 \mu\text{m}^2$	16.5 V	PDP = 13 % à $V_{ex} = 1.5 \text{ V}$ et $\lambda = 700 \text{ nm}$	$1250 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 1.5 \text{ V}$ et T = 20 °C		Passif avec R = 100 kΩ	505 ps à $V_{ex} = 1.5 \text{ V}$ et $\lambda = 750 \text{ nm}$
Al Abbas 2016 [37]	SPAD 3D avec CMOS 40 nm	$27.6 \mu\text{m}^2$	12 V	PDP = 20 % à $V_{ex} = 2 \text{ V}$ et $\lambda = 650 \text{ nm}$	$72.5 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 2 \text{ V}$ et T = 20 °C		-	205 ps à $V_{ex} = 1 \text{ V}$ et $\lambda = 773 \text{ nm}$
Lee 2017 [38], [40]	SPAD 3D avec CMOS 45 nm	$122.7 \mu\text{m}^2$	28.5 V	PDP = 31.8 % à $V_{ex} = 2.5 \text{ V}$ et $\lambda = 600 \text{ nm}$	$55.4 \text{ Hz}/\mu\text{m}^2$ à $V_{ex} = 2.5 \text{ V}$ et T = 20 °C		Passif	107.7 ps à $V_{ex} = 2.5 \text{ V}$ et $\lambda = 637 \text{ nm}$
Lindner 2017 [127]	SPAD 3D avec CMOS 65/40 nm	$25.2 \mu\text{m}^2$	-	PDE = 25 % à $V_{ex} = 3.4 \text{ V}$ et $\lambda = 650 \text{ nm}$ (FF = 74.37 %)	$15.9 \text{ kHz}/\mu\text{m}^2$ à $V_{ex} = 3.4 \text{ V}$ et T = 20 °C		Passif en cascade avec recharge active	95 ps à $V_{ex} = 4.4 \text{ V}$ et $\lambda = 700 \text{ nm}$
Roehrer 2020 [237]	SPAD 3D avec CMOS 40/45 nm	-	17 V	PDE = 4.5 % à $V_{ex} = 2 \text{ V}$ et $\lambda = 940 \text{ nm}$	14 Hz à $V_{ex} = 2 \text{ V}$ et T = 25 °C		-	145 ps à $V_{ex} = 2 \text{ V}$ et $\lambda = 940 \text{ nm}$

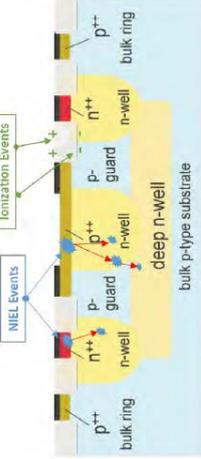
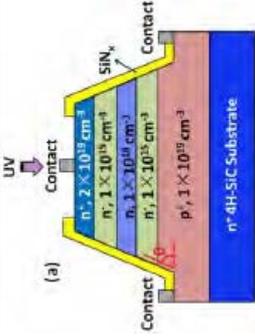
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Pratte 2020 [238]	SPAD 3D pour FSI	$1\,134\ \mu\text{m}^2$ ($D = 38\ \mu\text{m}$)	17 V	PDP = 50 % à $V_{ex} = 4\text{ V}$ et $\lambda = 500\ \text{nm}$	1 000 Hz		-	$23\ \text{ps}$ à $\lambda = 410\ \text{nm}$
SPAD en technologie SOI								
Ghioni 2008 [239]	-	$1\,963\ \mu\text{m}^2$ ($D = 50\ \mu\text{m}$)	32.5 V	PDE = 54 % à $V_{ex} = 5\text{ V}$ et $\lambda = 550\ \text{nm}$ (FF = 10 %)	$50.9\ \text{Hz}/\mu\text{m}^2$ à $V_{ex} = 5\text{ V}$ et $T = 22^\circ\text{C}$		Actif avec temps mort de 300 ns	$35\ \text{ps}$ à $V_{ex} = 5\text{ V}$ et $\lambda = 820\ \text{nm}$
Lee 2015 [34], [35]	SOI CMOS 140 nm	$113.1\ \mu\text{m}^2$	11.3 V	PDP = 26.4 % à $V_{ex} = 3\text{ V}$ et $\lambda = 500\ \text{nm}$	$396.1\ \text{Hz}/\mu\text{m}^2$ à $V_{ex} = 3\text{ V}$ et $T = 20^\circ\text{C}$		Passif avec $R = 20\ \text{k}\Omega$	$119\ \text{ps}$ à $V_{ex} = 3\text{ V}$ et $\lambda = 637\ \text{nm}$
Agarwal 2016 [133]	SOI CMOS 140 nm	$38.5\ \mu\text{m}^2$ ($D = 7\ \mu\text{m}$)	14.88 V	-	-		Passif avec $R = 50\ \text{k}\Omega$	-
Kim 2020 [240]	SOI CMOS 200 nm	-	48.5 à 51.1 V	PDE = 2.74 % à $V_{ex} = 1.5\text{ V}$ et $\lambda = 510\ \text{nm}$	$218\ \text{Hz}/\mu\text{m}^2$ à $V_{ex} = 1.5\text{ V}$ et $T = 20^\circ\text{C}$		Passif	-

SPAD avec d'autres technologies

Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Haitz 1965 [241] + Oldham 1972 [33]	Jonction PN dans Silicium	7.1 - 19.6 μm^2 (D = 3-5 μm)	27.08 V	-	-		Passif avec R = 200 k Ω	-
Lacaita 1989 [242]	Jonction PN dans Silicium avec double épitaxie	19.6 - 314.2 μm^2 (D = 5-20 μm)	13 V	-	10 000 Hz		-	45 ps
Giudice 2007 [243]	Jonction PN dans Silicium (Thin SPAD)	1 963 μm^2 (D = 50 μm)	28.7 V	PDE = 48% à $V_{ex} = 5\text{ V}$ et $\lambda = 550\text{ nm}$	0.51 Hz/ μm^2 à $V_{ex} = 5\text{ V}$ et T = 20 °C		Actif avec temps mort de 65 ns	30 ps à $V_{ex} = 5\text{ V}$ et $\lambda = 820\text{ nm}$
Gulinatti 2009 [244] + Rech 2008 [90]	Jonction PN dans Silicium	1 963 μm^2 (D = 50 μm)	32 V	PDE = 45% à $V_{ex} = 5\text{ V}$ et $\lambda = 550\text{ nm}$	-		-	-
Assanelli 2011 [245]	Jonction PN dans Silicium (S44 et S62)	1 963 μm^2 (D = 50 μm)	-	-	-		-	2.35 ps avec S44 et 4.19 ps avec S62 ($V_{ex} = 1\text{ V}$ et $\lambda = 780\text{ nm}$)

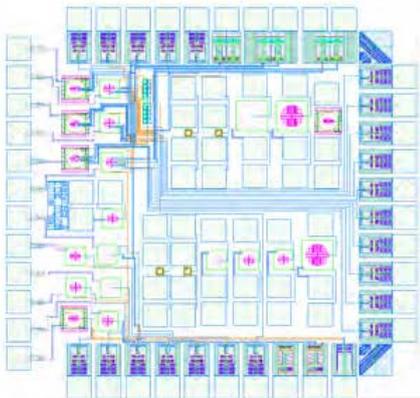
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Gulinatti 2012 [68]	RESPAD avec une jonction PN et une double épitaxie	$1\,963\ \mu\text{m}^2$ ($D = 50\ \mu\text{m}$)	45-50 V	PDE = 45 % à $V_{ex} = 20\ \text{V}$ et $\lambda = 550\ \text{nm}$	$0.18\ \text{Hz}/\mu\text{m}^2$ à $V_{ex} = 20\ \text{V}$ et $T = 20\ ^\circ\text{C}$		-	93 ps à $V_{ex} = 20\ \text{V}$ et $\lambda = 820\ \text{nm}$
Tosi 2012 [122]	SPAD en InGaAs/InP	$490.9\ \mu\text{m}^2$ ($D = 25\ \mu\text{m}$)	71 V	PDE = 45 % à $V_{ex} = 6\ \text{V}$ et $\lambda = 1\,000\ \text{nm}$	$204.1\ \text{Hz}/\mu\text{m}^2$ à $V_{ex} = 6\ \text{V}$ et $T = -48\ ^\circ\text{C}$		Passif avec $R = 47\,47\ \text{k}\Omega$	87 ps à $V_{ex} = 5\ \text{V}$ et $\lambda = 1\,550\ \text{nm}$
Parent 2015 [194]	CMOS 80 nm avec nano-structuration du NW	$314.2\ \mu\text{m}^2$ ($D = 20\ \mu\text{m}$)	25.9 V	PDE = 25 % à $V_{ex} = 3.5\ \text{V}$ et $\lambda = 670\ \text{nm}$	$1\,273\ \text{Hz}/\mu\text{m}^2$ à $V_{ex} = 3.5\ \text{V}$ et $T = 20\ ^\circ\text{C}$		Actif	-
Xu 2016 [246]	SPAD dans DSM CMOS	$78.5\ \mu\text{m}^2$ ($D = 10\ \mu\text{m}$)	16 V	PDE = 30 % à $V_{ex} = 4\ \text{V}$ et $\lambda = 480\ \text{nm}$	$1.3\ \text{Hz}/\mu\text{m}^2$ $V_{ex} = 3.5\ \text{V}$ et $T = 20\ ^\circ\text{C}$		Actif avec temps mort de 30 ou 100 ns	-
Ceccarelli 2018 [247]	RESPAD	$1\,963\ \mu\text{m}^2$ ($D = 50\ \mu\text{m}$)	41.5 V	PDE = 70 % à $V_{ex} = 20\ \text{V}$ et $\lambda = 600\ \text{nm}$	$2.5\ \text{Hz}/\mu\text{m}^2$ $V_{ex} = 20\ \text{V}$ $T = 20\ ^\circ\text{C}$		-	83 ps à $V_{ex} = 20\ \text{V}$ et $\lambda = 820\ \text{nm}$

Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Sanzaro 2018 [248]	SPAD avec BCD et procédé standard (wafer A)	1 257 μm^2 (D = 40 μm)	36 V	PDE = 31 % à $V_{ex} = 3$ V et $\lambda = 450$ nm	0.12 Hz/ μm^2 à $V_{ex} = 3$ V et T = 20 °C		Actif avec temps mort de 250 ns	39 ps à $V_{ex} = 3$ V et $\lambda = 820$ nm
	A+ modification implantation N		25 V	PDE = 22 % à $V_{ex} = 3$ V et $\lambda = 450$ nm	0.1 Hz/ μm^2 à $V_{ex} = 3$ V et T = 20 °C			36 ps à $V_{ex} = 3$ V
	A+ modification implantation P		26 V	PDE = 55 % à $V_{ex} = 3$ V et $\lambda = 450$ nm	0.13 Hz/ μm^2 à $V_{ex} = 3$ V et T = 20 °C			41 ps à $V_{ex} = 3$ V
Frey 2018 [249]	CMOS 130 nm avec nanostructuration en surface du Si	-	14.1 V	PDE = 4.6 % à $V_{ex} = 0.6$ V et $\lambda = 850$ nm (FF = 5 %)	40 Hz à $V_{ex} = 0.6$ V et T = 20 °C		-	-
Vines 2019 [99]	SPAD en Germanium	7 854 μm^2 (D = 100 μm)	40 V	PDE = 38 % à $V_{ex} = 5.5$ % de V_{BD} et $\lambda = 1 310$ nm	254.8 Hz/ μm^2 à $V_{ex} = 5.5$ % de V_{BD} et T = -148 °C		Actif avec un temps mort de 50 ns	310 ps à $V_{ex} = 5.5$ % de V_{BD} et $\lambda = 1 310$ nm
Itzler 2020 [250]	SPAD en In-GaAs(P)/InP	-	~ 14.1 V	PDE = 21.3 %	204 kHz à $V_{ex} = 2.5$ V et T = 40 °C		-	-

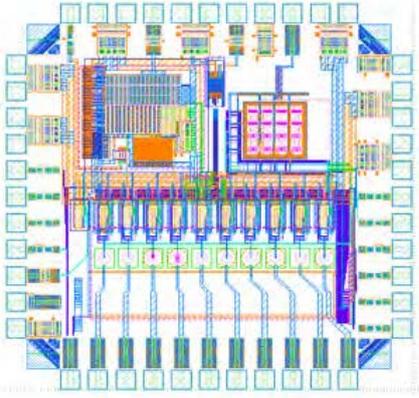
Auteur et Année	Technologie	Surface active	V_{BD}	PDP ou PDE	DCR	Structure SPAD	Quench	Jitter
Duerr 2020 [251]	SPAD en InP	-	-	PDE = 35 % à $V_{ex} = 4V$	3 000 Hz à T = 40 °C		-	-
Zhou 2020 [252]	SPAD en 4H-SiC	70 686 μm^2 (D = 300 μm)	163.5 V	PDE = 9.8 % à $V_{ex} = 3V$ et $\lambda = 280 \text{ nm}$	10 Hz/ μm^2 à $V_{ex} = 3V$ et T = 150 °C		Passif	-

Annexe 2 : Historique des circuits intégrés dessinés à l'INL

N°	Géométrie des cellules	Structures disponibles	Taille des cellules	Présence de Matrice ?	Modifications en lien avec les simulations	Violations DRC
1	Carrée et Octogonale	FD-SOI et STI	25 μm	Non	-	-
2	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	-	-
2 DNW	Pseudo-circulaire et Octogonale	FD-SOI et STI	25 μm et 50 μm	Non	Modification d'implantation du DNW	-
3	Pseudo-circulaire et Octogonale	FD-SOI, STI et NOSO	25 μm et 50 μm	Non	Pattern du DNW + Structure STI aligné	6
4	Pseudo-circulaire	FD-SOI et NOSO	25 μm et 50 μm	Oui	Report STI	3
4 DNW	Pseudo-circulaire	FD-SOI et NOSO	25 μm et 50 μm	Oui	Modification d'implantation du DNW + Report STI	3
5	Pseudo-circulaire et Octogonale	FD-SOI	25 μm et 50 μm	Oui	Structure STI aligné + Suppression des tranchées STI dans la zone active	3
5 DNW	Pseudo-circulaire et Octogonale	FD-SOI	25 μm et 50 μm	Oui	Modification d'implantation du DNW + Structure STI aligné + Suppression des tranchées STI dans la zone active	3
6	Pseudo-circulaire et Octogonale	FD-SOI	25 μm	Oui	Structure STI aligné + Suppression des tranchées STI dans la zone active + Électronique ICUBE	3
6 DNW	Pseudo-circulaire et Octogonale	FD-SOI	25 μm	Oui	Modification d'implantation du DNW + STI aligné + Suppression des tranchées STI dans la zone active + Électronique ICUBE	3



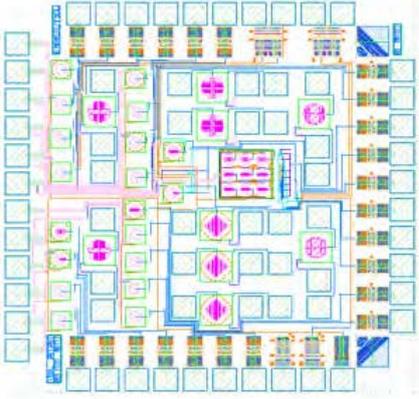
Test Chip 3



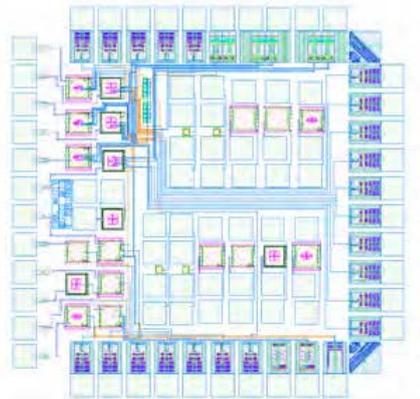
Test Chip 6



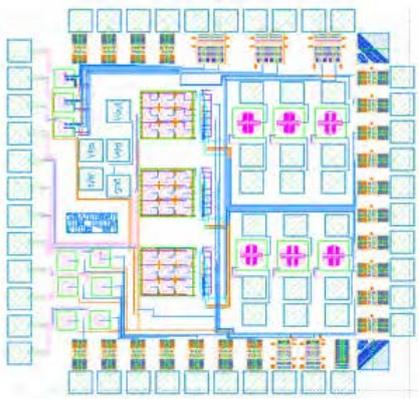
Test Chip 2



Test Chip 5



Test Chip 1



Test Chip 4

Annexe 3 : Paramètres utilisés pour les mesures de PDP

Variable	Signification	Unité
λ_0	Longueur d'onde	nm
φ_0	Flux photonique en λ_0 en sortie de la lampe xénon	$s^{-1}.m^{-2}$
σ	Rapport cyclique du hacheur optique (<i>chopper</i>)	S.U
$f_{chopper}$	Fréquence en rotation du <i>chopper</i>	s^{-1}
$T_{chopper}$	Période en rotation du <i>chopper</i>	s
φ_C	Flux photonique après <i>chopper</i> et monochromateur	$s^{-1}.m^{-2}$
T_{Opt}	Transmission optique des différents éléments	S.U
φ_{Opt}	Flux photonique après le bloc optique	$s^{-1}.m^{-2}$
$S_{faisceau}$	Surface du faisceau arrivant dans la sphère intégrante	m^2
φ_S	Flux photonique impactant chaque élément de surface de la sphère intégrante	$s^{-1}.m^{-2}$
S_{ref}	Surface de détection de la diode de référence	m^2
S_{SPAD}	Surface de détection de la SPAD	m^2
α	Coefficient de "pertes" dans la sphère intégrante (valeur comprise entre 0 et 1)	S.U
K	Portion du flux incident dans la sphère allant sur les capteurs	S.U
EQE_{ref}	Rendement de la photodiode de référence	S.U
q	Charge élémentaire	C
I_{ref}	Courant en sortie de la diode de référence	A
G	Gain de l'amplificateur transimpédance	$V.A^{-1}$
τ	Constante de temps de l'amplificateur transimpédance	S.U
ΔV	Amplitude crête à crête sur le signal de sortie de l'amplificateur transimpédance	V
H_{Merlin}	Fonction de transfert du Merlin	S.U
V_1	Tension de sortie du Merlin	V
T_a	Durée d'acquisition sur l'oscilloscope qui doit être proportionnelle à $T_{chopper}$	s
V_{SPAD}	Tension en sortie de la SPAD	V
N_{ph}	Nombre de coups mesurés par l'oscilloscope sous éclairage	S.U
N_{dark}	Nombre de coups mesurés par l'oscilloscope sous obscurité	S.U
CR	Count Rate : nombre de coups sous éclairage par seconde	s^{-1}
DCR	Dark Count Rate : nombre de coups dans l'obscurité par seconde	s^{-1}
n	Nombre de périodes visualisées sur l'oscilloscope (ici 5)	S.U
PDP	Probabilité de détection des photons	S.U

Le banc optique utilisé dispose de plusieurs éléments : lampe, *chopper*, monochromateur, sphère intégrante... La réalisation des mesures en lumière diffuse repose sur l'utilisation de la sphère intégrante en accord avec le schéma présenté dans la Figure ci-dessous.

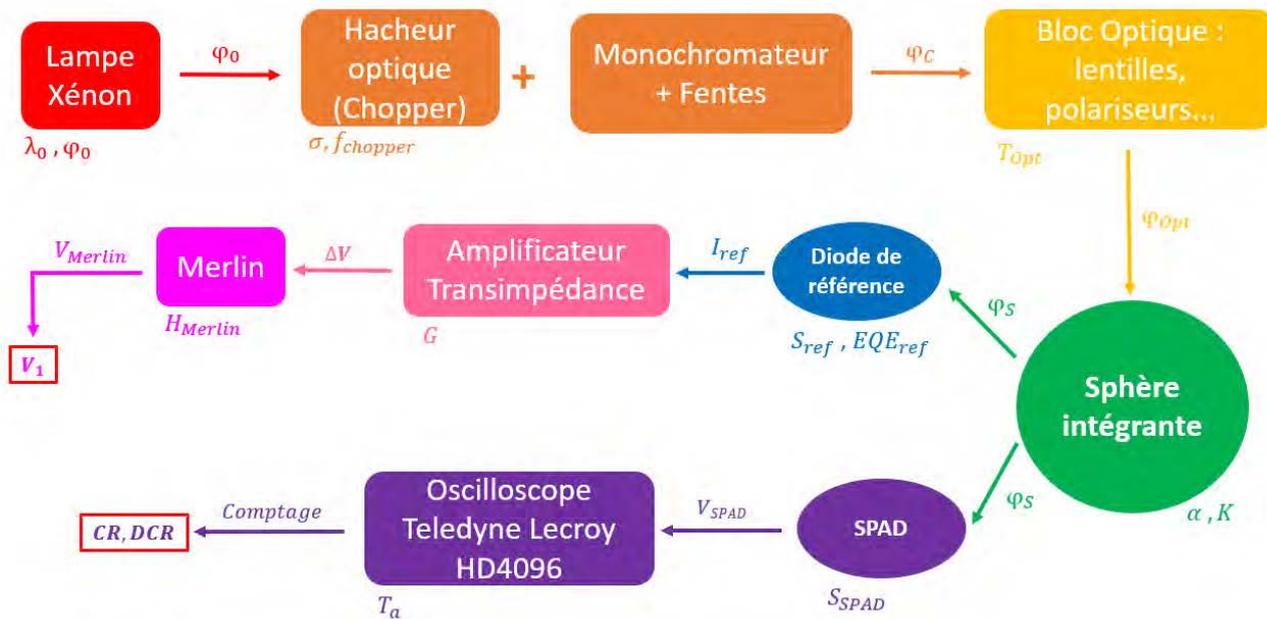
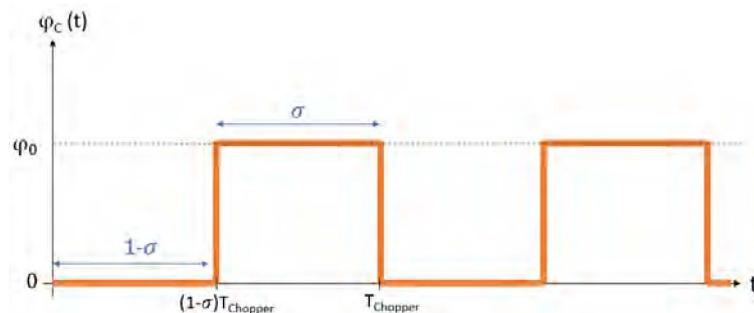


Schéma de la mesure de PDP par la voie 1 : sphère intégrante pour lumière diffuse

La lumière blanche avec un certain flux φ_0 est produite par une lampe xénon, puis le faisceau est mis en forme et filtré par un *chopper* (hacheur optique, de rapport cyclique σ et de fréquence $f_{chopper}$) et un monochromateur (avec fentes d'entrée et de sortie) pour délivrer un flux photonique monochromatique à λ_0 . Ce flux est noté $\varphi_C(t)$, et se présente sous la forme suivante :

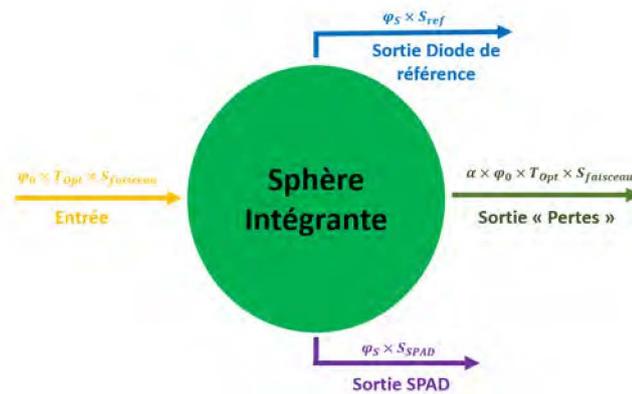


Forme du flux photonique en sortie du *chopper* et monochromateur

Le signal est ensuite mis en forme par un bloc optique comprenant un polariseur, des lentilles, et une lame 1/2 d'onde (transmission optique, T_{Opt}). En sortie de ce bloc, nous ne retrouvons qu'une partie du flux d'entrée qui sera noté φ_{Opt} tel que :

$$\varphi_{Opt} = T_{Opt} \cdot \varphi_0$$

Le faisceau lumineux possède une taille notée $S_{faisceau}$ quand il pénètre dans la sphère intégrante. En faisant une étude système de cette dernière (Figure ci-dessous), nous pouvons remonter à l'expression du flux photonique surfacique impactant chaque élément de surface (noté φ_S). En sortie de la sphère, nous retrouvons trois éléments : la photodiode de référence calibrée (surface S_{ref}) qui permet de remonter au flux photonique initial, la SPAD (surface S_{SPAD}), et les "pertes" dans la sphère selon un certain coefficient α (dont la valeur est comprise entre 0 et 1).



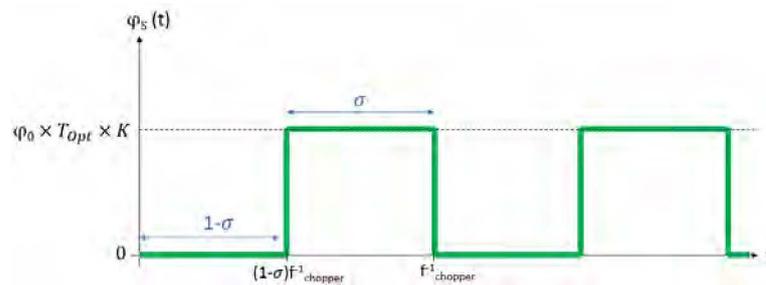
Système de la Sphère Intégrante lors de la réalisation des mesures PDP

La conservation du flux photonique permet donc d'écrire le bilan suivant :

$$\varphi_0 \cdot T_{Opt} \cdot S_{faisceau} = \varphi_S \cdot S_{ref} + \varphi_S \cdot S_{SPAD} + \alpha \cdot \varphi_0 \cdot T_{Opt} \cdot S_{faisceau}$$

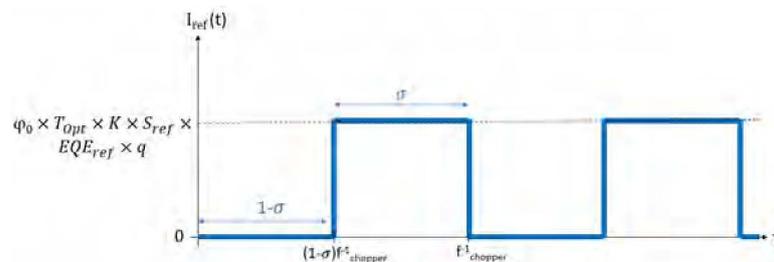
$$\Rightarrow \varphi_S = \frac{(1 - \alpha) \cdot S_{faisceau}}{(S_{ref} + S_{SPAD})} \cdot \varphi_0 \cdot T_{Opt} = K \cdot T_{Opt} \cdot \varphi_0$$

L'allure du flux photonique en sortie de la sphère est alors :



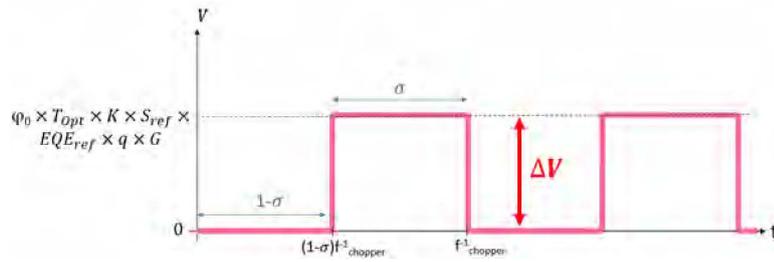
Forme du flux photonique sur chaque élément de surface de la sphère intégrante

Sur la première sortie de la sphère intégrante, la photodiode de référence calibrée possède un certain rendement que nous notons EQE_{ref} . Nous mesurons ensuite un courant (I_{ref}) dont l'allure est donnée dans la Figure ci-dessous. Il est à noter que pour une autre approche, il serait possible de remplacer la diode de référence en silicium par la SPAD de référence calibrée pour faire une mesure n'utilisant que des SPAD.



Forme du courant en sortie de la diode de référence

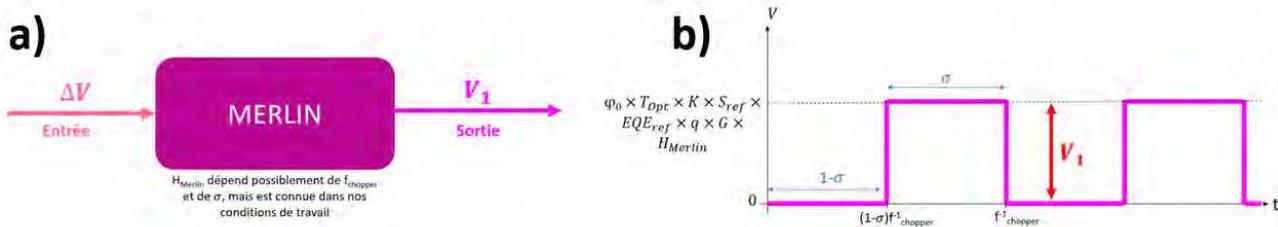
Pour convertir le courant en tension, nous utilisons un amplificateur transimpédance de gain G (de l'ordre de 1×10^6 V/A). Dans cette évolution de tension, le paramètre qui nous intéresse est l'amplitude crête à crête du créneau noté ΔV :



Forme de la tension en sortie de l'amplificateur transimpédance

$$\Delta V = \varphi_0 \cdot T_{Opt} \cdot K \cdot S_{ref} \cdot EQE_{ref} \cdot q \cdot G$$

Afin de quantifier cette entité ΔV , nous utilisons un amplificateur à verrouillage de phase (appelé "Merlin") qui permet de réaliser des mesures dites synchrones avec le hacheur optique. Ce dernier possède une certaine fonction de transfert H_{Merlin} . Ainsi, en sortie du dispositif nous obtenons une tension V_1 qui est l'image de ΔV et du rapport cyclique par le Merlin :

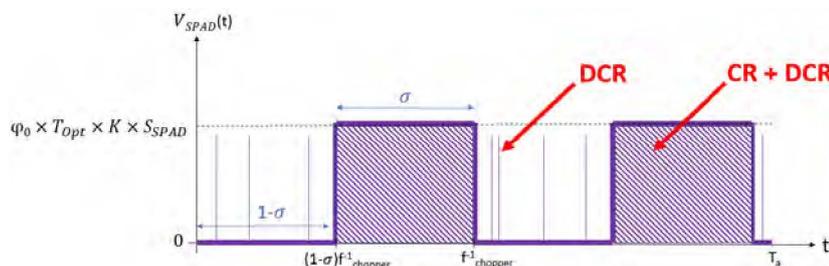


a) Système du Merlin lors de la réalisation des mesures de PDP, et b) Forme de la tension en sortie du Merlin

$$V_1 = \varphi_0 \cdot T_{Opt} \cdot K \cdot S_{ref} \cdot EQE_{ref} \cdot q \cdot G \cdot H_{Merlin}$$

$$\Rightarrow \varphi_0 \cdot T_{Opt} \cdot K = \frac{V_1}{S_{ref} \cdot EQE_{ref} \cdot q \cdot G \cdot H_{Merlin}} = \frac{\Delta V}{S_{ref} \cdot EQE_{ref} \cdot q \cdot G}$$

Sur l'autre sortie de la sphère intégrante, la SPAD insérée dans la carte de lecture est connectée à l'oscilloscope (Teledyne Lecroy HD4096) réglé selon une certaine base de temps proportionnelle à la période du hacheur optique afin d'avoir un nombre entier de périodes (durée d'acquisition notée T_a). Le signal de sortie est une tension variant avec le temps notée V_{SPAD} . Sur ce signal, nous retrouvons des pulses qui traduisent l'apparition d'avalanches. Quand le *chopper* est ouvert, la lumière arrive jusqu'à la cellule, et les événements d'avalanche sont très fréquents (les avalanches photogénérées s'ajoutent au DCR) comme cela est illustré sur la Figure ci-dessous. À l'inverse quand le *chopper* est fermé, les *pulses* mesurés sont peu nombreux et correspondent au DCR uniquement.



Tension en sortie de la SPAD

Afin d'estimer la PDP, nous utilisons alors une fonction de comptage pour remonter au nombre d'avalanches déclenchées sous lumière que nous nommerons N_{ph} (le comptage sous obscurité sera nommé N_{dark}). Ensuite, si nous prenons n pour le nombre de périodes sur la fenêtre d'acquisition, nous avons une durée d'acquisition T_a telle que :

$$T_a = n \cdot f_{chopper}^{-1}$$

Nous pouvons alors exprimer N_{ph} en fonction de la PDP en accord avec la formule suivante :

$$N_{ph} = \varphi_0 \cdot T_{Opt} \cdot K \cdot S_{SPAD} \cdot \sigma \cdot n \cdot f_{chopper}^{-1} \cdot PDP + N_{dark}$$

$$\Rightarrow PDP = \frac{N_{ph} - N_{dark}}{\varphi_0 \cdot T_{Opt} \cdot K \cdot S_{SPAD} \cdot \sigma \cdot n \cdot f_{chopper}^{-1}}$$

En injectant l'expression de $\varphi_0 \cdot T_{Opt} \cdot K$ vu précédemment, nous obtenons :

$$\Rightarrow PDP = \frac{(N_{ph} - N_{dark}) \cdot H_{Merlin} \cdot S_{ref} \cdot EQE_{ref} \cdot q \cdot G}{S_{SPAD} \cdot \sigma \cdot n \cdot f_{chopper}^{-1} \cdot V_1}$$

$$\Rightarrow PDP = \boxed{\frac{N_{ph} - N_{dark}}{\sigma \cdot T_a}} \cdot \boxed{\frac{q \cdot EQE_{ref} \cdot G \cdot H_{Merlin}}{V_1}} \cdot \boxed{\frac{S_{ref}}{S_{SPAD}}}$$

avec en rouge les paramètres dépendant de la mesure sur la SPAD, en vert ceux fonction de la mesure sur la photodiode de référence, et en bleu la correction géométrique.

Table des figures

1.1	Détails d'une SPAD : en a) structure d'une jonction PN [11] et en b) Caractéristique $I(V)$ avec visualisation du mode Geiger (adapté de [12])	12
1.2	Exemples de différents types de circuit d'étouffement : en a) passif [5] et en b) actif [6]	13
1.3	Cycle de fonctionnement d'une SPAD en mode Geiger (adapté de [11])	13
1.4	Exemple de caractéristiques $I(V)$ en fonction du diamètre de la cellule (adapté de [17])	14
1.5	Oscillogramme utilisé pour estimer le DCR	15
1.6	Exemple de mesures DCR en fonction de V_{ex} et de la température [23]	15
1.7	Illustration schématique de l'afterpulsing [14]	15
1.8	Mécanisme de piégeage/dépiégeage des charges par les défauts présents dans la bande interdite (adapté de [3])	16
1.9	Exemple de mesures de la probabilité d'afterpulsing sur une SPAD silicium de diamètre $200\mu\text{m}$ [26]	16
1.10	a) Schéma de principe de la mesure de PDP avec utilisation d'une sphère intégrante [42], et b) Exemple de mesures de PDP sur une SPAD CMOS 180 nm de diamètre $12\mu\text{m}$ [16]	17
1.11	Exemple d'une structure SACM avec utilisation de germanium et de silicium [77]	18
1.12	Exemple de mesure du <i>jitter</i> pour une SPAD en technologie CMOS 65 nm de diamètre $20\mu\text{m}$ [83]	18
1.13	Exemple de structure SPAD avec utilisation d'un anneau de garde constitué par une zone plus faiblement dopée (adapté de [84])	19
1.14	a) Principe de l'utilisation de micro-lentilles et b) Mesures de PDP sur une SPAD en technologie CMOS 40 nm avec et sans micro-lentilles [13]	19
1.15	Schéma du <i>crossstalk</i> optique entre deux SPAD [90]	20
1.16	Schéma du principe d'intégration dans les imageurs en a) des DTI, en b) des CDTI (adapté de [95]), et en c) Vue en coupe d'une structure SPAD intégrant des CDTI [92]	20
1.17	a) Exemple de configuration expérimentale pour les mesures TCSPC [110], et b) Images FLIM obtenues par mesures TCSPC [105]	21
1.18	a) Schéma du principe de mesures du temps de vol [111] et b) exemple de produit commercial intégrant cette fonction [120]	22
1.19	Évolution de la résolution temporelle théorique du capteur en fonction de la distance objet/détecteur dans le cadre de l'application ToF	22
1.20	Schéma du principe d'acquisition d'images de la tomographie par émission de positons [123]	23
1.21	Schéma en coupe de SPAD en technologie CMOS en a) 40 nm [13], en b) 65 nm [121], et en c) 150 nm [14]	24
1.22	Vue <i>layout</i> de structures SPAD en technologie CMOS 40 nm avec visualisation de l'électronique de lecture et d'étouffement [13]	24
1.23	Schéma des approches d'assemblage 3D en fonction du mode d'illumination choisi : en a) FSI et en b) BSI (adapté de [130])	25
1.24	Schéma en coupe de SPAD en assemblage 3D en a) CMOS 130 nm/CMOS 130 nm [129], et en b) CIS 45 nm/CMOS 65 nm [40]	25
1.25	Schéma en coupe de SPAD conçues en a) avec le procédé standard et en b) avec focalisation des charges (adapté de [131])	26
1.26	a) Schéma en coupe de SPAD en technologie CMOS SOI 140 nm, et b) Mesures de PDP réalisées sur cette même structure [34]	27
1.27	a) Schéma en coupe d'une SPAD conçue en InGaAs/InP avec b) la mesure de PDE associée [122], et c) schéma en coupe d'une SPAD conçue avec du Ge [99]	28
2.1	Evolution Technologie pour la fabrication des transistors (adapté de [139])	32

2.2	Structure SOI (adapté de [140])	32
2.3	Structure FD-SOI [148]	33
2.4	Schéma des types de transistors en FD-SOI (adapté de [147])	33
2.5	Isolement du PW par utilisation d'un caisson DNW [139]	33
2.6	$V_{th}(V_{bb})$ pour différentes configurations de transistors en technologie CMOS FD-SOI (adapté de [147])	34
2.7	Schéma en coupe d'une structure SPAD FD-SOI avec éclairage en face arrière [153]	34
2.8	Schéma de la SPAD intégrée en technologie CMOS FD-SOI avec visualisation des courbes de dopage en fonction de X et Y (adaptée de [155])	35
2.9	Circuit de sensing utilisé sur une SPAD FD-SOI avec en a) dessin physique, en b) schéma électronique, et en c) correspondance des pulses enregistrés sur l'oscilloscope (adapté de [157] et [153])	36
2.10	Frise chronologique des travaux SPAD FD-SOI réalisés à l'INL	36
2.11	Schéma des modèles de recombinaison/génération dans la ZCE en a) SRH et en b) B2B (adapté de [174])	40
2.12	Diagramme de bandes d'une jonction PN avec le détail du processus d'ionisation par impact (adapté de [163])	40
2.13	Courbes $I(V)$ obtenues avec une simulation Resistor	44
2.14	Courbes $\phi(V)$ obtenues avec une simulation ABA	46
2.15	Schéma simplifié du design d'une cellule SPAD FD-SOI sur Cadence	47
2.16	Vue top d'une structure pseudo-circulaire de diamètre $25\mu\text{m}$	47
2.17	Vue <i>layout</i> en a) des tranchées STI présentes entre les rectangles de RX fillopc et b) du STI présent entre les couches RX fillopc et BFMOAT	48
2.18	Correspondance vue physique / coupe de la structure SPAD FD-SOI [155]	49
2.19	Détails des couches métalliques de la technologie CMOS FD-SOI. À gauche, détails de la superposition [185]. À droite, vues physiques de chacun des niveaux sur la structure pseudo-circulaire	49
2.20	Photo au microscope des cellules connectées au PADRING (numérotées de 1 à 6)	50
2.21	Photo au microscope des cellules pour les mesures sous pointes (référencées de A à F)	50
2.22	Photo au microscope des structures matricielles 3x3 de SPAD	50
2.23	En a) vue physique et en b) photo d'un circuit intégré conçu et fabriqué en technologie CMOS FD-SOI 28 nm (ici <i>test-chip</i> 4, TC4)	51
2.24	Vue <i>layout</i> des <i>test-chips</i> 1 et 2	52
2.25	a) Photos de circuits intégrés a) nus collés sur une plaque en aluminium, et b) encapsulé	52
2.26	Exemple d'une carte de circuit imprimé avec en a) vue top et en b) schéma électronique associé	53
2.27	Photos en a) de la station sous pointes, en b) de pointes posées sur une puce	53
2.28	Photo du banc de mesure sous pointes	54
2.29	Schéma de principe de comptage du DCR avec en a) mesures en tension et en b) mesures en courant	54
2.30	Photos en a) montage de la mesure DCR et en b) enceinte cryogénique	55
2.31	Photo du montage pour la cartographie d'électroluminescence	56
2.32	Montage de la mesure PDP	56
2.33	Photos du montage expérimental pour déterminer le <i>jitter</i>	57
3.1	Schéma et dessin physique de la structure SPAD "FD-SOI"	60
3.2	Schéma et dessin physique de la structure SPAD "STI"	60
3.3	Schéma et dessin physique de la structure SPAD "NOSO"	61
3.4	Vue en coupe de la technologie CMOS FD-SOI 28 nm avec identification des différentes zones (adaptée de [148])	61
3.5	Géométrie des SPAD en technologie FD-SOI en a) carrée, en b) octogonale et en c) pseudo-circulaire	62
3.6	Structures avec diamètre 25 et $50\mu\text{m}$ sur les géométries pseudo-circulaire et octogonale	62
3.7	Schéma électronique de la matrice de SPAD 3x3	63
3.8	Configurations possibles de la matrice de SPAD 3x3 (en rouge les cellules activées)	63
3.9	Structure du décodeur 3 bits	63
3.10	Dessin physique du décodeur 3 bits	64
3.11	Structure de la matrice avec en a) configuration géométrique et b) dessin physique associé	64
3.12	Caractéristiques statiques $I(V)$ pour les structures SPAD pseudo-circulaire FD-SOI, STI et NOSO de diamètre $50\mu\text{m}$ (température ambiante)	65
3.13	En a) Caractéristiques $I(V)$ pour la structure pseudo-circulaire FD-SOI de diamètre $50\mu\text{m}$ à température variable, et en b) courbe d'Arrhénius à une polarisation inverse de 8 V	66

3.14	Évolution de la tension de claquage en fonction de la température pour les structures SPAD FD-SOI en a) et STI en b)	66
3.15	Comparaison des caractéristiques $I(V)$ des deux jonctions pour une structure FD-SOI pseudo-circulaire de diamètre $50\mu\text{m}$ (température ambiante)	67
3.16	Comparaison des caractéristiques $I(V)$ des deux jonctions pour les structures FD-SOI, STI et NOSO pseudo-circulaires de diamètre $50\mu\text{m}$ (température ambiante)	67
3.17	Comparaison des caractéristiques $I(V)$ de la seconde jonction DNW/Substrat(P-) pour les structures FD-SOI octogonale et pseudo-circulaire de diamètre $25\mu\text{m}$ (température ambiante)	68
3.18	Étude des caractéristiques $C(V)$ pour une structure SPAD FD-SOI en fonction de la géométrie et du diamètre avec en a) capacité mesurée en fonction de la tension et en b) capacité normalisée par la surface en fonction de la tension (température ambiante et $f = 100\text{ kHz}$)	69
3.19	Caractéristiques $C(V)$ de cellules pseudo-circulaires selon les deux valeurs de diamètre avec en a) capacité mesurée en fonction de la tension et en b) capacité normalisée par la surface en fonction de la tension (température ambiante et $f = 100\text{ kHz}$)	69
3.20	Comparaison du DCR des SPAD FD-SOI et STI pour structure pseudo-circulaire de diamètre $25\mu\text{m}$ (température ambiante)	70
3.21	Chronogrammes obtenus pour des mesures de DCR sur cellule SPAD FD-SOI de diamètre $25\mu\text{m}$ avec en a) sonde passive et en b) amplificateur transimpédance (température ambiante et $V_{ex} \sim 0.2\text{ V}$)	71
3.22	Dessin physique d'une cellule FD-SOI pseudo-circulaire de diamètre $25\mu\text{m}$ avec résistance de quench interne	71
3.23	Mesure du DCR de la SPAD FD-SOI pour structure pseudo-circulaire de diamètre $25\mu\text{m}$ avec utilisation de l'amplificateur transimpédance (température ambiante)	71
3.24	Mesure du DCR de la SPAD FD-SOI pour structure pseudo-circulaire de diamètre $25\mu\text{m}$ avec utilisation de l'amplificateur transimpédance et variation de la température	72
3.25	Mesure du DCR de la SPAD FD-SOI pour structure pseudo-circulaire de diamètre $25\mu\text{m}$ avec utilisation de l'amplificateur transimpédance : en a) pour $T \leq 10^\circ\text{C}$ et en b) $T > 10^\circ\text{C}$	72
3.26	Etude du DCR pour la structure SPAD FD-SOI standard de diamètre $25\mu\text{m}$: en a) Courbes d'Arrhénius et en b) DCR en fonction de la température pour $V_{ex} = 0.5\text{ V}$	73
3.27	Cartographies d'électroluminescence de SPAD FD-SOI de diamètre $25\mu\text{m}$ à $V_{ex} \sim 0.3\text{ V}$: en a) carrée, en b) octogonale et en c) pseudo-circulaire (température ambiante)	73
3.28	Cartographies d'électroluminescence de SPAD STI pseudo-circulaire de diamètre $25\mu\text{m}$ en fonction de la tension d'excès (température ambiante)	74
3.29	Correspondance entre cartographies d'électroluminescence, zone de claquage prépondérante, et répartition du champ électrique dans la ZCE à $V_{ex} = 1\text{ V}$: en a) structure SPAD FD-SOI et en b) structure SPAD STI	74
3.30	Cartographies d'électroluminescence pour les différentes configurations de la matrice ($V_{ex} = 0.5\text{ V}$)	75
3.31	Mesures DCR à température ambiante pour les différentes configurations de la matrice 3×3	75
3.32	Étape 1 de la conception en simulation de la structure de la SPAD FD-SOI : en a) création du substrat et en b) gravure du silicium pour les zones STI	76
3.33	Étape 2 de la conception en simulation de la structure de la SPAD FD-SOI avec mise en place des STI, des BOX, du film Silicium et de la couche <i>Screen Oxide</i>	76
3.34	Étape 3 de la conception en simulation de la structure de la SPAD FD-SOI : avec en a) mise en place des implantations ioniques et en b) structure après recuit	77
3.35	Étape 4 de la conception en simulation de la structure de la SPAD FD-SOI avec contacts et mise en place du maillage	77
3.36	Courbes $V_{BD}(T)$ simulées en fonction du modèle d'avalanche choisi	78
3.37	Courbes $V_{BD}(T)$ simulées en fonction du modèle d'avalanche choisi avec activation de <i>Bandgap-Dependence</i>	79
3.38	Comparaison entre les courbes $I(V)$ mesurée et simulée	79
3.39	Comparaison entre les courbes $I(V)$ mesurée et simulées selon plusieurs valeurs de durée de vie des porteurs dans le modèle SRH	80
4.1	Mesures sur la cellule SPAD FD-SOI standard à température ambiante : en a) $I(V)$ et en b) $\text{DCR}(V_{ex})$ mesuré avec un amplificateur transimpédance	84
4.2	Étude du champ électrique sur la structure DNW standard : en a) cartographie et en b) coupe au milieu de la ZCE ($V_{ex} = 1\text{ V}$)	84
4.3	Schéma des structures développées par S. Parent sur le caisson N (adapté de [194])	85

4.4	Schéma des structures FD-SOI avec en a) DNW standard et en b) DNW en damier	86
4.5	Description TCAD pour l'implantation du caisson DNW dans la structure a) standard et b) en damier	86
4.6	Schéma de la structure DNW en damier avant recuit avec identification des paramètres D et a	86
4.7	Cartographie TCAD des niveaux de dopage d'une structure FD-SOI avec structuration du caisson DNW pour D supérieur à la limite et a inférieure à sa valeur minimale mais proche de cette dernière	87
4.8	Cartographie TCAD des niveaux de dopage d'une structure FD-SOI avec structuration du caisson DNW pour D élevé et a inférieure à sa valeur minimale	87
4.9	Cartographie TCAD des niveaux de dopage d'une structure FD-SOI avec structuration du caisson DNW pour D et a inférieurs à leurs valeurs minimales	87
4.10	Cartographies 2D du niveau de dopage pour la structure a) de référence et b) avec caisson DNW en damier, et profil des niveaux de dopage c) selon la Coupe 1 et d) selon la Coupe 2	88
4.11	Etude TCAD du caisson DNW en damier : en a) Caractéristiques $I(V)$, en b) Taux de B2B selon une coupe verticale, et en c) Coupe horizontale du champ électrique ($V_{ex} = 10\%$ de V_{BD})	89
4.12	Dessin physique de la couche $T3$ avec une structuration de $0.5\mu\text{m}$ par $0.4\mu\text{m}$	89
4.13	Vue physique du <i>test-chip</i> 3	90
4.14	Caractéristiques $I(V)$ de cellule FD-SOI octogonale de diamètre $25\mu\text{m}$ pour le DNW standard et en damier (température ambiante)	90
4.15	Cartographies d'électroluminescence de la SPAD FD-SOI avec DNW en damier sur une structure octogonale de diamètre $25\mu\text{m}$ (température ambiante)	91
4.16	Caractéristiques $I(V)$ de la jonction DNW/Substrat de la cellule FD-SOI octogonale de diamètre $25\mu\text{m}$ pour le DNW standard et en damier (température ambiante)	91
4.17	Schéma des structures SPAD FD-SOI avec en a) un caisson DNW standard et en b) modifié	92
4.18	Niveaux de dopage pour des structures a) DNW standard, b) DNW modifié, et c) profil de dopage sur une coupe verticale	93
4.19	a) Caractéristiques $I(V)$ simulées avec le modèle d'ionisation par impact activé, et b) Évolution des intégrales d'ionisations en fonction de la tension inverse (étude ABA)	93
4.20	Cartographie du champ électrique pour a) le DNW standard, b) le DNW modifié, et c) Profil du champ sur une coupe horizontale milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})	94
4.21	a) Évolution du taux de générations/recombinaisons B2B dans la ZCE pour une coupe verticale ($V_{ex} = 10\%$ de V_{BD}), b) Caractéristiques $I(V)$ simulées avec le modèle ionisation par impact activé ou non	95
4.22	Caractéristiques $I(V)$ mesurées sur des cellules FD-SOI pseudo-circulaires de diamètre $50\mu\text{m}$ avec les deux versions DNW (température ambiante)	95
4.23	Étude en température de la cellule FD-SOI avec DNW modifié : en a) caractéristiques $I(V)$ et en b) $V_{BD}(T)$ ($50\mu\text{m}$ de diamètre)	96
4.24	Caractéristiques $I(V)$ de la jonction DNW/Substrat pour les structures SPAD FD-SOI pseudo-circulaires de diamètre $50\mu\text{m}$ avec les deux versions DNW (température ambiante)	96
4.25	Comparaison des mesures de DCR sur les deux versions DNW pour des structures pseudo-circulaires de diamètre $25\mu\text{m}$ (température ambiante)	97
4.26	Mesures du DCR de la SPAD FD-SOI avec DNW modifié pour une structure pseudo-circulaire de diamètre $25\mu\text{m}$ en utilisant l'amplificateur transimpédance (température ambiante)	97
4.27	Mesures du DCR de la SPAD FD-SOI pour la structure pseudo-circulaire de diamètre $25\mu\text{m}$ avec utilisation de l'amplificateur transimpédance et variation de la température : en a) DNW standard et en b) DNW modifié	98
4.28	Mesures du DCR de la SPAD FD-SOI avec utilisation de l'amplificateur transimpédance et variation de la température pour les deux versions du DNW en utilisant une échelle relative (pseudo-circulaire de diamètre $25\mu\text{m}$)	98
4.29	Etude du DCR pour la structure SPAD FD-SOI de diamètre $25\mu\text{m}$: en a) Courbes d'Arrhénius pour le DNW standard, en b) Courbes d'Arrhénius pour le DNW modifié, et en c) DCR(T)	99
4.30	Cartographies d'électroluminescence de SPAD FD-SOI avec DNW modifié sur une structure pseudo-circulaire de diamètre $25\mu\text{m}$ (température ambiante)	100
4.31	Mesures du DCR de la SPAD FD-SOI pseudo-circulaire de diamètre $25\mu\text{m}$ avec modification du caisson DNW pour la cellule isolée et la cellule centrale de la matrice 3x3 (température ambiante)	100
4.32	a) Configurations possibles de la matrice 3x3 et Mesures du DCR sur matrice b) du DNW standard et c) du DNW modifié (température ambiante)	101
4.33	Dessin physique de la matrice SPAD FD-SOI 3x3 avec visualisation des lignes de métal $M1$ et des prises de contact sur le caisson DNW	101

4.34	Vue <i>layout</i> des <i>test-chips</i> 1, 2 et 3	103
5.1	Cartographie d'électroluminescence d'une SPAD pseudo-circulaire de diamètre $25\mu\text{m}$ avec le DNW standard en a) pour $V_{ex} = 0.3\text{ V}$ et en b) pour $V_{ex} = 1.0\text{ V}$	106
5.2	Simulations TCAD de la structure SPAD FD-SOI de référence (pseudo-circulaire de diamètre $25\mu\text{m}$) avec en a) cartographie de l'ATP, en b) coupe horizontale de l'ATP au milieu de la ZCE, en c) cartographie du champ électrique, et en d) coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 2\text{ V}$)	106
5.3	Schéma de SPAD avec les structures en a) de référence, en b) STI aligné, et en c) Report STI important	107
5.4	Cartographie des dopages sur la structure FD-SOI de référence avec localisation des défauts aux interfaces STI (la zone rouge subit la double-implantation PW et DNW)	107
5.5	Schéma des structures avec report STI et définition des défauts par l'option des régions (Modèle 1)	109
5.6	Schéma des structures avec report STI et définition des défauts par l'activation des recombinaisons de surface (Modèle 2)	109
5.7	Schéma des structures avec report STI et définition des défauts par l'option des régions (Modèle 3)	110
5.8	Caractéristiques $I(V)$ simulées pour chaque structure avec en a) Modèle 1 : <i>RegionInterface</i> , en b) Modèle 2 : <i>SurfaceRecombination</i> et en c) Modèle 3 : <i>RegionInterface</i> et gradient de concentration des défauts	110
5.9	Simulations <i>SDEVICE</i> avec le Modèle 3 : en a) Coupe horizontale du champ électrique au milieu de la ZCE, en b) Zoom sur le champ électrique des bords de la zone active, et en c) même zoom mais pour l'ATP ($V_{ex} = 2\text{ V}$)	111
5.10	Dessins physiques des structures FD-SOI pseudo-circulaires de diamètre $25\mu\text{m}$ avec en a) la référence, en b) STI aligné et en c) Report STI de $2\mu\text{m}$	112
5.11	Cartographies d'électroluminescence sur cellule octogonale FD-SOI de diamètre $25\mu\text{m}$: en a) structure de référence et en b) "STI aligné" (Température ambiante)	112
5.12	Mesures de DCR sur cellule octogonale FD-SOI de diamètre $25\mu\text{m}$: en a) structure de référence et en b) "STI aligné" (avec $R_Q = 200\text{ k}\Omega$)	113
5.13	Caractéristiques $I(V)$ sur les cellules octogonales FD-SOI de référence et "STI aligné" avec en a) $T = 20^\circ\text{C}$, en b) $T = 30^\circ\text{C}$, et en c) $T = 50^\circ\text{C}$ (diamètre = $25\mu\text{m}$)	113
5.14	Caractéristiques $I(V)$ sur les cellules pseudo-circulaires de diamètre $50\mu\text{m}$ selon les différentes configurations de report STI (température ambiante)	114
5.15	Cartographie des dopages sur la structure FD-SOI avec report STI de $2\mu\text{m}$ et zoom sur la zone d'interface BOX/DNW rétrograde	115
5.16	Dessin physique d'une cellule pseudo-circulaire de $25\mu\text{m}$ avec zoom sur la zone d'alignement du STI	115
5.17	Schémas des structures avec report STI et définition des défauts selon la description <i>RegionInterface</i> avec en a) la référence, en b) le report STI de $2\mu\text{m}$, et en c) le même report STI mais avec ajout de défauts à l'interface BOX/DNW rétrograde	115
5.18	Caractéristiques $I(V)$ simulées pour l'étude sur l'incorporation de défauts à l'interface BOX/DNW rétrograde	116
5.19	a) Coupe verticale du niveau de dopages sous une zone BOX et film de silicium en fonction des implantations du caisson PW, et Simulations <i>SDEVICE</i> sur la structure de référence et sur une structure ne présentant que les implantations 2,3 et 4 du caisson PW : en b) $I(V)$ en c) ABA, et en d) coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})	117
5.20	Caractéristiques $I(V)$ simulées pour la structure de référence et sur une structure ne présentant que les implantations 2,3 et 4 du caisson PW, avec incorporation de défauts à l'interface STI périphérique	118
5.21	Simulations <i>SDEVICE</i> sur la structure de référence et sur une structure sans la première implantation du caisson PW avec modification du caisson DNW : en a) $I(V)$ en b) coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})	118
5.22	Simulations sur l'étude A avec variation de la dose de la première implantation du PW : en a) Coupe verticale du profil de dopage, en b) Caractéristiques $I(V)$, et en c) Coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})	119
5.23	Simulations des niveaux de dopage sur l'étude B avec augmentation de l'énergie de la première implantation du PW : en a) Coupe verticale, en b) Cartographie de la structure obtenue avec l'Énergie 4	120

5.24 Simulations sur l'étude B avec augmentation de l'énergie de la première implantation du PW : en a) Caractéristiques $I(V)$, et en b) Coupe horizontale du champ électrique dans la ZCE ($V_{ex} = 10\%$ de V_{BD})	120
5.25 Simulations sur l'étude croisée avec diminution de la dose et augmentation de l'énergie de la première implantation du PW : en a) Coupe verticale du profil de dopage, en b) Caractéristiques $I(V)$, et en c) Coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 10\%$ de V_{BD})	121
5.26 Simulations sur l'étude B avec augmentation de l'énergie de la première implantation du PW ainsi que la modification du caisson DNW : en a) Coupe verticale du profil de dopage ($X = 6.0\mu\text{m}$), en b) Caractéristiques $I(V)$, et en c) Coupe horizontale du champ électrique dans la ZCE ($V_{ex} = 10\%$ de V_{BD})	122
5.27 Structures SPAD de la littérature utilisant un anneau de garde constitué d'un caisson moins dopé avec en a) technologie CMOS 350 nm [18], [19], en b) technologie CMOS 500 nm [84], en c) technologie CMOS 65 nm [83]	123
5.28 Schéma de la structure SPAD FD-SOI utilisant un caisson DNW à deux niveaux de dopage	123
5.29 Cartographies des niveaux de dopage avec en a) structure FD-SOI standard et en b) structure FD-SOI utilisant un caisson DNW à deux niveaux de dopage	124
5.30 Simulations sur l'étude d'une structure avec un caisson DNW à deux niveaux de dopage : en a) Caractéristiques $I(V)$ et en b) Intégrales d'ionisations	124
5.31 Coupe horizontale à $V_{ex} = 2\text{ V}$ au milieu de la ZCE sur l'étude d'une structure avec un caisson DNW à deux niveaux de dopage : en a) Champ électrique b) ATP	125
5.32 Vue <i>layout</i> des <i>test-chips</i> 1, 2, 3, 4 et 5	126
6.1 Schéma du principe de fonctionnement des simulations transitoires	128
6.2 Structure de la SPAD FD-SOI en sortie du bloc de simulations <i>SPROCESS</i>	128
6.3 Structure de la SPAD FD-SOI lors de l'utilisation du mode mixte pour les simulations transitoires	129
6.4 Courbe de l'intensité lumineuse en fonction du temps dans le cadre des simulations transitoires	129
6.5 Exemples de courbes pour l'étude en simulations transitoires avec en a) courbes $i(t)$ obtenues pour une structure SPAD en silicium [206], [207], et en b) Cycle d'étouffement simulé sur une structure SPAD en technologie CMOS 40 nm [205]	129
6.6 $i(t)$ sur la structure de référence avec a) mise en place d'un retard de la stimulation optique, b) différentes tensions de polarisation inverse appliquées	130
6.7 $i(t)$ sur la structure de référence selon différentes résistances d'étouffement [208]	131
6.8 Cycle d'avalanche/étouffement de la structure de référence ($V_{BD} = 9.50\text{ V}$) avec $R_Q = 200\text{ k}\Omega$ [208]	131
6.9 Cartographie de courant d'électrons avec en i) pendant l'avalanche, et en ii) quelques nanosecondes après l'avalanche [208]	132
6.10 Vue schématique des variantes de la structure simulées pour l'étude transitoire avec en a) la référence, en b) Large Anode, en c) NOSO, et en d) SOI unique (sans tranchée STI)	132
6.11 $i(t)$ simulées sur les structures : référence, Large Anode, NOSO et SOI unique ($R_Q = 200\text{ k}\Omega$)	133
6.12 Comparaison des structures de référence et SOI unique avec en a) Caractéristiques $I(V)$ et en b) Coupe horizontale du champ électrique au milieu de la ZCE ($V_{ex} = 1\text{ V}$) [208]	134
6.13 Comparaison des cycles d'avalanche/étouffement pour les structures de référence et SOI unique sans tranchée STI ($R_Q = 200\text{ k}\Omega$) [208]	134
6.14 Comparaison des courbes $i(t)$ et $v_{anode}(t)$ pour les structures de référence et SOI unique ($R_Q = 200\text{ k}\Omega$) [208]	135
6.15 Zoom sur la conception de l'empilement BOX + film de silicium sur en a) structure de référence et en b) SOI unique (les espaces remplis de STI entre les zones actives sont supprimés)	135
6.16 Dessin physique du <i>test-chip</i> 6	136
6.17 Mesures de DCR avec l'amplificateur transimpédance sur une cellule octogonale FD-SOI de diamètre $25\mu\text{m}$ selon plusieurs configurations : en a) caisson DNW standard et en b) caisson DNW modifié (température ambiante)	136
6.18 Schéma de principe de la mesure pour estimation du <i>jitter</i>	137
6.19 Mesures de <i>jitter</i> sur la SPAD de référence à température ambiante	138
6.20 Mesures de <i>jitter</i> sur la SPAD FD-SOI à température ambiante ($V_{ex} = 0.3\text{ V}$)	139
6.21 Tension en sortie de la SPAD	139
6.22 Mesure de PDP préliminaire sur SPAD FD-SOI avec caisson DNW modifié (sphère intégrante, à température ambiante et $V_{ex} = 1\text{ V}$ soit 6% de V_{BD})	140
6.23 Schéma du principe de détermination de la $PDP_{FD\text{-}SOI}$ en incidence normale	141

6.24 Mesures relatives de PDP préliminaires sur SPAD FD-SOI avec les deux versions du DNW (incidence normale, à température ambiante et pour $V_{ex} = 6\%$ de V_{BD})	142
6.25 Vue <i>layout</i> des <i>test-chips</i> 1, 2, 3, 4, 5 et 6	143

Liste des tableaux

1.1	Paramètres caractéristiques des SPAD conçues en technologie CMOS	24
1.2	Paramètres caractéristiques des SPAD conçues en assemblage 3D	26
1.3	Paramètres caractéristiques de la SPAD avec focalisation des charges	27
1.4	Paramètres caractéristiques des SPAD conçues en technologie CMOS SOI	27
1.5	Paramètres caractéristiques des SPAD conçues avec d'autres matériaux que le silicium	28
2.1	Liste des paramètres du modèle de transport des charges	37
2.2	Liste des paramètres du modèle de recombinaisons SRH	39
2.3	Liste des coefficients du modèle de Liou [160]	40
2.4	Liste des paramètres des modèles d'ionisation	41
2.5	Liste des paramètres du modèle de Van Overstraeten [160]	41
2.6	Liste des paramètres du modèle d'Okuto-Crowell [160]	42
2.7	Liste des paramètres du modèle de Lackner [160]	42
2.8	Liste des paramètres du modèle de UniBo [160]	43
2.9	Liste de quelques couches utilisées sur Cadence Virtuoso	46
2.10	Tableau des caractéristiques principales des <i>test-chips</i> 1 et 2	51
2.11	Bilan des mesures et des circuits intégrés associés	57
3.1	Récapitulatif des structures SPAD	61
3.2	Évolution des distances dans la structure matricielle	64
3.3	Pentes des courbes $V_{BD}(T)$ en fonction du modèle choisi en simulations	78
3.4	Pentes des courbes $V_{BD}(T)$ en fonction du modèle choisi en simulations avec <i>BandgapDependence</i>	79
3.5	Configurations choisies pour l'optimisation de la durée de vie	80
4.1	Variation des tensions de claquage obtenues dans l'étude de S. Parent avec $FF = 1 - \frac{\alpha^2}{2P^2}$ (adapté de [194])	85
4.2	Règles de dessin à respecter dans le cadre de l'étude du caisson DNW en damier	86
4.3	Paramètres d'étude des simulations du caisson DNW en damier avec violation de deux règles de conception	88
4.4	Modifications des conditions d'implantation du caisson DNW (suite à une étude paramétrique)	92
4.5	Comparaison des résultats obtenus entre les deux versions du DNW	102
4.6	Tableau des caractéristiques principales des <i>test-chips</i> 1, 2, 2DNW et 3	102
5.1	Paramètres de simulations des défauts avec l'option <i>RegionInterface</i>	108
5.2	Tableau des structures et configurations réalisées pour l'étude sur l'incorporation de défauts à l'interface BOX /DNW rétrograde	116
5.3	Tableau des structures et configurations réalisées pour l'étude sur l'incorporation de défauts à l'interface BOX /DNW rétrograde	121
5.4	Tableau des caractéristiques principales des <i>test-chips</i> 1, 2, 2DNW, 3, 4, 4DNW, 5 et 5DNW	126
6.1	Tableau des paramètres utilisés pour les estimations de <i>jitter</i>	138
6.2	Tableau des caractéristiques principales des <i>test-chips</i> 1, 2, 2DNW, 3, 4, 4DNW, 5, 5DNW, 6 et 6DNW	143

Références

- [1] G.-F. DALLA, L. PANCHERI, D. STOPPA, R. HENDERSON et J. RICHARDSON, « Avalanche Photodiodes in Submicron CMOS Technologies for High-Sensitivity Imaging, » in *Advances in Photodiodes*, InTech, mars 2011. DOI : [10.5772/15178](https://doi.org/10.5772/15178).
- [2] E. CHARBON, M. FISHBURN, R. WALKER, R. K. HENDERSON et C. NICLASS, « SPAD-based sensors, » in *TOF range-imaging cameras*, Springer, 2013, p. 11-38. DOI : [10.1007/978-3-642-27523-4_2](https://doi.org/10.1007/978-3-642-27523-4_2).
- [3] S. COVA, M. GHIONI, M. A. ITZLER, J. C. BIENFANG et A. RESTELLI, « Semiconductor-based detectors, » in *Experimental Methods in the Physical Sciences*, t. 45, Elsevier, 2013, p. 83-146. DOI : [10.1016/B978-0-12-387695-9.00004-4](https://doi.org/10.1016/B978-0-12-387695-9.00004-4).
- [4] A. BOISVERT, « Conception d'un circuit d'étouffement pour photodiodes à avalanche en mode Geiger pour intégration hétérogène 3D, » Theses, Université de Sherbrooke, 2014.
- [5] S. TISA, F. ZAPPA, A. TOSI et S. COVA, « Electronics for single photon avalanche diode arrays, » *Sensors and Actuators A : Physical*, t. 140, n° 1, p. 113-122, 2007. DOI : [10.1016/j.sna.2007.06.022](https://doi.org/10.1016/j.sna.2007.06.022).
- [6] S. TISA, F. GUERRIERI et F. ZAPPA, « Variable-Load Quenching Circuit for single-photon avalanche diodes, » *Opt. Express*, t. 16, n° 3, p. 2232-2244, 2008. DOI : [10.1364/OE.16.002232](https://doi.org/10.1364/OE.16.002232).
- [7] L. PANCHERI, A. FICORELLA, P. BROGI, G. COLLAZUOL, G. F. DALLA BETTA, P. S. MARROCCHESI, F. MORSANI, L. RATTI, A. SAVOY-NAVARRO et A. SULAJ, « First Demonstration of a Two-Tier Pixelated Avalanche Sensor for Charged Particle Detection, » *IEEE Journal of the Electron Devices Society*, t. 5, n° 5, p. 404-410, 2017, ISSN : 21686734. DOI : [10.1109/JEDS.2017.2737778](https://doi.org/10.1109/JEDS.2017.2737778).
- [8] L. PANCHERI, P. BROGI, G. COLLAZUOL, G.-F. DALLA BETTA, A. FICORELLA, P. MARROCCHESI, F. MORSANI, L. RATTI et A. SAVOY-NAVARRO, « First prototypes of two-tier avalanche pixel sensors for particle detection, » *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, t. 845, p. 143-146, fév. 2017, ISSN : 01689002. DOI : [10.1016/j.nima.2016.06.094](https://doi.org/10.1016/j.nima.2016.06.094).
- [9] M. M. VIGNETTI, F. CALMON, P. PITTET, G. PARES, R. CELLIER, L. QUIQUEREZ, T. CHAVES DE ALBUQUERQUE, E. BECHETOILLE, E. TESTA, J.-P. P. LOPEZ, D. DAUVERGNE et A. SAVOY-NAVARRO, « 3D Silicon Coincidence Avalanche Detector (3D-SiCAD) for charged particle detection, » *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, t. 881, n° September 2017, p. 53-59, fév. 2018, ISSN : 01689002. DOI : [10.1016/j.nima.2017.10.089](https://doi.org/10.1016/j.nima.2017.10.089).
- [10] L. RATTI, P. BROGI, G. COLLAZUOL, G. F. DALLA BETTA, A. FICORELLA, L. LODOLA, P. S. MARROCCHESI, S. MATTIAZZO, F. MORSANI, M. MUSACCI, L. PANCHERI et C. VACCHI, « Dark Count Rate Degradation in CMOS SPADs Exposed to X-Rays and Neutrons, » *IEEE Transactions on Nuclear Science*, t. 66, n° 2, p. 567-574, 2019. DOI : [10.1109/TNS.2019.2893233](https://doi.org/10.1109/TNS.2019.2893233).
- [11] M. PERENZONI, « Single-Photon Avalanche Diode-Based Detection and Imaging : Bringing the Photodiode Out of Its Comfort Zone, » *IEEE Solid-State Circuits Magazine*, t. 10, n° 3, p. 26-34, 2018. DOI : [10.1109/MSSC.2018.2844602](https://doi.org/10.1109/MSSC.2018.2844602).

- [12] E. CHARBON, H.-J. YOON et Y. MARUYAMA, « A Geiger mode APD fabricated in standard 65nm CMOS technology, » p. 27.5.1-27.5.4, 2013. DOI : [10.1109/IEDM.2013.6724705](https://doi.org/10.1109/IEDM.2013.6724705).
- [13] S. PELLEGRINI, B. RAE, A. PINGAULT, D. GOLANSKI, S. JOUAN, C. LAPEYRE et B. MAMDY, « Industrialised SPAD in 40 nm technology, » p. 16.5.1-16.5.4, 2017. DOI : [10.1109/IEDM.2017.8268404](https://doi.org/10.1109/IEDM.2017.8268404).
- [14] H. XU, L. PANCHERI, G.-F. D. BETTA et D. STOPPA, « Design and characterization of a p+/n-well SPAD array in 150nm CMOS process, » *Opt. Express*, t. 25, n° 11, p. 12 765-12 778, 2017. DOI : [10.1364/OE.25.012765](https://doi.org/10.1364/OE.25.012765).
- [15] C. NICLASS, H. MATSUBARA, M. SOGA, M. OHTA, M. OGAWA et T. YAMASHITA, « A NIR-Sensitivity-Enhanced Single-Photon Avalanche Diode in 0.18 μ m CMOS, » *Int. Image Sensor Workshop (IISW), Vaals, Netherlands*, p. 340-343, 2015.
- [16] C. VEERAPPAN et E. CHARBON, « A Substrate Isolated CMOS SPAD Enabling Wide Spectral Response and Low Electrical Crosstalk, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 299-305, 2014. DOI : [10.1109/JSTQE.2014.2318436](https://doi.org/10.1109/JSTQE.2014.2318436).
- [17] K. JRADI, D. PELLION et D. GINHAC, « Design, Characterization and Analysis of a 0.35 μ m CMOS SPAD, » *Sensors*, t. 14, n° 12, p. 22 773-22 784, 2014, ISSN : 1424-8220. DOI : [10.3390/s141222773](https://doi.org/10.3390/s141222773).
- [18] D. DURINI et F. ZAPPA, « Advances in time-of-flight and time-correlated single-photon-counting devices, » *SPIE*, 2013. DOI : [10.1117/2.1201303.004768](https://doi.org/10.1117/2.1201303.004768).
- [19] D. BRONZI, F. VILLA, S. BELLISAI, B. MARKOVIC, S. TISA, A. TOSI, F. ZAPPA, S. WEYERS, D. DURINI, W. BROCKHERDE et U. PASCHEN, « Low-noise and large-area CMOS SPADs with timing response free from slow tails, » p. 230-233, 2012. DOI : [10.1109/ESSDERC.2012.6343375](https://doi.org/10.1109/ESSDERC.2012.6343375).
- [20] L. PANCHERI et D. STOPPA, « A SPAD-based pixel linear array for high-speed time-gated fluorescence lifetime imaging, » in *2009 Proceedings of ESSCIRC*, 2009, p. 428-431. DOI : [10.1109/ESSCIRC.2009.5325948](https://doi.org/10.1109/ESSCIRC.2009.5325948).
- [21] C. NICLASS, C. FAVI, T. KLUTER, M. GERSBACH et E. CHARBON, « A 128 \times 128 Single-Photon Image Sensor With Column-Level 10-Bit Time-to-Digital Converter Array, » *IEEE Journal of Solid-State Circuits*, t. 43, n° 12, p. 2977-2989, 2008. DOI : [10.1109/JSSC.2008.2006445](https://doi.org/10.1109/JSSC.2008.2006445).
- [22] C. NICLASS, A. ROCHAS, P.-A. BESSE et E. CHARBON, « Design and characterization of a CMOS 3-D image sensor based on single photon avalanche diodes, » *IEEE Journal of Solid-State Circuits*, t. 40, n° 9, p. 1847-1854, 2005. DOI : [10.1109/JSSC.2005.848173](https://doi.org/10.1109/JSSC.2005.848173).
- [23] C. NICLASS, M. SERGIO et E. CHARBON, « A single photon avalanche diode array fabricated in 0.35- μ m CMOS and based on an event-driven readout for TCSPC experiments, » in *Advanced Photon Counting Techniques*, W. BECKER, éd., International Society for Optics et Photonics, t. 6372, SPIE, 2006, p. 212-223. DOI : [10.1117/12.685974](https://doi.org/10.1117/12.685974).
- [24] S. COVA, M. GHIONI, A. LACAITA, C. SAMORI et F. ZAPPA, « Avalanche photodiodes and quenching circuits for single-photon detection, » *Applied optics*, t. 35, n° 12, p. 1956-1976, 1996. DOI : [10.1364/AO.35.001956](https://doi.org/10.1364/AO.35.001956).
- [25] E. VILELLA et A. DIÉGUEZ, « A gated single-photon avalanche diode array fabricated in a conventional CMOS process for triggered systems, » *Sensors and Actuators A : Physical*, t. 186, p. 163-168, 2012. DOI : [10.1016/j.sna.2012.01.019](https://doi.org/10.1016/j.sna.2012.01.019).
- [26] M. GHIONI, A. GULINATTI, I. RECH, P. MACCAGNANI et S. COVA, « Large-area low-jitter silicon single photon avalanche diodes, » in *Quantum Sensing and Nanophotonic Devices V*, International Society for Optics et Photonics, t. 6900, 2008, p. 69001D. DOI : [10.1117/12.761578](https://doi.org/10.1117/12.761578).
- [27] C. NICLASS, M. GERSBACH, R. HENDERSON, L. GRANT et E. CHARBON, « A Single Photon Avalanche Diode Implemented in 130-nm CMOS Technology, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 13, n° 4, p. 863-869, 2007. DOI : [10.1109/JSTQE.2007.903854](https://doi.org/10.1109/JSTQE.2007.903854).

- [28] S. COVA, M. GHIONI, A. LOTITO, I. RECH et F. ZAPPA, « Evolution and prospects for single-photon avalanche diodes and quenching circuits, » *Journal of modern optics*, t. 51, n° 9-10, p. 1267-1288, 2004. DOI : [10.1080/09500340408235272](https://doi.org/10.1080/09500340408235272).
- [29] K. JENSEN, P. HOPMAN, E. DUERR, E. DAULER, J. DONNELLY, S. GROVES, L. MAHONEY, K. MCINTOSH, K. MOLVAR, A. NAPOLEONE et al., « Afterpulsing in Geiger-mode avalanche photodiodes for 1.06 μ m wavelength, » *Applied Physics Letters*, t. 88, n° 13, p. 133 503, 2006. DOI : [10.1063/1.2189187](https://doi.org/10.1063/1.2189187).
- [30] F. CECCARELLI, G. ACCONCIA, A. GULINATTI, M. GHIONI, I. RECH et R. OSELLAME, « Recent Advances and Future Perspectives of Single-Photon Avalanche Diodes for Quantum Photonics Applications, » *Advanced Quantum Technologies*, t. 4, n° 2, p. 2 000 102, 2021. DOI : [10.1002/qute.202000102](https://doi.org/10.1002/qute.202000102).
- [31] C.-A. HSIEH, C.-M. TSAI, B.-Y. TSUI, B.-J. HSIAO et S.-D. LIN, « Photon-detection-probability simulation method for CMOS single-photon avalanche diodes, » *Sensors*, t. 20, n° 2, p. 436, 2020. DOI : [10.3390/s20020436](https://doi.org/10.3390/s20020436).
- [32] R. MCINTYRE, « On the avalanche initiation probability of avalanche diodes above the breakdown voltage, » *IEEE Transactions on Electron Devices*, t. 20, n° 7, p. 637-641, 1973. DOI : [10.1109/T-ED.1973.17715](https://doi.org/10.1109/T-ED.1973.17715).
- [33] W. OLDHAM, R. SAMUELSON et P. ANTOGNETTI, « Triggering phenomena in avalanche diodes, » *IEEE Transactions on Electron Devices*, t. 19, n° 9, p. 1056-1060, 1972. DOI : [10.1109/T-ED.1972.17544](https://doi.org/10.1109/T-ED.1972.17544).
- [34] M.-J. LEE, P. SUN, G. PANDRAUD, C. BRUSCHINI et E. CHARBON, « First Near-Ultraviolet- and Blue-Enhanced Backside-Illuminated Single-Photon Avalanche Diode Based on Standard SOI CMOS Technology, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 25, n° 5, p. 1-6, sept. 2019, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2019.2918930](https://doi.org/10.1109/JSTQE.2019.2918930).
- [35] M.-J. LEE, P. SUN et E. CHARBON, « A first single-photon avalanche diode fabricated in standard SOI CMOS technology with a full characterization of the device, » *Opt. Express*, t. 23, n° 10, p. 13 200-13 209, 2015. DOI : [10.1364/OE.23.013200](https://doi.org/10.1364/OE.23.013200).
- [36] —, « Characterization of Single-Photon Avalanche Diodes in Standard 140-nm SOI CMOS Technology, » in *IISW 2015 : International Image Sensor Workshop, Vaals, The Netherlands, 8-11 June*, 2015.
- [37] T. AL ABBAS, N. A. W. DUTTON, O. ALMER, S. PELLEGRINI, Y. HENRION et R. K. HENDERSON, « Backside illuminated SPAD image sensor with 7.83 μ m pitch in 3D-stacked CMOS technology, » p. 8.1.1-8.1.4, 2016. DOI : [10.1109/IEDM.2016.7838372](https://doi.org/10.1109/IEDM.2016.7838372).
- [38] M.-J. LEE, A. R. XIMENES, P. PADMANABHAN, T.-J. WANG, K.-C. HUANG, Y. YAMASHITA, D.-N. YAUNG et E. CHARBON, « High-Performance Back-Illuminated Three-Dimensional Stacked Single-Photon Avalanche Diode Implemented in 45-nm CMOS Technology, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 24, n° 6, p. 1-9, 2018. DOI : [10.1109/JSTQE.2018.2827669](https://doi.org/10.1109/JSTQE.2018.2827669).
- [39] A. R. XIMENES, P. PADMANABHAN, M.-J. LEE, Y. YAMASHITA, D. N. YAUNG et E. CHARBON, « A 256 \times 256 45/65nm 3D-stacked SPAD-based direct TOF image sensor for LiDAR applications with optical polar modulation for up to 18.6dB interference suppression, » in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, t. 61, IEEE, fév. 2018, p. 96-98, ISBN : 978-1-5090-4940-0. DOI : [10.1109/ISSCC.2018.8310201](https://doi.org/10.1109/ISSCC.2018.8310201).
- [40] M.-J. LEE, A. R. XIMENES, P. PADMANABHAN, T. J. WANG, K. C. HUANG, Y. YAMASHITA, D. N. YAUNG et E. CHARBON, « A back-illuminated 3D-stacked single-photon avalanche diode in 45nm CMOS technology, » in *2017 IEEE International Electron Devices Meeting (IEDM)*, 2017, p. 16.6.1-16.6.4. DOI : [10.1109/IEDM.2017.8268405](https://doi.org/10.1109/IEDM.2017.8268405).

- [41] C. ACCARINO, M. AL-RAWHANI, Y. D. SHAH, D. MANEUSKI, S. MITRA, C. BUTTAR et D. R. S. CUMMING, « Low Noise and High Photodetection Probability SPAD in 180 nm Standard CMOS Technology, » in *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2018, p. 1-4. DOI : [10.1109/ISCAS.2018.8351173](https://doi.org/10.1109/ISCAS.2018.8351173).
- [42] Y. LI, C. VEERAPPAN, M.-J. LEE, L. WEN, Q. GUO et E. CHARBON, « A Radiation-Tolerant, high performance SPAD for SiPMs implemented in CMOS technology, » in *2016 IEEE Nuclear Science Symposium, Medical Imaging Conference and Room-Temperature Semiconductor Detector Workshop (NSS/MIC/RTSD)*, 2016, p. 1-4. DOI : [10.1109/NSSMIC.2016.8069762](https://doi.org/10.1109/NSSMIC.2016.8069762).
- [43] M. GERSBACH, J. RICHARDSON, E. MAZALEYRAT, S. HARDILLIER, C. NICLASS, R. HENDERSON, L. GRANT et E. CHARBON, « A low-noise single-photon detector implemented in a 130nm CMOS imaging process, » *Solid-State Electronics*, t. 53, n° 7, p. 803-808, juill. 2009, ISSN : 00381101. DOI : [10.1016/j.sse.2009.02.014](https://doi.org/10.1016/j.sse.2009.02.014).
- [44] C. PIEMONTE, F. ACERBI, A. FERRI, A. GOLA, G. PATERNOSTER, V. REGAZZONI, G. ZAPPALA et N. ZORZI, « Performance of NUV-HD Silicon Photomultiplier Technology, » *IEEE Transactions on Electron Devices*, t. 63, n° 3, p. 1111-1116, mars 2016, ISSN : 0018-9383. DOI : [10.1109/TED.2016.2516641](https://doi.org/10.1109/TED.2016.2516641).
- [45] D. R. SCHUETTE, R. C. WESTHOFF, A. H. LOOMIS, D. J. YOUNG, J. S. CIAMPI, B. F. AULL et R. K. REICH, « Hybridization process for back-illuminated silicon Geiger-mode avalanche photodiode arrays, » M. A. ITZLER et J. C. CAMPBELL, éd., avr. 2010, 76810P. DOI : [10.1117/12.849356](https://doi.org/10.1117/12.849356).
- [46] J. HU, X. XIN, X. LI, J. H. ZHAO, B. L. VANMIL, K.-K. LEW, R. L. MYERS-WARD, C. R. EDDY et D. K. GASKILL, « 4H-SiC Visible-Blind Single-Photon Avalanche Diode for Ultraviolet Detection at 280 and 350 nm, » *IEEE Transactions on Electron Devices*, t. 55, n° 8, p. 1977-1983, août 2008, ISSN : 0018-9383. DOI : [10.1109/TED.2008.926669](https://doi.org/10.1109/TED.2008.926669).
- [47] A. ROCHAS, M. GOSCH, A. SEROV, P. BESSE, R. POPOVIC, T. LASSER et R. RIGLER, « First fully integrated 2-D array of single-photon detectors in standard CMOS technology, » *IEEE Photonics Technology Letters*, t. 15, n° 7, p. 963-965, 2003. DOI : [10.1109/LPT.2003.813387](https://doi.org/10.1109/LPT.2003.813387).
- [48] A. ROCHAS, G. RIBORDY, B. FURRER, P. A. BESSE et R. S. POPOVIC, « First passively quenched single-photon counting avalanche photodiode element integrated in a conventional CMOS process with 32-ns dead time, » in *Applications of Photonic Technology 5*, t. 4833, SPIE, 2003, p. 107-115. DOI : [10.1117/12.474869](https://doi.org/10.1117/12.474869).
- [49] E. FISHER, I. UNDERWOOD et R. HENDERSON, « A reconfigurable 14-bit 60GPhoton/s Single-Photon receiver for visible light communications, » in *2012 Proceedings of the ESSCIRC (ESSCIRC)*, IEEE, sept. 2012, p. 85-88, ISBN : 978-1-4673-2213-3. DOI : [10.1109/ESSCIRC.2012.6341262](https://doi.org/10.1109/ESSCIRC.2012.6341262).
- [50] S. CHICK, R. COATH, R. SELLAHEWA, R. TURCHETTA, T. LEITNER et A. FENIGSTEIN, « Dead Time Compensation in CMOS Single Photon Avalanche Diodes With Active Quenching and External Reset, » *IEEE Transactions on Electron Devices*, t. 61, n° 8, p. 2725-2731, août 2014, ISSN : 0018-9383. DOI : [10.1109/TED.2014.2332068](https://doi.org/10.1109/TED.2014.2332068).
- [51] D. CHITNIS et S. COLLINS, « A SPAD-Based Photon Detecting System for Optical Communications, » *Journal of Lightwave Technology*, t. 32, n° 10, p. 2028-2034, mai 2014, ISSN : 0733-8724. DOI : [10.1109/JLT.2014.2316972](https://doi.org/10.1109/JLT.2014.2316972).
- [52] Y. LI, S. VIDEV, M. ABDALLAH, K. QARAQE, M. UYSAL et H. HAAS, « Single photon avalanche diode (SPAD) VLC system and application to downhole monitoring, » in *2014 IEEE Global Communications Conference*, IEEE, déc. 2014, p. 2108-2113, ISBN : 978-1-4799-3512-3. DOI : [10.1109/GLOCOM.2014.7037119](https://doi.org/10.1109/GLOCOM.2014.7037119).

- [53] L. PANCHERI, D. STOPPA et G. F. DALLA BETTA, « Characterization and Modeling of Breakdown Probability in Sub-Micrometer CMOS SPADs, » *IEEE Journal on Selected Topics in Quantum Electronics*, t. 20, n° 6, 2014, ISSN : 1077260X. DOI : [10.1109/JSTQE.2014.2327791](https://doi.org/10.1109/JSTQE.2014.2327791).
- [54] F. VILLA, D. BRONZI, Y. ZOU, C. SCARCELLA, G. BOSO, S. TISA, A. TOSI, F. ZAPPA, D. DURINI, S. WEYERS, U. PASCHEN et W. BROCKHERDE, « CMOS SPADs with up to 500 μm diameter and 55% detection efficiency at 420 nm, » *Journal of Modern Optics*, t. 61, n° 2, p. 102-115, 2014. DOI : [10.1080/09500340.2013.864425](https://doi.org/10.1080/09500340.2013.864425).
- [55] O. ALMER, D. TSONEV, N. A. W. DUTTON, T. AL ABBAS, S. VIDEV, S. GNECCHI, H. HAAS et R. K. HENDERSON, « A SPAD-Based Visible Light Communications Receiver Employing Higher Order Modulation, » in *2015 IEEE Global Communications Conference (GLOBECOM)*, IEEE, déc. 2014, p. 1-6, ISBN : 978-1-4799-5952-5. DOI : [10.1109/GLOCOM.2014.7417269](https://doi.org/10.1109/GLOCOM.2014.7417269).
- [56] Y. LI, M. SAFARI, R. HENDERSON et H. HAAS, « Optical OFDM With Single-Photon Avalanche Diode, » *IEEE Photonics Technology Letters*, t. 27, n° 9, p. 943-946, mai 2015, ISSN : 1041-1135. DOI : [10.1109/LPT.2015.2402151](https://doi.org/10.1109/LPT.2015.2402151).
- [57] S. GNECCHI, N. A. W. DUTTON, L. PARMESAN, B. R. RAE, S. PELLEGRINI, S. J. MCLEOD, L. A. GRANT et R. K. HENDERSON, « Analysis of Photon Detection Efficiency and Dynamic Range in SPAD-Based Visible Light Receivers, » *J. Lightwave Technol.*, t. 34, n° 11, p. 2774-2781, 2016. DOI : [10.1109/jlt.2016.2550497](https://doi.org/10.1109/jlt.2016.2550497).
- [58] C. WANG, H.-y. YU et Y.-j. ZHU, « A Long Distance Underwater Visible Light Communication System With Single Photon Avalanche Diode, » *IEEE Photonics Journal*, t. 8, n° 5, p. 1-11, oct. 2016, ISSN : 1943-0655. DOI : [10.1109/JPHOT.2016.2602330](https://doi.org/10.1109/JPHOT.2016.2602330).
- [59] I. M. ANTOLOVIC, S. BURRI, C. BRUSCHINI, R. A. HOEBE et E. CHARBON, « SPAD imagers for super resolution localization microscopy enable analysis of fast fluorophore blinking, » *Scientific Reports*, t. 7, n° 1, p. 44 108, avr. 2017, ISSN : 2045-2322. DOI : [10.1038/srep44108](https://doi.org/10.1038/srep44108).
- [60] YU ZOU, D. BRONZI, F. VILLA et S. WEYERS, « Backside illuminated wafer-to-wafer bonding single photon avalanche diode array, » in *2014 10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, IEEE, juin 2014, p. 1-4, ISBN : 978-1-4799-4994-6. DOI : [10.1109/PRIME.2014.6872751](https://doi.org/10.1109/PRIME.2014.6872751).
- [61] G. BOSO, M. BUTTAFAVA, F. VILLA et A. TOSI, « Low-Cost and Compact Single-Photon Counter Based on a CMOS SPAD Smart Pixel, » *IEEE Photonics Technology Letters*, t. 27, n° 23, p. 2504-2507, déc. 2015, ISSN : 1041-1135. DOI : [10.1109/LPT.2015.2472596](https://doi.org/10.1109/LPT.2015.2472596).
- [62] F. FAHIM, V. FATHIPOURI, G. DEPTUCH et H. MOHSENI, « Pixellated readout IC : Analysis for single photon infrared detector for fast time of arrival applications, » in *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, IEEE, mai 2015, p. 682-685, ISBN : 978-1-4799-8391-9. DOI : [10.1109/ISCAS.2015.7168725](https://doi.org/10.1109/ISCAS.2015.7168725).
- [63] J. M. PAVIA, M. SCANDINI, S. LINDNER, M. WOLF et E. CHARBON, « A 1×400 Backside-Illuminated SPAD Sensor With 49.7 ps Resolution, 30 pJ/Sample TDCs Fabricated in 3D CMOS Technology for Near-Infrared Optical Tomography, » *IEEE Journal of Solid-State Circuits*, t. 50, n° 10, p. 2406-2418, 2015. DOI : [10.1109/JSSC.2015.2467170](https://doi.org/10.1109/JSSC.2015.2467170).
- [64] D. BRONZI, F. VILLA, S. TISA, A. TOSI, F. ZAPPA, D. DURINI, S. WEYERS et W. BROCKHERDE, « 100 000 Frames/s 64×32 Single-Photon Detector Array for 2-D Imaging and 3-D Ranging, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 354-363, nov. 2014, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2014.2341562](https://doi.org/10.1109/JSTQE.2014.2341562).
- [65] M. A. ITZLER, U. KRISHNAMACHARI, M. ENTWISTLE, X. JIANG, M. OWENS et K. SLOMKOWSKI, « Dark Count Statistics in Geiger-Mode Avalanche Photodiode Cameras for 3-D Imaging LADAR, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 318-328, nov. 2014, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2014.2321525](https://doi.org/10.1109/JSTQE.2014.2321525).

- [66] J. MATA PAVIA, M. WOLF et E. CHARBON, « Single-Photon Avalanche Diode Imagers Applied to Near-Infrared Imaging, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 291-298, nov. 2014, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2014.2313983](https://doi.org/10.1109/JSTQE.2014.2313983).
- [67] A. MCCARTHY, X. REN, A. DELLA FRERA, N. R. GEMMELL, N. J. KRICHEL, C. SCARCELLA, A. RUGGERI, A. TOSI et G. S. BULLER, « Kilometer-range depth imaging at 1550 nm wavelength using an InGaAs/InP single-photon avalanche diode detector, » *Optics Express*, t. 21, n° 19, p. 22 098, sept. 2013, ISSN : 1094-4087. DOI : [10.1364/OE.21.022098](https://doi.org/10.1364/OE.21.022098).
- [68] A. GULINATTI, I. RECH, F. PANZERI, C. CAMMI, P. MACCAGNANI, M. GHIONI et S. COVA, « New silicon SPAD technology for enhanced red-sensitivity, high-resolution timing and system integration, » *Journal of Modern Optics*, t. 59, n° 17, p. 1489-1499, 2012. DOI : [10.1080/09500340.2012.701340](https://doi.org/10.1080/09500340.2012.701340).
- [69] A. SAMMAK, M. AMINIAN, LIN QI, W. B. de BOER, E. CHARBON et L. K. NANVER, « A CMOS compatible Ge-on-Si APD operating in proportional and Geiger modes at infrared wavelengths, » in *2011 International Electron Devices Meeting*, IEEE, déc. 2011, p. 1-8, ISBN : 978-1-4577-0505-2. DOI : [10.1109/IEDM.2011.6131515](https://doi.org/10.1109/IEDM.2011.6131515).
- [70] E. A. G. WEBSTER, J. A. RICHARDSON, L. A. GRANT et R. K. HENDERSON, « Single-photon avalanche diodes in 90nm CMOS imaging technology with sub-1 Hz median dark count rate, » 2011.
- [71] J. PAVIA, C. NICCLASS, C. FAVI, M. WOLF et E. CHARBON, « 3D near-infrared imaging based on a SPAD image sensor, » *International Image Sensor Workshop (IISW)*, t. 41, n° 0, p. 3-7, 2011.
- [72] A. DALLA MORA, A. TOSI, F. ZAPPA, S. COVA, D. CONTINI, A. PIFFERI, L. SPINELLI, A. TORRICELLI et R. CUBEDDU, « Fast-Gated Single-Photon Avalanche Diode for Wide Dynamic Range Near Infrared Spectroscopy, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 16, n° 4, p. 1023-1030, juill. 2010, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2009.2035823](https://doi.org/10.1109/JSTQE.2009.2035823).
- [73] F. GUERRIERI, S. TISA, A. TOSI et F. ZAPPA, « Two-dimensional SPAD imaging camera for photon counting, » *IEEE Photonics Journal*, t. 2, n° 5, p. 759-774, 2010, ISSN : 19430655. DOI : [10.1109/JPHOT.2010.2066554](https://doi.org/10.1109/JPHOT.2010.2066554).
- [74] A. TOSI, A. D. MORA, F. ZAPPA et S. COVA, « Single-photon avalanche diodes for the near-infrared range : detector and circuit issues, » *Journal of Modern Optics*, t. 56, n° 2-3, p. 299-308, jan. 2009, ISSN : 0950-0340. DOI : [10.1080/09500340802263075](https://doi.org/10.1080/09500340802263075).
- [75] D. RAMIREZ, M. HAYAT, G. KARVE, J. CAMPBELL, S. TORRES, B. SALEH et M. TEICH, « Detection Efficiencies and Generalized Breakdown Probabilities for Nanosecond-Gated Near Infrared Single-Photon Avalanche Photodiodes, » *IEEE Journal of Quantum Electronics*, t. 42, n° 2, p. 137-145, fév. 2006, ISSN : 0018-9197. DOI : [10.1109/JQE.2005.861627](https://doi.org/10.1109/JQE.2005.861627).
- [76] F. ZAPPA, S. TISA, A. GULINATTI, A. GALLIVANONI et S. COVA, « Monolithic CMOS detector module for photon counting and picosecond timing, » in *Proceedings of the 30th European Solid-State Circuits Conference (IEEE Cat. No.04EX850)*, IEEE, 2004, p. 341-344, ISBN : 0-7803-8478-4. DOI : [10.1109/ESSDER.2004.1356559](https://doi.org/10.1109/ESSDER.2004.1356559).
- [77] Z. LU, Y. KANG, C. HU, Q. ZHOU, H.-D. LIU et J. C. CAMPBELL, « Geiger-Mode Operation of Ge-on-Si Avalanche Photodiodes, » *IEEE Journal of Quantum Electronics*, t. 47, n° 5, p. 731-735, 2011. DOI : [10.1109/JQE.2011.2110637](https://doi.org/10.1109/JQE.2011.2110637).
- [78] R. E. WARBURTON, G. INTERMITE, M. MYRONOV, P. ALLRED, D. R. LEADLEY, K. GALLACHER, D. J. PAUL, N. J. PILGRIM, L. J. M. LEVER, Z. IKONIC, R. W. KELSALL, E. HUANTE-CERON, A. P. KNIGHTS et G. S. BULLER, « Ge-on-Si Single-Photon Avalanche Diode Detectors : Design, Modeling, Fabrication, and Characterization at Wavelengths 1310 and 1550 nm, » *IEEE Transactions on Electron Devices*, t. 60, n° 11, p. 3807-3813, nov. 2013, ISSN : 0018-9383. DOI : [10.1109/TED.2013.2282712](https://doi.org/10.1109/TED.2013.2282712).

- [79] S. COVA, A. LONGONI et A. ANDREONI, « Towards picosecond resolution with single-photon avalanche diodes, » *Review of Scientific Instruments*, t. 52, n° 3, p. 408-412, mars 1981, ISSN : 0034-6748. DOI : [10.1063/1.1136594](https://doi.org/10.1063/1.1136594).
- [80] F. SUN, Y. XU, Z. WU et J. ZHANG, « A Simple Analytic Modeling Method for SPAD Timing Jitter Prediction, » *IEEE Journal of the Electron Devices Society*, t. 7, n° January, p. 261-267, 2019, ISSN : 2168-6734. DOI : [10.1109/JEDS.2019.2895151](https://doi.org/10.1109/JEDS.2019.2895151).
- [81] M. M. VIGNETTI, « Development of a 3D Silicon Coincidence Avalanche Detector (3D-SiCAD) for charged particle tracking, » Theses, Université de Lyon, INSA Lyon, n°2017LYSEI017, mars 2017.
- [82] B. S. FONG, M. DAVIES et P. DESCHAMPS, « Timing resolution and time walk in SLiK APD : measurement and optimization, » in *Optical Sensing, Imaging, and Photon Counting : Nanostructured Devices and Applications 2017*, O. MITROFANOV, C. H. TAN, M. RAZEGHI et J. L. PAU VIZCAÍNO, éd., SPIE, août 2017, p. 8, ISBN : 9781510611634. DOI : [10.1117/12.2274073](https://doi.org/10.1117/12.2274073).
- [83] F. NOLET, S. PARENT, N. ROY, M.-O. MERCIER, S. A. CHARLEBOIS, R. FONTAINE et J.-F. PRATTE, « Quenching Circuit and SPAD Integrated in CMOS 65 nm with 7.8 ps FWHM Single Photon Timing Resolution, » *Instruments*, t. 2, n° 4, 2018, ISSN : 2410-390X. DOI : [10.3390/instruments2040019](https://doi.org/10.3390/instruments2040019).
- [84] B. ZHANG, Z. LI et M. E. ZAGHLOUL, « A Single-Photon Avalanche Diode in CMOS 0.5 μ m n-well process, » in *SENSORS, 2012 IEEE*, 2012, p. 1-4. DOI : [10.1109/ICSENS.2012.6411333](https://doi.org/10.1109/ICSENS.2012.6411333).
- [85] J. M. PAVIA, M. WOLF et E. CHARBON, « Measurement and modeling of microlenses fabricated on single-photon avalanche diode arrays for fill factor recovery, » *Optics Express*, t. 22, n° 4, p. 4202, fév. 2014, ISSN : 1094-4087. DOI : [10.1364/OE.22.004202](https://doi.org/10.1364/OE.22.004202).
- [86] C. VEERAPPAN, Y. MARUYAMA et E. CHARBON, « Silicon integrated electrical micro - lens for CMOS SPADs based on avalanche propagation phenomenon, » *International Image Sensor Workshop*, 2013.
- [87] C. WANG, J. WANG, Z. XU, R. WANG, J. LI, J. ZHAO, Y. WEI et Y. LIN, « Design Considerations of InGaAs/InP Single-Photon Avalanche Diode for Photon-Counting Communication, » *Optik*, 2019, ISSN : 00304026. DOI : [10.1016/j.ijleo.2019.04.053](https://doi.org/10.1016/j.ijleo.2019.04.053).
- [88] I. M. ANTOLOVIC, S. BURRI, C. BRUSCHINI, R. HOEBE et E. CHARBON, « Nonuniformity Analysis of a 65-kpixel CMOS SPAD Imager, » *IEEE Transactions on Electron Devices*, t. 63, n° 1, p. 57-64, jan. 2016, ISSN : 0018-9383. DOI : [10.1109/TED.2015.2458295](https://doi.org/10.1109/TED.2015.2458295).
- [89] P. SUN, E. CHARBON et R. ISHIHARA, « A Flexible 32x32 SPAD Image Sensor with Integrated Microlenses, » in *Proceedings of the International Image Sensor Workshop, IISW 2015, Vaals, The Netherlands, June 8-11, 2015*.
- [90] I. RECH, A. INGARGIOLA, R. SPINELLI, I. LABANCA, S. MARANGONI, M. GHIONI et S. COVA, « Optical crosstalk in single photon avalanche diode arrays : a new complete model, » *Opt. Express*, t. 16, n° 12, p. 8381-8394, 2008. DOI : [10.1364/OE.16.008381](https://doi.org/10.1364/OE.16.008381).
- [91] S. GUNDACKER et A. HEERING, « The silicon photomultiplier : fundamentals and applications of a modern solid-state photon detector, » *Physics in Medicine & Biology*, t. 65, n° 17, 17TR01, 2020. DOI : [10.1088/1361-6560/ab7b2d](https://doi.org/10.1088/1361-6560/ab7b2d).
- [92] B. ZHANG et Z. LIN, *Enhanced photon detection device with biased deep trench isolation*, US Patent 9,160,949, 2015.
- [93] B. J. PARK, J. JUNG, C.-R. MOON, S. H. HWANG, Y. W. LEE, D. W. KIM, K. H. PAIK, J. R. YOO, D. H. LEE et K. KIM, « Deep Trench Isolation for Crosstalk Suppression in Active Pixel Sensors with 1.7 μ m Pixel Pitch, » *Japanese Journal of Applied Physics*, t. 46, n° 4B, p. 2454-2457, 2007. DOI : [10.1143/jjap.46.2454](https://doi.org/10.1143/jjap.46.2454).

- [94] A. TOURNIER, F. LEVERD, L. FAVENNEC, C. PERROT, L. PINZELLI, M. GATEFAIT, N. CHERAULT, D. JEANJEAN, J. CARRERE, F. HIRIGOYEN et al., « Pixel-to-pixel isolation by deep trench technology : Application to CMOS image sensor, » in *Proc. Int. Image Sensor Workshop*, 2011, p. 12-15.
- [95] N. AHMED, « MOS capacitor deep trench isolation (CDTI) for CMOS image sensors, » Theses, Université Lyon 1, 2015.
- [96] B. RAE, *Deep trench isolation (DTI) bounded single photon avalanche diode (SPAD) on a silicon on insulator (SOI) substrate*, US Patent 10,388,816, 2019.
- [97] N. AHMED, F. ROY, G.-N. LU, B. MAMDY, J.-P. CARRERE, A. TOURNIER, N. VIROLLET, C. PERROT, M. RIVOIRE, A. SEIGNARD, D. PELLISSIER-TANON, F. LEVERD et B. ORLANDO, « MOS Capacitor Deep Trench Isolation for CMOS image sensors, » in *2014 IEEE International Electron Devices Meeting*, 2014, p. 4.1.1-4.1.4. DOI : [10.1109/IEDM.2014.7046979](https://doi.org/10.1109/IEDM.2014.7046979).
- [98] A. TOURNIER, F. ROY, Y. CAZAUX, F. LALANNE, P. MALINGE, M. MCDONALD, G. MONNOT et N. ROUX, « A HDR 98dB $3.2\mu\text{m}$ Charge Domain Global Shutter CMOS Image Sensor, » in *2018 IEEE International Electron Devices Meeting (IEDM)*, 2018, p. 10.4.1-10.4.4. DOI : [10.1109/IEDM.2018.8614615](https://doi.org/10.1109/IEDM.2018.8614615).
- [99] P. VINES, K. KUZMENKO, J. KIRDODA, D. C. S. DUMAS, M. M. MIRZA, R. W. MILLAR, D. J. PAUL et G. S. BULLER, « High performance planar germanium-on-silicon single-photon avalanche diode detectors, » *Nature Communications*, t. 10, 2019. DOI : [10.1038/s41467-019-08830-w](https://doi.org/10.1038/s41467-019-08830-w).
- [100] R. M. FIELD, S. REALOV et K. L. SHEPARD, « A 100 fps, Time-Correlated Single-Photon-Counting-Based Fluorescence-Lifetime Imager in 130 nm CMOS, » *IEEE Journal of Solid-State Circuits*, t. 49, n° 4, p. 867-880, avr. 2014, ISSN : 0018-9200. DOI : [10.1109/JSSC.2013.2293777](https://doi.org/10.1109/JSSC.2013.2293777).
- [101] Y. MARUYAMA et E. CHARBON, « An all-digital, time-gated 128X128 spad array for on-chip, filter-less fluorescence detection, » in *2011 16th International Solid-State Sensors, Actuators and Microsystems Conference*, IEEE, juin 2011, p. 1180-1183, ISBN : 978-1-4577-0157-3. DOI : [10.1109/TRANSDUCERS.2011.5969324](https://doi.org/10.1109/TRANSDUCERS.2011.5969324).
- [102] C. BRUSCHINI, H. HOMULLE, I. M. ANTOLOVIC, S. BURRI et E. CHARBON, « Single-photon avalanche diode imagers in biophotonics : review and outlook, » *Light : Science & Applications*, t. 8, n° 1, p. 1-28, 2019. DOI : [10.1038/s41377-019-0191-5](https://doi.org/10.1038/s41377-019-0191-5).
- [103] M. PERENZONI, N. MASSARI, D. PERENZONI, L. GASPARINI et D. STOPPA, « A 160×120-Pixel Analog-Counting Single-Photon Imager With Sub-ns Time-Gating and Self-Referenced Column-Parallel A/D Conversion for Fluorescence Lifetime Imaging, » in *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, IEEE, fév. 2015, p. 1-3, ISBN : 978-1-4799-6223-5. DOI : [10.1109/ISSCC.2015.7062995](https://doi.org/10.1109/ISSCC.2015.7062995).
- [104] —, « A 160×120 Pixel Analog-Counting Single-Photon Imager With Time-Gating and Self-Referenced Column-Parallel A/D Conversion for Fluorescence Lifetime Imaging, » *IEEE Journal of Solid-State Circuits*, t. 51, n° 1, p. 155-167, 2015, ISSN : 0018-9200. DOI : [10.1109/JSSC.2015.2482497](https://doi.org/10.1109/JSSC.2015.2482497).
- [105] E. CHARBON, « Single-photon imaging in complementary metal oxide semiconductor processes, » *Philosophical Transactions of the Royal Society A*, t. 372, p. 16.5.1-16.5.4, 2014. DOI : [10.1098/rsta.2013.0100](https://doi.org/10.1098/rsta.2013.0100).
- [106] M. VITALI, D. BRONZI, A. J. KRMPOT, S. N. NIKOLIC, F.-J. SCHMITT, C. JUNGHANS, S. TISA, T. FRIEDRICH, V. VUKOJEVIC, L. TERENIUS, F. ZAPPA et R. RIGLER, « A Single-Photon Avalanche Camera for Fluorescence Lifetime Imaging Microscopy and Correlation Spectroscopy, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 344-353, nov. 2014, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2014.2333238](https://doi.org/10.1109/JSTQE.2014.2333238).

- [107] L. PANCHERI, N. MASSARI et D. STOPPA, « SPAD Image Sensor With Analog Counting Pixel for Time-Resolved Fluorescence Detection, » *IEEE Transactions on Electron Devices*, t. 60, n° 10, p. 3442-3449, oct. 2013, ISSN : 0018-9383. DOI : [10.1109/TED.2013.2276752](https://doi.org/10.1109/TED.2013.2276752).
- [108] D.-U. LI, J. ARLT, J. RICHARDSON, R. WALKER, A. BUTS, D. STOPPA, E. CHARBON et R. HENDERSON, « Real-time fluorescence lifetime imaging system with a 32×32 $013\mu\text{m}$ CMOS low dark-count single-photon avalanche diode array, » *Optics Express*, t. 18, n° 10, p. 10 257, mai 2010, ISSN : 1094-4087. DOI : [10.1364/OE.18.010257](https://doi.org/10.1364/OE.18.010257).
- [109] K. SUHLING, P. M. W. FRENCH et D. PHILLIPS, « Time-resolved fluorescence microscopy, » *Photochemical & Photobiological Sciences*, t. 4, n° 1, p. 13, 2005, ISSN : 1474-905X. DOI : [10.1039/b412924p](https://doi.org/10.1039/b412924p).
- [110] Y. LI, Q. LI, Z. ZHANG, H. LIU, X. LU et Y. FANG, « Time-Resolved Photoluminescence Spectroscopy of Exciton-Plasmon Coupling Dynamics, » *Plasmonics*, t. 10, n° 2, p. 271-280, 2015. DOI : [10.1007/s11468-014-9805-1](https://doi.org/10.1007/s11468-014-9805-1).
- [111] S. S. PIATEK et E. HERGERT, « Novel Detectors : SPADs offer possible photodetection solution for ToF lidar applications, » jan. 2020.
- [112] Y. XU, Z. WU et D. LI, « Behavioral modeling of photon arrival time for time-of-flight measurement circuit simulation, » *IEEE Photonics Journal*, t. 11, n° 1, p. 1-9, 2019, ISSN : 19430655. DOI : [10.1109/JPHOT.2019.2893351](https://doi.org/10.1109/JPHOT.2019.2893351).
- [113] H. RUOKAMO, L. W. HALLMAN et J. KOSTAMOVARA, « An 80 x 25 Pixel CMOS Single-Photon Sensor With Flexible On-Chip Time Gating of 40 Subarrays for Solid-State 3-D Range Imaging, » *IEEE Journal of Solid-State Circuits*, t. 54, n° 2, p. 501-510, fév. 2019, ISSN : 0018-9200. DOI : [10.1109/JSSC.2018.2878816](https://doi.org/10.1109/JSSC.2018.2878816).
- [114] I. TAKAI, H. MATSUBARA, M. SOGA, M. OHTA, M. OGAWA et T. YAMASHITA, « Single-Photon Avalanche Diode with Enhanced NIR-Sensitivity for Automotive LIDAR Systems, » *Sensors*, t. 16, n° 4, p. 459, mars 2016, ISSN : 1424-8220. DOI : [10.3390/s16040459](https://doi.org/10.3390/s16040459).
- [115] S. GUNDAKER, F. ACERBI, E. AUFRAY, A. FERRI, A. GOLA, M. V. NEMALLAPUDI, G. PATERNOSTER, C. PIEMONTE et P. LECOQ, « State of the art timing in TOF-PET detectors with LuAG, GAGG and L(Y)SO scintillators of various sizes coupled to FBK-SiPMs, » *Journal of Instrumentation*, t. 11, n° 8, 2016, ISSN : 17480221. DOI : [10.1088/1748-0221/11/08/P08008](https://doi.org/10.1088/1748-0221/11/08/P08008).
- [116] D. BRONZI, Y. ZOU, F. VILLA, S. TISA, A. TOSI et F. ZAPPA, « Automotive Three-Dimensional Vision Through a Single-Photon Counting SPAD Camera, » *IEEE Transactions on Intelligent Transportation Systems*, t. 17, n° 3, p. 782-795, mars 2016, ISSN : 1524-9050. DOI : [10.1109/TITS.2015.2482601](https://doi.org/10.1109/TITS.2015.2482601).
- [117] F. VILLA, R. LUSSANA, D. BRONZI, S. TISA, A. TOSI, F. ZAPPA, A. DALLA MORA, D. CONTINI, D. DURINI, S. WEYERS et W. BROCKHERDE, « CMOS Imager With 1024 SPADs and TDCs for Single-Photon Timing and 3-D Time-of-Flight, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 364-373, nov. 2014, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2014.2342197](https://doi.org/10.1109/JSTQE.2014.2342197).
- [118] C. NICLASS, M. SOGA, H. MATSUBARA, S. KATO et M. KAGAMI, « A 100-m Range 10-Frame/s 340×96 -Pixel Time-of-Flight Depth Sensor in $0.18\text{-}\mu\text{m}$ CMOS, » *IEEE Journal of Solid-State Circuits*, t. 48, n° 2, p. 559-572, fév. 2013, ISSN : 0018-9200. DOI : [10.1109/JSSC.2012.2227607](https://doi.org/10.1109/JSSC.2012.2227607).
- [119] C. NICLASS, K. ITO, M. SOGA, H. MATSUBARA, I. AOYAGI, S. KATO et M. KAGAMI, « Design and characterization of a 256×64 -pixel single-photon imager in CMOS for a MEMS-based laser scanning time-of-flight sensor, » *Optics Express*, t. 20, n° 11, p. 11 863, mai 2012, ISSN : 1094-4087. DOI : [10.1364/OE.20.011863](https://doi.org/10.1364/OE.20.011863).

- [120] STMICROELECTRONICS, « World smallest time-of-flight ranging and gesture detection sensor, VL53L0X, » *Datasheet—production data*, 2018. adresse : <https://www.st.com/en/imaging-and-photonics-solutions/time-of-flight-sensors.html?querycriteria=productId=SC19345C#documentation>.
- [121] X. LU, M.-K. LAW, Y. JIANG, X. ZHAO, P.-I. MAK et R. P. MARTINS, « A 4- μm Diameter SPAD Using Less-Doped N-Well Guard Ring in Baseline 65-nm CMOS, » *IEEE Transactions on Electron Devices*, t. 67, n° 5, p. 2223-2225, 2020. DOI : [10.1109/TED.2020.2982701](https://doi.org/10.1109/TED.2020.2982701).
- [122] A. TOSI, F. ACERBI, M. ANTI et F. ZAPPA, « InGaAs/InP SPAD with improved structure for sharp timing response, » in *2012 International Electron Devices Meeting*, 2012, p. 24.4.1-24.4.4. DOI : [10.1109/IEDM.2012.6479095](https://doi.org/10.1109/IEDM.2012.6479095).
- [123] C. DUJARDIN, E. AUFRAY, E. BOURRET-COURCHESNE, P. DORENBOS, P. LECOQ, M. NIKL, A. N. VASIL'EV, A. YOSHIKAWA et R.-Y. ZHU, « Needs, Trends, and Advances in Inorganic Scintillators, » *IEEE Transactions on Nuclear Science*, t. 65, n° 8, p. 1977-1997, 2018. DOI : [10.1109/TNS.2018.2840160](https://doi.org/10.1109/TNS.2018.2840160).
- [124] WIKIPÉDIA, *Tomographie par émission de positons — Wikipédia, l'encyclopédie libre*, [En ligne ; Page disponible le 18-septembre-2021], 2021. adresse : http://fr.wikipedia.org/w/index.php?title=Tomographie_par_%C3%A9mission_de_positons&oldid=186419393.
- [125] W. JIANG, Y. CHALICH et M. J. DEEN, « Sensors for Positron Emission Tomography Applications, » *Sensors*, t. 19, n° 22, 2019, ISSN : 1424-8220. DOI : [10.3390/s19225019](https://doi.org/10.3390/s19225019).
- [126] M.-J. LEE et E. CHARBON, « Progress in single-photon avalanche diode image sensors in standard CMOS : From two-dimensional monolithic to three-dimensional-stacked technology, » *Japanese Journal of Applied Physics*, t. 57, n° 10, 1002A3, oct. 2018, ISSN : 0021-4922. DOI : [10.7567/JJAP.57.1002A3](https://doi.org/10.7567/JJAP.57.1002A3).
- [127] S. LINDNER, S. PELLEGRINI, Y. HENRION, B. RAE, M. WOLF et E. CHARBON, « A High-PDE, Backside-Illuminated SPAD in 65/40-nm 3D IC CMOS Pixel With Cascoded Passive Quenching and Active Recharge, » *IEEE Electron Device Letters*, t. 38, n° 11, p. 1547-1550, 2017. DOI : [10.1109/LED.2017.2755989](https://doi.org/10.1109/LED.2017.2755989).
- [128] B.-L. BERUBE, V.-P. RHEAUME, S. PARENT, L. MAURIS, A. C. THERRIEN, P. G. CHARETTE, S. A. CHARLEBOIS, R. FONTAINE et J.-F. PRATTE, « Implementation Study of Single Photon Avalanche Diodes (SPAD) in 0.8 μm HV CMOS Technology, » *IEEE Transactions on Nuclear Science*, t. 62, n° 3, p. 710-718, juin 2015, ISSN : 0018-9499. DOI : [10.1109/TNS.2015.2424852](https://doi.org/10.1109/TNS.2015.2424852).
- [129] E. CHARBON, M. SCANDINI, J. MATA PAVIA et M. WOLF, « A dual backside-illuminated 800-cell multi-channel digital SiPM with 100 TDCs in 130nm 3D IC technology, » p. 1-4, 2014. DOI : [10.1109/NSSMIC.2014.7431246](https://doi.org/10.1109/NSSMIC.2014.7431246).
- [130] E. CHARBON, C. BRUSCHINI et M.-J. LEE, « 3D-Stacked CMOS SPAD Image Sensors : Technology and Applications, » in *2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, IEEE, déc. 2018, p. 1-4, ISBN : 978-1-5386-9562-3. DOI : [10.1109/ICECS.2018.8617983](https://doi.org/10.1109/ICECS.2018.8617983).
- [131] K. MORIMOTO, « Megapixel SPAD cameras for time-resolved applications, » Theses, EPFL, 2021. DOI : [10.5075/epfl-thesis-8773](https://doi.org/10.5075/epfl-thesis-8773).
- [132] P. SUN, B. MIMOUN, E. CHARBON et R. ISHIHARA, « A flexible ultra-thin-body SOI single-photon avalanche diode, » in *2013 IEEE International Electron Devices Meeting*, IEEE, déc. 2013, p. 284-287, ISBN : 978-1-4799-2306-9. DOI : [10.1109/IEDM.2013.6724606](https://doi.org/10.1109/IEDM.2013.6724606).
- [133] V. AGARWAL, A. ANNEMA, S. DUTTA, R. HUETING, L. NANVER et B. NAUTA, « Random Telegraph Signal phenomena in avalanche mode diodes : Application to SPADs, » p. 264-267, 2016. DOI : [10.1109/ESSDERC.2016.7599636](https://doi.org/10.1109/ESSDERC.2016.7599636).

- [134] P. SUN, E. CHARBON et R. ISHIHARA, « A Flexible Ultrathin-Body Single-Photon Avalanche Diode With Dual-Side Illumination, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 20, n° 6, p. 276-283, nov. 2014, ISSN : 1077-260X. DOI : [10.1109/JSTQE.2014.2342193](https://doi.org/10.1109/JSTQE.2014.2342193).
- [135] V. AGARWAL, S. DUTTA, A. J. ANNEMA, R. J. E. HUETING, J. SCHMITZ, M. LEE, E. CHARBON et B. NAUTA, « Optocoupling in CMOS, » in *2018 IEEE International Electron Devices Meeting (IEDM)*, t. 2018-Decem, IEEE, déc. 2018, p. 1-32, ISBN : 978-1-7281-1987-8. DOI : [10.1109/IEDM.2018.8614523](https://doi.org/10.1109/IEDM.2018.8614523).
- [136] A. M. PAWLIKOWSKA, A. HALIMI, R. A. LAMB et G. S. BULLER, « Single-photon three-dimensional imaging at up to 10 kilometers range, » *Optics express*, t. 25, n° 10, p. 11 919-11 931, 2017. DOI : [10.1364/OE.25.011919](https://doi.org/10.1364/OE.25.011919).
- [137] M. LIU, C. HU, X. BAI, X. GUO, J. C. CAMPBELL, Z. PAN et M. M. TASHIMA, « High-performance InGaAs/InP single-photon avalanche photodiode, » *IEEE Journal of selected topics in quantum electronics*, t. 13, n° 4, p. 887-894, 2007. DOI : [10.1109/JSTQE.2007.903855](https://doi.org/10.1109/JSTQE.2007.903855).
- [138] Y. BENHAMMOU, « Développement de SPADs (Single Photon Avalanche Diodes) à cavité de germanium sur silicium en intégration 3D avec une technologie silicium CMOS 40nm, » Theses, Université de Lyon, INSA Lyon, n°2020LYSEI123, déc. 2020.
- [139] A. CATHELIN, « RF/analog and mixed-signal design techniques in FD-SOI technology, » in *2017 IEEE Custom Integrated Circuits Conference (CICC)*, 2017, p. 1-53. DOI : [10.1109/CICC.2017.7993721](https://doi.org/10.1109/CICC.2017.7993721).
- [140] S. CRISTOLOVEANU et S. LI, *Electrical characterization of silicon-on-insulator materials and devices*. Springer Science & Business Media, 1995, t. 305. DOI : [10.1007/978-1-4615-2245-4](https://doi.org/10.1007/978-1-4615-2245-4).
- [141] J.-P. COLINGE, *Silicon-on-insulator technology : materials to VLSI : materials to Vlsi*. Springer Science & Business Media, 2004. DOI : [10.1007/978-1-4757-2611-4](https://doi.org/10.1007/978-1-4757-2611-4).
- [142] T. SAKURAI, A. MATSUZAWA et T. DOUSEKI, *Fully-depleted SOI CMOS circuits and technology*. Springer, 2006. DOI : [10.1007/978-0-387-29218-2](https://doi.org/10.1007/978-0-387-29218-2).
- [143] J.-P. COLINGE et al., *FinFETs and other multi-gate transistors*. Springer, 2008, t. 73. DOI : [10.1007/978-0-387-71752-4](https://doi.org/10.1007/978-0-387-71752-4).
- [144] S. CRISTOLOVEANU, *Fully Depleted Silicon-On-Insulator : Nanodevices, Mechanisms and Characterization*. Elsevier, 2021.
- [145] J. TSCHANZ, J. KAO, S. NARENDRA, R. NAIR, D. ANTONIADIS, A. CHANDRAKASAN et V. DE, « Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage, » *IEEE Journal of Solid-State Circuits*, t. 37, n° 11, p. 1396-1402, 2002. DOI : [10.1109/JSSC.2002.803949](https://doi.org/10.1109/JSSC.2002.803949).
- [146] L. YAN, J. LUO et N. JHA, « Joint dynamic voltage scaling and adaptive body biasing for heterogeneous distributed real-time embedded systems, » *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, t. 24, n° 7, p. 1030-1041, 2005. DOI : [10.1109/TCAD.2005.850895](https://doi.org/10.1109/TCAD.2005.850895).
- [147] A. CATHELIN, « Fully Depleted Silicon on Insulator Devices CMOS : The 28-nm Node Is the Perfect Technology for Analog, RF, mmW, and Mixed-Signal System-on-Chip Integration, » *IEEE Solid-State Circuits Magazine*, t. 9, n° 4, p. 18-26, 2017. DOI : [10.1109/MSSC.2017.2745738](https://doi.org/10.1109/MSSC.2017.2745738).
- [148] D. JACQUET, F. HASBANI, P. FLATRESSE, R. WILSON, F. ARNAUD, G. CESANA, T. DI GILIO, C. LECOCQ, T. ROY, A. CHHABRA, C. GROVER, O. MINEZ, J. UGINET, G. DURIEU, C. ADOBATI, D. CASALOTTO, F. NYER, P. MENUT, A. CATHELIN, I. VONGSAVADY et P. MAGARSHACK, « A 3 GHz Dual Core Processor ARM Cortex TM -A9 in 28 nm UTBB FD-SOI CMOS With Ultra-Wide Voltage Range and Energy Efficiency Optimization, » *IEEE Journal of Solid-State Circuits*, t. 49, n° 4, p. 812-826, 2014. DOI : [10.1109/JSSC.2013.2295977](https://doi.org/10.1109/JSSC.2013.2295977).

- [149] J.-P. NOEL, O. THOMAS, M.-A. JAUD, O. WEBER, T. POIROUX, C. FENOUILLET-BERANGER, P. RIVALLIN, P. SCHEIBLIN, F. ANDRIEU, M. VINET, O. ROZEAU, F. BOEUF, O. FAYNOT et A. AMARA, « Multi- V_T UTBB FDSOI Device Architectures for Low-Power CMOS Circuit, » *IEEE Transactions on Electron Devices*, t. 58, n° 8, p. 2473-2482, 2011. DOI : [10.1109/TED.2011.2155658](https://doi.org/10.1109/TED.2011.2155658).
- [150] J.-P. COLINGE, « Fully-depleted SOI CMOS for analog applications, » *IEEE Transactions on Electron Devices*, t. 45, n° 5, p. 1010-1016, 1998. DOI : [10.1109/16.669511](https://doi.org/10.1109/16.669511).
- [151] N. PLANES, O. WEBER, V. BARRAL, S. HAENDLER, D. NOBLET, D. CROAIN, M. BOCAT, P.-O. SASSOULAS, X. FEDERSPIEL, A. CROS, A. BAJOLET, E. RICHARD, B. DUMONT, P. PERREAU, D. PETIT, D. GOLANSKI, C. FENOUILLET-BÉRANGER, N. GUILLOT, M. RAFIK, V. HUARD, S. PUGET, X. MONTAGNER, M.-A. JAUD, O. ROZEAU, O. SAXOD, F. WACQUANT, F. MONSIEUR, D. BARGE, L. PINZELLI, M. MELLIER, F. BOEUF, F. ARNAUD et M. HAOND, « 28nm FDSOI technology platform for high-speed low-voltage digital applications, » in *2012 Symposium on VLSI Technology (VLSIT)*, 2012, p. 133-134. DOI : [10.1109/VLSIT.2012.6242497](https://doi.org/10.1109/VLSIT.2012.6242497).
- [152] F. ARNAUD, N. PLANES, O. WEBER, V. BARRAL, S. HAENDLER, P. FLATRESSE et F. NYER, « Switching energy efficiency optimization for advanced CPU thanks to UTBB technology, » in *2012 International Electron Devices Meeting*, 2012, p. 3.2.1-3.2.4. DOI : [10.1109/IEDM.2012.6478970](https://doi.org/10.1109/IEDM.2012.6478970).
- [153] T. C. de ALBUQUERQUE, D. ISSARTEL, R. CLERC, P. PITTET, R. CELLIER, W. UHRING, A. CATHELIN et F. CALMON, « Body-biasing considerations with SPAD FDSOI : advantages and drawbacks, » in *ESSDERC 2019 - 49th European Solid-State Device Research Conference (ESSDERC)*, 2019, p. 210-213. DOI : [10.1109/ESSDERC.2019.8901825](https://doi.org/10.1109/ESSDERC.2019.8901825).
- [154] M. VIGNETTI, F. CALMON, P. LESIEUR et A. SAVOY-NAVARRO, « Simulation study of a novel 3D SPAD pixel in an advanced FD-SOI technology, » *Solid-State Electronics*, t. 128, p. 163-171, 2017, Extended papers selected from EUROSUI-ULIS 2016, ISSN : 0038-1101. DOI : <https://doi.org/10.1016/j.sse.2016.10.014>.
- [155] D. ISSARTEL, T. C. de ALBUQUERQUE, R. CLERC, P. PITTET, R. CELLIER, D. GOLANSKI, A. CATHELIN et F. CALMON, « SPAD FDSOI cell optimization for lower dark count rate achievement, » in *2020 Joint International EUROSUI Workshop and International Conference on Ultimate Integration on Silicon (EUROSUI-ULIS)*, 2020, p. 1-5. DOI : [10.1109/EUROSUI-ULIS49407.2020.9365292](https://doi.org/10.1109/EUROSUI-ULIS49407.2020.9365292).
- [156] M. D. LAKEH, J.-B. KAMMERER, E. AGUÉNOUNON, D. ISSARTEL, J.-B. SCHELL, S. RINK, A. CATHELIN, F. CALMON et W. UHRING, « An Ultrafast Active Quenching Active Reset Circuit with 50% SPAD Afterpulsing Reduction in a 28 nm FD-SOI CMOS Technology Using Body Biasing Technique, » t. 21, 2021, p. 4014. DOI : [10.3390/s21124014](https://doi.org/10.3390/s21124014).
- [157] T. CHAVES DE ALBUQUERQUE, « Integration of Single Photon Avalanche Diodes in Fully Depleted Silicon-on-Insulator Technology, » Theses, Université de Lyon, INSA Lyon, n°2019LYSEI091, nov. 2019.
- [158] SYNOPSYS, « Sentaurus™ Structure Editor User Guide, » 2018.
- [159] —, « Sentaurus™ Process User Guide, » 2018.
- [160] —, « Sentaurus™ Device User Guide, » 2018.
- [161] —, « Sentaurus™ Visual User Guide, » 2018.
- [162] S. SZE et K. K. NG, *Physics of Semiconductor Devices*. Hoboken, NJ, USA : John Wiley & Sons, Inc., oct. 2006, ISBN : 9780470068328. DOI : [10.1002/0470068329](https://doi.org/10.1002/0470068329).
- [163] H. MATHIEU et H. FANET, *Physique des semiconducteurs et des composants électroniques*, 6^e éd., DUNOD, éd. 2009, ISBN : 9782100541348.
- [164] C.-t. SAH, R. N. NOYCE et W. SHOCKLEY, « Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics, » *Proceedings of the IRE*, t. 45, n° 9, p. 1228-1243, 1957. DOI : [10.1109/JRPROC.1957.278528](https://doi.org/10.1109/JRPROC.1957.278528).

- [165] R. N. HALL, « Electron-Hole Recombination in Germanium, » *Phys. Rev.*, t. 87, p. 387-387, 1952. DOI : [10.1103/PhysRev.87.387](https://doi.org/10.1103/PhysRev.87.387).
- [166] W. SHOCKLEY et W. T. READ, « Statistics of the Recombinations of Holes and Electrons, » *Phys. Rev.*, t. 87, p. 835-842, 5 1952. DOI : [10.1103/PhysRev.87.835](https://doi.org/10.1103/PhysRev.87.835).
- [167] J. FOSSUM et D. LEE, « A physical model for the dependence of carrier lifetime on doping density in nondegenerate silicon, » *Solid-State Electronics*, t. 25, n° 8, p. 741-747, 1982, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(82\)90203-9](https://doi.org/10.1016/0038-1101(82)90203-9).
- [168] J. FOSSUM, R. MERTENS, D. LEE et J. NIJS, « Carrier recombination and lifetime in highly doped silicon, » *Solid-State Electronics*, t. 26, n° 6, p. 569-576, 1983, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(83\)90173-9](https://doi.org/10.1016/0038-1101(83)90173-9).
- [169] M. TYAGI et R. VAN OVERSTRAETEN, « Minority carrier recombination in heavily-doped silicon, » *Solid-State Electronics*, t. 26, n° 6, p. 577-597, 1983, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(83\)90174-0](https://doi.org/10.1016/0038-1101(83)90174-0).
- [170] G. HURKX, D. KLAASSEN et M. KNUVERS, « A new recombination model for device simulation including tunneling, » *IEEE Transactions on Electron Devices*, t. 39, n° 2, p. 331-338, 1992. DOI : [10.1109/16.121690](https://doi.org/10.1109/16.121690).
- [171] G. HURKX, « On the modelling of tunnelling currents in reverse-biased p-n junctions, » *Solid-State Electronics*, t. 32, n° 8, p. 665-668, 1989, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(89\)90146-9](https://doi.org/10.1016/0038-1101(89)90146-9).
- [172] A. SCHENK, « Rigorous theory and simplified model of the band-to-band tunneling in silicon, » *Solid-State Electronics*, t. 36, n° 1, p. 19-34, 1993, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(93\)90065-X](https://doi.org/10.1016/0038-1101(93)90065-X).
- [173] J. LIOU, « Modeling the tunnelling current in reverse-biased p/n junctions, » *Solid-state electronics*, t. 33, n° 7, p. 971-972, 1990. DOI : [10.1016/0038-1101\(90\)90081-0](https://doi.org/10.1016/0038-1101(90)90081-0).
- [174] M. PLAKHOTNYUK, « Nanostructured Heterojunction Crystalline Silicon Solar Cells with Transition Metal Oxide Carrier Selective Contacts, » 2018.
- [175] A. G. CHYNOWETH, « Ionization Rates for Electrons and Holes in Silicon, » *Phys. Rev.*, t. 109, p. 1537-1540, 5 1958. DOI : [10.1103/PhysRev.109.1537](https://doi.org/10.1103/PhysRev.109.1537).
- [176] R. VAN OVERSTRAETEN et H. DE MAN, « Measurement of the ionization rates in diffused silicon p-n junctions, » *Solid-State Electronics*, t. 13, n° 5, p. 583-608, 1970, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(70\)90139-5](https://doi.org/10.1016/0038-1101(70)90139-5).
- [177] Y. OKUTO et C. CROWELL, « Threshold energy effect on avalanche breakdown voltage in semiconductor junctions, » *Solid-State Electronics*, t. 18, n° 2, p. 161-168, 1975, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(75\)90099-4](https://doi.org/10.1016/0038-1101(75)90099-4).
- [178] T. LACKNER, « Avalanche multiplication in semiconductors : A modification of Chynoweth's law, » *Solid-State Electronics*, t. 34, n° 1, p. 33-42, 1991, ISSN : 0038-1101. DOI : [10.1016/0038-1101\(91\)90197-7](https://doi.org/10.1016/0038-1101(91)90197-7).
- [179] M. VALDINOCI, D. VENTURA, M. VECCHI, M. RUDAN, G. BACCARANI, F. ILLIEN, A. STRICKER et L. ZULLINO, « Impact-ionization in silicon at large operating temperature, » in *1999 International Conference on Simulation of Semiconductor Processes and Devices. SISPAD'99 (IEEE Cat. No.99TH8387)*, 1999, p. 27-30. DOI : [10.1109/SISPAD.1999.799251](https://doi.org/10.1109/SISPAD.1999.799251).
- [180] S. REGGIANI, A. VALDINOCI, L. COLALONGO, M. RUDAN, G. BACCARANI, A. STRICKER, F. ILLIEN, N. FELBER, W. FICHTNER, S. METTLER, S. LINDENKREUZ et L. ZULLINO, « Surface mobility in silicon at large operating temperature, » in *International Conference on Simulation of Semiconductor Processes and Devices*, 2002, p. 15-20. DOI : [10.1109/SISPAD.2002.1034506](https://doi.org/10.1109/SISPAD.2002.1034506).

- [181] E. GNANI, S. REGGIANI, M. RUDAN et G. BACCARANI, « Extraction method for the impact-ionization multiplication factor in silicon at large operating temperatures, » in *32nd European Solid-State Device Research Conference*, IEEE, 2002, p. 227-230. DOI : [10.1109/essderc.2002.194911](https://doi.org/10.1109/essderc.2002.194911).
- [182] S. REGGIANI, E. GNANI, M. RUDAN, G. BACCARANI, C. CORVASCE, D. BARLINI, M. CIAPPA, W. FICHTNER, M. DENISON, N. JENSEN, G. GROOS et M. STECHER, « Experimental extraction of the electron impact-ionization coefficient at large operating temperatures, » in *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004.*, 2004, p. 407-410. DOI : [10.1109/IEDM.2004.1419171](https://doi.org/10.1109/IEDM.2004.1419171).
- [183] S. REGGIANI, M. RUDAN, E. GNANI et G. BACCARANI, « Investigation about the high-temperature impact-ionization coefficient in silicon, » in *Proceedings of the 30th European Solid-State Circuits Conference (IEEE Cat. No.04EX850)*, 2004, p. 245-248. DOI : [10.1109/ESSDER.2004.1356535](https://doi.org/10.1109/ESSDER.2004.1356535).
- [184] M. SINGH TYAGI, « Zener and avalanche breakdown in silicon alloyed p-n junctions—II : Effect of temperature on the reverse characteristics and criteria for distinguishing between the two breakdown mechanisms, » *Solid-State Electronics*, t. 11, n° 1, p. 117-128, 1968, ISSN : 0038-1101. DOI : [https://doi.org/10.1016/0038-1101\(68\)90142-1](https://doi.org/10.1016/0038-1101(68)90142-1).
- [185] CMP, « Formation Technologie CMOS FDSOI 28nm, » 2018.
- [186] S. DUTTA, G. J. M. WIENK, R. J. E. HUETING, J. SCHMITZ et A.-J. ANNEMA, « Optical Power Efficiency Versus Breakdown Voltage of Avalanche-Mode Silicon LEDs in CMOS, » *IEEE Electron Device Letters*, t. 38, n° 7, p. 898-901, juill. 2017, ISSN : 0741-3106. DOI : [10.1109/LED.2017.2701505](https://doi.org/10.1109/LED.2017.2701505).
- [187] S. DUTTA, R. J. E. HUETING, A.-J. ANNEMA, L. QI, L. K. NANVER et J. SCHMITZ, « Opto-electronic modeling of light emission from avalanche-mode silicon p + n junctions, » *Journal of Applied Physics*, t. 118, n° 11, p. 114 506, sept. 2015, ISSN : 0021-8979. DOI : [10.1063/1.4931056](https://doi.org/10.1063/1.4931056).
- [188] P. J. VENTER et M. DU PLESSIS, « A 128 × 96 pixel CMOS microdisplay utilizing hot carrier electroluminescence from junctions in reach through, » *IEEE/OSA Journal of Display Technology*, t. 10, n° 9, p. 721-728, 2014, ISSN : 1551319X. DOI : [10.1109/JDT.2014.2317557](https://doi.org/10.1109/JDT.2014.2317557).
- [189] M. du PLESSIS, P. J. VENTER et E. BELLOTTI, « Spectral Characteristics of Hot Electron Electroluminescence in Silicon Avalanche Junctions, » *IEEE Journal of Quantum Electronics*, t. 49, n° 7, p. 570-577, juill. 2013, ISSN : 0018-9197. DOI : [10.1109/JQE.2013.2260724](https://doi.org/10.1109/JQE.2013.2260724).
- [190] A. G. CHYNOWETH et K. G. MCKAY, « Photon Emission from Avalanche Breakdown in Silicon, » *Physical Review*, t. 102, n° 2, p. 369-376, avr. 1956, ISSN : 0031-899X. DOI : [10.1103/PhysRev.102.369](https://doi.org/10.1103/PhysRev.102.369).
- [191] ANDOR, *Zyla sCMOS Datasheet - Dynamically Image Cells with Breakthrough Precision and Clarity*. adresse : <https://andor.oxinst.com/products/scmos-camera-series/zyla-5-5-scmos>.
- [192] R. WIDENHORN, M. M. BLOUKE, A. WEBER, A. REST et E. BODEGOM, « Temperature dependence of dark current in a CCD, » in *Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications III*, International Society for Optics et Photonics, t. 4669, SPIE, 2002, p. 193-201. DOI : [10.1117/12.463446](https://doi.org/10.1117/12.463446).
- [193] J.-M. BELLOIR, « Spectroscopie du courant d'obscurité induit par les effets de déplacement atomique des radiations spatiales et nucléaires dans les capteurs d'images CMOS à photodiode pincée, » Theses, ISAE, 2016.
- [194] S. PARENT, V.-P. RHÉAUME, B.-L. BÉRUBÉ, S. MARTEL, R. FONTAINE, S. CHARLEBOIS et J.-F. PRATTE, « A Noise Reduction Method for Single Photon Avalanche Diode in 0.8 μm HV CMOS Technology, » 2014.

- [195] J. D. BEASOM, *Device with patterned wells and method for forming same*, US Patent 6,555,894, 2003.
- [196] V. A. GRITSENKO, « Structure of silicon/oxide and nitride/oxide interfaces, » *Physics-Uspekhi*, t. 52, n° 9, p. 869, 2009. DOI : [10.3367/ufne.0179.200909a.0921](https://doi.org/10.3367/ufne.0179.200909a.0921).
- [197] P. M. FAHEY, P. B. GRIFFIN et J. D. PLUMMER, « Point defects and dopant diffusion in silicon, » *Rev. Mod. Phys.*, t. 61, p. 289-384, 2 1989. DOI : [10.1103/RevModPhys.61.289](https://doi.org/10.1103/RevModPhys.61.289).
- [198] R. C. NEWMAN, « Defects in silicon, » t. 45, n° 10, p. 1163-1210, 1982. DOI : [10.1088/0034-4885/45/10/003](https://doi.org/10.1088/0034-4885/45/10/003).
- [199] M. SHIRAIISHI, J.-U. SACHSE, H. LEMKE et J. WEBER, « DLTS analysis of nickel–hydrogen complex defects in silicon, » *Materials Science and Engineering : B*, t. 58, n° 1, p. 130-133, 1999. DOI : [https://doi.org/10.1016/S0921-5107\(98\)00280-3](https://doi.org/10.1016/S0921-5107(98)00280-3).
- [200] A. REISMAN, C. K. WILLIAMS et J. MALDONADO, « Generation and annealing of defects in silicon dioxide, » *Journal of applied physics*, t. 62, n° 3, p. 868-874, 1987. DOI : [10.1063/1.339691](https://doi.org/10.1063/1.339691).
- [201] A. CUEVAS, P. A. BASORE, G. GIROULT-MATLAKOWSKI et C. DUBOIS, « Surface recombination velocity of highly doped n-type silicon, » *Journal of Applied Physics*, t. 80, n° 6, p. 3370-3375, 1996. DOI : [10.1063/1.363250](https://doi.org/10.1063/1.363250).
- [202] A. CUEVAS, P. BASORE, G. GIROULT-MATLAKOWSKI et C. DUBOIS, « Surface recombination velocity and energy bandgap narrowing of highly doped n-type silicon, » *Proc. of the 13th EU PVSEC*, p. 337-342, 1995.
- [203] R. R. KING et R. M. SWANSON, « Studies of diffused boron emitters : saturation current, bandgap narrowing, and surface recombination velocity, » *IEEE Transactions on Electron Devices*, t. 38, n° 6, p. 1399-1409, 1991. DOI : [10.1109/16.81632](https://doi.org/10.1109/16.81632).
- [204] R. KING, R. SINTON et R. SWANSON, « Studies of diffused phosphorus emitters : saturation current, surface recombination velocity, and quantum efficiency, » *IEEE Transactions on electron devices*, t. 37, n° 2, p. 365-371, 1990. DOI : [10.1109/16.46368](https://doi.org/10.1109/16.46368).
- [205] Y. OUSSAITI et AL, « Behavior and Models for quench efficiency in Single-Photon Detection, » in *Poster, Single-Photon Workshop, Milan, Italie, 2019*.
- [206] A. GULINATTI, I. RECH, P. MACCAGNANI, M. GHIONI et S. COVA, « Large-area avalanche diodes for picosecond time-correlated photon counting, » in *Proceedings of 35th European Solid-State Device Research Conference, 2005. ESSDERC 2005.*, 2005, p. 355-358. DOI : [10.1109/ESSDERC.2005.1546658](https://doi.org/10.1109/ESSDERC.2005.1546658).
- [207] A. DALLA MORA, A. TOSI, S. TISA et F. ZAPPA, « Single-Photon Avalanche Diode Model for Circuit Simulations, » *IEEE Photonics Technology Letters*, t. 19, n° 23, p. 1922-1924, 2007. DOI : [10.1109/LPT.2007.908768](https://doi.org/10.1109/LPT.2007.908768).
- [208] D. ISSARTEL, S. GAO, S. HAGEN, P. PITTET, R. CELLIER, D. GOLANSKI, A. CATHELIN et F. CALMON, « Avalanche Transient Simulations of SPAD integrated in 28 nm FD-SOI CMOS Technology, » in *2021 Joint International EUROSOCI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOCI-ULIS)*, 2021.
- [209] M. D. LAKEH, J.-B. KAMMERER, W. UHRING, J.-B. SCHELL et F. CALMON, « An Ultrafast Active Quenching Circuit for SPAD in CMOS 28nm FDSOI Technology, » in *2020 IEEE SENSORS*, 2020, p. 1-4. DOI : [10.1109/SENSORS47125.2020.9278902](https://doi.org/10.1109/SENSORS47125.2020.9278902).
- [210] M. D. LAKEH, J.-B. KAMMERER, J.-B. SCHELL, D. ISSARTEL, F. CALMON, A. CATHELIN et W. UHRING, « An Active Quenching Circuit for a Native 3D SPAD Pixel in a 28 nm CMOS FDSOI Technology, » in *2021 19th IEEE International New Circuits and Systems Conference (NEWCAS)*, 2021, p. 1-4. DOI : [10.1109/NEWCAS50681.2021.9462754](https://doi.org/10.1109/NEWCAS50681.2021.9462754).

- [211] A. ROCHAS, A. PAUCHARD, P.-A. BESSE, D. PANTIC, Z. PRIJIC et R. POPOVIC, « Low-noise silicon avalanche photodiodes fabricated in conventional CMOS technologies, » *IEEE Transactions on Electron Devices*, t. 49, n° 3, p. 387-394, 2002. DOI : [10.1109/16.987107](https://doi.org/10.1109/16.987107).
- [212] M. GERSBACH, C. NICLASS, E. CHARBON, J. RICHARDSON, R. HENDERSON et L. GRANT, « A single photon detector implemented in a 130nm CMOS imaging process, » in *ESSDERC 2008 - 38th European Solid-State Device Research Conference*, 2008, p. 270-273. DOI : [10.1109/ESSDERC.2008.4681750](https://doi.org/10.1109/ESSDERC.2008.4681750).
- [213] D. L. BOIKO, N. J. GUNTHER, N. BRAUER, M. SERGIO, C. NICLASS, G. B. BERETTA et E. CHARBON, « On the application of a monolithic array for detecting intensity-correlated photons emitted by different source types, » *Opt. Express*, t. 17, n° 17, p. 15 087-15 103, 2009. DOI : [10.1364/OE.17.015087](https://doi.org/10.1364/OE.17.015087).
- [214] D. MOSCONI, D. STOPPA, L. PANCHERI, L. GONZO et A. SIMONI, « CMOS Single-Photon Avalanche Diode Array for Time-Resolved Fluorescence Detection, » in *2006 Proceedings of the 32nd European Solid-State Circuits Conference*, 2006, p. 564-567. DOI : [10.1109/ESSCIR.2006.307487](https://doi.org/10.1109/ESSCIR.2006.307487).
- [215] J. A. RICHARDSON, L. A. GRANT et R. K. HENDERSON, « Low Dark Count Single-Photon Avalanche Diode Structure Compatible With Standard Nanometer Scale CMOS Technology, » *IEEE Photonics Technology Letters*, t. 21, n° 14, p. 1020-1022, 2009. DOI : [10.1109/LPT.2009.2022059](https://doi.org/10.1109/LPT.2009.2022059).
- [216] R. K. HENDERSON, E. A. G. WEBSTER, R. WALKER, J. A. RICHARDSON et L. A. GRANT, « A 3×3 , $5\mu\text{m}$ pitch, 3-transistor single photon avalanche diode array with integrated 11V bias generation in 90nm CMOS technology, » in *2010 International Electron Devices Meeting*, 2010, p. 14.2.1-14.2.4. DOI : [10.1109/IEDM.2010.5703359](https://doi.org/10.1109/IEDM.2010.5703359).
- [217] T. LEITNER, A. FEININGSTEIN, R. TURCHETTA, R. COATH, S. CHICK, G. VISOKOLOV, V. SAVUSKAN, M. JAVITT, L. GAL, I. BROUK, S. BAR-LEV et Y. NEMIROVSKY, « Measurements and Simulations of Low Dark Count Rate Single Photon Avalanche Diode Device in a Low Voltage 180-nm CMOS Image Sensor Technology, » *IEEE Transactions on Electron Devices*, t. 60, n° 6, p. 1982-1988, 2013. DOI : [10.1109/TED.2013.2259172](https://doi.org/10.1109/TED.2013.2259172).
- [218] S. MANDAI et E. CHARBON, « A $4 \times 4 \times 416$ digital SiPM array with 192 TDCs for multiple high-resolution timestamp acquisition, » *Journal of Instrumentation*, t. 8, n° 05, P05024-P05024, 2013. DOI : [10.1088/1748-0221/8/05/p05024](https://doi.org/10.1088/1748-0221/8/05/p05024).
- [219] S. BURRI, Y. MARUYAMA, X. MICHALET, F. REGAZZONI, C. BRUSCHINI et E. CHARBON, « Architecture and applications of a high resolution gated SPAD image sensor, » *Opt. Express*, t. 22, n° 14, p. 17 573-17 589, 2014. DOI : [10.1364/OE.22.017573](https://doi.org/10.1364/OE.22.017573).
- [220] L. PARMESAN, N. A. W. DUTTON, N. J. CALDERY, N. KRSTAJI, A. J. HOLMES, L. A. GRANT et R. K. HENDERSON, « A 256×256 SPAD array with in-pixel Time to Amplitude Conversion for Fluorescence Lifetime Amplitude Conversion for Fluorescence Lifetime Imaging Microscopy, » *Int. Image Sensor Workshop (IISW), Vaals, Netherlands*, 2015.
- [221] N. A. DUTTON, L. PARMESAN, A. J. HOLMES, L. A. GRANT et R. K. HENDERSON, « 320×240 oversampled digital single photon counting image sensor, » p. 1-2, 2014. DOI : [10.1109/VLSIC.2014.6858428](https://doi.org/10.1109/VLSIC.2014.6858428).
- [222] C. VEERAPPAN et E. CHARBON, « CMOS SPAD Based on Photo-Carrier Diffusion Achieving PDP $>40\%$ From 440 to 580 nm at 4 V Excess Bias, » *IEEE Photonics Technology Letters*, t. 27, n° 23, p. 2445-2448, 2015. DOI : [10.1109/LPT.2015.2468067](https://doi.org/10.1109/LPT.2015.2468067).
- [223] —, « A Low Dark Count p-i-n Diode Based SPAD in CMOS Technology, » *IEEE Transactions on Electron Devices*, t. 63, n° 1, p. 65-71, 2016. DOI : [10.1109/TED.2015.2475355](https://doi.org/10.1109/TED.2015.2475355).

- [224] Z. YOU, L. PARMESAN, S. PELLEGRINI et R. K. HENDERSON, « 3 μ m Pitch, 1 μ m Active Diameter SPAD Arrays in 130nm CMOS Imaging Technology, » *Int. Image Sensor Workshop (IISW)*, Hiroshima, Japan, 2017.
- [225] I. GYONGY, N. CALDER, A. DAVIES, N. A. W. DUTTON, R. R. DUNCAN, C. RICKMAN, P. DALGARNO et R. K. HENDERSON, « A 256 \times 256 , 100-kfps, 61% Fill-Factor SPAD Image Sensor for Time-Resolved Microscopy Applications, » *IEEE Transactions on Electron Devices*, t. 65, n^o 2, p. 547-554, 2018. DOI : [10.1109/TED.2017.2779790](https://doi.org/10.1109/TED.2017.2779790).
- [226] A. KATZ, C. VAINSTEIN, A. SHOHAM, T. BLANK, T. LEITNER, A. FENIGSTEIN, Y. BIRK et Y. NEMIROVSKY, « CMOS Single-Photon Avalanche Diode Pixel Design for a Gun Muzzle Flash Detection Camera, » *IEEE Transactions on Electron Devices*, t. 65, n^o 10, p. 4407-4412, 2018. DOI : [10.1109/TED.2018.2866630](https://doi.org/10.1109/TED.2018.2866630).
- [227] M. MORENO-GARCÍA, H. XU, L. GASPARINI et M. PERENZONI, « Low-Noise Single Photon Avalanche Diodes in a 110nm CIS Technology, » in *2018 48th European Solid-State Device Research Conference (ESSDERC)*, 2018, p. 94-97. DOI : [10.1109/ESSDERC.2018.8486883](https://doi.org/10.1109/ESSDERC.2018.8486883).
- [228] Y. HIROSE, S. KOYAMA, T. OKINO, A. INOUE, S. SAITO, Y. NOSE, M. ISHII, S. YAMAHIRA, S. KASUGA, M. MORI, T. KABE, K. NAKANISHI, M. USUDA, A. ODAGAWA et T. TANAKA, « 5.6 A 400 \times 400-Pixel 6 μ m-Pitch Vertical Avalanche Photodiodes CMOS Image Sensor Based on 150ps-Fast Capacitive Relaxation Quenching in Geiger Mode for Synthesis of Arbitrary Gain Images, » in *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*, 2019, p. 104-106. DOI : [10.1109/ISSCC.2019.8662405](https://doi.org/10.1109/ISSCC.2019.8662405).
- [229] I. VORNICU, F. BANDI, R. CARMONA-GALÁN et Á. RODRÍGUEZ-VÁZQUEZ, « Low-Noise and High-Efficiency Near-IR SPADs in 110nm CIS Technology, » in *ESSDERC 2019 - 49th European Solid-State Device Research Conference (ESSDERC)*, 2019, p. 250-253. DOI : [10.1109/ESSDERC.2019.8901757](https://doi.org/10.1109/ESSDERC.2019.8901757).
- [230] G. JEGANNATHAN, H. INGELBERTS et M. KUIJK, « Current-Assisted Single Photon Avalanche Diode (CASPAD) Fabricated in 350 nm Conventional CMOS, » *Applied Sciences*, t. 10, n^o 6, 2020, ISSN : 2076-3417. DOI : [10.3390/app10062155](https://doi.org/10.3390/app10062155).
- [231] K. MORIMOTO et E. CHARBON, « High fill-factor miniaturized SPAD arrays with a guard-ring-sharing technique, » *Opt. Express*, t. 28, n^o 9, p. 13 068-13 080, 2020. DOI : [10.1364/OE.389216](https://doi.org/10.1364/OE.389216).
- [232] K. MORIMOTO, « Charge-Focusing SPAD Image Sensors for Low Light Imaging Applications, » in *Workshop ISSW*, 2020.
- [233] M. JOHNSTON, « Combining linear and SPAD-mode diode operation in pixel for wide dynamic range CMOS optical sensing, » in *Workshop ISSW*, 2020.
- [234] H. OUH, B. SHEN et M. L. JOHNSTON, « Combined In-Pixel Linear and Single-Photon Avalanche Diode Operation With Integrated Biasing for Wide-Dynamic-Range Optical Sensing, » *IEEE Journal of Solid-State Circuits*, t. 55, n^o 2, p. 392-403, 2020. DOI : [10.1109/JSSC.2019.2944856](https://doi.org/10.1109/JSSC.2019.2944856).
- [235] H. ZIMMERMANN, « Optical wireless communication with SPAD receivers, » in *Workshop ISSW*, 2020.
- [236] E. VAN SIELEGHEM, A. SÜSS, P. BOULENC, J. LEE, G. KARVE, K. DE MUNCK, C. CAVACO et C. VAN HOOF, « A Near-Infrared Enhanced Silicon Single-Photon Avalanche Diode With a Spherically Uniform Electric Field Peak, » *IEEE Electron Device Letters*, t. 42, n^o 6, p. 879-882, 2021. DOI : [10.1109/LED.2021.3070691](https://doi.org/10.1109/LED.2021.3070691).
- [237] G. ROEHRER, « 3D-Stacked SPAD in 40/45nm BSI Technology, » in *Workshop ISSW*, 2020.
- [238] J.-F. PRATTE, « 3D Integrated Front side Illuminated Photon-to-Digital Converters : Status and Applications, » in *Workshop ISSW*, 2020.

- [239] M. GHIONI, G. ARMELLINI, P. MACCAGNANI, I. RECH, M. K. EMSLEY et M. S. UNLU, « Resonant-Cavity-Enhanced Single-Photon Avalanche Diodes on Reflecting Silicon Substrates, » *IEEE Photonics Technology Letters*, t. 20, n° 6, p. 413-415, 2008. DOI : [10.1109/LPT.2008.916926](https://doi.org/10.1109/LPT.2008.916926).
- [240] C. KIM, A. KOYAMA, K. SHIMAZOE, H. TAKAHASHI, T. TAKESHITA, I. KURACHI, T. MIYOSHI, I. NAKAMURA, S. KISHIMOTO et Y. ARAI, « Development of circuit integrated monolithic SOI-SiPM for radiation detection, » *Journal of Instrumentation*, t. 15, n° 02, p. C02049-C02049, 2020. DOI : [10.1088/1748-0221/15/02/c02049](https://doi.org/10.1088/1748-0221/15/02/c02049).
- [241] R. H. HAITZ, « Model for the Electrical Behavior of a Microplasma, » *Journal of Applied Physics*, t. 35, n° 1370, 1964. DOI : [10.1063/1.1713636](https://doi.org/10.1063/1.1713636).
- [242] A. LACAITA, M. GHIONI et S. COVA, « Double epitaxy improves single-photon avalanche diode performance, » *Electronics letters*, t. 25, n° 13, p. 841-843, 1989. DOI : [10.1049/e1:19890567](https://doi.org/10.1049/e1:19890567).
- [243] A. GIUDICE, M. GHIONI, R. BIASI, F. ZAPPA, S. COVA, P. MACCAGNANI et A. GULINATTI, « High-rate photon counting and picosecond timing with silicon-SPAD based compact detector modules, » *Journal of Modern Optics*, t. 54, p. 225-237, 2007. DOI : [10.1080/09500340600763698](https://doi.org/10.1080/09500340600763698).
- [244] A. GULINATTI, I. RECH, M. ASSANELLI, M. GHIONI et S. D. COVA, « Design-oriented simulation of the Photon Detection Efficiency and temporal response of Single Photon Avalanche Diodes, » in *2009 IEEE LEOS Annual Meeting Conference Proceedings*, 2009, p. 297-298. DOI : [10.1109/LEOS.2009.5343243](https://doi.org/10.1109/LEOS.2009.5343243).
- [245] M. ASSANELLI, A. INGARGIOLA, I. RECH, A. GULINATTI et M. GHIONI, « Photon-Timing Jitter Dependence on Injection Position in Single-Photon Avalanche Diodes, » *IEEE Journal of Quantum Electronics*, t. 47, n° 2, p. 151-159, 2011. DOI : [10.1109/JQE.2010.2068038](https://doi.org/10.1109/JQE.2010.2068038).
- [246] Y. XU, P. XIANG, X. XIE et Y. HUANG, « A new modeling and simulation method for important statistical performance prediction of single photon avalanche diode detectors, » *Semiconductor Science and Technology*, t. 31, n° 6, p. 065 024, 2016. DOI : [10.1088/0268-1242/31/6/065024](https://doi.org/10.1088/0268-1242/31/6/065024).
- [247] F. CECCARELLI, G. ACCONCIA, A. GULINATTI, M. GHIONI et I. RECH, « 83-ps Timing Jitter With a Red-Enhanced SPAD and a Fully Integrated Front End Circuit, » *IEEE Photonics Technology Letters*, t. 30, n° 19, p. 1727-1730, 2018. DOI : [10.1109/LPT.2018.2867805](https://doi.org/10.1109/LPT.2018.2867805).
- [248] M. SANZARO, P. GATTARI, F. VILLA, A. TOSI, G. CROCE et F. ZAPPA, « Single-Photon Avalanche Diodes in a 0.16 μm BCD Technology With Sharp Timing Response and Red-Enhanced Sensitivity, » *IEEE Journal of Selected Topics in Quantum Electronics*, t. 24, n° 2, p. 1-9, 2018. DOI : [10.1109/JSTQE.2017.2762464](https://doi.org/10.1109/JSTQE.2017.2762464).
- [249] L. FREY, M. MARTY, S. ANDRÉ et N. MOUSSY, « Enhancing Near-Infrared Photodetection Efficiency in SPAD With Silicon Surface Nanostructuring, » *IEEE Journal of the Electron Devices Society*, t. 6, p. 392-395, 2018. DOI : [10.1109/JEDS.2018.2810509](https://doi.org/10.1109/JEDS.2018.2810509).
- [250] M. A. ITZLER, « In-P based SPADs for Automotive Lidar, » in *Workshop ISSW*, 2020.
- [251] E. DUERR, « Custom Focal Plane Arrays of SWIR SPADs, » in *Workshop ISSW*, 2020.
- [252] X. ZHOU, X. TAN, Y. LV, Y. WANG, J. LI, X. SONG, S. LIANG, Z. FENG et S. CAI, « Single-Photon-Counting Performance of 4H-SiC Avalanche Photodiodes With a Wide-Range Incident Flux, » *IEEE Photonics Technology Letters*, t. 32, n° 14, p. 847-850, 2020. DOI : [10.1109/LPT.2020.3000271](https://doi.org/10.1109/LPT.2020.3000271).

Liste des Publications

Articles de journal en tant qu'auteur secondaire

- T. Chaves de Albuquerque, **D. Issartel**, R. Clerc, P. Pittet, R. Cellier, D. Golanski, S. Jouan, A. Cathelin, F. Calmon, "Indirect Avalanche Event Detection of Single Photon Avalanche Diode Implemented in CMOS FDSOI Technology," *Solid-State Electronics*, Elsevier, Vol. 163, Jan. 2020, p.107636, doi : 10.1016/j.sse.2019.107636.
- T. Chaves de Albuquerque, **D. Issartel**, S. Gao, Y. Benhammou, D. Golanski, R. Clerc, F. Calmon, "An analytical solution for McIntyre's model and avalanche triggering probability for SPAD compact modeling and performance exploration," *Semiconductor Science and Technology*, IOP, Vol. 36, Jul. 2021, doi : 10.1088/1361-6641/ac00d0.
- M. D. Lakeh, J-B. Kammerer, E. Aguénounon, **D. Issartel**, J-B. Schell, S. Rink, A. Cathelin, F. Calmon, W. Uhring, "An Ultrafast Active Quenching Active Reset Circuit with 50% SPAD Afterpulsing Reduction in a 28 nm FD-SOI CMOS Technology Using Body Biasing Technique," *MDPI Sensors*, vol. 21, no 12, p. 4014, 2021, doi : 10.3390/s21124014.

Conférences en tant que premier auteur

- **D. Issartel**, T. Chaves de Albuquerque, R. Clerc, P. Pittet, R. Cellier, D. Golanski, A. Cathelin, F. Calmon, "SPAD FDSOI cell optimization for lower dark count rate achievement," 2020 Joint International EUROSOCI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOCI-ULIS), 2020, pp. 1-5, doi : 10.1109/EUROSOCI-ULIS49407.2020.93-65292.
- **D. Issartel**, S. Gao, S. Hagen, P. Pittet, R. Cellier, D. Golanski, A. Cathelin, F. Calmon, "Avalanche Transient Simulations of SPAD integrated in 28nm FD-SOI CMOS Technology," 2021 Joint International EUROSOCI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOCI-ULIS), 2021, doi : 10.1109/EuroSOI-ULIS53016.2021.9560679.

Conférences en tant qu'auteur secondaire

- T. Chaves de Albuquerque, **D. Issartel**, R. Clerc, P. Pittet, R. Cellier and F. Calmon, "Lowering the Dark Count Rate of SPAD Implemented in CMOS FDSOI Technology," 2019 Joint International EUROSOCI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOCI-ULIS), 2019, pp. 1-4, doi : 10.1109/EUROSOCI-ULIS45800.2019.9041916.
- T. Chaves de Albuquerque, **D. Issartel**, R. Clerc, P. Pittet, R. Cellier, W. Uhring, A. Cathelin, F. Calmon, "Body-biasing considerations with SPAD FDSOI : advantages and drawbacks," ESSDERC 2019 - 49th European Solid-State Device Research Conference (ESSDERC), 2019, pp. 210-213, doi : 10.1109/ESSDERC.2019.8901825.

- S. Gao, **D. Issartel**, R. Orobtcouk, F. Mandorlo, D. Golanski, A. Cathelin, F. Calmon, "Improving the Photon Detection Probability of SPAD Implemented in FD-SOI CMOS Technology with light-trapping concept," 2021 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EuroSOI-ULIS), 2021, pp. 1-4, doi : 10.1109/EuroSOI-ULIS53016.2021.9560684.

- S. Gao, **D. Issartel**, R. Orobtcouk, F. Mandorlo, D. Golanski, A. Cathelin, F. Calmon, "3D Electro-optical Simulations for Improving the Photon Detection Probability of SPAD Implemented in CMOS FDSOI Technology," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Dallas, USA, 2021, doi : 10.1109/SISPAD54002.2021.9592555.

- M. D. Lakeh, J-B. Kammerer, J-B. Schell, **D. Issartel**, F. Calmon, A. Cathelin, W. Uhring, "An Active Quenching Circuit for a Native 3D SPAD Pixel in a 28 nm CMOS FDSOI Technology," 2021 19th IEEE International New Circuits and Systems Conference (NEWCAS), 2021, pp. 1-4, doi : 10.1109/NEWCAS50681.2021.9462754.

FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : ISSARTEL

DATE de SOUTENANCE : 08/12/2021

Prénoms : Dylan

TITRE : **Implémentation de diode à avalanche à photon unique (SPAD)
dans une technologie CMOS FD-SOI 28nm**

NATURE : Doctorat

Numéro d'ordre : 2021LYSEI090

Ecole doctorale : EEA (Électronique, Électrotechnique et Automatique)

Spécialité : Électronique, micro et nanoélectronique, optique et laser

RESUME :

L'objectif de cette thèse concerne la simulation, la conception et la caractérisation de nouvelles structures de diodes à avalanche à photon unique (*Single Photon Avalanche Diode* - SPAD) implémentées dans la technologie CMOS FD-SOI (*Fully Depleted Silicon On Insulator*) 28nm de *STMicroelectronics*. Les photodétecteurs SPAD présentent une grande sensibilité de détection (associée à un temps de réponse très court) qui fait d'eux d'excellents candidats pour la mesure du temps de vol (*Time Of Flight* – ToF) dans des applications de télémétrie, de reconnaissance faciale et de LIDAR (*Light Detection And Ranging*) pour les voitures autonomes. L'intégration de la SPAD en CMOS FD-SOI permet de créer un pixel intrinsèquement 3D, i) en incorporant la SPAD au niveau de la jonction PW (*P-Well*) / DNW (*Deep N-Well*) dans le silicium *bulk* sous le BOX et ii) en utilisant le film silicium situé au-dessus du BOX pour intégrer l'électronique associée au détecteur (circuits d'étouffement et d'adressage), tout en optimisant le facteur de remplissage avec une approche BSI (*back side illumination*). Les SPAD réalisées dans la technologie native (avec respect des règles de dessin) ont mis en évidence plusieurs points faibles : un DCR (*Dark Count Rate*) élevé pour des tensions d'excès faibles ($500\text{Hz}/\mu\text{m}^2$ à $V_{\text{ex}} = 0.5\text{V}$ pour une tension de claquage de 9.5V) ainsi qu'un claquage prédominant sur la périphérie de la zone active. Dans ce contexte, les travaux présentés dans cette thèse ont porté sur l'optimisation des performances électriques de la SPAD FD-SOI par des modifications de la structure respectant ou non le procédé de fabrication : adaptation des conditions d'implantation du caisson profond DNW, remaniement des tranchées STI (*Shallow Trench Isolation*) etc. Les structures SPAD-FD-SOI ainsi optimisées ont démontré expérimentalement un bien meilleur niveau de DCR ($17\text{Hz}/\mu\text{m}^2$ à $V_{\text{ex}} = 1\text{V}$ pour une tension de claquage de 15.8V). Des caractérisations électro-optiques préliminaires ont été réalisées avec une probabilité de détection des photons de l'ordre de 7% à $V_{\text{ex}} = 1\text{V}$ et une longueur d'onde de 650nm. Même si ces travaux n'ont pas permis d'atteindre les performances des SPAD les plus performantes de l'état de l'art, ils ont exploré de nombreuses voies d'optimisation, certaines conduisant à une amélioration significative des performances des SPAD réalisées dans cette technologie. La poursuite de ces travaux avec l'association de ces structures SPAD FD-SOI optimisées avec une électronique intégrée performante, l'amincissement des dispositifs pour opérer avec un éclairage par la face arrière etc. devraient permettre de réaliser des pixels SPAD intrinsèquement 3D (sans recours à du collage de wafer) très performants dans le proche infrarouge pour les applications d'imagerie 3D embarquées.

MOTS-CLÉS : Single Photon Avalanche Diode (SPAD), technologie CMOS, Fully Depleted Silicon on Insulator (FD-SOI), simulation TCAD, caractérisation électro-optique

Laboratoire de recherche : Institut des Nanotechnologies de Lyon (INL) – UMR CNRS 5270

Directeur de thèse : Pr. Francis CALMON

Co-directeur de thèse : Patrick PITTET

Président de jury : Wilfried UHRING

Composition du jury : Pr. Pierre MAGNAN (rapporteur), Marco PALA (rapporteur), Andreia CATHELIN, Pr. Wilfried UHRING (président), Patrick PITTET, Pr. Francis CALMON, Rémy CELLIER (invité), Dominique GOLANSKI (invité)