



HAL
open science

Modélisation comportementale des effets de destruction d'alimentations d'équipements électroniques soumises à des impulsions électriques conduites forts niveaux

Laurine Curos

► **To cite this version:**

Laurine Curos. Modélisation comportementale des effets de destruction d'alimentations d'équipements électroniques soumises à des impulsions électriques conduites forts niveaux. Electronique. Université de Bordeaux, 2022. Français. NNT : 2022BORD0149 . tel-03685208

HAL Id: tel-03685208

<https://theses.hal.science/tel-03685208>

Submitted on 2 Jun 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEUR DE
L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE SCIENCES PHYSIQUES ET DE L'INGÉNIEUR
SPÉCIALITÉ ÉLECTRONIQUE

Par Laurine CUROS

**MODÉLISATION COMPORTEMENTALE DES EFFETS
DE DESTRUCTION D'ALIMENTATIONS
D'ÉQUIPEMENTS ÉLECTRONIQUES SOUMISES À
DES IMPULSIONS ÉLECTRIQUES CONDUITES FORTS
NIVEAUX**

Sous la direction de : Jean-Michel VINASSA

Soutenance le 13 avril 2022

Membres du jury :

Geneviève DUCHAMP	Professeure Univ. de Bordeaux	Laboratoire IMS	Présidente
Christian VOLLAIRE	Professeur École Centrale de Lyon	Laboratoire AMPERE	Rapporteur
Laurent PECASTAING	Professeur Univ. de Pau et Pays de l'Adour	Laboratoire SIAME	Rapporteur
Françoise PALADIAN	Professeure Univ. de Clermont Auvergne	Institut Pascal	Examinatrice
Fabrice CAIGNET	Maître de Conférences Univ. Paul Sabatier	Laboratoire LAAS	Examinateur
Jean-Michel VINASSA	Professeur Bordeaux INP	Laboratoire IMS	Directeur de thèse
Tristan DUBOIS	Maître de Conférences Univ. de Bordeaux	Laboratoire IMS	Co-encadrant
Frédéric PUYBARET	Ingénieur Chercheur	CEA Gramat	Co-encadrant
Jean-Christophe JOLY	Assistant Scientifique	CEA Gramat	Invité

Titre : Modélisation comportementale des effets de destruction d'alimentations d'équipements électroniques soumises à des impulsions électriques conduites de forts niveaux.

Résumé :

Les interférences ElectroMagnétiques (EM) intentionnelles intenses telle que l'Impulsion ElectroMagnétique d'origine Nucléaire à Haute Altitude (IEMN-HA) est capable de générer des perturbations électriques transitoires, analogues à celles produites par la foudre, se propageant sur les réseaux de distribution en électricité jusqu'aux alimentations des équipements électroniques. Plusieurs études existent déjà et ont montré les effets destructeurs de ces impulsions de courant sur les équipements électroniques, mais très peu de ces études se sont intéressées à la compréhension fine des phénomènes à l'origine de ces destructions. Pourtant, la compréhension poussée des mécanismes de destruction des alimentations est la clef indispensable pour prédire les défaillances. Dans cette démarche, les travaux de recherche, aussi bien expérimentaux que théoriques, sont mis en œuvre dans le but de prédire, en utilisant la simulation numérique, les effets des impulsions électromagnétiques intenses sur des alimentations électroniques. Les travaux réalisés ont permis d'élaborer un scénario complet de destruction d'une alimentation électronique ainsi que de déterminer les principaux modes conduisant à la défaillance de chacun des composants sensibles de l'alimentation. En associant les modèles de défaillance des différents composants, nous sommes capables, par la suite, de simuler le scénario proposé et donc de prévoir par la simulation les effets de destruction induits par l'injection d'une impulsion de courant de fort niveau sur des alimentations d'équipements électroniques.

Mots clés :

IEMN-HA, alimentation à découpage, destruction, défaillance de composant, modèle comportemental, VHDL-AMS, modélisation.

Unité de recherche

Laboratoire IMS Bordeaux - CNRS UMR 5218

Title: Destruction effects modelling of electronic equipment power supplies due to high level conducted electrical pulses.

Abstract : .

Intentional Electromagnetic (EM) interferences such as High Altitude Nuclear EM Pulse (NEMP/HEMP) are able to generate electrical disturbances, similar to those produced by lightning. NEMP couples efficiently on aerial lines of the electricity distribution network and propagates into the power supplies of electronic equipment. Several studies exist and have shown the destructive effects of these high current level pulses on electronic equipment. Few of these studies focus on understanding the origin of these destructions. However, an advanced understanding of the power supplies failure mechanisms is the key to predict destruction. In this approach, experimental and theoretical research is implemented to predict numerically the electromagnetic interference effects on electronic power supplies. This work has permit to develop a complete failure scenario for an electronic power supply as well as to determine the main modes leading to the failure of each sensitive components. By associating the failure models of components, we are then able to simulate numerically the proposed scenario and therefore predict the destruction effects induced by high level current pulse injection on power supplies.

Keywords : HEMP, NEMP, Switch-Mode Power Supply (SMPS), component failure, behavioral model, VHDL-AMS, modelling.

Research unit

IMS Bordeaux laboratory - CNRS UMR 5218

*« Mais on ne se bat pas dans l'espoir du succès !
Non, non c'est bien plus beau lorsque c'est inutile ! »*

Edmond Rostand

Remerciements

*« Une thèse est une photographie
à l'instant t de ta vie ; ce n'est
pas l'œuvre d'une vie »*

J-M.V

Je tiens à remercier très sincèrement Monsieur Vollaire et Monsieur Pecastaing d'avoir accepté la lourde tâche de rapporter ma thèse. C'est pour moi un grand honneur de pouvoir échanger sur mes travaux de recherche de trois années. Je remercie Madame Duchamp d'avoir accepté de présider, Madame Paladian et Monsieur Caignet d'avoir accepté de faire partie de mon jury de thèse. J'adresse de sincères remerciements à Monsieur Pouliguen pour le soutien de l'AID à ses travaux de recherche.

Derrière chaque thèse se cache une histoire, voici un extrait de la mienne : Il était une fois...

- 3×33 % d'encadrement : Messieurs, vous formez un véritable trinôme de choc. Votre collaboration et votre complémentarité m'ont permis de vivre pleinement l'aventure qu'est une thèse scientifique.

Monsieur Vinassa, vous avez toujours su, avec pudeur, trouver les mots (ou chansons) pour me redonner le sourire lorsque l'ascenseur émotionnel était au plus bas. Par vos conseils et votre présence lors des manips à l'IMS, vous m'avez formée et appris à évoluer dans le monde de la recherche. Je suis également fière d'avoir pu partager les activités d'enseignement à vos côtés. Comment ne pas finir ce petit laïus sans vous citer, vous et vos nombreuses répliques en réunion d'avancement qui m'ont poussée à toujours me surpasser : «Paméla! Assistante! Le tournevis svp», «Tu es coconne avec des œillères sinon» et ma préférée «On arrête d'enculer les mouches là!»

Tristan, nos discussions philosophiques autour du café, d'une pause déjeuner ou lors d'un appel téléphonique m'ont permis de développer un esprit critique. Par ta gentillesse et ta présence, tu as toujours su trouver les phrases pour me re-motiver et m'apaiser. À tes côtés, j'ai appris à rédiger des articles, les présenter, etc. bref, que la recherche est un «jeu permanent». Merci infiniment pour tes précieux conseils, ton suivi assidu et tes nombreuses idées qui m'ont amenée à de nombreuses réflexions!

Frédéric, tu as été l'épaule sur laquelle j'ai pu m'appuyer durant cette aventure. À tes côtés, «la p'tite» a bien grandi. Autant humainement que scientifiquement parlant, j'ai appris

à m'améliorer. Bien plus qu'un encadrant de thèse, sans toi je ne serais pas là où j'en suis aujourd'hui, merci d'être là, à mes côtés dans chaque étape de ma vie professionnelle et...

- Deux lieux, deux ambiances : "La garde alternée de «la p'tite» entre mes encadrants m'a souvent amenée à prendre mon sac à dos et la route.

Un grand merci à tout le groupe Fiabilité de l'IMS pour sa gentillesse et son aide. Une mention particulière à Jean-Yves pour sa disponibilité mais aussi pour les petites douceurs sucrées au goûter, à Isabelle pour son soutien précieux et surtout pour les inoubliables souvenirs du voyage en Argentine... vivement le prochain ensemble! Le partage entre doctorants et amis autour d'un café, d'un repas ou de soirées fait partie de l'aventure humaine et scientifique de la thèse. Un grand merci à Yanci, Isabel, Cyril, Nicolas, Thomas, Romain, André, Mathieu, Ruben, Elom et Issam pour les bons moments partagés ensemble.

Avec plus des trois quarts de la thèse passée sur le site de Gramat, j'ai eu la chance d'évoluer et travailler à leur côté : Merci à mes collègues du laboratoire IEM qui m'ont intégrée au sein de cette bien belle équipe soudée et bienveillante. Un remerciement sincère et chaleureux à Isabelle, notre cheffe, qui m'a permis de conduire mes travaux de thèse dans des conditions idéales. Ton écoute et ta présence m'ont été d'un grand soutien.

Toujours attentionnés, ils ont été mes soutiens du quotidien : Jérémy « mon petite magret-footeux», Quentin «le périgourdin», Alex «spécialiste blagues», Nicolas et Nicolas «Dupont et Dupond», Clovis «cool man», Antonin «the collègue de bureau, eehh oui, il est bien ce petit jeune», Jérémie «le discret», Fabien «le lover», Morgan et Ivan «les petits derniers», Juju «la pâtissière». Merci les gars, des repas au café en passant par les marches digestives et soirées vous avez tous contribué à votre manière à ces travaux. Merci également aux anciens : Tristan, Sandra et Pierre ; "au déto" : Mathieu, Léo, et Thibaut pour leur soutien Je souhaiterais remercier l'ensemble des collègues du site de Gramat avec qui j'ai eu l'occasion de travailler ou de simplement de discuter avec d'autres.

- Amis et famille : malgré l'incompréhension, le soutien permanent est précieux.

Toujours présent l'un pour l'autre même avec des centaines de kilomètres qui nous séparent. Merci Andy de ton soutien sans faille durant cette aventure, merci pour ta patience, maintenant j'arrive pour profiter des belles choses de la vie, voyages, soirées et petits repas.

Ne pas se voir aussi souvent qu'on le souhaite, la distance, etc. autant de barrières qui renforcent les amitiés sincères. Un immense merci à Romane ma «colloc» temporaire ma confidente ma «j'bouffe'tout», à Camille ma belle «papaya», à Clément mon grand frère hockeyeur, à Flo mon «rosbeef» toujours présent, à Alex mon petit frère patineur.

Toujours présente pour me changer les idées, me soutenir dans mes choix pro et perso : Andréa. Un grand merci pour tous les moments passés ensemble, et cela ne fait que commencer. Carla, Nathalie, Alexandra, Sandra, Laura, Amélie, Justine, Soline, Emma, Léa, Charles-A, Hugo, Jules, Romain, Jerem(s), Charles, on s'est peu vus pendant ces trois années : je crois bien que nous avons des moments à rattraper ensemble !

Ils sont 70 musiciens à se poser les questions : «Elle fait quoi déjà Laurine?», «Notre présidente, elle n'est pas là à la répétition? », «Elle n'a pas encore fini ses études de mécanique? », etc. Vous retrouver, à chaque fois, est une véritable bouffée d'oxygène et de musique. Merci à ma famille de cœur d'amis musiciens de l'UMB. Mention particulière à la Team de m'avoir convaincue que le peu de temps libre dont je disposais en dehors de la thèse était pour m'occuper de l'association. Réunions, repas, apéro, délires et blagues, vous avez adouci mes journées, soirées de travail ou de rédaction. Juste pour cela merci Anne-Marie, Manue, Chantal, Laura, Christian, Eric, Manu, Luc, Aurélien, Michel.

Une équipe de correcteurs d'orthographe officielle au top : Maminou, Papi-Jean, Laura et Jonathan, j'espère que vous avez apprécié ce marathon de relecture de ces quelques pages :) un grand merci à vous quatre!

«La family», on ne la choisit pas, mais elle fait partie de notre vie : je remercie chaleureusement les cousinettes, p'tit'tatie, tountoun et tous les autres membres. Ils sont mes piliers : Maminou, Papinou et Papi Jean «el meu avi», Denise, je suis fière de vous avoir à mes côtés aujourd'hui, sans votre soutien l'aventure n'aurait pas abouti. Carmen, Maria, Jordi, Rafael, Antonio pour vous, une petite dédicace en guise de remerciement : «Quan el Català sortia a la mar els nois de Calella feien un cremat, mans a la guitarra solien cantar, solien cantar : Visca Catalunya! Visca el Català!»

Guillaume, merci de m'avoir supportée dans les bons comme les mauvais moments. Ensemble on pourrait écrire un livre de nos aventures scientifiques et humaines.

Enfin, je souhaite remercier mes parents de m'avoir toujours poussée dans mes études, cette fois-ci j'arrête... enfin pour quelques temps. Un remerciement tout particulier à mon petit frère, pour son soutien tout au long de cette thèse. Benj, malgré nos différences de caractère, nous sommes liés quoi qu'il arrive. Je serai présente dans les bons comme les mauvais moments de ta vie, alors fonce : fait de ta vie un rêve et un rêve une réalité!

Table des matières

Table des matières	xi
Introduction générale	1
1 De l'IEMN-HA jusqu'aux alimentations	5
Introduction	6
1.1 Impulsion électromagnétique d'origine nucléaire à haute altitude : au cœur de la problématique	6
1.1.1 Définition et caractéristiques	6
1.1.2 Simulateurs d'IEMN-HA	11
1.2 Susceptibilité : du système jusqu'aux composants	17
1.2.1 Notion de susceptibilité	17
1.2.2 Études existantes	17
1.2.3 Modes de défaillance	22
1.3 Contexte et enjeux des travaux de recherche	27
2 Vers la simulation des destructions des alimentations	29
Introduction	30
2.1 Premiers pas vers la modélisation comportementale des alimentations	30
2.1.1 Langages et outils de modélisation comportementale	31
2.1.2 Choix du code et du simulateur adaptés	32
2.2 Modélisation de la perturbation dans l'alimentation	33
2.2.1 L'alimentation générique	33
2.2.2 La perturbation conduite	36
2.2.3 Modélisation fréquentielle des composants de l'alimentation	39
2.2.4 Saturation des éléments magnétiques	49
2.3 Modélisation de la propagation de la perturbation	53
Conclusion	58
3 Défaillances des composants : de la compréhension à la modélisation	59
Introduction	60
3.1 Présentation de la configuration expérimentale	60
3.1.1 Générateur d'impulsion	62

3.1.2	Conditions expérimentales	67
3.2	Étude de la diode de redressement	69
3.2.1	Caractérisation	69
3.2.2	Essais de défaillance en courant	69
3.2.3	Essais de défaillance en tension	74
3.2.4	Modélisation de la défaillance de la diode de redressement	78
3.3	Étude du pont de diodes	82
3.3.1	Caractérisation	82
3.3.2	Essais de défaillance en courant	83
3.3.3	Essais de défaillance en tension	88
3.3.4	Modélisation de la défaillance du pont de diodes	90
3.4	Étude du transistor Mosfet	93
3.4.1	Essais de défaillance par la grille	94
3.4.2	Essais de défaillance en avalanche	99
3.4.3	Modélisation de la défaillance du Mosfet	100
	Conclusion	102
4	Modélisation de l'enchaînement des défaillances au sein des alimentations	103
	Introduction	104
4.1	Scénario principal de destruction d'alimentations	104
4.1.1	Enchaînement des défaillances des composants	104
4.1.2	Confirmation du déclenchement du scénario	109
4.1.3	Filtre d'entrée et scénarii de destruction	111
4.2	Prédiction numérique des niveaux de destruction des alimentations	116
4.2.1	Validation numérique de l'enchaînement des défaillances dans l'alimentation	116
4.2.2	Validation numérique par une source de perturbation	118
4.2.3	Simulation du scénario de destruction de l'alimentation	119
4.3	Axes d'amélioration du chemin de couplage	123
	Conclusion	124
	Conclusion générale	125
	Perspectives	127
	Publications	129
	Bibliographie	140
A	Annexes	I
A.1	Modèle de défaillance diode en tension	I
A.2	Modèle de défaillance diode en courant	II
A.3	Modèle de défaillance mosfet en avalanche	IV

A.4	Modèle de défaillance d'une résistance	V
A.5	Essais de mise en avalanche du mosfet SPA11N80C3	VI

Introduction générale

Ces travaux de recherche ont été réalisés conjointement entre le centre de Gramat du Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA/Gramat) et le laboratoire d'Intégration du Matériau au Système (IMS) de Bordeaux, Unité Mixte de Recherche 5218 du CNRS. La thèse, objet de ce manuscrit, a été menée au profit de la Direction Générale de l'Armement (DGA), soutenue par l'Agence Innovation Défense (AID). Les travaux de recherche exposés dans ce manuscrit ont pour objectif la modélisation comportementale des effets de destruction d'alimentations d'équipements électroniques soumises à des impulsions électriques conduites de forts niveaux.

De nombreuses infrastructures critiques, qu'elles soient médicales, financières, industrielles, militaires, etc., sont désormais dépendantes des systèmes électroniques pour fonctionner. Avec l'expansion grandissante des sources ÉlectroMagnétiques (EM) impulsionnelles, une menace réelle d'attaque EM intentionnelle existe et constitue un sujet préoccupant pour la sécurité des pays. Dans ce contexte, la menace d'une Impulsion ÉlectroMagnétique d'origine Nucléaire à Haute Altitude (IEMN-HA) est un sujet de recherche d'intérêt depuis plusieurs décennies pour les États Occidentaux. Lors d'une explosion nucléaire à haute-altitude, une impulsion électromagnétique appelée IEMN-HA de très forte intensité est rayonnée vers la surface terrestre. L'IEMN est susceptible de se coupler sur les lignes aériennes des réseaux de distribution en électricité permettant d'alimenter les habitats, les industries, les entités étatiques, etc. Le couplage de l'IEMN-HA sur les câbles des réseaux électriques crée une perturbation impulsionnelle conduite de fort niveau. Lors de sa propagation, la perturbation atteint tout système ou équipement électronique connecté au réseau électrique. L'alimentation de ces équipements se trouve alors perturbée voire détruite. Entrent ainsi en jeu les études de susceptibilité électromagnétique, consistant à définir les seuils de perturbation ou de destruction d'équipements électroniques. La susceptibilité des étages d'alimentation est le cœur de ces travaux de recherche. En effet, les utilisateurs connectés au réseau de distribution ne disposent d'aucune protection particulière contre ce type d'impulsion. Les alimentations de ces équipements dits «grand public» sont de faible puissance inférieure à 75 W.

Des travaux sur le sujet ont mené vers la compréhension des mécanismes conduisant à la destruction de l'alimentation. Au travers d'hypothèses expérimentales, un premier scénario de destruction d'une alimentation à découpage induit par une impulsion électrique de forte amplitude est construit. La compréhension précise des défaillances des composants est nécessaire à la modélisation de la susceptibilité.

Dans ce contexte, ce manuscrit a pour but de détailler les phénomènes de défaillance et de tendre vers la simulation numérique de l'enchaînement des destructions des composants lorsque l'alimentation est soumise en entrée à un fort courant impulsionnel. Cette simulation des effets est une première étape dans une démarche dont l'objectif global, à terme, est de prédire numériquement les seuils de destruction des alimentations lors d'une agression de type IEMN-HA. Ce manuscrit est construit autour de quatre chapitres.

Le premier chapitre présente l'IEMN-HA, ses caractéristiques, ses effets, ainsi que les simulateurs expérimentaux associés. Les études et les travaux de recherche existants sur la susceptibilité des systèmes sont abordés avec un regard particulier sur les étages d'alimentation des équipements électroniques. Les effets observés sur les alimentations et les hypothèses en termes de destruction sont détaillés. La compréhension des mécanismes mis en jeu lors de la destruction a une importance significative dans la modélisation numérique des défaillances. La dernière partie de ce chapitre est consacrée à un tour d'horizon général des principaux modes de défaillance des composants semi-conducteurs, notamment utilisés dans les alimentations à découpage.

Le deuxième chapitre est une ouverture vers la simulation numérique. À cet effet, les langages et outils numériques classiquement utilisés pour répondre à l'objectif sont détaillés en première partie. S'en suit la simulation de l'alimentation à découpage utilisée dans ces travaux. Le moyen d'injection PIC, nécessaire à l'injection de la perturbation est également simulé numériquement afin d'en vérifier le modèle. Les étapes menant à la simulation de la propagation de la perturbation sont ensuite détaillées au travers de la modélisation des composants de l'étage d'entrée de l'alimentation.

Le troisième chapitre se concentre sur les défaillances des principaux composants responsables de la destruction de l'alimentation : la diode de redressement, le pont de diodes et le Mosfet. Chacun de ces composants est soumis unitairement à des impulsions en tension et en courant afin d'extraire les caractéristiques de ses défaillances. Les seuils obtenus sont alors utilisés pour construire un modèle de défaillance pour chaque composant étudié. L'ensemble des modèles développés est simulé dans des conditions similaires aux expérimentations afin d'en faire une comparaison objective et de valider chacun d'entre eux.

Le quatrième chapitre débute par la présentation de mesures complémentaires relevées en expérimentation permettant d'identifier l'enchaînement des défaillances des composants suivant des scénarii de destruction des alimentations. Un scénario dit principal explorant l'enchaînement de défaillances de nombreux composants au sein de l'alimentation est détaillé. Ce scénario est reproduit en simulation numérique en insérant les modèles de défaillance des composants développés dans le chapitre 3. La validation étape par étape de la simulation numérique de la destruction de l'alimentation selon ce scénario est présentée. Des axes d'amélioration de la simulation numérique du scénario sont exposés en clôture de ce chapitre. Enfin, quelques perspectives pour la prédiction numérique de la destruction des alimentations sont exposées.

Chapitre 1

De l'IEMN-HA jusqu'aux alimentations

*« Rien n'est jamais fermé, sinon
tes propres yeux »*

Proverbe Persan

Sommaire

Introduction	6
1.1 Impulsion électromagnétique d'origine nucléaire à haute altitude : au cœur de la problématique	6
1.1.1 Définition et caractéristiques	6
1.1.2 Simulateurs d'IEMN-HA	11
1.2 Susceptibilité : du système jusqu'aux composants	17
1.2.1 Notion de susceptibilité	17
1.2.2 Études existantes	17
1.2.3 Modes de défaillance	22
1.3 Contexte et enjeux des travaux de recherche	27

Introduction

Au sein de son environnement fonctionnel, tout système électrique/électronique peut être impacté par des sources de perturbations ÉlectroMagnétiques (EM). Les effets d'une perturbation EM sur un système électronique peuvent aller jusqu'à impacter son fonctionnement de manière ponctuelle ou, dans le pire des scénarii, de manière permanente. Les sources de perturbations électromagnétiques sont nombreuses et peuvent être d'origines naturelles, comme la foudre, ou les décharges électrostatiques, ou bien issues de l'intervention humaine, comme les émissions radars ou l'Impulsion ÉlectroMagnétique d'origine Nucléaire à Haute Altitude (IEMN-HA). Cette dernière fait l'objet de travaux de recherche depuis de nombreuses années, notamment en termes d'impact du couplage du rayonnement électromagnétique issu de la menace sur les collecteurs énergie. En effet, par son rayonnement, l'IEMN se couple de manière privilégiée sur les lignes aériennes du réseau de distribution en électricité. Ainsi, les enjeux des travaux de recherche sur la susceptibilité se portent sur les étages d'entrée des équipements électroniques, et plus particulièrement des alimentations à découpage. Ce premier chapitre est consacré à l'Impulsion ÉlectroMagnétique d'origine Nucléaire à Haute Altitude, à ses origines, sa propagation mais aussi aux différents simulateurs expérimentaux capables de reproduire les contraintes rayonnées ou conduites sur les équipements. Une analyse bibliographique des études de susceptibilité des équipements électroniques, et en particulier celles portant sur des alimentations face à cette menace est ensuite donnée. La susceptibilité d'un système est conditionnée par les éléments qui le composent. Le chapitre se poursuit par la présentation des modes de défaillance dans les alimentations, et notamment les composants semi-conducteurs de puissance. Enfin, les enjeux de la thèse sont présentés et décrits.

1.1 Impulsion électromagnétique d'origine nucléaire à haute altitude : au cœur de la problématique

1.1.1 Définition et caractéristiques

Depuis plus d'une trentaine d'années, la menace d'une impulsion électromagnétique d'origine nucléaire est grandissante, comme le met en avant W.A. Radasky [1]. Cette menace, nommée Impulsion ÉlectroMagnétique d'origine Nucléaire à Haute Altitude (IEMN-HA) ou en anglais *Nuclear ElectroMagnetic Pulse (NEMP)*, est en fait l'effet électromagnétique issu de l'explosion d'une arme nucléaire à une altitude, supérieure à 50 km.

Génération de l'IEMN-HA

Lors d'une explosion nucléaire à haute altitude, le rayonnement gamma émis interagit avec les molécules de l'air, comme détaillé en figure 1.1. L'effet *Compton* se produit quand le rayonnement gamma rencontre les premières couches de l'atmosphère [2]. Des électrons, que l'on nomme *Électrons Compton*, sont alors créés et sont déviés par le champ magnétique terrestre. Le parcours hélicoïdal des électrons crée des courants et donc un rayonnement électromagnétique appelé IEMN-HA [3]. D'autres effets électromagnétiques, de second ordre, peuvent être induits par l'explosion nucléaire. Par exemple, l'ionisation des débris de l'explosion générant d'autres rayonnements électromagnétiques.

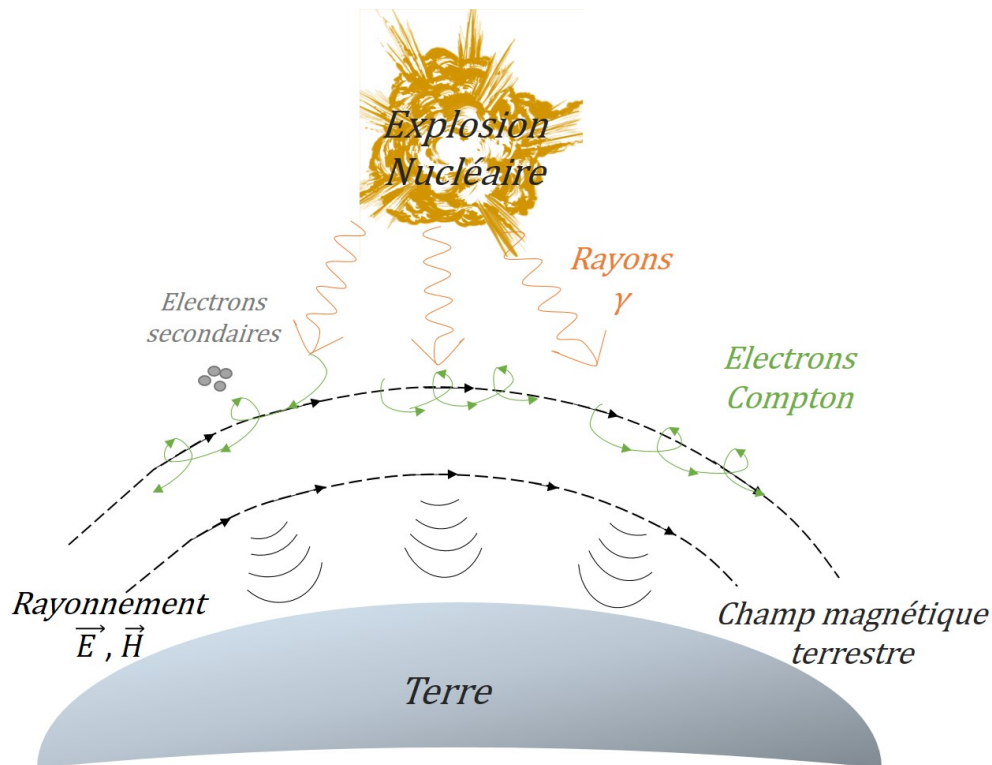


FIGURE 1.1 – Illustration de la formation du rayonnement de l'IEMN-HA à partir d'une explosion nucléaire en présence du champ magnétique terrestre.

L'impact d'une explosion nucléaire à haute altitude dépend notamment de la nature et de la puissance de l'arme nucléaire, mais aussi de l'altitude de l'explosion. En effet, l'étendue d'une IEMN sur un territoire est d'autant plus grande que l'altitude de l'explosion est élevée [4], [5]. Elle peut couvrir une surface de plusieurs millions de km^2 , comme le montrent R. Hoad et al. [5] pour une explosion au dessus des États-Unis. À l'échelle de l'Europe, comme l'illustre la figure 1.2, une explosion entre 80 et 130 km d'altitude en France au-dessus de Paris impacterait une surface terrestre de plus de 800 km de rayon, soit une grande partie de l'Europe de l'ouest.

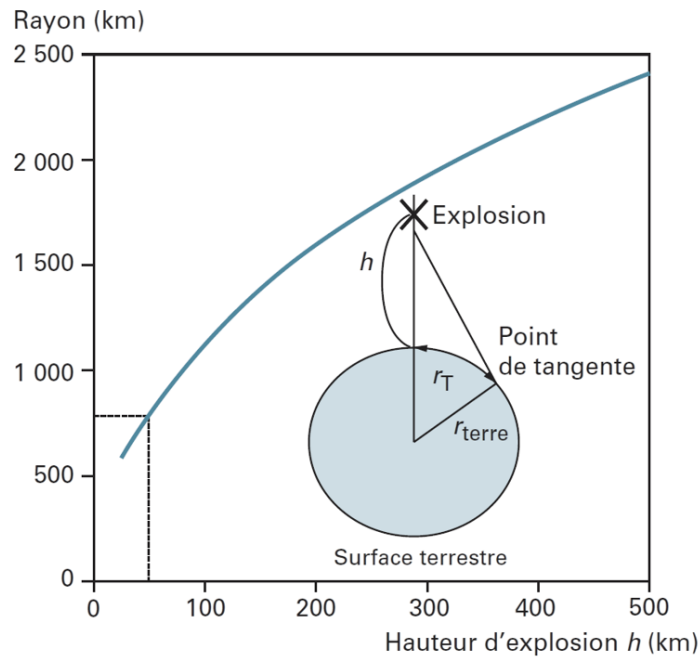


FIGURE 1.2 – Illustration du rayon d'impact de l'IEMN-HA en fonction de la hauteur de l'explosion [4].

Caractéristiques de l'IEMN-HA

L'IEMN-HA se décompose en trois parties [6], [7] représentées en figure 1.3 :

- la composante de **l'onde initiale**, dite $E1$: caractérise un champ rapide (temps de montée de quelques nanosecondes), de très forte amplitude (plusieurs dizaines de kilovolts par mètre au niveau du sol) et ce pendant une durée brève (jusqu'à 1 ms). Cette composante est directement issue de la déviation des électrons *Compton* par le champ magnétique terrestre.
- la composante de **l'onde intermédiaire**, dite $E2$: caractérise des effets électromagnétiques de plus faible amplitude (quelques centaines de volts par mètre au sol) et de durée plus importante (1 à 100 ms), similaire à la foudre. $E2$ provient des ionisations supplémentaires à $E1$ de rayons gamma différés.
- **l'onde retardée**, dite $E3$: caractérise un champ de très faible amplitude (dizaines de millivolts par mètre au sol), de temps de montée lent (quelques secondes) et de très longue durée (supérieure à 1 s). Souvent assimilée aux tempêtes solaires, l'onde $E3$ impacte principalement les très longues lignes aériennes de plusieurs milliers de kilomètres telles que celles présents aux États-Unis. Cette composante est quant à elle issue de la magnétohydrodynamique, c'est-à-dire provenant de l'interaction entre l'explosion (plasma fortement ionisé) et les débris sous l'action du champ magnétique terrestre [4].

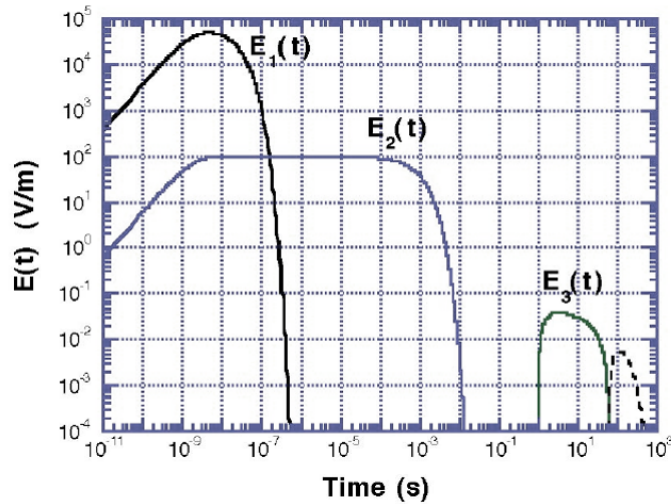


FIGURE 1.3 – Illustration de l'amplitude des trois composantes de l'ITEMN-HA en fonction de leur durée [6].

Au vu des durées mises en jeu et des fortes amplitudes, la composante $E1$ est considérée comme la plus problématique. De par ses caractéristiques, l'onde électromagnétique $E1$ est à même de se coupler sur les lignes d'énergie ou de communication impactant ainsi l'électronique [6]. Cette composante, avec un temps de montée de quelques nanosecondes, une durée à mi-hauteur de quelques dizaines de nanosecondes et une amplitude de dizaines de kilovolts par mètre est présentée en figure 1.4.

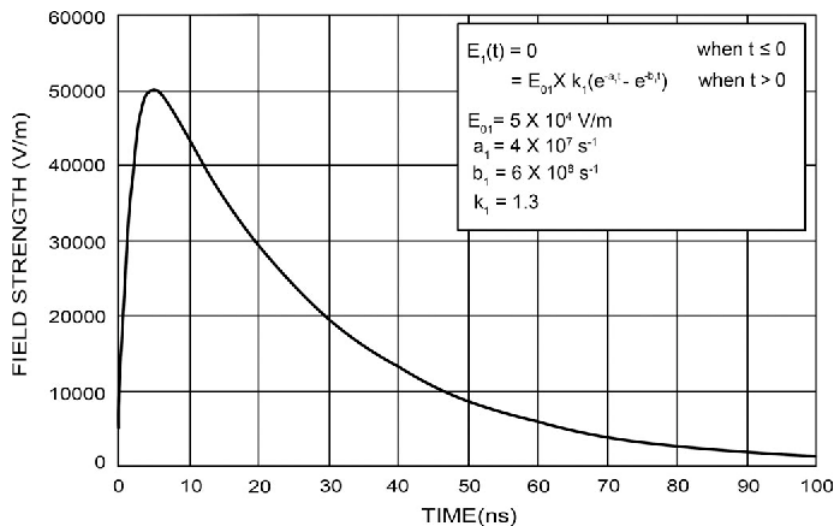


FIGURE 1.4 – Forme d'onde de la composante $E1$ de l'ITEMN-HA issue des normes CEI 61000-2-9 et MIL-STD-461 [7].

La forme temporelle est associée à une bi-exponentielle [8] selon l'équation 1.1 où k , E_{01} , a et b sont des scalaires définis dans les normes civiles ou militaires.

$$E_1(t) = k E_{01} (e^{-a t} - e^{-b t}) \quad (1.1)$$

La figure 1.5 illustre la forme d'onde de l'IEMN-HA associée à son spectre fréquentiel.

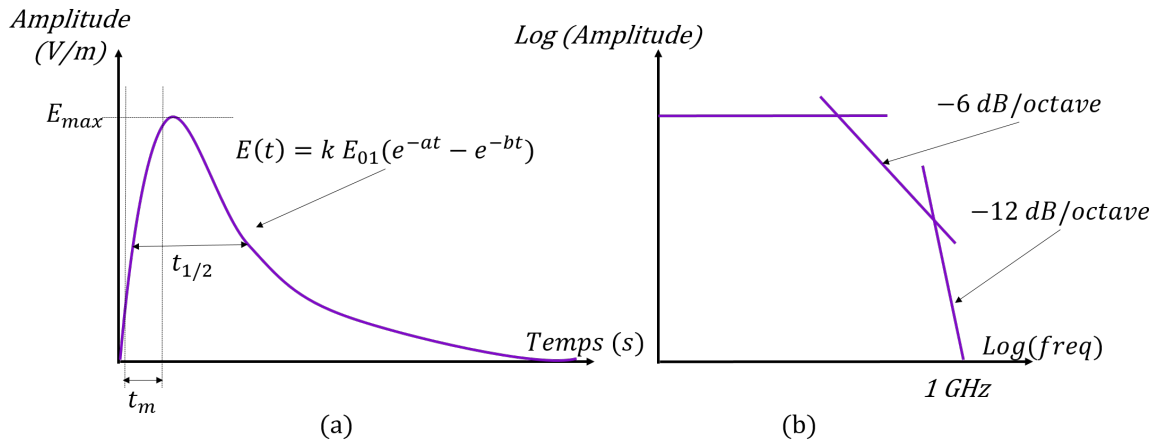


FIGURE 1.5 – Forme d'onde temporelle de l'IEMN-HA (a) et son spectre fréquentiel associé (b).

De par ses caractéristiques, l'IEMN-HA a un spectre fréquentiel allant du quasi-continu au gigahertz [3], permettant ainsi d'impacter un grand nombre de systèmes électroniques. Les normes civiles, CEI 61000 (*Commission Électrotechnique Internationale, en anglais IEC International Electrotechnical Commission*), décrivent les paramètres de l'impulsion et abordent également les différents aspects de l'IEMN de manière générale, comme les méthodes d'essai en mode conduit, les essais d'immunité à mener, etc. [9], [10]. Quant aux normes militaires, nombreuses sont à ce jour encore classifiées. Depuis 2015, comme le précisent R. Radasky *et al.* dans leur publication [11], la CEI est en constant développement et améliore les standards de l'IEMN dans le but de protéger les systèmes civils de ses effets.

Effets de l'IEMN-HA

Dans le cas d'une explosion nucléaire à haute altitude, aucun effet mécanique ou thermique n'est produit au niveau du sol. Seul un champ électromagnétique très intense et bref est généré et peut endommager ou détruire les systèmes électroniques au sol. Depuis 1945 et jusqu'en 1980, de nombreux essais nucléaires ont été menés par les États-Unis, la Russie, le Royaume Uni, la France et la Chine [12]. Le rayonnement électromagnétique d'origine nucléaire a été principalement observé en 1962 lors des essais américains appelés Starfish Prime [13]. L'explosion d'une arme nucléaire de 1,4 mégatonne équivalent TNT à 400 km d'altitude a engendré des dégâts au-delà de 1445 km de la zone d'essai [14]. L'IEMN a provoqué la perturbation de plus de 300 lampadaires d'éclairage public et a déclenché nombre d'alarmes sur l'île Hawaï. Les communications ont également été interrompues pendant plusieurs minutes après le tir. Une IEMN-HA peut donc impacter différentes infrastructures, telles que les réseaux de transport, les services financiers, etc. comme le spécifie le rapport technique de J.S. Foster *et al.* en 2004 [15]. Avec le développement croissant et massif de moyens électroniques de plus en plus performants, la probabilité d'effet sur les systèmes actuels semble plus élevée que dans les années 60-70. Depuis 1996, trente-six États, dont la France, ont signé le TICE, Traité portant sur l'Interdiction

Complète des Essais Nucléaire. Dans le domaine de l'électromagnétisme, l'évaluation des effets de l'IEMN-HA sur les systèmes passe par la simulation numérique, ainsi que par l'expérimentation via l'utilisation de simulateurs expérimentaux.

L'étude des effets de l'IEMN-HA consiste à connaître et reproduire numériquement et/ou expérimentalement les contraintes rayonnées ou conduites induites sur les infrastructures ou les systèmes. Les normes civiles CEI 61000-4-24 [16], CEI 61000-4-25 [17] et certaines normes militaires [18], [19] définissent les conditions de réalisation des essais sur des équipements mais aussi les formes d'ondes à rayonner et/ou injecter sur les liaisons. La simulation numérique intervient dans les cas d'illuminations d'une infrastructure, d'un système ou bien d'un bâtiment critique ne pouvant être réalisés expérimentalement. Dans ce cadre, la forme d'onde $E1$, considérée comme le rayonnement d'une onde plane, est simulée sous des logiciels d'analyse électromagnétique de type CST Studio Suite, ou le code CEA Gorf3D, etc. [20], [21]. Ainsi, les niveaux de champs rayonnés sont obtenus en différents points pour une agression de type IEMN-HA. La simulation numérique est également considérée pour estimer la contrainte conduite au niveau des collecteurs suite au couplage de l'IEMN-HA [22], [23] (antennes, lignes du réseau électrique, interconnexions entre systèmes, etc.). L'estimation numérique de la contrainte conduite permet de déterminer les formes et niveaux à injecter expérimentalement sur les liaisons des systèmes. Ainsi, des solutions technologiques existent et permettent de rayonner localement une impulsion électromagnétique ayant les caractéristiques de l'IEMN-HA ou bien de reproduire des contraintes conduites issues du couplage de l'IEMN-HA sur des liaisons filaires.

1.1.2 Simulateurs d'IEMN-HA

Simulateurs d'ondes rayonnées

M. Ianoz [24] reprend dans son article de 2013 l'ensemble des activités dans le domaine de l'IEMN-HA menées par les pays Européens à partir des années 1970, et liste certains simulateurs rayonnés. Généralement constitué d'un générateur d'impulsion haute tension associé à une antenne de grandes dimensions, ce type de simulateur est utilisé pour étudier les effets rayonnés sur les systèmes. Nombres de simulateurs rayonnés existent et C.E. Baum [25] en expose une classification. Celle-ci se base sur la géométrie de la structure du simulateur, les sources électriques associées ainsi que la position du système soumis aux essais. Ainsi, trois grandes classes, avec des caractéristiques propres, sont proposées : les simulateurs à dipôle, les simulateurs à onde guidée et les simulateurs hybrides. La norme CEI 61000-4-32 [26] recueille les principales informations techniques de ces simulateurs rayonnés :

- **Les simulateurs à dipôle** (dipôle mobile ou fixe) sont capables de produire des impulsions rapides (temps de montée inférieur à cinq nanosecondes). Le plus souvent, ces générateurs de type dipôle émettent une polarisation verticale suivant un seul angle d'incidence. De plus, le manque d'efficacité de la conversion de la puissance d'impulsion électrique en impulsion rayonnée rend son usage limité. La figure 1.6

présente en exemple le générateur *VPD-I* permettant de rayonner 10 kV/m à 100 m , utilisé dans le cadre d'essais sur aéronefs. Dans cette même catégorie, des générateurs uniques ont été conçus. En effet, le générateur *EMPRESS-II* aux États-Unis était mobile sur une barge flottante afin de tester les navires. Aujourd'hui, ce générateur n'est plus utilisé et a été démantelé.



FIGURE 1.6 – Simulateur à dipôle VPD-I de l'armée américaine [26].

- **Les simulateurs à onde guidée** sont constitués de deux plans conducteurs et sont utilisés pour reproduire l'impulsion IEMN en espace libre. La majorité des ces simulateurs produit un champ électrique vertical utilisant comme second plan conducteur la terre. Le générateur le plus connu est le générateur de Marx, capable de fournir un champ supérieur à 100 kV/m dans un simulateur à onde guidée. La figure 1.7 illustre par exemple le Simulateur Semi Rhombique (*SSR*) en France au CEA/Gramat.



FIGURE 1.7 – Simulateur à onde guidée SSR du CEA/Gramat.

- **Les simulateurs hydrides** produisent une onde plane incidente ainsi que sa réflexion sur le sol. Ces générateurs sont les plus à même de reproduire l'environnement auquel est soumis un système au sol lors d'une agression IEMN. La source d'émission biconique produit des champs électriques hautes fréquences. Cette source est au centre d'une structure antennaire associée à des fils chargés par des résistances. Ainsi, les courants se répartissent et produisent des champs basses fréquences. Dans cette catégorie de générateurs hybrides, la première antenne de forme elliptique à polarisation horizontale a été utilisée aux États-Unis au milieu des années 70. La figure 1.8 montre le simulateur *DPH*, pour Dipôle à Polarisation Horizontale, utilisé au CEA/Gramat.



FIGURE 1.8 – Simulateur hybride DPH du CEA/Gramat.

Simulateurs d'agressions conduites

Les simulateurs en mode conduit ont, quant à eux, l'objectif d'injecter le résultat du couplage de l'une des composantes de l'IEMN-HA sur les liaisons du système testé. Les simulateurs d'agressions en mode conduit fonctionnent sur un même principe produisant une impulsion de forme bi-exponentielle sur le système injectée au travers d'un dispositif de couplage (capacitif ou inductif). Deux types de simulateurs sont notamment référencés dans la norme CEI 61000-4-25 [27] : le générateur d'essai de type *EC10* et le générateur d'essai de type *EC11*. Comme le montre l'exemple sur la figure 1.9 (a), le générateur d'essai de type *EC10* est constitué d'une source haute tension chargeant un condensateur C_c . La décharge rapide s'effectue au travers de l'éclateur vers la sortie, où résistances et condensateurs règlent la durée d'impulsion et l'adaptation d'impédance. Ce type de générateur permet de garantir des amplitudes allant jusqu'à 25 kV. Pour atteindre des amplitudes plus élevées (de 25 à 160 kV) et des constantes de temps plus faibles, le générateur d'essai de type *EC11* est utilisé. La figure 1.9 (b) correspond à un exemple de générateur *EC11* se basant sur le principe des générateurs de Marx. *EC10* et *EC11* sont notamment utilisés dans l'industrie pour la conception de générateurs électriques de transitoires rapides.

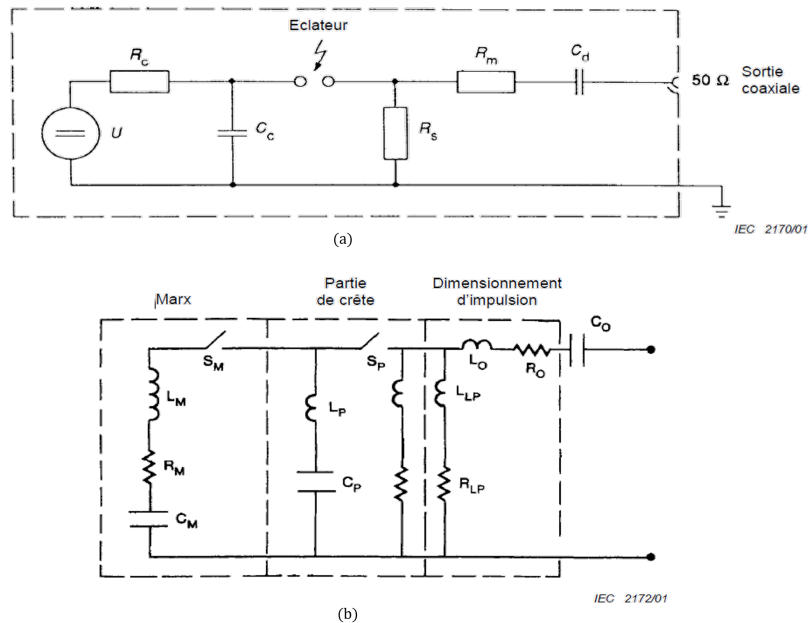


FIGURE 1.9 – Schéma électrique des générateurs de type EC10 (a) et EC11 (b) [27].

Nombres de simulateurs en mode conduit sont utilisés dans le domaine des essais des appareils électroniques ou des composants des systèmes. Quelques exemples de ces générateurs sont cités :

- **Amplificateur pulsé associé à un générateur de signaux arbitraires**, dit en anglais *Power Arbitrary Waveform injection System (PAWS) 4000*, développé par les sociétés Thomson CMF et Prana. Il s'agit d'un moyen d'injection de courant capable de générer des formes d'ondes arbitraires comme par exemple des trains d'impulsions, des sinusoïdes amorties, des doubles exponentielles, à un niveau de puissance maximum de 320 kW. La figure 1.10 illustre le générateur PAWS 4000 composé d'un synthétiseur de signaux bas niveaux, d'un préamplificateur et d'un amplificateur pulsé, l'ensemble pouvant atteindre une tension en sortie de 4 kV sur 50 Ω .
- **Simulateur électrique de transitoires rapides**, dit en anglais *Electrical Fast Transient (EFT)*. Ce type de générateur d'essai est notamment utilisé dans la conduite des essais de transitoires rapides sur les équipements selon la norme CEI 61000-4-4 [28]. En figure 1.11, l'EFT-500, développé par EM Test, génère des impulsions de tension atteignant 2,2 kV d'amplitude avec un temps de montée t_m de 5 ns et de largeur à mi-hauteur t_d de 50 ns sur 50 Ω (figure 1.12). Ce type de générateur d'essai est capable d'injecter des impulsions à une fréquence f_r (0,1 kHz-1000 kHz) dont les salves se répètent à une période t_r (300 ms sur 50 Ω). De par leurs caractéristiques, les générateurs de type EFT peuvent avoir des applications dans le domaine de l'IEMN-HA.

Préamplificateur pulsé PPA 400

Alimentation du préamplificateur

Synthétiseur des signaux

Alimentation pulsée de l'amplificateur

Amplificateur pulsé PA 4000



FIGURE 1.10 – Générateur « PAWS-4000 ».



FIGURE 1.11 – Générateur d'EFT « EFT-500 » de EM Test.

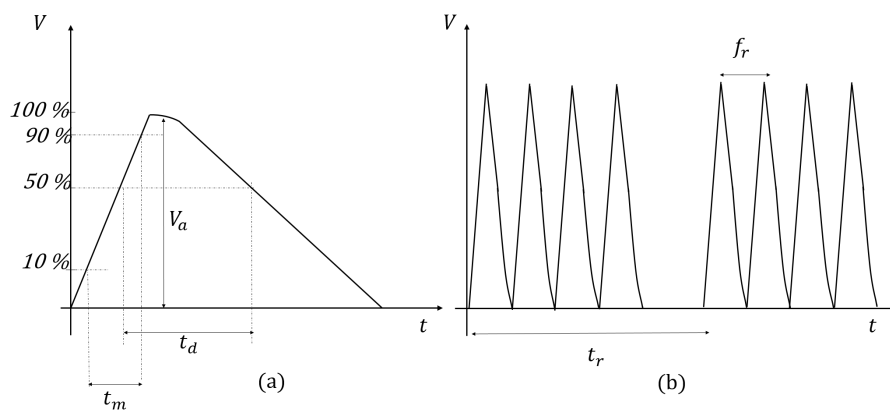


FIGURE 1.12 – Schéma de définition d'une impulsion (a) et de salves d'impulsions (b) du générateur EFT.

- **Simulateur d'impulsion électromagnétique PPG-E1-1200** de chez Montena : il permet de générer une double exponentielle d'amplitude comprise entre 3 et 80 kV avec des temps de montée inférieurs à 20 ns. La compacité de ce générateur est l'un de ses

atouts majeurs (figure 1.13).

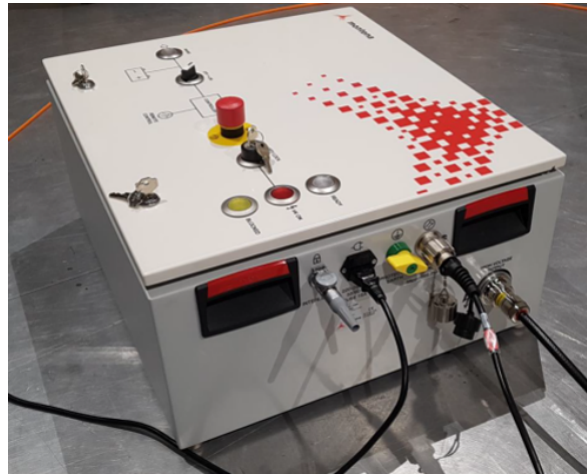


FIGURE 1.13 – Générateur d'impulsion portable « PPG-E1-1200 » de chez Montena.

- **Plateforme d'Injection en Courant (PIC)** est un générateur unique développé pour les besoins spécifiques du CEA/Gramat. Le moyen PIC permet d'injecter des amplitudes allant jusqu'à 30 kV/1 kA sur 30 Ω . La plateforme d'injection en courant, figure 2.3, placée au sein d'un conteneur, est scindée en deux parties distinctes. Une première partie du conteneur permet de générer une forme sinusoïdale amortie. La seconde génère une forme bi-exponentielle. Cette dernière est représentative du résultat du couplage de l'ITEMN-HA sur une ligne aérienne du réseau de distribution en électricité.

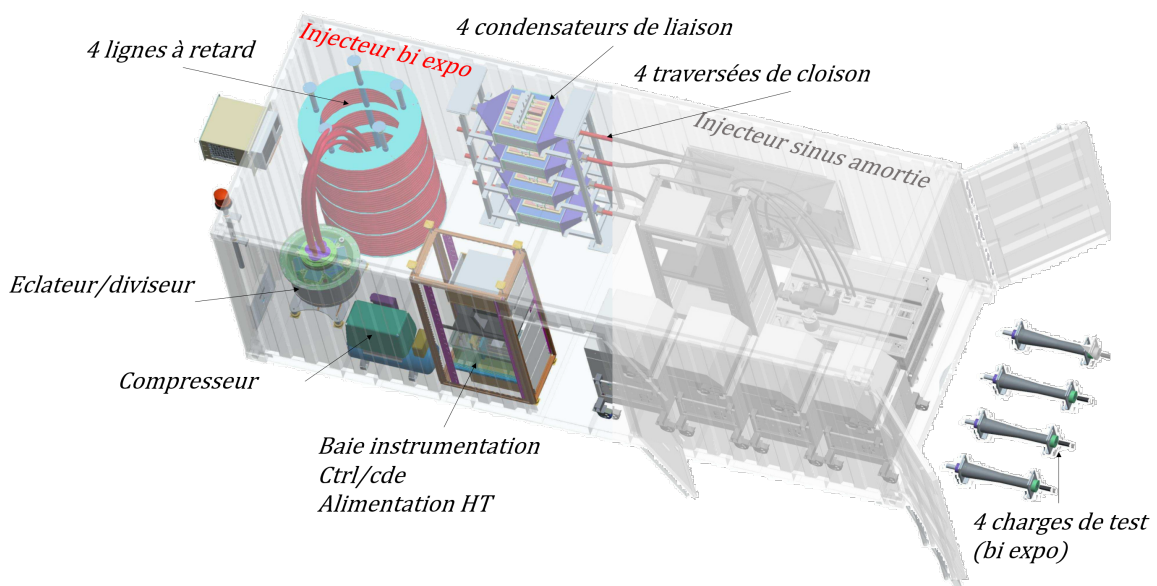


FIGURE 1.14 – Détails du moyen d'injection PIC.

1.2 Susceptibilité : du système jusqu'aux composants

1.2.1 Notion de susceptibilité

Sous l'effet d'une menace électromagnétique de type IEMN-HA, des contraintes sont développées par couplage sur les systèmes cibles. Chacun des équipements électroniques composant ces systèmes possède alors un seuil de susceptibilité propre au-delà duquel des effets indésirables apparaissent [29]. La susceptibilité électromagnétique définit les effets générés par une perturbation électromagnétique sur un système. La susceptibilité traduit ainsi les conditions d'apparition d'un dysfonctionnement ou d'une destruction du système cible, soit en mode conduit lorsque des contraintes (des courants ou des tensions) sont superposées aux signaux fonctionnels sur les entrées filaires du système, soit en mode rayonné lorsque des champs électromagnétiques illuminent tout ou une partie du système. L'exploitation des contraintes et des susceptibilités peut être variée d'une étude d'un système à une autre. Ainsi, le terme de vulnérabilité d'un système consiste à déterminer les chemins de couplage empruntés par les contraintes et à étudier la susceptibilité de l'équipement face à cette contrainte. D'autres exploitations consistent à optimiser le rapport *contrainte/susceptibilité* en fonction des scénarii opérationnels, comme par exemple dans le cadre d'étude d'efficacité des armes électromagnétiques. Le durcissement des systèmes d'arme, quant à lui, consiste à démontrer que les équipements électroniques vérifient la relation *contrainte < susceptibilité* dans toutes les circonstances opérationnelles considérées par l'application d'une marge de sécurité appelée marge de durcissement.

1.2.2 Études existantes

Les essais sur des systèmes de tous types, allant d'un bâtiment à des ordinateurs [30], [31] en passant par des composants, ont été menés au moyen de simulateurs expérimentaux. Les résultats permettent non seulement d'évaluer la susceptibilité, mais aussi de déterminer des méthodes menant à la protection de ces systèmes. Quelques principaux résultats des effets d'une agression de type IEMN-HA, mais aussi foudre ou ESD présentant localement des similitudes, sont abordés dans les sections suivantes.

Susceptibilité des systèmes

Lors d'une explosion nucléaire à haute altitude, le rayonnement émis perturbe l'environnement des équipements électroniques [32], comme l'illustre la figure 1.15. Nombre d'essais sur les systèmes ont été réalisés au moyen de simulateurs à onde rayonnée reproduisant la forme caractéristique de type double exponentielle. Par exemple, R. Hoad *et al.* [31] ont testé expérimentalement des ordinateurs et leurs périphériques sous un simulateur à onde guidée. Les effets de perturbation rencontrés sur les systèmes nécessitent une intervention manuelle (redémarrage par exemple) pour des champs électriques de plus de 22 kV/m. Les destructions interviennent pour des champs supérieurs à 45 kV/m. De plus, le couplage de l'agression rayonnée sur les câbles d'alimentation montre que les

alimentations sont souvent mises en cause dans les défaillances. M. Camp *et al.* [33], [34] ont, quant à eux, étudié la susceptibilité des éléments électroniques qui composent les ordinateurs : carte mère, processeurs, etc. Les essais de destruction sous simulateur à onde guidée ont mis en évidence une susceptibilité plus importante de la carte mère par rapport aux autres éléments. Également, R. Kichouliya *et al.* [35], dans leur publication de 2016, montrent l'influence des courants induits par le couplage d'une impulsion électromagnétique d'origine nucléaire sur des câbles d'alimentation d'une carte commerciale utilisant des microprocesseurs de type 8085. La perturbation couplée de 50 kV/m avec un temps de montée de 15 ns et une largeur de 70 ns, introduit une élévation de tension de plus de 300 V sur les lignes d'alimentation du microprocesseur, entraînant sa destruction. Face au développement croissant des systèmes électroniques, de plus en plus d'études traitent des systèmes comme les panneaux photovoltaïques [36] ou des réseaux électriques intelligents, dit en anglais *smart grid* [37], [38]. En rendant « plus intelligents » les réseaux de distribution électrique, c'est-à-dire avec davantage de gestion électronique, la distribution électrique est plus susceptible aux agressions EM. En effet, la foudre ou bien l'ITEMN-HA peuvent se coupler sur les lignes électriques et engendrer des pannes étendues sur le réseau, comme s'en inquiètent W.A. Radasky *et al.* [38].

Par son étendue spectrale, l'ITEMN-HA se couple de manière privilégiée sur les lignes aériennes du réseau de distribution en électricité. Cette perturbation, une fois couplée, se propage le long des conducteurs électriques jusqu'aux équipements électroniques connectés sur le réseau, comme le montre la figure 1.15. La publication [39] expose les contraintes engendrées par une impulsion de type foudre avec un champ électrique de 20 kV/m sur une ligne électrique chargée à ses deux extrémités par son impédance caractéristique. Le courant ainsi engendré peut atteindre 600 A et des tensions induites de 400 kV peuvent apparaître. Cependant, l'ITEMN, de par son amplitude sur une bande de fréquences plus élevée que la foudre, induit des tensions plus importantes pouvant atteindre 1 MV en mode commun avec un temps de montée de 10 ns et une largeur d'impulsion de 100 ns, comme le précisent W.A. Radasky *et al.* [38].

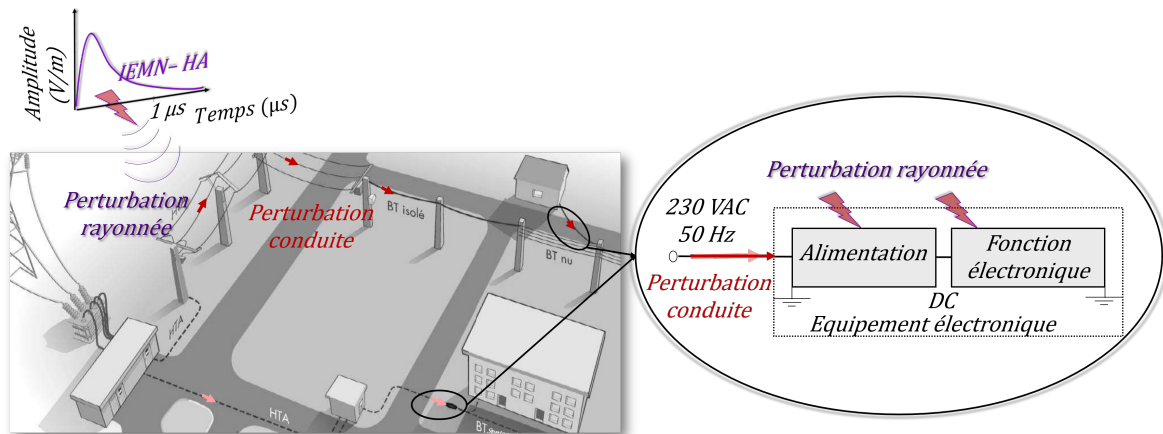


FIGURE 1.15 – Contraintes couplées par l'ITEMN-HA sur le réseau de distribution en électricité.

Cette perturbation conduite est bien trop rapide (nanosecondes) au vu des protections présentes dans les habitations, comme les disjoncteurs (qui se déclenchent en millisecondes) par exemple. La perturbation est donc directement conduite du réseau perturbé jusqu'aux équipements électroniques branchés. Des essais sur des systèmes de dimensions plus importantes, comme des bâtiments, ont permis de montrer l'importance du mode conduit. En effet, même si peu de publications sont présentes dans la bibliographie, le mode conduit apparaît comme le mode d'agression le plus destructeur [40], [41], [42]. Dans l'étude sur un immeuble, Y.V. Parfenov *et al.* [42] injectent au secondaire d'un transformateur (*delta-woye* 1 MV, 10 kV/380 V) non alimenté, des impulsions de temps de montée de 30 ns. La vulnérabilité en mode conduit des ordinateurs présents dans le bâtiment est notamment étudiée. Il en ressort une défaillance des alimentations pour des injections à 6 kV (pour une impulsion de 50 μ s). Cette publication conclut qu'une impulsion au niveau du réseau de distribution engendrerait des perturbations, voire des destructions des systèmes électroniques à l'intérieur des bâtiments, et plus particulièrement de leur alimentation.

Susceptibilité des alimentations

Des essais de destruction sur des alimentations, dans la publication de S. James *et al.* [43], permettent d'identifier les composants les plus souvent détruits au sein d'une alimentation : le fusible, l'étage de redressement avec le pont de diodes, le filtre d'entrée et le transistor Mosfet de puissance. Cette tendance est également confirmée dans les travaux de G. Mejecaze [44]. Sur les alimentations dites «grand public», pour des puissances de sortie inférieures à 75 W, les composants les plus souvent détruits, aussi bien en mode différentiel qu'en mode commun, sont récapitulés en figure 1.16.

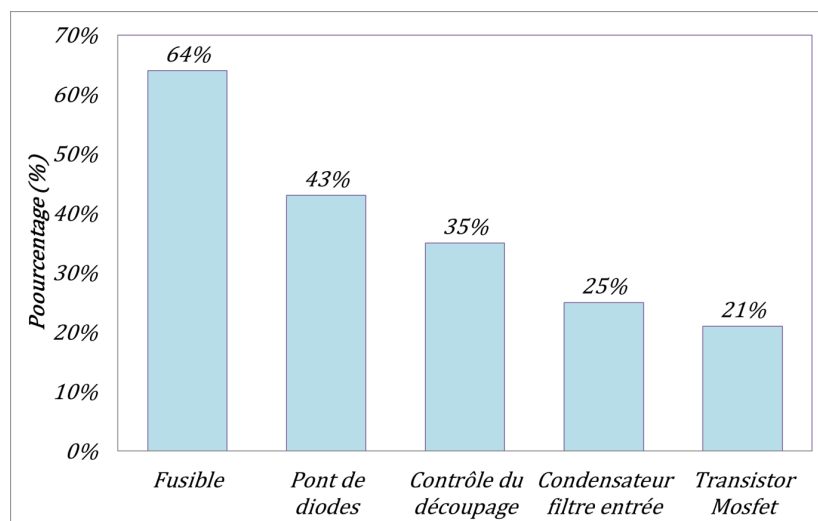


FIGURE 1.16 – Histogramme du pourcentage des composants les plus souvent détruits au sein des alimentations grand public (< 75 W).

De plus, les essais réalisés sur les alimentations ont mis en évidence, en figure 1.17, des phénomènes d'arcage intervenant en entrée de l'alimentation. En effet, lorsque la tension appliquée entre deux conducteurs dépasse la tension d'isolement admissible, un arc électrique se crée entre les deux électrodes. Ainsi, avec une source de courant non limitée, un arc électrique est créé. Dans les alimentations, les phénomènes d'arcage entraînent généralement un échauffement des pistes d'entrée et du fusible. Des arcs électriques peuvent également apparaître au sein des composants du filtre d'entrée, particulièrement des inductances de mode commun, pouvant faire fondre les bobinages.

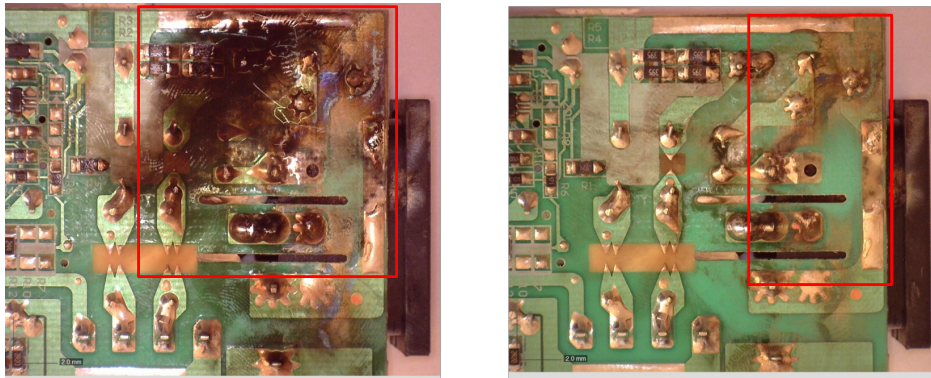


FIGURE 1.17 – Phénomènes d'arcage sur les pistes d'entrée des alimentations.

Les alimentations connectées au secteur peuvent être de topologies diverses [45] en fonction de la puissance de sortie. La note d'application [46] reprend les topologies des alimentations associées à la gamme de puissance de sortie. Ainsi, pour une puissance d'utilisation inférieure à 75 W, les alimentations dites «grand public» sont majoritairement de topologie *flyback* [47]. Après une étude des composants sur cette gamme de puissance de sortie, G. Mejecaze a conçu dans ses travaux [44] une alimentation représentative en termes de technologie et de dimensionnement des composants électroniques. L'alimentation de type *flyback* ainsi conçue permet de maîtriser les choix des composants (documentations techniques, modèles numériques constructeurs, etc.), et ainsi de faciliter la compréhension de la destruction lors de l'injection d'un fort courant en entrée. Des essais de susceptibilité ont été conduits sur cette alimentation et ont mené à l'élaboration d'un scénario complet de destruction le plus probable dû à une impulsion électrique fort niveau injectée en mode différentiel en son entrée. La figure 1.18 reprend l'enchaînement des défaillances présenté dans les travaux de thèse [44] lorsqu'une impulsion de plusieurs centaines d'ampères est injectée en mode différentiel en entrée de l'alimentation. Celle-ci est détruite en quelques millisecondes après l'injection de la perturbation.

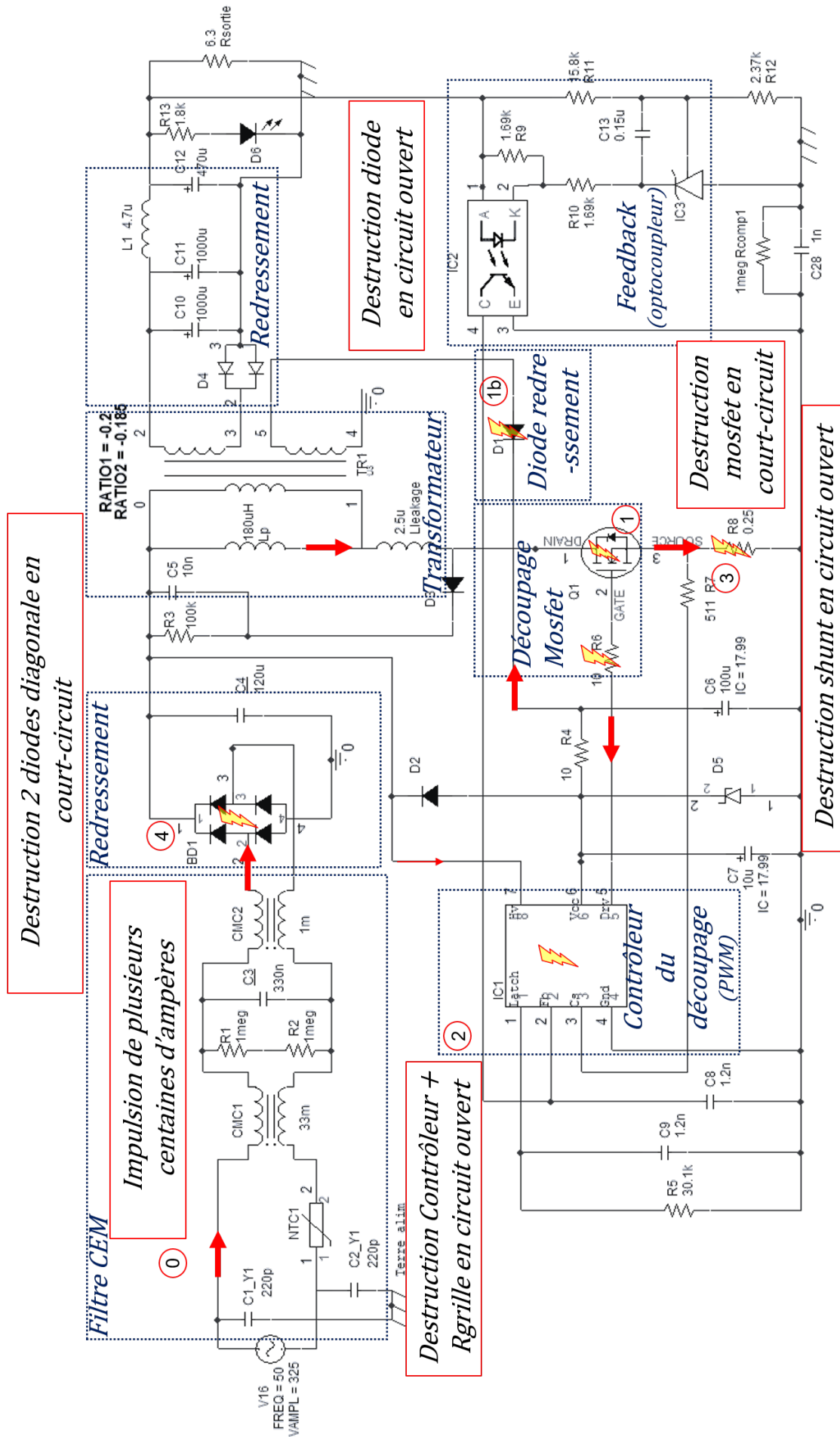


FIGURE 1.18 – Scénario de destruction le plus probable d'une alimentation en injectant, en mode différentiel, le résultat du couplage d'une IEMN-HA sur le réseau de distribution électrique [44].

La susceptibilité électromagnétique d'un équipement, comme l'est l'alimentation soumise à la contrainte électrique issue du couplage de l'ITEMN, est déterminée principalement par celle des composants électroniques qui la composent. Dans ce cadre, la connaissance des principaux modes de défaillance des composants détruits dans une alimentation s'avère pertinente.

1.2.3 Modes de défaillance

Les modes de défaillance dans les alimentations sont nombreux et dépendants de l'application. Le développement de la technologie des composants semi-conducteurs de puissance et la miniaturisation des structures élémentaires obligent à s'intéresser aux principaux mécanismes de dégradation.

Généralités sur les composants semi-conducteurs

Comme précisé dans la bibliographie [48], [49], [50], les mécanismes de défaillance peuvent être très souvent scindés en deux catégories : les causes intrinsèques et les causes extrinsèques à la puce. Dans son article, N.Y.A. Shammass [48] résume les défaillances potentielles au travers d'un diagramme présenté en figure 1.19. Bien que représentées séparément, les défaillances de la puce, dite en anglais *Silicon Chip*, et les défaillances de l'assemblage, en anglais *Power Module* ou *Packaging*, peuvent être liées lors d'un événement intrinsèque à la puce. Généralement, l'ensemble de ces défaillances engendre des dégradations à moyen voire long terme, allant parfois jusqu'à la défaillance du composant [51]. Les défaillances de la puce sont souvent liées à des impulsions électriques durant le fonctionnement (forts courants ou fortes tensions), tandis que les défaillances d'assemblage sont apparentées aux effets thermomécaniques [52].

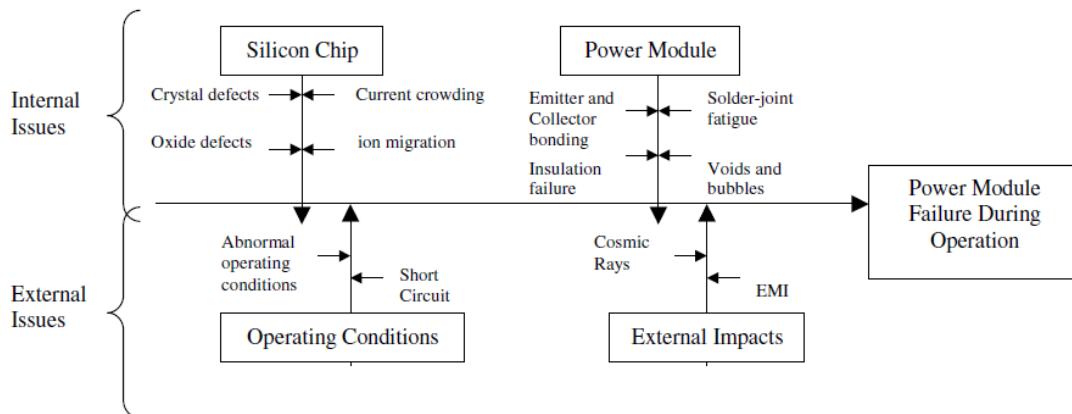


FIGURE 1.19 – Diagramme des défaillances potentielles des modules de puissance [48].

Les dégradations des oxydes ainsi que les phénomènes de *latch-up* et d'électromigration [53] sont communément classifiés dans les mécanismes de défaillance liés à la puce.

La dégradation des oxydes est le résultat d'une impulsion électrique ou d'une élévation thermique sévère, comme les surtensions ou les décharges électrostatiques par exemple. En effet, des charges peuvent se trouver piégées dans l'oxyde en raison de l'application d'un champ électrique ou par l'injection d'impulsions de tension/courant. La dégradation se traduit par l'apparition d'un courant de fuite local traversant la couche d'oxyde, allant parfois jusqu'au court-circuit. Des méthodes de caractérisation de tenue des oxydes sont utilisées en fiabilité comme l'augmentation par palier du courant (ou de la tension), ou bien l'application d'une tension constante en mesurant le temps nécessaire à la défaillance, appelée *TDDDB time-dependent dielectric breakdown* en anglais. La synthèse de J.F. Verwiej *et al.* [54] reprend les phénomènes de défaillance des couches d'oxyde.

D'autre part, les impulsions rapides, comme le sont les décharges électrostatiques et les impulsions électromagnétiques, ne sont pas seulement à l'origine de la dégradation des oxydes. En effet, la rapidité des perturbations et les variations engendrées ($\frac{dV}{dt}$ ou $\frac{dI}{dt}$) peuvent induire des effets parasites (*latch-up*) au niveau des jonctions des composants, dus à la mise en conduction de transistors parasites par exemple [49].

Les niveaux des impulsions auxquels sont soumis les composants ont également leur importance dans les mécanismes de défaillance. En effet, les surtensions et/ou sur-intensités endommagent également les semi-conducteurs [55]. De ce fait, une surtension aux bornes d'un composant engendre une densité de courant importante à dissiper. En fonction de la géométrie ou de la présence de défauts, un emballement thermique local peut entraîner la défaillance en court-circuit du composant. De même, une élévation de courant est relativement fréquente dans les composants de puissance. Ainsi, une impulsion de sur-intensité, dépassant la valeur maximale de tenue donnée par le constructeur, peut être critique. La défaillance entraîne alors la fusion de la métallisation de la puce pouvant aller jusqu'aux interconnexions. Dans un cas comme dans l'autre, un courant important est amené à traverser une interconnexion ou une jonction du composant.

L'autoéchauffement causé par l'effet joule est souvent la cause principale de la défaillance. Dans ce cas, la température critique, c'est-à-dire la température de fusion du silicium dans le cas d'une jonction, est atteinte et dépend de l'énergie dissipée, elle-même proportionnelle à la durée de l'impulsion électrique. La relation entre la puissance dissipée par le composant et la durée nécessaire pour atteindre la défaillance a déjà été étudiée par le passé par D.C. Wunsch et R.R. Bell [56]. Les travaux menés par V.M. Dwyer *et al.* [57] et W. Brown [58] sont venus compléter la relation thermique liée à la défaillance des semi-conducteurs quelle que soit la durée d'impulsion appliquée. La figure 1.20 (a) montre la fusion de la métallisation du plan de source d'un transistor Mosfet à la suite d'une surtension, et donc d'un phénomène d'avalanche, entraînant la circulation d'un fort courant au sein de la structure.

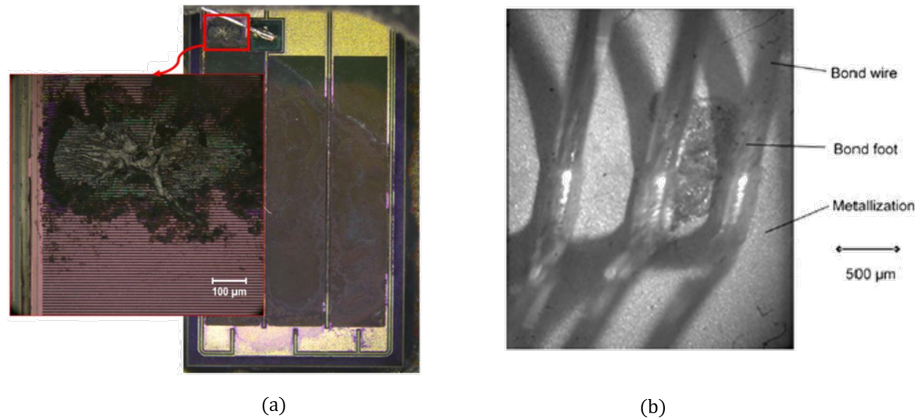


FIGURE 1.20 – (a) Défaillance d'un mosfet en avalanche [59], (b) Défaillance de la puce et des fils de bonding par élévation de température [60].

Les composants sont souvent construits à partir de structures multi-couches collées et/ou brasées. La puce est alors connectée grâce à des fils, dits de *bonding*, aux broches du boîtier par exemple. M. Ciappa [61], dans son article de 2002, se focalise notamment sur la fiabilité des modules de puissance. Dans les phénomènes de défaillance ou de fatigue [62] sont mentionnés la dégradation des fils de *bonding*, la fatigue des brasures, la dégradation des matériaux, etc. L'ensemble de ces dégradations est principalement dû à des élévations de température pouvant être les conséquences d'impulsions électriques décrites précédemment. La figure 1.20 (b) illustre une dégradation des interconnexions et de la puce après une élévation de température.

Le fonctionnement des circuits intégrés peut être altéré dans le cas de perturbations électromagnétiques. En effet, la norme CEI 62132 [63] expose les différentes méthodes de mesure de la susceptibilité pour qualifier les perturbations conduites et rayonnées pouvant impacter un circuit. L'injection directe de puissance sur une broche du circuit intégré se retrouve notamment dans cette norme. En injectant sur les broches du circuit [64], les phénomènes de défaillance sont appréhendés, notamment dans le cadre des décharges électrostatiques [65], [66]. Au sein des circuits intégrés, la sensibilité des différentes broches face aux agressions extérieures peut être définie. Les défaillances des composants semi-conducteurs sont prépondérantes dans les alimentations à découpage [67]. Les circuits intégrés ne sont pas les seuls composants amenés à être défaillants au sein des alimentations de l'industrie. Les principaux modes de défaillance des composants tels que les diodes et le Mosfet de puissance sont évoqués.

Défaillances des diodes

Les diodes de puissance, de type PN, sont des composants semi-conducteurs utilisés notamment dans les alimentations pour la conversion de signaux alternatifs en signaux continus (diode de redressement, pont de diodes, etc.). Les défaillances par avalanche ou provoquées par une sur-intensité [60] sont les principales causes de défaillance de ce composant. La défaillance en avalanche s'observe lorsque la tension en inverse aux bornes de

la jonction de la diode dépasse la valeur spécifiée par le constructeur. Ce phénomène est provoqué par la multiplication des porteurs dans la jonction, entraînant une forte densité de courant et une augmentation de la température [68], [69], [70]. V. Brunt *et al.* [71] ont étudié l'interaction d'un fort courant au sein d'un pont de diodes haute tension. La tenue en courant direct au sein de la diode dépend des caractéristiques de sa jonction PN. En effet, en fonction de l'impulsion injectée (niveau de puissance) et de sa durée [56], des contacts peuvent être amenés à être dégradés. Les effets thermiques mis en jeu peuvent conduire à l'interdiffusion entre le métal et le semi-conducteur, entraînant le court-circuit de la diode [72].

Défaillances des Mosfet

Dans les alimentations à découpage, le Mosfet a un rôle non négligeable dans l'enchaînement des défaillances des composants [67]. G.T. Galyon *et al.* [73] précisent même que le Mosfet est la première cause de destruction dans les alimentations de puissance. En effet, la perturbation injectée en entrée d'une alimentation se propage jusqu'au drain du Mosfet, pouvant conduire à différents mécanismes de défaillance [74]. La figure 1.21 permet d'explicitier ces mécanismes prédominants au travers de la structure interne d'un circuit Mosfet :

- la variation rapide de la perturbation entre le drain et la source $\frac{dV_{ds}}{dt}$ peut conduire à la mise à l'état passant du Mosfet. En effet, la mise en conduction du transistor parasite au travers des capacités de jonction est l'une des raisons de défaillance du composant [75], [76], [77], [78]. Quand une perturbation rapide de tension drain/source apparaît (figure 1.21), un courant circule et charge la capacité de jonction C_{db} . La tension augmente aux bornes de la résistance R_b , dépassant le seuil de mise en conduction du transistor parasite. Selon la géométrie de la structure (C_{gs} faible), le courant peut également circuler au travers de la résistance de grille R_g et faire ainsi augmenter la tension de grille. Dans ces conditions, la perte de contrôle du Mosfet est inévitable et une tension élevée peut dégrader l'oxyde de grille jusqu'à sa défaillance. Les fortes variations de tension aux bornes du drain durant sa phase de non-conduction sont également à l'origine de sur-intensité lors du recouvrement inverse de la diode intrinsèque, en anglais *body diode* [79], [74].
- dans des conditions extrêmes de fonctionnement, comme des perturbations de forts niveaux de courant par exemple, l'interface entre la puce du Mosfet et la structure interne est détériorée par une élévation de température [74], amenant une augmentation de la résistance R_{ds} à l'état «on» du transistor. En fonction de la puissance injectée mais aussi de la durée d'impulsion, la défaillance du Mosfet peut être approximée selon le modèle de Wunsch et Bell [56].

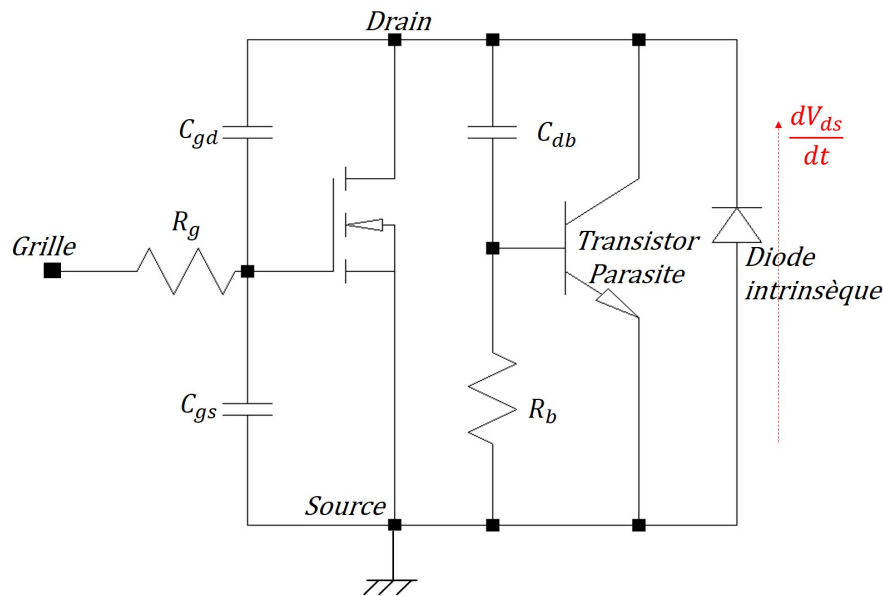


FIGURE 1.21 – Schéma équivalent d'un circuit Mosfet.

- une surtension sur la grille peut être à l'origine du phénomène de claquage de l'oxyde de grille. Cette défaillance est irréversible et le composant est inutilisable par la suite. Différentes méthodes sont utilisées pour caractériser ces dégradations, comme l'augmentation graduelle de tension ou de courant aux bornes de la grille en fonction de la durée de l'impulsion électrique [80]. La dégradation dépend des caractéristiques de l'oxyde : P. Nicollian *et al.* [81] ont notamment montré que pour des oxydes minces, la dégradation était uniquement due à la tension appliquée sur la grille. Dans la bibliographie, des seuils entre 80 et 120 V sont spécifiés pour être destructeur de l'oxyde de grille des transistors de puissance [82].
- une amplitude excessive de tension drain/source entraîne la mise en avalanche du Mosfet [83], [84]. Ce phénomène, connu pour les composants semi-conducteurs, conduit à une multiplication des porteurs de charge et donc à une augmentation considérable du flux de courant dans la jonction lors d'une forte tension inverse [85]. Le phénomène de rupture ou claquage apparaît à une tension d'avalanche nommée V_{br} . Les caractérisations d'avalanche, nommées USI, en anglais *Unclamped Inductive Switching*, sont menées le plus souvent pour déterminer non seulement la tension d'avalanche V_{br} , mais aussi la durée de tenue des composants t_{av} , et l'énergie d'avalanche E_{av} [59], [86]. Des caractérisations à l'aide d'un traceur [87] permettent également d'obtenir le seuil d'avalanche du transistor, en anglais *drain-source breakdown voltage*.

1.3 Contexte et enjeux des travaux de recherche

Les infrastructures, les systèmes, les composants électroniques notamment évoluent et fonctionnent dans des environnements électromagnétiques plus ou moins sévères. Depuis plus de trente ans, les effets d'une agression électromagnétique d'origine nucléaire à haute altitude interrogent sur la robustesse des systèmes. En effet, ce type d'agression émet un rayonnement de très forte amplitude (plusieurs dizaines de kilovolts par mètre), sur des durées brèves (jusqu'à une milliseconde), capable en fonction de l'altitude d'explosion d'impacter une surface terrestre importante. Les études et rapports bibliographiques affirment l'effet significatif de cette agression rayonnée sur les systèmes de communication, les réseaux énergie, etc., pouvant aller de la simple perturbation à la destruction. Les essais menés sur des systèmes, comme des ordinateurs, ont montré non seulement la nécessité d'intervention humaine pour les redémarrer lors de rayonnement de champs électriques de plus de 22 kV/m, mais aussi et surtout l'importance du couplage de la contrainte rayonnée sur les lignes d'énergie des systèmes. Ainsi, les contraintes rayonnées se couplant sur le réseau de distribution électrique engendrent des courants et des tensions élevés en entrée des alimentations à découpage pouvant conduire à la destruction. La contrainte conduite injectée en entrée des alimentations (quelques centaines d'ampères pendant quelques microsecondes) impacte le fonctionnement nominal de celles-ci et entraîne la défaillance de nombreux composants. Les travaux d'analyse des destructions des alimentations à découpage, de la gamme de puissances inférieures à 75 W, montrent des défaillants pour des composants identiques quel que soit le mode d'injection en entrée (mode commun ou mode différentiel). Comme mentionné en bibliographie, les défaillances suivent un scénario propre amenant, dans un premier temps (quelques microsecondes), à la défaillance du transistor de puissance Mosfet et de la diode de redressement alimentant le contrôleur du découpage, défaillant également. Les court-circuits ainsi engendrés entraînent la défaillance du pont redresseur et du fusible dans les premières millisecondes après l'injection de la perturbation. L'analyse des scénarii de destruction des alimentations nécessite des mesures en tension/courant au sein des alimentations sous test dans un environnement fortement perturbé, complexifiant les travaux de recherche. Jusqu'à ce jour, la simulation numérique n'est pas en mesure de reproduire l'enchaînement des défaillances des composants d'une alimentation soumise à une impulsion conduite. L'un des objectifs de cette thèse est de pouvoir prédire les niveaux nécessaires à la destruction d'une alimentation face à une impulsion conduite de fort niveau issue du couplage de l'IEMN-HA sur le réseau de distribution électrique.

La perturbation en mode commun est généralement estimée plus contraignante en entrée d'un système que celle de mode différentiel comme le précise [88]. Pourtant, par des études menées au CEA/Gramat, l'apport de la conversion de mode commun en mode différentiel liée au déséquilibre d'impédances phase/neutre en entrée des alimentations a montré la présence non négligeable de perturbations en mode différentiel. Les travaux de susceptibilité dans le cadre de cette thèse sont donc menés en mode différentiel et seront enrichis dans des travaux

futurs par l'étude de la susceptibilité en mode commun des alimentations. Dans la continuité des travaux de thèse de G. Mejecaze, les alimentations AC/DC du commerce de type *flyback* de puissances inférieures à 75 W sont étudiées. Afin de maîtriser la topologie et les références des composants, les travaux sont conduits sur une alimentation 19 V/3 A conçue pour être représentative de cette gamme de puissance. L'utilisation d'une alimentation maîtrisée permet de faciliter la compréhension des phénomènes et leur modélisation. En effet, l'objectif premier de ces travaux est de montrer la faisabilité de simuler le comportement des alimentations lors d'une agression conduite. Ainsi, la méthodologie adoptée consiste à modéliser les défaillances du point de vue des composants pour atteindre la destruction globale des alimentations.

Le chapitre 2 est consacré à la simulation de la propagation de la perturbation au sein de l'alimentation. La particularité de la contrainte couplée injectée (forts niveaux sur une large bande de fréquences) mène à se focaliser sur la modélisation des composants présents sur le chemin de propagation de l'agression. La simulation se base sur un schéma électrique de l'alimentation reproduisant les contraintes appliquées aux bornes des composants.

À la suite, dans le chapitre 3, l'étude des défaillances des composants dans l'alimentation aboutit à la compréhension des phénomènes engendrés par les contraintes aux bornes des composants. Pour chacun d'entre eux, des essais unitaires sont menés selon les principaux modes de défaillance. À partir de ces essais, des modèles comportementaux pour chacun des composants défaillants dans l'alimentation sont construits.

Enfin, au travers du chapitre 4, les différents modèles comportementaux des défaillances des composants de l'alimentation sont assemblés au sein d'un schéma électrique complet. En entrée de l'alimentation, la perturbation conduite issue du couplage de l'IEMN-HA sur le réseau électrique est injectée en simulation. Une ouverture vers la généralisation aux alimentations du commerce conduit à l'observation de l'impact des configurations des filtres d'entrée des alimentations sur l'enchaînement des défaillances.

Chapitre 2

Vers la simulation des destructions des alimentations

*« Dans la vie, rien n'est à
craindre, tout est à
comprendre. »*

Marie Curie

Sommaire

Introduction	30
2.1 Premiers pas vers la modélisation comportementale des aliments	30
2.1.1 Langages et outils de modélisation comportementale	31
2.1.2 Choix du code et du simulateur adaptés	32
2.2 Modélisation de la perturbation dans l'alimentation	33
2.2.1 L'alimentation générique	33
2.2.2 La perturbation conduite	36
2.2.3 Modélisation fréquentielle des composants de l'alimentation	39
2.2.4 Saturation des éléments magnétiques	49
2.3 Modélisation de la propagation de la perturbation	53
Conclusion	58

Introduction

L'étude des effets sur les systèmes électroniques, et plus particulièrement les alimentations à découpage, consiste à connaître, comprendre et reproduire expérimentalement les contraintes conduites induites par le couplage de l'IEMN-HA sur le réseau de distribution électrique. Cependant, dans l'objectif de prédiction des niveaux de défaillance des alimentations, la simulation numérique est présentée comme un outil stratégique dans la simulation de la destruction d'une alimentation. Ainsi, ce chapitre se consacre à reproduire numériquement la propagation de la perturbation injectée en entrée de l'alimentation lors des expérimentations menées.

La première partie du chapitre est consacrée à une présentation des outils et des codes de simulation associés pouvant être utilisés dans le cadre de ces travaux. À la suite, l'alimentation utilisée dans cette thèse est présentée. Le schéma électrique fonctionnel de l'alimentation comprenant les modèles des composants issus des constructeurs est simulé dans l'outil choisi. Le moyen d'injection nommé PIC, utilisé afin de reproduire en expérimentation la contrainte issue du couplage de l'IEMN-HA sur le réseau de distribution d'énergie, est également simulé. Après validation numérique de son fonctionnement, le générateur modélisé est utilisé pour injecter la perturbation en entrée de l'alimentation.

Le chemin de propagation de la perturbation au sein d'une alimentation est étudié en seconde partie de ce chapitre. En effet, les niveaux de tension/courant induits par la perturbation impactent les composants placés sur son chemin. Dans ce cadre, les composants de l'étage d'entrée de l'alimentation sont modélisés sur la bande spectrale de la contrainte injectée. Les effets de saturation des éléments magnétiques sont également considérés. Les variations de l'inductance en fonction du courant injecté sont évaluées expérimentalement et prises en compte dans les modèles fréquentiels développés.

La dernière partie du chapitre vise à associer le schéma électrique de l'alimentation et ses modèles développés au modèle du générateur PIC afin d'injecter numériquement la perturbation. À des fins de validation de la propagation de la perturbation dans l'alimentation en simulation, les signaux sont comparés aux mesures de tensions/courants relevées expérimentalement dans l'alimentation.

2.1 Premiers pas vers la modélisation comportementale des alimentations

L'un des objectifs de la modélisation de la destruction de l'alimentation soumise à une impulsion de fort courant est de reproduire l'enchaînement des défaillances des composants. Pour cela, il est nécessaire de modéliser le comportement de chacun des composants détruits au sein d'un schéma électrique comprenant notamment des modèles des composants issus des constructeurs. Le chemin de couplage de la perturbation doit être également considéré afin de reproduire l'injection et sa propagation dans l'alimentation. Pour construire une telle modélisation, il faut choisir un simulateur et des codes associés appropriés.

2.1.1 Langages et outils de modélisation comportementale

Des langages et outils utilisés dans le domaine de la simulation de circuits électroniques permettent de modéliser un système de façon comportementale [89], [90]. Les sections suivantes présentent un tour d’horizon des langages et outils pouvant être utilisés dans le cadre de ces travaux.

SPICE

Le langage SPICE, en anglais *Simulation Program with Integrated Circuit Emphasis*, est l’un des pionniers de la simulation dédiée à l’électronique analogique. Cette référence, développée à l’université de Berkeley, a donné lieu à de nombreuses versions industrielles basées sur ce langage de description structurelle [91]. Des simulateurs éprouvés et robustes comme Mentor, Cadence, etc. dominent le marché. Au contraire des idées reçues, SPICE n’est pas uniquement réservé à la description structurelle mais est utilisé également en modélisation comportementale. Le langage SPICE a une orientation très analogique où la description du comportement d’un système au travers de circuits analogiques primitifs est fastidieuse. Pour combiner différents domaines physiques (électrique, thermique, électromagnétique, etc.), une analogie avec l’électronique doit être effectuée. L’aspect multi-échelles et la possibilité de réutilisation des modèles développés dépassent les capacités de ce langage et ne permettent pas toujours d’arriver à une description voulue du composant ou du système.

C/C++

Les langages orientés objets tels que le C, C++, Java, etc. peuvent être utilisés dans la modélisation comportementale [89]. Les relations entre les entrées et les sorties fonctionnelles sont facilement décrites avec des possibilités quasi-infinies. Cependant, ces langages permettent de faire de la modélisation logicielle/matérielle et ont été développés, à l’origine, pour la modélisation de systèmes de haut niveau, comme par exemple les canaux de communication, mais aussi et surtout dans la construction d’applications. En rationalisant, ces types de langage sont ainsi très peu adaptés pour la modélisation plus bas niveau, au niveau composants, transistors, etc.

Mast/Modelica

Le langage MAST [92] est proposé en complément du simulateur Saber afin de décrire des comportements complexes potentiellement multi-domaines. Très utilisé encore dans l’industrie, ce langage n’est pourtant pas normalisé selon l’IEEE (*Institute of Electrical and Electronics*). Modelica [93], présent dans de nombreux simulateurs (Open Modelica, Dymola de Dassault System), est également très peu adapté à la construction de modèles analogique/numérique dans l’électronique de puissance.

VHDL-AMS, Verilog-AMS

Afin de répondre aux besoins croissants de l'électronique, les langages de type HDL, en anglais *Hardware Description Language*, tels que le langage VHDL (norme IEEE 1076-1987) et le langage concurrent Verilog (norme IEEE 1364-1995), se sont enrichis au travers de l'extension AMS, en anglais *Analog and Mixed Signal*, pour devenir des langages de modélisation mixte, respectivement VHDL-AMS et son concurrent Verilog-AMS. Comme leur nom l'indique, ces langages permettent de traiter indifféremment des modélisations logiques, analogiques ou mixtes au sein d'une même description de composants ou systèmes [94]. En fonction des besoins, des niveaux d'abstraction au travers de jeux d'instructions et d'équations implicites peuvent être atteints au sein d'un même modèle. Le VHDL-AMS [95] offre une vision plus haut niveau du système et permet de modéliser en temps continu et à événements discrets tout système dont le comportement peut être décrit au travers d'équations différentielles algébriques. Pour plus de précisions sur le langage en lui-même, le livre de Y. Hervé [96] peut être consulté.

2.1.2 Choix du code et du simulateur adaptés

Au vu des attentes pour la modélisation, le langage VHDL-AMS permet de modéliser le résultat de la défaillance de composants au moyen d'équations simples. De plus, l'aspect normalisé de ce langage a toute son importance et permet d'accumuler de l'expérience au travers de bibliothèques de modèles prédéfinis ou encore décrits dans la littérature. En complément, de nombreuses publications tendent à ré-écrire des modèles de composants codés d'origine en Spice en VHDL-AMS et inversement. Le choix du langage VHDL-AMS dans la modélisation des destructions des alimentations à découpage conduit à l'utilisation d'un simulateur pour ces travaux de thèse. Le logiciel Simplorer de la suite ANSYS [97], fonctionnant sous Windows, fait partie des dernières générations de simulateur. Doté pour sa partie VHDL-AMS d'un noyau de simulation hAMStEr, en anglais *High performance AMS tool for Engineering and Research*, Simplorer offre notamment la possibilité d'interfacer d'autres types de langages avec le langage VHDL-AMS. Ainsi, il prend en charge la cohabitation de différents langages permettant d'associer des modèles constructeurs de type SPICE et des modèles comportementaux développés. Ce logiciel supporte également l'interfaçage entre les langages de type VHDL, VHDL-AMS, C, Simulink, et la suite logicielle dédiée à la conception/simulation des systèmes électromagnétiques d'ANSYS, intégrant par exemple HFSS. De plus, ce simulateur permet une grande souplesse pour l'écriture des modèles, ou pour la réalisation de dessins et de symboles associés. En effet, Simplorer possède un éditeur de modèles, en mode texte, qui permet non seulement de définir les composants et leurs modèles associés mais aussi de les compiler au sein de la bibliothèque d'utilisation.

Étant donné la position prépondérante que semble prendre le langage VHDL-AMS dans le domaine de la modélisation comportementale, et face à l'évolution renforcée des simulateurs, les travaux de modélisation de la susceptibilité électromagnétique des alimentations à découpage sont conduits sous la suite *Electromagnetics Suite* d'ANSYS, Simplorer.

2.2 Modélisation de la perturbation dans l'alimentation

2.2.1 L'alimentation générique

Une alimentation AC/DC (alternative/continue) a pour fonction principale de délivrer des tensions continues (5 V, 15 V, etc.) pour alimenter des systèmes à partir d'un réseau alternatif. L'alimentation générique utilisée dans ces travaux de thèse est issue de l'étude des alimentations à découpage conduite par G. Mejecaze [44]. En effet, l'étude des alimentations présentes sur le marché, de leur topologie et de leurs composants a conduit à concevoir une carte d'essai représentative en termes de topologie et de composants, avec l'objectif de réaliser des destructions lorsqu'elle est soumise à une contrainte issue de l'IEMN-HA.

L'alimentation générique considérée ici est une alimentation à découpage AC/DC de type *flyback*, avec une sortie 19 V/3 A, appartenant à une gamme de puissances «grand public» inférieures à 75 W. La figure 2.1 présente le schéma électrique de simulation de l'alimentation sous le logiciel Simplorer à partir des modèles constructeurs et reprend les principaux blocs fonctionnels de l'alimentation *flyback* utilisée. En entrée de celle-ci, la partie redressement, placée après le filtre CEM, redresse la tension sinusoïdale du secteur au travers d'un pont de diodes et d'un condensateur de lissage. Le contrôleur du découpage *PWM*, dit en anglais *Pulse Width Modulation* (Modulation de largeur d'impulsion en français), assure quant à lui la commande en tension du transistor Mosfet à une fréquence de 65 kHz, et adapte le rapport cyclique en fonction de la boucle de rétroaction en sortie, dite en anglais de *Feedback*. L'isolation galvanique est assurée par le transformateur hautes fréquences. Les alimentations à découpage de type *flyback* transfèrent l'énergie en deux séquences en fonction du rapport cyclique, par l'intermédiaire de l'inductance de stockage au primaire du transformateur. Ainsi, lors de la conduction du transistor Mosfet, le courant circule dans l'enroulement primaire du transformateur ; le stockage de l'énergie est réalisé dans le circuit magnétique pendant que l'enroulement secondaire est ouvert (diode D_4 bloquée sur la figure 2.1). Dans la seconde séquence, le transistor Mosfet s'ouvre, les tensions au primaire et au secondaire s'inversent, la diode D_4 assure la continuité des flux et l'énergie est transmise à travers la diode D_4 vers la sortie.

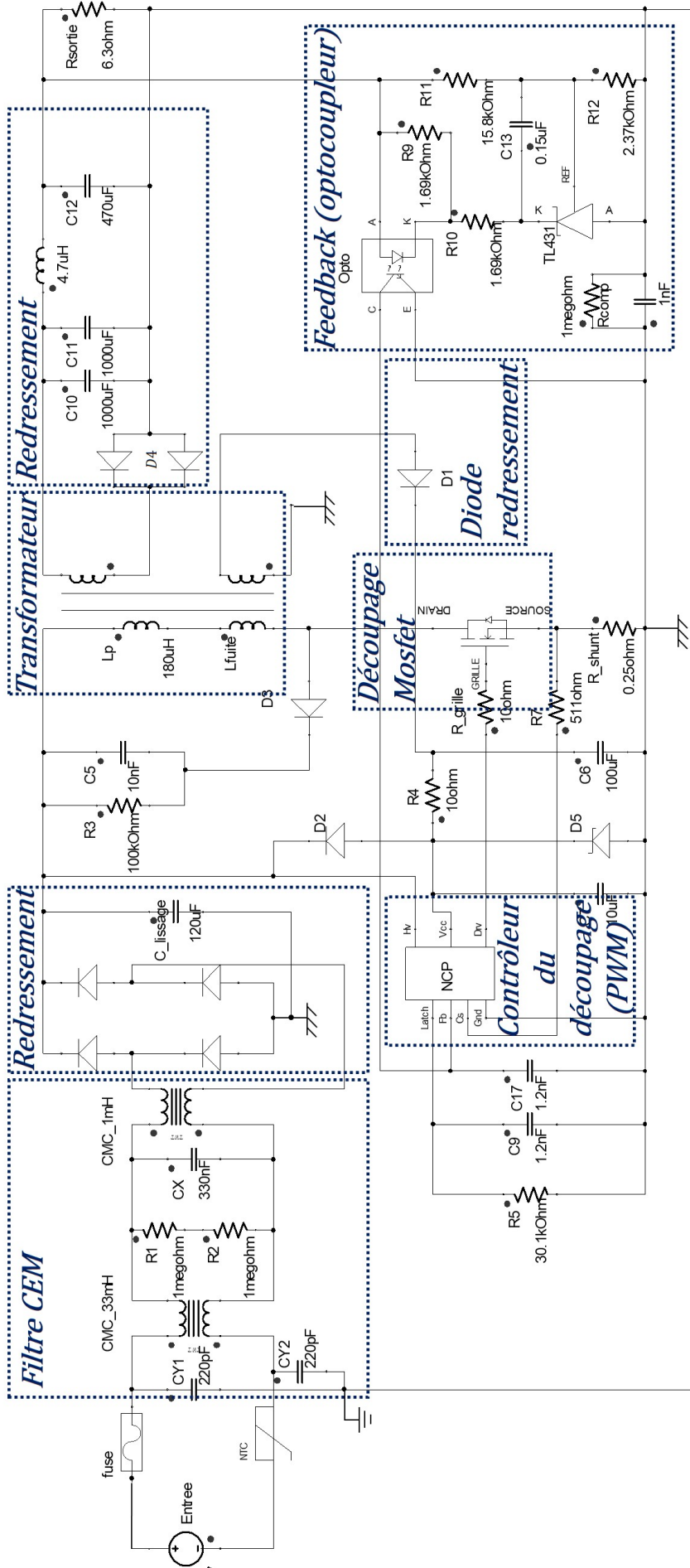


FIGURE 2.1 – Schéma de l'alimentation générique.

Des relevés de courants et de tensions en différents nœuds de l'alimentation sont réalisés pour obtenir les chronogrammes présentés en figure 2.2. Ainsi, la tension aux bornes du condensateur de lissage $V_{\text{capa lissage}}$, dans la partie redressement en entrée, est quasi-continue et vaut 325 V (c'est-à-dire $\sqrt{2} V_{\text{efficace}}$ du secteur), avec une ondulation liée à la décharge du condensateur de lissage entre deux alternances de la tension sinusoïdale du secteur. Le contrôleur du découpage PWM commande le Mosfet avec un signal de rapport cyclique variable de fréquence de découpage de 65 kHz et d'amplitude 17 V, tension d'alimentation du contrôleur. Pendant la phase «on» du Mosfet, la charge de l'inductance primaire L_p du transformateur est visible au travers du courant I_{drain} . La tension de drain $V_{\text{drain source}}$ vient confirmer le fonctionnement nominal de l'alimentation simulée. Ce schéma électrique de l'alimentation est fonctionnel et peut donc être utilisé en simulation pour la modélisation de la propagation de la perturbation envisagée.

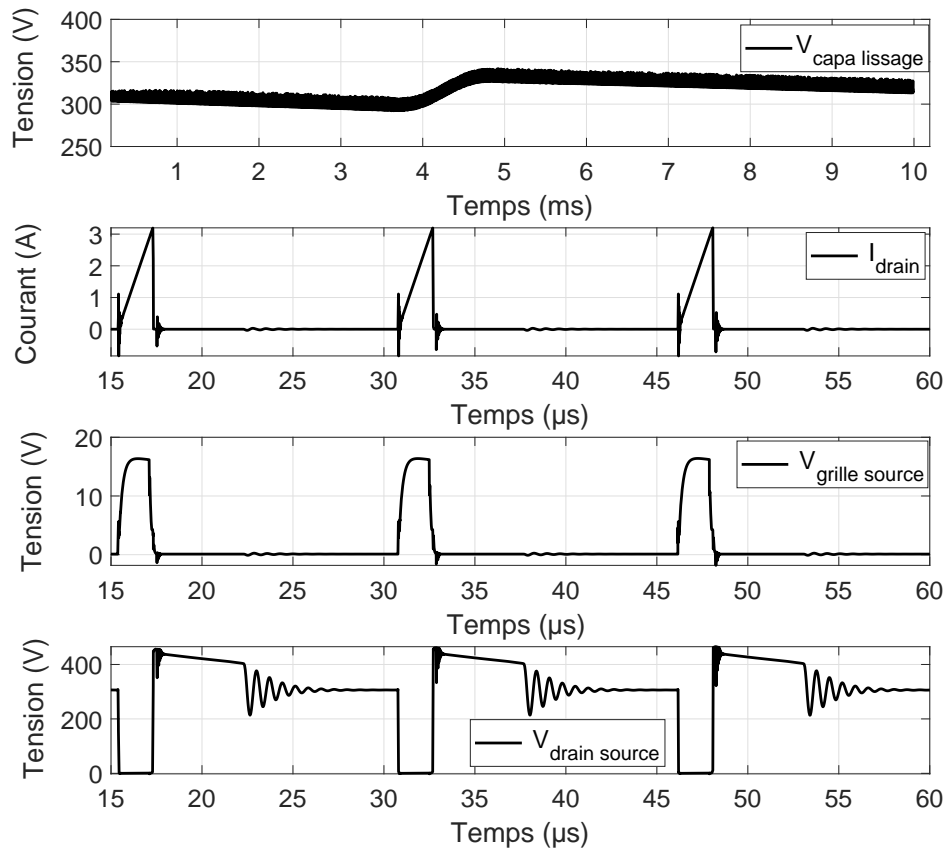


FIGURE 2.2 – Chronogrammes des signaux fonctionnels de l'alimentation à découpage simulée.

L'alimentation générique est donc simulée dans un environnement non perturbé. Afin de modéliser la propagation de la contrainte conduite au sein de cette alimentation ainsi que ces effets, la perturbation injectée expérimentalement par le biais du moyen PIC doit être reproduite en simulation.

2.2.2 La perturbation conduite

Description de la Plateforme d'Injection en Courant (PIC)

La plateforme d'injection en courant PIC est utilisée dans le cadre de ces travaux afin de reproduire la contrainte issue du couplage de l'agression IEMN-HA sur les réseaux de distribution électrique. Cette contrainte est de forme bi-exponentielle en sortie du moyen d'injection, comme illustré en figure 2.3. Le moyen PIC délivre des niveaux crêtes jusqu'à 1 kA dont les temps de montée t_m et largeurs à mi-hauteur $t_{1/2}$ sont présentés dans le tableau 2.1 pour une impédance caractéristique de 30Ω (impédance d'une ligne aéro-souterraine de distribution en énergie). Les réglages du niveau d'injection (tension de consigne TC) et des durées (t_m , $t_{1/2}$) sont définis par l'utilisateur au travers d'un contrôle commande distant.

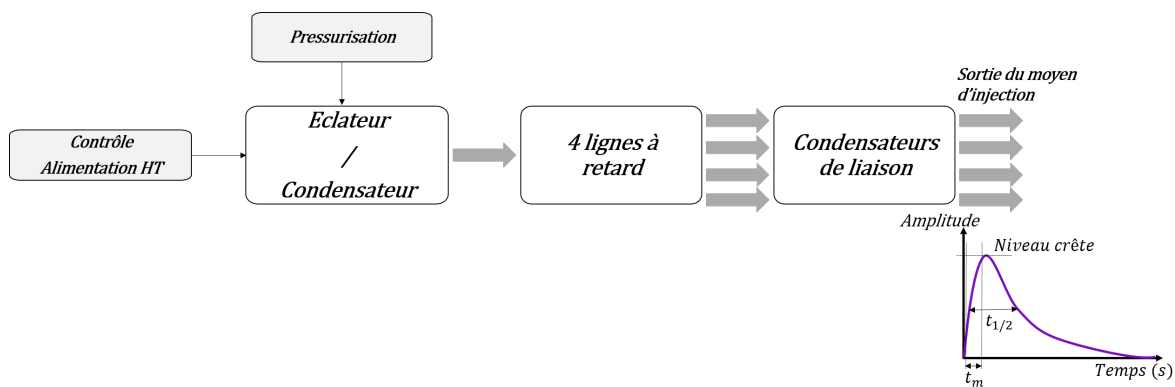


FIGURE 2.3 – Schéma bloc fonctionnel du moyen d'injection PIC.

Ainsi, dans l'enceinte du moyen d'injection en figure 2.3, la contrainte à injecter est réalisée en déchargeant un condensateur haute tension, situé dans une enceinte pressurisée à 10 bars, dans des lignes à retard. Des condensateurs de liaison permettent la mise en forme du temps de montée.

Paramètre	Gamme réglable sur 30Ω
Niveaux crêtes	17 A à 1 kA (500 V à 30 kV)
Temps mi-hauteur	30 ns à 1 μ s
Temps de montée	3 à 75 ns

TABEAU 2.1 – Gammes de réglage des paramètres de la forme bi-exponentielle sur 30Ω .

Dans le cadre des expérimentations menées sur les équipements électroniques, la perturbation générée en sortie du moyen PIC est injectée sur les conducteurs des systèmes alimentés. La figure 2.4 reprend ainsi les différents éléments composant la distribution autonome en énergie associée au moyen d'injection PIC. La desserte électrique est un réseau autonome en électricité, c'est-à-dire déconnecté du réseau de distribution en électricité. Cette autonomie permet de ne pas réinjecter de perturbations au sein même du réseau de distribution. Cette desserte, en figure 2.4, est constituée d'un groupe électrogène triphasé 160 kVA, d'un transformateur élévateur 400 V/20 kV, d'un sectionneur de 20 kV et d'un transformateur abaisseur 20 kV/400 V. À la suite, un réseau de stabilisation d'impédance de ligne (RSIL) permet de maîtriser l'impédance en amont de l'équipement à tester (EST).

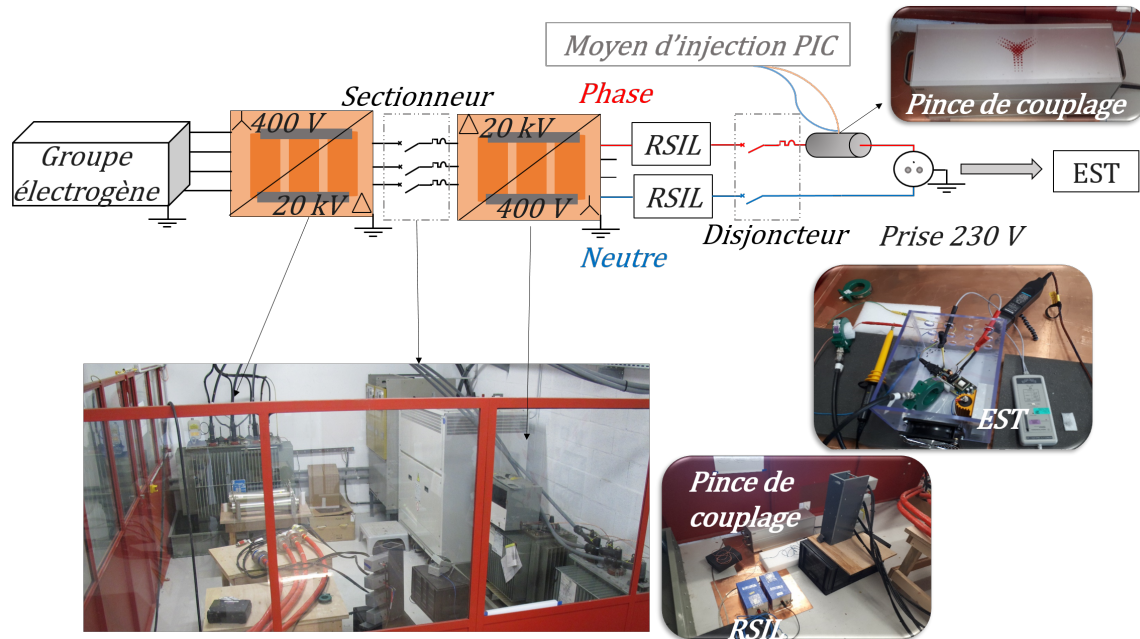


FIGURE 2.4 – Environnement global du moyen d'injection PIC.

La pince de couplage, placée en aval des RSIL, permet l'injection de la perturbation issue du moyen PIC sur l'alimentation de l'EST. Cette pince de couplage inductive de dimensions 21 x 25 x 76 cm est spécifiée pour des courants de 5 kA maximum avec une tension de 100 kV. Le couplage au travers de la pince s'effectue sur un ou plusieurs conducteurs du système à tester. Comme l'illustre la figure 2.5, le couplage est réalisé soit en Mode Différentiel (MD), injection sur le conducteur de phase (figure 2.5 (a)), soit en Mode Commun (MC (figure 2.5 (b)), injection sur les conducteurs de phase et de neutre.

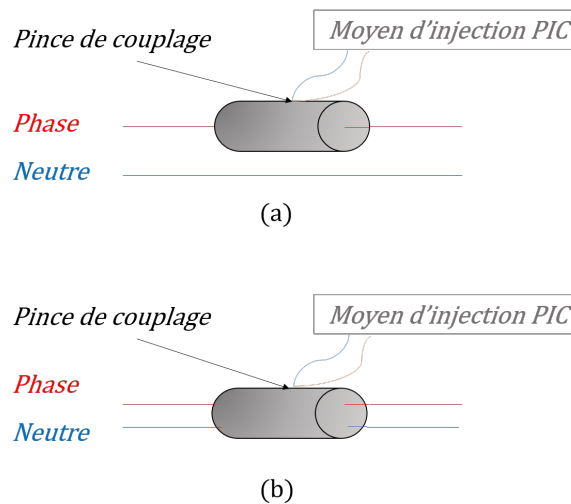


FIGURE 2.5 – Injection de la perturbation au travers de la pince de couplage en Mode Différentiel (a) et en Mode Commun (b).

Des mesures de tensions/courants peuvent être relevées à l'oscilloscope au sein de l'équipement testé, mais aussi en entrée du système, afin de connaître les niveaux des contraintes appliquées. Cette plateforme d'injection PIC est utilisée afin de mener les travaux de thèse de susceptibilité des équipements électroniques face aux agressions de type IEMN-HA en mode conduit.

Modélisation de la perturbation

Le moyen d'injection PIC, reproduisant le résultat du couplage d'une IEMN-HA sur le réseau de distribution électrique (détaillé dans la section précédente), est modélisé numériquement. Ce moyen PIC est constitué de multiples sous-ensembles mais reste linéaire dans son fonctionnement : le courant injecté est proportionnel à la tension de consigne réglée TC sur le moyen. De ce fait, le principe du générateur de Thévenin a été utilisé dans les travaux de G. Mejezaze *et al.* [98] afin de construire en simulation un modèle équivalent. Ce modèle développé comprend la loi liant la source de tension en circuit-ouvert normalisée et moyennée ($V_{COMoyenne}$) à la tension de consigne (TC) réglée sur le moyen PIC par l'utilisateur, ainsi que l'impédance de source équivalente. Le générateur de Thévenin équivalent du moyen d'injection PIC est conçu pour un domaine de validité correspondant à une bande de fréquences allant de 1 kHz à 10 MHz et pour une TC d'injection allant de 500 V jusqu'à 16 kV. À des fins de validation, ce modèle est reproduit sous le logiciel Simplorer en figure 2.6. L'injection est réalisée sur une charge RLC série respectivement de 10 Ω , 1 μH et 200 nF pour différents niveaux d'injection de (TC). Ce circuit RLC présente une impédance dite «petits signaux» similaire à celle pouvant être rencontrée en entrée des alimentations. La figure 2.7 compare le courant de phase mesuré avec celui obtenu par simulation pour une injection de TC de 4 kV (figure 2.7 (a)) et de 16 kV (figure 2.7 (b)).

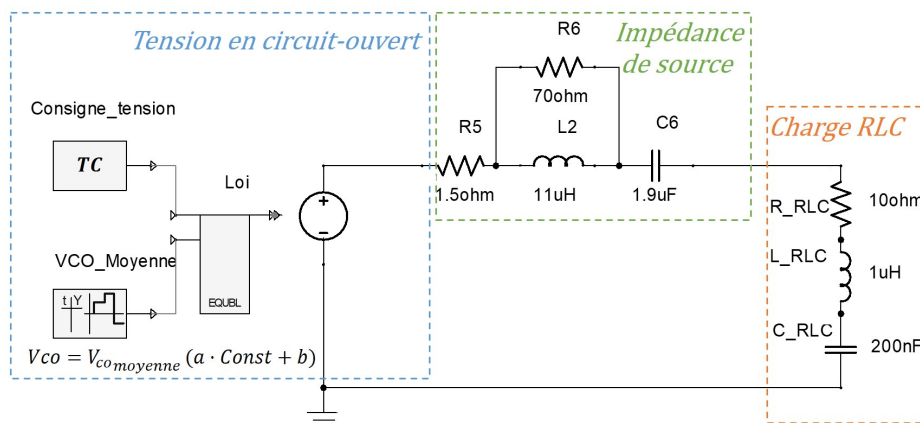


FIGURE 2.6 – Schéma du générateur équivalent du moyen PIC lors d'une injection sur une charge RLC.

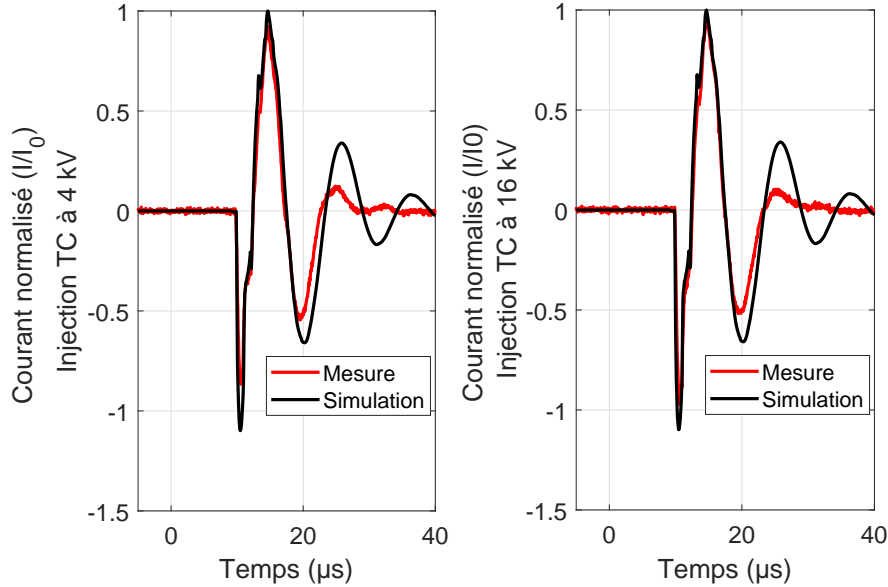


FIGURE 2.7 – Comparaison du courant mesuré avec celui simulé lors d’une injection de TC à 4 kV (a) et à 16 kV (b) sur un circuit RLC en MD.

Les travaux menés au CEA/Gramat portant sur la susceptibilité des équipements électroniques montrent l’importance des amplitudes des courants et tensions ou de l’énergie comme cause de leur destruction. En regard de l’amplitude et de la fréquence des premières alternances en figure 2.7, la simulation du moyen d’injection, quel que soit le niveau de la tension de consigne, est considérée comme satisfaisante pour la poursuite des travaux vers la modélisation des destructions des alimentations.

2.2.3 Modélisation fréquentielle des composants de l’alimentation

Le moyen d’injection PIC reproduit la contrainte couplée sur les lignes du réseau électrique lors d’une IEMN-HA. Cette contrainte en courant est caractérisée par sa forte amplitude, plusieurs centaines d’ampères, sur une bande de fréquences étendue. Afin de considérer cette gamme de fréquences pour la suite de la modélisation, une transformée de Fourier est calculée à partir du courant mesuré lors d’une injection sur une impédance faible de 1Ω et une impédance élevée de $10 \text{ k}\Omega$ (figure 2.8).

La figure 2.8 présente la bande spectrale à considérer dans le cadre d’injections en mode différentiel avec le moyen PIC. En effet, le spectre en fréquence de la contrainte injectée pour une TC de 16 kV sur une charge de 1Ω ou bien de $10 \text{ k}\Omega$ s’étend du quasi-continu à la quelque mégahertz. Néanmoins, afin de prendre en compte un nombre suffisant d’harmoniques liées aux signaux électriques internes à l’alimentation (provoquées par certains effets non linéaires par exemple), les mesures d’impédances, nécessaires à la modélisation fréquentielle des composants de l’alimentation, sont réalisées sur toute la bande de fréquences de l’analyseur d’impédance E4990A, soit de 20 Hz à 120 MHz.

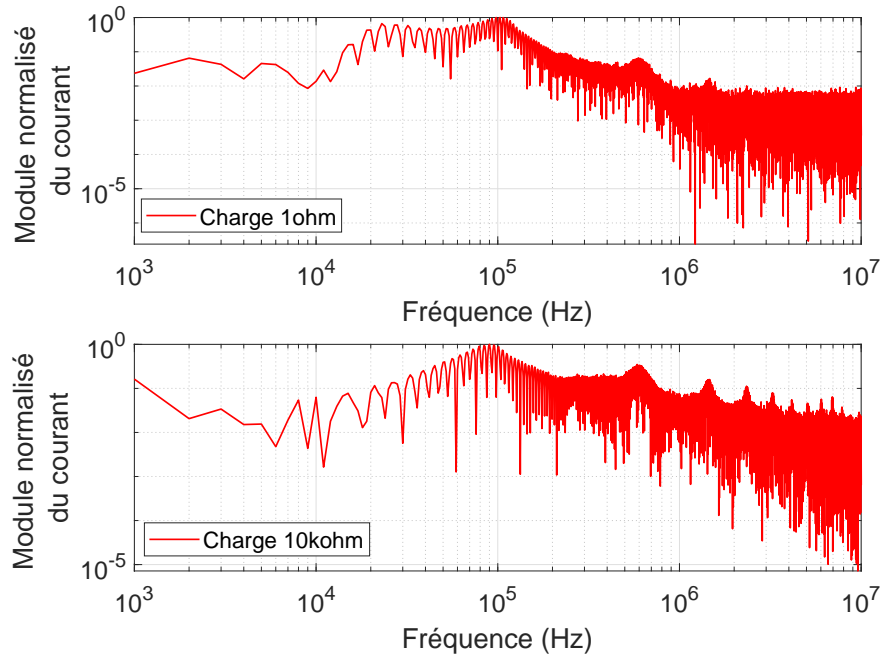


FIGURE 2.8 – Spectres normalisés du courant mesuré lors d’une injection TC de 16 kV sur charges 1Ω et $1 \text{ k}\Omega$.

Composants de l’étage d’entrée et inductances de mode commun

Le filtre CEM de l’étage d’entrée intègre des condensateurs de mode commun CY qui permettent d’éliminer en hautes fréquences, vers la terre, les parasites de mode commun du secteur circulant sur la phase et sur le neutre. Les inductances de mode commun participent également à l’atténuation des perturbations de ce même mode. En mode différentiel, ces inductances de mode commun sont censées être transparentes. Le condensateur de mode différentiel CX bloque en hautes fréquences les parasites de MD. En entrée du filtre, un fusible également présent permet d’ouvrir le circuit en cas de surcharge ou court-circuit de plusieurs millisecondes. Une thermistance peut également être ajoutée en série sur le neutre de ce filtre permettant de limiter les courants d’appel dûs au démarrage de l’alimentation.

Dans le cas de l’injection de la perturbation en entrée de l’alimentation, celle-ci traverse le filtre CEM dans son ensemble avant de s’écouler au travers de l’enroulement primaire du transformateur et du transistor de découpage. Ainsi, les composants de l’étage d’entrée, et plus particulièrement les condensateurs, ont été modélisés en fréquence au travers de schémas électriques équivalents [98]. Les mesures d’impédances réalisées sur les condensateurs de mode commun $CY1$ et $CY2$, de mode différentiel CX et de lissage $C_{lissage}$ ont permis la construction d’un modèle électrique équivalent pour chacun (figure 2.9), en prenant en compte les éléments intrinsèques (*Equivalent Series Resistance-ESR*, *Equivalent Series Inductance-ESL*, etc.). Les modèles fréquentiels des condensateurs ainsi développés dans les travaux de G. Mejezaze *et al.* [98], présentés en figure 2.9, sont utilisés directement dans la simulation.

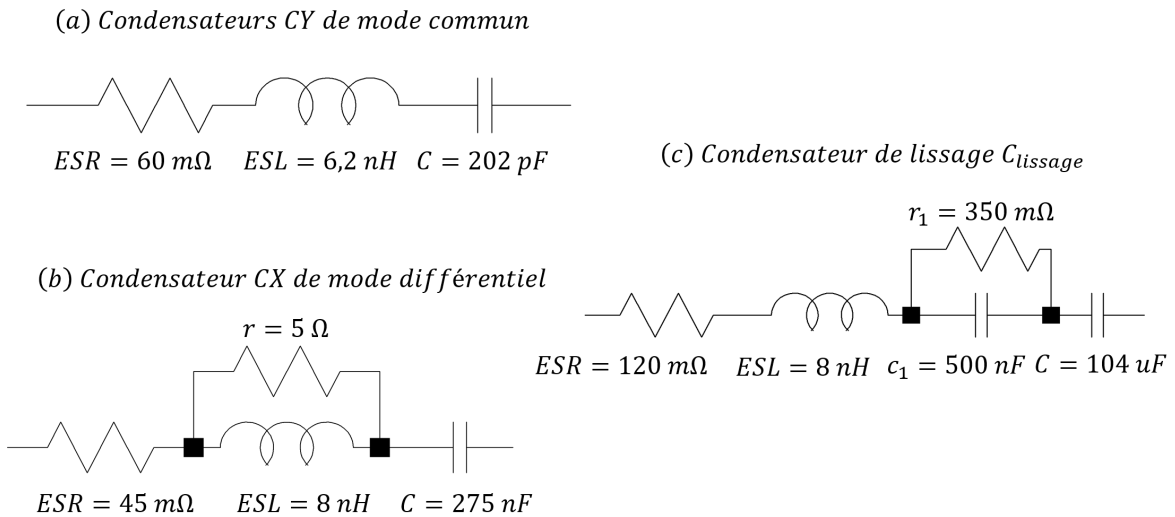


FIGURE 2.9 – Schémas électriques équivalents des condensateurs de mode commun CY1 et CY2 de 220 pF (a), du condensateur de mode différentiel CX de 330 nF (b) et du condensateur de lissage $C_{lissage}$ de 120 μF (c) [98].

Dans la continuité, les inductances de mode commun du filtre d'entrée CEM sont modélisées en fréquence. Ces inductances sont composées d'un tore de ferrite et sont placées en série avec les signaux de phase/neutre d'entrée. L'objectif principal de cet élément est de bloquer la conduction d'interférences hautes fréquences pour ne pas affecter les signaux fonctionnels de l'alimentation de plus basses fréquences (figure 2.10). En mode commun (figure 2.10 (a)), ce tore augmente l'impédance de boucle, permettant ainsi d'atténuer les courants de mode commun. En revanche, les courants de mode différentiel (figure 2.10 (b)) s'annulent idéalement et « voient » une impédance faible. Généralement, les tores dans le filtre CEM de l'alimentation sont très souvent bobinés en « demi-lune », permettant ainsi une bonne tenue diélectrique et une inductance de fuite élevée utile au filtrage du mode différentiel. En revanche, le cas dit idéal de l'annulation du courant pour des courants de mode différentiel n'est en réalité pas réel au sein des inductances de mode commun et ce courant est notamment influencé par l'inductance de fuite, comme le précise A. Charroy dans son livre [99].

Afin de construire un modèle électrique équivalent en fréquence, de nombreux articles [100], [101], [102] présentent des méthodes de mesure, plus ou moins complexes, des inductances de mode commun (identifiées en figure 2.1, par $CMC-33\text{mH}$ et $CMC-1\text{mH}$). La méthode de caractérisation prenant en compte les comportements en mode différentiel (MD) et en mode commun (MC) des inductances est utilisée selon la publication d'I. Stevanovic *et al.* [101]. La figure 2.11 présente le modèle électrique équivalent d'une inductance de mode commun. Celui-ci possède un étage de résonance MC et un second MD. La valeur de l'inductance de l'étage MD fait référence à l'inductance de fuite de l'inductance principale de MC. Le flux créé par le courant de mode différentiel ne s'annule pas complètement et une partie du courant de fuite circule dans le tore.

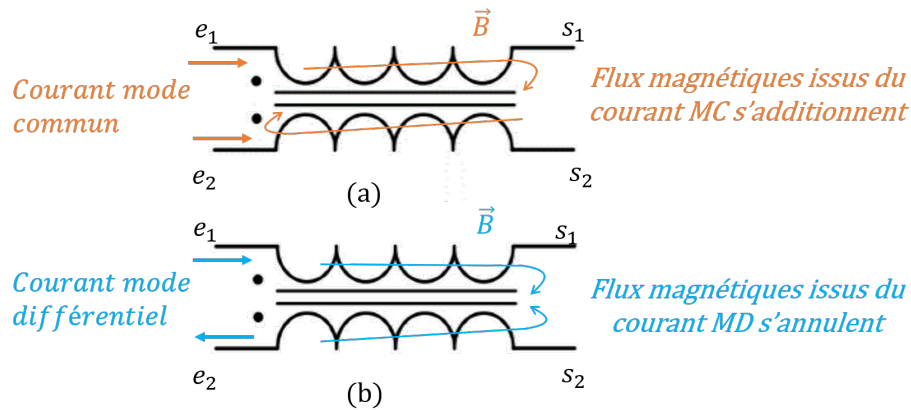


FIGURE 2.10 – Schémas de la répartition du flux dans les enroulements des inductances de mode commun lors d'un courant de mode différentiel (a) et d'un courant de mode commun (b).

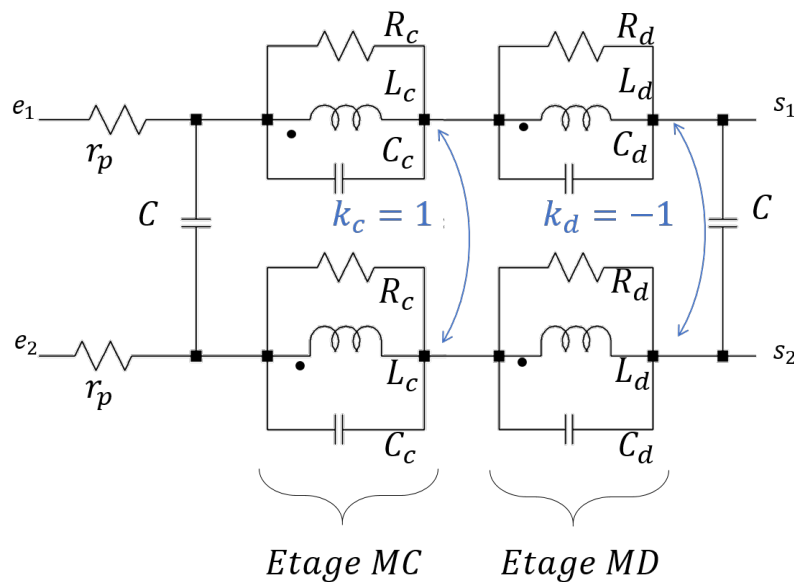


FIGURE 2.11 – Circuit équivalent d'une inductance de mode commun.

Chacun des étages comporte deux inductances couplées. Le rapport de couplage k_c vaut 1 pour décrire le comportement de MC et k_d valant -1 pour celui de MD. Les condensateurs C_c et C_d représentent les condensateurs parasites de l'enroulement de MC et de MD. C sont les condensateurs inter-enroulements, en supposant la parfaite symétrie. Les résistances R_c et R_d modélisent les pertes du matériau ferro-magnétiques. Quant à la résistance des enroulements, elle est prise en compte dans les résistances r_p . Les inductances principales des enroulements de mode commun L_c sont couplées entre elles et ont pour inductances de fuite L_d , les deux inductances de mode différentiel. Des configurations de mesure sont issues de [101] afin d'obtenir les paramètres RLC des étages en figure 2.12. Ainsi, les deux inductances de mode commun utilisées dans l'alimentation, de chez Würth Elektronik de 33 mH et de 1 mH, sont caractérisées à l'analyseur d'impédance. La figure 2.12 présente les configurations de mesure pour la caractérisation en mode commun (MC), en mode différentiel (MD) et en circuit-ouvert de l'inductance de mode commun.

Le schéma équivalent associé à la mesure est également illustré en figure 2.12.

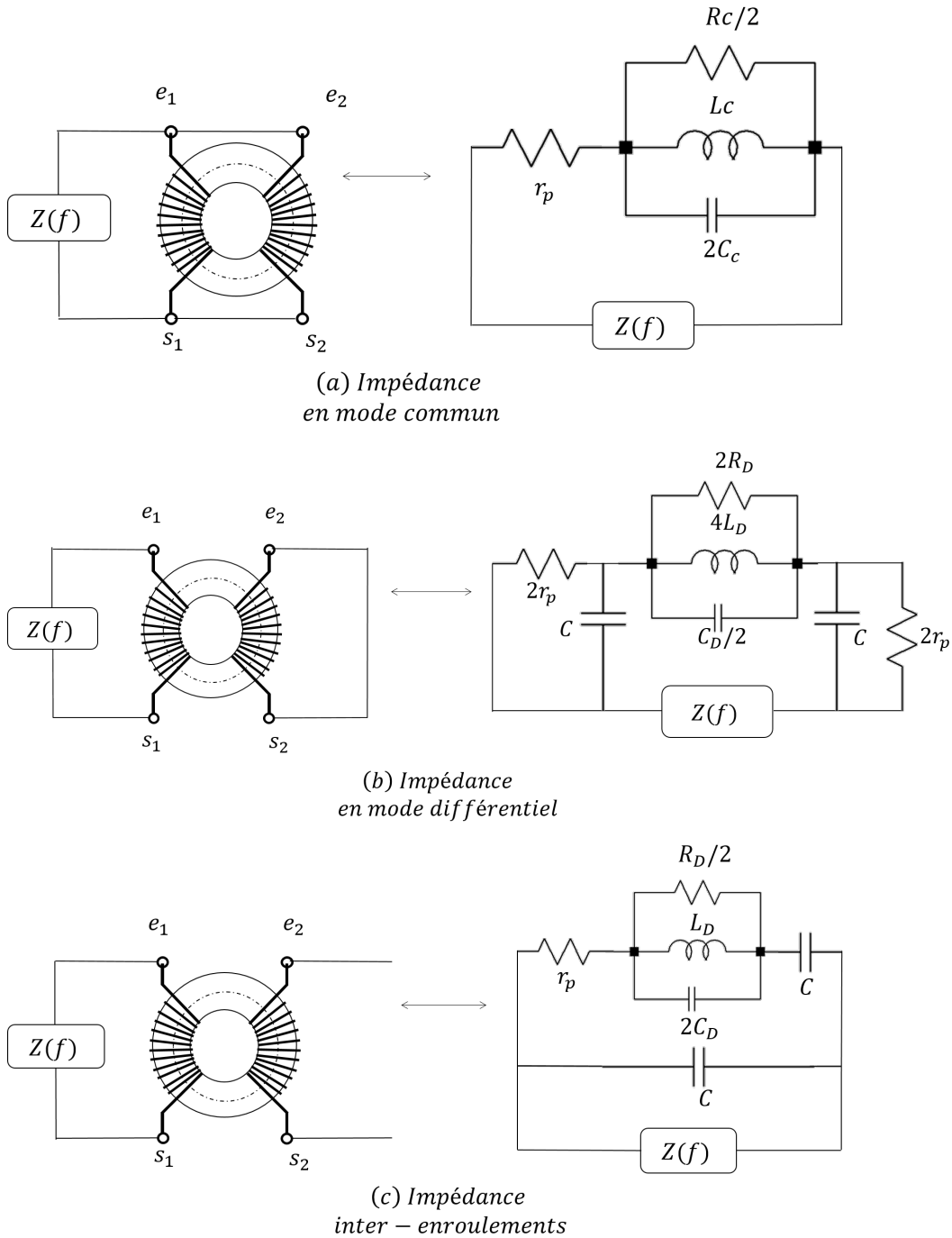


FIGURE 2.12 – Circuits équivalents issus de [101] correspondant aux configurations de mesure d'impédance de (a) MC, (b) MD, (c) circuit-ouvert. $Z(f)$ correspond à la mesure réalisée par l'analyseur d'impédance.

Ainsi, pour chacune des configurations, une mesure $Z(f)$ est réalisée à l'analyseur d'impédance afin d'en extraire les valeurs des paramètres équivalents au modèle de la figure 2.11. L'approche usuelle utilisée pour identifier les paramètres internes consiste à extraire les valeurs grâce aux formules d'impédance [101] et à ajuster, par la suite, les paramètres du modèle considéré. Ainsi, le tableau 2.2 reprend les valeurs extraites pour le modèle de l'inductance de mode commun de 33 mH et celle de 1 mH. Les figures 2.13 et

2.14 comparent l'impédance mesurée pour l'inductance de mode commun de 33 mH et de 1 mH à l'impédance obtenue en simulation, en utilisant les paramètres du tableau 2.2. Les comparaisons de l'impédance simulée avec celle mesurée se réfèrent à la configuration en mode commun présentée en figure 2.12 (a), en mode différentiel en figure 2.12 (b), et en circuit-ouvert en figure 2.12 (c).

Paramètre	Valeur inductance 33 mH	Valeur inductance 1 mH
L_c	33,5 mH	1,4 mH
C_c	10 pF	2,7 pF
R_c	3,2 k Ω	11,5 k Ω
L_d	6,7 μ H	2 μ H
C_d	8 pF	0,8 pF
R_d	8 k Ω	7 k Ω
r_p	74 m Ω	36 m Ω
C	2 pF	3 pF

TABLEAU 2.2 – Extraction des paramètres du modèle équivalent pour l'inductance de mode commun 33 mH et 1 mH.

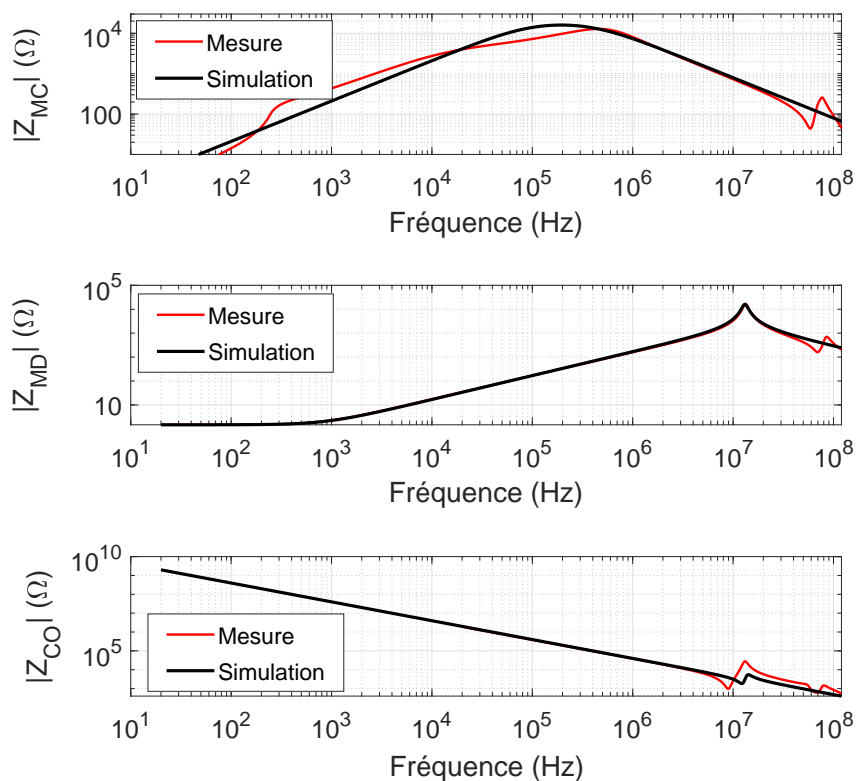


FIGURE 2.13 – Inductance de 33 mH : Impédances mesurées (rouge) et simulées (noir) selon les configurations MC, MD et circuit-ouvert (CO).

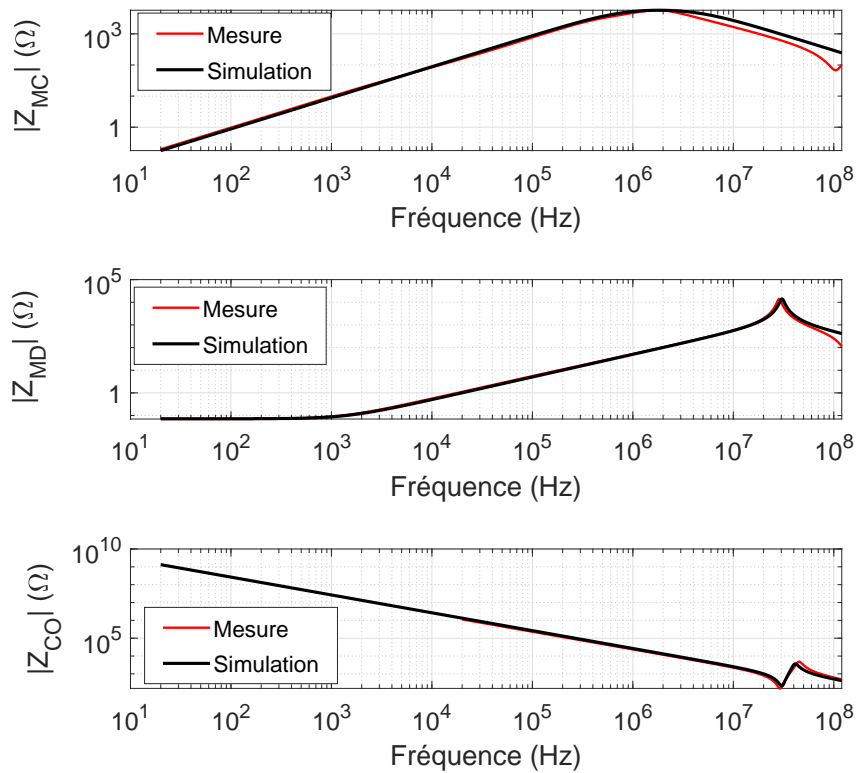


FIGURE 2.14 – Inductance de 1 mH : Impédances mesurées (rouge) et simulées (noir) selon les configurations MC, MD et circuit-ouvert (CO).

Des écarts entre les signaux mesurés et simulés sont visibles principalement pour des fréquences supérieures à la dizaine de mégahertz. Au vue de la bande de fréquence de la contrainte injectée, la concordance entre les valeurs d'impédance mesurées et simulées permet de valider les paramètres du modèle fréquentiel des deux inductances de mode commun présentées dans le tableau 2.2. Les deux modèles électriques équivalents, basés sur la figure 2.11, ainsi obtenus sont utilisés par la suite dans la simulation de l'alimentation.

Enroulement primaire du transformateur

Le transformateur à trois enroulements placé en aval de la partie redressement (figure 2.1) est défini comme un dispositif de conversion d'énergie qui transfère l'énergie d'une partie du circuit (l'entrée de l'alimentation) à une autre partie (la sortie de l'alimentation) à puissance constante. Ce transformateur correspond en réalité, dans le cas d'une alimentation de type *flyback*, des inductances couplées assurant l'isolation galvanique entre l'entrée et la sortie. Sur le principe, l'enroulement primaire stocke l'énergie dans le circuit magnétique pendant la phase de conduction du transistor Mosfet et la restitue à l'enroulement secondaire pendant la phase d'ouverture du transistor. Le transfert d'énergie n'est pas direct comme dans un transformateur. L'enroulement auxiliaire, quant à lui, permet d'alimenter en tension continue le circuit intégré du contrôleur PWM. Au vu des

destructions observées expérimentalement, la perturbation s'écoule principalement vers le transistor Mosfet. Par conséquent, une attention particulière est portée à la modélisation de l'enroulement primaire du transformateur. La figure 2.15 reprend le circuit équivalent d'un transformateur à trois enroulements. L'enroulement primaire comporte une résistance série de pertes r_p de l'enroulement et une impédance Z_p , comprenant l'inductance magnétisante L_p associée aux pertes fer R_p et à l'inductance de fuite L_{pf} . De même, les enroulements secondaire et auxiliaire sont constitués d'une résistance série de pertes r_s et r_a ainsi qu'une impédance résiduelle pour chacun des enroulements l_{fs} et l_{fa} . C. Basso expose dans son livre [103] un exemple de détermination des valeurs des composants du schéma équivalent pour la modélisation électrique d'un transformateur à trois enroulements comme celui de la figure 2.15.

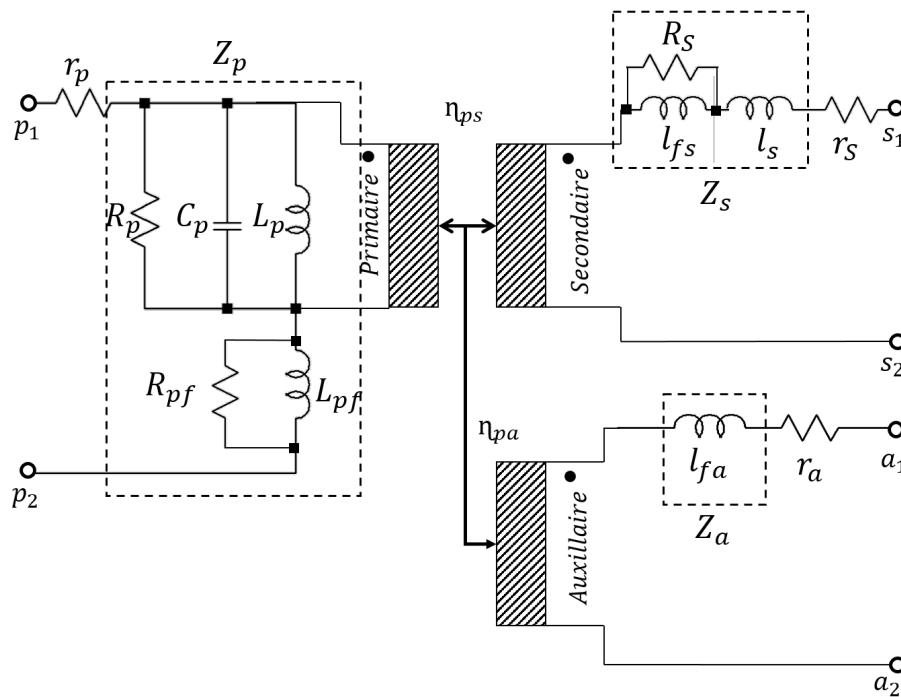


FIGURE 2.15 – Modèle inductif du transformateur à 3 enroulements.

Dans la thèse de X. Margueron [104], les configurations de mesure réalisées à l'analyseur d'impédance permettant de caractériser les trois enroulements du transformateur et leurs contributions respectives sont décrites. Les mesures d'impédance, associées à douze configurations différentes, ont permis de déterminer les paramètres du modèle fréquentiel équivalent du transformateur à trois enroulements. Les différentes valeurs des paramètres du modèle électrique sont présentées dans le tableau 2.3.

Le modèle du transformateur avec les paramètres référencés dans le tableau 2.3 a été introduit en simulation numérique afin de le valider. Toutes les configurations de mesure présentes dans l'article de X. Margueron *et al.* [105] ont été simulées et comparées aux mesures d'impédance. Les comparaisons entre les mesures et la simulation du modèle électrique développé (figure 2.16) sont présentées pour six exemples de configuration de mesure. Ainsi, la figure 2.16 illustre notamment les mesures d'impédance des enroulements

Symbole	Valeur
Enroulement primaire	
r_p	73 mH
R_p	25 k Ω
R_{pf}	900 Ω
C_p	12,5 pF
L_p	185 μ H
L_{pf}	600 nH
Enroulement secondaire	
l_s	11 μ H
r_s	0,6 Ω
l_{fs}	30 nH
R_s	10 m Ω
Enroulement auxiliaire	
l_{fa}	120 nH
r_a	0,29 Ω
Rapports de transformation	
η_{ps}	0,199
η_{pa}	0,164

TABLEAU 2.3 – Extraction des paramètres du modèle équivalent du transformateur à 3 enroulements.

primaire (Z_p), secondaire (Z_s) et auxiliaire (Z_a) relevées en circuit ouvert (« mentionné O »), c'est-à-dire en mesurant chacun des enroulements en laissant les deux autres en circuit-ouvert. Une attention particulière est portée à la modélisation de l'enroulement primaire, axe majeur de propagation de la perturbation dans l'alimentation. Par conséquent, la figure 2.16 présente également les différentes configurations de mesure de l'impédance de l'enroulement primaire avec l'un ou les deux enroulements secondaire et auxiliaire court-circuité(s) (« mentionné CC »). La concordance des simulations et des mesures d'impédance permet de valider la modélisation de l'enroulement primaire selon le schéma équivalent présenté en figure 2.15. Au regard des comparaisons mesures/simulations, en figure 2.16, les différences qui apparaissent sont principalement dues à une modélisation insuffisamment précise des variations d'inductances et des pertes au travers d'éléments parasites. Malgré cela, le modèle obtenu donne des résultats satisfaisants pour la conduite des travaux de modélisation de la propagation d'une perturbation au sein d'une alimentation.

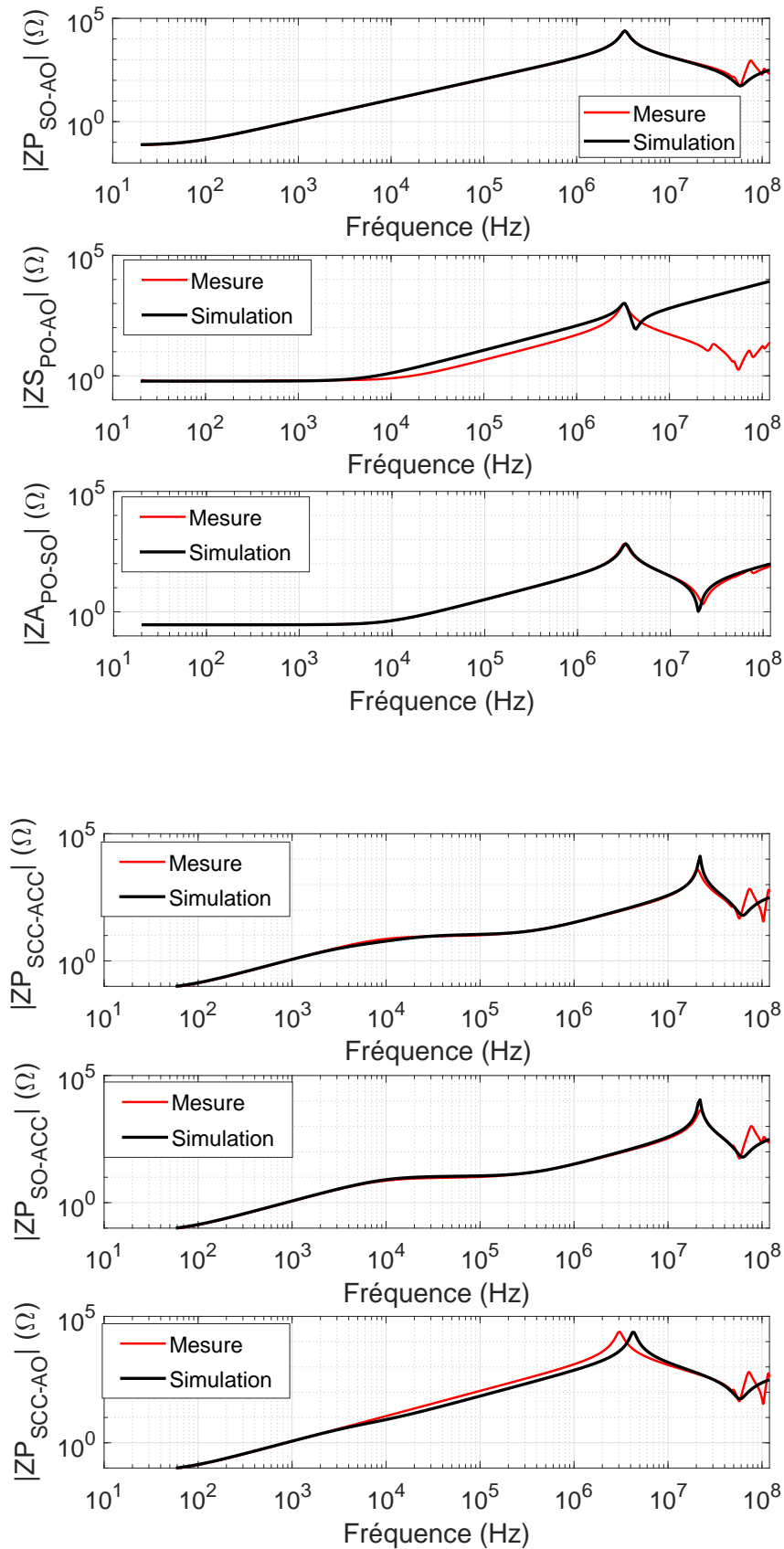


FIGURE 2.16 – Validation du modèle inductif du transformateur : Impédances mesurées (rouge) et simulées (noir) selon les différentes configurations (P=primaire, S=secondaire, A=auxiliaire, O=enroulement en circuit-ouvert, CC=enroulement en court-circuit).

2.2.4 Saturation des éléments magnétiques

Caractérisation en courant des inductances de mode commun

Les fortes amplitudes de courant (plusieurs centaines d'ampères) issues de l'injection de la perturbation en entrée de l'alimentation sont dissipées au sein des composants. Au vu de la contrainte imposée en entrée de l'alimentation, la gamme de fréquences de l'agression tout comme ses forts niveaux de courant doivent être pris en compte dans la modélisation de la propagation de l'agression dans l'alimentation. La saturation des éléments magnétiques est considérée comme dépendante du matériau magnétique et du niveau de courant injecté dans l'élément. Dans ce cas, la saturation des inductances de mode commun peut apparaître lors d'une excitation en courant de mode commun (MC) ou bien en courant de mode différentiel (MD) [106], [107]. En effet, comme précisé dans la section 2.2.3, le courant de MD circulant dans les deux enroulements ne s'annule pas complètement et ainsi, peut saturer l'inductance de mode commun. La saturation en MD est un phénomène critique pour les inductances de mode commun et impacte particulièrement l'inductance de fuite L_d , comme le précise la bibliographie [108]. Ce phénomène engendre une diminution importante de la valeur de l'inductance de fuite et donc une augmentation du courant traversant le composant. Ainsi, afin de caractériser la variation de la valeur de l'inductance de fuite L_d de chacune des inductances de mode commun (figure 2.11), un courant impulsionnel est injecté aux bornes du composant. Pour cela, la plateforme d'injection en courant PIC est utilisée. L'inductance de mode commun à caractériser est placée en sortie du moyen PIC. La perturbation en courant est injectée en mode différentiel. Une mesure du courant (Capteur Pearson 110A - courant maximum 1 kA) circulant dans l'inductance est réalisée afin d'en observer l'évolution. Le courant injecté dans le composant est incrémenté progressivement. Ainsi, la figure 2.17 montre un exemple de courant mesuré dans l'inductance de mode commun de 33 mH lors d'une injection d'une tension de consigne (TC) réglée sur PIC de 9 kV.

Afin d'obtenir la caractéristique de saturation de l'inductance de fuite L_d de l'inductance de mode commun, la simulation numérique est utilisée. En effet, la modélisation du moyen d'injection PIC, présentée en section 2.2.2, associée au modèle fréquentiel de l'inductance, développé en section 2.2.3, permet de reproduire numériquement l'expérimentation réalisée. Ainsi les niveaux de courant mesurés expérimentalement dans l'inductance sont comparés à ceux simulés. Cette comparaison des courants mesurés et simulés en figure 2.17 montre un écart d'amplitude de 20 % sur la première alternance du signal lors d'une injection TC à 9 kV.

Pour compenser cet écart, la valeur de l'inductance de fuite L_d est ajustée au sein du modèle fréquentiel simulé (figure 2.11). La figure 2.17 montre notamment le résultat du courant simulé après ajustement de la valeur de L_d . L'amplitude de la première alternance corrèle avec la mesure réalisée dans les mêmes conditions expérimentales. Ainsi, pour chaque niveau de courant injecté grâce au moyen PIC, la valeur de l'inductance de fuite est ajustée en simulation et il est alors possible de tracer sa variation en fonction du courant.

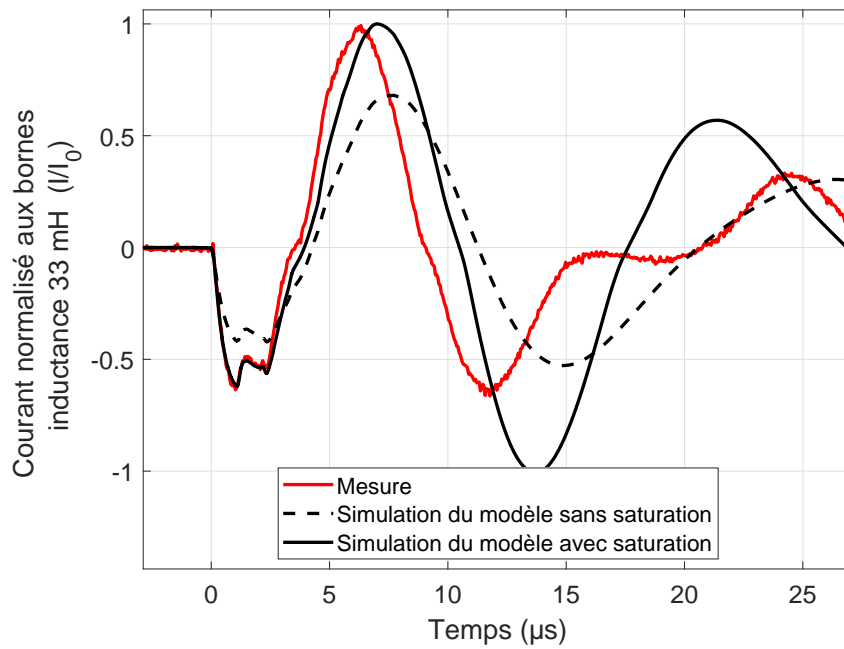


FIGURE 2.17 – Comparaison du courant mesuré dans l’inductance de 33 mH avec celui simulé obtenu avec le modèle sans et avec prise en compte de la saturation pour une injection d’une TC à 9 kV.

Sur le même principe, l’inductance de mode commun de 1 mH, présentée en section 2.2.3, est caractérisée. La figure 2.18 compare le courant mesuré dans l’inductance lors d’une injection pour une TC de 6 kV au courant simulé numériquement.

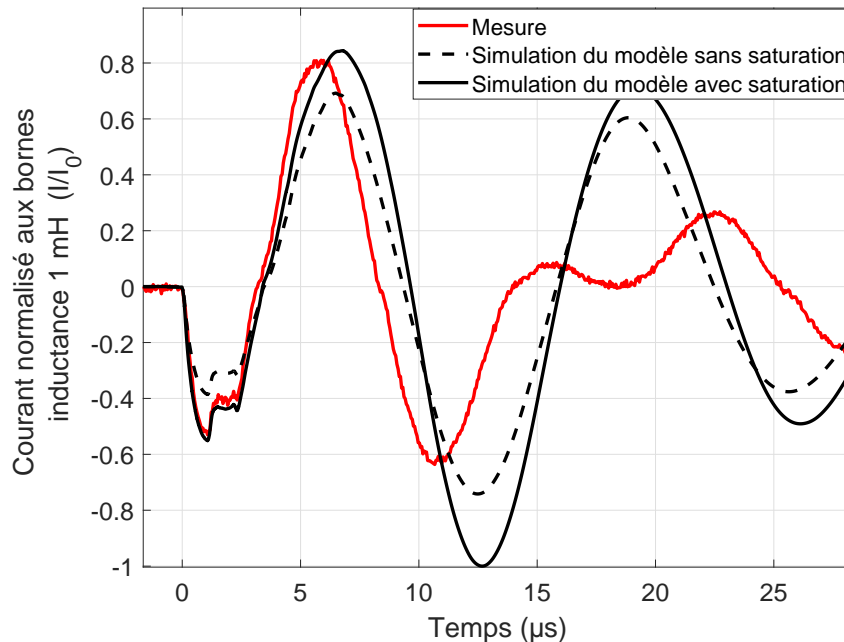


FIGURE 2.18 – Comparaison du courant mesuré dans l’inductance de 1 mH avec celui simulé obtenu avec le modèle sans et avec prise en compte de la saturation pour une injection d’une TC à 6 kV.

La figure 2.19 présente la valeur de L_d en fonction du courant injecté en mode différentiel pour l'inductance de mode commun de 33 mH (figure 2.19 (a)) et celle de 1 mH (figure 2.19 (b)).

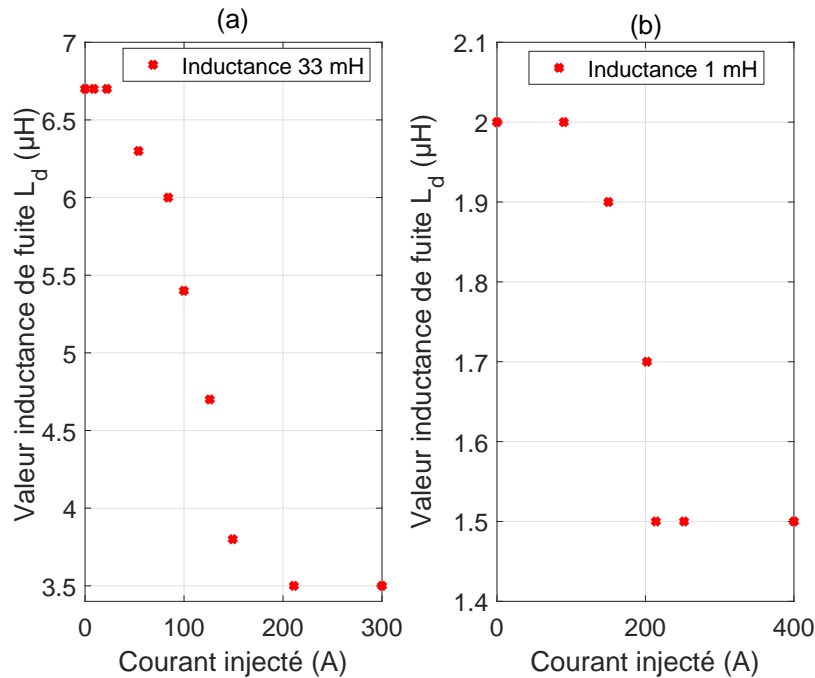


FIGURE 2.19 – Valeur de l'inductance de fuite L_d des inductances de mode commun de 33 mH (a) et de 1 mH (b) en fonction du courant injecté.

Sur la figure 2.19 (a), pour des niveaux de courant inférieurs à 30 A, la valeur obtenue en simulation correspond à celle de 6,7 μ H obtenue lors de la mesure du modèle fréquentiel à l'analyseur d'impédance. À la suite d'un courant de MD de 175 A traversant le composant, la saturation du cœur magnétique intervient et fait chuter la valeur de L_d à 3,3 μ H. Cette diminution de l'inductance de fuite de l'inductance de mode commun de plus de 50 % par rapport à sa valeur initiale est cohérente avec les travaux présentés en bibliographie sur les inductances de mode commun [106], [107].

La courbe de saturation de l'inductance de mode commun de 1 mH est présentée en figure 2.19 (b). Une diminution de l'inductance apparaît dès l'injection d'un courant de plus de 100 A dans le composant, pour atteindre finalement 1.5 μ H dès 300 A. Ainsi, les deux inductances de mode commun présentes dans le filtre CEM de l'alimentation sont caractérisées en fonction du courant injecté en entrée. Les courbes de saturation obtenues en figure 2.19 seront utilisées directement dans le modèle fréquentiel du filtre d'entrée pour la simulation de la propagation de la perturbation dans l'étage d'entrée en section 2.3.

Caractérisation de la saturation de l'enroulement primaire du transformateur

Comme explicité en section 2.2.4, les forts niveaux de courant impactent les éléments magnétiques rendant la relation entre le flux et le courant non linéaire [109]. Le phénomène de saturation impacte le transformateur et la valeur de l'inductance de ses enroulements [110], [111]. Ainsi, dans les mêmes conditions que celles décrites en section 2.2.4, l'enroulement primaire du transformateur est directement connecté en sortie du moyen d'injection PIC. La mesure de courant (Capteur Pearson 110A - courant maximum 1 kA) traversant l'enroulement sert d'observable lors de l'injection en courant. Avec l'appui de la simulation du moyen d'injection (figure 2.6) et du modèle fréquentiel du transformateur développé en section 2.2.3, l'évolution de la valeur de l'inductance de l'enroulement primaire L_p est caractérisée en fonction du courant. La figure 2.20 permet de comparer la mesure du courant injecté (pour une TC de 8 kV réglée sur PIC) au courant simulé avec et sans ajustement de la valeur de l'inductance primaire L_p . La saturation de l'enroulement apparaît clairement sur la première alternance avec un écart d'amplitude de plus de 80 % par rapport à la mesure.

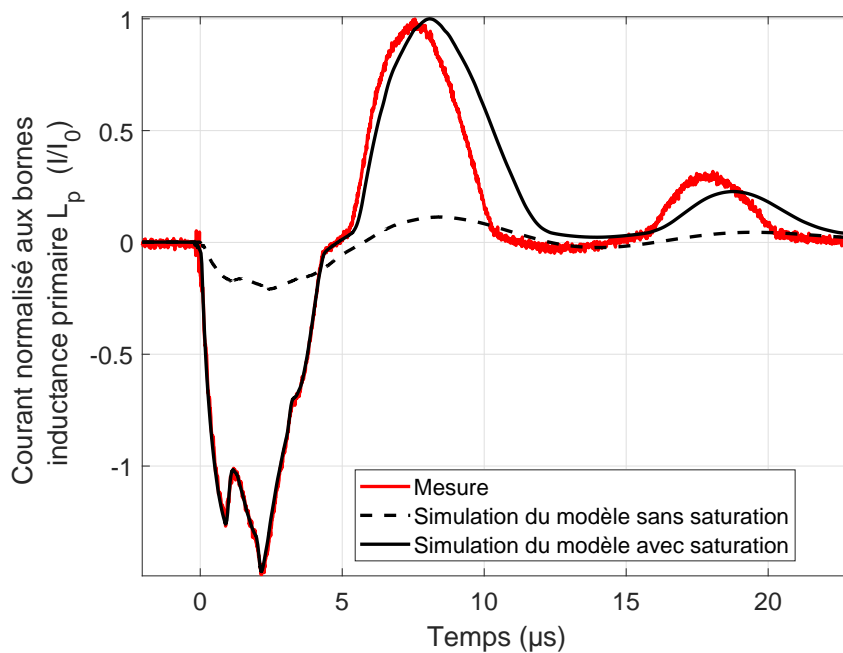


FIGURE 2.20 – Comparaison du courant mesuré circulant dans l'inductance primaire du transformateur avec celui simulé obtenu avec le modèle sans et avec prise en compte de la saturation pour une injection d'une TC à 8 kV.

À partir de ces essais, la valeur de l'inductance primaire en fonction du courant injecté traversant l'enroulement primaire est tracée en figure 2.21.

Pour des courants faibles, la valeur de L_p correspond à la valeur nominale mesurée à l'analyseur d'impédance, soit 185 μH . Dès 3 A, l'inductance diminue d'environ 90 % jusqu'à atteindre 15 μH pour un courant de 22 A. Cette courbe de saturation de l'inductance primaire est incorporée en simulation numérique pour modéliser la propagation de la perturbation au sein de l'alimentation.

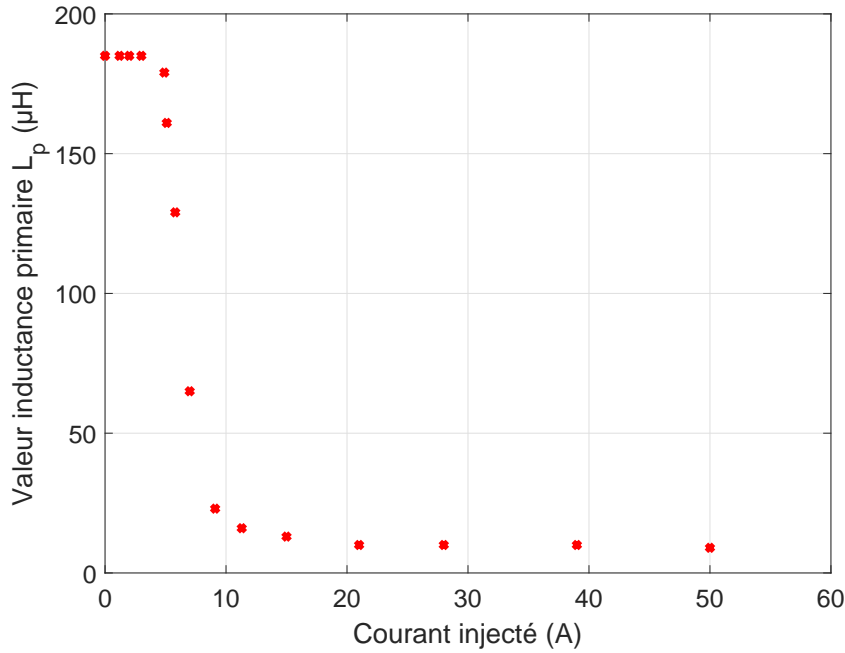


FIGURE 2.21 – Valeur de l'inductance de l'enroulement primaire L_p en fonction du courant injecté.

2.3 Modélisation de la propagation de la perturbation

La caractérisation en fréquence des éléments de l'étage d'entrée a permis notamment la construction des modèles électriques équivalents des deux condensateurs de mode commun $CY1$ et $CY2$, du condensateur de mode différentiel CX et du condensateur de lissage $C_{lissage}$ (présentés en figure 2.9). De plus, les modèles équivalents des deux inductances de mode commun $CMC-33mH$ et $CMC-1mH$, ainsi que celui du transformateur à trois enroulements ont été développés au travers de mesures d'impédance. Leur modèle a été enrichi par la prise en compte des phénomènes de saturation de leur inductance magnétisante. L'association des courbes de saturation avec les modèles électriques équivalents développés permet de prendre en considération les caractéristiques de la contrainte issue de l'IEMN-HA, injectée en entrée de l'alimentation. En effet, l'utilisation des modèles des constructeurs en simulation de l'alimentation (section 2.2.1) est valide dans le cas d'un fonctionnement dit usuel. Dans le cas d'un fonctionnement perturbé, comme lors de l'injection de la contrainte issue de l'IEMN-HA, l'ensemble des modèles électriques équivalents développés en section 2.2.3 viennent remplacer en simulation numérique les modèles constructeurs. Sur le schéma électrique fonctionnel de l'alimentation, présenté en figure 2.1, l'injection de la contrainte est couplée en mode différentiel, c'est-à-dire sur la phase de l'alimentation. Ainsi, le modèle du générateur de Thévenin équivalent à PIC, présenté en figure 2.6, est utilisé en simulation numérique pour reproduire le couplage de la contrainte sur le conducteur de phase de l'alimentation. Afin de coupler ce générateur de Thévenin sans que son impédance de source n'atténue l'amplitude de la tension sinusoïdale du secteur en entrée de l'alimentation, un couplage idéal est utilisé en simulation. En faisant un compromis entre l'amplitude de l'impulsion et celle de la tension sinusoïdale, deux

inductances couplées de valeur choisie sont utilisées. La figure 2.22 reprend le schéma électrique de l'alimentation avec le couplage idéal du générateur de Thévenin équivalent à PIC permettant d'injecter, en mode différentiel, la contrainte issue de l'IEMN-HA.

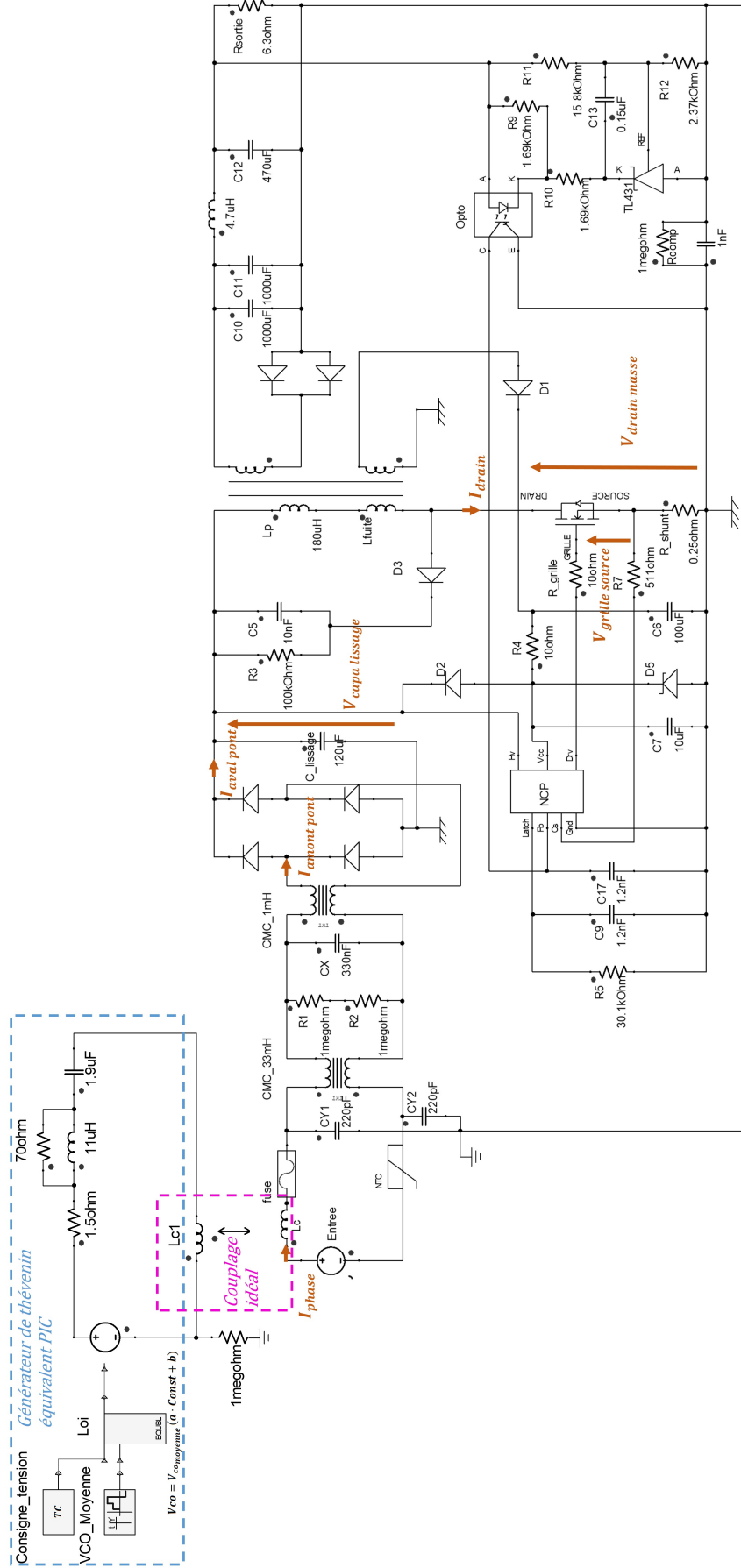


FIGURE 2.22 – Schéma du couplage du générateur de Thévenin équivalent au moyen PIC sur l'alimentation générique.

Les courants et tensions en différents nœuds de l'alimentation sont relevés en simulation afin de les comparer aux formes de courants et tensions issues des mesures. Ainsi, la figure 2.22 précise les mesures relevées : le courant de phase en entrée de l'alimentation I_{phase} , le courant en amont du pont de diodes $I_{amont\ pont}$ ainsi que le courant en aval du pont de diodes $I_{aval\ pont}$, les tensions aux bornes du condensateur de lissage $V_{capa\ lissage}$ et entre le drain et la masse du transistor Mosfet $V_{drain\ masse}$. Les comparaisons entre la mesure (en rouge) et la simulation (en noir) sont présentées en figure 2.23. La contrainte est injectée à $t = 0$ s en entrée de l'alimentation. La concordance des courants I_{phase} mesurés et simulés est validée dans le cas de nos travaux. En effet, les deux premières alternances du courant simulé correspondent à la mesure autant en termes d'amplitude que de forme. Le décalage en fréquence observable à partir de $10\ \mu s$ est probablement dû à la non modélisation d'éléments parasites en simulation. En ce qui concerne les courants simulés $I_{amont\ pont}$ et $I_{aval\ pont}$, ceux-ci sont cohérents en termes d'amplitude et de forme avec les mesures relevées. La propagation de la contrainte en simulation sur tout l'étage d'entrée de l'alimentation est alors validée. La contrainte se propageant majoritairement vers le primaire du transformateur et le transistor Mosfet, les tensions $V_{capa\ lissage}$ et $V_{drain\ masse}$ sont relevées en simulation. La tension simulée $V_{capa\ lissage}$ comparée à la mesure permet de valider la simulation de la propagation en termes d'amplitude. La tension $V_{drain\ masse}$ simulée, quant à elle, fait apparaître la contrainte à $t = 0$ s comme la mesure. Ainsi, la forme et le niveau obtenus en simulation sont satisfaisants pour nos travaux. Sur la tension mesurée à $t = 10\ \mu s$, le découpage est interrompu dû à la perturbation du contrôleur PWM. Cette phase n'est pas prise en compte en simulation, ce qui explique les disparités entre la mesure et la simulation de la tension drain/masse. Les comparaisons entre les signaux mesurés et simulés en différents nœuds de l'alimentation assurent la cohérence des modèles fréquentiels des différents éléments de l'étage d'entrée et du transformateur à trois enroulements. La prise en compte des phénomènes de saturation des éléments magnétiques assure la cohérence des amplitudes des courants simulés. Quel que soit le niveau de la consigne en tension de consigne réglée sur le moyen PIC, la simulation de la propagation de la perturbation au sein de l'alimentation est validée pour la poursuite des travaux afin de prendre en compte les destructions dans les alimentations.

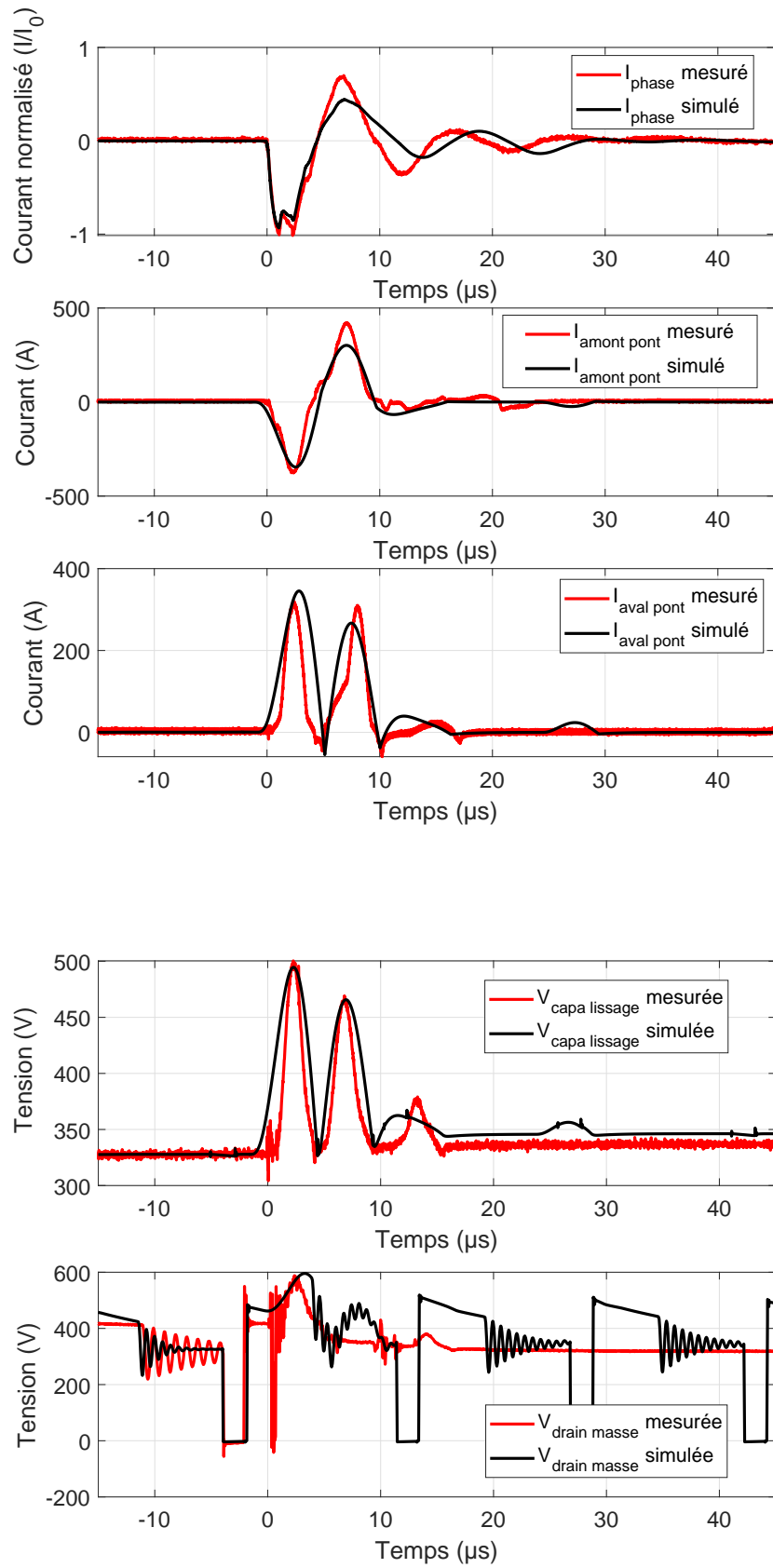


FIGURE 2.23 – Comparaison courants/tensions mesurés et simulés lors d’une injection d’une TC de 10 kV.

Conclusion

Dans ce chapitre, le choix de l'outil de simulation à utiliser dans le cadre de la modélisation de l'enchaînement des défaillances au sein d'une alimentation est abordé. Après une présentation des différents langages de modélisation comportementaux électroniques, le choix s'est porté sur l'utilisation du VHDL-AMS. Ainsi, capable d'interfacier au sein d'un même schéma électrique des modèles constructeurs de type SPICE associés à d'autres types de description, par exemple VHDL-AMS, le logiciel Simplorer de la suite ANSYS est retenu. Dans un premier temps, l'alimentation générique servant de support dans nos travaux est modélisée sous le logiciel de simulation électronique ANSYS Simplorer. Après validation fonctionnelle des signaux simulés de l'alimentation, le modèle du moyen d'injection PIC est également validé sous Simplorer au travers de la comparaison entre les mesures et les simulations de tensions/courants sur une charge RLC. Puis, l'association de l'alimentation et du moyen d'injection permet en simulation de reproduire l'injection de la contrainte en entrée de l'alimentation. Dans le but de propager la perturbation au sein de l'alimentation, plusieurs composants présents sur le chemin de la contrainte sont modélisés en fréquence. En effet, la bande spectrale de la contrainte injectée est considérée dans la construction des modèles fréquentiels des composants de l'étage d'entrée de l'alimentation, mais aussi des éléments magnétiques comme le transformateur. Cependant, cet effort de modélisation fréquentielle n'est pas suffisant au vu des forts niveaux de courant injectés dans l'alimentation. Des phénomènes de saturation, notamment des inductances de mode commun et de l'enroulement primaire du transformateur, sont à prendre en compte dans les modèles. Pour cela, des expérimentations ont permis d'extraire la variation de la valeur de l'inductance en fonction de courant injecté dans le composant. Ces courbes de saturation des éléments magnétiques sont incorporées directement dans les modèles fréquentiels développés au sein de la simulation numérique de l'alimentation. L'ensemble des modèles développés intégré dans le schéma électrique de l'alimentation permet la simulation de la propagation de la perturbation quel que soit le niveau de la tension de consigne de l'injection en mode différentiel. Les signaux mesurés et simulés présents en différents nœuds de l'alimentation permettent de valider la simulation, validation marquant le premier jalon vers la simulation des destructions des alimentations.

Chapitre 3

Défaillances des composants : de la compréhension à la modélisation

« Apprendre sans réfléchir est vain. Réfléchir sans apprendre est dangereux. »

Confucius

Sommaire

Introduction	60
3.1 Présentation de la configuration expérimentale	60
3.1.1 Générateur d'impulsion	62
3.1.2 Conditions expérimentales	67
3.2 Étude de la diode de redressement	69
3.2.1 Caractérisation	69
3.2.2 Essais de défaillance en courant	69
3.2.3 Essais de défaillance en tension	74
3.2.4 Modélisation de la défaillance de la diode de redressement	78
3.3 Étude du pont de diodes	82
3.3.1 Caractérisation	82
3.3.2 Essais de défaillance en courant	83
3.3.3 Essais de défaillance en tension	88
3.3.4 Modélisation de la défaillance du pont de diodes	90
3.4 Étude du transistor Mosfet	93
3.4.1 Essais de défaillance par la grille	94
3.4.2 Essais de défaillance en avalanche	99
3.4.3 Modélisation de la défaillance du Mosfet	100
Conclusion	102

Introduction

Lors des expérimentations de susceptibilité sur les alimentations, nombre de composants sont défaillants : le pont de diodes, la diode de redressement, le Mosfet, le contrôleur du découpage, le fusible, etc. L'objectif principal de ce chapitre est centré sur le développement de modèles complets prenant en compte les principaux modes de défaillance pour les composants majeurs. Pour cela, il s'avère important d'appréhender en expérimentation les modes de défaillance auxquels peuvent être soumis ces composants. L'approche menée vise à répondre aux principales questions suivantes. Doit-on considérer en modélisation un seuil en courant, en tension, en puissance, en énergie, etc. ? Quel est l'état du composant une fois défaillant ? Dans ce chapitre, le développement d'un modèle général de la diode de redressement, du pont de diodes et du Mosfet est abordé. La défaillance du contrôleur de découpage n'est pas étudiée, dans un premier temps, dans le cadre de ces travaux de recherche et ne sera donc pas prise en compte dans la modélisation des défaillances des composants de l'alimentation. Ainsi, les références constructeurs de la diode de redressement, du pont de diodes et du transistor Mosfet, identiques à celles de l'alimentation, sont soumises à des impulsions électriques. Pour chacun des principaux modes de défaillance du composant (voir dans le chapitre 1), différents essais sont menés grâce à un générateur d'impulsion conçu dans le cadre de la thèse ou au moyen d'injection PIC. Les configurations expérimentales sont présentées en début de ce chapitre. À la suite, pour chacun des composants étudiés, l'analyse des différents modes de défaillance, par exemple l'injection d'un fort niveau de courant, de tension etc., mènera à l'extraction d'un seuil/d'une loi exploitable dans la construction d'un modèle numérique. Dans le cadre de la modélisation des défaillances des composants, le parti est pris de ne pas modéliser le comportement transitoire entre l'état de fonctionnement nominal et l'état défaillant du composant. En effet, pour se soustraire à la variabilité de cet état transitoire, l'état détruit du composant est uniquement modélisé et ce, à partir des conditions de déclenchement déterminées (seuil, loi de défaillance, etc.). La dernière partie du chapitre consiste à valider numériquement les modèles des défaillances développés pour la diode de redressement, le pont de diodes et le Mosfet, par comparaison des signaux mesurés et simulés.

3.1 Présentation de la configuration expérimentale

Les composants défaillants dans les alimentations, comme le pont de diodes, la diode de redressement ou bien le Mosfet, sont soumis à des contraintes en tension/courant au-delà des limitations indiquées par le constructeur, pouvant atteindre la centaine d'ampères et/ou de volts sur des largeurs d'impulsion s'étendant de la microseconde à la milliseconde, comme le précisent les travaux dans la littérature [44]. Ainsi, au vu des principales limitations constructeurs des composants défaillants présentées dans le tableau 3.1, le choix s'est porté sur la conception d'un générateur de type pulsé configurable en fonction des contraintes électriques devant être imposées au composant à tester.

Caractéristique	Valeur
Tension	$> 200 \text{ V}$
Courant	$> 200 \text{ A}$
Temps de montée	$1 \mu\text{s}$
Largueur d'impulsion	$[1 \mu\text{s}; 10 \text{ ms}]$

TABEAU 3.1 – Caractéristiques attendues pour le générateur d'impulsion électrique.

Un générateur de type pulsé fonctionne selon le principe d'énergie stockée se déchargeant dans un récepteur sous l'action d'interrupteurs durant une ou plusieurs impulsions contrôlables avec un temps de répétition [112], [113]. Dans la littérature, deux types de générateur pulsé sont classiquement utilisés dans le domaine de la CEM, de la fiabilité ou des tests électriques : les générateurs par stockage capacitif et les générateurs par stockage inductif. Les condensateurs, tout comme les inductances, sont des réservoirs d'énergie. La figure 3.1 présente le principe de fonctionnement de ces générateurs d'impulsion dans le cas de l'utilisation d'une cellule capacitive (a) et dans le cas d'une cellule inductive (b).

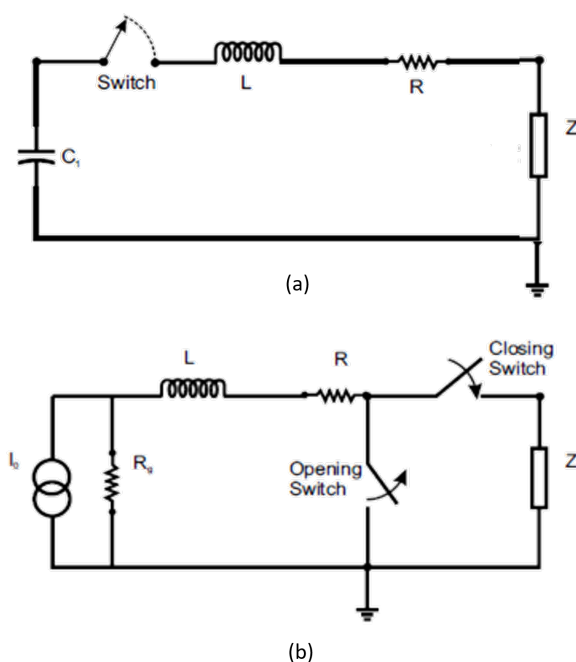


FIGURE 3.1 – Circuit de base de transfert d'énergie capacitif (a) et de transfert d'énergie inductif (b) avec L et R inductances et résistances du câblage [112], [113].

Dans ce dernier, le générateur requiert la présence d'un interrupteur qui se ferme durant la charge de l'inductance, engendrant de forts courants le traversant. De plus, le besoin d'une source de courant et son manque de flexibilité font que ce type de générateur reste peu utilisé. A contrario, les circuits à base de condensateurs sont les plus répandus dans les générateurs d'impulsion électrique utilisés dans le domaine de la fiabilité [114], [115], [116]. Ce type de générateur nécessite un interrupteur ouvert pendant la charge en tension de la cellule capacitive, qui se ferme lors de l'injection d'une impulsion (figure 3.1 (a)). Capable, lors de la décharge des condensateurs, de fournir un fort niveau de courant à travers le dispositif à

tester, ce type de générateur offre une décharge quasi-instantanée mais aussi un large choix de temps de montée, de durée d'impulsion et d'amplitude de courant. Ces paramètres peuvent être ajustés par l'ajout de condensateurs en série ou en parallèle. De nombreuses sources pulsées sont basées sur ce principe, comme par exemple les générateurs de Marx utilisés principalement pour générer de fortes tensions supérieures au kiloVolt [117].

Afin de mener des essais sur les composants unitaires, un générateur d'impulsion électrique est développé. Capable de reproduire les grandeurs électriques générées par la perturbation sur des composants de l'alimentation, ce générateur permet d'atteindre la défaillance du composant testé afin d'en extraire un seuil de défaillance en tension et/ou en courant.

3.1.1 Générateur d'impulsion

Conception

Le générateur d'impulsion développé se compose d'une cellule capacitive C_b associée à une source de tension V_{dc} permettant sa charge (une diode assure la protection de la source d'alimentation). La figure 3.2 reprend le schéma de principe du générateur d'impulsion. L'énergie stockée dans l'ensemble des condensateurs C_b peut être déchargée dans l'équipement sous test (EST) via un interrupteur de puissance. L'interrupteur est un transistor Mosfet en Carbure de Silicium SiC (référence *CREE CAS300M12BM2*) de tension drain/source maximale de 1,2 kV et de résistance nominale à l'état passant de 5 m Ω . Sa commande de grille est générée par une carte *driver* du même fabricant. Les paramètres de l'injection souhaitée, comme par exemple la largeur de l'impulsion, sont ajustés au travers de ce circuit de commande.

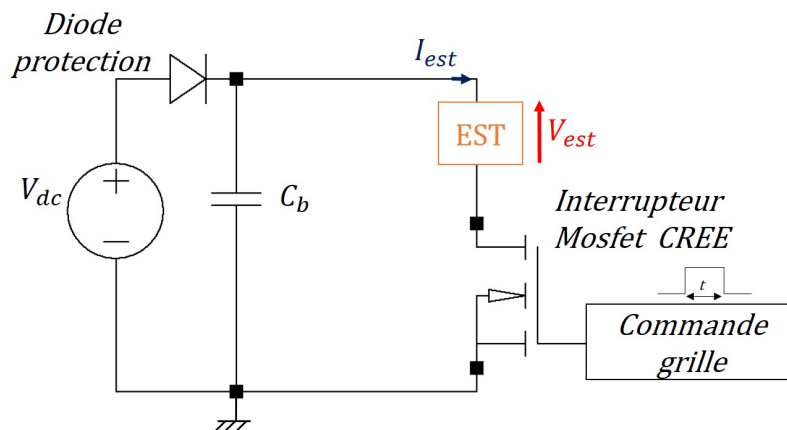


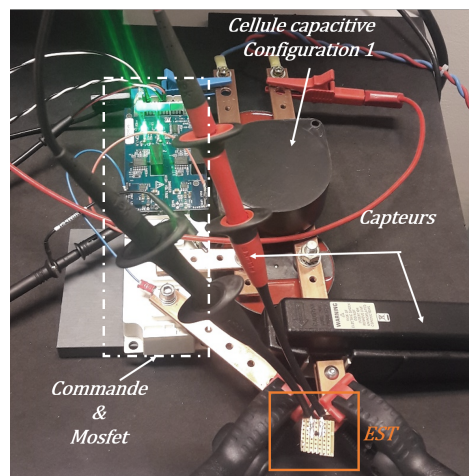
FIGURE 3.2 – Schéma de principe du générateur d'impulsion.

La variabilité des niveaux de tension/courant à injecter sur des échelles de temps différentes, allant de la microseconde à la milliseconde (tableau 3.1), implique l'utilisation d'une cellule capacitive C_b interchangeable. Les associations de condensateurs sont choisies de manière à ce que la variation de tension soit faible durant la totalité de l'impulsion (fixée dans notre cas comme inférieure à 1 V).

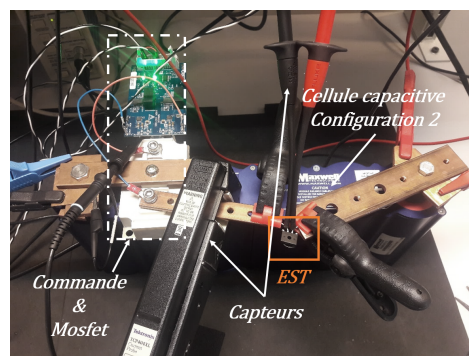
Ainsi, deux cellules capacitatives présentées en figure 3.3 sont utilisées pour configurer le

générateur d'impulsion :

- Configuration 1 (figure 3.1 (a)) : trois condensateurs *AVX* série *FFVE* de 300 V/180 μF et avec une *equivalent serie resistance* (ESR) de 0,8 m Ω sont montés en parallèle. Cette configuration permet d'injecter des impulsions en courant supérieures à 200 A avec des tensions pouvant atteindre au maximum 300 V, tout en limitant la chute de tension à 1 V pour des impulsions courtes de l'ordre de la microseconde.
- Configuration 2 (figure 3.1 (b)) : un ensemble de supercondensateurs *Maxwell* 16 V/58 F, avec une ESR de 0,22 m Ω , permet de générer des impulsions en courant de la centaine d'ampères sur des durées d'impulsion de l'ordre de la milliseconde, tout en maintenant la limite fixée de 1 V de chute de tension.



(a)



(b)

FIGURE 3.3 – Images du générateur associé aux cellules capacitives interchangeables : (a) configuration 1 : 3 condensateurs 180 μF , (b) configuration 2 : supercondensateur 58 F.

Validation des performances et modélisation

Le générateur d'impulsion conçu est caractérisé sur des charges résistives R_{ch} représentant soit un court-circuit, soit une impédance élevée. Pour chacune des configurations du générateur décrites précédemment, la tension V_{ch} aux bornes de la charge

R_{ch} est relevée ainsi que le courant I_{ch} la traversant. Afin de procéder à la validation, le générateur d'impulsion est reproduit en simulation selon les deux configurations avec les cellules capacitives adhoc. La figure 3.4 illustre le schéma électrique de simulation du générateur d'impulsion avec C_b la cellule capacitive, ESR la résistance série associée, ainsi que ESL l'inductance propre au condensateur. Le tableau 3.2 résume les caractéristiques et valeurs associées aux différents éléments de la simulation du générateur selon la cellule capacitive utilisée.

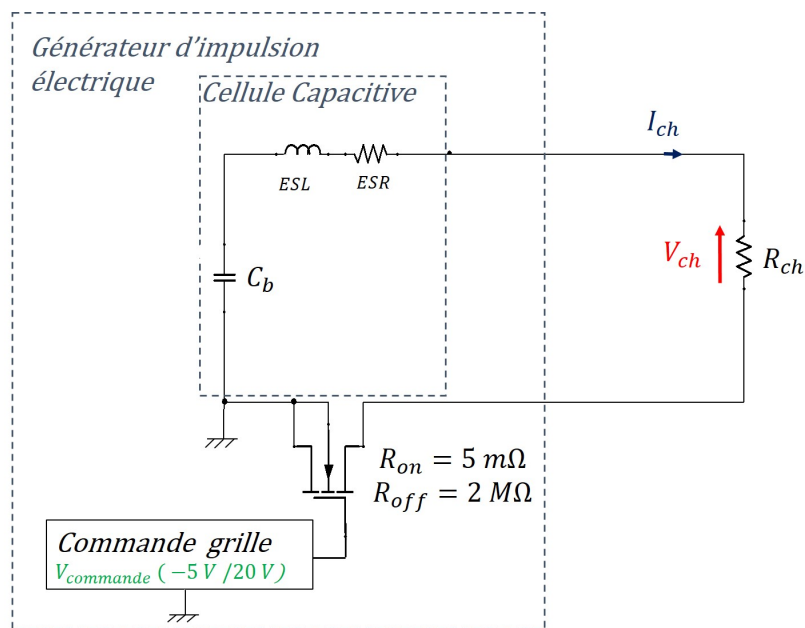


FIGURE 3.4 – Schéma électrique simulant l'injection par le générateur d'impulsion sur une résistance de charge.

Configuration 1	Caractéristique	Valeur
	C_b	$3 \times 180 \mu\text{F}$
	ESR	0,27 mΩ
	ESL	150 nH
Configuration 2		
	C_b	58 F
	ESR	0,22 mΩ
	ESL	500 nH

TABLEAU 3.2 – Paramètres de simulation des deux configurations du générateur d'impulsion.

Pour la configuration 1 du générateur, la figure 3.5 présente les mesures de tensions/courant lors d'une injection d'une durée d'impulsion de 10 μs sur une charge de 100 m Ω , pour une tension de charge des condensateurs V_{dc} de 50 V. Les mesures V_{ch} et I_{ch} au niveau de la charge, ainsi que la tension de commande de l'interrupteur $V_{commande}$, sont comparées aux tensions/courant simulés (en noir sur la figure 3.5) en considérant les paramètres de simulation présentés dans le tableau 3.2. La commande impose 20 V sur la grille du Mosfet pendant 10 μs et -5 V le reste du temps. Le courant traversant la résistance $R_{ch} = 100 \text{ m}\Omega$ atteint alors plus de 400 A, pour une tension à ses bornes de 45 V.

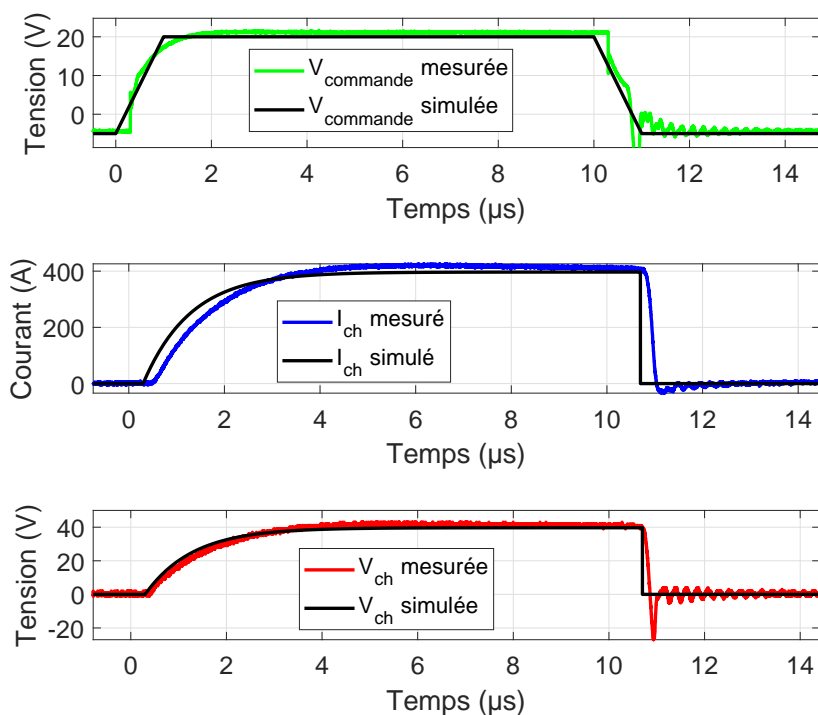


FIGURE 3.5 – Comparaison mesure/simulation des tensions/courants en sortie du générateur d'impulsion (configuration 1 : condensateur $3 \times 180 \mu\text{F}$) sur une résistance de charge de 100 m Ω .

De même pour la configuration 2 du générateur, la figure 3.6 illustre la comparaison entre les tensions/courant mesurés et simulés, avec les paramètres du tableau 3.2, lors de l'injection d'une impulsion de 1 ms sur une charge de 1 k Ω . Lorsque l'interrupteur Mosfet devient passant ($V_{commande}$ passe de -5 V à 20 V), le courant traversant R_{ch} atteint 10 mA pendant 1 ms pour une tension V_{ch} de 10 V à ses bornes. L'ensemble des effets parasites n'étant pas précisément pris en compte dans la simulation (décharge des condensateurs de l'interrupteur Mosfet par exemple), des écarts entre les signaux mesurés et simulés apparaissent. Cependant, les niveaux et formes des tensions et des courants simulés sont cohérents avec ceux mesurés et permettent ainsi de valider le modèle du générateur d'impulsion en configuration 1 et en configuration 2.

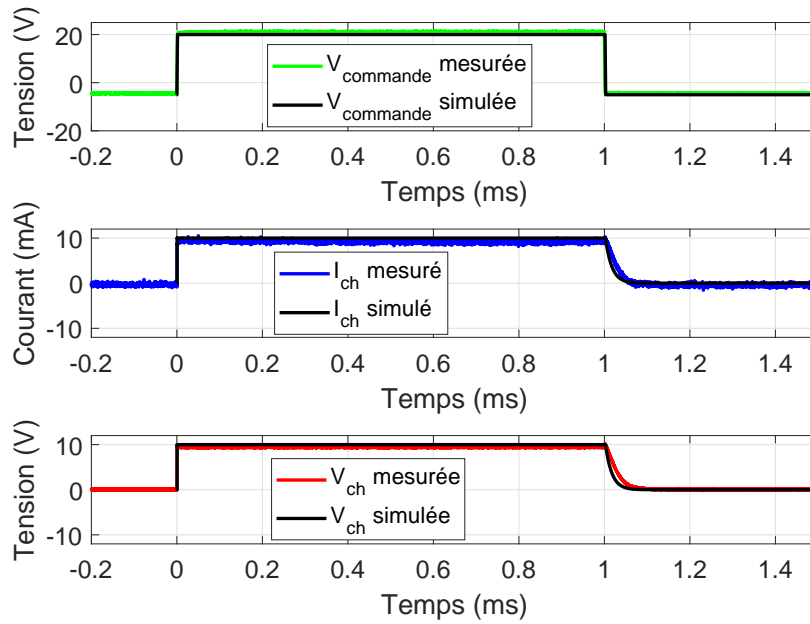


FIGURE 3.6 – Comparaison mesure/simulation des tensions/courants en sortie du générateur d’impulsion (configuration 2 : condensateur 58 F) sur une résistance de charge de 1 k Ω .

L’utilisation de deux cellules capacitives interchangeables distinctes permet d’injecter des impulsions de plus de 200 A sur des durées allant de la microseconde à la milliseconde tout en limitant la chute de tension à 1 V pendant l’impulsion. Ainsi, la cellule de la configuration 1 (3 condensateurs de 180 μ F en parallèle) est utilisée pour des tensions allant jusqu’à 300 V sur des durées d’impulsion variant entre quelques microsecondes et 2 ms. Quant à la configuration 2 (un supercondensateur de 58 F), elle est utilisée pour l’injection d’impulsions sur des temps longs (centaines de millisecondes) pour des tensions faibles de 16 V maximum. Pour couvrir les tensions d’injection au-delà de 300 V (limite des condensateurs choisis), le moyen d’injection PIC présenté dans le chapitre 2 est utilisé. Le tableau 3.3 résume les gammes des générateurs employés pour la caractérisation et les essais de défaillance des composants de l’alimentation.

Générateur	Caractéristique
Générateur d’impulsion configuration 1	> 200 A 0-300 Vdc < 2 ms ($\Delta V = 1$ V)
Générateur d’impulsion configuration 2	> 200 A 0-16 Vdc < 280 ms ($\Delta V = 1$ V)
Générateur d’impulsion PIC	> 200 A > 300 Vdc < 1 μ s

TABLEAU 3.3 – Générateurs utilisés pour les essais de défaillance des composants de l’alimentation.

3.1.2 Conditions expérimentales

Contraintes thermiques

Les essais unitaires de défaillance des composants sont réalisés à température ambiante dans des conditions expérimentales similaires à leur fonctionnement dans une alimentation. Certains composants comme le pont de diodes et le Mosfet sont associés au sein de l'alimentation à un dissipateur. Le choix de ne pas prendre en compte les dissipateurs dans le cadre des essais unitaires de défaillance peut être justifié au travers d'une analyse thermique rapide. En considérant que le transfert de chaleur se fait majoritairement par conduction thermique, il peut être représenté par un schéma électrique équivalent constitué d'une source de puissance dissipée continue (la puce) et d'un réseau de résistances thermiques en série en figure 3.7. Ainsi, la température est supposée identique au sein de chaque matériau homogène et chaque interface de l'assemblage correspond une impédance thermique de contact entre deux couches. Par analogie avec un système électrique (figure 3.7), la résistance thermique (R_{th}), exprimée en $K.W^{-1}$, permet de calculer l'élévation de température lorsqu'un flux de chaleur supposé uniformément réparti, sans effet de bord, la traverse.

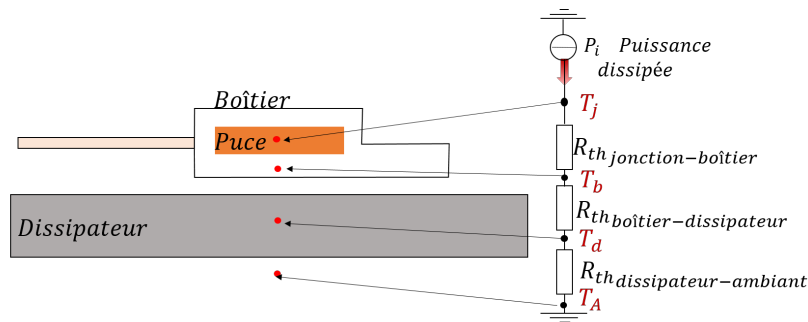


FIGURE 3.7 – Modèle thermique simplifié d'un composant de type pont de diodes ou Mosfet.

Comme il est d'usage en pratique, les fabricants indiquent dans les documentations techniques les résistances thermiques autour d'un point de fonctionnement continu, mais également la courbe illustrant l'impédance thermique transitoire $Z_{th_{jonction-boîtier}}$ suivant la durée de l'impulsion de puissance à dissiper dans le composant, le tout pour différents rapports cycliques. Une capacité thermique (C_{th}) en $W.s.K^{-1}$ est alors ajoutée entre chaque résistance thermique et la masse, rendant compte des effets thermiques transitoires pour chacune des interfaces de l'assemblage. Afin de déterminer l'élévation de température au sein de la structure reliant le composant à son dissipateur, les dimensions et les caractéristiques thermiques de chaque élément de volume traversé par le flux de chaleur doivent être déterminées précisément. Cependant, le manque d'information dans les données constructeurs sur les composants testés ne permet pas toujours d'approximer l'impédance thermique équivalente de l'assemblage et, par conséquent, les constantes de temps thermique associées. De plus, la bibliographie précise que pour des temps courts d'impulsion, inférieurs à la dizaine de millisecondes, la diffusion du flux de chaleur peut être

admise intrinsèque au boîtier du composant [118]. Dans ce cadre, le choix de ne pas considérer le dissipateur pour les essais de défaillance sur les composants unitaires n'impacte pas les résultats obtenus.

Moyens métrologiques

Des mesures de courants et tensions sur les composants sont nécessaires à la compréhension des phénomènes de défaillance. Les perturbations injectées ont un spectre pouvant atteindre plusieurs dizaines de mégahertz et des amplitudes de quelques centaines d'ampères et de kilovolts dans un environnement fortement bruité. Au vu de ces contraintes, une identification de capteurs de courant et de sondes de tension [44] est réalisée pour mener à bien les expérimentations. Le tableau 3.4 reprend les principales caractéristiques des capteurs de courant et des sondes de tension utilisés en expérimentation.

Sonde de tension	Tension max	Fréquence max	Calibre
TIVH05L Isovu (Tektronix)	+/- 2500 V différentiel 60 kV crête mode commun	500 MHz	2500X
TMDP0200 (Keysight)	+/-750 V +/- 75 V	250 MHz	250X 25X
Capteur de courant	Courant max	Bande passante	Sensibilité
110A (Pearson)	5 kA	1 Hz-20 MHz	100 mV/A 50Ω
8585C (Pearson)	500 A	1.5 kHz-200 MHz	1 V/A 50Ω
CT2 (Tektronix)	36 A	1.2 kHz-200 MHz	1 V/A 50Ω
TCP0030 (Tektronix)	50 A (30 Arms)	DC-120 MHz	10 mA/mV 50Ω
TCP404 (Tektronix)	750 A	DC-2 MHz	1 A/mv 50Ω

TABLEAU 3.4 – Principales caractéristiques des capteurs de courant et des sondes de tension.

3.2 Étude de la diode de redressement

La diode *MMSD914T1G* (boîtier CMS *SOD-123*) est utilisée pour redresser la tension au niveau de l'enroulement auxiliaire du transformateur afin d'alimenter le contrôleur du découpage PWM. Cette référence de diode du constructeur *ON Semiconductor* est spécifiée pour un courant direct de 200 mA et une tension inverse $V_{br} = 100$ V (à $I_r = 100$ μ A).

3.2.1 Caractérisation

Dans un premier temps, la diode de redressement est caractérisée au traceur «*Power Device Analyzer/Current Tracer*» B1505A de chez *Keysight*.

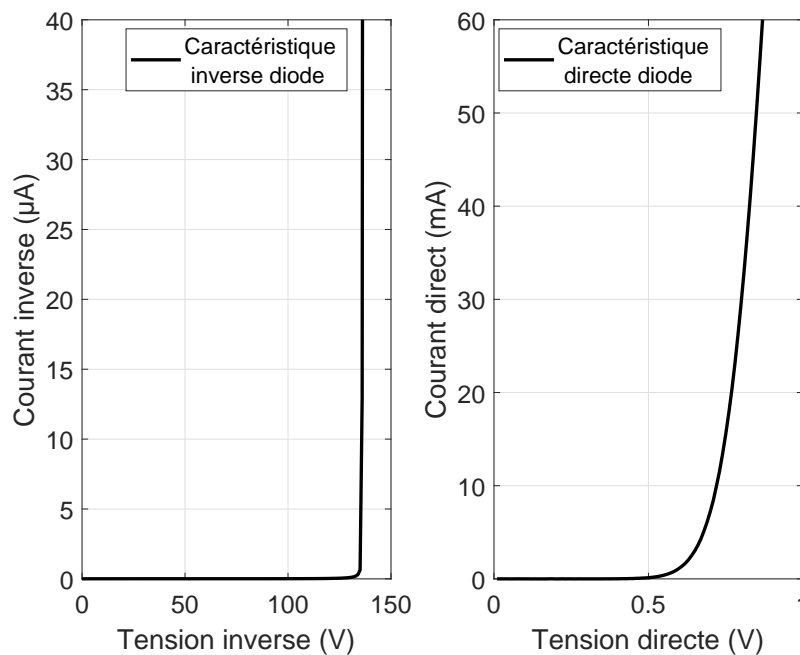


FIGURE 3.8 – Caractéristiques I(V) en direct et en inverse de la diode *MMSD914T1G*.

Ainsi, une tension aussi bien en direct qu'en inverse est appliquée aux bornes de la diode. La figure 3.8 présente les tracés obtenus pour cette diode. La polarisation en direct fait apparaître une tension seuil de conduction de la diode de 0,6 V. En inverse, la tension de claquage V_{br} est caractérisée par une valeur de 135 V. Cette valeur diffère de la tension maximale inverse de 100 V donnée par le constructeur. En effet, les constructeurs ajoutant une marge de garantie de tenue, la valeur de la tension inverse V_{br} est donc plus élevée en mesure. Contraint par la limitation en courant du traceur, celui-ci ne permet pas d'atteindre des niveaux de tension/courant nécessaires à la défaillance de la diode. Ainsi, afin d'en extraire les seuils de défaillance en tension et en courant, des essais sont menés.

3.2.2 Essais de défaillance en courant

Le générateur d'impulsion électrique en configuration 2, présenté en section 3.1.1, est utilisé afin de définir un seuil/une loi de défaillance en courant de la diode. Ainsi, lors de la

fermeture de l'interrupteur Mosfet du générateur (figure 3.9), l'énergie stockée au sein de la cellule capacitive est déchargée dans la diode. Durant l'expérimentation, la cellule capacitive C_b est chargée à différents niveaux de tension V_{dc} allant de 3 à 9 V. Pour chaque niveau de tension, implicitement de courant, la largeur de l'impulsion est incrémentée par palier jusqu'à atteindre le seuil de défaillance. Le tableau 3.7 définit les paramètres du générateur d'impulsion utilisés dans le cadre des essais en direct de la diode de redressement.

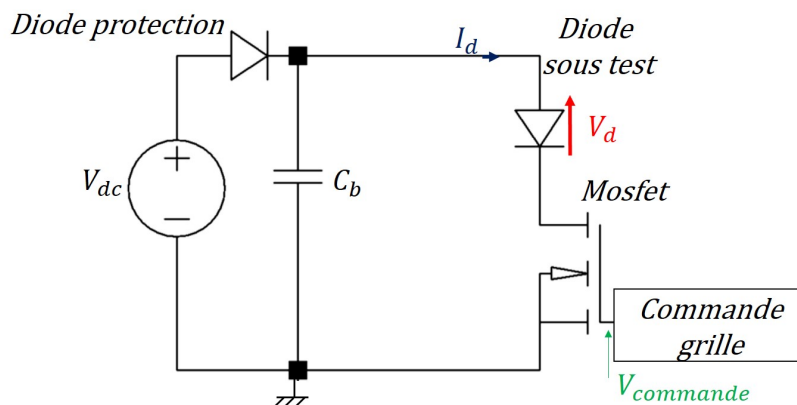


FIGURE 3.9 – Montage utilisé pour les essais de défaillance de la diode en direct.

Symbole	Définition	Valeur
V_{dc}	Tension de charge	De 3 à 9 V
C_b	Cellule capacitive	Configuration 2 - Cellule de 58 F

TABLEAU 3.5 – Paramètres de l'expérimentation pour la recherche de défaillance de la diode en direct.

Pour chaque niveau de tension fixée aux bornes du condensateur, a minima cinq échantillons de la diode sont soumis à des essais afin d'en confirmer le seuil/la loi de défaillance. Les mesures de la tension de commande de l'interrupteur Mosfet $V_{commande}$, de la tension directe V_d aux bornes de la diode (utilisation des sondes différentielles de Keysight TMDP0200), ainsi que du courant en direct I_d traversant la diode (utilisation du capteur TCP0030), sont relevées pour chaque essai. La figure 3.10 illustre un exemple de tensions/courant mesurés lors de l'injection de la perturbation.

À $t = 0$ s, la tension de commande de l'interrupteur passe de -5 à 20 V assurant la mise en conduction du Mosfet. La cellule capacitive initialement chargée à $V_{dc} = 5$ V se décharge dans la diode alors passante. Un courant moyen de 4 A circule dans la diode jusqu'à $t_{1d} = 605$ μ s. À cet instant, le courant dans la diode chute, alors que la conduction de l'interrupteur Mosfet est toujours maintenue. Le courant I_d tend alors vers 0 A tandis que la tension V_d aux bornes de la diode se maintient à 5 V. Ainsi, la diode est défaillante en circuit-ouvert pour une durée d'impulsion t_{1d} de 605 μ s.

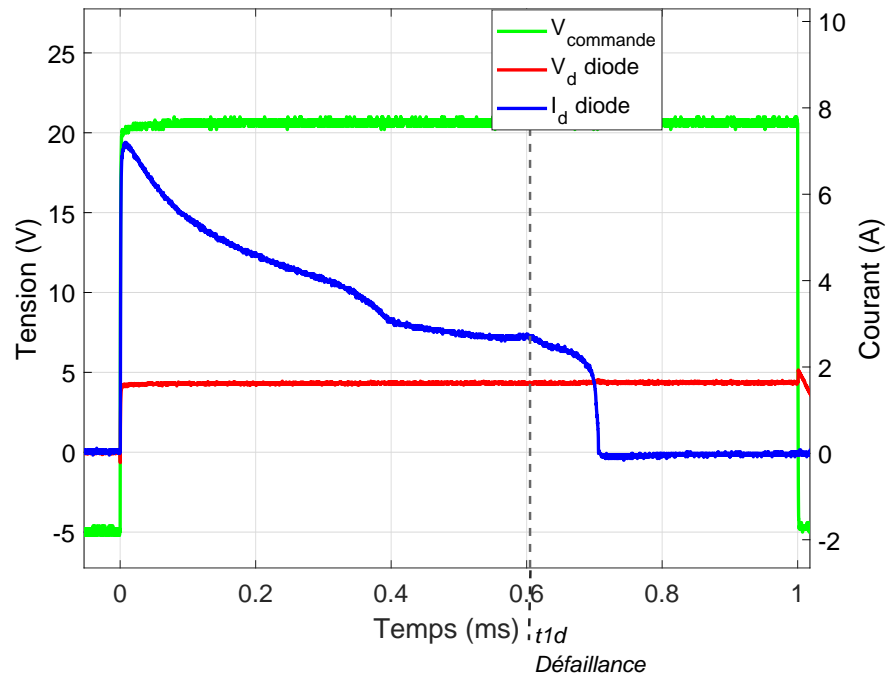


FIGURE 3.10 – Mesures tensions/courant de la diode en direct lors d'un essai de défaillance.

Analyses physiques

Lors de l'analyse aux rayons X de la diode détruite durant l'expérimentation précédente, le *fil de bonding* est détérioré comme le montre la figure 3.11.

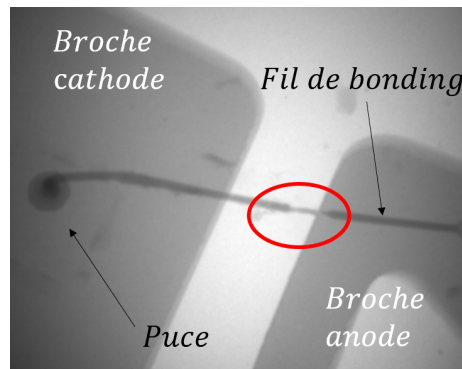


FIGURE 3.11 – Image aux rayons X de la diode défaillante.

En effet, le rétrécissement du diamètre du *fil de bonding* dû à l'échauffement thermique causé par le passage du fort courant entraîne sa rupture, et donc la diode est défaillante en circuit-ouvert.

Extraction du seuil

L'échauffement au sein d'un composant dépend de l'énergie à dissiper, elle-même proportionnelle à la durée de l'impulsion électrique imposée. La relation entre la puissance dissipée par le composant et la durée nécessaire pour atteindre la défaillance a été étudiée par Wunsch et Bell en 1968 [56]. Ils ont montré que la puissance nécessaire à la défaillance du composant est proportionnelle à l'inverse de la racine carré de la durée de l'impulsion. Tasca [119] étend le modèle de Wunsch et Bell par une région en $\frac{1}{t}$ pour les impulsions courtes et une région constante pour les impulsions à durée plus longue. Dwyer *et al.* [57] introduisent, dans les années 90, une région de dépendance logarithmique entre la région de Wunsch et Bell et la région constante. Le modèle de Wunsch et Bell ainsi que ses évolutions sont représentés sur la figure 3.12 dans le plan $\text{Log}(P)$ fonction de $\text{Log}(t)$ dont l'aire sous la courbe s'apparente à une zone de fonctionnement sûre «*safe-operating area*».

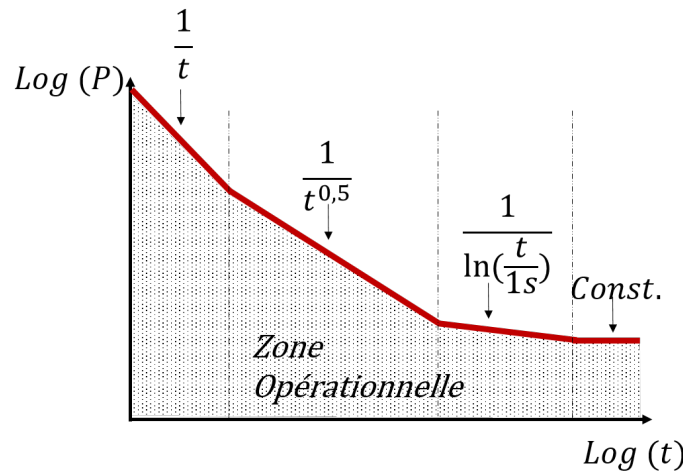


FIGURE 3.12 – Caractéristique de Wunsch et Bell : puissance injectée P en fonction de la durée d'impulsion t en échelle logarithmique.

Ce modèle de Wunsch et Bell à proprement parlé (3.1) décrit la défaillance de la jonction silicium des diodes et transistors liée à l'injection d'une impulsion de puissance constante.

$$P(t) = K_p t^{-\frac{1}{2}} \quad (3.1)$$

avec

$$K_p = A_j \sqrt{\pi \lambda \rho C_p} (T_c - T_a) \quad (3.2)$$

K_p est un coefficient propre à la jonction PN considérée, prenant en compte la conductivité thermique λ , la densité ρ , la chaleur spécifique C_p du matériau, la surface de la jonction A_j , la température ambiante T_a et la température critique de fusion de la jonction considérée T_c .

Le report des défaillances des diodes obtenues expérimentalement dans le plan $\text{Log}(P)$ fonction de $\text{Log}(t)$ permet d'identifier le coefficient $K_{p_{exp}} = 0,57 \text{ W.s}^{\frac{1}{2}}$ comme l'illustre la

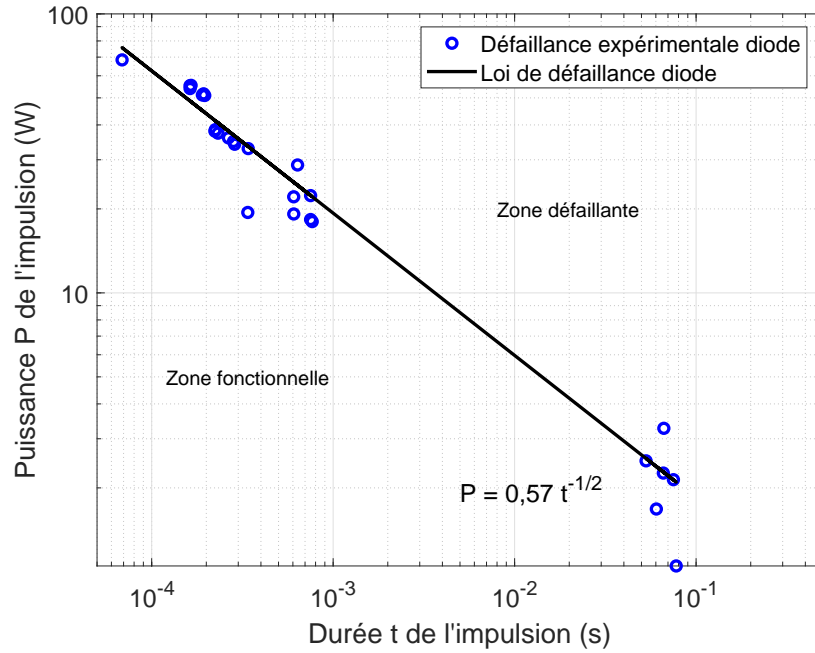


FIGURE 3.13 – Puissance P de l'impulsion ayant causé la défaillance des diodes en fonction de la durée t de l'impulsion.

figure 3.13. À noter que la définition de la zone de Wunsch et Bell est une approche thermique à une dimension considérant une dissipation thermique uniforme au sein de la jonction sans prendre en compte les phénomènes liés aux électrons, trous, etc., dans le semi-conducteur [120]. Néanmoins, l'équation identifiée donne une estimation de la limite de défaillance.

Par analogie au modèle en puissance de Wunsch et Bell associant une dépendance en $t^{-1/2}$, la loi de défaillance du composant peut également être évaluée en courant comme le considèrent Takagi et Mano [121] par une dépendance en $t^{-1/4}$ suivant l'équation (3.3).

$$I(t) = K_i t^{-\frac{1}{4}} \quad (3.3)$$

En considérant la valeur moyenne du courant sur la durée d'impulsion nécessaire à la défaillance de la diode I_m , les points expérimentaux sont reportés sur la figure 3.14 en fonction de la durée d'impulsion ($t1d$ sur la figure 3.10). Une loi en courant issu des données expérimentales est déterminée avec pour coefficient $K_{i_{exp}} = 0,74 \text{ A.s}^{\frac{1}{4}}$. Ainsi, une limite de défaillance en courant de la diode est estimée expérimentalement.

En complément et à partir de la documentation technique, cette limite de défaillance peut être estimée. En effet, la spécification de courant «*Peak surge forward current*» de 500 mA pour une impulsion de type sinusoïdale de 60 Hz permet, à partir de l'équation (3.3), d'extraire une valeur $K_{i_{datasheet}}$ de $0,13 \text{ A.s}^{\frac{1}{4}}$. La loi de défaillance en courant alors déduite de la documentation technique est représentée en rouge sur la figure 3.14. En comparaison avec la loi obtenue expérimentalement, la loi extrapolée surestime la limite de défaillance de la diode. Malgré cet écart lié aux conditions expérimentales différentes et aux marges

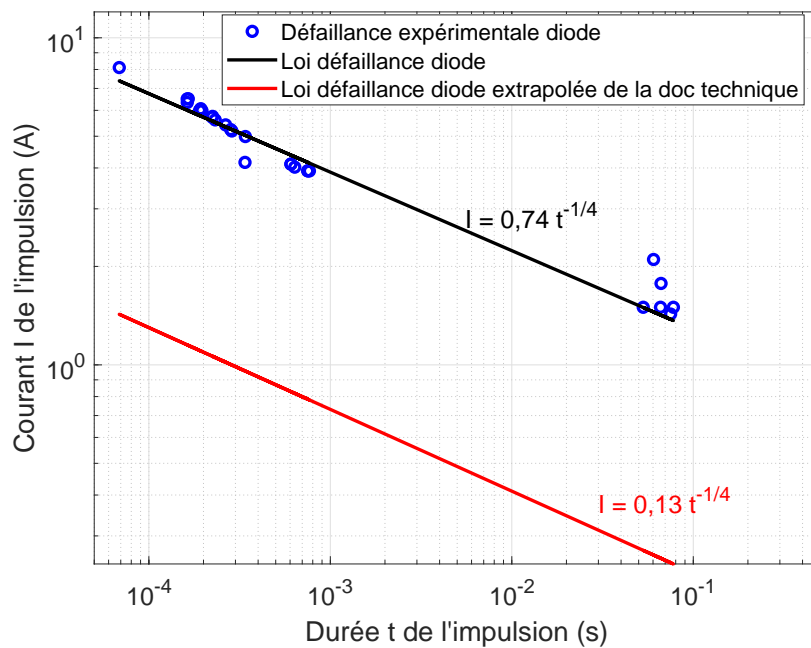


FIGURE 3.14 – Courant I de l'impulsion ayant causé la défaillance de la diode en fonction de la durée t de l'impulsion.

prises par le constructeur, l'estimation donne un ordre d'idée permettant une prédiction de la défaillance de la diode. À des fins de modélisation de la défaillance de la diode, la limite de défaillance en courant estimée expérimentalement sera utilisée.

3.2.3 Essais de défaillance en tension

Dans l'objectif de définir le seuil de défaillance en tension de la diode, le générateur d'impulsion, présenté en section 3.1.1, est utilisé en configuration 1. La diode à tester en inverse, sans limitation de courant, est reliée au générateur selon le schéma de la figure 3.15. Ainsi, en fixant la largeur d'impulsion à $5 \mu\text{s}$, la cellule capacitive C_b est chargée à différents niveaux de tension V_{dc} de 80 V jusqu'à atteindre la tension de la défaillance du composant. Le tableau 3.6 résume les paramètres affectés à l'expérimentation. Les essais sur la diode sont réalisés sur plusieurs échantillons de composant, à température ambiante, afin d'en extraire un seuil de défaillance en avalanche.

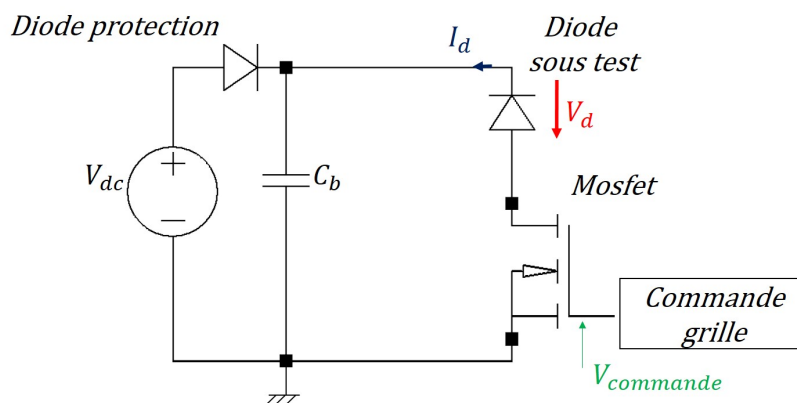


FIGURE 3.15 – Montage utilisé pour les essais de défaillance de la diode en inverse.

Symbole	Définition	Valeur
V_{dc}	Tension de charge	De 80 V jusqu'à la défaillance
C_b	Cellule capacitive	Configuration 1 : 3 condensateurs en parallèle de 180 μF chacun

TABLEAU 3.6 – Paramètres des essais de la diode en tension.

La figure 3.16 présente notamment le courant I_d (capteur TCP0030) et la tension V_d (sonde différentielle de Keysight TMDP0200) mesurés au niveau de la diode lors d'un essai.

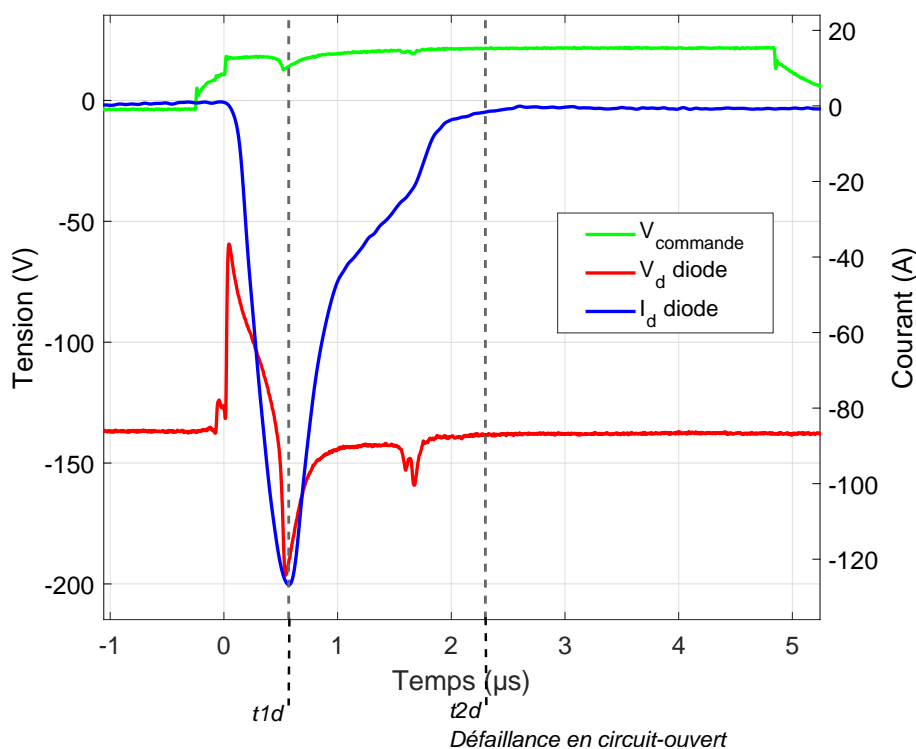


FIGURE 3.16 – Mesures tensions/courant de la diode en inverse.

À $t = 0 \mu\text{s}$, la tension de commande $V_{commande}$ polarise l'interrupteur Mosfet (de -5 à 20 V) entraînant la décharge de l'énergie stockée au sein la cellule capacitive. Un courant I_d circule dans la diode pour une tension V_d de -135 V imposée à ses bornes. Le courant inverse dans la diode en avalanche dépasse les quelques ampères admissibles par le composant ; la diode

est alors défaillante en court-circuit $t = t1d$. Cette phase de défaillance en court-circuit de la diode entraîne l'augmentation du courant la traversant jusqu'à atteindre -126 A conduisant à une élévation thermique en interne du composant. Le courant diminue pour devenir nul alors que la tension inverse aux bornes de la diode de 135 V : la diode est alors complètement défaillante en circuit-ouvert à $t = t2d = 2,2 \mu s$. Il est à noter que la tension V_d est de -135 V avant $t = 0 \mu s$ du fait du rapport des impédances de la diode à l'état bloqué et de l'interrupteur Mosfet bloqué également.

Analyses physiques

L'analyse des images aux rayons X permet d'investiguer sur l'état du composant après sa défaillance, comme présenté en figure 3.17.

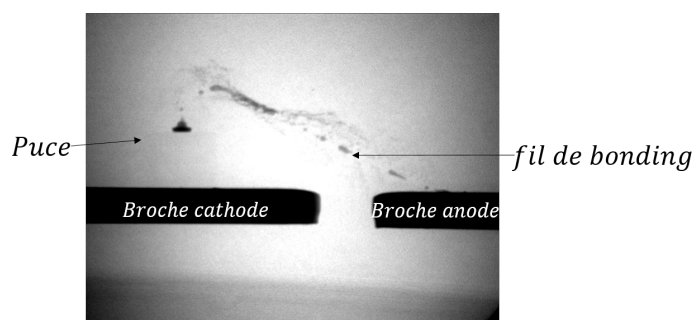


FIGURE 3.17 – Image aux rayons X d'une diode défaillante en tension.

Il apparaît sur l'image des ruptures en plusieurs endroits du *fil de bonding* reliant l'anode à la broche du composant. Des particules métalliques forment également un «nuage» autour du *fil de bonding* détruit. Comme mentionné dans l'ouvrage de J. Lutz [60], un fort courant au sein des structures entraîne la destruction des connexions internes au composant. Les images aux rayons X des diodes permettent donc de conclure à la défaillance en circuit-ouvert de la diode lors de sa mise en avalanche.

Les essais de la diode en avalanche sont réalisés pour différents niveaux de tension/courant afin d'obtenir un seuil de défaillance du composant. Menées sur plus de 30 échantillons de diodes, les mesures réalisées permettent de visualiser la dispersion de la tension inverse $V_{br_{exp}}$ nécessaire à la défaillance en avalanche du composant. En effet, la tension V_d aux bornes de la diode est augmentée graduellement par pas de 2,5 V jusqu'à la défaillance. Ainsi, la figure 3.18 rapporte la tension inverse de défaillance relevée expérimentalement pour chacun des échantillons de diode. Une barre d'incertitude liée à l'augmentation graduelle de la tension inverse aux bornes de la diode de 2,5 V est associée pour chacune des données expérimentales.

D'après la figure 3.18, le seuil de défaillance en avalanche $V_{br_{exp}}$ de la diode est relevé expérimentalement pour $V_{br_{exp}} = 135 \pm 2,5 V$. Des travaux complémentaires ont été réalisés sur la diode au moyen d'un TLP (Transmission Line Pulse) du Laboratoire LAAS de Toulouse et ont permis de définir une limite en courant lors de la mise en avalanche de la diode. La figure 3.19 montre les résultats de l'injection d'un créneau impulsionnel de 100 ns aux bornes de la diode pour des valeurs incrémentales de tension inverse. Lors de l'injection

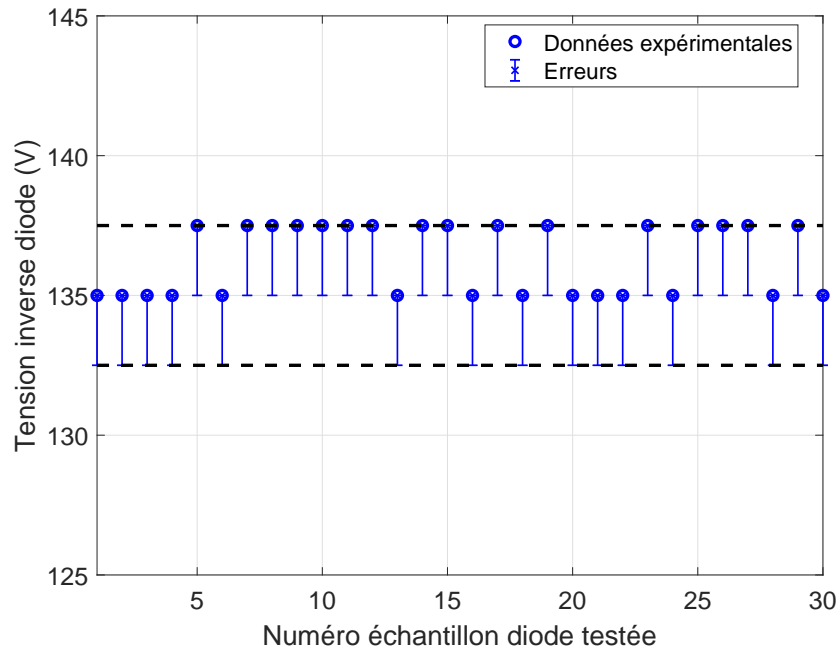


FIGURE 3.18 – Niveau de défaillance en tension inverse pour chaque échantillon de diode.

du seuil de tension inverse de 134 V, la diode part en avalanche et le courant augmente : la diode est alors défaillante. À cet instant, le courant inverse est compris entre 1 et 2 A.

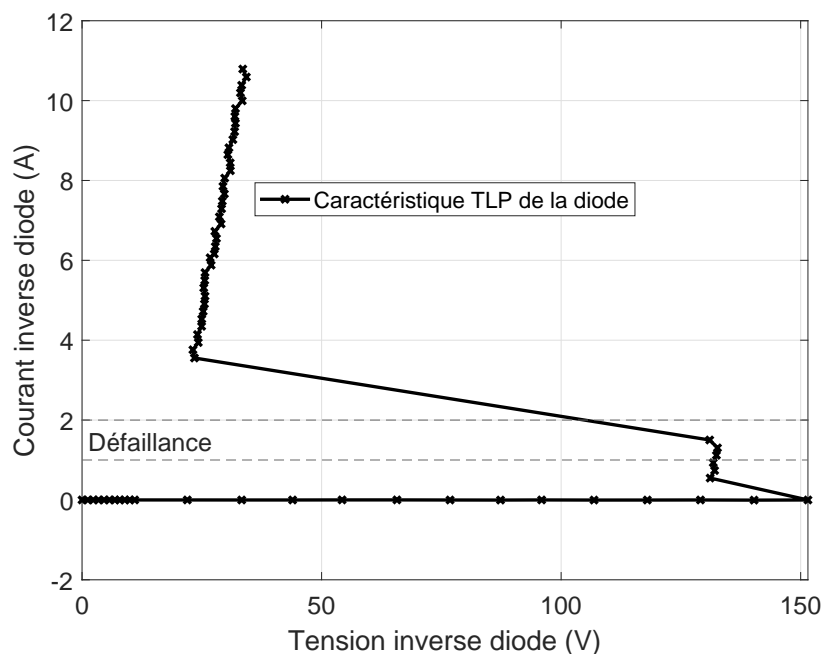


FIGURE 3.19 – Caractéristique I(V) en inverse de la diode de redressement obtenue au TLP.

Sur la base des résultats des essais, le seuil de tension inverse $V_{br_{exp}}$ de 135 V, associé à un courant inverse de 2 A, est choisi d'être exploité dans la construction du modèle numérique de défaillance de la diode.

3.2.4 Modélisation de la défaillance de la diode de redressement

Le modèle de défaillance de la diode de redressement se base sur les essais unitaires effectués en section 3.2. En effet, la loi de défaillance en courant de la diode obtenue est utilisée dans la construction du modèle de défaillance de la diode. De la même manière, les seuils en tension et courant inverses sont associés à la construction du modèle de défaillance en tension. Ainsi, lors du franchissement de ses limites de défaillance, le modèle constructeur de la diode utilisé en simulation est remplacé par son modèle équivalent défaillant, sans prendre en compte le comportement transitoire.

Le modèle en courant

Le seuil de défaillance en courant de la diode, explicité en section 3.2.2, suit une loi dépendante de la durée de l'impulsion en $t^{-1/4}$. L'équation obtenue expérimentalement est utilisée comme limite de défaillance dans la construction du modèle numérique. Le modèle de défaillance se traduit par un bloc de calcul VHDL-AMS placé en amont du modèle constructeur de la diode. Composé d'un jeu d'interrupteurs (figure 3.20), la valeur du courant injecté I_{inj} circulant dans la diode est utilisée dans le calcul de la valeur moyenne du courant I_{md} sur la durée d'impulsion. En comparant ce niveau de courant à celui de référence I_{seuil} issue de la loi de défaillance de Wunsh et Bell (présentée en section 3.2.2), l'état des interrupteurs est modifié. De ce fait, en figure 3.20, l'interrupteur S_1 est

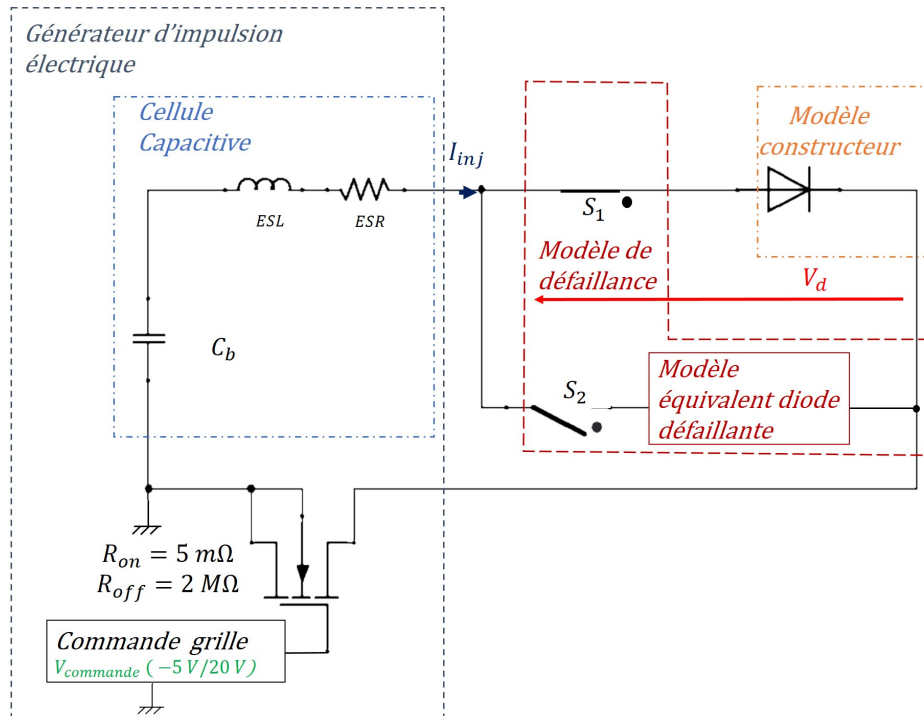


FIGURE 3.20 – Schéma électrique simulant l'injection de la contrainte électrique dans la diode.

normalement en position fermée assurant le fonctionnement nominal du composant par le modèle du constructeur. Lorsque le courant I_{md} dépasse la limite de défaillance du composant I_{seuil} , les interrupteurs S_1 et S_2 commutent et permettent de remplacer le

modèle constructeur par le modèle équivalent de la diode défaillante. L'organigramme en figure 3.21 reprend le fonctionnement du modèle de défaillance en courant développé.

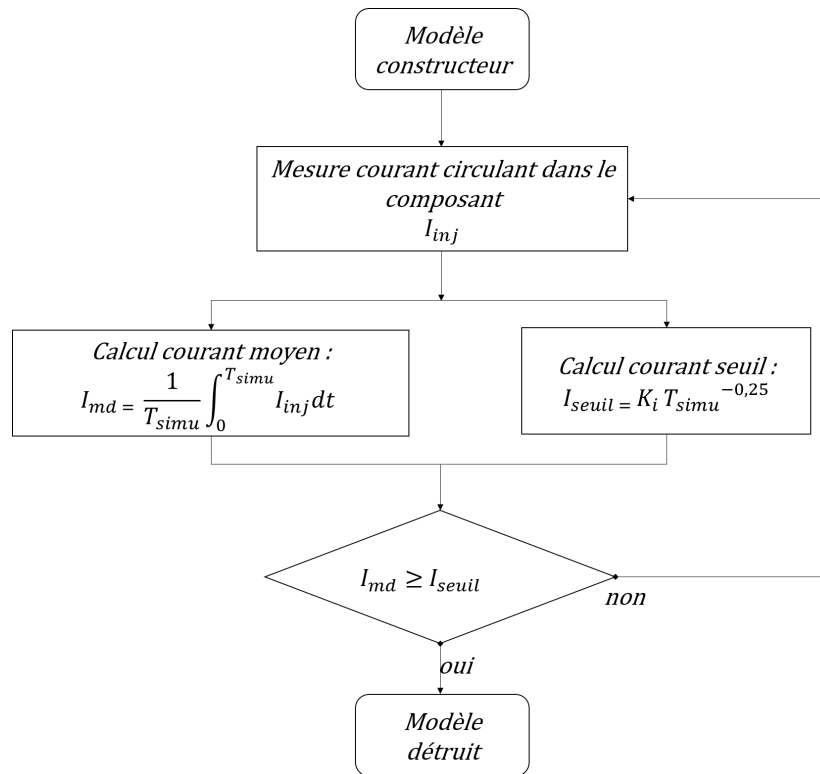


FIGURE 3.21 – Description du modèle VHDL-AMS de défaillance d'un composant suivant le modèle de Wunsch et Bell.

Ainsi, à des fins de calcul de la loi de défaillance en courant (3.3), l'utilisateur renseigne dans la boîte de dialogue du modèle le coefficient K_i propre au composant étudié, obtenu expérimentalement ou déduit de la documentation technique. À la suite, le modèle effectue à chaque pas temporel de simulation T_{simu} , les mesures et calculs nécessaires au bon fonctionnement :

- Le courant circulant au travers du modèle constructeur I_{inj} est relevé au pas de la simulation T_{simu} permettant de calculer la valeur moyenne de courant I_{md} traversant le composant, ici en l'occurrence la diode de redressement.
- La comparaison entre le courant I_{md} et le courant de référence I_{seuil} issu de la loi de défaillance en courant est alors effectuée pour chaque pas temporel de simulation.
- Lorsque le courant I_{md} dépasse le courant I_{seuil} , le composant est considéré comme définitivement détruit. Le modèle constructeur est alors remplacé par son modèle détruit, dans le cas présent un circuit-ouvert.

Afin de valider le modèle de défaillance en courant de la diode décrit précédemment, les essais réalisés à partir du générateur d'impulsion sont reproduits en simulation (figure 3.20). L'injection en simulation est réalisée dans les mêmes conditions que celles de l'expérimentation. Ainsi, une tension V_{dc} de 5 V est fixée aux bornes de la cellule capacitive, et au temps $t = 0$ s, $V_{commande}$ amorce la commutation de l'interrupteur Mosfet fermant le

circuit : l'impulsion électrique d'une durée de 1 ms est injectée aux bornes de la diode en figure 3.22.

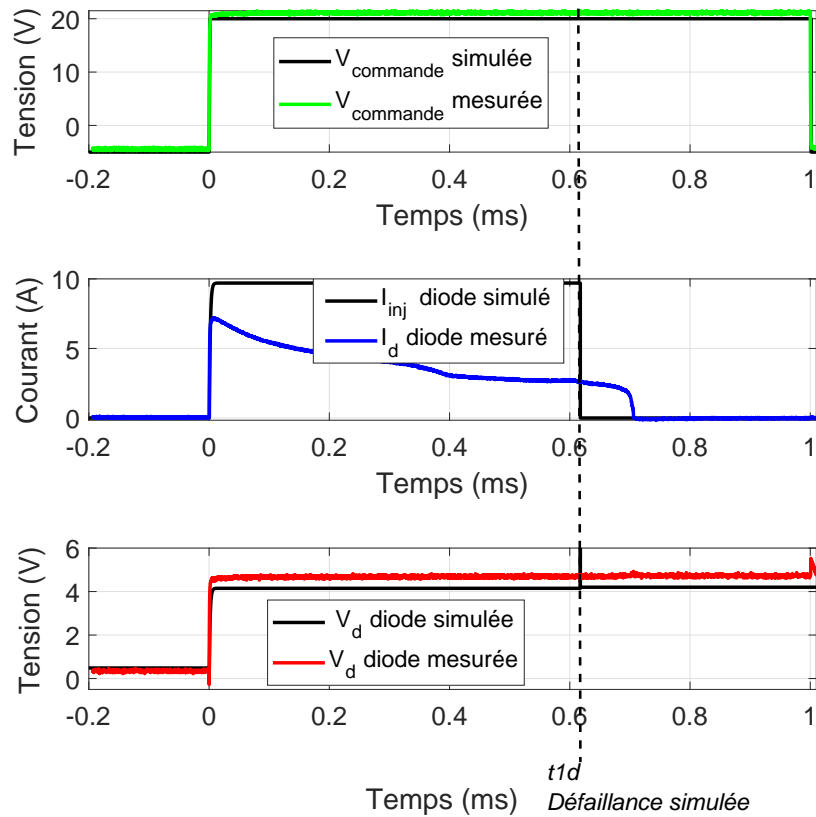


FIGURE 3.22 – Comparaison simulation/mesure des tensions/courants au niveau de la diode défaillante en courant.

Cette figure compare le courant I_{inj} , la tension V_d ainsi que la tension $V_{commande}$ issus de la simulation, en noir, aux mesures réalisées lors des essais en section 3.2.2. À $t_{1d} = 605 \mu s$, le courant moyen calculé en simulation au sein du modèle de défaillance atteint le seuil fixé par la loi en courant de Wunsch et Bell de la diode. Par conséquent, le modèle constructeur est remplacé par le modèle de la diode défaillante, c'est-à-dire un court-circuit. À t_{1d} , le courant simulé I_d chute à 0 A tandis que la tension V_d reste à 5 V. Les écarts entre la simulation et la mesure du courant proviennent notamment de la variation par effet thermique de l'impédance de la diode, non prise en compte en simulation.

Modèle de défaillance en tension

Le modèle de défaillance de la diode de redressement, développé au travers d'un bloc VHDL-AMS pour la défaillance en courant en figure 3.20, est enrichi afin de prendre en compte le comportement en tension. Sur le même principe par un jeu d'interrupteurs, le modèle constructeur de la diode est directement remplacé par son modèle défaillant équivalent. Dans notre cas, un circuit-ouvert vient se substituer au modèle constructeur dès le franchissement du seuil de tension inverse $V_{br_{exp}} = 135 \text{ V}$, associé à un courant inverse de 2 A , obtenu lors des essais en section 3.2.3.

Ainsi sur la figure 3.20, lorsque la tension V_d est inférieure à $-V_{br_{exp}}$ et que le courant I_{inj} est inférieure à -2 A , l'interrupteur S_1 déconnecte le modèle constructeur de la diode tandis que l'interrupteur S_2 se ferme connectant ainsi le modèle de la diode détruite, dans notre cas une résistance équivalente à un circuit-ouvert. Dans les mêmes conditions expérimentales, explicitées en section 3.2.3, l'injection est réalisée en simulation pour une durée d'impulsion de $5 \mu\text{s}$. La figure 3.23 donne un exemple des tensions/courant simulés grâce au modèle de défaillance.

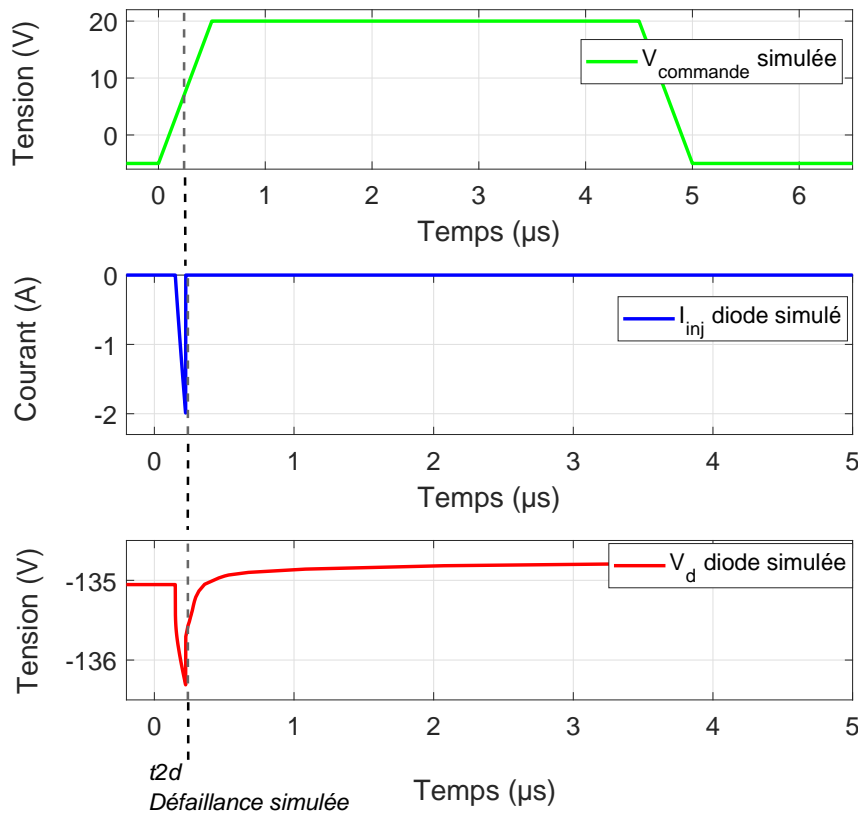


FIGURE 3.23 – Tensions/courant simulés au travers du modèle de défaillance en tension de la diode.

Ainsi à $t = 0 \text{ s}$, la tension $V_{commande}$ augmente pour atteindre le seuil V_{th} rendant l'interrupteur Mosfet passant. La cellule capacitive chargée à une tension V_{dc} de 135 V provoque l'avalanche de la diode. À l'instant où le courant atteint -2 A , le modèle constructeur est remplacé par le modèle de défaillance de la diode, un circuit-ouvert. Le

courant augmente brutalement pour atteindre 0 A, tandis que la tension reste constante : la diode est défaillante en circuit-ouvert. Par comparaison aux signaux mesurés en figure 3.16, le modèle simulé ne prend pas en compte l'état de court-circuit transitoire (jusqu'à $t2d$ mesures en figure 3.16) avant le circuit-ouvert de la diode à $t = t2d$. Ainsi, le courant mesuré atteignant plus de 100 A dans la phase de court-circuit n'est pas reproduit ici. La diode est directement placée dans son état final de défaillance, à savoir un circuit-ouvert, dès le franchissement du seuil de -135 V/-2 A. Un exemple de code VHDL-AMS de défaillance d'une diode en tension est donné en annexe A.1

Le modèle de la diode de redressement ainsi développé prend en compte la défaillance lors d'une impulsion de courant en direct mais aussi la défaillance en tension lors du phénomène d'avalanche du composant.

3.3 Étude du pont de diodes

Le pont de diodes, placé dans l'étage d'entrée de l'alimentation, redresse la tension alternative sinusoïdale du secteur afin d'obtenir une tension continue de 325 V en sortie. Celle-ci vient alors alimenter l'étage de découpage en passant par un condensateur lissant la tension et stockant de l'énergie. La référence *UD4KB80* étudiée de chez *Shindengen* est l'un des ponts de diodes les plus utilisés dans les alimentations à découpage grand public dans la gamme 0-100 W [44]. La documentation technique spécifie des tenues en courant direct moyen de 4 A et en tension inverse de $V_{br} = 800$ V (à $I_r = 10$ μ A).

3.3.1 Caractérisation

À l'aide du traceur de caractéristiques B1505A de chez *Keysight*, l'une des diodes du pont de diodes est caractérisée dans le plan courant(tension) en direct et en inverse, la configuration de mesure en figure 3.24.

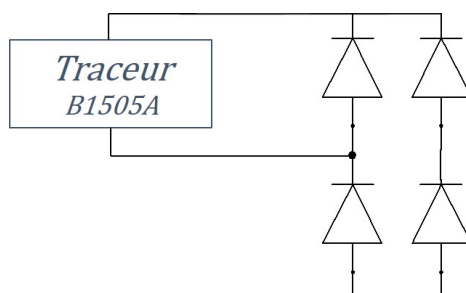


FIGURE 3.24 – Configuration de mesure pour la caractéristique de l'une des diodes du pont au traceur.

En figure 3.25, une tension d'avalanche de 950 V est relevée et correspond à l'ordre de grandeur donné par la documentation technique. La limitation de la source de puissance du traceur ne permet pas d'atteindre des niveaux de courant nécessaires à la défaillance du composant.

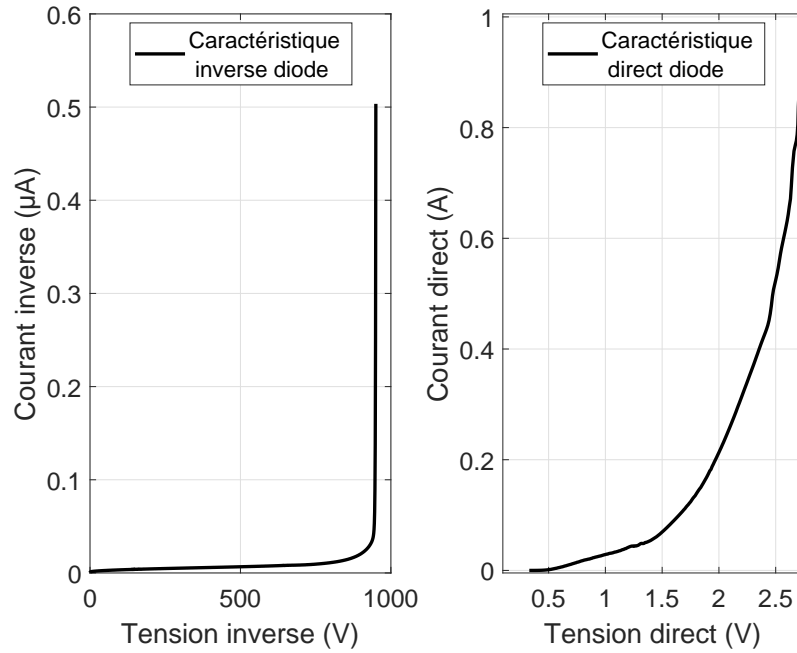


FIGURE 3.25 – Caractéristiques I(V) en direct et en inverse d’une diode du pont.

Dans le cadre de la modélisation, les essais réalisés par la suite sur ce pont de diodes visent à en extraire un seuil ou une loi de défaillance en courant mais aussi en tension.

3.3.2 Essais de défaillance en courant

Sur le même principe que pour les essais menés sur la diode de redressement décrits en section 3.2.2, le générateur d’impulsion électrique en configuration 2 (section 3.1.1) est utilisé afin de définir le critère de défaillance en courant du pont de diodes. Le tableau 3.7 définit les paramètres du générateur d’impulsion utilisés dans le cadre des essais de défaillance en courant. Pour reproduire le fonctionnement du pont de diodes dans l’alimentation, une impulsion en courant est injectée en direct sur la broche 2 du pont (figure 3.26). Les broches 1 et 4 sont quant à elles court-circuitées, forçant ainsi la conduction dans une seule diagonale du pont. Par cette configuration expérimentale, l’essai unitaire du pont de diodes reproduit le fonctionnement nominal de la conduction des diodes du pont dans l’étage d’entrée de l’alimentation.

Symbole	Définition	Valeur
V_{dc}	Tension de charge	De 8 à 14 V
C_b	Cellule capacitive	Configuration 2 - Cellule de 58 F

TABEAU 3.7 – Paramètres des essais en courant du pont de diodes.

La figure 3.27 présente les formes de courant relevées en entrée du pont I_{pont} (capteur de courant TCP404) et de tension V_{pont} (sonde différentielle de Keysight TMDP0200). Dans cet exemple, une impulsion électrique d’une durée de 8 ms est imposée aux bornes du composant pour un niveau de charge de la cellule capacitive V_{dc} de 8 V. La commande de grille actionne

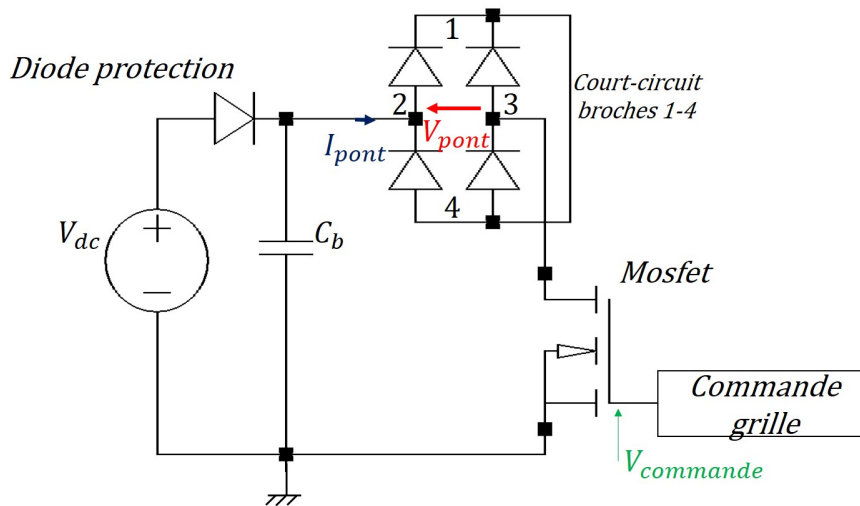


FIGURE 3.26 – Montage utilisé pour les essais de défaillance du pont de diodes.

la fermeture de l'interrupteur Mosfet afin d'injecter une impulsion de courant d'une valeur moyenne de 163 A jusqu'à $t = t1d = 4,8$ ms. À $t = t1d$, le courant I_{pont} augmente pendant que la tension V_{pont} diminue. À cet instant significatif, une des diodes de la diagonale en conduction est défaillante. Le court-circuit de cette diode entraîne également la défaillance de la seconde diode de la diagonale en conduction. Ainsi, le courant I_{pont} augmente brutalement au temps $t = t2d = 5,8$ ms. Les deux diodes en conduction du pont sont alors détruites en court-circuit.

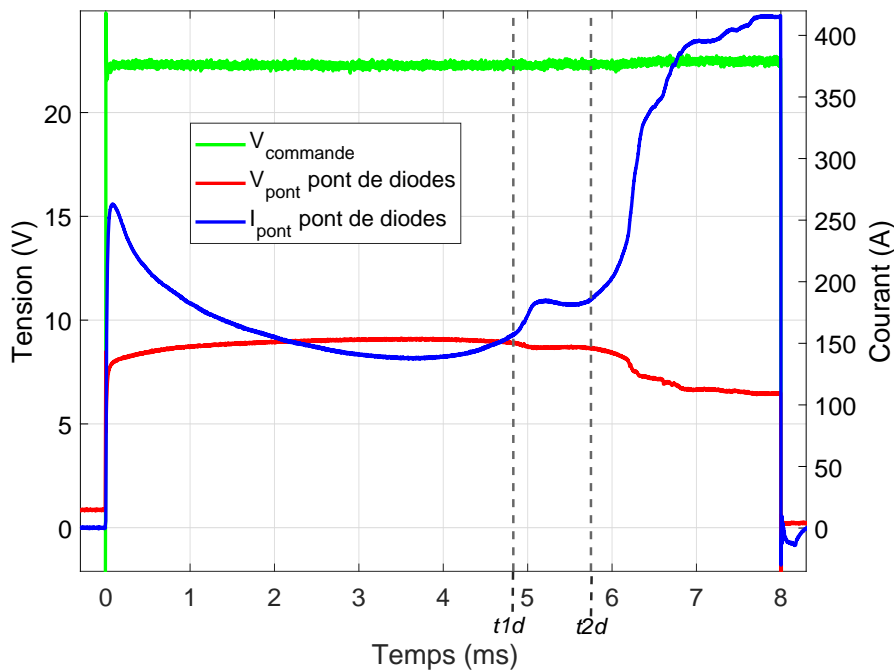


FIGURE 3.27 – Mesures tensions/courant du pont de diodes lors d'un essai de défaillance.

Analyses physiques

L'observation du pont de diodes aux rayons X permet non seulement d'en observer la structure mais aussi les court-circuits liés à sa défaillance. Sur la vue de dessus du pont de diodes (figure 3.28 (a)), les quatre diodes sont situées dans chaque angle où elles sont reportées par un brasage haut et bas sur des languettes métalliques de connexion (*lead frames*), comme le montre la vue de côté de la figure 3.28 (b).

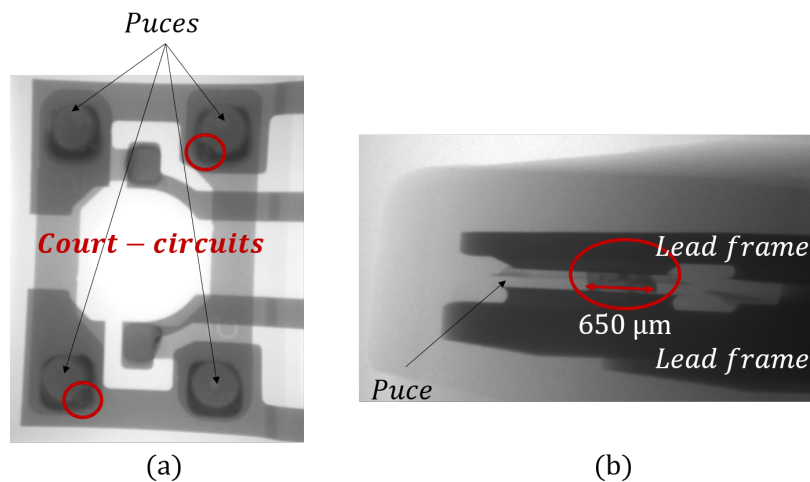


FIGURE 3.28 – Images aux rayons X d'un pont de diodes détruit : (a) vue de dessus, (b) vue de côté.

Cette même vue de côté permet d'observer le court-circuit d'une des diodes du pont. Lors de l'injection de l'impulsion, un fort courant traverse le pont pendant quelques millisecondes et entraîne une élévation de température. À partir de la résistance thermique donnée dans la documentation technique $R_{th_{Jonction-B\acute{o}itier}} = 1,5 \text{ } ^\circ\text{C}\cdot\text{W}^{-1}$, et de la puissance injectée dans le pont de diodes $P = 1638 \text{ W}$, l'élévation de température est estimée à $\Delta T = R_{th_{Jonction-B\acute{o}itier}} \times P = 1,5 \times 1638 = 1956^\circ\text{C}$. Cette élévation de température est de l'ordre de grandeur de la température de fusion du silicium de la puce $T_{SI} = 1410 \text{ } ^\circ\text{C}$. Un amas métallique, identifié en rouge sur la figure 3.28 (b), se forme, créant ainsi une connexion entre les deux lead frames et mettant en court-circuit la puce. Ces analyses aux rayons X permettent d'affirmer le passage d'un fort courant au sein du composant, entraînant sa défaillance en court-circuit.

Extraction du seuil de défaillance

Afin de confirmer le seuil de défaillance en courant, les essais sont initiés sur, a minima, cinq échantillons par niveau de tension fixée aux bornes du condensateur C_b (V_{dc} de 8 à 14 V). Comme expliqué, les essais sont réalisés pour différents niveaux de tension/courant afin d'obtenir une loi de défaillance associée. Le pont de diodes est considéré ici comme défaillant dès l'apparition d'un défaut sur l'une des diodes, c'est-à-dire à l'instant t_{1d} . L'ensemble des points obtenus lors des essais du pont est relevé en figure 3.27 et peut être approximé par le modèle de Wunsch et Bell (équation 3.1) tel qu'explicité dans la section 3.2.2.

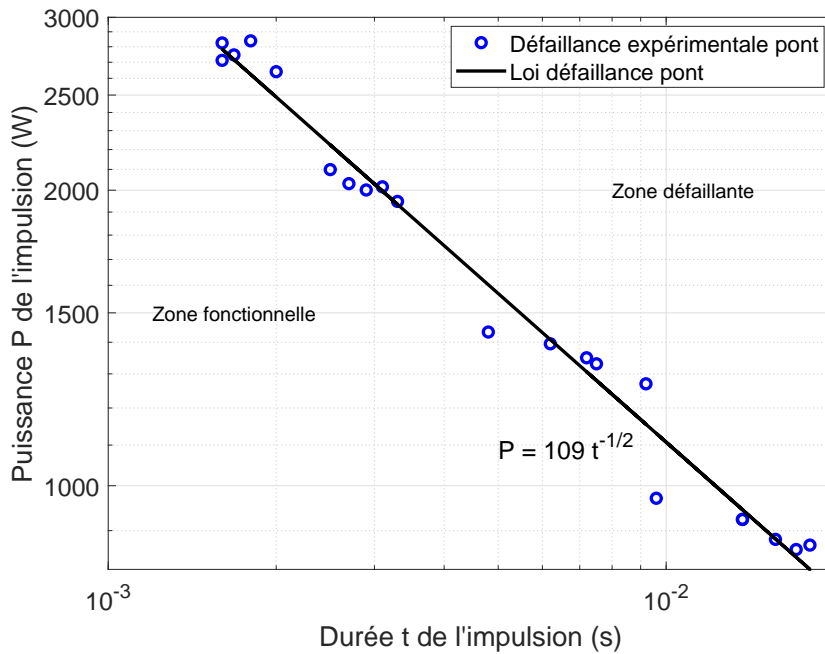


FIGURE 3.29 – Puissance P de l'impulsion ayant causé la défaillance du pont de diodes en fonction de la durée t de l'impulsion.

Ainsi, la loi obtenue permet d'estimer la zone de défaillance du pont de diodes située au-delà de la droite d'équation (3.1), où $K_p = K_{p_{exp}} = 109 \text{ W.s}^{\frac{1}{2}}$ est le coefficient de la loi déterminé expérimentalement, suivant la figure 3.29.

À partir des images obtenues aux rayons X (figure 3.28), il est également possible d'approximer théoriquement le coefficient propre à la jonction K_p énoncé dans le modèle de Wunsch et Bell (équation (3.1)). En effet, l'image RX peut renseigner sur la surface de la jonction A_j à considérer dans le pont de diodes. Les autres paramètres sont propres au matériau constituant la jonction (densité du silicium $\rho_{Si} = 2,3 \cdot 10^3 \text{ kg.m}^{-3}$, chaleur spécifique du silicium $C_{p_{Si}} = 750 \text{ J.kg}^{-1}.\text{K}^{-1}$, température ambiante $T_a = 300 \text{ K}$, température de fusion du silicium $T_{c_{Si}} = 1683.2 \text{ K}$ et conductivité thermique du silicium $\lambda_{Si} = 150 \text{ W.m}^{-1}.\text{K}^{-1}$). En prenant en compte la surface totale de la jonction d'une diode de la diagonale impactée par la défaillance, le coefficient théorique est alors estimé par l'équation (3.2) à $K_{p_{théorique}} = 120 \text{ W.s}^{\frac{1}{2}}$. La valeur obtenue $K_{p_{théorique}}$ correspond à l'ordre de grandeur du coefficient extrait des données expérimentales ($K_{p_{exp}} = 109 \text{ W.s}^{\frac{1}{2}}$). Par

connaissance de la structure du pont et en approximant la surface de la jonction à considérer, la loi de défaillance du pont de diodes peut être évaluée. L'écart d'environ 10% reste acceptable en considérant l'ensemble des incertitudes intervenant dans le calcul du coefficient K_p théorique et expérimental. En effet, les images RX rendent difficile la définition exacte de la jonction du pont de diodes à considérer.

Par analogie avec le modèle en puissance de Wunsch et Bell associant une dépendance en $t^{-1/2}$, la loi de défaillance du composant peut également être évaluée en courant par une dépendance en $t^{-1/4}$ suivant l'équation (3.3) présentée en section 3.2.2. Ainsi, chaque valeur moyenne du courant I_{md} sur la durée nécessaire à la défaillance d'une diode du pont t_{1d} est reportée sur la figure 3.30. Une loi de défaillance en courant est déterminée avec pour coefficient $K_{i_{exp}} = 44,5 \text{ A}\cdot\text{s}^{1/4}$.

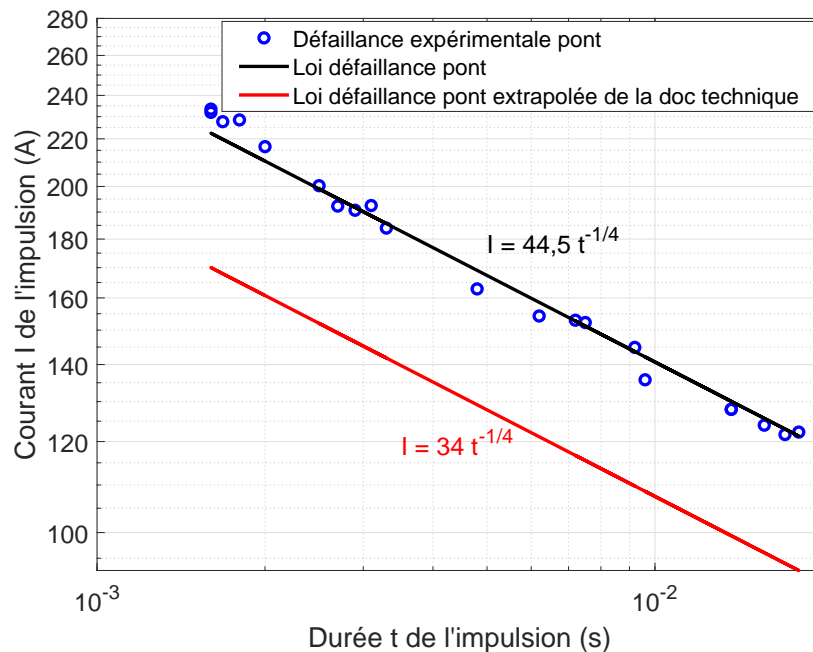


FIGURE 3.30 – Courant I de l'impulsion ayant causé la défaillance du pont de diodes en fonction de la durée t de l'impulsion.

À partir de la limite en courant *Peak surge forward current* renseignée dans la documentation technique du pont de diodes, la loi de défaillance du pont en courant peut être estimée. En effet, la spécification de 135 A pour une impulsion de type sinusoïdale de 60 Hz correspond à un courant moyen de 95 A pendant la période de la sinusoïde de 16,7 ms. Ce paramètre de la documentation technique permet alors d'estimer le coefficient $K_{i_{datasheet}} = 34 \text{ A}\cdot\text{s}^{1/4}$. La limite de défaillance du pont en courant est alors déduite des données de la documentation technique, tracée en rouge sur la figure 3.30. Ce résultat conduit à un écart de 20% par rapport à la loi précédente. Cet écart est lié aux conditions expérimentales différentes et aux marges prises par le constructeur. Néanmoins, le modèle de défaillance extrapolé à partir de la documentation technique surestime la zone de défaillance du pont de diodes en regard des résultats expérimentaux, et permet de prédire de la défaillance du pont de diodes. Dans la perspective de construire un modèle

comportemental de défaillance en courant du pont, la loi en courant obtenue expérimentalement sera utilisée par la suite.

3.3.3 Essais de défaillance en tension

Chacune des quatre diodes constituant le pont de diodes est caractérisée pour une tenue en tension maximale de la jonction PN. Le document constructeur précise ainsi une tension inverse $V_{br} = 800$ V pour un courant inverse de $I_r = 10$ μ A. D'après la caractéristique au traceur B1505A, la tension inverse vaut 950 V. Pour aller au-delà de la limite en courant imposée par le traceur, le moyen d'injection PIC est utilisé afin de déterminer le seuil de défaillance en tension/courant des diodes constituant le pont. La configuration choisie permet d'injecter une impulsion de tension/courant sur l'une des diodes du pont, comme le montre la figure 3.31. La mesure de tension V_d est obtenue au travers de la sonde Isovu et le courant direct I_d circulant entre l'anode et la cathode de la diode du pont est relevé par le capteur de courant Pearson 8585C. Le niveau de tension de consigne TC imposé sur le moyen PIC est incrémenté par palier, entre 500 V et 3 kV, jusqu'à atteindre la défaillance de la diode.

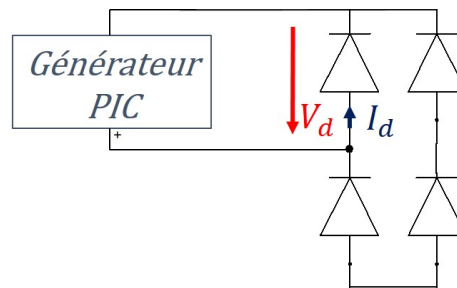


FIGURE 3.31 – Montage utilisé pour les essais en tension du pont de diodes.

La figure 3.32 présente les signaux mesurés aux bornes de la diode pour un niveau de TC du moyen PIC de 1,5 kV n'entraînant pas la défaillance, ainsi que lors de la défaillance du composant pour un niveau TC supérieur. À $t = 0$ s, l'impulsion électrique est injectée aux bornes du composant. La tension mesurée V_d aux bornes de la diode est limitée à une valeur de -1350 V. Néanmoins, le courant I_d de -11 A la traversant n'est pas suffisant pour rendre le composant défaillant. Ainsi, le niveau de TC du moyen d'injection est augmenté ; les mesures relevées sont tracées en rouge sur la figure 3.32. Sur celles-ci (figure 3.32), à $t = 168$ ns, la diminution du courant et l'augmentation de la tension sont signe de la défaillance de la diode. En effet, la variation de l'impédance de la diode lors de l'injection de l'impulsion en tension avant et pendant la défaillance illustre la défaillance. Sur la figure 3.33 à l'instant $t = 168$ ns, l'impédance atteint brutalement quelques milliohms, confirmant la présence d'un court-circuit. Au vu de la structure interne du pont de diodes (figure 3.28), les analyses aux rayons X ne permettent pas d'observer les conséquences de la défaillance de la puce elle-même lors du claquage en tension.

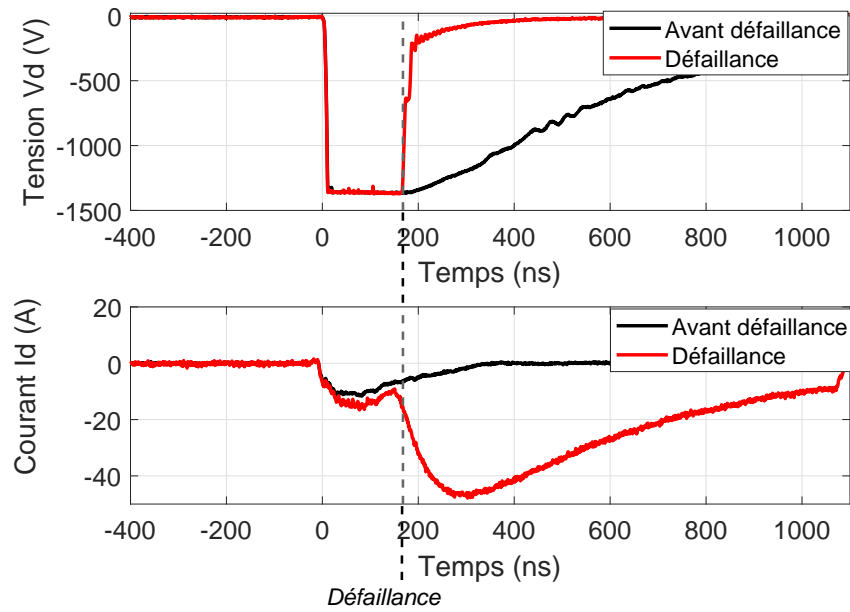


FIGURE 3.32 – Mesures tension/courant de la diode du pont avant et lors de la défaillance.

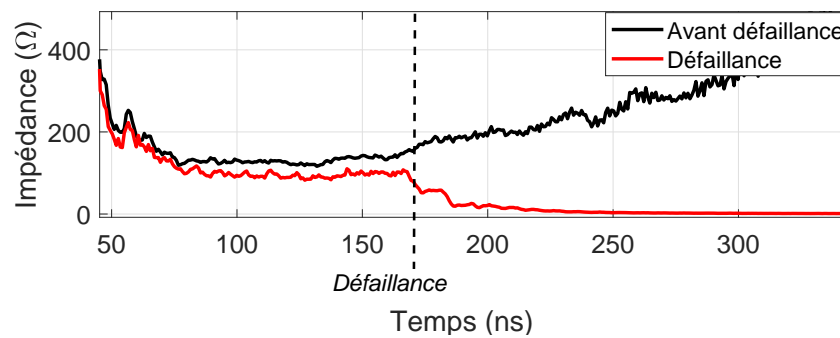


FIGURE 3.33 – Variation de l'impédance de la diode du pont lors des essais.

Le seuil de défaillance en tension des diodes du pont est relevé pour une tension inverse de diode $V_{br_{exp}}$ de 1350 V associée à un courant inverse de 14 A. Cette valeur de seuil en tension associée à un seuil en courant sera utilisée directement dans le modèle de défaillance du pont de diodes.

3.3.4 Modélisation de la défaillance du pont de diodes

Le développement d'un modèle de défaillance du pont de diodes en simulation s'appuie sur les essais de défaillances unitaires effectués en courant en section 3.3.2 et en tension en section 3.3.3. Les seuils de défaillance obtenus expérimentalement sont utilisés comme limites dans la construction du modèle de défaillance du pont de diodes. Ainsi, lors du franchissement de l'une des ces limites, le modèle du constructeur utilisé en simulation est remplacé par le modèle équivalent défaillant du pont de diodes. Les comportements transitoires de la défaillance ne sont pas modélisés dans ces travaux de recherche.

Modèle en courant

Le modèle de défaillance en courant du pont de diodes se développe suivant le même principe que le modèle de défaillance de la diode de redressement décrit en section 3.2.4. En effet, la défaillance du pont suit le modèle de Wunsch et Bell. L'organigramme présenté en figure 3.21 reprend la méthode de construction du modèle qui est appliquée au pont de diodes. Ainsi, par un jeu d'interrupteurs présenté en figure 3.34, le modèle constructeur du pont de diodes est directement remplacé par son modèle équivalent défaillant dès que le courant I_{inj} circulant dans le pont est supérieur au courant seuil I_{seuil} fixé par la loi en courant du pont définie en section 3.3.2. Un exemple de code VHDL-AMS de défaillance du pont de diodes en courant est donné en annexe A.2.

Afin de valider le modèle de défaillance développé en simulation, le générateur d'impulsion (configuration 2) est utilisé pour reproduire en simulation l'impulsion électrique injectée lors des essais (figure 3.34).

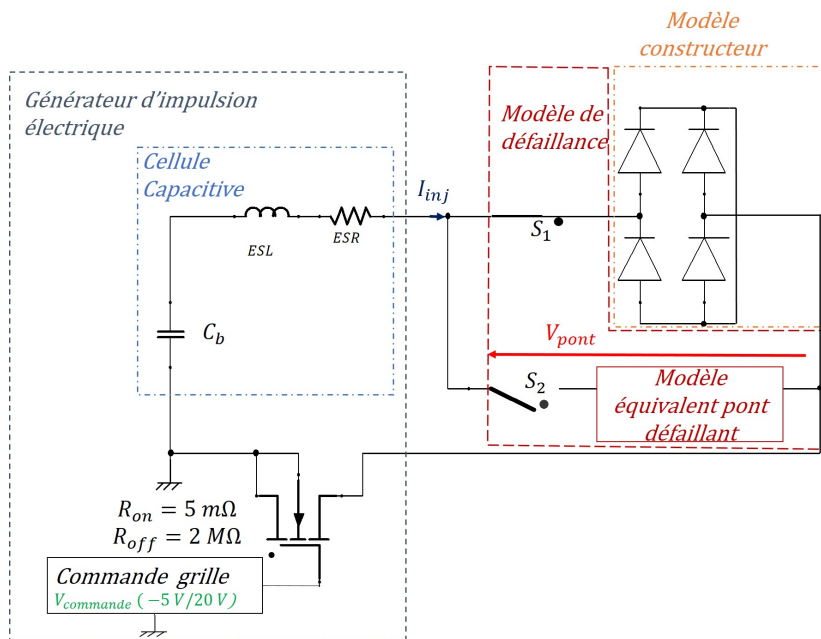


FIGURE 3.34 – Schéma électrique simulant l'injection de la contrainte électrique dans le pont de diodes.

L'injection en simulation est réalisée dans les mêmes conditions que celles de l'expérimentation. Ainsi, une tension V_{dc} de 10 V est fixée aux bornes de la cellule capacitive et à $t = 0$ s, la tension $V_{commande}$ amorce la fermeture de l'interrupteur Mosfet : l'impulsion électrique d'une durée de 8 ms est injectée dans une seule diagonale du pont de diodes (court-circuit broches 1-4), en figure 3.35.

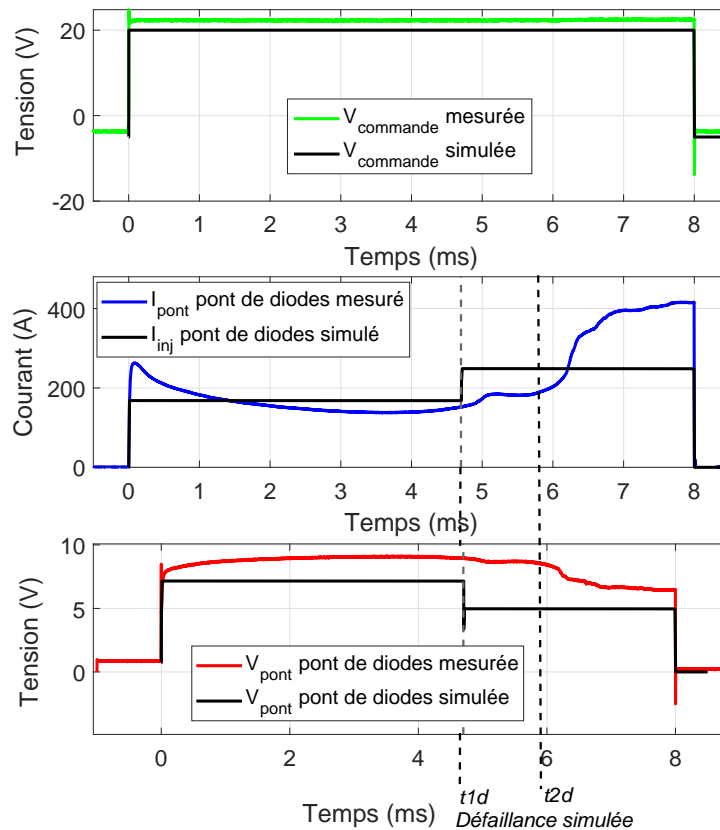


FIGURE 3.35 – Comparaison mesure/simulation des tensions/courants du pont de diodes.

La figure 3.35 compare le courant I_{inj} en entrée du pont de diodes, la tension V_{pont} aux bornes du pont ainsi que la tension de commande $V_{commande}$, issus de la simulation, en noir, aux mesures réalisées en section 3.3.2. Les écarts entre la simulation et la mesure de la tension de commande, tout comme ceux du courant et de la tension aux bornes du pont pendant les premiers instants de l'injection (0 - 4,6 ms) proviennent principalement des effets parasites faiblement modélisés en simulation. À $t = t1d = 4,8$ ms, le courant moyen calculé au sein du modèle de défaillance atteint le seuil de la loi en courant obtenue lors des essais. Par conséquent, le modèle constructeur est remplacé par le modèle du pont de diodes défaillant équivalent, c'est-à-dire une résistance de court-circuit de 20 m Ω . À cet instant, le courant I_{inj} simulé augmente significativement. Dans le même temps, une chute de la tension V_{pont} est observée en simulation. La dégradation progressive du composant entre $t1d$ et $t2d =$ sur les mesures relevées en figure 3.27, n'est pas prise en compte. En effet, le modèle de défaillance considère le pont de diodes comme totalement défaillant dès l'apparition de défaillance sur l'une des deux diodes de la diagonale en conduction, conférant des écarts

entre les signaux mesurés/simulés. Le modèle de défaillance en courant du pont de diodes pourra être amélioré en diminuant progressivement la valeur de la résistance du court-circuit. Néanmoins, la corrélation entre la simulation de la défaillance et les mesures permet de valider le modèle de défaillance du pont de diodes décrit par la loi de Wunsch et Bell présentée en section 3.3.2.

Modèle de défaillance en tension

Le seuil de défaillance en tension de l'une des diodes du pont relevé en expérimentation (section 3.3.3) est utilisé dans le modèle comportemental. En effet, lors d'une augmentation de la tension aux bornes d'une des quatre diodes du pont dépassant le seuil $V_d = -1350$ V, associé à un courant $I_d = -14$ A, l'interrupteur S_2 s'ouvre tandis que l'interrupteur S_1 se ferme, remplaçant ainsi la diode par son modèle équivalent défaillant (figure 3.36). Le générateur équivalent du moyen PIC est utilisé (figure 3.36) afin de

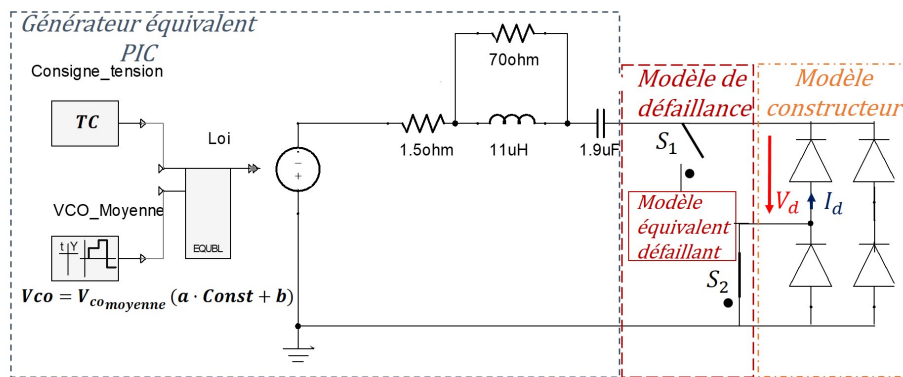


FIGURE 3.36 – Schéma électrique simulant l'injection de la contrainte électrique en tension aux bornes d'une des diodes du pont.

reproduire l'injection en simulation. Le courant simulé I_d circulant dans la diode et la tension V_d à ses bornes sont comparés aux signaux mesurés lors de la défaillance de la diode du pont. La figure 3.37 illustre ainsi cette comparaison. À $t = 0$ s, le moyen PIC génère une impulsion de tension V_d , le courant I_d augmente jusqu'à atteindre -14 A. À cet instant, la tension est de -1350 V et dépasse donc le seuil de défaillance de la diode. Ainsi, la diode du modèle constructeur est remplacée par son modèle défaillant, un court-circuit.

Les écarts qui subsistent entre les signaux mesurés et simulés proviennent principalement de la non prise en compte des comportements transitoires de la défaillance. Ainsi, le modèle développé en tension pourra être amélioré en considérant la variation progressive de l'impédance jusqu'à sa défaillance. Cette simulation valide tout de même la modélisation d'une diode du pont. Par conséquent, le modèle est applicable et est mis en place pour les quatre diodes composant le pont.

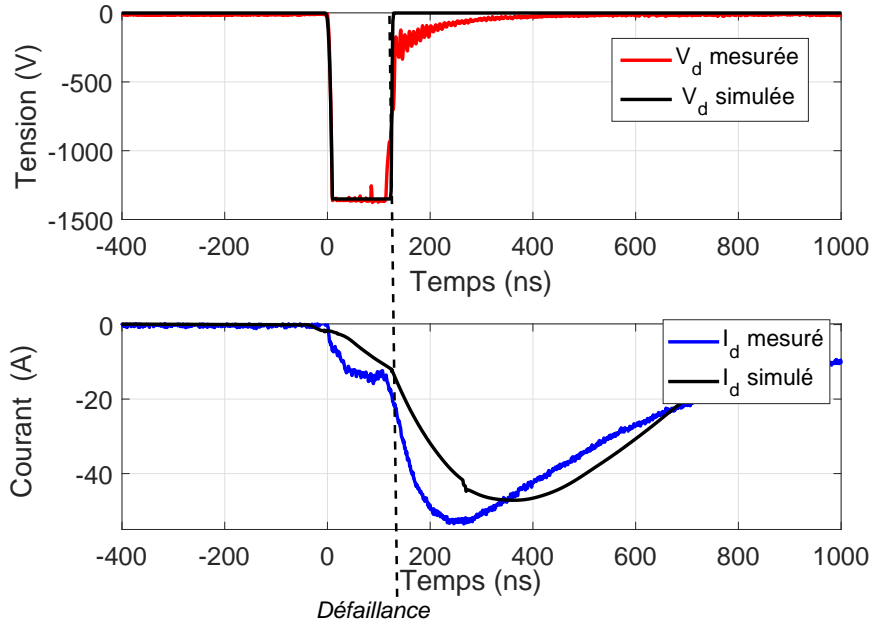


FIGURE 3.37 – Comparaison simulation/mesure des tensions/courants de l’une des diodes du pont défaillante en tension.

3.4 Étude du transistor Mosfet

Le transistor Mosfet *SPA11N65C3*, de chez *Infineon*, présent au sein de l’alimentation fonctionne en commutation et assure le découpage de la tension continue à une fréquence réglée par le contrôleur PWM.

Caractérisation

Les caractérisations du transistor Mosfet représentées en figure 3.38 sont obtenues grâce à l’utilisation d’un traceur B1505A *Keysight*. La caractéristique $I_d(V_{ds})$ paramétrée en V_{gs} constant représentée sur la figure 3.38 (a) est conforme à celle présentée dans la documentation technique. Cette même caractéristique en inverse à V_{gs} nulle est illustrée en figure 3.38 (b). Elle fait apparaître une tension de claquage par avalanche de la diode de structure $V_{br_{exp}} = 730$ V pour un courant inverse de 8 μ A.

Comme explicité dans le chapitre 1, nombre de phénomènes peuvent être à l’origine de la défaillance d’un Mosfet. Les signaux mesurés autour du drain du transistor lors de la destruction d’une alimentation [44] font apparaître une surtension et des transitoires rapides, phénomènes qui focalisent l’attention dans un premier temps. L’élévation du courant de drain également observée est pour l’instant laissée de côté. Deux essais de défaillance de ce Mosfet sont alors étudiés :

- la défaillance par une surtension sur la grille issue de la remise «on» du Mosfet par un transitoire rapide sur la tension de drain,
- la défaillance par une surtension de la tension drain-source conduisant à la mise en avalanche du composant.

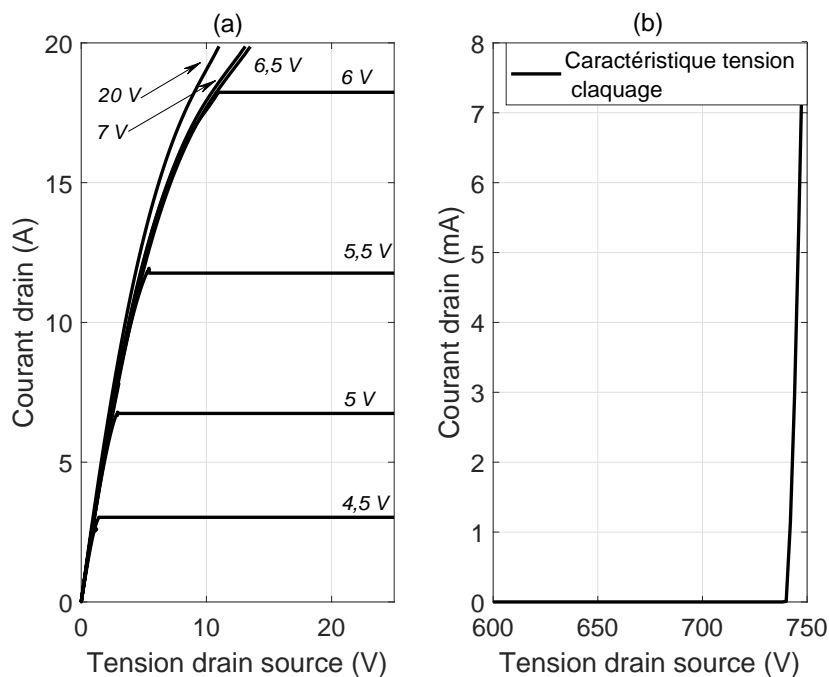


FIGURE 3.38 – Caractéristiques $I_d(V_{ds})$ du Mosfet : (a) en direct pour plusieurs V_{gs} et (b) en inverse, $V_{gs}=0$ V.

L'ensemble des essais est mené à température ambiante et sans dissipateur, comme cela a été évoqué dans le paragraphe 3.1.2.

3.4.1 Essais de défaillance par la grille

Des essais d'injection d'une surtension sur la grille du Mosfet sont réalisés afin d'en évaluer un seuil de défaillance. Pour cela, un driver de commande de grille, *L6491* du constructeur *ST Microelectronics*, est utilisé sur sa carte d'évaluation *EVAL6491HB*. Sur celle-ci, le driver de demi-pont, alimenté en $15 V_{cc}$ et commandé en tension 0 - 5 V, est associé à deux Mosfet de puissance M_1 et M_2 qui constituent un étage *Push-Pull* [122], alimenté par la source continue H_v réglable indépendamment de V_{cc} (cf. figure 3.39). Le générateur d'impulsion présenté en section 3.1.1 est quant à lui connecté entre le drain et la source du Mosfet sous test. Ainsi, ce générateur permet de polariser le transistor jusqu'à 300 V, tout en fournissant au travers de la cellule capacitive qui le compose un courant I_d .

Les essais de défaillance du Mosfet par la grille sont alors menés dans des conditions similaires au fonctionnement du transistor dans l'alimentation. Ainsi, une résistance de grille R_g et de source R_{shunt} sont associées au Mosfet sous test. La durée d'impulsion imposée pendant les essais sur la grille est paramétrable et est fixée pour chaque essai afin de rester dans les ordres de grandeur des temps de défaillances des composants dans une alimentation (entre 2 et 500 μs). L'ensemble des paramètres de l'expérimentation est résumé dans le tableau 3.8.

Les essais sont réalisés sur une trentaine d'échantillons jusqu'à atteindre la défaillance de chaque composant. Ainsi, au travers de la variation de la tension H_v , la tension de grille V_{gs}

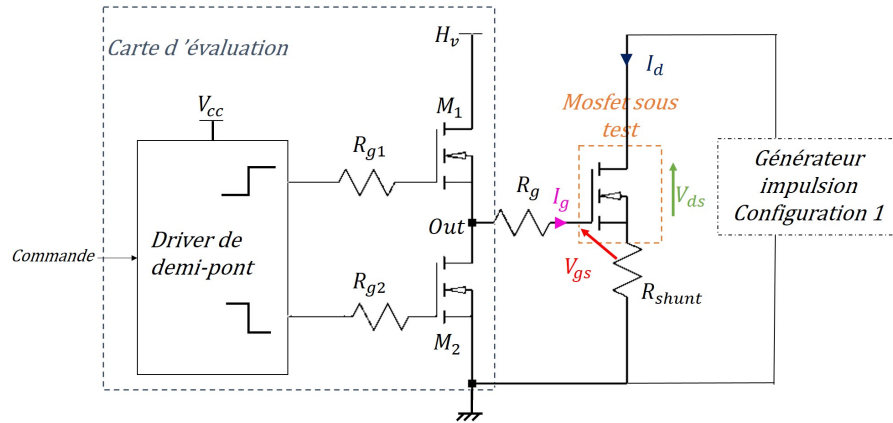


FIGURE 3.39 – Montage utilisé pour les essais de défaillance de la grille du Mosfet.

Symbole	Définition	Valeur
V_{cc}	Tension d'alimentation driver	15 V
H_v	Tension de charge	0 - jusqu'à la défaillance (max 550 V)
$Commande$	Tension de commande d'entrée driver	Impulsion 0-5 V
M_1, M_2	Mosfet	550 Vdss, $R_{ds_{on}} < 0,32 \Omega$, $I_d = 12 A$
R_{g1}, R_{g2}	Résistance de grille	10 Ω
R_g	Résistance de grille Mosfet testé	10 Ω
R_{shunt}	Résistance de shunt	0,25 Ω

TABLEAU 3.8 – Paramètres de l'expérimentation du Mosfet.

du Mosfet à tester est incrémentée graduellement.

La figure 3.40 illustre un exemple d'essai mené sur le Mosfet en injectant une surtension sur la grille d'une durée d'impulsion de 5 μs .

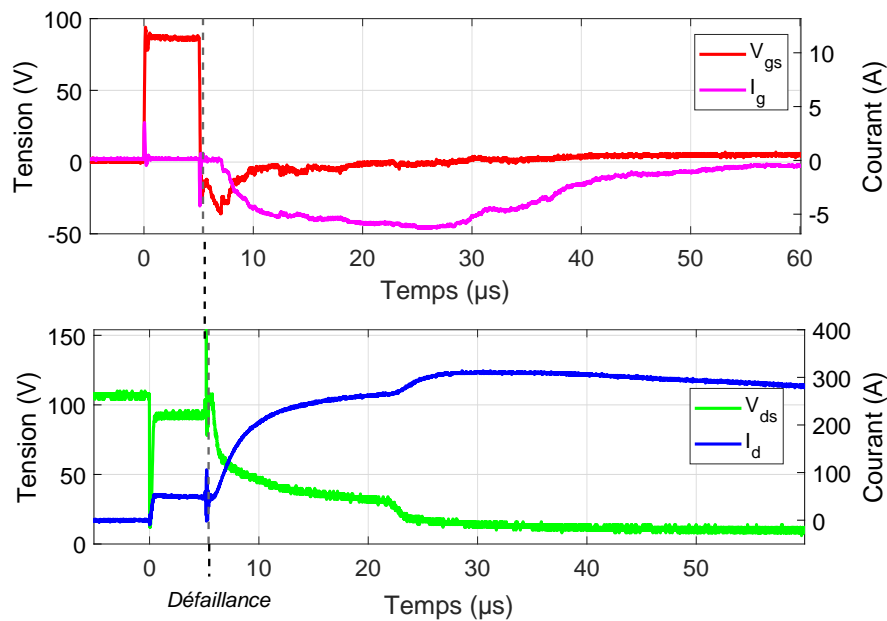


FIGURE 3.40 – Mesures tensions/courants au niveau du Mosfet lors de la défaillance de la grille.

Le Mosfet sous test est polarisé au travers du générateur d'impulsion en configuration 1 à une tension de 100 V. À $t = 0 s$, une impulsion de tension V_{gs} d'amplitude de 85 V est

injectée mettant «on» le Mosfet. Durant cette période, un courant de drain de 50 A traverse le composant. Lors de la mise «off» du Mosfet à $t = 5 \mu\text{s}$, la défaillance du composant apparaît. La tension V_{gs} devient alors négative tandis que la tension V_{ds} chute et le courant I_d augmente jusqu'à atteindre rapidement 300 A. Des court-circuits entre grille/source et drain/source se créent. Dans le même temps, le courant I_g devient négatif atteignant -6 A ; la jonction grille/drain est donc endommagée. Lorsque la tension V_{ds} tend vers la tension V_{gs} qui vaut zéro, le Mosfet est complètement défaillant : toutes ses broches sont court-circuitées entre elles. Ainsi, une tension $V_{gs} = 85 \text{ V}$, associée à un fort courant de drain, entraîne la défaillance du Mosfet en court-circuit.

La figure 3.41 montre, après décapsulation, une image et son zoom au microscope optique de la puce d'un Mosfet défaillant. Sur la métallisation du plan de source, plusieurs points apparaissent autour du contact de grille comme le montre le zoom de cette partie (image de droite de la figure 3.41). Du métal fondu formant des cratères et des fissures est visible en plusieurs endroits. Ces analyses, associées à la bibliographie [123], [60], laissent penser à une défaillance de la grille provoquée par la circulation d'un fort courant entraînant une dissipation de puissance importante.

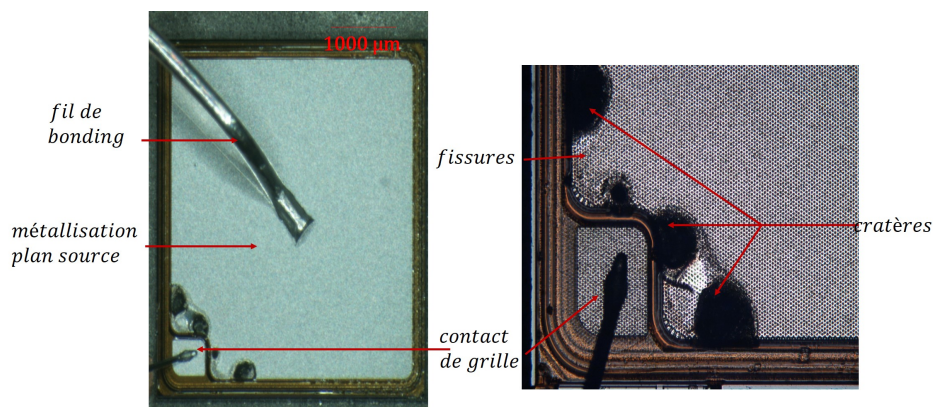


FIGURE 3.41 – Images optiques de la puce d'un Mosfet défaillant.

La défaillance de la grille dépend uniquement de l'amplitude de la tension imposée sur celle-ci, comme le mentionnent E. Nicollian *et al.* [124]. En effet, les essais réalisés sur plusieurs échantillons ont montré que sa défaillance est indépendante de la durée de l'impulsion, et des grandeurs tension/courant au niveau du drain. La figure 3.42 illustre les tensions/courants mesurés autour du Mosfet lorsque le courant de drain est limité à des milliampères grâce à une résistance de $20 \text{ k}\Omega$ insérée en série avec le générateur d'impulsion (figure 3.39). L'injection d'une durée de $5 \mu\text{s}$ est réalisée pour une tension V_{gs} fixée à 85 V. Sur la figure 3.42, la tension V_{gs} chute brutalement jusqu'à une trentaine de volts à $t = 3 \mu\text{s}$. Le courant I_g augmente jusqu'à 5 A à $5 \mu\text{s}$, temps de fin de l'injection. La défaillance de la grille apparaît alors comme indépendante du courant circulant dans le drain et confirme la tension seuil de 85 V.

En complément, la valeur seuil $V_{gs} = 85 \text{ V}$ obtenue expérimentalement est en accord avec les travaux de D. Zupac *et al.* qui rapportent qu'une destruction de grille apparaît dans le cas des transistors Mosfet pour des tensions comprises entre 80 et 120 V [125]. Cette tension

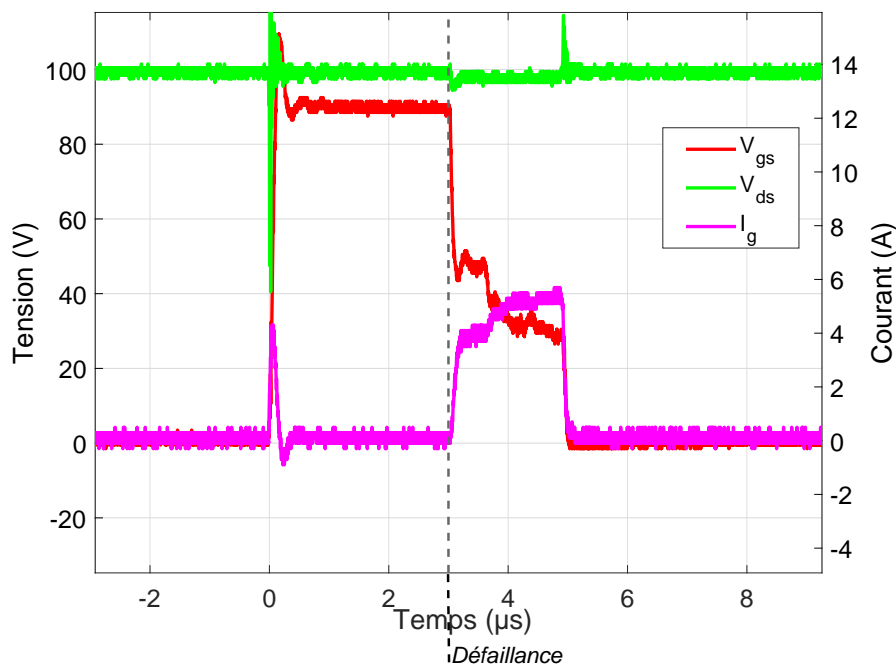


FIGURE 3.42 – Mesures des tensions/courant autour du Mosfet lors de la défaillance de la grille avec limitation du courant de drain.

engendrer la défaillance complète de la grille en court-circuit.

Cette surtension sur la grille peut éventuellement apparaître lors d'un dysfonctionnement de sa commande, mais également lors de la présence d'un transitoire rapide sur la tension drain-source comme spécifié dans le chapitre 1. Ces phénomènes sont explicités dans le chapitre 1. La remise «on» du Mosfet au travers d'une élévation de tension de la grille par l'intermédiaire de la capacité grille/drain ou bien du transistor parasite interne au Mosfet a souvent été explicitée dans la littérature [126], [127], [128].

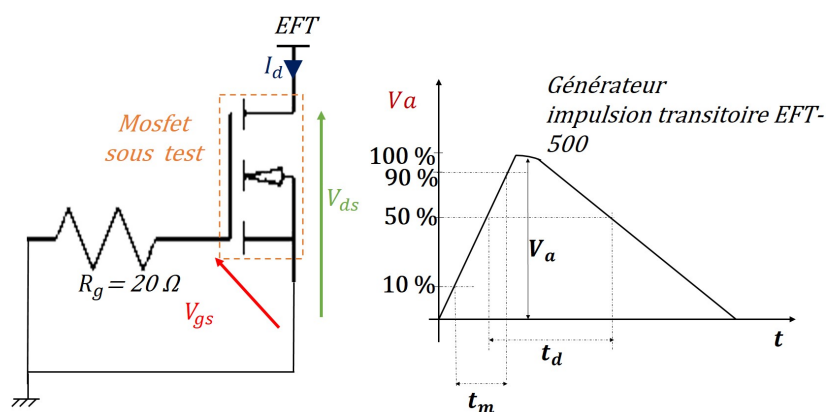


FIGURE 3.43 – Montage utilisé pour l'injection dans le Mosfet et caractéristique de l'impulsion transitoire produite par le générateur EFT-500.

Afin de reproduire cette remise «on», le Mosfet est soumis à une injection d'un transitoire rapide sur le drain à l'occasion d'essais complémentaires suivant le schéma de principe de la figure 3.43. Pour cela, un générateur d'impulsion transitoire dit *Electrical Fast Transient* (EFT), utilisé classiquement dans des essais d'immunité conduite sur les équipements, est connecté en injection directe entre le drain et la source. Ce générateur (EFT-500) est capable de délivrer une impulsion unique d'amplitude paramétrable V_a de 125 V à 2 kV, de largeur à mi-hauteur t_d de 50 ns et de temps de montée t_m de 5 ns sur 50Ω (figure 3.43). Pour ces essais, une amplitude V_a de 600 V est fixée. Les tensions V_{ds} et V_{gs} ainsi que le courant I_d sont relevés grâce aux sondes de tension IsoVu et à un capteur de courant TCP200. La figure 3.44 montre la présence d'un transitoire rapide de temps de montée t_m de 5 ns et d'amplitude 600 V sur le V_{ds} du Mosfet. La tension de grille mesurée dépasse la tension de seuil de mise en conduction du Mosfet, $V_{gs_{th}} = 3$ V, permettant la circulation d'un courant I_d atteignant 5 A.

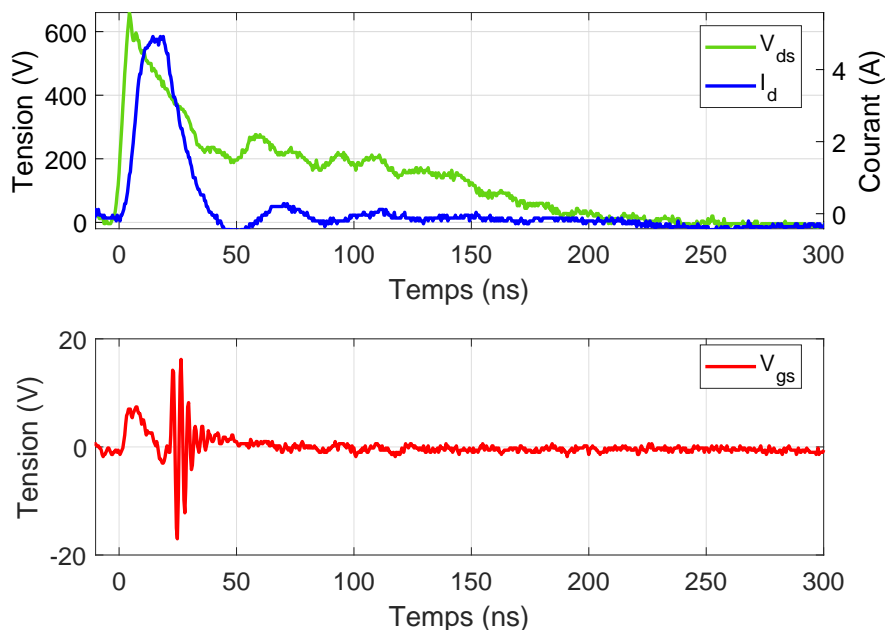


FIGURE 3.44 – Mesures tensions/courant du Mosfet lors de l'injection d'une impulsion transitoire entre le drain et la source.

Les niveaux du courant et des tensions relevés sont limités par l'impédance du générateur (50Ω). De plus, les paramètres t_m et t_d de l'impulsion injectée (cf. figure 3.43) sont propres au générateur et ne peuvent être modifiés. Néanmoins, ces essais d'injection d'une tension transitoire sur le drain du Mosfet mettent en évidence son impact sur la grille, puisque la remise «on» du transistor s'effectue bien.

Finalement, qu'elle soit causée par un transitoire rapide sur la tension de drain ou bien par une injection directe sur la grille, une tension de grille de 85 V entraîne la défaillance du composant en court-circuit.

3.4.2 Essais de défaillance en avalanche

La défaillance du transistor Mosfet peut être engendrée par la mise en avalanche du composant à cause d'une surtension entre son drain et sa source [129]. Ce phénomène d'avalanche généré par une tension élevée appliquée sur le drain est connu et est fréquemment étudié dans la bibliographie [59], [130], [131]. La fiche technique du Mosfet *SPA11N65C3* indique une tension de claquage nominale de 650 V avec une valeur typique de seuil d'avalanche $V_{br_{ds}} = 730$ V pour un courant $I_d = 4$ A.

Le moyen d'injection PIC, présenté dans le chapitre 2, est utilisé pour injecter un niveau de tension de drain supérieur à la limitation du constructeur. La tension V_{ds} est appliquée aux bornes du Mosfet à tester lorsque sa grille et sa source sont court-circuitées (figure 3.45).

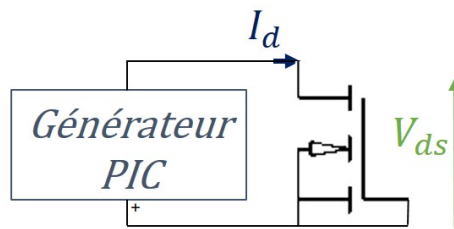


FIGURE 3.45 – Montage utilisé pour le test d'avalanche du Mosfet.

La mesure de la tension V_{ds} aux bornes du transistor est réalisée grâce à la sonde IsoVu. Le courant circulant dans le drain est mesuré par le capteur de courant CT2. La figure 3.46 représente les allures des tensions/courants du Mosfet testé avant et après sa défaillance en avalanche.

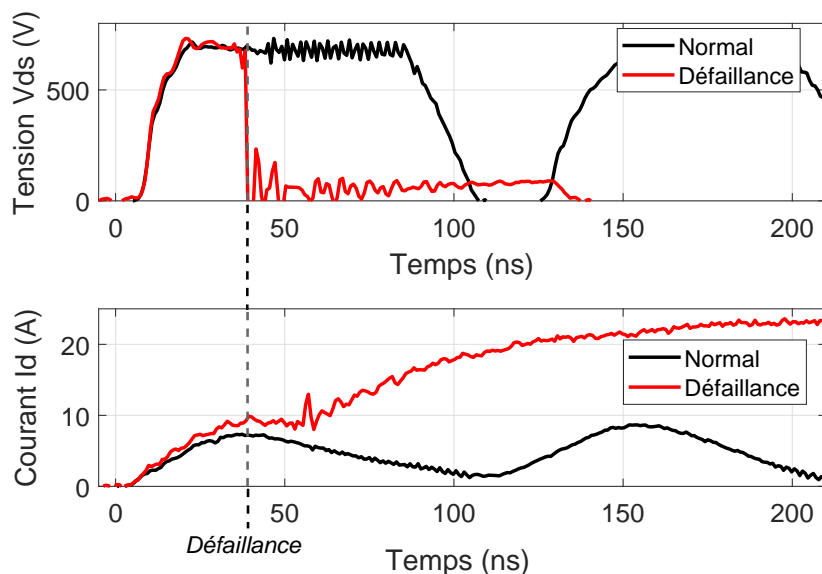


FIGURE 3.46 – Mesures tensions/courants du Mosfet lors des essais de mise en avalanche.

Le niveau de tension de consigne TC du moyen PIC est incrémenté afin d'appliquer une tension V_{ds} permettant la mise en avalanche du transistor. Ainsi, la tension V_{ds} atteint 730 V et un courant I_d de 7 A, niveaux pour lesquels aucune défaillance n'est constatée sur le

composant. En incrémentant TC , le courant circulant dans le drain augmente, atteignant 9 A pour une tension V_{ds} de 730 V. À cet instant, la tension V_{ds} chute brutalement à zéro tandis que le courant I_d augmente ; le transistor Mosfet est alors défailant en court-circuit. Au vu des données constructeurs, les niveaux de tensions/courants relevés expérimentalement sont cohérents par rapport à la durée d'impulsion injectée. En effet, la SOA (*Safe Operating Area*) en avalanche du transistor spécifie une tension $V_{br_{ds}} = 730$ V et un courant maximal en avalanche $I_d = 4$ A pour des impulsions de l'ordre de la nanoseconde. Cette valeur de courant définie par le constructeur est quant à elle une valeur maximale et non une valeur typique comme l'est le seuil $V_{br_{ds}}$ de 730 V. Ainsi, la valeur du courant de drain relevée lors des essais est cohérente.

Les essais de défaillance en avalanche du Mosfet ont permis de définir un seuil de tension d'avalanche $V_{br_{exp}}$ de 730 V associé à un courant de drain de 9 A. Ces seuils seront utiles dans la construction du modèle de défaillance du composant.

3.4.3 Modélisation de la défaillance du Mosfet

Le modèle de défaillance du Mosfet se construit autour du modèle constructeur. La figure 3.47 illustre le fonctionnement nominal du modèle constructeur du Mosfet au travers de l'interrupteur S_1 fermé. Lors du franchissement du seuil de tension de mise en avalanche $V_{br_{exp}}$ de 730 V associé à un courant de drain de 9 A, l'ouverture de l'interrupteur S_1 et la fermeture de S_2 viennent remplacer le modèle constructeur par le modèle défailant équivalent en simulation, dans notre cas une résistance de court-circuit. Un exemple de code VHDL-AMS de défaillance en avalanche du Mosfet est donné en annexe A.3.

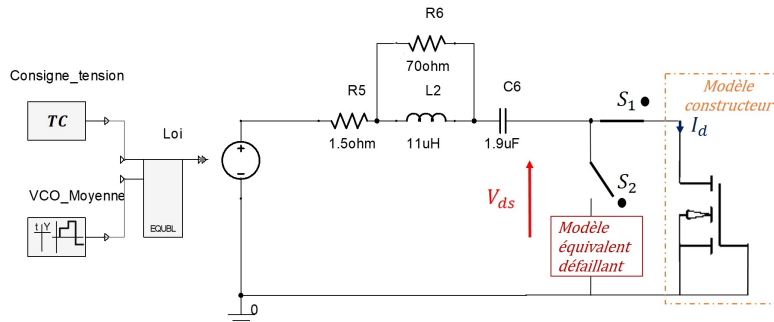


FIGURE 3.47 – Schéma électrique simulant les essais d'avalanche du Mosfet.

Le modèle du moyen d'injection PIC est utilisé en simulation afin de reproduire l'impulsion électrique injectée aux bornes du Mosfet. Les résultats de simulation sont comparés aux signaux mesurés. La figure 3.48 présente la comparaison du courant de drain I_d et de la tension drain/source V_{ds} mesurés et simulés pour une tension de consigne TC de 700 V permettant la défaillance.

En simulation, l'impulsion s'élève à une tension V_{ds} de 730 V avec un courant I_d augmentant jusqu'à atteindre 9 A à 100 ns. À cet instant, la tension V_{ds} chute, le Mosfet passe à l'état défailant. Le modèle constructeur est remplacé par le modèle équivalent du Mosfet : un court-circuit de quelques milliohms. L'écart observé entre les niveaux du courant

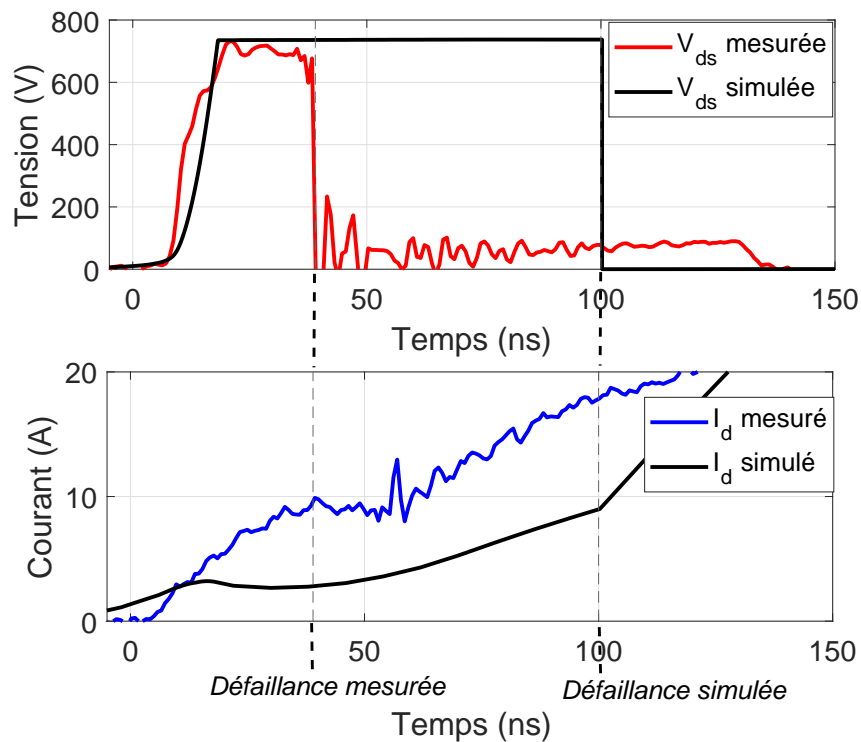


FIGURE 3.48 – Comparaison mesure/simulation des tensions/courants du Mosfet pour des essais d’avalanche.

mesuré et simulé est certainement lié à l’impédance du modèle constructeur utilisé en simulation. En effet, l’impédance intrinsèque du modèle constructeur n’est pas complètement considérée, notamment en avalanche. Il s’agit d’une des limites à l’utilisation des modèles constructeurs dans la simulation numérique. Ainsi, le courant I_d simulé est à des niveaux plus faibles que ceux relevés lors des essais. Dans ce sens, un écart de 40 ns apparaît entre le temps de défaillance du transistor Mosfet mesuré lors des essais et celui obtenu en simulation.

Néanmoins, la durée nécessaire à la défaillance du Mosfet dans une alimentation étant de l’ordre de quelques microsecondes, l’écart de quelques dizaines de nanosecondes entre la défaillance mesurée et simulée est considéré comme acceptable pour la modélisation des destructions des alimentations.

Conclusion

Ce chapitre cherche à extraire pour chacun des composants issus du scénario de destruction de l'alimentation des seuils/lois de défaillance afin de construire un modèle comportemental considérant les principaux modes de défaillance connus. Ainsi, la diode de redressement, le pont de diodes et le transistor Mosfet sont soumis à des impulsions électriques en tension/courant par la biais de différents moyens d'injection. Dans le cadre de ces travaux, un générateur d'impulsion configurable, basé sur le principe de cellules capacitatives interchangeables, a été développé et présenté dans une première partie du chapitre. En seconde partie de ce chapitre, l'étude des défaillances a été menée sur chacun des composants selon une même méthodologie. Dans un premier temps, le composant est caractérisé à l'aide du traceur B1505A afin d'en extraire les principales caractéristiques qui ont été comparées à celles issues des fiches techniques des constructeurs. À la suite, des essais en tension/courant ont été menés dans l'objectif de comprendre les mécanismes liés à un mode de défaillance du composant et d'en extraire un seuil/la loi de défaillance associé(e). Pour cela, des analyses des signaux mesurés, complétées par des analyses physiques du composant défaillant ont été effectuées. Les seuils/lois de défaillance pour chacun des composants ont alors été utilisé(e)s dans la construction numérique d'un modèle de défaillance. Chacun des modèles développés a été explicité et présenté. Enfin, l'étape de validation des modèles est passée par la reproduction des essais en simulation afin de les comparer aux signaux mesurés.

Les essais sur la diode de redressement et le pont de diodes ont permis d'en extraire une loi de défaillance en courant suivant le modèle de Wunsch et Bell. L'injection d'impulsion électrique de forts niveaux de tension ont montré le niveau de seuil en tension associé à un courant nécessaire à la défaillance des diodes en avalanche. Concernant le transistor Mosfet, deux modes de défaillance possibles sont exploités en expérimentation : l'injection d'une surtension sur sa grille et la mise en avalanche du transistor. Les essais ont permis d'extraire un seuil de tension pour ces deux modes de défaillance et d'en construire un modèle. Celui-ci pourra être enrichi par la suite en prenant en compte la défaillance du transistor suite à une élévation du courant de drain, comme explicité dans le chapitre 1.

Dans le cadre de ces travaux de recherche, la défaillance du contrôleur du découpage n'a pas été abordée et des analyses complémentaires devront être menées afin de l'insérer dans la simulation numérique des destructions d'alimentations. Néanmoins, l'association des modèles comportementaux des composants défaillants développés dans le chapitre permettra la construction de l'enchaînement des destructions dans une alimentation lors de l'injection de la contrainte conduite issue du rayonnement d'une IEMN-HA.

Chapitre 4

Modélisation de l'enchaînement des défaillances au sein des alimentations

« La plupart des gens disent que c'est l'intellect qui fait un grand scientifique. Ils ont tort : c'est le caractère. »

Albert Einstein

Sommaire

Introduction	104
4.1 Scénario principal de destruction d'alimentations	104
4.1.1 Enchaînement des défaillances des composants	104
4.1.2 Confirmation du déclenchement du scénario	109
4.1.3 Filtre d'entrée et scénarii de destruction	111
4.2 Prédiction numérique des niveaux de destruction des alimentations	116
4.2.1 Validation numérique de l'enchaînement des défaillances dans l'alimentation	116
4.2.2 Validation numérique par une source de perturbation	118
4.2.3 Simulation du scénario de destruction de l'alimentation	119
4.3 Axes d'amélioration du chemin de couplage	123
Conclusion	124

Introduction

Les travaux de recherche sur les alimentations lors de l'injection d'une contrainte conduite issue du couplage de l'IEMN-HA sur un réseau de distribution électrique ont conduit à la compréhension et à l'analyse des défaillances des composants. Présenté dans le chapitre 1, un premier scénario de destruction d'une alimentation a été établi au travers d'hypothèses de défaillance des composants [44]. Dans ce chapitre 4, des mesures expérimentales complémentaires sont réalisées lors de la destruction d'alimentations afin d'appréhender l'enchaînement en cascade des défaillances des composants. De plus, le rôle clef du Mosfet dans l'enchaînement des défaillances de l'alimentation est étudié au travers de mesures en tension/courant. Des expérimentations sur différentes topologies de filtre d'entrée d'alimentation sont également menées afin de confirmer l'existence du scénario principal quel que soit le type de filtre d'entrée.

Dans l'objectif d'utiliser, à terme, la simulation numérique à des fins de prédiction des niveaux de destruction des alimentations, ce chapitre 4 est une preuve de faisabilité de simulation du comportement des alimentations lors de l'agression conduite issue de l'IEMN-HA. La capacité d'un outil numérique à reproduire l'enchaînement des défaillances des composants électroniques est l'une des premières étapes vers la prédiction des niveaux de destruction des alimentations.

Dans ce cadre, une démarche de validation progressive de la simulation numérique est menée dans le chapitre 4. L'ensemble des modèles de défaillance des composants développés et validés dans le chapitre 3 est inséré dans le schéma électrique de l'alimentation simulée. Le modèle du moyen d'injection PIC, présenté en chapitre 2, permet l'injection de la perturbation dans l'alimentation et d'observer l'enchaînement des défaillances des composants suivant le scénario principal de destruction.

La dernière partie du chapitre tire les conclusions et les limites de la faisabilité de simuler la destruction des alimentations lors d'une agression conduite. Des axes d'amélioration sont également proposés en clôture de ce chapitre.

4.1 Scénario principal de destruction d'alimentations

4.1.1 Enchaînement des défaillances des composants

Les expérimentations d'injection de la perturbation par le moyen PIC en entrée des alimentations ont permis la compréhension des défaillances engendrées. Pour cela, des mesures de tension et de courant ont été relevées en différents nœuds (en figure 4.1) lors de la destruction de l'alimentation. Les tensions sont mesurées au travers de la sonde de type IsoVu et les courants, en fonction du calibre souhaité sont relevés au travers soit des capteurs de type CT2 (pour les faibles valeurs de courants) ou bien de type 110A. Le chronogramme, en figure 4.2 associée à son zoom en figure 4.3, présente les signaux mesurés permettant de comprendre l'enchaînement de la destruction d'une alimentation.

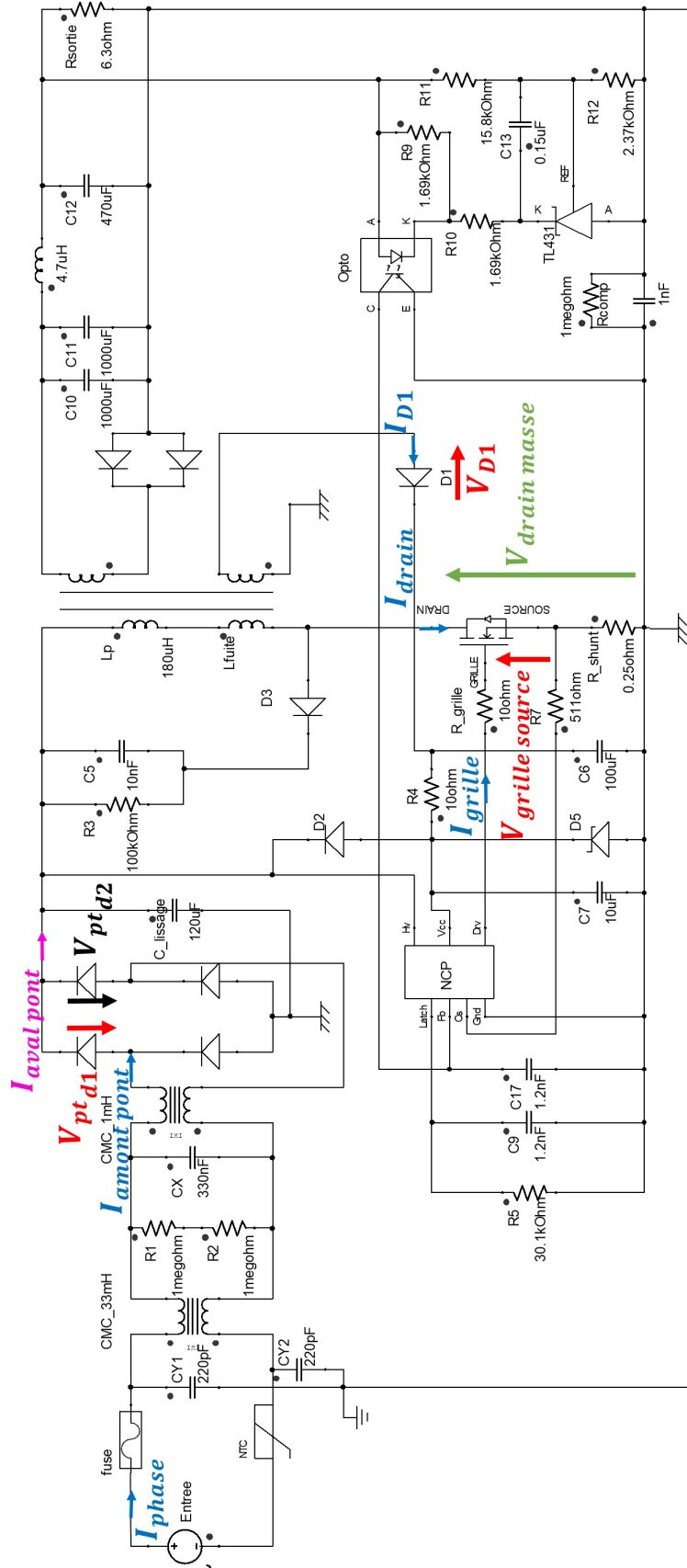


FIGURE 4.1 – Relevé de courants et tensions en différents nœuds de l'alimentation.

La figure 4.2 représente le courant de phase I_{phase} en entrée de l'alimentation au moment de l'injection, la mesure des tensions $V_{grille\ source}$ et $V_{drain\ masse}$ aux bornes du transistor Mosfet et des courants traversant la grille I_{grille} et le drain I_{drain} .

Dès les premières microsecondes après l'injection, le Mosfet et sa résistance de grille, ainsi que la diode de redressement, sont défaillants. Les conséquences se propagent alors sur le pont de diodes avant que la résistance de shunt ne soit défaillante à son tour. L'alimentation est totalement détruite en quelques millisecondes après l'injection.

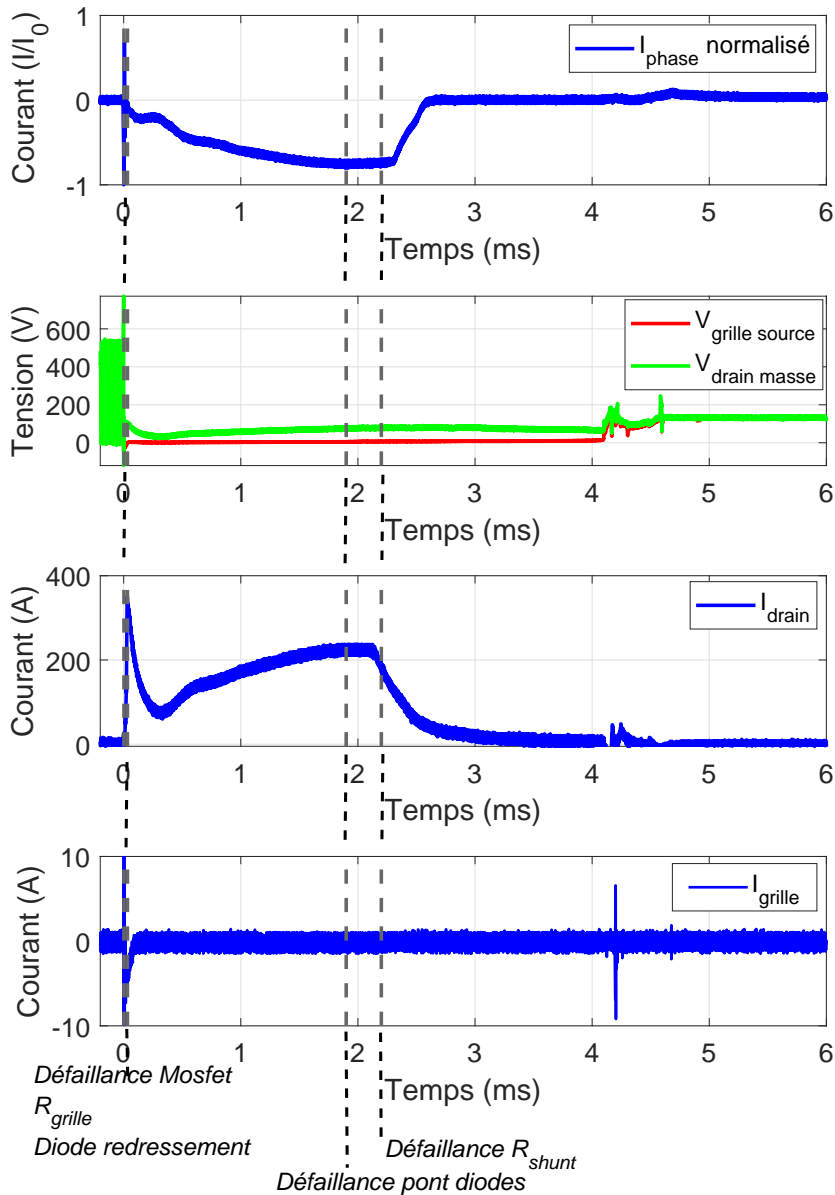


FIGURE 4.2 – Chronogrammes des signaux mesurés lors de l'enchaînement des défaillances dans l'alimentation à découpage.

La figure 4.3 est un zoom présentant les signaux mesurés autour du composant Mosfet durant les premières microsecondes.

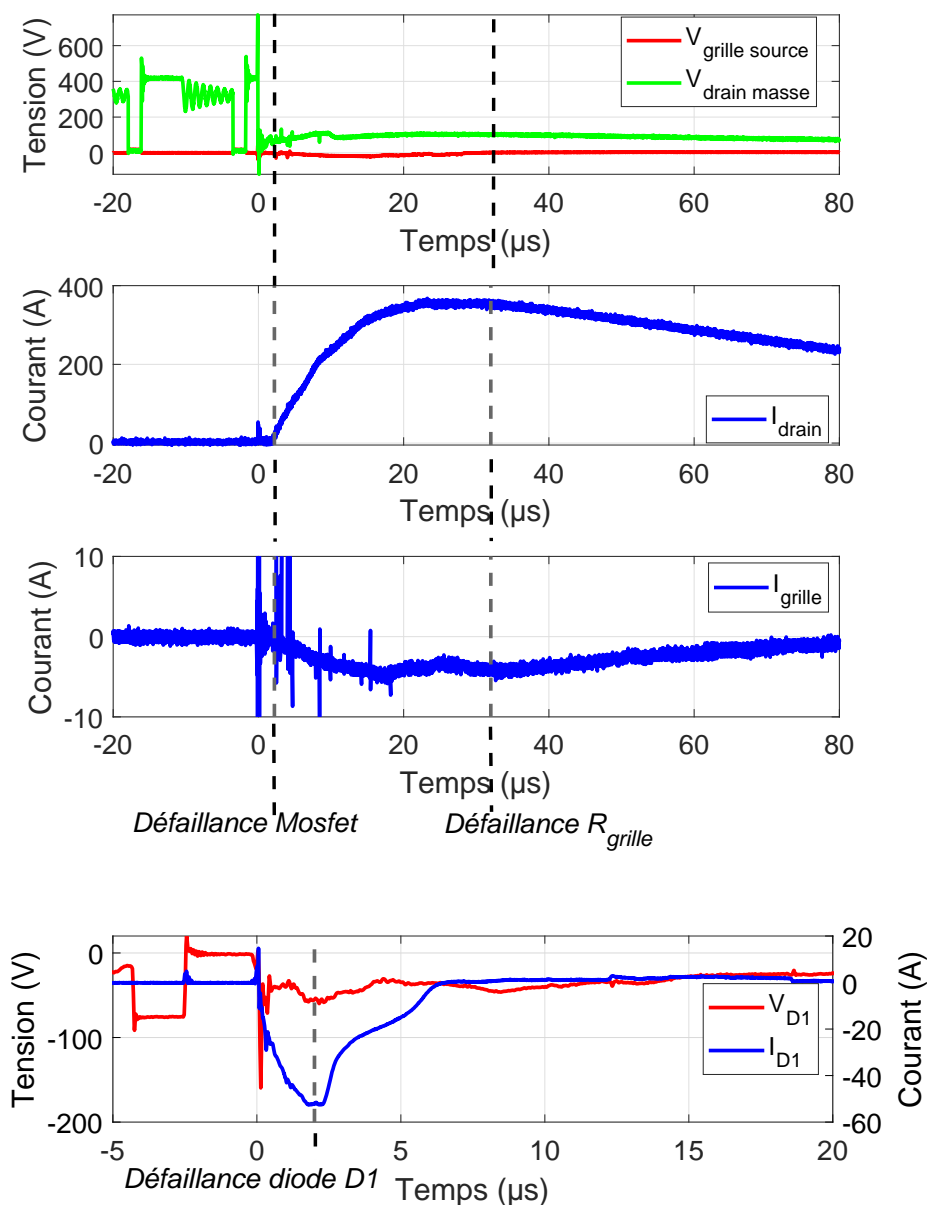


FIGURE 4.3 – Chronogrammes des signaux mesurés lors de l'enchaînement des défaillances dans l'alimentation à découpage durant les premières microsecondes.

La perturbation est injectée à $t = 0$ s en entrée de l'alimentation pour un niveau de (TC) de 10 kV fixé sur le moyen PIC :

- Au moment de l'injection à $t = 0$ s, la perturbation se propage à travers le filtre d'entrée et atteint le Moseft, la tension $V_{drain\ masse}$ atteint 730 V, et dépasse alors la tension d'avalanche admissible par le composant (650 V d'après la documentation constructeur). Le transistor de puissance devient alors défaillant à partir de 2 μ s ; un I_{drain} de plus de 300 A traverse alors le composant.
- Par effet des court-circuits induits par le Mosfet défaillant, la résistance de grille de 10 Ω est traversée par un courant de 8 A s'écoulant vers le contrôleur, 30 μ s après l'injection de la perturbation. La documentation constructeur précise la puissance maximale admissible par cette résistance en fonction de la durée de la perturbation sur la figure 4.4.

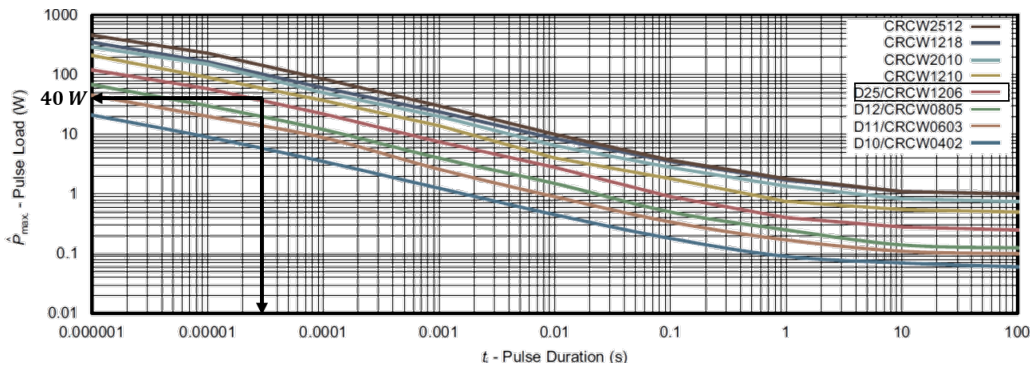


FIGURE 4.4 – Puissance crête admissible en fonction de la durée d'impulsion pour la résistance de grille de type 1206, issue de la documentation technique CRCW120610R0FKEA.

La résistance de grille utilisée, de boîtier CMS 1206, possède une limite en puissance crête dissipée de 40 W pour une durée de 30 μ s. Cette limite est très largement dépassée dans l'alimentation, avec une puissance crête dissipée par la résistance de $R \times I^2 = 640$ W sur cette même durée. Ainsi, à son tour, la résistance de grille est défaillante et se trouve complètement en circuit ouvert lors de l'annulation du courant de grille à 80 μ s. Un exemple de code VHDL-AMS de la défaillance d'une résistance est donné en annexe A.4.

- Dans les premières microsecondes, la défaillance de la diode de redressement D1 est également constatée comme le montre la figure 4.3. En effet, la tension aux bornes de la diode chute à -150 V tandis que le courant circulant dans celle-ci dépasse les 20 A (nœuds des mesures relevées sur la figure 4.1). La diode de redressement est défaillante en avalanche à partir de 3 μ s avant d'être totalement en circuit-ouvert une vingtaine de microsecondes plus tard. L'hypothèse d'un dysfonctionnement temporaire du contrôleur PWM lors de l'injection [44], conduit à l'augmentation de sa tension d'alimentation V_{cc} et donc à la mise en avalanche de la diode de redressement. Durant ces premières 30 μ s, le contrôleur du découpage PWM subit un courant de 8 A en entrée de sa broche Drv . Selon la documentation technique, la broche Drv a une tenue en courant de 800 mA.

Aussi, le contrôleur est supposé défaillant. Néanmoins, des mesures complémentaires seraient nécessaires et devraient être analysées pour comprendre en détails la défaillance du contrôleur. Dans le cadre de ces travaux, sa défaillance n'est pas considérée dans le scénario.

- Par la suite, l'enchaînement des différents court-circuits au niveau du Mosfet entraîne une élévation du courant I_{drain} comme le montre la figure 4.2 et, par conséquent, du courant en amont du pont de diodes en entrée de l'alimentation. Ainsi, l'élévation en courant entraîne la défaillance du pont de diodes autour de 1,7 ms après l'injection de la perturbation. La défaillance de ce composant n'apparaît pas clairement sur les mesures de tensions/courants. En effet, la mise en court-circuit des deux diodes passantes d'une même diagonale modifie l'impédance du pont. Ces valeurs de court-circuit étant de l'ordre de quelques milliohms, cette variation d'impédance faible n'est donc pas visible sur les mesures relevées.
- La défaillance de la résistance de shunt intervient, quant à elle, à 2,2 ms (figure 4.2). Selon la documentation technique, la tenue en puissance continue est de 2 W pour la référence utilisée. Malgré l'absence de données sur la tenue en puissance instantanée de ce composant, une puissance à dissiper atteignant plus de 15 kW semble bien trop élevée. Ainsi, la défaillance de la résistance de shunt conduit à un circuit-ouvert à 4,2 ms lorsque la tension $V_{grille\ source}$ est égale à la tension $V_{drain\ masse}$.
- La défaillance du fusible termine ce scénario principal de destructions de l'alimentation lors du passage à l'alternance suivante de la tension sinusoïdale du secteur. En effet, à partir de 4 ms, en figure 4.2, le Mosfet et ses résistances associées, la diode de redressement, le contrôleur PWM et le pont de diodes sont défaillants. Par conséquent, lors de l'alternance suivante de la sinusoïde du secteur, les deux diodes restantes du pont conduisent et court-circuitent l'entrée de l'alimentation.

Le scénario principal décrit au travers des signaux des figures 4.2 et 4.3 présente l'enchaînement des défaillances des composants présents dans l'alimentation menant à sa destruction. Ainsi, il apparaît clairement que le Mosfet est le composant qui déclenche ce scénario. Ce rôle clef joué par le transistor de puissance dans la destruction des alimentations est exploré dans ce qui suit.

4.1.2 Confirmation du déclenchement du scénario

Le transistor de puissance présent dans l'alimentation est l'élément de départ de l'enchaînement des défaillances des composants conduisant à la destruction de l'alimentation. Pour confirmer son rôle précurseur, ce composant de découpage est remplacé par un Mosfet de la même gamme mais possédant une tenue en tension supérieure à la référence *SPA11N65C3* utilisé jusqu'à présent. Selon la documentation technique, la référence *SPA11N80C3* présente une tension d'avalanche de 870 V. La caractérisation réalisée au traceur B1505A confirme le seuil de mise en avalanche de 895 V comme l'indique la figure 4.5.

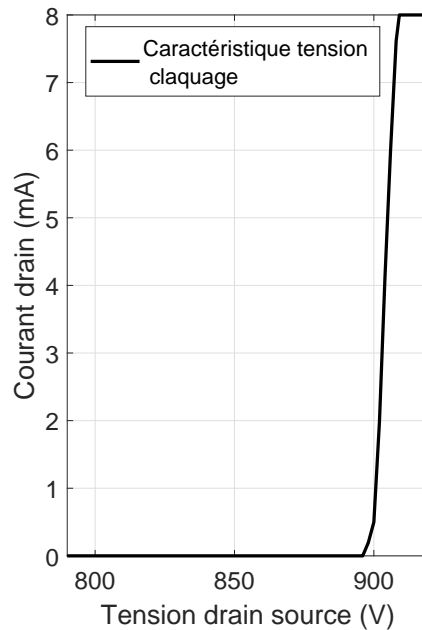


FIGURE 4.5 – Caractéristique I(V) en inverse du Mosfet *SPA11N80C3* obtenue au B1505A.

Afin de compléter la caractérisation du Mosfet *SPA11N80C3*, la recherche de son seuil de défaillance est réalisée au travers de l'injection avec le moyen PIC dans les mêmes conditions que celles précisées dans le chapitre 3 pour la référence initiale de Mosfet. Les mesures relevées lors des essais de défaillance sont présentées en annexe A.5. Celles-ci indiquent que le Mosfet *SPA11N80C3* est défaillant pour une tension de drain de 895 V associée à un courant de drain supérieur à 14 A.

Pour la suite des essais de destruction de l'alimentation, le Mosfet est remplacé par un de la référence *SPA11N80C3*. Une injection en entrée de l'alimentation est alors réalisée au travers du moyen PIC pour un même niveau de *TC* de 10 kV réglée. Dans ce cas, aucune destruction de l'alimentation n'est observée. La figure 4.6 vient confirmer ce constat au travers des mesures de tension drain/source et de courant de drain.

En effet, les premiers instants après l'injection à $t = 0 \mu\text{s}$, la tension $V_{\text{drain source}}$ atteint 800 V et ne dépasse pas la tension seuil de défaillance de 895 V définie précédemment. Il est observé que le découpage est perturbé et redevient progressivement normal sans que le transistor ne soit défaillant. Par conséquent, aucun enchaînement de défaillance d'autres composants de l'alimentation ne se produit ; celle-ci n'est pas détruite. En augmentant le niveau de *TC* du moyen PIC, l'amplitude de la perturbation injectée dans l'alimentation est plus élevée. Par conséquent, la tension $V_{\text{drain source}}$ du Mosfet dépasse son seuil de défaillance et entraîne la destruction de l'alimentation selon le scénario principal explicité.

Cette analyse permet d'affirmer que la défaillance du Mosfet est due au phénomène d'avalanche et qu'elle a un rôle central dans l'enchaînement des défaillances.

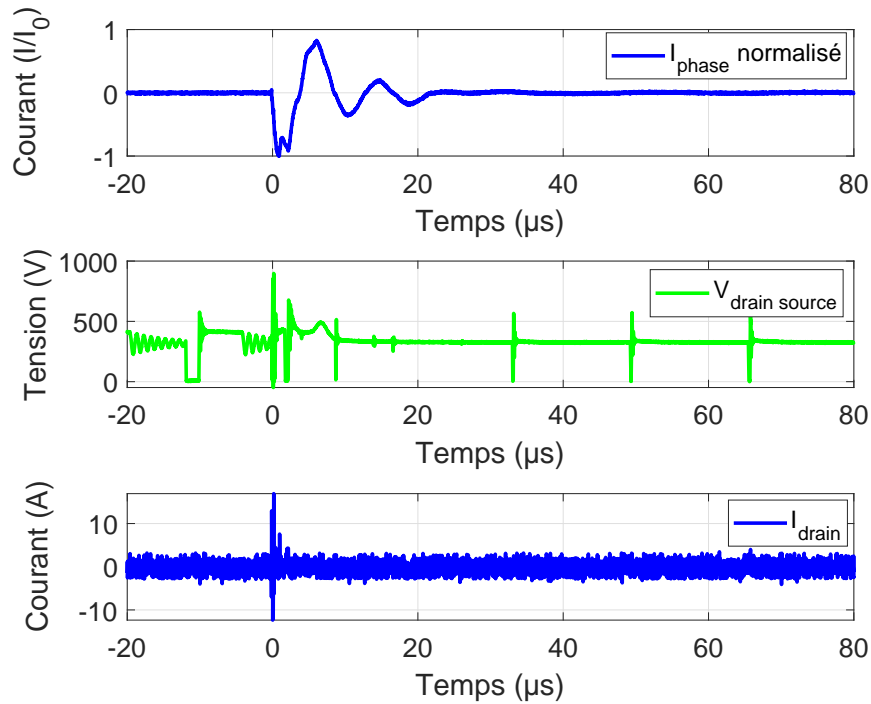
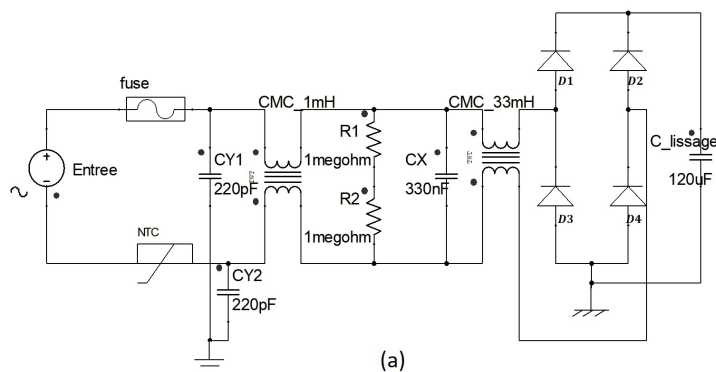


FIGURE 4.6 – Signaux mesurés durant les premières microsecondes autour du Mosfet *SPA11N80C3*.

4.1.3 Filtre d'entrée et scenarii de destruction

Le filtre présent en entrée des alimentations permet de respecter les normes de compatibilité électromagnétique des équipements notamment en termes d'émissions conduites. Pour des puissances inférieures à 75 W, les filtres d'entrée sont de différentes topologies dont les principales sont représentées sur la figure 4.7.



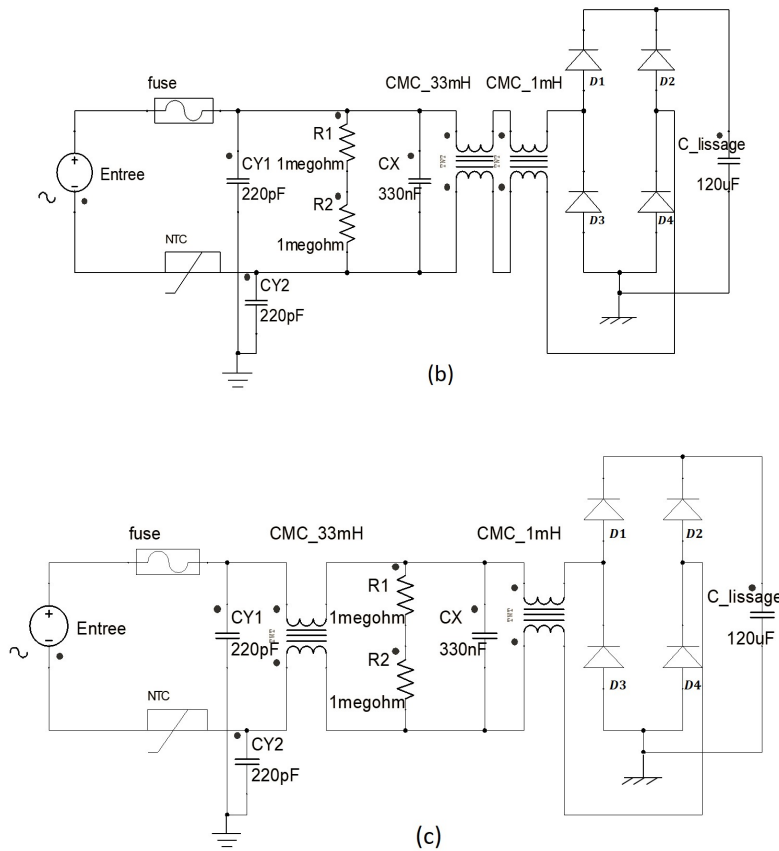


FIGURE 4.7 – Différentes topologies de filtre d’entrée d’alimentation de la gamme 0-100 W (a) Topologie A , (b) Topologie B, (c) Topologie C.

Les composants des trois filtres d’entrée sont identiques mais leur disposition diffère. Ainsi, dans la topologie A (figure 4.7 (a)), l’inductance de mode commun de valeur la plus faible se trouve en tête du filtre à la suite des deux condensateurs de mode commun CY . Dans le cas de la topologie B (figure 4.7 (b)), le condensateur de mode différentiel CX se trouve directement à la suite des deux condensateurs de mode commun CY . Enfin, dans la topologie C représentée en figure 4.7 (c), l’inductance de mode commun de forte impédance prend place à la suite des condensateurs de mode commun CY . Pour des puissances inférieures à 75 W, les proportions de topologies présentes sur le marché sont représentées sur l’histogramme en figure 4.8

Des essais de destruction d’alimentations ont été réalisés sur les trois topologies de filtre d’entrée grâce au moyen PIC pour différentes TC . Les essais sur les filtres d’entrée de topologie A ou de topologie B ont fait apparaître, en complément du scénario principal, un scénario dit secondaire. En analysant les signaux lors de la destruction de l’alimentation (avec un filtre d’entrée topologie A ou B) la perturbation propagée sur le drain n’atteint pas des amplitudes analogues à celles mesurées dans le scénario principal (cf. figure 4.9). Ainsi, la tension $V_{drain\ source}$ reste inférieure à sa tension de défaillance en avalanche de 730 V. Néanmoins, l’alimentation est bien détruite lors de cette injection. L’analyse des

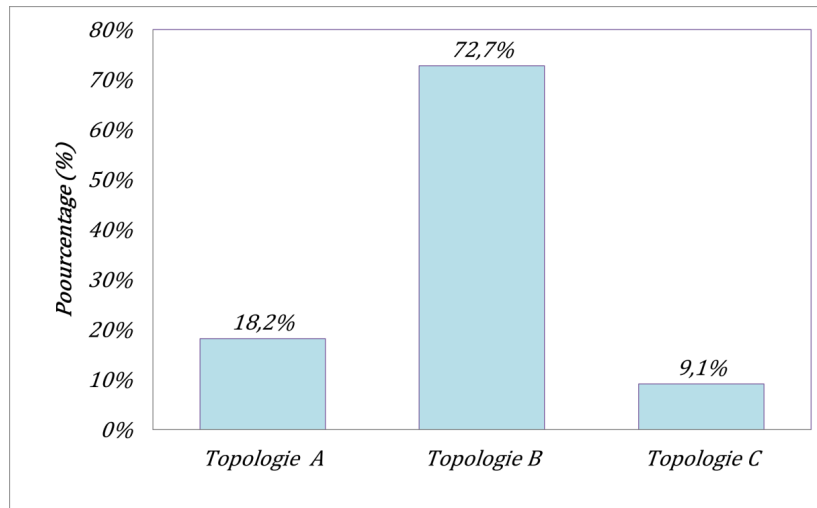


FIGURE 4.8 – Histogramme du pourcentage des topologies de filtres présentes au sein des alimentations grand public (< 75 W).

composants de l'alimentation après destruction permet d'identifier le pont de diodes, en court-circuit, comme seul composant défaillant, avec le fusible d'entrée.

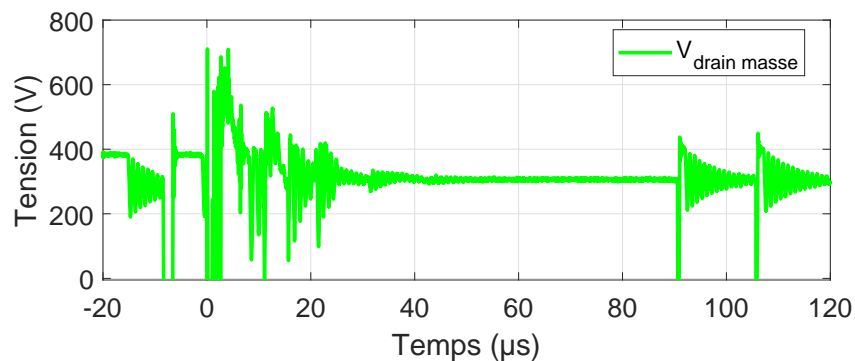


FIGURE 4.9 – Tension drain/masse relevée lors de la destruction de l'alimentation selon le scénario secondaire.

En analysant les mesures relevées (figure 4.1) autour du pont de diodes, la tension aux bornes de la diode D2 du pont $V_{pt\ D2}$ devient nulle à 8 µs après l'injection de la perturbation, comme l'indique la figure 4.10. La comparaison du courant mesuré en amont du pont $I_{amont\ pont}$ et de celui en aval du pont de diodes $I_{aval\ pont}$ montre une défaillance de la diode D2 dans la conduction des diodes de la diagonale. En observant la tension $V_{pt\ D1}$, la diode D1 se met à conduire dans le même temps que la diode D2. Celle-ci apparaît alors comme défaillante. Une hypothèse est avancée : la rapidité des signaux injectés met en conduction la diode D1 du pont alors que celle-ci doit être normalement bloquée.

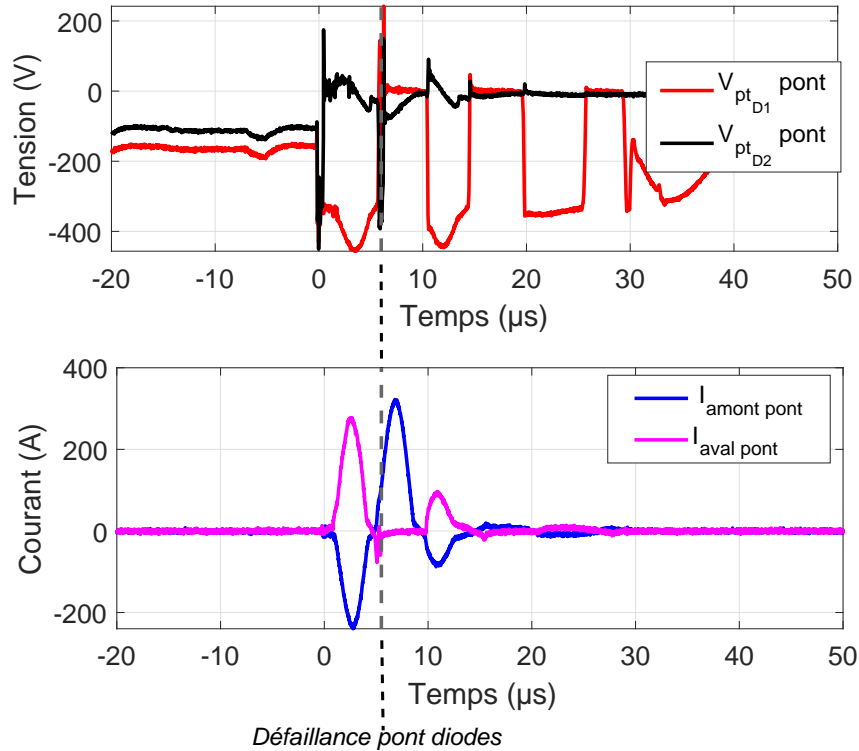


FIGURE 4.10 – Mesures autour du pont de diodes lors de la destruction de l'alimentation selon le scénario secondaire.

Par la suite, la tension sinusoïdale du secteur change d'alternance à 7 ms comme indiqué sur la figure 4.11 et la mise en conduction de la diagonale opposée entraîne la défaillance d'une seconde diode du pont. Par conséquent, une élévation du courant en entrée engendre la mise en circuit ouvert du fusible comme le montre la figure 4.11. L'alimentation est détruite en quelques millisecondes après l'injection de la perturbation à son entrée.

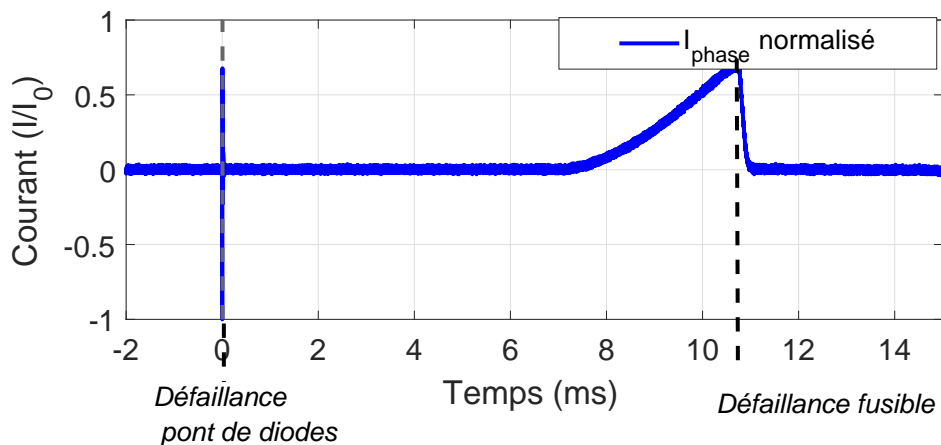


FIGURE 4.11 – Courant de phase en entrée de l'alimentation lors de la destruction de l'alimentation selon le scénario secondaire.

La figure 4.12 présente une schématisation temporelle simplifiée de l'enchaînement des défaillances suivant le scénario secondaire ainsi que le scénario principal à titre de comparaison.

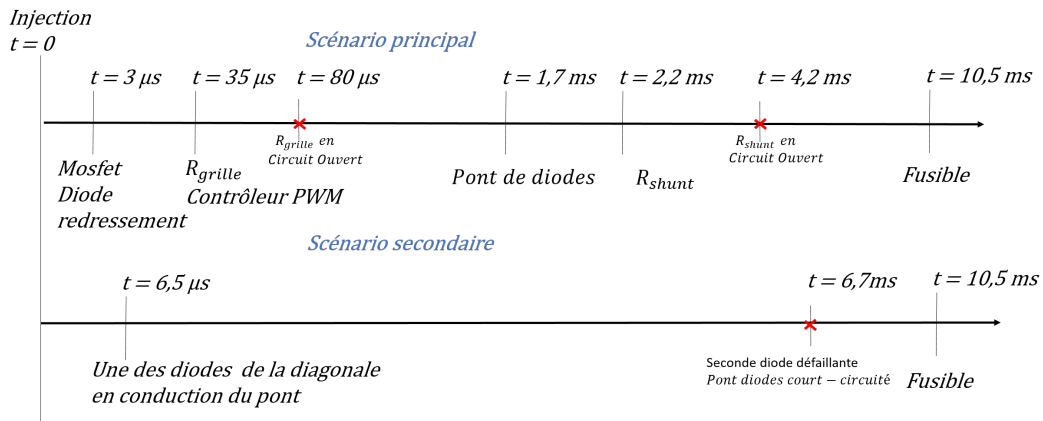


FIGURE 4.12 – Chronologie des défaillances des composants pour le scénario principal et le scénario secondaire de destruction des alimentations.

Quelle que soit la topologie du filtre en entrée de l'alimentation, les deux scénarii majoritaires de destruction apparaissent mais avec des proportions différentes. La figure 4.13 donne les proportions d'alimentations détruites selon l'un des deux scénarii en fonction de la topologie du filtre d'entrée. Ces proportions sont obtenues au seuil de destruction de l'alimentation. En augmentant la tension de consigne (TC) lors des essais, le scénario principal devient prédominant dans les destructions en dépit de la topologie du filtre d'entrée.

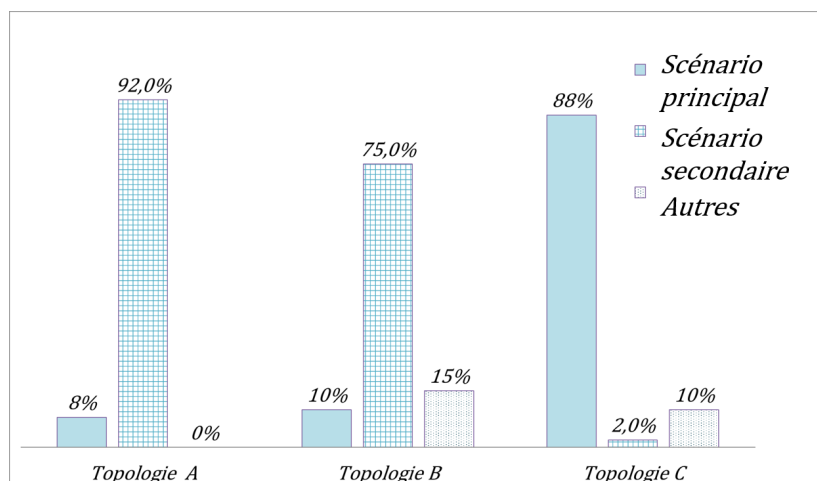


FIGURE 4.13 – Proportions des scénarii de destruction rencontrés en fonction de la topologie du filtre d'entrée

Afin de progresser vers la prédiction, le scénario principal, le plus complet en termes de composants défaillants, est étudié. Ainsi, l'objectif est de reproduire le scénario principal en simulation numérique.

4.2 Prédiction numérique des niveaux de destruction des alimentations

Lors de la simulation d'une alimentation, une perturbation conduisant à l'enchaînement des défaillances des composants est injectée numériquement suivant le scénario principal. Tous les modèles de défaillance des composants, développés dans le chapitre 3, sont associés au sein du schéma électrique de l'alimentation. La validation de l'enchaînement en simulation est réalisée par étapes graduelles. À noter que la diode de redressement D1 détruite dans le même temps que le Mosfet (dans les premières microsecondes après l'injection) est la conséquence d'un dysfonctionnement temporaire du contrôleur dû à la perturbation. La défaillance de la diode D1 tout comme celle du contrôleur n'a pas d'impact sur la défaillance des autres composants de l'alimentation. Par conséquent dans un premier temps, leurs défaillances dans le scénario principal ne sont pas prises en compte dans la simulation de la destruction de l'alimentation.

4.2.1 Validation numérique de l'enchaînement des défaillances dans l'alimentation

La première étape de validation consiste à vérifier et à valider en simulation l'enchaînement des composants défaillants. Pour cela, les modèles des composants développés sont insérés au sein de l'alimentation, connectée au secteur 230 V/50 Hz. Le composant Mosfet est tout d'abord mis en mode défaillant manuellement à un temps fixé à $t = 3 \mu\text{s}$ et non lors du franchissement de son seuil d'avalanche. Les signaux sur la figure 4.14 et son zoom associé en figure 4.15 montrent la succession des défaillances obtenue en simulation.

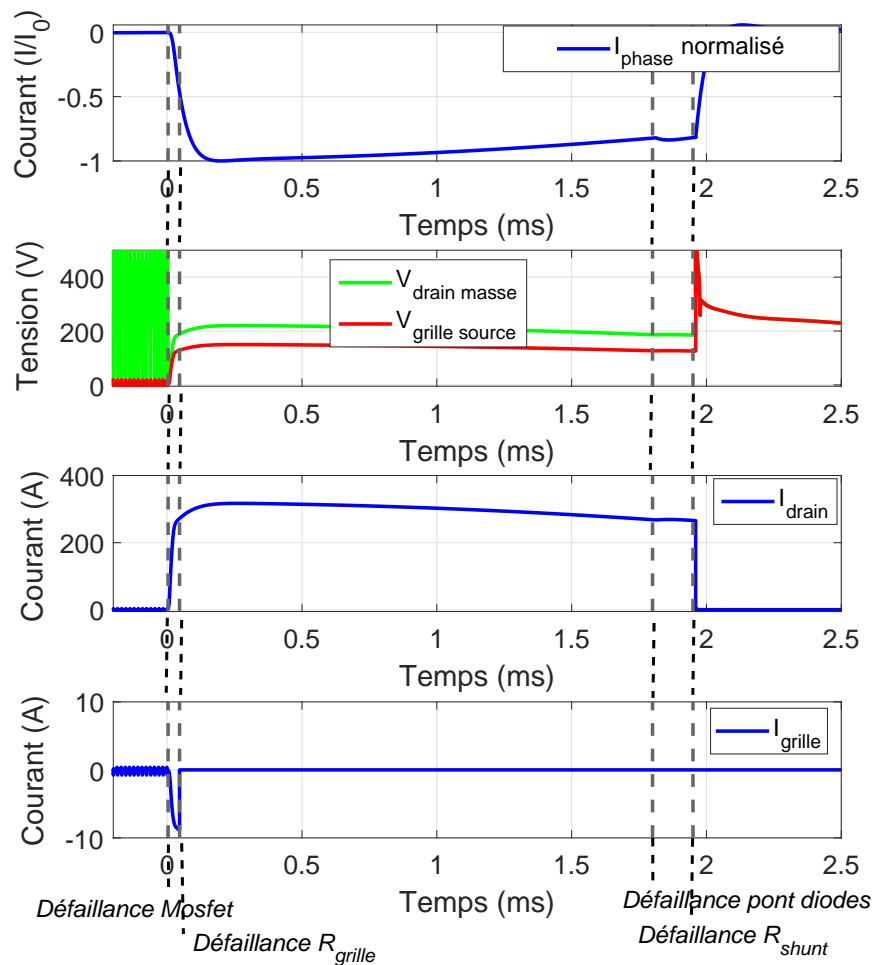


FIGURE 4.14 – Simulation de l'enchaînement des défaillances dans l'alimentation.

La défaillance du Mosfet engendre en simulation la succession des défaillances de la résistance de grille, du pont de diodes et du shunt comme le précise le scénario principal. Par conséquent, une étape supplémentaire à la validation est réalisée à la suite par l'ajout d'une source de perturbation aux bornes du Mosfet.

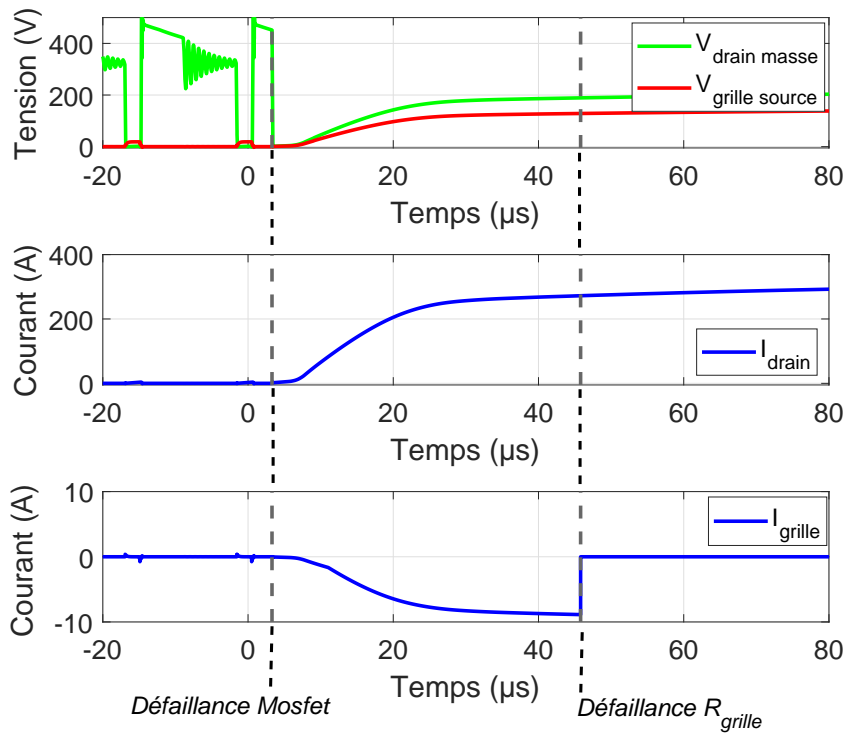


FIGURE 4.15 – Simulation de l'enchaînement des défaillances autour du Mosfet durant les premières microsecondes.

4.2.2 Validation numérique par une source de perturbation

Afin de vérifier le fonctionnement du modèle de défaillance du Mosfet, une source de perturbation est insérée en série avec son drain. Cette source permet de générer une élévation brève de la tension aux bornes du composant à $t = 0$ s. Ainsi, la tension $V_{\text{drain masse}}$ du Mosfet atteint les 730 V avec un courant I_{drain} supérieur à 9 A, engendrant la défaillance du composant comme l'illustre la figure 4.16. L'enchaînement des défaillances des composants se poursuit conformément au scénario principal. L'étape de validation de la simulation au travers de l'ajout d'une source de perturbation sur le drain confirme la défaillance du Mosfet et donc, l'enchaînement des défaillances des autres composants de l'alimentation.

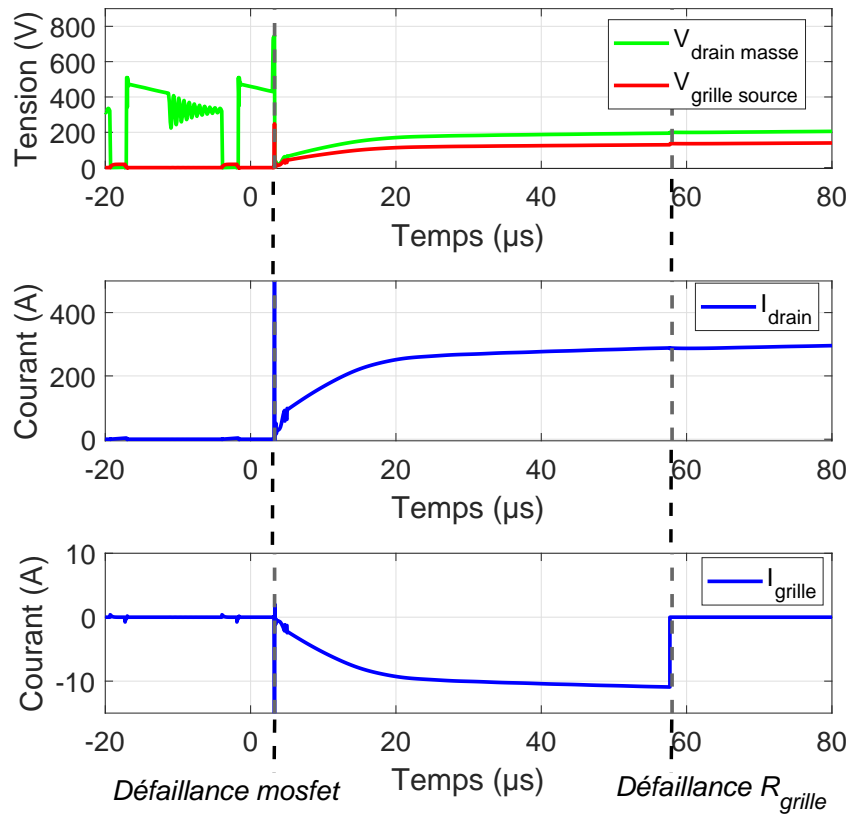


FIGURE 4.16 – Simulation de l'enchaînement des défaillances autour du Mosfet durant les premières microsecondes après l'injection d'une surtension sur le drain.

La dernière étape de validation de la simulation consiste à ajouter le modèle du moyen PIC afin d'injecter la perturbation en entrée de l'alimentation, comme cela est le cas expérimentalement.

4.2.3 Simulation du scénario de destruction de l'alimentation

Afin de reproduire le scénario de destruction dans les mêmes conditions que celles expérimentales, la perturbation est injectée directement en entrée de l'alimentation. Pour cela, le modèle équivalent du moyen PIC, exposé dans le chapitre 2, est utilisé en simulation. Ainsi, à $t = 0$ s, la perturbation responsable de la destruction de l'alimentation est injectée numériquement dans le schéma de l'alimentation. Le niveau de tension de consigne TC fixé en simulation correspond au niveau injecté expérimentalement. La figure 4.17 présente les signaux relevés autour du Mosfet, premier élément de l'alimentation à être défaillant.

Lors de l'injection à $t = 0$ s, la tension $V_{\text{drain masse}}$ apparaît perturbée sans pour autant dépasser la valeur seuil de mise en avalanche de 730 V. Il en est de même pour la courant I_{drain} circulant dans le transistor de puissance : aucune sur-intensité n'est observée. Dans ce cadre, le modèle de défaillance du Mosfet ne peut être déclenché et l'enchaînement des défaillances des composants dans l'alimentation n'a donc pas lieu.

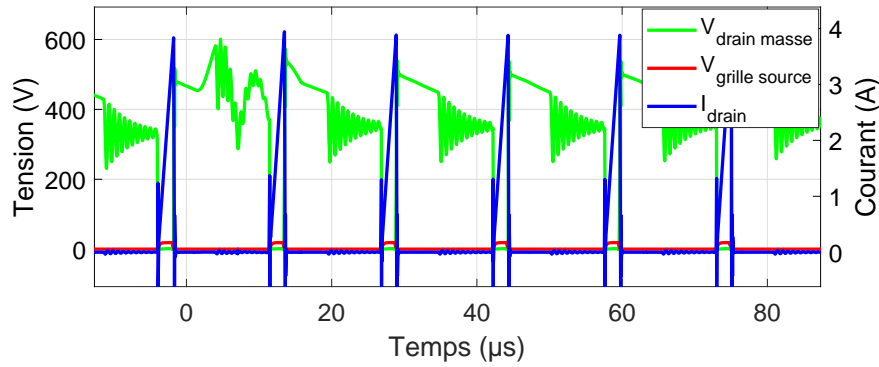


FIGURE 4.17 – Signaux simulés au niveau du Mosfet lors de l'injection de la perturbation avec le moyen PIC.

Face à la faible amplitude de la perturbation aux bornes du Mosfet, le niveau de la TC du moyen PIC est augmenté en simulation. En augmentant celle-ci d'un facteur 1,6, la perturbation injectée en entrée de l'alimentation engendre une élévation de la tension $V_{drain\ masse}$ suffisante aux bornes du transistor Mosfet comme l'illustre la figure 4.18. Le seuil de défaillances du composant en avalanche de 730 V, associé à un I_{drain} de 9 A, est alors atteint. Par conséquent, le transistor Mosfet est remplacé par son modèle équivalent défaillant. L'enchaînement des défaillances des composants de l'alimentation s'effectue alors en simulation comme le montrent les signaux de la figure 4.18.

Les signaux mesurés et simulés sont comparés en figure 4.18. À $t = 3\ \mu\text{s}$, le modèle constructeur du Mosfet est remplacé par son modèle défaillant, c'est-à-dire des résistances de faible impédance entre ses trois broches. Les niveaux de tensions drain/masse et grille/source dépendent des valeurs de ces résistances et diffèrent donc d'une défaillance à une autre. Ainsi, en fonction des valeurs des résistances équivalentes, des différences de niveaux de tension et de courant peuvent apparaître. Cependant, les ordres de grandeur sont relativement respectés, comme le montre la figure 4.18.

Une fois le transistor défaillant, le courant I_{drain} augmente rapidement pour atteindre environ 300 A. Le courant traversant la résistance de grille augmente également. La puissance dissipée par le composant dépasse le niveau admissible donné par le constructeur. La résistance de grille R_{grille} est défaillante et le modèle constructeur en simulation est remplacé par son modèle défaillant, un circuit-ouvert. Le courant I_{drain} , image du courant circulant dans le pont de diodes est maintenu à un niveau élevé jusqu'à sa défaillance quelques millisecondes après l'injection. Par conséquent, la puissance traversant la résistance de shunt est bien trop importante ; elle devient alors défaillante en circuit-couvert.

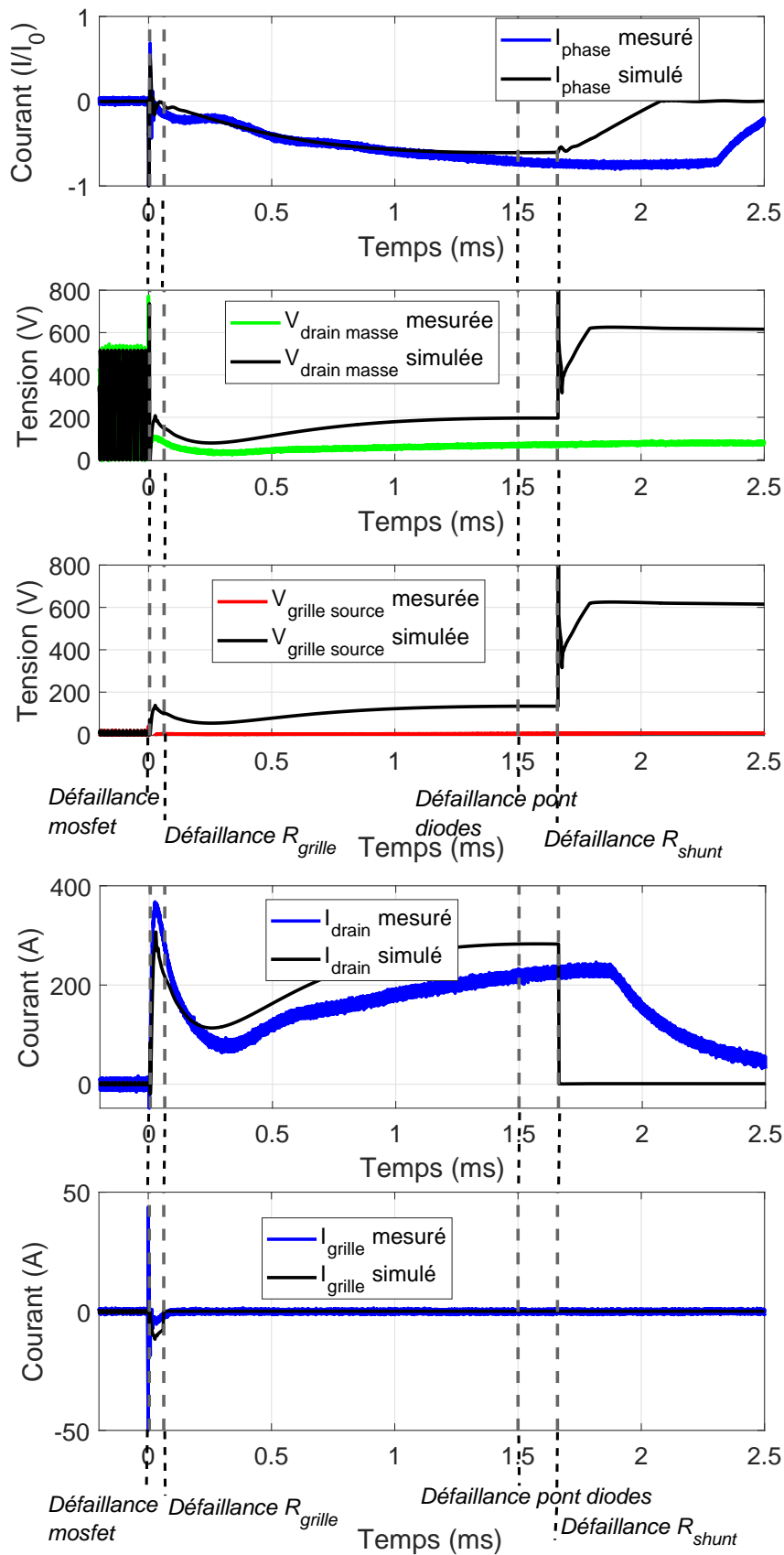


FIGURE 4.18 – Comparaison simulation/mesure de l'enchaînement des défaillances lors de l'injection de la perturbation avec le moyen PIC.

L'enchaînement des défaillances des composants dans l'alimentation a bien lieu en simulation selon le scénario principal explicité. Les formes et les niveaux mis en jeu en simulation sont cohérents avec les mesures, comme l'indique la figure 4.18.

La figure 4.19 représente la séquence de l'enchaînement des défaillances des composants obtenues en mesure et en simulation.

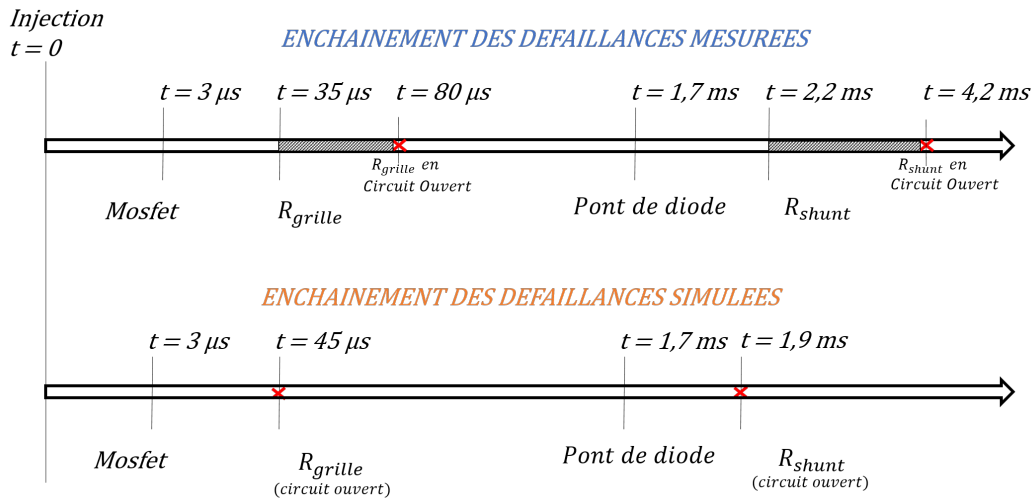


FIGURE 4.19 – Chronologie de l'enchaînement des défaillances des composants de l'alimentation en mesure et en simulation.

Les écarts temporels entre le scénario mesuré et simulé en figure 4.18 proviennent principalement de la non prise en compte des effets transitoires dans les modèles de défaillance des composants de l'alimentation (zones grisées sur la figure 4.19). Ainsi, les variations d'impédance des résistances jusqu'à leur défaillance, par exemple, n'ont pas été modélisées. En simulation, les modèles basculent instantanément du mode fonctionnel au mode défaillant. En prenant comme exemple la résistance de shunt, celle-ci est défaillante en circuit-ouvert à $t = 1,9$ ms en simulation (figure 4.14) alors qu'en mesure elle passe par une variation d'impédance à partir de $t = 2,2$ ms pour finir en circuit-ouvert à $t = 4,2$ ms. Dans ces conditions et en comparaison avec les mesures, les formes et les amplitudes des signaux de la simulation du scénario sont cohérentes et suivent bien la séquence temporelle du scénario principal.

Pour un même niveau d'injection qu'en expérimentation, la simulation ne conduit pas à l'enchaînement des défaillances des composants. Cependant en augmentant le niveau d'injection en simulation, les amplitudes des signaux propagés au sein du schéma électrique de l'alimentation sont augmentées et permettent de reproduire le scénario de destruction. A priori, le chemin de couplage ne semble pas totalement bien modélisé.

4.3 Axes d'amélioration du chemin de couplage

La simulation de la propagation de la perturbation au sein de l'alimentation (présentée dans le chapitre 2) s'appuie sur la modélisation des éléments de l'étage d'entrée dans la bande de fréquences 20 Hz-120 MHz, et la prise en compte des phénomènes dus aux forts niveaux de courant. Néanmoins, lors de l'injection de la perturbation en entrée de l'alimentation, les niveaux atteints en simulation ne sont pas suffisants pour reproduire le scénario principal de destruction des alimentations. La surtension présente sur la mesure de la tension drain/masse du Mosfet n'est pas apparente en simulation. Le chemin de couplage apparaît comme insuffisamment modélisé. Afin de prédire les défaillances des alimentations à un niveau donné, des améliorations au modèle sont nécessaires.

- La non prise en compte des éléments parasites du circuit imprimé peut être une hypothèse à considérer. En effet, les pistes et le routage associé notamment au niveau de l'étage d'entrée de l'alimentation et du chemin de la perturbation, peuvent amener des inductances et capacités parasites. Néanmoins, le choix initial de négliger les inductances parasites en simulation semble justifié compte tenu des valeurs des inductances de mode commun (milli-Henrys) qui se trouvent en série avec les pistes d'entrée. Concernant les capacités parasites, elles ne sont pas prises en compte, étant donné que la carte électronique de l'alimentation de type grand public utilisée pour les travaux est simple face et ne comporte pas de plan de masse. En complément, des éléments parasites associés à la présence des dissipateurs, notamment autour du Mosfet, sont éventuellement à prendre en compte en simulation.
- Lors de l'injection de la perturbation en entrée de l'alimentation, les expérimentations ont mis en évidence des phénomènes d'arcage pouvant apparaître au niveau des inductances de mode commun. Ces phénomènes induisant des comportements non-linéaires, ils ont été écartés temporairement des travaux actuels mais pourraient être un axe de recherche.
- Dans l'état d'avancement actuel des travaux de recherche, seul le mode différentiel est pris en compte dans la simulation. Or, lors de l'injection d'une perturbation en mode différentiel, la transformation en mode commun peut intervenir au sein de l'alimentation. De plus, par la présence de la terre, des tensions/courants peuvent être induits dans le transistor Mosfet et donc imposer une perturbation responsable de sa défaillance. Du fait de la complexité du moyen d'injection, utilisé pour reproduire le résultat du couplage de l'IEMN-HA sur le réseau de distribution électrique en entrée des alimentations, des courants circulant par les multiples chemins de terre peuvent venir impacter les niveaux des signaux autour du Mosfet.
- Dans le cadre de ce travail, seuls les phénomènes d'interférences conduites ont été étudiés. Cependant, des phénomènes rayonnés par le moyen d'injection PIC lui-même ou bien créés au sein de l'alimentation peuvent induire des tensions/courants non pris en compte actuellement sur le chemin de couplage.

- Lors de l'injection, l'alimentation est en fonctionnement. En fonction de l'instant de l'injection, l'état de fonctionnement des composants n'est pas strictement identique. Les étapes de transmission d'énergie du primaire du transformateur aux autres enroulements, associées à la séquence de découpage du Mosfet, pourraient avoir un impact sur les signaux parasites générés autour du Mosfet.

Conclusion

Ce dernier chapitre a été consacré à la modélisation de l'enchaînement des défaillances au sein des alimentations. Au travers des essais de défaillance sur les composants seuls, couplés à des mesures complémentaires dans l'alimentation lors de sa destruction, un scénario principal de destruction des alimentations est confirmé. Le scénario présente les principales sources de défaillance des composants et leur enchaînement. En complément, des essais expérimentaux menés sur différentes topologies du filtre d'entrée ont permis d'identifier un scénario secondaire de destruction de l'alimentation. L'enchaînement des défaillances des composants de ce scénario secondaire est réduit à la défaillance du pont de diodes et à celle du fusible en entrée. Les expérimentations menées sur les différentes topologies de filtre ont notamment permis de confirmer l'apparition du scénario principal, dans des proportions plus ou moins élevées, suivant la topologie du filtre.

Ensuite, nous avons cherché à reproduire en simulation le scénario principal de destruction des alimentations. L'ensemble des modèles de défaillance développés dans le chapitre 3 ont été insérés dans l'alimentation modélisée dans le chapitre 2. La validation du scénario par déclenchement manuel a permis de montrer l'enchaînement en cascade des défaillances des composants en simulation. À la suite, l'insertion d'une source de perturbation de tension sur le drain du transistor Mosfet a permis de valider son modèle de défaillance dans l'alimentation. L'ultime étape de validation est passée par l'injection de la perturbation en entrée de l'alimentation au travers du générateur de Thévenin équivalent au moyen PIC (présenté au chapitre 2). Pour un niveau de tension de consigne correspondant aux expérimentations menées, la simulation a montré des limites en termes de modélisation du chemin de couplage. En effet, la perturbation se retrouvant aux bornes du drain du transistor possède un niveau trop faible en simulation pour déclencher le modèle de défaillance. L'augmentation du niveau de la tension de consigne du moyen PIC en simulation a permis d'augmenter l'amplitude de la perturbation au sein de l'alimentation. Ainsi, le scénario principal a été reproduit en simulation. Pour clôturer ce chapitre, des hypothèses et axes d'amélioration du chemin de couplage ont été proposés.

Conclusion générale

*« Les gens pourraient apprendre
de leurs erreurs s'ils n'étaient
pas si occupés à les nier »*

Carl Gustav Jung

Ce manuscrit présente les travaux de recherche portant sur la modélisation comportementale des effets de destruction d'une alimentation à découpage soumise à un fort courant issu de l'IEMN-HA. Les travaux réalisés ont eu pour but d'évaluer la possibilité de prédire par simulation numérique la destruction des alimentations lors d'une agression de type IEMN-HA.

Les essais expérimentaux d'injection en entrée d'une alimentation ont permis de définir un enchaînement des défaillances des composants. En effet, lors de l'injection du résultat du couplage de l'IEMN-HA sur le réseau de distribution électrique, le transistor Mosfet, le contrôleur PWM du découpage et la diode de redressement sont défaillants dans les premières microsecondes. En conséquence des court-circuits engendrés dans l'alimentation, la résistance de grille, le pont de diodes, la résistance de shunt et le fusible sont défaillants au bout de quelques millisecondes. Les mesures réalisées en différents nœuds de l'alimentation ont mené à la compréhension de l'enchaînement des défaillances en cascade des composants et permettent ainsi de décrire le scénario de destruction d'une alimentation.

La diode de redressement, le pont de diode et le Mosfet sont les principaux composants défaillants en mode conduit. La compréhension de leur mode de défaillance est menée aux travers d'expérimentations. Chacun des composants est soumis à des impulsions électriques jusqu'à atteindre la défaillance complète. Les analyses physiques et la compréhension des signaux mesurés lors de la destruction permettent d'extraire des seuils de tenue en courant et en tension pour chacun d'eux. Basé sur ces limites, des modèles de défaillance de la diode de redressement, du pont de diodes et du Mosfet est développé en VHDL-AMS.

Afin de reproduire le scénario en simulation, le moyen d'injection PIC, utilisé pour l'injection de la perturbation en entrée des alimentations est modélisé et validé sous le simulateur choisi : Simplorer. À partir de son schéma électrique et des modèles des composants issus des constructeurs, l'alimentation est également simulée. Au vu de la contrainte injectée en entrée de l'alimentation (forts niveaux de courant sur une large bande de fréquences), le chemin de propagation de la perturbation doit être considéré. Les composants de l'étage d'entrée et le transformateur sont alors modélisés en fréquence. De

plus, la variation de la valeur des inductances des éléments magnétiques, pour des amplitudes de courant élevées, est caractérisée expérimentalement et insérée dans les modèles fréquentiels développés.

Une fois l'alimentation et le moyen d'injection entièrement modélisés, des simulations de destruction globale de l'alimentation ont été entreprises. Pour cela, les modèles des composants défaillants développés sont assemblés dans le schéma électrique de l'alimentation. En simulation, l'enchaînement des défaillances des composants est reproduit. Les résultats ont montré la cohérence entre les signaux mesurés et simulés en termes d'amplitude et de forme. Sans considérer les états transitoires lors de la défaillance des composants en simulation, la séquence temporelle du scénario est respectée en comparaison à celle mesurée. Les limites de la modélisation du chemin de couplage sont également mises en évidence et des axes d'amélioration sont évoqués afin de conduire à terme à la prédiction numérique des niveaux de destruction des alimentations soumises à une agression conduite de type IEMN-HA.

Perspectives

Les travaux de recherche ont permis de reproduire l'enchaînement des défaillances des composants d'une alimentation lorsque celle-ci est soumise en entrée au résultat du couplage de l'IEMN-HA sur le réseau électrique.

La simulation du scénario de destruction de l'alimentation a montré les limites de la modélisation actuelle du chemin de couplage de la perturbation dans l'alimentation. Des investigations complémentaires pourraient être menées dans ce sens.

Les phénomènes d'arcage observés en expérimentation au sein des composants du filtre d'entrée, notamment des inductances de mode commun, pourraient avoir une influence sur les niveaux de tension/courant se propageant dans l'alimentation. Des expérimentations spécifiques en injection sur ces composants, pour différents routages des pistes par exemple), amélioreraient la compréhension de ce phénomène.

De multiples chemins de couplage s'offrent à la perturbation injectée en entrée de l'alimentation. Sur une installation complexe telle que celle du moyen PIC, les chemins de terre sont nombreux. En simulation, leur prise en compte et leur modélisation peuvent être importantes dans la variation des niveaux de courant injectés dans l'alimentation. Les effets des champs rayonnés en interne de l'alimentation sont également des axes potentiels qu'il serait intéressant d'étudier. En effet, connaître l'influence de l'interaction directe de ces champs rayonnés sur les pistes ou composants internes de l'alimentation est à développer. Pour cela, la simulation numérique, de type CST ou équivalente, permettrait notamment d'identifier les éléments parasites provenant du PCB lors de l'injection de la perturbation.

La modélisation considère actuellement les injections de mode différentiel en entrée de l'alimentation. L'étape suivante consisterait à compléter la simulation numérique pour prendre en compte les injections de mode commun. Pour cela, différentes étapes vers la simulation seraient nécessaires. Le moyen d'injection PIC en lui-même devra être caractérisé et modélisé avec une attention particulière aux chemins de terre qui le composent. Il serait éventuellement nécessaire d'améliorer les modèles des composants ayant été validés en simulation pour qu'ils soient valables pour une injection non seulement en mode différentiel mais également en mode commun. L'ensemble des axes de recherche énoncés précédemment cherche à mettre en lumière les paramètres influant la susceptibilité des alimentations et à les évaluer afin de les considérer dans les travaux de modélisation.

Les travaux sont menés sur une alimentation maîtrisée en termes de topologie et de choix de composants, représentatifs des alimentations «grand public» de puissance

inférieure à 75 W. L'une des étapes vers la prédiction des destructions des alimentations est d'atteindre un niveau de modélisation permettant la généralisation. Une première étape serait d'évaluer la robustesse de la modélisation de la susceptibilité des alimentations. Pour cela, les composants défaillants (diode de redressement, pont de diodes, Mosfet, etc.) pourront être remplacés un à un sur l'alimentation par d'autres références avant d'injecter la perturbation en expérimentation. En simulation, la modification des seuils de défaillance pour les références des composants modifiées permettrait de valider la cohérence des signaux mesurés/simulés. Ce type d'expérimentation mesurerait l'influence des seuils de défaillance des composants sur le niveau de destruction des alimentations.

D'une alimentation à une autre, les composants défaillants sont classiquement les mêmes, mais qu'en est-il de leur seuil de défaillance? Les dispersions des défaillances des composants s'étudient et pourraient, à terme, être introduites dans les modèles comportementaux développés. Une question reste en suspens à savoir comment prendre en compte la variabilité des niveaux de destruction d'une alimentation face au nombre d'alimentations employées dans nos systèmes du quotidien. Des études statistiques par gamme de puissance d'alimentation permettraient d'extraire des lois statistiques évoluées. Un aspect probabiliste rentrerait en jeu dans la prédiction des niveaux de destruction des alimentations.

Ces différentes perspectives permettront de qualifier la démarche abordée jusqu'à présent avant de l'étendre à d'autres gammes de puissance et d'autres topologies d'alimentation.

Publications

- L. Curos, T. Dubois, G. Mejecaze, F. Puybaret et J-M. Vinassa, « Analyses de destructions d'alimentations soumises à des impulsions forts niveaux, » GdR Ondes, Journée thématique « Sécurité des systèmes électroniques et communicants », 2019.
- L. Curos, « Présentation journée des doctorants CEA-Gramat », 2021.
- L. Curos, « Présentation Ingénieur-Docteur Table ronde ENSEIRB-MATMECA Bordeaux INP, » 2020-2021.
- L. Curos, T. Dubois, G. Mejecaze, F. Puybaret et J-M. Vinassa, « Susceptibility Modelling of SMPS Input Stage under High Current Pulse Injection, » IEEE International Conference on Industrial Technology (ICIT), 2020.
- L. Curos, T. Dubois, G. Mejecaze, F. Puybaret et J-M. Vinassa, « Modélisation de la susceptibilité des étages d'entrée d'alimentations lors de l'injection d'un fort courant, » Colloque International et Exposition sur la Compatibilité Electromagnétique (CEM), 2020.
- L. Curos, T. Dubois, G. Mejecaze, F. Puybaret et J-M. Vinassa, « Susceptibility Modelling of Flyback SMPS Transformer Input Stage under High Current Pulse Injection, » International Symposium on Electromagnetic Compatibility (EMC Europe), 2020.
- L. Curos, T. Dubois, G. Mejecaze, F. Puybaret et J-M. Vinassa, « Investigation of critical parameters in power supplies components failure due to electric pulse, » European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF), 2020.
- L. Curos « Modélisation comportementale des effets de destruction d'alimentations d'équipements électroniques soumises à des courants impulsions forts niveaux, » Conseil d'Évaluation Scientifique CEA-DAM Gramat, Septembre 2021.
- L. Curos, T. Dubois, G. Mejecaze, F. Puybaret et J-M. Vinassa, « Effects of EMC filter topologies on the destruction scenarios of SMPS under high current pulses, » International Symposium on Electromagnetic Compatibility (EMC Europe), 2022.
- L. Curos, T. Dubois, « Analyse et modélisation comportementale des défaillances des composants d'alimentations soumises à des courants impulsions forts niveaux, » Atelier 2022 « Analyse et mécanismes de défaillance des composants pour l'électronique » (ANADEF), *in process*, 2022.

- G. Mejeceze, T. Dubois, L. Curos, F. Puybaret et J-M. Vinassa « Destruction analyses of power supplies due to electric pulse, » *Microelectronics Reliability*, vol. 100-101, 2019.
- G. Mejeceze, L. Curos, T. Dubois, J-M. Vinassa et F. Puybaret, « Modelling of a Current Injection Source for Susceptibility Study, » *IEEE Transactions on Electromagnetic Compatibility*, 62, p.2737-2756, 2020.
- L. Curos, T. Dubois, G. Mejeceze, F. Puybaret et J-M. Vinassa, « Investigation of critical parameters in power supplies components failure due to electric pulse, » *Microelectronics Reliability*, 114, 2020.
- L. Curos, F. Puybaret, G. Mejeceze, T. Dubois, et J-M. Vinassa, « Compréhension des effets des interférences électromagnétiques intenses sur des alimentations électroniques, » *Revue Avancées*, 2021.
- G. Mejeceze, T. Dubois, L. Curos, J-M. Vinassa et F. Puybaret, « Failure Scenario of Power Supply Due to Conducted Electric Pulse, » *IEEE Transactions on Electromagnetic Compatibility*, *unpublished*.

Bibliographie

- [1] W. Radasky, "Introduction to the Special Issue on High-Altitude Electromagnetic pulse (HEMP)," *IEEE Transactions on Electromagnetic Compatibility*, vol. 55, pp. 410–411, June 2013. 6
- [2] C. Longmire, "On the Electromagnetic Pulse Produced by Nuclear Explosion," *IEEE Transactions on Antennas and Propagation*, vol. Ap-26, January 1978. 7
- [3] R. Ghose, *EMP Environment and System Hardness Design*. Don White Consultants, 1984. 7, 10
- [4] F. Costa, "Compatibilité électromagnétique CEM - Présentation Générale," No. D1300 V2, Techniques de l'ingénieur, February 2010. 7, 8
- [5] R. Hoad and W. Radasky, "Progress in High-Altitude Electromagnetic Pulse (HEMP) Standardization," *IEEE Transactions on Electromagnetic Compatibility*, vol. 55, pp. 532–538, June 2013. 7
- [6] W. Radasky, "Protection of Commercial Installations from the High-Frequency Electromagnetic Threats of HEMP and IEMI Using IEC Standards," in *2010 Asia-Pacific International Symposium on Electromagnetic Compatibility*, April 2010. 8, 9
- [7] International Electrotechnical Commission, "Electromagnetic compatibility (EMC) - Part 2-9 : Environment - Description of HEMP environment - Radiated disturbance," No. IEC 61000-2-9, 1996. 8, 9
- [8] M. Ianoz, I. Nicoara, and W. Radasky, "Modeling of an EMP Conducted Environment," *IEEE Transactions on Electromagnetic Compatibility*, vol. 38, pp. 400–413, August 1996. 9
- [9] W. Radasky and R. Hoad, "Status and Progress of IEC-SC-77C High-Power Electromagnetics Publications in 2015," in *IEEE International Symposium on Electromagnetic Compatibility (EMC)*, 2015. 10
- [10] M. Wik and W. Radasky, "Development of High-Power Electromagnetic (HPEM) Standards," *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, pp. 439–445, August 2004. 10
- [11] W. Radasky and R. Hoad, "Recent Developments in High Power EM (HPEM) Standards With Emphasis on High Altitude Electromagnetic Pulse (HEMP) and Intentional Electromagnetic Interference (IEMI)," *IEEE Letters on Electromagnetic Compatibility Practice and Applications*, vol. 2, pp. 62–66, August 2020. 10

-
- [12] Institut de Radioprotection et de Sûreté Nucléaire, “Les essais atmosphériques d’armes nucléaires : des retombées radioactives à l’échelle planétaire,” 2008. 10
- [13] Commission Électrotechnique Internationale, “Compatibilité Électromagnétique - Partie 1-3 : Généralités - Effets des impulsions électromagnétiques à haute altitude (IEMN-HA) sur les matériels et systèmes civils,” No. IEC 61000-1-3, 2002. 10
- [14] H. Hoerlin, “UNITED STATES High-Altitude Test Experiences - A Review Emphasizing the Impact on the Environment,” Tech. Rep. US Energy Research and Development Administration Nevada Operations Office, 1976. 10
- [15] J. Foster, E. Gjælde, and al., “Report of the Commission to Assess the Threat to United States from Electromagnetic Pulse (EMP) Attack,” Tech. Rep. Volume 1 : Executive Report, 2014. 10
- [16] Commission Électrotechnique Internationale, “Compatibilité électromagnétique (CEM) – Partie 4 : Techniques d’essai et de mesure – Section 24 : Méthodes d’essais pour les dispositifs de protection pour perturbations conduites IEMN-HA Publication fondamentale en CEM,” No. IEC 61000-4-24, 1997. 11
- [17] Commission Électrotechnique Internationale, “Compatibilité électromagnétique (CEM) - Partie 4 : Techniques d’essai et de mesure – Section 25 : Méthodes d’essai d’immunité à l’IEMN-HA des appareils et des systèmes,” No. IEC 61000-4-25, 2001. 11
- [18] Department of Defense Interface Standard MIL STD, “Requirements for the Control of Electromagnetic Interference Characteristics of Subsystems and Equipment,” No. MIL-STD-461G, 2015. 11
- [19] N. S. AECTP-500, “Electromagnetic Environmental Effects Tests and Verification,” No. Edition E, Version 1, 2016. 11
- [20] B. Pecqueux and L. Labarbe, “Software and Hardware Assessment of FDTD Simulations for Very Large and Complex Scenes,” in *2016 International Symposium on Electromagnetic Compatibility - EMC EUROPE*, pp. 640–643, September 2016. 11
- [21] J.-M. Lopez, J.-P. Adam, and J.-P. Percaille, “Empirical Estimation of Measurement and Simulation Uncertainty Applied to an EMP Coupling Test Case,” in *2017 International Conference on Electromagnetics in Advanced Applications (ICEAA)*, pp. 559–560, 2017. 11
- [22] H. Xie, Y. Li, H. Qiao, and al., “Empirical Formula of Effective Coupling Length for Transmission Lines Illuminated by E1 HEMP,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 58, pp. 581–587, April 2016. 11
- [23] Y.-J. Kim, Y.-K. Jeong, D.-G. Youn, and al., “Design of a Small NEMP Simulator for the Immunity Test of Core Electronic Components in HEMP Environments,” *IEEE Access*, vol. 8, pp. 217773–217780, December 2020. 11
- [24] M. Ianoz, “A Review of HEMP Activities in Europe,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 55, pp. 412–421, June 2013. 11

- [25] C. Baum, “EMP Simulators for Various Types of Nuclear EMP Environments : An Interim Categorization,” *IEEE Transactions on Electromagnetic Compatibility*, vol. EMC-20, pp. 35–53, February 1978. 11
- [26] Commission Électrotechnique Internationale, “Compatibilité électromagnétique - Partie 4-32 : Techniques d’essai et de mesure - Compendium des simulateurs d’impulsions électromagnétiques à haute altitude (IEMN-HA),” No. IEC 61000-4-32, 2002. 11, 12
- [27] Commission Électrotechnique Internationale, “Compatibilité électromagnétique - Partie 4-25 : Techniques d’essai et de mesure - Méthodes d’essai d’immunité à l’IEMN-HA des appareils et des systèmes,” No. IEC 61000-4-25, 2001. 13, 14
- [28] Commission Électrotechnique Internationale, “Compatibilité électromagnétique - Partie 4-4 : Techniques d’essai et de mesure - Essais d’immunité aux transitoires électriques rapides en salves,” No. IEC 61000-4-4, 1995. 14
- [29] C. Pouant, *Caractérisation de la susceptibilité électromagnétique des étages d’entrée de composants électroniques*. PhD thesis, Université Montpellier, November 2015. 17
- [30] M. Kreitlow, F. Sabath, and H. Garbe, “Analysis of IEMI Effects on a Computer Network in a Realistic Environment,” in *Electromagnetic compatibility (EMC)*, February 2015. 17
- [31] R. Hoad, A. Lambourne, and A. Wraight, “HPEM and HEMP susceptibility assessments of computer equipment,” in *International Zurich Symposium on Electromagnetic Compatibility*, pp. 168–171, February 2006. 17
- [32] D. Giri, R. Hoad, and F. Sabath, “Implications of High-Power Electromagnetic (HPEM) Environments on Electronics,” in *IEEE Electromagnetic Compatibility Magazine – Volume 9 – Quarter 2*, March 2020. 17
- [33] M. Camp and H. Garbe, “UWB and EMP Susceptibility of Modern Electronics,” in *IEEE International Symposium on Electromagnetic Compatibility*, vol. 2, pp. 1015–1020, August 2001. 18
- [34] M. Camp and H. Garbe, “Susceptibility of Personal Computer Systems to Fast Transient Electromagnetic Pulses,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 48, pp. 829–833, November 2006. 18
- [35] R. Kichouliya and M. Thomas, “Interaction of High Power Electromagnetic Pulses with Power Cables and Electronic Systems,” in *International Symposium on Electromagnetic Compatibility*, July 2016. 18
- [36] N. Zaini, M. Ab-Kadir, M. Izadi, and al., “On the Effect of Lightning on a Solar Photovoltaic System,” in *International Conference on Lightning Protection (ICLP)*, September 2016. 18
- [37] M. Lanzrath, M. Suhrke, and H. Hirsch, “HPEM-Based Risk Assessment of Substations Enabled for the Smart Grid,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 62, pp. 173–185, February 2020. 18

-
- [38] W. Radasky and R. Hoad, “An Overview of the Impacts of Three High Power Electromagnetic (HPEM) Threats on Smart Grids,” in *International Symposium on Electromagnetic Compatibility - EMC EUROPE*, pp. 1–6, September 2012. 18
- [39] C. Imposimato, L. Pandini, E. Bottari, and L. Inzoli, “Evaluation of the Radiated Lightning Coupling on Real Medium Voltage Power Lines by an EMP Simulator,” in *International Zurich Symposium on EMC*, February 1999. 18
- [40] W. Radasky, “The Role of Electromagnetic Shielding in Dealing with the Threat of Intentional Electromagnetic Interference (IEMI),” in *2015 International Conference on Electromagnetic in Advanced Applications*, September 2015. 19
- [41] L. Shi, X. Zhang, Z. Sun, and al., “An Overview of the HEMP Research in China,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 55, pp. 422–430, June 2013. 19
- [42] Y. Parfenov, L. Zdoukhov, W. Radasky, and al., “Conducted IEMI Threats for Commercial Buildings,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, pp. 404–411, August 2004. 19
- [43] S. James, N. Kularatna, A. Steyn-Ross, and al., “Investigation of Failure Patterns of Desktop Computer Power Supplies Using a Lightning Surge Simulator and the Generation of a Database for a Comprehensive Surge Propagation Study,” in *Annual Conference on IEEE Industrial Electronics Society (IECON)*, pp. 1275–1280, November 2010. 19
- [44] G. Mejecaze, *Analyse des destructions d'alimentations électroniques soumises à un courant impulsionnel fort niveau*. PhD thesis, Université Bordeaux, November 2018. 19, 20, 21, 33, 60, 68, 82, 93, 104, 108
- [45] Texas Instrument, “Power Topologies Quick Reference Guide,” tech. rep., 2016. 20
- [46] ON Semiconductor, “Switch-Mode Power Supply Reference Manual,” tech. rep., 2014. 20
- [47] H. Foch, R. Arches, and al., “Alimentations à découpage - Convertisseurs continu-continu isolés,” No. D3165 V1, Techniques de l'ingénieur, March 1992. 20
- [48] N. Shammas, “Present Problems of Power Module Packaging Technology,” *Microelectronics Reliability*, vol. 43, pp. 519–527, April 2003. 22
- [49] S. Yang, D. Xiang, A. Bryant, and al., “Condition Monitoring for Device Reliability in Power Electronic Converters : A Review,” *IEEE Transactions on Power Electronics*, vol. 25, pp. 2734–2752, November 2010. 22, 23
- [50] A. Hanif, Y. Yu, D. DeVoto, and al., “A Comprehensive Review Toward the State-of-the-Art in Failure and Lifetime Predictions of Power Electronic Devices,” *IEEE Transactions on Power Electronics*, vol. 34, no. 5, pp. 4729–4746, 2019. 22
- [51] T. Nguyen, *Instrumentation électronique et diagnostic de modules de puissance à semi-conducteur*. PhD thesis, École normale supérieure de Cachan - ENS Cachan, Jun 2013. 22

- [52] S. Pietranico, *Analyse de matériaux pour la modélisation des mécanismes de défaillances des modules électroniques de puissance*. PhD thesis, École normale supérieure de Cachan - ENS Cachan, December 2011. 22
- [53] H. Nguyen, C. Salm, B. Krabbenborg, and al., “Effect of Thermal Gradients on the Electromigration Life-Time in Power Electronics,” *2004 IEEE International Reliability Physics Symposium. Proceedings*, pp. 619–620, 2004. 23
- [54] J. Verweij and J. Klootwijk, “Dielectric breakdown I : A review of oxide breakdown,” *Microelectronics Journal*, vol. 27, no. 7, pp. 611–622, 1996. 23
- [55] J. Vinson and J. Liou, “Electrostatic Discharge in Semiconductor Devices : An Overview,” *Proceedings of the IEEE*, vol. 86, pp. 399 – 420, March 1998. 23
- [56] D. Wunsch and R. Bell, “Determination of Threshold Failure Levels of Semiconductor Diodes and Transistors Due to Pulse Voltages,” *IEEE Transactions on Nuclear Science*, vol. NS-15, no. 6, pp. 244–259, 1968. 23, 25, 72
- [57] V. Dwyer, A. Franklin, and D. Campbell, “Thermal Failure in Semiconductor Devices,” *Solid-State Electronics*, vol. 33, no. 5, p. 553–560, 1990. 23, 72
- [58] W. Brown, “Semiconductor Device Degradation by High Amplitude Current Pulses,” *IEEE Transactions on Nuclear Science*, vol. NS-19, pp. 68 – 75, January 1973. 23
- [59] I. Dchar, M. Zolkos, C. Buttay, and al., “Robustness of SiC MOSFET under Avalanche Conditions,” vol. IEEE, 03 2017. 24, 26, 99
- [60] J. Lutz and al., *Semiconductor Power Devices – Physics, Characteristics, Reliability*. Springer, 2011. 24, 76, 96
- [61] M. Ciappa, “Selected Failure Mechanisms of Modern Power Modules,” *Microelectronics Reliability*, vol. 42, pp. 653–667, April 2002. 24
- [62] M. Bouarroudj-Berkani and L. Dupont, “Fatigue des composants électroniques de puissance - Physique de défaillance,” No. D3126 V1, Techniques de l’ingénieur, Novembre 2010. 24
- [63] International Electrotechnical Commission, “Integrated circuits – Measurement of electromagnetic immunity – Part 1 : General conditions and definitions,” No. IEC 62132-1, 2015. 24
- [64] M. Ker, J. Peng, and H. Jiang, “Failure analysis of ESD damage in a high-voltage driver IC and the effective ESD protection solution CMOS,” in *Proceedings of the 9th International Symposium on the Physical and Failure Analysis of Integrated Circuits (Cat. No.02TH8614)*, pp. 84–89, 2002. 24
- [65] A. Amerasekera, *ESD in Silicon Integrated Circuits, Second Edition*, pp. 68 – 104. 04 2002. 24
- [66] J. Park and M. Orshansk, “Abnormal ESD Failure Mode with Low-Voltage Turn-on Phenomenon of LDMOS Output Driver,” in *2012 IEEE International Reliability Physics Symposium (IRPS)*, pp. EL.1.1–EL.1.4, 2012. 24

- [67] M. Kiran, S. Preethi, and N. Rudranna, “Overview of Fault Diagnosis and Detection Methods used in Switched Mode Power Supplies,” pp. 708–712, 01 2016. 24, 25
- [68] H. Egawa, “Avalanche Characteristics and Failure Mechanism of High Voltage Diodes,” *IEEE Transactions on Electron Devices*, vol. ED-13, pp. 754–758, November 1966. 25
- [69] M. Domeij, J. Lutz, and D. Silber, “Stable and Unstable Dynamic Avalanche in Fast Silicon Power Diodes,” pp. 263 – 266, September 2001. 25
- [70] J. Lutz and M. Domeij, “Dynamic Avalanche and Reliability of High Voltage Diodes,” *Microelectronics Reliability*, vol. 43, no. 4, pp. 529–536, 2003. 25
- [71] E. Brunt, T. Barbieri, A. Barkley, and al., “Surge Current Failure Mechanisms in 4H-SiC JBS Rectifiers,” in *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 415–418, May 2018. 25
- [72] S. Leng, *Identifying and evaluating aging signatures in light emitting diode lighting systems*. PhD thesis, Université Toulouse, May 2018. 25
- [73] G. Galyon, J. Cardinal, P. Singh, and al., “Static and Dynamic Testing of Power MOSFETs,” vol. 1, pp. 230–237, 02 2001. 25
- [74] I. Vaalasantana, J. Pippola, and L. Frisk, “Power MOSFET Failure and Degradation Mechanisms in Flyback Topology under High Temperature and High Humidity Conditions,” in *2013 9th IEEE International Symposium on Diagnostics for Electric Machines, Power Electronics and Drives (SDEMPED)*, pp. 16–22, 2013. 25
- [75] D. Kuo, C. Hu, and M. Chi, “dV/dt Breakdown in Power MOSFET’s,” *IEEE Electron Device Letters*, vol. 4, pp. 1–2, 1983. 25
- [76] P. Singh, “Power MOSFET Failure Mechanisms,” in *INTELEC 2004. 26th Annual International Telecommunications Energy Conference*, pp. 499–502, 2004. 25
- [77] D. Cittanti, F. Iannuzzo, E. Hoene, and al., “Role of Parasitic Capacitances in Power MOSFET Turn-on Switching Speed Limits : A SiC Case Study,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 1387–1394, 2017. 25
- [78] Toshiba Electronic Devices Storage Corporation, “Power MOSFET Electrical Characteristics,” tech. rep., 2018. 25
- [79] Toshiba Electronic Devices Storage Corporation, “Reverse Recovery Operation and Destruction of MOSFET Body Diode,” tech. rep., 2018. 25
- [80] M. Carmona, *Fiabilité des transistors MOS des technologies à mémoires non volatiles embarquées*. PhD thesis, Université d’Aix-Marseille, March 2015. 26
- [81] P. Nicollian, W. Hunter, and J. Hu, “Experimental Evidence for Voltage Driven Breakdown Models in Ultrathin Gate Oxides,” pp. 7 – 15, February 2000. 26
- [82] D. Zupac, R. Schrimpf, and K. Galloway, “ESD Effects in Power MOSFETs : A Review,” *Microelectronics Journal*, vol. 24, no. 1, pp. 125–138, 1993. 26
- [83] Z. Gao, L. Cao, Q. Guo, and al., “Experimental Investigation of the Single Pulse Avalanche Ruggedness of SiC Power MOSFETs,” in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2601–2604, 2020. 26

- [84] M. Kelley, B. Pushpakaran, A. Bilbao, and al., “Single-pulse Avalanche Mode Operation of 10 kV/10 A SiC MOSFET,” *Microelectronics Reliability*, vol. 81, pp. 174–180, January 2018. 26
- [85] Toshiba Electronic Devices and Storage Corporation, “A MOSFET Avalanche Ruggedness,” tech. rep., 2018. 26
- [86] J. Qi, X. Yang, X. Li, and al., “Avalanche Capability Characterization of 1.2 kV SiC Power MOSFETs Compared with 900V SI CoolMOS,” June 2019. 26
- [87] V. Siliconix, “Application Note AN-957 : Measuring Power MOSFET Characteristics,” tech. rep., 2010. 26
- [88] M. L. Sudheer and M. K. Gunasekaran, “Study of conducted susceptibility of power converters,” in *Proceedings of the International Conference on Electromagnetic Interference and Compatibility*, pp. 231–236, December 1999. 27
- [89] S. Snaidero, *Modélisation multidisciplinaire VHDL-AMS de systèmes complexes : vers le Prototypage Virtuel*. PhD thesis, Université Louis Pasteur Strasbourg I, December 2004. 31
- [90] T. Ibrahim, *Contribution au développement de modèles pour l'électronique de puissance en VHDL-AMS*. PhD thesis, INSA Lyon, January 2009. 31
- [91] L. Nagel, *SPICE2 : A Computer Program to Simulate Circuits*. University of California Berkeley,, Memorandum No. ERL-M520 ed., 1975. 31
- [92] S. Editeur, “Logiciel de simulation de système à technologie mixte.” <https://www.synopsys.com/verification/virtual-prototyping/saber>, 05/10/2020. 31
- [93] <http://www.modelica.org>, 05/10/2020. 31
- [94] F. Pêcheux, C. Lallement, and A. Vachoux, “VHDL-AMS and Verilog-AMS as Alternative Hardware Description Languages for Efficient Modeling of Multidiscipline Systems,” *IEEE Transaction on Computer-aided Design of Integrated Circuits and Systems*, vol. 24, pp. 204–225, 2005. 32
- [95] Y. Hervé, “Électronique de puissance et VHDL-AMS - Apports méthodologiques,” No. D3068 V1, Techniques de l'ingénieur, February 2013. 32
- [96] Y. Hervé, *VHDL-AMS Applications et Enjeux Industriels*. Dunod, 2002. 32
- [97] A. Corporation, “Simulation System Simplorer.” <http://www.ansoft.com/products/em/simplorer>, 05/10/2021. 32
- [98] G. Mejecaze, L. Curos, T. Dubois, and al., “Modeling of a current injection system for susceptibility study,” *IEEE Transactions on Electromagnetic Compatibility*, vol. 62, pp. 2737–2746, 2020. 38, 40, 41
- [99] A. Charoy, *CEM Parasites et perturbations des électroniques - Tome 3 : blindages, filtres, câbles blindés*. Dunod, 2^e ed., 2007. 41
- [100] J.-L. Kotny, X. Margueron, and N. Idir, “High-Frequency Model of the Coupled Inductors Used in EMI Filters,” *IEEE Transactions on Power Electronics*, vol. 27, pp. 2805–2812, June 2012. 41

-
- [101] I. Stevanovi, I. Skibin, M. Masti, and al., “Behavioral Modelling of Chokes for EMI Simulations in Power Electronics,” *IEEE Transactions on Power Electronics*, vol. 28, pp. 695–705, February 2013. 41, 42, 43
- [102] C. Domínguez-Palacios, J. Bernal, and M. Pratz, “Characterization of Common Mode Chokes at High Frequencies With Simple Measurements,” *IEEE Transactions on Power Electronics*, vol. 33, pp. 3975–3987, May 2012. 41
- [103] C. Basso, *Switch-mode Power Supplies - Spice Simulations and Practical Designs*. MacGraw-Hill, 2014. 46
- [104] X. Margueron, *Élaboration sans prototypage du circuit équivalent de transformateurs de type planar*. PhD thesis, JOSEPH FOURIER, October 2016. 46
- [105] X. Margueron and J.-P. Keradec, “Identifying the Magnetic Part of the Equivalent Circuit of n-Winding Transformers,” *IEEE Transactions on Instrumentation and Measurement*, vol. 56, pp. 146–152, 2007. 46
- [106] J. Scheliewe, N. Neudecker, and S. Weber, “Simulating Saturation Behavior of Common Mode Chokes,” in *PCIM Europe-Germany*, 2015. 49, 51
- [107] Y. Shiraki, S. Yoneda, K. Omea, and al., “Inductance Analysis for Compact Dual-Mode Choke Considering Magnetic Saturation,” in *Proc. of the 2018 International Symposium on Electromagnetic Compatibility (EMC Europe 2018)*, 2018. 49, 51
- [108] H. Chen, Z. Qian, S. Yang, and al., “Finite-Element Modeling of Saturation Effect Excited by Differential-Mode Current in a Common-Mode Choke,” *IEEE Transactions on Power Electronics*, vol. 24, pp. 873–877, 2014. 49
- [109] L. Milner and G. Rincon-Mora, “Small Saturating Inductors for More Compact Switching Power Supplies,” *IEEE Transactions on Electrical and Electronic Engineering*, vol. 7, pp. 69–73, 2012. 52
- [110] G. Capua, N. Femia, and K. Stoyka, “An Improved Algorithm for the Analysis of Partially Saturated Ferrite Inductors in Switching Power Supplies,” in *SMASD Conference*, 2016. 52
- [111] G. Capua, N. Femia, K. Stoyka, and al., “Ferrite Inductor Models for Switch-Mode Power Supplies Analysis and Design,” in *International Conference on Synthesis, Modelling, Analysis and Simulation Methods and Applications to Circuit Design*, 2017. 52
- [112] H. Bluhm, *Pulsed Power Systems : Principles and Applications*. Academic Press, Inc LONDON, 1976. 61
- [113] F. Früngel, *Capacitor Discharge Engineering*. Springer, 1976. 61
- [114] J. Sun, H. Xu, X. Wu, and K. Sheng, “Comparison and Analysis of Short Circuit Capability of 1200V Single-Chip SiC MOSFET and Si IGBT,” in *2016 13th China International Forum on Solid State Lighting : International Forum on Wide Bandgap Semiconductors China (SSLChina : IFWS)*, pp. 42–45, 2016. 61

- [115] S. Lefebvre, Z. Khatir, and F. Saint-Eve, “Experimental Behavior of Single-Chip IGBT and COOLMOS Devices Under Repetitive Short-Circuit Conditions,” *IEEE Transactions on Electron Devices*, vol. 52, pp. 276–283, 2005. 61
- [116] G. Romano, A. Fayyaz, M. Riccio, L. Maresca, and al., “A Comprehensive Study of Short-Circuit Ruggedness of Silicon Carbide Power MOSFETs,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 978–987, 2016. 61
- [117] J. Mankowski and M. Kristiansen, “A Review of Short Pulse Generator Technology,” *IEEE Transactions on Plasma Science*, vol. 28, pp. 102–108, February 2000. 62
- [118] M. Melito, A. Galto, and G. Sorrentino, “Thermal Effects and Junction Temperature Evaluation of Power MOSFETs,” tech. rep., STMicroelectronics, 2015. 68
- [119] T. Tasca, “Pulse Power Failure Modes In Semiconductor,” *IEEE Transactions on Nuclear Science*, vol. 17, no. 6, p. 364, 1970. 72
- [120] J. H. Yee, W. J. Orvis, and L. C. Martin, “Theoretical Modeling of EMP Effects in Semiconductor Junction Devices,” Tech. Rep. AFWL-TR-82-91, Air Force Weapons Laboratory - Kirtland Air Force Base, New Mexico, 1983. 73
- [121] K. Takagi and K. Mano, “Temperature Rise of Transistor Junctions Due to Two-dimensional Current Flow,” in *IEEE Proceedings Letters*, vol. 55, pp. 2040–2041, November 1967. 73
- [122] T. Neffati, *L’électronique de A à Z*. Springer, dunod ed., 2016. 94
- [123] N. Ismail, I. Ahmad, and al., “Pulse Power Failure Model Of Power MOSFET Due To Electrical Overstress Using Tasca Method,” in *2006 IEEE International Conference on Semiconductor Electronics*, pp. 1006–1009, 2006. 96
- [124] P. Nicollian, W. Hunter, and J. Hu, “Experimental Evidence for Voltage Driven Breakdown Models in Ultrathin Gate Oxides,” pp. 7 – 15, 02 2000. 96
- [125] D. Zupac, R. Schrimpf, and K. Galloway, “ESD Effects in Power MOSFETs : A Review,” *Microelectronics Journal*, vol. 24, no. 1, pp. 125–138, 1993. 96
- [126] T. Funaki, “A Study on Self Turn-on Phenomenon in Fast Switching Operation of High Voltage Power MOSFET,” in *IEEE CPMT Symposium Japan*, November 2013. 97
- [127] M. Ren and al., “Dv/dt Induced Failure and Improvement of Power Superjunction MOSFET,” in *2020 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, pp. 1–4, 2020. 97
- [128] Toshiba Electronic Devices and Storage Corporation, “MOSFET Self Turn-on Phenomenon,” tech. rep., 2018. 97
- [129] M. Kelley and al., “Single-pulse avalanche mode operation of 10-kV/10A SiC MOSFET,” *Microelectronics Reliability*, vol. 81, pp. 174–180, 2018. 99
- [130] Toshiba Electronic Devices and Storage Corporation, “MOSFET Avalanche Ruggedness,” tech. rep., 2017-2018. 99

- [131] A. Fayyaz, L. Yang, and al., “Single Pulse Avalanche Robustness and Repetitive Stress Ageing of SiC Power MOSFETs,” *Microelectronics Reliability*, vol. 54, no. 9, pp. 2185–2190, 2014. 99

Annexe A

Annexes

A.1 Modèle de défaillance diode en tension

```
1  ----- VHDLAMS MODEL failure_diode -----
2
3  LIBRARY IEEE;
4  USE IEEE.ELECTRICAL_SYSTEMS.ALL;
5  ----- ENTITY DECLARATION failure_diode -----
6  ENTITY switch_ctrl_D1 IS
7      GENERIC (V_inv_seuil : Voltage :=0.0;
8              RON : RESISTANCE := 1.0e6 );--Resistance CO
9
10     PORT (
11         TERMINAL s1,s2,s3 : ELECTRICAL);
12
13     -----Architecture switch_ctrk_Wunsch-----
14     ARCHITECTURE archi OF switch_ctrl_D1 IS
15         QUANTITY vp ACROSS ip THROUGH s1 to s3; --tension/courant aux bornes switch
16         parallèle (aux bords du composants en direct)
17         QUANTITY vss ACROSS iss THROUGH s1 to s2; --tension/courant aux bornes switch
18         série
19         SIGNAL flag : BOOLEAN := FALSE;
20         SIGNAL sw_on, sw_off, sw_cc : BOOLEAN := FALSE;
21
22     BEGIN
23
24         sw_off <= ( vp'ABOVE(V_inv_seuil)AND iss'ABOVE(-2.0)) ;
25         sw_on <= NOT vp'ABOVE(V_inv_seuil) AND NOT iss'ABOVE(-2.0);
26         BREAK ON sw_on,sw_off;
27
28         flag <= TRUE WHEN (sw_on AND ( Vp <= (V_inv_seuil))AND iss < - 2.0 ) ELSE
29             UNAFFECTED;
30
31         IF(flag = FALSE) USE
32             ip==0.0; --non connecté aux modèle détruit
33             vss==0.0; --switch série fermé ==>  connection modèle constructeur composant
34         Else
35             Iss==0.0; --switch série ouvert ==>  déconnection du modèle constructeur
36             composant
37             vp==RON*ip; --switch parallèle ==> connection modèle détruit
38
39         End use;
40
41     END ARCHITECTURE archi;
```

FIGURE A.1 – Exemple de code vhdl-ams pour la défaillance d'une diode en tension.

A.2 Modèle de défaillance diode en courant

```

1  ----- VHDLAMS MODEL failure_diode -----
2  LIBRARY IEEE;
3  USE IEEE.ELECTRICAL_SYSTEMS.ALL;
4  ----- ENTITY DECLARATION failure_diode -----
5  ENTITY pontdiode_fail IS
6      GENERIC (R_cc: RESISTANCE := 1.0e-3; --Resistance cc
7              K1 : Real := 0.0; --coefficient loi de Wunsch et Bell
8              I_nominal : CURRENT :=0.0); -- courant nominal (data) de fonctionnement
9              composant
10     PORT (
11         TERMINAL cp, cn, c_plus, c_moins, aml: ELECTRICAL;
12     );
13 END ENTITY pontdiode_fail;
14 -----Architecture switch_ctrk_wunsch-----
15 ARCHITECTURE arch1 OF pontdiode_fail IS
16     Quantity Vmes ACROSS Imes THROUGH aml TO cp; --courant entrée du pont de diodes
17     QUANTITY vd1_diag1 ACROSS id1_diag1 THROUGH cp TO c_plus; -- switch parallèle
18     Diode D1-Diag1
19     QUANTITY vd2_diag1 ACROSS id2_diag1 THROUGH c_moins TO cn; --switch parallèle
20     Diode D2-Diag1
21     QUANTITY vd1_diag2 ACROSS id1_diag2 THROUGH c_moins TO cp; --switch parallèle
22     Diode D1-Diag2
23     QUANTITY vd2_diag2 ACROSS id2_diag2 THROUGH cn TO c_plus; --switch parallèle
24     Diode D1-Diag2
25     SIGNAL flag_Diag : INTEGER RANGE 2 DOWNTO 0 :=0 ;
26     SIGNAL sig_flag : BIT :='0'; --flag >2A
27
28 BEGIN
29     Vmes==0.0;
30
31     sig_flag <= '1' WHEN (now > 0.006 AND ((Imes'Above(I_nominal)= True) OR
32     (Imes'Above(-I_nominal)= False))) ELSE
33     UNAFECTED;
34
35 PROCESS
36     VARIABLE Iref:REAL :=0.0; --courant calculé par loi Wunsch Bell
37     VARIABLE Imoy_pos:REAL :=0.0; --courant moyen positif
38     VARIABLE Imoy_neg:REAL :=0.0; --courant moyen négatif
39     VARIABLE Iinteg_pos:REAL :=0.0; --intégrale courant positif
40     VARIABLE Iinteg_neg:REAL :=0.0; --intégrale courant négatif
41     VARIABLE I_avant:REAL :=0.0; --courant au temps d'avant
42     VARIABLE t_avant:REAL :=0.0; --temps d'avant
43     VARIABLE t_init : REAL := 0.0; --temps init
44 BEGIN
45     IF ((sig_flag = '0'))then
46         t_init := now;
47         t_avant :=t_init;
48         Imoy_pos :=0.0;
49         Imoy_neg:=0.0;
50     ELSIF((sig_flag = '1'))then
51
52         Iref := K1*(now-t_init)**(-0.25); --début du calcul loi Wunsch et Bell
53         --> référence
54         IF(Imes>=0.0)then -- Courant entrée pont positif
55             Iinteg_pos := Iinteg_pos + ((now-t_avant)*((Imes+I_avant)/2));
56             --calcul de l'intégrale positive
57             I_avant :=(Imes);
58             t_avant := now ;
59             Imoy_pos:= ((Iinteg_pos/(now-t_init))/2);
60             IF (Iref > (Imoy_pos))then --condition au dessous de la courbe
61             de Wunsch
62                 flag_Diag <=0;
63             ELSE
64                 flag_Diag <=1;
65                 WAIT;
66             END IF;
67
68         ELSIF(Imes<0.0) then-- Courant entrée pont négatif
69             Iinteg_neg := Iinteg_neg + ((now-t_avant)*((Imes+I_avant))/2));
70             --calcul de l'intégrale négative
71             I_avant := (Imes);
72             t_avant := now ;

```

```

64         Imoy_neg:= (abs(Iinteg_neg/(now-t_init))/2); --Comparaison en
65         valeur abs
66         IF (Iref > (Imoy_neg)) then --condition au dessous de la courbe
67         de wunch
68             flag_Diag <=0;
69         ELSE
70             flag_Diag <=2;
71             WAIT;
72         END IF;
73     END IF;
74     WAIT for 100 ns ;
75 END PROCESS ;
76 IF(flag_Diag =1) USE -- dessous de la courbe de wunch I>0
77     vd1_diag1 == R_cc*id1_diag1;
78     vd2_diag1 == R_cc*id2_diag1;
79     id1_diag2 == 0.0;
80     id2_diag2 == 0.0;
81 ELSIF(flag_Diag =0) USE
82     id1_diag1 == 0.0;
83     id2_diag1 == 0.0;
84     id1_diag2 == 0.0;
85     id2_diag2 == 0.0;
86 ELSIF(flag_Diag =2) USE -- dessous de la courbe de wunch I<0
87     id1_diag1 == 0.0;
88     id2_diag1 == 0.0;
89     vd1_diag2 == R_cc*id1_diag2;
90     vd2_diag2 == R_cc*id2_diag2;
91 ELSE
92     id1_diag1 == 0.0;
93     id2_diag1 == 0.0;
94     id1_diag2 == 0.0;
95     id2_diag2 == 0.0;
96
97     End use;
98 END ARCHITECTURE archi;

```

FIGURE A.2 – Exemple de code vhdl-ams pour la défaillance d'un pont de diodes en courant.

A.3 Modèle de défaillance mosfet en avalanche

```

1  ----- ENTITY DECLARATION mos_failure -----
2
3  LIBRARY IEEE;
4  USE IEEE.ELECTRICAL_SYSTEMS.ALL;
5  ----- ENTITY DECLARATION failure_diode -----
6  ENTITY mos_failure_alim IS
7
8      GENERIC (V_av_seuil : Voltage :=0.0;
9              I_av_seuil : Current :=0.0;
10             R_ccds : Resistance :=0.0;
11             R_ccgs : Resistance :=0.0;
12             R_ccgd : Resistance :=0.0
13            );
14  PORT (
15      TERMINAL am1, am2, d, dc, sc, s, g, gc : ELECTRICAL
16  );
17  END ENTITY mos_failure_alim;
18  ----- ARCHITECTURE DECLARATION arch_mos_failure -----
19  ARCHITECTURE arch_mos_failure_alim OF mos_failure_alim IS
20  QUANTITY vdis ACROSS idis THROUGH d to dc; --tension/courant switch drain
21  QUANTITY vggc ACROSS iggc THROUGH g to gc; --tension/courant switch grille
22  QUANTITY vssc ACROSS issc THROUGH s to sc; --tension/courant switch source
23
24  QUANTITY vdmes ACROSS idmes THROUGH am1 to am2; --mesure courant drain
25  QUANTITY vdsms ACROSS idsms THROUGH dc to s; --mesure tension drain source
26
27  QUANTITY vccds ACROSS iccgs THROUGH d to s; --CC drain source
28  QUANTITY vccgd ACROSS iccgd THROUGH g to d; --CC grille drain
29  QUANTITY vccgs ACROSS iccgs THROUGH g to s; --CC grille source
30  SIGNAL sw_on, sw_off : BOOLEAN := FALSE;
31  SIGNAL flag : BOOLEAN := FALSE;
32  SIGNAL flag : INTEGER RANGE 1 DOWNT0 0 :=0 ;
33
34  BEGIN
35      vdmes==0.0; --mesure courant drain
36      idsms==0.0; --mesure tension drain source
37      sw_on <= (Vdsms'ABOVE(V_av_seuil) AND idmes'ABOVE(I_av_seuil));
38      sw_off <=NOT Vdsms'ABOVE(V_av_seuil)AND NOT idmes'ABOVE(I_av_seuil);
39      BREAK ON sw_on, sw_off;
40      flag <= TRUE WHEN (sw_on AND (Vdsms >= (V_av_seuil)) AND (idmes >=
41          (I_av_seuil))) ELSE
42          UNAFFECTED;
43      IF(flag = FALSE) USE
44
45          vdis==0.0; --drain au modèle
46          vggc==0.0; --grille au modèle
47          vssc==0.0; --grille au modèle
48          iccgs ==0.0;
49          iccgd ==0.0;
50          iccgs ==0.0;
51      Else
52          idis==0.0;
53          iggc==0.0;
54          issc==0.0;
55          vccds==R_ccds*iccgs;
56          vccgd==R_ccgd*iccgd;
57          vccgs==R_ccgs*iccgs;
58      End use;
59  END ARCHITECTURE arch_mos_failure_alim;

```

FIGURE A.3 – Exemple de code vhdl-ams pour la défaillance d'un mosfet en avalanche.

A.4 Modèle de défaillance d'une résistance

```

1  ----- ENTITY DECLARATION mos_failure -----
2
3  LIBRARY IEEE;
4  USE IEEE.ELECTRICAL_SYSTEMS.ALL;
5  ----- ENTITY DECLARATION failure_diode -----
6  ENTITY mos_failure_alim IS
7
8      GENERIC (V_av_seuil : Voltage :=0.0;
9              I_av_seuil : Current :=0.0;
10             R_ccds : Resistance :=0.0;
11             R_ccgs : Resistance :=0.0;
12             R_ccgd : Resistance :=0.0
13            );
14     PORT (
15         TERMINAL am1,am2,d,dc,sc,s,g,gc : ELECTRICAL
16        );
17 END ENTITY mos_failure_alim;
18 ----- ARCHITECTURE DECLARATION arch_mos_failure -----
19 ARCHITECTURE arch_mos_failure_alim OF mos_failure_alim IS
20 QUANTITY vdis ACROSS idis THROUGH d to dc; --tension/courant switch drain
21 QUANTITY vggc ACROSS iggc THROUGH g to gc; --tension/courant switch grille
22 QUANTITY vssc ACROSS issc THROUGH s to sc; --tension/courant switch source
23
24 QUANTITY vdmes ACROSS idmes THROUGH am1 to am2; --mesure courant drain
25 QUANTITY vdsmes ACROSS idsmes THROUGH dc to s; --mesure tension drain source
26
27 QUANTITY vccds ACROSS iccgs THROUGH d to s; --CC drain source
28 QUANTITY vccgd ACROSS iccgd THROUGH g to d; --CC grille drain
29 QUANTITY vccgs ACROSS iccgs THROUGH g to s; --CC grille source
30 SIGNAL sw_on, sw_off : BOOLEAN := FALSE;
31 SIGNAL flag : BOOLEAN := FALSE;
32 SIGNAL flag : INTEGER RANGE 1 DOWNT0 0 :=0 ;
33
34 BEGIN
35     vdmes==0.0; --mesure courant drain
36     idsmes==0.0; --mesure tension drain source
37     sw_on <= (Vdsmes'ABOVE(V_av_seuil) AND idmes'ABOVE(I_av_seuil));
38     sw_off <=NOT Vdsmes'ABOVE(V_av_seuil)AND NOT idmes'ABOVE(I_av_seuil);
39     BREAK ON sw_on,sw_off;
40     flag <= TRUE WHEN (sw_on AND (Vdsmes >= (V_av_seuil)) AND (idmes >=
41         (I_av_seuil))) ELSE
42         UNAFECTED;
43     IF (flag = FALSE) USE
44
45         vdis==0.0; --drain au modèle
46         vggc==0.0; --grille au modèle
47         vssc==0.0; --grille au modèle
48         iccgs ==0.0;
49         iccgd ==0.0;
50         iccgs ==0.0;
51     Else
52         idis==0.0;
53         iggc==0.0;
54         issc==0.0;
55         vccds==R_ccds*iccgs;
56         vccgd==R_ccgd*iccgd;
57         vccgs==R_ccgs*iccgs;
58     End use;
59 END ARCHITECTURE arch_mos_failure_alim;

```

FIGURE A.4 – Exemple de code vhdl-ams pour la défaillance d'une résistance.

A.5 Essais de mise en avalanche du mosfet SPA11N80C3

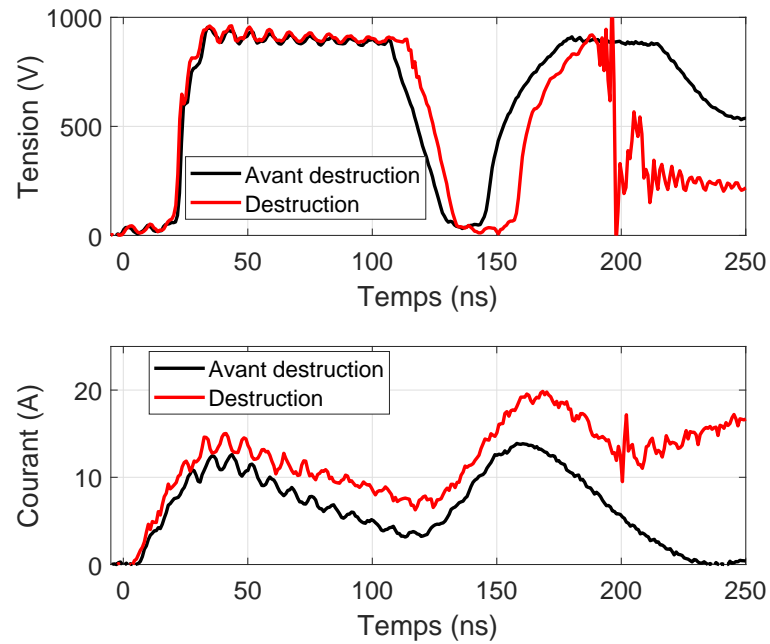


FIGURE A.5 – Mesures courants et tensions aux bornes du MOSFET SPA11N80C3 avant et au moment de la mise en avalanche lors du test.