



HAL
open science

Etude du Convertisseur Temps-Numérique de très haute précision pour des applications en Physique des particules pour les mises à jour du détecteur CMS auprès du LHC

Amina Annagrebah

► **To cite this version:**

Amina Annagrebah. Etude du Convertisseur Temps-Numérique de très haute précision pour des applications en Physique des particules pour les mises à jour du détecteur CMS auprès du LHC. Micro et nanotechnologies/Microélectronique. Université de Lyon, 2021. Français. NNT : 2021LYSE1264 . tel-03690502

HAL Id: tel-03690502

<https://theses.hal.science/tel-03690502>

Submitted on 8 Jun 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE DE DOCTORAT DE L'UNIVERSITÉ DE LYON
OPÉRÉE AU SEIN DE

l'Université Claude Bernard Lyon 1

École doctorale ED52 Physique et d'Astrophysique de Lyon (PHAST)

Spécialité de doctorat : Microélectronique

SOUTENUE PUBLIQUEMENT LE 01/12/2021, PAR :
Amina ANNAGREBAH

**Etude du Convertisseur Temps-Numérique
de très haute précision pour des applications en
Physique des particules pour les mises à jour du
détecteur CMS auprès du LHC**

Devant le jury composé de :

M.BAUDOT Jerome, Professeur des universités, Université de Strasbourg **Rapporteur**
M.BERGERET Emmanuel, Professeur des universités, Université Clermont **Rapporteur**
Mme.SEGUIN-MOREAU Nathalie, Ingénieur de Recherche, CNRS/IN2P3 **Examinatrice**
M.GUO-NENG LU, Professeur des universités, Université Lyon 1 **Président du jury**

M.LAKTINEH Imad, Professeur des universités, Université Lyon 1 **Directeur de Thèse**
M.CHANAL Hervé, Maître de conférences, Université Clermont Auvergne **co-encadrant**
M.BECHETOILLE Edouard, Ingénieur de Recherche, CNRS/IN2P3 **co-encadrant**

Table des matières

1	Introduction	19
1.1	Mise en contexte	19
1.2	Objectifs	19
1.3	Structure de la thèse	20
2	État de l'art	21
2.1	Application physique des hautes énergies (HEP)	21
2.1.1	Le Grand collisionneur de hadrons (LHC)	21
2.1.2	La chambre à muons (RPC)	23
2.1.3	Système de lecture du détecteur RPC	24
2.2	Caractéristiques métriques du convertisseur TDC	26
2.2.1	La résolution temporelle T_{LSB}	26
2.2.2	La Linéarité (DNL/INL)	27
2.2.3	L'erreur de conversion σ_{rms}	28
2.3	Présentation des architectures de TDCs	28
2.3.1	Le convertisseur Analogique TAC	29
2.3.2	Le TDC numérique : technique du compteur	30
2.3.3	Le TDC numérique : technique ligne de délais	31

2.3.4	L' Oscillateur en anneau TDC	32
2.4	Architecture pour améliorer la résolution des TDCs	33
2.4.1	Le Multi-path Oscillateur en anneau TDC	33
2.4.2	Le Vernier ligne de délais TDC	34
2.4.3	Le Vernier Oscillateur en anneau TDC	35
2.4.4	Le 2D Vernier TDC	36
2.5	Le bruit dans les oscillateurs en anneaux	39
2.5.1	Bruit de premier ordre (Procédé, Voltage, Température)	39
2.5.2	Jitter dans les oscillateurs en anneaux	41
2.6	Résumé des performances des architectures de TDCs	43
3	Etude du TDC Vernier Ring Oscillateur monophasé et multiphasé	45
3.1	Introduction	45
3.2	Le TDC Vernier oscillateur en anneau monophasé	46
3.2.1	Principe de fonctionnement	46
3.2.2	Résolution temporelle du Vernier Oscillateur en anneau TDC monophasé T_{LSB}	48
3.2.3	Temps de conversion du Vernier Oscillateur en anneau TDC monophasé $T_{c_{mono}}$	49
3.2.4	Jitter des oscillateurs dans le TDC monophasé	51
3.3	Le TDC Vernier oscillateur en anneau multiphasé	51
3.3.1	Principe de fonctionnement	51
3.3.2	Résolution temporelle du Vernier oscillateur en anneau TDC multiphasé Δ	54
3.3.3	Modélisation du Vernier Oscillateur en anneau TDC multiphasé	58
3.4	Comparaison des performances entre le TDC monophasé et multiphasé	59
3.4.1	Amélioration de la résolution temporelle	59
3.4.2	Amélioration du temps de conversion	60
3.4.3	Amélioration du jitter des oscillateurs en anneaux	61
3.5	Conclusion	62

4	Conception	63
4.1	Introduction	63
4.2	Classification des oscillateurs en anneaux	64
4.2.1	L'oscillateur en anneau unique	65
4.2.2	L'oscillateur en anneau différentiel	66
4.2.3	L'oscillateur pseudo-différentiel	68
4.2.4	Résumé des performances des oscillateurs en anneau	70
4.3	Réglage de la fréquence de l'oscillateur en anneau	71
4.3.1	Nombre d'étages N	71
4.3.2	La charge de sortie capacitif C_L	73
4.3.3	Le courant dans l'inverseur I_0	75
4.3.4	La tension d'alimentation V_{DDRING}	75
4.3.5	Résumé	78
4.4	Étude du jitter dans les oscillateurs en anneaux	78
4.4.1	Définition du jitter dans le retard d'une porte	78
4.4.2	Le jitter causé par le bruit dans la charge d'un inverseur CMOS	80
4.4.2.1	Expression du retard de la porte T_d	80
4.4.2.2	Expression de la pente S (slew rate) sur le signal de sortie V_{OUT}	81
4.4.2.3	Expression du bruit en tension σ_v	82
4.4.2.4	Expression du jitter σ_t dans un inverseur CMOS	82
4.4.3	Expression de la constante de bruit K	82
4.5	Conception de l'oscillateur en anneaux	83
4.5.1	Topologie de l'anneau	83
4.5.2	Retard de l'inverseur pseudo-différentiel	84

4.5.3	Jitter de l'inverseur pseudo-différentiel	86
4.5.4	Nombre d'étages	86
4.5.5	Design du CMOS oscillateur	87
4.5.6	Simulation du jitter de l'oscillateur en anneau.	88
4.5.7	Simulation de la variation de fréquence	91
4.5.8	Réglage du pas de quantification temporel T_{LSB}	94
4.6	Matrice de détection de phase	94
4.7	Compteurs	96
4.8	Performances du TDC en simulation	97
4.8.1	Estimation de la résolution temporelle monophasé T_{LSB} et multiphasé Δ en simulation	97
4.8.2	Calcul des temps de conversion monophasé $T_{c_{mono}}$ et multiphasé $T_{c_{multi}}$	102
4.8.3	Estimation du jitter des oscillateur en anneau pour le TDC monophasé et multiphasé	106
4.9	Conclusion	108
5	Méthodologie et Résultats de mesures	109
5.1	Présentation du banc de test	109
5.1.1	Mise en boîtier du circuit	109
5.1.2	Le circuit imprimé (PCB)	110
5.1.3	Équipement de mesure	111
5.1.4	Algorithme de mesure	112
5.2	Mesure des performances de l'oscillateur en anneau	112
5.2.1	Test en température de la fréquence des oscillateurs en anneau	115
5.3	Performances du TDC en monophasé	117
5.3.1	La résolution temporelle T_{LSB}	117
5.3.2	La précision temporelle σ_{global}	120
5.3.3	La linéarité (DNL/INL)	124
5.4	Performances du TDC multiphasé	126
5.4.1	Précision du TDC multiphasé	128
5.4.2	Amélioration de la résolution temporelle	131
5.4.3	Bilan	134

6 Conclusion et Discussion	135
6.1 Résumé des résultats	135
6.1.1 Le vernier ring oscillateur TDC monophasé	135
6.1.2 La solution multiphasé	136
6.1.3 Méthode de caractérisation et de mesure du TDC multiphasé	136
6.1.4 Performances de mesures du TDC	136
6.2 Améliorations et recommandations	138
6.2.1 Amélioration du design	138
6.2.2 Améliorations en layout	138

Liste des tableaux

2.1	Comparaison entre les différentes architectures évoquées dans ce chapitre	44
3.1	Comparaisons des performances de différentes architectures de TDCS d'une même finesse de gravure	45
4.1	Récapitulatif des performances visées par le TDC	63
4.2	Résumé des performances des 3 architectures d'oscillateur en anneaux	70
4.3	Résumé des moyens de réglages de la fréquence des oscillateurs en anneau	78
4.4	Performances de 3 prototypes d'oscillateurs en anneau pseudo- différentiels	87
4.5	Résultats de simulation comparant les TDC mono- et multi-phase	108
5.1	Les tensions d'alimentations du TDC	111
5.2	Performances des oscillateurs en anneaux Lent (Slow) et Rapide (Fast)	114
5.3	Linéarité du TDC	126
5.4	Comparaison des performances du TDC multiphase	132
5.5	Comparaison à l'état de l'art	134
6.1	Performances en simulation du TDC	136
6.2	Récapitulatif des performances mesurées du TDC	137

Table des figures

2.1	Vue d'ensemble du LHC avec l'emplacement des quatre principaux détecteurs du LHC : ALICE, ATLAS, CMS et LHCb	22
2.2	Vue d'ensemble du détecteur CMS	22
2.3	Coupe transversale du détecteur CMS	23
2.4	La chambre à muons (RPC)	23
2.5	Schéma simplifié du système de lecture du détecteur RPC	24
2.6	Principe du TDoA	25
2.7	Incertitude temporelle du système RPC	25
2.8	Caractéristique de transfert idéale d'un convertisseur T/D 2 bits	26
2.9	Définition de la non-linéarité différentielle (DNL)	27
2.10	Définition de la non-linéarité intégrale (INL)	28
2.11	Exemple de fonction de transfert de convertisseur T/D illustrant les caractéristiques métriques	28
2.12	Schéma bloc et chronogramme d'un TAC	29
2.13	Chronogramme d'un compteur TDC	30
2.14	Architecture et chronogramme d'une ligne à délais	31
2.15	Architecture d'un oscillateur en anneau TDC	32
2.16	Concept du Gated oscillateur en anneau TDC	33

2.17 Implémentation d'un oscillateur en anneau traditionnel ou multi-path : a) structure traditionnelle b) structure multi-path	34
2.18 Architecture d'une vernier ligne de délais	34
2.19 Schéma bloc Vernier TDC	36
2.20 Principe du Vernier linéaire	37
2.21 Principe du Vernier 2D	37
2.22 Dépendance du temps de calcul de sortie en fonction de l'intervalle de temps d'entrée pour un TDC Vernier 2D et un TDC Vernier 1D	38
2.23 RO	40
2.24 RO	40
2.25 CMOS inverter	41
2.26 (a) : Définition d'un jitter dans un oscillateur en anneau ; (b) : Oscillateur en anneau avec un bruit blanc en entrée ; (c) : Jitter cumulé dans un oscillateur en anneau [1]	42
3.1 Schéma bloc du TDC Vernier Oscillateur en anneau monophasé	46
3.2 Chronogramme du TDC Vernier Oscillateur en anneau monophasé : cas $T_{hit} < T_{slow}$	47
3.3 Le temps de propagation dans un inverseur	48
3.4 Chronogramme d'un Oscillateur en anneau : Exemple sur 3 étages (X,Y,Z) La période du signal X est égale : $T = 3 \times (t_{HL} + t_{LH}) = 6ns$	48
3.5 Chronogramme du TDC à étage unique : cas $T_{hit} > T_{slow}$	50
3.6 Schéma bloc du TDC Vernier oscillateur en anneau multiphasé	52
3.7 Chronogramme des signaux de sorties de l'oscillateur lent	52
3.8 Chronogramme des signaux de sorties de l'oscillateur rapide	53
3.9 Chronogramme du TDC multiphasé	54
3.10 Chronogramme de la détection multiphasé : méthode du premier qui gagne	55
3.11 Chronogramme de la détection multiphasé :deuxième détection de phase	56

3.12	Modélisation du Vernier Oscillateur en anneau TDC multiphase, $k=26.7$, $\Delta = 14ps$, $T_{LSB} = 70ps$	58
3.13	comparaison du TDC monophasé vs multiphasé	59
4.1	Schéma bloc du TDC multiphasé	64
4.2	Oscillateur LC	65
4.3	Oscillateur en anneau unique avec N étages d'inverseur CMOS	66
4.4	Bruit d'alimentation et du substrat dans un oscillateur en anneau unique : (a) Couplage d'amplitude dû au bruit du substrat, (b) Variation du temps de propagation à cause du bruit d'amplitude	67
4.5	Schéma d'un Oscillateur en anneau différentiel	67
4.6	Schéma d'un oscillateur en anneau différentiel	68
4.7	Schéma d'un Oscillateur pseudo-différentiel	68
4.8	Couplage d'amplitude dans un oscillateur pseudo-différentiel	69
4.9	Modulation du délai de la porte dans un oscillateur pseudo-différentiel	70
4.10	Modélisation simple de la fréquence dans un oscillateur en anneau	71
4.11	Réglage de la fréquence de l'oscillateur en anneau, en modifiant le nombre d'étage de l'anneau	72
4.12	Simulation de la variation de fréquence du oscillateur en anneau avec le nombre d'étage de l'anneau N. Dans cet exemple : $T_d = 21ps$, $T_{and} = 79 ps$ et $T_{mux} = 180 ps$	72
4.13	Réglage de la fréquence d'un oscillateur en anneau en variant la charge Capacitif C_L	74
4.14	Réglage de la fréquence d'un oscillateur en variant la charge capacitive en sortie : a) Exemples de diodes varicap b) Évolution de la capacité d'un transistor PMOS quand $B=D=S$ en fonction du potentiel V_{BG} c) Caractéristiques de la variations de la fréquence avec des diodes varicap [20]	74
4.15	Réglage de la fréquence de l'oscillateur en variant la charge capacitive en sortie avec des capacités commutées	75
4.16	Réglage de la fréquence de l'oscillateur en anneau en variant le courant dans l'inverseur	76
4.17	Variation de la fréquence de l'oscillateur en anneau en fonction du courant dans l'inverseur	76
4.19	Variation de la fréquence de l'oscillateur en anneau avec la tension d'alimentation V_{DDRING}	77

4.18 Réglage de la fréquence de l'oscillateur en anneau en variant la tension d'alimentation VDD	77
4.20 Forme du jitter dans le retard d'une porte	79
4.21 Modèle simplifié du bruit produit par la charge d'un inverseur CMOS : transition du haut vers le bas.	80
4.22 Formes d'onde de bruit de résistance de charge, cas d'un inverseur CMOS	81
4.23 (a) Topologie de l'oscillateur en anneau, (b) Schéma de l'étage de retard :inverseur pseudo-différentiel.	84
4.24 Variation du retard de l'inverseur avec la largeur (W) et la longueur (L) du MOS	86
4.25 Variation du jitter rms de l'inverseur en fonction de sa largeur W pour plusieurs valeurs de sa longueur L.	87
4.26 Oscillateur en anneaux à 9 étages pseudo-différentielles	88
4.27 Résultats de simulation de l'oscillateur en anneau : La fréquence d'oscillation F_{ring} est de 1.05 GHz.	89
4.28 Résultats de simulation des sorties V2+ et V2- de l'inverseur pseudo-différentiel : (a) Le temps de montée (rise time) est de 26.10 ps. (b) Le temps de descente (fall time) est de 26.16ps.	89
4.29 Analyse du jitter cumulé de l'oscillateur en anneau en fonction du temps d'oscillation.	90
4.30 Variation du Jitter cumulé maximal de l'oscillateur en anneau en fonction de la température et des procédés de fabrication (corners SLOW et corners FAST) : La valeur maximale du jitter en corners SLOW σ_{max} est de 2.25 ps.	91
4.32 Variation de la fréquence en fonction de la température en corner typique pour un code=17 : La fréquence diminue avec la température avec une variation de 6 %	92
4.31 Plage de réglage de la fréquence de l'oscillateur en anneau en corner typique : Valeur moyenne 1.06 GHz	92
4.33 Variation de la fréquence en fonction des modèles et des codes de configuration a température constante 25°C : La fréquence diminue pour les corners <i>SLOW</i> et augmente pour le corners <i>FAST</i>	93
4.34 Variation de la fréquence en fonction des modèles et des codes de configuration et de la température	94
4.35 Variation de la différence de périodes en fonction des modèles et de la température : variation de 12%	95

4.36	Chronogramme de la détection multiphase	95
4.37	Schéma de l'arbitre	96
4.38	Chronogramme du détecteur de phase.	96
4.39	Caractéristique du TDC monophasé : la résolution est $T_{LSB} = 225 ps$	98
4.40	Caractéristique avec phases du TDC multiphase : La résolution monophasé de chaque détecteur de phase est $T_{LSB} = 225 ps$	99
4.41	Caractéristique du TDC multiphase $\min(T_{CONV})$: La résolution multiphase est $\Delta = 25 ps$	99
4.42	Simulation des oscillateurs lent et rapide : Choix de la période lente $T_s = 963.5 ps$ et de la période rapide $T_f = 952.6 ps$ avec la différence $T_s - T_f = 10.9 ps$	100
4.43	Codes du compteur rapide (fins) N_{fin} : La résolution est $T_{LSB} = 10.9 ps$	101
4.44	Caractéristique du TDC monophasé : La résolution est $T_{LSB} = 10.9 ps$	101
4.45	Délais entre deux sorties en phase de l'oscillateur lent $\tau_s = \frac{\sum_1^9(\tau_i)}{9} = 107.05 ps$	102
4.46	Caractéristique de 9 phases du TDC multiphase : La résolution monophasé de chaque phase détecteurs est $T_{LSB} = 10.9 ps$	103
4.47	Caractéristique du TDC multiphase $\min(T_{CONV})$: La résolution multiphase est $\Delta = 1.2 ps$	103
4.48	Codes fins du compteur rapide N_{fin} en fonction du temps T_{hit} : le nombre de tours maximal du compteur fin en mode Vernier $N_{finmono_{max}} = 5$	104
4.49	Caractéristique des codes fins du compteur rapide N_{fin} en fonction du temps T_{hit} : Si $T_{hit} < 125 ps$ le nombre de tour maximal du compteur fin en mode vernier multiphase $N_{finmulti_{max}} = 1$	105
4.50	Résultats de simulation du jitter cumulé de l'oscillateur σ_{osc} en fonction de la résolution T_{LSB}	107
5.1	Un aperçu des types de boîtier couramment utilisés	110
5.2	Illustration du boîtier utilisé pour le prototype du TDC.	110
5.3	Circuit imprimé de la carte d'interface et de la carte d'acquisition	111
5.4	Générateur de délais	112
5.5	Sonde différentielle 1GHz	112
5.6	Oscilloscope Agilent à 13 GHz de bande passante	112

5.7	schémas du montage de test du TDC	113
5.8	Port GPIO dans un raspberry pi 3	113
5.9	Fréquences d'oscillation en fonction des bits de réglages	114
5.10	Fréquences d'oscillation en fonction des bits de réglages et de la température	115
5.11	Fréquences d'oscillation en fonction de la température	116
5.12	Dépendance de la fréquence et la différence des fréquences en fonction de la température	116
5.13	Caractéristique des codes de sorties du TDC sur une plage dynamique de 25 ns et avec un $T_{LSB}=80.85$ ps	118
5.14	Codes fins du compteur rapide en sortie du TDC en fonction du temps réel en entrée du TDC : La resolution temporelle $T_{LSB}=80.85ps$	119
5.15	Caractéristique des codes fins du compteur rapide en sortie du TDC en fonction du délai de temps réel variant de 10 ps à 1 ns. Le calcul de la résolution temporelle se fait selon la méthode de la moyenne.	119
5.16	Précision des codes fins du TDC : méthode de différence par rapport à la ligne droite dans le cas d'une résolution $T_{LSB} = 80ps$ et $\sigma_{global} = 22.53ps$	122
5.17	Précision temporelles des codes fins du TDC pour une résolution temporelle : $T_{LSB} = 52ps$ et $\sigma_{global} = 15.81ps$	123
5.18	Précision temporelles des codes fins du TDC pour une résolution temporelle : $T_{LSB} = 22ps$ et $\sigma_{global} = 13.2ps$	123
5.19	La précision temporelle du TDC en fonction de la résolution temporelle de quantification. La résolution temporelle optimale est $T_{LSB} = 30ps$ le précision temporelle $\sigma_{global} = 11.21$ ps	124
5.20	DNL mesurée pour chaque code de la caractéristique pour une résolution $T_{LSB}=80.85$ ps	125
5.21	DNL mesurée pour chaque code de la caractéristique : (a) $T_{LSB}=52.52$ ps et (b) : $T_{LSB}=32.42$ ps	125
5.22	INL mesurée pour chaque code de la caractéristique : (a) $T_{LSB}=52.52$ ps et (b) : $T_{LSB}=32.42$ ps	126
5.23	Schéma bloc du TDC multiphase	127
5.24	Codes fins en sortie du TDC multiphase en fonction du délais (Start-Stop) en entrée du TDC pour une valeur $T_{LSB} = 80.85 ps$	127

5.25	Caractéristique des données issues de 3 détecteurs de phase : La résolution temporelle est $T_{LSB}=80ps$	129
5.26	Nouvelle fonctions de transfert du TDC en combinant 3 détecteurs de phase : $T_{LSB}=80ps$ et $\sigma_{global}=24.92ps$	129
5.27	Précision temporelle du TDC monophasé et multiphasé en fonction de la résolution à partir des données de 9 détecteurs de phase	130
5.28	Caractéristique des codes fins du TDC échantillonnés par 3 phases de détecteurs avec une résolution temporelle $T_{LSB} = 72ps$ et précision globale mesurée $\sigma_{globale}=18.65 ps$: (a) détecteur de phase PD_4 (b) détecteur de phase PD_5 (c) détecteur de phase PD_8	131
5.29	Nouvelle caractéristique avec l'ensemble des codes fins échantillonné par 3 phase de détecteurs :La résolution multiphasé mesurée $\Delta = 34.09ps$ et la précision globale mesurée donne $\sigma_{globale}=11.67 ps$	131
5.30	Nouvelle caractéristique avec l'ensemble des codes fins échantillonné par 5 phase de détecteurs :La résolution multiphasé mesurée $\Delta = 26.76ps$ et la précision globale mesurée donne $\sigma_{globale}=14.87 ps$	132
5.31	Précision temporelle du TDC monophasé et multiphasé en fonction de la résolution à partir des données de 9 détecteurs de phase : comparaison de la méthode multiphasé "First PD" et multiphasé " All PD"	133

Chapitre 1

Introduction

1.1 Mise en contexte

La mise en jouvence des expériences auprès du collisionneur LHC au CERN fera appel à des détecteurs de plus en plus performants afin de faire face au défi qu'est l'augmentation très importante du nombre de collisions. Cette augmentation conduira à plus de confusion des produits issus de différentes collisions. Parmi les solutions qui permettront de réduire cette confusion et améliorer la construction des processus physiques, l'étiquetage précis en temps est une voie envisagée. Une mesure précise en temps de la détection des particules produites lors des collisions permettra également d'atteindre une précision spatiale accrue de la détermination du point d'interaction. Une mesure de temps précise est possible grâce à l'utilisation des détecteurs de type Resistive Plate Chamber (RPC) développés par les physiciens de l'IP2I et proposés pour équiper le détecteur CMS du LHC. Pour y parvenir, l'électronique de lecture doit pouvoir préserver la performance de ces détecteurs en atteignant une excellente résolution temporelle.

1.2 Objectifs

Dans cette thèse, nous décrivons le développement et la démonstration d'architectures adaptées pour la mesure précise d'intervalles de temps courts. Notre objectif est d'évaluer et de démontrer des architectures pouvant être intégrées à une technologie CMOS standard 130nm. Pour y arriver, des objectifs spécifiques sont définis :

- Obtenir une résolution temporelle inférieure à 10 ps
- Assurer une précision temporelle inférieure à 2 ps_{rms}
- Avoir une dynamique de mesure de 25 ns
- Assurer une non-linéarité intégrale (INL) inférieure à 1 LSB
- Faible consommation pour éviter des points chauds sur les détecteurs
- Avoir des structures de tests pour la caractérisation des TDCs

Bien que l'accent soit mis sur le développement de l'architecture, nous avons effectué une analyse détaillée des circuits critiques qui déterminent les performances du convertisseur.

1.3 Structure de la thèse

La structure de cette thèse suit naturellement les développements réalisés au cours de la durée du travail. Elle est divisée en quatre parties, chacune décrivant une étape importante du travail.

Dans le chapitre 2 de cette thèse, nous commençons par une introduction au sujet. Il comprend une brève description des objectifs d'une expérience de physique des hautes énergies et des systèmes nécessaires pour les atteindre. La nécessité de mesures de temps à haute résolution est soulignée dans cette partie. Un aperçu général des caractéristiques intéressantes d'un convertisseur temps-numérique (TDC) est donné sous la forme de métriques de caractérisation. Nous avons utilisé ces métriques tout au long du travail pour évaluer les performances temporelles des convertisseurs T / D. Nous présentons ensuite un bref tour d'horizon des architectures de mesures d'intervalle de temps qui ont été utilisées dans le passé, en soulignant leurs avantages et leurs inconvénients .

Dans le chapitre 3, nous réalisons une étude pour évaluer une architecture de TDC basée sur un Vernier Ring Oscillateur (VRO). Dans ce chapitre, nous examinons les performances de la structure monophasé et nous réalisons un modèle théorique multiphasé inspiré de l'architecture Vernier 2D mais que nous avons adaptés aux oscillateurs en anneaux. Une comparaison théorique des performances entre les deux approches monophasé et multiphasé est présenté dans ce chapitre 3.

Ensuite, au chapitre 4, la conception du TDC basé sur une structure VRO multiphasé sera abordée. Une présentation détaillée des architectures des oscillateurs en anneaux est réalisée dans ce chapitre en soulignant l'impact du jitter cumulé sur les performances du TDC. Un schéma de principe et une brève description du prototype TDC sont présentés dans ce chapitre, ainsi que les performances estimées en simulation.

Nous procédons ensuite à la présentation des résultats expérimentaux obtenus à partir du prototype TDC dans le chapitre 5, suivie de la méthodologie et du matériel nécessaire pour l'acquisition des mesures.

Chapitre 2

État de l'art

2.1 Application physique des hautes énergies (HEP)

La physique des hautes énergies (HEP), ou physique des particules, est la discipline qui explore et tente de comprendre la structure profonde de la matière. Au fur et à mesure que la discipline évoluait, certains modèles ont été développés pour expliquer cette structure. Le développement théorique de ces modèles est démontrés par des tests expérimentaux. La construction du modèle standard des interactions fondamentales (fortes, faibles, électromagnétiques) des quarks et leptons est l'un des principaux résultats de la physique moderne des particules élémentaires. Ce modèle est basé sur la théorie spéciale de la relativité, la symétrie locale et le mécanisme de la violation spontanée de la symétrie. Ces dernières années, les prédictions de ce modèle ont été testées à plusieurs reprises par de multiples ans le cadre d'expériences. À l'heure actuelle, ce modèle constitue la seule théorie physique qui décrit correctement le monde de l'infiniment petit.

2.1.1 Le Grand collisionneur de hadrons (LHC)

Le Grand collisionneur de hadrons (Large Hadron Collider LHC) est l'une des installations expérimentales les plus complexes jamais créées. Ce grand complexe a été conçu pour la recherche en physique des particules élémentaires avec une énergie de collision nominale au centre de masse de 14 TeV. Le LHC est situé au CERN (zone frontalière entre la Suisse et la France, près de Genève), dans un tunnel de 27 km de rayon à une profondeur d'environ 100 mètres (Fig. 2.1) [30]

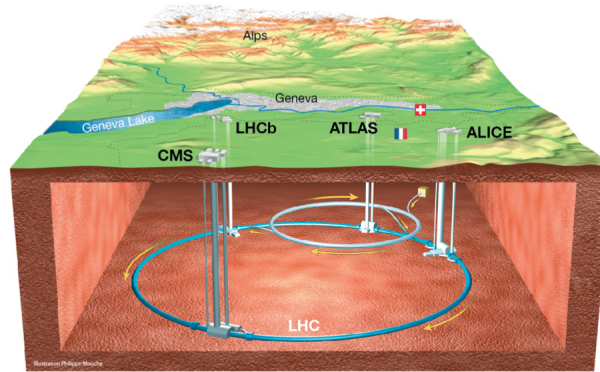


FIGURE 2.1: Vue d'ensemble du LHC avec l'emplacement des quatre principaux détecteurs du LHC : ALICE, ATLAS, CMS et LHCb

Le Compact Muon Solenoid (CMS) est l'un des deux grands détecteurs universels situés au nord du centre du LHC. Le détecteur mesure 25 m de long et 15 m de diamètre (Fig. 2.2). Le détecteur CMS a un aimant supraconducteur énorme et puissant recouvrant le tracker et les calorimètres et un énorme tracker en silicium avec un rayon de 1,2 mètre [10].

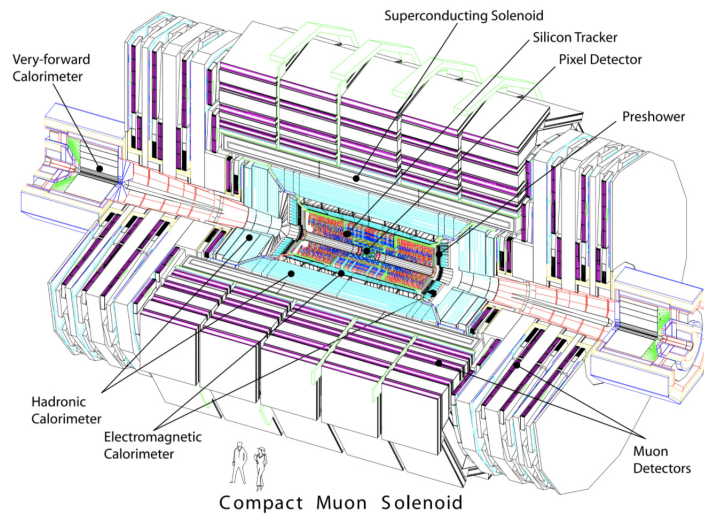


FIGURE 2.2: Vue d'ensemble du détecteur CMS

Une section transversale du détecteur CMS est représentée dans la figure 2.3 [6]. Il y a plusieurs couches de trackers, suivies par l'électromagnétique et les calorimètres hadroniques, un solénoïde magnétique puis un joug massif de l'aimant avec des chambres à muons.

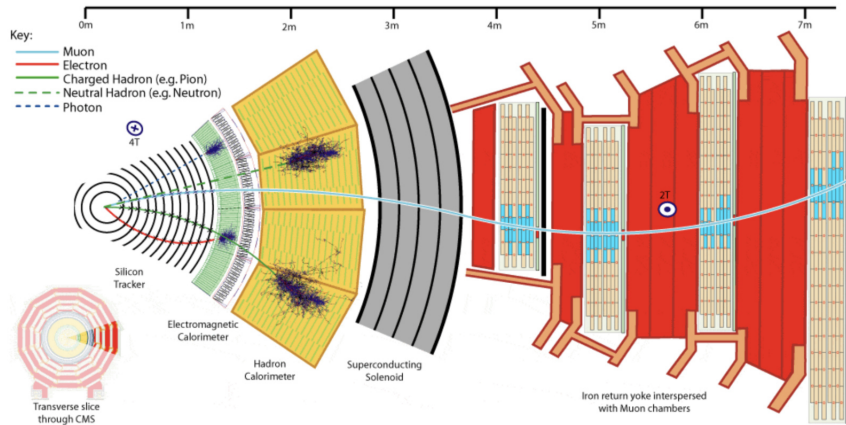


FIGURE 2.3: Coupe transversale du détecteur CMS

2.1.2 La chambre à muons (RPC)

La chambre à muons de type Resistive Plate Chamber (RPC) a été développée au début des années 80 du 20e siècle. Cette chambre se compose de deux plaques d'électrodes parallèles qui sont fabriquées en bakélite [38] ou en verre [22], séparées par un intervalle de gaz de quelques millimètres (figure 2.4).

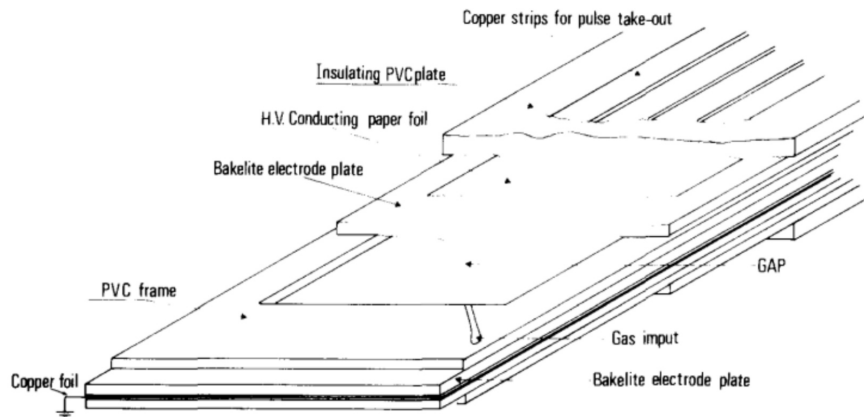


FIGURE 2.4: La chambre à muons (RPC)

Le fonctionnement de ce détecteur est basé sur l'ionisation de gaz par les particules chargées le traversant. En effet, lorsqu'une particule chargée traverse la chambre, elle subit une série d'interactions stochastiques avec des atomes et des molécules, transmettant une partie de son énergie. Cette énergie est alors dissipée par la création d'une paire ion-électron et l'émission de photons. Ces photons et les électrons peuvent alors ioniser d'autres atomes et ainsi de suite. La multiplication des électrons et des paires d'ions s'arrête lorsque l'énergie des particules émises devient inférieure à l'énergie d'ionisation de l'atome [37].

2.1.3 Système de lecture du détecteur RPC

Une vue simplifiée de l'électronique frontale (front-end) proposée par le groupe lyonnais dans le cadre du projet de mise en jouvence de l'expérience CMS pour la lecture du détecteur RPC est représentée dans la figure 2.5.

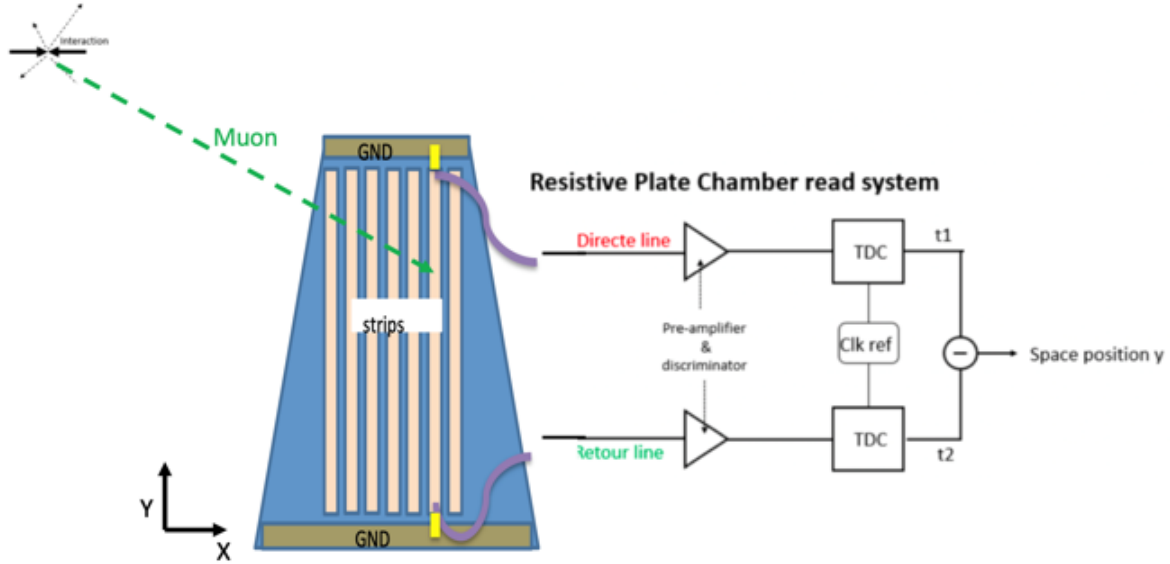


FIGURE 2.5: Schéma simplifié du système de lecture du détecteur RPC

L'électronique de front-end permet de lire le signal électrique émis par le détecteur quand une particule chargée comme le muon traverse la chambre. Les deux parties principales de cette électronique sont le préamplificateur et le TDC. Le préamplificateur (amplification, discrimination, etc) lit le signal électrique émis par le détecteur afin de le rendre utilisable par le TDC. Ce dernier convertit les informations de synchronisation que porte le signal en un mot binaire. [12]. L'objectif du système de lecture illustré dans la figure 2.5 est de trouver la position en Y d'un muon qui croise le détecteur sur une bande (strip) du détecteur. Pour ce faire, une nouvelle approche proposée par le groupe lyonnais repose sur la méthode de la différence de temps d'arrivée (TDoA) [32]. Pour estimer la position le long d'une bande (Y), on peut utiliser la formule suivante :

$$Y = \frac{L}{2} - \frac{v(t_2 - t_1)}{2} \quad (2.1)$$

où Y est la position le long de la bande de lecture. L est la longueur totale de la bande. v est la vitesse de transmission du signal. t₁ et t₂ les temps d'arrivée du signal aux deux extrémités de la bande.

L'efficacité de localiser les muons par la technique TDoA est directement liée à la résolution temporelle de tout le système de lecture. Le détecteur RPC n'est qu'une petite partie du système. L'électronique frontale génère également des incertitudes temporelles qui s'ajouteront à la résolution intrinsèque du détecteur, limitant la résolution temporelle globale du système.

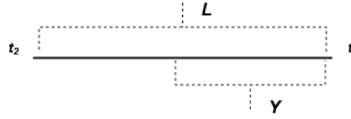


FIGURE 2.6: Principe du TDoA

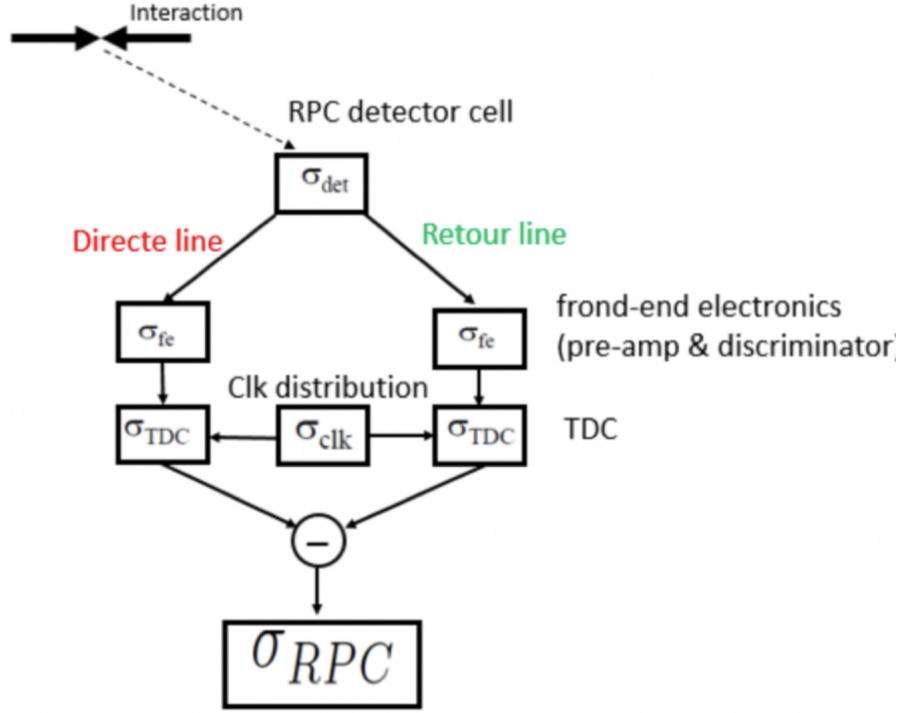


FIGURE 2.7: Incertitude temporelle du système RPC

Le signal créé par le passage d'une particule chargée est divisée en deux signaux identiques dans le cas d'un modèle où les strips sont des lignes de transmission avec une impédance constante tout au long de ces strips. Les deux signaux sont mesurés ensuite par deux canaux électroniques différents. Ainsi, la précision temporelle du système de lecture du détecteur RPC dépend principalement des incertitudes temporelles de l'électronique frontale.

Dans un tel système distribué, il est raisonnable de supposer que toutes les incertitudes temporelles générées dans les différents blocs ne sont pas corrélées. Par conséquent, suivant le schéma de propagation d'erreur de la figure 2.7, l'incertitude temporelle du système RPC est :

$$\sigma_{RPC}^2 = 2\sigma_{fe}^2 + 2\sigma_{TDC}^2 + 2\sigma_{clk}^2 \quad (2.2)$$

Pour simplifier, les incertitudes temporelles du bloc frontal (σ_{fe}), du convertisseur TDC (σ_{TDC}) et du réseau de distribution d'horloge (σ_{clk}) ont été considérées comme ayant les mêmes propriétés statistiques dans les deux chaînes indépendantes du système.

Il est donc important de minimiser l'incertitude temporelle créée par tous les composants électroniques de

la chaîne. Pour obtenir une incertitude de détection du système meilleure que $\sigma_{RPC} < 20$ ps, la résolution du convertisseur TDC doit bien inférieure à cette valeur. Il en est de même pour l'incertitude temporelle du front-end [12]. L'incertitude de l'horloge de référence σ_{clk} est en général négligeable par rapport aux deux précédentes.

Outre les performances temporelles des TDCs dans le domaine de la physique des particules et dans ces expériences, l'utilisation des TDCs est très répandue dans le monde industriel. Par exemple, les TDCs ont été largement adoptés dans les applications d'imagerie biomédicale pour fournir des informations temporelles, telles que la tomographie par émission de positon (TEP) en temps de vol (ToF) [51]. Les TDCs sont aussi utilisés pour remplacer les composants analogiques encombrants et passifs dans les nouvelles générations de synthétiseurs de fréquences numériques [44].

2.2 Caractéristiques métriques du convertisseur TDC

2.2.1 La résolution temporelle T_{LSB}

Un convertisseur TDC effectue la conversion d'un intervalle de temps (un délai) en un mot binaire. Cette opération comprend une discrétisation d'amplitude (quantification), ce qui signifie que sa fonction de transfert est en forme d'escalier, comme le montre la figure 2.8.

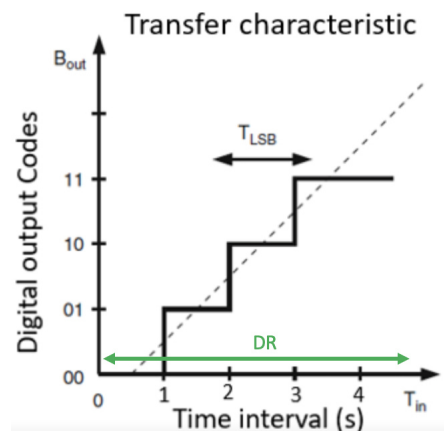


FIGURE 2.8: Caractéristique de transfert idéale d'un convertisseur T/D 2 bits

Un convertisseur idéal est caractérisé par son bit de poids faible (LSB) et la plage dynamique de conversion (DR : Dynamic Range). Dans un convertisseur TDC le LSB correspond au plus petit retard qui peut être discriminé. Ce petit retard donne ce que nous définissons comme la résolution temporelle T_{LSB} . La gamme dynamique (DR) correspond au plus grand retard qui peut être mesuré.

2.2.2 La Linéarité (DNL/INL)

La linéarité d'un système est la différence entre les fonctions de transfert réelle et idéale. Quand la fonction de transfert a une forme en marche d'escalier comme dans le cas des convertisseurs TDCs ou ADCs, on retrouve deux types de linéarité :

- La non-linéarité différentielle (DNL) (figure 2.9)
- La non-linéarité intégrale (INL) (figure 2.10)

La non-linéarité différentielle DNL, correspond à la déviation de la largeur de chaque palier de la caractéristique par rapport à la largeur idéale de 1 LSB (figure 2.9).

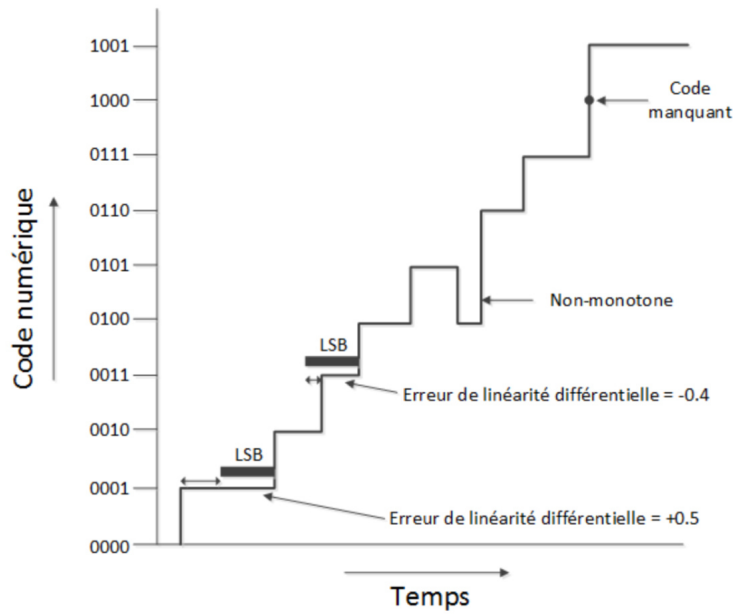


FIGURE 2.9: Définition de la non-linéarité différentielle (DNL)

Il est possible de calculer la non-linéarité différentielle DNL à partir de la caractéristique d'un TDC comme suit :

$$DNL(n) = \frac{\Delta T_{n+1,n} - T_{LSB}}{T_{LSB}} \quad (2.3)$$

Avec :

- $\Delta T_{n+1,n}$: La largeur en temps d'un palier de la fonction de transfert du TDC entre deux codes consécutifs de la caractéristique
- T_{LSB} : la résolution temporelle du TDC

La non-linéarité intégrale INL est obtenue à partir de la somme de la DNL selon l'équation suivante :

$$INL(i) = \sum_{n=1}^i DNL(n) \quad (2.4)$$

Avec :

- $INL(i)$: INL pour le code i en (LSB)
- $DNL(n)$: DNL pour le code n en (LSB)

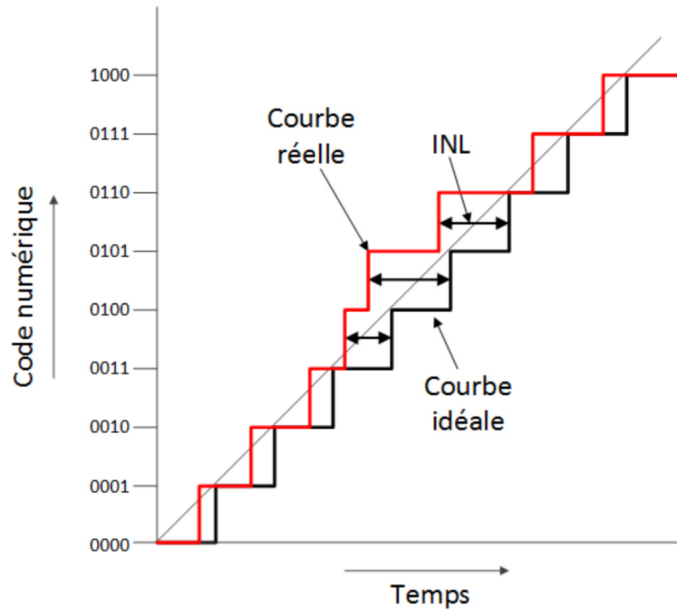


FIGURE 2.10: Définition de la non-linéarité intégrale (INL)

Le décalage d'offset est l'intersection verticale de la ligne à laquelle la fonction de transfert est comparée dans le calcul de l'INL. La figure 2.11 illustre les caractéristiques métriques du convertisseur T/D. Ils reflètent la proximité de la fonction de transfert du convertisseur par rapport à la courbe idéale.

FIGURE 2.11: Exemple de fonction de transfert de convertisseur T/D illustrant les caractéristiques métriques

2.2.3 L'erreur de conversion σ_{rms}

Une autre caractéristique importante du convertisseur, qui reflète son comportement en présence de sources d'erreurs aléatoires telles que le jitter, le bruit électronique ou le bruit de quantification est l'erreur de conversion. L'erreur de conversion est l'écart de la caractéristique d'entrée / sortie par rapport à une ligne droite de gain idéal (pente) qui correspond le mieux à la courbe. Le résultat est présenté sous forme d'histogramme de l'erreur et son écart type est défini comme la précision temporelle RMS du convertisseur σ_{rms} .

2.3 Présentation des architectures de TDCs

Plusieurs architectures de TDCs ont été proposées dans la littérature pour résoudre le problème de la mesure précise du temps. On retrouve les techniques traditionnelles citées [18] et qui se répartissent en

quelques catégories : les techniques basées sur les compteurs, les techniques de vernier, les techniques de chevauchement d'impulsions et les techniques d'intégration de courant. Cependant, la demande de résolution de plus en plus fine a poussé à un niveau plus élevé d'intégration du système et à une dissipation de puissance plus faible, domaines dans lesquels les méthodes traditionnelles sont fortement concurrencées. Nous présentons dans cette section les architectures de TDCs les plus pertinentes, en se concentrant sur les importantes performances : résolution temporelle, précision temporelle, plage dynamique, dissipation de puissance. Un tableau résumant les caractéristiques de chacune des architectures décrites est présenté en fin de cette section.

2.3.1 Le convertisseur Analogique TAC

Dans cette architecture, un condensateur est chargé linéairement avec un courant constant I . La charge du condensateur est déclenchée par une impulsion «Départ» à l'instant t_1 et désactivée par une impulsion «Arrêt» (instant t_2). La charge stockée dans le condensateur est donc proportionnelle à l'intervalle de temps entre l'impulsion «Départ» et «Arrêt» comme illustré dans la figure 2.12. En supposant un condensateur indépendant de la tension, le potentiel à ses bornes (V_c) est également proportionnel à cet intervalle de temps comme :

$$V_c = \frac{I.(t_2 - t_1)}{C} \quad (2.5)$$

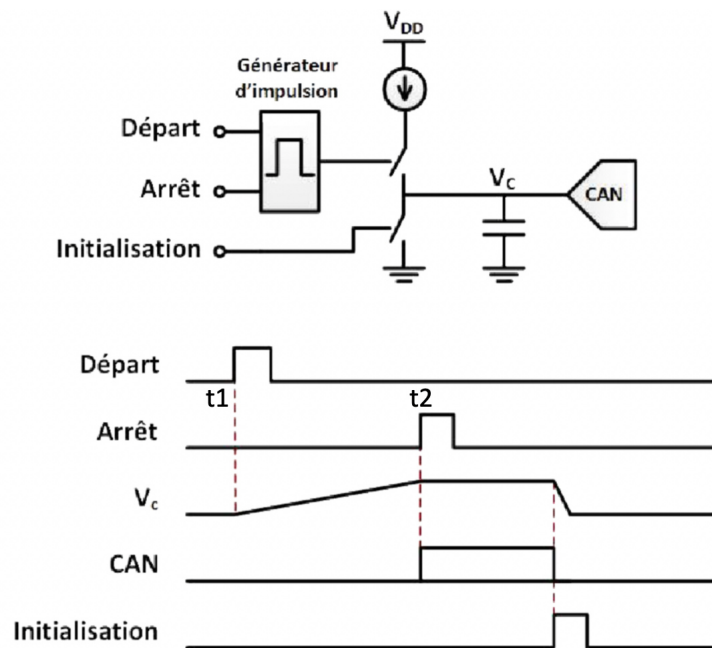


FIGURE 2.12: Schéma bloc et chronogramme d'un TAC

Un convertisseur analogique-numérique ADC peut être utilisé pour convertir la tension V_c en un code numérique approprié. La stabilité de la source de courant, la linéarité du condensateur et la résolution de l'ADC déterminent la résolution atteignable en utilisant cette technique. La plus grande contrainte de ce

système est que le courant et les valeurs de capacité réelles dépendent du processus, de la température et de la tension d'alimentation, nécessitant une calibration continue du convertisseur. Ainsi l'intégration à grande échelle est difficile en raison de ces exigences, mais en raison de la sensibilité du courant d'intégrateur aux sources de bruit inhérentes à l'architecture [46] [39]. Pour atteindre de faibles résolutions avec cette architecture, il est possible d'associer le TAC à un TDC numérique dans une structure hybride et ainsi atteindre des résolutions de l'ordre de 10 ps [25].

2.3.2 Le TDC numérique : technique du compteur

La structure du TDC analogique présentée précédemment ajoute une étape de conversion analogique dans la conversion temps-numérique. Pour supprimer cette étape et avoir directement une conversation du domaine temporel au domaine numérique, un passage au TDC numérique est nécessaire. Nous retrouvons la structure du compteur numérique. Cette technique de mesure du temps, repose généralement sur l'utilisation d'un compteur en code Gray fonctionnant à très haute fréquence. Une impulsion «start» et une autre «stop» marquent les moments où le compteur est échantillonné, la différence entre ces deux échantillons correspond à l'intervalle de temps mesuré. La fréquence et la stabilité de l'horloge de référence déterminent la résolution et la précision de ce schéma [18]. Comme illustré dans la figure 2.13, l'intervalle de temps mesuré ΔT peut être exprimé comme :

$$\Delta T = N.T_{CP} - \Delta T_{stop} + \Delta T_{start} = N.T_{CP} + \epsilon_T \quad (2.6)$$

où N est la valeur du compteur et T_{CP} la période d'horloge de référence. ΔT_{start} et ΔT_{stop} sont les intervalles de temps séparant respectivement le signal de démarrage et d'arrêt du front montant du signal d'horloge qui arrive juste après. L'erreur de quantification ϵ_T de la mesure ΔT est comprise entre $[-T_{CP}$ et $+T_{CP}]$

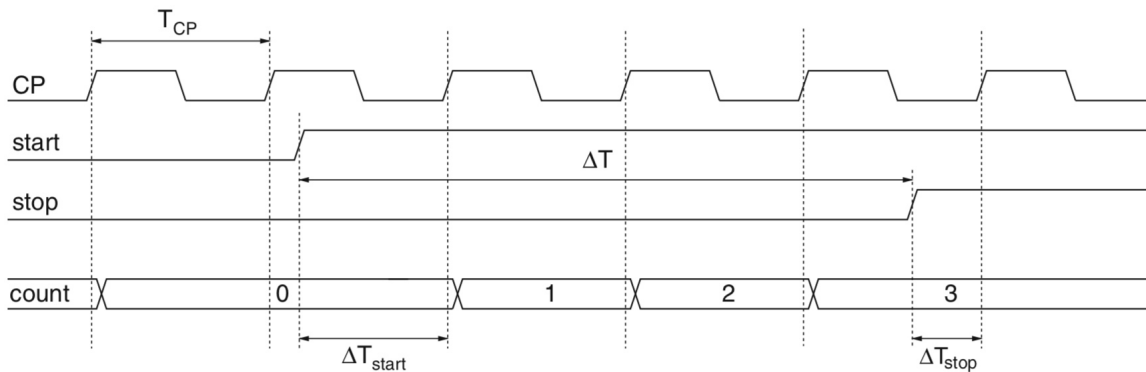


FIGURE 2.13: Chronogramme d'un compteur TDC

Cette méthode offre une très large plage dynamique avec une conception numérique hautement intégrable. Nous observons à partir de l'équation 2.6 que la résolution de ce TDC dépend de la période de l'horloge de référence T_{CP} . Ainsi, pour obtenir une résolution élevée, une fréquence d'horloge de référence sur la gamme des 10 GHz (< 100 ps) est nécessaire et donc des processus très rapides doivent être utilisés pour la mettre en œuvre.

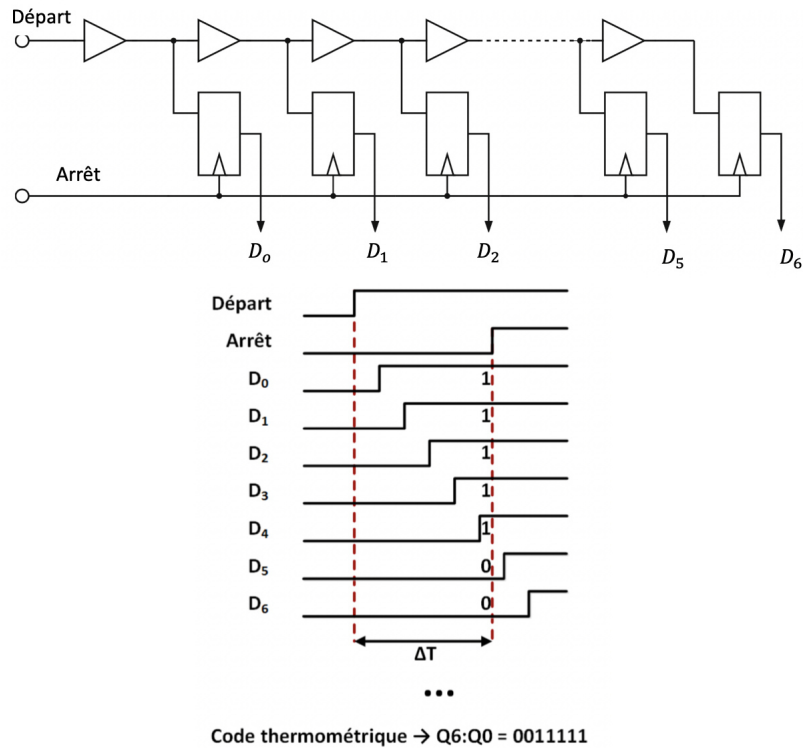


FIGURE 2.14: Architecture et chronogramme d'une ligne à délais

2.3.3 Le TDC numérique : technique ligne de délais

Les exigences de fréquence d'horloge qui limitent l'utilisation de la technique du compteur pour les mesures d'intervalle de temps peuvent être assouplies si le retard de porte CMOS est utilisé comme unité de temps. Les technologies CMOS modernes ont des retards de porte de l'ordre de 100 ps, donc la résolution de la conversion peut être assez bonne.

Dans cette technique, plusieurs éléments à retard (généralement des inverseurs) constituent une ligne à retard à travers laquelle une impulsion du signal d'entrée est propagée. La progression de l'impulsion le long de la ligne de délais reflète l'intervalle de temps mesuré, capturé à un instant précis par le signal d'arrêt.

Sur la figure 2.14, un exemple d'une telle ligne de délais est présenté. Lorsque le signal d'arrêt survient, l'état de la ligne de délais est figé et le code thermométrique, converti en temps est disponible. Étant donné que les cellules CMOS standard sont utilisées, un convertisseur facile à concevoir et hautement intégré avec une faible dissipation de puissance peut être développé avec cette structure. Cependant, le retard d'une porte CMOS dépend fortement des paramètres du procédé de fabrication, de la température et de la tension d'alimentation, ce qui nécessite une calibration régulière. De grandes plages dynamiques ne peuvent être obtenues que si de très longues lignes de délais sont utilisées. De longues lignes impliquant de grandes surfaces. Cette technique est limitée à de courtes plages dynamiques.

2.3.4 L' Oscillateur en anneau TDC

Les TDC discutés jusqu'à présent sont ce que l'on appelle des TDC dépliés ou en ligne car ils se composent d'une ou plusieurs lignes à retard sans aucune rétroaction. La longueur de ces lignes à retard, et donc la surface du TDC, augmente avec l'intervalle de temps maximum à mesurer. Par conséquent, pour mesurer des intervalles de temps très longs il faut une grande surface. Ceci peut être évité par des architectures TDC en boucle qu'on appelle oscillateur en anneau (voir figure 2.15) où une courte ligne à retard est rebouclée et traversée plusieurs fois par l'événement 'start'.

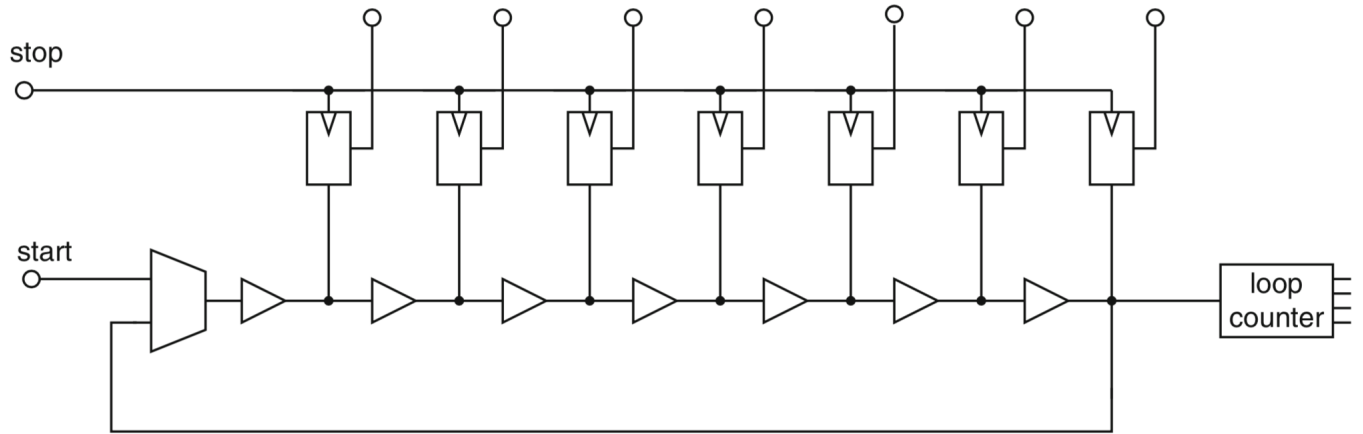


FIGURE 2.15: Architecture d'un oscillateur en anneau TDC

Un compteur détermine le nombre de tour de l'oscillateur avant l'arrivée du signal 'stop' pour arrêter le TDC. La valeur de compteur N_{cnt} est alors une quantification grossière de l'intervalle de temps, et la transition d'un zéro dans le code de thermomètre décrit la position P_i dans l'intervalle du compteur, c'est-à-dire la résolution fine. La valeur de temps T_{in} peut être calculée selon :

$$T_{in} = (N_{cnt}M + P_i)T_d \quad (2.7)$$

Avec M le nombre d'étage dans l'oscillateur en anneau et T_d le délai de la porte.

Comme pour la ligne de délais, la résolution de l'oscillateur en anneau est fixée par le délai de la porte. Cependant, la plage dynamique (DR) quant à elle, est fixée par la profondeur du compteur N_{bit} comme :

$$DR = 2^{N_{bit}} \cdot M \cdot T_d \quad (2.8)$$

Ainsi il est possible d'atteindre de large plage dynamique sans avoir besoin d'augmenter le nombre d'étages de l'oscillateur.

Les TDC basés sur des oscillateurs en anneau (RO), qui offrent simultanément une haute résolution et une grande plage dynamique, ont suscité beaucoup d'intérêt [23] et [24]. Cependant, la résolution temporelle est limitée par la fréquence d'oscillation du RO. En outre, une autre limitation est la grande dissipation de puissance car l'oscillateur en anneau fonctionne en continu tant que le signal *start* est maintenu. Un autre système pour obtenir une résolution temporelle élevée tout en réduisant la puissance et le bruit de premier

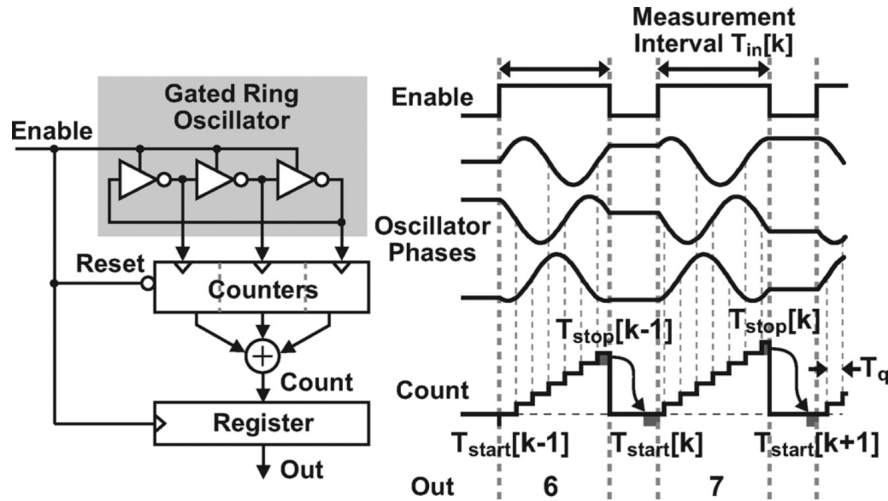


FIGURE 2.16: Concept du Gated oscillateur en anneau TDC

ordre est une structure en Gated oscillateur en anneau basée sur le principe de sur-échantillonnage. Cette technique est connue pour filtrer les composantes de bruit qui sont en dehors de la bande d'échantillonnage [18]. La figure 2.16 illustre le concept du Gated oscillateur en anneau TDC, qui est similaire à un oscillateur en anneau TDC [33] en mesurant le nombre de tour d'un signal qui se propage dans l'oscillateur. Cependant, contrairement à un TDC traditionnel basé sur un oscillateur qui tourne en continu, la structure GRO active l'oscillateur pendant une mesure de donnée, et fige l'état de l'oscillateur entre les mesures. L'avantage de cette structure est que le résidu se produisant à la fin d'un intervalle de mesure donnée $T_{stop}[k-1]$ peut être transféré à l'intervalle de mesure suivante $T_{start}[k]$ et cela se traduit par une réduction du bruit de premier ordre [45]

2.4 Architecture pour améliorer la résolution des TDCs

Les schémas présentés précédemment ont des résolutions temporelles limitées au retard de la cellule unitaire. Pour atteindre des résolutions plus petites, des technologies plus rapides doivent être utilisées. Malheureusement, l'accès à ces technologies est assez coûteux. Une autre possibilité pour surmonter cette limite de résolution est de concevoir différentes techniques capables d'interpoler le temps dans le délai de cellule de base. Plusieurs architectures ont été proposées dans la littérature, certaines d'entre elles sont discutées dans les prochaines sections.

2.4.1 Le Multi-path Oscillateur en anneau TDC

Comme cité dans la section précédente, la résolution de l'oscillateur en anneau est limitée par le délai minimal d'une porte dans une technologie donnée. Ainsi pour atteindre des résolutions plus fines sous le seuil

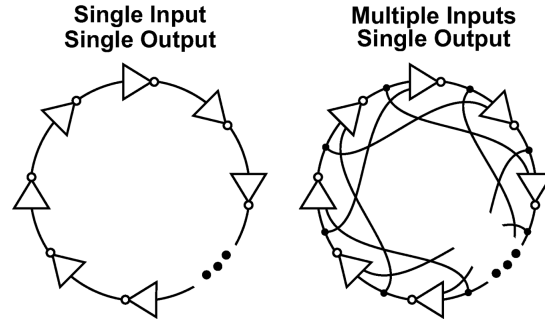


FIGURE 2.17: Implémentation d'un oscillateur en anneau traditionnel ou multi-path : a) structure traditionnelle b) structure multi-path

de la technologie une structure multi-path est utilisée dans [45]. Elle permet d'améliorer la résolution avec un facteur de 5 par rapport à une structure en oscillateur en anneau classique.

Comme montré dans la figure 2.17 l'oscillateur en anneau classique illustré dans la partie (a), la sortie d'un étage est l'entrée de l'étage suivant. En revanche l'architecture multi-path illustrée dans la partie (b) exploite les sorties de plusieurs étages précédents pour accélérer le temps de transition de la sortie de chaque étage et par conséquent cela permet de réduire le délai de chaque étage. Avec un TDC multi-path oscillateur en anneau la résolution a été améliorée en passant de 35 ps à 6 ps dans une technologie CMOS 130 nm [45]

2.4.2 Le Vernier ligne de délais TDC

Un TDC basé sur une ligne de délais capable de mesurer des intervalles de temps avec une résolution de retard sous le seuil de la technologie est le Vernier TDC. Comme le montre la figure 2.18, il se compose de deux lignes de délais : une pour le signal «start» et une pour le signal «stop» [43].

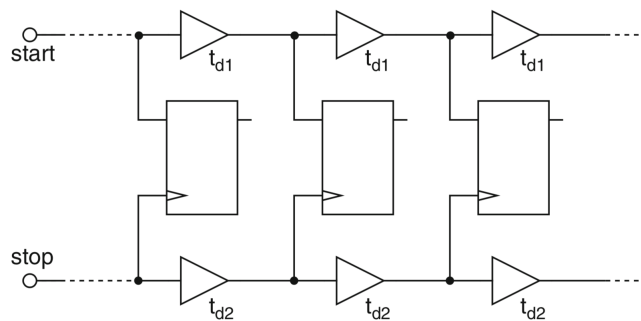


FIGURE 2.18: Architecture d'une vernier ligne de délais

Les éléments de délai de la première ligne ont un retard t_{d1} qui est légèrement supérieur au retard t_{d2} des éléments de la deuxième chaîne. Lors d'une mesure, le signal «start» se propage le long de la première ligne

à retard. Le signal «stop» se produit plus tard, mais les retards vus par ce signal sont plus petits. Ainsi, le signal «stop» poursuit le signal «start». À chaque étape, il rattrape le signal «start» avec un temps T_{LSB} :

$$T_{LSB} = t_{d2} - t_{d1} \quad (2.9)$$

Des bascule de type Flip-Flop observent la phases entre les sorties de chaque élément de délais. La position de la première bascule avec une détection de phase (N) donne l'intervalle de temps entre les signaux «start» et «stop» comme :

$$T_{in} = N.T_{LSB} \quad (2.10)$$

La résolution TDC est donnée par la différence de retard $T_{LSB} = t_{d2} - t_{d1}$ entre les éléments de la première et de la deuxième ligne à retard. En principe, cette différence peut être rendue assez petite, de sorte que la résolution ne dépend pas du retard de la porte, mais de la différence de deux retards des portes. Par conséquent, le Vernier TDC fournit une technique pour faire face aux limitations de résolutions données par certaines technologies [11]. Cependant, la plus grande limitation de cette architecture est la surface qui augmente si la résolution est réduite. Ainsi si on souhaite réduire la résolution d'un facteur k , la surface et la consommation d'énergie vont augmenter d'un même facteur [43]. La technique vernier est aussi très sensible au "mismatch" du retard à travers les lignes de délais [31]. Cet effet est encore plus critique quand la différence de retard est très faible pour atteindre de petites résolutions.

2.4.3 Le Vernier Oscillateur en anneau TDC

Comme discuté dans la section précédente l'oscillateur en anneau est une ligne de délais bouclée. Cette structure permet de réduire les longs temps de mesure ainsi que la surface requise par les simples lignes de délais. Dans un Vernier TDC, le problème de la surface est d'autant plus important puisque la longueur des lignes à retard augmente avec la résolution. La structure de l'oscillateur en anneau est illustrée dans la figure 2.19 Les signaux «Départ» et «Arrêt» démarrent les oscillateurs lents et rapides respectivement. Un circuit de coïncidence observe l'évolution de phase en sortie de chaque oscillateur. Un compteur de boucle lent détermine le nombre de cycles de l'oscillateur lent N_{slow} avant l'arrivée du signal d'arrêt. Un autre compteur de boucle rapide, détermine le nombre de cycle de l'oscillateur rapide N_{fast} pour que ce dernier rattrape l'oscillateur lent. Par conséquent, l'intervalle de mesure T_{in} peut être exprimée comme :

$$T_{in} = N_{slow}T_{slow} + N_{fast}T_{LSB} \quad (2.11)$$

Avec T_{LSB} , la résolution temporelle du vernier qui est égal à la différence des périodes de l'oscillateur lent T_{slow} et l'oscillateur rapide T_{fast} :

$$T_{LSB} = T_{slow} - T_{fast} \quad (2.12)$$

Il est possible d'atteindre des résolutions très fines avec cette structure. Par exemple le TDC proposé dans [8] est basé sur l'architecture de l'oscillateur en anneau de Vernier. Une résolution fine est obtenue grâce

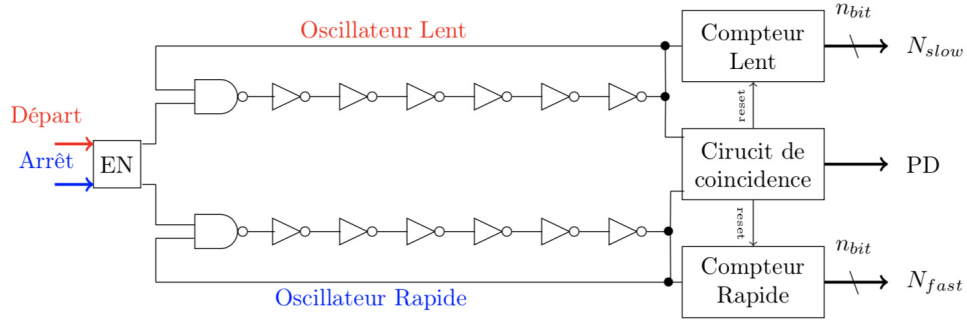


FIGURE 2.19: Schéma bloc Vernier TDC

à deux oscillateurs en anneau disposés dans la configuration Vernier. Avec une architecture CMOS 130nm, le TDC atteint une résolution de 7.3ps. La différence de délais entre deux oscillateurs d'un TDC Vernier à oscillateur en anneau a pour effet de réduire les variations procédés, voltages et température (PVT) [52].

2.4.4 Le 2D Vernier TDC

La structure linéaire du vernier TDC permet d'atteindre des résolutions sous le seuil de la technologie fixée par la différence de délais τ_s et τ_f de la ligne de délais lente et rapide ; respectivement [11]. Plusieurs améliorations ont été proposées dans la littérature pour réduire la résolution et la consommation en ajoutant des interpolations supplémentaires [29], ou en exploitant la périodicité des signaux d'entrée [48]. Néanmoins, dans toutes ces solutions le nombre d'étages augmente exponentiellement avec la plage dynamique, ce qui rend le TDC très sensible au *jitter* et au *mismatch*. Ainsi, il existe une autre technique pour exploiter le vernier TDC avec un approche (two-dimensions) 2-D Vernier [49]. Cette architecture permet de réduire significativement la longueur des lignes de délais du TDC . Dans un Vernier linéaire, comme celui dessiné sur la figure 2.20 la différence de délai Δ entre deux étages correspondants dans les deux lignes est accumulée après chaque étage de sorte que, si un signal est retardé par $n\Delta$ d'un signal de référence à l'entrée du Vernier, alors, il est aligné avec ce dernier après s'être propagé dans n étages des deux lignes. Dans ce cas, la quantification du temps est réalisée en prenant les décalages des fronts uniquement entre les étages situés dans la même position des deux lignes à délais (par exemple, la différence de délai entre le 2^{ème} étage de la ligne X et le 2^{ème} étage de la ligne Y). Ainsi avec deux lignes de délais de 5 étages il est possible d'obtenir cinq niveaux de quantification. Si toutes les différences possibles entre les étages sont considérées, le plan Vernier de la figure 2.21 peut être construit avec 25 niveaux de quantification au lieu de 5. Cependant, seule une partie des niveaux de quantification générés est uniformément espacée. Néanmoins, une extension de la gamme TDC de $[\Delta, 5 \Delta]$ à $[-3\Delta, 9 \Delta]$ (zone grise) est obtenue. Ce qui multiplie presque par trois le nombre de niveaux de quantification uniformément espacés par rapport à un Vernier linéaire. La structure 2D peut être considérée comme une extension du TDC à une seule ligne de délai et du Vernier TDC linéaire qui se trouvent respectivement sur les frontières et sur la diagonale du plan 2D représenté dans la figure 2.21 .

La solution 2D Vernier a permis de concevoir un TDC dans une technologie CMOS 65 nm et avec des résolutions temporelles de 4,8 ps et une large plage dynamique codée sur 7 bits, tout en minimisant la longueur des lignes de délais à 19 étages. La plus longue ligne à retard utilisée dans cette structure est un

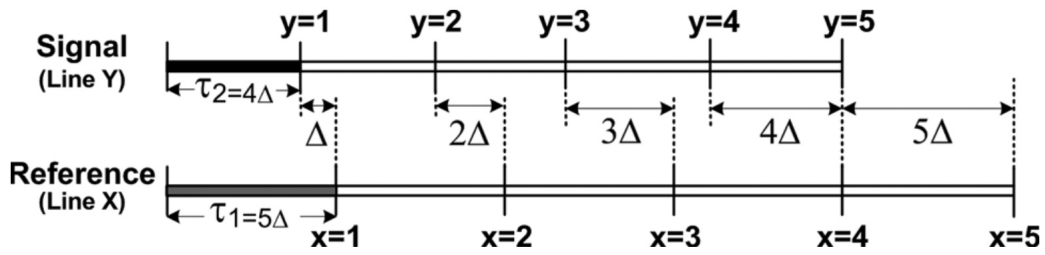


FIGURE 2.20: Principe du Vernier linéaire

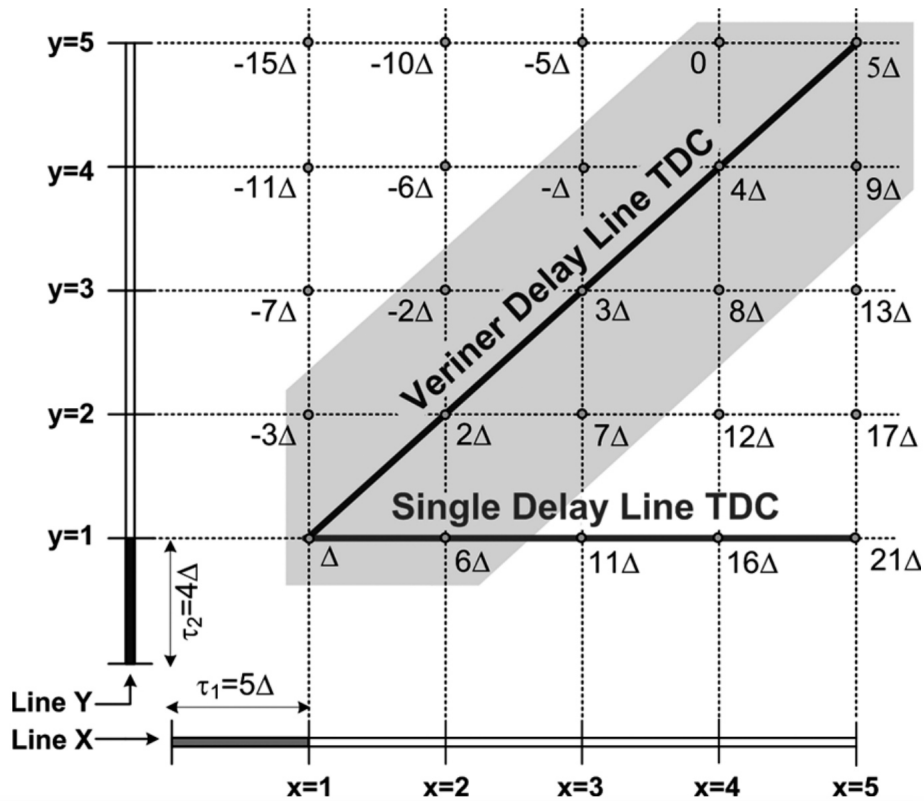


FIGURE 2.21: Principe du Vernier 2D

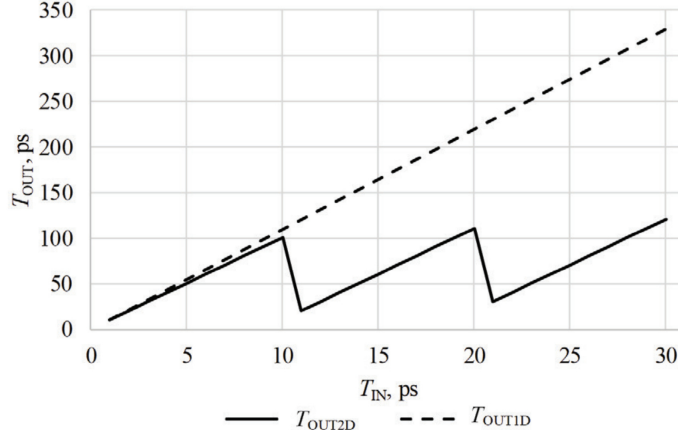


FIGURE 2.22: Dépendance du temps de calcul de sortie en fonction de l'intervalle de temps d'entrée pour un TDC Vernier 2D et un TDC Vernier 1D

tiers de ce qui aurait été nécessaire pour un Vernier TDC standard. Un autre TDC de type 2D Vernier conçu dans une technologie CMOS 130nm est présenté dans [50], permet d'atteindre de bonne performances avec une résolution temporelle de 1ps. La plage dynamique a été considérablement augmentée à 14 bits avec une structure en oscillateur en anneau. En effet les oscillateurs en anneaux peuvent être utilisés dans la structure Vernier 2D pour remplacer les lignes de délais et augmenter davantage la plage dynamique du TDC [21]. Une autre limitation des structures en ligne de délais est la non-linéarité du délai dans leurs cellules à retard. Ceci introduit une erreur de quantification qui influence les performances (INL) du TDC. Il est possible d'atténuer considérablement cette erreur de quantification en contrôlant numériquement le délai des cellules de retard avec un modulateur $\Delta\Sigma$ de 2^{ème} ordre (SDM) comme cité dans [50] Un autre avantage du TDC de type 2D Vernier est le calcul plus rapide du signal de sortie, par rapport à la structure 1D. La durée pour calculer la sortie T_{OUT2D} du 2D Vernier TDC proposé dans [21] peut être exprimé comme :

$$T_{IN} + \tau_f < T_{OUT2D} < T_{IN} + k.\tau_f \quad (2.13)$$

Avec T_{IN} le temps d'entrée du TDC à mesurer, τ_f le délai de la porte de l'oscillateur rapide et k un coefficient qui dépend du délai de la porte de l'oscillateur lent τ_s , de τ_f et de la résolution temporelle Δ comme [21] :

$$\Delta = \tau_s - \tau_f; \tau_s = \Delta; \tau_f = (k - 1).\Delta \quad (2.14)$$

Comme on peut le voir à partir de l'équation 2.13, la durée de calcul du signal de sortie du TDC est encadré par un intervalle de temps qui dépendant du temps d'entrée T_{IN} . La durée maximale pour calculer le signal de sortie du TDC est égale à $T_{IN} + k.\tau_f$, c'est-à-dire après la propagation à travers k étages d'anneau du signal d'arrêt dans l'oscillateur rapide

La sortie d'un 1D Vernier TDC est calculée comme suit :

$$T_{OUT1D} = T_{IN} + \frac{T_{IN}}{\Delta}.\tau_s \quad (2.15)$$

La dépendance du temps de calcul de sortie sur l'intervalle de temps d'entrée lorsque la structure 2D (T_{OUT2D}) et 1D (T_{OUT1D}) TDC est utilisée est illustrée dans la figure 2.22

Nous observons à partir des équations 2.13, ?? et de la figure 2.22 que si les délais $\tau_s = 10$ ps, et $\tau_f = 9$ ps et que l'intervalle de temps à l'entrée TDC est de $T_{IN} = 21$ ps, la sortie du TDC 2D sera calculée après 30 ps, alors qu'il faudra 231 ps pour calculer le signal de sortie si un TDC 1DVernier est utilisé [21].

2.5 Le bruit dans les oscillateurs en anneaux

La précision des TDC de type Vernier oscillateur en anneau est fortement perturbée par le bruit des oscillateurs en anneaux [34] [5]. Ce dernier est distingué sous deux formes :

- Bruit de premier ordre : C'est un phénomène de dérive de la fréquence des ROs face à des paramètres extérieurs comme la température, la tension d'alimentation, ou des variations dans le procédé de fabrication.
- Bruit de phase ou Jitter [15] [28] : Qu'on observe comme des variations du temps de transition des ROs sur des période de temps plus courts.

2.5.1 Bruit de premier ordre (Procédé, Voltage, Température)

Nous expliquons dans la section 3.2.1 que la période d'un RO dépend du temps de propagation dans chacun de ses inverseurs. Ce temps de propagation est défini comme un retard au niveau de chaque étages de l'oscillateur en anneau. Ce retard T_d peut être exprimé comme ci-dessous [1] [3] :

$$T_d = \frac{C_L V_{DD}}{2I_0} \quad (2.16)$$

Avec :

- C_L : La charge en sortie de l'inverseur CMOS
- V_{DD} : La tension d'alimentation
- I_0 : le courant dans la charge en sortie de l'inverseur CMOS (sortance, *drivestrength*)

Une variation dans la tension d'alimentation, le courant de charge ou bien la charge en sortie impliquerait par conséquent des variations dans ce retard T_d . La période d'oscillation des ROs est donc compromise, car elle dépend de ce retard. Il en résulte de cette dérive de fréquence une imprécision à long terme que nous avons définie comme bruit de premier ordre.

Dans un Vernier TDC, deux oscillateurs identiques sont utilisés pour réduire l'impact du bruit de premier ordre [52]. En effet, Nous détaillons dans la section 3.2.2 que la mesure de temps pour un TDC de type Vernier oscillateur en anneau est fixée par le pas de quantification T_{LSB} qui dépend à son tour de la différence de période des oscillateurs lent et rapide. Si, les deux oscillateurs, lent et rapide, dérivent de la même manière face au bruit de premier ordre, théoriquement la différence de bruit sera nulle et par conséquent la résolution temporelle sera insensible à ce bruit.

Des études expérimentales ont été réalisées dans [52] pour pouvoir vérifier la théorie exprimée ci dessus. La figure 2.23 reprend ces études et montre la dépendance du retard dans un inverseur de l'oscillateur lent et

rapide, mais aussi la différence du retard de l'inverseur entre les deux oscillateurs lent et rapide. Le retard des inverseurs lent et rapide ont une variation de température de $0.094 \text{ ps}/^\circ\text{C}$ et de $0.08 \text{ ps}/^\circ\text{C}$ respectivement. La variation de température de la différence de délai entre les deux inverseurs lent et rapide est réduite à $0.014 \text{ ps}/^\circ\text{C}$. Dans ce cas de figure, la variation est réduite d'un facteur 6.

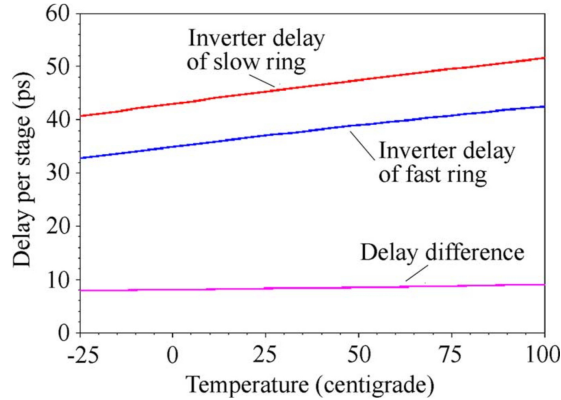


FIGURE 2.23: Dépendance du délais d'un inverseur et la différence de délais entre deux inverseurs par rapport à la température : Résultats de simulation pour un oscillateur en anneau TDC [52]

La figure 2.24 [52] illustre une analyse Monte-Carlo de la dépendance du délai d'un inverseur mais aussi de la différence de délai entre deux inverseurs par rapport au variations des procédés de fabrication. Les délais d'un inverseur dans un oscillateur lent (slow) et rapide (fast) ont une déviation standard $sd=3.35 \text{ ps}$ et $sd=2.62 \text{ ps}$, respectivement. La déviation standard de la différence de délais est réduite quand à elle à $sd=0.84 \text{ ps}$, soit le tiers de celle d'un seul inverseur.

En conclusion, à partir des résultats de simulation cité dans les figures 2.24 et 2.23 [52], en utilisant des oscillateurs identiques, un Vernier RO TDC réduit le bruit de premier ordre causé par les variations de procédés de fabrication (process), de tensions d'alimentation (voltage) et température (PVT).

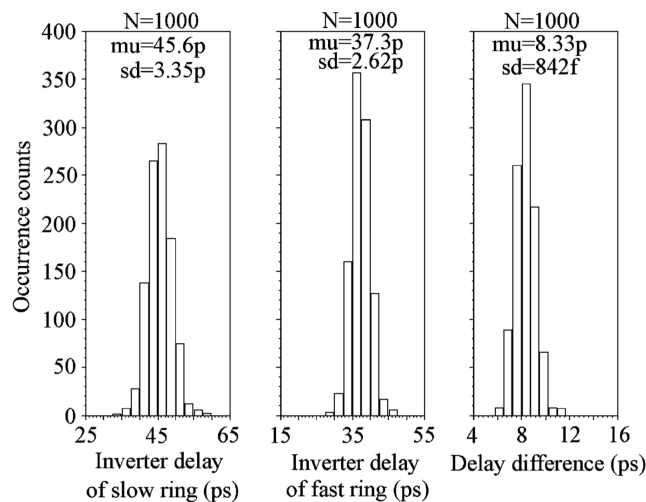


FIGURE 2.24: Dépendance du délai d'un inverseur et la différence de délai entre deux inverseurs par rapport à la variation de procédés de fabrication : Résultats de simulation monte carlo pour un oscillateur en anneau TDC [52]

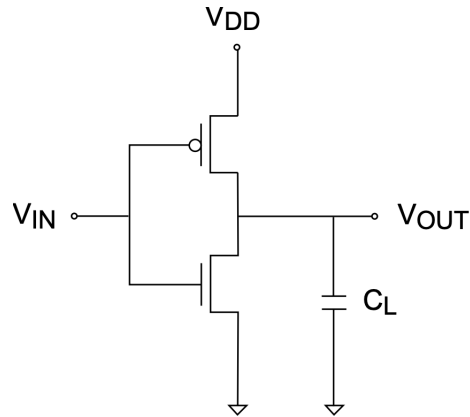


FIGURE 2.25: CMOS inverter

2.5.2 Jitter dans les oscillateurs en anneaux

Le Jitter ou bruit de phase des oscillateurs en anneaux naît du bruit électronique des composants le constituant [15] [28]. En effet, un inverseur CMOS est fait de transistors de type NMOS et PMOS comme illustré dans la figure 2.25. Le bruit de ces transistors implique une incertitude (jitter) sur la sortie de l'inverseur au moment de la transition (*risetime, falltime*) qui peut être exprimé selon l'équation 2.17 [?], [1] [3]. Une explication plus détaillée du jitter dans un inverseur CMOS sera présentée dans la section 4.4.2 :

$$\sigma_{jitter} = \frac{\sigma_{bruit}}{\partial v / \partial t} \quad (2.17)$$

Avec :

- σ_{jitter} : le jitter (RMS)
- σ_{bruit} : le bruit de l'électronique (RMS)
- $\partial v_{out} / \partial t$: Pente au point de discrimination de la tension de sortie V_{out} (figure 2.25)

On peut considérer que chaque période de l'oscillateur est un événement discret qui indique l'accumulation d'une quantité uniforme de phase (2π radians) dans une durée variable en raison du jitter [1].

La figure 2.26a illustre la sortie d'un oscillateur en anneau. Nous pouvons considérer chaque période de ce signal comme définissant un intervalle de temps ; la $n^{\text{ième}}$ période définit un intervalle de temps $\langle t[n] \rangle$. Puisque le signal a du jitter, les périodes sont en général inégales et nous pouvons considérer $\langle t[n] \rangle$ comme un processus aléatoire à temps discret [1].

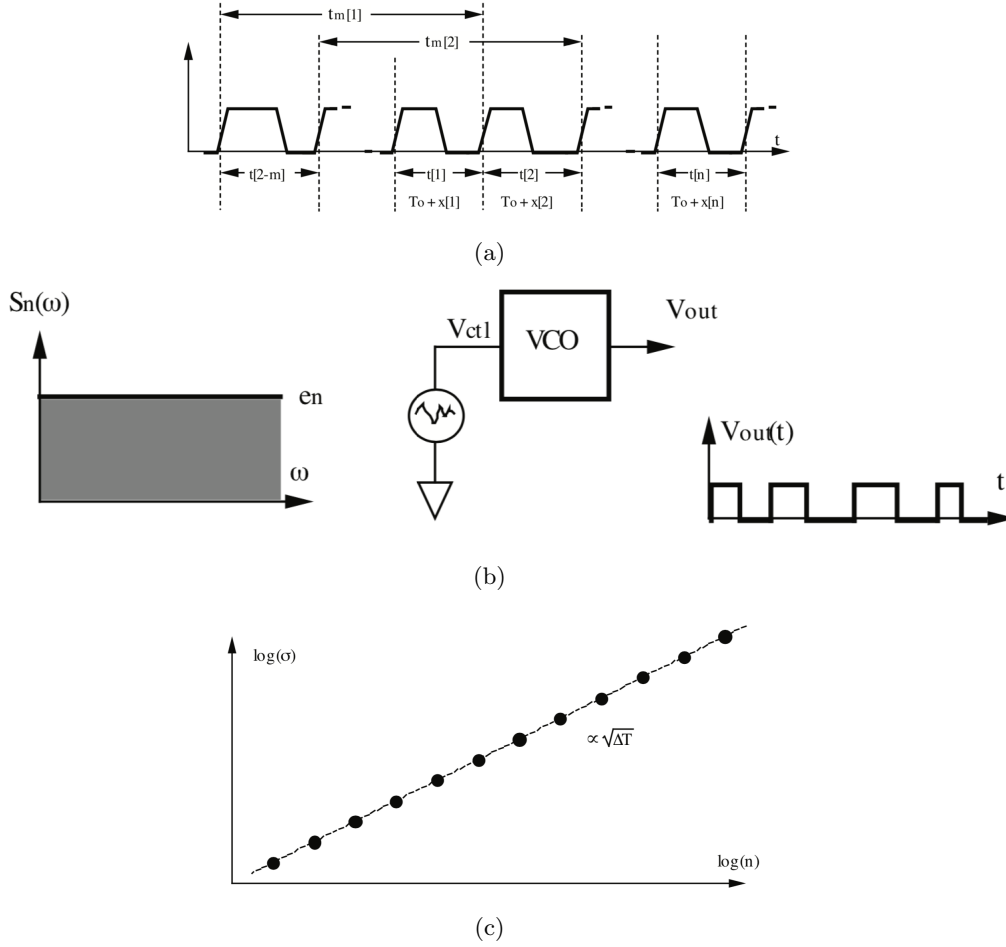


FIGURE 2.26: (a) : Définition d'un jitter dans un oscillateur en anneau ; (b) : Oscillateur en anneau avec un bruit blanc en entrée ; (c) : Jitter cumulé dans un oscillateur en anneau [1]

Ainsi, $t[n]$ peut être défini comme :

$$t[n] = T_0 + x[n] \quad (2.18)$$

Où T_0 est la période nominale (moyenne), et $x[n]$ est un processus aléatoire à moyenne discrète et à moyenne nulle qui exprime l'écart entre la période et la moyenne.

Lorsque nous mesurons le jitter d'un RO à un certain délai, nous examinons la somme du jitter sur plusieurs périodes. Nous pouvons définir un nouveau processus aléatoire qui est à chaque instant la somme des m périodes précédentes [1] :

$$t_m[n] = m.T_0 + \sum_{i=n-m+1}^n x[i] \quad (2.19)$$

On étudie la réponse de la sortie d'un RO avec une source de bruit blanc idéale à son entrée, comme indiqué dans la figure 2.26b. La source de bruit a une densité de tension (unilatérale) de e_n (V / \sqrt{Hz}) ; le RO a une

constante de bruit de K_0 ([rad / Vs]) et une fréquence centrale de $\omega_0 = 2\pi f_0$.

La variances de la fonction $t_m[n]$ nous donne l'expression du jitter comme [1] :

$$\sigma_{\Delta T}^2 = \left(\frac{K_0}{\omega_0}\right)^2 \frac{e_n^2 \Delta T}{2} \quad (2.20)$$

avec ΔT l'intervalle de temps sur m périodes du RO :

$$\Delta T = m \cdot T_0 \quad (2.21)$$

Et l'écart type est :

$$\sigma_{\Delta T} = \frac{K_0}{\omega_0} \frac{e_n \sqrt{\Delta T}}{\sqrt{2}} \quad (2.22)$$

Nous voyons que cela s'inscrit dans la forme de :

$$\sigma_{\Delta T} = K \sqrt{\Delta T} \quad (2.23)$$

avec K une constante égale à [1] :

$$K = \frac{1}{\sqrt{2}} \frac{K_0}{2\pi f_0} e_n^2 \quad (2.24)$$

Avec :

- e_n : la densité du bruit blanc en tension
- K_0 : la constante de bruit des composants électroniques de l'oscillateur. Son expression est détaillée dans la section 4.4.2
- f_0 : la fréquence de l'oscillateur

En résumé, le bruit blanc idéal à l'entrée du RO produit des erreurs dépendantes au niveau de ses périodes. L'autocorrélation du processus est une impulsion, et le jitter (écart type) augmente en racine carrée de l'intervalle de temps ΔT

2.6 Résumé des performances des architectures de TDCs

Nous présentons dans le tableau suivant, un résumé des caractéristiques intéressantes des architectures qui ont été abordées dans ce chapitre.

	Résolution	Plage dynamique	Temps mort	Ref
Convertisseur Analogique TAC	+	-	-	[25]
TDC counter	-	+	no	[18]
La ligne de délais	+	-	no	[27]
L'oscillateur en anneau	+	+	--	[23]
Vernier ligne de délais	++	-	no	[11]
Vernier oscillateur en anneau	++	+	--	[7]
2D Vernier TDC	++	+	+	[49]

TABLE 2.1: Comparaison entre les différentes architectures évoquées dans ce chapitre

Chapitre 3

Etude du TDC Vernier Ring Oscillateur monophasé et multiphasé

3.1 Introduction

TABLE 3.1: Comparaisons des performances de différentes architectures de TDCS d'une même finesse de gravure

	[9]	[35]	[8]	[50]
Architecture	Oscillateur en anneau	VRO (monophasé)	VRO (linéaire)	2D Vernier
Technologie (nm)	130	130	130	130
Résolution temporelle (ps)	50-300	15	7.3	1

Le TDC Vernier oscillateur en anneau fait partie des familles de TDC de la 3^{ème} génération [18]. Cette architecture permet d'atteindre de bonnes résolutions temporelles. Comme il ressort du tableau 3.1, la résolution temporelle des TDCs en simple oscillateur en anneau (RO) est limitée par le temps de propagation d'un inverseur dans la technologie de fabrication. A la différence de ces derniers, les TDCs de type Vernier oscillateur en anneau ont une résolution temporelle qui ne dépend pas de la technologie de conception utilisée. Par exemple, le TDC Vernier Oscillateur en anneau (monophasé) conçu dans [35] permet d'atteindre une résolution temporelle de 15 ps. Nous observons aussi que l'architecture de TDC Vernier Oscillateur en anneau (linéaire) cité dans [8] permet d'atteindre une résolution temporelle de 7.3 ps toujours dans la même technologie de fabrication en CMOS 130nm utilisée dans [35]. Le TDC 2D vernier cité dans [50] basé sur une ligne de délais et un oscillateur en anneau a des performances meilleures que celles citées précédemment. La résolution obtenue avec ce TDC est de 1 ps. A partir de cette étude, nous avons imaginé une nouvelle structure de TDC inspiré du TDC 2D Vernier et du Vernier Oscillateur en anneau (linéaire) mais avec deux oscillateurs en anneaux. Nous nommons cette architecture comme :

— Vernier oscillateur en anneau TDC multiphasé

L'objectif de ce chapitre est d'expliquer le principe de fonctionnement d'un TDC de type Vernier oscillateur en anneau et de souligner les avantages et les inconvénients de l'architecture monophasée et multiphasée. La section 3.2 met en avant les caractéristiques principales d'un TDC Vernier Oscillateur en anneau de type monophasée. La section 3.3 décrit les nouvelles caractéristiques d'un TDC Vernier Oscillateur en anneau avec le principe de détection multiphasée. Une comparaison entre les deux architectures est développée dans la section 3.4.

3.2 Le TDC Vernier oscillateur en anneau monophasée

3.2.1 Principe de fonctionnement

La figure 3.1 montre le schéma bloc du TDC de type Vernier oscillateur en anneau avec une seule détection de phase. Il est séparé en 4 blocs :

- La prélogique de démarrage
- Les oscillateurs en anneaux : oscillateur lent et oscillateur rapide avec le même nombre d'inverseur N_e ($N_e = 7$, dans le cas de la figure 3.1)
- Le circuit de coïncidence
- Les compteurs : compteur lent et compteur rapide

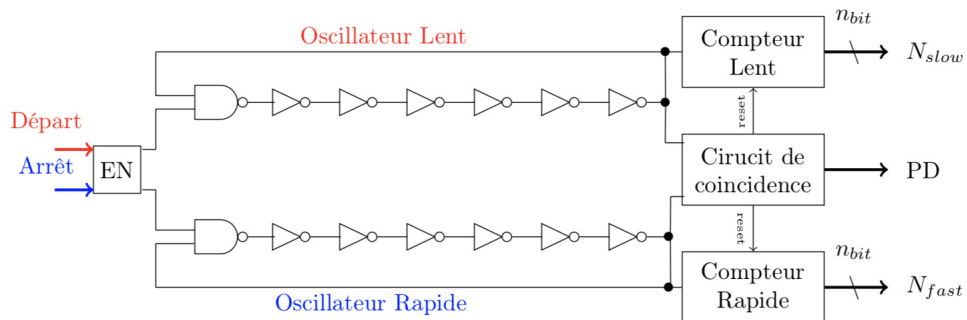
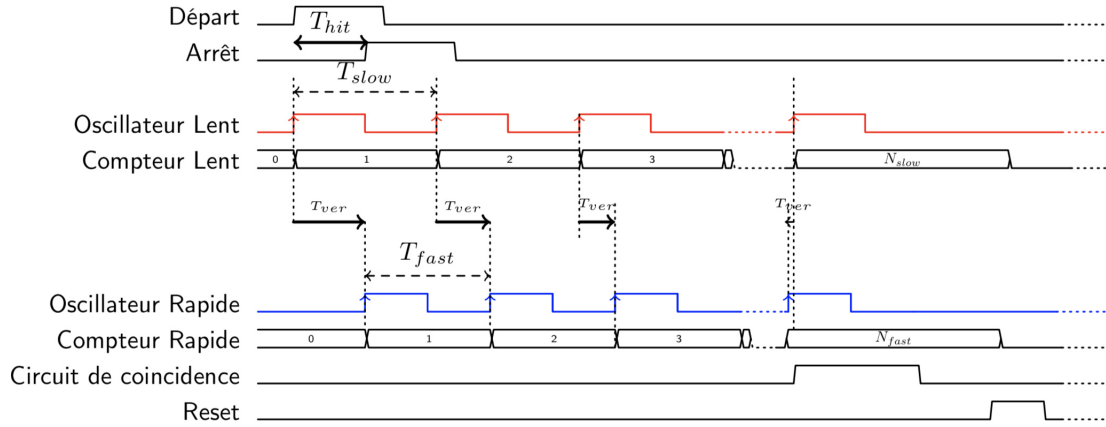


FIGURE 3.1: Schéma bloc du TDC Vernier Oscillateur en anneau monophasée

Le fonctionnement global du TDC, décrit dans la figure 3.2 peut être divisé en trois étapes distinctes :

FIGURE 3.2: Chronogramme du TDC Vernier Oscillateur en anneau monophasé : cas $T_{hit} < T_{slow}$

- 1) À la réception du signal de départ, le circuit de prélogique démarre l'oscillateur lent. La fréquence d'oscillation de ce dernier est établie par le temps de propagation dans chacune de ses portes logiques. Si $\tau_{inv_{slow}}$ est le temps de propagation d'un signal dans un inverseur [40], la période T_{slow} de l'oscillateur lent est [1] :

$$T_{slow} = 2.Ne_{slow}.\tau_{inv_{slow}} \quad (3.1)$$

Avec :

- Ne_{slow} : Le nombre d'inverseurs dans l'oscillateur lent

Le circuit de prélogique détermine si le signal de départ est arrivé avant le signal d'arrêt. Un compteur lent (gros) compte le nombre de cycles N_{slow} de l'oscillateur lent.

- 2) Au moment où le signal d'arrêt survient, le circuit de prélogique démarre l'oscillateur rapide (mode vernier) avec une période T_{fast} :

$$T_{fast} = 2.Ne_{fast}.\tau_{inv_{fast}} \quad (3.2)$$

Avec :

- Ne_{fast} : Le nombre d'inverseurs de l'oscillateur rapide
- $\tau_{inv_{fast}}$: Le temps de propagation d'un signal dans un inverseur de l'oscillateur rapide.

Le compteur rapide (vernier) compte le nombre de tours N_{fast} de l'oscillateur rapide jusqu'au rattrapage des deux oscillateurs.

- 3) Le circuit de coïncidence détermine le moment où le front montant de l'oscillateur rapide rattrape le front montant de l'oscillateur lent. A ce moment, le TDC a terminé sa conversion et le code est disponible.

A la fin de la mesure, le résultat de la conversion du temps d'entrée T_{hit} se calcule selon l'équation 3.3 [35] :

$$T_{conv} = N_{slow} \times T_{slow} - N_{fast} \times T_{fast} \quad (3.3)$$

Avec :

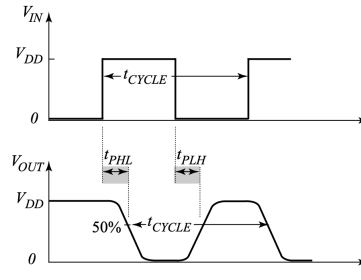


FIGURE 3.3: Le temps de propagation dans un inverseur

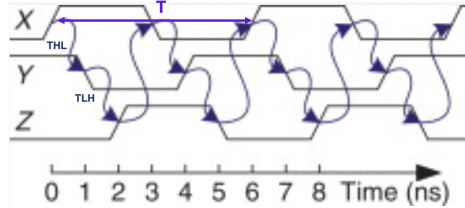


FIGURE 3.4: Chronogramme d'un Oscillateur en anneau : Exemple sur 3 étages (X,Y,Z)
 La période du signal X est égale : $T = 3 \times (t_{HL} + t_{LH}) = 6ns$

- N_{slow} : La valeur du compteur lent à la fin de la conversion
- N_{fast} : La valeur du compteur rapide à la fin de la conversion
- T_{slow} : La période de l'oscillateur lent
- T_{fast} : La période de l'oscillateur rapide

T_{hit} est le temps analogique entre les deux événements "Start" et "Stop". Le TDC calcule une valeur approchée du temps T_{hit} qu'on appelle T_{conv} .

où :

$$T_{conv} = T_{hit} \pm \sigma_{TDC}$$

Avec σ_{TDC} l'erreur de conversion ou précision du TDC est présenté dans la section 2.2.3

3.2.2 Résolution temporelle du Vernier Oscillateur en anneau TDC monophasé

$$T_{LSB}$$

D'après le chronogramme de la figure 3.2, on remarque que le délai T_{ver} - entre les deux oscillateurs lent et rapide au démarrage - diminue d'un petit délai (T_{LSB}) à chaque nouvelle transition, jusqu'au moment où le rattrapage se produit. Ce délai T_{LSB} fixe la résolution de temps du TDC.

Le TDC fonctionne dans deux modes comme illustré dans la figure 5.13a :

- Le mode Grossier : Il est activé quand l'oscillateur lent oscille avant le démarrage de l'oscillateur rapide.
 - Le mode Vernier : Il met fin au mode Grossier, et il est activé après le démarrage de l'oscillateur rapide.
- Le principe de fonctionnement est expliqué dans la section précédente.

Les deux modes de fonctionnement cités auparavant sont fixés dans les cas de figure ci-dessous :

- **Cas 1)** Le temps $T_{hit} < T_{slow}$ comme dans l'exemple de la figure 3.2. Les oscillateurs démarrent dans la même fenêtre. Le mode vernier est activé. Dans ce cas, les valeurs des compteurs lent et rapide sont identiques $N_{slow} = N_{fast} = N_{fin}$. Le temps de conversion en mode Vernie $T_{convver}$ calculé par le TDC peut-être exprimé à partir de l'équation 3.4 comme :

$$T_{convver} = N_{fin} \times (T_{slow} - T_{fast}) \quad (3.4)$$

- **Cas 2)** Le temps $T_{hit} = T_{slow}$. Le TDC fonctionne dans la limite du mode Vernier. On peut exprimer à partir de l'équation 3.4 la période de l'oscillateur lent calculé par le TDC $T_{slowconv}$ selon l'équation suivante :

$$T_{slowconv} = N_{fin_{max}} \times (T_{slow} - T_{fast}) \quad (3.5)$$

Avec $N_{fin_{max}}$: le nombre de tour maximum en mode vernier

- **Cas 3)** Le temps $T_{hit} > T_{slow}$, le mode de fonctionnement grossier s'ajoute au mode vernier. Le temps de conversion total $T_{convtotal}$ calculé par le TDC est :

$$T_{convtotal} = T_{convgr} + T_{convver} \quad (3.6)$$

Où :

- T_{convgr} : Le temps de conversion calculé par le TDC dans le mode grossier, est exprimé en fonction de la période de l'oscillateur lent T_{slow} et de N_{gr} le nombre de tour de l'oscillateur lent en mode grossier :

$$T_{convgr} = N_{gr} \times T_{slow} \quad (3.7)$$

- $T_{convver}$: Le temps de conversion calculé par le TDC dans le mode vernier exprimé dans l'équation 3.4

Les équations 3.4, 3.5 et 3.7 peuvent être combinés pour réécrire l'équation 3.6 qui devient 3.8 :

$$T_{convtotal} = (N_{gr} \times T_{slow}) + N_{fin} \times (T_{slow} - T_{fast}) \quad (3.8)$$

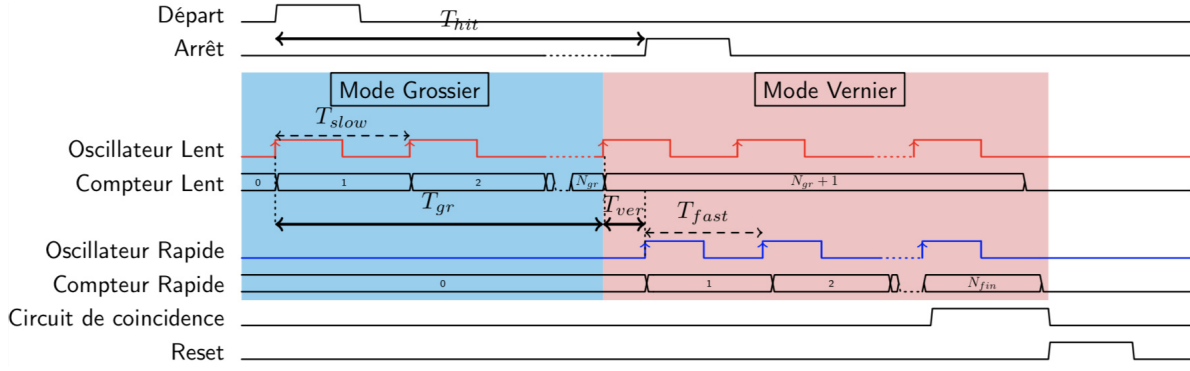
Ainsi, à partir de l'équation 3.8, on remarque que la résolution du TDC est fixée par la différence de période entre les oscillateurs lent et rapide selon l'équation suivante :

$$T_{LSB} = T_{slow} - T_{fast} \quad (3.9)$$

3.2.3 Temps de conversion du Vernier Oscillateur en anneau TDC monophasé

T_{cmono}

Nous avons vu avant que la résolution d'un Vernier oscillateur en anneau TDC est déterminée par la différence de période de ses oscillateurs (équation 3.10). Le temps de conversion (temps mort) est le temps

FIGURE 3.5: Chronogramme du TDC à étage unique : cas $T_{hit} > T_{slow}$

que prend le TDC pour convertir un délai en donnée numérique. Il dépend de la période de l'oscillateur lent et de la résolution. Avec les équations 3.11, 3.12 et 3.13, nous déterminons l'équation 4.21 qui correspondant au temps de conversion maximal du Vernier Oscillateur en anneau TDC.

$$T_{LSB} = T_s - T_f \quad (3.10)$$

$$N_{smax} = \frac{T_{hit_{max}}}{T_s} \quad (3.11)$$

$$N_{vmax} = \frac{T_s}{T_{LSB}} \quad (3.12)$$

$$T_{cmono} = (N_s + N_v) \cdot T_s \quad (3.13)$$

$$T_{cmax} = (N_{smax} + N_{vmax}) \cdot T_s = T_{hit_{max}} + \frac{T_s^2}{T_{LSB}} \quad (3.14)$$

avec :

- T_s : Période de l'oscillateur lent
- T_f : Période de l'oscillateur rapide
- N_s : Nombre de tours en mode oscillateur simple (grossier)
- N_v : Nombre de tours en mode vernier
- N_{smax} : Nombre maximal de tours en mode oscillateur simple (grossier)
- N_{vmax} : Nombre maximal de tours en mode vernier
- $T_{hit_{max}}$: Délai maximal entre le signal départ et arrêt
- T_{cmono} : Temps de conversion du Vernier Oscillateur en anneau monophasé

Comme $T_{hit_{max}} \ll \frac{T_s^2}{T_{LSB}}$, le temps de conversion maximal est approximativement égal à :

$$T_{cmax} \approx \frac{T_s^2}{T_{LSB}} \quad (3.15)$$

Il est intéressant de constater qu'un changement de la résolution du TDC a un impact inversement proportionnel sur le temps de conversion maximal. Ainsi, en réduisant la résolution d'un rapport 6, de 12 ps à 2 ps par exemple, tout en conservant la fréquence de l'oscillateur lent à 1 GHz, le temps de conversion maximum augmentera de 83 ns à 500 ns, donc d'un facteur 6.

3.2.4 Jitter des oscillateurs dans le TDC monophasé

$\sigma_{osc_{mono}}$ Nous avons démontré dans la section 2.5 que les jitters des oscillateurs en anneaux se cumulent dans le temps. Pour une architecture de type Vernier, l'intervalle de temps ΔT exprimé dans l'équation 2.23 est équivalent au temps de conversion du TDC. Ainsi à partir des équations 3.15 et 2.23, le jitter maximum dans les oscillateur d'un TDC Vernier Oscillateur en anneau monophasé est donné comme :

$$\sigma_{osc_{mono}} = K \cdot \sqrt{\frac{T_2^2}{T_{LSB}}} \quad (3.16)$$

Avec K la constante de bruit de l'oscillateur en anneau. Son expression est détaillée dans la section 4.4.2.

Nous observons à partir de l'équation 3.16 qu'en réduisant la résolution temporelle T_{LSB} d'un rapport nb , on augmente par \sqrt{nb} le jitter maximal de l'oscillateur en anneau. Ainsi, les performances du Vernier Oscillateur en anneau TDC monophasé seront limitées par le jitter des oscillateurs en anneaux si l'on utilise un pas de quantification T_{LSB} trop fin.

3.3 Le TDC Vernier oscillateur en anneau multiphasé

3.3.1 Principe de fonctionnement

La figure 3.6 décrit l'architecture d'un Vernier oscillateur en anneau TDC multiphasé. Comme le Vernier Oscillateur en anneau TDC monophasé, les blocs principaux sont :

- La prélogique de démarrage ([EN] sur la figure 3.6)
- Les deux oscillateurs en anneaux lent et rapide
- Le circuit de coïncidence dans la matrice de détection de phase
- Les compteurs lent et rapide

La différence entre un Vernier Oscillateur en anneau TDC monophasé et multiphasé est au niveau du circuit de coïncidence. Ce dernier observe l'évolution de la phase entre toutes les sorties S1, S2, S3, S4 et S5 de l'oscillateur lent et les sorties F1, F2, F3, F4 et F5 de l'oscillateur rapide illustré dans la (figure 3.6).

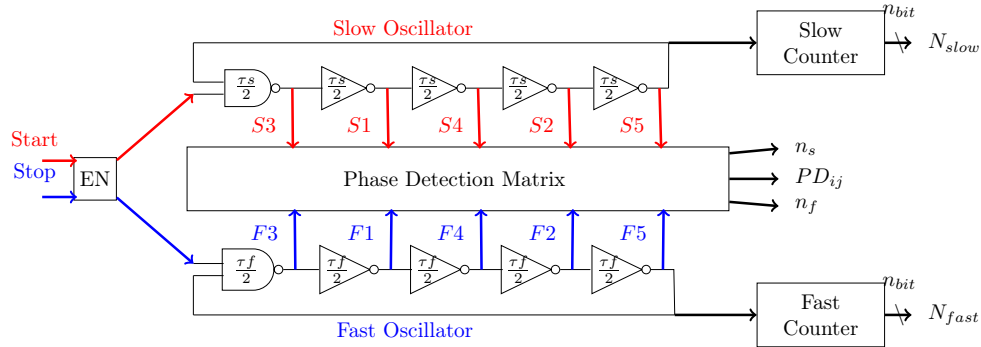


FIGURE 3.6: Schéma bloc du TDC Vernier oscillateur en anneau multiphasé

La topologie des deux oscillateurs, lent et rapide, est identique avec cinq portes logiques chacun (1 porte AND et 4 inverseurs). Les signaux de sortie des deux oscillateurs sont ordonnés de manière à faciliter l'indexation des détecteurs de phase qui sont sensibles au front montant : en fonction de la logique combinatoire suivante :

- Le signal S3 est le signal S5 inversé avec un délai $\tau_{inv} = \frac{\tau_s}{2}$;
- Le signal S1 est le signal S3 inversé avec un délai $\tau_{inv} = \frac{\tau_s}{2}$;
- Le signal S4 est le signal S1 inversé avec un délai $\tau_{inv} = \frac{\tau_s}{2}$;
- Le signal S2 est le signal S4 inversé avec un délai $\tau_{inv} = \frac{\tau_s}{2}$;
- Le signal S5 est le signal S2 inversé avec un délai $\tau_{inv} = \frac{\tau_s}{2}$.

On retrouve la même distribution pour l'oscillateur rapide, à la différence du délai qui est de $\tau_{inv} = \frac{\tau_f}{2}$. Cette disposition des sorties est choisie pour assurer un lien logique et direct entre les signaux de sortie de chaque oscillateur. Ainsi comme illustré dans la figure 3.7 :

- Le signal S2 est le signal S1 retardé d'un délai de τ_s ;
- Le signal S3 est le signal S2 retardé d'un délai de τ_s ;
- Le signal S4 est le signal S3 retardé d'un délai de τ_s ;
- le signal S5 est le signal S4 retardé d'un délai de τ_s ;
- Le signal S1 est le signal S5 retardé d'un délai de τ_s .

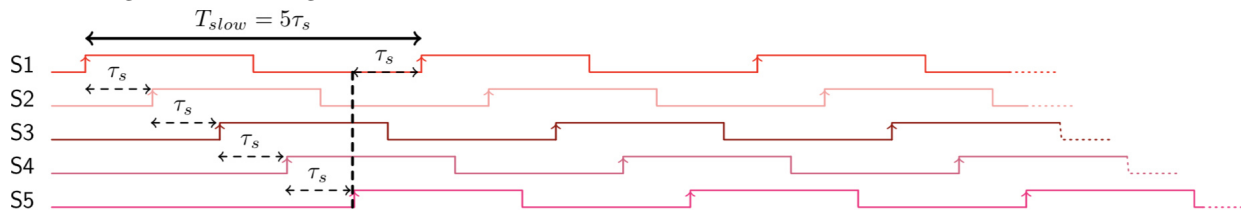


FIGURE 3.7: Chronogramme des signaux de sorties de l'oscillateur lent

De même pour l'oscillateur rapide, le chronogramme des sorties est représenté dans la figure 3.8 :

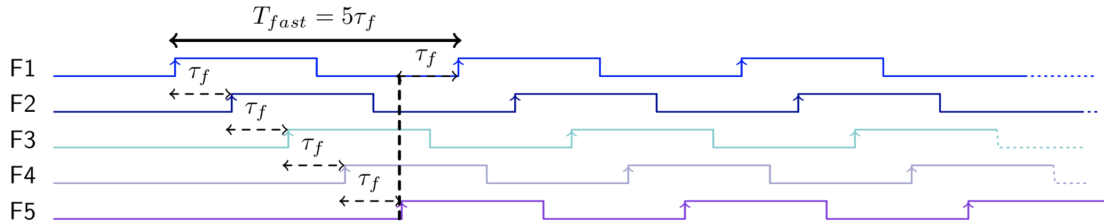


FIGURE 3.8: Chronogramme des signaux de sorties de l'oscillateur rapide

- Le signal F1 est le signal F5 retardé d'un délais de τf .
- Le signal F2 est le signal F1 retardé d'un délais de τf .
- Le signal F3 est le signal F2 retardé d'un délais de τf .
- Le signal F4 est le signal F3 retardé d'un délais de τf .
- Le signal F5 est le signal F4 retardé d'un délais de τf .

Le fonctionnement global du TDC multiphase est illustré dans la figure 3.9. Il peut être divisé en trois étapes distinctes :

- A la réception du signal de départ, le circuit de prélogique démarre l'oscillateur lent. Les sorties S1, S2, S3, S4 et S5 démarrent les unes après les autres avec une période établie par le délai élémentaire de chaque inverseur $\frac{\tau_s}{2}$. Ainsi à partir de l'équation 3.1 cité dans la section 3.2 la période de l'oscillateur lent est : $T_{slow} = 5 \tau_s$.
Le compteur lent compte le nombre de cycles de l'oscillateur lent dans le mode grossier comme expliqué dans la section 3.2.
- Quand le signal d'arrêt survient, le circuit de prélogique démarre l'oscillateur rapide (mode vernier) avec une période $T_f = 5\tau_f$ (section 3.2). Ce dernier active le compteur rapide qui compte le nombre de tours de l'oscillateur rapide.
- Quand le TDC est en mode vernier, le circuit de coïncidence sur plusieurs étages observe l'évolution de phase entre toutes les sorties de l'oscillateur lent et rapide. Quand le circuit de coïncidence observe une correspondance de phase entre deux signaux à son entrée, il enregistre la positions n_s et n_f . La valeur de c'est positions est déduite du détecteur de phase établie. Ainsi, pour le détecteur PD_{ij} la valeur de la position $n_s = i - 1$ et la position $n_f = j - 1$. Avec $i=[1 :5]$ et $j=[1 :5]$ dans l'exemple de la figure 3.9.
- du signal de sortie lent et rapide, respectivement, où la détection de phase a eu lieu. Il envoi aussi le signal PD_{ij} au compteurs lent et rapide afin d'enregistrer les données N_{slow} et N_{fast} relatives à cette détection de phase.

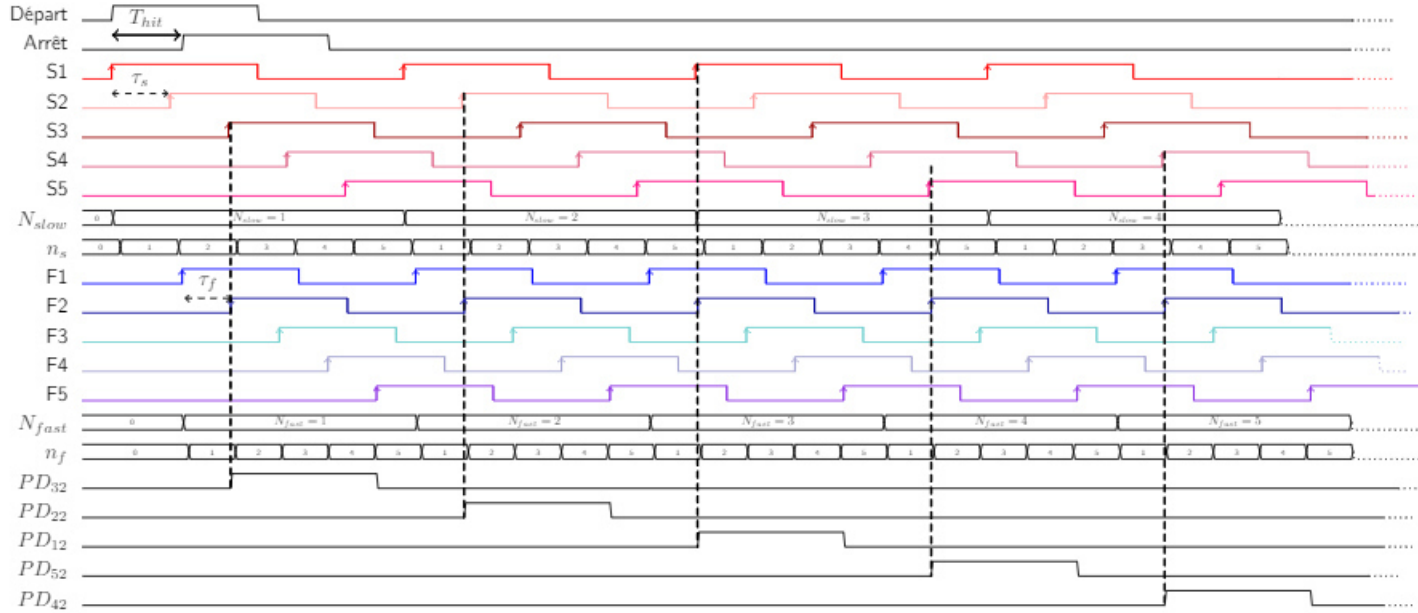


FIGURE 3.9: Chronogramme du TDC multiphase

Nous observons dans l'exemple de la figure 3.9 que le TDC multiphase détecte une coïncidence de phase à plusieurs niveaux. Dans cet exemple, le détecteur de phase PD_{32} observe une coïncidence de phase entre le signal S_3 et le signal F_2 , suivie par le détecteur de phase PD_{22} qui observe une coïncidence de phase entre le signal S_2 et le signal F_2 , suivie par PD_{52} et PD_{42} . Il y a deux méthodes pour calculer le temps T_{hit} :

- La première méthode consiste à exploiter toutes les détections de phases de la matrice avant d'arrêter la conversion du TDC . A chaque détection de phase, les données n_s , n_f , N_{slow} , et N_{fast} sont enregistrées pour calculer le temps T_{hit} . On mesure ainsi de manière redondante le temps à mesurer.
- La deuxième méthode, du "premier qui gagne", consiste à enregistrer uniquement les données n_s , n_f , N_{slow} , et N_{fast} de la première détection de phase. Cette méthode de calcul du temps T_{hit} est plus rapide que la première méthode, car elle implique un temps mort de conversion plus faible, et elle présente certains avantages que nous allons détailler dans ce qui suit.

3.3.2 Résolution temporelle du Vernier oscillateur en anneau TDC multiphase Δ

De même que pour un TDC Vernier Oscillateur en anneau monophasé, la résolution temporelle pour du TDC Vernier Oscillateur en anneau multiphase est son plus petit délai mesurable. Pour déterminer son expression, il faut exprimer le code de sortie $T_{conv_{total}}$ pour cette architecture.

Nous venons d'entrevoir qu'il est possible de calculer le temps avec un TDC Vernier Oscillateur en anneau multiphase selon deux méthodes. On s'intéressera dans cette section à la seconde solution de calcul expliquée précédemment. Elle consiste à exploiter les données de la toute première détection de phase établie par l'architecture multiphase (figure 3.10).

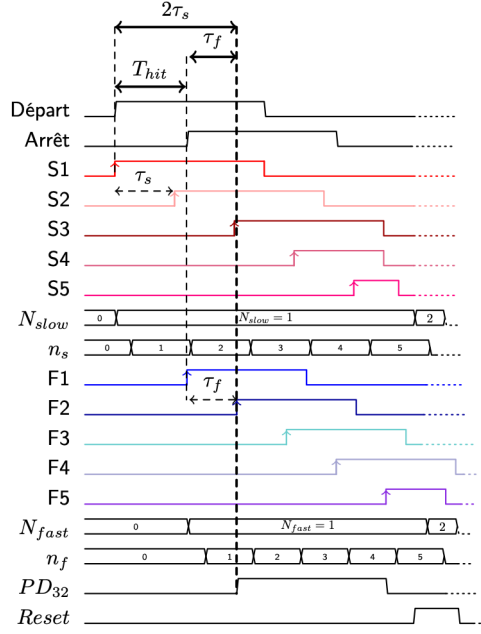


FIGURE 3.10: Chronogramme de la détection multiphase : méthode du premier qui gagne

Dans cet exemple, le détecteur de phase PD_{32} observe une coïncidence de phase entre les sorties S3 et F2 des oscillateurs lent et rapide, respectivement. On observe dans la figure 3.10 qu'il est possible de calculer le temps T_{hit} en fonction de données n_s , n_f , où la détection de phase est établie dans l'oscillateur lent et rapide, respectivement. Dans cet exemple, quand PD_{32} passe à '1', $n_s=2$ et $n_f=1$. Le temps calculé par le TDC multiphase est :

$$T_{conv_{total}} = 2\tau_s - \tau_f \quad (3.17)$$

Où :

- τ_s le délai entre les signaux de l'oscillateur lent comme illustré précédemment dans la figure 3.7
- τ_f le délai entre les signaux de l'oscillateur rapide comme illustré précédemment dans la figure 3.8

Quand la détection de phase est établie ($PD_{32}='1'$), le système enregistre les valeurs des positions n_s et n_f . Le signal *Reset* marque la fin de la conversion et remet à zéro les oscillateurs lent et rapide. Les oscillateurs vont ensuite arrêter d'incrémenter les positions n_s et n_f , mais aussi les compteurs lent et rapide. Le temps calculé par le TDC peut-être exprimé dans l'exemple de la figure 3.10 d'une façon générale comme :

$$T_{conv_{total}} = n_s\tau_s - n_f\tau_f \quad (3.18)$$

Nous observons aussi dans cet exemple, que les valeurs du compteur lent N_{slow} et du compteur rapide N_{fast} n'interviennent pas dans le calcul du temps. En effet, dans l'exemple de la figure 3.10, le temps a calculé T_{hit} est inférieur de la période de l'oscillateur lent (T_{slow}). La partie grossière est nulle dans ce cas particulier, ainsi la période des oscillateurs n'est pas utilisé dans le calcul du temps par le TDC multiphase.

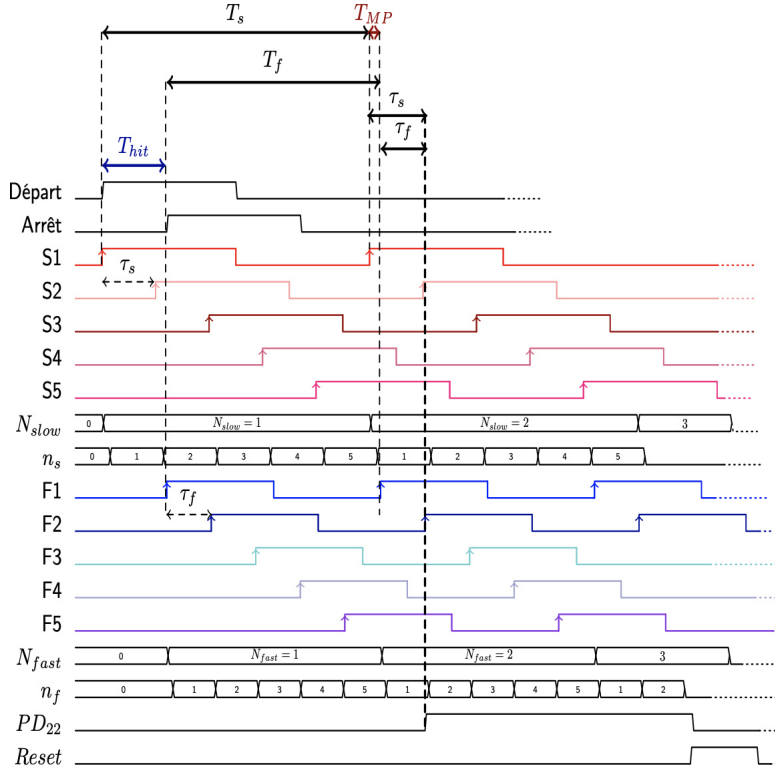


FIGURE 3.11: Chronogramme de la détection multiphase :deuxième détection de phase

On s'intéresse maintenant au calcul du temps établie par le second détecteur de phase comme exprimé dans la figure 3.11. Le détecteur de phase PD_{22} observe une coïncidence de phase entre les sorties S2 et F2 des oscillateurs lent et rapide, respectivement. Nous observons dans la figure 3.11 qu'il est possible de calculer le temps T_{hit} en fonction de données n_s , n_f , ou la détection de phase est établie dans l'oscillateur lent et rapide, respectivement, mais aussi de N_{slow} et N_{fast} les données des compteurs lent et rapide, respectivement. Dans cet exemple, quand PD_{22} passe à '1', $n_s=1$, $n_f=1$, $N_{slow} = 2$ et $N_{fast} = 2$. Le temps calculé par le TDC multiphase peut s'exprimer comme :

$$T_{convtotal} = T_{slow} + T_{MP} - T_{fast} \quad (3.19)$$

Où :

- T_{slow} la période de l'oscillateur lent
- T_{fast} la période de l'oscillateur rapide
- T_{MP} l'intervalle de temps en multiphase illustré dans la figure 3.11, calculé à partir des positions n_s et n_f et des délais τ_s et τ_f et donné dans ce cas par :

$$T_{MP} = \tau_s - \tau_f \quad (3.20)$$

A partir des exemples illustrés dans les figures 3.10, 3.11 et des équations 3.17, 3.18, 3.19, 3.20, l'ex-

pression générale du temps calculé avec un TDC multiphase est :

$$T_{conv_{total}} = (N_{slow} - 1)T_{slow} - (N_{fast} - 1)T_{fast} + (n_s\tau_s - n_f\tau_f) \quad (3.21)$$

Avec :

- T_{slow} : la période de l'oscillateur lent
- T_{fast} : la période de l'oscillateur rapide
- τ_s : le délai entre les sorties dans l'oscillateur lent
- τ_f : le délai entre les sorties dans l'oscillateur rapide
- N_{slow} : le valeur du compteur lent au moment de la détection de phase
- N_{fast} : le valeur du compteur rapide au moment de la détection de phase
- n_s : la position dans l'oscillateur lent ou la détection de phase à eu lieu
- n_f : la position dans l'oscillateur rapide ou la détection de phase à eu lieu

Dans les exemples précédents, le temps T_{hit} est inférieure à une période de l'oscillateur lent ($T_{hit} < T_{slow}$). Le TDC est dans un mode de fonctionnement Vernier comme expliqué dans la section 3.2.2. Dans ce cas, les valeurs des compteurs lent et rapide sont identiques ($N_{slow}=N_{fast}$). L'équation 3.21 devient :

$$T_{conv_{total}} = (N_{fast} - 1)[T_{slow} - T_{fast}] + (n_s\tau_s - n_f\tau_f) \quad (3.22)$$

Pour pouvoir exploiter cette architecture il faut respecter un lien de dépendance entre le délai τ_s de l'oscillateur lent et le délai τ_f de l'oscillateur rapide exprimé dans l'équation 3.23 suivante :

$$\tau_s = k \times \Delta \quad \text{et} \quad \tau_f = (k - 1) \times \Delta \quad (3.23)$$

Avec :

- k : une valeur numérique constante qu'on fixe en fonction des délais τ_s et τ_f
- Δ : la différence entre les délais :

$$\Delta = \tau_s - \tau_f \quad (3.24)$$

Si nous remplaçons l'expression des délais τ_s et τ_f par l'expression établie dans 3.23, l'équation 3.22 devient :

$$T_{conv_{total}} = (N_{fast} - 1)[T_{slow} - T_{fast}] + [n_s k - n_f(k - 1)] \times \Delta \quad (3.25)$$

Nous avons aussi exprimé dans la section 3.2.1 la période d'un oscillateur en anneaux en fonction du nombres d'étage d'inverseur N_e , mais aussi du temps de propagation τ_{inv} dans chaque inverseur de l'oscillateur. Ce temps de propagation est égale a $\tau_s/2$ pour l'oscillateur lent , et $\tau_f/2$ pour l'oscillateur rapide dans l'exemple de la figure 3.6. Ainsi les périodes des l'oscillateurs lent et rapide peuvent être exprimées comme :

$$T_{slow} = N_e\tau_s \quad \text{et} \quad T_{fast} = N_e\tau_f \quad (3.26)$$

En conclusion à partir des équations 3.23 et 3.26, l'expression générale du temps calculé par le TDC multiphase est :

$$T_{conv_{total}} = [(N_{fast} - 1)N_e + (n_s k - n_f(k - 1))] \times \Delta \quad (3.27)$$

Si le délai $T_{hit} > T_{slow}$, un mode de fonctionnement grossier s'ajoute au mode de fonctionnement vernier décrit précédemment dans la section 3.2.2. Ce temps $T_{grossier}$ est exprimé dans l'équation 3.28 :

$$T_{grossier} = (N_{slow} - 1)T_{slow} \tag{3.28}$$

En conclusion, à partir des équations 3.23, 3.26, 3.27, et 3.28, l'expression général du temps calculé par le TDC multiphase est :

$$T_{convtotal} = [(N_{slow} - 1)kN_e + (N_{fast} - 1)N_e + (n_s k - n_f(k - 1))] \times \Delta \tag{3.29}$$

3.3.3 Modélisation du Vernier Oscillateur en anneau TDC multiphase

Pour vérifier les équations données dans la section précédente, nous avons réalisé un modèle qui reprend ces équations. Dans ce modèle le nombre d'étages d'inverseur est $N_e = 5$. Les délais $\tau_s=373,7ps$, $\tau_f=359,7ps$ et $k=26,7$. La résolution temporelle multiphase est égale à $\Delta=14 ps$. Le pas de quantification monophasé serait $T_{LSB} = N_e * \Delta = 70ps$. Le temps calculé par le TDC multiphase avec l'expression établie dans 3.27 et en fonction des données n_s, n_f, N_{slow} et N_{fast} est donné dans le plan de la figure 3.12.

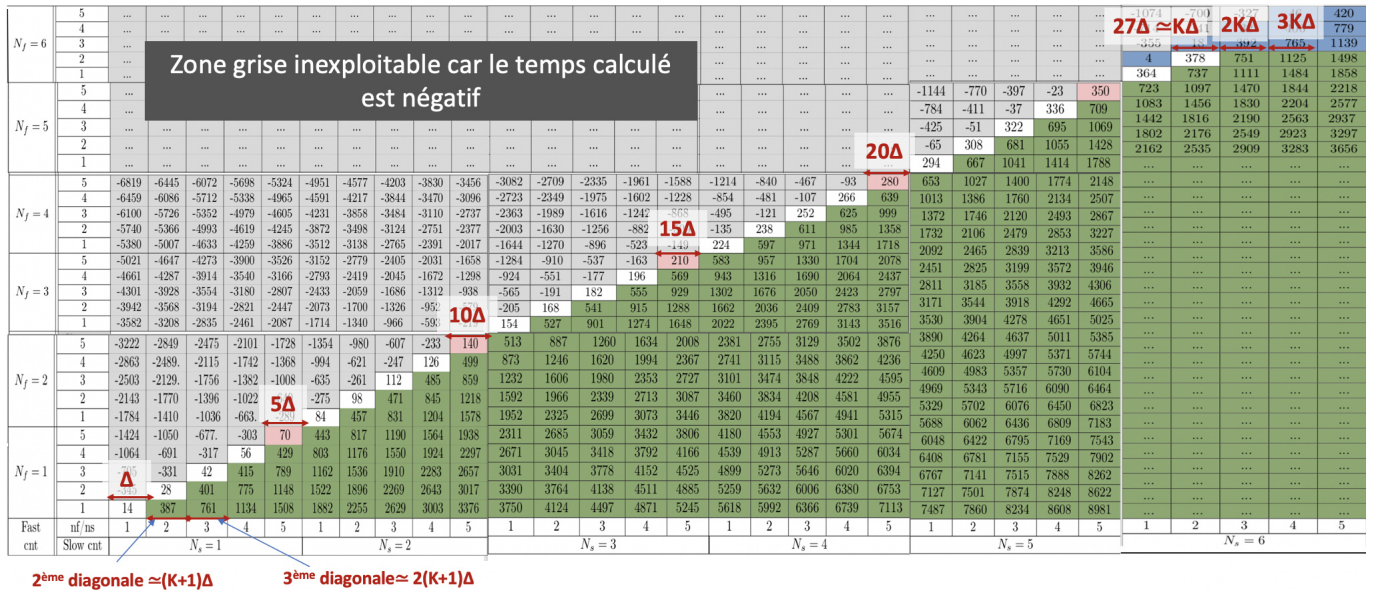


FIGURE 3.12: Modélisation du Vernier Oscillateur en anneau TDC multiphase, $k=26.7$, $\Delta = 14ps$, $T_{LSB} = 70ps$

En analysant les données de ce plan, nous observons une zone grise où le temps calculé par le TDC est négatif. Cette zone ne peut pas être exploitée par le TDC multiphase, car cela veut dire que l'oscillateur rapide est activé avant l'oscillateur lent. L'architecture du TDC multiphase comme décrite dans la figure 3.6 ne permet pas d'avoir ce mode de fonctionnement. Nous observons aussi une zone verte où le temps calculé est positif. Chaque case de la zone verte dans le plan de la figure donne le temps calculé à partir de l'équation 3.27. Les zones grise et verte sont délimitées par une zone blanche en diagonale. Cette zone est très intéressante car elle montre que le temps calculé dans chaque case de cette diagonale est

incrémenté par un facteur constant qui est égale à 14 ps. Ceci démontre que le pas de quantification pour un TDC multiphase est fixé par Δ . Son expression est exprimé dans l'équation 3.24

Nous observons aussi que la zone blanche en diagonale s'étend jusqu'à atteindre une valeur proche de $k\Delta$ soit $(k + 0.4)\Delta$. Ensuite c'est la seconde diagonale qui commence à une valeur proche de $(k + 1)\Delta$ soit $(k + 0.6)\Delta$, et qui correspond à des données : $N_{slow} = 1$, $N_{fast} = 1$, $n_s = 2$, et $n_f = 1$ comme illustré dans la figure 3.12. La seconde diagonale s'étend à la valeur proche de $2k\Delta$ soit $(2(k + 0.4)\Delta)$, suivie par la 3^{ème} diagonale qui commence à une valeur proche de $2(k + 1)\Delta$ soit $(2(k + 0.6)\Delta)$ pour des données : $N_{slow} = 1$, $N_{fast} = 1$, $n_s = 3$, et $n_f = 1$. La 3^{ème} diagonale s'étend jusqu'à une valeur proche de $3k\Delta$, soit $(3(k + 0.4)\Delta)$, et ainsi de suite. Les cases en rose donnent le temps calculé par le TDC multiphase si les données des positions n_s et n_f sont égales. Dans ce cas de figure, le temps est calculé seulement par les valeurs des compteurs N_{slow} et N_{fast} ce qui correspond au fonctionnement d'un TDC monophasé. Nous remarquons aussi que le temps dans ces cases augmente avec un pas fixé par $N_e\Delta$. Ceci donne une hypothèse sur l'expression de la résolution du TDC monophasé en fonction de la résolution multiphase. Nous détaillons cette hypothèse dans la section suivante.

3.4 Comparaison des performances entre le TDC monophasé et multiphase

3.4.1 Amélioration de la résolution temporelle

La différence entre un TDC Vernier à étage unique et à étage multiples réside principalement dans l'observation de l'évolution de phases entre les oscillateurs lent et rapide. Nous avons expliqué dans la section 3.2 qu'un vernier TDC (monophasé) observe l'évolution de la phase entre l'oscillateur lent et rapide depuis les sortie S5 et F5 (figure 3.13 (a)). Dans le cas du TDC de type Vernier à étages multiples (multiphase), l'évolution des phases est observée entre toutes les sorties de l'oscillateur lent et de l'oscillateur rapide (figure 3.13 (b)).

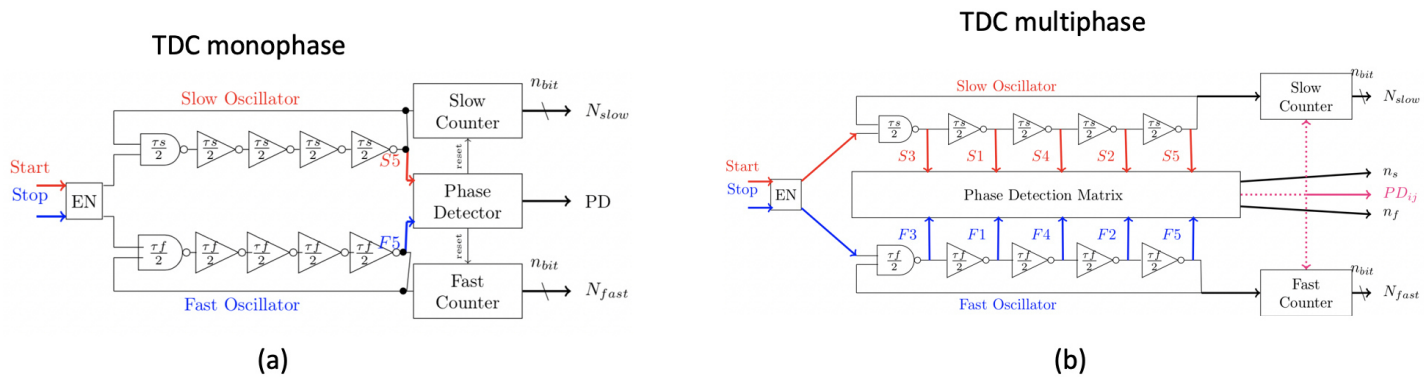


FIGURE 3.13: comparaison du TDC monophasé vs multiphase

A partir des équations 3.1 et 3.2, la resolution temporelle d'un Vernier TDC monophasé T_{LSB} est :

$$T_{LSB} = 2.nb.\tau_{inv_{slow}} - 2.nb.\tau_{inv_{fast}} \quad (3.30)$$

Avec nb le nombre d'inverseurs. La résolution temporelle du Vernier Oscillateur en anneau TDC multiphase Δ est :

$$\Delta = \tau_{inv_{slow}} - \tau_{inv_{fast}} \quad (3.31)$$

Nous avons exprimé avant que les temps de propagation $\tau_{inv_{slow}} = \frac{\tau_s}{2}$ pour l'oscillateur lent et $\tau_{inv_{fast}} = \frac{\tau_f}{2}$ pour l'oscillateur rapide. L'équation 3.31 devient 3.32

$$T_{LSB} = nb \cdot (\tau_s - \tau_f) \quad (3.32)$$

En conclusion, à partir des équations 3.9, 3.24 et 3.32, il est possible de réduire la résolution temporelle Δ d'un Vernier Oscillateur en anneau TDC multiples par rapport à un T_{LSB} d'un Vernier Oscillateur en anneau TDC monophasé en fonction de l'équation :

$$\Delta = \frac{T_{LSB}}{nb} \quad (3.33)$$

Ainsi, il est possible d'améliorer la résolution du TDC de type Vernier monophasé d'un rapport (nb) correspondant au nombre d'inverseurs en adoptant une architecture en multi-détection de phase (multiphase). Il est clair que plus le nombre d'inverseurs en anneau est grand, plus la résolution est réduite. Toutefois, il existe une limitation, fixée par la fréquence d'oscillation et le jitter dont la valeur augmente avec le temps (jitter cumulé) pendant lequel l'oscillateur en anneau est en opération. Il faut donc trouver le meilleur compromis qui permet d'améliorer la résolution sans pour autant dégrader la précision du TDC par le jitter cumulé.

3.4.2 Amélioration du temps de conversion

A partir de la figure 3.9 on peut exprimer le temps de conversion pour un TDC multiphase comme :

$$T_c = N_g \cdot T_s + n_s \cdot \tau_s \quad (3.34)$$

On rappelle que :

- N_g : le nombre de tour en mode grossier
- T_s : la période de l'oscillateur lent
- n_s : la position de la première coïncidence dans l'oscillateur lent
- τ_s : le temps de propagation dans inverseurs de l'oscillateur lent

En conséquence, le temps de conversion maximal pour une architecture multiphase est donné par :

$$T_{cmax} = T_{hit_{max}} + n_{smax} \cdot \tau_s \quad (3.35)$$

Le développement cité dans [49] indique que pour une architecture multiphase, n_s est compris entre :

$$1 \leq n_s \leq k \quad (3.36)$$

L'équation 3.35 peut donc être réécrite comme :

$$T_{cmax} = T_{hit_{max}} + k \cdot \tau_s \quad (3.37)$$

On suppose que $T_{hit_{max}} \ll k \cdot \tau_s$, ainsi à partir de l'équation 3.23, l'équation 3.37 devient :

$$T_{cmax_{multi}} \approx \frac{\tau_s^2}{\Delta} \quad (3.38)$$

A partir des équations 3.32, 3.1, 3.15 et 3.38, on peut exprimer le temps de conversion monophasé $T_{cmax_{mono}}$ en fonction du temps de conversion multiphasé $T_{cmax_{multi}}$ comme :

$$T_{cmax_{mono}} \approx T_{cmax_{multi}} \times nb \quad (3.39)$$

Si on prend l'exemple d'un Vernier Oscillateur en anneau TDC sur 3 étages avec les caractéristiques suivantes :

- Les délais $\tau_s = 10 ps$ et $\tau_f = 9 ps$
- La constante $k = 10$
- la résolution monophasé : $T_{LSB} = 3 ps$
- la résolution multiphasé : $\Delta = 1 ps$

Le temps de conversion pour TDC monophasé nécessaire pour convertir un délai $T_{hit} = 30 ps$ est :

$$T_{cmono} = T_{hit} + N_{fin} T_s = 330 ps \quad (3.40)$$

Avec, N_{fin} la valeur du compteur fin égale à :

$$N_{fin} = \frac{T_{hit}}{T_{LSB}} = 10 \quad (3.41)$$

Maintenant, dans le cas d'une architecture multiphasé, le temps nécessaire pour convertir un délai $T_{hit} = 30 ps$ est :

$$T_{hit} + \tau_s \leq T_{cmulti} \leq T_{hit} + k\tau_s \quad (3.42)$$

soit :

$$40 ps \leq T_{cmulti} \leq 130 ps \quad (3.43)$$

3.4.3 Amélioration du jitter des oscillateurs en anneaux

L'équation 3.38 démontre que le temps de conversion pour un TDC Vernier à étages multiples est réduit d'un facteur (nb) comparé à un TDC Vernier monophasé. Par conséquent, le même principe peut s'appliquer au jitter des oscillateurs en anneau.

En effet, nous avons démontré dans la section 2.5 que le jitter cumulé d'un oscillateur en anneau augmente en fonction du temps de conversion. On peut donc exprimer le jitter cumulé des oscillateurs $\sigma_{osc_{multi}}$ dans un vernier TDC multiphasé comme :

$$\sigma_{osc_{multi}} = K \times \sqrt{T_{c_{multi}}} \quad (3.44)$$

Ainsi, à partir de l'équation 3.39, il est possible d'exprimer le jitter cumulé pour une architecture multiphase $\sigma_{osc_{multi}}$ en fonction de celle d'une architecture monophasé $\sigma_{osc_{mono}}$ comme :

$$\sigma_{osc_{multi}} = \frac{\sigma_{osc_{mono}}}{\sqrt{nb}} \quad (3.45)$$

En conclusion, le jitter cumulé des oscillateurs en anneaux est réduit de \sqrt{nb} dans un TDC multiphase comparé à un TDC monophasé. C'est un avantage considérable qui se traduit par une amélioration des performances TDC Vernier.

3.5 Conclusion

Nous concluons ce chapitre par une discussion sur les avantages de l'architecture Vernier Oscillateur en anneau multiphase par rapport une approche monophasé. :

- La résolution temporelle en multiphase Δ :

$$\Delta = \frac{T_{LSB}}{nb} \quad (3.46)$$

Avec T_{LSB} la résolution temporelle en monophasé et nb le nombre d'étage dans les oscillateurs en anneaux .

- Le temps de conversion en multiphase $T_{c_{multi}}$ en négligeant le temps T_{hit} :

$$T_{c_{multi}} \leq \frac{T_{c_{mono}}}{nb}$$

Avec $T_{c_{mono}}$ le temps de conversion en monophasé.

- Le jitter cumulé des oscillateurs multiphase $\sigma_{osc_{multi}}$:

$$\sigma_{osc_{multi}} \leq \frac{\sigma_{osc_{mono}}}{\sqrt{nb}}, \quad (3.48)$$

où $\sigma_{osc_{mono}}$ le jitter cumulé des oscillateurs en monophasé

Pour vérifier et démontrer les équations citées dans ce chapitre, nous réalisons un TDC en technologie CMOS 130 nm. Ce circuit a pour objectif de vérifier les équations citées dans ce chapitre. Nous allons étudier les différentes façons d'exploiter l'architecture multiphase et les avantages mais aussi inconvénients de cette structure.

Chapitre 4

Conception

4.1 Introduction

Ce chapitre reprend les étapes de la conception du convertisseur de temps numérique (TDC) multiphase en technologique TSMC 130 nm. Le tableau 4.1 donne les performances visées par le TDC.

	Résolution temporelle	Précision temporelle	linearité (INL/DNL)
Objectif	1 ps	< 1ps	1/0.5 (LSB)

TABLE 4.1: Récapitulatif des performances visées par le TDC

Pour atteindre les performances données dans le tableau 4.1 , nous avons choisi de concevoir un TDC Vernier à oscillateurs en anneaux de type multiphase. Ce circuit a pour objectif d'étudier et démontrer le potentiel de cette architecture pour atteindre les résolutions temporelles souhaitées dans un noeud technologique de 130nm. La figure 4.1 décrit le schéma bloc du TDC Vernier multiphase. Il est separé en 4 circuits principaux :

- Les oscillateurs en anneaux ;
- La matrice de détection de phase ;
- Les compteurs ;
- La mémoire à registres à décalage.

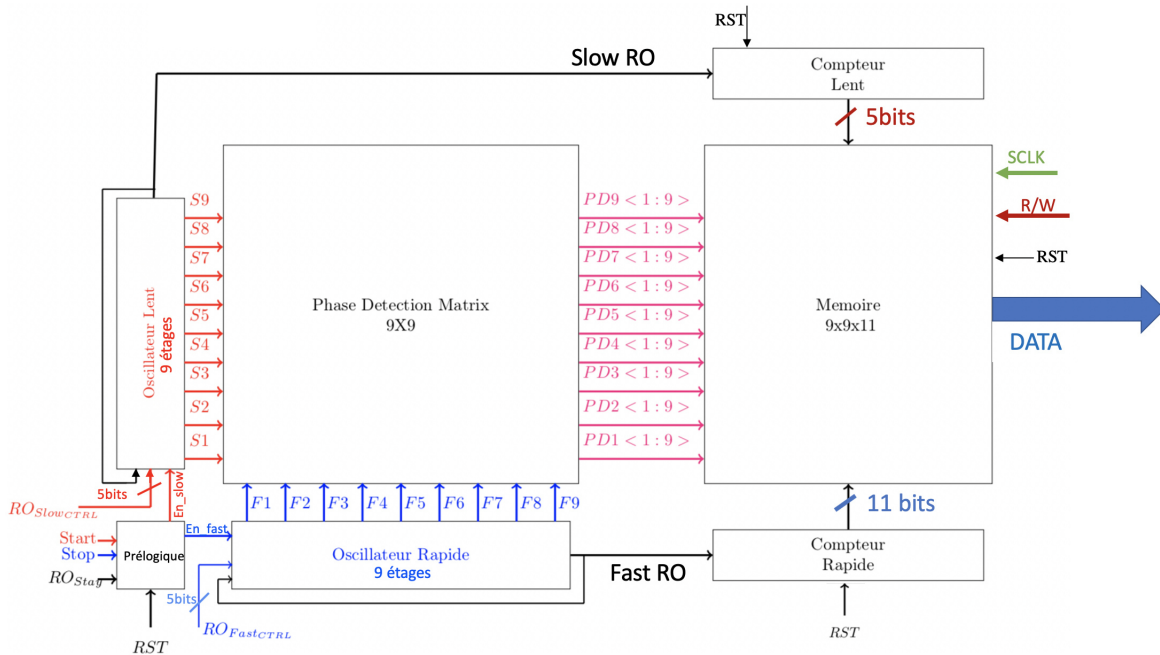


FIGURE 4.1: Schéma bloc du TDC multiphase

Nous avons vu dans le chapitre précédent que la résolution d'un TDC Vernier multiphase est fixée par la période des oscillateurs lents et rapides. Ils sont considérés comme le coeur du TDC puisqu'ils influencent directement la résolution, la précision ainsi que la linéarité du convertisseur. Pour que les performances de l'oscillateur répondent à nos besoins, nous allons étudier les types d'oscillateur les plus connus dans la littérature.

4.2 Classification des oscillateurs en anneaux

La figure 4.2 [2] montre un oscillateur résonant LC. La fréquence d'oscillation est déterminée principalement par la résonance d'un réseau LC (ou équivalent, par exemple, un cristal de quartz). Un circuit actif stabilise l'amplitude d'oscillation et fournit l'énergie pour équilibrer les pertes dans les éléments L et C [17] [4]. Les oscillateurs LC permettent d'obtenir de très faibles jitter temporels tout en ayant d'excellentes performances en stabilité comparés aux oscillateurs en anneaux, puisque leur fréquence est principalement déterminée par l'inductance et le condensateur [14]. Toutefois, leur temps de stabilisation non nul les rendent inutilisables pour la mesure du temps en départ arrêté. En effet, le TDC doit démarrer et arrêter instantanément ses oscillateurs pour effectuer une mesure du temps. De plus, leurs consommations et leurs dimensions sont grandes à cause des éléments inductifs et capacitifs L et C utilisés dans la conception de cet oscillateur [13].

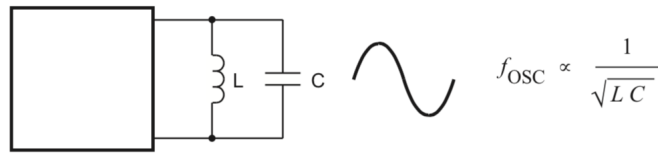


FIGURE 4.2: Oscillateur LC

En conclusion, les oscillateurs résonants sont très rarement utilisés dans les TDC. Nous allons nous intéresser principalement à l'étude des oscillateurs en anneaux qui sont plus adaptés pour les TDCs. Dans cette section nous donnons une classification des oscillateurs en anneaux dans le but d'évaluer différents oscillateurs dans la littérature et de nous guider vers le choix d'une architecture qui répondra aux besoins du TDC.

Le premier aspect de la classification est le type de signal dans l'étage de retard en anneaux. Nous identifions trois types généraux :

- L'oscillateur à anneau unique
- L'oscillateur différentiel
- L'oscillateur pseudo-différentiel

4.2.1 L'oscillateur en anneau unique

La figure 4.3 montre un exemple d'un oscillateur en anneau unique. L'anneau doit être composé d'un nombre N impair d'étages pour que l'oscillation se produise [2]. L'étage utilisé dans l'oscillateur en anneau unique est un CMOS inverseur illustré dans la figure 4.3. L'entrée de chaque étage est la sortie de l'étage précédent ainsi la fréquence d'oscillation est déterminée par le retard de propagation t_{PD} de chaque étage de l'anneau.

Les avantages de cette architecture sont :

- L'étage de retard ne consomme de l'énergie que lorsqu'il y a une transition de signal, contrairement aux étages différentiels qui nécessitent un courant de polarisation constant [47].
- Le signal en sortie varie sur une amplitude complète (VSS à VDD). Une plus grande amplitude du signal est associée à un jitter plus faible [15].

Les inconvénients de cette approche sont :

- À cause du couplage capacitif dû aux capacités parasites, une variation de la tension d'alimentation ou du substrat peut provoquer une variation de la forme d'onde de l'anneau qui apparaît comme un jitter dans le signal de l'oscillateur. Un exemple de couplage d'amplitude dû à l'interférence du substrat est illustré dans la figure 4.4.a. Dans cet exemple, le bruit du substrat ΔV_{sub} est couplé à travers la capacité parasite C_{db} ce qui implique une variation de tension du ring V_O . Cette variation d'amplitude résultante v_O provoque une variation T_d dans le temps auquel la tension de sortie franchit le seuil de commutation V_{TH} , ce qui entraîne un jitter dans le temps. L'effet du couplage d'amplitude est réduit en profitant du rejet de mode commun disponible dans les circuits différentiels présenté dans cette section. Un autre exemple de l'impact de la variation de la tension d'alimentation impliquant une variation dans de temps de propagation des étages est illustré dans la figure 4.4(b). Dans cet exemple, le bruit d'alimentation V_{DD} modifie la tension

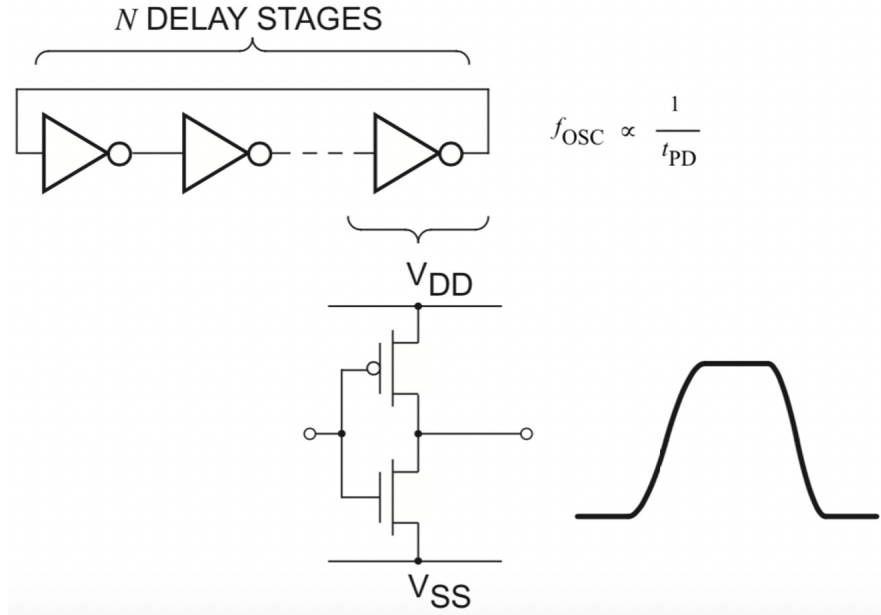


FIGURE 4.3: Oscillateur en anneau unique avec N étages d'inverseur CMOS

d'alimentation dans chaque étage de retard de l'oscillateur en anneau. Cela modifie le délai de propagation de la porte et modifie directement l'instant auquel la tension de l'anneau V_O franchit le seuil de commutation V_{TH} , ce qui entraîne un jitter ΔT_d . Contrairement au cas du couplage d'amplitude, l'utilisation de circuits différentiels n'aide pas toujours dans ce cas.

4.2.2 L'oscillateur en anneau différentiel

La figure 4.5 montre un exemple d'un oscillateur en anneau différentiel. Chaque étage de cette architecture est un amplificateur opérationnel avec une paire différentielle Nmos [19].

Les avantages de l'oscillateur en anneau différentiel sont :

- Les circuits différentiels offrent la possibilité d'un bon rejet du signal mode commun, à condition que la conception et le layout de la paire différentielle soient symétriques. En effet, le couplage d'amplitude du substrat décrit sur la figure 4.4(a) peut être considéré comme un bruit de mode commun, et il peut être rejeté par la paire différentielle. Cela est observé dans l'exemple simplifié de la figure 4.6 où t_{SW} est le temps de seuil de commutation quand la différence des sorties v_o est nulle dans le cas idéal sans bruit représenté par les lignes droites en pointillées sur la figure 4.6. En cas de variation de la tension d'alimentation V_{DD} , une variation de la tension de sortie v_O est couplée aux deux sorties. Étant donné que le temps de seuil de commutation t_{SW} est défini lorsque le signal différentiel franchit la valeur zéro, le signal d'interférence en mode commun n'affecte pas t_{SW} .

Les inconvénients de l'oscillateur différentiel sont :

- Amplitude du signal : La sortie de l'étage différentiel commute entre deux niveaux de tension plus petits. Par exemple, dans le circuit de la 4.5, l'amplitude du signal doit être bien inférieure à la

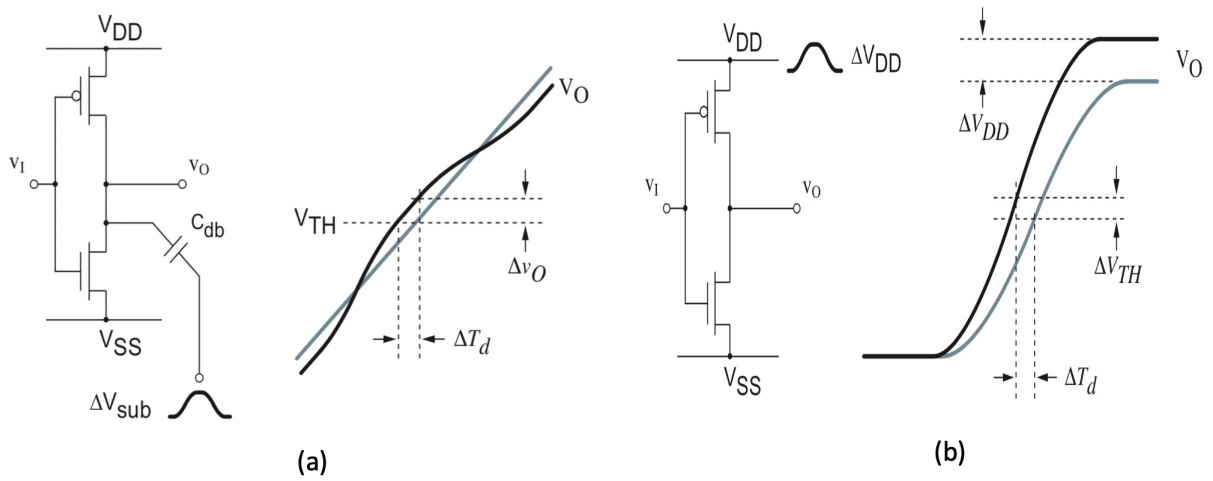


FIGURE 4.4: Bruit d'alimentation et du substrat dans un oscillateur en anneau unique : (a) Couplage d'amplitude dû au bruit du substrat, (b) Variation du temps de propagation à cause du bruit d'amplitude

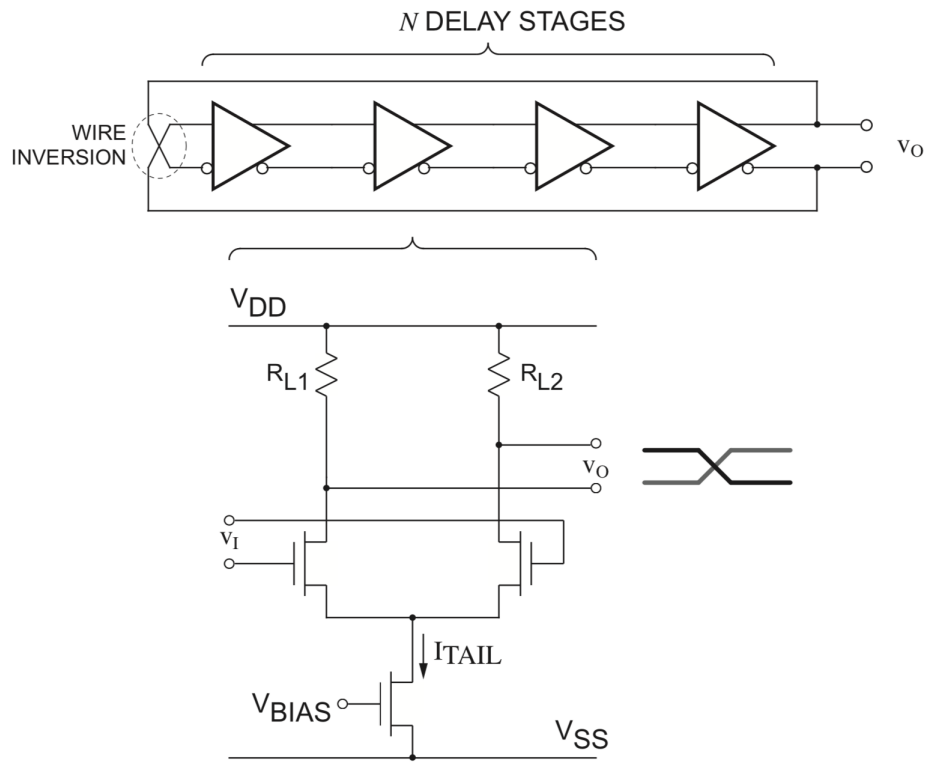


FIGURE 4.5: Schéma d'un Oscillateur en anneau différentiel

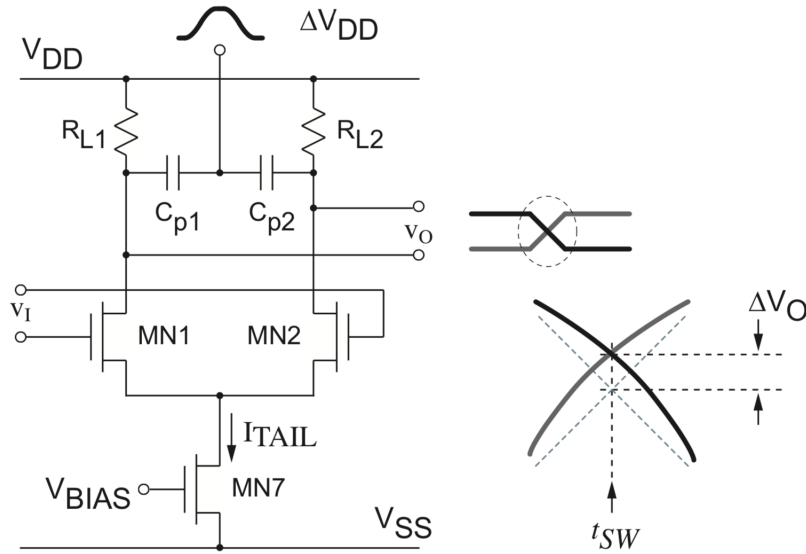


FIGURE 4.6: Schéma d'un oscillateur en anneau différentiel

tension d'alimentation pour maintenir tous les éléments du circuit dans la région active et ainsi conserver les propriétés du rejet de mode commun de l'étage différentiel. Cependant, les signaux avec des amplitudes $\partial v/\partial t$ plus petites sont plus sensibles aux sources de bruit fondamental σ_{bruit} , comme le bruit thermique. [15].

4.2.3 L'oscillateur pseudo-différentiel

L'oscillateur pseudo-différentiel est un mixe entre l'oscillateur en anneau unique et l'oscillateur différentiel. Un exemple de cette architecture est illustré à la figure 4.7, dans laquelle deux oscillateur en anneaux uniques sont couplés de manière à osciller avec un déphasage de 180° .

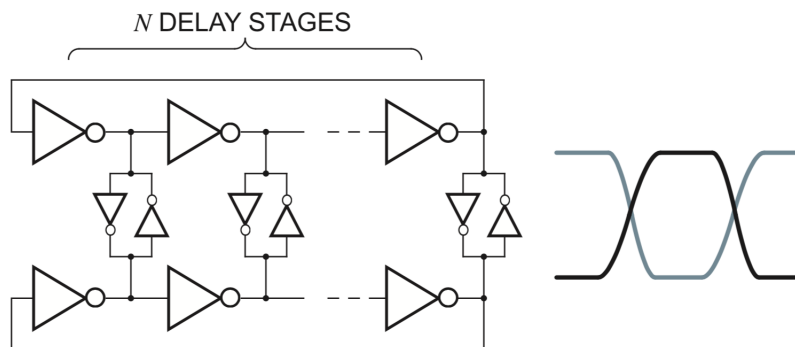


FIGURE 4.7: Schéma d'un Oscillateur pseudo-différentiel

Les avantages de l'approche pseudo-différentielle comprennent :

- De même que l'oscillateur à anneau unique, le signal en sortie de l'oscillateur pseudo-différentiel oscille dans la gamme dynamique complète du système de VSS à VDD, améliorant ainsi le jitter du signal.

- Un certain rejet du couplage des bruits alimentation / substrat : Avec une disposition symétrique et une bonne adaptation entre les deux côtés du circuit pseudo-différentiel, il peut y avoir une réduction du principe de couplage d'amplitude décrit précédemment. Il est important de noter, que le mécanisme est différent du rejet de mode commun de l'oscillateur différentiel. Comme on peut le voir en considérant l'exemple simplifié de la figure 4.8, la variation de substrat ΔV_{sub} couple un changement de tension de sortie Δv_O aux deux sorties, mais contrairement au cas différentiel, le seuil de commutation V_{TH} est défini par rapport à V_{SS} . Il en résulte un temps de commutation t_{SW1} décalé plus tôt d'une quantité Δt ; l'autre temps de commutation t_{SW2} est décalé plus tard dans le temps de $+\Delta t$. Ainsi on observe que le temps seuil de commutation t_{SW} ne change pas et donc cet effet ne dégrade pas le jitter de la porte.

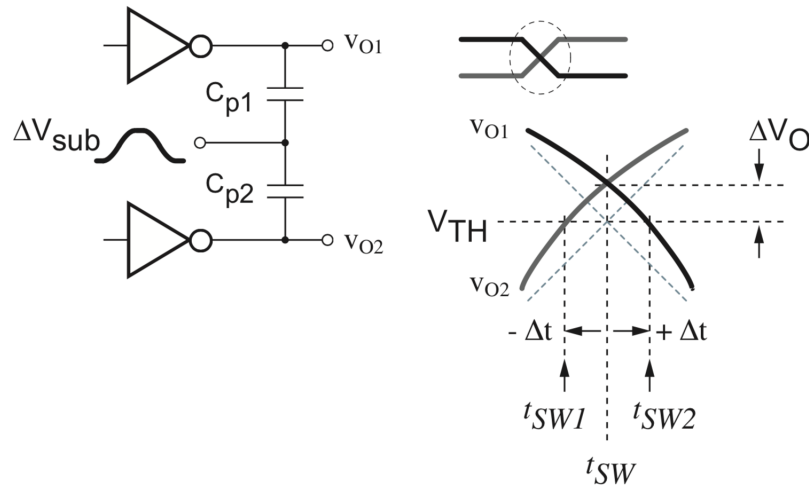


FIGURE 4.8: Couplage d'amplitude dans un oscillateur pseudo-différentiel

Les inconvénients de l'approche pseudo-différentielle sont :

- Pour les anneaux pseudo-différentiels tels que celui illustré dans l'exemple de la figure 4.7, il n'y a pas de rejet de la modulation du retard en raison de la variation de la tension d'alimentation ΔV_{DD} . Le circuit pseudo-différentiel est affecté comme le montre la figure 2.3 par une variation du seuil de commutation ΔV_{TH} et de même une variation ΔTd dans le temps de commutation pour les deux sorties v_{o1} et v_{o2} . Le jitter dû à la variation de la tension d'alimentation est le même que pour l'oscillateur en anneau unique.

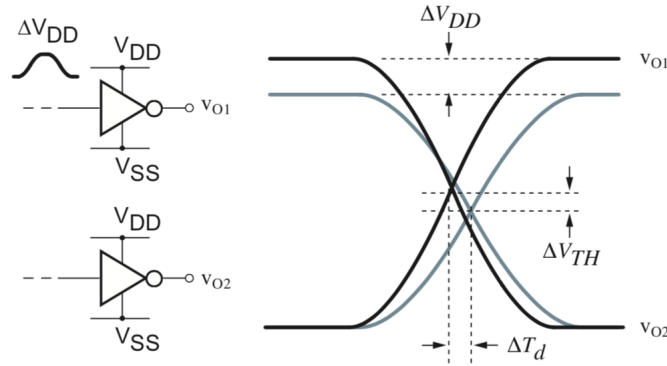


FIGURE 4.9: Modulation du délai de la porte dans un oscillateur pseudo-différentiel

4.2.4 Résumé des performances des oscillateurs en anneau

Le tableau 4.3 résume les avantages et inconvénients des architectures d'oscillateurs en anneaux étudiés précédemment.

oscillateur en anneau	différentiel	simple	pseudo-différentiel
Jitter	+	+	++
Réjection du bruit mode commun	++	-	+
Plage dynamique	-	++	++
Consommation	-	++	+

TABLE 4.2: Résumé des performances des 3 architectures d'oscillateur en anneaux

Les structures différentielles sont souvent préférées, car elles offrent une bonne immunité face aux bruits en mode commun provenant de l'alimentation et du substrat. Par contre, elles n'oscillent généralement pas sur toute la plage d'alimentation, les rendant plus sensibles au bruit électronique des composants. De plus, un circuit d'interface est requis à leur sortie pour les rendre compatibles avec les cellules numériques standards. Elles requièrent aussi une source de courant par élément et donc une consommation statique en plus. Contrairement aux architectures différentielles, les oscillateurs simples à anneau unique sont sensibles au bruit en mode commun provenant de l'alimentation et du substrat. L'oscillation se produit sur toute la plage d'alimentation, ce qui leur donne une meilleure immunité face au bruit électronique des composants. Les architectures pseudo-différentielles sont également possibles et ne nécessitent pas de source de courant puisqu'elles sont basées sur l'utilisation d'inverseurs. Il n'y a donc pas de consommation statique, mais plutôt une consommation dynamique lorsque l'oscillateur est en marche. De plus, elles ont l'avantage d'osciller sur toute la plage d'alimentation contrairement aux architectures différentielles. Ceci améliore le jitter temporel, performance critique pour le TDC. Par contre, elles nécessitent plus de transistors qu'un oscillateur en anneau unique, tout en ayant une plus grande consommation dynamique. Cependant, nous avons vu qu'elles sont partiellement immunisées au bruit du mode commun.

Pour la conception d'un TDC de très haute précision le jitter est un facteur important à prendre en compte lors de la conception des oscillateurs en anneau. Pour minimiser le jitter provenant des sources fondamentales telles que le bruit thermique, l'amplitude de la forme d'onde doit être maximisée, ce qui est plus facile à réaliser avec l'oscillateur en anneau simple. Pour minimiser le jitter

provenant des sources d'interférence telles que l'alimentation électrique et le couplage du bruit du substrat, l'oscillateur différentiel est préféré, bien que l'oscillation du signal soit plus petite. Les techniques pseudo-différentielles permettent une grande variation de tension et certains des avantages d'une approche différentielle. Elles offrent aussi une consommation modérée en comparaison avec les techniques différentielles.

4.3 Réglage de la fréquence de l'oscillateur en anneau

Pour trouver la fréquence d'oscillation d'un oscillateur en anneau, nous considérons un modèle très simplifié exprimé dans la figure 4.10.

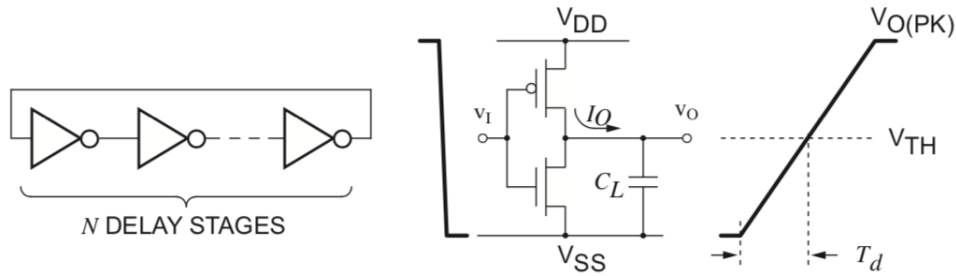


FIGURE 4.10: Modélisation simple de la fréquence dans un oscillateur en anneau

Pour un anneau à N étages, la fréquence est donnée par l'équation suivante :

$$f = \frac{1}{2 \cdot N \cdot T_d} \quad (4.1)$$

Avec N le nombre d'étages et T_d le retard de propagation de la porte. À partir de l'équation 4.1, nous pouvons régler la fréquence de l'oscillateur en anneau en modifiant le nombre d'étages N ou bien le retard d'étage T_d . Il est possible d'exprimer le retard de propagation T_d en fonction des paramètres de l'inverseur. En se référant à nouveau à la figure 4.10, on voit que lorsque le temps de transition du signal d'entrée V_I de la porte approche de zéro, et donc le signal de sortie V_O commence sa transition immédiatement, le temps de retard de sortie T_d est donné par l'équation suivante :

$$T_d = \frac{C_L \cdot V_{DD}}{2I_0} \quad (4.2)$$

En conclusion à partir des équations 4.1 et 4.2, le réglage de la fréquence f d'un oscillateur en anneau peut-être fait en modifiant le nombre d'étage N de l'anneau, la charge capacitive C_L (C_{Load}) en sortie de chaque inverseur de l'anneau, le courant dans l'inverseur I_0 ou la tension d'alimentation V_{DD} .

4.3.1 Nombre d'étages N

Cette méthode consiste à utiliser un multiplexeur numérique pour sélectionner discrètement le nombre d'étages dans l'anneau et ainsi régler la fréquence de l'oscillateur en anneau. Un exemple est illustré dans la figure 4.11, où l'entrée N_{TUNE} sélectionne une phase dans la ligne de délais pour terminer l'anneau. La figure 4.12 décrit l'évolution de la fréquence d'un oscillateur en anneau avec la méthode de

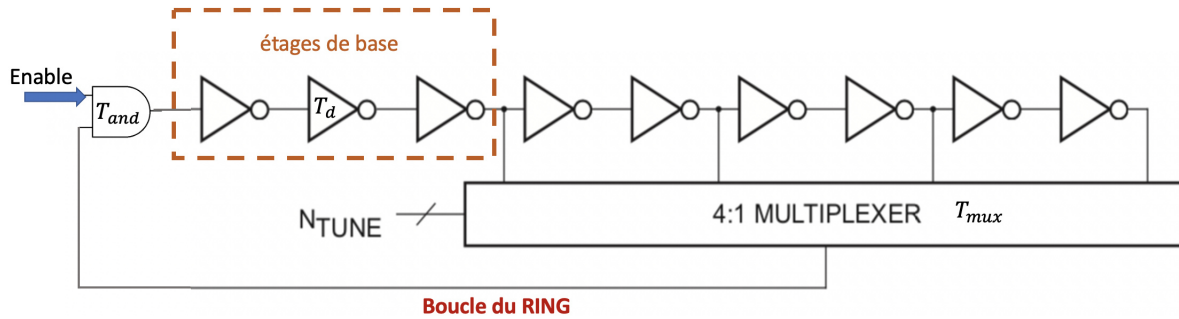


FIGURE 4.11: Réglage de la fréquence de l'oscillateur en anneau, en modifiant le nombre d'étage de l'anneau

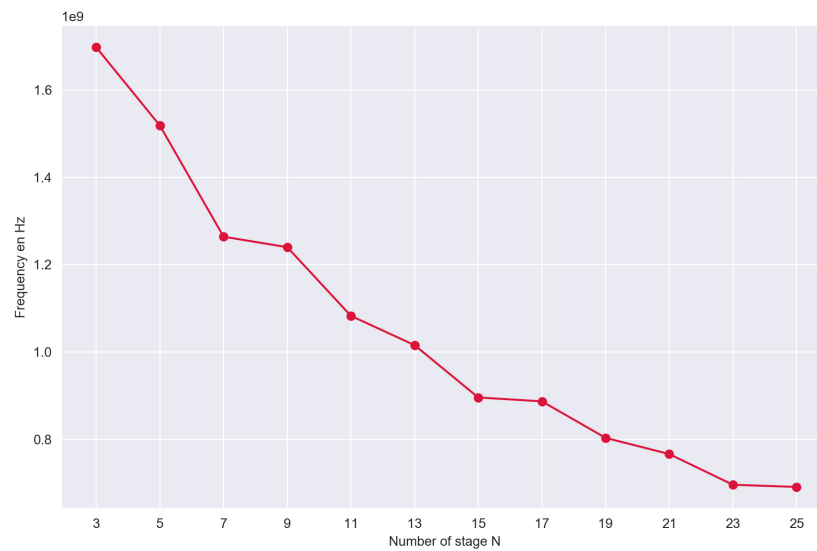


FIGURE 4.12: Simulation de la variation de fréquence du oscillateur en anneau avec le nombre d'étage de l'anneau N. Dans cet exemple : $T_d = 21\text{ps}$, $T_{and} = 79\text{ ps}$ et $T_{mux} = 180\text{ ps}$.

réglage illustré dans la figure 4.11. Nous observons que la fréquence varie sur une plage entre [900MHz et 1.7GHz]. La fréquence maximale est donnée par le nombre d'étages de base (3 étages dans l'exemple de la figure 4.11). La fréquence diminue quand le nombre d'étages dans l'anneau augmente. La fréquence peut être exprimée comme :

$$f = \frac{1}{2(NT_d + T_{and} + T_{mux})} \quad (4.3)$$

Avec, T_d le temps de propagation de chaque étage d'inverseur de l'anneau, T_{and} le temps de propagation de la porte AND de démarrage et T_{mux} le temps de propagation dans le multiplexeur. Cette méthode permet de régler la fréquence d'une façon discrète en modifiant le nombre d'étages N dans une plage de : $3 < N < N_{max}$.

Les avantages de cette méthode incluent une large plage de réglage entre [900MHz et 1.7GHz] comme illustré dans la figure 4.12 à l'aide d'un réglage numérique.

les inconvénients de cette méthode incluent un réglage discret de la fréquence. Elle varie avec des pas discrets qui sont des multiples entiers du retard des portes de l'anneau. Cette méthode engendre du bruit de quantification, car seul un ensemble discret de fréquences est disponible. Un autre inconvénient de cette méthode est l'augmentation du jitter de l'oscillateur en anneau. Le jitter de l'oscillateur en anneaux tel qu'il est étudié dans la section 4.4.2 peut être exprimé en multiples de la période T comme :

$$\sigma_{\Delta T} = K\sqrt{m.T} \quad (4.4)$$

Avec m le nombre de périodes de l'oscillateur en anneau et K une constante de bruit définie dans la section 4.4.2. Si on exprime ce jitter sur une seule période, nous remarquons qu'il dépend du nombre d'étages dans l'oscillateur N :

$$\sigma_{\Delta T} = K\sqrt{2.N.T_d} \quad (4.5)$$

Par conséquent, le jitter observé est du même ordre de grandeur que le retard de porte lui-même et il augmente en augmentant le nombre d'étages dans l'oscillateur. Cette technique de réglage discret est limitée aux applications nécessitant de moins strictes performances dans le jitter. Pour avoir un large marge de réglage de la fréquence, il faut augmenter le nombre d'étages qui accroîtra de la même manière l'espace réservé à l'implantation du TDC ainsi que sa consommation.

4.3.2 La charge de sortie capacitif C_L

Une autre méthode de réglage de la fréquence de l'oscillateur en anneau consiste à faire varier le retard de l'étage en accordant les caractéristiques de la charge comme exprimé dans l'équation 4.2. En général, la charge peut être modélisée avec des éléments résistifs (R) et capacitifs (C), et c'est la constante de temps RC qui détermine le retard de l'étage. En conclusion soit R , soit C peuvent être modifiés pour régler le retard d'étage. La figure 4.3.2 montre des exemples de réglage de retard d'étage en faisant varier la capacité de la charge dans un oscillateur en anneau. Dans le cas de la figure 4.3.2a, une diode varactor est utilisée pour fournir un réglage continu de la capacité de charge et donc un contrôle fin du retard d'étage. D'autres architectures utilisent des diodes varicap [16] qui n'est d'autre qu'un transistors MOS avec le drain, la source et le bulk (D , S , B) connectés ensemble pour réaliser une capacité C_{mos} . Des exemples de montage de diodes varicap sont illustrés dans la figure 4.14a. La valeur de la capacité C_{mos} varie en fonction de la tension V_{BG} entre le Bulk (B) et la grille (G) (figure 4.14b). Les caractéristiques de réglage de la fréquence avec cette méthode sont données dans la figure 4.14c [1] [42].

Cette approche a l'avantage de fournir un contrôle précis de la fréquence d'un oscillateur en anneau. Cependant, la plage de réglage est relativement étroite comme observé dans la figure 4.14c, en raison de la plage limitée de variation de capacité disponible dans la plupart des technologies de diodes varicap [16]. Pour fournir une plage de réglage plus large, la capacité de retard de l'étage peut être contrôlée par des pas discrets en commutant une capacité supplémentaire comme indiqué sur la figure 4.3.2b. L'évolution de la fréquence d'un oscillateur en anneau avec cette méthode est illustrée dans la figure 4.15. Nous observons que la fréquence de l'oscillateur en anneau se réduit en augmentant la charge capacitive en sortie C_L . Un inconvénient de cette approche est la discontinuité de la caractéristique de réglage lorsque l'un des commutateurs grossiers change d'état, mais dans de nombreuses applications, cela peut être toléré.

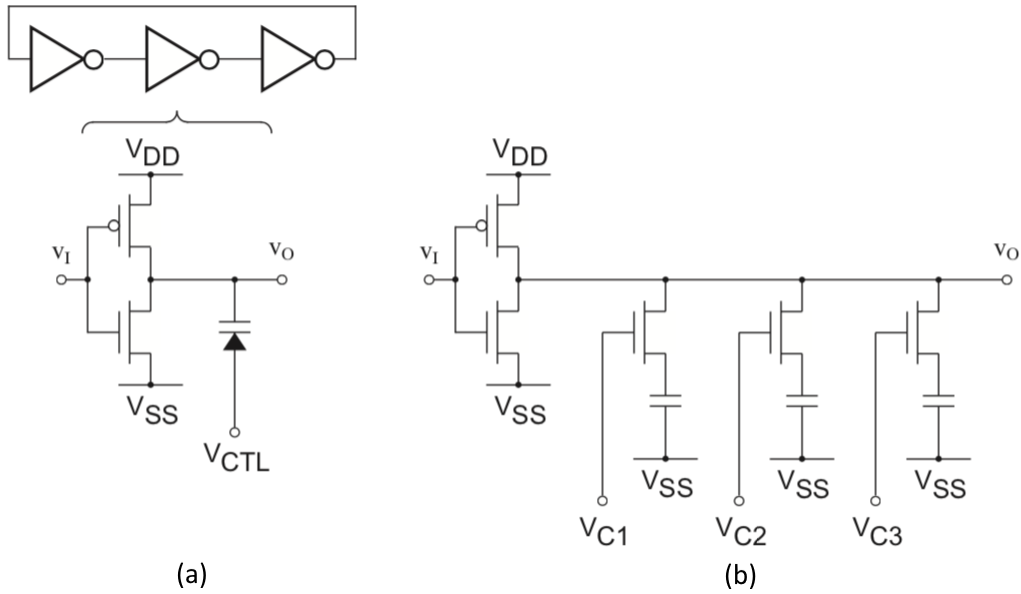


FIGURE 4.13: Réglage de la fréquence d'un oscillateur en anneau en variant la charge Capacitif C_L en sortie : a) Avec une diode varicap b) Avec un circuit à capacités commutées [1]

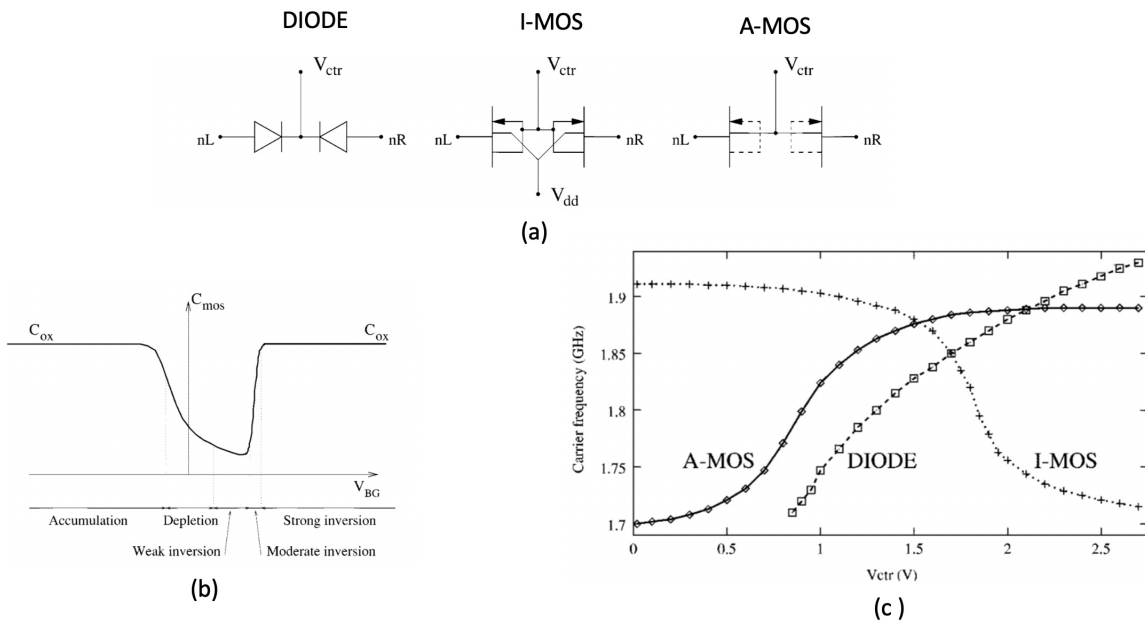


FIGURE 4.14: Réglage de la fréquence d'un oscillateur en variant la charge capacitive en sortie : a) Exemples de diodes varicap b) Évolution de la capacité d'un transistor PMOS quand B=D=S en fonction du potentiel V_{BG} c) Caractéristiques de la variations de la fréquence avec des diodes varicap [20]

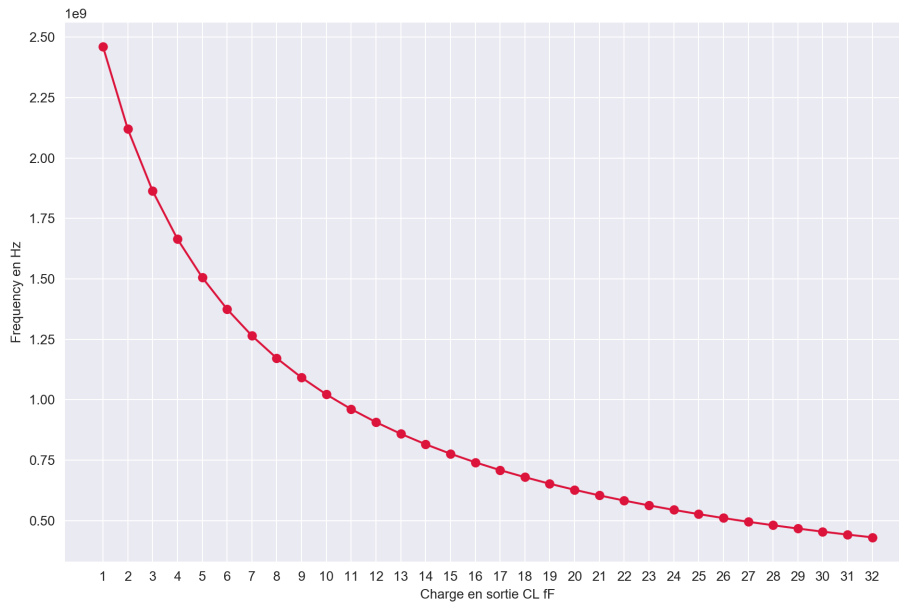


FIGURE 4.15: Réglage de la fréquence de l'oscillateur en variant la charge capacitive en sortie avec des capacités commutées

4.3.3 Le courant dans l'inverseur I_0

Une autre méthode de réglage de l'oscillateur en anneau consiste à faire varier le courant de polarisation dans l'inverseur. Un exemple est illustré à la figure 4.16. Dans cette technique, les transistors MN3 et MP4 commandés avec une tension de commande V_{CTL} limitent le courant disponible pour charger et décharger la capacité de charge C_L , contrôlant ainsi le retard d'étage et la fréquence de l'oscillateur. Un avantage de cette technique est la large plage de réglage car le courant peut varier sur une large plage comme démontré dans le résultat de simulations présenté dans la figure 4.17. Il y a tout de même un inconvénient. le jitter a tendance à augmenter pour un courant plus faible. Un autre inconvénient de cette méthode de réglage, comme indiqué en 4.16, est qu'il est possible d'avoir un couplage avec le bruit d'alimentation et celui du substrat dans le chemin de commande des portes de MN3 et MP4 impliquant ainsi l'augmentation du jitter.

4.3.4 La tension d'alimentation V_{DDRING}

Enfin, le réglage de l'oscillateur en anneau peut être réalisé en variant la tension d'alimentation de l'oscillateur lui-même.

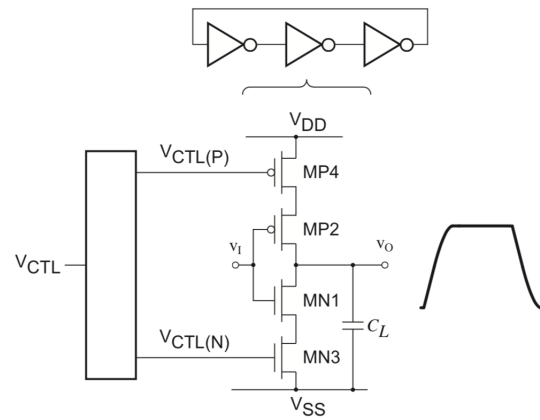


FIGURE 4.16: Réglage de la fréquence de l'oscillateur en anneau en variant le courant dans l'inverseur

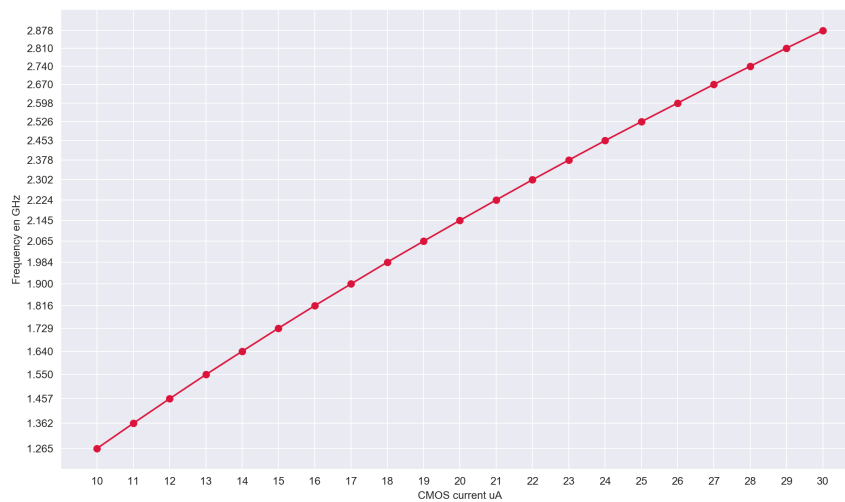


FIGURE 4.17: Variation de la fréquence de l'oscillateur en anneau en fonction du courant dans l'inverseur

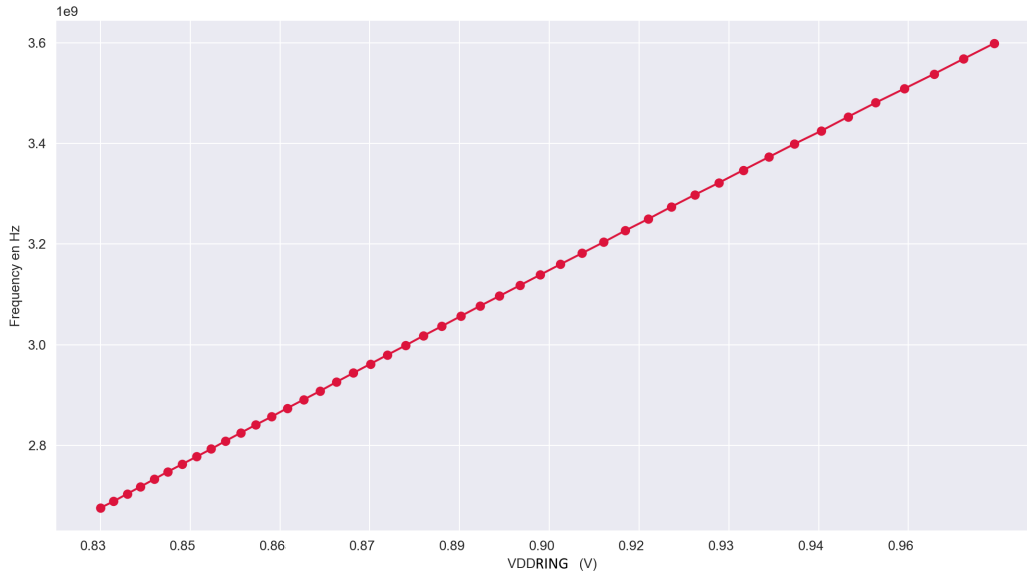
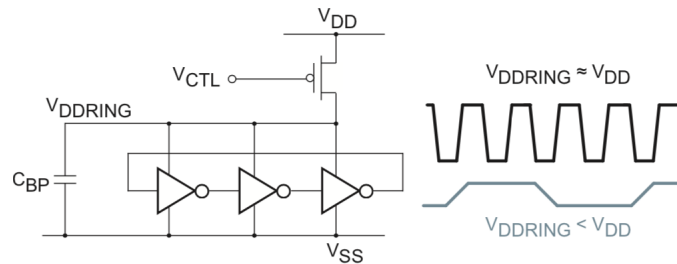
FIGURE 4.19: Variation de la fréquence de l'oscillateur en anneau avec la tension d'alimentation V_{DDRING} 

FIGURE 4.18: Réglage de la fréquence de l'oscillateur en anneau en variant la tension d'alimentation VDD

Sur la figure 4.18, le retard d'étage est contrôlé en faisant varier la tension d'alimentation de l'anneau V_{DDRING} . En effet un transistor PMOS est contrôlé avec une tension V_{CTL} en régime linéaire. La différence de potentiel aux bornes de ce transistor réduit la tension d'alimentation V_{DD} à une tension intermédiaire V_{DDRING} . La figure 4.19 montre la variation de la fréquence de l'oscillateur en variant sa tension d'alimentation V_{DDRING} . Nous observons à partir des résultats de simulation présentés dans 4.19, que la fréquence dépend de la tension d'alimentation de l'anneau V_{DDRING} . Elle augmente quand la tension d'alimentation de l'anneau est proche de la tension d'alimentation globale V_{DD} . Cette fréquence varie dans une large plage et peut être réglée avec des pas fins proportionnels à la différence de potentiel entre la tension V_{DD} et V_{DDRING} . Cependant, cette plage de réglage se sature quand la tension V_{DDRING} se rapproche de la tension seuil de commutation de l'inverseur CMOS. Cette tension est égale à $V_{TH} = 0.6V$ dans l'exemple de la figure 4.19. Cette approche donne aussi l'avantage d'avoir une fréquence de fonctionnement très élevée. En effet si on compare la plage de fréquence d'un oscillateur commandé en tension dans l'exemple de la figure 4.19, et un oscillateur commandé en courant dans l'exemple de la figure 4.17, nous observons qu'un oscillateur commandé en tension fonctionne dans des fréquences plus élevées qu'un oscillateur commandé en courant.

Cette technique a aussi l'avantage d'atténuer l'ondulation de la tension d'alimentation de l'anneau

V_{DDRING} grâce à la capacité de découplage C_{BP} comme illustré dans l'exemple de la figure 4.18. Cette capacité de découplage atténue l'ondulation de la tension V_{DDRING} et réduit le couplage de la variation de l'alimentation et du substrat sur cette tension.

Un inconvénient de cette approche est que le jitter dans l'inverseur d'un oscillateur en anneau augmente pour les signaux de faible amplitude comme expliqué dans la section 4.4.2. Cependant, il s'agit d'une dégradation relativement bénigne puisque le jitter cumulé dans l'oscillateur diminue pour des retards dans l'inverseur T_d plus court. Comportement observé dans un oscillateur commandé en tension. Un autre inconvénient est la nécessité de restaurer les signaux logiques sur toute la dynamique pour une utilisation en dehors de l'anneau. Habituellement, ce n'est pas un inconvénient sérieux car des techniques sont disponibles pour la mise en forme avec des buffers de sortie. La contribution du jitter des buffers de sortie à l'extérieur de l'anneau est souvent négligeable, car ne se cumule pas dans l'anneau à chaque itération, et rajoute seulement sa capacité d'entrée sur le noeud de l'anneau.

4.3.5 Résumé

Il existe plusieurs façons de régler la fréquence des oscillateurs en anneau, en faisant varier le nombre d'étages (N), la charge en sortie d'étage (C_L), le courant de polarisation (I_0) ou la tension d'alimentation (VDD). Dans chacune de ces techniques, des méthodes discrètes et continues sont disponibles. Les considérations dans la prise de décision de conception comprennent la plage de réglage, la fréquence d'oscillation, la sensibilité à l'alimentation et les interférences du substrat, les variations de jitter avec le réglage et la surface. Le tableau 4.3 résume les 4 manières étudiées en soulignant les avantages et inconvénients de chacune.

	N	C_L	I_0	VDD
Plage de réglage	+	+/-	+	+
Finesse de réglage	-	+	+	+
Hautes fréquences	-	+	+	++
Jitter	-	-	-	+/-
Bruit alimentation/substrat	+	-	-	+
Surface	-	-	+	+

TABLE 4.3: Résumé des moyens de réglages de la fréquence des oscillateurs en anneau

4.4 Étude du jitter dans les oscillateurs en anneaux

4.4.1 Définition du jitter dans le retard d'une porte

Dans un oscillateur en anneau, toute source de bruit peut potentiellement contribuer au jitter. Pour chaque source de bruit à considérer, il est possible de caractériser la contribution du jitter de cette source de bruit par une constante de bruit K . Rappelons que K est la constante de proportionnalité observée entre l'écart-type du jitter cumulé σ_{osc} et la racine carrée de m périodes de l'oscillateur T_0 comme :

$$\sigma_{osc} = K\sqrt{mT_0} \quad (4.6)$$

La période de l'oscillateur en anneau peut être exprimée en fonction du retard individuel de chaque étage de l'oscillateur T_d et du nombre d'étages N_e dans l'oscillateur. Une nouvelle expression du jitter

cumulé en fonction de ce retard T_d est donnée dans l'équation 4.7.

$$\sigma_{osc} = \sqrt{2mN_e K \sqrt{T_d}} \quad (4.7)$$

Ainsi, nous pouvons dire à partir de l'équation 4.7 que le jitter cumulé de l'oscillateur en anneau est proportionnel au jitter individuel de chaque porte σ_t qu'on exprime dans l'équation 4.8 :

$$\sigma_t = K \sqrt{T_d} \quad (4.8)$$

Le jitter d'une porte est illustré dans la figure 4.20 [1].

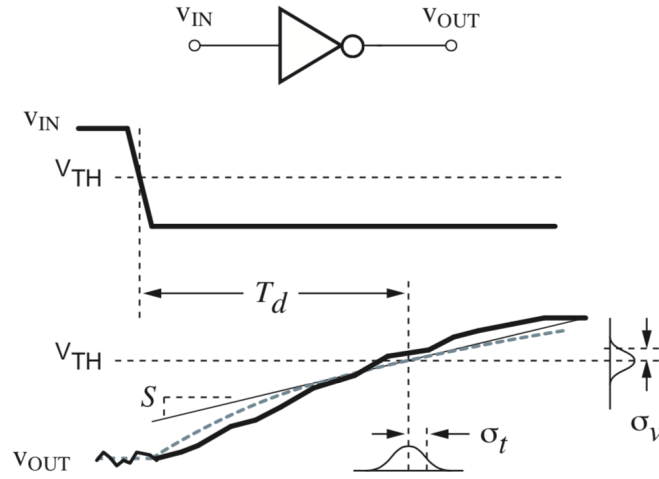


FIGURE 4.20: Forme du jitter dans le retard d'une porte

Il est possible d'exprimer à l'aide de la figure 4.20 le jitter σ_t en fonction du bruit en tension σ_v et de la pente S du signal de sortie V_{OUT} comme :

$$\sigma_t = \frac{\sigma_v}{S} \quad (4.9)$$

Pour trouver une expression analytique du facteur de bruit K , il faut trouver une expression du retard T_d de la porte et du jitter de la porte σ_t en fonction des paramètres électroniques de la porte.

Nous avons étudié dans la section reclassoscil 3 architectures d'oscillateur en anneaux :

- L'oscillateur à anneau simple
- L'oscillateur différentiel
- L'oscillateur pseudo-différentiel

La différence entre les trois architectures se trouve dans le type d'étage de retard utilisé. Pour l'oscillateur en anneau simple et l'oscillateur pseudo-différentiel, la porte de retard utilisée est un inverseur CMOS. Pour un oscillateur différentiel, la porte de retard utilisée est une paire différentielle. Ainsi, l'expression du jitter σ_t et le retard T_d vont changer pour chaque architecture et par conséquent la constante de bruit K . Nous allons donc déterminer dans cette section une expression analytique de K en fonction des paramètres d'un inverseur CMOS et la comparer avec celle d'une paire différentiel

développée dans [1] et en déduire quelle architecture est avantageuse pour la conception d'un oscillateur à faible jitter.

Il existe deux sources principales de jitter dans un inverseur CMOS :

- Le bruit dans la charge de sortie C_L
- Le bruit dans le transistor de commutation

4.4.2 Le jitter causé par le bruit dans la charge d'un inverseur CMOS

Pour analyser le jitter causé par le bruit dans les éléments de charge d'un inverseur CMOS, le circuit de la figure 4.21 peut être utilisé comme modèle de bruit simplifié d'un inverseur CMOS pour une transition du haut vers le bas de la sortie V_{OUT} . Le bruit dans la charge R_L ajoutera du bruit dans la tension de sortie V_{OUT} . Cela contribue à un jitter en modifiant le moment auquel la tension de sortie V_{OUT} passe par son seuil de commutation. La forme du signal d'entrée V_{IN} , de sortie V_{OUT} et du

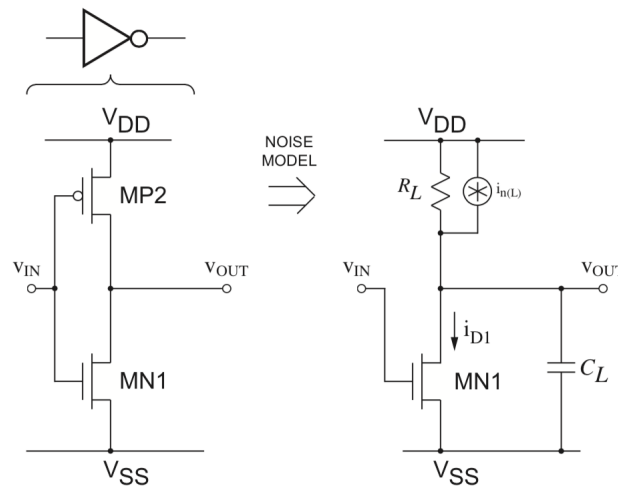


FIGURE 4.21: Modèle simplifié du bruit produit par la charge d'un inverseur CMOS : transition du haut vers le bas.

courant i_{D1} est représentée dans la figure 4.22. Pour trouver l'expression de la constante de temps K , il faut trouver l'expression du retard de la porte T_d et du jitter de la porte σ_t en fonction des paramètres électroniques de l'inverseur.

4.4.2.1 Expression du retard de la porte T_d

Dans le modèle de bruit simplifié présenté dans la figure 4.21, la sortie de l'inverseur est dans une phase de transition vers le bas, c'est à dire que le transistor PMOS MP2 est bloqué, et le transistor NMOS MP1 est saturé avec un courant de drain i_{D1} qui atteint instantanément son maximum à $t=0$. C'est une approche simplifiée pour trouver une expression analytique de la constante de jitter K . En pratique, le courant de drain i_{D1} n'augmente pas instantanément et ne reste pas constant à une valeur maximum (I_{PK}) car la diminution de la tension de sortie V_{OUT} entraîne le passage du transistor MN1 dans une région linéaire de polarisation. Ceci provoque une réduction du courant i_{D1} en dessous de la valeur maximum I_{PK} (courbe en pointillée dans la figure 4.22). La charge capacitive équivalente totale sur le noeud de sortie est représentée par C_L ; l'ensemble des charges résistives est représenté par R_L . En

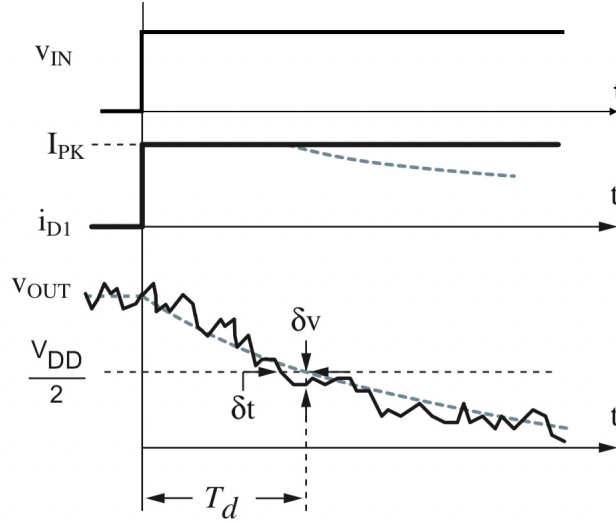


FIGURE 4.22: Formes d'onde de bruit de résistance de charge, cas d'un inverseur CMOS

supposant que le courant $i_{D1} \approx I_{PK}$ sur la plage de temps où nous souhaitons estimer l'expression du retard T_d , l'expression de la tension de sortie $V_{OUT}(t)$ en fonction du temps est donnée par l'équation 4.10 :

$$V_{OUT}(t) = V_{DD} - I_{PK}R_L[1 - e^{-\frac{t}{R_L C_L}}] \quad (4.10)$$

Le retard de la porte T_d se produit lorsque la sortie (sans bruit) V_{OUT} dépasse le seuil logique, qui est considéré par simplicité comme $\frac{V_{DD}}{2}$:

$$v_{OUT}(T_d) = \frac{V_{DD}}{2} \quad (4.11)$$

En remplaçant dans 4.10 la définition du temps de retard dans 4.11, on obtient :

$$v_{OUT}(T_d) = \frac{V_{DD}}{2} = V_{DD} - I_{PK}R_L[1 - e^{-\frac{T_d}{R_L C_L}}] \quad (4.12)$$

Résoudre 4.12 pour T_d donne :

$$T_d = R_L C_L \ln\left[1 - \frac{V_{DD}}{2I_{PK}R_L}\right] \quad (4.13)$$

Ainsi à partir de 4.13, on peut en déduire une expression simplifiée du retard de la porte T_d en fonction de la charge de sortie C_L et le courant de drain I_D comme :

$$T_d \approx \frac{C_L V_{DD}}{2I_D} \quad (4.14)$$

4.4.2.2 Expression de la pente S (slew rate) sur le signal de sortie V_{OUT}

Le slew rate S est la dérivation en fonction du temps de la sortie $V_{OUT}(t)$ donnée comme :

$$S(t) = \frac{dV_{OUT}(t)}{dt} = \frac{-I_{PK}}{C_L} e^{-\frac{t}{R_L C_L}} \quad (4.15)$$

De 4.15 on peut déduire une expression simplifiée de la pente S (slew rate) quand la sortie passe par le seuil de commutation $\frac{V_{DD}}{2}$ donné dans 4.16 :

$$S(T_d) = \frac{-I_{PK}}{C_L} e^{\frac{-V_{DD}}{2R_L C_L}} \approx \frac{I_{PK}}{C_L} \quad (4.16)$$

4.4.2.3 Expression du bruit en tension σ_v

La ligne solide dans la figure 4.22 représente la sortie réelle avec l'effet exagéré de la sources de bruit thermique typique $i_n(L)$. Il en résulte une erreur de tension δv qui va causer une erreur en temps δt au niveau du seuil de commutation $\frac{V_{DD}}{2}$ (figure 4.22). La déviation standard de cette erreur donne le bruit thermique en tension σ_v comme :

$$\sigma_v = \sqrt{\frac{kT}{C_L}} \quad (4.17)$$

avec k , la constante thermique de Boltzmann, T la température et C_L la charge en sortie de l'inverseur CMOS

4.4.2.4 Expression du jitter σ_t dans un inverseur CMOS

A partir de 4.9, 4.16 et de 4.17, il est possible d'exprimer le jitter de l'inverseur comme :

$$\sigma_t = \sqrt{\frac{kTC_L}{I_{PK}^2}} \quad (4.18)$$

4.4.3 Expression de la constante de bruit K

A partir de 4.8, de 4.14 et de 4.18, on trouve l'expression de la constante de bruit K_{cmos} en fonction de l'énergie (kT) et de la puissance dissipée dans l'inverseur CMOS ($I_{PK}V_{DD}$) comme :

$$K_{cmos} = 1.41 \sqrt{\frac{kT}{I_{PK}V_{DD}}} \quad (4.19)$$

Nous observons à partir de 4.19, que le jitter peut être améliorée en augmentant la puissance dissipée $I_{PK}V_{DD}$. Une étude développée dans [1] donne l'expression de la constante de bruit K_{diff} pour une paire différentielle comme :

$$K_{diff} = 1.70 \sqrt{\frac{kT}{I_{bias}V_{SWING}}} \quad (4.20)$$

Avec, I_{bias} le courant de polarisation de la paire différentielle et V_{SWING} l'amplitude du signal en sortie. A partir des équations 4.19 et 4.20 on remarque une réduction de facteur de bruit K dans un inverseur CMOS comparé a un inverseur différentielle. On peut dire que l'inverseur CMOS offre plusieurs avantages sur le jitter par rapport à l'inverseur différentiel comme :

- La réduction du facteur de bruit pour la même tension d'alimentation. Comme l'amplitude du signal en sortie d'un inverseur CMOS est égale à la tension d'alimentation V_{DD} qui est supérieure à celle d'un inverseur différentiel ($V_{SWING} < V_{DD}$), la constante de bruit de l'inverseur CMOS K_{cmos} est plus faible que pour un inverseur différentiel K_{diff} ($K_{cmos} < K_{diff}$)
- Meilleur K pendant la transition. Le courant délivré par l'inverseur I_{PK} est maximal (figure 4.22), comparé à une autre structure qui limiterait à un courant de polarisation I_{bias} inférieur.

- L'inverseur CMOS ne nécessite aucune source de courant de polarisation, ce qui évite la contribution du bruit supplémentaire de courant de polarisation qui est nécessaire dans l'inverseur différentiel.

Par conséquent, l'inverseur CMOS est, en général, préféré pour obtenir un faible facteur de bruit K (et donc un jitter plus faible) à partir de sources de bruit thermiques fondamentales. Cependant, il est probable que la jitter augmente dû à des influences déterministes telles que le couplage de bruit d'alimentation et de substrat. Pour cette raison, nous avons envisagé d'utiliser des inverseurs pseudo-différentiels qui associent deux inverseurs CMOS pour tirer parti des avantages de l'inverseur CMOS sur la réduction du facteur de bruit, mais aussi sur la réduction du bruit causé par le couplage capacitif d'alimentation et de substrat comme expliqué dans la section 4.2.3 .

4.5 Conception de l'oscillateur en anneaux

Cette section traite les étapes de conception des oscillateurs en anneaux à faible jitter. D'après les études réalisées dans les sections précédentes, notre choix d'architecture s'est orienté vers un oscillateur pseudo-différentiel. La résolution dépend de la différence de période de l'oscillateur lent et rapide. Le temps de conversion (temps mort) quant à lui dépend de la période de l'oscillateur lent T_{slow} et de la résolution T_{LSB} comme exprimé dans l'équation 4.21. Cette équation a été démontrée dans le chapitre 3 :

$$T_{c_{max}} = \frac{T_{slow}^2}{T_{LSB}} \quad (4.21)$$

Il est intéressant de constater qu'un changement de fréquence de l'oscillateur lent a un impact quadratique sur le temps de conversion maximal. Par exemple, modifier la fréquence de 500MHz à 1 GHz en conservant une résolution de 20 ps modifiera le temps de conversion maximal de 200 ns à 50 ns, donc d'un facteur 4. Nous avons aussi démontré dans le chapitre 3 que le jitter de l'oscillateur en anneau σ_{osc} est proportionnel à la racine du temps de conversion $T_{c_{max}}$ et de la constante de bruit définie dans la section précédente K comme :

$$\sigma_{osc} = K\sqrt{T_{c_{max}}} \quad (4.22)$$

Ainsi, la réduction du temps de conversion d'un facteur 4 réduira aussi le jitter cumulé d'un facteur 2. Cependant, il existe une limite de fréquence pour les portes numériques présentes dans le circuit de coincidence et les compteurs lent et rapide. Pour cette raison, la fréquence des oscillateurs ne peut pas être trop élevée.

4.5.1 Topologie de l'anneau

Cette section couvre la conception d'un oscillateur en anneau contrôlé en tension à faible jitter dans une technologie CMOS 130nm et avec une tension d'alimentation de 1.2V. Le choix de la fréquence de l'oscillateur lent et rapide est fixé à un 1 GHz (soit une période de 1 ns) pour garder un bon fonctionnement des portes numériques de la technologie utilisée. Les oscillateurs en anneau lent et rapide sont constitués d'un nombre impair d'inverseurs comme illustré dans la figure 4.23(a). Le réglage de la fréquence se fait en variant la tension d'alimentation interne de l'oscillateur (V_{DDRING}). Les avantages de cette technique ont été donnés dans la section 4.3.4. La variation de la tension V_{DDRING} se fait grâce à 5 transistors PMOS montés en parallèle et polarisés en régime linéaire comme illustré dans la

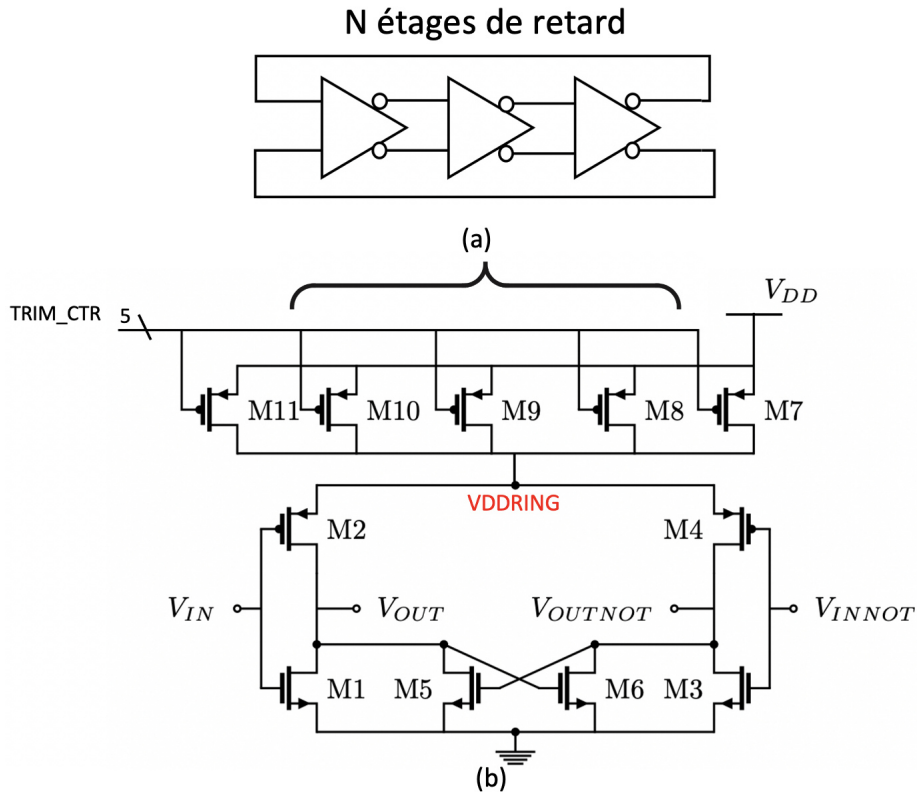


FIGURE 4.23: (a) Topologie de l'oscillateur en anneau, (b) Schéma de l'étage de retard :inverseur pseudo-différentiel.

figure 4.23(b). L'oscillateur en anneau illustré dans la figure 4.23 est conçu pour osciller à la fréquence souhaitée. Le circuit de réglage ne peut que réduire cette fréquence. Comme exprimé dans l'équation 4.23, la période souhaitée T est divisée par deux et chaque demi-période est divisée par le nombre d'étages N et le retard d'un seul étage d'inverseur T_d . La division par deux est due au fait qu'un cycle d'horloge a à la fois une phase à l'état haut et une autre phase à l'état bas.

$$T = 2.N.T_d \quad (4.23)$$

La conception de l'oscillateur en anneau se fait sur 2 étapes :

- La première étape est de déterminer le retard optimal de l'étage T_d qui réduit le jitter de la porte.
- Ensuite il faut en déduire le nombre d'étages nécessaires pour atteindre la fréquence souhaitée de 1GHz.

4.5.2 Retard de l'inverseur pseudo-différentiel

La figure 4.23 (b) décrit le schéma de l'étage d'inverseur pseudo-différentiel. On retrouve la structure de deux inverseurs simple avec les transistors (M1) et (M2) dans la branche gauche et les transistors (M3) et (M4) dans la branche de droite avec :

- La sortie V_{OUT} est l'entrée V_{IN} inversé avec un retard T_{d1} .
- La sortie V_{OUTNOT} est l'entrée V_{INNOT} inversé avec un retard T_{d2} .

- Les sorties V_{OUT} et V_{OUTNOT} sont couplés grâce à une paire croisé de transistors Nmos (M5 et M6) pour assurer que les sorties oscillent avec un déphasage de 180°
- Un bus de contrôle sur de 5bits ($TRIM_{CTR}$) polarise dans le régime linéaire les transistors (M7, M8, M9, M10 et M11) afin de varier le potentiel V_{DDRING} et ainsi régler la fréquence de l'oscillateur sur 5 bits.

Le retard minimal vu sur un seul côté de l'inverseur pseudo-différentiel est déterminé par le courant généré et absorbé par les dispositifs actifs et les capacités parasites. Lorsque les transistors, M1 et M2, Fig. 4.23 (b), sont en régime saturé, le retard T_{d1} est approximativement égale à :

$$T_{d1} \approx \frac{V_{DDRING}C_{L1}}{2I_{bias1}} \quad (4.24)$$

Où I_{bias1} est le courant traversant les transistors M1 ou M2 alternativement suivant la transition descendante ou montante. C_{L1} est la capacité de charge vue sur la sortie V_{OUT} . De même pour l'inverseur fixé par les transistors M3 et M4, le retard T_{d2} est approximativement :

$$T_{d2} \approx \frac{V_{DDRING}C_{L2}}{2I_{bias2}} \quad (4.25)$$

Les deux branches sont conçues d'une manière symétrique afin d'avoir le même retard dans chaque branche. Ainsi le délai de l'étage pseudo-différentiel est le retard au niveau de chaque branche :

$$T_d = T_{d1} = T_{d2} \quad (4.26)$$

La simulation peut être utilisée pour déterminer plus précisément le retard de chaque inverseur. Des retards plus longs peuvent être obtenus en augmentant la capacité de charge ou en réduisant le courant de polarisation. La figure 4.25 montre les résultats de simulation des variations de T_d en fonction de longueur (L) et de largeur (W) des transistors.

En augmentant la longueur des transistors, comme illustré dans la figure 4.25, le courant de polarisation réduit significativement, ce qui augmente de la même manière le retard de l'inverseur. Cependant nous remarquons que l'augmentation de la largeur du transistor réduit légèrement le retard de l'inverseur. En effet en augmentant la largeur du transistor, le courant de polarisation augmente à son tour, cependant comme la capacité parasite dominante dans la charge de l'inverseur est la capacité de grille, qui augmente avec la largeur du MOS, cette dernière vient s'opposer à l'augmentation du courant de polarisation. Ainsi le retard de l'inverseur diminue légèrement avec la largeur W du MOS. Un ratio de l'ordre de 3 entre les dimensions des transistors PMOS et du NMOS est généralement choisi afin d'obtenir des temps de montées et de descentes symétriques. Ce ratio W/L compense la différence en mobilité des électrons et des trous entre le transistor NMOS et PMOS présente dans toutes les technologies. Nous avons vu que les dimensions des transistors influencent le courant de polarisation de l'inverseur et de la même manière son retard T_d , mais aussi son jitter σ_t . Il est important d'étudier la variation du jitter des inverseurs en fonction de ses dimensions.

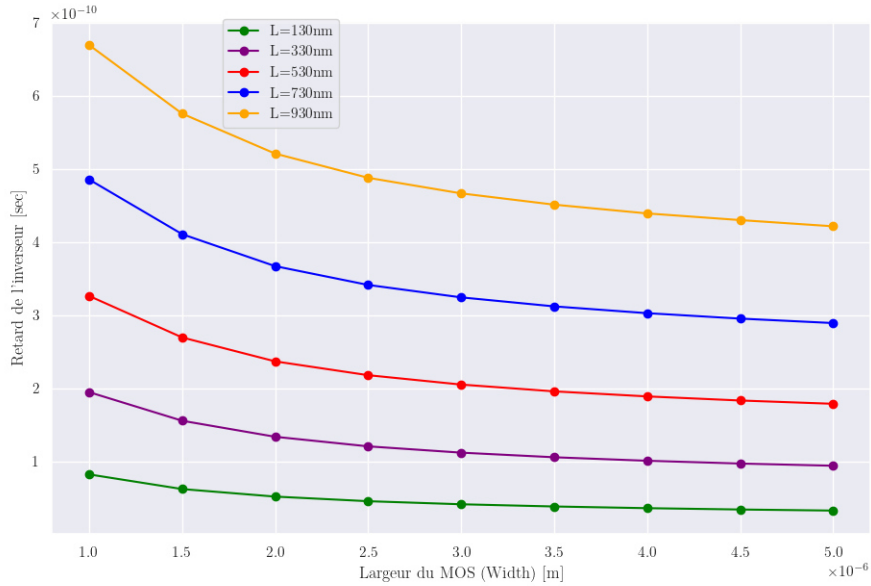


FIGURE 4.24: Variation du retard de l'inverseur avec la largeur (W) et la longueur (L) du MOS

4.5.3 Jitter de l'inverseur pseudo-différentiel

Comme l'inverseur pseudo-différentiel est fait de deux inverseurs simples, le jitter σ_t d'une seule branche de cet inverseur peut être représenté sous la forme :

$$\sigma_t \approx 1.41 \sqrt{\frac{kTC_L}{2I_{bias}^2}} \quad (4.27)$$

Ainsi, à partir de l'équation 4.5.3, le courant de polarisation est donc le meilleur outil pour réduire le jitter de l'inverseur. Il existe deux méthodes pour augmenter le courant de polarisation : augmenter la largeur (W) ou diminuer la longueur du MOS (L). La figure 4.25 montre la variation du jitter σ_t en fonction des dimensions des transistors de l'inverseur .

L'augmentation de la largeur (W) augmentera proportionnellement le courant de polarisation, et ainsi réduira le jitter σ_t . Cependant nous observons à partir de la figure 4.25 une saturation du jitter à partir d'un certain seuil de W. Ceci est dû à la capacité parasite (C_L) correspondante qui augmente également avec la largeur du MOS et donc vient s'opposer à la réduction du jitter.

La diminution de la longueur (L) entraînera une augmentation du courant de polarisation sans avoir un effet important sur la capacité parasite (C_L). Ainsi, nous observons une diminution du jitter quand on se rapproche de la longueur minimal $L = 130nm$.

4.5.4 Nombre d'étages

Le tableau 4.4 montre les performances de 3 prototypes de oscillateurs en anneau pseudo-différentiels. Pour chaque prototype, un ratio de 3.14 a été appliqué sur les dimensions du PMOS par rapport au

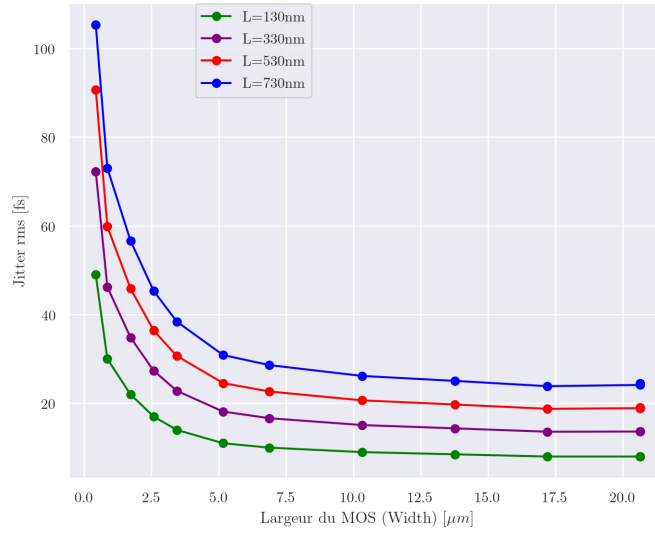


FIGURE 4.25: Variation du jitter rms de l'inverseur en fonction de sa largeur W pour plusieurs valeurs de sa longueur L

NMOS pour compenser la différence en mobilité des électrons et des trous entre le transistor Nmos et Pmos dans la technologie utilisée.

oscillateur en anneau prototype	L (NMOS)	W (NMOS)	T_d	jitter (rms)	N	Freq
I	330 nm	$1.5\mu\text{m}$	160 ps	35 fs	3	1.04 GHz
II	130 nm	$2\mu\text{m}$	55 ps	18 fs	9	1.01 GHz
III	130 nm	$5\mu\text{m}$	38 ps	11 fs	13	1.01 GHz

TABLE 4.4: Performances de 3 prototypes d'oscillateurs en anneau pseudo- différentiels

Le prototype d'oscillateur I décrit dans le tableau 4.4 montre qu'il faut 3 étages d'inverseurs avec un retard de 160 ps pour atteindre la fréquence souhaitée. Cependant, comme la longueur (L) de ses transistors n'est pas minimale, le jitter de l'inverseur dans ce cas est important et est de l'ordre de 35 fs. Le prototype III a des dimensions minimales de L avec un W plus important que dans les autres cas. Ce qui va dans le sens de l'optimisation du jitter étudié précédemment puisque ce dernier est réduit à 11 fs. Cependant, ce prototype nécessite 13 étages d'inverseurs pour osciller à la fréquence souhaitée de 1 GHz. Les dimensions des transistors pour le prototype II avec une longueur L de 130nm et une largeur W de $2\mu\text{m}$ sont les plus optimales pour améliorer le jitter sans augmenter le nombre d'étages de l'oscillateur. En conclusion, le nombre d'étages utilisés dans la conception de l'oscillateur en anneau du TDC que nous proposons est de $N=9$ étages.

4.5.5 Design du CMOS oscillateur

Les oscillateurs en anneau lent et rapide sont conçu d'une façon identique en tout point de vue. La figure 4.26 montre l'architecture des oscillateurs en anneau à 9 étages de portes logiques pseudo-différentielles. Pour qu'une oscillation se produise, il doit y avoir une inversion nette autour de l'anneau ; ceci est pos-

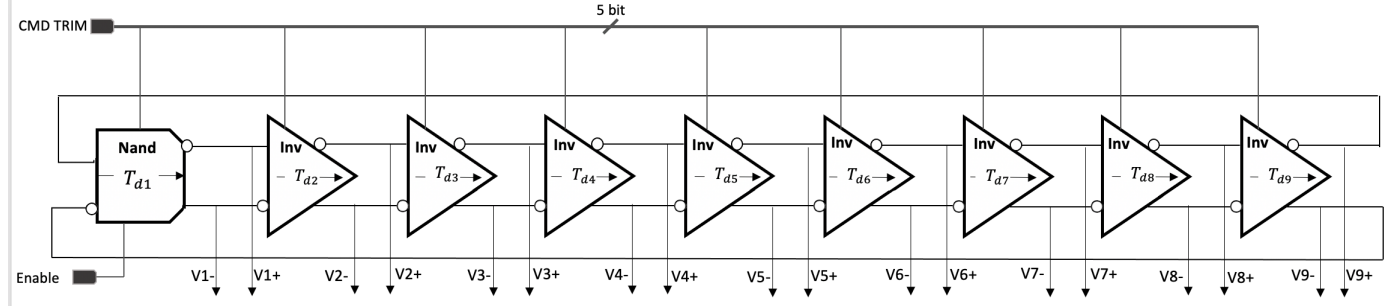


FIGURE 4.26: Oscillateur en anneaux à 9 étages pseudo-différentielles

sible avec un nombre impaire d'étages, ou bien avec une inversion de fil si l'anneau a un nombre pair d'étages. Dans notre cas nous avons décidé de choisir un nombre impaire d'étage avec 8 étages d'inverseurs pseudo-différentiels et 1 étage d'une porte NAND pseudo-différentielle. L'importance d'utiliser une porte NAND est de contrôler le démarrage de l'oscillateur avec un signal de démarrage (Enable). La différence de fréquence entre l'oscillateur lent et l'oscillateur rapide fixera la résolution souhaitée du TDC et sera réglée à partir de 5 bits de contrôle CMD_{TRIM} comme illustré dans la figure 4.26. La figure 4.28 montre les sorties de chaque étage de l'oscillateur en anneau en simulation. L'évolution de chaque front de l'oscillateur est aussi illustrée cette figure. La période de l'oscillateur est établie quand un front se propage deux fois dans l'anneau. La fréquence F_{ring} est déterminée par le retard dans chacune des portes T_{di} comme :

$$F_{ring} = \frac{1}{2(T_{d1} + T_{d2} + T_{d3} + T_{d4} + T_{d5} + T_{d6} + T_{d7} + T_{d8} + T_{d9})} \quad (4.28)$$

Nous observons aussi à partir de la figure 4.28 que les retards des portes d'inverseurs ($T_{d2} + T_{d3} + T_{d4} + T_{d5} + T_{d6} + T_{d7} + T_{d8} + T_{d9}$) sont presque identiques à l'exception du retard T_{d1} . Ce dernier correspond au retard de la porte NAND qui a un temps de propagation plus long qu'un inverseur. Ce qui explique la différence de temps observée entre le premier étage NAND et les autres étages inverseurs de l'oscillateur. Cette différence de valeur entraînera une non-linéarité dans les performances du système. Les étages d'inverseurs ont été conçus de la manière la plus identique possible, et le réglage de la fréquence est aussi identique pour chaque inverseur. Ceci permet de réduire au maximum l'impact des variations PVT sur le retard des étages T_d et ainsi sur la résolution du TDC. Dans le but aussi d'améliorer le rejet d'un certain couplage des bruits d'alimentation et du substrat, une adaptation symétrique a été réalisée sur chaque côté de l'inverseur pseudo-différentiel mais aussi sur les dimensions des transistors en appliquant un rapport $\frac{W[Pmos]}{W[Nmos]} = 3.14$. Ceci permet d'avoir un temps de montée (rise time) et un temps de descente (fall time) presque identique, et assure ainsi un croisement des deux sorties différentielles V2+ et V2- à $VDD/2$ comme illustré dans la figure 4.28

4.5.6 Simulation du jitter de l'oscillateur en anneau.

Pour minimiser le jitter temporel des oscillateurs σ_{osc} , plusieurs règles ont été respectées :

- Le choix d'une architecture pseudo-différentielle avec des deux inverseurs simples munis d'une paire croisée. Nous avons démontré dans l'étude précédente que cette architecture réduit le facteur de bruit K et ainsi le jitter de l'inverseur σ_t

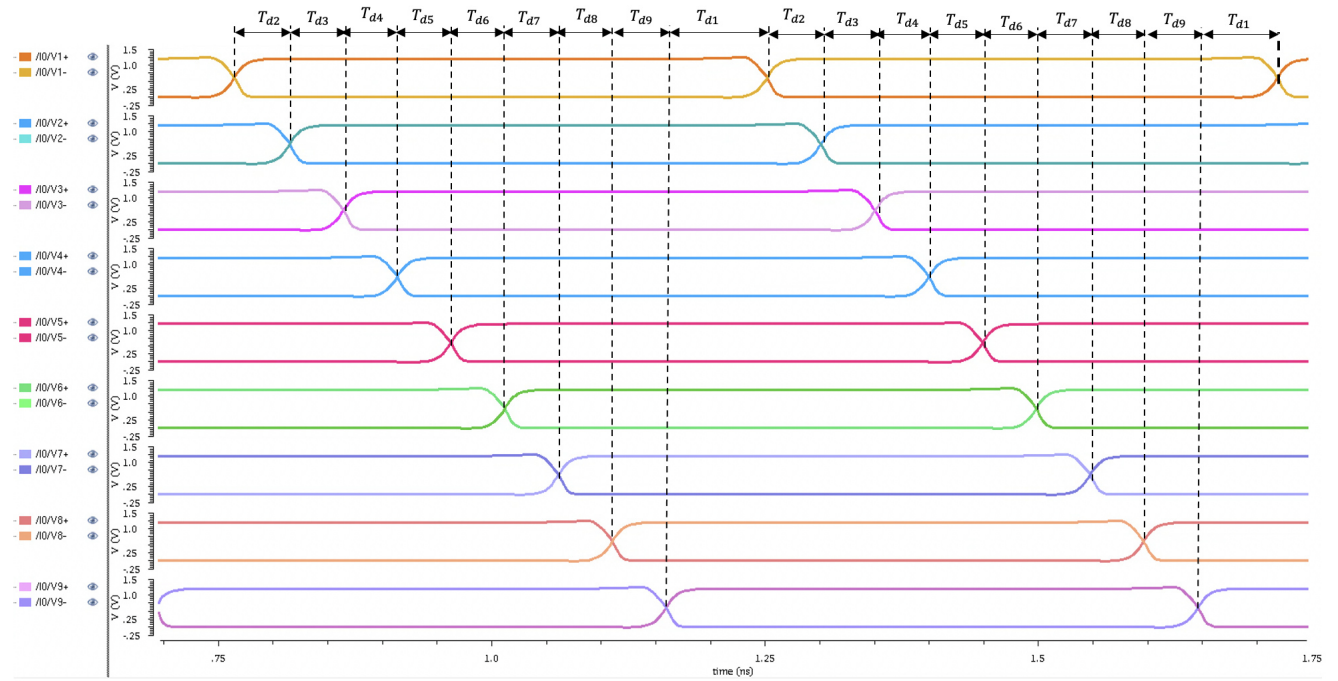


FIGURE 4.27: Résultats de simulation de l'oscillateur en anneau : La fréquence d'oscillation F_{ring} est de 1.05 GHz.

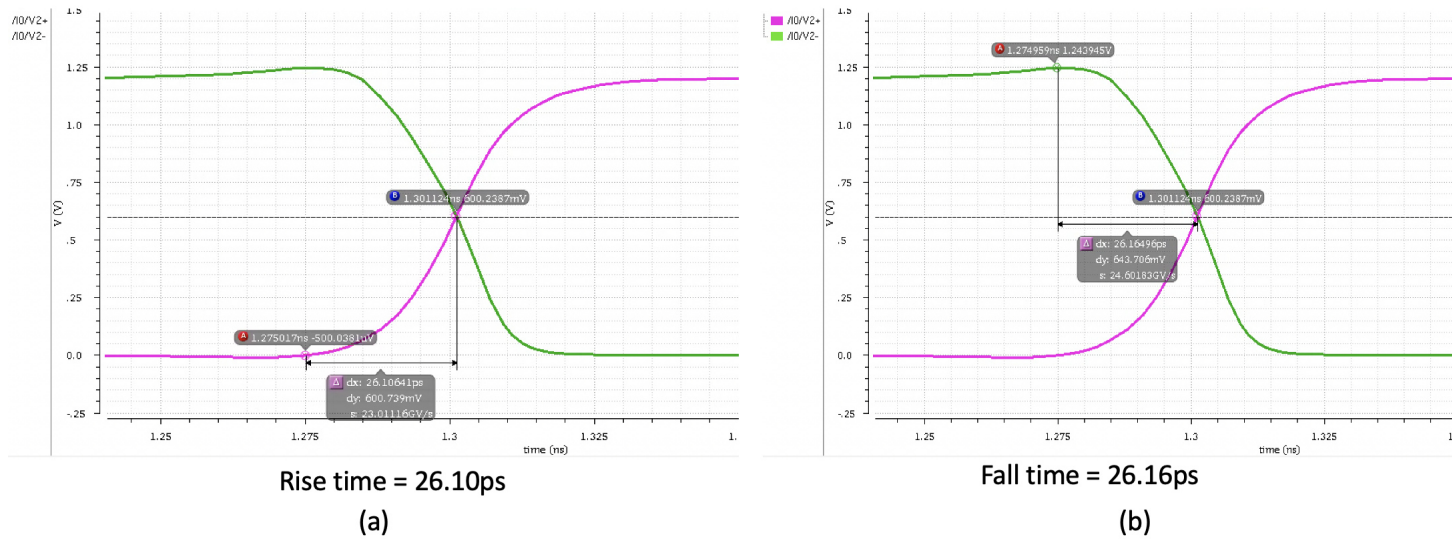


FIGURE 4.28: Résultats de simulation des sorties V2+ et V2- de l'inverseur pseudo-différentiel : (a) Le temps de montée (rise time) est de 26.10 ps. (b) Le temps de descente (fall time) est de 26.16ps.

- L'optimisation des dimensions des transistors pour réduire le jitter unitaire de l'inverseur ;
- Un design symétrique entre les deux branches de l'inverseur pseudo-différentiel pour réduire les bruits dus au couplage avec l'alimentation et le substrat ;
- Une alimentation dédiée aux oscillateurs pour éviter que le bruit de l'alimentation provenant de l'électronique numérique ne se propage aux oscillateurs ;
- Intégrer les oscillateurs dans un Deep NWell pour minimiser le bruit du substrat provenant de l'électronique numérique.

Rappelons l'expression du jitter cumulé en fonction du facteur de bruit K et du temps d'oscillation ΔT comme :

$$\sigma = K\sqrt{\Delta T} \quad (4.29)$$

L'oscillateur a un jitter maximal fixé par le temps d'oscillation maximale T_{cmax} . Ce temps d'oscillation maximal est fixé par la période d'oscillateur lent T_{slow} et le pas de quantification T_{LSB} du TDC comme :

$$T_{cmax} = \frac{T_{slow}^2}{T_{LSB}} \quad (4.30)$$

Si le pas de quantification du TDC est de $T_{LSB} = 10$ ps et la période de l'oscillateur lent $T_{slow} = 1$ ns, le temps d'oscillation maximal de l'oscillateur sera d'environ : $T_{cmax} = 100$ ns. Ainsi, on peut déterminer la valeur du jitter cumulé maximal σ_{oscmax} correspondant au temps T_{cmax} .

Pour des prédictions plus précises des performances du jitter de l'oscillateur, une simulation est nécessaire. Nous utilisons une simulation transitoire avec des sources de bruit équivalentes. Le bruit résultant de cette simulation va se traduire par une variation des fronts de l'oscillateur. Cette simulation est répétée 1000 fois. L'écart-type de la variation des fronts donne la valeur σ_{osc} . Les résultats de la simulation sont exprimés dans la figure 4.29.

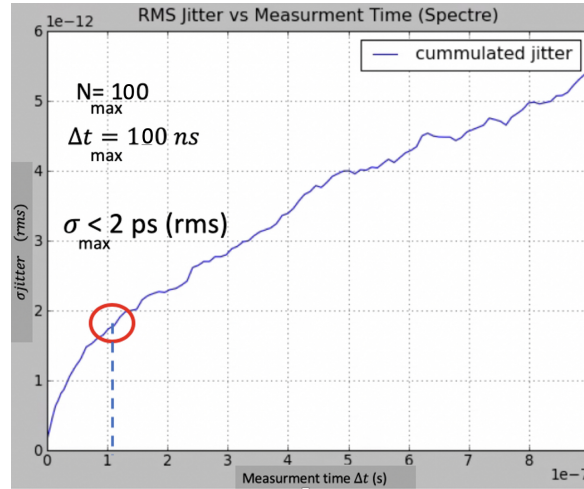


FIGURE 4.29: Analyse du jitter cumulé de l'oscillateur en anneau en fonction du temps d'oscillation.

La figure 4.29 montre l'évolution du jitter de l'oscillateur σ_{osc} en racine du temps d'oscillation ΔT . Si on reprend l'exemple cité auparavant, le temps d'oscillation maximal $T_{cmax} = 100$ ns pour un pas de quantification $T_{LSB} = 10$ ps. Si on relève la valeur maximale du jitter cumulé σ_{oscmax} , nous observons qu'elle est inférieure à 2 ps. Ce jitter σ_{oscmax} est donc inférieur au bruit de quantification $\frac{T_{LSB}}{\sqrt{12}} = 2.89$ ps

pour un T_{LSB} de 10 ps.

La figure 4.30 montre la simulation du jitter maximal σ_{oscmax} en fonction des variations de température et de procédés de fabrication en modèle SLOW et FAST.

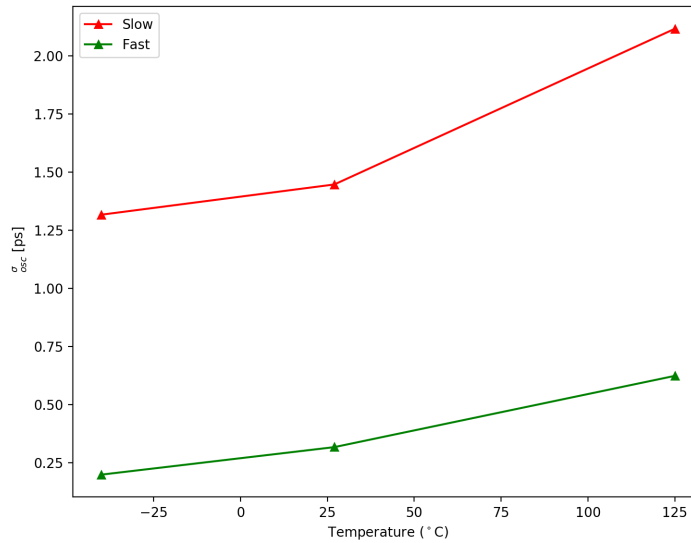


FIGURE 4.30: Variation du Jitter cumulé maximal de l'oscillateur en anneau en fonction de la température et des procédés de fabrication (corners SLOW et corners FAST) : La valeur maximale du jitter en corners SLOW σ_{max} est de 2.25 ps.

Le jitter est maximum à haute température (150°C) pour un procédé de fabrication (*SLOW*). Ces résultats de simulations confirment l'expression du jitter d'un inverseur donnée dans l'équation 4.5.3. En effet, la tension seuil de commutation V_t du transistor CMOS augmente quand le procédé de fabrication est *SLOW*. Ceci implique la réduction du courant de polarisation I_{bias} et donc l'augmentation du jitter. V_t augmente aussi avec la température, impliquant l'augmentation du jitter par le même raisonnement que précédemment.

4.5.7 Simulation de la variation de fréquence

Le réglage de la fréquence est fourni par les transistors PMOS illustré précédemment dans la figure 4.23. Ces transistors sont polarisés dans la région linéaire avec à 5 bits de contrôle CMD_{TRIM} . Lorsqu'au moins un transistor est polarisé dans la région linéaire (triode), il est équivalent à une résistance commandée en tension R_o . Ainsi, une différence de potentiel ($R_o \cdot I_{PK}$) est établie entre la tension d'alimentation et le potentiel VDD_{ring} . Pour limiter le courant disponible pour la commutation I_{PK} et ainsi modifier le retard de l'inverseur T_d les 5-bits de configuration, soit un code décimal qui varie entre [1 : 31], permettent de régler la fréquence de l'oscillateur dans une plage dynamique de [850 MHz à 1.2 GHz] comme exprimé dans la figure 4.31.

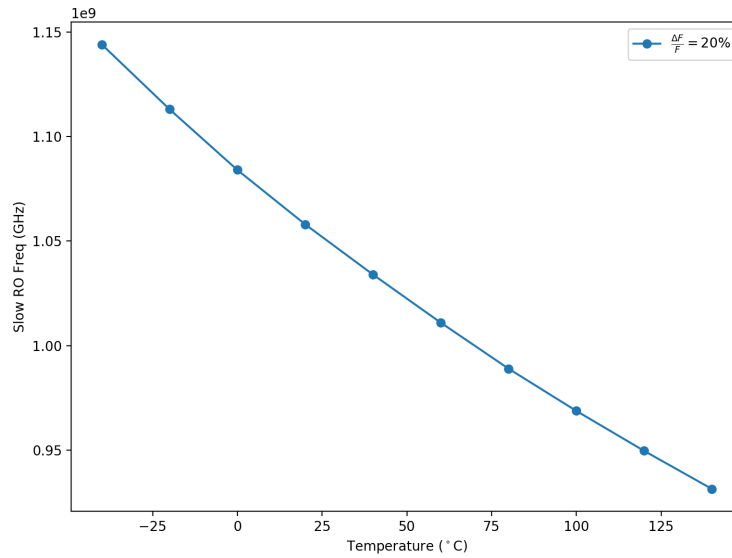


FIGURE 4.32: Variation de la fréquence en fonction de la température en corner typique pour un code=17 : La fréquence diminue avec la température avec une variation de 6 %

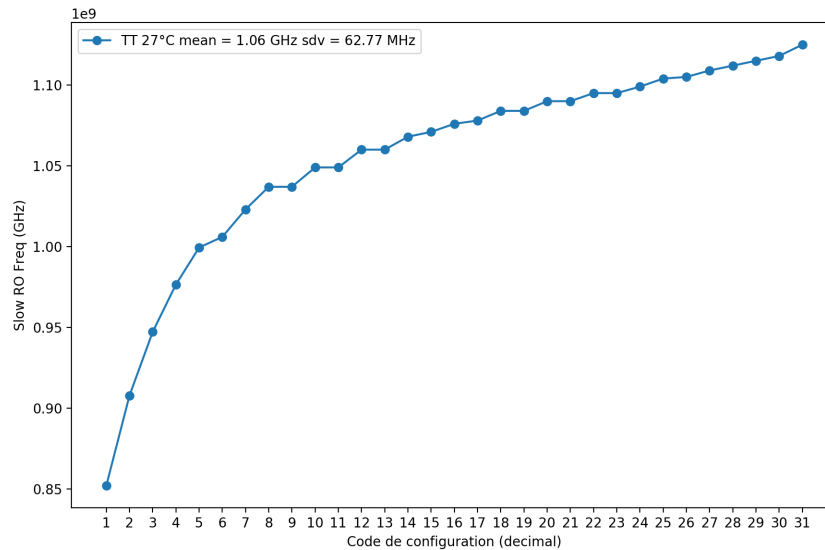


FIGURE 4.31: Plage de réglage de la fréquence de l'oscillateur en anneau en corner typique : Valeur moyenne 1.06 GHz

Comme tout circuit électronique, il faut étudier la variation de la fréquence en fonction de la température dans la figure 4.32. Nous observons que la fréquence de l'oscillateur varie en fonction de la température avec une pente négative. Il est aussi intéressant de simuler la variation de la fréquence en fonction des modèles du transistor. En effet, pour chaque technologie, il existe 3 bibliothèques de modèles du comportement du transistor : le typique (T), le lent (slow ; S) et le rapide (fast ; F). Une simulation de type

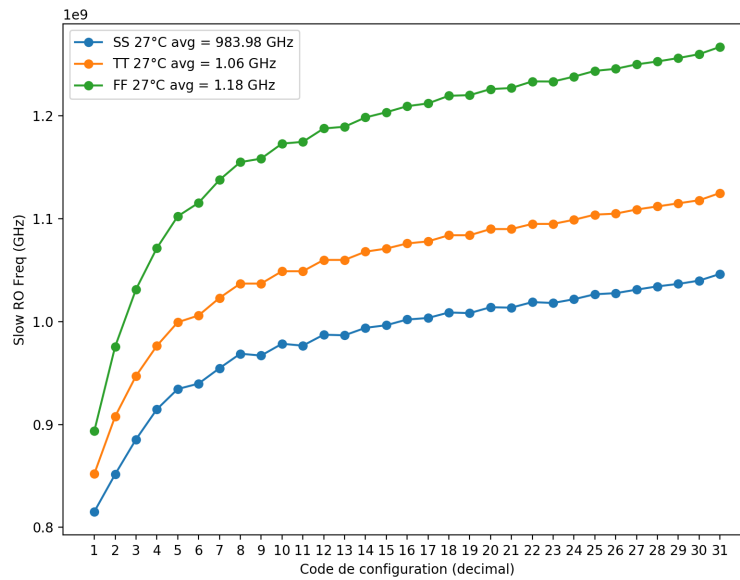


FIGURE 4.33: Variation de la fréquence en fonction des modèles et des codes de configuration a température constante 25°C : La fréquence diminue pour les corners *SLOW* et augmente pour le corners *FAST*

”corners” permet d’estimer la fréquence de l’oscillateur en fonction des variations de modèles comme exprimé dans la figure 4.33. La fréquence est aussi donné en fonction de 32 codes de réglages. IL s’agit des codes donnés par les 5 bits de configurations au niveau de chaque inverseur (figure 4.23).

- Le corner (TT) correspondant à un modèle typique pour le Nmos et un modèle typique pour le Pmos. Ce modèle est caractérisé avec une tension seuil de commutation V_t typique. Cette valeur est estimé à $V_t = 0.5V$ en technologie CMOS 130nm.
- Le corner (SS) correspondant à un modèle slow pour le Nmos et un modèle slow pour le Pmos. Ce modèle est caractérisé avec une tension seuil de commutation V_t plus haute que les autres corners. Cette valeur est estimé à $V_t = 0.6V$ en technologie CMOS 130nm.
- Le corner (FF) correspondant à un modèle fast pour le Nmos et un modèle fast pour le Pmos. Ce modèle est caractérisé avec une tension seuil de commutation V_t plus faible que les autres corners. Cette valeur est estimé à $V_t = 0.4V$ en technologie CMOS 130

Comme le montre la figure 4.33, la fréquence varie de 18 % avec les modèles. Si nous regroupons maintenant les variations de modèles et de températures comme illustré dans la figure 4.34, nous observons une variation de la fréquence de l’oscillateur de 29 %. La compensation de la fréquence n’est pas une priorité dans ce travail. L’objectif de ce circuit est d’étudier la faisabilité de l’architecture du TDC multiphase. Les mesures seront donc réalisées à température ambiante et sur des échantillons d’un même lot de silicium. Néanmoins, c’est un point très important qu’il faut prendre en considération dans la conception de prochaines version du TDC.

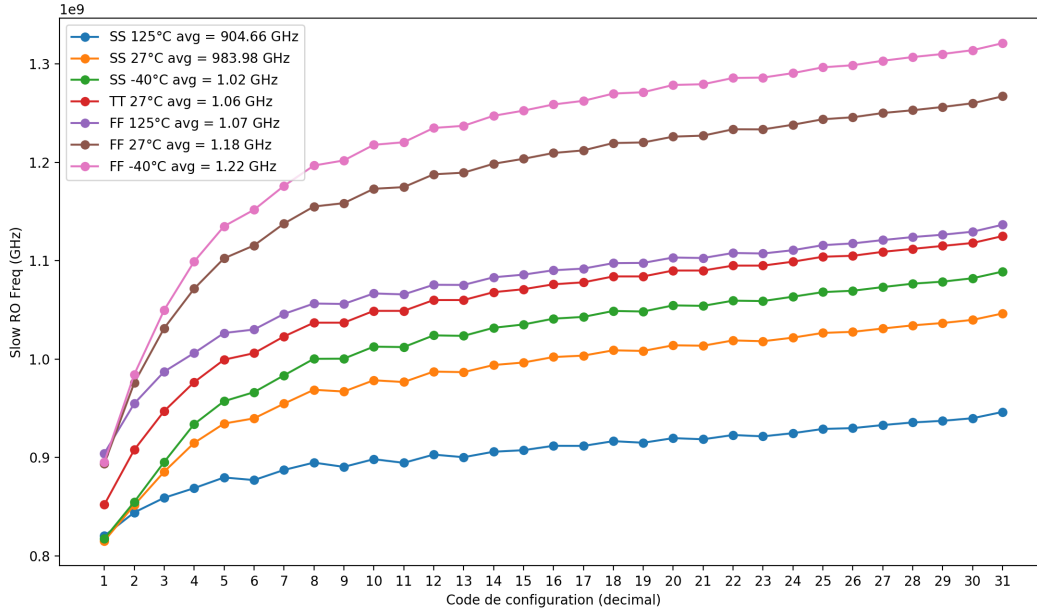


FIGURE 4.34: Variation de la fréquence en fonction des modèles et des codes de configuration et de la température

4.5.8 Réglage du pas de quantification temporel T_{LSB}

L'objectif du réglage de la fréquence avec les 32 codes de configuration présentés précédemment est de régler au début de chaque mesure la différence des périodes des oscillateurs lent et rapide pour fixer le pas de quantification temporel souhaité (T_{LSB}) du TDC. Nous avons vu dans la section précédente que l'oscillateur en anneau varie en fonction de la température et des procédés de fabrication. Il est aussi intéressant d'observer en simulation comment la différence des périodes de l'oscillateur lent T_s et rapide T_f , évolue à son tour en fonction de la température (-40°C, 27°C, 150°C) et des procédés de fabrication (FF, SS), et ceci pour un code de configuration qui fixe cette différence à 50 ps en simulation typique (figure 4.35). Nous observons à partir des résultats de simulation de la figure 4.35, que la différence de période varie aussi en fonction de la température et des modèles. Cependant, cette différence reste faible comparée à la variation de la fréquence d'un oscillateur seul. Elle est inférieure à 12% sur la gamme de température étudiée. Comme les deux oscillateurs sont identiques, on peut dire que l'architecture Vernier minimise l'impact de la variation de fréquence sur la résolution temporelle.

4.6 Matrice de détection de phase

La matrice de détection de phase est un circuit critique dans la conception du TDC. Son rôle est d'observer l'évolution de phase entre toutes les sorties de l'oscillateur lent et rapide. Quand il y a une coïncidence de phase entre deux sorties des oscillateurs, un signal PD_{ij} est activé. PD_{ij} correspond à l'arbitre de la sortie i de l'oscillateur lent et de la sortie j de l'oscillateur rapide. Comme illustré dans la figure 4.36, le signal PD_{32} se déclenche quand le détecteur de phase correspondant observe une

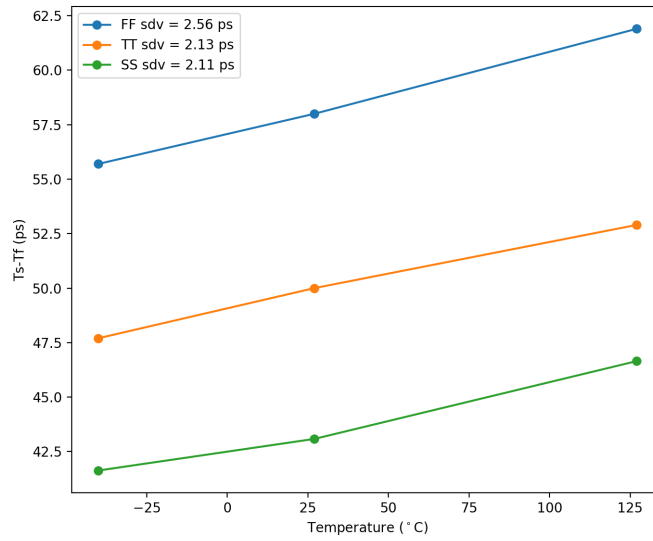


FIGURE 4.35: Variation de la différence de périodes en fonction des modèles et de la température : variation de 12%

coïncidence de phase entre la sortie S_3 de l'oscillateur lent et la sortie F_2 de l'oscillateur rapide.

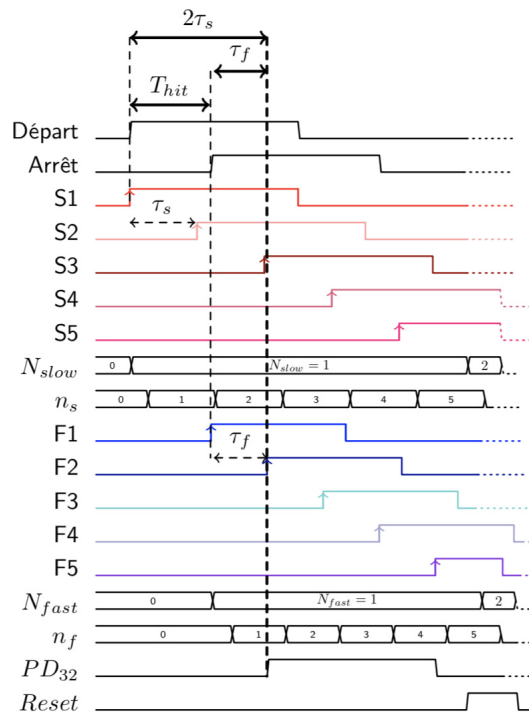


FIGURE 4.36: Chronogramme de la détection multiphase

Un des éléments critiques de la matrice de coïncidence est l'arbitre, qui sert à déterminer, entre deux signaux, celui qui est arrivé avant l'autre. Chaque oscillateur du TDC a 9 sorties, ainsi la matrice de

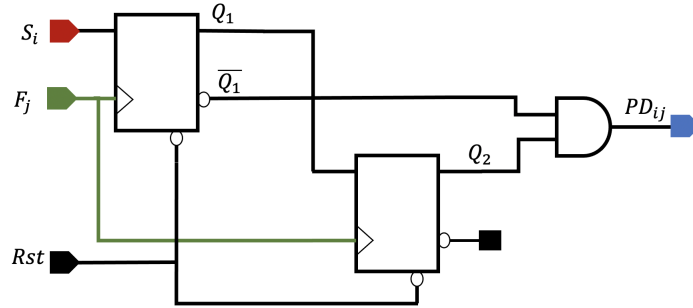


FIGURE 4.37: Schéma de l'arbitre

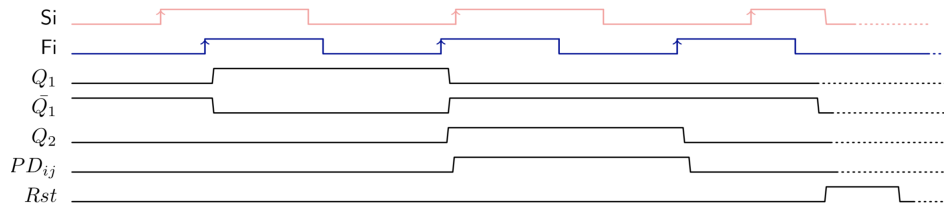


FIGURE 4.38: Chronogramme du détecteur de phase.

coïncidence est faite de 81 arbitres. La figure 4.37 montre le schéma de l'arbitre utilisé dans la matrice. Il est fait avec deux bascules D et une porte logique AND. Lorsque les signaux d'entrée arrivent à l'entrée de la première bascule D, cette dernière enregistre l'état de l'oscillateur lent (S_i) au front montant de l'oscillateur rapide (F_i) dans le signal Q_1 . Ensuite au prochain coup d'horloge de l'oscillateur rapide, l'état du signal Q_1 est copié dans Q_2 . La sortie de l'arbitre P_{ij} bascule à l'état logique '1' quand $\overline{Q_1}$ et Q_2 sont tout les deux à '1'. Cela est possible quand la première bascule détecte un '1' logique suivi d'un '0' au prochain coup d'horloge. Ce qui explique que l'oscillateur lent était en avance par rapport à l'oscillateur rapide, et qu'il est rattrapé au prochain coup d'horloge de l'oscillateur rapide comme illustré dans la figure 4.38.

4.7 Compteurs

Le TDC utilise deux compteurs binaires pour leur très grande simplicité. Un compteur grossier (5 bits) compte le nombre de cycles de l'oscillateur lent, et un compteur fin (11 bits) compte le nombre de cycles des oscillateurs en mode vernier. La profondeur du compteur grossier détermine la plage dynamique du TDC selon l'équation 4.31 ($2^5 \times 1 \text{ ns} = 32 \text{ ns}$ dans le TDC présente). La profondeur du compteur fin, quant à elle, doit être suffisamment grande pour couvrir le nombre de tours en mode Vernier selon l'équation ($T_{slow}/T_{LSBmin} = N_{MAX} = 1 \text{ ns}/1 \text{ ps} = 1000$ tours maximum, soit 10 bits). En effet, si l'on désire pouvoir visualiser des pas de quantification T_{LSB} de 1 ps, il faut prévoir à minima 10-bits. Pour s'accorder une marge, nous avons prévue 11-bits de mémoire et conçu un compteur 11-bits pouvant fonctionner à 1.5GHz. On peut résumer ce qui précède à l'aide de l'équation suivante :

$$DR = 2^{Ng} \cdot T_{slow} \quad (4.31)$$

Avec :

- DR : La plage dynamique du TDC (Dynamic Range)
- N_g : Nombres de bits du compteur grossier
- T_{slow} : La période de l'oscillateur lent

A chaque détection de phase d'un arbitre de la matrice de coïncidence, la valeur du compteur est enregistrée dans une mémoire. Ensuite à la fin de la conversion, les codes du compteur fin enregistrés dans la mémoire sont reliés en série à un circuit numérique extérieur et la conversion en valeur temporelle est effectuée à l'extérieur de l'ASIC. Il faut noter que pour faire la conversion des données des compteurs en temps, il faut connaître la position du détecteur de phase correspondant dans la matrice de détection de phases. Cette correspondance est effectuée pendant le traitement des données à l'extérieur du circuit (offline). Comme nous connaissons l'ordre de lecture des données, nous pouvons remonter à leurs position dans la mémoire et ainsi en déduire le détecteur de phase correspondant.

4.8 Performances du TDC en simulation

Avec la simulation, il est possible d'observer le comportement du TDC, de mesurer ses performances et de les comparer avec la mesure réelle sur silicium.

4.8.1 Estimation de la résolution temporelle monophasé T_{LSB} et multiphasé Δ en simulation

Pour simuler le comportement d'un TDC monophasé, nous programmons les périodes de l'oscillateur lent $T_{slow} = 1,125ns$ et rapide $T_{fast} = 900ps$ pour avoir une différence des périodes $T_{LSB} = 225ps$. Le TDC fait ensuite une mesure du temps dans un intervalle de temps de $T_{hit} = [1ps : 2ns]$. Pour chaque T_{hit} la valeur du compteur grossier N_{gr} et du compteur fin N_{fin} sont échantillonnées avec le détecteur de phase PD_{11} . En effet, ce détecteur de phase observe l'évolution de phase entre la sortie S_1 de l'oscillateur lent et la sortie F_1 de l'oscillateur rapide, et quand il y a une coïncidence de phase, il échantillonne les données N_{gr} et N_{fin} . Ensuite, à partir de ces données la conversion en temps est établie à partir de l'équation 4.32 rappelée ici et démontrée précédemment dans l'équation 3.6 du chapitre 3.

$$T_{CONV} = N_{gr}T_{slow} + N_{fin}T_{LSB} \quad (4.32)$$

La figure suivante donne la caractéristique en marche d'escalier du TDC monophasé qui mesure le temps T_{hit} appliqué en entrée :

Nous observons dans la figure 4.39 que les bits des compteur que nous nommons codes fins et grossiers échantillonnés avec le détecteur de phase PD_{11} permettent de calculer le temps T_{CONV} . Nous remarquons que le temps calculé change de palier avec une échelle temporelle de 225 ps. Ceci confirme la valeur du T_{LSB} calculée à partir de la différence des périodes des oscillateurs du TDC.

Il est aussi intéressant d'estimer à partir de la simulation le jitter cumulé maximal des oscillateurs si la résolution du TDC est de $T_{LSB} = 225ps$. A partir de l'équation 4.30, le temps d'oscillation maximal est égal à $T_{max} = 4.4ns$. Ainsi, à partir de la simulation du jitter cumulé exprimé dans la figure 4.29 et de l'équation 4.29 nous pouvons extraire la valeur du jitter cumulé maximal $\sigma_{jitter_{max}}$ qui est dans cet exemple 600 fs. Le TDC multiphasé a ainsi des délais dans l'oscillateur lent $\tau_s=125$ ps et dans

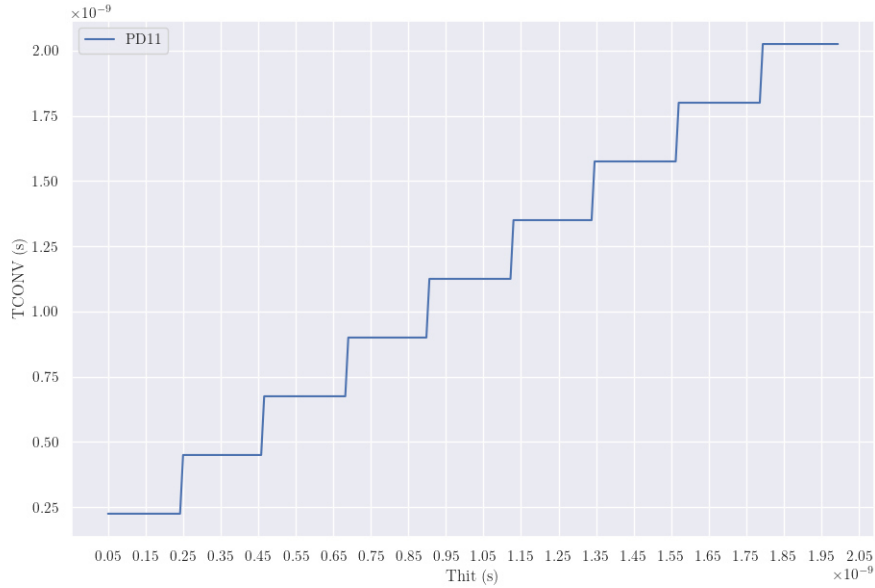


FIGURE 4.39: Caractéristique du TDC monophasé : la résolution est $T_{LSB} = 225 ps$

l'oscillateur rapide $\tau_f = 100 ps$. Ces délais sont définis dans la section 3.3 du chapitre 3. Il en résulte la différence des délais $\Delta = 25 ps$ avec $k=5$ comme définie dans les équations 3.23 et 3.24 du chapitre 3. Le nombre d'étages dans l'oscillateur $N_e = 9$, nous retrouvons la valeur de la période de l'oscillateur lent $T_{slow} = N_e \cdot \tau_s = 1.125 ns$ et la période de l'oscillateur rapide $T_{slow} = N_e \cdot \tau_f = 900 ps$. Le TDC réalise une mesure de temps dans une plage dynamique $T_{hit} = [1 ps : 2 ns]$, sauf que cette fois-ci, pour chaque mesure de T_{hit} les valeurs du compteur grossier N_{gr} et du compteur fin N_{fin} sont échantillonnées (enregistrées) pour tous les détecteurs de phases de la matrice :

$$PD_{(n_s, n_f)} \text{ avec } n_s \in [1 - 9] \text{ et } n_f \in [1 - 9] \quad (4.33)$$

Pour faciliter l'analyse de données, nous observons les données échantillonnées par les 9 phases détecteurs de la diagonale. Il s'agit des $PD_{(n, n)}$ avec $n \in [1 - 9]$. Ensuite, à partir de ces données la conversion en temps est établie suivant l'équation suivante démontrée dans le chapitre 3 :

$$T_{CONV} = N_{gr} T_{slow} + [N_{fin} N_e + (n_s k - n_f (k - 1))] \Delta \quad (4.34)$$

La figure 4.40 donne la caractéristique en marche d'escalier des 9 phases du TDC multiphasé qui mesurent le temps T_{hit} appliqué en entrée :

Si nous observons la caractéristique en marche d'escalier de chaque détecteur de phase individuellement, nous retrouvons le comportement observé dans la section précédente ou la résolution monophasé $T_{LSB} = 225 ps$. Cependant, si pour chaque temps T_{hit} nous récupérons la valeur du temps de conversion T_{CONV} minimal des 9 phases, nous remarquons l'apparition d'une nouvelle caractéristique en marche d'escalier avec des paliers plus fins comme illustré par la courbe bleu de la figure 4.41

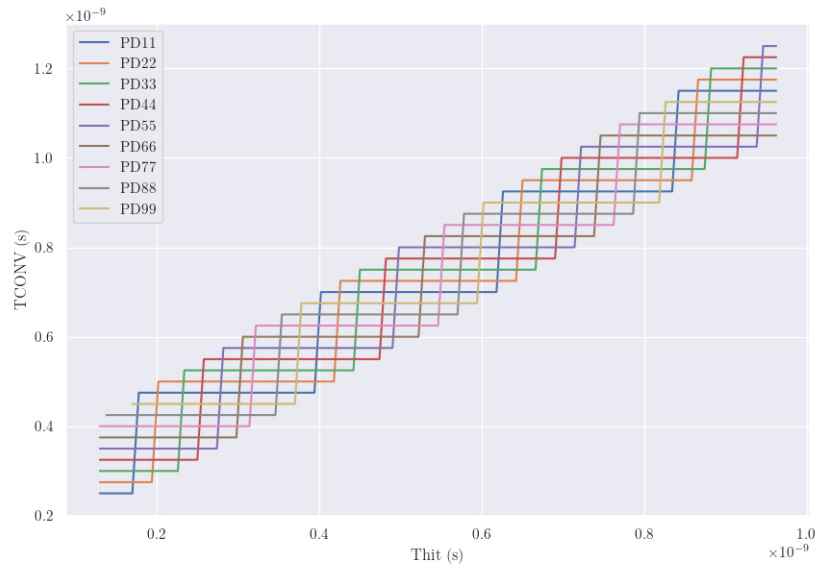


FIGURE 4.40: Caractéristique avec phases du TDC multiphase : La résolution monophasé de chaque détecteur de phase est $T_{LSB} = 225ps$

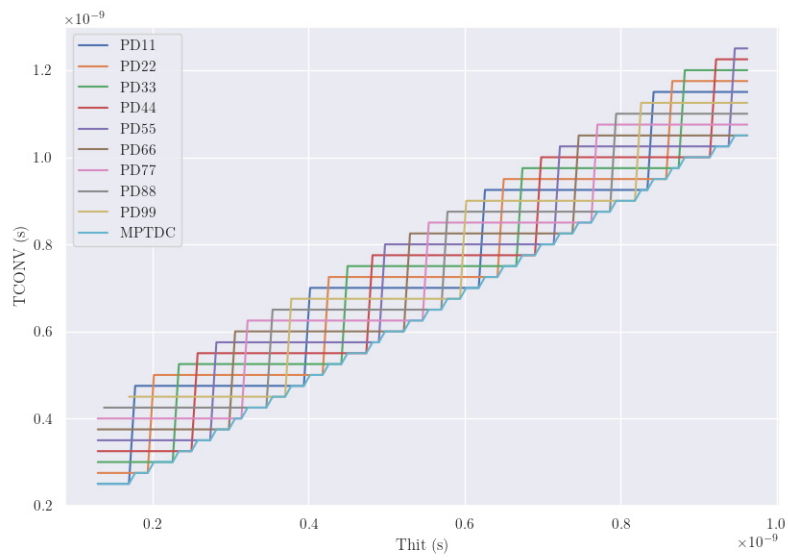


FIGURE 4.41: Caractéristique du TDC multiphase $\min(T_{CONV})$: La résolution multiphase est $\Delta = 25ps$

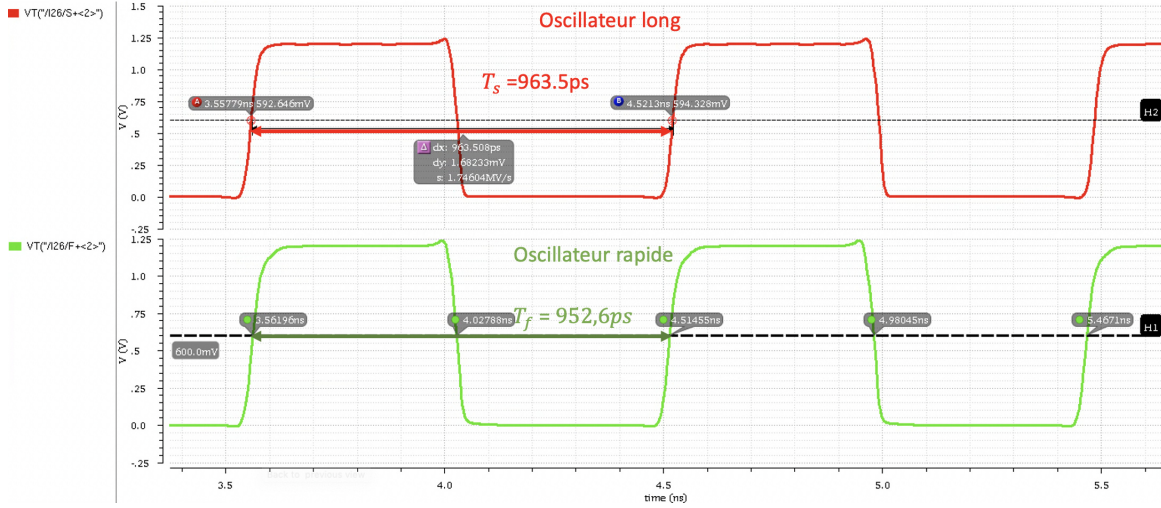


FIGURE 4.42: Simulation des oscillateurs lent et rapide : Choix de la période lente $T_s = 963.5ps$ et de la période rapide $T_f = 952.6ps$ avec la différence $T_s - T_f = 10.9ps$

Les résultats de la figure 4.41 nous montrent qu'avec le TDC multiphase il est possible de calculer le temps T_{hit} avec une meilleure résolution que dans le cas d'un TDC monophasé. Si nous appliquons une moyenne sur les paliers de la caractéristique multiphase, nous retrouvons un pas de quantification temporel de l'ordre $\Delta = 25ps$. Les résultats de simulations viennent confirmer l'étude théorique réalisée dans le chapitre 3, qui démontre que le pas de quantification temporel multiphase δ est égale au pas de quantification temporel monophasé T_{LSB} divisée par le nombre étages dans l'oscillateur N_e comme :

$$\Delta = \frac{T_{LSB}}{N_e} \quad (4.35)$$

Si nous souhaitons calculer le temps T_{hit} avec des résolutions plus fines, il faut configurer le TDC pour que la différence de période entre les oscillateurs soit aussi faible. Pour tester de telles configurations nous choisissons une période de l'oscillateur lent de $T_s = 963.5ps$ et celle de l'oscillateur rapide de $T_f = 952.6ps$ comme illustré dans la figure 4.42. Ainsi le pas de quantification monophasé est $T_{LSB} = 10.9ps$. le TDC réalise une mesure de temps dans une plage dynamique de $T_{hit} = [0 : 50ps]$, le code fin (rapide) N_{fin} échantillonné avec le détecteur de phase PD_{11} est donné dans la figure 4.43

Nous retrouvons une nouvelle caractéristique en marche d'escalier. La largeur de chaque pallier de cette caractéristique nous donne la résolution temporelle monophasé qui est $T_{LSB} = 10.9ps$. Si nous appliquons l'équation 4.32 nous retrouvons l'expression du temps T_{CONV} à partir des codes fin N_{fin} . Ce temps est illustré dans la figure 4.44

Si la période de l'oscillateur lent $T_s = 963.5ps$ nous pouvons extraire la valeur du délai τ_s entre deux sorties en phase de l'oscillateur lent comme exprimé dans la figure 4.45. Nous observons un décalage dans les délais τ_i . En particulier, les délais τ_8 et τ_9 . En effet, le premier étage de l'oscillateur est une porte NAND avec un temps de propagation plus long que celui des autres étages inverseur de l'oscillateur, ce qui explique la différence observée. Pour extraire la valeur du délai τ_s nous appliquons une moyenne sur tous les délais τ_i . Ainsi $\tau_s = 107.05ps$.

De même pour l'oscillateur rapide, si $T_f = 952.6ps$ nous pouvons extraire la valeur moyenne du délai τ_f entre deux sorties en phase de l'oscillateur rapide comme étant $\tau_f = 105.84ps$. Ainsi la différence

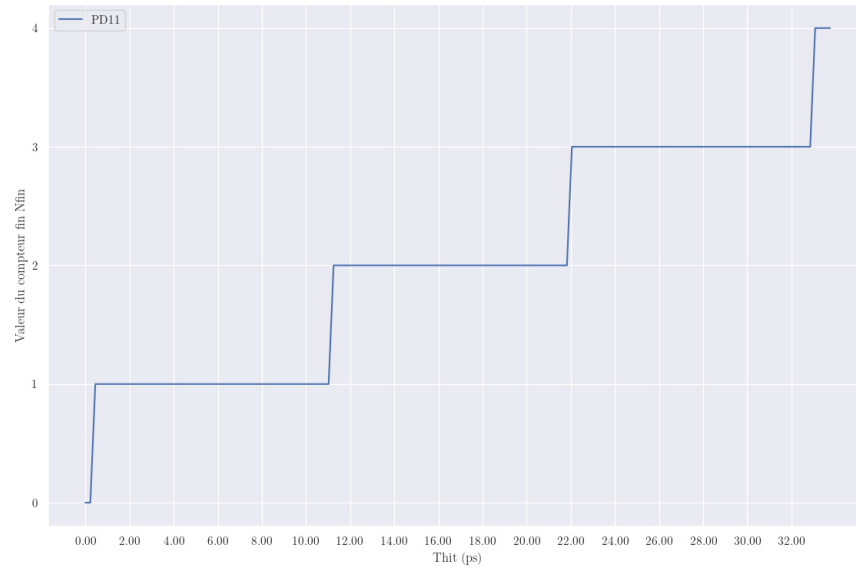


FIGURE 4.43: Codes du compteur rapide (fins) N_{fin} : La résolution est $T_{LSB} = 10.9ps$

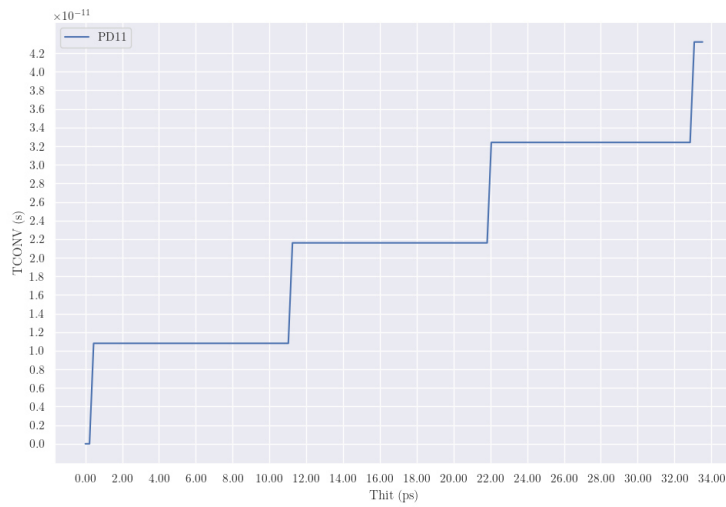


FIGURE 4.44: Caractéristique du TDC monophasé : La résolution est $T_{LSB} = 10.9ps$

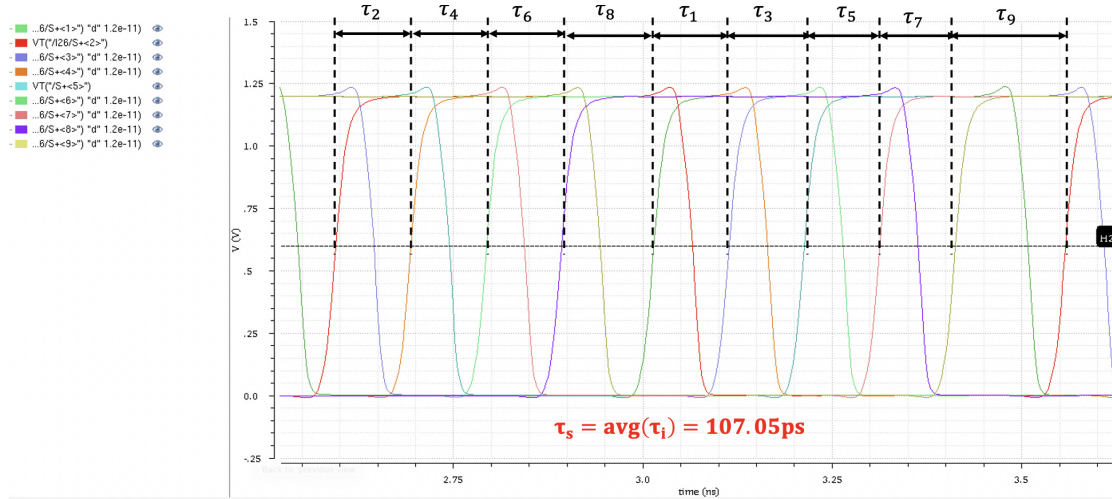


FIGURE 4.45: Délais entre deux sorties en phase de l'oscillateur lent $\tau_s = \frac{\sum_1^9(\tau_i)}{9} = 107.05\text{ps}$

des délais $\Delta = \tau_s - \tau_f = 1.21\text{ps}$ avec le facteur $k=88$. Nous récupérons les valeurs des compteurs fin échantillonnés avec les 9 détecteurs de phase $PD_{(n,n)}$ avec $n \in [1 - 9]$ et nous appliquons l'équation ?? pour trouver le temps de conversion T_{CONV} illustré dans la figure 4.46

Si nous observons la caractéristique en marche d'escalier de chaque détecteur de phase individuellement, nous retrouvons le comportement observé dans la section précédente où la résolution monophasé $T_{LSB} = 10.9\text{ps}$. Cependant, si pour chaque temps T_{hit} nous récupérons la valeur du temps de conversion T_{CONV} minimal des 9 phases, nous remarquons l'apparition d'une nouvelle caractéristique en marche d'escalier avec des paliers plus fins comme illustré dans la courbe bleu de la figure 4.47.

4.8.2 Calcul des temps de conversion monophasé $T_{C_{mono}}$ et multiphasé $T_{C_{multi}}$

Nous avons démontré dans le chapitre 3 que le temps de conversion maximal pour un TDC monophasé $T_{C_{mono_{max}}}$ est fixé par la période de l'oscillateur lent T_{slow} comme :

$$T_{C_{mono_{max}}} = N_{finmono_{max}} T_{slow} \quad (4.36)$$

Avec $N_{finmono_{max}}$ le nombre de tours maximal du compteur fin en mode Vernier. Il varie en fonction de la résolution T_{LSB} comme :

$$N_{finmono_{max}} = \frac{T_{slow}}{T_{LSB}} \quad (4.37)$$

Si nous appliquons l'équation 4.8.2 sur l'exemple de la figure 4.39 où la résolution monophasé $T_{LSB} = 225\text{ps}$ et la période de l'oscillateur est $T_{slow} = 1.125\text{ns}$, le nombre de tours maximal du compteur fin en mode Vernier sera égal à $N_{finmono_{max}} = 5$. Ce résultat est vérifié en simulation dans la figure 4.48. En effet, la simulation montre que la valeur du compteur fin revient à sa valeur initiale $N_{finmono_{min}} = 1$ quand le temps T_{hit} est supérieur à la période de l'oscillateur T_{slow} . Ceci veut dire que le mode

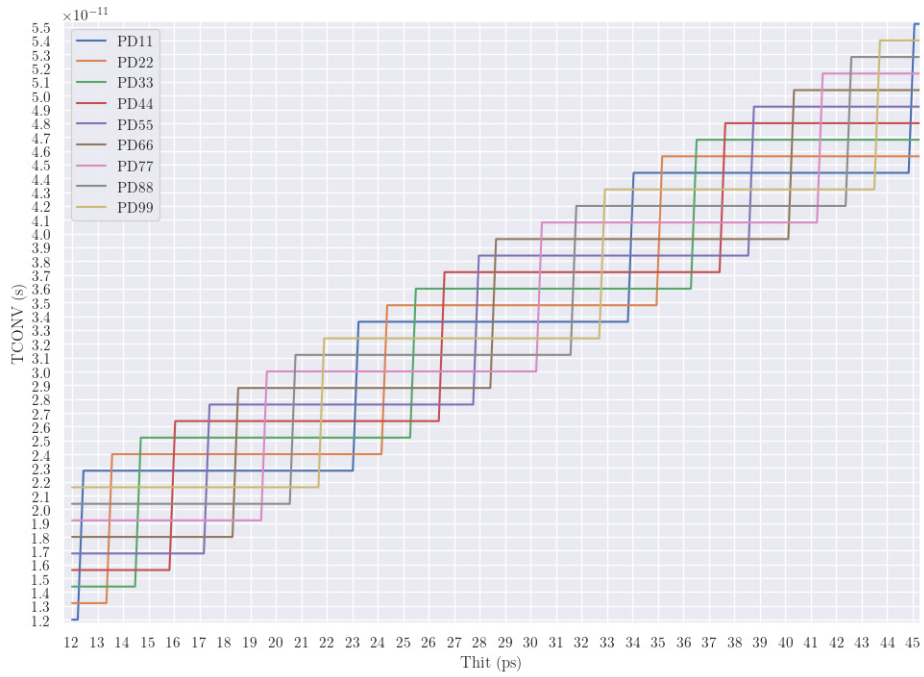


FIGURE 4.46: Caractéristique de 9 phases du TDC multiphase : La résolution monophasé de chaque phase détecteurs est $T_{LSB} = 10.9ps$

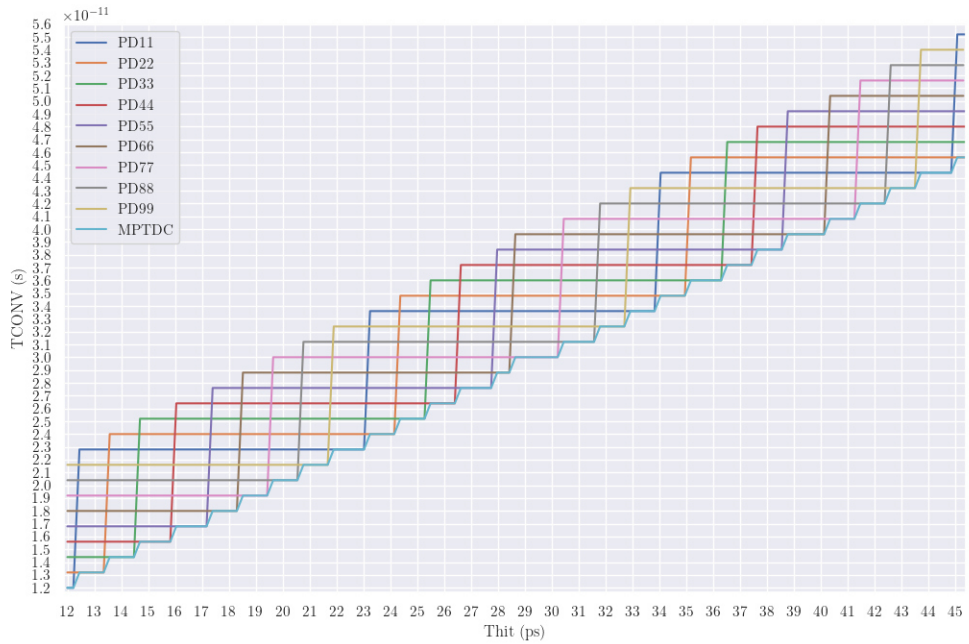


FIGURE 4.47: Caractéristique du TDC multiphase $\min(T_{CONV})$: La résolution multiphase est $\Delta = 1.2ps$

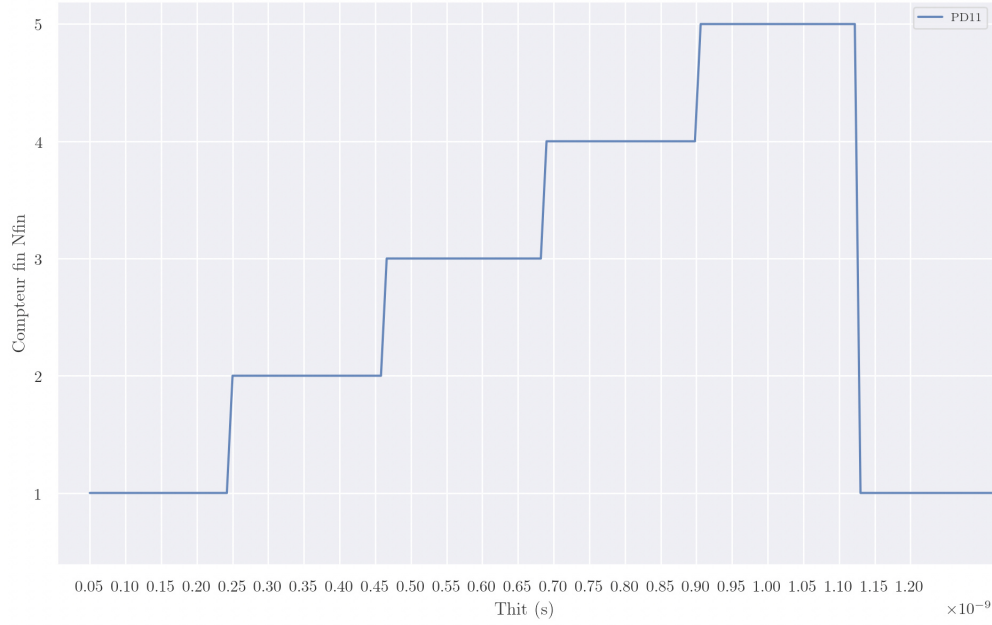


FIGURE 4.48: Codes fins du compteur rapide N_{fin} en fonction du temps T_{hit} : le nombre de tours maximal du compteur fin en mode Vernier $N_{finmono_{max}} = 5$

de fonctionnement Vernier prend fin et ainsi la valeur maximal du compteur fin en mode vernier $N_{finmono_{max}} = 5$.

On s'intéresse maintenant à l'approche multiphase. Nous avons démontré dans le chapitre 3 que le nombre de tours maximal du compteur fin en mode vernier en multiphase $N_{finmulti_{max}}$ est atteint quand le temps T_{hit} est égal au délai τ_s . Ainsi son expression est :

$$N_{finmulti_{max}} = \frac{\tau_s}{T_{LSB}} \quad (4.38)$$

Dans ce cas, si nous appliquons l'équation 4.8.2 sur l'exemple cité précédemment où le délai $\tau_s = 125$ ps et la résolution temporelle monophasé $T_{LSB} = 225$ ps, le nombre de tour du compteur fin en mode vernier en multiphase $N_{finmulti_{max}} = 0.55 \approx 1$. Les résultats de simulations confirment ce calcul comme exprimé dans la figure 4.49.

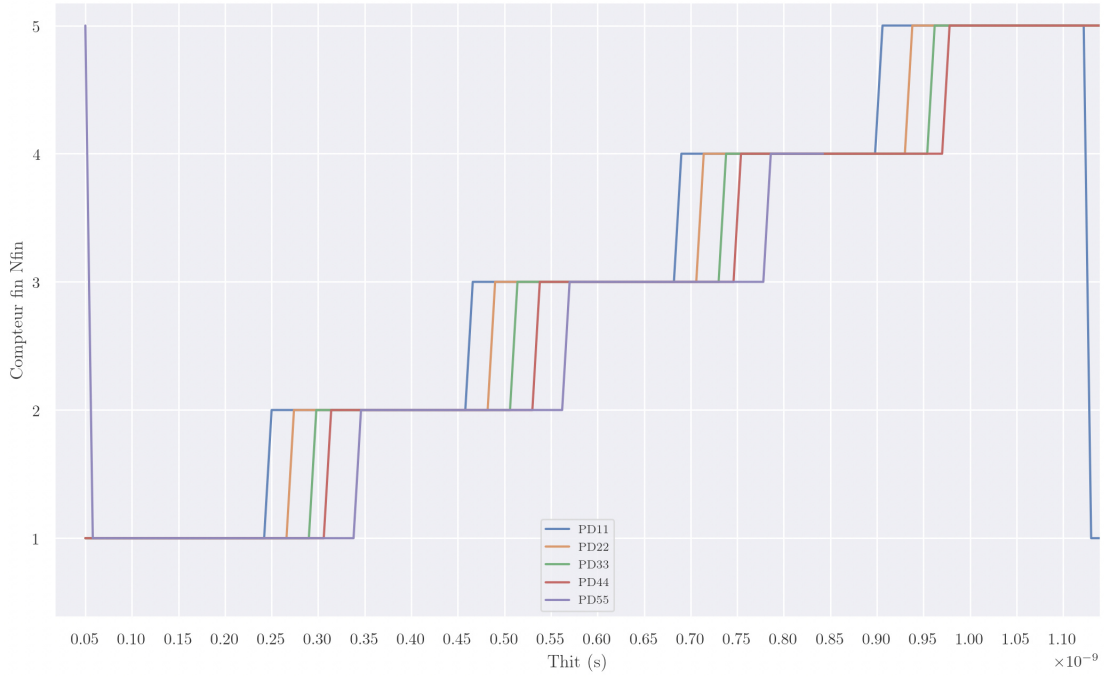


FIGURE 4.49: Caractéristique des codes fins du compteur rapide N_{fin} en fonction du temps T_{hit} : Si $T_{hit} < 125ps$ le nombre de tour maximal du compteur fin en mode vernier multiphase $N_{finmulti_{max}} = 1$

La figure 4.49 montre que lorsque le temps $T_{hit} < 125ps$ le nombre de tours maximal du compteur fin en mode vernier multiphase $N_{finmulti_{max}} = 1$. En effet, dans cet exemple le délai τ_s est inférieur à la résolution monophasé T_{LSB} , le nombre de tour $N_{finmulti_{max}}$ ne peut pas être supérieur à la valeur minimale $N_{finmono_{min}}$ du compteur fin. Ainsi, pour n'importe quel temps T_{hit} , on aura toujours un détecteur de phase qui échantillonne la valeur minimal du compteur. Le temps de conversion multiphase maximal $T_{C_{multi_{max}}}$ dans cet exemple est égal à la période de l'oscillateur lent comme :

$$T_{C_{multi_{max}}} = T_{slow} \quad (4.39)$$

En conclusion, si le délai τ_s est inférieur à la résolution monophasé T_{LSB} on peut en déduire l'expression du temps de conversion mono maximal $T_{C_{mono_{max}}}$ en fonction du temps de conversion multiphase maximal $T_{C_{multi_{max}}}$ comme :

$$T_{C_{mono_{max}}} = N_{finmax} T_{C_{multi_{max}}} \quad (4.40)$$

Dans le cas où le délai $\tau_s = 107.05ps$ est supérieur à la résolution monophasé $T_{LSB} = 10.9ps$ et que la période de l'oscillateur lent est $T_{slow} = 963.5ps$ comme dans l'exemple de la figure 4.46, le nombre de tours maximal du compteur fin en mode vernier monophasé $N_{finmono_{max}}$ sera égale à :

$$N_{finmono_{max}} = \frac{T_{slow}}{T_{LSB}} = 88.55 \approx 89 \quad (4.41)$$

Alors que le nombre de tours maximal du compteur fin en mode vernier multiphase $N_{finmulti_{max}}$ est égale à :

$$N_{finmulti_{max}} = \frac{\tau_s}{T_{LSB}} = 9.88 \approx 10 \quad (4.42)$$

Nous observons dans cet exemple que le nombre de tours du compteur fin multiphase $N_{finmulti_{max}}$ est divisé par un facteur de 9 par rapport au nombre de tours du compteur fin monophasé. Ceci vient confirmer l'étude théorique réalisée dans le chapitre qui donne que :

$$N_{finmulti_{max}} = \frac{N_{finmono_{max}}}{N_e} \quad (4.43)$$

Avec N_e le nombre d'étages d'inverseurs dans l'oscillateur. En conclusion, on peut déduire que le temps de conversion maximal monophasé $T_{cmono_{max}}$ est divisé par le nombre d'étages dans l'oscillateur N_e pour le temps de conversion maximal multiphase $T_{cmulti_{max}}$ comme :

$$T_{cmulti_{max}} = \frac{T_{cmono_{max}}}{N_e} \quad (4.44)$$

Cela est bien entendu dans le cas où le temps de conversion associé au temps du mode grossier précédent le démarrage de l'oscillateur rapide est nul ($T_{hit} < T_{slow}$).

4.8.3 Estimation du jitter des oscillateurs en anneau pour le TDC monophasé et multiphase

Le jitter du TDC σ_{TDC} est la combinaison de l'ensemble des jitters des circuits qui interviennent dans l'évolution des fronts des horloges lentes et rapides du TDC. Il faut bien sûr prendre en compte les oscillateurs lent et rapide, mais aussi la prélogique du démarrage et le circuit de coïncidence. Ainsi, si nous supposons que ces circuits ont des sources de bruit non corrélées, nous pouvons exprimer le jitter du TDC comme étant la moyenne quadratique des sources de bruit :

$$\sigma_{TDC} = \sqrt{\sigma_{pre}^2 + \sigma_{osc}^2 + \sigma_{coinc}^2} \quad (4.45)$$

Avec σ_{pre} le jitter du circuit de prélogiques et σ_{coinc} le jitter du circuit de coïncidence. La simulation montre que leurs valeurs sont faibles en comparaison avec celle du jitter de l'oscillateur σ_{osc} . Ainsi, on peut dire que le jitter du TDC dépend principalement du jitter des oscillateurs.

$$\sigma_{TDC} \approx \sigma_{osc} \quad (4.46)$$

Nous avons démontré précédemment que le jitter des oscillateurs se cumule et augmente avec le temps d'oscillation ΔT . Ce temps d'oscillation est égal au temps de conversion du TDC exprimé précédemment. Ainsi, l'oscillateur a un jitter maximum fixé par le temps de conversion maximum $T_{conv_{max}}$ et K le facteur de bruit comme :

$$\sigma_{osc_{max}} = K \sqrt{T_{conv_{max}}} \quad (4.47)$$

Nous avons démontré dans la section précédente que le temps de conversion dépend du nombre de tours dans le mode Vernier N_{fin} et de la résolution monophasé T_{LSB} . Ce temps de conversion augmente quand la résolution du TDC est réduite. Nous avons aussi démontré que le temps de conversion maximal

multiphase $T_{c_{multi_{max}}}$ est divisé par N_e , le nombre d'étages d'inverseurs dans l'oscillateur par rapport au temps de conversion maximal monophasé $T_{c_{multi_{max}}}$. Ainsi, à partir des équations 4.47 et 4.44 nous pouvons déduire que le jitter maximal de l'oscillateur en multiphase $\sigma_{oscmulti_{max}}$ est réduit par $\sqrt{N_e}$ par rapport au jitter maximal de l'oscillateur monophasé $\sigma_{oscmono_{max}}$ comme :

$$\sigma_{oscmulti_{max}} = \frac{\sigma_{oscmono_{max}}}{\sqrt{N_e}} \quad (4.48)$$

Pour vérifier l'équation 4.8.3 nous réalisons une simulation de bruit et nous récupérons le jitter monophasé maximal $\sigma_{oscmono_{max}}$ et celui du multiphase $\sigma_{oscmulti_{max}}$ correspondant. La simulation est répétée plusieurs fois en réduisant pour chaque simulation la résolution monophasé T_{LSB} du TDC. La figure 4.50 illustre ces résultats.

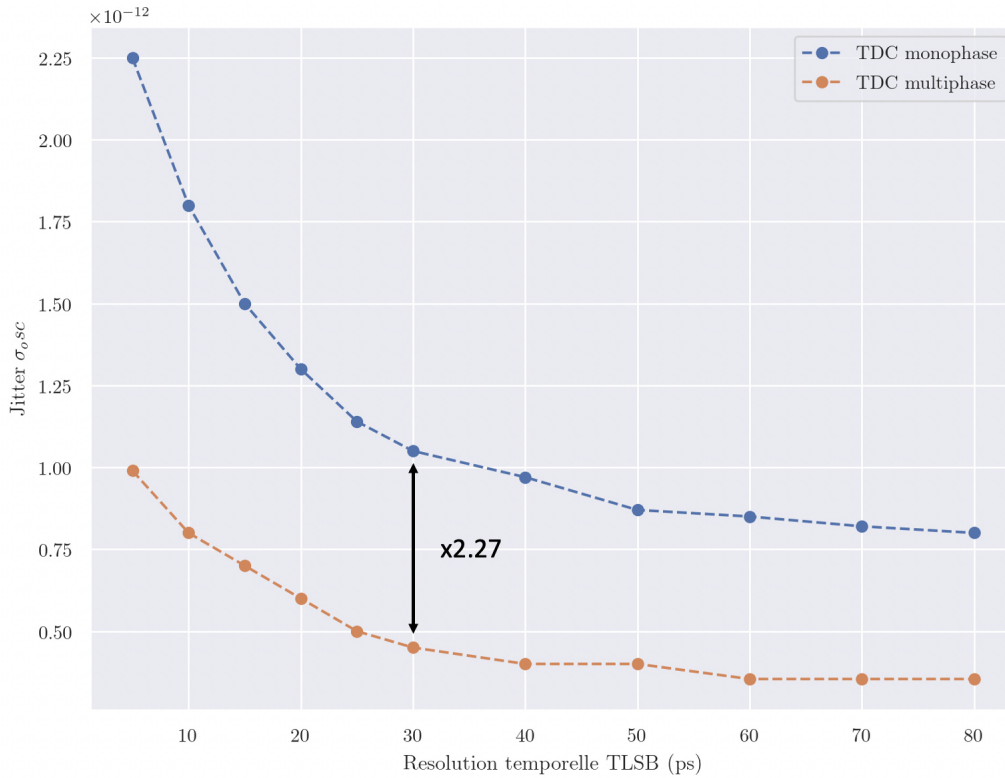


FIGURE 4.50: Résultats de simulation du jitter cumulé de l'oscillateur σ_{osc} en fonction de la résolution T_{LSB}

Les résultats de simulation exprimés dans la figure 4.50 montrent l'augmentation du jitter de l'oscillateur pour de faibles résolutions temporelles. Nous observons aussi l'impacte de l'architecture multiphase dans la réduction du jitter avec un facteur moyen de 2.27. Pour un oscillateur avec $N_e=9$ étages, la correspondance avec l'équation 4.8.3 nous donne :

$$\frac{\sigma_{oscmono_{max}}}{\sigma_{oscmulti_{max}}} = 3 > 2.27 \quad (4.49)$$

4.9 Conclusion

Ce chapitre a résumé la procédure de conception du TDC Vernier oscillateur en anneau multiphase conçu en technologie CMOS 130 nm . Une étude détaillée a été réalisée avec les optimisations nécessaires pour la conception des oscillateurs en anneaux à faible jitter. L'avantage de la méthode multiphase a été démontré en simulation avec la possibilité d'atteindre une faible résolution temporelle par rapport à l'architecture monophasé comme exprimé dans le tableau 4.5.

Cette architecture a le potentiel d'offrir une excellente résolution. Les performances mesurées du TDC seront présentées dans le chapitre suivant.

	Résolution temporelle	jitter de l'oscillateur
TDC monophasé	10.88 ps	<2 ps
TDC multiphasé	1.2 ps	< 1ps

TABLE 4.5: Résultats de simulation comparant les TDC mono- et multi-phase

Chapitre 5

Méthodologie et Résultats de mesures

Ce chapitre présente l’environnement de test pour mesurer les performances du TDC conçu dans le chapitre précédant. De plus, nous allons détailler dans ce chapitre les méthodes de mesure utilisées pour la caractérisation des performances du TDC. Il s’agit de :

- Le pas de quantification temporel T_{LSB} ;
- La précision temporelle σ_{TDC} ;
- La linéarités du convertisseur (INL/DNL).

5.1 Présentation du banc de test

Nous allons ici décrire le banc de test que nous avons réalisé après avoir conçu le design du circuit et l’envoi en fonderie pour la fabrication et l’impression de la puce sur silicium selon les étapes principales de fabrication d’un circuit intégré détaillés dans [41] [26].

5.1.1 Mise en boîtier du circuit

Le boîtier (package) joue un rôle fondamental dans le fonctionnement et les performances du circuit. En plus de fournir un moyen d’amener les fils des signaux de contrôle et d’alimentation dans et hors de la puce, il dissipe également la chaleur générée par le circuit et fournit un support mécanique pour connecter le circuit à la carte de test. Enfin, il protège également la puce contre les conditions environnementales telles que l’humidité [41]. Un bon emballage doit respecter certaines exigences :

- Exigences électriques : les broches doivent présenter une faible capacité, résistance et inductance.
- Exigences de connexion : la puce doit être bien centrée dans le boîtier et les fils de connexion (bonding) doivent être bien distribués et de la même longueur.
- Exigences mécaniques et thermiques : le taux d’élimination de la chaleur doit être aussi élevé que possible. La fiabilité à long terme nécessite une connexion solide de la puce au boîtier , ainsi que du boîtier à la carte de test.

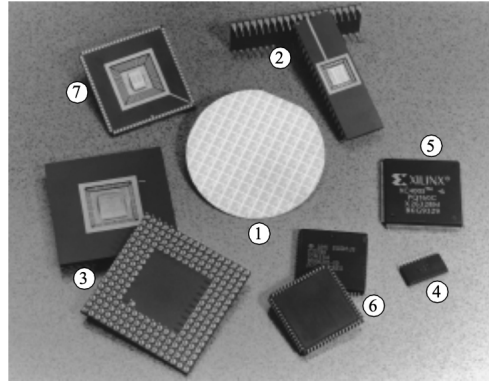


FIGURE 5.1: Un aperçu des types de boîtier couramment utilisés

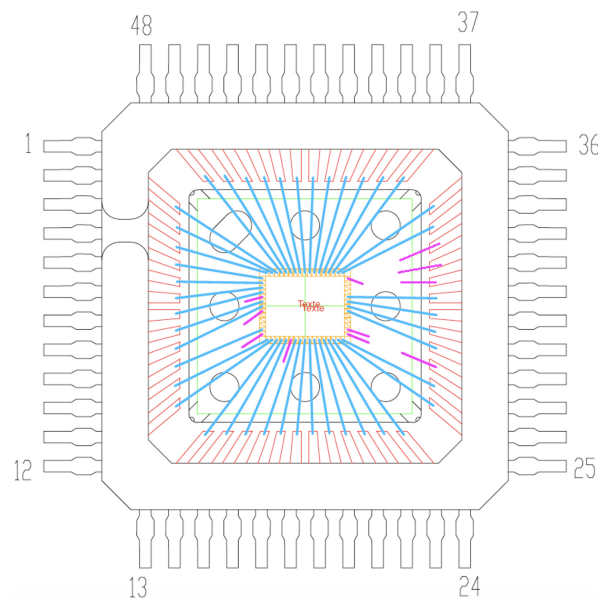


FIGURE 5.2: Illustration du boîtier utilisé pour le prototype du TDC.

Le TDC conçu occupe une surface de $1.3\text{ mm} \times 1.5\text{ mm}$ avec 43 pins de signaux actifs et 7 signaux de masses. Le choix du boîtier s'est orienté vers un boîtier de forme en carré de type LQFP 7x7 avec 48 pins. La figure 5.2 représente le routage de TDC dans son boîtier.

5.1.2 Le circuit imprimé (PCB)

Les circuits imprimés (PCB) permettent de faire le lien entre la puce et le monde extérieur pour l'acquisition des données. Deux cartes électroniques sont requises pour les tests : une carte d'acquisition et une carte d'interface. La carte d'acquisition utilise un Raspberry Pi 3 type B+ avec un CPU 64 bit quad core ARM Cortex-A53 intégré et cadencé à 1,4 GHz. Elle permet de recevoir et transmettre les données au circuit. La carte d'interface, quant à elle, permet de lier le TDC à la carte d'acquisition. La figure 5.3 illustre les deux cartes. Les caractéristiques de la carte d'interface sont :

- Les entrées/sorties du TDC fonctionnent sous une tension d'alimentation de 1.2 V, ce qui est incompatible avec la carte d'acquisition qui a des signaux de contrôle avec une tension d'alimen-

Port d'alimentation	Tension (V)
V_{slow}	1.2
V_{fast}	1.2
$V_{BUF_{slow}}$	1.2
$V_{BUF_{fast}}$	1.2
$V_{Matrice}$	1.2
$V_{controle}$	1.2
V_{CLK}	0.300

TABLE 5.1: Les tensions d'alimentations du TDC

tation 3.3 V. L'utilisation d'un convertisseur de tension est nécessaire pour convertir les tensions de contrôles de 3.3 V vers 1.2 V.

- Pour le bon fonctionnement du TDC, il est important de fournir à la puce 6 alimentations différentes détaillées dans le tableau 5.1. Les tensions d'alimentation ont été séparées avec des capacités de découplage. Une autre version de la carte d'interface a été réalisée où les tensions d'alimentation sont contrôlées avec des régulateurs de tension.
- Pour assurer l'intégrité des signaux, la carte d'interface possède 7 couches de métaux. Les couches de dessus et de dessous ont été conçues pour obtenir une impédance des lignes de transmission à $100\ \Omega$ (différentielles) et à $50\ \Omega$ (sortie unique). Les couches internes, quant à elles, sont espacées afin d'assurer la meilleure immunité possible entre les différentes alimentations et la plus grande capacité entre ces alimentations et la masse.

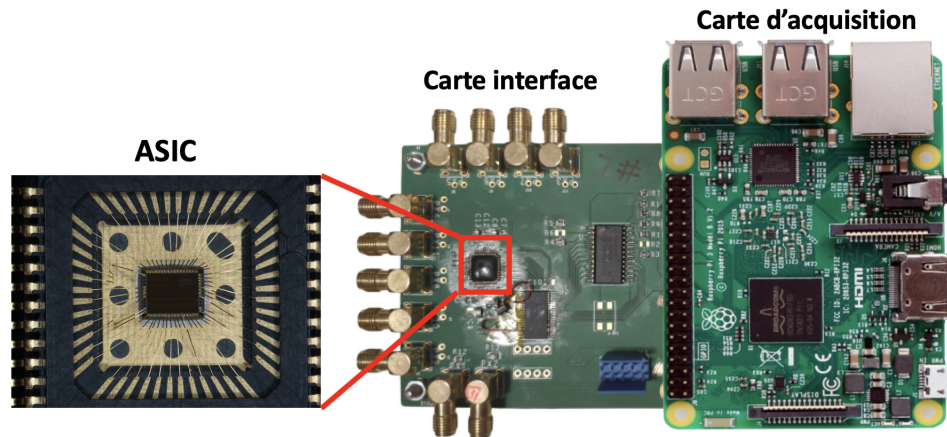


FIGURE 5.3: Circuit imprimé de la carte d'interface et de la carte d'acquisition

5.1.3 Équipement de mesure

Le générateur de délai (Figure 5.4) fournit un délai fixe à l'entrée du TDC. Il est utile pour mesurer la précision du TDC car le délai fourni s'étale sur une grande plage dynamique qui est supérieure à 25 ns. Il est d'ailleurs contrôlé par un code python qui s'occupe du balayage du délai avec des pas fins de 1 ps. Le générateur possède une résolution de délai de 250 fs et son jitter temporel mesuré est inférieure à 3 ps.



FIGURE 5.4: Générateur de délais

↻

FIGURE 5.5: Sonde différentielle 1GHz

L'oscilloscope (Figure 5.6) permet de mesurer la précision temporelle des oscillateurs du TDC . Il possède une bande passante de 13 GHz et une fréquence d'échantillonnage maximale de 80 GSa/s. La sonde utilisée est différentielle et possède une capacité inférieure à 1 pF (figure 5.5) .

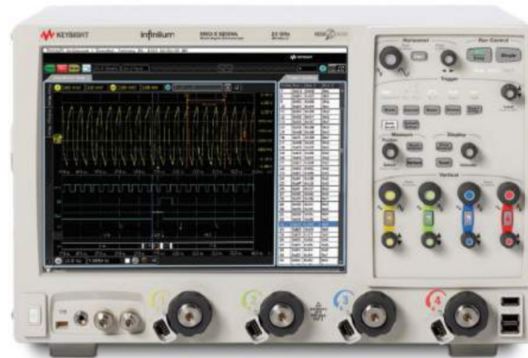


FIGURE 5.6: Oscilloscope Agilent à 13 GHz de bande passante

5.1.4 Algorithme de mesure

Nous avons développé un algorithme de mesure en python pour les configurations du TDC. Par exemple, le TDC nécessite des tensions de contrôle pour établir la fréquence des oscillateurs ainsi que sa résolution temporelle. L'algorithme permet également de contrôler le générateur de délais en déterminant son incrément et la durée des mesures. De plus, il communique avec la carte d'acquisition pour envoyer des signaux de départ aux TDC avec des fréquences différentes.

5.2 Mesure des performances de l'oscillateur en anneau

Le circuit de mesure du TDC est illustré dans la figure 5.7. Ceci comprend le circuit imprimé (PCB), le matériel nécessaire pour mesurer le TDC, ainsi que l'ordinateur qui comporte l'algorithme de contrôle du TDC ainsi que l'acquisition et le traitement des données mesurées par le TDC.

Rappelons que la méthode utilisée pour régler la fréquence d'oscillation est de changer le temps de propagation T_d dans chaque étages de l'oscillateur en modifiant la tension d'alimentation interne de l'inverseur pseudo-différentiel $V_{DD_{ring}}$ comme expliqué dans la section 4.3.4 La configuration de la fréquence

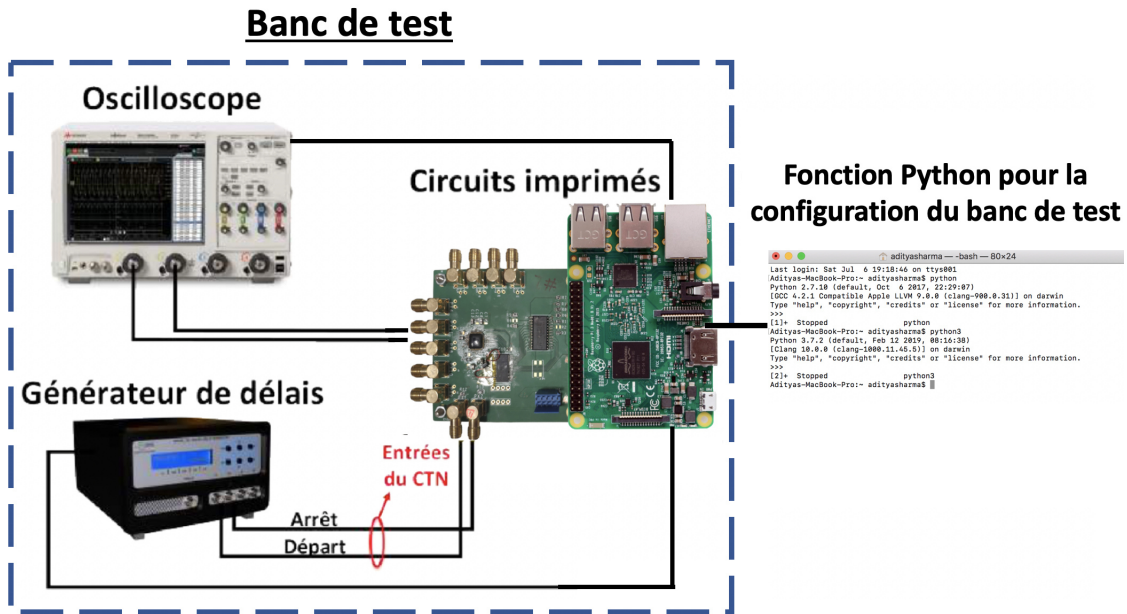


FIGURE 5.7: schémas du montage de test du TDC

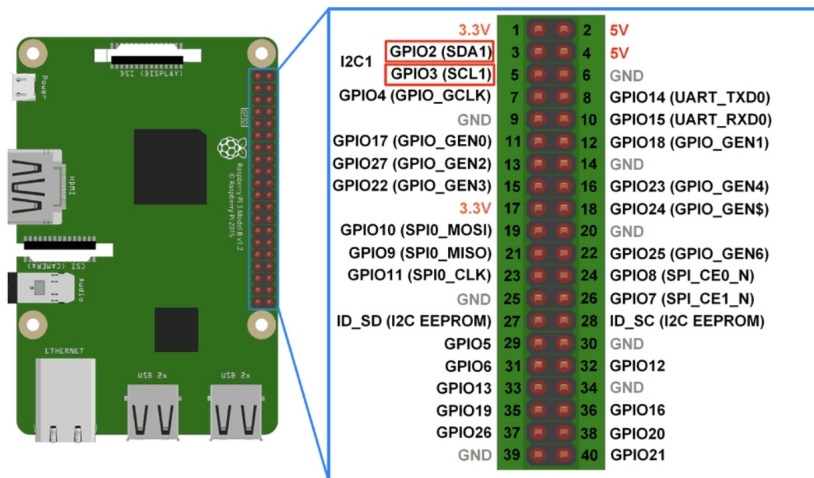


FIGURE 5.8: Port GPIO dans un raspberry pi 3

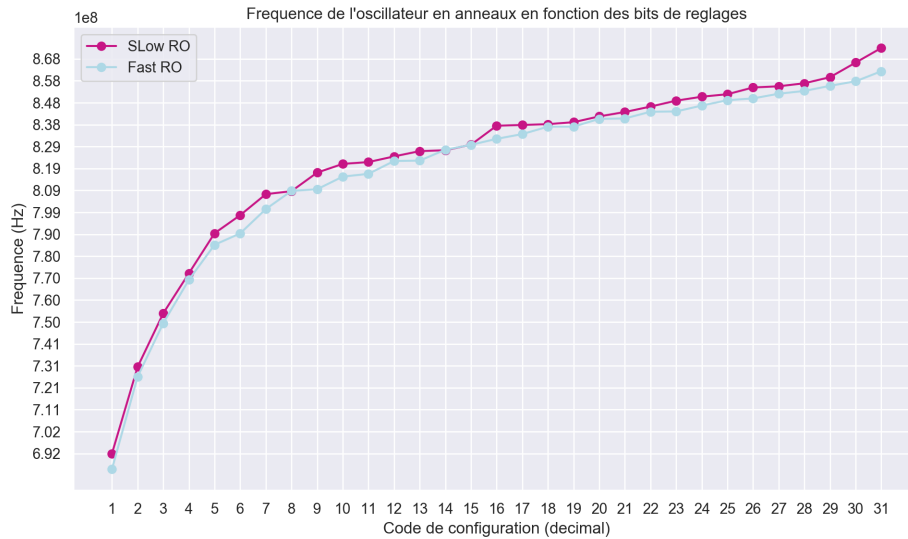


FIGURE 5.9: Fréquences d'oscillation en fonction des bits de réglages

	Min	Max	Moyenne	Écart type
Fréquence du Slow RO	691.77 (MHz)	872.68 (MHz)	823.42 (MHz)	40.04 (MHz)
Fréquence du Fast RO	684.83 (MHz)	862.30 (MHz)	819.30 (MHz)	39.11 (MHz)

TABLE 5.2: Performances des oscillateurs en anneaux Lent (Slow) et Rapide (Fast)

d'oscillation des oscillateurs en anneau se fait avec un protocole I2C depuis la carte d'acquisition vers la carte interface. Cette dernière se charge d'envoyer les signaux vers les entrées correspondantes du TDC.

Chaque oscillateur est contrôlé avec 5 bits de contrôle pour varier la fréquence d'oscillation, soit 32 combinaisons. La figure 5.9 montre les résultats des mesures de la fréquence en sortie des oscillateurs lent et rapide et des bits de réglage. Les performances de la mesure des oscillateurs lent et rapide sont détaillées dans le tableau 5.2

On remarque que la fréquence des oscillateurs lent et rapide augmente en fonction des bits de configurations. La forme de la courbe de mesure évolue de la même manière que la courbe de simulation (section 4.5.7). Cependant, on remarque une différence de fréquence entre l'oscillateur lent et rapide. Par exemple pour le même code de configuration (16) l'oscillateur lent est fixé à une fréquence 873,53 MHz alors que l'oscillateur rapide est fixé à une fréquence 830,66 MHz. Le design et le layout des oscillateurs lent et rapide étant identique, on s'attend à ce que la fréquence des oscillateurs varie de la même manière. Cette différence observée est due à une différence de la charge sur le noeud de sortie des oscillateurs. Cette charge dépend du layout et des étages en sortie des oscillateurs qui sont légèrement plus importantes en sortie de l'oscillateur rapide comparé à l'oscillateur lent. Cette différence n'influence pas pour autant les performances du TDC. Seule la différence de période des oscillateurs est importante pour la mesure du temps.

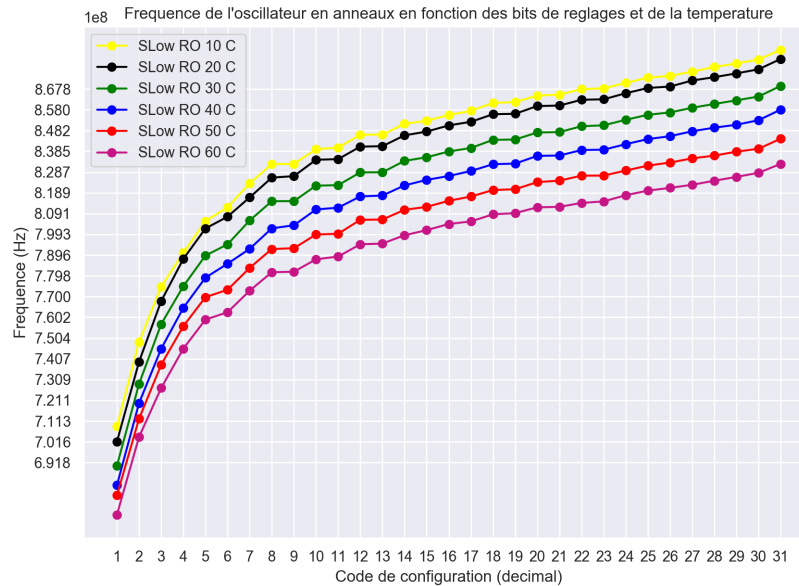


FIGURE 5.10: Fréquences d'oscillation en fonction des bits de réglages et de la température

5.2.1 Test en température de la fréquence des oscillateurs en anneau

Les études effectuées dans [36] montrent l'impact de la température sur le temps de propagation d'un inverseur et par conséquent sur la fréquence d'un oscillateur en anneau.

Les oscillateurs en anneaux utilisés dans le TDC oscillent en boucle ouverte, aucune compensation avec une boucle à verrouillage de phase (PLL), par exemple, n'est utilisée pour compenser la dérive de la fréquence par la température. Il est important de mesurer la variation de la fréquence en fonction de la température. Pour effectuer ces mesures, nous avons placé le circuit dans un four thermique. Les résultats des mesures sont exprimés dans le graphe de la figure 5.11. Nous observons à partir des plots de la figure 5.11 une dépendance de la fréquence des oscillateurs en anneau à la température avec une variation de (1.6ps /1°C). Cependant, nous avons cité dans la section 4.5.7 qu'un TDC avec oscillateur en anneau de type Vernier est moins touché par le phénomène de dérive de la fréquence des oscillateurs en anneau face aux paramètres extérieurs. Ceci est vrai si le design et le layout des oscillateurs est exactement identique, ce qui est le cas pour les oscillateurs en anneau utilisés dans ce TDC. Nous observons dans la figure 5.11 que la fréquence des oscillateurs lent et rapide varie de la même manière suivant une pente négative en fonction de la température. Il est aussi intéressant d'observer comment la différence de fréquence entre les oscillateurs lent et rapide varie en fonction de la température (figure 5.12). Nous remarquons à partir de la figure 5.12 que la différence de fréquence varie de (0.05ps/ 10 °C) en fonction de la température, soit une faible variation qui influence peu les performances du TDC.

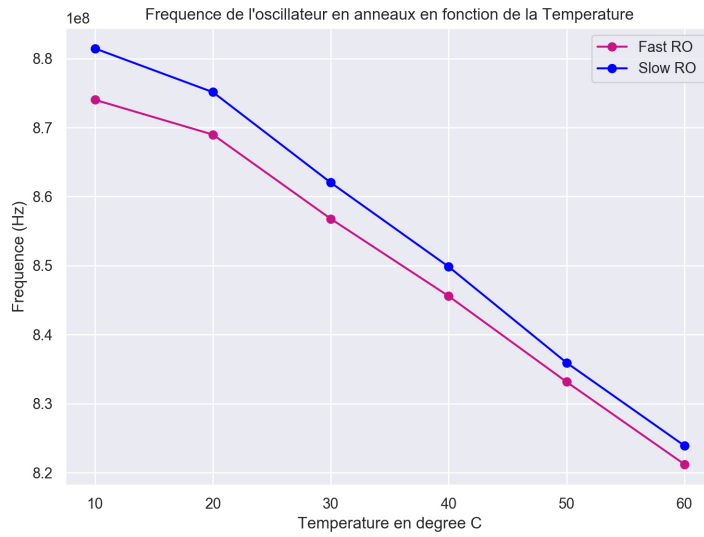


FIGURE 5.11: Fréquences d'oscillation en fonction de la température

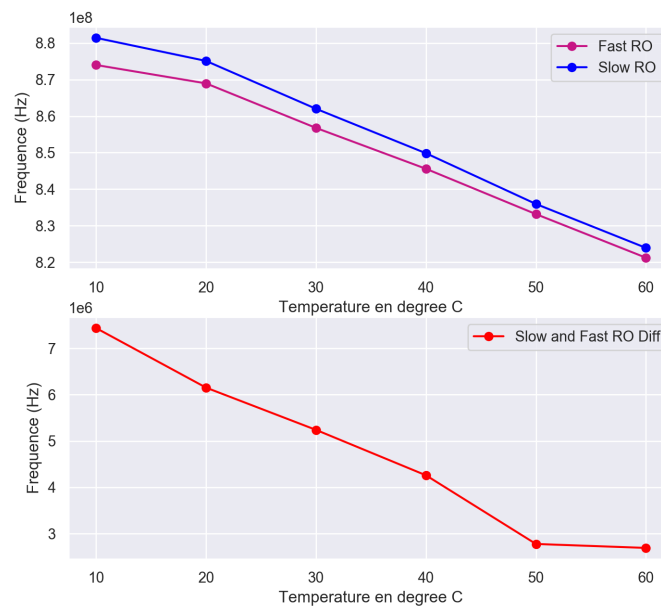


FIGURE 5.12: Dépendance de la fréquence et la différence des fréquences en fonction de la température

En conclusion, ces résultats de mesure viennent appuyer l'étude effectuée dans la section 4.5.7 sur la faible variation des performances du TDC avec oscillateur en anneau de type Vernier face aux variations de température.

5.3 Performances du TDC en monophasé

Les critères de performances les plus importants pour un TDC sont sa résolution temporelle T_{LSB} et sa précision de mesure σ_{TDC} . Nous allons décrire dans cette section les méthodes utilisées pour mesurer ces performances.

5.3.1 La résolution temporelle T_{LSB}

La résolution temporelle T_{LSB} correspond à la plus petite unité de mesure du TDC. Elle est déterminée théoriquement par la différence des périodes des oscillateurs lent et rapide du TDC comme expliqué dans le chapitre 3. Pour mesurer la résolution temporelle du TDC, nous réalisons les étapes de test suivantes :

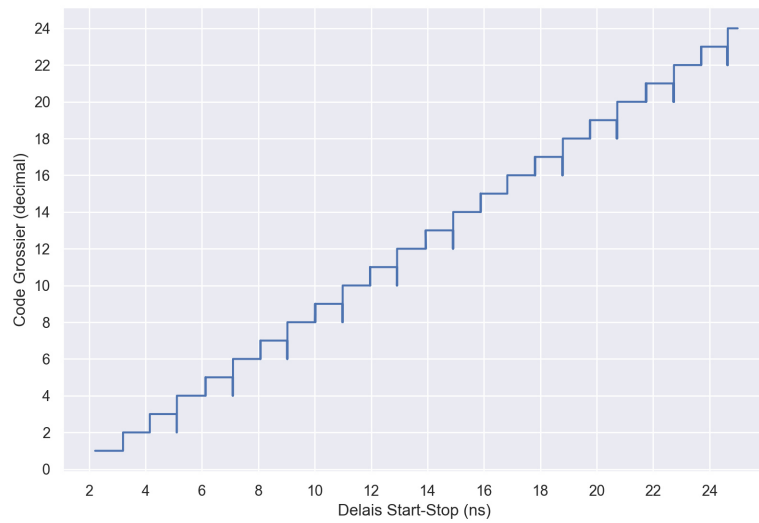
- Un générateur de délais envoie deux signaux d'impulsion (pulse) sur les entrées *Start* et *Stop* du TDC. Le délai entre les deux signaux d'impulsion est réglé par le générateur sur toute la plage dynamique du TDC. Il est aussi incrémenté de 10 ps à 25 ns avec un pas croissant de 10 ps.
- Pour chaque délai du générateur, le TDC mesure le délai entre les deux signaux d'impulsion *Start* et *Stop*. Cette mesure est répétée 1000 pour effectuer un calcul statistique sur les données mesurées par le TDC.
- À la fin de chaque mesure, le TDC fournit des données numériques qui correspondent aux valeurs du compteur lent que nous allons nommer codes grossiers, et aussi du compteur rapide nommées codes fins. Ces données sont enregistrées et exploitées pour reconstruire la fonction de transfert du TDC.

Le plot de la figure 5.13 illustre la caractéristique du TDC pour un délai (Start-Stop) mesuré entre [10ps et 25ns]. Cette caractéristique reprend les codes numériques en sortie du TDC. Elle a une forme en marche d'escalier, avec :

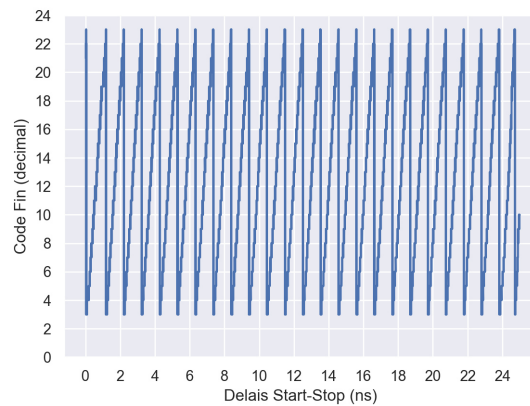
- En abscisse : Le délai entre les signaux *Start* et *Stop*. Il s'agit donc du temps réel à mesurer.
- En ordonné : Les codes grossiers du compteur lent et codes fins du compteur rapide dans la figure 5.13a et la figure 5.13b ; respectivement. La conversion en valeur temporelle se fait à partir de ces codes.

La résolution temporelle T_{LSB} est représentée par un pallier dans la caractéristique du TDC (figure 5.13b). Ce pallier est l'image en temps du délai entre deux codes numériques consécutifs du TDC ($T_{delay}(N, N+1)$). Pour mesurer la résolution temporelle à partir de la caractéristique du TDC, il faut mesurer la largeur de tous les palliers de la caractéristique et de faire la moyenne de ces palliers.

En analysant la caractéristique du TDC dans la figure 5.13a, on observe que les codes grossiers s'incrémentent en moyenne toutes les 1 ns, qui est en moyenne la période de l'oscillateur lent. En effet, comme le compteur grossier calcule le nombre de tours de l'oscillateur lent, ce dernier change de valeur en fonction de la période de l'oscillateur lent. Les codes fins quant à eux calculés par le compteur rapide augmentent avec un pas plus fin. Ils sont remis à zéro en moyenne toutes les 1 ns. Pour trouver la résolution du TDC, il faut analyser la caractéristique des codes fins du compteur rapide du TDC sur un intervalle de temps plus petite de 1 ns comme illustré dans la figure 5.14.



(a) Codes Grossier en sortie du TDC en fonction du delais (Start-Stop) en entrée du TDC



(b) Codes Fin en sortie du TDC en fonction du delais (Start-Stop) en entrée du TDC

FIGURE 5.13: Caractéristique des codes de sorties du TDC sur une plage dynamique de 25 ns et avec un $T_{LSB}=80.85$ ps

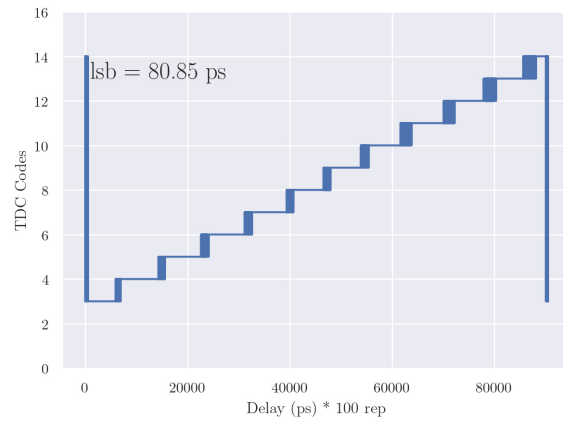
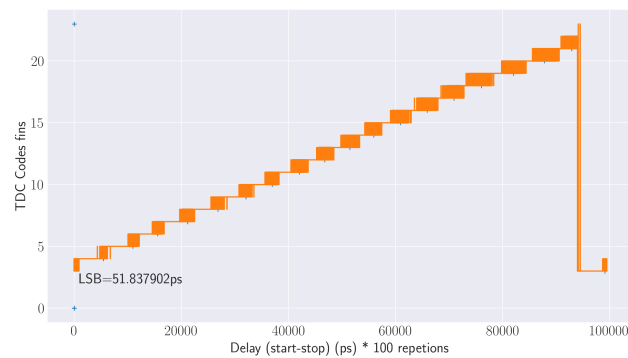
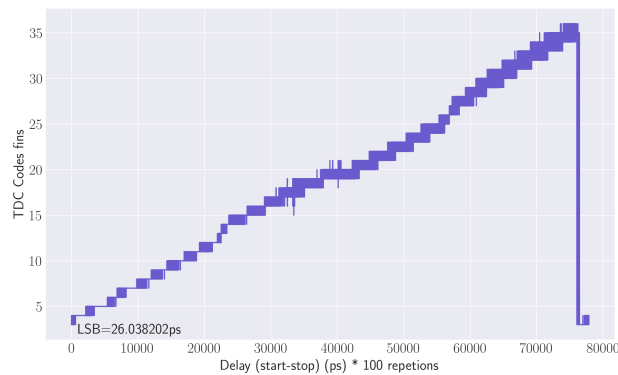


FIGURE 5.14: Codes fins du compteur rapide en sortie du TDC en fonction du temps réel en entrée du TDC : La résolution temporelle $T_{LSB}=80.85ps$



(a) Code fin du compteur rapide en sortie du TDC en fonction du délai temporel réel (Start-Stop) en entrée du TDC : La résolution temporelle mesurée est égale à $T_{LSB} = 51.81 ps$.



(b) Code fin du compteur rapide en sortie du TDC en fonction du délai temporel réel (Start-Stop) en entrée du TDC : la résolution temporelle mesurée est égale à $T_{LSB} = 26.02 ps$ selon la méthode de la moyenne.

FIGURE 5.15: Caractéristique des codes fins du compteur rapide en sortie du TDC en fonction du délai de temps réel variant de 10 ps à 1 ns. Le calcul de la résolution temporelle se fait selon la méthode de la moyenne.

Ainsi, à partir de la caractéristique des codes fins du compteur rapide représentés dans la figure 5.14, il est possible de calculer la résolution du TDC à l'aide de l'équation suivante :

$$T_{LSB} = \frac{\sum_{n=N_{min}}^{N_{max}} \Delta T_{n+1} - \Delta T_n}{N_{max} - N_{min}} \quad (5.1)$$

avec :

- N_{max} : Le code fin maximal du compteur rapide
- N_{min} : Le code fin minimal du compteur rapide
- ΔT_n : le délai réel (Start-Stop) à l'entrée du TDC et qui correspond au code fin n du TDC

En appliquant l'équation 5.1, la résolution temporelle pour l'exemple de la figure 5.14 est égale à : $T_{LSB} = 80ps$.

Nous avons montré dans la section 4.5.8 qu'il est possible de régler la fréquence des oscillateurs lent et rapide à partir des 5 bits de configurations. Avec le même principe, nous modifions la différence de périodes des oscillateurs et donc théoriquement la résolution temporelle du TDC. Pour atteindre de fines résolutions temporelles, il faut régler la différence de périodes des oscillateurs lent et rapide sur des faibles valeurs. Pour vérifier cette étude en mesure, nous configurons la période des oscillateurs pour obtenir les valeurs recherchées et suivant les étapes de mesures citées dans la section 4.5.8, nous reconstruisons la caractéristique en marche d'escalier du TDC. La figure 5.15 représente la caractéristique du TDC pour des faibles résolutions temporelles T_{LSB} . Nous observons dans la figure 5.15 que la forme de la caractéristique du TDC change en fonction de la résolution temporelle :

- La valeur maximum du code fin $N_{max_{fin}}$ augmente avec la résolution. $N_{max_{fin}}=24$ pour l'exemple de la figure 5.15a, et $N_{max_{fin}}=36$ pour l'exemple de la figure 5.15b.
- Nous observons une incertitude dans les codes fins, qui augmente pour les codes fins les plus élevés de la caractéristique.
- Une dégradation de la linéarité de la caractéristique du TDC et qui est due principalement à l'incertitude dans les valeurs des codes fins.

En conclusion, nous pouvons dire que l'incertitude dans les valeurs des codes fins a un impact direct sur la résolution temporelle du TDC et par conséquent sur les performances du TDC. Il est important de déterminer ce niveau d'incertitude que nous allons étudier dans la section suivante.

5.3.2 La précision temporelle σ_{global}

Contrairement aux mesures statistiques où la moyenne est possible, la précision est critique pour les mesures de type (single shot), comme dans les applications de détection à photon unique. La précision temporelle globale σ_{global} du TDC est déterminée par une combinaison du jitter du TDC σ_{TDC} et de l'erreur de quantification σ_{quant} , exprimée comme dans l'équation suivante :

$$\sigma_{global} = \sqrt{\sigma_{TDC}^2 + \sigma_{quant}^2} \quad (5.2)$$

En supposant que le bruit de quantification et le jitter du TDC ont des sources d'erreur non corrélées, σ_{quant} est exprimé dans l'équation 5.3 et σ_{TDC} est exprimé dans l'équation 5.4.

$$\sigma_{quant} = \frac{T_{LSB}}{\sqrt{12}} \quad (5.3)$$

$$\sigma_{TDC} = \sqrt{\sigma_{pre}^2 + \sigma_{Osc}^2 + \sigma_{Coinc}^2} \quad (5.4)$$

Avec σ_{pre} et σ_{Coinc} la précision du circuit de prélogique et du circuit de coïncidence, respectivement. Nous supposons que leurs impacts sont négligeables en comparaison avec le jitter cumulé des oscillateurs σ_{Osc} . Ainsi, on peut dire que le jitter du TDC dépend principalement du jitter cumulé des oscillateurs en anneau (équation 5.5) :

$$\sigma_{TDC} \approx \sigma_{Osc} \quad (5.5)$$

Si on suppose aussi que les oscillateurs en anneaux du TDC lent et rapide ont deux sources de bruit non corrélées, il est possible d'exprimer le carré du jitter des oscillateurs en anneau comme la somme quadratique du jitter de l'oscillateur lent σ_{slow} et celui de l'oscillateur rapide σ_{fast} (équation 5.6) :

$$\sigma_{Osc}^2 = \sigma_{slow}^2 + \sigma_{fast}^2 \quad (5.6)$$

L'étude du bruit des oscillateurs en anneau réalisée dans le chapitre 2 et le chapitre 4 a montré qu'il est possible d'exprimer le jitter de l'oscillateur en anneau σ_{Osc} en fonction de ΔT le temps total d'oscillation sur N périodes T_0 de l'oscillateur comme :

$$\sigma_{Osc} = K \sqrt{\Delta T} = K \sqrt{N \cdot T_0} \quad (5.7)$$

Avec K la constante de bruit définie dans le chapitre 4.

Pour un TDC utilisant les oscillateurs en anneau de type Vernier, le nombre de périodes des oscillateurs en anneaux est donné par la valeur du compteur grossier (lent) N_{gr} et du compteur fin (rapide) N_{fin} . A partir de l'équation 5.7, l'équation 5.6 devient :

$$\sigma_{Osc}^2 = K^2 N_{gr} T_{slow} + K^2 N_{fin} T_{fast} \quad (5.8)$$

En admettant que la valeur du compteur grossier est beaucoup plus petite que celle du compteur fin ($N_{gr} \ll N_{fin}$), le jitter du TDC peut être exprimé comme :

$$\sigma_{TDC} \approx K \sqrt{N_{fin} \cdot T_{fast}} \quad (5.9)$$

Nous observons à partir de l'équation 5.9 que la précision temporelle du TDC est proportionnelle à la valeur du compteur fin. Sa valeur maximale augmente quand la résolution temporelle T_{LSB} est plus faible. Ceci explique les résultats observés dans la figure 5.15 qui montre une incertitude plus importante dans la pointe de la caractéristique du TDC.

Pour mesurer la précision temporelle globale (σ_{global}) du TDC, nous calculons l'écart type σ_{data} des codes fins N_{fin} par rapport à une droite idéale y_{line} par correspondante à une mesure parfaite d'un TDC avec une résolution temporelle infiniment petite comme exprimé dans l'équation 5.10 .

$$\sigma_{data} = \sqrt{\frac{1}{DR_{ver}} \sum_{i=1}^{i=DR_{ver}} (N_{fin}(i) - y_{line}(i))^2} \quad (5.10)$$

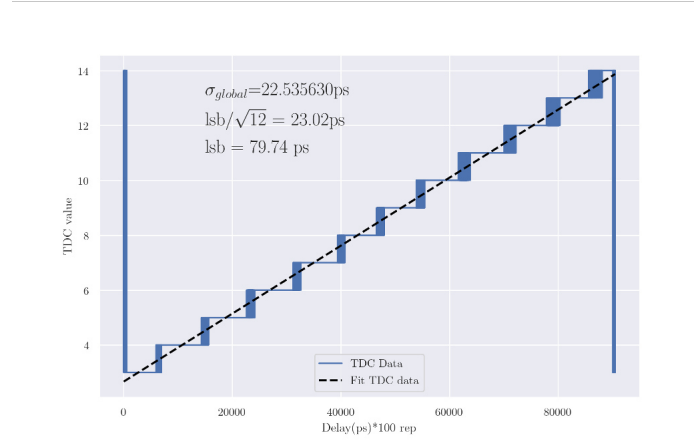


FIGURE 5.16: Précision des codes fins du TDC : méthode de différence par rapport à la ligne droite dans le cas d'une résolution $T_{LSB} = 80ps$ et $\sigma_{global} = 22.53ps$

Nous multiplions l'écart type des codes fins obtenus σ_{data} à la résolution temporelle T_{LSB} pour obtenir la précision temporelle globale σ_{global} du TDC comme illustré dans l'équation 5.11 :

$$\sigma_{global} = \sigma_{data} T_{LSB} \quad (5.11)$$

Il faut aussi noter que le bruit de quantification σ_{quant} est inclus dans le calcul de la précision globale du σ_{global} . Pour en déduire le jitter du TDC il faut soustraire le bruit de quantification de la précision globale. La figure 5.16 illustre la mesure de la précision temporelle du TDC dans le cas d'une résolution temporelle mesurée de $T_{LSB} = 79.74 ps$. Il est en résulte une précision temporelle globale $\sigma_{global} = 22.53ps$. Cette valeur reste proche de l'estimation du bruit de quantification σ_{quant} . En se basant sur l'équation 5.2, on peut dire que le bruit de quantification est la source de bruit majoritaire pour cette résolution temporelle. Les figures 5.17 et 5.18 illustrent la précision temporelle globale mesurée du TDC σ_{global} pour des résolutions temporelles $T_{LSB} = 52ps$ et $T_{LSB} = 22ps$; respectivement. Dans le cas de la figure 5.17 nous observons que la précision temporelle globale mesurée reste proche du calcul du bruit de quantification. Le jitter du TDC reste faible pour cette résolution. Cependant quand la résolution temporelle est réduite à $T_{LSB} = 22ps$ comme dans le cas de la figure 5.18, la précision globale devient largement supérieur au bruit de quantification. On peut dire que le jitter du TDC est plus importante. Pour des faible résolutions, la valeur des codes fins augmente ce qui implique une augmentation du jitter cumulé des oscillateurs en anneaux. Le jitter du TDC dépend du jitter des oscillateurs en anneaux qui augmente avec la valeur des codes fins. Ceci explique les résultats observé dans la figure 5.18. En conclusion, la précision temporelle globale du TDC σ_{global} est limitée soit par le jitter du TDC σ_{TDC} soit par le bruit de quantification σ_{quant} qui fixé par la résolution temporelle T_{LSB} . La figure 5.19 donne la précision globale σ_{global} du TDC en fonction de la résolution temporelle T_{LSB} . Cette figure est importante puisqu'elle permet de déterminer la résolution optimale du TDC. Nous observons à partir de la figure 5.19 que le jitter cumulé des oscillateurs en anneaux du TDC contribue beaucoup dans la dégradation de la précision du TDC, en particulier quand le résolution temporelle est petite ($T_{LSB} < 30ps$). Quand la résolution du TDC augmente ($T_{LSB} > 30ps$), c'est le bruit de quantification qui limite la précision du TDC. La résolution optimale du TDC est celle qui est la moins affectée par le bruit de quantification et par le jitter du TDC à la fois. A partir des résultats de mesures représentés

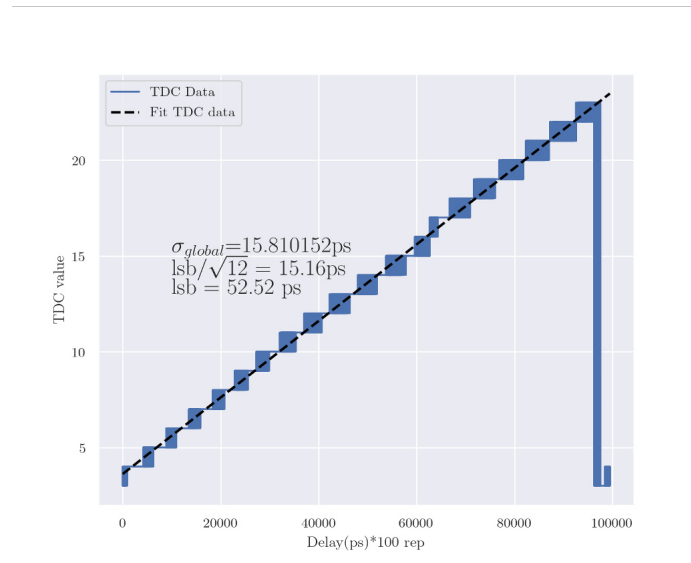


FIGURE 5.17: Précision temporelles des codes fins du TDC pour une résolution temporelle : $T_{LSB} = 52 \text{ ps}$ et $\sigma_{global} = 15.81 \text{ ps}$

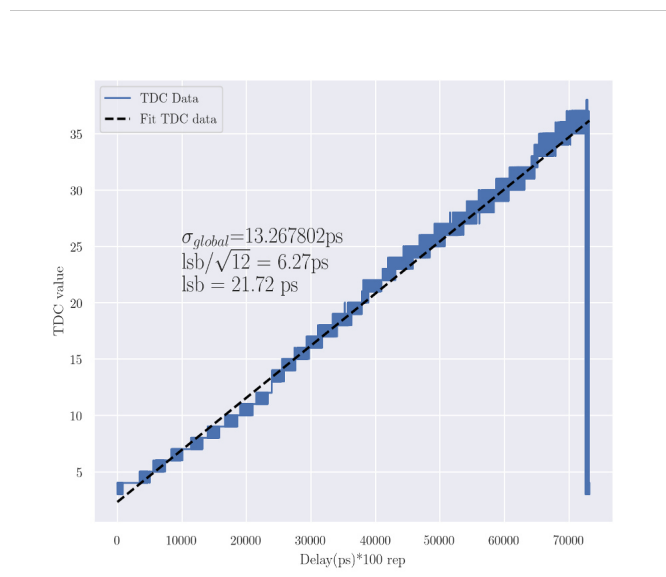


FIGURE 5.18: Précision temporelles des codes fins du TDC pour une résolution temporelle : $T_{LSB} = 22 \text{ ps}$ et $\sigma_{global} = 13.2 \text{ ps}$

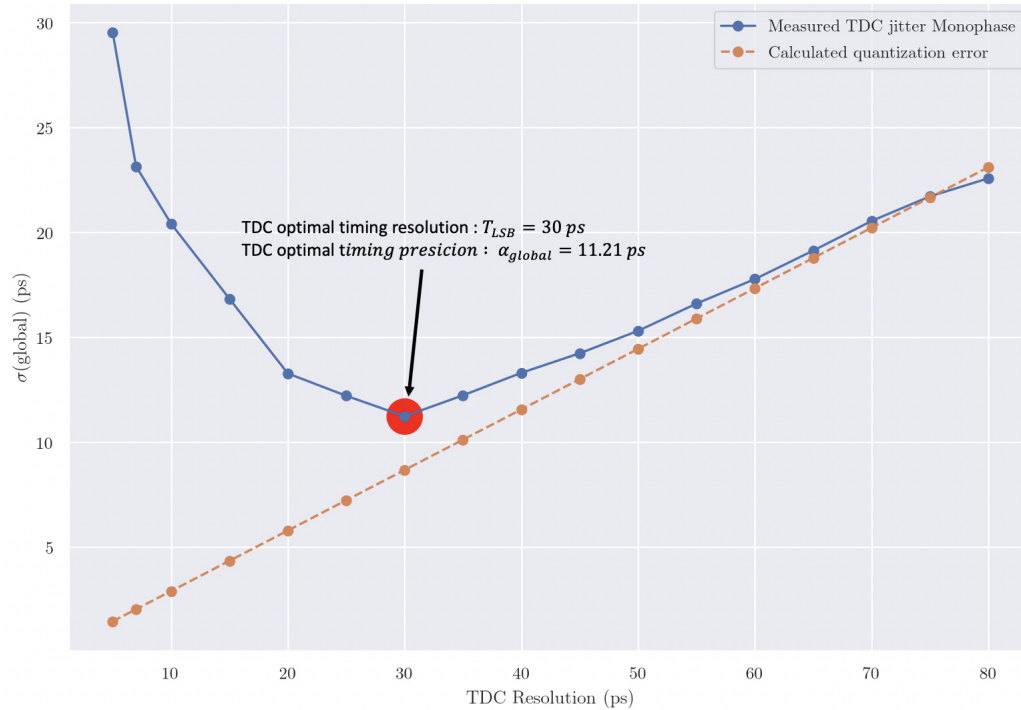


FIGURE 5.19: La précision temporelle du TDC en fonction de la résolution temporelle de quantification. La résolution temporelle optimale est $T_{LSB} = 30\text{ps}$ le précision temporelle $\sigma_{global} = 11.21\text{ ps}$

dans la figure 5.19, la résolution optimale du TDC est $T_{LSB} = 30\text{ ps}$ avec une précision temporelle globale $\sigma_{global} = 11.21\text{ ps}$.

5.3.3 La linéarité (DNL/INL)

La linéarité d'un système est la différence entre les fonctions de transfert réelle et idéale. Quand la fonction de transfert a une forme en marche d'escalier comme dans le cas des convertisseurs TDCs ou ADCs, on retrouve deux type de linéarité :

- La non-linéarité différentielle (DNL)
- La non-linéarité intégrale (INL)

La définition de ces paramètres est donnée dans la section 2.2 du chapitre 2 Si nous étudions la caractéristique du TDC pour une résolution $T_{LSB} = 80.85\text{ps}$ comme dans l'exemple de la figure 5.14. La non-linéarité différentielle (DNL) calculée à partir de l'équation 2.3 est exprimée dans la figure 5.20

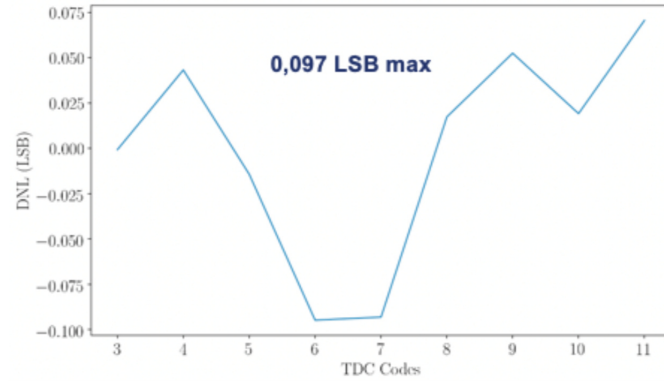


FIGURE 5.20: DNL mesurée pour chaque code de la caractéristique pour une résolution $T_{LSB}=80.85$ ps

La non linéarité différentielle (DNL) est exprimée en multiple de la résolution T_{LSB} . Elle est correcte quand la valeur absolue de son maximum est inférieure à 1 ($|DNL_{max}| < 1$). Les résultats de mesures exprimés dans la figure 5.20 montrent que la DNL du TDC pour ce pas de quantification ($T_{LSB} = 80ps$) est correcte avec un $|DNL_{max}| = 0.0097 < 1$ pour le code N=6.

Nous avons démontré dans les sections précédentes que les performances du TDC sont dégradées par le jitter des oscillateurs en anneaux pour des faibles résolutions temporelles. Si nous calculons la linéarité du TDC pour des résolutions plus fines, nous obtenons les résultats exprimés dans la figure 5.21 et la figure 5.22 :

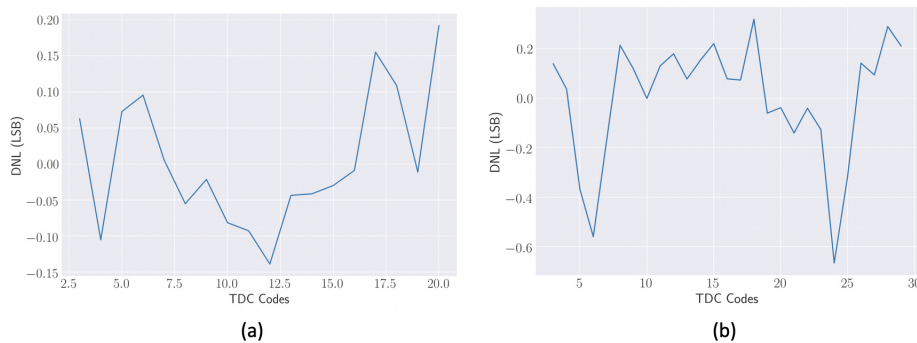


FIGURE 5.21: DNL mesurée pour chaque code de la caractéristique : (a) $T_{LSB}=52.52$ ps et (b) : $T_{LSB}=32.42$ ps

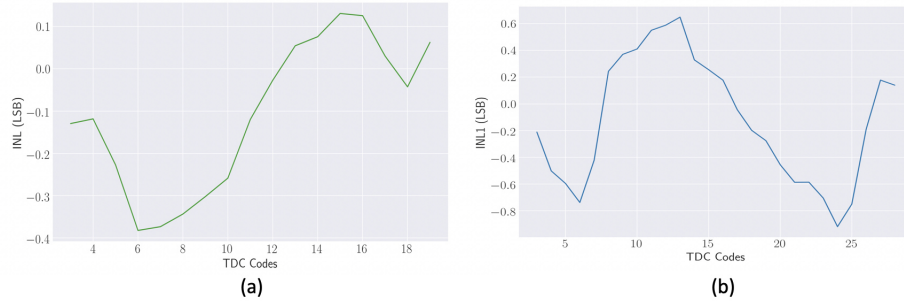


FIGURE 5.22: INL mesurée pour chaque code de la caractéristique : (a) $T_{LSB}=52.52$ ps et (b) : $T_{LSB}=32.42$ ps

Le tableau 5.3 reprend la valeur maximale des paramètres de linéarité DNL_{max} et INL_{max} du TDC pour différents T_{LSB} . Nous observons que la linéarité est fortement perturbée par le jitter cumulé des oscillateurs. Ce dernier est plus important pour les petites valeurs de T_{LSB} . On observe également qu'elle reste inférieure à 1 pour des valeurs de T_{LSB} supérieurs à 32 ps .

Résolution temporelle (ps)	80.85	52.52	32.42	15.45	10.03	5.62
DNL_{max} (LSB)	0.019	0.19	0.66	1.26	1.96	2.86
INL_{max} (LSB)	0.15	0.38	0.92	1.52	2.22	3.12

TABLE 5.3: Linéarité du TDC

5.4 Performances du TDC multiphase

Nous avons présenté dans la section précédente les performances du TDC à partir des données échantillonnées par un seul détecteur de phase de la matrice de détection de phase. Ces performances correspondent à un fonctionnement monophasé du TDC. Dans cette section nous traitons les données de mesures échantillonnées par l'ensemble des détecteurs de phase de la matrice. L'architecture du TDC conçue est présentée dans le chapitre 4 est illustrée dans la figure 5.23. Les signaux en sortie de la matrice de 81 détecteurs de phases échantillonnent les valeurs du compteur grossier(lent) et fin(rapide) qui sont enregistrés dans une mémoire à registres à décalages. Quand la mémoire est complètement écrite, nous réalisons une lecture des données de cette mémoire en série. Ces données sont traitées pour reconstruire les fonctions de transferts des codes fins échantillonnés par la matrice sur une dynamique variable entre [10ps et 1 ns] et avec une statistique de 1000 points par mesure. Nous récupérons dans un premier temps les fonctions de transferts des codes fins échantillonnés par la première ligne de la matrice multiphase. Il s'agit des détecteurs de phase PD_{1_j} avec $j=[1 :9]$ comme illustré dans la figure 5.24. Si nous analysons les données exploitables illustrées dans la figure 5.24, nous observons une non-linéarité dans les fonctions de transfert de certains détecteurs de phase (PD2, PD3, PD6 et PD7). Des tests répétitifs ont été réalisés pour comprendre l'origine de ce problème. Ils ont montré que ces imperfections surviennent d'une façon aléatoire, pour tous les détecteurs de phase mis à part le détecteur de phase PD5. Ce dernier n'était pas touché par ce problème. Nous pensons que le problème serait due à une désynchronisation entre les signaux des détecteurs de phase qui programme la mémoire et le compteur fin. En effet si

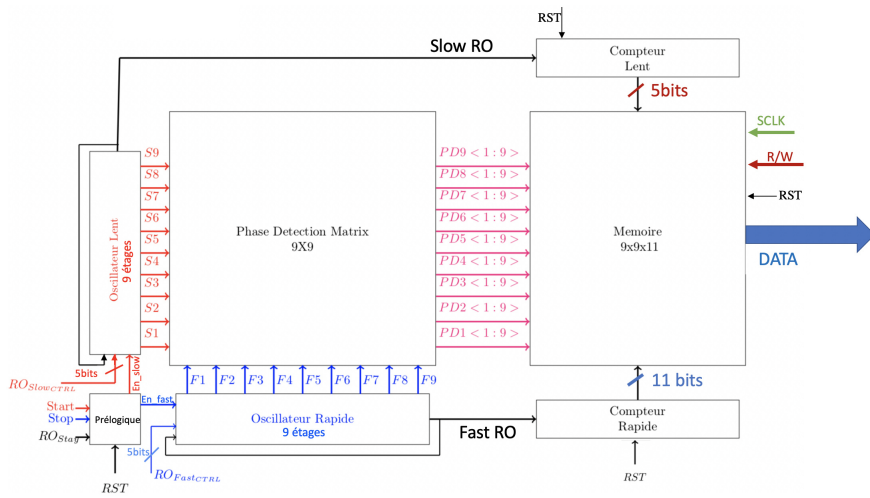


FIGURE 5.23: Schéma bloc du TDC multiphase

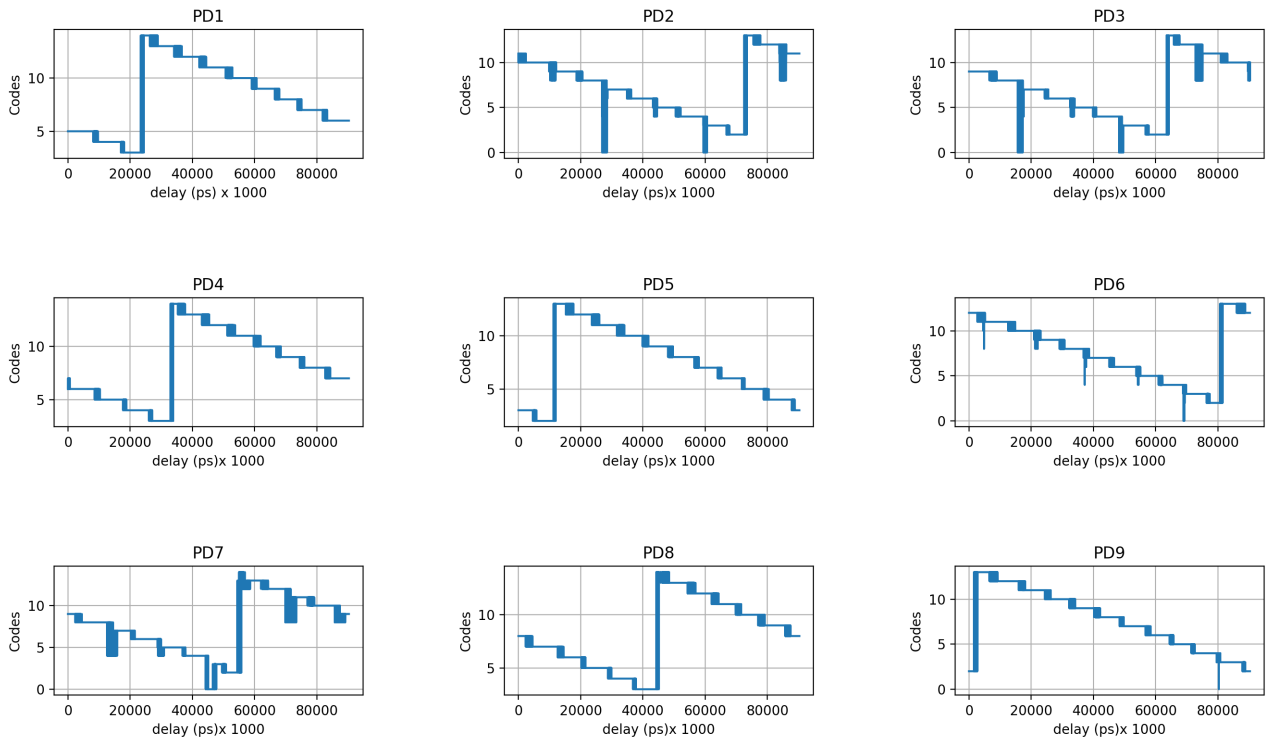


FIGURE 5.24: Codes fins en sortie du TDC multiphase en fonction du délais (Start-Stop) en entrée du TDC pour une valeur $T_{LSB} = 80.85 ps$

l'échantillonnage du compteur survient au moment où le compteur fin est en phase de calcul, les bits du compteur fin enregistré dans la mémoire seraient modifiés. Les détecteurs de phase de la matrice sont contrôlés par les sorties des oscillateurs lent et rapide indépendamment de l'horloge du compteur fin, à l'exception des détecteurs de phase contrôlés par l'horloge 5 qui est l'horloge du compteur fin. Comme le détecteur PD5 est synchrones avec le compteur fin, ceci explique que les données échantillonnées par ce détecteur sont toujours correctes.

5.4.1 Précision du TDC multiphase

Nous avons démontré dans le chapitre 2 ainsi que dans les résultats de simulation du chapitre 3 qu'une architecture multiphase peut réduire le jitter cumulé par rapport à une architecture monophasé. Nous avons démontré que cette méthode permet de réduire le temps mort d'un TDC multiphase $T_{c_{multi}}$ comparé au temps mort d'un TDC monophasé $T_{c_{mono}}$ avec un rapport nb qui est le nombre d'inverseur dans les oscillateurs en anneau (équation 5.12).

$$T_{c_{multi}} = \frac{T_{c_{mono}}}{nb} \quad (5.12)$$

De la même façon il est possible de réduire le jitter cumulé du TDC multiphase σ_{multi} comparé au jitter d'un TDC monophasé σ_{mono} avec le même rapport nb (équation 5.13).

$$\sigma_{multi} = \frac{\sigma_{mono}}{\sqrt{nb}} \quad (5.13)$$

Nous choisissons d'étudier que les données issues des détecteurs de phase PD4, PD5 et PD8 de la figure 5.24. Le choix c'est porté sur ces détecteurs car ils ont des caractéristique propre avec des données correctes. Si on superpose les caractéristique des données des 3 détecteurs de phase comme ce qui est le cas dans la figure 5.25. Nous observons que les codes fins du PD5 sont plus petites que celles du PD4 et PD8 dans un intervalle de délais entre [1ps et 550ps]. Cela veut dire que le PD5 est le premier détecteur de phase établi, suivi par le détecteur de phase PD4 et pour finir celui de PD8. Entre [550ps et 650ps] c'est le détecteur de phase PD8 qui est établi en premier, suivi par PD5 et ensuite PD4. Entre [650ps et 950ps], le détecteur de phase PD4 est établi en premier, suivi de PD8 et pour finir de PD5. Si on récupère à chaque fois les données du détecteur de phase établi en premier, une nouvelle caractéristique du TDC est obtenue en combinant les codes fins des 3 détecteurs de phase cités précédemment. La figure 5.26 illustre la nouvelle caractéristique.

Nous avons expliqué précédemment que le jitter augmente avec la valeur des codes fins. Comme les données récupérées pour reconstruire la nouvelle fonction de transfert multiphase sont celles qui arrivent en premier et qui sont moins affectées par le jitter cumulé, on s'attend à ce que la précision du TDC s'améliore avec cette configuration. Cependant, nous observons que la précision globale du TDC calculé et exprimé dans la figure 5.26 est presque égale à la précision du TDC monophasé exprimée dans la figure 5.16. En effet, comme la résolution temporelle dans ces exemple est de $T_{LSB} = 80ps$, la source de bruit qui intervient le plus dans le calcul de la précision globale σ_{global} est l'incertitude liée à la quantification σ_{quant} . Les améliorations du jitter cumulé sont étouffées dans la mesure de la précision globale. Pour démontrer l'impact de cette méthode sur la précision du TDC multiphase. Nous réalisons ces mêmes mesures pour des résolutions temporelles plus fines. La figure 5.27 montre l'évolution de la précision temporelle globale σ_{global} en fonction de la résolution temporelle T_{LSB}

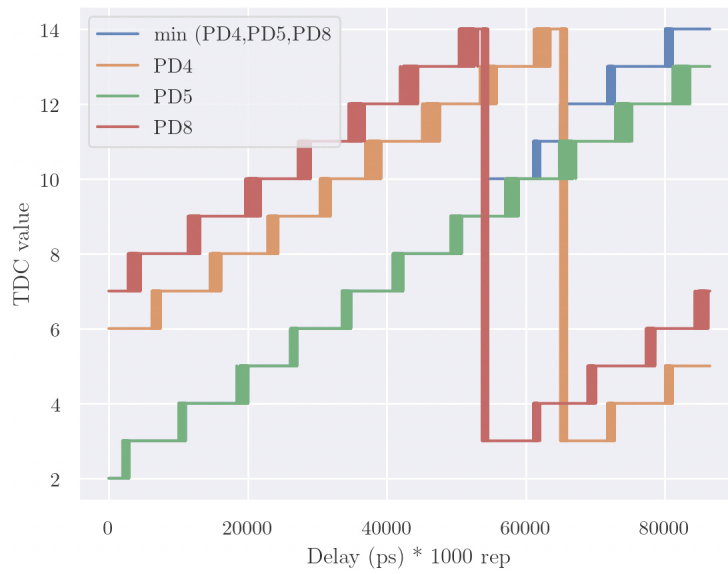


FIGURE 5.25: Caractéristique des données issues de 3 détecteurs de phase : La résolution temporelle est $T_{LSB}=80\text{ps}$

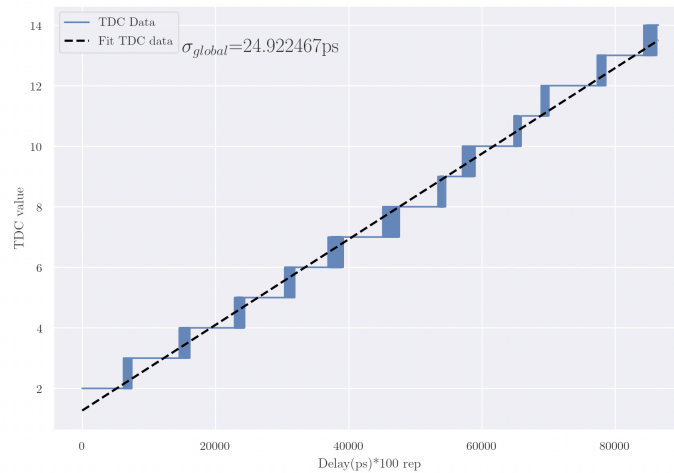


FIGURE 5.26: Nouvelle fonctions de transfert du TDC en combinant 3 détecteurs de phase : $T_{LSB}=80\text{ps}$ et $\sigma_{global}=24.92\text{ps}$

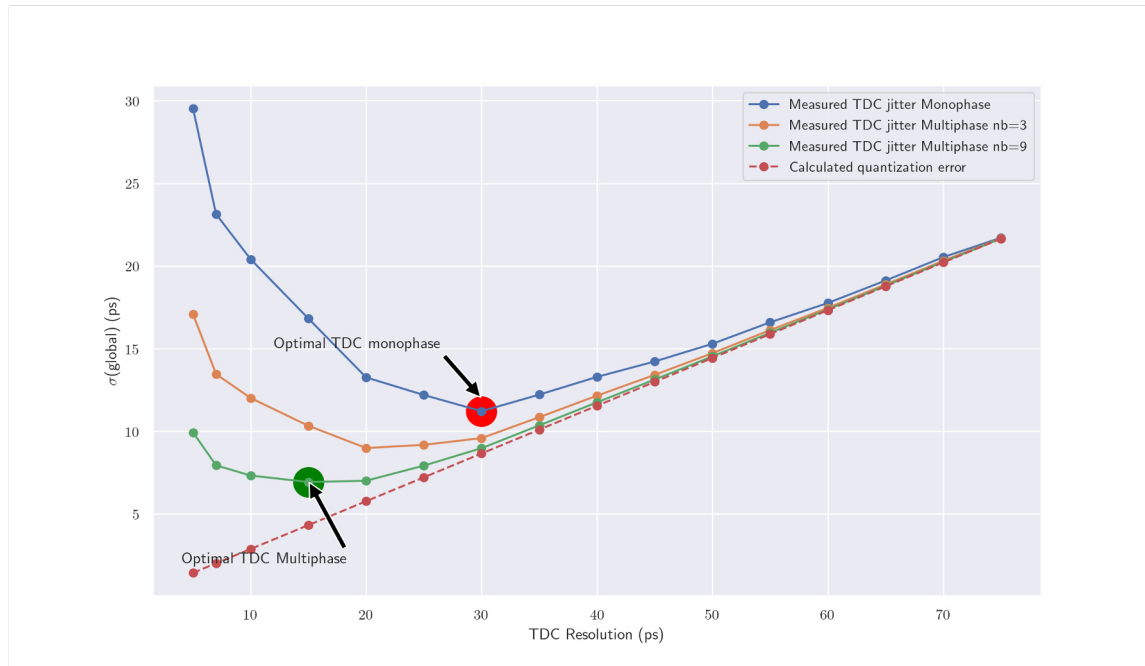


FIGURE 5.27: Précision temporelle du TDC monophase et multiphase en fonction de la résolution à partir des données de 9 détecteurs de phase

Nous observons à partir des résultats de mesures de la figure 5.27 l'amélioration du jitter du TDC en exploitant les données de 3 détecteurs de phase. En particulier pour de fines résolutions ($T_{LSB} < 50ps$) ou le jitter du TDC est plus important. Pour de plus grandes résolutions ($T_{LSB} > 50ps$), la différence de la précision entre le TDC monophase et multiphase devient très faible. C'est le bruit de quantification qui fixe la précision globale du TDC dans ce cas.

Si les données des 9 détecteurs de phase sont exploités, la précision du TDC peut-être améliorée d'avantage. Pour vérifier cette hypothèse, nous réalisons une nouvelle études du TDC cette fois en corrigeant (offline) les données issues de 9 détecteurs de phase. La figure 5.27 montre l'évolution de la précision temporelle du TDC monophase mais aussi multiphase en fonction de la résolution en exploitant les données des 9 détecteurs de phase en sortie du TDC. Nous observons une nette amélioration de la précision globale en exploitant les données des 9 détecteurs de phase (multiphase) par rapport aux données issues d'un seul détecteur de phase (monophase). On peut donc conclure à un nouveau point optimal de fonctionnement du TDC fixé à une résolution $T_{LSB} = 17ps$ avec une précision temporelle globale fixée à $\sigma_{globale} = 7.02 ps$. En conclusion, après correction des données de mesures en multiphase nous pouvons conclure que le TDC multiphase améliore la précision du TDC en réduisant l'impact du jitter cumulé par rapport à un TDC monophase pour des fines résolutions temporelle ($T_{LSB} < 50ps$). Cependant, cette méthode n'améliore pas la résolution à grande échelles comme elle a été démontrée dans l'étude du chapitre 3 et les résultats de simulation du chapitre 4. En effet, pour retrouver les mêmes résultats que l'étude théorique, il faut exploiter tous les données de la matrice de détection de phase. Cependant à cause d'un dysfonctionnement au niveau de la puce nous n'avons pas pu récupérer toutes les données de la matrice. Les causes de ces erreurs seront discutées dans le chapitre 6 et des améliorations sont proposées pour corriger ces erreurs.

5.4.2 Amélioration de la résolution temporelle

La méthode présentée dans la section précédente exploite les données du TDC multiphase en reconstruisant une nouvelle caractéristique à partir des premiers codes fins qui sont moins affectés par le jitter cumulé. Cette technique a montré qu'il est possible d'améliorer les performances du TDC multiphase à petite échelle quand la résolution $T_{LSB} < 50ps$. Cependant nous n'observons pas d'amélioration sur les performances du TDC à grande échelle. Nous proposons une nouvelle méthode qui consiste à exploiter les codes fins de tous les détecteurs de phase disponibles. La figure 5.28 illustre les caractéristiques des codes fins échantillonnés par les détecteurs de phase PD_4 , PD_5 et PD_8 de la première ligne de la matrice.

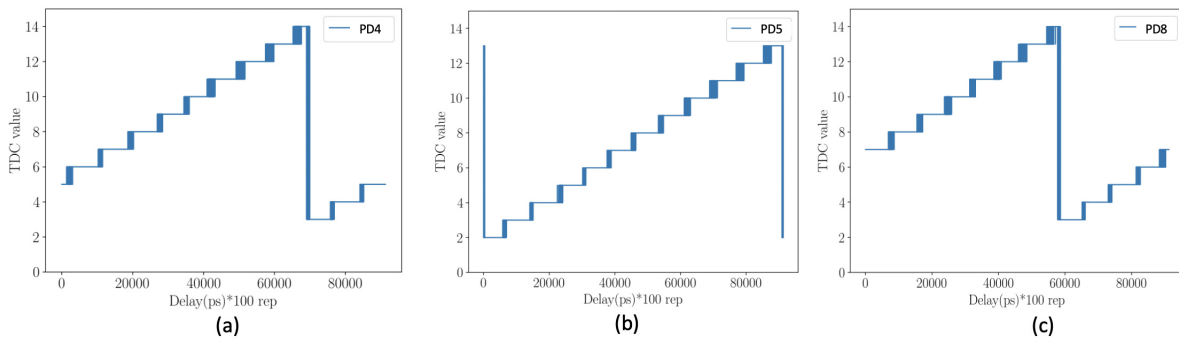


FIGURE 5.28: Caractéristique des codes fins du TDC échantillonnés par 3 phases de détecteurs avec une résolution temporelle $T_{LSB} = 72ps$ et précision globale mesurée $\sigma_{globale} = 18.65 ps$: (a) détecteur de phase PD_4 (b) détecteur de phase PD_5 (c) détecteur de phase PD_8

Dans cette nouvelle méthode nous regroupons l'ensemble des codes fins des 3 détecteurs de phases illustré dans la figure 5.28. Nous en déduisons une nouvelle caractéristique illustrée dans la figure 5.29

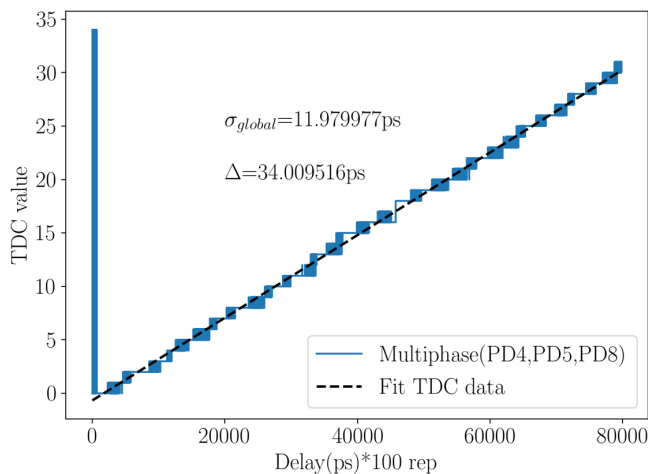


FIGURE 5.29: Nouvelle caractéristique avec l'ensemble des codes fins échantillonnés par 3 phases de détecteurs : La résolution multiphase mesurée $\Delta = 34.09ps$ et la précision globale mesurée donne $\sigma_{globale} = 11.67 ps$

Nous observons à partir des résultats de mesures de la figure 5.29 que la nouvelle caractéristique

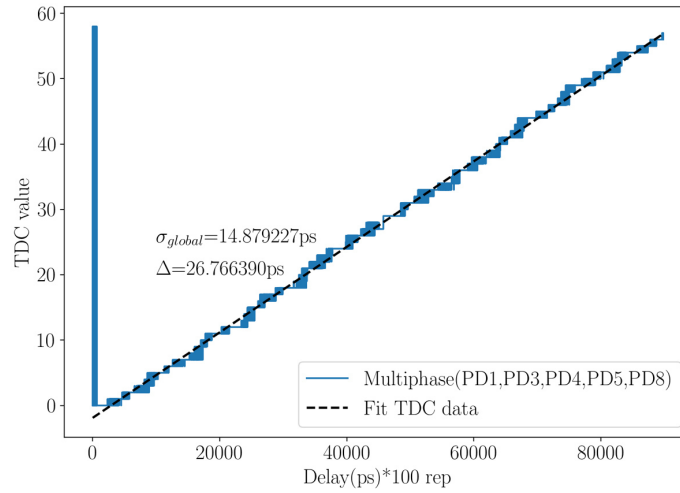


FIGURE 5.30: Nouvelle caractéristique avec l'ensemble des codes fins échantillonné par 5 phase de détecteurs :La résolution multiphase mesurée $\Delta = 26.76ps$ et la précision globale mesurée donne $\sigma_{globale}=14.87$ ps

	Δ	$\sigma_{globale}$	$\frac{T_{LSB}}{\Delta}$	$\frac{\sigma_{globale}(mono)}{\sigma_{globale}(multi)}$	nb	\sqrt{nb}
PD5	72.51 ps	18.65 ps	1	1	1	1
PD4,PD5,PD8	34 ps	11.97 ps	2.13	1.55	3	1.73
PD1, PD3,PD4, PD5, PD8	26.76 ps	14.87 ps	2.7	1.25	5	2.23
9 détecteurs de phases	10.94 ps	9.97 ps	6.29	1.9	9	3

TABLE 5.4: Comparaison des performances du TDC multiphase

de TDC multiphase (échantillonné par 3 détecteurs de phases) a des largeurs de paliers plus petites que dans le cas du TDC monophasé (échantillonné par 1 détecteur de phase). La largeur de ces paliers mesurées selon la méthode citée dans la section 5.3.1 est : $\Delta = 34.09ps$. Nous remarquons que cette valeur est 2.11 fois plus petite que la résolution temporelle $T_{LSB} = 72ps$. La précision temporelle globale mesurée avec cette nouvelle caractéristique est $\sigma_{globale}=11.76$ ps. Nous observons qu'elle est 1.55 fois plus faible que la précision globale (monophasé) mesurée dans l'exemple de la figure 5.28. Nous réalisons une nouvelle mesure en regroupons l'ensemble des codes fins de 5 détecteurs ($PD_1, PD_3, PD_4, PD_5, PD_8$). Nous en déduisons une nouvelle caractéristique illustrée dans la figure 5.30. Nous observons cette fois-ci à partir des résultats de mesures de la figure 5.30 que la largeur des paliers mesurés est $\Delta = 26.76ps$ soit 2.69 fois plus petite que la résolution temporelle monophasé $T_{LSB} = 72ps$. La précision temporelle globale mesurée avec cette nouvelle caractéristique est $\sigma_{globale}=14.87$ ps. Nous observons qu'elle est 1.25 fois plus faible que la précision globale (monophasé) mesurée dans l'exemple de la figure 5.28. Si on compare avec l'étude théorique réalisé dans la section 3.4.3, l'association de 5 détecteurs de phases doit diviser la résolution temporelle T_{LSB} par 5 et la précision temporelle par $\sqrt{5}$. *Cen'est pas ce que nous avons mesuré dans l'exemple de la figure 5.30. En effet pour que cette théorie soit correcte il faut que*

Le tableau ?? donne une comparaison des performances de mesures du TDC avec l'association des données d'un seul et de plusieurs détecteurs de phases. On retrouve la valeur mesurée de la largeur des paliers

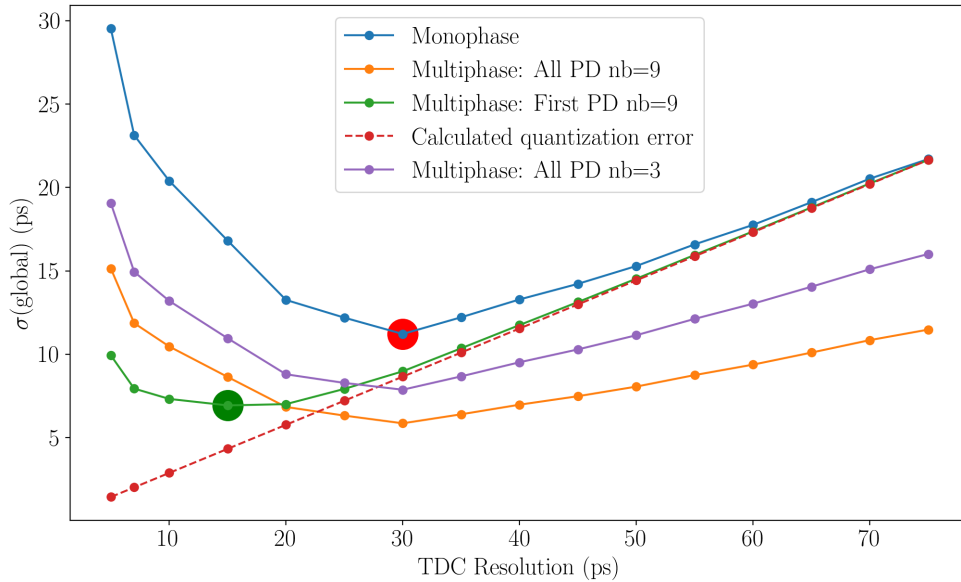


FIGURE 5.31: Précision temporelle du TDC monophasé et multiphasé en fonction de la résolution à partir des données de 9 détecteurs de phase : comparaison de la méthode multiphasé "First PD" et multiphasé "All PD"

Δ (résolution multiphasé) mais aussi la précision globale mesurée $\sigma_{globale}$. Le rapport $\frac{T_{LSB}}{\Delta}$ nous donne l'amélioration obtenue sur la résolution temporelle (pas de quantification), et le rapport $\frac{\sigma_{globale}(mono)}{\sigma_{globale}(multi)}$ nous donne l'amélioration obtenue sur la précision de mesure du TDC. Nous avons montré dans la section 3.4 du chapitre 3 que le TDC multiphasé réduit le pas de quantification par nb , le nombre d'étage de l'oscillateur en anneau. Ce nombre correspond aussi au nombre de détecteurs de phase exploités dans la mesure du TDC. En se basant sur les résultats de mesures du tableau ??, nous observons que l'association de 9 détecteurs de phases permet de diviser la résolution temporelle de 6.29 par rapport à la résolution temporelle monophasé. Cette amélioration reste plus faible que l'amélioration attendue de 9. La différence est due à la position des détecteurs de phases utilisée dans la mesure du TDC. En effet, la mesure multiphasé est réalisée à partir des données échantillonnées par les détecteurs de phases de la première ligne de la matrice. Cependant pour avoir une bonne reconstruction de la caractéristique multiphasé, il faut respecter un ordre en diagonale de la matrice comme cité dans l'étude théorique de la section 3.3.3 et démontré dans les résultats de simulation de la section 4.8.1. La précision globale est aussi influencée par la position des détecteurs de phases comme illustré dans la figure . Ainsi avec l'association de 9 détecteurs de phases, la précision du TDC multiphasé est améliorée de 1.9 par rapport à la précision du TDC monophasé. Cette amélioration reste cependant plus faible que celle attendu de $\sqrt{9}$.

La figure 5.31 illustre l'évolution de la précision globale $\sigma_{globale}$ mesurée en fonction de la résolution temporelle T_{LSB} du TDC monophasé mais aussi multiphasé. Les données en multiphasé sont exploitées selon les deux méthodes citées précédemment. Nous retrouvons l'évolution de la précision avec la méthode "First PD". Cette méthode améliore la précision $\sigma_{globale}$ en réduisant l'impact du jitter cumulé pour de faible résolution temporelle $T_{LSB} < 20ps$. La méthode " All PD" améliore la précision avec un pas de quantification (Δ) plus petit que la résolution temporelle T_{LSB} . Ainsi elle améliore la précision du TDC en réduisant l'erreur de

quantification pour des résolution temporelle $T_{LSB} > 20ps$. Pour des résolutions $T_{LSB} < 20ps$, le jitter cumulé devient dominant par rapport à l'erreur de quantification et par conséquent nous perdons les avantages de cette méthode à petites échelles de mesures.

5.4.3 Bilan

Dans ce chapitre nous avons proposé un TDC avec une architecture en oscillateur en anneau de type Vernier multiphase. Nous avons démontré que cette architecture améliore la mesure du temps par rapport à une architecture monophasé. Il réduit aussi les sources d'erreur présentes dans ce type de circuit qui sont le jitter cumulé et l'erreur de quantification.

Ses performances sont mises face à l'état de l'art dans le tableau 5.5

	Proposé	[50]	[35]	[8]
Technologie (nm)	130	130	65	130
Résolution temporelle (LSB) (ps)	[17-80]	1	15	31
Précision temporelle (ps rms)	[7.02-9.97]	-	6.9	10
Consommation (mW)	3.2	2.4	0.160	1

TABLE 5.5: Comparaison à l'état de l'art

A notre connaissance, le TDC que nous proposons est le seul a pouvoir compenser à la fois le jitter cumulé des oscillateurs en anneau et aussi l'erreur de quantification. La résolution temporelle la plus faible atteinte est de 17 ps. Comme nous n'avons pas pu exploiter toutes les données multiphase de la matrice de détection de phase, nous n'avons pas pu pousser la mesure pour la comparer avec les résultats de simulations données dans le chapitre 4. Des améliorations sont a prévoir pour atteindre les meilleurs performances de l'architecture VRO multiphase proposée.

Chapitre 6

Conclusion et Discussion

Dans ce travail, nous avons étudié le problème de la construction de convertisseurs temps-numérique TDC intégrés à très haute résolution. Notre objectif principal était de démontrer la capacité d'effectuer des mesures de temps dans un seul circuit à faible coût produit dans une technologie CMOS commerciale standard de type 130 nm. Plusieurs architectures ont été analysées, dont une, basé sur les oscillateurs en anneau de type Verdier, a été sélectionnée pour une analyse plus détaillée. Cela nous a conduits à la construction d'un circuit intégré de démonstration. De plus, une nouvelle architecture multiphase à haute résolution a été proposée et l'analyse réalisée a confirmé une bonne résolution temporelle.

6.1 Résumé des résultats

6.1.1 Le vernier ring oscillateur TDC monophasé

L'étude de l'architecture Vernier d'oscillateurs en anneau de type monophasé a été réalisée. Dans cette étude, nous avons analysé :

- Le principe du fonctionnement ainsi que les performances de cette architecture ;
- Une étude détaillée sur les oscillateurs en anneau ;
- Les origines du jitter dans un convertisseur basé sur un oscillateur en anneau ;
- Nous avons montré l'effet du jitter des cellules de retard et comment il s'accumule avec le nombre de tours de l'oscillateur en anneau ;
- Nous avons aussi effectué une étude détaillée du facteur de bruit K qui intervient dans l'expression du jitter de l'oscillateur en anneau.

Les résultats de l'analyse effectuée ont conduit à l'intégration d'améliorations visant à optimiser les performances du TDC VRO monophasé :

- Le choix d'un inverseur pseudo-différentiel pour réduire le jitter des oscillateurs en anneau. En effet, comme nous avons démontré dans le chapitre 3, l'architecture pseudo-différentielle permet de réduire le jitter de la porte et aussi un certain rejet du couplage des bruits de l'alimentation et du substrat ;
- L'optimisation des dimensions des inverseurs pseudo-différentiels pour réduire le facteur de bruit K et ainsi le jitter des portes.

6.1.2 La solution multiphase

Nous avons ensuite proposé une nouvelle technique pour améliorer les performances du TDC de type Vernier simple. Cette solution est inspirée du TDC Vernier de 2 dimensions mais que nous avons adaptée à des oscillateurs en anneau. Dans cette étude, nous avons réalisé :

- Un modèle théorique avec des équations pour décrire le fonctionnement du TDC d'oscillateur en anneau de type multiphase ;
- A partir de ce modèle nous avons démontré que la résolution temporelle d'un TDC Vernier multiphase est meilleure qu'un TDC Vernier de type monophasé ;
- Nous avons aussi démontré que le temps mort est plus court dans une architecture multiphase. Ceci améliore la précision du TDC puisque la réduction du temps mort conduit à la réduction du jitter cumulé des oscillateurs en anneau ;
- Les résultats de ce modèle ont été vérifiés en simulation avec la conception d'un TDC d'oscillateur en anneau de type Vernier multiphase dans une technologie CMOS de 130 nm.

En utilisant les outils d'analyse et de simulation, nous avons pu atteindre les objectifs de performance du circuit exprimés dans le tableau 6.1. Ainsi avec une seule phase du TDC, la résolution temporelle simulée est de 10.88ps et la précision est inférieure à 2 ps. En exploitant toutes les phases du TDC, il est possible d'atteindre une résolution temporelle de 1.2ps avec des précisions inférieures à 1 ps.

	T_{LSB} (ps)	σ_{osc} (ps rms)
TDC monophasé	10.88	< 2
TDC multiphase	1.2	< 1

TABLE 6.1: Performances en simulation du TDC

6.1.3 Méthode de caractérisation et de mesure du TDC multiphase

Sur la base de ces études, nous avons construit un prototype de TDC pour vérifier les résultats de simulation obtenus et les comparer à des résultats réels sur un silicium. Le TDC multiphase a été construit dans une technologie CMOS standard de 130 nm. Nous avons développé une méthodologie cohérente pour caractériser les performances du convertisseur T / N. Avec cette méthodologie, nous avons pu évaluer les caractéristiques statiques et dynamiques du convertisseur :

- Définition des méthodes cohérentes de mesures des performances du TDC. Ces méthodes utilisées dans le cas des convertisseurs ADC, ont bien été adaptées à l'environnement TDC ;
- La création d'une configuration de test compréhensible et complète. Nous avons développé une configuration de test automatisée capable d'effectuer des balayages temporels très linéaires sur une plage dynamique étendue. Cette configuration est critique pour l'évaluation des caractéristiques dynamiques du convertisseur que nous avons développé.

6.1.4 Performances de mesures du TDC

Le tableau récapitule les performances mesurées.

	T_{LSB} (ps)	$\sigma_{globale}$ (ps rms)
Monophase	[30-80]	[11.21-23.09]
Multiphase (9 phases)	[17-80]	[7.02 9.97]

TABLE 6.2: Récapitulatif des performances mesurées du TDC

- Dans la configuration monophase, le TDC possède une résolution temporelle 30 ps comparative-ment aux 10.88 ps simulées. En effet comme nous avons démontré dans le chapitre 3, la précision ainsi que la linéarité du TDC sont fortement perturbées par le jitter et par les variations de procédé et de température quand la résolution temporelle est inférieure à 30p. Les précautions prises en design pour la réduction des sources d’erreurs du jitter ne sont pas suffisantes pour réduire ce bruit et donc atteindre de plus faibles résolutions. Il faut intégrer une solution avec une calibration en interne des oscillateurs afin de réduire les variations PVT et le mismatch ;
- Avec la solution multiphase et en exploitant les données de 9 phases détecteurs, nous avons observé une amélioration du jitter cumulé et de la linéarité du TDC. Ainsi il est possible d’atteindre des résolutions temporelles de 17 ps comparées au 30 ps mesurées en monophase. Cependant, nous n’avons pas pu exploiter l’ensemble des données de la matrice [9X9] de détection de phase. Il s’agit d’un problème de dysfonctionnement au niveau de la mémoire à registre à décalage. Cette dernière enregistre les données des compteurs échantillonnées par la matrice de détection de phase. Seules les 9 données échantillonnées par la première ligne de la matrice sont exploitables. Le reste des données de la mémoire sont nuls. On suppose que c’est un problème de layout au niveau de l’horloge de lecture de la mémoire. En effet, le routage de l’horloge de lecture de la mémoire est fournie depuis l’extérieure de la puce. Elle attaque en premier l’ensemble de 9 registres à décalages qui sont échantillonnés par la première ligne de la matrice des phases détecteurs. Le routage de cette horloge sur ce premier registre engendre des capacités de couplages parasites. Ainsi la charge capacitif vue par l’horloge de lecture augmente avec ce couplage capacitif. Ces capacités s’additionnent pour la seconde unité de registres à décalages échantillonnée par la deuxième ligne de la matrice, et ainsi de suite pour tout le restes des unités de la mémoire. En conclusion, on peut penser que l’horloge de lecture de la première unité des registres à décalages échantillonné par le première ligne de la matrice est bien établie, et qu’elle s’atténue pour le reste de la mémoire. Ce qui peut expliquer que la lecture des données est possible pour la première unité mais qu’elle n’est pas établie pour le reste de la mémoire.

En conclusion, pour des raisons de dysfonctionnement au niveau de la mémoire, nous n’avons pas pu exploiter toutes les données du TDC multiphase en mesure. Ainsi nous n’avons pas pu démontrer si le TDC arrive a atteindre la résolution temporelle souhaitée et simulé de 1 ps lors de la mesure. Cependant, à partir des 9 données de mesures disponibles, nous observons deux avantages importants de l’architecture multiphase qui sont :

- L’amélioration de précision temporelle du TDC en réduisant le temps mort et par conséquent la réduction du jitter cumulé des oscillateurs en anneau pour des résolutions temporelles \leq 30 ps ;
- L’amélioration de la précision temporelle du TDC en réduisant le bruit de quantification pour des résolutions temporelles \leq 30 ps

6.2 Améliorations et recommandations

L'objectif principal du travail décrit dans cette thèse était de démontrer la possibilité d'utiliser les technologies CMOS numériques standard pour construire des systèmes de mesure du temps intégrés, à haute résolution. Après avoir étudié cette possibilité, l'architecture d'oscillateur en anneau de type Vernier multiphase a montré au niveau de la simulation qu'il est possible d'atteindre de très hautes résolutions en utilisant une technologie CMOS standard de 130 nm. Cependant, ces performances n'ont pas pu être démontrées lors des mesures effectuées sur le circuit réalisé. Il sera nécessaire d'intégrer quelques améliorations au circuit pour pouvoir exploiter au mieux l'architecture proposée et atteindre ainsi les résolutions de 1 ps souhaitées.

6.2.1 Amélioration du design

La complexité de la structure multiphase réside principalement dans la gestion des signaux de détection de phase issus de la matrice [9x9]. Pour minimiser les erreurs à ce niveau il faut :

- Synchroniser les 81 signaux de la matrice de détection de phase avec l'horloge des compteurs lent et rapide ;
- Reprendre la structure de la mémoire en langage VHDL. La structure de la mémoire registres à décalages utilisé dans cette version de TDC présente des problèmes de synchronisation qui sont compliquer a régler avec tout les sorties de la matrice 9x9. L'utilisation d'une mémoire numérique va permettre de synchroniser l'étape d'écriture et de lecture de la mémoire, mais aussi de vérifier en simulations les éventuelles problèmes de synchronisation et de timing.
- Ajouter une solution digitale avec des séquenceurs numériques qui contrôlent toutes les étapes de fonctionnement du TDC. En effet, les signaux de configuration du TDC sont contrôlés dans le prototype à l'extérieur de la puce. Avec un système numérique qui configure le TDC en interne avec un horloge globale de synchronisation permet de réduire les sources d'erreurs à ce niveau.
- Diminuer le temps de prise de décisions du circuit de coïncidence. Ceci évitera des erreurs sur les codes fins et assurera l'exactitude de tous les codes du TDC ;
- Contrôler le signal de remise à zéro des bascules de la matrice de détection de phase avec un système qui permet d'assurer une remise à zéro générale de toutes les bascules quand la puce est mise en tension. Cette solution a pour but d'éviter que les bascules restent bloquées dans un point d'équilibre '0' ou '1' au démarrage de l'oscillateur.

D'autres améliorations sont aussi à appliquer pour réduire les sources de bruit au niveau des oscillateurs et les variations de procédés :

- Utiliser des oscillateurs lents et rapides complètement identiques en schéma et aussi en layout et ajuster leur période grâce à un ADC sur chacun d'eux. Ceci permettra une résolution ajustable avec les variations de procédés ;
- Ajouter un filtre actif passe-bas sur les tensions d'alimentation du TDC. Ceci réduira le bruit causé par les oscillateurs sur le digital et les autres tensions de contrôle du TDC.

6.2.2 Améliorations en layout

Le layout de la puce est une étape aussi importante que le design. La mise en place des différents circuit du TDC ainsi que le routage implique des parasites. Les parasites sont les capacités pa-

parasites, les inductances, les jonctions PN et les bipolaires parasites. . Ainsi il faut intégrer les améliorations suivantes qui sont importantes pour la conception du TDC à haute précision :

- Optimisation du layout des oscillateurs en anneaux. Réduire la surface entre chaque étage de l'oscillateur et aussi minimiser la longueur des fils de connexion. S'assurer que layout des deux oscillateurs soit le plus identique possible et aussi équilibrer la charge en sortie de l'oscillateur lent et rapide.
- Minimiser le couplage capacitif entre les signaux de départ et d'arrêt. Ceci peut être réalisé en espaçant les signaux, ou encore en les blindant. La linéarité en sera améliorée ;
- Optimiser le layout de la matrice de détection de phase en minimisant au maximum le couplage entre les horloges vues en entrée des 81 détecteurs de phases.
- Changer le sens du layout de l'horloge des compteurs du MSB vers le LSB pour éviter des problèmes de synchronisation entre l'horloge des compteurs et les changements de bits internes des compteurs.

Bibliographie

- [1] *The Designer's Guide to Jitter in Ring Oscillators*. 2009.
- [2] *The Designer's Guide to Jitter in Ring Oscillators*. 2009.
- [3] A. A. Abidi. Phase noise and jitter in CMOS ring oscillators. In *IEEE Journal of Solid-State Circuits*, 2006.
- [4] P. Andreani and S. Mattisson. On the use of MOS varactors in RF VCO's. In *Phase-Locking in High-Performance Systems : From Devices to Architectures*. 2003.
- [5] E. J. Baghdady, R. N. Lincoln, and B. D. Nelin. Short-Term Frequency Stability : Characterization, Theory, and Measurement. *Proceedings of the IEEE*, 1965.
- [6] D. Barney and S. Cittolin. CMS Detector Drawings. 2000.
- [7] S. Bayat, H. Rezaee-Dehsorkh, and N. Ravanshad. Low-power Time-to-Digital Converter Based on Vernier Gated-Ring-Oscillator. In *26th Iranian Conference on Electrical Engineering, ICEE 2018*, 2018.
- [8] Z. Cheng, M. J. Deen, and H. Peng. A Low-Power Gateable Vernier Ring Oscillator Time-to-Digital Converter for Biomedical Imaging Applications. *IEEE Transactions on Biomedical Circuits and Systems*, 10(2) :445–454, apr 2016.
- [9] K. C. Choi, S. W. Lee, B. C. Lee, and W. Y. Choi. A time-to-digital converter based on a multiphase reference clock and a binary counter with a novel sampling error corrector. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 2012.
- [10] A. Collaboration. Technical Design Report for the ATLAS Inner Tracker Pixel Detector. 2017.
- [11] P. Dudek, S. Szczepański, and J. V. Hatfield. A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line. *IEEE Journal of Solid-State Circuits*, 2000.
- [12] J. Fleury, S. Callier, C. De La Taille, N. Seguin, D. Thienpont, F. Dulucq, S. Ahmad, and G. Martin. Petiroc, a new front-end ASIC for time of flight application. In *IEEE Nuclear Science Symposium Conference Record*, 2013.
- [13] W. G. Garrett and J. B. Forney. A 50 MHz Phase- and Frequency-Locked Loop. *IEEE Journal of Solid-State Circuits*, 1979.
- [14] X. Gui and M. M. Green. Design of CML ring oscillators with low supply sensitivity. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 2013.
- [15] A. Hajimiri, S. Limotyrakis, and T. H. Lee. Jitter and phase noise in ring oscillators. *IEEE Journal of Solid-State Circuits*, 1999.

- [16] V. B. R. H. M. P. J. K. M. M. A. T. N. Harpreet Singh, Yashoda Parmar and M. U. Sharma. Sensitivity Enhancement Studies of SAW Vapor Sensor by Oscillator Tuning Using Varactor Diode. *IEEE SENSORS JOURNAL*, 2017.
- [17] E. Hegazi and A. A. Abidi. Varactor characteristics, oscillator tuning curves, and AM-FM conversion. *IEEE Journal of Solid-State Circuits*, 2003.
- [18] S. Henzler. *Time-to-Digital Converters*. 2010.
- [19] J. Jalil, M. B. I. Reaz, and M. A. M. Ali. CMOS Differential ring oscillators : Review of the performance of CMOS rings in communication systems. *IEEE Microwave Magazine*, 2013.
- [20] S. L. Jang, S. Jain, J. F. Huang, and C. W. Hsue. DC-bias and oscillation-amplitude dependent frequency-tuning characteristics of varactor-switching dual-band CMOS VCOs. *Microwave and Optical Technology Letters*, 2013.
- [21] M. Jurgo and R. Navickas. Synthesizable 2D Vernier TDC based on gated ring oscillators. In *Informacije MIDEEM*, 2017.
- [22] F. Lagard. High rate, fast timing Glass RPC for the high CMS muon detectors. *JINST*, 2016.
- [23] W. Liu, W. Li, P. Ren, C. Lin, S. Zhang, and Y. Wang. A PVT tolerant 10 to 500 MHz all-digital phase-locked loop with coupled TDC and DCO. *IEEE Journal of Solid-State Circuits*, 2010.
- [24] P. Lu, A. Liscidini, and P. Andreani. A 3.6 mW, 90 nm CMOS gated-vernier time-to-digital converter with an equivalent resolution of 3.2 ps. *IEEE Journal of Solid-State Circuits*, 2012.
- [25] I. Malass, W. Uhring, J. P. L. Normand, N. Dumas, and F. Dadouche. 10-ps Resolution hybrid time to digital converter in a 0.18 μm CMOS technology. In *2014 IEEE 12th International New Circuits and Systems Conference, NEWCAS 2014*, 2014.
- [26] G. S. May and C. J. Spanos. *Fundamentals of Semiconductor Manufacturing and Process Control*. 2006.
- [27] A. Mäntyniemi, T. Rahkonen, and J. Kostamovaara. Integrated digital CMOS time-to-digital converter with sub-gate-delay resolution. *Analog Integrated Circuits and Signal Processing*, 2000.
- [28] J. A. McNeill. Jitter in ring oscillators. In *Phase-Locking in High-Performance Systems : From Devices to Architectures*. 2003.
- [29] K. Nose, M. Kajita, and M. Mizuno. A 1-ps resolution jitter-measurement macro using interpolated jitter oversampling. In *IEEE Journal of Solid-State Circuits*, 2006.
- [30] P. L. S. M. R. O. J. P. Oliver Sim Brüning, Paul Collier and P. Proudlock. LHC Design Report. CERN Yellow Reports : Monographs. 2004.
- [31] Orlandi. Silicon Photonics - Fundamentals and Devices (Deen, M.J. and Basu, P.K.; 2012) [Book review]. *IEEE Electromagnetic Compatibility Magazine*, 2016.
- [32] B. O'Keefe. Finding Location with Time of Arrival and Time Difference of Arrival Techniques. *F. Technical report, ECE'17, Senior Capstone Project*, 2017.
- [33] J. Rivoir. Statistical linearity calibration of time-to-digital converters using a free-running ring oscillator. In *Proceedings of the Asian Test Symposium*, 2006.

- [34] W. P. Robins. *Phase Noise in Signal Sources*. 1984.
- [35] N. Roy, F. Nolet, F. Dubois, M.-O. Mercier, R. Fontaine, and J.-F. Pratte. Low Power and Small Area, 6.9 ps RMS Time-to-Digital Converter for 3-D Digital SiPM. *IEEE Transactions on Radiation and Plasma Medical Sciences*, 1(6) :486–494, nov 2017.
- [36] A. Ruangphanit, K. Kiddee, A. Poyai, Y. Wongprasert, S. Niemcharoen, and R. Muanghlua. The effects of temperature and device demension of MOSFETs on the DC characteristics of CMOS inverter. In *2012 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, ECTI-CON 2012*, 2012.
- [37] R. Santonico and R. Cardarelli. Development of resistive plate counters. *Nuclear Instruments and Methods in Physics Research*, 1981.
- [38] R. Santonico and R. Cardarelli. Study of Performance of Bakelite Resistive Pate Chamber (RPC). *Springer*, 2016.
- [39] O. Sasaki, T. Taniguchi, T. K. Ohska, and H. Kurashige. A high resolution TDC in TKO box system. *IEEE Transactions on Nuclear Science*, 1988.
- [40] A. S. Sedra and K. C. Smith. Microelectronic Circuits Revised Edition. *Oxford Series In Electrical And Computer Engineering*, 2007.
- [41] R. Singh, L. Colombo, K. Schuegraf, R. Doering, and A. Diebold. Semiconductor Manufacturing. In *Guide to State-of-the-Art Electron Devices*. 2013.
- [42] H. Sjöland. Improved switched tuning of differential CMOS VCOs. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, 2002.
- [43] R. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg, and P. Balsara. 1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 53(3) :220–224, mar 2006.
- [44] R. B. Staszewski, K. Muhammad, D. Leipold, C. M. Hung, Y. C. Ho, J. L. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, J. Koh, S. John, I. Y. Deng, V. Sarda, O. Moreira-Tamayo, V. Mayega, R. Katz, O. Friedman, O. E. Eliezer, E. De-Obaldia, and P. T. Balsara. All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS. In *IEEE Journal of Solid-State Circuits*, 2004.
- [45] M. Z. Straayer and M. H. Perrott. A multi-path gated ring oscillator TDC with first-order noise shaping. In *IEEE Journal of Solid-State Circuits*, 2009.
- [46] M. Tanaka, H. Ikeda, M. Ikeda, and S. Inaba. Development of Monolithic Time-to-Amplitude Converter for High Precision TOF Measurement. *IEEE Transactions on Nuclear Science*, 1991.
- [47] Y. Toh and J. A. McNeill. Single-ended to differential converter for multiple-stage single-ended ring oscillators. *IEEE Journal of Solid-State Circuits*, 2003.
- [48] R. Tonietto, E. Zuffetti, R. Castello, and I. Bietti. A 3MHz bandwidth low noise RF AU digital PLL with 12ps resolution time to digital converter. In *ESSCIRC 2006 - Proceedings of the 32nd European Solid-State Circuits Conference*, 2006.
- [49] L. Vercesi, A. Liscidini, and R. Castello. Two-dimensions vernier time-to-digital converter. In *IEEE Journal of Solid-State Circuits*, 2010.

- [50] H. Wang and F. F. Dai. A 14-Bit, 1-ps resolution, two-step ring and 2D Vernier TDC in 130nm CMOS technology. In *ESSCIRC 2017 - 43rd IEEE European Solid State Circuits Conference*, 2017.
- [51] A. S. Yousif and J. W. Haslett. A fine resolution TDC architecture for next generation PET imaging. *IEEE Transactions on Nuclear Science*, 2007.
- [52] J. Yu, F. F. Dai, and R. C. Jaeger. A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μm CMOS Technology. *IEEE Journal of Solid-State Circuits*, 2010.