



Contribution à la modélisation du couplage entre les alimentations et les signaux sensibles dans les cartes électroniques à haute densité d'interconnexions

Faten Sahel

► To cite this version:

Faten Sahel. Contribution à la modélisation du couplage entre les alimentations et les signaux sensibles dans les cartes électroniques à haute densité d'interconnexions. Electronique. Sorbonne Université, 2022. Français. NNT : 2022SORUS053 . tel-03709169

HAL Id: tel-03709169

<https://theses.hal.science/tel-03709169>

Submitted on 29 Jun 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



SORBONNE UNIVERSITE

École Doctorale Informatique, Télécommunications et Électronique
ED130

Atos
Laboratoire d'Informatique de Paris 6 – Département System On Chip

**Contribution à la modélisation du couplage entre les alimentations et les
signaux sensibles dans les cartes électroniques à haute densité
d'interconnexions**

Thèse de Doctorat

Par **Faten SAHEL**

Le 28/03/2022

Devant le jury composé de :

M. Marc HELIER	Professeur des Universités, Sorbonne Université	Président du jury
M ^{me} Sonia BEN DHIA	Professeure des Universités, INSA Toulouse	Rapporteuse
M ^{me} Geneviève DUCHAMP	Professeure des Universités, Université de Bordeaux	Rapporteuse
M ^{me} Mounira BERKANI	Maîtresse de Conférences, Université Paris Saclay	Examinatrice
M. Moncef KADI	Professeur des Universités, ESIGELEC Rouen	Examineur
M. Pascal GUILBAULT	Ingénieur Docteur, Atos	Co-encadrant
M. Farouk VALLETTE	Maître de Conférences, Sorbonne Université	Co-encadrant
M. Sylvain FERUGLIO	Maître de Conférences, HDR, Sorbonne Université	Directeur de thèse

Remerciements

Je tiens à remercier les membres du jury : Sonia Ben Dhia, Geneviève Duchamp, Marc Hélier, Mounira Berkani et Moncef Kadi, d'avoir accepté de participer à l'évaluation de mes travaux de thèse. Je les remercie pour le temps accordé et l'attention portée à mon manuscrit de thèse, ainsi que pour l'intérêt qu'ils ont montré pour mes recherches.

Je remercie mon directeur de thèse Sylvain Feruglio et mon encadrant Farouk Vallette pour leur accompagnement, la confiance qu'ils m'ont témoignée et leur soutien durant ces quatre années de thèse. Je les remercie également pour la méthodologie et la rigueur scientifique qu'ils ont pu me transmettre. Aussi, je les remercie d'avoir veillé au bon déroulement de cette thèse jusqu'au bout.

Un grand merci à Pascal Guilbault, mon encadrant industriel, pour son aide, ses conseils, et les divers échanges qui ont su me guider dans ce monde bien distinct qui est celui de la recherche scientifique industrielle. Je salue particulièrement la patience et la bienveillance qu'il a démontrées tout au long de ce parcours.

Je remercie les membres de l'équipe SYEL au LIP6 pour leur accueil et leurs conseils. Une pensée particulière à mes camarades docteurs, doctorants ou chercheurs : Orlando Chuquimia, Olivier Tsiakaka, Valentin Rebière, Meriem Kemache et Thomas Garbay, dont la compagnie et les encouragements ont fait de la thèse une expérience moins rude.

Mes remerciements vont également à Antoine Pivette, pour m'avoir accueillie dans son équipe Electrical Engineering au sein d'Atos. Je remercie également tous les membres de cette équipe pour les échanges plaisants que nous avons pu avoir au quotidien.

Je remercie les personnes qui m'ont aidée pour toutes les manipulations que j'ai pu faire, notamment Thi-Tuoi Ngyen, Nicolas Brandon et Jean-Marc Manget pour leurs innombrables interventions sur les cartes. Je n'oublie pas tous ceux qui ont participé à la mise en place de mes bancs de test : Pierre Abenzoar, Bouchaib Azrhouda, Ambroise Algrin, et François Outters.

En plus de l'aspect travail, je salue les collègues qui ne cessent de remplir ma liste de séries à regarder, ceux auprès de qui les déjeuners ne sont pas toujours raisonnables, et ceux qui font, comme par magie, avancer le temps trop vite pendant les pauses café.

Une immense gratitude à ma famille, mes amis et mes proches, dont l'amour et le soutien continu me propulsent toujours vers l'avant. Un petit clin d'œil à mon frère, qui a su me changer les idées quand j'en avais besoin, et à qui je ne dirai plus « Je bosse sur ma thèse... Oui, encore ! ».

Mes derniers remerciements vont à Maman et Adam, mes relecteurs assidus, qui ont certainement dû lire et relire ce manuscrit plus que moi.

*“Don't you know that only fools are satisfied?”
Vienna – Billy Joel.*

À mon grand-père.

Table des matières

Remerciements	1
Table des matières	3
Liste des figures	7
Liste des tableaux	10
Liste des acronymes.....	12
Introduction générale	14
 Chapitre 1 : Contexte et problématique.....	 18
I.1. Introduction du chapitre	19
I.2. R&D chez Atos	19
I.2.1. Serveurs de Calcul.....	19
I.3. Systèmes embarqués	20
I.3.1. Composition d'une carte électronique	20
I.3.2. Complexité des cartes électroniques.....	29
I.4. Intégrité du signal et de la puissance.....	30
I.4.1. Introduction	30
I.4.2. Lignes de transmission.....	30
I.4.3. Réflexion	34
I.4.4. Interférences électromagnétiques.....	36
I.4.5. Instabilité des réseaux d'alimentation	42
I.5. Outils de CAO et prototypage virtuel.....	45
I.5.1. Conception assistée par ordinateur	45
I.5.2. Types de simulateurs	45
I.6. Problématique de la thèse	47
I.7. Conclusion du chapitre	47
I.8. Références	49
 Chapitre 2 : Cas d'étude et méthode de test.....	 54
II.1. Introduction du chapitre	55
II.2. Présentation du cas d'étude.....	55

II.2.1.	Carte CZBS	55
II.2.2.	Cas de couplage	57
II.3.	Présentation de la méthode de test	62
II.3.1.	Modélisation du cas d'étude.....	62
II.3.2.	Mise en place du banc de test	65
II.4.	Conclusion du chapitre	68
II.5.	Références	69
Chapitre 3: Etablissement de la méthode de test.....		70
III.1.	Introduction du chapitre	71
III.2.	Modélisation du cas d'étude	71
IV.2.1.	Modélisation du PCB	71
IV.2.2.	Modélisation de l'alimentation	73
IV.2.3.	Circuit équivalent et simulation temporelle.....	74
IV.2.4.	Premiers résultats et interprétations	77
III.3.	Hypothèses et simulations	77
III.3.1.	Hypothèse 1 : Modélisation incomplète des plans de masse	78
III.3.2.	Hypothèse 2 : Autre moyen de couplage	85
III.4.	Conclusion du chapitre	96
III.5.	Références	98
Chapitre 4 : Usage et utilité de la méthode de modélisation.....		100
IV.1.	Introduction du chapitre	101
IV.2.	Correction selon le mode de couplage	101
IV.2.1.	Blindage entre les plans $P12V$ et $P3V3$	102
IV.2.2.	Plan $P12V$ local à l'alimentation	105
IV.3.	Application sur un cas réel	108
IV.3.1.	Présentation du cas réel	108
IV.3.2.	Simulations et résultats	115
IV.3.3.	Solutions supplémentaires	122
IV.4.	Conclusion du chapitre	125
IV.5.	Références	126
Conclusion Générale.....		128

Résumé.....	132
--------------------	------------

Liste des figures

Figure I.1. Composition du serveur de calcul BullSequana XH2000	20
Figure I.2. Exemple de quelques composants électroniques	21
Figure I.3. Exemple d'un processeur et d'un ASIC utilisés sur les cartes Atos	21
Figure I.4. Empilage d'un PCB à 8 couches.....	22
Figure I.5. Micro-section d'un circuit imprimé Atos composé de 12 couches.....	23
Figure I.6. Vue d'un tronçon de layout d'une carte électronique.....	23
Figure I.7. Types de vias dans un empilage de PCB à 4 couches.....	24
Figure I.8. Distribution des tensions sur un PCB, de l'entrée de la carte jusqu'aux processeurs	25
Figure I.9. Régulateur de tension Buck et ses courbes temporelles	26
Figure I.10. Convertisseur multicellulaire parallèle et ses courbes temporelles	26
Figure I.11. Comparaison entre la double conversion et la conversion directe	27
Figure I.12. VRM conventionnel et VRM Power on Package	28
Figure I.13. Schémas blocs d'une structure classique et d'une structure FIVR des processeurs Intel®	29
Figure I.14. Exemple d'un layout d'une carte électronique ultra dense réalisé par Atos	30
Figure I.15. Tronçon d'une ligne de transmission, et ses paramètres linéiques.....	31
Figure I.16. Ligne microstrip en Top.....	32
Figure I.17. Ligne microstrip en Top avec une couche de vernis épargne	32
Figure I.18. Ligne stripline	33
Figure I.19. Impédances dans une ligne de transmission	34
Figure I.20. Exemple d'une ligne adaptée en entrée et en sortie.....	34
Figure I.21. Exemple du phénomène de réflexion, avec une ligne désadaptée en entrée et en sortie.....	35
Figure I.22. Exemples de circuits d'adaptation d'impédances.....	36
Figure I.23. Propagation en mode commun	37
Figure I.24. Propagation en mode différentiel.....	37
Figure I.25. Couplage par impédance commune	38
Figure I.26. Diaphonie inductive	39
Figure I.27. Diaphonie capacitive	40
Figure I.28. Diaphonie NEXT.....	40
Figure I.29. Diaphonie FEXT	41
Figure I.30. Réseau de distribution de la puissance (PDN), entre une source de tension et une charge	42
Figure I.31. Résultats d'une simulation d'une chute de tension dans une carte HDI Atos.....	43
Figure I.32. Illustration de la chute ohmique dans un conducteur parcouru par un courant	43
Figure I.33. Inductance parasite dans un abaisseur de tension et son impact sur la masse	45
Figure II.1. Vue de dessus de la carte CZBS.....	55
Figure II.2. Empilage de la carte CZBS.....	56
Figure II.3. Distribution des tensions sur la carte CZBS	57
Figure II.4. Vue de la face Top du layout de la carte CZBS sur ADS SI/PI pro™, avec zoom sur le système d'alimentation	57
Figure II.5. Représentation schématique simplifiée du système d'alimentation POV9 sur la carte CZBS initiale	58
Figure II.6. Courbes temporelles relevées par mesure des signaux pertinents : le signal SW (rouge), l'entrée de l'alimentation P12V (vert), la sortie de l'alimentation POV9 (rose), et le signal victime CLK_EN (bleu)	59
Figure II.7. Vue 3D du cas d'étude sur la carte CZBS	60
Figure II.8. Représentation schématique simplifiée du système d'alimentation POV9 sur la carte CZBS corrigée.....	60

Figure II.9. Courbes temporelles relevées par mesure des signaux SW (rouge), P12V (vert) et CLK_EN (bleu), sur les cartes CZBS initiale et corrigée	61
Figure II.10. Ligne de transmission configurée pour des mesures paramètres-S.....	63
Figure II.11. Structure du quadripôle équivalent de la ligne de transmission pour les mesures paramètres-S	63
Figure II.12. Coefficients de transmission (S21) et de réflexion (S11) de la ligne de transmission	64
Figure II.13. Diagramme des étapes de la simulation.....	65
Figure II.14. Banc de test pour la prise des mesures sur la carte CZBS	67
Figure III.1. Vue 3D du signal CLK_EN et des plans P0V9 et P12V sur la carte CZBS	72
Figure III.2. Configuration de l'analyse SI sous ADS SI/PI pro™, vue des ports et des signaux à extraire	73
Figure III.3. Circuit schématique du système d'alimentation complet sur TINA-TI™	74
Figure III.4. Circuit schématique équivalent du cas d'étude sur ADS Schematics, vue des ports extraits et des composants inclus dans la structure paramètres-S.....	75
Figure III.5. Diagramme détaillé du processus de simulation développé.....	76
Figure III.6. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge), par mesure et par simulation.....	77
Figure III.7. Plan de masse (violet) percé aux emplacements des composants de l'alimentation (vert)	78
Figure III.8. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge), par mesure et par simulation, avec l'ouverture du plan de masse.....	79
Figure III.9. Vue des couches de la carte modifiée, avec l'ajout du plan virtuel au-dessus de la couche Bottom.....	80
Figure III.10. Configuration de l'analyse sur ADS SI/PI pro™ : ajout du plan de masse virtuel.....	81
Figure III.11. Structures de paramètres-S classique, et avec l'approche proposée.....	81
Figure III.12. Structure paramètres-S du cas d'étude CZBS avant et après ajout du plan de masse virtuel	82
Figure III.13. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge) par mesure et par simulation. Courbe temporelle de la masse simulée GND_CLK_EN (noir), traitée comme GND dans l'analyse, après ajout du plan de masse virtuel	83
Figure III.14. Configuration de l'analyse sur ADS SI/PI pro™ : plans de masse réels déclarés comme power	84
Figure III.15. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge) par mesure et par simulation. Courbe temporelle de la masse simulée GND_CLK_EN (noir), traitée comme power dans l'analyse, après ajout du plan de masse virtuel	84
Figure III.16 . Vue 3D des signaux VDD_EN, P1V8_EN, CLK_EN et Debug_5 passant près du nœud Switch de l'alimentation P0V9	86
Figure III.17. Courbes temporelles des signaux VDD_EN (vert), P1V8_EN (violet), Debug_5 (orange) et SW (rouge), mesurés sur la carte CZBS	87
Figure III.18. Vue 3D des signaux CLK_EN, VDD_EN, P1V_EN, Debug_5 et JTAG	88
Figure III.19. Courbes temporelles des signaux JTAG (mauve), et SW (rouge), mesurés sur la carte CZBS	88
Figure III.20. Courbes temporelles des signaux P1V8_CPLD (gris), P3V3_CPLD (jaune), et SW (rouge), mesurés sur la carte CZBS	89
Figure III.21. Positions et chevauchement des plans P3V3 et P12V sur la carte CZBS	90
Figure III.22. Circuit schématique équivalent du cas d'étude sur ADS Schematics, après ajout de P3V3 et des signaux P1V8_EN, VDD_EN et JTAG à l'analyse.....	91
Figure III.23. Courbes temporelles du signal SW (rouge), de la tension P3V3_CPLD (jaune) et du signal CLK_EN (bleu) par mesure et par simulation après ajout du plan P3V3 au processus de simulation ..	92
Figure III.24. Courbes temporelles des signaux VDD_EN (vert), P1V8_EN (violet) et SW (rouge), par mesure et par simulation après ajout du plan P3V3 au processus de simulation	93

Figure III.25. Courbes temporelles des signaux JTAG (mauve) et SW (rouge), par mesure et par simulation après ajout du plan P3V3 au processus de simulation.....	94
Figure III.26. Illustration du mode de transmission des parasites du système d'alimentation jusqu'aux signaux victimes	95
Figure III.27. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge), par mesure et par simulation sur la carte CZBS corrigée.....	96
Figure IV.1. Courbes temporelles relevées par mesures des signaux CLK_EN (bleu) et SW (rouge), sur les cartes CZBS initiale et corrigée	101
Figure IV.2. Vue 3D des positions des plans P3V3 et P12V après l'ajout de deux plans de masse	102
Figure IV.3. Empilages des cartes CZBS originale et CZBS_blindage.....	103
Figure IV.4. Courbes temporelles simulées des signaux P3V3_CPLD (jaune), CLK_EN (bleu) et SW (rouge), sur les cartes CZBS initiale et CZBS_blindage	104
Figure IV.5. Tracé des tensions P12V, SW, P0V9 et P12V_local sur les cartes CZBS initiale et CZBS P12V_local.....	106
Figure IV.6. Courbes temporelles simulées des signaux P3V3_CPLD (jaune), CLK_EN (bleu) et SW (rouge), sur les cartes CZBS initiale et CZBS_12V_local	107
Figure IV.7. Empilage de la carte C4W	109
Figure IV.8. Vue globale de la couche Top de la carte C4W, et détails sur la composition de l'alimentation P1V8.....	110
Figure IV.9. Représentation schématique des signaux SVID Clock, Alert et Data sur la carte C4W ...	111
Figure IV.10. Représentation schématique simplifiée du système d'alimentation P1V8 sur la carte C4W initiale.....	111
Figure IV.11. Vue 3D de la disposition de la tension P12V en entrée des DrMOS et du signal SVID_CLK sur la carte C4W	112
Figure IV.12. Courbes temporelles des signaux SW des 7 phases de l'alimentation multicellulaire parallèle, et du signal SVID_CLK, relevés par mesure	113
Figure IV.13. Banc de test pour la prise des mesures sur la carte C4W	114
Figure IV.14. Découpe de la carte C4W contenant le signal SVID_CLK et les alimentations P1V8 et P1V du CPU1.....	115
Figure IV.15. Tracé de la tension d'entrée (P12V) du DrMos1, des lignes SVID_CLK (jaune) et P1V (bleu) sur la couche Top de la carte C4W initiale	115
Figure IV.16. Circuit recréé de l'alimentation multicellulaire parallèle P1V8.....	116
Figure IV.17. Circuit schématique équivalent du cas d'étude C4W, sur ADS Schematics	117
Figure IV.18. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) par mesure et par simulation	118
Figure IV.19. Tracé de la tension d'entrée (P12V) du DrMOS1, des lignes SVID_CLK (jaune) et P1V (bleu) sur les couches Top et Bottom de la carte C4W corrigée	119
Figure IV.20. Courbes temporelles des signaux SW des 7 phases de l'alimentation multicellulaire parallèle P1V8, et des signaux SVID_CLK relevés par mesure, sur les cartes C4W initiale (bleu) et C4W corrigée (vert).....	120
Figure IV.21. Courbes temporelles relevées par mesures des signaux SVID_CLK (bleu) et des signaux SW des phases 1 (rouge) et 2 (vert), sur les cartes C4W initiale et corrigée	120
Figure IV.22. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) par mesure et par simulation, sur la carte C4W corrigée.....	121
Figure IV.23. Tracé de la tension d'entrée (P12V) du DrMOS1, des lignes SVID_CLK (jaune) et P1V (bleu) sur la couche Top de la carte C4W_rotation.....	122
Figure IV.24. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) simulés, sur les cartes C4W originale et C4W_rotation	123
Figure IV.25. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) simulés, sur les cartes C4W originale et C4W_rotation avec une capacité de découplage de 1µF sur P1V	124

Liste des tableaux

Tableau II-1. Différence des niveaux de perturbations entre la carte CZBS initiale et corrigée.....	62
Tableau III-1. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN	77
Tableau III-2. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN, avec l'ouverture du plan de masse.....	79
Tableau III-3. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN et sur les masses.....	85
Tableau III-4. Amplitudes des bruits mesurés et simulés sur la tension P3V3 et les signaux CLK_EN, VDD_EN, P1V8_EN et JTAG	94
Tableau III-5. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN de la carte CZBS corrigée	96
Tableau IV-1. Amplitudes des bruits des signaux CLK_EN mesurés sur les cartes CZBS initiale et CZBS corrigée.....	102
Tableau IV-2. Amplitudes crêtes des parasites sur les signaux simulés P3V3_CLK et CLK_EN des cartes CZBS initiale et CZBS blindage	105
Tableau IV-3. Amplitudes maximales des bruits sur les signaux simulés P3V3_CLK et CLK_EN des cartes CZBS initiale et CZBS_P12V_local.....	107
Tableau IV-4. Taux de réduction du bruit du signal CLK_EN et faisabilité des différentes solutions étudiées pour la carte CZBS.....	108
Tableau IV-5. Echelle du critère de faisabilité des solutions proposées.....	108
Tableau IV-6. Amplitudes crêtes des bruits mesurés et simulés sur le signal SVID_CLK.....	118
Tableau IV-7. Amplitudes des bruits des signaux SVID_CLK mesurés sur les cartes C4W initiale et corrigée.....	121
Tableau IV-8. Amplitudes crêtes des parasites mesurés et simulés sur les signaux SVID_CLK de la carte C4W corrigée	121
Tableau IV-9. Amplitudes des bruits simulés sur les signaux SVID_CLK des cartes C4W originale et C4W_rotation.....	123
Tableau IV-10. Amplitudes des bruits simulés sur les signaux SVID_CLK de la carte C4W originale et C4W_rotation avec une capacité de découplage de 1µF sur P1V.....	124
Tableau IV-11. Taux de réduction du bruit du signal SVID_CLK et faisabilité des différentes solutions étudiées pour la carte C4W	124

Liste des acronymes

Terme	Définition
<i>ADS</i>	Advanced Design System
<i>AFS</i>	Adaptive Frequency Sampling
<i>ASIC</i>	Application-Specific Integrated Circuit
<i>BGA</i>	Ball Grid Array
<i>biFET</i>	Bipolar MOSFET
<i>BMC</i>	Baseboard Management Controller
<i>BXI</i>	Bull eXascale Interconnect
<i>C4W</i>	Compute 4 UPI Whitley
<i>CAO</i>	Conception Assistée par Ordinateur
<i>CEM</i>	Compatibilité Électro-Magnétique
<i>CIFRE</i>	Conventions Industrielles de Formation par la REcherche
<i>CMOS</i>	Complementary Metal Oxide Semiconductor
<i>CNRS</i>	Centre National de la Recherche Scientifique
<i>CPLD</i>	Complex Programmable Logic Device
<i>CPU</i>	Central Processing Unit
<i>CZBS</i>	Compute MeZzanine BXI Single NIC
<i>DC</i>	Direct Current
<i>DDR</i>	Double Data Rate
<i>DIMM</i>	Dual Inline Memory Module
<i>DLC</i>	Direct Liquid Cooling
<i>DrMOS</i>	Driver MOSFET
<i>EDA</i>	Electronic Design Automation
<i>EMI</i>	ElectroMagnetic Interference
<i>ESL</i>	Equivalent series inductance
<i>ESR</i>	Equivalent series resistance
<i>FEM</i>	Finite Elements Method
<i>FET</i>	Field Effect Transistor
<i>FEXT</i>	Far End Crosstalk
<i>FIVR</i>	Fully Integrated Voltage Regulator
<i>FPGA</i>	Field Programmable Gate Arrays
<i>FR4</i>	Flame Retardant 4
<i>GBDS</i>	Global Big Data & Security
<i>HDI</i>	High-Density Interconnection
<i>HFSS</i>	High Frequency Structure Simulator
<i>HPC</i>	High Performance Computing
<i>IBIS</i>	I/O Buffer Information Specification
<i>MOSFET</i>	Metal Oxide Semiconductor Field Effect Transistor
<i>NEXT</i>	Near End Crosstalk
<i>NIC</i>	Network Interface Card
<i>PAM</i>	Pulse Amplitude Modulation

<i>PCB</i>	Printed Circuit Board
<i>PCI-e</i>	Peripheral Component Interconnect-express
<i>PDN</i>	Power Delivery Network
<i>PI</i>	Power Integrity
<i>PLL</i>	Phase Locked Loop
<i>PSU</i>	Power Supply Unit
<i>PWM</i>	Pulse Width Modulation
<i>R&D</i>	Recherche & Développement
<i>Rx</i>	Reception (Récepteur)
<i>SI</i>	Signal Integrity
<i>SPICE</i>	Simulation Program with Integrated Circuit Emphasis
<i>SSN</i>	Simultaneous Switching Noise
<i>SVID</i>	Serial Voltage Identification Debug
<i>TDP</i>	Thermal Design Power
<i>TE</i>	Transverse Electric
<i>TEM</i>	Transverse ElectroMagnetic
<i>TM</i>	Transverse Magnetic
<i>TTL</i>	Transistor-Transistor Logic
<i>Tx</i>	Transmission (Emetteur)
<i>UPI</i>	Ultra-Path Interconnect
<i>VR</i>	Voltage Regulator
<i>VRM</i>	Voltage Regulator Module
<i>VRTT</i>	Voltage Regulator Testing Tool

Introduction générale

Dans le cadre de cette thèse CIFRE (Conventions Industrielles de Formation par la REcherche), collaboration entre la société Atos et le LIP6 (Laboratoire d'Informatique de Paris 6), on s'intéresse aux cartes électroniques conçues par Atos, pour ses serveurs de calcul prévus pour le calcul haute performance (HPC, *High Performance Computing*).

Le groupe Atos est spécialisé dans la sécurité, les supercalculateurs et l'environnement de travail connecté. Bull SAS, membre du groupe Atos, est positionné sur les domaines de la Cybersécurité et du Big Data. Bull dispose d'une branche R&D dédiée, nommée GBDS (*Global Big Data & Security*), au sein de laquelle l'équipe *Server Design* s'occupe du développement de serveurs HPC et serveurs pour data centers, au niveau matériel (électronique et mécanique), test et software de management. Les activités de cette thèse se font au sein de l'équipe *High Speed & Power*, responsable des aspects puissance et intégrité du signal des cartes développées par l'équipe *Electrical Engineering*.

Le LIP6 est un laboratoire de recherche ayant pour tutelle Sorbonne Universités et le CNRS (UMR 7606). La thèse se déroule au sein de l'équipe de recherche SYEL (SYstème ELectronique), qui a pour objectif de concevoir des systèmes électroniques intelligents régis par leurs applications. L'équipe a développé, depuis de nombreuses années, une expertise dans l'étude de la sensibilité, des tolérances, de l'intégrité du signal et du bruit.

Les technologies électroniques, en constante quête de vitesse et de performance, requièrent des systèmes électroniques de se conformer à des critères très stricts. En effet, ces systèmes se voient principalement évoluer en réduisant leurs dimensions et en accroissant leurs fréquences d'horloges, afin de répondre aux exigences qui leur sont imposées. De cette évolution continue découlent des règles de conception de circuits imprimés de plus en plus contraignantes : les cartes électroniques, aussi nommées PCBs (*Printed Circuit Board*), deviennent de plus en plus denses. Cela induit une augmentation du nombre de couches, un rapprochement des composants entre eux, une mixité entre les circuits analogiques et numériques nécessitant des puissances importantes, et des signaux sensibles, dont les vitesses continuent d'augmenter.

Sur les PCBs dédiés aux applications HPC d'Atos, on retrouve des processeurs fonctionnant sous des tensions faibles (de 0.8V à 2V) et consommant des courants très forts. Ces courants peuvent dépasser 200A, avec des appels très importants, atteignant parfois 500A/μs. Les liens rapides sur ce type de carte vont de quelques Gb/s à 32Gb/s (pour des liens PCI-e de 5^{ème} génération), et des débits plus importants sont attendus (64Gb/s pour les liens PCI-e de 6^{ème} génération, 112Gb/s pour les liens séries). Ces circuits imprimés multicouches, très denses, comprennent jusqu'à 24 couches, et plus de 5000 composants. La densification des cartes électroniques induit un rapprochement des circuits entre eux. Les liens rapides entre composants subissent ainsi des perturbations plus importantes, causées notamment par leurs alimentations, les circuits avoisinants et l'environnement de la carte.

Parmi toutes ces sources de perturbation, les interférences électromagnétiques émanant des alimentations sont les plus critiques. Celles-ci dépendent avant tout de la qualité de l'alimentation, qui peut se révéler plus ou moins bruyante, mais aussi de son mode de fonctionnement et de la puissance qu'elle fournit. Compte tenu des interférences que ces alimentations génèrent, leur emplacement à proximité de lignes sensibles peut entraîner des perturbations diaphoniques sur ces dernières.

Des règles de routage strictes minimisent normalement les perturbations causées par les alimentations sur les signaux sensibles, mais sur des PCBs à Haute Densité d'Interconnexions (HDI), il devient plus difficile de maintenir l'espacement approprié entre les signaux sensibles et les éléments

perturbateurs. Les concepteurs de PCBs ont alors souvent recours au prototypage virtuel pour vérifier le comportement des signaux. Cela permet de détecter certaines perturbations sur les signaux sensibles, et d'apporter les ajustements nécessaires pour réduire le bruit, avant la fabrication des premiers prototypes.

Il existe aujourd'hui plusieurs outils de CAO (Conception Assistée par Ordinateur) qui réalisent un prototypage virtuel, en se basant sur divers simulateurs pour modéliser les PCBs et le comportement des signaux. Ces outils analysent l'intégrité du signal et l'intégrité de la puissance des conducteurs, en incluant leurs géométries, leurs emplacements et les caractéristiques de leurs matériaux, pour fournir des résultats assez précis et fiables. Ils permettent alors de modéliser les différents phénomènes qui se produisent dans les conducteurs des circuits imprimés, dont la diaphonie.

Cependant, ces analyses d'intégrité du signal et de la puissance ne disposent pas d'application dédiée pour la modélisation de l'impact du fonctionnement d'une alimentation sur son environnement. En effet, si ces simulateurs sont efficaces pour modéliser le couplage entre conducteurs (couplage ligne à ligne ou plan à plan, par exemple), ils ne permettent pas de modéliser le couplage entre une alimentation et un conducteur, puisqu'ils n'intègrent pas le fonctionnement des alimentations dans leurs analyses.

Dans ce contexte, cette thèse se concentre sur la mise en place d'une méthode de simulation qui permet de modéliser le couplage entre une alimentation et des signaux sensibles voisins. Cette méthode se doit de modéliser fidèlement le physique des cartes HDI, ainsi que le fonctionnement des alimentations étudiées, tout en contournant les contraintes de ressources mémoires et de temps de simulations importants engendrées par la densité des cartes.

Les travaux menés dans le cadre de cette thèse sont détaillés dans ce manuscrit, qui s'organise en 4 chapitres, précédés de la présente introduction, et clôturés par une conclusion générale.

Dans le premier chapitre, on exposera en premier lieu le contexte dans lequel se déroule cette thèse, ainsi que la composition d'un circuit imprimé. On abordera ensuite un état de l'art global des différents aspects qui touchent le domaine électrique dans un PCB. Enfin, on déterminera les capacités de modélisation des outils de CAO actuels, et on soulignera leurs carences quant à la simulation du couplage entre une alimentation et un conducteur. Cette lacune dans les outils constitue la problématique principale de cette thèse.

Le deuxième chapitre consistera à présenter une carte électronique qui contient un cas de couplage entre une alimentation et un signal voisin. Cette carte constituera le cas d'étude sur lequel on basera la méthode de simulation qu'on cherchera à développer. On présentera dans ce chapitre la composition de la carte, ainsi que les perturbations sur le signal victime relevées par mesure. On y établira les objectifs qu'on se fixera pour répondre à la problématique, les principales étapes pour y parvenir, ainsi que les outils qu'on prévoira d'utiliser.

Dans le troisième chapitre, on détaillera la construction du processus de simulation, qui aura été présenté au chapitre précédent, et son application sur le cas d'étude. Les étapes de configuration des diverses analyses seront définies, puis exposées à plusieurs itérations de simulations et ajustements, avant de conclure sur la validité de la méthode de simulation proposée. La validation de la méthode de simulation se fera par comparaison des résultats de simulations aux mesures, d'abord sur le cas d'étude initial, puis en l'éprouvant une nouvelle fois sur une version corrigée de cette carte.

Le quatrième et dernier chapitre sera consacré à l'utilisation de cette méthode de simulation sur les cartes électroniques développées par Atos. Une première partie permettra de montrer l'intérêt de la méthode en proposant d'explorer d'autres solutions pour diminuer les perturbations observées sur

le signal victime du cas d'étude. Ces solutions seront testées pour vérifier leur efficacité et faisabilité. La deuxième partie de ce chapitre sera consacrée à l'application de la méthode de simulation sur une carte plus complexe et plus dense, et sur sa version corrigée également. Des problématiques liées à la densité de la carte et à l'absence du modèle de simulation de l'alimentation interviendront dans ce chapitre. Elles seront contournées grâce à des ajustements qui seront apportés au processus de simulation, afin d'obtenir une corrélation satisfaisante entre simulations et mesures. Des solutions supplémentaires pour réduire le bruit sur le signal victime de cette carte complexe seront ensuite proposées, puis testées avec la méthode de simulation, avant de conclure sur leur efficacité.

Enfin, nous conclurons ce manuscrit par un bilan des travaux effectués, et nous discuterons des perspectives envisagées.

Chapitre 1

Contexte et problématique

Sommaire

I.1.	Introduction du chapitre	19
I.2.	R&D chez Atos	19
I.2.1.	Serveurs de Calcul.....	19
I.3.	Systèmes embarqués	20
I.3.1.	Composition d'une carte électronique	20
I.3.2.	Complexité des cartes électroniques	29
I.4.	Intégrité du signal et de la puissance.....	30
I.4.1.	Introduction	30
I.4.2.	Lignes de transmission	30
I.4.3.	Réflexion	34
I.4.4.	Interférences électromagnétiques.....	36
I.4.5.	Instabilité des réseaux d'alimentation	42
I.5.	Outils de CAO et prototypage virtuel.....	45
I.6.	Problématique de la thèse	47
I.7.	Conclusion du chapitre	47
I.8.	Références	49

I.1. Introduction du chapitre

La simulation numérique est un élément indispensable à la recherche scientifique, économique ou industrielle. Elle permet notamment de reproduire des phénomènes rares, coûteux ou dangereux, qui sont difficilement menés en laboratoire, et pour lesquels il n'existe pas de modèle analytique. Elle permet également d'obtenir des résultats en des points non mesurables, faute d'accès physique. Ces phénomènes, parfois complexes et nécessitant des données très volumineuses, sont difficiles, voire impossibles à simuler sur des machines classiques, au vu du temps de traitement et des ressources qu'ils requièrent (simulations sismiques, essais nucléaires, prévisions météorologiques, etc.). Ils sont alors simulés en utilisant le HPC (*High Performance Computing* ou Calcul Haute Performance) [1], qui est un procédé de calcul permettant de traiter des données massives et des fonctions complexes en un temps réduit, grâce à la parallélisation de milliers de processeurs.

I.2. R&D chez Atos

Le groupe Atos [2], leader international de la transformation digitale, est spécialisé dans la sécurité, les supercalculateurs et l'environnement de travail connecté. Il exerce ses activités dans plusieurs secteurs, tels que l'industrie, la défense, la santé, l'énergie, ou les transports.

Bull SAS, membre du groupe Atos, se spécialise dans les domaines de la Cybersécurité et du Big Data. Au sein de sa branche R&D GBDS (*Global Big Data & Security*), le département *Server Design* s'occupe du développement des serveurs HPC et serveurs pour data centers, au niveau matériel (électronique et mécanique), test, et software de management. Dans cet ensemble, l'équipe *Electrical Engineering* s'occupe du développement des cartes électroniques des serveurs HPC, allant des lames de calcul accueillant les processeurs et leurs mémoires, aux lames Switch permettant de réaliser l'interconnexion entre ces différents nœuds. L'équipe *High Speed & Power* est responsable des aspects puissance et intégrité du signal des cartes développées par l'équipe *Electrical Engineering*, ainsi que de leur design physique. Pour les aspects liés à la puissance, cela va du choix de l'architecture de distribution de puissance (depuis l'entrée secteur du système) à celui des alimentations des processeurs.

I.2.1. Serveurs de Calcul

Un serveur de calcul [3] est un ensemble d'armoires (*Rack*) contenant des lames de calcul (*Compute blades*), reliées entre elles grâce à des lames d'interconnexion (*Switch blades*). Ces lames renferment des cartes électroniques qui forment les nœuds de calcul du serveur, sur lesquelles se trouvent les processeurs. En plus des processeurs, on retrouve sur ces cartes les barrettes mémoires et les éléments essentiels au bon fonctionnement du système, dont les composants reconfigurables, les alimentations et les liens séries, qui transmettent des informations devant rester intègres.

Un exemple de supercalculateur développé par Bull est le serveur de calcul *BullSequana XH2000* (Figure I.1) [4]. Son armoire peut recueillir jusqu'à 32 lames de calcul, avec un emplacement prévu pour 20 lames à l'avant de l'armoire, et 12 lames à l'arrière. Chaque lame compte 3 cartes électroniques, ce qui fait un total de 96 nœuds de calcul pour le serveur *BullSequana XH2000*. Les lames d'interconnexion, au nombre de 10, sont placées à l'arrière de l'armoire. L'alimentation de ces cartes est prise en charge par 6 unités de distribution d'alimentation PSU (*Power Supply Unit*), dont le refroidissement s'opère via la technologie de refroidissement liquide DLC (*Direct Liquid Cooling*) [5] [6].

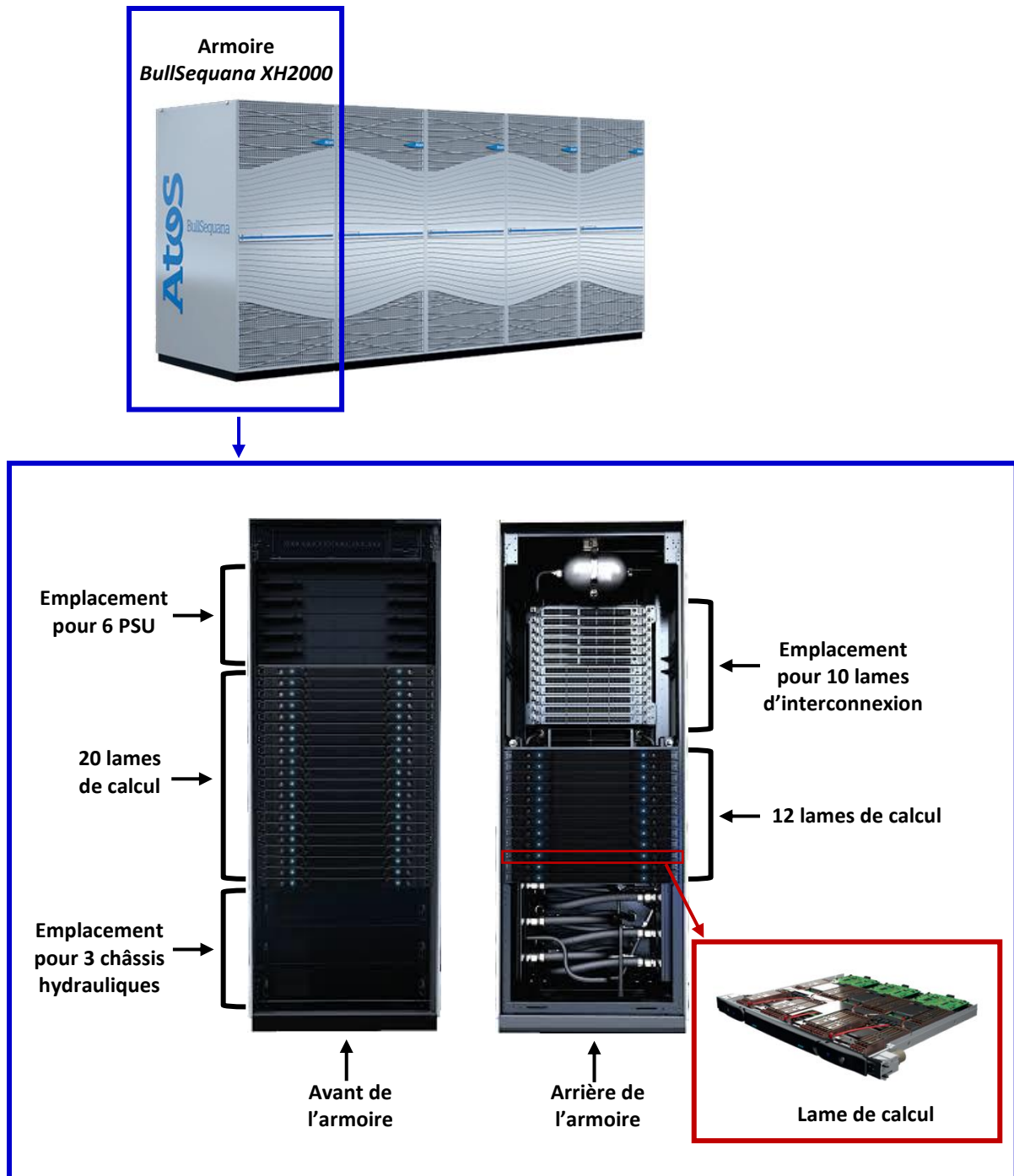


Figure I.1. Composition du serveur de calcul BullSequana XH2000

I.3. Systèmes embarqués

I.3.1. Composition d'une carte électronique

Une carte électronique est un assemblage de couches conductrices séparées de couches d'isolant, communément appelée circuit imprimé ou PCB (*Printed Circuit Board*) [7]. Le circuit imprimé est le support sur lequel les composants constituant les systèmes électroniques sont placés, et à travers lequel ils interagissent.

a. Les composants électroniques

Les composants électroniques se divisent en plusieurs groupes : il y a les composants passifs [10] (résistances, condensateurs, inductances, transformateurs, etc.), qui n'ont pas l'aptitude de contrôler pleinement ou amplifier un signal, et qui sont principalement utilisés pour la conception de réseaux d'alimentation ou le traitement des signaux (adaptation, filtrage, etc.). Il y a les composants actifs [11], qui disposent de la capacité d'amplifier ou de contrôler un signal, on en compte deux types : les composants discrets (diodes, transistors, FET, etc.), et les circuits intégrés [12], qui intègrent divers types de composants dans un petit boîtier, et qui reproduisent une ou plusieurs fonctions électroniques, parfois complexes. La Figure I.2 montre les différentes dimensions de quelques composants électroniques.

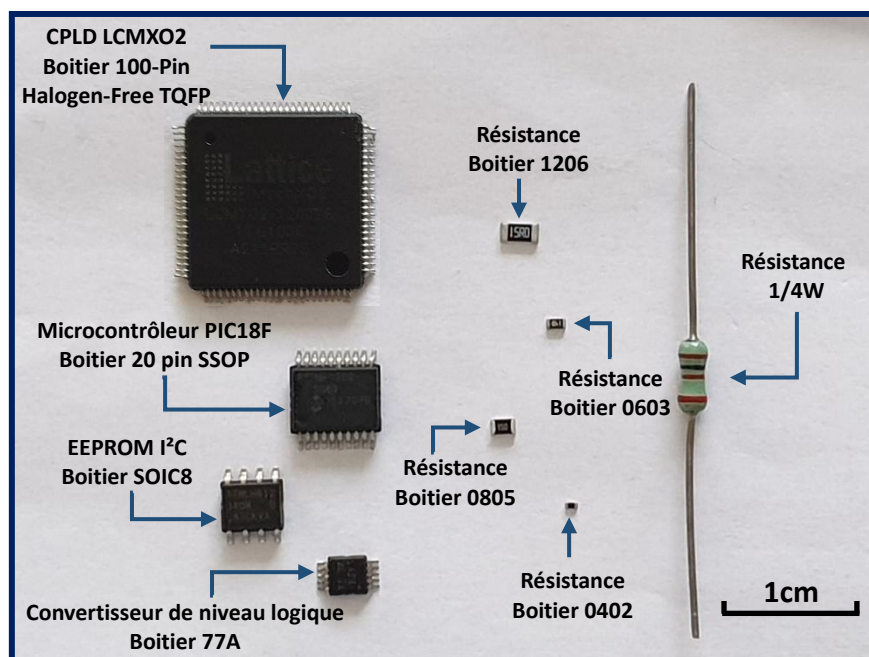


Figure I.2. Exemple de quelques composants électroniques

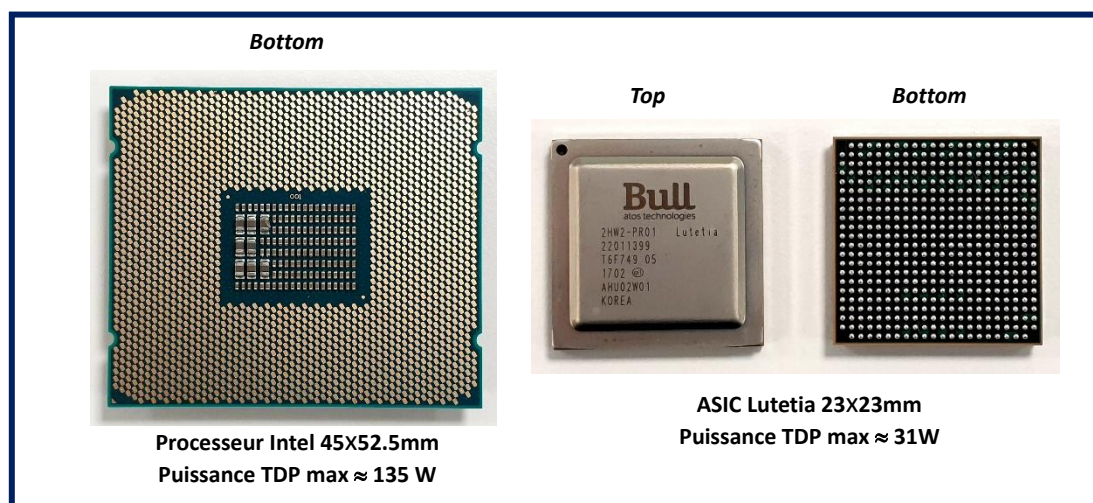


Figure I.3. Exemple d'un processeur et d'un ASIC utilisés sur les cartes Atos

Les circuits intégrés se classent, eux, en trois catégories qui comprennent plusieurs familles de technologies : les circuits intégrés analogiques (bipolaire, biFET, ...), numériques (TTL, CMOS, ...), ou mixtes (analogiques et numériques). On retrouve souvent ces circuits sous la forme d'amplificateurs opérationnels, de sources d'alimentations, ou de circuits programmables, comme les microprocesseurs, les microcontrôleurs, les FPGAs (*Field Programmable Gate Arrays*, ou réseaux logiques programmables) ou encore les CPLDs (*Complex Programmable Logic Device*, ou circuit logique programmable complexe). Un processeur *Intel*® ainsi qu'un ASIC développé par Bull, nommé *Lutetia*, tous deux utilisés sur des cartes Atos, sont présentés sur la Figure I.3. Pour des raisons de confidentialité, seule la face *Bottom* du processeur *Intel*® est exposée.

b. Le circuit imprimé

Le circuit imprimé est une structure permettant l'interconnexion électrique entre les composants électroniques. Cette structure est composée d'un empilage de couches diélectriques isolantes et de couches de cuivre conductrices, et de vias connectant ces couches conductrices entre elles [13] [14].

La couche isolante, appelée substrat, est faite d'un matériau non conducteur, souvent le FR4 (*Flame Retardant*). Dans le cadre des circuits imprimés, ce matériau composé de fibres de verre et de résine se classifie en deux catégories : le stratifié, où les fibres de verre sont imprégnées d'une résine époxy totalement polymérisée, et le préimprégné, où les fibres de verre sont imprégnées d'une résine partiellement polymérisée (pré-polymérisée).

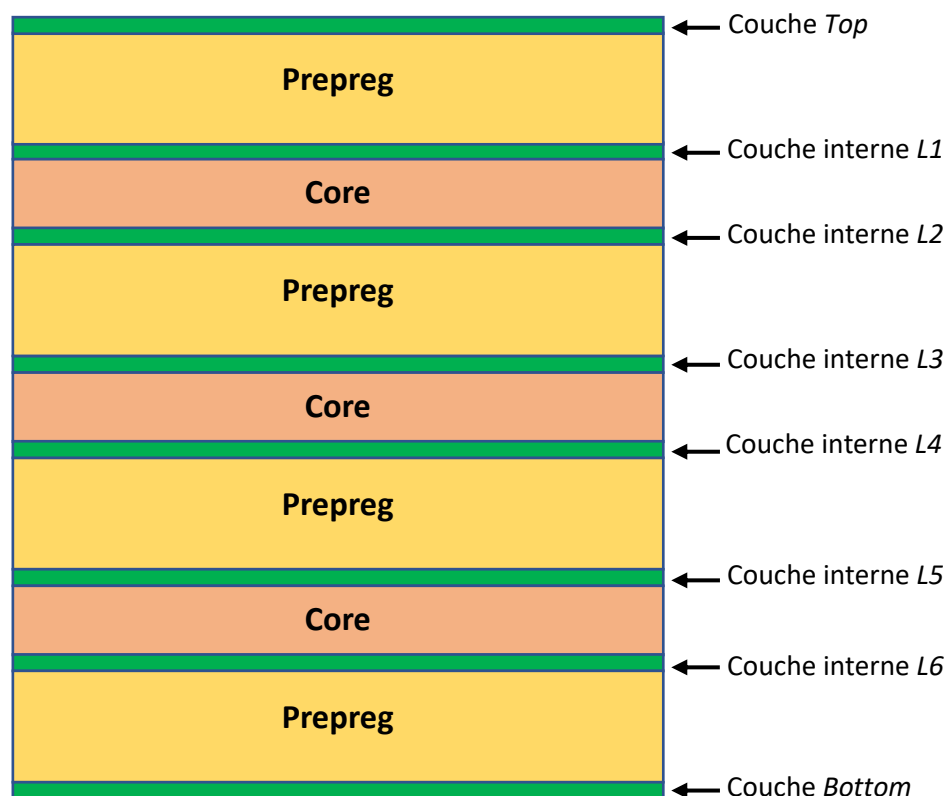


Figure I.4. Empilage d'un PCB à 8 couches

Le stratifié constitue le noyau (*core*) du circuit imprimé [15], sur lequel est placée une couche de cuivre dans le cas d'un circuit imprimé simple face, ou deux couches de cuivre, une sur chaque face, dans le cas d'un circuit imprimé double face.

Le préimprégné (*prepreg*) intervient dans les circuits imprimés multicouches : il sert à assembler deux circuits double face entre eux. Les circuits multicouches comprennent généralement un nombre pair de couches, comme dans la Figure I.4, qui augmente selon la complexité de la carte électronique. Aujourd'hui, les circuits les plus complexes comptent jusqu'à 36 couches.

Les couches de cuivre sont gravées pendant le processus de fabrication, de manière à ne garder que les pistes conductrices qui servent à la distribution des signaux. Les épaisseurs de ces pistes ont des valeurs prédéfinies, elles varient généralement entre $17.5\mu\text{m}$ (0.5oz/ft^2), $35\mu\text{m}$ (1oz/ft^2), $70\mu\text{m}$ (2oz/ft^2) ou $105\mu\text{m}$ (3oz/ft^2) pour les pistes de cuivre épais. Ces dernières sont principalement utilisées pour la distribution des courants forts, et la réduction des pertes à hautes fréquences [17]. La Figure I.5 montre une microsection d'un PCB dense conçu par Atos, composé de 12 couches.

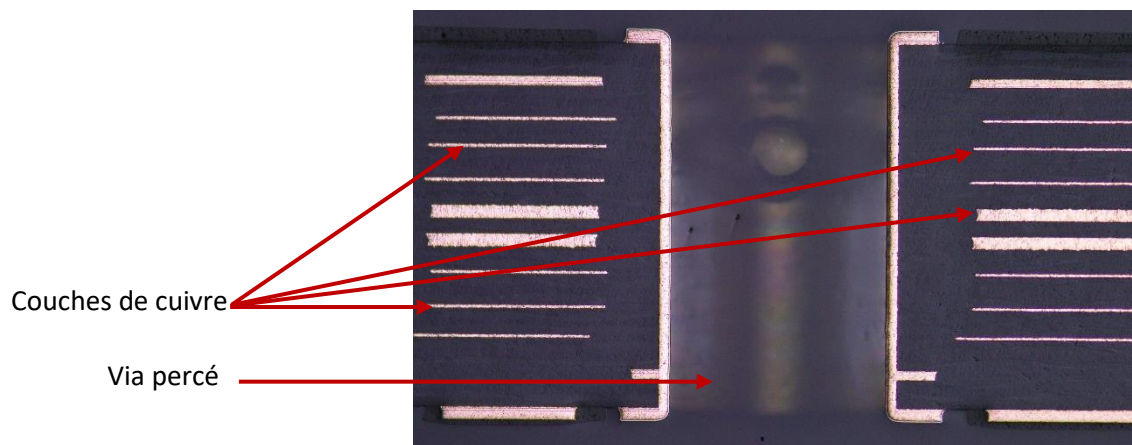


Figure I.5. Micro-section d'un circuit imprimé Atos composé de 12 couches

On retrouve également des plans de cuivre, chargés de transporter les tensions et courants nécessaires au fonctionnement des composants, et des plans de référence pour la propagation et le retour des signaux. Les plans de distribution de ces tensions et courants sont dits plans d'alimentation, et les plans de référence sont appelés plans de masse.

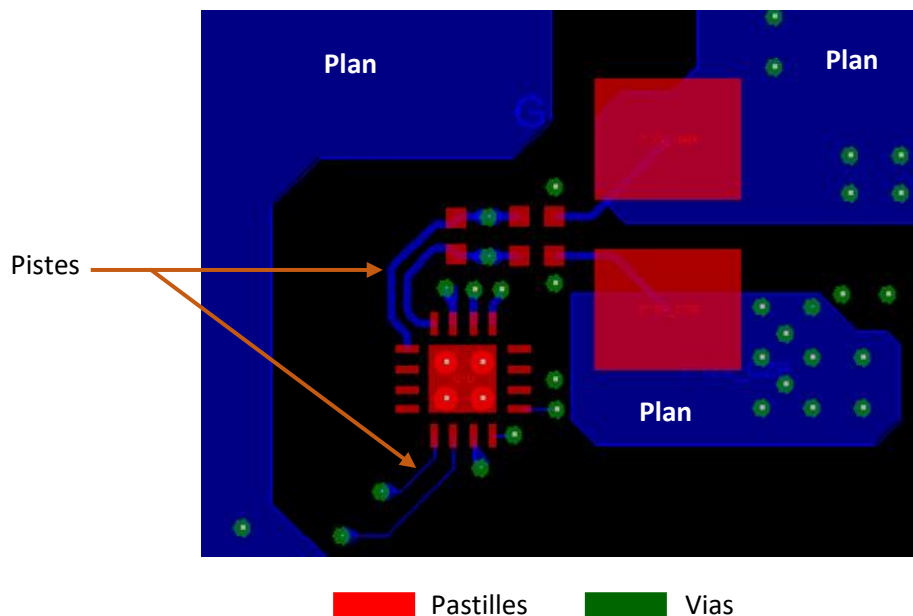


Figure I.6. Vue d'un tronçon de layout d'une carte électronique

La plupart des cartes électroniques ont leurs composants placés sur les couches externes du circuit imprimé. Mais, il existe également des technologies de composants qui se montent dans le PCB, appelés composants enterrés [18]. Les composants ont des emplacements prédéfinis nommés pastilles (*Pad*) prévus pour leurs broches, où elles sont soudées et connectées au reste du circuit imprimé. Les composants et pistes des différentes couches sont connectés entre eux par des vias, qui sont des trous percés mécaniquement dans le PCB, revêtus de cuivre, permettant aux signaux de se propager sur toutes les couches qui leurs sont prévues (Figure I.6).

Il existe plusieurs types de vias : les vias traversants qui connectent toutes les couches de la carte, les vias enterrés qui relient les couches internes uniquement, les vias semi-enterrés ou borgnes, qui relient une couche externe vers les couches internes (Figure I.7). On retrouve également les micro-vias ; une technologie plus petite, où les trous, percés au laser, ne relient généralement que deux couches adjacentes [19].

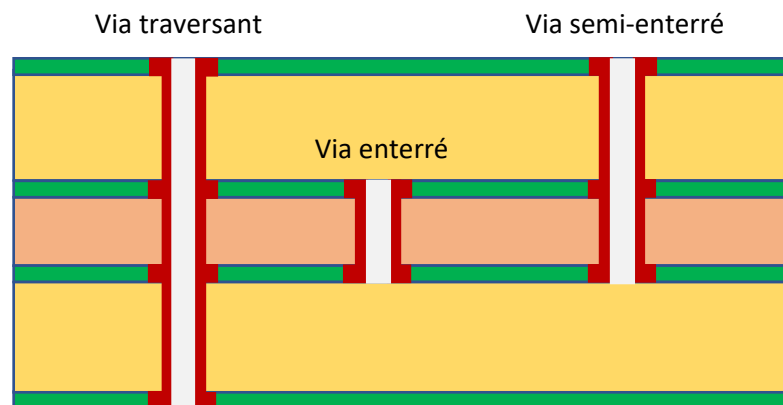


Figure I.7. Types de vias dans un empilage de PCB à 4 couches

c. Alimentations

Les alimentations tiennent un rôle essentiel dans les circuits embarqués. Effectivement, elles assurent aux composants et circuits les tensions stables et régulées requises pour leur bon fonctionnement. Ces alimentations sont souvent appelées des modules régulateurs de tension ou VRMs (*Voltage Regulator Module*). Les VRMs permettent de réguler les niveaux de tension, en générant des tensions de sorties constantes et fiables, répondant aux différents appels de courant de la charge. Une boucle de contrôle à rétroaction est utilisée afin de détecter tout changement dans la tension de sortie. La stabilité de cette tension est assurée par un contrôleur, qui génère les signaux de commandes nécessaires à son maintien, indépendamment des variations perçues par la tension d'entrée ou la charge.

Il existe principalement deux types de régulateurs de tension : les régulateurs linéaires et les régulateurs à découpage. Le principe de fonctionnement d'un régulateur linéaire [20] est semblable à celui d'une résistance variable contrôlée, placée entre la source de tension et la charge. Il fonctionne tel un abaisseur de tension uniquement, fournissant en sortie une tension stable à faible ondulation, en émettant peu d'interférences électromagnétiques. Cependant, le régulateur linéaire connaît des pertes par effet Joule importantes, rendant son efficacité peu satisfaisante, et entraînant une forte dissipation de chaleur.

Le fonctionnement du régulateur à découpage [21] se base lui sur les commutations de ses transistors, qui alternent leurs états passant et bloqué, afin de fournir une tension de sortie stable, lissée grâce à un circuit LC placé en sortie. Contrairement au régulateur linéaire, le régulateur à

découpage induit peu de pertes par effet Joule, ce qui rend son efficacité très satisfaisante. L'inconvénient d'un tel régulateur réside en revanche dans les interférences électromagnétiques engendrées par les variations du courant et de la tension lors des commutations. Toutefois, le régulateur à découpage est bien plus intéressant à utiliser que le régulateur linéaire. Effectivement, sa capacité à abaisser ou élever une tension, en plus de son aptitude à fournir une tension de sortie stable en limitant les pertes de puissance, font du régulateur à découpage un choix plus avantageux [23].

Les régulateurs à découpage existent principalement sous trois formes : les abaisseurs de tension (*Buck*) [24], les éleveurs de tension (*Boost*) [25], ou les inverseurs (*Buck-Boost*) [26]. Dans les systèmes embarqués pour HPC, les régulateurs les plus utilisés sont les abaisseurs de tension. Ils convertissent les tensions d'entrée des cartes vers des tensions plus petites nécessaires au fonctionnement des composants, les plus récurrentes étant de l'ordre de 5V, 3.3V, 2.5V ou autour de 1V.

Les cartes électroniques conçues par Atos pour des applications HPC sont alimentées par une tension de 54V, redressée à partir de la tension du secteur. Cette tension est d'abord convertie vers une tension de 12V (tension d'entrée requise par la plupart des convertisseurs) avant d'être abaissée à son tour vers des tensions plus faibles, comme illustré sur la Figure I.8. Ce système d'alimentation (54V → 12V → basses tensions) est appelé 'double conversion' (*double-stage conversion* ou *two-stage conversion*) [27].

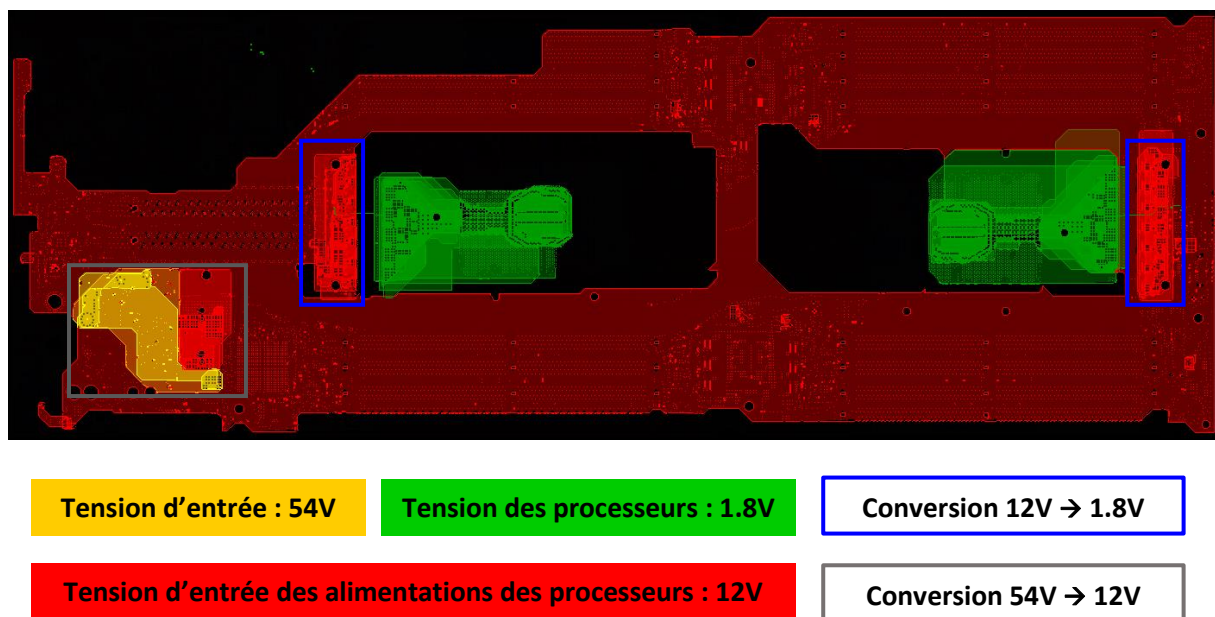


Figure I.8. Distribution des tensions sur un PCB, de l'entrée de la carte jusqu'aux processeurs

Un composant nécessitant une faible puissance de fonctionnement est généralement alimenté par un Buck simple, composé de deux transistors MOSFET pour un redressement synchrone qui réduit les pertes en conduction, d'une inductance de lissage de courant, et d'un circuit de capacités de découplage pour filtrer et découpler la tension.

Un exemple d'une alimentation Buck est illustré sur la Figure I.9, où les capacités de découplage sont représentées avec leurs éléments parasites ESR (*Equivalent Series Resistance*) et ESL (*Equivalent Series Inductance*), et où la notation PWM (*Pulse Width Modulation*) exprime les signaux de commande des MOSFETs.

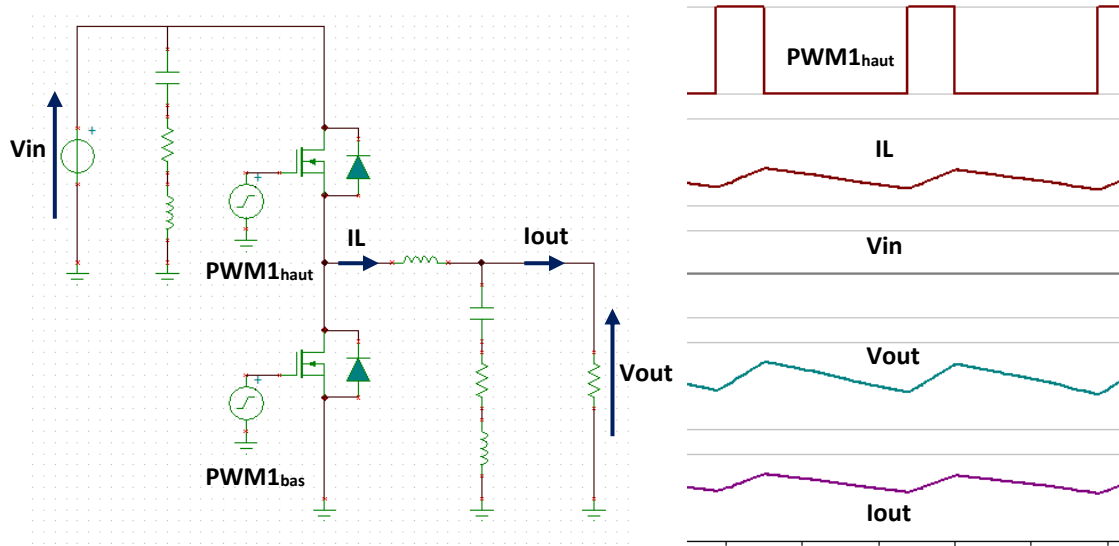


Figure I.9. Régulateur de tension Buck et ses courbes temporelles

En revanche, les performances d'un Buck simple ne sont plus suffisantes lorsqu'un composant nécessite une forte puissance. En effet, les dimensions des composants nécessaires à la circulation d'un fort courant seraient démesurées, et donc impossibles à intégrer au circuit d'alimentation. De plus, les commutations présenteraient des pertes considérables, et les fluctuations des signaux affaibliraient la robustesse du circuit.

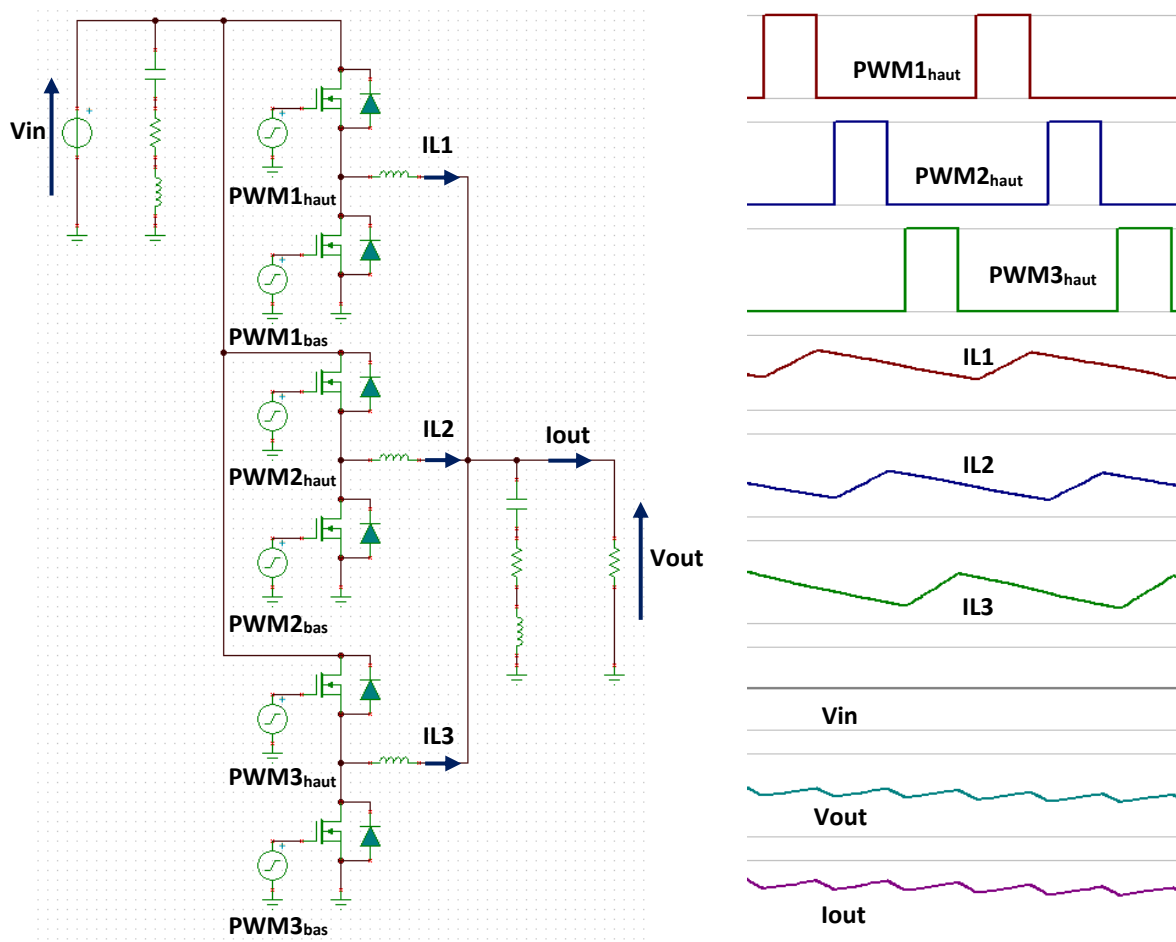


Figure I.10. Convertisseur multicellulaire parallèle et ses courbes temporelles

Dans ce cas, on introduit les convertisseurs multicellulaires parallèles : il s'agit d'une parallélisation de plusieurs convertisseurs Buck, partageant les mêmes entrée, sortie, et contrôleur.

Les cellules Buck [28] sont toutes parcourues par un même courant moyen, et possèdent chacune une rectification synchrone spécifique. Les inductances de filtrage sont identiques, et les capacités de découplage en entrée et en sortie du circuit sont communes. Les transistors de chaque cellule sont pilotés par des signaux de commandes ayant le même rapport cyclique, et décalés dans le temps les uns par rapport aux autres, ce qui permet d'augmenter la fréquence du signal en sortie, et de réduire ses oscillations (*ripple*). Le courant consommé par la charge est la somme des courants qui parcourent les cellules. Un exemple d'un convertisseur Buck multicellulaire parallèle composé de 3 cellules est donné en Figure I.10.

Cette topologie est très souvent utilisée pour l'alimentation des processeurs fonctionnant à basses tensions et qui nécessitent de forts courants. En effet, sa capacité à fournir des courants forts, tout en réduisant le *ripple* et en diminuant le temps de stabilisation du circuit en font une solution efficace pour l'alimentation de ces processeurs. De plus, le convertisseur multicellulaire parallèle permet d'atteindre des puissances très élevées, sans pertes supplémentaires durant les commutations, et sans avoir recours à des inductances de gros calibre qui sont encombrantes, et qui possèdent souvent des effets parasites non négligeables.

Il existe aussi des solutions de 'conversion directe' (*direct conversion* ou *one stage conversion*) [30], qui suppriment la tension 12V intermédiaire et qui convertissent directement les tensions d'entrée des cartes vers les tensions des processeurs. Ces solutions se basent généralement sur un transformateur avec un facteur de conversion important, précédé d'un régulateur de tension. La tension d'entrée étant de 54V, elle nécessite moins de capacités de découplage en entrée, et la suppression de l'étage 12V décharge la carte d'une partie importante du routage, réduisant ainsi les pertes ohmiques.

Ce type de conversion, bien qu'avantageux par la réduction de l'espace sur la carte et des pertes ohmiques, ne convient pas aux besoins des cartes Atos. En effet, comme le montre la Figure I.11, les solutions existantes à ce jour ont des rendements plus faibles que les solutions à double conversion, la plupart n'étant pas prévues pour des applications HPC [27].

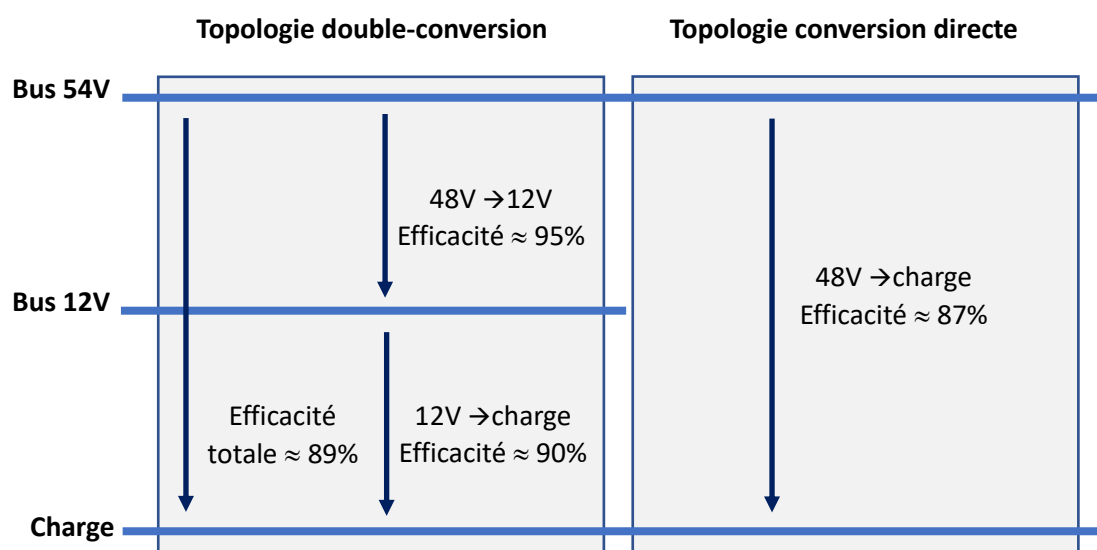


Figure I.11. Comparaison entre la double conversion et la conversion directe

Il existe également des dispositifs *Power-on-Package* [31], où le convertisseur ne se trouve plus sur la carte-mère, mais sur le socket du processeur, comme on peut le voir sur la Figure I.12. L'avantage d'un tel placement est la suppression de l'espace D entre le convertisseur et le processeur, et donc la réduction des pertes ohmiques dans le PCB, et des parasites inductifs entre les boîtiers BGA (*Ball Grid Array*) et le PCB. L'utilisation de cette solution requiert plus d'espace sur le socket du processeur pour contenir un module d'alimentation. Une gestion rigoureuse du refroidissement est essentielle pour une telle topologie, afin de dissiper l'échauffement supplémentaire, créé localement par le convertisseur près du processeur.

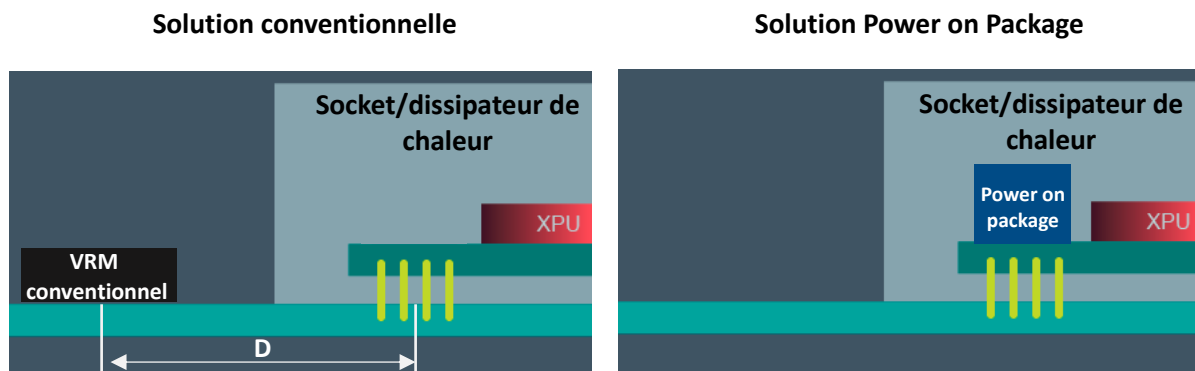


Figure I.12. VRM conventionnel et VRM Power on Package

On retrouve aussi un autre type d'alimentation, les régulateurs de tension entièrement intégrés dits FIVR (*Fully Integrated Voltage Regulator*) [32] proposés par *Intel*®. La spécificité de ces régulateurs se situe dans leur emplacement : ils sont directement intégrés dans le processeur. L'intérêt de cette solution est de décharger la carte des nombreux circuits d'alimentation qu'elle contient. En effet, un CPU standard nécessite plusieurs tensions, qui lui sont fournies à partir de la carte-mère via différents systèmes d'alimentation. Les tensions les plus courantes sont les tensions de cœur, des mémoires, des PLLs, des entrées/sorties, de la gestion du système, et de la carte graphique.

Dans le cas du processeur Haswell™ conçu par *Intel*®, présenté en Figure I.13, il récupère une tension de 1.8V de la carte mère, qui est ensuite convertie vers les différentes tensions nécessaires, grâce aux régulateurs de tension (nommés VR dans cette figure) intégrés dans le CPU.

L'interface mémoire du processeur Haswell™ (DDR3) référence certains de ses signaux (commandes, contrôles et adresses) à sa tension 1.5V et non à la masse. Le plan de la tension des mémoires doit donc être ininterrompu entre les barrettes mémoires et le CPU, c'est pour cela qu'elle n'est pas obtenue par le régulateur FIVR, mais provient de la carte-mère. En effet, générer cette tension à l'aide de l'alimentation FIVR serait problématique au niveau de sa distribution et de son refroidissement, puisqu'elle devrait alimenter à la fois le CPU et les DIMMs (*Dual Inline Memory Module*).

L'utilisation d'un processeur qui dispose de régulateurs FIVR décharge la carte de plusieurs modules d'alimentation, et réduit la distribution de la tension 12V qui leur sert de tension d'entrée. L'implémentation de cette solution peut considérablement réduire les pertes ohmiques sur le PCB, puisque les tensions nécessitées par le CPU ne sont pas distribuées dans le PCB. En effet, seules les tensions 12V, 1.8V (entrée FIVR) et 1.5V (tension mémoires) sont distribuées dans le PCB pour alimenter le processeur. La tension 1.8V étant supérieure ou égale aux tensions du processeur, sa distribution dans le PCB voit moins de courant, et donc moins de pertes.

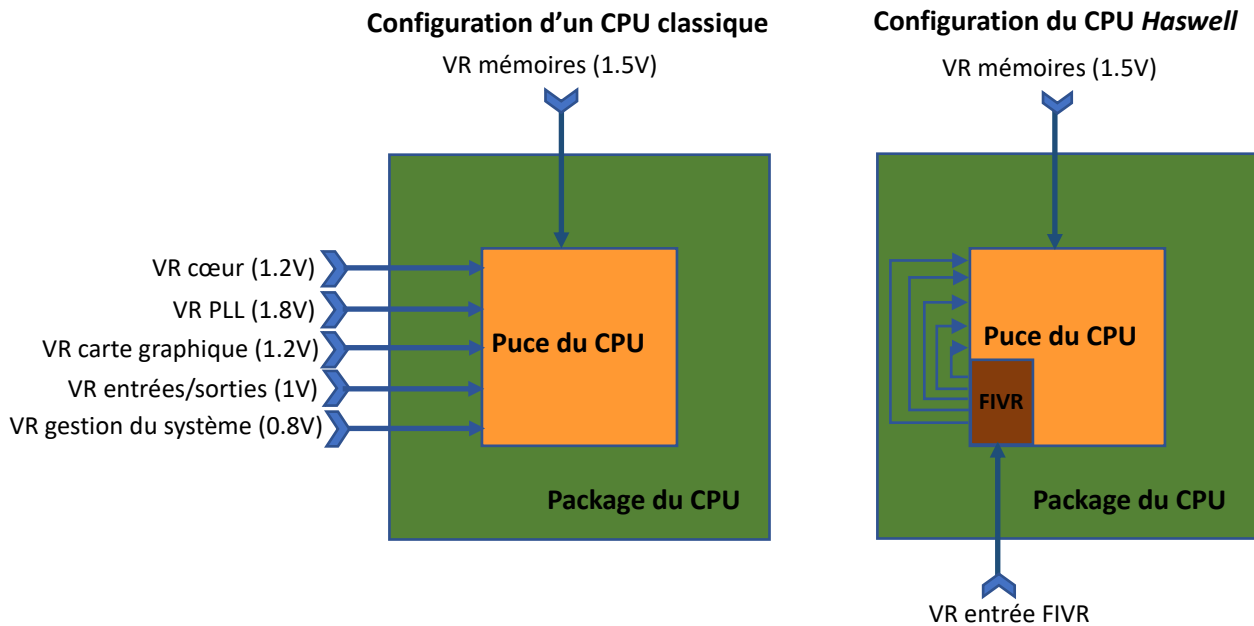


Figure I.13. Schémas blocs d'une structure classique et d'une structure FIVR des processeurs Intel®

De plus, le nombre de systèmes d'alimentation sur le circuit imprimé diminue avec l'utilisation de la topologie FIVR, ce qui supprime leurs effets parasites habituels sur les signaux avoisinants. Cependant, ce type de solution ne permet pas à l'utilisateur de gérer l'efficacité de ces régulateurs (en ajoutant plus de filtrage ou de découplage par exemple), mais on peut supposer que le rendement est optimisé par le fabricant.

I.3.2. Complexité des cartes électroniques

La conception des circuits imprimés est constamment remodelée par l'évolution des technologies des composants et les exigences de l'industrie. Avec la miniaturisation des composants [33], et les performances croissantes auxquelles ils doivent répondre, les cartes électroniques deviennent de plus en plus denses et encombrées. Les processeurs nécessitent de très forts courants (plus de 200A en régime établi, avec des pics à plus de 500A pour les dernières générations) [34] [35], les fréquences d'horloge augmentent continuellement, et le nombre de composants, notamment les passifs, se multiplie afin de garantir la stabilité des signaux et des alimentations (plus de 5000 composants par carte). Les vitesses des liens PCI-e (*Peripheral Component Interconnect-express*) augmentent également, ils fonctionnent aujourd'hui à 32Gb/s pour des liens PCI-e de 5^{ème} génération (bientôt 64Gb/s pour les liens PCI-e de 6^{ème} génération) [36] [37]. Quant aux liens séries utilisés pour l'interconnexion des nœuds de calcul, des débits de 112Gb/s par paire en modulation PAM4 (*4-level Pulse Amplitude Modulation*) sont attendus, et des solutions pour des débits atteignant les 224Gb/s par paire en modulation PAM4 et PAM8 (*8-level Pulse Amplitude Modulation*) sont en phase d'étude [38][39].

La présence de plusieurs circuits sur une même carte induit sa densité en nombre de couches : effectivement la cohabitation des différents potentiels d'alimentation qu'exigent ces circuits, en plus des signaux extrêmement nombreux qui permettent le transfert d'informations entre les composants, nécessite un nombre important de couches. Le routage des conducteurs sur plusieurs couches permet de répondre aux fortes densités de courants exigés par les circuits intégrés, tout en respectant les règles de conception assurant leur stabilité. Les circuits imprimés complexes et à forte densité d'interconnexions sont surnommés des PCBs HDI [41].

La densité et l'encombrement des composants sur les cartes électroniques (Figure I.14), le rapprochement des différents modules, la mixité entre les circuits analogiques et les circuits numériques, provoquent la proximité entre éléments sensibles et agressifs [42]. La densification des cartes rend difficile la distribution des forts courants et faibles tensions exigés par les nouvelles technologies de composants. Cela entraîne des variations dans le réseau de distribution de l'alimentation qui peuvent provoquer le dysfonctionnement des composants, dû à des surtensions ou des tensions insuffisantes [43][44]. L'instabilité des réseaux de distribution de l'alimentation ainsi que la proximité entre circuits sensibles et agressifs peuvent engendrer des erreurs dans le fonctionnement des circuits intégrés, et dans un pire cas, résulter en un système défaillant. C'est pour parer à ces problématiques qu'interviennent les études d'intégrité du signal et de la puissance.

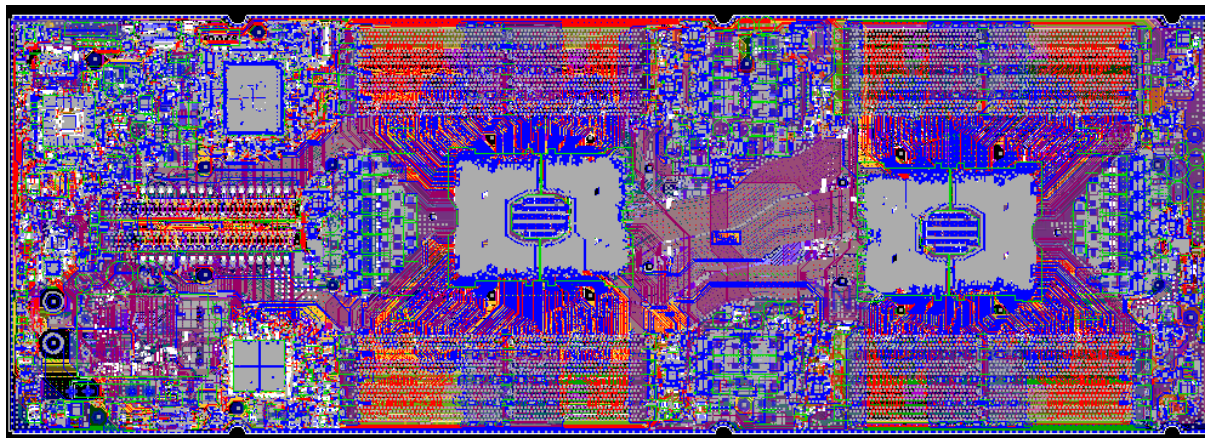


Figure I.14. Exemple d'un layout d'une carte électronique ultra dense réalisé par Atos

I.4. Intégrité du signal et de la puissance

I.4.1. Introduction

L'intégrité du signal et de la puissance [46][49] est une branche de l'électronique qui permet d'assurer aux systèmes un environnement stable, afin qu'ils puissent fonctionner correctement, et fournir les résultats attendus, sans qu'ils soient faussés ou déformés. L'intégrité du signal, comme son nom l'indique, œuvre à maintenir la conformité des signaux dans les lignes de transmission. L'intégrité de la puissance, quant à elle, assure la robustesse des réseaux de distribution de l'alimentation. Parmi les phénomènes traités par ces études, on retrouve principalement les pertes, les réflexions, la diaphonie pour les signaux et l'instabilité des réseaux d'alimentation [50].

I.4.2. Lignes de transmission

D'après la théorie des lignes de transmission [51], il existe 3 modes de propagation principaux : les modes TE, TM, et TEM. Dans le mode TE (*Transverse Electric*), le champ électrique est orthogonal au sens de propagation du courant. Pour le mode TM (*Transverse Magnetic*), c'est le champ magnétique qui est orthogonal à la direction de propagation du signal. Le mode TEM (*Transverse ElectroMagnetic*), quant à lui, est un mode de propagation, où les champs électrique et magnétique sont tous deux orthogonaux au sens de propagation du signal, et n'ont donc aucune composante dans la direction de la propagation.

Le mode TEM s'applique sur les lignes de transmission en basses fréquences, où la propagation d'un signal dans une piste du PCB est considérée quasi instantanée, avec un temps de propagation

négligeable. La vitesse de propagation du signal (I-1) est indépendante de sa fréquence, et dépend uniquement de la permittivité diélectrique relative de son milieu de propagation. Le temps de propagation du signal dans le conducteur est alors obtenu par l'équation (I-2).

$$V_p = \frac{c}{\sqrt{\epsilon_r}} \quad (I-1)$$

$$T_p = \frac{l}{V_p} \quad (I-2)$$

Avec :

V_p : vitesse de propagation du signal

c : célérité de la lumière dans le vide (3.10^8 m/s)

ϵ_r : permittivité diélectrique du milieu de propagation

T_p : temps de propagation du signal

l : longueur du conducteur

Avec la configuration TEM, il est possible de simplifier les analyses des lignes de transmission, en les décomposant en plusieurs petits tronçons, dont les longueurs sont assez notablement inférieures à la longueur d'onde ($dx < \lambda/10$). Un tronçon d'une ligne de transmission est modélisé par les paramètres linéiques R , L , C , et G [52] (Figure I.15), où R est la résistance représentant les pertes dans le conducteur, L l'inductance du conducteur traversé par un courant, C la capacité liée au diélectrique entre le conducteur et sa référence, et enfin le paramètre G , qui représente les pertes dues à l'imperfection du diélectrique.

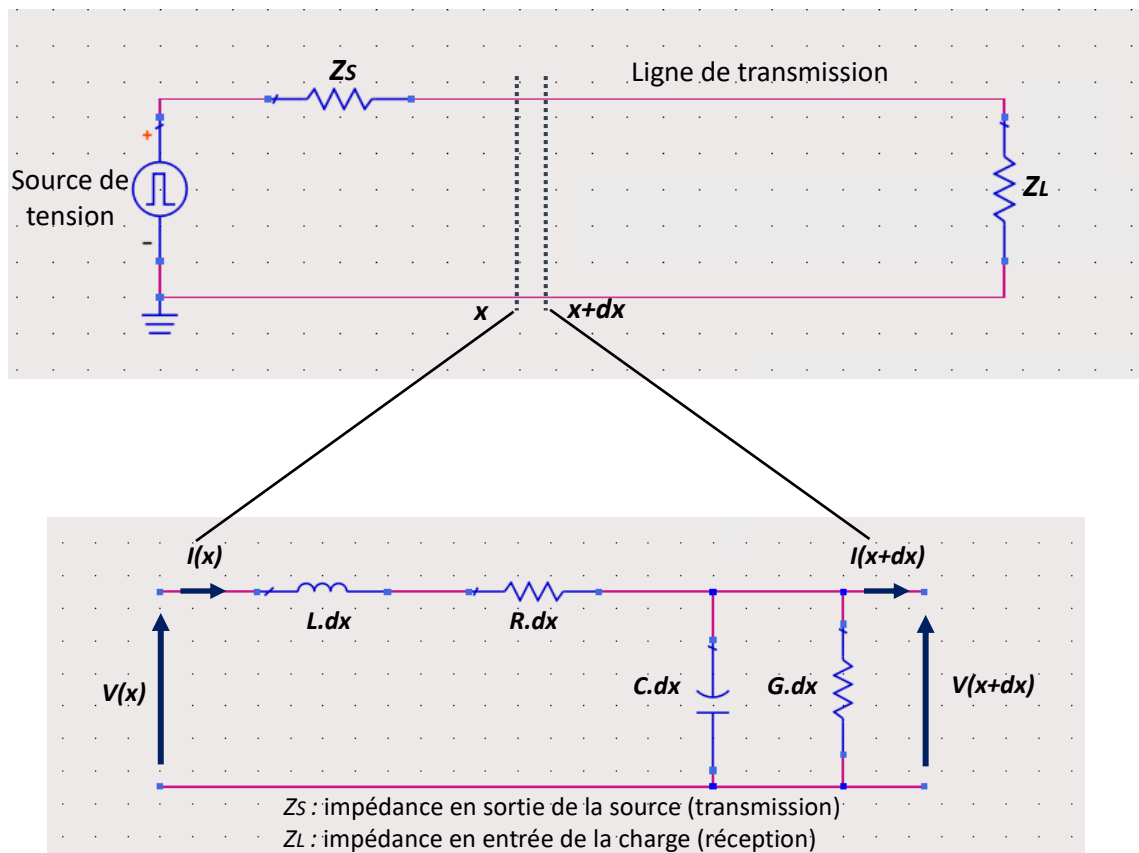


Figure I.15. Tronçon d'une ligne de transmission, et ses paramètres linéiques

Une ligne de transmission est principalement caractérisée par son impédance caractéristique et par le délai de propagation des signaux. L'impédance caractéristique d'une ligne dépend de son type (microstrip ou stripline), de sa géométrie, de sa (ses) distance(s) au(x) plan(s) de masse, et du matériau diélectrique.

L'équation (I-3) exprime l'impédance caractéristique d'une ligne en mode TEM. L'équation (I-4), obtenue également avec l'hypothèse TEM, exprime l'impédance caractéristique d'une ligne aux fréquences élevées, où les termes résistifs deviennent négligeables, la ligne est alors modélisée par l'intégrale de la multitude des tronçons dx .

$$Z_c = \sqrt{\frac{R+jL\omega}{G+jC\omega}} \quad (I-3)$$

$$Z_c = \sqrt{\frac{L}{C}} \quad (I-4)$$

Où :

Z_c : impédance caractéristique d'un tronçon de ligne

L : inductance/tronçon de ligne

C : capacité/tronçon de ligne

R : résistance/tronçon de ligne

G : conductance/tronçon de ligne

La structure microstrip [53], illustrée par la Figure I.16, est formée d'une piste et d'un plan de référence, séparés par une couche de diélectrique. Le plan de référence constitue le chemin de retour du signal qui traverse la ligne microstrip. On retrouve cette structure sur les couches *Top* et *Bottom* des PCBs. Ces deux couches externes sont généralement recouvertes d'une couche de vernis épargne. Il s'agit d'un revêtement qui protège le cuivre contre l'oxydation, et qui prévient la formation de courts-circuits dus aux ponts de soudure lors du placement des composants. Une structure microstrip recouverte d'une couche de vernis épargne est illustrée en Figure I.17.

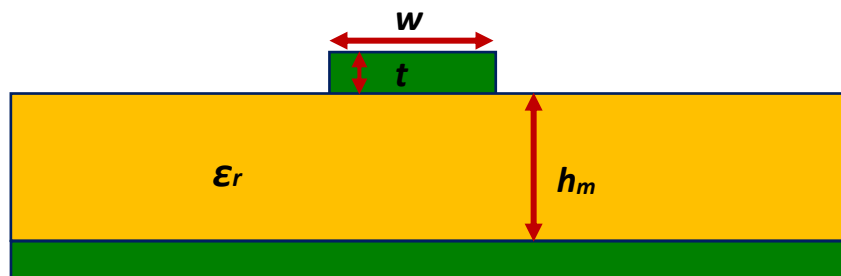


Figure I.16. Ligne microstrip en Top

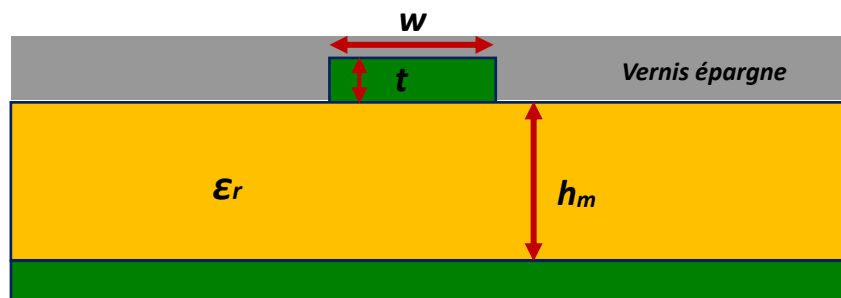


Figure I.17. Ligne microstrip en Top avec une couche de vernis épargne

La structure stripline [53] (Figure I.18) est formée d'une piste placée entre deux plans de référence, dont elle est séparée par deux couches de diélectrique. Les distances entre la piste et chacun des plans de référence peuvent être égales (stripline symétrique), ou inégales (stripline asymétrique). La structure stripline est retrouvée sur les couches internes des PCBs.

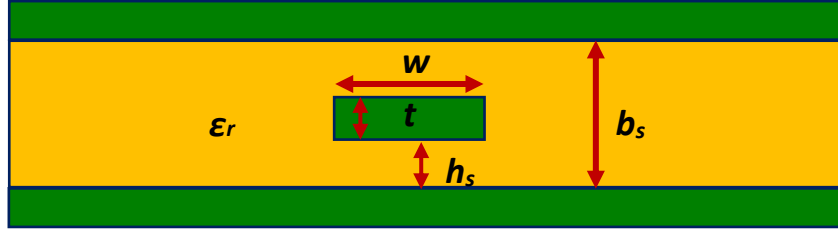


Figure I.18. Ligne stripline

L'impédance caractéristique [51] de chaque ligne est déterminée par ses paramètres physiques, et dimensionnels, ainsi que par les propriétés du (des) matériau(x) diélectrique(s) entourant la ligne, comme le montrent les formules semi-empiriques (I-5), (I-6), (I-7) et (I-8).

- Pour $\frac{w}{h_m} < 2$

$$Z_{microstrip} = \frac{60}{\sqrt{\epsilon_r}} \times \ln \left(\frac{5.98 \cdot h_m}{0.8w + t} \right) \quad (I-5)$$

- Pour $\frac{w}{h_m} \geq 2$

$$Z_{microstrip} = \frac{120\pi}{\sqrt{\epsilon_r} \times \left(\frac{w}{h_m} + 1.393 + 0.667 \cdot \ln \left(\frac{w}{h_m} + 1.444 \right) \right)} \quad (I-6)$$

- Pour $\frac{w}{b_s - t} \geq 0.35$

$$Z_{stripline} = \frac{94.15}{\sqrt{\epsilon_r} \times \left(\frac{w}{b_s} + \frac{(2k \cdot \ln(1+k) - (k-1) \cdot \ln(k^2-1))}{\pi} \right)} \quad (I-7)$$

- Pour $\frac{w}{b_s - t} < 0.35$

$$Z_{stripline} = \frac{60}{\sqrt{\epsilon_r}} \times \ln \left(\frac{4b_s}{\pi d} \right) \quad (I-8)$$

Avec:

$$k = \frac{1}{1 - \frac{t}{b_s}} \quad (I-9)$$

$$h_s = \frac{b_s - t}{2} \quad (I-10)$$

$$d = \frac{w}{2} \times \left(1 + \frac{t + (1 + \ln(4\pi \frac{w}{t}) + 0.51\pi \cdot (\frac{t}{w})^2)}{\pi w} \right) \quad (I-11)$$

Où :

Z_x : impédance caractéristique de la ligne

ϵ_r : permittivité diélectrique du milieu de propagation
 w : largeur de la ligne
 t : épaisseur de la ligne
 h_m : épaisseur du diélectrique microstrip
 b_s : épaisseur du diélectrique stripline
 h_s : distance entre la ligne et le diélectrique (stripline symétrique)

L'impédance caractéristique d'une ligne (Figure I.19) doit être en cohérence avec les impédances des éléments auxquels elle est rattachée, autrement la qualité du signal risque d'être sérieusement dégradée, dû à la réflexion, à la diaphonie, ou aux interférences électromagnétiques.

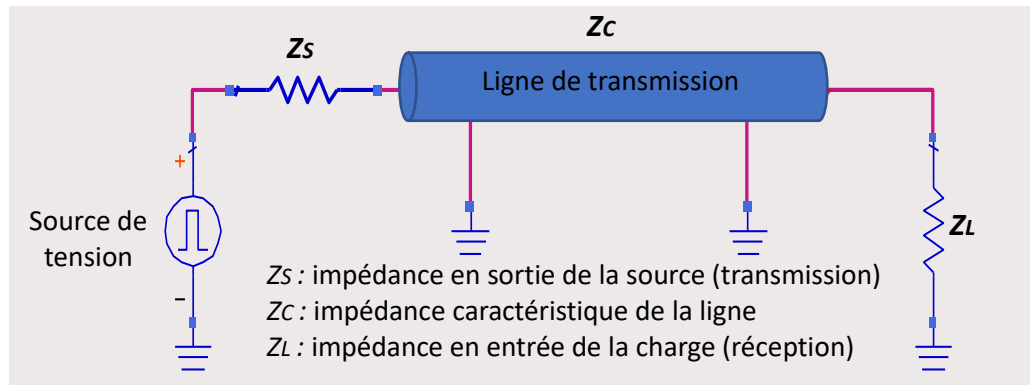


Figure I.19. Impédances dans une ligne de transmission

I.4.3. Réflexion

La transmission d'un signal enrôle trois éléments majeurs montrés sur la Figure I.19 : l'émetteur du signal, la ligne de transmission et le récepteur, chacun d'eux possédant une impédance caractéristique propre. Lorsque les impédances de ces trois éléments sont identiques (impédances adaptées), le signal est correctement transmis (Figure I.20).

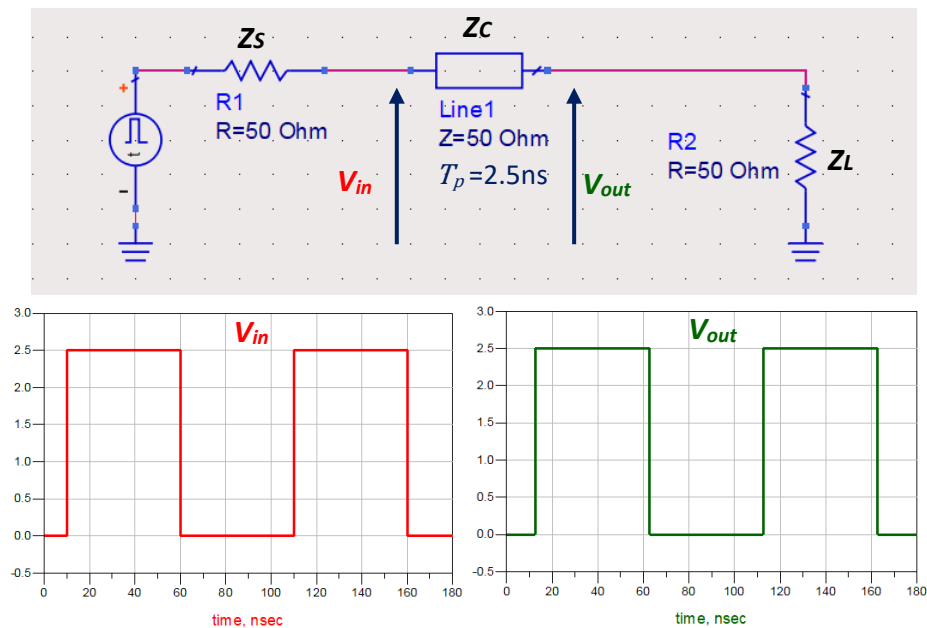


Figure I.20. Exemple d'une ligne adaptée en entrée et en sortie

En revanche, si au moins l'une d'elles diffère des autres (impédances non adaptées), le signal rencontre un changement d'impédance, une partie de son énergie est transmise, l'autre est réfléchie dans le sens inverse : c'est le phénomène de réflexion [54]. La désadaptation d'impédance survient lorsque le signal subit un changement d'environnement, comme le passage d'un milieu à un autre (passage dans un via ou un connecteur), ou un changement dans la géométrie des conducteurs (changement de largeur de la ligne ou rupture dans la référence), ou lorsque le buffer de réception n'est pas adapté. Un exemple de désadaptation à chaque bout de ligne est présenté sur la Figure I.21, où on voit la déformation sur le signal d'entrée, provoquée par le phénomène de réflexion.

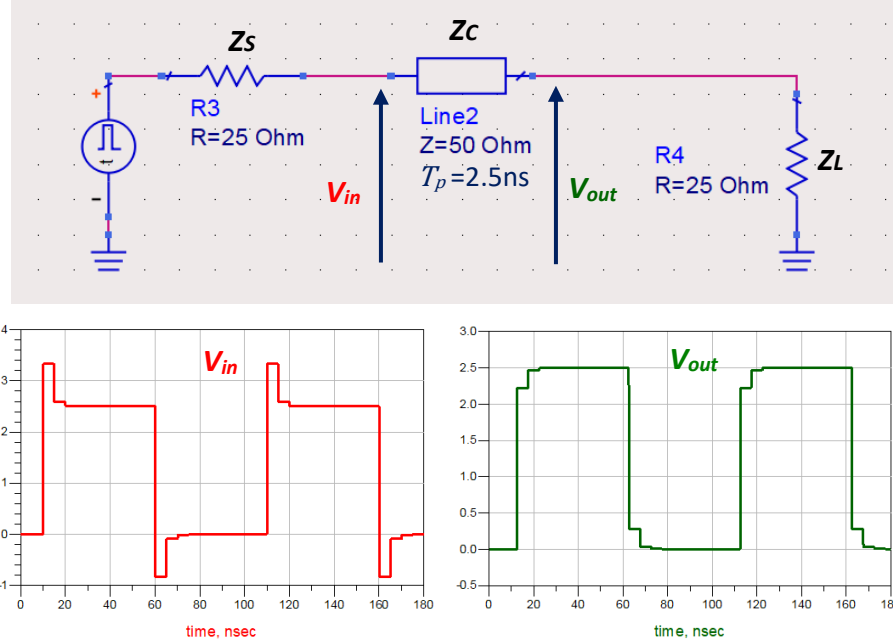


Figure I.21. Exemple du phénomène de réflexion, avec une ligne désadaptée en entrée et en sortie

Lorsque les impédances ne sont pas adaptées, le signal est déformé et son amplitude connaît des dépassements (*overshoot*) et des atténuations (*undershoot*), qui peuvent engendrer un dysfonctionnement du système. Le degré de détérioration du signal dépend de la différence entre les impédances : plus la différence est grande, plus le signal est dégradé. La partie du signal réfléchi est donnée par les équations (I-12) et (I-13) ci-dessous.

$$V_r = \rho \times V_e \quad (I-12)$$

$$\rho = \frac{Z_r - Z_e}{Z_r + Z_e} \quad (I-13)$$

Avec :

V_r : tension du signal réfléchi

V_e : tension émise

ρ : coefficient de réflexion

Z_r : impédance du milieu du récepteur

Z_e : impédance du milieu de l'émetteur

Afin d'assurer l'intégrité des signaux, les impédances sont généralement contrôlées, et adaptées là où le besoin se présente [55]. L'adaptation des impédances se fait par ajout d'un circuit d'adaptation, appelé 'terminaison', à l'un ou aux deux bouts de la ligne, dans le but d'imposer une impédance fixe à toute la chaîne de transmission. Quelques topologies typiques de ces circuits d'adaptation sont présentées en Figure I.22.

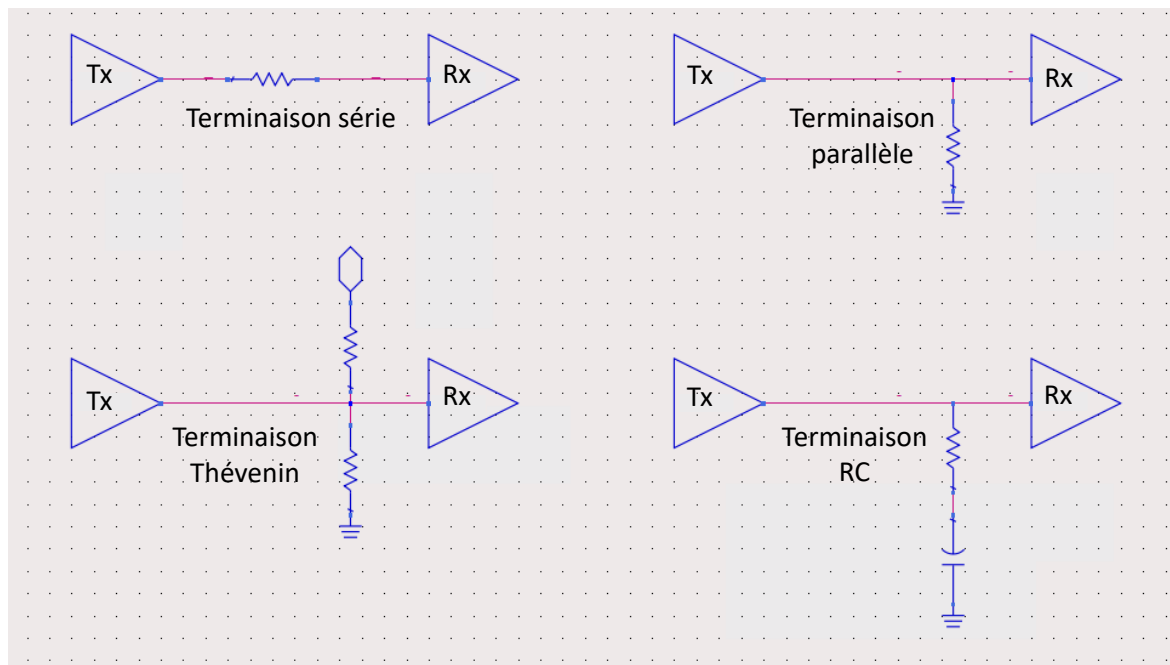


Figure I.22. Exemples de circuits d'adaptation d'impédances

L'ajout des terminaisons d'adaptation peut cependant s'avérer ardu, notamment à cause de l'encombrement des composants dans le PCB. Il est donc important de considérer l'adaptation d'impédance des systèmes de transmission en phase de conception des circuits imprimés, afin de prévoir le type des éventuelles terminaisons requises, ainsi que l'emplacement sur la carte qui leur serait nécessaire.

I.4.4. Interférences électromagnétiques

Les interférences électromagnétiques ou EMI (*Electromagnetic Interference*) [56] [57] sont des perturbations indésirables générées par les champs électromagnétiques d'un circuit dit agresseur, et interceptées par un circuit victime voisin. Ces perturbations, communément appelées bruit, sont causées par les variations rapides des courants et des tensions dans les circuits agresseurs, comme les commutations des transistors.

Le phénomène de transmission des perturbations vers les circuits victimes est appelé diaphonie, ou couplage (*Crosstalk*) [58], et se fait principalement sous trois modes : le couplage par impédance commune, le couplage inductif et le couplage capacitif, qui surviennent par rayonnement des champs électromagnétiques, ou par conduction des signaux dans les conducteurs. Le couplage peut plus ou moins affecter les circuits victimes, selon son mode de propagation, commun ou différentiel [59], et selon les amplitudes relatives des signaux agresseurs et victimes.

a- Modes de propagation

En mode commun, la circulation du courant dans un conducteur vers le récepteur se fait dans un sens, et son retour vers l'émetteur se fait en sens inverse, en passant par un plan de masse, comme on le voit sur la Figure I.23. La tension de mode commun entre deux conducteurs est obtenue par la moyenne des tensions des conducteurs (I-14).

$$U_{cm} = \frac{U_{cm1} + U_{cm2}}{2} \quad (I-14)$$

Où :

U_{cm} : tension du mode commun

U_{cm1} : tension entre le conducteur 1 et la masse

U_{cm2} : tension entre le conducteur 2 et la masse

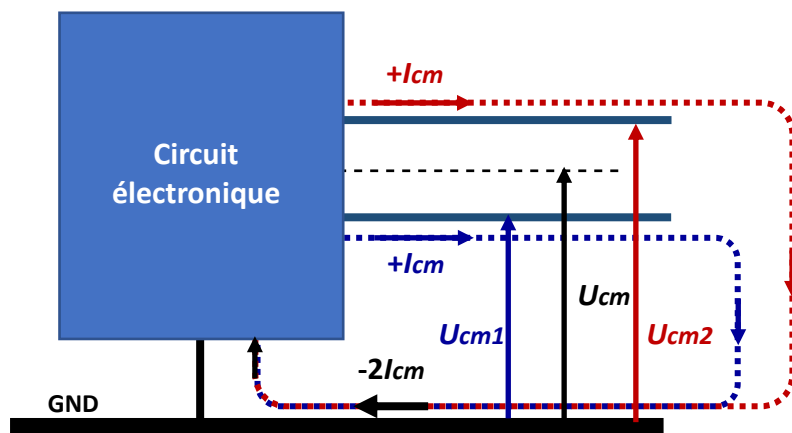


Figure I.23. Propagation en mode commun

En mode différentiel, les conducteurs fonctionnent par paires : le courant circule dans un conducteur vers le récepteur, et retourne vers l'émetteur en circulant en sens inverse dans le deuxième conducteur de la paire (Figure I.24). La tension en mode différentiel est mesurée entre les deux conducteurs de la paire.

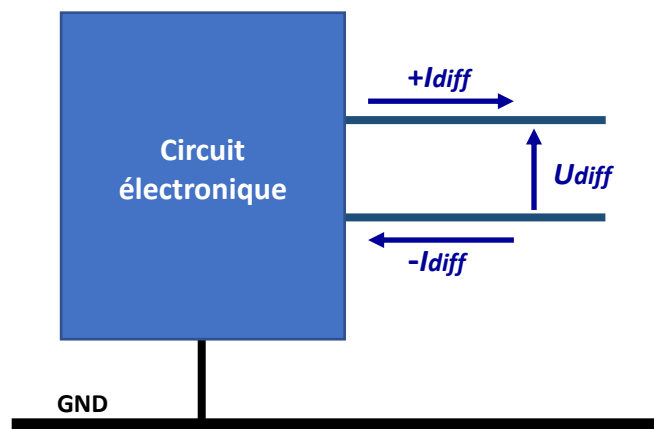


Figure I.24. Propagation en mode différentiel

b- Modes de couplages

Il existe trois modes de couplage principaux, ils sont succinctement présentés ici :

- Couplage par impédance commune

Le couplage par impédance commune [60] survient même lorsque les circuits agresseur et victime ne sont connectés entre eux que par leur plan de masse ou un conducteur commun. Ils interagissent principalement par ce biais. Sur l'exemple de la Figure I.25, c'est l'impédance parasite Z qui lie les circuits agresseur et victime.

Les variations des signaux des circuits se répandent alors dans le conducteur commun auquel ils sont connectés, et sont récupérées par les circuits victimes. L'effet du bruit et des chutes de tension provoqués par le mode commun dépend des impédances des circuits et de leurs fréquences de fonctionnement.

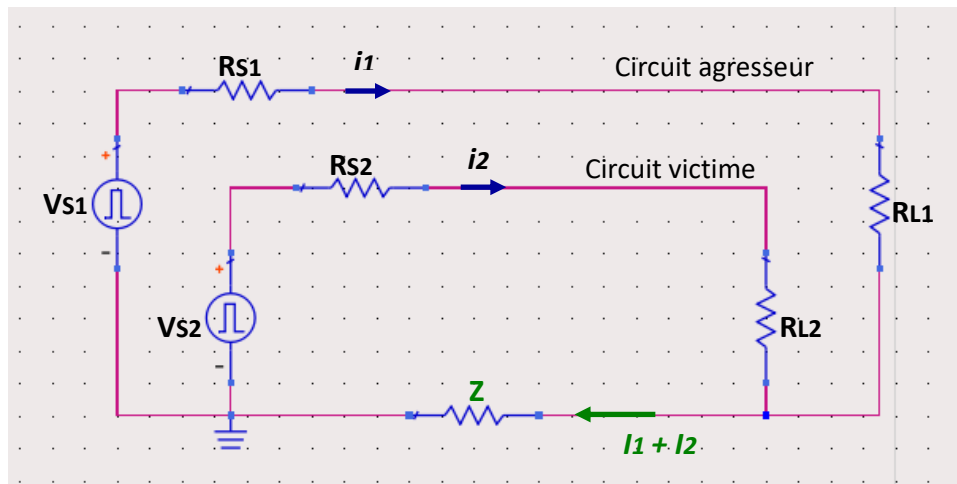


Figure I.25. Couplage par impédance commune

La tension du bruit récupéré par le conducteur commun suit la loi d'ohm généralisée, rappelée par l'équation (I-15). En basses fréquences, l'impédance du conducteur est modélisée par une simple résistance (I-16), en hautes fréquences c'est l'effet de peau qui s'applique, l'impédance est alors définie par l'équation (I-17).

$$U = Z \times I \quad (\text{I-15})$$

$$R = \rho \cdot \frac{l}{s} \quad (\text{I-16})$$

$$Z = \sqrt{\frac{L}{C}} \quad (\text{I-17})$$

Avec :

U : tension aux bornes d'un conducteur

Z : impédance du conducteur

I : courant parcourant le conducteur

R : résistance

ρ : résistivité du conducteur

l : longueur du conducteur

s : section du conducteur
 L : inductance par unité de longueur de la ligne
 C : capacité par unité de longueur de la ligne

- Couplage inductif

Chaque piste conductrice forme une boucle autour de laquelle un champ magnétique se crée lorsqu'un courant y circule. La variation rapide du courant provoque une forte valeur de di/dt , et donc du champ magnétique produit. Cela induit une tension dans les boucles voisines, régie par la loi de Lenz (I-18), où L_m est l'inductance mutuelle entre les deux pistes liant L1 et L2 sur la Figure I.26 et où di/dt représente la variation du courant, et donc du champ [61].

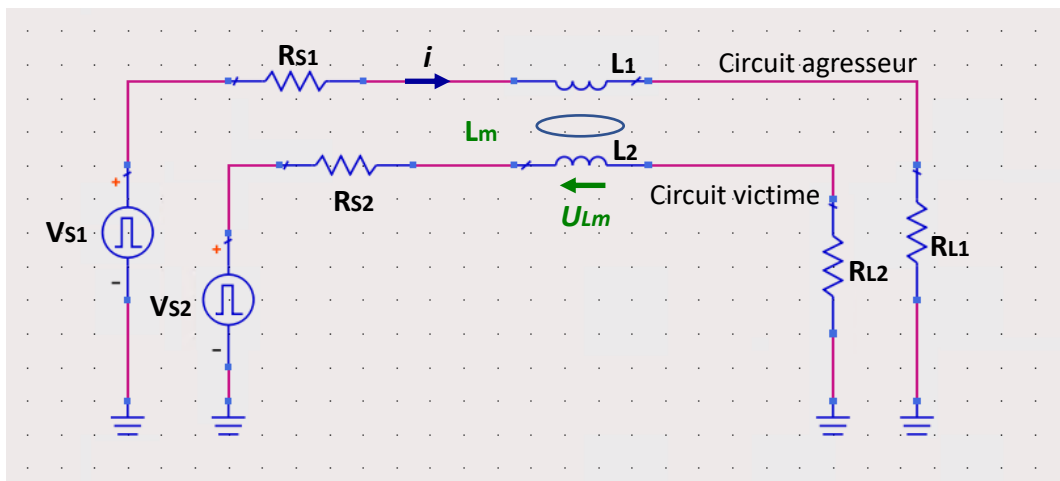


Figure I.26. Diaphonie inductive

$$U_{Lm} = -L_m \times \frac{di}{dt} \quad (I-18)$$

Avec :

U_{Lm} : tension dans la piste victime

L_m : inductance mutuelle

$\frac{di}{dt}$: variation du courant dans le temps dans le circuit agresseur

La diaphonie inductive est contraignante à partir de quelques kHz, notamment pour les signaux bas niveaux avoisinant les conducteurs de courants à variations rapides. Elle est plus importante en mode commun, où le conducteur de retour de l'agresseur est parfois éloigné, ce qui crée une grande boucle de retour de courant, et induit une plus forte tension perturbatrice sur la piste victime.

- Couplage capacitif

Dans le cas de la diaphonie capacitive [61] illustrée par la Figure I.27, c'est la variation de la tension et donc du champ électrique qui injecte un courant dans les conducteurs voisins, qui obéit à l'équation (I-19), où C_m est la capacité de couplage, et dv/dt la variation de la tension et du champ électrique.

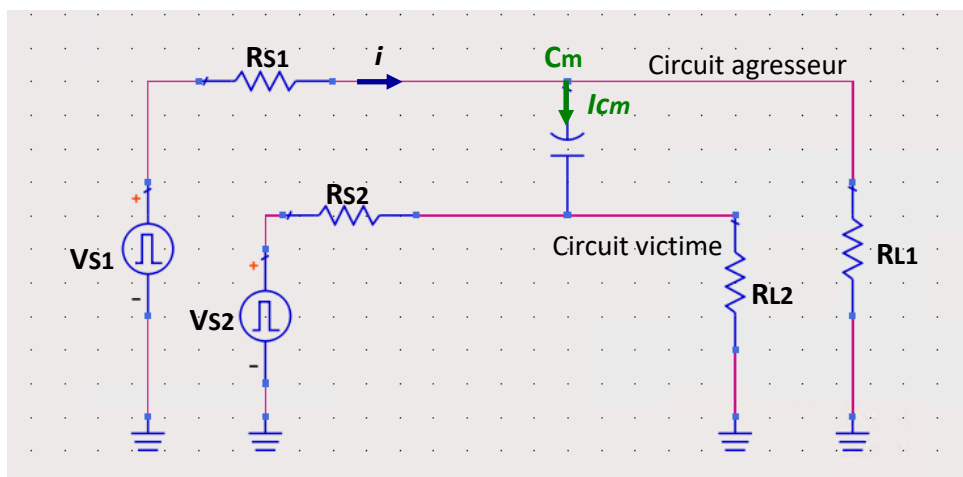


Figure I.27. Diaphonie capacitive

$$I_{cm} = C_m \times \frac{dv}{dt} \quad (I-19)$$

Où :

I_{cm} : courant dans la piste victime

C_m : capacité de couplage

$\frac{dv}{dt}$: variation de la tension dans le temps

Similairement à la diaphonie inductive, la diaphonie capacitive est faible en basses fréquences et plus contraignante en mode commun. En mode différentiel, elle peut perturber en basses fréquences les circuits bas niveaux ayant de hautes impédances.

- Types de diaphonies

Les perturbations diaphoniques sont observées aux deux extrémités du signal victime. La diaphonie dont la perturbation se propage vers la source de la victime, nommée NEXT (*Near End Crosstalk*), est illustrée sur la Figure I.28. Sur la Figure I.29, on a une représentation de la diaphonie FEXT (*Far End Crosstalk*), dont la perturbation se propage dans le même sens que l'impulsion du signal agresseur, et se dirige vers le récepteur du circuit victime [62].

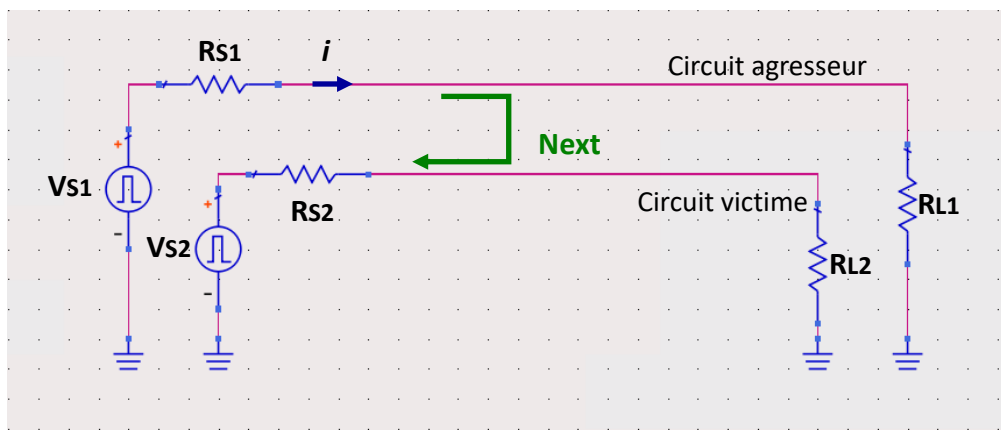


Figure I.28. Diaphonie NEXT

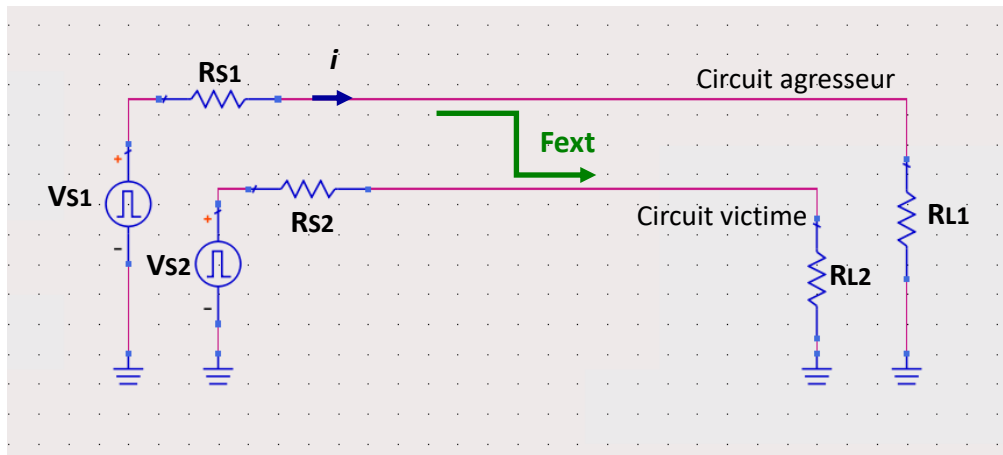


Figure I.29. Diaphonie FEXT

c- Blindage et protection

Afin de limiter les effets parasites des perturbations que rencontrent les signaux sensibles sur les circuits imprimés, il existe des guides de bonnes pratiques CEM (Compatibilité Électro-Magnétique) [63][67] dont les principales directives sont les suivantes :

- L'empilage : le stackup des PCB est un facteur déterminant quant aux performances d'un circuit imprimé. Réalisé de manière appropriée, il est extrêmement efficace pour la réduction des rayonnements des boucles sur le PCB. Effectivement, placer les couches qui contiennent des signaux sensibles entre des plans de masse et d'alimentation permet de limiter le rayonnement des signaux agresseurs placés sur d'autres couches. Multiplier des plans de masse est également un élément important pour la réduction de l'impédance de la masse, et donc la réduction du couplage par impédance commune. Il est donc important de prévoir soigneusement le nombre de couches à utiliser et les emplacements des plans de masse et d'alimentation, qui servent d'écrans de protection aux signaux sensibles.
- Les pistes : l'augmentation de l'espace entre deux pistes réduit la diaphonie capacitive, et la réduction de leur parallélisation réduit la diaphonie inductive. Les plans adjacents aux pistes doivent être uniformes. S'ils ne le sont pas et qu'ils contiennent des fentes, le courant de retour crée une tension aux bornes de chaque fente, susceptible de perturber les signaux dans les pistes voisines.
- Les circuits analogiques et numériques : pour éviter les perturbations entre les signaux numériques et les signaux d'alimentation, les circuits analogiques et les circuits numériques doivent être isolés les uns des autres, et ne pas partager une masse commune dans la mesure du possible. En effet, la mixité des circuits analogiques et numériques peut causer des dysfonctionnements, sous la forme de perturbations électromagnétiques générées par les commutations des circuits numériques sur les signaux analogiques sensibles, et inversement.
- Le découplage : les capacités de découplage sont placées près de la source de tension et de la charge, entre le signal d'alimentation et la masse, et fournissent au courant un chemin à faible impédance à des fréquences spécifiques. Elles servent également à filtrer les signaux parasites, généralement de haute fréquence, vus par les signaux d'alimentations. Comme tout élément non idéal, un condensateur est accompagné de composants parasites ; une résistance série équivalente ESR et une inductance série équivalente ESL. Les effets parasites de ces composants sont réduits par une mise en parallèle des capacités de découplage.

- Traces et anneaux de garde : Une trace de garde est une piste de masse placée en parallèle entre un signal agresseur et un signal victime. Cette configuration réduit la diaphonie entre l'agresseur et la victime en couplant l'agresseur avec la piste de garde. Un anneau de garde est une trace de cuivre entourant une piste sensible. Son principe de fonctionnement est identique à celui de la piste de garde, il intercepte les interférences susceptibles de perturber le signal sensible.

Ces directives sont des solutions générales qui permettent de limiter les différents couplages entre les circuits agresseurs et victimes, et de réduire les perturbations perçues par les signaux sensibles pour assurer la robustesse et le bon fonctionnement des circuits dans les PCBs.

I.4.5. Instabilité des réseaux d'alimentation

La complexité et la densité des circuits imprimés ne touchent pas uniquement l'intégrité des signaux des PCBs, mais également l'intégrité de leur réseau d'alimentation, qui subissent notamment des chutes ohmiques ou des perturbations causées par le fonctionnement des alimentations.

a- Réseaux de distribution des puissances

Un réseau de distribution de puissance (ou PDN, *Power Distribution Network*) [68][70] est constitué de trois éléments principaux : la source d'alimentation, le(s) plan(s) conducteur(s) de la puissance et de la masse, et la charge qui la consomme (Figure I.30).

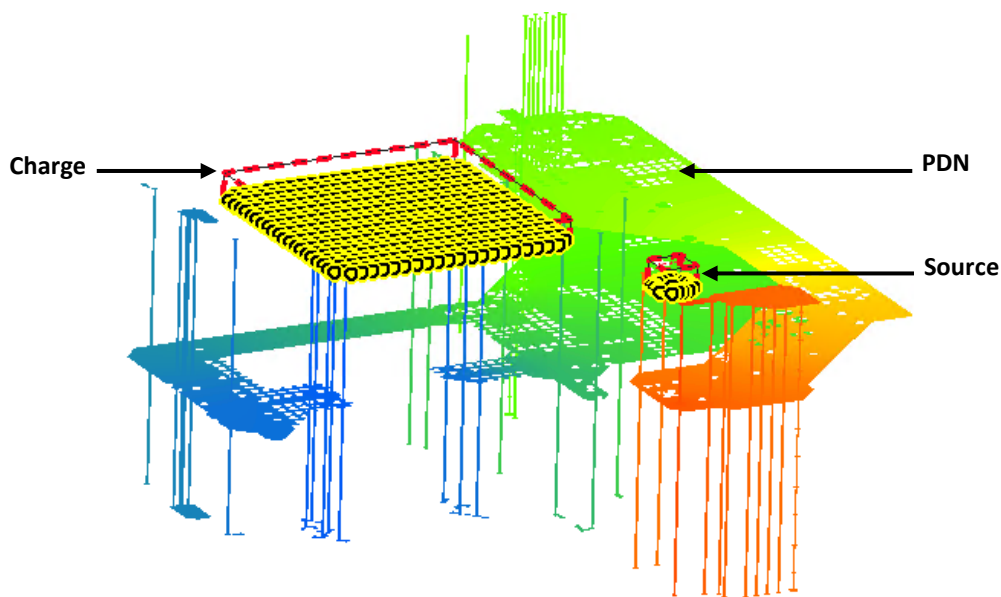


Figure I.30. Réseau de distribution de la puissance (PDN), entre une source de tension et une charge

La source d'alimentation est le régulateur, il fournit les tensions et courants requis par la charge, qui est le circuit à alimenter. La puissance générée par la source d'alimentation est acheminée vers la charge via un plan conducteur d'alimentation, peuplé de capacités de découplage placées au niveau de la source de tension et de la charge. Comme dit précédemment, le rôle de ces capacités est de filtrer des bruits de différentes fréquences sur les signaux d'alimentation, provoqués par les commutations de l'alimentation même, par les appels de courant de la charge, ou par couplage avec des circuits

perturbateurs. Le retour de courant se fait généralement par un ou plusieurs plans de masse, devant être placés au plus près du plan d'alimentation, afin de réduire la boucle de courant.

b- Variation des niveaux de tension

Un conducteur n'est jamais idéal, et possède toujours une impédance. Lorsqu'il est parcouru par un signal, cette impédance absorbe une partie du courant, s'ensuit alors une chute de tension, ou chute ohmique (*IR drop*) [71], qui se manifeste par une différence de potentiel entre l'entrée du conducteur et sa sortie, et une perte de puissance. Un exemple de chutes ohmiques sur une tension 12V dans un PCB ultra dense est présenté à travers une graduation de couleurs sur la Figure I.31.

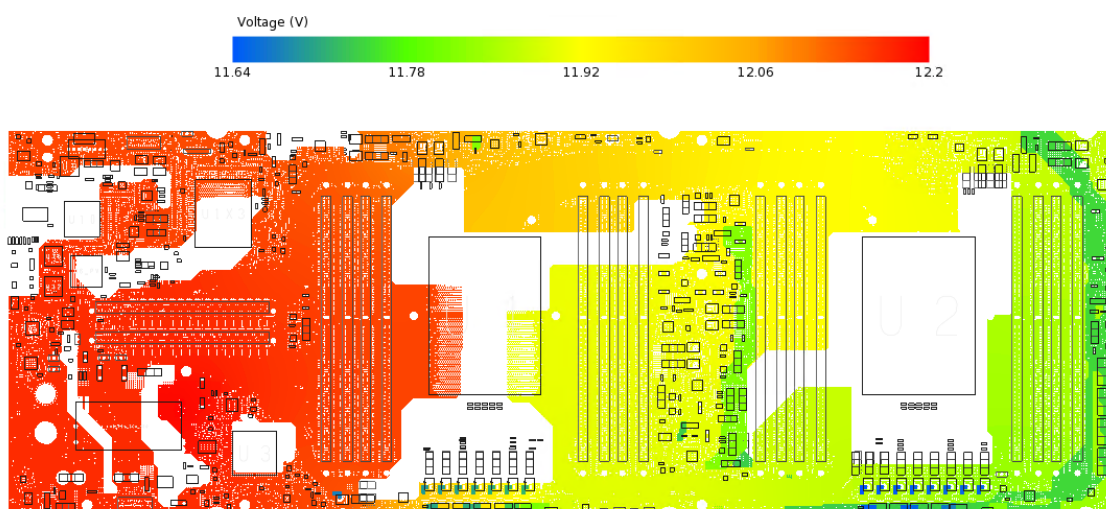


Figure I.31. Résultats d'une simulation d'une chute de tension dans une carte HDI Atos

La chute ohmique dépend de la longueur du conducteur, de sa section, et de sa résistivité (Figure I.32). Plus la longueur du conducteur est grande, plus il y a de pertes de puissance (I-20). Il en va de même pour la résistivité : plus le conducteur est résistif, plus la chute ohmique est importante (I-23).

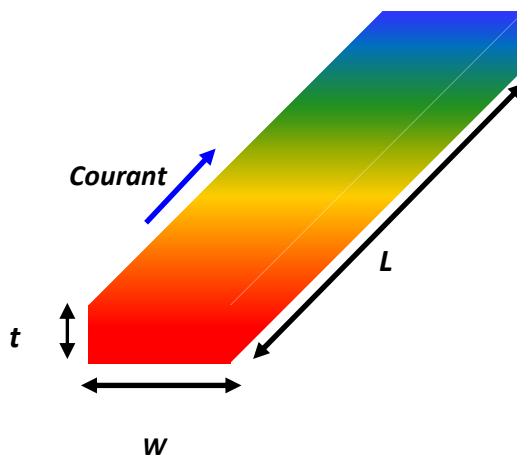


Figure I.32. Illustration de la chute ohmique dans un conducteur parcouru par un courant

$$R = \rho \times \frac{l}{s} \quad (I-20)$$

$$s = t \times w \quad (I-21)$$

$$V_r = V_e - \Delta V \quad (I-22)$$

$$\Delta V = R \cdot I \quad (I-23)$$

Où :

R : résistance

ρ : résistivité du matériau

l : longueur du conducteur

s : section du conducteur

t : épaisseur du conducteur

w : largeur du conducteur

V_r : tension à la réception

V_e : tension à l'émission

ΔV : tension perdue dans le conducteur

I : courant parcourant le conducteur

c- Bruit de commutations simultanées

La multiplication des entrées et sorties dans les circuits intégrés, ainsi que l'augmentation des puissances des alimentations à découpage résultent en un grand nombre de circuits commutant à différentes fréquences dans un même PCB, avec des variations de niveaux de tensions et de courants qui peuvent parfois être conséquents.

Les commutations dans un circuit impliquent des appels de courants sur ses rails d'alimentation et de masse. Lorsque les oscillations des courants appelés rencontrent les impédances parasites des interconnexions du circuit, cela crée des variations de tension dans les rails d'alimentation et de masse (*ground bounce*) [72]. Ces variations de tension, exprimées par l'équation (I-24), entraînent des perturbations sur les signaux du circuit, appelés bruit de commutations simultanées, ou SSN (*Simultaneous Switching Noise*) [73]. Plus les appels de courants sont forts, et plus les fronts des commutations sont rapides, plus le bruit de commutations simultanées est important.

L'effet de ces bruits de commutations est très souvent présent sur les tensions d'entrée et de sortie des alimentations. Ils sont généralement réduits par des circuits de découplage placés en entrée et en sortie des alimentations.

$$V_{bounce} = L_{interconnect} \times \frac{di}{dt} \quad (I-24)$$

Avec :

V_{bounce} : tension de ground bounce

$L_{interconnect}$: inductance d'interconnexion

$\frac{di}{dt}$: variation du courant dans le temps

La Figure I.33 illustre le cas d'un abaisseur de tension Buck classique, avec une inductance parasite de l'interconnexion entre le transistor du bas et la masse. On peut observer sur la courbe correspondant à la masse vue par le transistor du bas le *ground bounce* qui s'y produit, dû au passage du courant dans l'inductance parasite d'interconnexion.

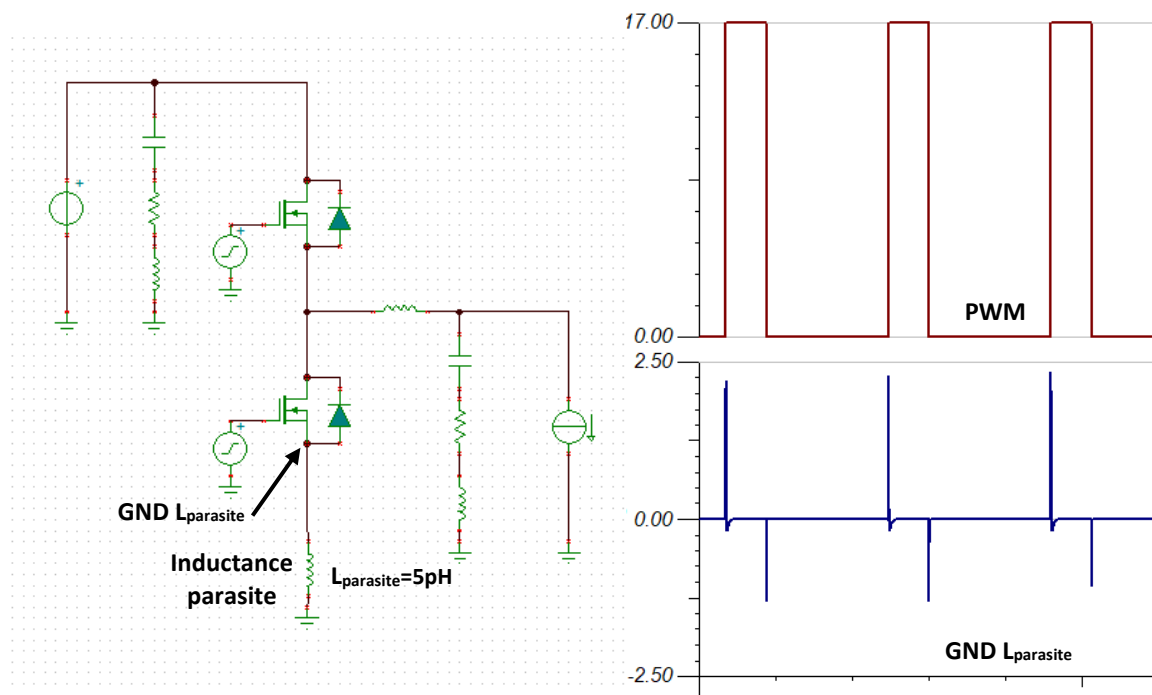


Figure I.33. Inductance parasite dans un abaisseur de tension et son impact sur la masse

I.5. Outils de CAO et prototypage virtuel

I.5.1. Conception assistée par ordinateur

La conception des cartes électroniques complexes exige l'utilisation des outils de CAO ou EDA (*Electronic Design Automation*) [74] [75]. Elle démarre par la création du schéma de la carte, avant d'étudier les besoins en puissance des composants afin de déterminer un empilage convenable et des systèmes d'alimentation capables de fournir ces niveaux de puissance. Les composants sont ensuite placés, et les pistes routées. Les outils de CAO possèdent des fonctionnalités spécifiques à la réalisation de chacune de ces étapes, et offrent la possibilité de fixer des règles et des contraintes à respecter pour les placements des composants et le routage, comme les distances minimales entre deux pistes, ou les dimensions des vias.

Ces outils disposent également de simulateurs permettant d'éprouver les circuits par des analyses d'intégrité du signal, d'intégrité de la puissance, ainsi que des analyses thermiques.

La simulation des dispositifs avant de les envoyer en production permet de vérifier leur conformité, et de les améliorer ou corriger si besoin [76][78]. La phase de simulations et modifications se fait en plusieurs itérations avant de valider la conception, ce qui économise les itérations des prototypes, et réduit le coût de fabrication, ainsi que le délai de commercialisation (*Time to Market*).

I.5.2. Types de simulateurs

Il existe plusieurs outils de CAO qui réalisent le prototypage virtuel, en utilisant différents simulateurs pour modéliser les PCBs et le comportement des signaux. La précision des résultats obtenus avec ces outils dépend du mode de modélisation de leurs simulateurs.

a- Simulateurs SPICE

Les simulations SPICE (*Simulation Program with Integrated Circuit Emphasis*) se font au niveau composant du circuit. Elles se basent sur les caractéristiques des composants en les utilisant dans des équations paramétrées. Les résultats sont fournis en statique, transitoire ou en fréquentiel. Les interconnexions des circuits sont ramenées à leurs équivalents en éléments linéiques RLCG, ce qui permet de simuler les pistes des PCBs, et les entrées et sorties des composants. Parmi les simulateurs de type SPICE les plus courants, on retrouve PSpice™ de OrCad Cadence® [79], HSpice™ de Synopsis® [80], LTspice™ de Analog Devices® [81], ou Tina-TI™ de Texas Instruments® [82].

b- Simulateurs de modèles électromagnétiques

Ces outils d'analyses d'intégrité du signal et d'intégrité de la puissance sont aussi fournis avec les logiciels de CAO, et font office d'extracteurs et de simulateurs de modèles. Ainsi, les tracés des cartes électroniques sont considérés globalement dans leurs milieux en respectant les géométries et les placements des composants. Ils prennent en compte les paramètres qui composent l'empilage de la carte et les interconnexions qu'elle contient pour établir les différentes formes de couplages qui surviennent entre les composants.

Les extracteurs se divisent en trois catégories :

- Les extracteurs 2D : les extractions sont faites en deux dimensions et à fréquences de l'ordre de la centaine de MHz, avec de courts temps de simulations. Maxwell 2D™ [83] est l'un des logiciels les plus employés.
- Les extracteurs 2D+ ou 2.5D : en plus des extracteurs 2D, les extracteurs 2D+ fournissent des résultats plus précis, en prenant en compte les plans des PCBs, et en allant à des fréquences de l'ordre du GHz. Cependant, ils analysent les pistes par tronçons et ne permettent pas de considérer de façon réaliste certains aspect des cartes, comme la distribution du courant dans les vias par exemple. Leur temps de simulation est plus important que les extracteurs 2D. ADS SI/PI pro™ de Keysight Technologies Inc.® [84], ou Siwave™ de Ansys® [85] sont des exemples de simulateurs 2.5D.
- Les extracteurs 3D : ils tiennent compte de tout le physique de la carte (plans, lignes, boîtiers, vias, matériaux). HFSS™ de Ansys® [86], CST Studio Suite™ de Dassault Systèmes® [87], ou Hyperlynx™ de Siemens® [88] sont des références en extraction 3D. Certains extracteurs 3D disposent de la fonctionnalité FEM (*Finite Elements Method*) ou méthode des éléments finis [89]. Ces extracteurs sont les plus appropriés pour une modélisation approfondie et précise : ils analysent non seulement les éléments physiques du PCB, mais modélisent également le courant dans les vias, puisqu'ils considèrent les propagations des ondes électromagnétiques dans les trois axes X, Y et Z.

Pour les analyses de couplage entre les différents conducteurs du PCB (lignes, plans, vias), les outils d'extraction 2.5D et 3D sont satisfaisants, selon la densité du PCB étudié. Les extracteurs FEM 3D par exemple sont idéaux pour analyser de petites zones du PCB, mais seraient trop conséquents pour analyser la diaphonie dans un PCB ultra-dense, puisqu'ils sont gourmands en ressources mémoires et nécessitent des temps de simulations très longs. Les simulateurs 2.5D sont en revanche plus adaptés pour analyser des PCBs plus volumineux (en surface et en densité), leur mode de modélisation est plus simple, mais ils sont moins précis que les outils FEM 3D [90].

Toutefois, ces outils de modélisation du PCB ne prennent pas en compte le fonctionnement des circuits présents sur la carte dans les analyses de couplage. Effectivement, les extracteurs de PCB actuels sont insuffisants pour modéliser le couplage qui se produit entre un système d'alimentation et des signaux avoisinants, puisque leur application est limitée aux conducteurs du PCB uniquement.

I.6. Problématique de la thèse

La densité des cartes conçues par Atos pour les applications HPC entraîne un rapprochement inévitable entre des signaux sensibles, et des alimentations à découpage, ce qui engendre des phénomènes de couplage qui peuvent parfois être nuisibles au bon fonctionnement des systèmes électroniques constituant ces cartes.

Les interférences électromagnétiques émises par une alimentation dépendent de sa qualité et de son fonctionnement. Une alimentation est plus ou moins bruyante selon ses caractéristiques, la puissance qu'elle fournit, son circuit de filtrage et de découplage [91] [92]. Toutefois, la diaphonie perçue par les liens sensibles [93][96] est également causée par le placement et le routage de l'alimentation : localement, il existe des nœuds bruyants [97], et des retours de courants [98] dans les plans de masse qui forment des sources supplémentaires de perturbations pour les signaux sensibles. De tous ces éléments parasites émane la nécessité de protéger les signaux sensibles, afin de maintenir l'intégrité des informations qu'ils transmettent. Un prototypage virtuel [99] [100] s'avère nécessaire afin de repérer ces perturbations par simulation, et de vérifier l'efficacité des corrections nécessaires à apporter au design pour les réduire.

Les outils actuels d'analyses d'intégrité du signal et d'intégrité de la puissance traitent les tracés des cartes électroniques globalement dans leurs milieux, en respectant les géométries et les placements des composants. Ils prennent en compte les paramètres qui composent l'empilage de la carte et les interconnexions qu'elle contient pour établir les différentes formes de couplages qui surviennent entre elles. Cependant, ces outils n'intègrent pas le fonctionnement des alimentations dans leurs analyses, leur application pour la modélisation de couplages se trouve alors limitée aux conducteurs uniquement.

En effet, les études d'intégrité du signal et de la puissance récentes, qui utilisent les outils de CAO pour analyser le couplage entre alimentations et conducteurs, ne font pas de modélisations complètes des systèmes qu'elles étudient. Dans ces travaux, il s'agit souvent d'étudier le couplage entre plans d'alimentations, mais sans modéliser leurs VRMs [101], ou de déboguer un problème de couplage en traitant les conducteurs et l'alimentation séparément [102].

Les simulateurs ne disposant pas d'application dédiée pour la modélisation de l'impact du fonctionnement d'une alimentation sur son environnement, le but de cette thèse est de contribuer à combler ce manque. Les travaux présentés dans ce manuscrit visent à mettre en place une méthode de simulation qui permet de simuler le couplage entre une alimentation et des signaux sensibles voisins. Cette méthode se doit de modéliser fidèlement le physique des cartes à haute densité d'interconnexions, ainsi que les alimentations étudiées, tout en contournant les contraintes de ressources mémoires et de temps de simulations importants engendrés par la densité des cartes.

I.7. Conclusion du chapitre

Ce chapitre a présenté les différents éléments constituant les circuits imprimés à forte densité d'interconnexions. Il a d'abord abordé la composition de ces circuits en détaillant la formation de leur empilage, les composants qu'ils contiennent et les différents types de conducteurs qui les connectent. Il a ensuite fait un état de l'art des topologies d'alimentation, et de leurs modes de distribution dans

les PCBs. Les phénomènes électromagnétiques qui interviennent sur les cartes électroniques ont été décrits, avant de présenter les effets indésirables et les problématiques qu'ils engendrent sur les circuits. Enfin, les outils et méthodes de modélisation utilisés aujourd'hui par les concepteurs de circuits imprimés pour analyser les différents aspects des cartes électroniques ont été listés. Leurs capacités et leurs limitations ont été exposées, afin de contextualiser la problématique de cette thèse.

Les perturbations causées par les commutations des alimentations sur les conducteurs avoisinants forment une complication importante, qui peut parfois mener au dysfonctionnement du système. Les outils de CAO actuels ne considèrent pas ce phénomène de couplage dans sa globalité dans leurs analyses, puisqu'ils ne proposent pas aujourd'hui de solution permettant de modéliser à la fois le système d'alimentation complet et son impact sur les conducteurs. Dans la suite de ce manuscrit, on propose un processus de simulation qui permet de dépasser cette limitation, en se basant sur une carte électronique à haute densité d'interconnexion.

Le cas d'étude et la méthode de modélisation qu'on cherche à développer sont présentés dans le chapitre suivant, avant de détailler les étapes de la mise en place du processus de simulation et sa validation par corrélation aux mesures.

I.8. Références

- [1] R. H. Landau, "A Beginner's Guide to High-Performance Computing", Oregon State University, 2017.
- [2] <https://atos.net/>.
- [3] I. Kuprov, "Lecture 1: the anatomy of a supercomputer", University of Southampton, 2012.
- [4] "BullSequana XH2000 Brochure Atos", Atos, 2019.
- [5] F. Demange et al., "Electronic board provided with a liquid cooling system", brevet US 2014/0233175 A1, 2014.
- [6] R. Lucchese, D. Varagnolo et A. Johansson, "Controlled Direct Liquid Cooling of Data Servers", IEEE Transactions on Control Systems Technology, 2020.
- [7] "How to build a printed circuit board", Advanced Circuits Inc, 2004.
- [8] M. Sharawi, "Assembly and Printed Circuit Board (PCB) Package", EOLSS, 2012.
- [9] A. Wiemers, "Special Construction Principles for Reliable High-speed PCBs", Embedded World Exhibition & Conference, 2014.
- [10] H. Zumbahlen (editor), "Passive components", Linear Circuit Design Handbook, Newnes/Elsevier, 2008.
- [11] F. Richert, "Introduction to electronic components: Active vs. passive components", Power & Beyond, 2020.
- [12] K. H. Yeap, M. M. Isa et S. H. Loh, "Introductory Chapter: Integrated Circuit Chip". Integrated Circuits/Microchips, 2020.
- [13] "PCB Stackup Design Considerations for Intel® FPGAs", Intel, AN-613, 2017.
- [14] G. Layhe "Multilayer bonding – what's it all about?", Education and training in Electronic Design Realisation, 2002.
- [15] A. Mizrachi, "Substrate Materials", Orbotech, 2019.
- [16] M. Miller, "PCB Material Selection for High-Speed Digital Designs", Microwave Journal Webinar, 2014.
- [17] Z. Peterson, "What PCB Copper Thickness Should You Use?", Altium, PCB Design, 2021.
- [18] M. Balmont, "Fiabilité des composants enfouis dans les circuits imprimés", Université de Bordeaux, 2019.
- [19] O. K. H. Sorlie, "HDI High Density Interconnect", R&D Data Respons, 2019.
- [20] H. Zumbahlen, "Linear voltage regulators", Power management, Linear Circuit Design Handbook, Newnes/Elsevier, 2008, pp.3-26.
- [21] H. Zumbahlen, "Switch mode regulators", Power management, Linear Circuit Design Handbook, Newnes/Elsevier, 2008, pp.27-78.
- [22] "Switch-mode power supply", Fairchild Semiconductor Corporation, rev.4, 2014.
- [23] "Using a Switching Regulator vs. Linear Regulator for DC-DC Conversion", Cadence PCB solutions, 2020.

- [24] J. Sreedhar et B. Basavaraja, "Plan and analysis of synchronous buck converter for UPS application", *International Journal of Engineering & Technology*, 2017.
- [25] J. Hubner, "The DC-DC Boost Converter – Power Supply Design Tutorial", *Power Electronics News*, 2018.
- [26] V. Choudhary, T. Hegarty et D. Pace, "Under the hood of a noninverting buck-boost converter", *Texas Instruments, Power Supply Design Seminar*, 2016.
- [27] F. Sahel, "Nouvelles solutions d'alimentation DC-DC", rapport de stage de master 2 SESI UPMC, Atos-Bull, 2017.
- [28] C. Parisi, "Multiphase Buck Design From Start to Finish", *Texas Instruments*, 2021.
- [29] P. Pickering, "Supply Meets Demand: Use Multiphase Converters to Solve Tough Power Design Challenges", *Electronic Design*, 2017.
- [30] K. K. Leong, G. Deboy, K. Krischan et A. Muetze, "A single stage 54V to 1.8V multi-phase cascaded buck voltage regulator module", *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015, pp. 1966-1973.
- [31] <https://www.vicorpower.com/industries-and-innovations/power-on-package>.
- [32] E. A. Burton et al., "FIVR — Fully integrated voltage regulators on 4th generation Intel® Core™ SoCs", *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014, pp. 432-439.
- [33] L. Gouzenes, "Des composants électroniques toujours plus petits et performants", *Réalités Industrielles*, 2009, pp. 32-35.
- [34] <https://www.intel.com/>.
- [35] <http://www.amd.com/>.
- [36] <https://pcsig.com/>.
- [37] "Untangling Standards: The Challenges Inside the Box", *Panel Discussion, SI Journal, DesignCon*, 2020.
- [38] M. Wu et al., "112Gbps Serial Transmission over Copper – PAM4 vs PAM8 Signaling", *DesignCon*, 2017.
- [39] C. Cole, "The Future of Fiber Optic Communications: Data Center & Mobile", *Luminous Computing, DesignCon*, 2020.
- [40] C. Liu, "224 Gb/s Per Lane: Options and Challenges", *Signal Integrity Journal*, 2021.
- [41] H. Holden et C. Pfeil, "Eight key HDI design principles", *Circuit World*, 2011.
- [42] H. Zumbahlen, "Printed circuit board (PCB) design issues", *Power management, Linear Circuit Design Handbook*, Newnes/Elsevier, 2008.
- [43] H. Kim, S. Kim, J. Kim, C. Yoon, B. Achkir et J. Fan, "On-chip linear voltage regulator module (VRM) effect on power distribution network (PDN) noise and jitter at high-speed output buffer", *IEEE Electromagnetic Compatibility Magazine*, 2015, pp. 108-113.
- [44] D. Oh et G. Chen, "Challenges and solutions for core power distribution network designs", *IEEE Electromagnetic Compatibility Magazine*, 2016, pp. 104-111.

- [45] Jingoek Kim, M. D. Rotaru, S. Baek, J. Park, M. K. Iyer et Jounggho Kim, "Analysis of noise coupling from a power distribution network to signal traces in high-speed multilayer printed circuit boards", *IEEE Transactions on Electromagnetic Compatibility*, 2006, pp. 319-330.
- [46] S. C. Thierauf, "High-Speed Circuit Board Signal Integrity", Artech House, Inc. 2004.
- [47] E. Bogatin, "Signal and Power Integrity – Simplified Second Edition", 2009.
- [48] P. Carrier, "Signal integrity and power integrity in high-speed design", EDN, 2014.
- [49] A. Mittal, "What is Power Integrity and Power Distribution Network?", Sierra Circuits, 2020.
- [50] A. Amédéo, "Etude des phénomènes de Réflexions, de Diaphonie et de Stabilité des alimentations sur les cartes à haute densité d'interconnexions", École normale supérieure de Cachan - ENS Cachan, 2010.
- [51] S. J. Orfanidis, "Transmission Lines", *Electromagnetic Waves and Antennas*, ECE Department, Rutgers University, New Jersey, 2016, pp. 536-583.
- [52] S.Chaturvedi, M. Bozanic et S. Sinha, "Extraction of Transmission Line Parameters and Effect of Conductive Substrates on their Characteristics", *Romanian Journal of Information Science And Technology*, 2016, pp.199–212.
- [53] "Microstrip and Stripline Design", Analog Devices, 2009.
- [54] S. J. Orfanidis, "Reflection and Transmission", *Electromagnetic Waves and Antennas*, ECE Department, Rutgers University, New Jersey, 2016, pp. 153-181.
- [55] S. J. Orfanidis, "Impedance matching", *Electromagnetic Waves and Antennas*, ECE Department, Rutgers University, New Jersey, 2016, pp. 614-658.
- [56] J. Raimbourg, "Compatibilité Electromagnétique : La Chasse Aux Démons De Maxwell", CEA-DIF-DCRE Bruyères le châtel, 2008.
- [57] S. Leroise, "Intégrité de signal et compatibilité électromagnétique (CEM) des cartes électroniques", *Techniques de L'Ingénieur*, 2015.
- [58] S. J. Orfanidis, "Coupled Lines", *Electromagnetic Waves and Antennas*, ECE Department, Rutgers University, New Jersey, 2016, pp. 594-612.
- [59] R. Curran, "Exploring Different SAR ADC Analog Input Architectures", Analog Devices, 2015.
- [60] B. Adamczyk et J. Teune, "Common-Impedance Coupling Between Circuits", *In Compliance Magazine*, 2017.
- [61] H.Parashar et G. Singh, "Effects of Capacitive and Inductive Coupling on Interconnects at RF Frequencies", *International Conference on Devices and Communications*, 2011.
- [62] J. Lim, K.Y. See et E. Chua "Impact of Circuit Impedance on Signal Crosstalk", *Nanyang Research Programme*, 2015.
- [63] T. Perminov et A. Petrova, "High Speed Printed Circuit Board (PCB) Design Guidelines", *Integra Sources*, 2021.
- [64] H. Zhang, S. Krooswyk et J. Ou, "High Speed Digital Design", Chapter 2 - PCB design for signal integrity, 2015, pp.27-115.
- [65] K. ARMSTRONG, "Fundamentals of EMC Design: Our Products Are Trying To Help Us", *EMC Directory & Design Guide*, 2012.

- [66] H. Barnes et al., "Signal Integrity & Power Integrity Engineering Design Techniques", Designcon, 2017.
- [67] R. Manack, "Power Tips #82: Reduce switch-node ringing through better decoupling", EDN, 2018.
- [68] Z. Peterson, "Analyse et modélisation de l'impédance du réseau passif d'alimentation (PDN) des PCB : du schéma au routage", Altium, PCB Design, 2021.
- [69] W. Beyene, "Power Delivery Network Design and Optimization for High-Speed Systems with Si Interposer", Designcon, 2017.
- [70] M. Moorthy et al., "Power Delivery Network Design Challenges in 12G Multi-Lane Serial IO", Designcon, 2017.
- [71] M. Aparicio, "Modeling and simulation of the IR-Drop phenomenon in integrated circuits", Sciences et Techniques du Languedoc, Université Montpellier II, 2013.
- [72] A. Howard, "Controlling Parasitic Effects", Keysight Technologies, 2018.
- [73] "Simultaneous Switching Noise and Signal Integrity", Microsemi application note, 2018.
- [74] H. Zumbahlen, "Design development tools", Power management, Linear Circuit Design Handbook, Newnes/Elsevier, 2008.
- [75] P. Harmeling, "Étude et réalisation de PCB", Université de Liège, 2017.
- [76] A. Hashemi, G. Chen, H. Kang et W. Beyene, "Signal and Power Integrity Co-Simulation for High-Density Heterogenous Multi-Die Design", DesignCon, 2020.
- [77] B. Goral et al., "Power Delivery Network Simulation Methodology Including Integrated Circuit Behavior", IEEE, SPI, 2016.
- [78] Z. Cendes, "Turning Signal Integrity Simulation Inside Out", DesignCon, 2017.
- [79] <https://www.pspice.com/solutions-and-technologies>.
- [80] <https://www.synopsys.com/implementation-and-signoff/ams-simulation/primesim-hspice.html>.
- [81] <https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>.
- [82] <https://www.ti.com/tool/TINA-TI>.
- [83] <https://www.ansys.com/products/electronics/ansys-maxwell#tab1-1>.
- [84] <https://www.keysight.com/fr/en/products/software/pathwave-design-software.html>.
- [85] <https://www.ansys.com/fr-fr/products/electronics/ansys-siwave>.
- [86] <https://www.ansys.com/fr-fr/products/electronics/ansys-hfss>.
- [87] <https://www.3ds.com/fr/produits-et-services/simulia/produits/cst-studio-suite/>.
- [88] <https://eda.sw.siemens.com/en-US/pcb/hyperlynx/>.
- [89] A. Reineix, E. Sicard, J. A. Puertolas et G. Akoun, "Validations virtuelles. Implémentation vers les outils numériques", Électronique - Photonique | Électronique, 2017.

- [90] R. Camposano, D. Gope, S. Grivet-Talocia et V. Jandhyala, "Moore meets Maxwell", 2012 Design, Automation & Test in Europe Conference & Exhibition (DATE), Dresden, 2012, pp. 1275-1276.
- [91] A.K. Davis et al., "Power Delivery for Computer Applications", Designcon, 2017.
- [92] A. Bhargava et al. "DC-DC Buck Converter EMI Reduction Using PCB Layout Modification", IEEE, Trans. On Electromagn. Compat, 2011.
- [93] S.H. Hall et al., "Advanced signal integrity for high-speed digital designs", Wiley, IEEE, 2009.
- [94] Rambus, "SerDes-Signal-Integrity-Challenges-at-28Gbps-and-Beyond", White Paper, 2017.
- [95] S.A. Bokhari, "Signal Integrity Considerations for the PCB implementation Of Multi-Gigabit SERDES Links", IEEE, NEMO, 2015.
- [96] Y. Shim et al., "Practical Issues and Solutions for Decomposition of Supply Induced Jitter in High-Speed Serial Links", Designcon, 2016.
- [97] R. Taylor et R. Manack, "Controlling switch-node ringing in synchronous buck converters", Analog Applications Journal, Texas Instruments Incorporated, 2012, pp 5-7.
- [98] A. Lin, A. Milshteyn, M. Garcia, K. Rad, C. Liu et K. Dajani, "The Effect of Return Path Current on Analog Sensor Readings in Mixed-Signal Embedded Applications", EECS, Bern, 2017, pp. 386-395.
- [99] R. Wang et al., "High Level Virtual Prototyping of Signal Integrity in Buses Communication", IEEE Transactions on Components, Packaging and Manufacturing Technology, 2016.
- [100] R. Wang et al., "High Level Modeling of Signal Integrity in a High Frequency Point-to-Point System with SystemC-AMS", IEEE, DCIS, 2013.
- [101] D. Klokotov, T. Luan, A. Wong, D. Graves et S. Narasimhan, "A System-Level Power Integrity Study of Multi-Domain Power Supply Noise Coupling", DesignCon, 2020.
- [102] L. Kocubinski, G. Blando et I. Novak, "Mid-Frequency Noise Coupling between DC-DC Converters and High-Speed Signals", DesignCon 2016.

Chapitre 2

Cas d'étude et méthode de test

Sommaire

II.1.	Introduction du chapitre	55
II.2.	Présentation du cas d'étude.....	55
II.2.1.	Carte CZBS	55
II.2.2.	Cas de couplage	57
II.3.	Présentation de la méthode de test	62
II.3.1.	Modélisation du cas d'étude.....	62
II.3.2.	Mise en place du banc de test	65
II.4.	Conclusion du chapitre	68
II.5.	Références	69

II.1. Introduction du chapitre

Bien que la simulation soit aujourd'hui un processus intégré dans la conception des systèmes électroniques, elle n'est pas toujours disponible ou faisable, selon l'aspect du système qu'on cherche à considérer. Dans le cas de la diaphonie, s'il est aujourd'hui facile d'appliquer des processus pour simuler le couplage entre des lignes ou des plans, il est moins évident d'appliquer ces processus lorsqu'on veut inclure un système d'alimentation à l'analyse. En effet, il n'existe pas aujourd'hui d'outil dédié qui permet de modéliser à la fois des conducteurs dans un PCB, et le fonctionnement d'un système d'alimentation.

Le but principal de cette thèse est de répondre à ce manque, en mettant en place une méthode de simulation fiable pour simuler l'effet du comportement d'une alimentation à découpage sur des signaux sensibles à proximité. Cette étude se fait sur une carte développée par Atos, en utilisant le solveur 2.5D ADS SI/PI pro™ de Keysight Technologies Inc.®. Ce chapitre présente, dans un premier temps, le cas d'étude choisi pour la construction et le développement de la méthode, avant d'exposer dans un deuxième temps les détails du processus de simulation mis en place.

II.2. Présentation du cas d'étude

Après une brève description de la carte étudiée, nous nous intéresserons au couplage auquel elle est sujette.

II.2.1. Carte CZBS

Le cas d'étude choisi pour le développement et la validation de notre méthode de simulation est une petite carte mezzanine nommée CZBS (Compute Mezzanine BXI Single NIC), utilisée pour les interconnexions entre les cartes dans certains serveurs HPC développés par Atos. Le réseau Bull eXascale Interconnect (BXI) est un booster de performance de communication dans les applications HPC. Il gère les communications indépendamment des processeurs, leur permettant ainsi de se dédier entièrement aux tâches de calculs [103]. La connexion entre la carte mezzanine et la carte mère se fait par PCI-e de 3^{ème} génération.

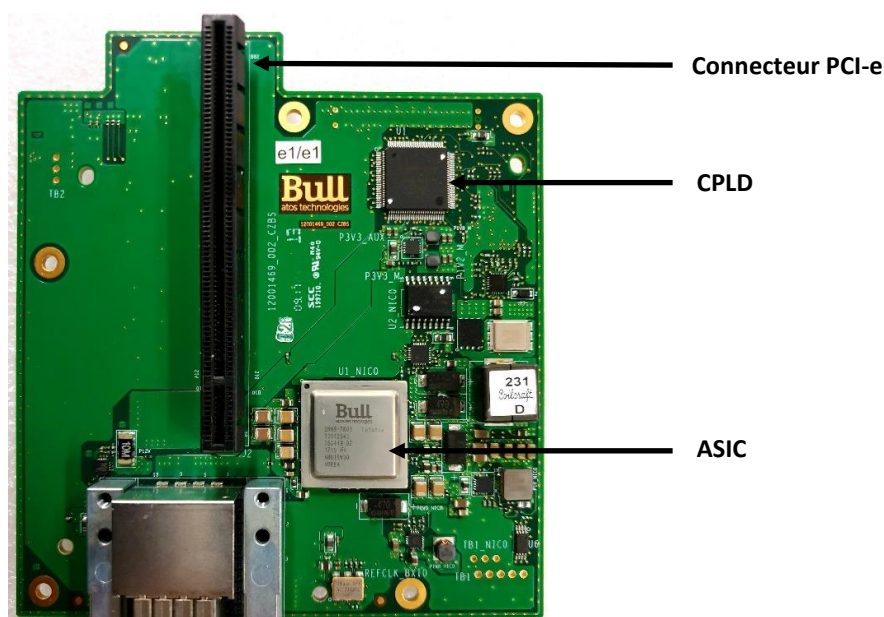


Figure II.1. Vue de dessus de la carte CZBS

Le choix de la carte CZBS comme cas d'étude est motivé par la présence de diaphonie entre une alimentation et quelques signaux voisins, tout en étant suffisamment petite pour permettre une modélisation assez rapide grâce aux outils de CAO actuels.

La CZBS est une carte à haute densité d'interconnexions mesurant 118mm x 130mm x 2mm, et composée de 12 couches : 2 couches externes, 4 couches de routage internes, et 6 plans d'alimentation et de masse. Comme on peut le voir sur la Figure II.1, cette carte contient principalement un ASIC, un CPLD, des connecteurs, et les composants d'alimentation nécessaires à son fonctionnement. La Figure II.2 illustre l'empilage des différentes couches de la carte CZBS.

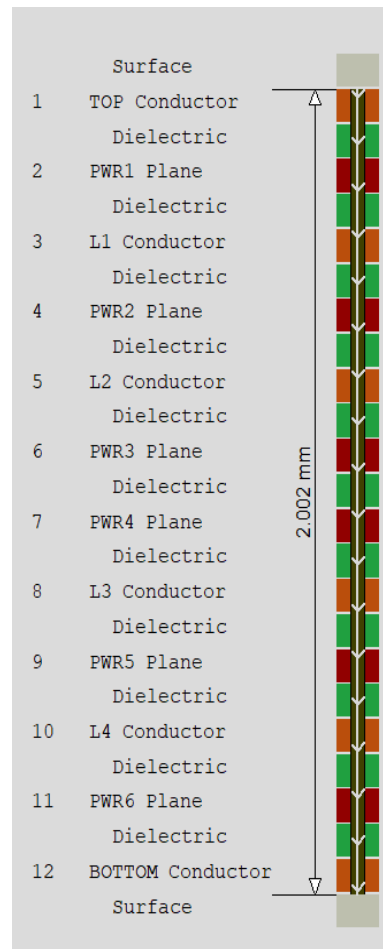


Figure II.2. Empilage de la carte CZBS

Cette carte compte 6 potentiels d'alimentation différents : 12V, 3.3V, 1.8V, 1.2V, 1V, et 0.9V. Les tensions principales 12V et 3.3V sont issues de la carte mère via le connecteur PCI-e, et servent à générer le reste des tensions à l'aide de régulateurs de tensions ou de convertisseurs DC/DC. Ces tensions sont respectivement nommées *P12V*, *P3V3*, *P1V8*, *P1V2*, *P1V* et *P0V9*.

La consommation maximale totale de cette carte est estimée à 38W, avec une majorité de la puissance consommée par l'ASIC sur le potentiel *POV9*, qui est sa tension de cœur. La distribution et les consommations maximales des différentes tensions présentes sur la carte sont détaillées sur la Figure II.3.

Les mesures prises sur la première version de la carte CZBS ont dévoilé des bruits de commutations sur quelques signaux. Parmi les alimentations responsables de ces perturbations, on s'intéresse à celle

dédiée à la tension de cœur de l'ASIC (*P0V9*). Cette tension fait appel aux courants les plus élevés sur la carte (jusqu'à 30A), et provoque le plus de parasites sur les signaux à proximité.

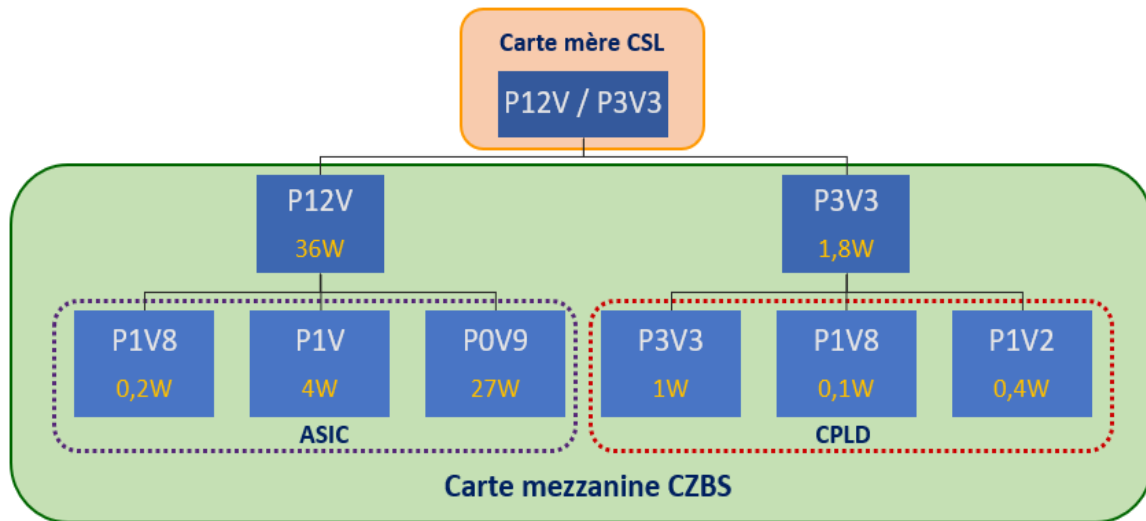


Figure II.3. Distribution des tensions sur la carte CZBS

II.2.2. Cas de couplage

La tension de cœur de l'ASIC est générée par un abaisseur de tension synchrone. Il est constitué d'un contrôleur, de deux MOSFETs commutant à une fréquence de 440kHz, d'une inductance, et de capacités bulk qui maintiennent le niveau de la tension de sortie constant lors des commutations des transistors. Il prend en entrée une tension de 12V et la convertit en une tension de 0.9V. Les composants de l'alimentation et l'ASIC sont placés sur la couche supérieure de la carte, comme on peut le voir sur la Figure II.4.

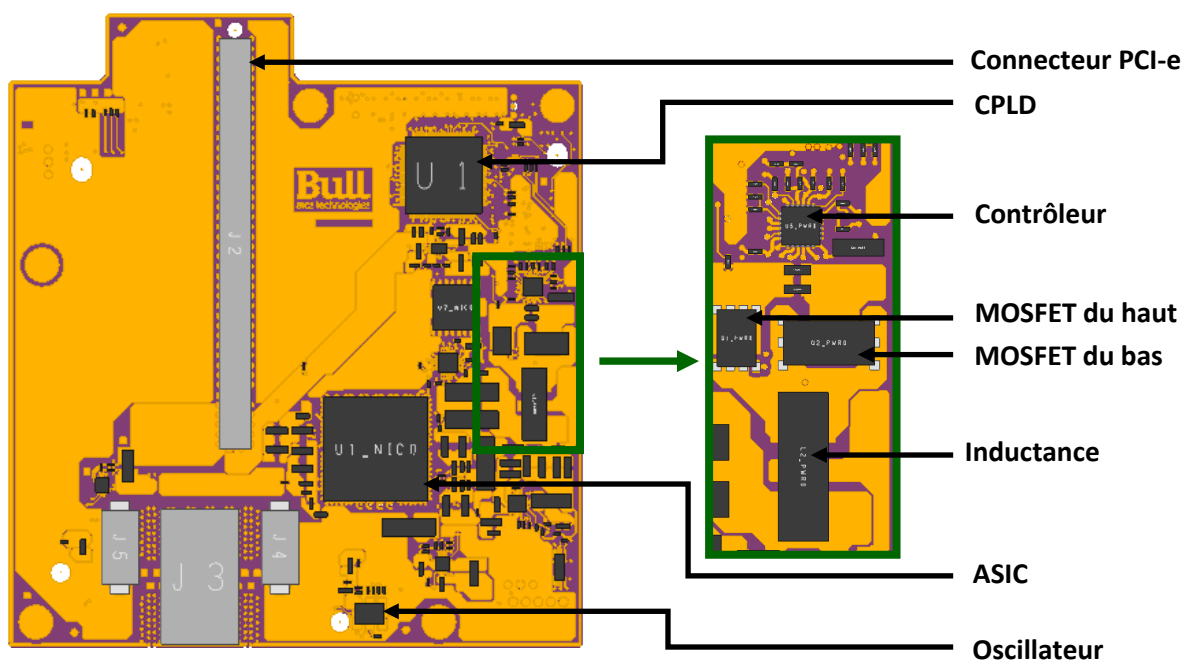


Figure II.4. Vue de la face Top du layout de la carte CZBS sur ADS SI/PI pro™, avec zoom sur le système d'alimentation

Le circuit de découplage est quant à lui réparti sur les couches supérieure et inférieure, une partie des condensateurs située à la sortie de l'alimentation, et le reste près de l'ASIC. Un circuit schématisé simplifié de l'alimentation *POV9* est représenté sur la Figure II.5.

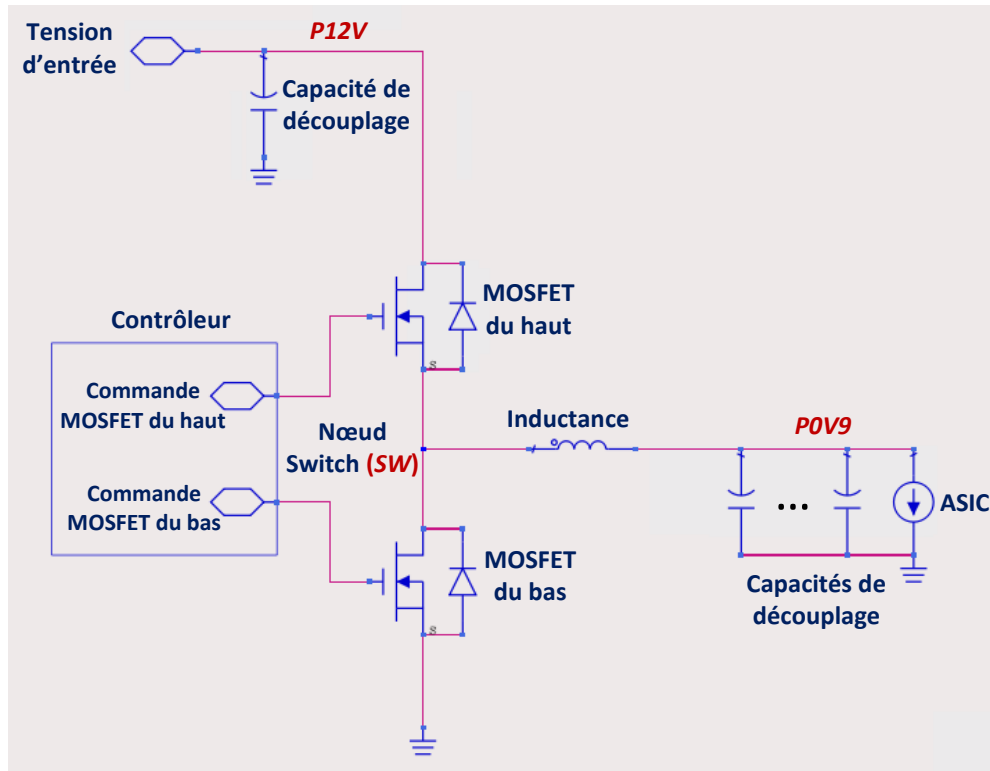


Figure II.5. Représentation schématisée simplifiée du système d'alimentation *POV9* sur la carte CZBS initiale

Comme on peut le voir sur les signaux relevés en Figure II.6, les commutations des transistors de l'alimentation (*SW*) provoquent du bruit sur son signal d'entrée (*P12V*). Comme attendu de l'effet de l'inductance et du réseau de découplage, les bruits de commutations sont fortement réduits sur la tension *P0V9* en entrée de l'ASIC.

Toutefois, la mesure de quelques signaux tracés près de l'alimentation sur les couches internes, a permis de relever des perturbations correspondant aux commutations de l'alimentation. Le signal d'activation de l'horloge du BXI est l'un des signaux perturbés par les commutations de l'alimentation.

Il s'agit d'un signal statique d'une tension de 3.3V, qu'on nommera *CLK_EN*. Il est tracé du CPLD vers l'oscillateur, en passant sous l'alimentation *P0V9* sur la couche *L1* près du nœud *Switch*. La proximité entre l'alimentation *P0V9* et le signal *CLK_EN*, dont la tension statique permet de facilement distinguer les bruits de commutations (Figure II.6), font de cet exemple un cas d'étude exploitable. De plus, les perturbations sur ce signal semblent peu varier, et n'affectent aucun système sur la carte, ce qui simplifie la prise des mesures.

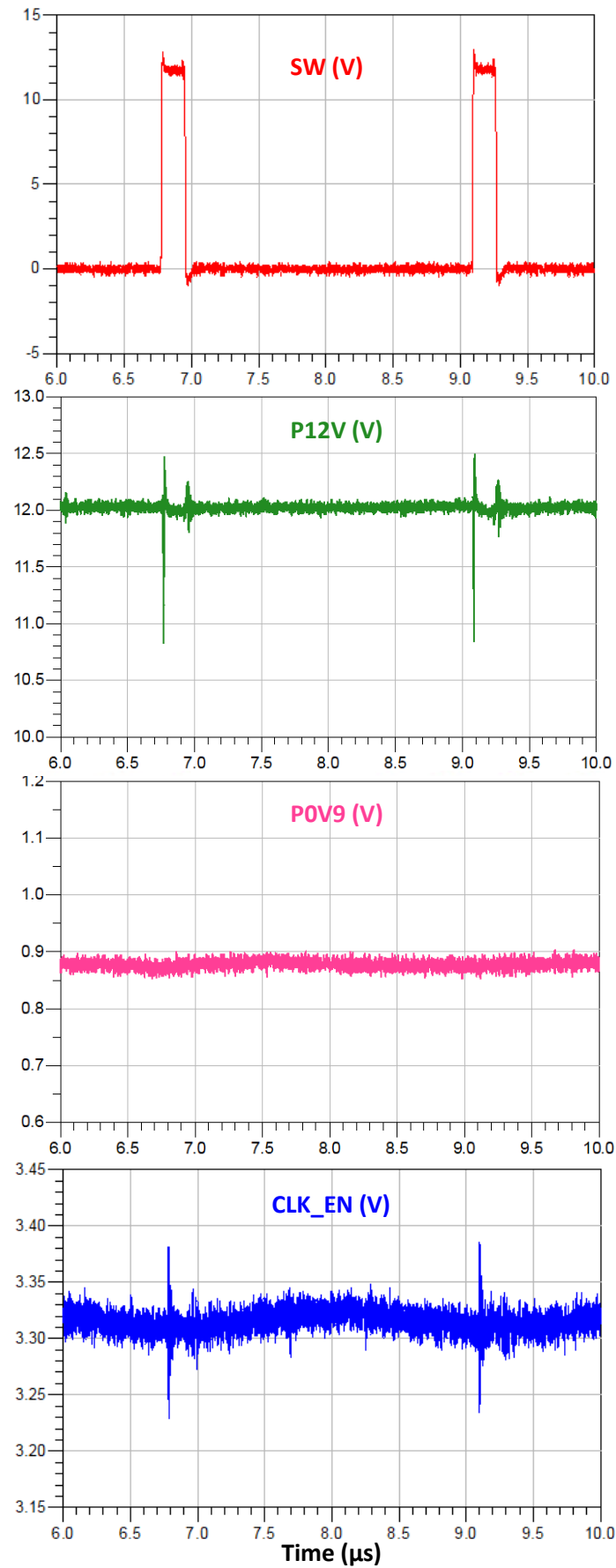


Figure II.6. Courbes temporelles relevées par mesure des signaux pertinents : le signal SW (rouge), l'entrée de l'alimentation P12V (vert), la sortie de l'alimentation P0V9 (rose), et le signal victime CLK_EN (bleu)

La Figure II.7 présente une vue 3D du cas d'étude. Par souci de clarté, seuls les éléments impliqués dans notre cas d'étude apparaissent sur cette figure, les autres composants, vias et couches ne sont pas représentés.

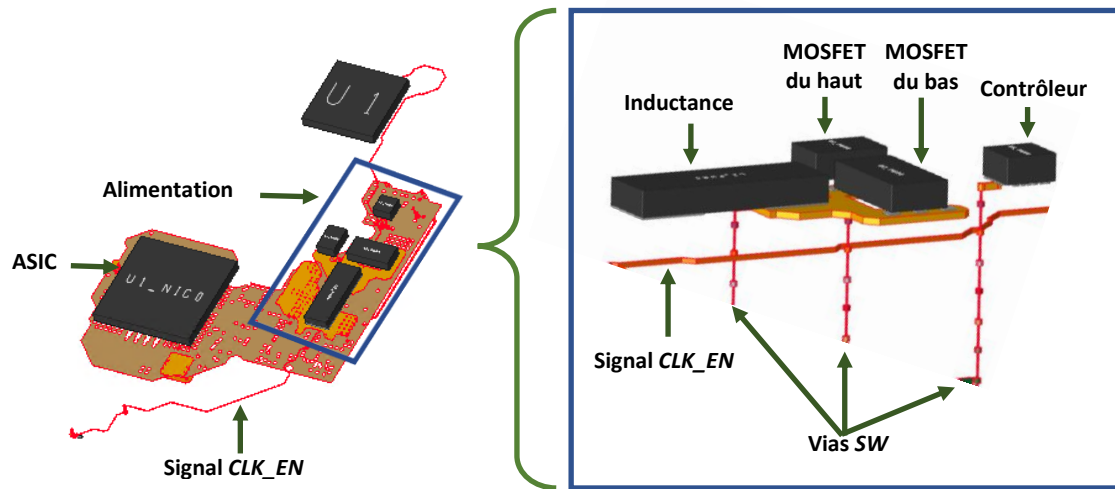


Figure II.7. Vue 3D du cas d'étude sur la carte CZBS

Le but de notre étude est de retrouver par simulation les perturbations diaphoniques causées par les commutations de l'alimentation sur le signal CLK_EN , à travers une modélisation affinée du système étudié, puis de corréler les résultats de simulation aux mesures sur la carte réelle.

Il est à noter que le bruit causé par l'alimentation $P0V9$ sur les signaux avoisinants n'est pas gênant, et n'empêche pas la carte de fonctionner correctement. Cela dit, lors d'une mise au point de cette carte, une modification a été apportée à l'alimentation $P0V9$ afin de réduire le di/dt de l'appel de courant. Une fois notre méthode de simulation prête, on l'appliquera également sur la version corrigée de la carte CZBS.

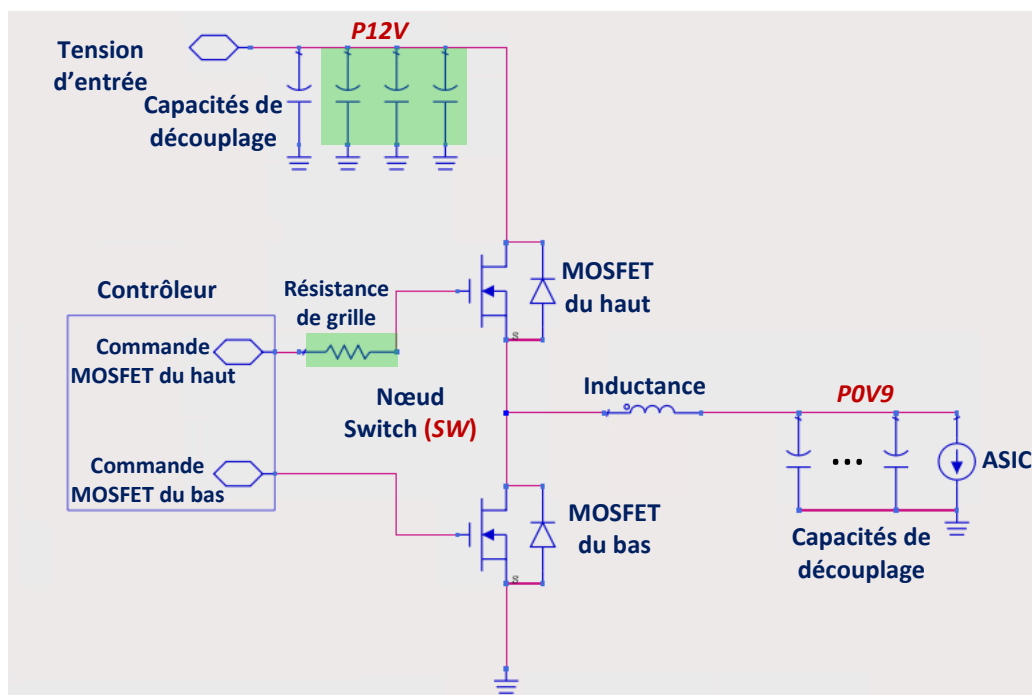


Figure II.8. Représentation schématisée simplifiée du système d'alimentation $P0V9$ sur la carte CZBS corrigée

Cette modification a consisté à ajouter une résistance de grille sur le transistor du haut, et des capacités de découplage supplémentaires sur la tension d'entrée de l'alimentation *P12V*. La Figure II.8 montre le circuit d'alimentation *P0V9* sur la carte CZBS corrigée.

Comme on le voit sur la Figure II.9 et le Tableau II-1, cette correction permet de réduire considérablement l'agressivité de l'alimentation, et donc les perturbations qu'elle provoque sur son environnement.

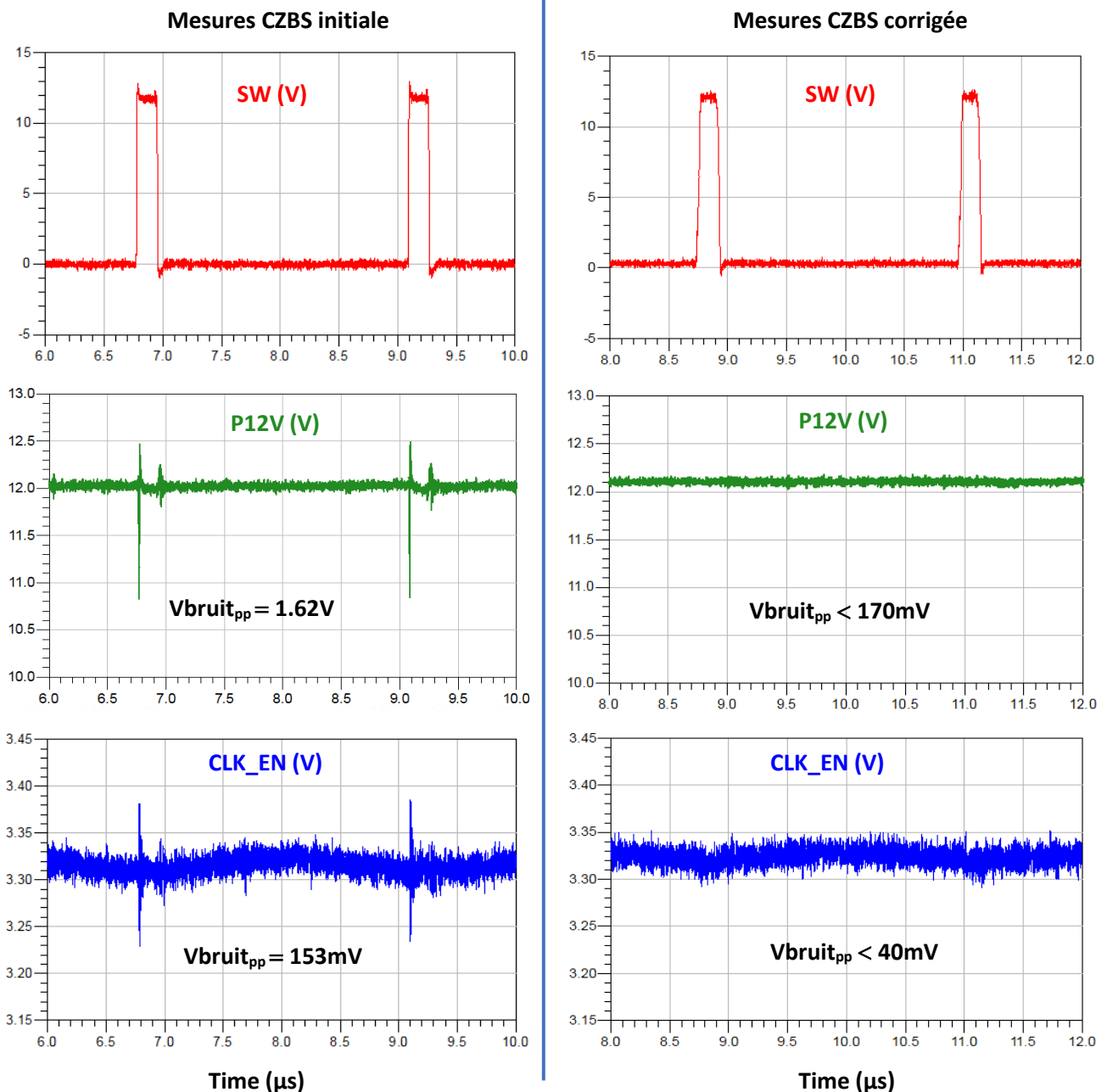


Figure II.9. Courbes temporelles relevées par mesure des signaux SW (rouge), P12V (vert) et CLK_EN (bleu), sur les cartes CZBS initiale et corrigée

	Mesures CZBS initiale (V_{pp})	Mesures CZBS corrigée (V_{pp})	Taux de réduction du bruit (%)
$V_{\text{bruit P12V}}$	1.62	< 0.170	> 89.5
$V_{\text{bruit CLK_EN}}$	0.153	< 0.040	> 73.9

Tableau II-1. Différence des niveaux de perturbations entre la carte CZBS initiale et corrigée

L'amplitude crête à crête du bruit ($V_{\text{bruit}_{pp}}$) est calculée sur la première perturbation.

Le taux de réduction du bruit entre la version initiale de la carte CZBS et la version corrigée, est lui exprimé selon l'expression (II-1).

Dans la suite, pour exploiter les comparaisons entre les mesures et les simulations, un taux d'erreur ρ est calculé suivant l'équation (II-2).

Ces calculs sont appliqués aux différents designs analysés tout au long de notre étude.

$$\tau_{\text{réduction}} = \frac{V_{\text{bruit}_{\text{carte initiale}}} - V_{\text{bruit}_{\text{carte corrigée}}}}{V_{\text{bruit}_{\text{carte initiale}}}} \times 100 \quad (\text{II-1})$$

$$\rho_{\text{erreur}} = \frac{V_{\text{bruit}_{\text{mesuré}}} - V_{\text{bruit}_{\text{simulé}}}}{V_{\text{bruit}_{\text{mesuré}}}} \times 100 \quad (\text{II-2})$$

II.3. Présentation de la méthode de test

Afin de retrouver par simulation les perturbations observées sur le signal CLK_EN , on cherche à modéliser le système [alimentation + signal CLK_EN], où l'alimentation représente l'agresseur, et le signal CLK_EN la victime. Cette modélisation doit prendre en compte la composition de la carte (couches de cuivre, vias), ainsi que les propriétés de l'alimentation.

II.3.1. Modélisation du cas d'étude

La modélisation du cas d'étude se divise en deux parties : la modélisation du PCB de la carte étudiée, et la modélisation du fonctionnement du système d'alimentation agresseur.

La modélisation du PCB a pour but de représenter le comportement des signaux et des plans d'alimentation dans leurs milieux (dimensions, matériaux, etc.). Elle se fait par extraction du layout de la carte à l'aide de l'outil ADS SI/PI pro™ de Keysight Technologies Inc.® [84], sous la forme d'un ensemble de paramètres-S. Cette étape peut nécessiter beaucoup de temps CPU et de ressources mémoires, en fonction de la complexité de la zone à extraire.

En électronique, les paramètres-S ou paramètres de dispersion (*Scattering parameters*) [104], sont les éléments d'une matrice, permettant de caractériser le comportement électrique des circuits (considérés comme des multipôles) dans le domaine fréquentiel.

Sur la Figure II.10, on considère un circuit composé d'une ligne de transmission, d'une source de tension et d'une charge. Les ports P1 et P2 correspondent respectivement au port de transmission du signal (source de tension), et au port de sa réception (charge).

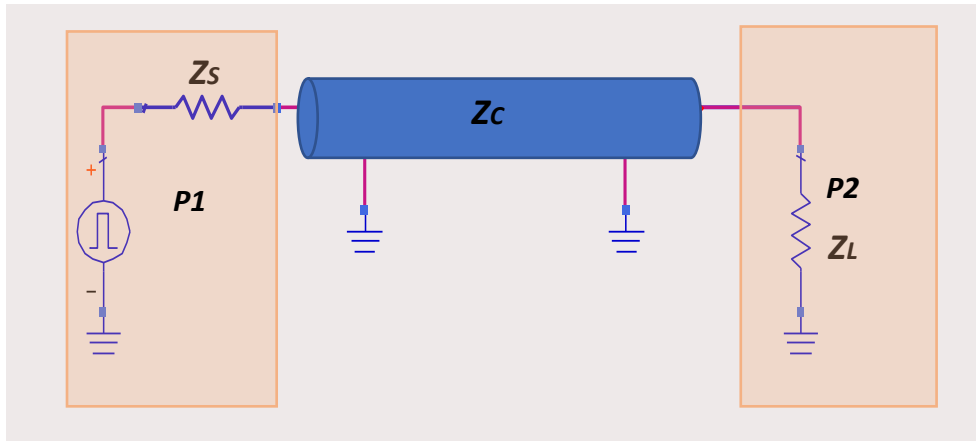


Figure II.10. Ligne de transmission configurée pour des mesures paramètres-S

Le quadripôle équivalent de la ligne de transmission ci-dessus est représenté sur la Figure II.11, avec les ports de transmission et de réception P1 et P2, leurs puissances transmises respectives a_1 et a_2 , et leurs puissances reçues respectives b_1 et b_2 .

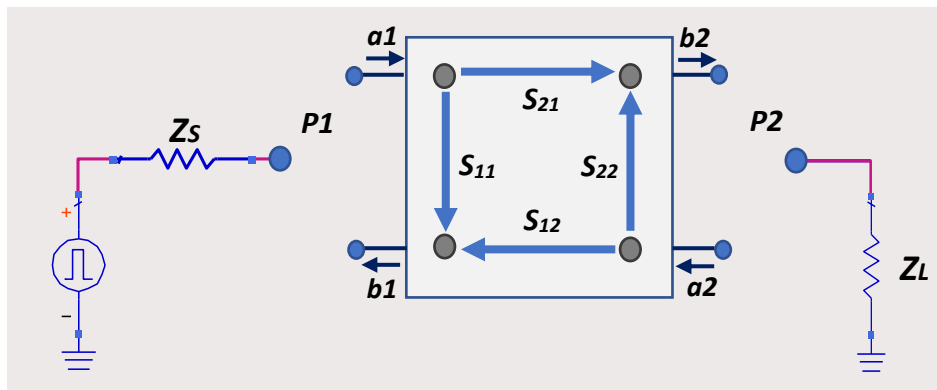


Figure II.11. Structure du quadripôle équivalent de la ligne de transmission pour les mesures paramètres-S

Les coefficients des paramètres-S s'expriment comme suit :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{II-3})$$

$$b_1 = S_{11} \cdot a_1 + S_{12} \cdot a_2 \quad (\text{II-4})$$

$$b_2 = S_{21} \cdot a_1 + S_{22} \cdot a_2 \quad (\text{II-5})$$

Avec S_{11} le coefficient de réflexion, S_{22} le coefficient de réflexion inverse, S_{21} le coefficient de transmission, et S_{12} le coefficient de transmission inverse. Dans les circuits symétriques, on se retrouve avec $S_{11} = S_{22}$ et $S_{21} = S_{12}$.

La Figure II.12 montre les résultats d'une analyse SI sur ADS, appliquée à une ligne adaptée en transmission et en réception. La courbe verte S_{21} correspond aux pertes en transmission du signal (*insertion loss*) en fonction de la fréquence. Pour une ligne idéale sans pertes et adaptée, S_{21} est nul sur toute la plage de fréquences, comme on le voit avec la courbe noire S_{21} idéal.

La courbe bleue S_{11} exprime la réflexion du signal (*return loss*) en fonction de la fréquence. Pour une ligne idéale sans pertes et adaptée, S_{11} tend vers $-\infty$, comme illustré par la courbe rouge S_{11} idéal.

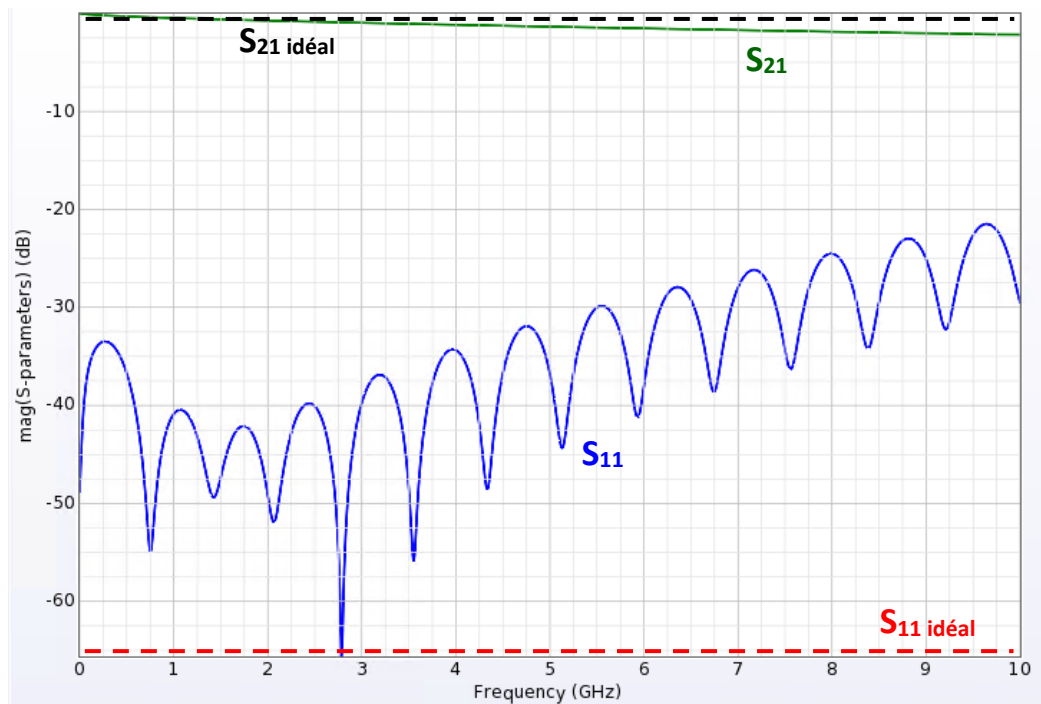


Figure II.12. Coefficients de transmission (S_{21}) et de réflexion (S_{11}) de la ligne de transmission

Dans le cadre de notre étude, toutes les analyses SI sur ADS sont effectuées en mode AFS (*Adaptive Frequency Sampling*) [105]. Ce mode d'analyse se base sur un algorithme qui extrait plus de points aux fréquences où il détecte des variations dans les paramètres-S. Son utilisation permet de récupérer un maximum d'informations des PCBs en utilisant le moins de points possible, et de réduire les temps d'extractions.

Le fonctionnement du modèle de l'alimentation est lui obtenu via un simulateur de type SPICE. Cette étape dépend des informations mises à disposition par le fabricant. Elle peut par conséquent nécessiter des caractérisations complémentaires, si les modèles fournis ne sont pas suffisamment détaillés, ou inexistantes.

Dans notre cas d'étude CZBS, le contrôleur ainsi que l'un des transistors utilisés dans le circuit d'alimentation étant des produits *Texas Instrument*®, dont les modèles disponibles sont uniquement simulables sur l'outil dédié Tina-TI™, la modélisation du comportement du système d'alimentation se fait alors via une analyse schématique temporelle sur cet outil [82].

Concernant les composants inclus dans le cas d'étude (transistors, inductance, résistances, capacités), leurs modèles de simulation sous format SPICE ou paramètres-S seront utilisés, dans la mesure où ils sont accessibles. Quant au signal victime CLK_EN , le modèle IBIS (*I/O Buffer Information Specification*) de son buffer choisi dans le CPLD sera utilisé pour le simuler.

Le modèle SPICE d'un composant se présente sous forme d'un fichier de description physique des semi-conducteurs qui le constituent. Les éléments du modèle sont reliés via une construction nodale. La précision des modèles SPICE dépend du niveau de détails que le fabricant est prêt à partager : les modèles les plus précis décrivent l'architecture complète des composants, en incluant des informations sur leurs boîtiers, et leurs éléments parasites [106].

Le modèle IBIS fournit lui le comportement des composants actifs, sans décrire la composition architecturale du composant. Les informations comportementales des entrées et sorties du composant sont présentées sous forme de courbes V/I (tension/courant) dans le domaine statique. Dans le domaine dynamique, elles sont données sous forme de temps de commutations (rise time/ fall time), ou de courbes V(t) obtenues pour certaines conditions de charge. Le modèle IBIS, tout comme le modèle SPICE, contient parfois des informations sur le boîtier du composant [107].

Les modèles du PCB et de l'alimentation obtenus devront être introduits dans un modèle global contenant tous les éléments qui constituent le cas d'étude. Le circuit équivalent complet sera ensuite simulé dans une analyse temporelle, comme illustré dans le diagramme en Figure II.13.

La validation de la méthode proposée se fait par la comparaison des résultats de simulations aux mesures effectuées sur la carte, qui servent de référence. Un banc de test spécifique est mis en place pour l'obtention des mesures sur la carte CZBS. Les détails de la modélisation de cette méthode seront donnés dans le chapitre suivant.

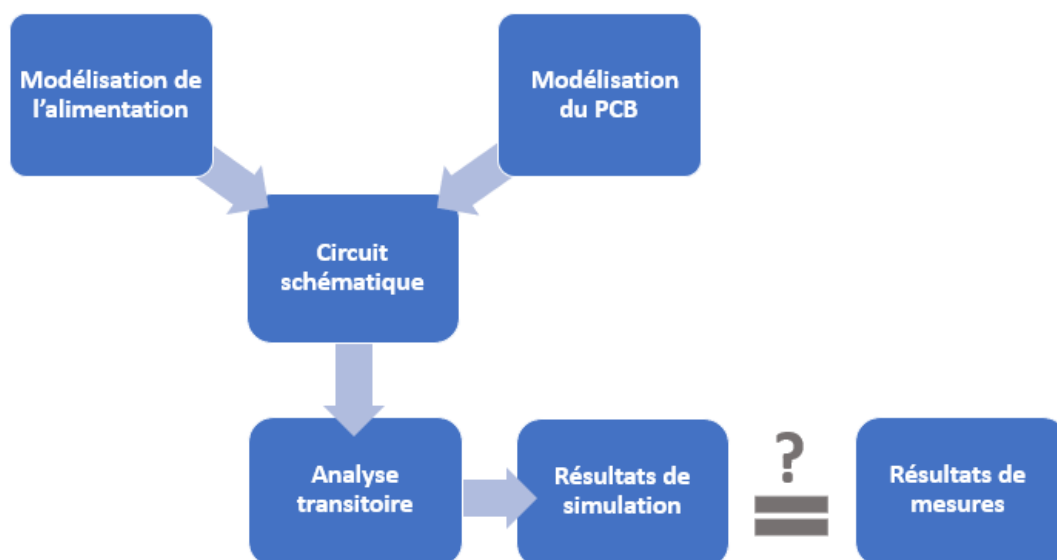


Figure II.13. Diagramme des étapes de la simulation

II.3.2. Mise en place du banc de test

Le banc de test de notre cas d'étude (Figure II.14) est constitué d'une carte mère CSL (*Compute SkyLake*) de la gamme *BullSequana XH2000*, pouvant recueillir deux processeurs Skylake™ de Intel®, et 16 barrettes mémoires DDR4. Elle est alimentée par un bloc d'alimentation, qui fournit une tension continue de 54V à partir de la tension du secteur. Un convertisseur DC/DC au format ¼ de brique convertit cette tension de 54V vers une tension de 12V, qui est ensuite distribuée sur toute la carte CSL, et dont une partie est récupérée par la carte mezzanine CZBS via le connecteur PCI-e gen3, sur lequel elle est montée. Pour les besoins de notre étude, un seul CPU est requis. L'activation de la carte mère se fait par le BMC (*Baseboard Management Controller*), qui sert à contrôler la carte et monitorer ses caractéristiques, comme les tensions ou la température [108].

Pour les mesures, un oscilloscope Tektronix TDS5104B est utilisé [109]. Il possède une bande passante de 1GHz et une capacité d'échantillonnage de 5GS/s. Il dispose de 4 voies, auxquelles sont connectées des sondes de deux types différents :

- Des sondes différentielles Tektronix P6247, ayant une bande passante de 1GHz et une tension mesurable maximale de 10V [110]. Elles sont utilisées pour mesurer les signaux dont le potentiel est inférieur à 10V, comme le signal *CLK_EN* (tension nominale de 3.3V), la tension de commande du transistor du bas (4.7V) ou la tension d'alimentation de l'ASIC (0.9V).
- Des sondes différentielles Tektronix P6251, ayant une bande passante de 1GHz et une tension mesurable maximale de 50V [111]. Elles sont utilisées pour mesurer les signaux dont le potentiel dépasse 10V, comme la tension d'entrée de l'alimentation (12V), le signal de commande du transistor du haut (17V) ou le signal Switch (12V).

Toutes les mesures sont faites en mode différentiel, en s'aidant de points de mesure, composés chacun de deux fils de cuivre blindés, l'un connecté au potentiel qu'on désire mesurer, et l'autre à la masse la plus proche.

Il est à noter que les parasites intrinsèques (*baseline noise floor*) [112] des appareils de mesure (oscilloscope et sondes) aperçus sur toutes les courbes présentées dans ce manuscrit dépendent principalement de la bande passante et de la fréquence d'échantillonnage appliquées lors de la prise de mesures. Toutes les mesures sont prises avec une bande passante de 1GHz, (la bande passante maximale des outils de mesures) et tous les signaux sont échantillonnés à 2.5 GS/s (Giga échantillons par seconde). Il est possible de réduire l'amplitude du bruit intrinsèque en diminuant la bande passante, mais cela réduirait également l'amplitude des perturbations dues aux commutations de l'alimentation *POV9*, qu'on cherche à observer.

On maintient donc une bande passante de 1GHz qui permet de prendre en compte le maximum d'informations des signaux mesurés. La fréquence d'échantillonnage fixée à 2.5GS/s apporte une bonne précision aux mesures.

Pour des raisons d'accessibilité aux points de mesures, la carte est mesurée hors de sa mécanique et de son système de refroidissement par plaque froide. Pour compenser cette absence de régulation thermique, le refroidissement du banc de test se fait par des ventilateurs, placés près du processeur et de la carte mezzanine.

Dans le cadre de cette étude, tous les signaux relevés par mesure sont visualisés sur une interface d'affichage de données de l'outil ADS SI/PI pro™, afin de faciliter leur exploitation, et leur comparaison aux signaux simulés à venir.

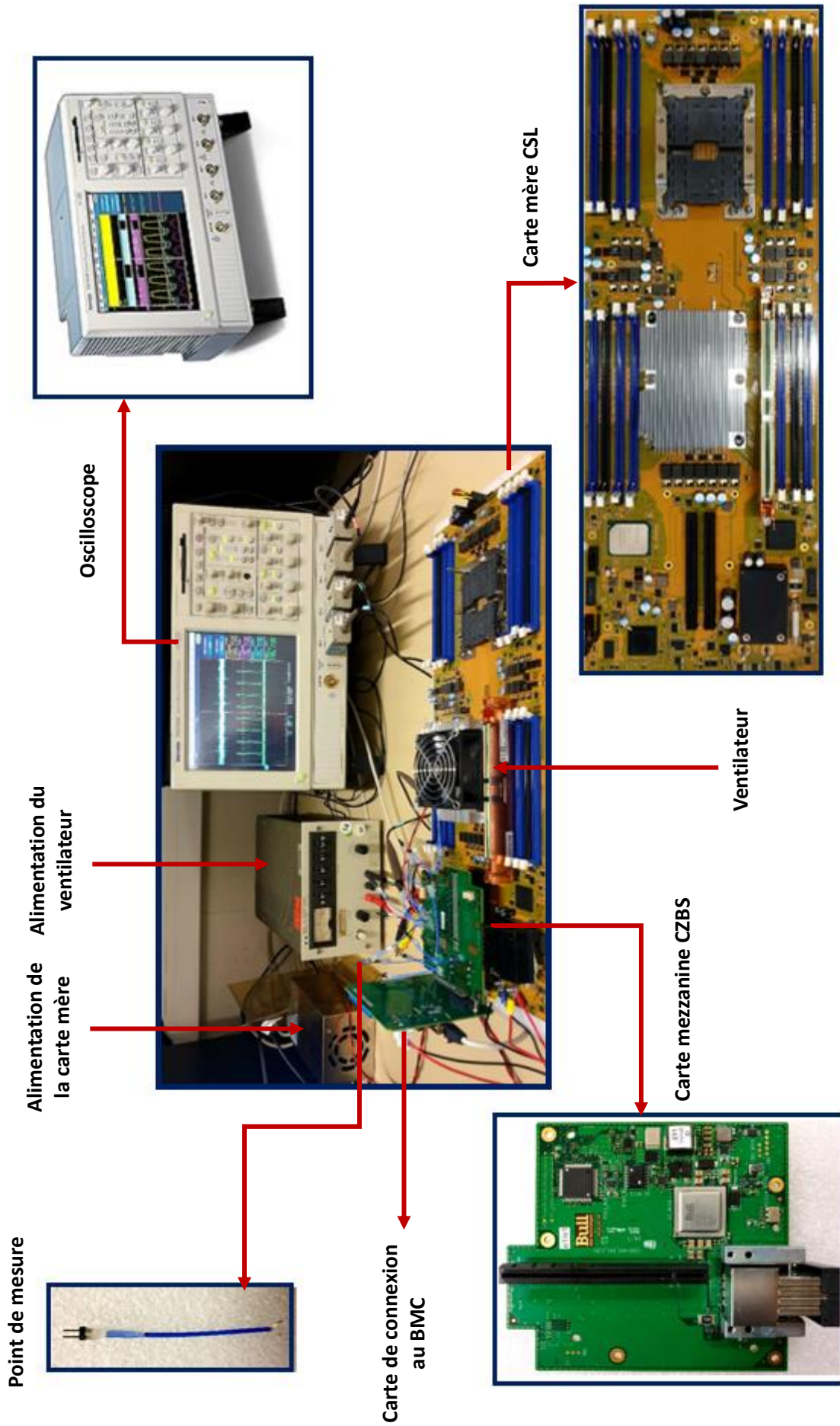


Figure II.14. Banc de test pour la prise des mesures sur la carte CZBS

II.4. Conclusion du chapitre

La simulation de phénomènes de diaphonie entre un système d'alimentation et une ligne voisine n'étant pas intégrée dans les simulateurs CAO d'intégrité du signal actuels, on cherche à mettre en place une méthode de simulation qui permet de modéliser l'impact d'une alimentation sur des signaux sensibles à proximité, dans le cadre de cartes électroniques à forte densité d'interconnexions. Cette méthode est à développer et valider sur la carte CZBS présentée dans ce chapitre, qui contient un cas d'étude exploitable d'un couplage entre une alimentation et un signal voisin.

Ce chapitre expose aussi les différentes étapes de la méthode de simulation proposée, ainsi que les outils prévus pour son expérimentation. Le banc de test pour la prise des mesures sur la carte CZBS y est également présenté.

Dans le chapitre suivant, l'application du processus de simulation sur le cas d'étude est détaillée, avant de corréler les résultats de simulations aux mesures prises sur la carte, et d'en déduire la validité ou non de la méthode de simulation proposée.

II.5. Références

- [103] S. Derradji, T. Palfer-Sollier, J. Panziera, A. Poudes et F. W. Atos, "The BXI Interconnect Architecture", IEEE 23rd Annual Symposium on High-Performance Interconnects, Santa Clara, CA, 2015, pp. 18-25.
- [104] S. J. Orfanidis, "S-parameters", Electromagnetic Waves and Antennas, ECE Department, Rutgers University, New Jersey, 2016, pp. 663-706.
- [105] G. Miller, "About Adaptive Frequency Sampling", Simulation in EMDS, Keysight Knowledge Center, 2008.
- [106] "SPICE Module User's Guide", Version 2020a, Powersim Inc., 2020.
- [107] M. Casamayor, "A First Approach to IBIS Models: What They Are and How They Are Generated", Analog Devices, AN-715 Application Note, 2004.
- [108] "Intel® Integrated Baseboard Management Controller Embedded Web Server User Guide", Intel® Server Products and Solutions, Rev 1.8, 2020.
- [109] <https://www.tek.com/fr/datasheet/tds5000-series-digital-phosphor-oscilloscope>.
- [110] <https://www.tek.com/fr/datasheet/differential-probes-2>.
- [111] <https://www.tek.com/fr/datasheet/1-ghz-and-500-mhz-high-voltage-differential-probes>.
- [112] L. Teschler, "How to reduce oscilloscope noise during measurements", Test & Measurement Tips, 2017.

Chapitre 3

Etablissement de la méthode de test

Sommaire

III.1.	Introduction du chapitre	71
III.2.	Modélisation du cas d'étude	71
IV.2.1.	Modélisation du PCB	71
IV.2.2.	Modélisation de l'alimentation	73
IV.2.3.	Circuit équivalent et simulation temporelle.....	74
IV.2.4.	Premiers résultats et interprétations.....	77
III.3.	Hypothèses et simulations	77
III.3.1.	Hypothèse 1 : Modélisation incomplète des plans de masse	78
III.3.2.	Hypothèse 2 : Autre moyen de couplage	85
III.4.	Conclusion du chapitre	96
III.5.	Références	98

III.1. Introduction du chapitre

Ce chapitre est dédié à l'élaboration de la méthode de simulation sur le cas d'étude, tous deux brièvement introduits au chapitre précédent. A travers cette méthode de simulation, on cherche à modéliser fidèlement les perturbations provoquées par l'alimentation sur le signal *CLK_EN*, passant à proximité (Figure II.7). La modélisation du cas d'étude est exposée en premier lieu, en détaillant la modélisation du physique de la carte et celle de l'alimentation. Les résultats de ces dernières sont ensuite combinés dans une simulation temporelle, permettant d'obtenir l'image de la perturbation causée par l'alimentation sur le signal victime. Plusieurs itérations de simulations sont ensuite effectuées pour répondre aux différentes hypothèses qu'on émet, avant de conclure sur la validité du processus de simulation proposé, en l'éprouvant sur une version corrigée de la carte CZBS.

III.2. Modélisation du cas d'étude

La modélisation du cas d'étude doit prendre en compte tous les éléments impliqués dans le couplage qui se produit entre l'agresseur et la victime. Pour l'agresseur, cela comprend tous les composants qui constituent le système d'alimentation ; de la tension d'entrée jusqu'à la charge, en incluant les transistors, l'inductance, les capacités de découplage, ainsi que tous les plans et lignes qui interviennent dans le fonctionnement de l'alimentation. Quant à la victime, sa modélisation comprend le modèle IBIS du signal *CLK_EN* étudié, et son routage sur le PCB.

La modélisation du PCB se fait par le biais d'une analyse SI sur l'outil ADS SI/PI pro™ de *Keysight Technologies Inc.*®. Le comportement de l'alimentation est simulé via une analyse temporelle au niveau schématique avec l'outil Tina-TI™ de *Texas Instruments*®.

III.2.1. Modélisation du PCB

PathWave Advanced Design System™ (ADS) est un outil de conception et d'analyse de designs, offrant un assortiment de simulateurs aux capacités diverses, allant de la simulation schématique à la simulation de champs électromagnétiques, en couvrant les domaines à la fois temporel et fréquentiel.

Dans la section SI/PI pro de ADS [113], la partie SI pro se concentre sur l'analyse de l'intégrité des signaux dans leurs milieux de propagation, en capturant les effets électromagnétiques qui s'y manifestent, tels que les pertes, la réflexion, ainsi que les différents types de couplage : ligne à ligne, via à via, plan à plan, ou ligne à plan.

La partie PI pro (*Power Integrity*) est, elle, réservée au traitement de l'intégrité de la puissance, comme des analyses de chutes ohmiques dans le PCB (*IR-drop*) ou d'impédance du PDN. Pour les besoins de cette thèse, c'est la partie SI pro qui est principalement utilisée.

L'analyse SI sur ADS pro produit des résultats sous la forme de paramètres-S. La configuration de notre analyse s'organise en 4 parties : la sélection des nets qu'on désire analyser, la définition des ports des paramètres-S, la modélisation des composants discrets connectés aux nets, et le réglage des options de simulation.

Sont définies comme ports du bloc paramètres-S les entrées et sorties du système étudié, ainsi que les broches des composants non discrets du circuit. Pour l'agresseur (le système d'alimentation fournissant la tension de cœur de l'ASIC), les ports considérés pour l'extraction sont la source de la tension 12V, le drain et la source du transistor du haut, le drain du transistor du bas, et l'ASIC. Les ports de la ligne victime sont pris sur les pins des composants reliés par ce net : le CPLD et l'oscillateur.

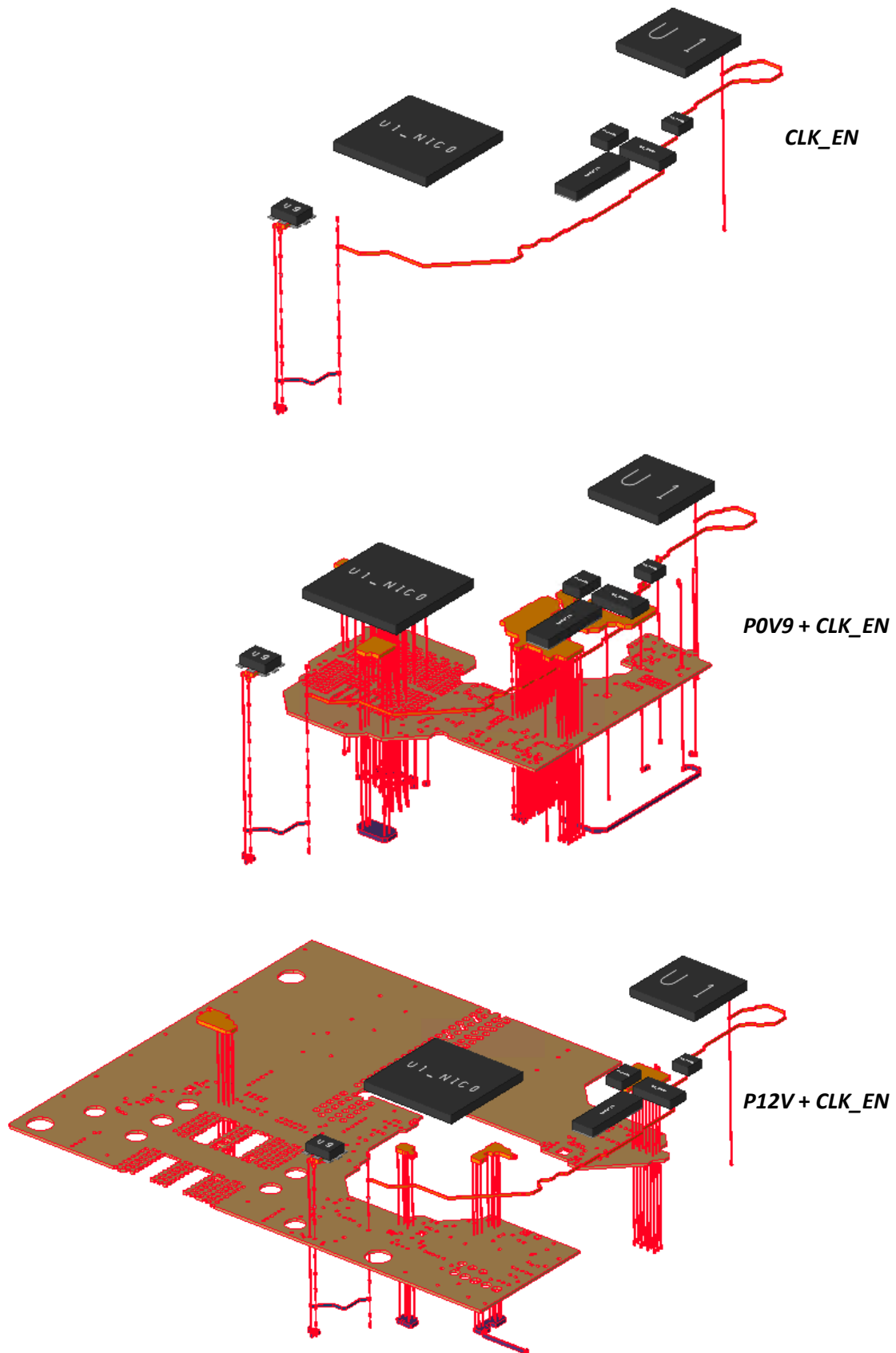


Figure III.1. Vue 3D du signal CLK_EN et des plans P0V9 et P12V sur la carte CZBS

Concernant les plans et les signaux, on extrait ceux impliqués dans le fonctionnement de l'alimentation, à savoir les plans *P12V*, *P0V9*, le signal *CLK_EN*, représentés sur la Figure III.1, et la masse. Chaque signal pris en compte dans l'analyse doit être classé selon sa fonction, dans l'une des catégories suivantes : *ground*, *power*, ou *signal* (Figure III.2).

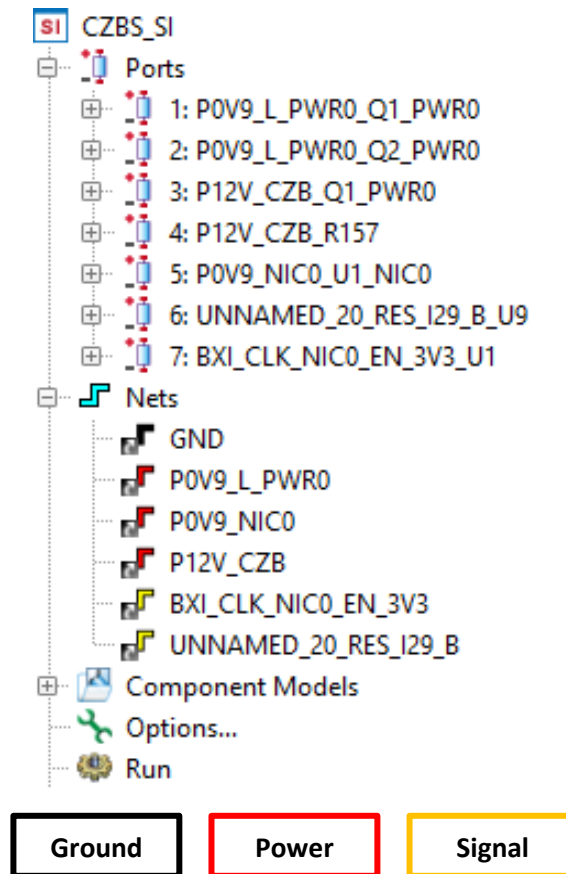


Figure III.2. Configuration de l'analyse SI sous ADS SI/PI pro™, vue des ports et des signaux à extraire

L'inductance de l'alimentation et les capacités de découplage sont incluses dans l'analyse dans la catégorie composants discrets, leurs modèles de simulation sont utilisés pour une modélisation réaliste.

On clôture la configuration en choisissant la plage de fréquences qu'on désire extraire, le type d'analyse (linéaire ou logarithmique), et l'inclusion ou non des chutes ohmiques dans les plans d'alimentations et de masse.

Pour notre cas d'étude, on choisit une analyse adaptive, avec une plage de fréquences allant de 10Hz à 1GHz, en incluant les chutes ohmiques dans les plans.

III.2.2. Modélisation de l'alimentation

Une fois l'extraction du layout terminée, on s'intéresse à la simulation de l'alimentation dans le but de modéliser son fonctionnement. La modélisation de l'alimentation sur Tina-TI™ consiste en une simulation temporelle d'un circuit schématique composé du contrôleur, des transistors, et de tous les composants discrets qui constituent le système d'alimentation (Figure III.3).

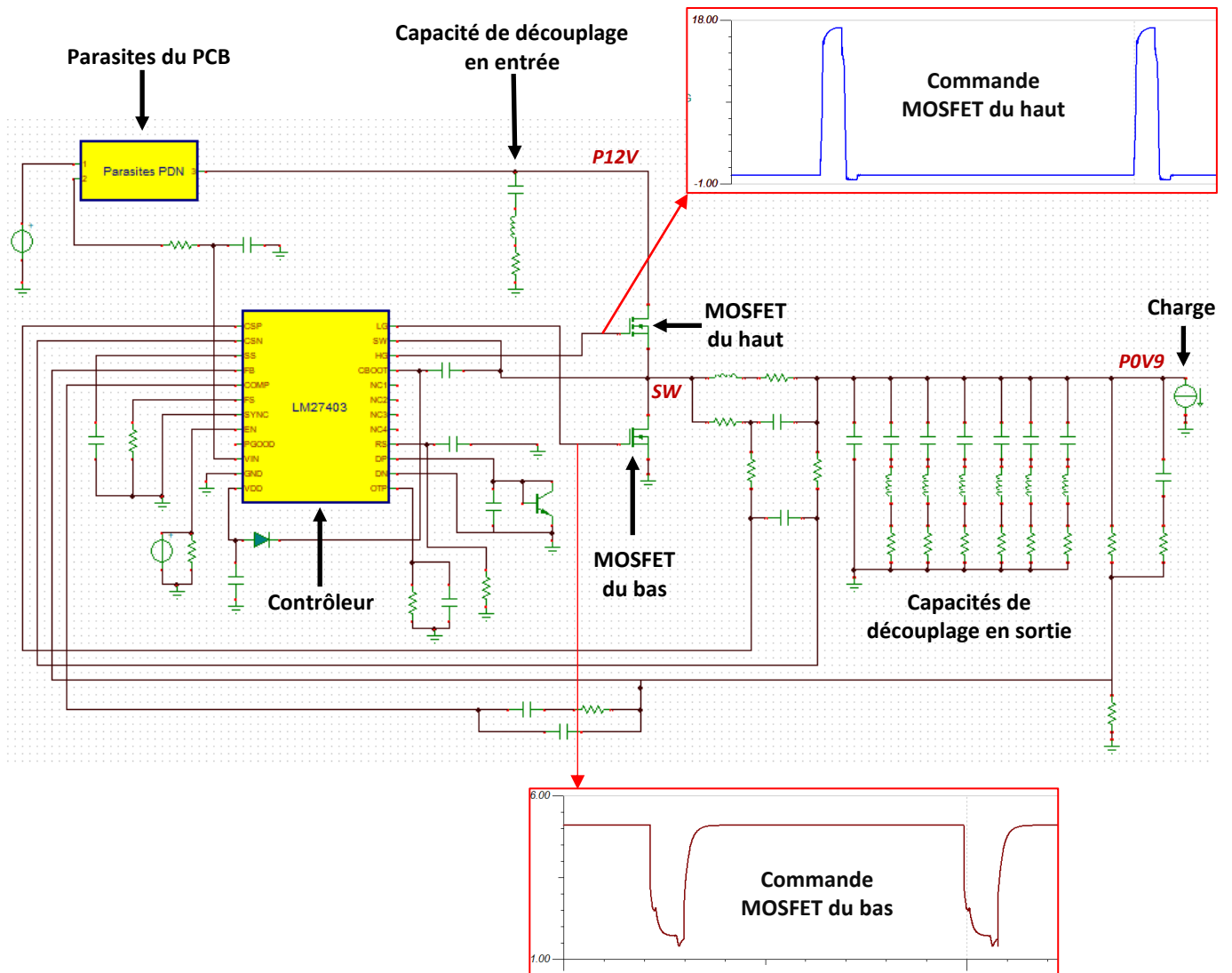


Figure III.3. Circuit schématique du système d'alimentation complet sur TINA-TI™

Afin de reproduire un fonctionnement réaliste de l'alimentation, on utilise les modèles des composants fournis par leur fabricant, et on insère un modèle équivalent du PDN pour la tension $P12V$, récupéré préalablement de l'extraction du layout. Cela permet de considérer les effets parasites du PCB dans le comportement de l'alimentation, et de générer des commandes de grilles de transistors réalistes, qui seront utilisées dans le circuit équivalent du cas d'étude.

III.2.3. Circuit équivalent et simulation temporelle

La construction de notre cas d'étude se fait par assemblage des éléments obtenus précédemment dans un circuit schématique équivalent sur ADS schematics. On y retrouve la modélisation du PCB sous la forme d'une structure paramètres-S (incluant tous les composants discrets, comme on le voit sur la Figure III.4). S'ajoutent à cela les commandes des grilles, pilotant les modèles réels des transistors de l'alimentation, ainsi que les sources de tensions et les charges nécessaires.

Le courant consommé par l'ASIC au moment de la prise des mesures étant de 1A, on applique cette valeur à la charge qui émule l'ASIC dans notre circuit de simulation. Quant au signal émis sur la ligne victime CLK_EN , son modèle IBIS est utilisé.

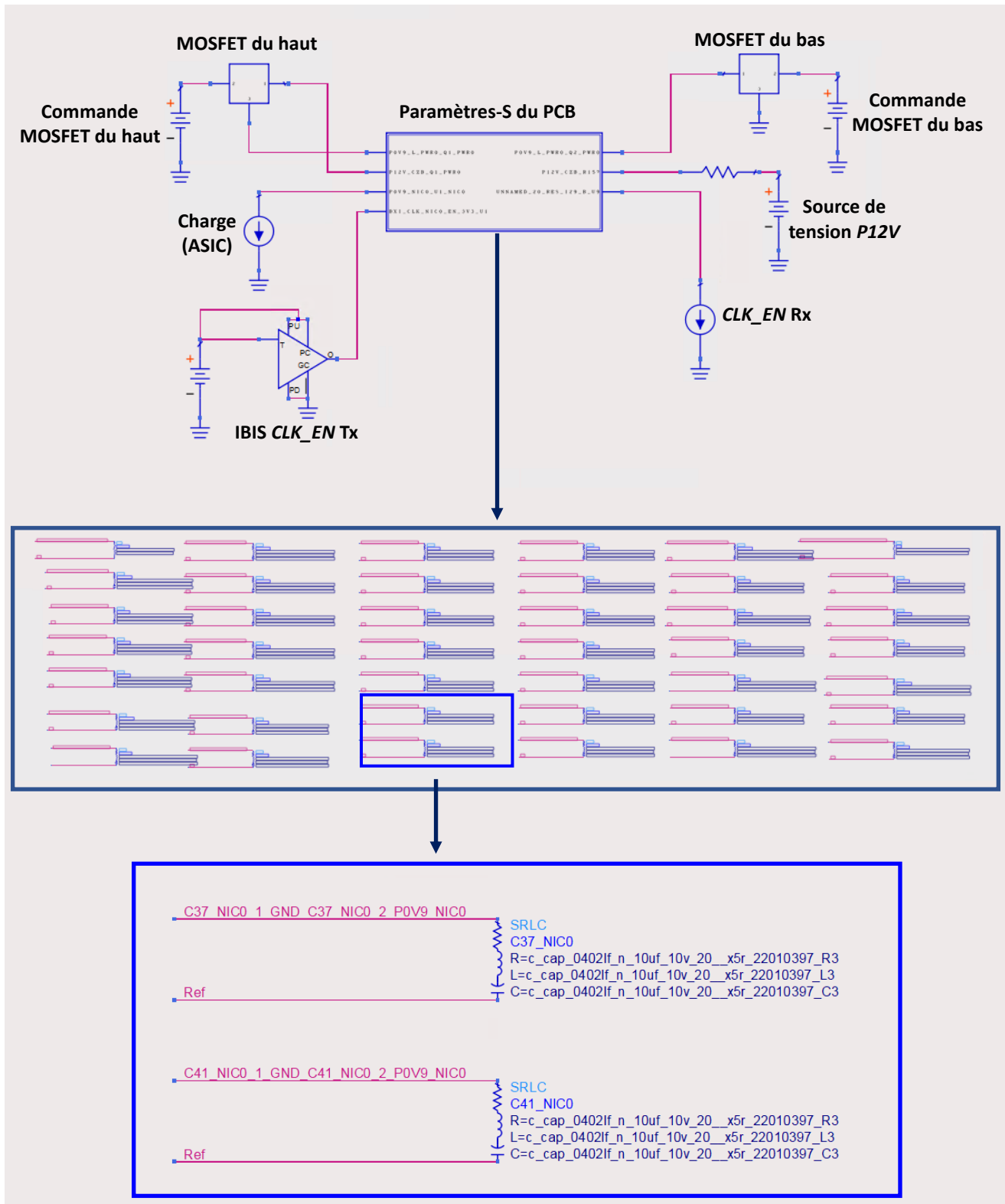


Figure III.4. Circuit schématique équivalent du cas d'étude sur ADS Schematics, vue des ports extraits et des composants inclus dans la structure paramètres-S

Le circuit est simulé par une analyse transitoire, et les résultats obtenus sont par la suite comparés aux résultats de la mesure. Le processus de modélisation et de simulation du cas d'étude est détaillé dans un diagramme en Figure III.5.

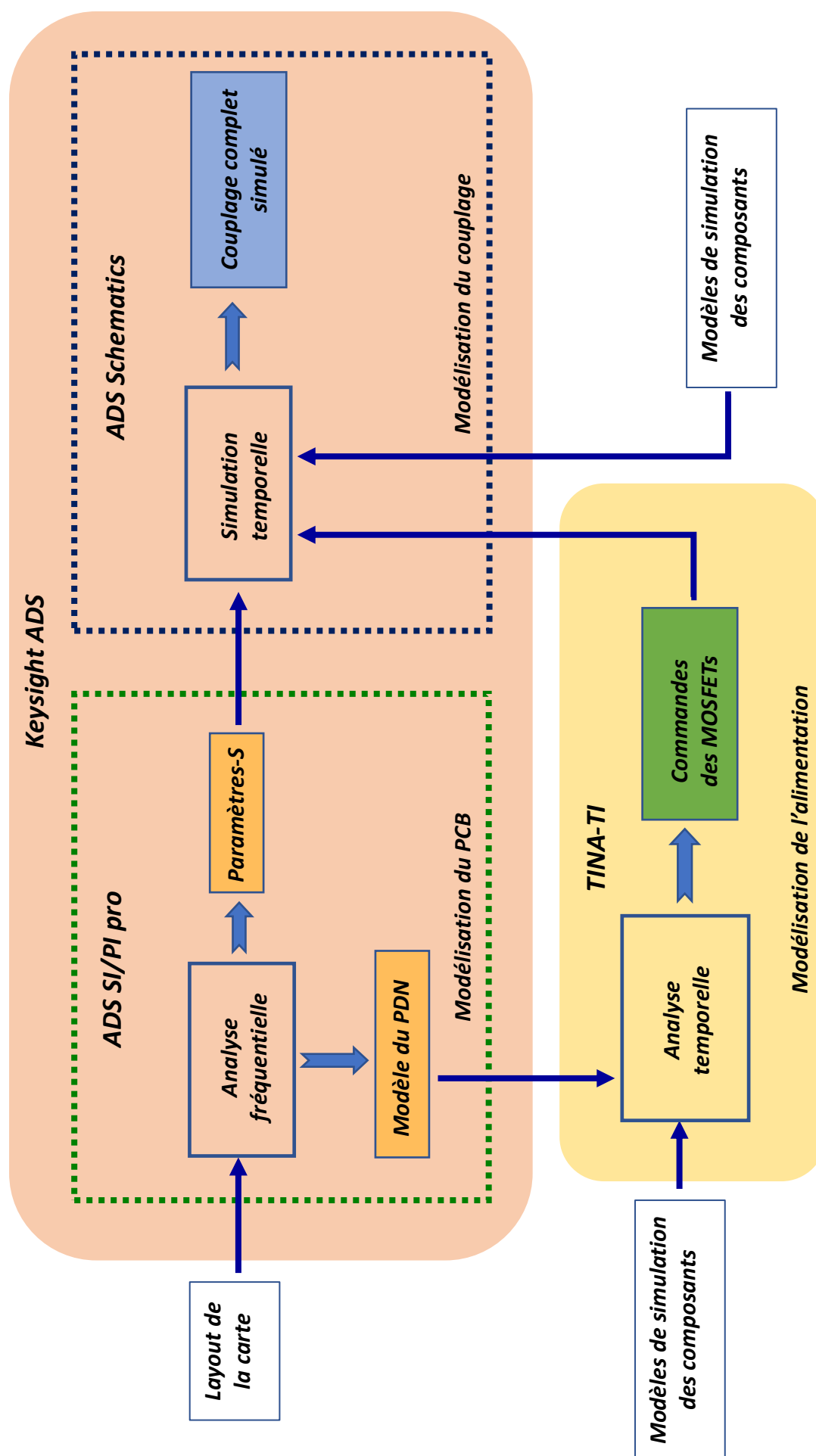


Figure III.5. Diagramme détaillé du processus de simulation développé

III.2.4. Premiers résultats et interprétations

Les résultats obtenus après la simulation de la zone étudiée suggèrent un cas très optimiste. En effet, comme on le voit sur la Figure III.6, les perturbations attendues sur le signal victime simulé sont quasiment inexistantes. En conséquence le taux d'erreur (II-1) entre la mesure et la simulation est proche des 100%, comme on peut le lire sur le Tableau III-1.

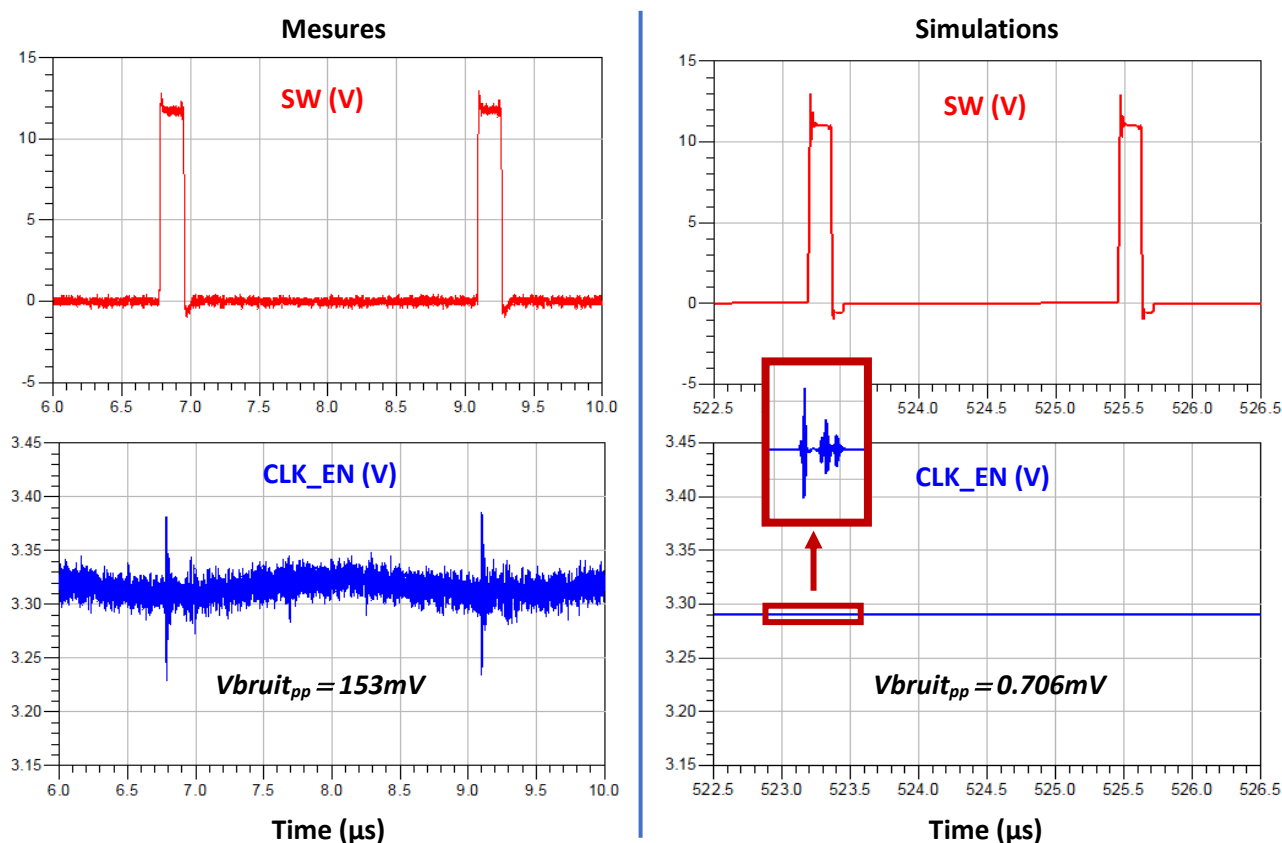


Figure III.6. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge), par mesure et par simulation

	Mesures (mV _{pp})	Simulations (mV _{pp})	Taux d'erreur (%)
$V_{\text{bruit CLK_EN}}$	153	0.706	99.54

Tableau III-1. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN

On en déduit que le mode de couplage qui survient entre l'alimentation et le signal CLK_EN n'est pas modélisé dans notre cas de simulation. Dans la suite de l'étude, on tente de déterminer par quel moyen se fait le couplage, et de modifier le cas de simulation afin de parvenir à le modéliser.

III.3. Hypothèses et simulations

Dans le but de déterminer le mode de couplage et de l'introduire dans le processus de simulation, on concentre la suite de l'étude sur la formulation et l'expérimentation de deux hypothèses principales : la première s'oriente vers les éventuelles limitations de l'outil d'extraction, et la seconde considère d'autres moyens de couplage, qui n'auraient pas été pris en compte dans le processus de simulation initial.

III.3.1. Hypothèse 1 : Modélisation incomplète des plans de masse

Les premiers résultats obtenus (Figure III.6) montrent que le couplage qu'on cherche à identifier n'est pas causé par la proximité entre la ligne victime et le nœud Switch (Figure II.7). Pour une vérification supplémentaire, on a effectué quelques essais, consistant à déplacer la ligne victime, en la rapprochant et en l'éloignant des nœuds bruyants. Les résultats de ces essais n'ont montré aucun changement majeur quant à l'amplitude des parasites observés par simulation. Cela conforte l'idée que la position du signal victime sur la couche *L1* par rapport au nœud Switch n'a pas d'impact sur le couplage qu'on cherche à identifier.

On rappelle que le système d'alimentation *POV9*, placé sur la couche *Top*, et le signal *CLK_EN*, tracé sur la couche *L1*, sont séparés par un plan de masse. Comme les parasites sur le signal victime simulé sont à peine visibles, cela laisserait supposer que le système simulé est idéal, et qu'il n'y a pratiquement pas de couplage entre l'alimentation et la ligne victime. On suppose que cela est dû aux plans de masse, qui seraient considérés idéaux dans la modélisation par l'extracteur 2.5D, ce qui fausserait le comportement du courant circulant dans les plans de masse, et empêcherait le couplage entre l'alimentation et le signal victime.

On émet alors l'hypothèse d'un couplage entre l'alimentation *POV9* sur la couche *Top* et la ligne *CLK_EN* sur la couche *L1*, à travers le plan GND les séparant. Ce couplage ne serait pas pris en compte par l'outil de simulation, puisqu'il considérerait les plans de masse comme étant idéaux. Afin de valider cette hypothèse, on introduit une ouverture dans ce plan GND, supprimant ainsi le blindage entre l'alimentation *POV9* et la ligne victime, comme on le voit sur la Figure III.7.

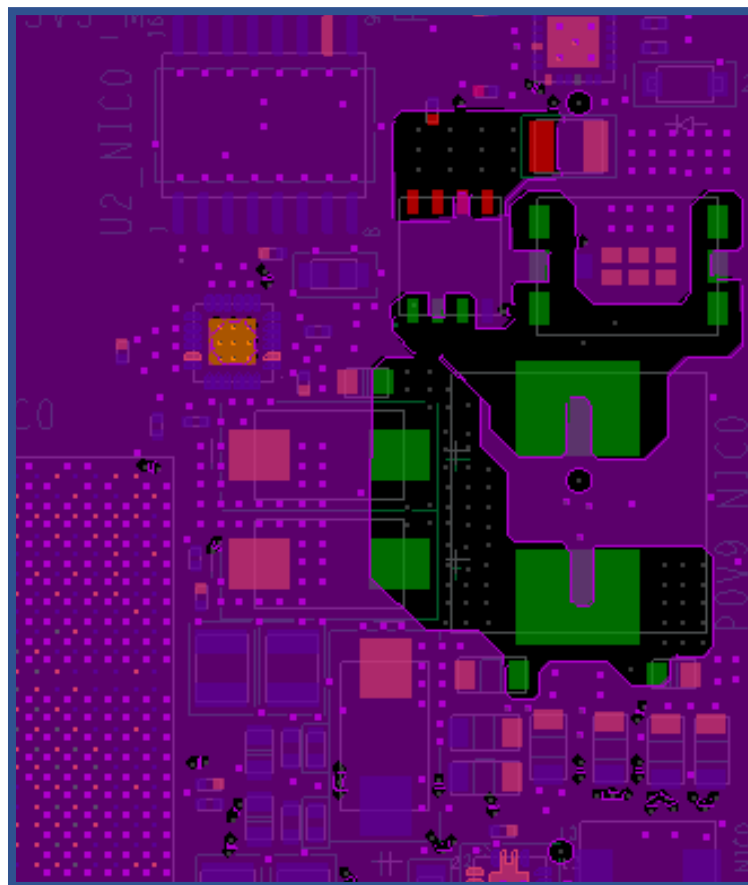


Figure III.7. Plan de masse (violet) percé aux emplacements des composants de l'alimentation (vert)

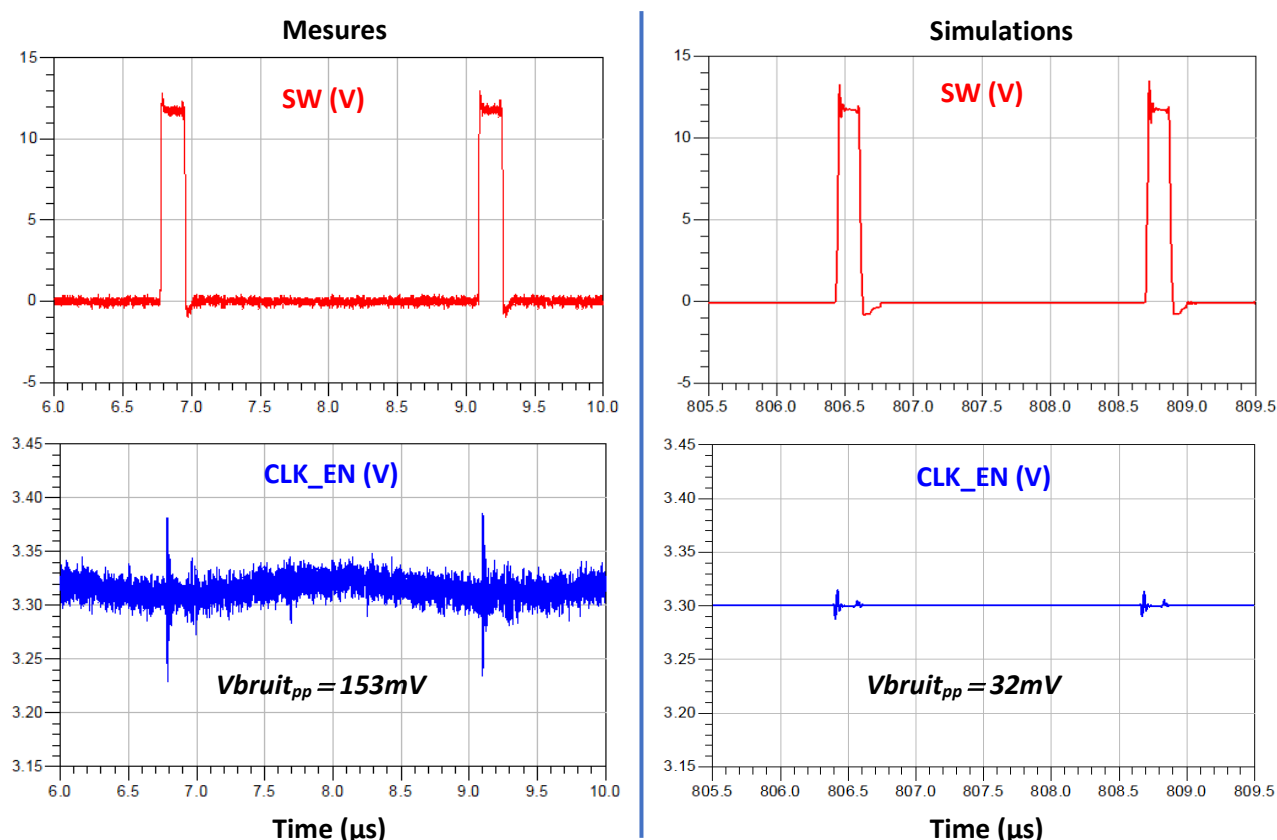


Figure III.8. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge), par mesure et par simulation, avec l'ouverture du plan de masse

	Mesures (mV _{pp})	Simulations (mV _{pp})	Taux d'erreur (%)
V_{bruit} CLK_EN	153	32	79.08

Tableau III-2. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN, avec l'ouverture du plan de masse

Avec cette ouverture dans le plan de masse, il devient possible d'observer des parasites sur le signal victime, comme on peut le voir sur la Figure III.8. Pour autant, les amplitudes des parasites simulés restent largement inférieures à celles des parasites relevés par mesure (Tableau III-2). A partir de ces résultats, on peut vraisemblablement affirmer que la cause principale du couplage qu'on cherche à identifier ne se fait pas à travers le tronçon de plan de masse séparant l'alimentation *POV9* (couche *Top*) et le signal CLK_EN (couche *L1*).

Toutefois, cela ne nous permet pas d'écarter complètement l'hypothèse que le couplage se fait bien à travers les plans de masse, via un mécanisme différent du tronçon séparant l'alimentation et le signal, et qui ne serait pas correctement modélisé par l'outil.

Pour essayer de répondre à cette hypothèse, on s'intéresse à observer les perturbations locales sur les plans GND, au niveau des circuits victime et agresseur. On se propose dans la suite de mettre en place un moyen permettant de visualiser le comportement de la masse dans une structure en paramètres-S.

Une extraction classique du layout fournit un module de paramètres-S comportant tous les ports définis dans la configuration de l'analyse. Chacun de ces ports est constitué d'au moins une broche positive ($V_{p_{n+}}$) et d'une broche négative ($V_{p_{n-}}$). La tension mesurable sur chaque port est la différence entre les deux broches : $V_{p_{n+}} - V_{p_{n-}}$.

Une structure paramètres-S classique ne permet donc pas d'observer le potentiel par broche, mais uniquement la différence des potentiels des broches positive et négative. De plus, il est impossible de connaître le comportement local de la masse dans le bloc paramètres-S [114].

Pour contourner cette limitation, on cherche à obtenir une structure de paramètres-S qui permet de vérifier le comportement des signaux sur chaque broche des composants compris dans l'extraction, notamment les broches connectées à la masse.

Pour parvenir à cette configuration, on ajoute à notre layout une couche supplémentaire contenant un plan de masse idéal, qu'on place au-dessus de la couche *Bottom*. On considère cette couche virtuelle, car elle n'existe pas dans la carte réelle, elle est ajoutée uniquement pour les besoins de l'analyse. On choisit de la positionner le plus loin possible de l'emplacement du cas d'étude, pour qu'elle ne perturbe pas les phénomènes de couplage qui s'y produisent (Figure III.9).

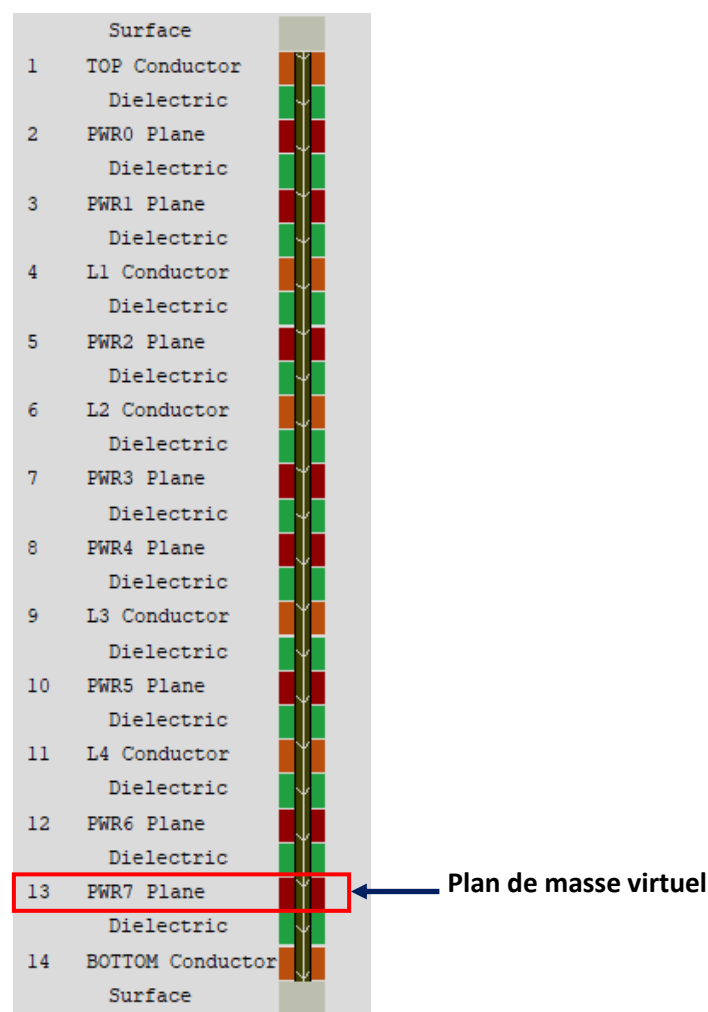


Figure III.9. Vue des couches de la carte modifiée, avec l'ajout du plan virtuel au-dessus de la couche Bottom

Dans ADS SI pro, on déclare ce plan virtuel comme un plan de masse (*ground*), comme on le montre dans la Figure III.10. Ce plan virtuel est considéré comme référence pour les broches négatives des composants (V_{p_n}) qui, de fait, deviennent des ports observables. Les broches positives restent référencées au plan de masse réel, comme précédemment.

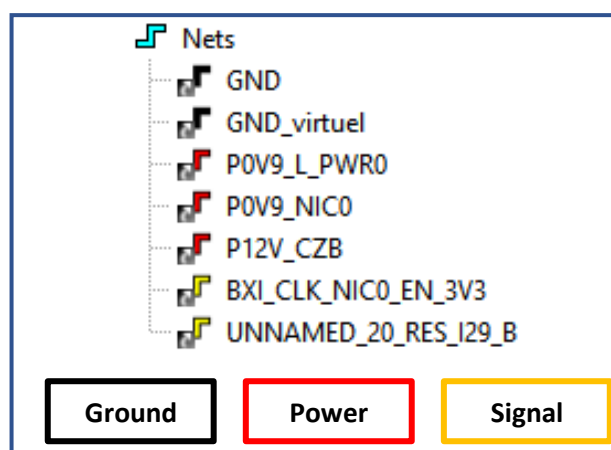


Figure III.10. Configuration de l'analyse sur ADS SI/PI pro™ : ajout du plan de masse virtuel

Il devient ainsi possible d'avoir des ports exploitables pour les broches négatives (V_{p_n-}) des composants, en plus des ports pour les broches positives (V_{p_n+}). Les composants connectés à la masse se retrouvent alors avec deux ports au lieu d'un seul : un fournissant la tension aux bornes du composant : $V_{p_n+} - V_{p_n-}$, et l'autre fournissant le potentiel au niveau de la broche connectée à la masse, qui est référencée au plan de masse virtuel : $V_{p_n-} - V_{refvirtuelle}$ (Figure III.11). Dès lors, nous sommes dans une configuration de paires différentielles, référencées par rapport à la masse virtuelle idéale.

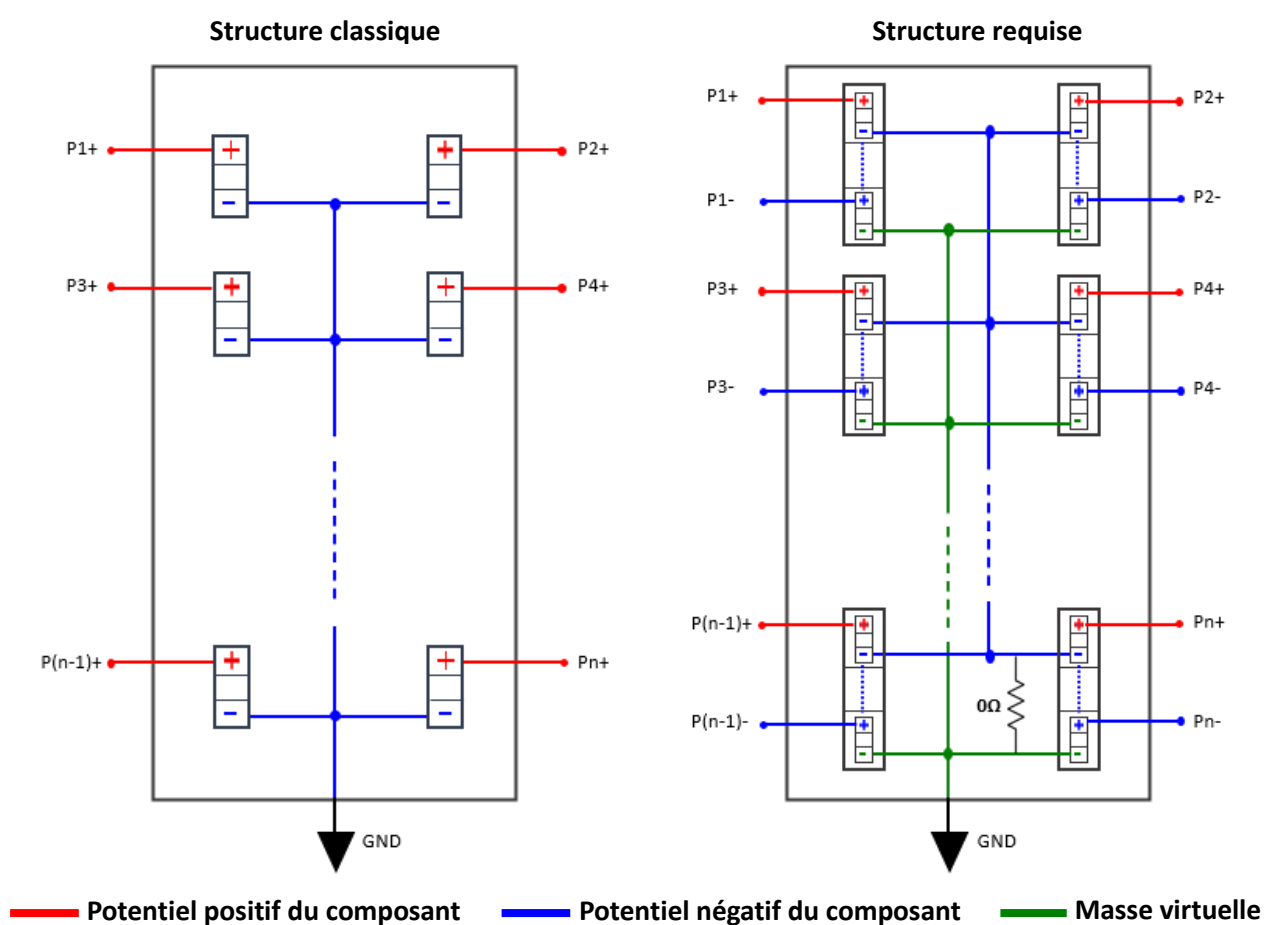


Figure III.11. Structures de paramètres-S classique, et avec l'approche proposée

La Figure III.11 synthétise les deux approches de structures paramètres S : à gauche la structure classique et à droite la structure proposée. Dans la structure classique, le potentiel négatif représenté en bleu est relié à la masse du circuit (GND). Dans l'approche proposée, c'est la masse virtuelle, représentée en vert, qui est connectée à GND. Dans cette structure, la connexion entre le potentiel négatif des composants (bleu) et la masse virtuelle (vert) se fait à travers une résistance de 0Ω .

La nouvelle modélisation en paramètres-S du layout étudié, obtenue avec le plan de masse virtuel, possède alors 5 ports supplémentaires par rapport à la structure initiale, comme on peut le voir sur la Figure III.12. Ces ports correspondent aux broches des composants de notre analyse connectées à la masse, à savoir le MOSFET du bas, la source de tension 12V, l'ASIC, le CPLD pour la transmission du signal CLK_EN , et l'oscillateur pour la réception de ce même signal.

Structure paramètres-S initiale du cas d'étude CZBS



Structure paramètres-S du cas d'étude CZBS avec le plan de masse virtuel

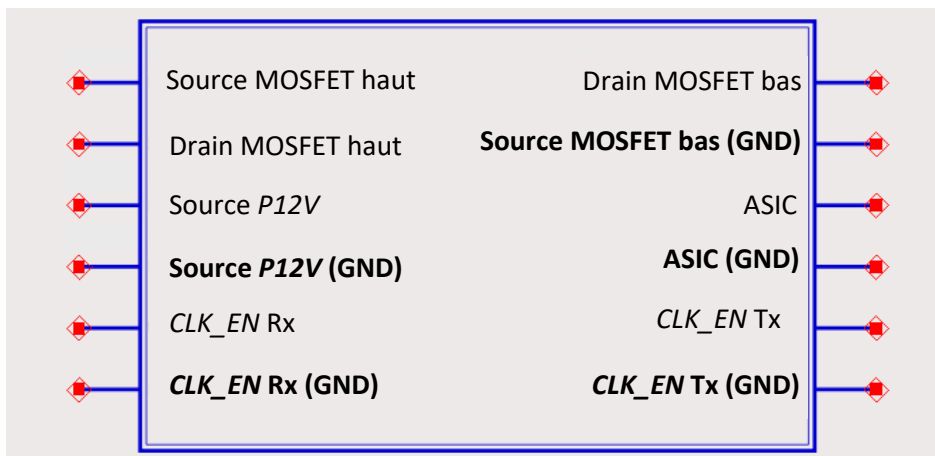


Figure III.12. Structure paramètres-S du cas d'étude CZBS avant et après ajout du plan de masse virtuel

Avec cette configuration, on parvient à visualiser le comportement de la masse ($V_{p_n} - V_{refvirtuelle}$), relevé sur le port créé au niveau des broches négatives de l'oscillateur, en réception du signal CLK_EN .

Sur la Figure III.13, on peut voir les perturbations causées par l'alimentation $POV9$ sur la masse. Celles-ci sont alors très faibles, et sont quasiment absentes sur le signal CLK_EN , où les perturbations observées sont pratiquement les mêmes que celles obtenues par la simulation initiale. On rappelle qu'à ce stade, on suppose que l'outil traite les plans de masse comme des plans idéaux.

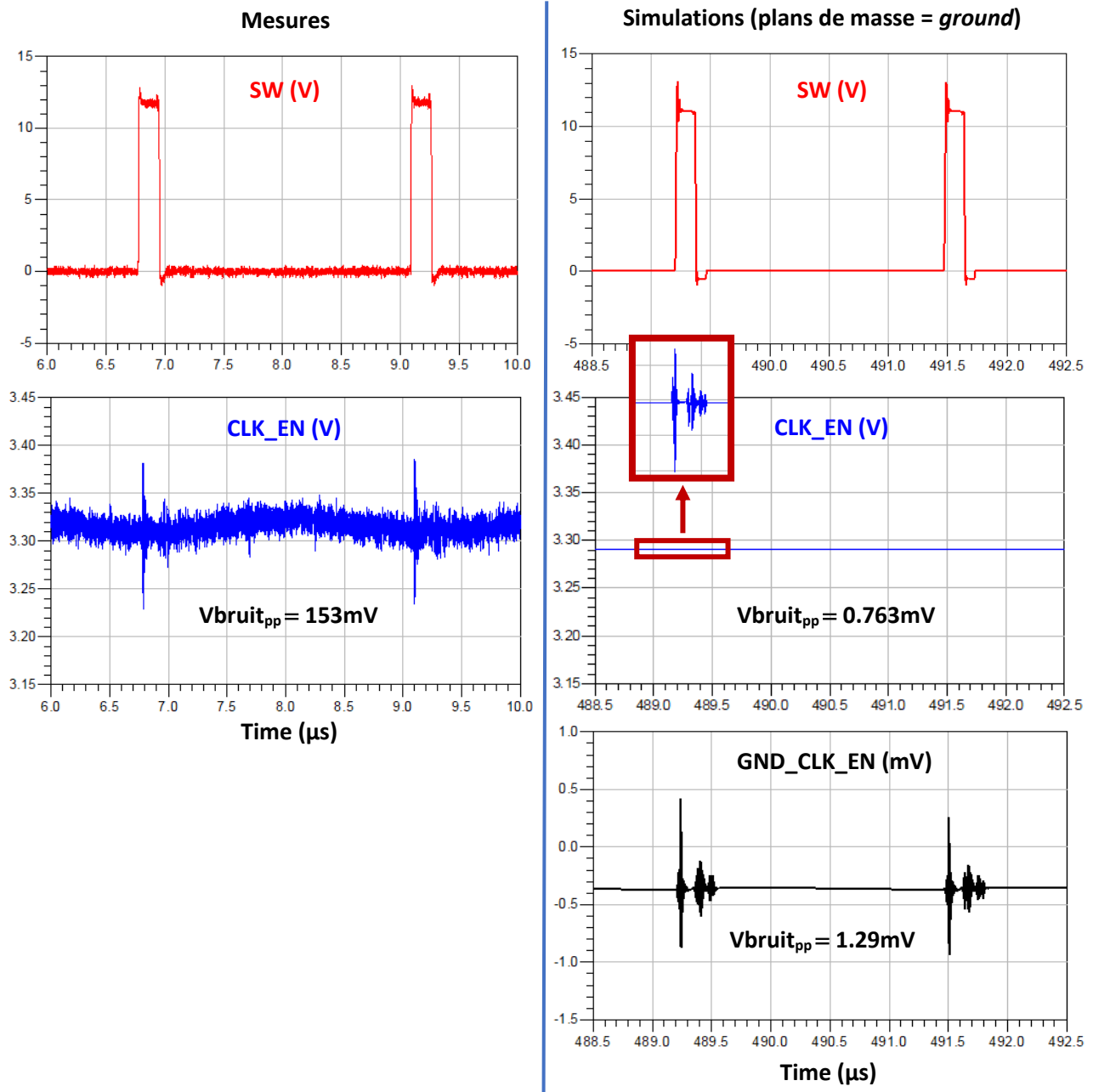


Figure III.13. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge) par mesure et par simulation. Courbe temporelle de la masse simulée GND_CLK_EN (noir), traitée comme GND dans l'analyse, après ajout du plan de masse virtuel

On se propose maintenant de modifier les propriétés des plans de masse pour s'assurer qu'ils ne sont pas considérés idéaux par l'outil de simulation. Pour ce faire, on reconfigure notre analyse SI, en déclarant les plans de masse en tant que plans d'alimentation (*Power* au lieu de *Ground*), comme montré sur la Figure III.14. A travers ce changement, on modifie les propriétés des plans de masse, en leur affectant les propriétés non idéales des plans d'alimentation.

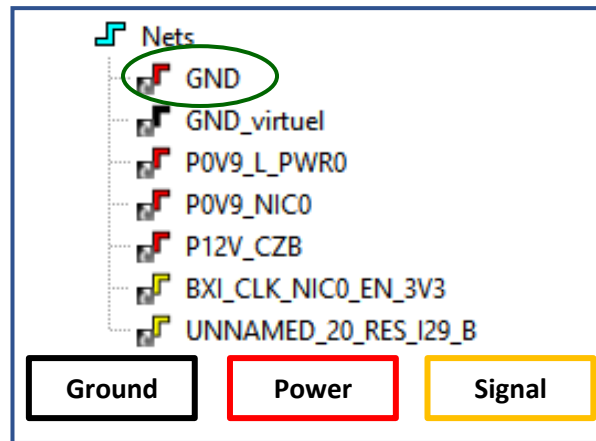


Figure III.14. Configuration de l'analyse sur ADS SI/PI pro™ : plans de masse réels déclarés comme power

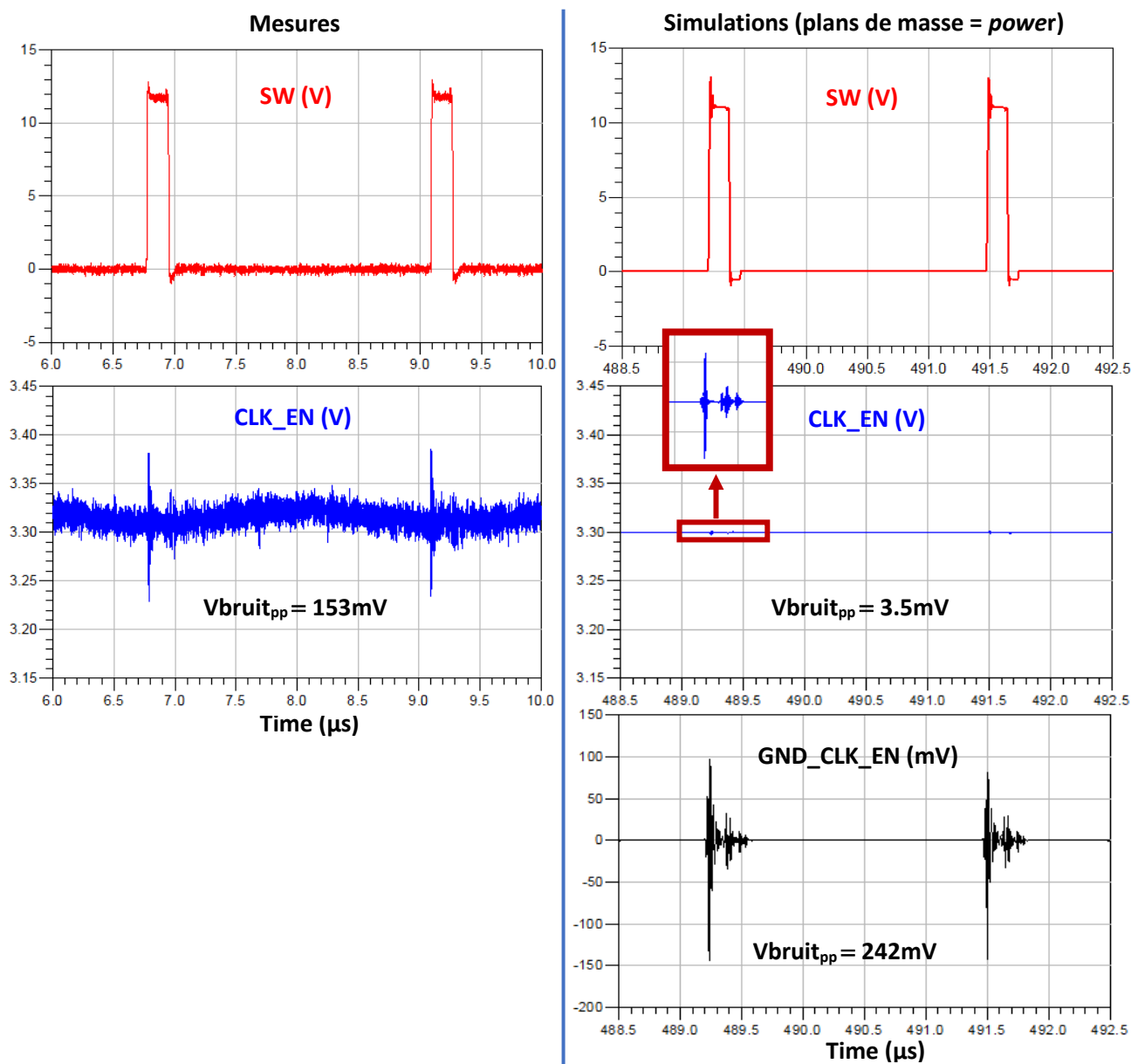


Figure III.15. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge) par mesure et par simulation. Courbe temporelle de la masse simulée GND_CLK_EN (noir), traitée comme power dans l'analyse, après ajout du plan de masse virtuel

Les résultats de l'analyse avec les plans de masse considérés comme plans d'alimentation sont présentés sur la Figure III.15. Le bruit relevé sur la masse de l'oscillateur est bien plus important dans cette configuration, les plans de masse ont maintenant les propriétés de plans d'alimentation, et sont plus propices à subir les couplages. Le Tableau III-3 récapitule les valeurs relevées sur les courbes ci-dessus.

		Mesures (mV _{pp})	Simulations (mV _{pp})	Taux d'erreur (%)
plans de masse = GND	V _{bruit} CLK_EN	153	0.763	99.5
	V _{bruit} GND_CLK_EN	-	1.29	-
plans de masse = power	V _{bruit} CLK_EN	153	3.5	97.7
	V _{bruit} GND_CLK_EN	-	242	-

Tableau III-3. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN et sur les masses

Cependant, bien que le bruit qu'on relève sur le signal CLK_EN soit plus important qu'avec la configuration précédente, son amplitude reste tout de même très basse par rapport à celle du signal CLK_EN mesuré.

On déduit alors des résultats obtenus que le couplage entre l'alimentation POV9 placée en Top et la ligne victime CLK_EN tracée sur la couche L1, ne se fait pas via les plans de masse.

Cela nous mène à considérer la possibilité que le mode du couplage causé par l'alimentation sur le signal victime ne soit pas inclus dans les éléments extraits, et qu'il soit situé dans une autre zone que celle analysée.

Bien que l'hypothèse de la modélisation incomplète des plans de masse dans l'outil de simulation ne soit pas concluante, elle ouvre néanmoins la voie sur la possibilité d'observer le comportement local de la masse dans une structure paramètres-S. Il serait intéressant de développer et tester l'idée de la masse virtuelle, en étudiant plus en profondeur l'effet du nombre de plans virtuels à ajouter au layout, leurs emplacements, leurs épaisseurs, etc.

III.3.2. Hypothèse 2 : Autre moyen de couplage

Afin d'examiner les différents moyens possibles par lesquels le couplage pourrait se produire, on se propose de mesurer quelques signaux qui seraient propices à être parasités, comme l'est le signal CLK_EN. A travers ces mesures, on cherche à relever les signaux perturbés par l'alimentation POV9, et à déterminer le moyen le plus plausible du couplage.

On choisit de mesurer 3 signaux, tous tracés près de l'alimentation POV9. Les deux premiers signaux qu'on étudie sont des signaux d'activation des alimentations P1V8 et P1V de l'ASIC, qu'on nommera P1V8_EN et VDD_EN. Ces signaux sont tracés entre le CPLD et leurs systèmes d'alimentation respectifs, et passent près du nœud Switch (signal SW) de l'alimentation POV9, sur la couche L3. Le troisième signal qu'on mesure est un signal de débogage nommé Debug_5. Il est tracé entre un connecteur pour analyseur logique et l'ASIC, et passe près du nœud Switch de l'alimentation POV9 sur la couche L1. Une vue de l'ensemble est présentée en Figure III.16. Il est à noter que pour des raisons matérielles, les signaux mesurés ne sont pas toujours relevés simultanément. Les résultats de ces mesures sont présentés sur la Figure III.17.

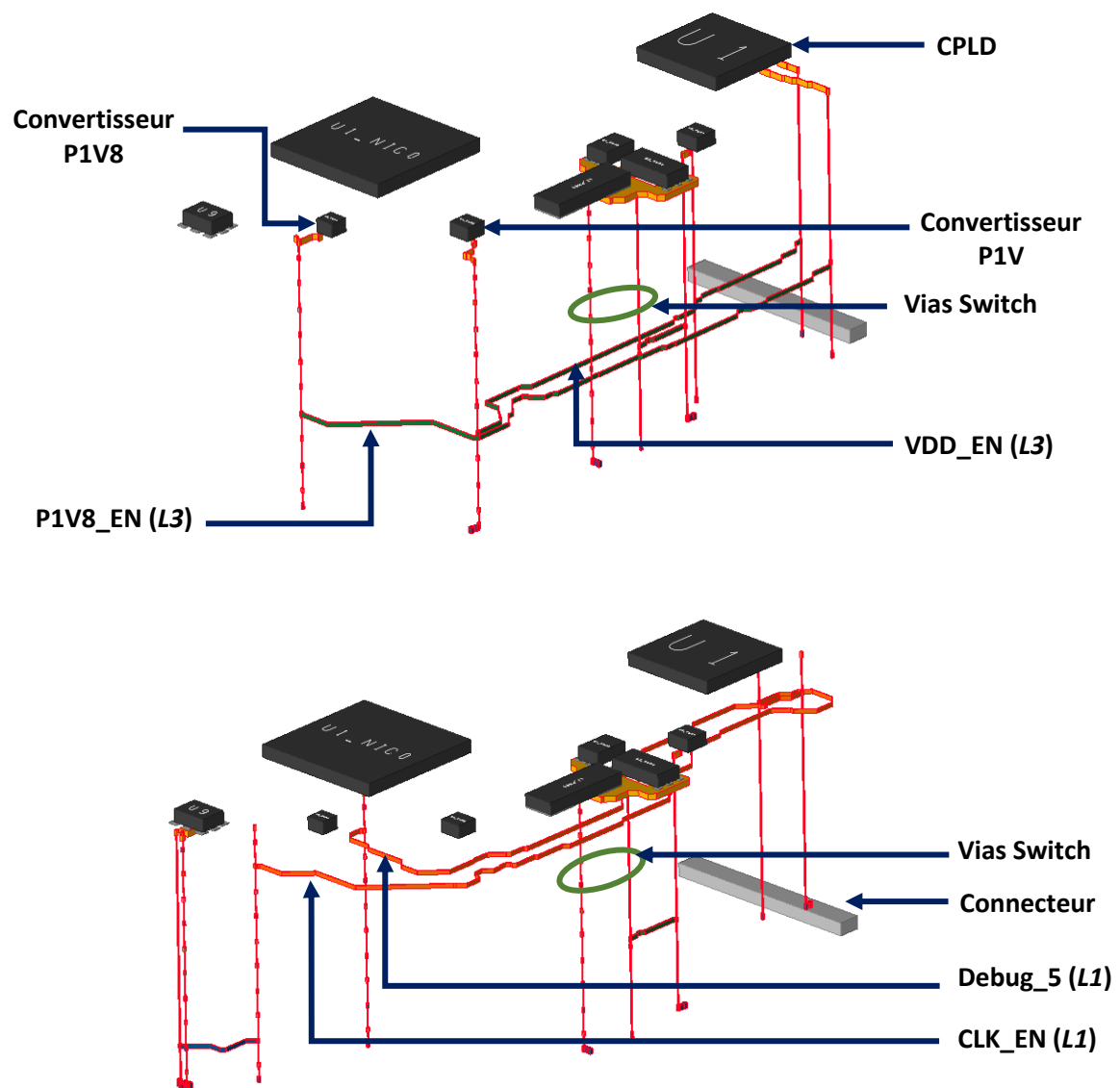


Figure III.16 . Vue 3D des signaux VDD_EN, P1V8_EN, CLK_EN et Debug_5 passant près du nœud Switch de l'alimentation POV9

On remarque sur la Figure III.17 que, tout comme le signal CLK_EN, les signaux P1V8_EN et VDD_EN présentent des perturbations correspondant aux commutations de l'alimentation POV9. Le signal Debug_5, bien qu'il soit tracé au même emplacement que VDD_EN, et sur la couche L1 (comme CLK_EN), ne présente visiblement pas de bruit de couplage.

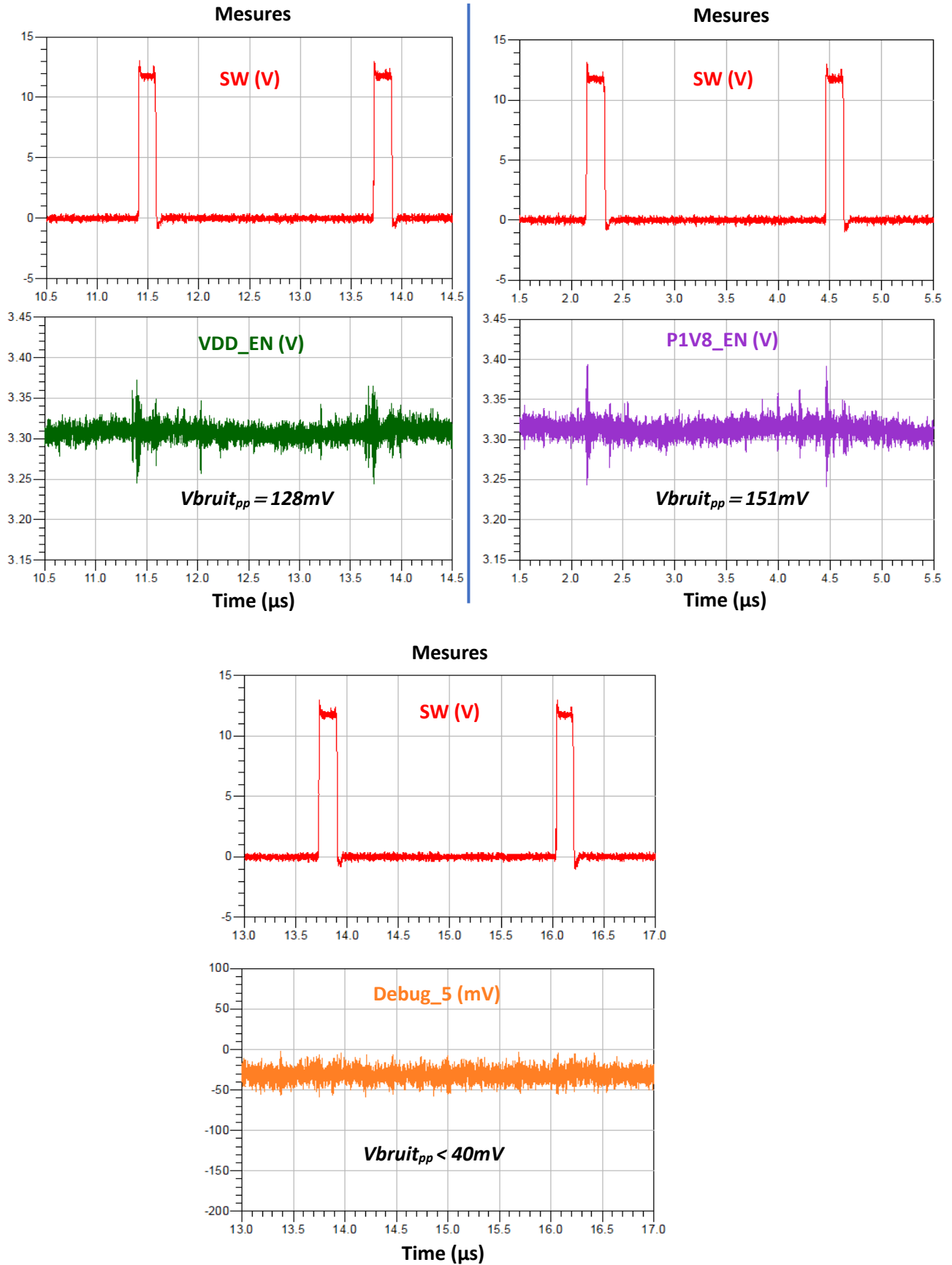


Figure III.17. Courbes temporelles des signaux VDD_EN (vert), P1V8_EN (violet), Debug_5 (orange) et SW (rouge), mesurés sur la carte CZBS

A ce stade, nous pouvons remarquer que tous les signaux parasites (CLK_EN , $P1V8_EN$ et VDD_EN) sont issus du CPLD, et ont pour élément commun leur tension d'alimentation : $P3V3$. Le signal $DEBUG_5$, lui, ne vient pas du CPLD et n'est pas non plus alimenté via la tension $P3V3$. Pour éliminer toute incertitude concernant l'implication ou non du potentiel $P3V3$ dans le phénomène de couplage étudié, des mesures plus poussées sont réalisées. Cette fois, le signal $JTAG$, alimenté en $P3V3$ et routé loin du système d'alimentation est monitoré (Figure III.18). Les potentiels $P3V3$ et $P1V8$, utilisés par le CPLD sont également observés.

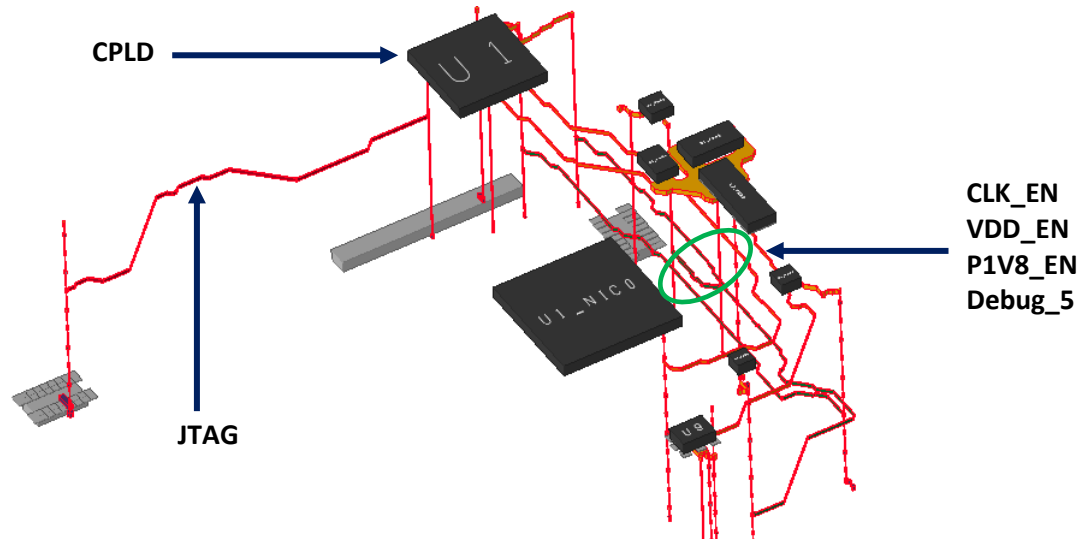


Figure III.18. Vue 3D des signaux CLK_EN , VDD_EN , $P1V_EN$, $Debug_5$ et $JTAG$

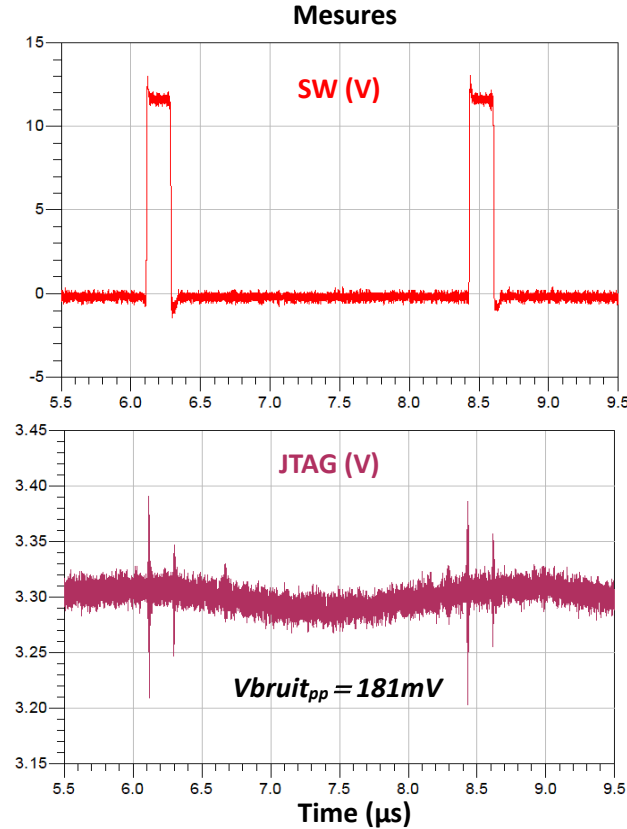


Figure III.19. Courbes temporelles des signaux $JTAG$ (mauve), et SW (rouge), mesurés sur la carte CZBS

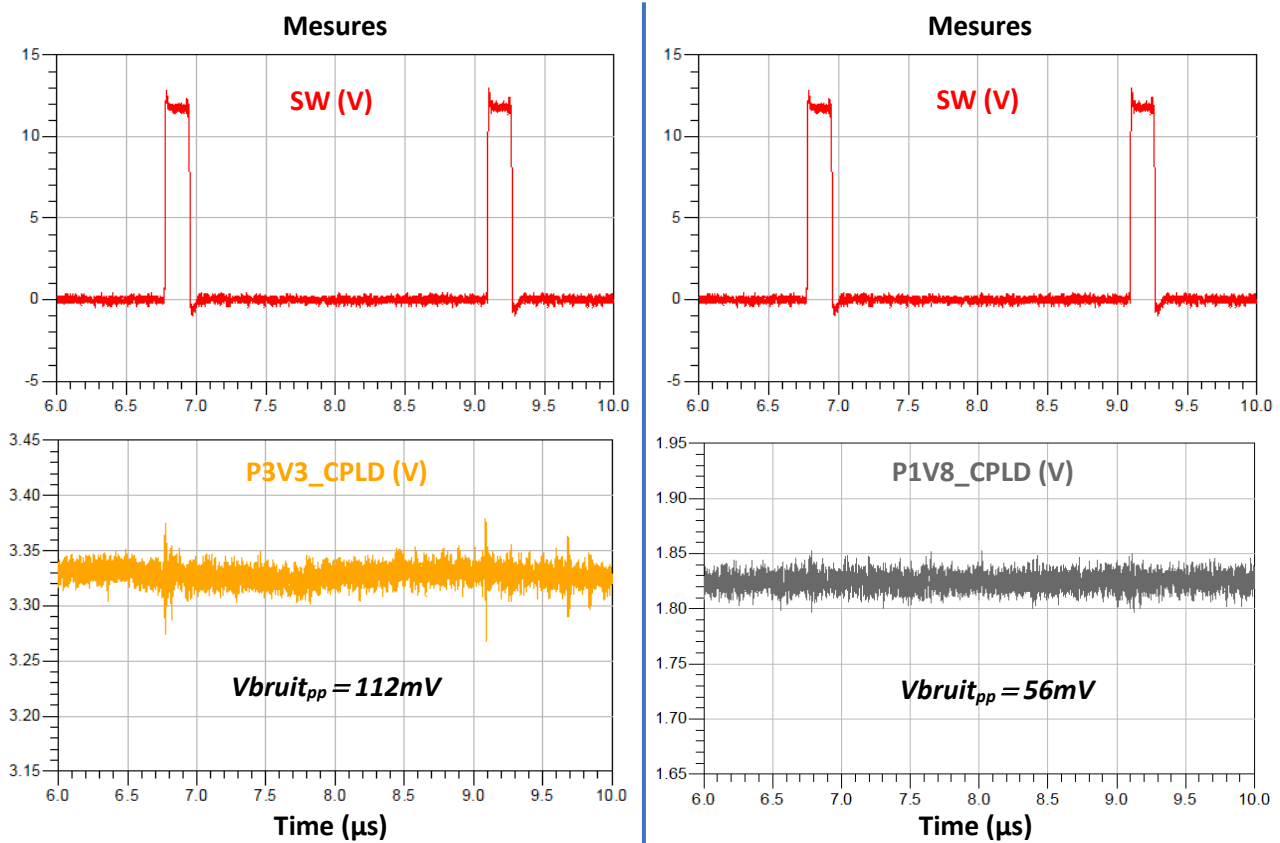


Figure III.20. Courbes temporelles des signaux P1V8_CPLD (gris), P3V3_CPLD (jaune), et SW (rouge), mesurés sur la carte CZBS

Les résultats de ces dernières mesures permettent de conclure que la tension *P3V3* est bien responsable des parasites qu'on observe sur les 3 signaux *Enable* : effectivement, comme on peut le voir sur la Figure III.19, le signal *JTAG*, bien que tracé hors zone du système d'alimentation, est tout aussi bruité que les signaux *Enable* qui passent près de l'alimentation.

De plus, on observe sur la Figure III.20 les mêmes parasites qui perturbent les signaux *Enable* sur le potentiel *P3V3*, mesuré en entrée du CPLD, ce qui permet d'exclure un couplage de type SSN lié au CPLD lui-même. Le potentiel *P1V8*, également mesuré en entrée du CPLD, est lui faiblement touché par le bruit de couplage, qu'on peine à distinguer parmi les bruits intrinsèques des mesures (Figure III.20). Cela signifie que seuls le potentiel *P3V3* et les signaux qu'il alimente à travers le CPLD sont perturbés par le couplage de manière significative.

Comme le couplage semble se produire entre le système d'alimentation *P0V9* et le potentiel *P3V3*, il reste à déterminer par quel moyen il se produit. On parcourt donc le layout de la carte afin de détecter toute zone où la tension *P3V3* rencontre l'un des éléments du système d'alimentation, et on constate qu'une partie du plan *P3V3* tracé sur la couche *L2* est superposée à une partie du plan *P12V* tracé sur la couche *PWR3*, sans aucun plan de masse les séparant. La Figure III.21 montre les positions des plans *P3V3* et *P12V* sur la carte CZBS, et leur zone de chevauchement.

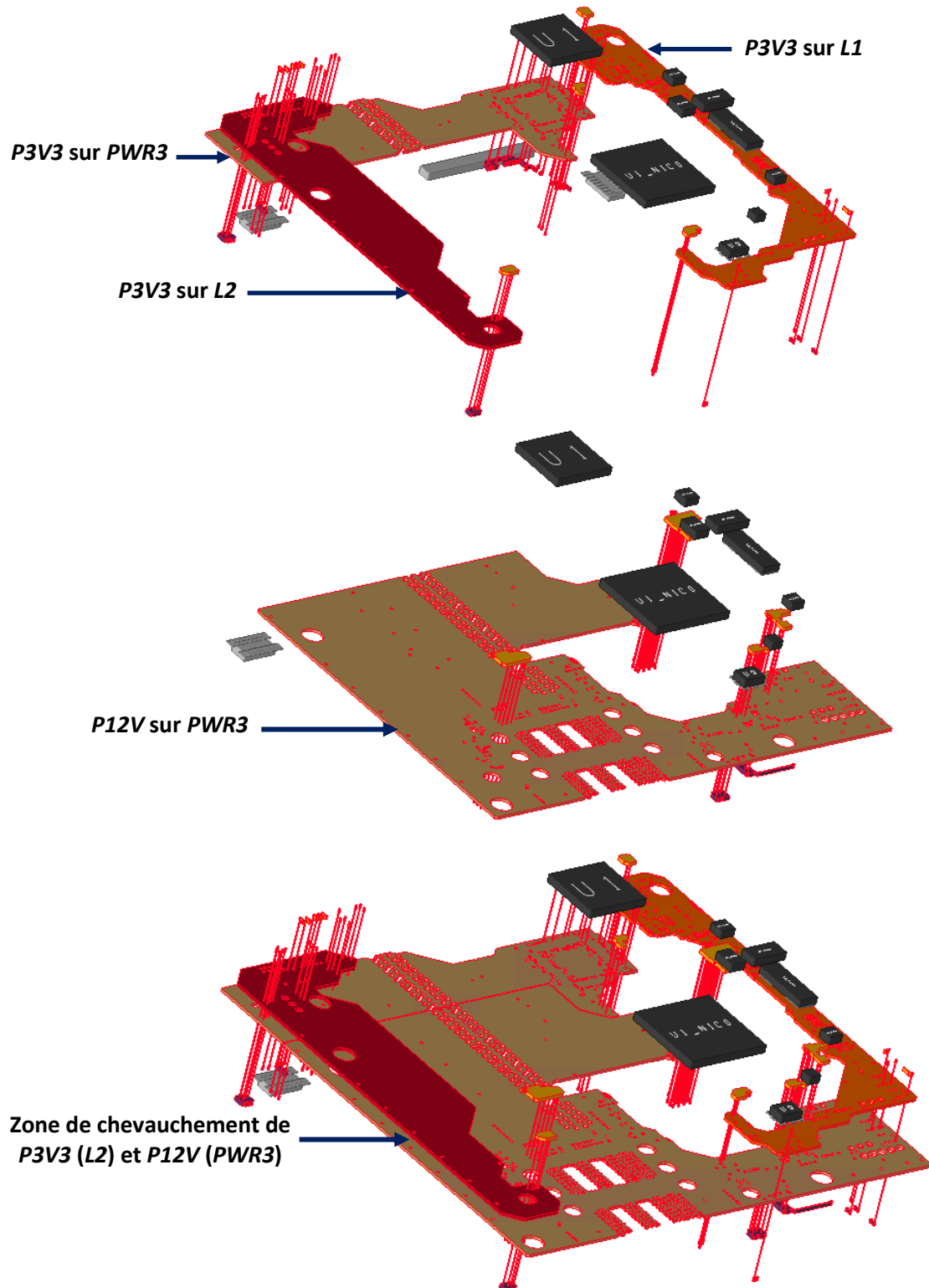


Figure III.21. Positions et chevauchement des plans P3V3 et P12V sur la carte CZBS

On en déduit qu'il s'agit probablement d'un couplage plan à plan, causé par le plan P12V sur le plan P3V3. Ainsi, tous les signaux alimentés en P3V3 se voient transmettre les parasites causés par le couplage, ce qui explique la présence des bruits de commutations sur les trois signaux *Enable* et le signal *JTAG*, et leur absence sur le signal *Debug_5* qui n'est pas alimenté en P3V3.

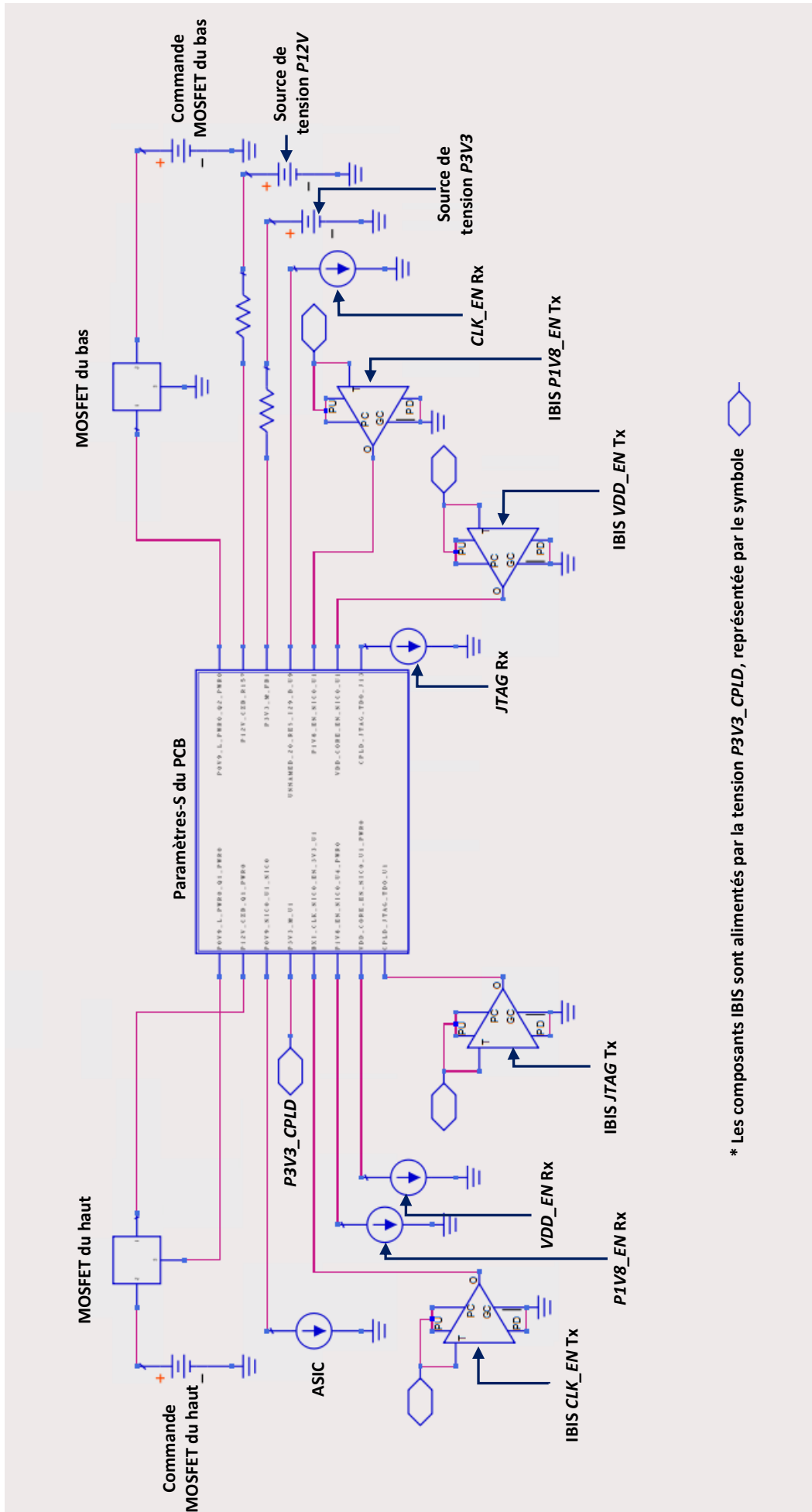


Figure III.22. Circuit schématique équivalent du cas d'étude sur ADS Schematics, après ajout de P3V3 et des signaux P1V8_EN, VDD_EN et JTAG à l'analyse

Le moyen par lequel se fait le couplage étant maintenant déterminé, on relance un processus de simulation comme indiqué sur le diagramme en Figure III.5. Pour l'extraction du layout, on reprend l'analyse initiale à laquelle on inclut cette fois le plan *P3V3*, les nouveaux signaux parasites qu'on a mesurés (*P1V8_EN*, *VDD_EN* et *JTAG*), ainsi que tous les composants discrets qui leur sont connectés. Les modèles IBIS des signaux victimes extraits sont utilisés, alimentés par la tension *P3V3* au niveau du CPLD (Figure III.22). Les résultats de cette nouvelle itération de simulations sont exposés en Figure III.23, Figure III.24 et Figure III.25.

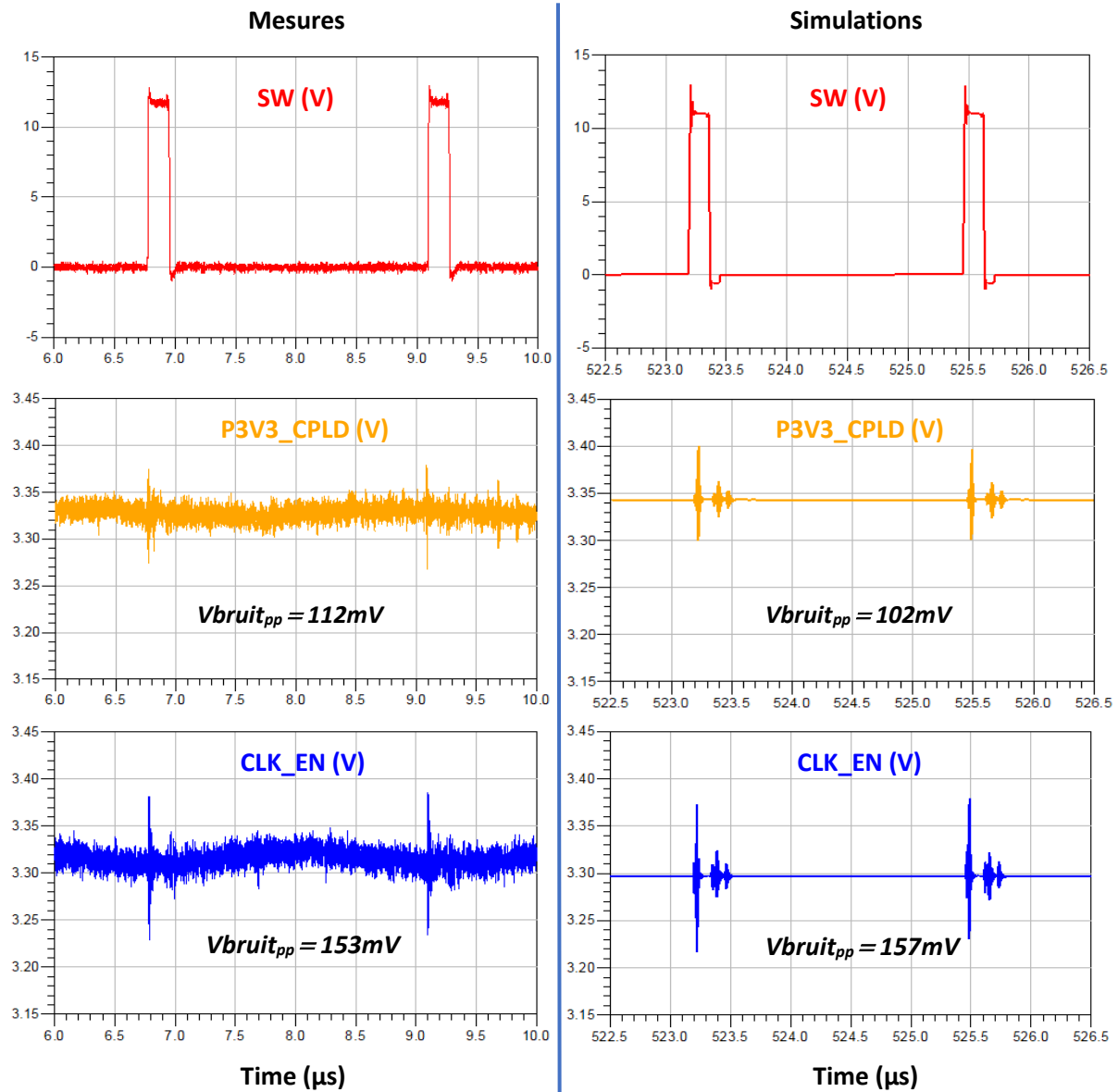


Figure III.23. Courbes temporelles du signal SW (rouge), de la tension P3V3_CPLD (jaune) et du signal CLK_EN (bleu) par mesure et par simulation après ajout du plan P3V3 au processus de simulation

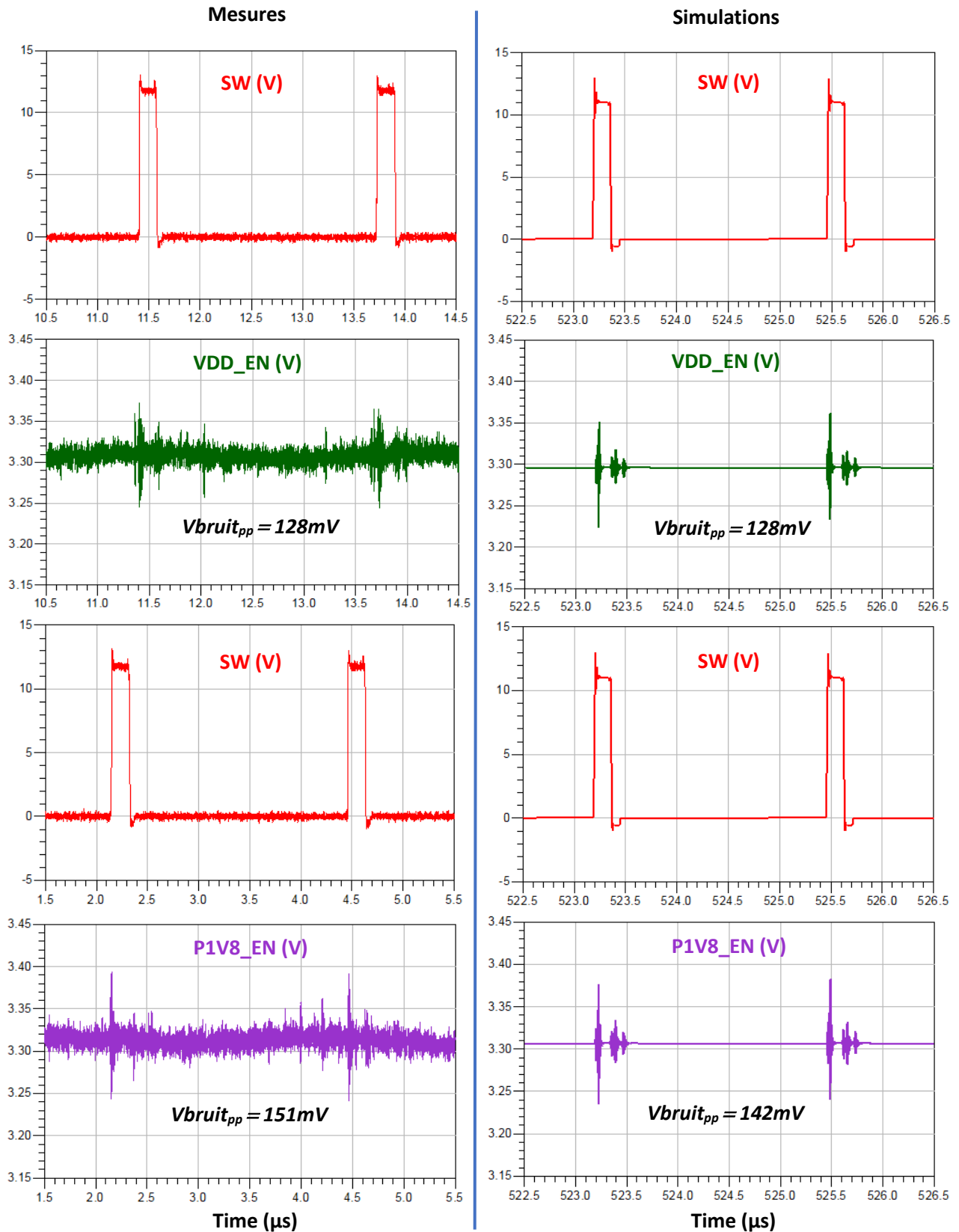


Figure III.24. Courbes temporelles des signaux VDD_EN (vert), P1V8_EN (violet) et SW (rouge), par mesure et par simulation après ajout du plan P3V3 au processus de simulation

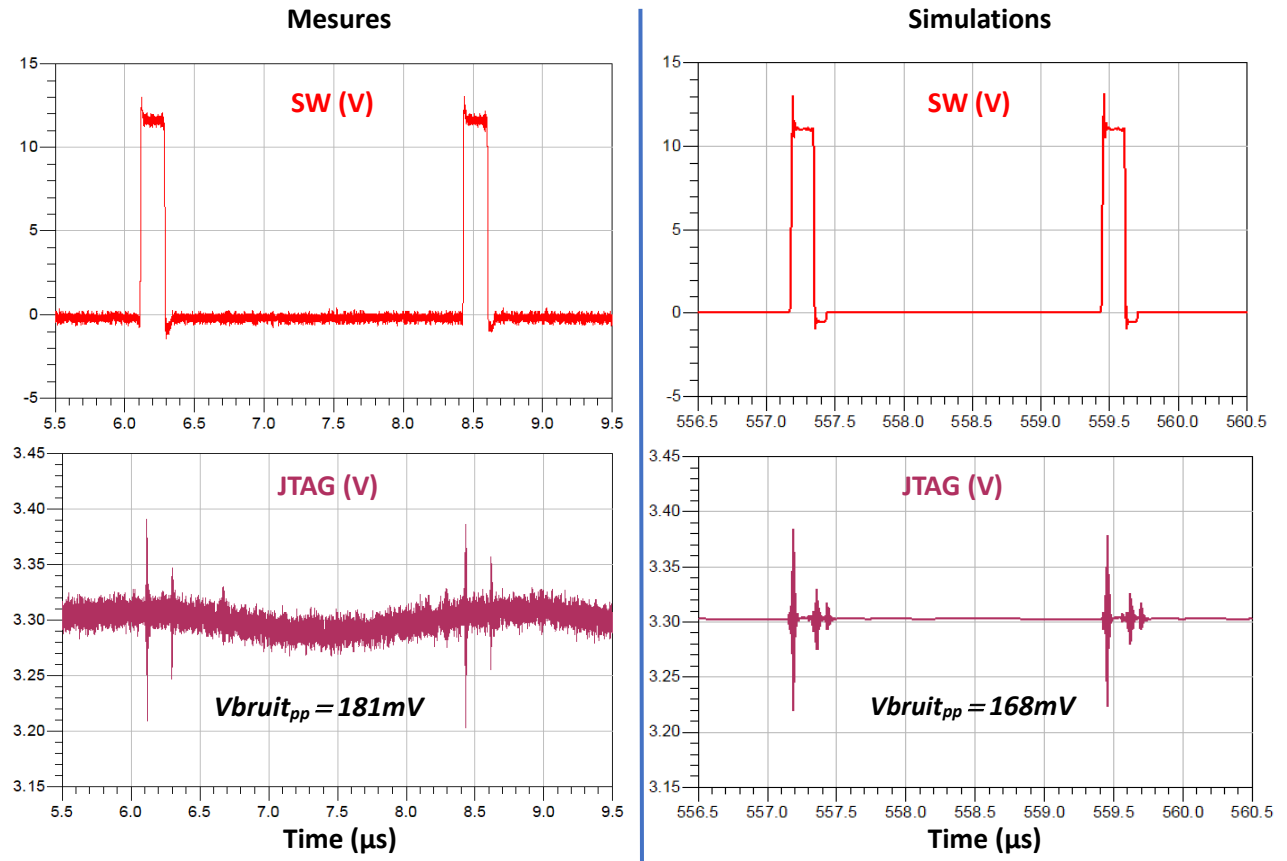


Figure III.25. Courbes temporelles des signaux JTAG (mauve) et SW (rouge), par mesure et par simulation après ajout du plan P3V3 au processus de simulation

Avec une marge d'erreur maximale inférieure à 9%, on peut observer sur les figures ci-dessus que les perturbations sur les signaux victimes simulés correspondent bien à celles sur les signaux mesurés. La corrélation au premier ordre entre simulations et mesures est tout à fait satisfaisante : la forme des signaux simulés coïncide avec celle des signaux mesurés, et l'ordre de grandeur de l'amplitude des parasites est respecté. Les amplitudes des bruits mesurés et simulés sur les signaux, ainsi que leurs taux d'erreur sont détaillés dans le Tableau III-4.

	Mesures (mV _{pp})	Simulations (mV _{pp})	Taux d'erreur (%)
V_{bruit} P3V3_CPLD	112	102	8.93
V_{bruit} CLK_EN	153	157	2.61
V_{bruit} VDD_EN	128	128	0
V_{bruit} P1V8_EN	151	142	5.96
V_{bruit} JTAG	181	168	7.2

Tableau III-4. Amplitudes des bruits mesurés et simulés sur la tension P3V3 et les signaux CLK_EN, VDD_EN, P1V8_EN et JTAG

De plus, les résultats de ces simulations confirment que le couplage se fait bien entre P12V et P3V3. Cette dernière étant la tension d'alimentation des signaux, ils sont donc eux aussi perturbés. Le phénomène de couplage de notre cas d'étude est illustré sur la Figure III.26.

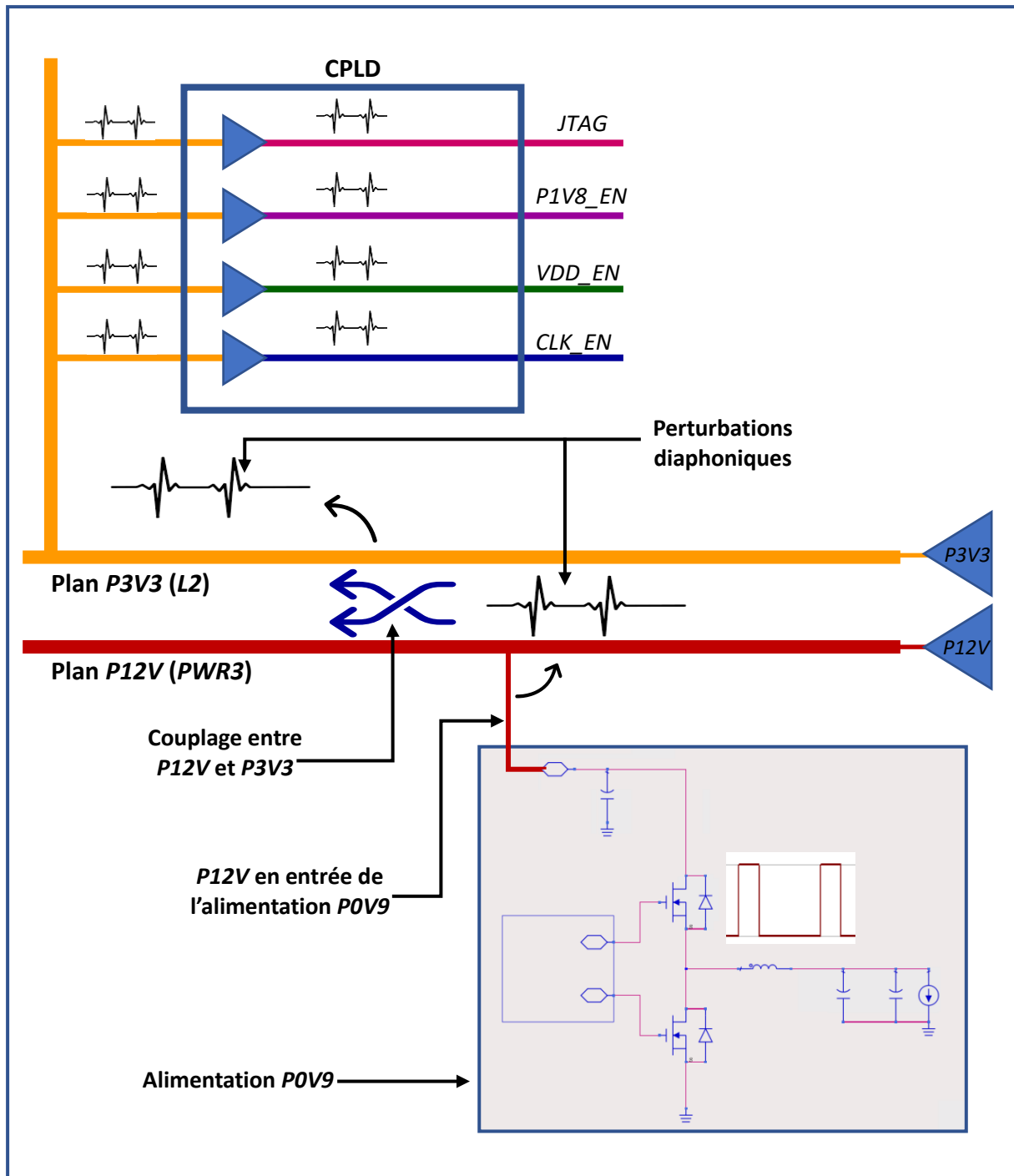


Figure III.26. Illustration du mode de transmission des parasites du système d'alimentation jusqu'aux signaux victimes

Pour s'assurer de la performance de notre processus de simulation avant de l'appliquer sur un cas réel et plus complexe, on l'éprouve sur la version corrigée de la carte CZBS. La correction, antérieure au début de la thèse, est présentée sur la Figure II.7 du chapitre précédent. Elle se résume principalement à l'ajout de capacités de découplage sur la tension P12V en entrée de l'alimentation, et d'une résistance de grille sur le transistor du haut, qui diminue le di/dt de l'appel de courant généré sur le plan P12V, et réduit les oscillations sur le nœud Switch.

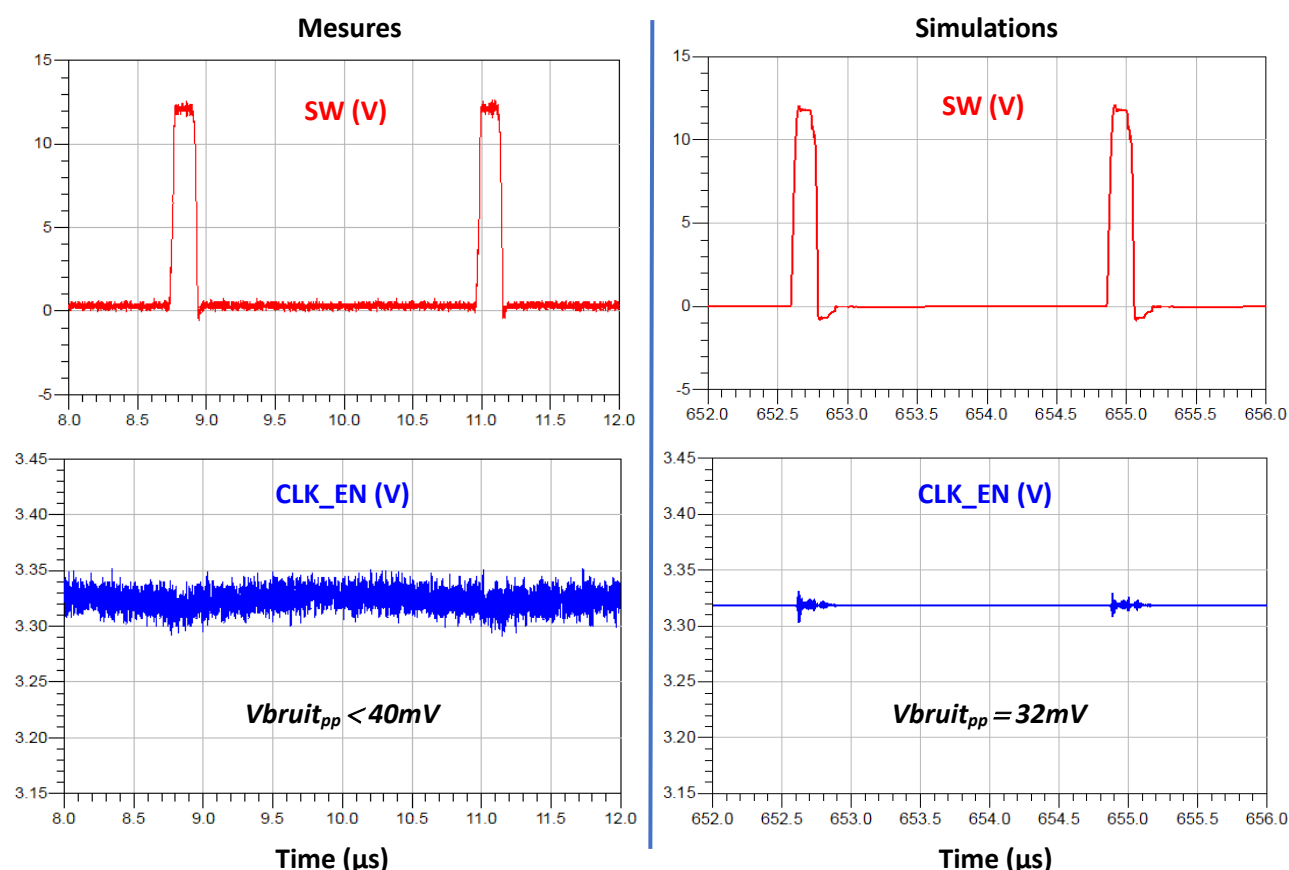


Figure III.27. Courbes temporelles des signaux CLK_EN (bleu) et SW (rouge), par mesure et par simulation sur la carte CZBS corrigée

	Mesures (mV _{pp})	Simulations (mV _{pp})	Taux d'erreur (%)
V _{bruit} CLK_EN	< 40	32	< 20

Tableau III-5. Amplitudes des bruits mesurés et simulés sur le signal CLK_EN de la carte CZBS corrigée

Avec un nœud Switch considérablement moins agressif, le bruit qu'il cause indirectement, via l'alimentation P12V, sur le signal victime CLK_EN est largement réduit, à en être masqué par le bruit intrinsèque des mesures. Similairement, les parasites observés sur le signal simulé sont réduits en proportions égales (Figure III.27, Tableau III-5).

Les résultats de cette simulation consolident donc l'efficacité de notre méthode de simulation, et sa capacité à modéliser de manière réaliste le couplage entre une alimentation et son environnement dans un PCB ultra dense.

III.4. Conclusion du chapitre

Ce chapitre présente le cheminement suivi pour le développement d'un processus de simulation ayant pour objectif de modéliser le phénomène de couplage entre une alimentation et des signaux sensibles dans le cadre de cartes électroniques à haute densité d'interconnexions. Le processus de simulation consiste en une fusion d'une analyse fréquentielle pour l'extraction du layout, et d'une analyse temporelle de type SPICE pour la modélisation de l'alimentation. Les résultats des deux

modélisations sont ensuite introduits dans un circuit équivalent, éprouvé par une analyse temporelle. La corrélation entre les résultats obtenus par simulation et les mesures est tout à fait satisfaisante et confirme la fiabilité du processus de simulation mis en place.

Plusieurs itérations de simulations se sont révélées nécessaires afin de déterminer le mode de couplage qui se produit entre l'alimentation *P0V9* et les signaux victimes avoisinants. En effet, la tentative initiale n'a pas été fructueuse, puisque le mode de couplage, n'étant pas évident, n'avait pas été inclus dans l'analyse du PCB. Dès lors, deux hypothèses sur le mode de couplage ont été étudiées.

La première hypothèse, où le couplage se serait fait à travers le plan de masse entre la couche *Top* et la couche *L1* nous a fait remettre en question la modélisation des plans de masse dans l'outil de simulation. Les résultats des simulations n'étant pas concluants, cette hypothèse a été écartée. Cependant, elle nous a permis de mettre en place un moyen d'observer le comportement de la masse par simulation dans une structure paramètres-S altérée par l'ajout d'un plan de masse virtuel, ce qui n'est pas faisable dans une structure paramètres-S classique. Il serait intéressant de développer et tester cette technique, en étudiant par exemple l'impact des différentes variations qu'on pourrait apporter au plan de masse virtuel (nombre de plans, emplacements, épaisseurs, matériaux), et de comparer les résultats aux mesures de masse qu'il faudra relever sur les cartes étudiées.

Dans la deuxième hypothèse, nous avons supposé que le mode de couplage cherché n'était pas inclus dans notre analyse initiale. Après plusieurs mesures supplémentaires relevées sur la carte, nous sommes parvenus à identifier le mode du couplage : il s'agit d'un couplage plan à plan entre les plans *P12V* et *P3V3*. Le plan *P12V*, connecté à l'entrée de l'alimentation, est bruité par les commutations des transistors, et perturbe à son tour le plan *P3V3*, qui est tracé au-dessus du plan *P12V*. Le plan *P3V3* étant la tension d'alimentation de plusieurs signaux, dont ceux mesurés pour notre cas d'étude (*CLK_EN*, *P1V8_EN*, *VDD_EN* et *JTAG*), ils sont donc eux aussi perturbés.

Les résultats obtenus une fois le processus de simulation ajusté correspondent bien aux mesures, et valident la méthode de simulation proposée. Cette méthode est également appliquée à une version corrigée de la carte CZBS, pour une validation supplémentaire.

A travers cette méthode de simulation, on parvient à modéliser fidèlement le couplage qui se produit entre une alimentation et son environnement sur la carte, en se basant sur leurs modèles, temporel pour l'alimentation, et fréquentiel pour le PCB. Comme cette méthode de simulation permet d'identifier le moyen par lequel le couplage se fait, on se propose d'étudier dans la première partie du chapitre suivant, quelques solutions possibles qu'on peut apporter à la carte CZBS, qui soient ajustées au couplage plan à plan entre *P12V* et *P3V3*. Ensuite, dans la 2^{ème} partie du chapitre, la méthode sera également éprouvée sur un cas réel plus complexe.

III.5. Références

- [113] "SIPro and PIPro", Keysight Technologies Notice, 2016.
- [114] B. Brim, "S-parameter Modeling and Simulation for Signal Integrity Analysis", UBM, DesignCon, 2012.

Chapitre 4

Usage et utilité de la méthode de modélisation

Sommaire

IV.1.	Introduction du chapitre	101
IV.2.	Correction selon le mode de couplage	101
IV.2.1.	Blindage entre les plans P_{12V} et P_{3V3}	102
IV.2.2.	Plan P_{12V} local à l'alimentation	105
IV.3.	Application sur un cas réel	108
IV.3.1.	Présentation du cas réel	108
IV.3.2.	Simulations et résultats	115
IV.3.3.	Solutions supplémentaires	122
IV.4.	Conclusion du chapitre	125
IV.5.	Références	126

IV.1. Introduction du chapitre

Ce chapitre est consacré à l'usage prévu du processus de simulation détaillé au chapitre 3, sur les cartes électroniques développées par Atos. Cette méthode de simulation est spécifique à la modélisation du couplage entre une alimentation et son environnement, sur des cartes complexes à forte densité d'interconnexions. Son utilisation principale serait d'identifier les modes de couplage amenant aux perturbations observées sur certains signaux lors de la qualification des cartes, puis de tester et de valider des solutions aux problèmes de couplage relevés. Des exemples de modélisations de ces solutions sur le cas d'étude CZBS sont présentés dans un premier temps, avant d'appliquer la méthode de simulation sur une carte plus dense et plus complexe que la CZBS, où les parasites provoqués par une alimentation sur un signal sensible empêche le démarrage du processeur plus d'une fois sur deux.

IV.2. Correction selon le mode de couplage

Comme on a pu le voir au chapitre précédent, le mode de couplage dans un système complexe n'est pas toujours facile à déterminer. Effectivement, dans le cas de la carte CZBS, le couplage ne survient pas là où on l'attendait, à savoir entre la ligne victime *CLK_EN* et la zone de routage de l'alimentation, mais se produit entre les plans *P12V* et *P3V3*, à l'autre extrémité de la carte.

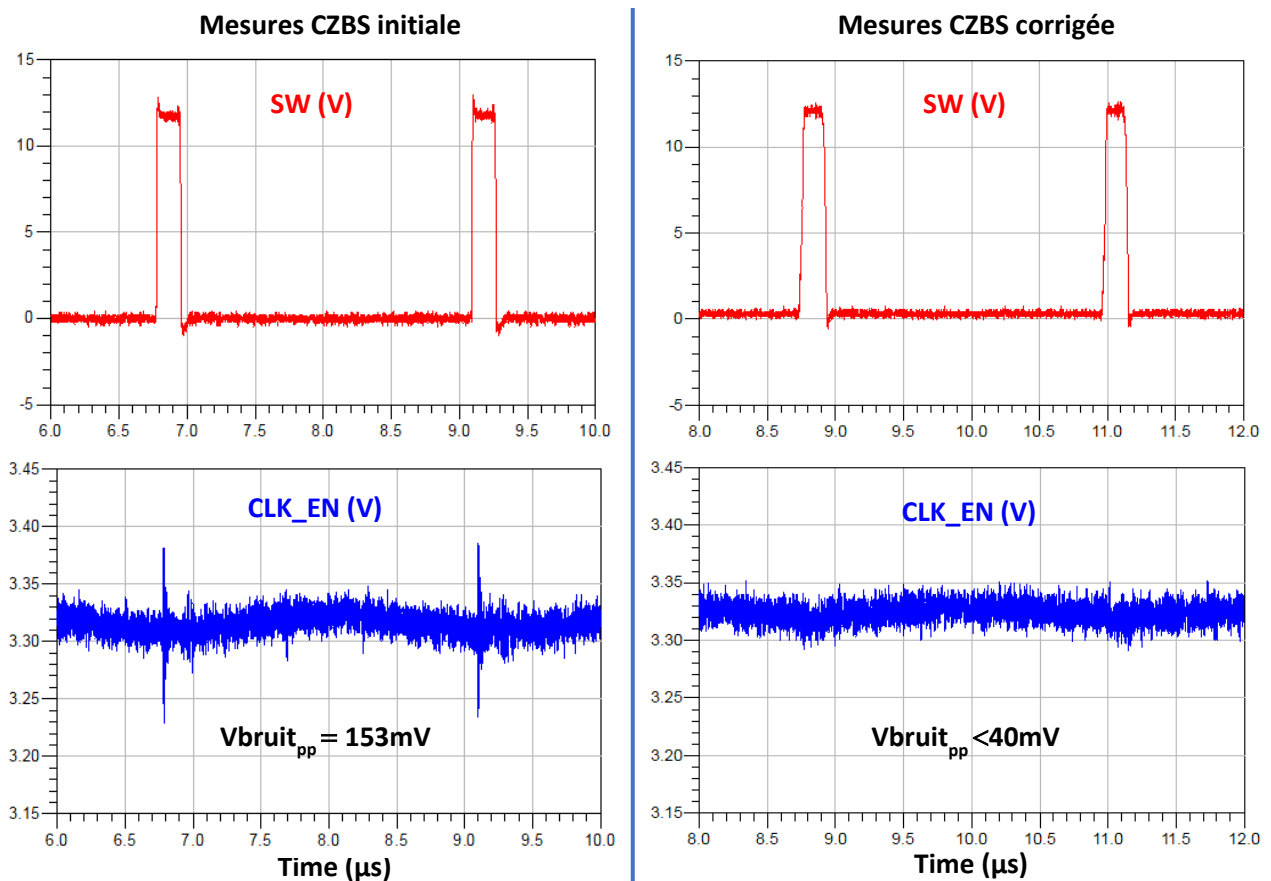


Figure IV.1. Courbes temporelles relevées par mesures des signaux *CLK_EN* (bleu) et *SW* (rouge), sur les cartes CZBS initiale et corrigée

	Mesures CZBS initiale (mV _{pp})	Mesures CZBS corrigée (mV _{pp})	Taux de réduction du bruit (%)
V _{bruit} CLK_EN	153	< 40	> 73.9

Tableau IV-1. Amplitudes des bruits des signaux CLK_EN mesurés sur les cartes CZBS initiale et CZBS corrigée

Les perturbations sur le plan P3V3 sont ensuite transmises vers tous les signaux alimentés par cette tension, dont le signal victime étudié CLK_EN. Sans la simulation, il aurait été très fastidieux, voire impossible sans phase de redesign et test, de déterminer le moyen par lequel se fait le couplage entre l'alimentation P0V9 et le signal CLK_EN.

La correction apportée à la carte CZBS a consisté à modifier l'alimentation afin de la rendre moins agressive, et de réduire ainsi les parasites sur la ligne victime. Les résultats de cette correction sont rappelés sur la Figure IV.1 et le Tableau IV-1. Il est à noter que cette correction a été implémentée sans connaître le mode du couplage entre l'alimentation P0V9 et son environnement.

Grâce au processus de simulation proposé, il nous est possible de tester d'autres solutions et de les valider avant de les appliquer au design réel. De plus, maintenant que le mode de couplage est connu, on peut proposer des corrections qui lui sont adaptées, afin de réduire les perturbations de manière plus ciblée.

Au niveau du circuit équivalent, les solutions proposées sont toutes simulées avec les commandes de l'alimentation de la carte CZBS originale, afin de vérifier que les solutions sont efficaces sans aucune modification de l'alimentation.

IV.2.1. Blindage entre les plans P12V et P3V3

Le couplage de notre cas d'étude se produit entre les plans P3V3 et P12V, tracés sur les couches superposées L2 et PWR3. La première solution qu'on propose est de placer un plan de masse entre ces deux couches afin de créer un blindage entre les plans P3V3 et P12V. Dans le but de garder l'équilibre et la symétrie des couches de la carte, on ajoute un autre plan de masse, cette fois entre les couches PWR4 et L3.

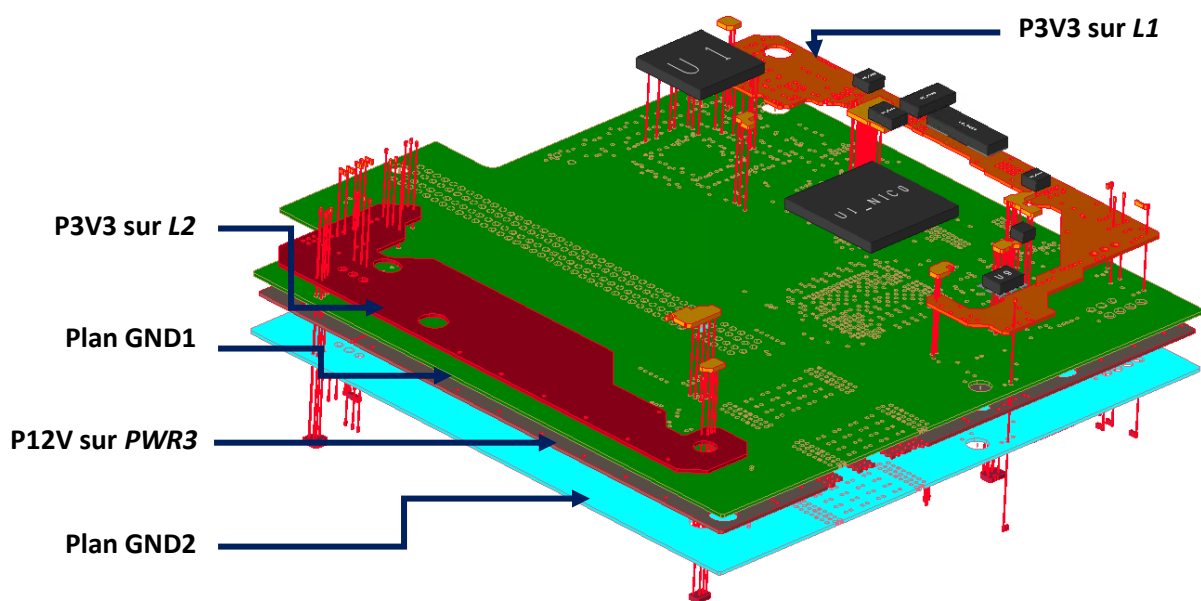


Figure IV.2. Vue 3D des positions des plans P3V3 et P12V après l'ajout de deux plans de masse

On arrive alors à la carte présentée sur la Figure IV.2 que l'on nommera CZBS_blindage. Les couches conductrices et les couches de diélectrique ajoutées sont exposées sur la Figure IV.3.

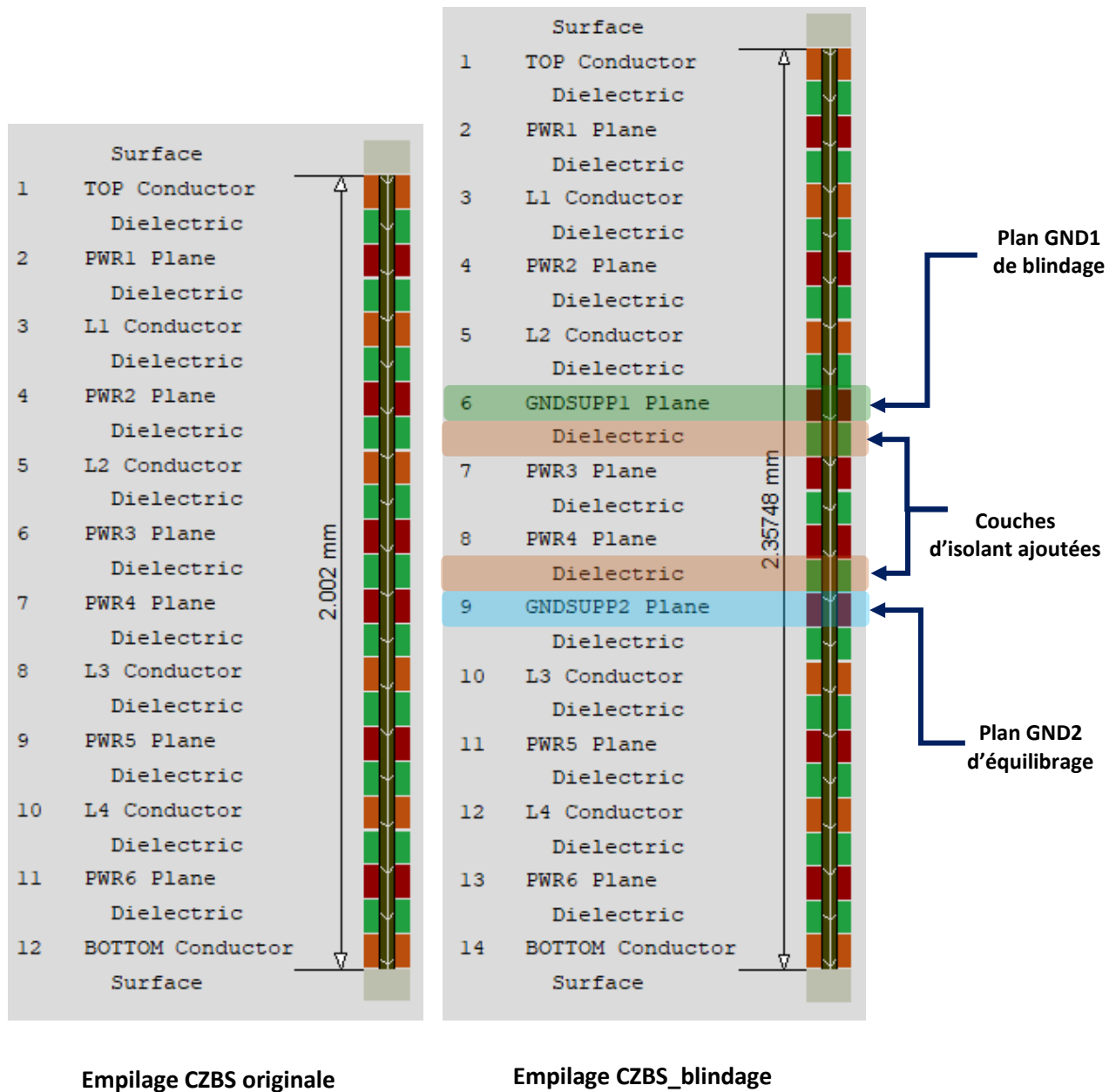


Figure IV.3. Empilages des cartes CZBS originale et CZBS_blindage

Pour valider l'efficacité de cette solution, on suit le processus de simulation développé au chapitre 3 (Figure III.5), en extrayant cette fois le layout de la carte contenant les deux plans de masse supplémentaires dans ADS SI pro. La modélisation de l'alimentation reste la même que pour la carte CZBS initiale, c'est-à-dire sans ajout de la résistance de grille, ni de capacités de découplage sur la tension d'entrée, ni aucune autre modification. En effet, il est important de garder la même agressivité du nœud Switch que sur la carte initiale pour pouvoir juger l'efficacité de la solution proposée.

Les résultats obtenus en Figure IV.4 montrent clairement que l'ajout d'un plan de masse entre les plans *L2* et *PWR3* forme un blindage efficace, et réduit significativement les parasites provoqués par le plan *P12V* sur le plan *P3V3*, et incidemment sur le signal *CLK_EN* alimenté par cette tension. En effet, les parasites relevés sur la tension *P3V3* en entrée du CPLD sont réduits de 74.5%, et ceux observés sur le signal *CLK_EN*, sont eux réduits de plus de 84%. Le Tableau IV-2 résume l'ensemble de ces informations. Les résultats de cette simulation valident donc la robustesse de la solution proposée, et confirment davantage que le couplage se fait bien entre les plans *P12V* et *P3V3*.

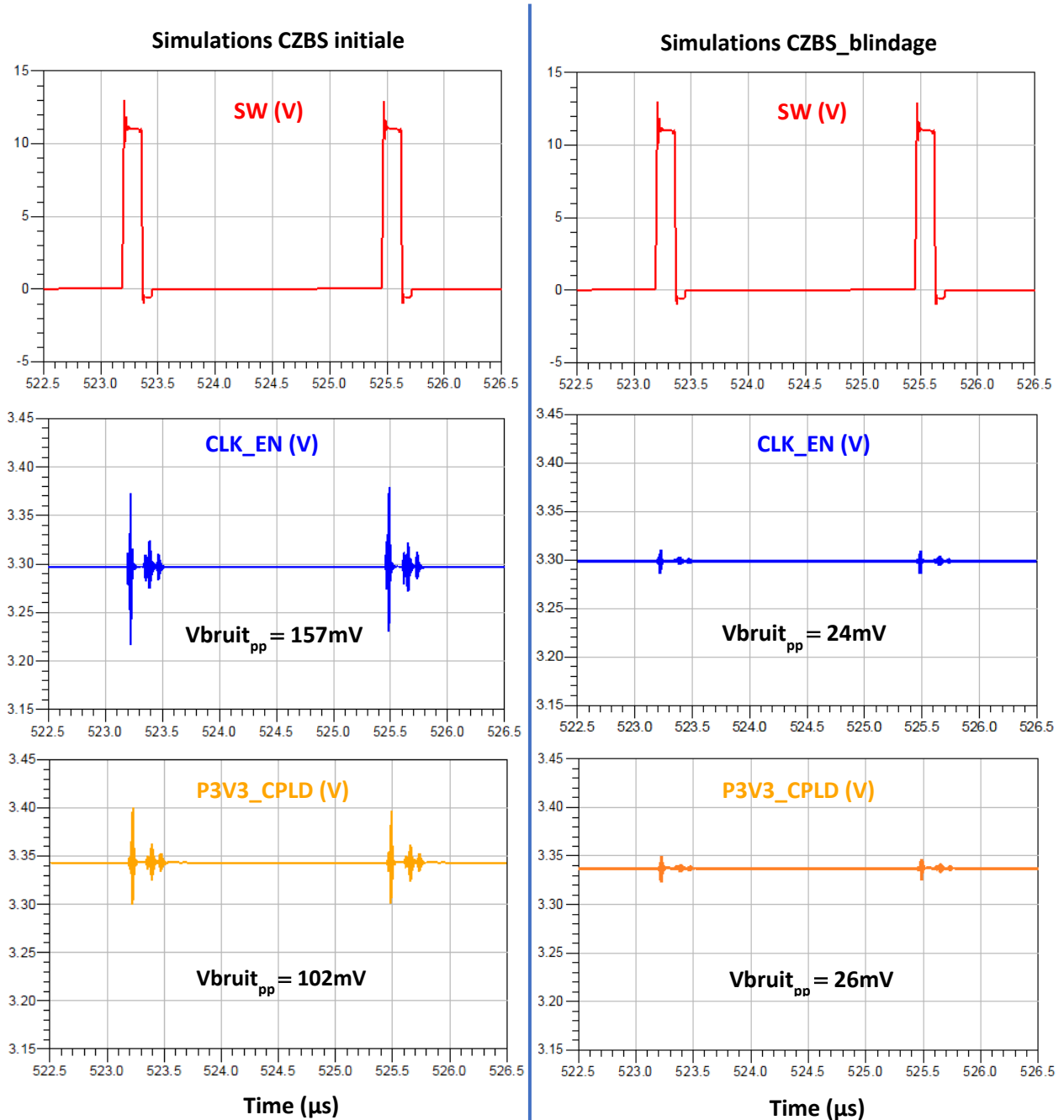


Figure IV.4. Courbes temporelles simulées des signaux P3V3_CPLD (jaune), CLK_EN (bleu) et SW (rouge), sur les cartes CZBS initiale et CZBS_blindage

	Simulations CZBS originale (mV _{pp})	Simulations CZBS_blindage (mV _{pp})	Taux de réduction du bruit (%)
V_{bruit} P3V3_CPLD	102	26	74.5
V_{bruit} CLK_EN	157	24	84.7

Tableau IV-2. Amplitudes crêtes des parasites sur les signaux simulés P3V3_CLK et CLK_EN des cartes CZBS initiale et CZBS_blindage

Si l'ajout du plan de masse pour blinder le plan P3V3 paraît être une solution évidente, et bien qu'elle soit efficace, elle nécessite néanmoins l'ajout de deux couches conductrices et de deux couches de diélectrique, ce qui augmente l'épaisseur de la carte d'environ 15%, ainsi que son coût de fabrication. Afin d'éviter cela, on propose dans la suite une solution supplémentaire, qui présenterait moins d'inconvénients que la CZBS_blindage étudiée plus haut.

IV.2.2. Plan P12V local à l'alimentation

Cette solution qu'on se propose de simuler consiste à isoler la tension d'entrée de l'alimentation du reste de la carte, vu qu'il s'agit de la tension qui distribue les parasites dus aux commutations de l'alimentation. On cherche alors à créer un plan P12V local à l'alimentation, qu'on nomme P12V_local, représenté en Figure IV.5.

On sépare le plan P12V_local du plan P12V distribué sur toute la carte en le filtrant à l'aide d'une ferrite. Cette ferrite possède une résistance intrinsèque de 80Ω à 100MHz, 0.01Ω en continu, et permet le passage d'un courant maximal de 5A. Comme vu précédemment sur la Figure II.3, la puissance de cœur maximale consommée par l'ASIC est de 27W, le courant tiré par P12V_local de P12V ne dépasse donc pas 2.8A (IV-1).

$$I_{max_P12V_local} = \frac{P_{max_P0V9}}{V_{P12V_local} \times \eta_{alimentation_P0V9}} = 2.8A \quad (IV-1)$$

Avec :

$I_{max_P12V_local}$: courant maximal de P12V_local = 2.8A

P_{max_P0V9} : puissance de cœur maximale de l'ASIC = 27W

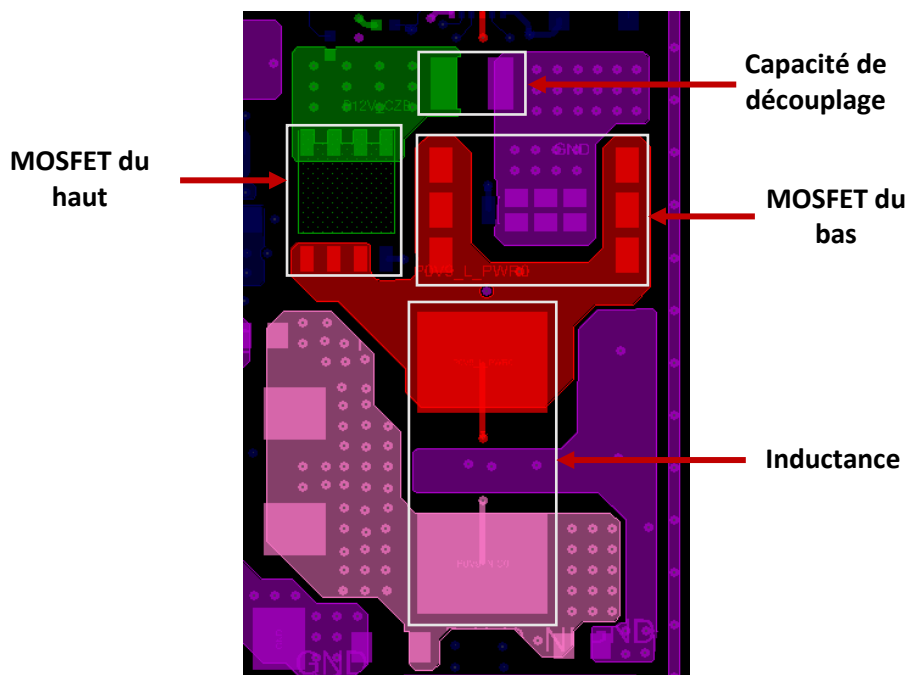
V_{P12V_local} : tension de P12V_local = 12V

$\eta_{alimentation_P0V9}$: rendement de l'alimentation P0V9 = 80%

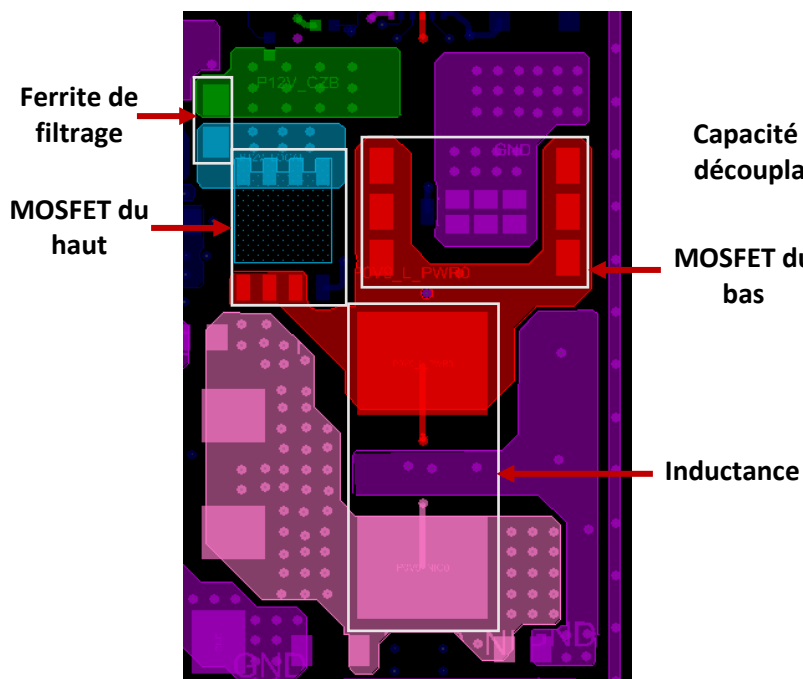
La ferrite considérée est alors conforme aux besoins en puissance de P12V_local, et est placée sur la couche Top, entre P12V et P12V_local, en entrée du MOSFET du haut.

Dans cette solution, l'entrée de l'alimentation P0V9 n'est plus la tension P12V, mais la tension P12V_local. La capacité de découplage, initialement connectée à la tension P12V, doit maintenant être connectée à la tension P12V_local. Par manque d'espace sur la couche Top, elle est placée sur la couche Bottom de notre nouveau design, qu'on nomme CZBS_P12V_local, comme on le voit sur la Figure IV.5.

Vue de la couche *Top* de la carte CZBS originale



Vue de la couche *Top* de la carte CZBS_P12V_local



Vue de la couche *Bottom* de la carte CZBS_P12V_local

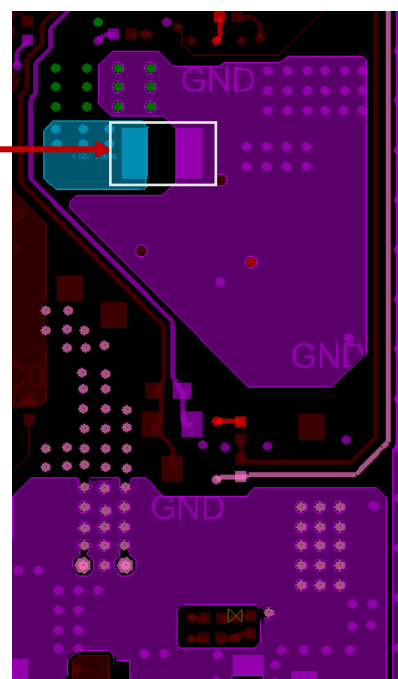


Figure IV.5. Tracé des tensions P12V, SW, P0V9 et P12V_local sur les cartes CZBS initiale et CZBS P12V_local

Comme précédemment, on suit le processus de simulation, en extrayant le layout de la carte modifiée et en gardant la même modélisation initiale de l'alimentation, sans modification.

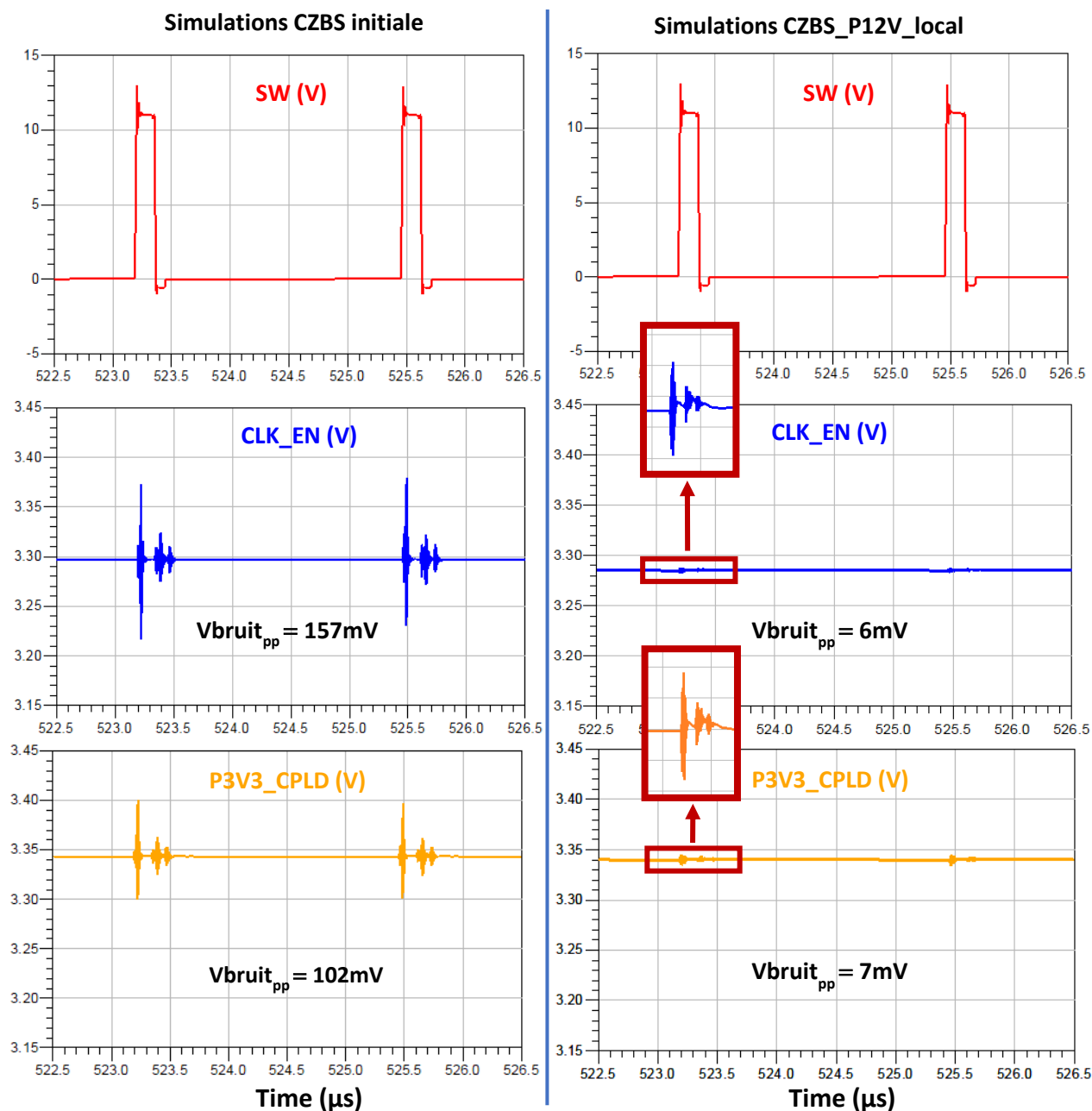


Figure IV.6. Courbes temporelles simulées des signaux P3V3_CPLD (jaune), CLK_EN (bleu) et SW (rouge), sur les cartes CZBS initiale et CZBS_P12V_local

	Simulations CZBS originale (mV _{pp})	Simulations CZBS P12V_local (mV _{pp})	Taux de réduction du bruit (%)
V_{bruit} P3V3_CPLD	102	7	93.1
V_{bruit} CLK_EN	157	6	96.2

Tableau IV-3. Amplitudes maximales des bruits sur les signaux simulés P3V3_CLK et CLK_EN des cartes CZBS initiale et CZBS_P12V_local

D'après les courbes de la Figure IV.6, les perturbations sur la tension $P3V3$ et sur le signal CLK_EN qu'elle alimente sont largement diminuées (jusqu'à 96.2%, Tableau IV-3), avec l'utilisation d'un plan local pour la tension d'entrée de l'alimentation. Effectivement, les parasites sont maintenus sur le plan $P12V_local$, ils ne se propagent pas sur le plan $P12V$ (tracé quasiment sur toute la couche $PWR3$), et ne génèrent donc pas de perturbations sur le plan $P3V3$.

	$V_{\text{bruit CLK_EN (mV}_{pp})}$ simulé	Taux de réduction du bruit (%)	Faisabilité
CZBS initiale	157	-	-
CZBS corrigée	32	79.6	+++
CZBS_blindage	24	84.7	++
CZBS_P12V_local	6	96.2	+++

Tableau IV-4. Taux de réduction du bruit du signal CLK_EN et faisabilité des différentes solutions étudiées pour la carte CZBS

Le Tableau IV-4 récapitule les taux de réduction du bruit sur le signal CLK_EN de la solution réellement implémentée sur la carte et des deux solutions supplémentaires proposées. Comme on peut le voir, la mise en place d'un plan local pour la tension d'entrée de l'alimentation est la solution la plus efficace pour la réduction du couplage entre l'alimentation et le plan $P3V3$. De plus, elle est facile d'implémentation et impose moins de contraintes sur le physique de la carte que la première solution, où l'ajout des plans de masse pour blinder le plan $P3V3$, augmente l'épaisseur de la carte de 15%.

Le critère de faisabilité introduit dans le Tableau IV-4 est basé sur l'impact des solutions proposées sur le reste de la carte. Il est approximativement fixé selon les modifications qu'on doit apporter à la carte pour pouvoir implémenter les solutions. Par exemple, une solution est considérée non faisable si on doit supprimer des composants pour libérer de l'espace sur la carte afin de l'implémenter. En somme, plus ces modifications impactent le fonctionnement de la carte ou plus leur coût est important, moins les solutions sont faisables. Le Tableau IV-5 explique l'échelle de faisabilité considérée dans ce manuscrit.

Symbole	Signification
+++	Faisable
++	Faisable mais couteux
+	Difficilement faisable
x	Non faisable
-	Non considéré car design original

Tableau IV-5. Echelle du critère de faisabilité des solutions proposées

IV.3. Application sur un cas réel

IV.3.1. Présentation du cas réel

La carte C4W (*Compute 4 UPI Whitley*) est une carte de calcul appartenant à la gamme de serveurs *BullSequana XH2000*. Il s'agit d'une carte à haute densité d'interconnexions aux dimensions importantes : 532mm x 184mm x 2.58mm, se composant de 18 couches : 2 couches externes, 6 couches internes de routage, et 10 couches de plans d'alimentations et de masse. L'empilage de la carte C4W est présenté sur la Figure IV.7.

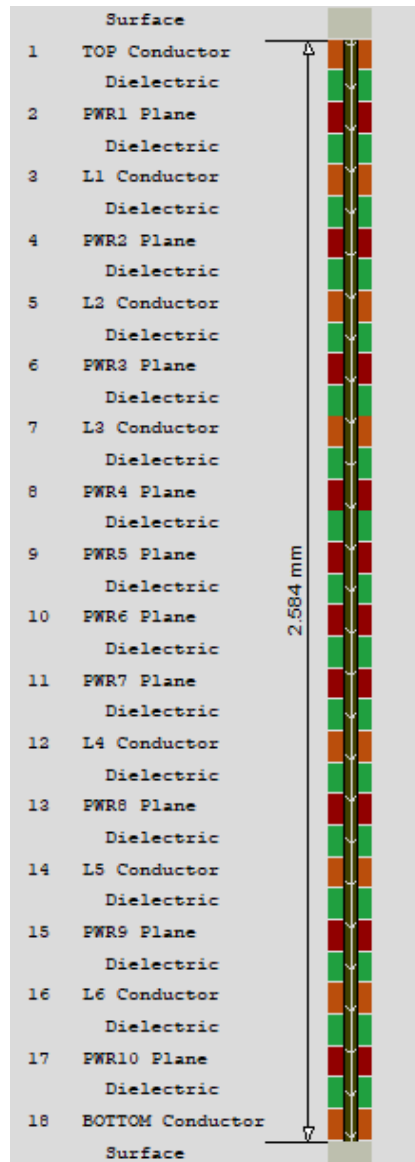


Figure IV.7. Empilage de la carte C4W

Elle est basée sur une plateforme *Whitley* de Intel, et dispose de 4 UPI (*Ultra Path Interconnect*) [115], dont la vitesse de transfert atteint 11.2GT/s (Giga Transferts par seconde) par paire et par sens (224Gb/s dans chaque sens par bus UPI). Ces UPIs servent à l'interaction des deux processeurs *IceLake* qu'elle contient, alimentés par plusieurs tensions dont la principale est de 1.8V, et qui peuvent nécessiter une puissance atteignant les 300W TDP (*Thermal Design Power*) [116] et 750W crête ; avec des appels de courant allant jusqu'à 860A/μs.

En plus des processeurs, on retrouve principalement sur cette carte 16 barrettes mémoires DDR4 dont la vitesse atteint les 3200Mbps. On y retrouve également des composants programmables, différents systèmes d'alimentation, des signaux très rapides (comme des liens PCI-e de 4^{ème} génération), et divers connecteurs.

Comparée à la carte CZBS, la C4W est une carte plus dense, plus complexe, contenant des liens rapides et des processeurs fonctionnant avec de très forts courants. Sur la Figure IV.8, on voit la couche *Top* du layout de la carte C4W, ainsi que l'emplacement et la composition de l'alimentation *P1V8* du CPU1.

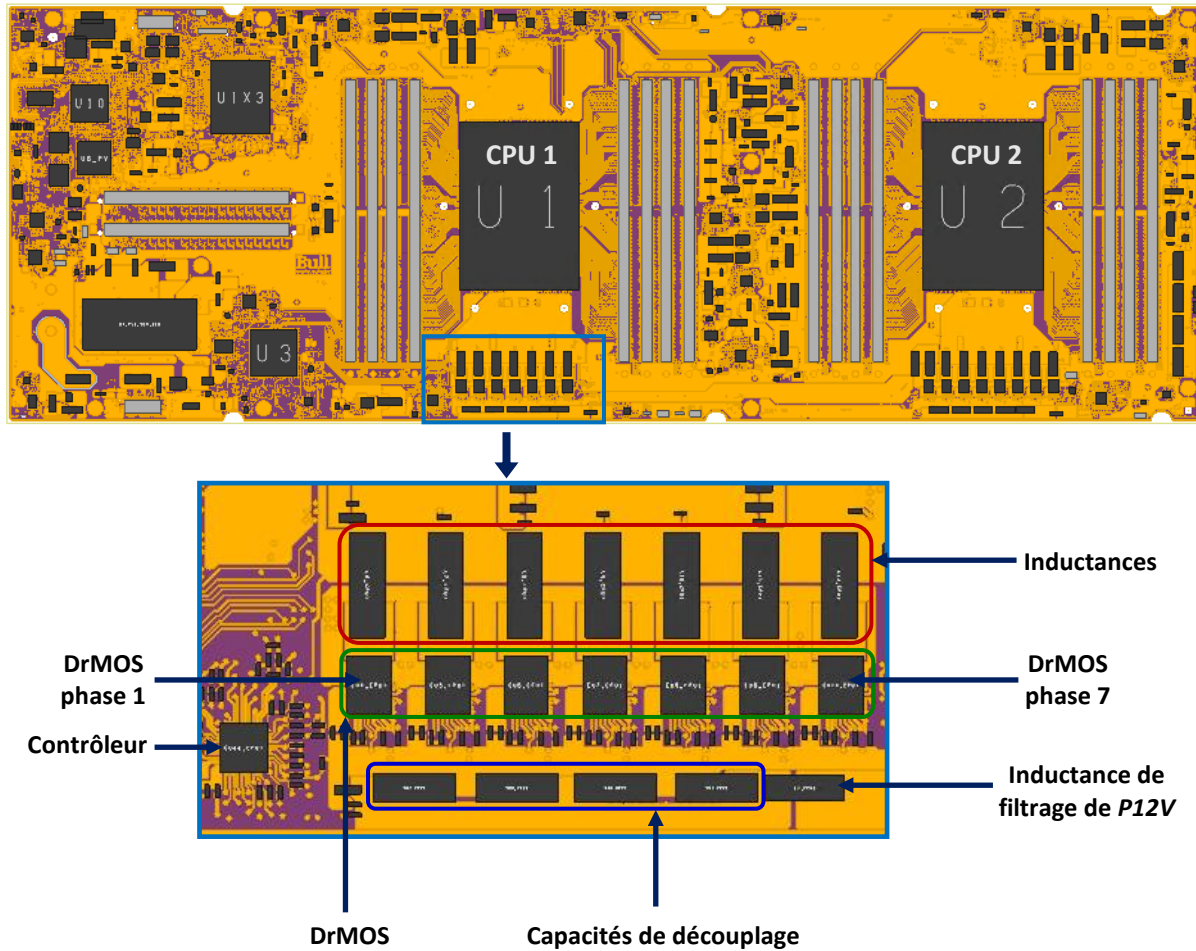


Figure IV.8. Vue globale de la couche Top de la carte C4W, et détails sur la composition de l'alimentation P1V8

Notre intérêt pour cette carte découle de la présence de bruit de couplage sur des signaux SVID (*Serial Voltage Identification Debug*) [117], causé par l'alimentation fournissant la tension de cœur du processeur CPU1.

L'interface SVID est une interface de communication entre le processeur et les contrôleurs des systèmes d'alimentation qui lui fournissent la puissance dont il a besoin. Elle sert à transférer des informations sur la gestion de ces tensions ainsi qu'à en modifier les réglages, en utilisant les trois signaux qui la composent : Alert, Data, Clock.

Sur la carte C4W, on s'intéresse à l'interface SVID qui gère la tension de cœur du processeur, P1V8. Les trois signaux SVID sont single-ended en technologie CMOS open drain [118], avec une tension de rappel de 1V à travers une résistance de pull-up vers P1V. Les signaux SVID illustrés sur la Figure IV.9, sont routés comme suit :

- Le signal SVID Clock, va du CPU vers le contrôleur d'alimentation P1V8, où il est relié en bout de ligne à une terminaison parallèle de 50Ω à la tension P1V.
- Le signal SVID Alert, va lui du contrôleur d'alimentation P1V8 vers le CPU. Sa terminaison parallèle de 50Ω à P1V se situe en bout de ligne près du CPU.
- Le signal SVID Data est bidirectionnel et possède une terminaison parallèle de 100Ω à la tension P1V à chaque bout de ligne (contrôleur P1V8 et CPU).

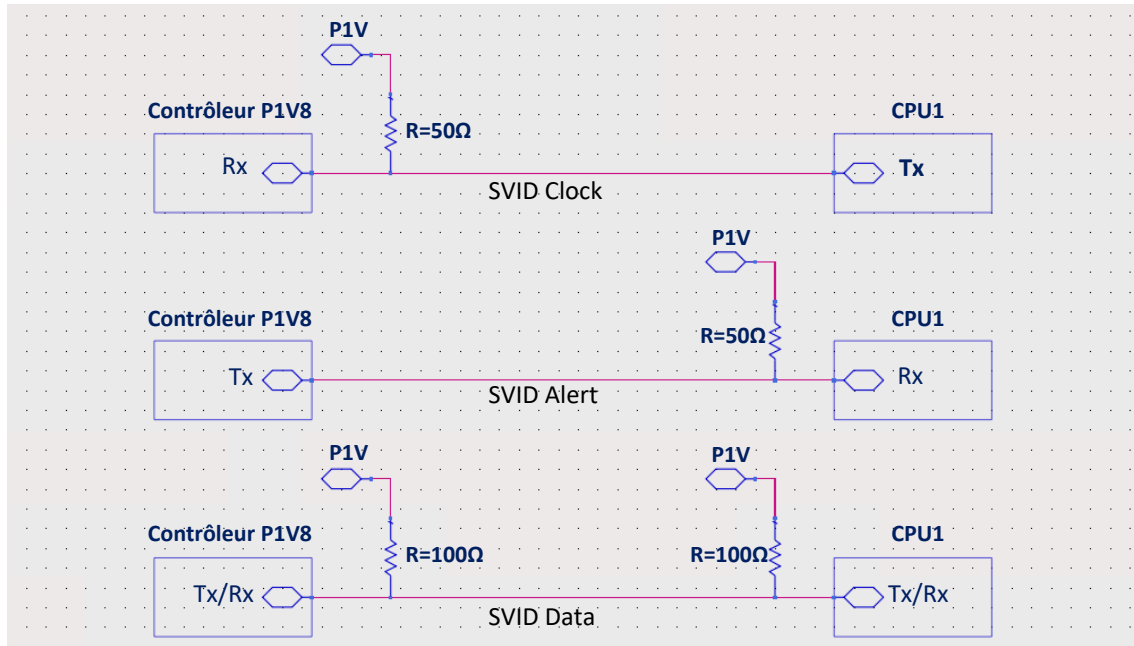


Figure IV.9. Représentation schématic des signaux SVID Clock, Alert et Data sur la carte C4W

Dans le cas du CPU1 de la carte C4W, ces signaux sont tracés sur les couches *Top*, *L1*, *L2*, *L4* et *L6*, et passent en partie près de l'alimentation qui fournit la tension *P1V8* du processeur. Il s'agit d'une alimentation multicellulaire parallèle (Figure IV.10), qui abaisse une tension de 12V vers une tension de 1.8V. Elle se compose d'un contrôleur, 7 DrMOS (*Driver MOSFET*) [119], 7 inductances, ainsi que de capacités de découplage en entrée de l'alimentation (*P12V*) et sur sa sortie (*P1V8*). Chacun des DrMOS commute à une fréquence de 1MHz, et peut fournir un courant maximal de 70A.

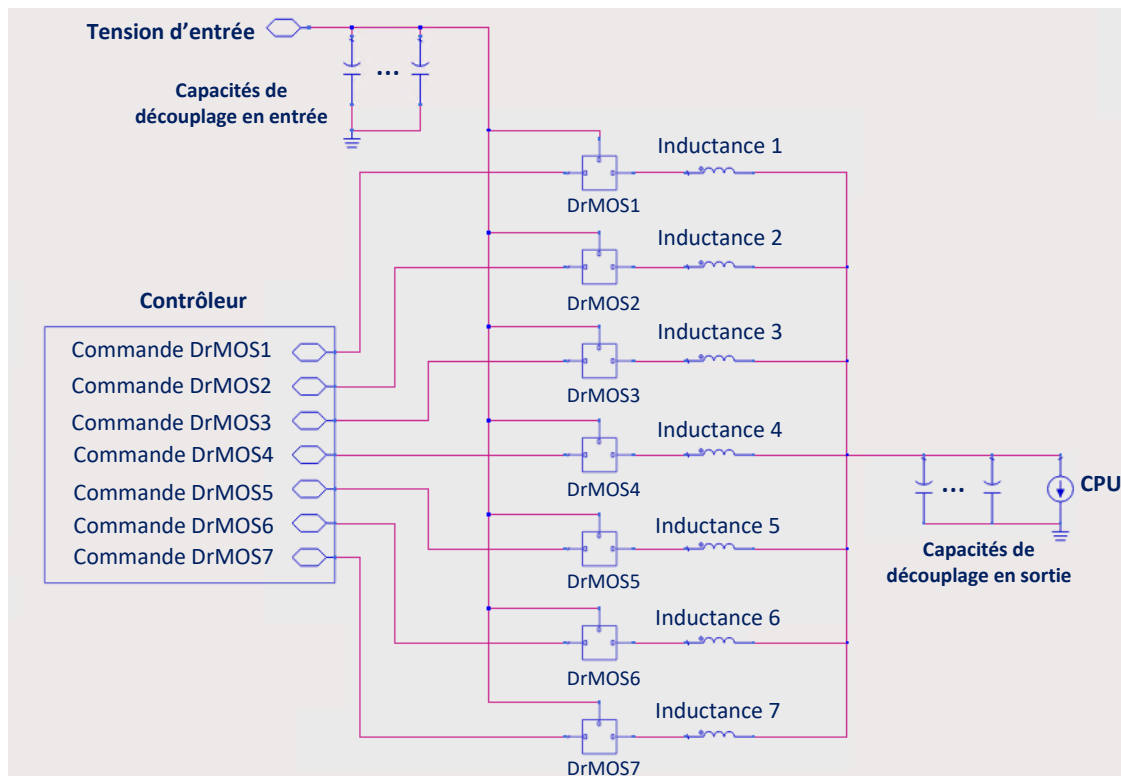


Figure IV.10. Représentation schématic simplifiée du système d'alimentation P1V8 sur la carte C4W initiale

Comme les perturbations aperçues sur les signaux SVID relevés par mesure correspondent aux commutations des VRMs *P1V8*, on s'intéresse à la zone où les signaux se trouvent près des VRMs (Figure IV.11). Sur les trois signaux SVID, seul le signal Clock qu'on nommera *SVID_CLK*, sera étudié.

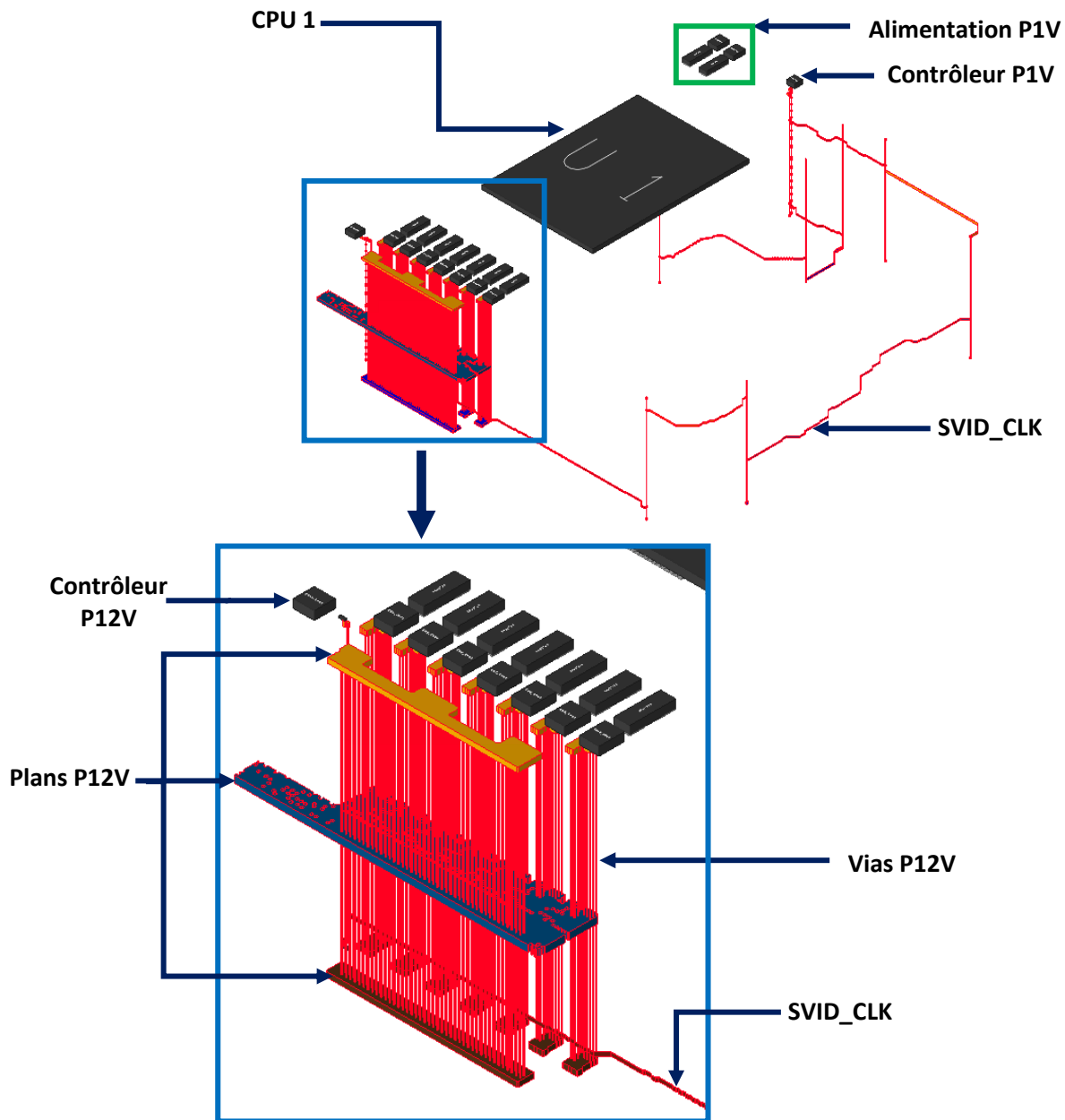


Figure IV.11. Vue 3D de la disposition de la tension P12V en entrée des DrMOS et du signal SVID_CLK sur la carte C4W

Contrairement à la CZBS, où les parasites relevés sur les signaux victimes ne gênent pas le fonctionnement de la carte, l'impact des perturbations causées par les VRMs sur les signaux SVID de la C4W est fortement contraignant, vu qu'elles provoquent l'interruption du démarrage du processeur dans un cas sur deux environ.

En effet, comme on le voit sur la Figure IV.12, le bruit causé par les commutations de la phase 1 de l'alimentation est particulièrement fort, et dépasse les seuils du signal d'horloge, provoquant ainsi le dysfonctionnement du système. On se retrouve alors dans un cas où la méthode de simulation prend toute son importance, son application permettant la détermination du mode de couplage entre

l'alimentation et les signaux SVID, ainsi que la vérification des solutions possibles pour la correction du problème.

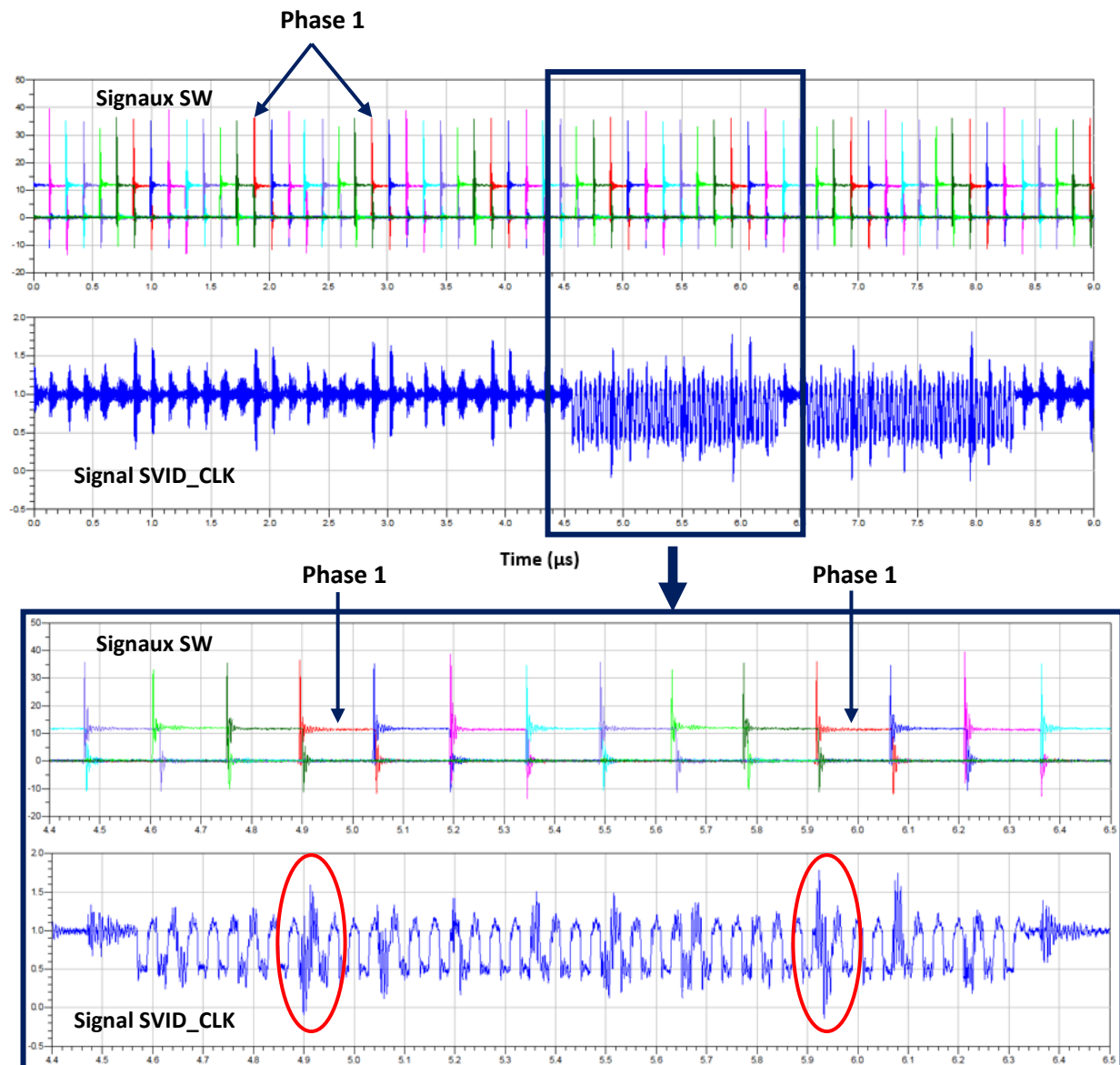


Figure IV.12. Courbes temporelles des signaux SW des 7 phases de l'alimentation multicellulaire parallèle, et du signal SVID_CLK, relevés par mesure

Le banc de test mis en place pour relever ce type de mesures est exposé en Figure IV.13. Il se compose d'une carte C4W dont le processeur CPU1 est remplacé par un VRTT (*Voltage Regulator Testing Tool*) [120], qui permet d'émuler un fonctionnement réaliste du processeur vis-à-vis de son alimentation. Toutes les mesures présentées dans ce chapitre sont relevées avec une configuration du VRTT émulant un courant continu consommé de 100A.

Les mesures sont prises à l'aide de sondes passives TPP1000 [121], ayant une tension mesurable maximale de 300V et une bande passante de 1GHz. Ces sondes sont connectées à un oscilloscope Tektronix à signaux mixtes MSO Série 5 [122], qui dispose de 8 voies de visualisation, d'une bande passante de 1GHz et d'une capacité d'échantillonnage de 6.25GS/s. Le refroidissement du système se fait par la ventilation intégrée dans le VRTT, et par un ventilateur externe supplémentaire.

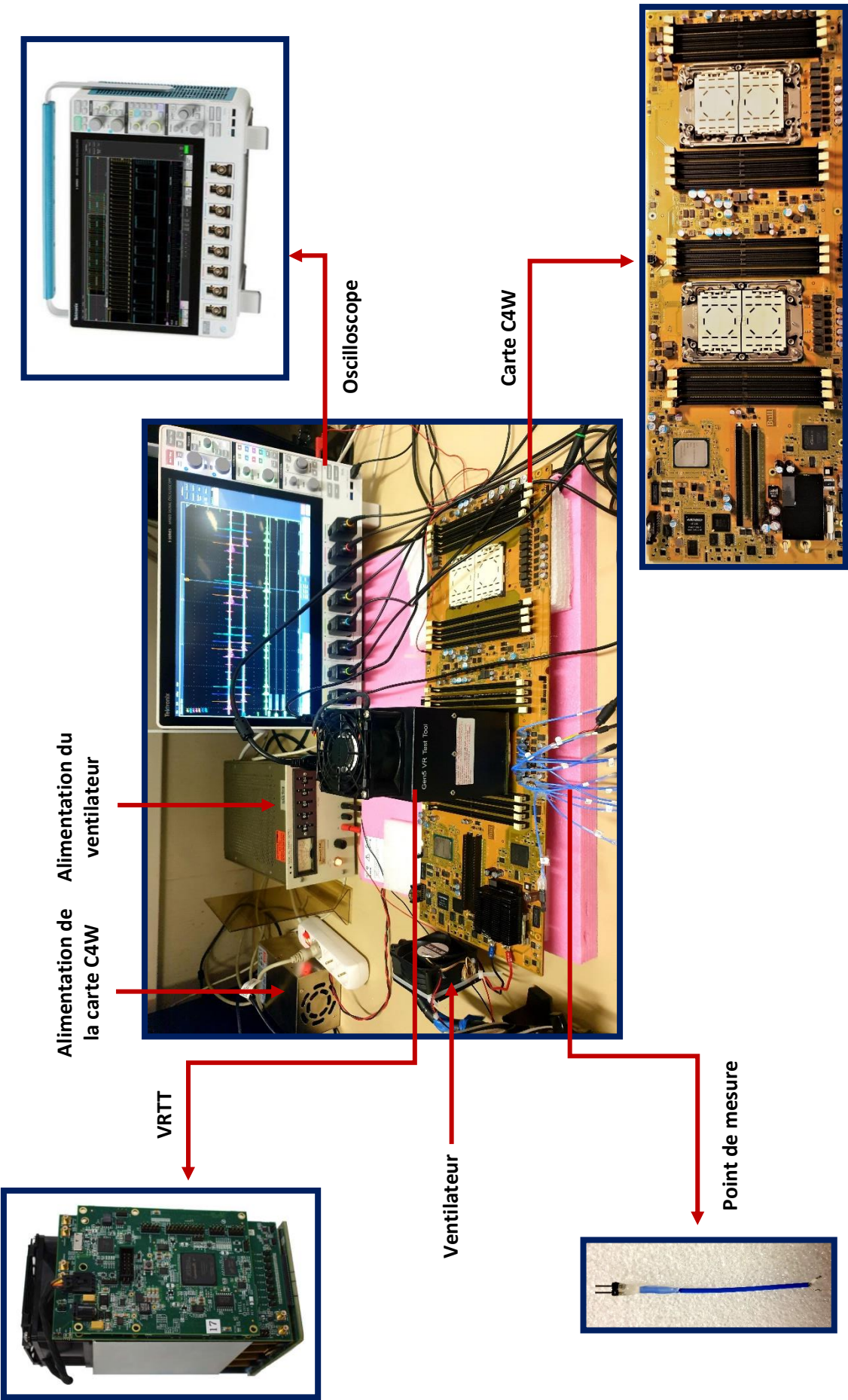


Figure IV.13. Banc de test pour la prise des mesures sur la carte C4W

IV.3.2. Simulations et résultats

La carte C4W étant très dense, son analyse dans ADS SI pro nécessite des ressources mémoires très importantes. Bien qu'on dispose d'une machine de 480Go de mémoire, cela reste insuffisant à l'aboutissement de notre extraction. On s'applique alors à alléger la carte en la découpant afin de garder la zone comprenant le signal victime *SVID_CLK*, et l'alimentation *P1V* (Figure IV.14).

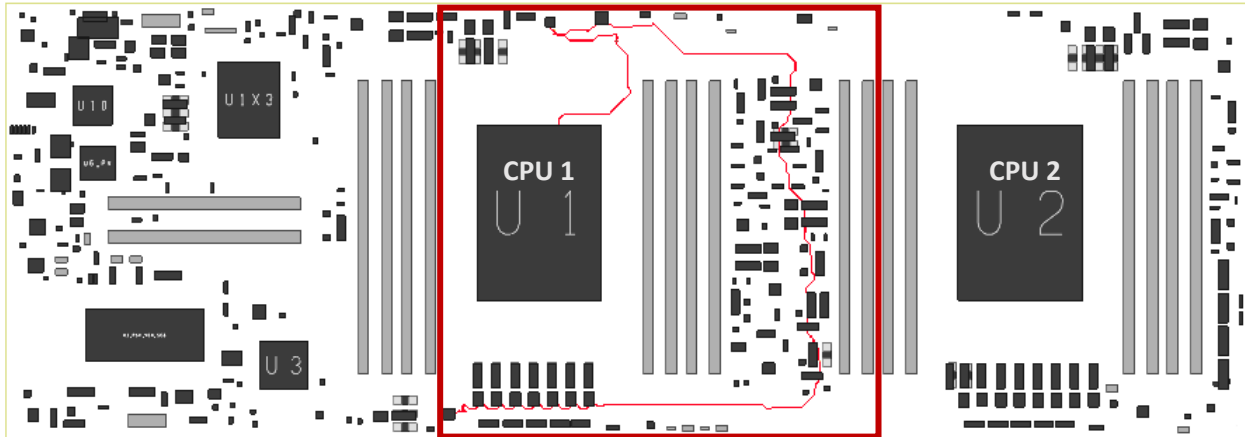


Figure IV.14. Découpe de la carte C4W contenant le signal *SVID_CLK* et les alimentations *P1V8* et *P1V* du CPU1

D'après les mesures relevées sur cette carte (Figure IV.12), les bruits des commutations des phases 1 et 2 sont plus importants que ceux des autres phases. En vérifiant le routage du signal *SVID_CLK* près des DrMOS, on remarque que sa résistance de pull-up est placée près du DrMOS1, et qu'elle est connectée à la tension *P1V* par une ligne, également tracée à proximité du DrMOS1 (Figure IV.15). On suppose alors que le couplage se fait principalement entre la tension *P12V* en entrée des DrMOS1 et 2, et la ligne *P1V*, qui alimente le signal *SVID_CLK*.

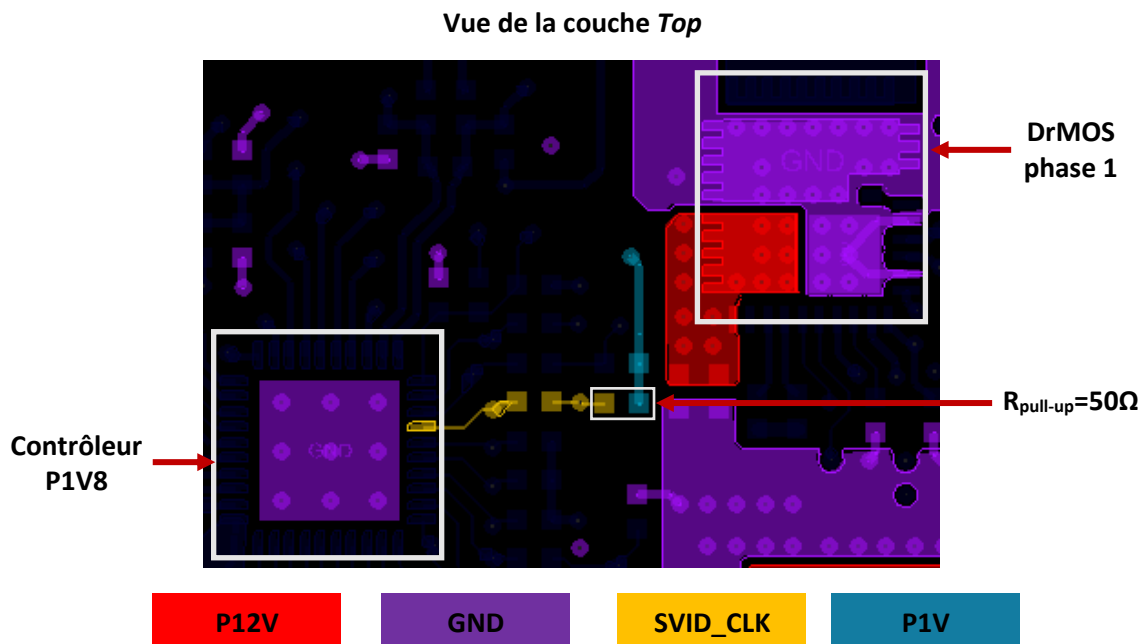


Figure IV.15. Tracé de la tension d'entrée (*P12V*) du DrMos1, des lignes *SVID_CLK* (jaune) et *P1V* (bleu) sur la couche Top de la carte C4W initiale

Comme dans le chapitre précédent, on applique le processus de simulation à la carte C4W. La modélisation de son physique sur ADS SI pro se fait en extrayant les plans *P12V* alimentant les VRMs, *P1V* qui alimente le signal *SVID_CLK*, et les composants discrets inclus dans le cas d'étude. Pour les ports, on extrait la tension *P12V* en sortie du filtre qui l'isole du reste du 12V de la carte, et en entrée des 7 DrMOS, ainsi que les entrées et sorties de la tension *P1V* et du signal victime *SVID_CLK* (Figure IV.8 et Figure IV.11).

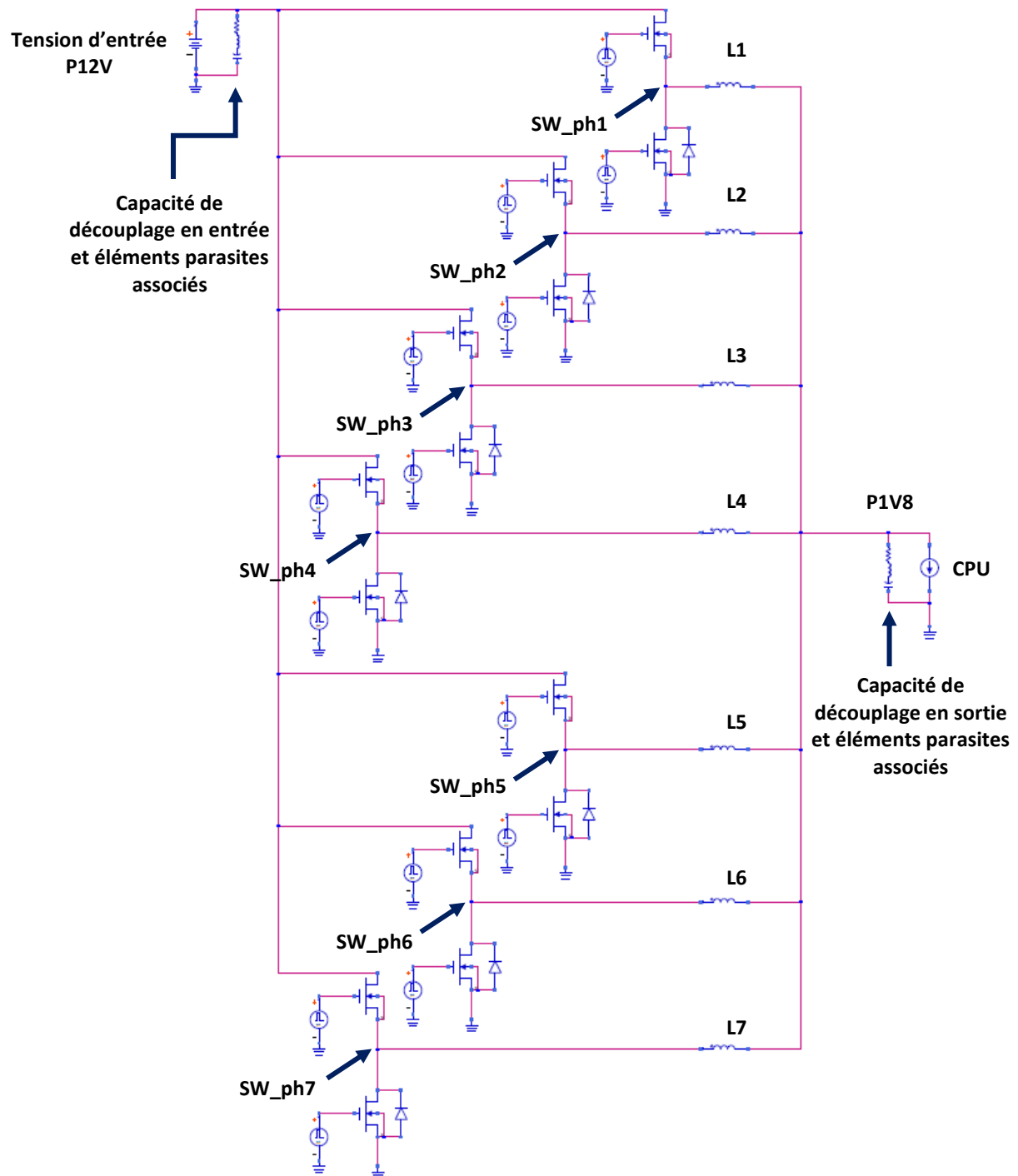


Figure IV.16. Circuit recréé de l'alimentation multicellulaire parallèle P1V8

Concernant l'agresseur, les modèles de simulation des DrMOS utilisés sur la C4W sont confidentiels et non disponibles pour la simulation des VRMs, ce qui rend la modélisation fine de l'alimentation impossible. Il est à noter que ces DrMOS incluent les MOSFETs et leurs drivers. Les commandes de grilles des MOSFETs sont donc internes aux boîtiers des DrMOS, ce qui les rend impossibles à mesurer.

Afin de contourner cette limitation, on se propose de recréer le système d'alimentation de la C4W en utilisant un circuit classique d'une alimentation Buck multicellulaire parallèle, comme présenté sur la Figure IV.16. Le but de cette modélisation théorique de l'alimentation est d'obtenir les courbes des courants en entrée des DrMOS proches de la réalité, pour les utiliser dans le circuit équivalent final.

Effectivement, on suppose à ce stade que la tension $P12V$ en entrée des DrMOS est l'agresseur du couplage, il est donc impératif de modéliser les appels de courants des DrMOS sur la tension $P12V$. Pour se rapprocher du fonctionnement réel de l'alimentation, on ajuste les signaux de commandes des MOSFETs en se basant sur les nœuds Switch des VRMs relevés par mesure (Figure IV.12), avant de l'éprouver via une simulation transitoire. Par la suite, ces courants en entrée des DrMOS obtenus par notre modélisation additionnelle seront considérés comme l'agresseur du circuit équivalent du cas C4W étudié.

Dans le circuit équivalent de la Figure IV.17, on retrouve la structure paramètres-S représentant le physique de la carte obtenue via ADS SI pro, les courants en entrée des DrMOS obtenus par l'analyse SPICE d'un Buck multicellulaire parallèle, ainsi que les sources de tension et charges nécessaires. Concernant le signal victime $SVID_CLK$, il est connecté à l'aide d'une résistance de pull-up de 50Ω à la tension $P1V$, générée à partir d'une source de tension classique.

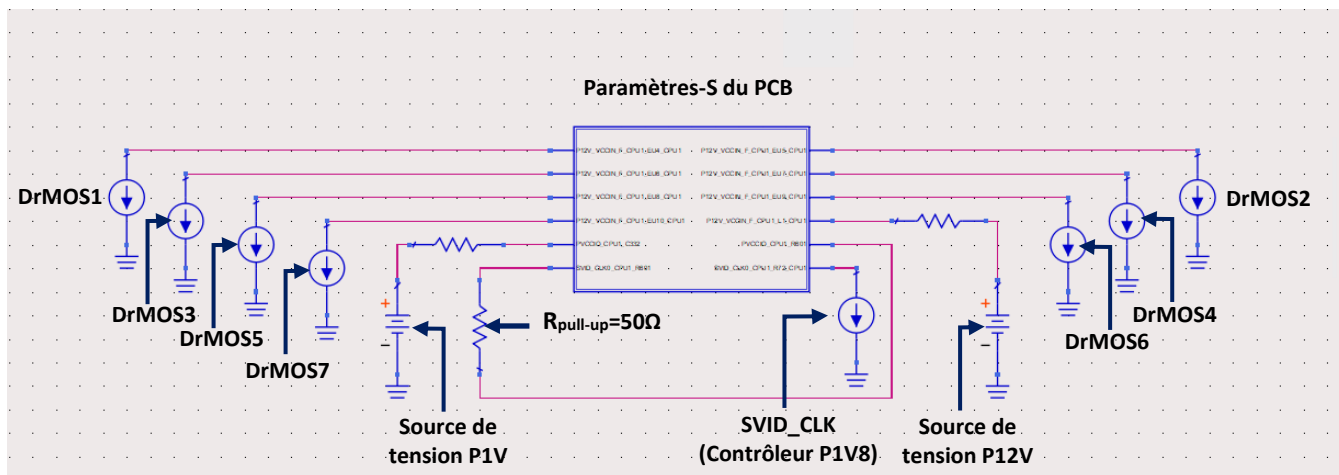


Figure IV.17. Circuit schématique équivalent du cas d'étude C4W, sur ADS Schematics

Similairement à la carte CZBS dans le chapitre 3, on applique le processus de simulation à une première version de la carte C4W sur laquelle le couplage a été relevé, puis à une deuxième carte, où une correction a été apportée pour réduire les parasites sur les signaux victimes. Pour simplifier la comparaison entre les mesures et les résultats de simulation, on se concentre uniquement sur la partie statique du signal $SVID_CLK$ mesuré.

a. Carte C4W originale

La Figure IV.18 expose les résultats de la simulation de la carte C4W originale. Toutes les phases de l'agresseur sont simulées, mais uniquement les deux premières phases sont affichées, pour une meilleure lisibilité. On voit clairement sur le signal $SVID_CLK$ les parasites qui correspondent aux phases

1 et 2 de l'alimentation *P1V8*. L'amplitude des perturbations maximales aux moments des transitions des signaux SW sur le signal victime simulé se rapproche de celle sur le signal victime mesuré avec un taux d'erreur de 4.3% (Tableau IV-6). Ceci conforte l'idée que le couplage se fait entre la tension *P12V* en entrée des DrMOS1 et 2, et la ligne *P1V* tracée près du DrMOS1. La tension *P1V* étant perturbée, le signal *SVID_CLK* qu'elle alimente l'est également.

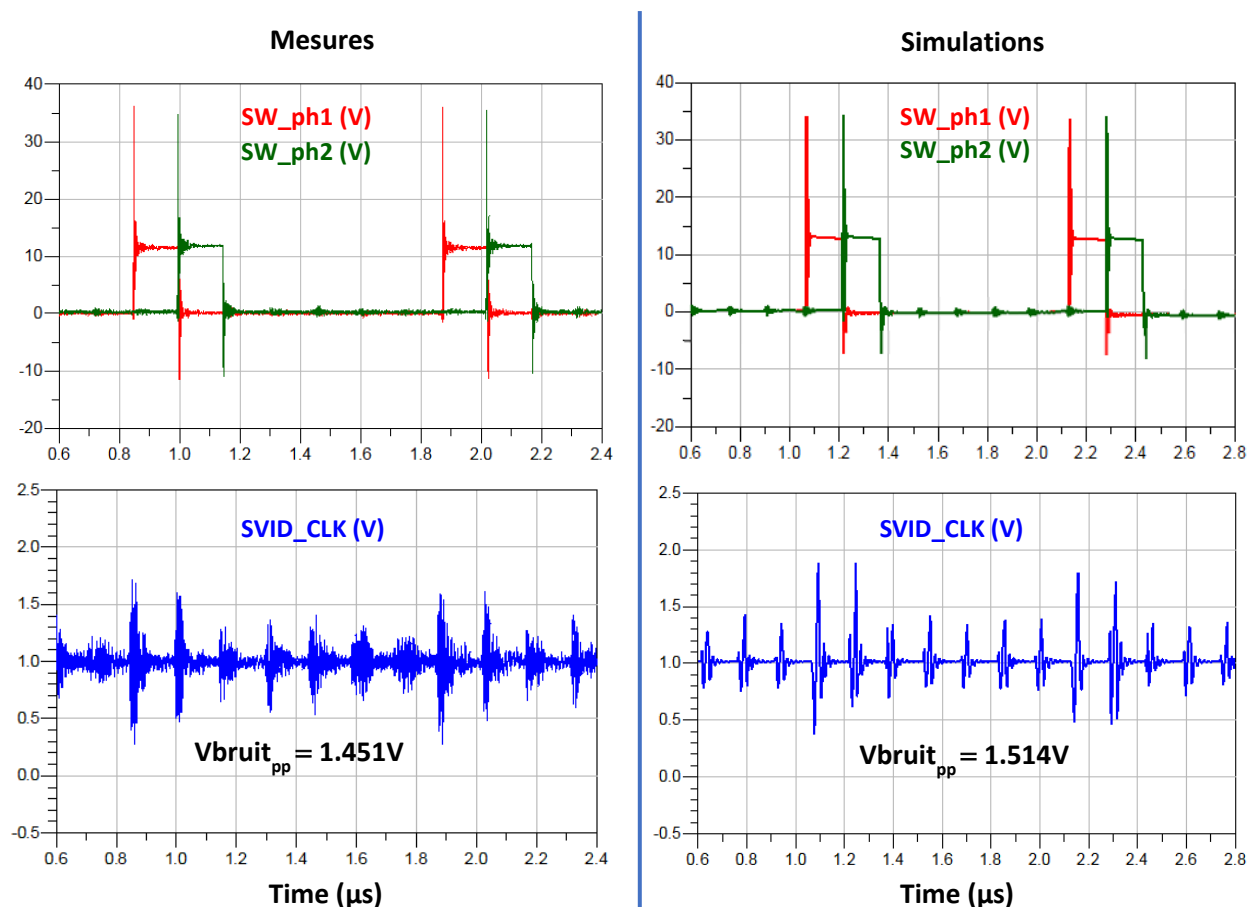


Figure IV.18. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal *SVID_CLK* (bleu) par mesure et par simulation

	Mesures (V_{pp})	Simulations (V_{pp})	Taux d'erreur (%)
$V_{\text{bruit SVID_CLK}}$	1.451	1.514	4.3

Tableau IV-6. Amplitudes crêtes des bruits mesurés et simulés sur le signal *SVID_CLK*

b. Carte C4W corrigée

Pour réduire le bruit sur les signaux SVID, une correction a été apportée à la carte C4W. Comme on peut le voir sur la Figure IV.19 (à comparer à la Figure IV.15), la résistance de pull-up du signal *SVID_CLK* ainsi que la ligne *P1V* qui lui est connectée, ont été déplacées de la couche *Top* vers la couche *Bottom*. De plus, une capacité de découplage de 100nF a été ajoutée sur la ligne *P1V*, le plan de masse sur la couche *Top* a été agrandi, et des vias GND ont été ajoutés, formant ainsi un blindage supplémentaire entre l'agresseur et la victime.

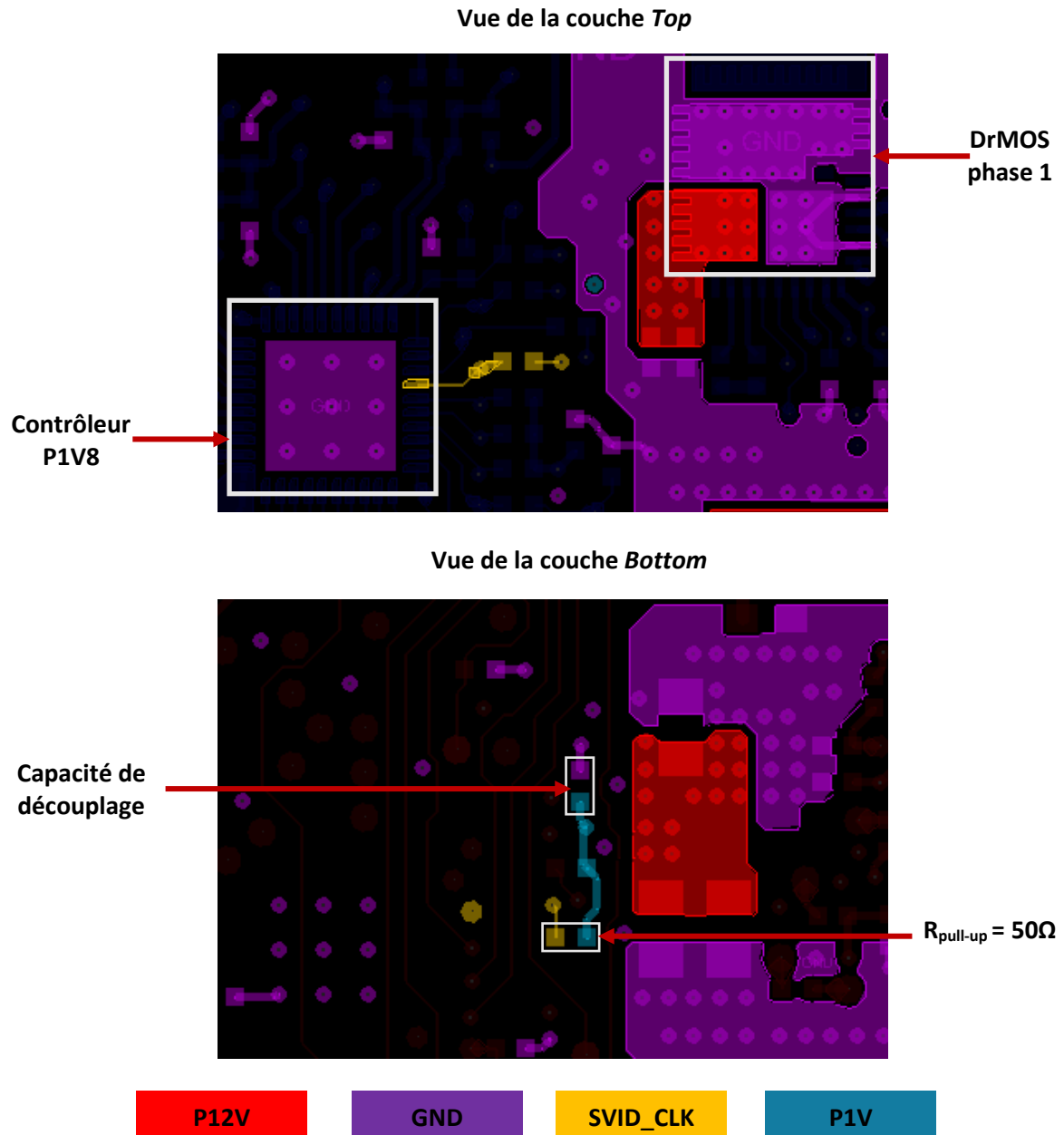


Figure IV.19. Tracé de la tension d'entrée (P12V) du DrMOS1, des lignes SVID_CLK (jaune) et P1V (bleu) sur les couches *Top* et *Bottom* de la carte C4W corrigée

La Figure IV.20 compare les courbes mesurées des signaux SVID_CLK de la carte C4W initiale (bleu) et de la carte corrigée (vert). On voit que la correction apportée à la carte C4W réduit les perturbations dues aux commutations des VRMs P1V8. Elles ne dépassent maintenant que légèrement les seuils du signal d'horloge SVID_CLK, contrairement aux perturbations qu'on observe sur le signal SVID_CLK de la carte C4W initiale.

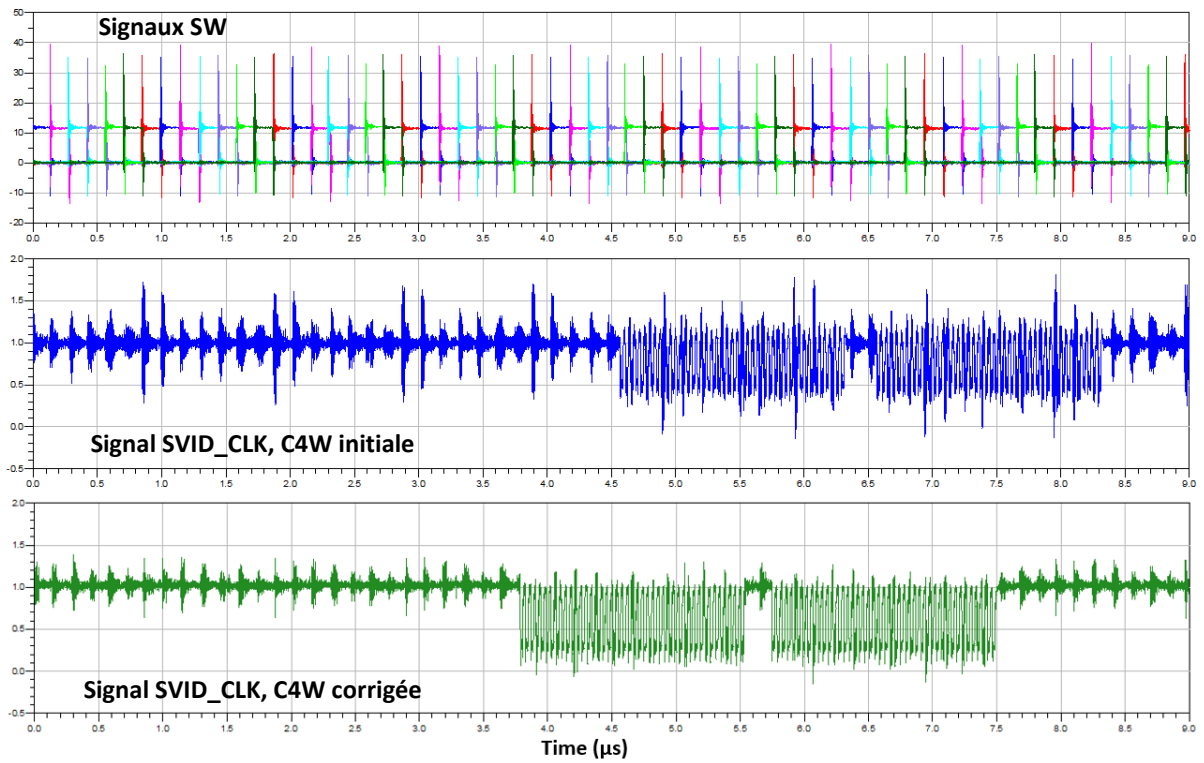


Figure IV.20. Courbes temporelles des signaux SW des 7 phases de l'alimentation multicellulaire parallèle P1V8, et des signaux SVID_CLK relevés par mesure, sur les cartes C4W initiale (bleu) et C4W corrigée (vert)

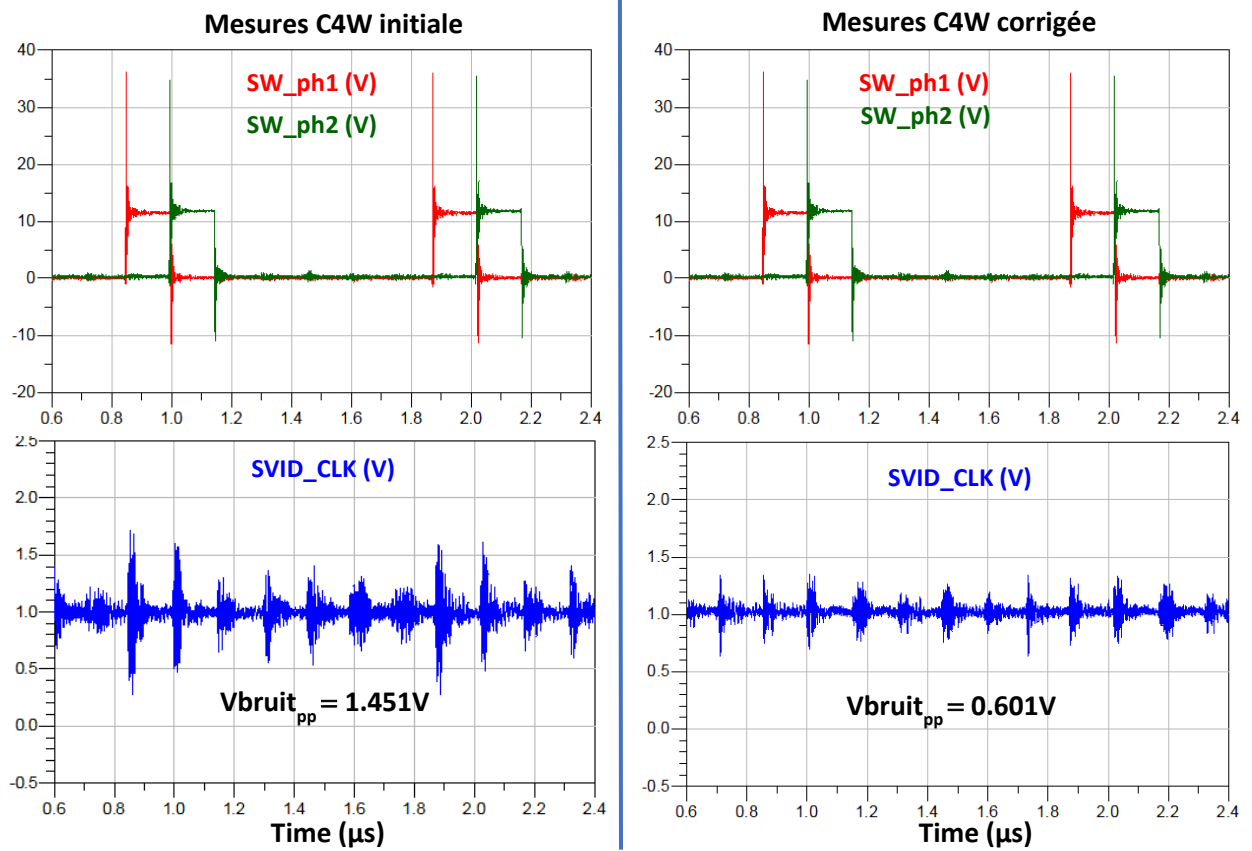


Figure IV.21. Courbes temporelles relevées par mesures des signaux SVID_CLK (bleu) et des signaux SW des phases 1 (rouge) et 2 (vert), sur les cartes C4W initiale et corrigée

	Mesures C4W initiale (V_{pp})	Mesures C4W corrigée (V_{pp})	Taux de réduction du bruit (%)
$V_{\text{bruit CLK_EN}}$	1.451	0.601	58.6

Tableau IV-7. Amplitudes des bruits des signaux SVID_CLK mesurés sur les cartes C4W initiale et corrigée

La Figure IV.21 se concentre sur la partie statique des signaux SVID_CLK des deux cartes, afin de comparer les amplitudes de leurs perturbations. Avec la correction apportée à la carte, les perturbations sur le signal SVID_CLK sont réduites de 58.6% (Tableau IV-7).

Comme dans le cas CZBS, les paramètres utilisés pour la modélisation de l'alimentation pour le cas C4W corrigée sont identiques à la simulation du cas C4W initiale. Après application du processus de simulation à la carte C4W corrigée, on obtient des résultats qui se rapprochent fortement de la mesure, comme on le voit sur la Figure IV.22. Le taux d'erreur de 2.5% dans le Tableau IV-8 est calculé à partir de l'amplitude de la perturbation due à la première impulsion du DrMOS1.

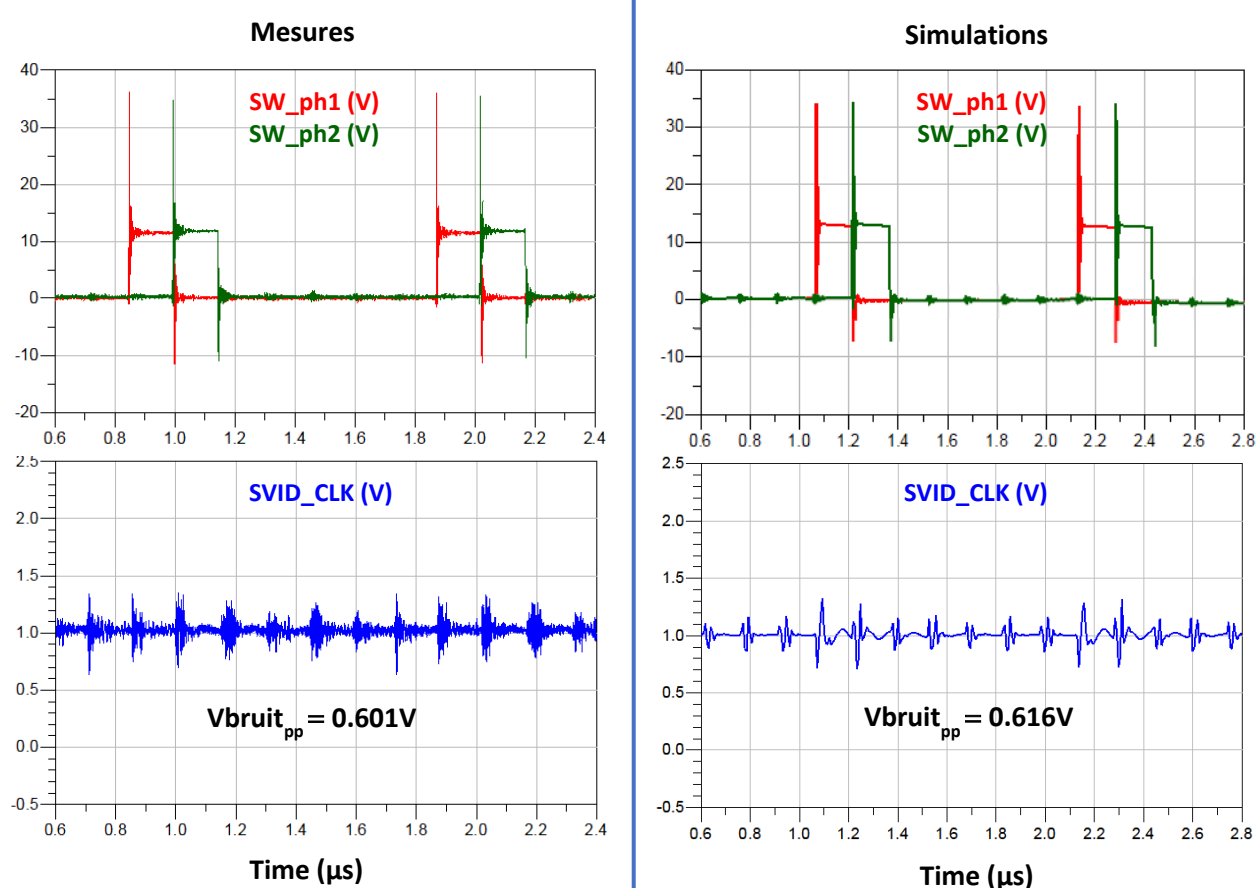


Figure IV.22. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) par mesure et par simulation, sur la carte C4W corrigée

	Mesures (V_{pp})	Simulations (V_{pp})	Taux d'erreur (%)
$V_{\text{bruit SVID_CLK}}$	0.601	0.616	2.5

Tableau IV-8. Amplitudes crêtes des parasites mesurés et simulés sur les signaux SVID_CLK de la carte C4W corrigée

IV.3.3. Solutions supplémentaires

La correction apportée à la carte C4W réduit les perturbations sur les signaux SVID dues au plan $P12V$ en entrée des DrMOS de 58.6%. Bien qu'elle permette de réduire suffisamment les perturbations pour rendre le processeur fonctionnel, leurs amplitudes ne sont pas pour autant négligeables (601mV). Dans le but de réduire davantage ces perturbations, on propose une solution supplémentaire, dont on vérifie l'efficacité grâce à notre processus de simulation.

La solution qu'on considère consiste à éloigner la ligne $P1V$ du plan $P12V$ en entrée du DrMOS1, et de réduire la parallélisation entre les deux afin de diminuer le couplage inductif. Pour cela, on repart du layout de la carte C4W initiale, où on déplace les composants dans la zone étudiée de manière à pouvoir éloigner le via $P1V$, et tracer la ligne $P1V$ perpendiculairement au plan $P12V$. Ensuite, on recouvre de masse l'espace entre ces deux éléments et on ajoute quelques vias de masse, pour blinder la ligne $P1V$ et le signal $SVID_CLK$.

La Figure IV.23 montre le tracé de la solution proposée. Pour éviter toute confusion entre les configurations étudiées, on nomme cette carte C4W_rotation.

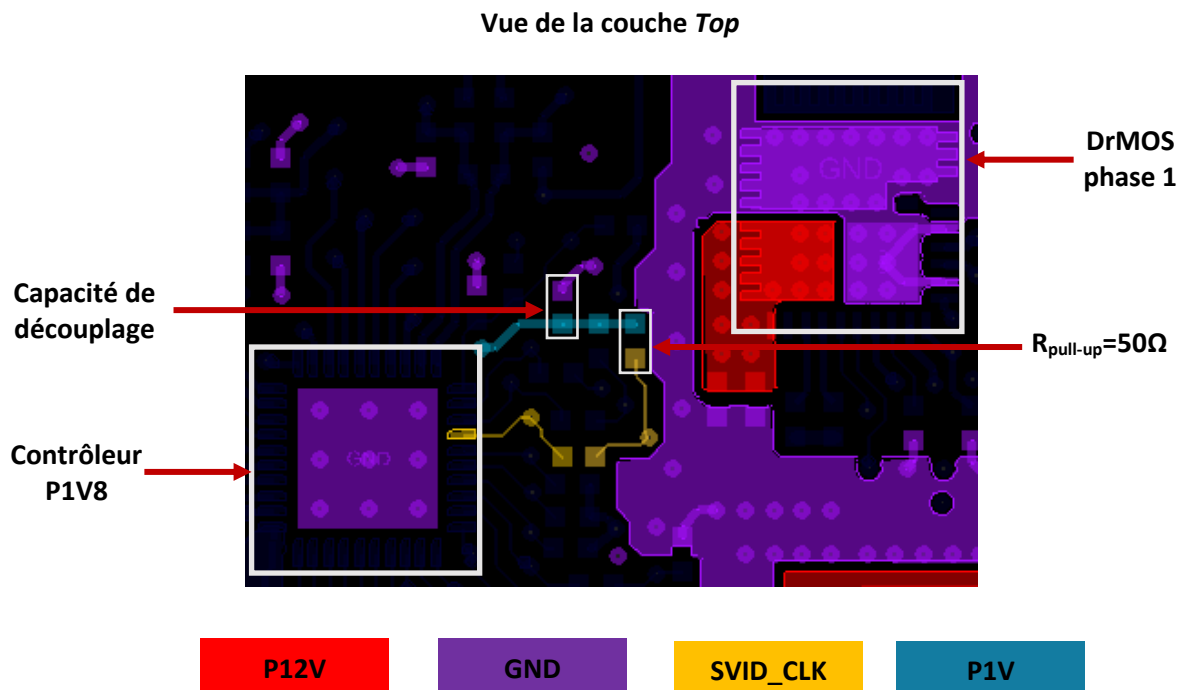


Figure IV.23. Tracé de la tension d'entrée ($P12V$) du DrMOS1, des lignes $SVID_CLK$ (jaune) et $P1V$ (bleu) sur la couche Top de la carte C4W_rotation

On retrouve sur la Figure IV.24 les résultats des simulations des cartes C4W originale, et C4W_rotation. Avec une réduction du bruit de 93.1% pour la carte C4W_rotation (Tableau IV-9) contre 58.6% pour la carte C4W corrigée (Tableau IV-7), on constate que la solution proposée est largement plus efficace que celle sur la carte C4W corrigée.

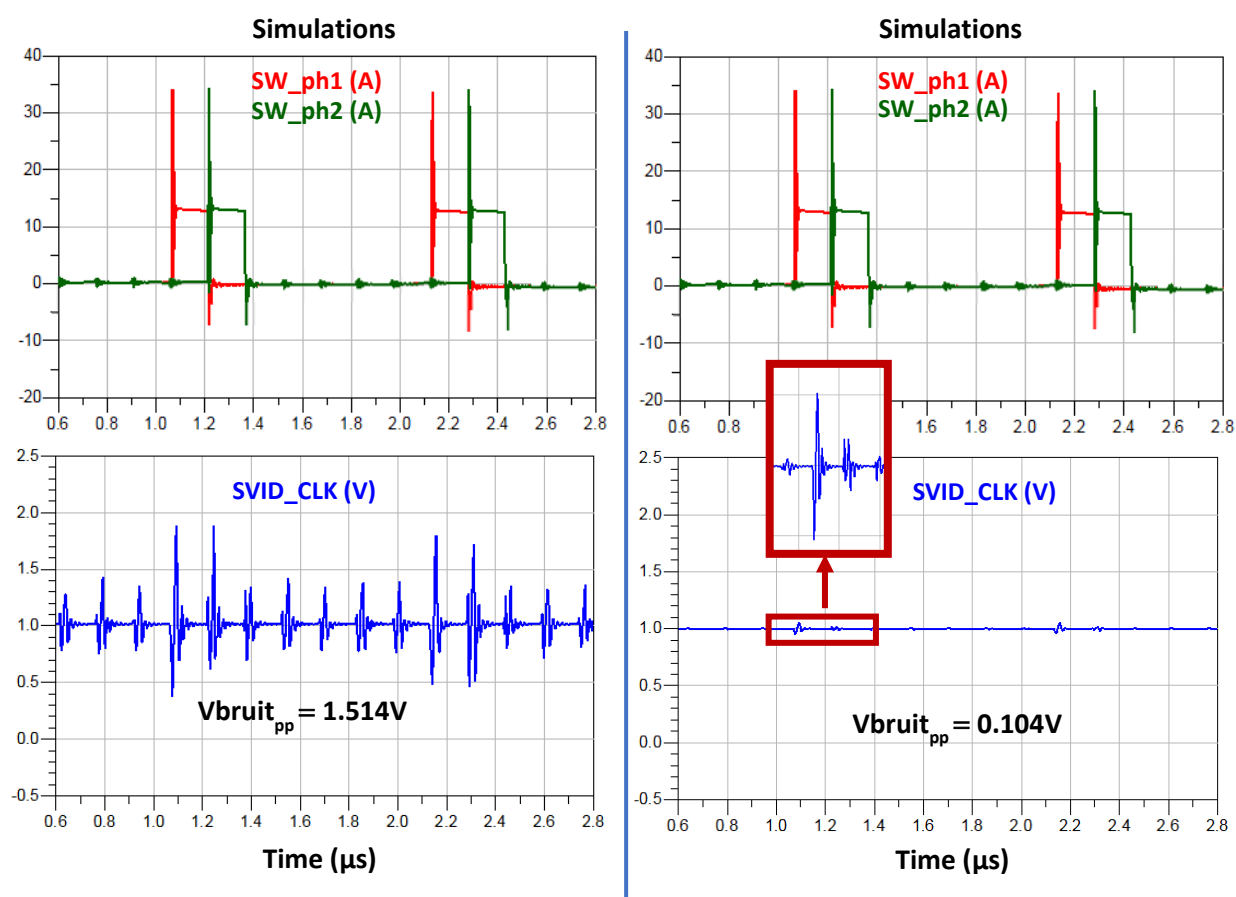


Figure IV.24. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) simulés, sur les cartes C4W originale et C4W_rotation

	Simulations C4W originale (V_{pp})	Simulations C4W_rotation (V_{pp})	Taux de réduction du bruit (%)
$V_{\text{bruit SVID_CLK}}$	1.514	0.104	93.1

Tableau IV-9. Amplitudes des bruits simulés sur les signaux SVID_CLK des cartes C4W originale et C4W_rotation

A ce stade, les résultats de la solution proposée sont tout à fait satisfaisants. On se propose néanmoins de rajouter une capacité de découplage sur la ligne P1V (Figure IV.23), et d'en faire varier la valeur afin de vérifier s'il est possible de réduire davantage le bruit sur la carte C4W_rotation. Le meilleur résultat est obtenu avec une capacité de $1\mu\text{F}$, comme on peut le voir sur la Figure IV.25.

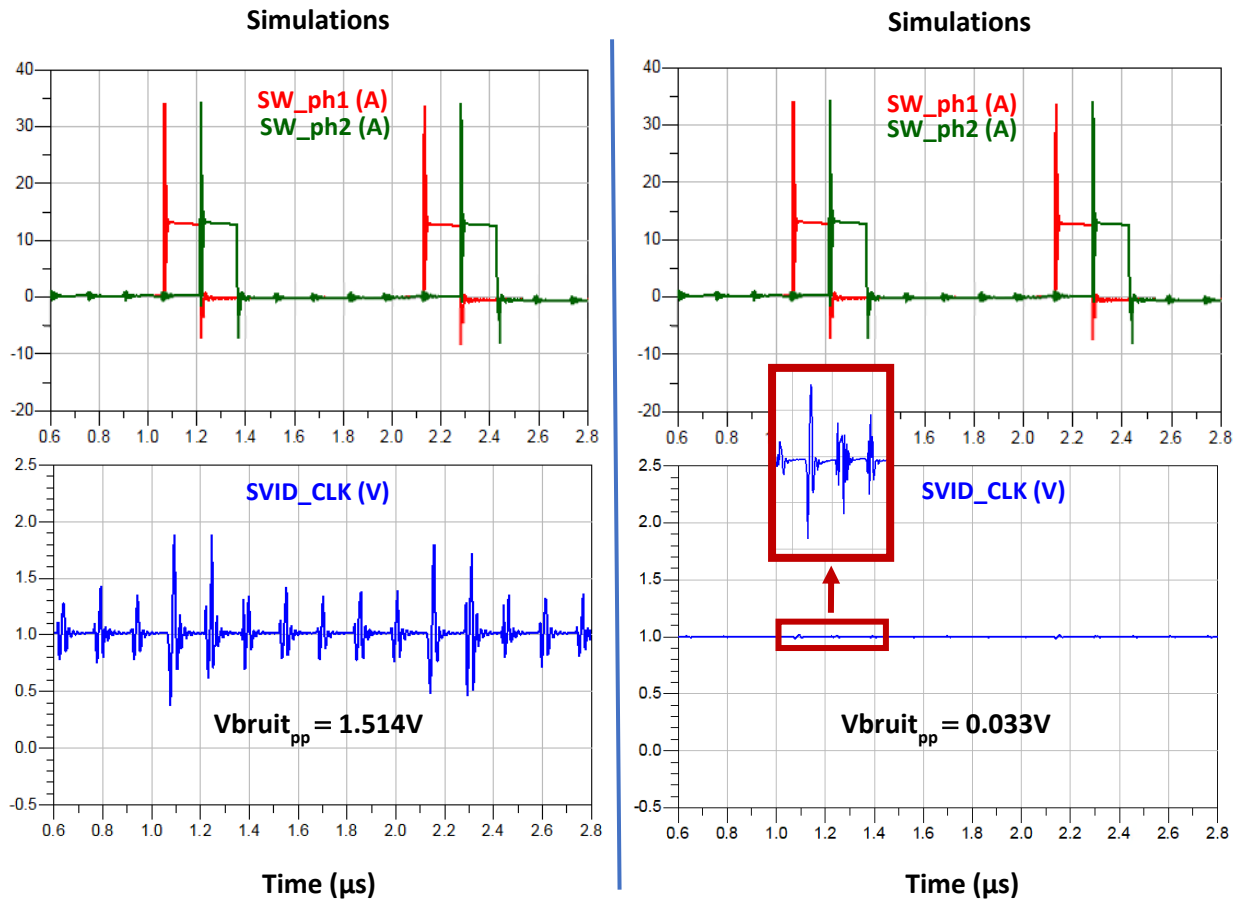


Figure IV.25. Courbes temporelles des signaux SW des phases 1 (rouge) et 2 (vert), et du signal SVID_CLK (bleu) simulés, sur les cartes C4W originale et C4W_rotation avec une capacité de découplage de $1\mu\text{F}$ sur P1V

	Simulations C4W originale (V_{pp})	Simulations C4W_rotation + capacité de découplage (V_{pp})	Taux de réduction du bruit (%)
$V_{\text{bruit SVID_CLK}}$	1.514	0.033	97.8

Tableau IV-10. Amplitudes des bruits simulés sur les signaux SVID_CLK de la carte C4W originale et C4W_rotation avec une capacité de découplage de $1\mu\text{F}$ sur P1V

La réduction de l'amplitude des parasites après l'ajout de la capacité de $1\mu\text{F}$ sur la ligne P1V est quasi-totale, avec un pourcentage de réduction d'environ 97.8% (Tableau IV-10). Le Tableau IV-11 compare la faisabilité et les taux de réduction de l'amplitude des parasites entre la carte C4W corrigée, la solution proposée C4W_rotation, et sa version avec l'ajout d'une capacité de découplage.

	$V_{\text{bruit SVID_CLK}}$ (V_{pp}) simulé	Taux de réduction du bruit (%)	Faisabilité
C4W	1.514	-	-
C4W corrigée	0.616	59.3	+++
C4W rotation	0.104	93.1	+++
C4W rotation + capacité de découplage	0.033	97.8	+++

Tableau IV-11. Taux de réduction du bruit du signal SVID_CLK et faisabilité des différentes solutions étudiées pour la carte C4W

La configuration adoptée pour la solution C4W_rotation avec l'ajout d'une capacité de découplage présente le taux de réduction du bruit le plus important, approchant les 98%. Cette solution étant la plus efficace et extrêmement performante, elle serait à retenir pour une éventuelle application sur la carte réelle, dans le cas où celle-ci est réévaluée.

IV.4. Conclusion du chapitre

On présente dans ce chapitre l'utilisation concrète de la méthode de simulation développée au chapitre précédent, sur les cartes électroniques conçues par Atos. On se focalise dans la première partie sur l'application de la méthode de simulation sur la carte CZBS, pour vérifier l'efficacité de deux solutions supplémentaires qu'on propose, afin de réduire le couplage entre les plans $P12V$ et $P3V3$, sans modifier le fonctionnement de l'alimentation.

On consacre ensuite la deuxième partie à un cas réel de l'application de la méthode de simulation. On s'intéresse à la carte C4W, une carte bien plus dense et plus complexe que la carte CZBS, où les commutations d'une alimentation multicellulaire parallèle perturbent des signaux SVID, et provoquent l'interruption du démarrage du processeur. La densité de la carte C4W et l'indisponibilité des modèles des drivers de l'alimentation compliquent davantage la modélisation du couplage. Effectivement, l'extraction de la carte sur ADS SI pro nécessite des ressources mémoires très importantes, malgré les 480Go de mémoire dont on dispose, ce qui nous oblige à la découper pour parvenir à la simuler. Quant à la modélisation de l'alimentation, on modélise son fonctionnement à partir d'un Buck multicellulaire parallèle classique, pour contourner l'absence des modèles des drivers.

Les résultats obtenus sur la version initiale de la carte C4W ainsi que sur sa version corrigée corrélient bien avec les mesures relevées, avec un taux d'erreur inférieur à 5%. La correction apportée à la carte réduit l'amplitude des perturbations sur les signaux SVID d'environ 60%, ce qui permet au CPU de démarrer et de fonctionner correctement. Dans le but de réduire davantage l'amplitude des perturbations, on propose une solution supplémentaire, où on modifie l'emplacement et le tracé de la ligne $P1V$ par rapport aux VRMs, en ajoutant une capacité de découplage d'une valeur de $1\mu F$ sur la ligne $P1V$, ce qui réduit les perturbations de plus de 97%. L'efficacité de la solution proposée étant vérifiée, on pourra considérer son implémentation dans le cas où la carte C4W est amenée à être réévaluée.

L'application de notre méthode de simulation facilite grandement la détermination du mode de couplage entre l'alimentation et le signal victime sur les cartes électroniques à forte densité d'interconnexions. Elle nous permet de proposer des solutions ajustées à chaque cas étudié, avant de vérifier leur efficacité par simulation. L'utilisation d'un tel prototypage virtuel doit permettre de réduire les itérations des prototypes réels, ainsi que le coût de fabrication et le délai de réalisation des cartes électroniques.

IV.5. Références

- [115] A. Tekin, A.T. Durak, C. Piechurski, D. Kaliszan, F.A. Sungur, F. Robertsén et P. Gschwandtner, “Partnership for Advanced Computing in Europe State-of-the-Art and Trends for Computing and Interconnect Network Solutions for HPC and AI”, PRACE, 2021.
- [116] “Measuring Processor Power”, White Paper Intel® Xeon® Processor Processor Architecture Analysis, revision 1.1, 2011.
- [117] “VR12/IMVP7 Pulse Width Modulation (PWM) Specification”, Revision 1.4, Intel, 2009. Confidential.
- [118] B. Hopf, “Choosing an Appropriate Pull-up/Pull-down Resistor for Open Drain Outputs” Texas Instruments Application Report, 2011.
- [119] A. Gibbons, “What is DrMOS—the IC Powering Next-Gen Processors?”, All about circuits, 2020.
- [120] <https://www.intel.fr/content/www/fr/fr/embedded/training/voltage-regulator-test-tool-demo.html>.
- [121] <https://www.tek.com/en/datasheet/passive-voltage-probes>.
- [122] <https://www.tek.com/fr/datasheet/5-series-mso>.

Conclusion Générale

Les circuits imprimés (HDI) connaissent un accroissement des problématiques liées à l'intégrité du signal et de la puissance, dues à la densification des PCBs. Cette densification des cartes électroniques se traduit principalement par un rapprochement des circuits mixtes entre eux et la difficulté de respecter les règles de placement et routage. Il en résulte alors des phénomènes d'intégrité du signal et de la puissance, tels que la réflexion, la diaphonie, ou encore la chute ohmique dans les conducteurs, qui sont nuisibles au bon fonctionnement des systèmes électroniques. Parmi ces phénomènes, on s'est intéressé dans cette thèse au couplage qui se produit entre des alimentations à forte puissance et des signaux sensibles, dans le cadre des cartes électroniques ultra-denses conçues par Atos pour ses serveurs HPC.

Le prototypage virtuel est un atout majeur pour repérer les problématiques de l'intégrité du signal et les corriger, en économisant le temps et le coût de la production des cartes. Cependant, les outils d'analyse sur lesquels se base le prototypage virtuel permettent de traiter les phénomènes de l'intégrité du signal sur les conducteurs uniquement. Or, dans le cas d'un couplage entre une alimentation et des signaux, il est important de considérer le fonctionnement électronique des alimentations, en plus des phénomènes qui se produisent dans les conducteurs. En effet, les perturbations causées par une alimentation sur des signaux sensibles dépendent de son emplacement par rapport à ces signaux, mais également de son fonctionnement : puissance fournie, circuit de filtrage, fréquence de commutations.

Les travaux de cette thèse se sont concentrés sur la mise en place d'une méthode de simulation, capable de modéliser fidèlement la diaphonie qui se produit entre une alimentation et des signaux voisins, en intégrant à la fois une modélisation des conducteurs de la carte, et une analyse du fonctionnement de l'alimentation.

Pour mettre en place un moyen de modélisation fiable de la diaphonie entre une alimentation et des signaux voisins, on s'est appuyé sur un cas d'étude, la carte CZBS, qui présente un cas de couplage entre une alimentation pour ASIC, et un signal d'activation d'une horloge, tracé à proximité de l'alimentation. Une méthode de simulation a été proposée, combinant une modélisation fréquentielle du physique de la carte et une modélisation temporelle de l'alimentation dans une simulation transitoire, avant de comparer les résultats obtenus aux mesures, et de juger de la validité de la méthode.

Avant l'obtention d'une version finale de la méthode et sa validation par comparaison aux mesures, deux hypothèses ont été formulées. La première hypothèse qui a remis en question la capacité de l'outil de simulation à correctement modéliser les plans de masse n'a pas abouti, mais a ouvert la voie sur une piste intéressante à développer, qui pourrait permettre la visualisation du comportement des signaux dans les plans de masse, via des structures en paramètres-S. En effet, les structures paramètres-S classiques ne permettent pas de visualiser la masse, mais en expérimentant avec cette hypothèse, nous avons montré qu'il serait possible d'observer la masse localement, à l'aide d'un plan de masse virtuel ajouté au layout de la carte analysée.

La deuxième hypothèse a consisté à remettre en question le mode de couplage entre l'alimentation et le signal victime étudié. Elle s'est avérée correcte, puisqu'on a réussi à repérer le moyen par lequel se fait le couplage, qui est différent de celui qu'on avait supposé au début des travaux. A travers cette hypothèse, on a mis en avant un aspect important de la méthode de simulation, qui est l'identification du mode de couplage entre les éléments étudiés. Effectivement, avec la densification des cartes, il n'est pas toujours évident de repérer le mode de couplage, comme on l'a vu dans notre cas d'étude.

La méthode de simulation permet alors, dans un premier temps, d'identifier le mode de couplage, avant de proposer des solutions pour corriger les phénomènes de couplage, et de s'assurer de leur efficacité, avant leur implémentation.

Les résultats de simulations finaux, obtenus avec un processus de simulation ajusté au phénomène de couplage étudié, ont montré des perturbations sur les signaux simulés qui correspondent, en forme et en amplitude, aux perturbations sur les signaux mesurés. Avec une marge d'erreur inférieure à 9%, cette corrélation a validé la méthode de simulation proposée. Une validation supplémentaire a été apportée, en appliquant la méthode de simulation à une version corrigée de la carte étudiée, dont les résultats correspondent aux mesures relevées sur la carte corrigée.

Les corrections apportées au cas d'étude étant antérieures au début de la thèse, elles consistent à modifier l'alimentation pour réduire la composante di/dt de l'appel de courant sur l'entrée $P12V$ lié au fonctionnement de l'alimentation, et ne sont pas spécifiques au mode de couplage identifié par la méthode de simulation. On a alors mis en avant l'utilité du processus de simulation en proposant deux solutions ajustées au couplage qui se produit entre l'alimentation et les signaux victimes, sans avoir à modifier le fonctionnement de l'alimentation. Ces solutions se sont avérées plus efficaces que la solution réellement implémentée sur la carte pour réduire les perturbations sur les signaux victimes. Leurs taux de réduction des amplitudes du bruit, ainsi que leurs faisabilités ont été comparés, afin de déterminer la solution la plus intéressante à implémenter.

Pour montrer l'utilisation concrète du processus de simulation développé, on l'a appliqué sur un cas réel : une carte plus dense et plus complexe, qui présente un cas de couplage entre une alimentation multicellulaire parallèle à forte puissance, et des signaux SVID. Sur cette carte, de nouvelles problématiques se sont dévoilées, liées à sa densité et à l'indisponibilité du modèle de simulation de l'alimentation. Pour contourner le problème de densité de la carte, malgré une forte capacité mémoire de notre machine de simulation, on a choisi de découper la carte afin de ne garder que la zone contenant les signaux et l'alimentation étudiés. Concernant l'absence du modèle de simulation de l'alimentation, on a recréé son fonctionnement en se basant sur un abaisseur de tension multicellulaire parallèle classique. Avec cette approche, on est parvenu à modéliser le couplage qui se produit sur cette carte, et sur sa version corrigée (corrections antérieures à la thèse). Les résultats obtenus corrélaient bien aux mesures, avec un taux d'erreur inférieur à 5%. La correction apportée à la carte ne réduisant les perturbations sur le signal victime étudié que de 60%, on a proposé une solution différente, adaptée au mode de couplage identifié sur cette carte, qui permet de réduire l'amplitude des perturbations jusqu'à 97%. Le processus de simulation a permis de vérifier l'efficacité et la faisabilité de cette solution proposée, qui pourrait être implémentée sur la carte étudiée, dans le cas où elle est réévaluée.

A travers les travaux menés dans cette thèse, on a réussi à proposer une méthode de simulation, qui permet de combler le manque de moyens de modélisation de la diaphonie entre un système d'alimentation et des signaux avoisinants, dans les outils de CAO actuels. La fusion d'une modélisation fréquentielle du layout de la carte et d'une modélisation temporelle de l'alimentation dans une analyse transitoire fournit des résultats satisfaisants, et permet de visualiser les perturbations causées par les commutations de l'alimentation sur les signaux voisins. La méthode de simulation doit être ajustée à chaque cas étudié, et prendre en compte tous les éléments impliqués dans le phénomène de couplage qu'on cherche à reproduire. Dans le cas où le mode de couplage n'est pas connu, ce processus de simulation permet d'investiguer, afin de l'identifier, en ajustant la modélisation du layout. Quant au système d'alimentation, il est idéalement simulé grâce à son modèle électrique d'alimentation, fourni par le fabricant. A défaut de modèle de simulation, on peut en créer un en se basant sur sa topologie, la puissance qu'il fournit, et sa fréquence de commutations, puis en affinant le modèle par comparaison avec les signaux observables sur la carte.

Cette méthode de simulation contribue à compléter le prototypage virtuel des cartes électroniques à haute densité d'interconnexions, en facilitant l'identification du mode de couplage entre une alimentation et son environnement, et en testant l'efficacité des solutions proposées pour la réduction du couplage. Son utilisation peut écourter la phase de prototypage réel des cartes, et réduire le coût de fabrication ainsi que le délai de commercialisation du produit final (Time to Market).

Au terme de cette thèse, la méthode de simulation mise en place reste à compléter en l'appliquant sur des cartes HDI contenant des signaux sensibles ultra-rapides. En effet, on a appliqué cette méthode sur des cartes HDI qui comprennent des signaux statiques et des signaux rapides (32Gb/s), en fusionnant une modélisation fréquentielle du physique de la carte et une modélisation temporelle de l'alimentation. Cependant, les signaux ultra-rapides (112Gb/s) nécessitent des modèles de simulation IBIS-AMI, dont la modélisation requière des simulations de type statistique. Il faudrait donc ajuster la méthode de simulation afin d'y inclure la modélisation des signaux ultra-rapides.

On retient également une autre perspective à développer ; la technique du plan de masse virtuel, qui permet d'observer le comportement de la masse par simulation, via des structures paramètres-S. En effet, cette approche n'a été que légèrement abordée dans cette thèse, elle reste donc à étudier, notamment en explorant les effets des variations qu'on pourrait apporter au plan de masse virtuel, comme son emplacement dans la carte, son épaisseur, le matériau qui le constitue, ou encore le nombre de plans de masse virtuels à ajouter au design. Une étude comparative entre des mesures de masse sur des cartes HDI et leur simulation permettrait de conclure sur la validité de cette approche.

Résumé

Pour ses applications HPC (*High Performance Computing*), Atos conçoit des cartes électroniques ultra-denses, qui contiennent des processeurs fonctionnant à très fortes puissances, et des liens séries ultra-rapides. La densité de ces cartes induit un rapprochement inévitable entre des signaux sensibles, et des alimentations à découpage. Cette proximité entraîne des phénomènes de couplage qui peuvent parfois être nuisibles au bon fonctionnement des systèmes électroniques constituant ces cartes. Un prototypage virtuel s'avère nécessaire afin de repérer par simulation les perturbations dues au couplage, et de vérifier l'efficacité des corrections nécessaires à apporter au système pour les réduire.

Les outils de CAO actuels ne disposent pas d'application dédiée pour la modélisation de l'impact du fonctionnement d'une alimentation sur son environnement. Pour parer à cette lacune, on propose dans cette thèse une méthode de simulation robuste, permettant de modéliser fidèlement le couplage entre alimentations à découpage et des conducteurs avoisinants, sur des circuits imprimés à haute densité d'interconnexions. Cette méthode de simulation est d'abord développée sur un cas d'étude, avant d'être appliquée à un cas plus complexe. A travers ce prototypage virtuel, on parvient à simplifier l'identification du mode de couplage, et à tester les solutions pour le réduire, avant de les implémenter.

Mots clés : intégrité du signal et de la puissance, diaphonie, circuits imprimés ultra-denses, alimentations à découpage, méthode de simulation.

Abstract

The high-density interconnection boards that Atos develop for HPC (*High Performance Computing*) applications contain processors functioning at very high currents and low voltages, along with high-speed serial links. With HDI (*High Density Interconnection*) technology, fast switching power supplies create coupling noise on nearby sensitive signals, that can lead to errors in the transmitted data, and in the worst case, may result in a malfunctioning circuit. Therefore, virtual prototyping is required to verify the signals' behaviour in transmission lines, detect the parasitic effects on sensitive signals due to crosstalk, and thus allowing necessary adjustments to be made to reduce the noise.

Today's EDA tools lack a dedicated application able to model the impact of power supplies on their neighbouring signals. In this thesis, we suggest a simulation method using existing EDA tools, that would allow the modelling of the coupling between power supplies and nearby conductors in HDI boards. The simulation method is first applied to a case study board, then to a more complex one. This virtual prototyping method simplifies the coupling mode detection and allows us to test solutions to reduce the coupling noise, prior to their implementation.

Keywords: signal and power integrity, crosstalk, high density interconnection PCBs, switching power supplies, simulation flow.