



HAL
open science

Etude et Conception d'amplificateurs DOHERTY GaN en technologie Quasi - MMIC en bande C

Mohammed Ayad

► **To cite this version:**

Mohammed Ayad. Etude et Conception d'amplificateurs DOHERTY GaN en technologie Quasi - MMIC en bande C. Electronique. Université de Limoges, 2017. Français. NNT : 2017LIMO0027 . tel-03738047

HAL Id: tel-03738047

<https://theses.hal.science/tel-03738047>

Submitted on 25 Jul 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Limoges
École Doctorale Sciences et Ingénierie pour l'Information,
Mathématiques (ED 521)
XLIM-SYSTEMES RF

Thèse pour obtenir le grade de
Docteur de l'Université de Limoges
Electronique des Hautes Fréquences, Photoniques et Systèmes

Présentée et soutenue par
Mohammed AYAD

Le 30 juin 2017

Etude et Conception d'amplificateurs DOHERTY GaN
en technologie Quasi-MMIC en bande C

Thèse CIFRE dirigée par

Denis BARATAUD, Guillaume NEVEUX et Juan OBREGON

JURY :

Rapporteurs

M. Éric BERGEAULT, Professeur, Ecole Télécom ParisTech.

M. Éric KERHERVE, Professeur, IMS, Université de Bordeaux.

Examineurs

M. Serge VERDEYME, Professeur, XLIM, Université de Limoges.

M. Denis BARATAUD, Professeur, XLIM, Université de Limoges.

M. Guillaume NEVEUX, Maître de Conférences, XLIM, Université de Limoges.

M. Juan OBREGON, Professeur émérite, XLIM, Université de Limoges.

M. Marc CAMIADE, Manager développement produits avancés, UMS.

Mme. Estelle BYK, Docteur ingénieur développement produits avancés, UMS.

Invités

M. Claude DUVANAUD, Maître de Conférences HDR, XLIM, Université de Poitier.

M. Stéphane PIOTROWICZ, Docteur Ingénieur, Société Thalès III-V Lab.





A mon Père et à mon Fils,



L'imagination est plus importante que la connaissance. La connaissance est limitée alors que l'imagination englobe le monde entier, stimule le progrès, suscite l'évolution.
Albert Einstein

Remerciements

Ces travaux de thèse de doctorat se sont déroulés dans le cadre d'une convention CIFRE, conjointement au sein de la société UMS (United Monolithic Semiconductors) et du laboratoire de recherche XLIM de l'université de Limoges.

Je remercie Monsieur *Jean-Pierre Viaud* de m'avoir permis d'effectuer cette thèse au sein de son service.

Je remercie Monsieur *Marc Camiade*, responsable du centre de conception Défense & Spatial à UMS, pour m'avoir accueilli au sein de son équipe; pour sa disponibilité et sa grande générosité scientifique et intellectuelle. Son accompagnement et son soutien permanent durant ces 3 années de thèse m'ont été très précieux.

J'exprime mes sincères remerciements à Madame *Estelle Byk*, ingénieur produit avancés à UMS, pour avoir accepté d'encadrer ces travaux au sein de cette même société. Je lui témoigne toute ma reconnaissance pour l'aide qu'elle a pu m'apporter tout au long de ces 3 années et pour la disponibilité dont elle a fait preuve.

L'encadrement universitaire de direction de thèse a été assuré au sein du service Composants Circuits Signaux et Systèmes Hautes Fréquences 'C₂S₂' du site de Limoges.

Je tiens à remercier Monsieur *Denis Barataud* d'avoir supervisé mes travaux en tant que directeur de thèse, et pour son accompagnement depuis mes années d'étude en Master. Il a su me diriger et m'apporter constamment ses conseils éclairés pendant toute la durée de cette thèse.

Mes sincères remerciements vont également à Monsieur *Guillaume Neveux* pour son encadrement, sa disponibilité et ses qualités techniques innovantes.

J'adresse toute ma reconnaissance à Monsieur *Juan Obregon*, pour la rigueur et la détermination scientifique qu'il a su me transmettre au travers de ses qualités scientifiques et pédagogiques.

J'exprime mes sincères remerciements à Monsieur *Serge Verdeyme*, Professeur de l'Université de Limoges, pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse.

Que Monsieur *Eric Bergeault* Professeur de l'Ecole Télécom ParisTech, ainsi que Monsieur *Eric Kerhervé*, professeur de l'Université de Bordeaux, soient ici remerciés pour avoir accepté de rapporter ce travail.

J'exprime ma gratitude à Messieurs *Claude Duvanaud*, Maître de conférences HDR de l'université de Poitier, et *Stéphane Piotrowicz*, Ingénieur de la société Thalès III-V Lab, de m'avoir fait l'honneur de prendre part au jury de cette thèse.

Un grand Merci à *Marie-Claude Lerouge* pour son assistance efficace, sa gentillesse, et sa patience, tout au long de mes années d'étude à l'Université de Limoges.

J'adresse mes sincères remerciements à l'ensemble de mes collègues d'UMS, à tous mes camarades doctorants ou anciens doctorants de l'université de Limoges et d'UMS et plus particulièrement aux équipes de mesures et de caractérisation des sites de Brive la Gaillarde, de Limoges et d'UMS pour leur accueil sur leurs sites respectifs.

Droits d'auteurs

Cette création est mise à disposition selon le Contrat :

« **Attribution-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** »

disponible en ligne : <http://creativecommons.org/licenses/by-nc-nd/3.0/fr/>



Sommaire

Remerciements	V
Droits d'auteurs	VI
Sommaire	i
Table des illustrations	v
Table des tableaux	xii
Glossaire	xv
Introduction générale.....	1
Chapitre I. Critères de choix des technologies utilisées.....	4
I.1. Introduction.....	4
I.2. Critères de performances des transistors de puissance.....	4
I.3. Choix de la technologie.....	5
I.3.1. Intérêt du HEMT à base de nitrure de gallium pour les fonctions d'amplification de puissance hyperfréquence.	7
I.3.1.1. Le transistor HEMT GaN.....	7
I.3.1.2. Effets limitatifs.....	9
I.3.2. Transistor GaN GH25 UMS.....	11
I.3.2.1. Modèle du transistor GH25 utilisé en conception.	12
I.4. Techniques d'intégration et d'encapsulation.....	18
I.4.1. Solutions d'intégration.....	18
I.4.2. Procédé d'encapsulation en boîtier plastique QFN.....	19
I.4.2.1. Choix de la base interne du boîtier (leadframe).....	20
I.4.2.2. Câblage des puces.....	21
I.4.2.3. Procédé de protection de la puce dans un boîtier plastique QFN.....	21
I.4.2.4. Collage des puces GaN et ULRC à l'intérieur du boîtier plastique QFN.....	21
I.5. Conclusion.....	22
Références bibliographiques Chapitre I.....	24
Chapitre II. Amplificateurs de puissance microonde et quelques caractéristiques associées	27
II.1. Introduction.....	27
II.2. Contexte.....	27
II.3. Génération de signaux modulés analogiques à partir de signaux numériques en bande de base.....	28
II.4. Les principaux types de modulation numérique.....	29
II.5. Paramètres caractéristiques d'un amplificateur de puissance RF.....	31
II.6. Caractéristiques des signaux RF utilisés en télécommunication.....	34
II.6.1. Puissance portée par un signal à enveloppe constante (signal CW).....	34
II.6.2. Puissance portée par des signaux modulés complexes à enveloppe variable.....	35
II.7. Distorsions introduites par les éléments actifs.....	39
II.7.1. Définition d'un système linéaire.....	39
II.7.2. Distorsion linéaire.....	40
II.7.3. Distorsion non-linéaire.....	40
II.7.3.1. Génération des fréquences harmoniques et d'intermodulation.....	41
II.7.3.2. Effets mémoire non-linéaire.....	43

II.8. Conclusion.....	44
Références bibliographiques Chapitre II.....	45
Chapitre III. Principe de fonctionnement des amplificateurs DOHERTY	46
III.1. Introduction.....	46
III.2. Principe fondamental de fonctionnement d'un amplificateur Doherty.	46
III.2.1. Variations théoriques des impédances de charges.....	49
III.2.2. Evolution des courants et des tensions en fonction du niveau d'excitation.	52
III.2.3. Point de transition théorique optimum.....	58
III.2.4. Plage de recul en puissance de sortie « OBO ».....	59
III.2.5. Impédance caractéristique de la ligne quart d'onde Doherty et résistance d'utilisation optimales.	60
III.2.6. Influence des classes de fonctionnement et des points de polarisation de chaque étage (principal et auxiliaire).....	60
III.2.7. Puissances d'excitation des amplificateurs, principal et auxiliaire.	62
III.3. La linéarité d'un amplificateur Doherty.	64
III.3.1. Réponse en termes de conversion Amplitude-Amplitude (AM/AM).	65
III.3.2. Réponse en termes de produit d'intermodulation d'ordre 3 (IMD3) [III.13].	65
III.4. Etat de l'art des amplificateurs Doherty.....	67
III.4.1. Historique et innovations.	67
III.4.2. Synthèse de l'état de l'art des amplificateurs fonctionnant en bande C.....	71
III.5. Conclusion.	74
Références bibliographiques Chapitre III.....	75
Chapitre IV. Caractérisation des transistors unitaires GH25 et méthode d'évaluation en vue d'applications en amplification DOHERTY.....	78
IV.1. Introduction.....	78
IV.2. Caractérisations expérimentales du composant actif GH25.	78
IV.2.1. Mise en évidence les phénomènes de piégeage.....	78
IV.2.1.1. Caractérisations I(V) impulsionnelles.	79
IV.2.1.2. Caractérisation paramètres-[S] basses fréquences.....	84
IV.2.2. Validation du modèle électrique du transistor GH25 à fort régime RF.	86
IV.2.2.1. Mesures « Load-Pull » en régime CW impulsionnel à la fréquence fondamentale de 10GHz.	87
IV.2.2.2. Mesures « Load-Pull » temporelles en régime CW aux fréquences fondamentales de 4GHz et de 7GHz.	90
IV.2.3. Conclusion partielle.....	95
IV.3. Caractérisation des transistors GH25 en vue d'applications Doherty.	95
IV.3.1. Extraction du modèle électrique simplifié non linéaire du transistor GH25 à son accès drain.....	95
IV.3.2. Méthode d'évaluation des transistors HEMT GaN pour la conception d'amplificateurs Doherty microondes.....	97
IV.3.2.1. Application sur des transistors GH25.	98
IV.3.2.2. Caractérisation fonctionnelle temporelle fort signal des transistors GH25 orientée applications Doherty.....	101
IV.3.3. Conclusion.	106
Références bibliographiques Chapitre IV.....	107

Chapitre V. Méthodes de conception d’amplificateurs de puissance 20W à haut rendement de type Doherty conventionnel à 6GHz en technologie Q-MMIC encapsulés en boîtier plastique QFN.	109
V.1. Introduction.....	109
V.2. Approche et étapes de conception.....	110
V.3. Dimensionnement des tailles des transistors.	111
V.4. Analyses DC d’une barrette de puissance GH25 AlGaIn/GaN 4.4mm.....	113
V.5. Analyses de la stabilité en régime petit signal d’un étage d’amplification RF.	114
V.5.1. Application à la barrette de puissance GH25 (2x8x275µm).	116
V.5.1.1. Facteur de stabilité linéaire de Rollett (facteur k).	116
V.6. Variation des impédances de charge et de source simulées de la barrette de puissance GH25 AlGaIn/GaN 4.4mm.	118
V.7. Etude de sensibilité de la PAE de la barrette de puissance aux immittances de charge et de source présentées aux fréquences harmonique 2 et 3.	122
V.7.1. Influence des impédances de source et de charge à la fréquence harmonique 2.	123
V.7.2. Influence des impédances de source et de charge à la fréquence harmonique 3.	126
V.8. Etude des limitations de largeur de bande des transistors de puissance à haut rendement.	127
V.8.1. Applications des relations de Bode et Fano au modèle du transistor GH25.....	127
V.8.1.1. Limitation de Bode et Fano pour un circuit $R_p C_p$ parallèle.....	127
V.8.2. Limitation de Bode et Fano appliquée à un circuit $R_s C_s$ série.	127
V.8.3. Application à la largeur de bande passante de la barrette de puissance GH25 principale de 2x8x275µm de développement de grille.	128
V.8.4. Détermination de la limitation de bande passante de la barrette de puissance principale.....	130
V.8.5. Applications des relations de Wheeler-Lopez pour le calcul de la bande passante d’adaptation.....	130
V.8.5.1. Application à un transistor GH25 associé à une technologie MMIC et Quasi-MMIC.....	132
V.8.5.2. Abaque de Wheeler-Lopez : application au transistor GH25.....	132
V.9. Influence des pertes du circuit d’adaptation de sortie.....	134
V.10. Les lignes « Off-Set » dans une architecture à modulation de charge.	135
V.10.1. Effets des pertes de la ligne offset.	138
V.11. Spécifications techniques liées à la conception de l’amplificateur de puissance Q-MMIC en boîtier QFN.....	139
V.11.1. Transitions entre puces GaN et puces ULRC.....	139
V.11.2. Environnement QFN.	140
V.11.3. La technologie ULRC-20.	141
V.12. Conception du circuit de sortie.....	142
V.12.1. Transformation de Norton.	143
V.12.2. Topologie du quadripôle d’adaptation de sortie.	144
V.13. Conception des circuits d’entrée.	147
V.13.1. Topologie du quadripôle d’entrée de l’amplificateur Doherty conventionnel.....	148
V.13.2. Topologie du quadripôle d’entrée de l’amplificateur Doherty à deux entrées. ...	151
V.14. Assemblage des circuits dans les boîtiers plastiques QFN.	152
V.14.1. Etude de la stabilité de l’APD conventionnel.	154

V.14.1.1. Stabilité en régime linéaire (Facteur k).....	154
V.14.1.2. Stabilité en régime non-linéaire.....	154
V.15. Conclusion.....	155
Références bibliographiques Chapitre V.....	157
Chapitre VI. Performances simulées et mesurées des amplificateurs de puissance 20W à haut rendement de type Doherty conventionnel à 6GHz en technologie Q-MMIC encapsulé en boîtier plastique QFN.....	158
VI.1. Introduction.....	158
VI.2. Résultats de simulation et d'expérimentation.....	158
VI.2.1. Caractérisation de l'APD-SE.....	160
VI.2.1.1. Mesures petit signal.....	160
VI.2.1.2. Mesures fort signal CW.....	161
VI.2.1.3. Caractérisation CW 2 tons.....	166
VI.2.1.4. Mesures temporelles CW.....	171
VI.2.1.5. Caractérisation avec des signaux modulé de type QAM.....	175
VI.2.1.6. Influence des impédances de fermetures BF.....	182
VI.2.2. APD à deux entrées RF (APD-DE).....	185
VI.2.2.1. Synoptique de banc de mesure de puissance à deux voies d'excitation RF.....	185
VI.2.2.2. Procédure d'étalonnage du banc de mesure à deux voies RF.....	185
VI.2.2.3. Résultats expérimentaux.....	187
VI.2.2.4. Fonctionnement optimal des deux amplificateurs (principal et auxiliaire).....	190
VI.3. Conclusion.....	193
Références bibliographiques Chapitre VI.....	195
Conclusion générale et perspectives.....	196
Publications et communications afférentes à ce travail.....	200
Communications à caractère national.....	200
Communications à caractère international.....	200

Table des illustrations

Figure I.1 : Evaluation des semi-conducteurs en fonction de leurs applications.....	6
Figure I.2 : Structure d'un transistor AlGaIn/GaN (vue de coupe).....	8
Figure I.3 : Mécanismes d'échanges entre les défauts et les bandes énergétiques.....	11
Figure I.4 : Identification des paramètres intrinsèques et extrinsèques issus de la structure physique du HEMT et utilisés dans la modélisation phénoménologique.....	12
Figure I.5 : Schéma petit signal du transistor HEMT pour un point de polarisation de repos donné.....	13
Figure I.6 : Modèle non-linéaire incluant les sources convectives du transistor HEMT.....	15
Figure I.7 : Circuit thermique intégré au modèle électrique du transistor.....	17
Figure I.8 : comparaison qualitative des techniques d'intégrations : Hybride, MMIC et Quasi-MMIC.....	19
Figure I.9 : Processus d'assemblage des puces GaN et ULRC dans un boîtier plastique QFN [I.36].....	20
Figure I.10 : Exemple de câblage des puces GaN/ULRC.....	21
Figure I.11 : Différents types de colle.....	22
Figure I.12 : Exemple des coupes de vue microscopiques d'un boîtier (issu d'un test d'évaluation des colles thermiques).....	22
Figure II.1 : Rappel des représentations temporelle/fréquentielle d'un signal.....	28
Figure II.2 : Mise en forme des signaux IQ passe bas avec filtrage demi-Nyquist RRC (root-raised cosine).....	29
Figure II.3 : Schéma de principe des courants/ tensions d'un amplificateur de puissance.....	31
Figure II.4 : Formes temporelles courant/tension d'un signal CW.....	34
Figure II.5 : Allure d'un signal modulé AM (DBLPC) à enveloppe variable.....	36
Figure II.6 : Représentation de la densité de probabilité des signaux GSM, WCDMA et LTE.....	37
Figure II.7 : Puissance de sortie [dBm] et gain [dB] tracés en fonction de la puissance d'entrée [dBm].....	40
Figure II.8 : Distorsion linéaire causée par un amplificateur de puissance à bande passante limitée.....	40
Figure II.9 : Génération des fréquences harmoniques et des fréquences de produits d'intermodulation.....	42
Figure II.10 : Puissances de sortie [dBm] à la fréquence fondamentale et aux fréquences d'intermodulation d'ordre 3 et d'ordre 5 tracées en fonction de la puissance d'entrée [dBm].....	43
Figure III.1 : Configuration de principe d'un amplificateur Doherty.....	47

Figure III.2 : Comportement typique du Rendement global d'un Amplificateur de Puissance Doherty.....	48
Figure III.3 : Schéma électrique simplifié d'un amplificateur Doherty.	49
Figure III.4 : Conductances de charges théoriques vues par les sources de courant de drain des étages Principal et Auxiliaire à la fréquence fondamentale f_0 d'un APD classique.	52
Figure III.5 : Caractéristiques $I(V)$ d'un transistor à l'état solide simplifié.....	52
Figure III.6 : Evolution des cycles de charge aux bornes des sources de courant des transistors (Principal et Auxiliaire), dans un fonctionnement Doherty conventionnel.....	54
Figure III.7 : Evolutions des courants I_P et I_A (à gauche) et des tensions V_P et V_A (à droite) en fonction de la puissance de sortie.....	56
Figure III.8 : Synthèse des classes de fonctionnements et des points de polarisation des grilles des transistors, principal et auxiliaire.....	61
Figure III.9 : Variations théoriques de la tension d'excitation du transistor principal.....	62
Figure III.10 : Variations théoriques de la tension d'excitation du transistor auxiliaire.	63
Figure III.11 : Cycles intrinsèques optimaux (principal et auxiliaire) dans la zone à effet Doherty.....	64
Figure III.12 : Variation de G_{m3} en fonction de la tension de polarisation de grille $V_{gs,DC}$	65
Figure IV.1 : Synoptique du banc de mesure $I(V)$ impulsionnelle d'XLIM (source: thèse : Agostino Benvegno – 2016- Université de Limoges).	79
Figure IV.2 : Chronogrammes des impulsions V_{gsi} et V_{dsi} appliquées.....	81
Figure IV.3 : Mise en évidence du phénomène de « Gate-Lag » sur un transistor GH25 (HEMT AlGaIn/GaN sur SiC $L_g = 0.25\mu m$) $8 \times 125\mu m$ avec une puissance dissipée nulle et une température de Chuck de $25^\circ C$. V_{gsi} varie de 2V à -5V par pas de 0.5V.....	82
Figure IV.4 : Mise en évidence du phénomène de « Drain-Lag » sur un transistor GH25 (HEMT AlGaIn/GaN sur SiC $L_g = 0.25\mu m$) $8 \times 125\mu m$ avec une puissance dissipée nulle et une température de Chuck de $25^\circ C$. V_{gsi} varie de 2V à -5V par pas de 0.5V.....	83
Figure IV.5 : Mise en évidence de la reproductibilité des réseaux $I(V)$ d'un transistor GH25 (HEMT AlGaIn/GaN sur SiC $L_g = 0.25\mu m$) $8 \times 125\mu m$ avec une puissance dissipée nulle et une température de Chuck de $25^\circ C$. V_{gsi} varie de 2V à -5V par pas de 0.5V.....	84
Figure IV.6 : Synoptique du banc de mesure de paramètres-[S] basses fréquences en configuration 1 port d'XLIM.....	85
Figure IV.7 : Mesures de la partie imaginaire du paramètre $Y_{22}(f)$ en basses fréquences pour différentes tensions de polarisation de drain appliquées, sur un transistor GH25 de développement $8 \times 125\mu m$ issu de la plaque ASAP à $T_a = 25^\circ C$ et à puissance dissipée constante.....	86
Figure IV.8 : Mesures de la partie réelle du paramètre $Y_{22}(f)$ en basses fréquences pour différentes tensions de polarisation de drain appliquées, sur un transistor GH25 de développement $8 \times 125\mu m$ issu de la plaque ASAP à $T_a = 25^\circ C$ et à puissance dissipée constante.....	86

Figure IV.9 : Synoptique du banc de mesure « Load-Pull » impulsionnelle, sous pointes, mono-porteuse de la société AMCAD® Engineering (Ester Limoges Technopôle).	87
Figure IV.10 : Chronogrammes des impulsions DC et RF appliquées.	88
Figure IV.11 : Mesures (rouge) et simulation du modèle électrique non-linéaire (bleu). Comparaison des performances en puissance sur le compromis PAE/P_S à la fréquence fondamentale de 10GHz pour un transistor 8x125µm GH25 (HEMT AlGaIn/GaN sur SiC). ...	89
Figure IV.12 : Synoptique du banc de mesure « Load-Pull » passif temporel, sous pointes, développé au laboratoire XLIM.	90
Figure IV.13 : PAE simulée en fonction de la puissance de sortie d'un transistor GH25 (8x125µm) polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=12mA$) chargé sur un circuit RL parallèle présentant une impédance de charge optimale $Z_{ch, opt}$ offrant un meilleur compromis PAE/P_S aux fréquences fondamentales $f_{01}=4GHz$, $f_{02}=7GHz$ et $f_{03}=10GHz$	96
Figure IV.14 : Modèle électrique simplifié du circuit de sortie, sur l'accès drain, du transistor GH25.	97
Figure IV.15 : Courbes de PAE en fonction de P_S , paramétrées par R_{CHARGE}	98
Figure IV.16 : Modèle électrique simplifié, dans la région Doherty, du circuit de sortie, sur l'accès drain, du transistor GH25.	100
Figure IV.17 : Synoptique du banc de mesure fonctionnel temporel « Load-Pull » actif, sous pointes, orienté pour caractérisation Doherty et développé par L. Ayari et al. au sein du laboratoire XLIM.	101
Figure V.1 : Procédure de conception de l'amplificateur Doherty Q-MMIC.	110
Figure V.2 : « Layout » de la barrette de puissance GH25 sélectionnée avec 2 transistors (8x275µm).	112
Figure V.3 : Caractéristiques statiques simulées I_{ds0}/V_{ds0} d'une barrette de puissance GH25-10 de 2x8x275µm, paramétrée par V_{gs0}	113
Figure V.4 : Caractéristiques statiques simulées I_{ds0}/V_{gs0} d'une barrette de puissance GH25-10 de 2x8x275µm, paramétrée par V_{ds0}	114
Figure V.5 : Facteur k et déterminant Δ_S de la barrette de puissance GH25 (2x8x275µm) polarisée en classe AB proche de B ($V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$).	116
Figure V.6 : Facteur k et déterminant Δ_S de la barrette de puissance GH25 (2x8x275µm) polarisée en classe C ($V_{ds0} = 30V$, $V_{gs0} = -7V$).	117
Figure V.7 : Cercles de stabilité de Source et de Charge dans la bande de fréquence [0.10-6.50]GHz de la barrette de puissance GH25 (2x8x275µm) polarisée en classe AB proche de B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$).	117
Figure V.8 : Gain maximum de la barrette de puissance GH25 (2x8x275µm) polarisée en classe AB proche de B ($V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$).	118
Figure V.9 : Diagramme de recherche à une fréquence f_0 , des impédances de source et des admittances de charge des barrettes de puissance 4.4mm (principal et auxiliaire).	119
Figure V.10 : Simulation de variation de l'admittance de charge et de l'impédance de source présentées aux accès drain et source de la barrette de puissance GH25 de 4.4mm de	

développement de l'étage Principal (classe AB/B : $V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$) et à l'accès drain de l'étage Auxiliaire (Classe C profonde : $V_{ds0} = 30V$, $V_{gs0} = -7V$), aux fréquences fondamentales $f_0 = 5.50GHz$, $6.00GHz$ et $6.50GHz$	120
Figure V.11 : Simulation de l'évolution de la PAE d'une barrette de puissance GH25 ($2x8x275\mu m$) polarisée en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) à la fréquence fondamentale $f_0 = 6.00GHz$, pour différents modules des coefficients de réflexion en source à la fréquence harmonique 3 ($ \Gamma_s(3f_0) =0.35, 0.65$ et 0.95) pour différentes valeurs des résistances de charge ($R_{CH}=30\Omega$ et 60Ω).	126
Figure V.12 : Simulation de l'évolution de la PAE d'une barrette de puissance GH25 ($2x8x275\mu m$) polarisée en classe C profonde ($V_{ds0}=30V$, $V_{gs0}=-7V$) à la fréquence fondamentale $f_0 = 6.00GHz$, pour différents modules des coefficients de réflexion en source à la fréquence harmonique 3 ($ \Gamma_s(3f_0) =0.35, 0.65$ et 0.95) pour la résistance de charge ($R_{CH}=30\Omega$).	126
Figure V.13 : Contours limites d'impédance de charge permettant d'obtenir 90% de PAE_{MAX} pour une puissance de sortie fixe à OBO_{MAX} d'une barrette de puissance GH25 ($2x8x275\mu m$) polarisée en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) aux fréquences fondamentales f_0 de $5.50 GHz$, $6.00GHz$ et $6.50GHz$	129
Figure V.14 : Courbes de largeur de bande atteignables en fonction du coefficient de réflexion admissible paramétrées par le nombre de circuits d'adaptation [V.6].	133
Figure V.15 : Application de l'abaque de Lopez à la barrette de puissance GH25 ($2x8x275\mu m$) principale.	134
Figure V.16 : Schéma électrique simplifié de l'amplificateur Doherty proposé.	135
Figure V.17 : Intérêt des lignes « Off-set ».	136
Figure V.18 : Extraction du quadripôle de paramètres-[S] équivalent au circuit électrique de la sortie drain de la barrette de puissance GH25 associé à la transition GaN/ULRC et au quadripôle d'adaptation de sortie.	137
Figure V.19 : Insertion de la ligne « Off-set ».	137
Figure V.20 : Profil simplifié des fils de « Bondings » et règles de câblage entre puces dans un environnement QFN.	140
Figure V.21 : Vue 3D des fils de « Bondings » reliant les entrées et les sorties de la puce GaN aux puces ULRC AsGa.	140
Figure V.22 : Définition du substrat 3D.	141
Figure V.23 : Circuit d'adaptation de sortie idéal à éléments localisés d'un transistor GH25.	143
Figure V.24 : Topologie choisie du quadripôle d'adaptation de sortie.	145
Figure V.25 : Circuit de sortie final optimisé.	146
Figure V.26 : Adaptation de sortie (coté résistance de fermeture 50Ω) (à gauche) et pertes d'insertion du circuit d'adaptation de sortie pour différents niveaux d'excitation RF correspondant à $OBO=6dB$ (rouge), $OBO=3dB$ (bleu) $OBO=0dB$ (rose).	147
Figure V.27 : Topologie choisie du quadripôle d'adaptation d'entrée de l'ADP-SE.	149

Figure V.28 : « Layout » du quadripôle d'adaptation d'entrée de l'APD-SE.	150
Figure V.29 : Adaptation d'entrée (coté générateur d'excitation RF) (à gauche) et pertes d'insertion du circuit d'adaptation d'entrée.....	151
Figure V.30 : « Layout » du quadripôle d'adaptation d'entrée de l'APD-DE.	152
Figure V.31 : Circuit global de l'ADP-SE encapsulé dans un boîtier plastique QFM 8x8mm ²	153
Figure V.32 : Circuit global de l'ADP-DE encapsulé dans un boîtier plastique QFM 8x8mm ²	153
Figure V.33 : Critère de stabilité linéaire « Facteur k ».	154
Figure V.34 : Exemple d'analyse de la stabilité non-linéaire à l'aide de STAN.....	155
Figure VI.1 : Photographie de l'APD-SE (à gauche) et de l'APD-DE (à droite) encapsulés en boîtier plastique QFN 8x8mm ²	158
Figure VI.2 : Photographie de l'APD-SE (à gauche) et de l'APD-DE (à droite) en boîtier QFN et assemblés sur des CI SMA.	159
Figure VI.3 : Photographie du kit de calibrage de l'APD-SE (en rouge) et celui de l'APD-DE (en bleu).	159
Figure VI.4 : Résultats des mesures et des simulations des paramètres S_{11} , S_{22} et S_{21} de l'APD-SE dans la bande de fréquence 5-7GHz pour un fonctionnement de l'amplificateur Principal en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=50mA/mm$) et de l'amplificateur Auxiliaire en classe C ($V_{ds0}=30V$, $V_{gs0}=-7V$).	161
Figure VI.5 : Banc de mesures fort signal CW de puissance d'UMS.....	162
Figure VI.6 : Principales performances en puissance de l'APD-SE: Mesures (circuit d'évaluation 1 en rouge et circuit d'évaluation 2 en bleu) et simulation (en vert) : η , PAE, G_i , $\Delta AM/AM$ et $\Delta AM/PM$ à la fréquence fondamentale $f_0=6.20GHz$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-6V$).	164
Figure VI.7 : PAE mesurée et simulée dans la bande de fréquence [5.50-6.50]GHz.	165
Figure VI.8 : Comparaison des principales performances mesurées de l'APD-SE (Principal polarisé en classe AB/B : $V_{ds0}=30V$, $I_{ds0}=50mA/mm$, Auxiliaire polarisé en classe C : $V_{ds0}=30V$, $V_{gs0}=-7V$) avec celles d'un amplificateur classique de classe AB ($V_{ds0}=30V$, $I_{ds0}=120mA/mm$).	165
Figure VI.9 : Influence du point de polarisation de l'amplificateur Auxiliaire. Mesures CW : $f_0=6.20GHz$, Amplificateur principal polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$), Amplificateur auxiliaire polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-6.0/-6.50/-7.0/-7.5V$).	166
Figure VI.10 : Synoptique du banc de mesure 2 tons en régime CW d'UMS fondée sur l'utilisation de l'analyseur de réseaux microondes PNA-X (Référence : N5245 - 10MHz~50GHz).	167
Figure VI.11 : Résultats des mesures 2 tons réalisées autour des fréquences centrales $f_{c1}=5.50GHz$, $f_{c2}=6.00GHz$ et $f_{c3}=6.50GHz$ de deux circuits d'évaluation APD-SE avec un $\Delta f=11MHz$ – IMD3 en fonction de la puissance de la somme des puissances délivrées aux fréquences fondamentales et paramétrées par I_{ds0} de l'amplificateur principal.	168

Figure VI.12 : Résultats des mesures 2 tons réalisées autour des fréquences centrales $f_{c1}=5.50\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.50\text{GHz}$ de deux circuits d'évaluation APD-SE avec un $\Delta f=11\text{MHz}$ – IMD3 en fonction de la somme des puissances de sortie délivrées aux fréquences fondamentales et paramétrées par V_{gs0} de l'amplificateur principal.	169
Figure VI.13 : Puissances mesurées (circuit d'évaluation1 : rouge / circuit d'évaluation2 : bleu) et simulées (vert) portées par les raies latérales d'intermodulation d'ordre 3 (hautes : traits pointillés / basses : traits pleins) en fonction des puissances délivrées aux fréquences fondamentales f_{o1} et f_{o2} espacées de 11MHz autour des fréquences centrales $f_{c1}=5.60\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.40\text{GHz}$. L'amplificateur principal polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).	170
Figure VI.14 : Comparaison des IMD3 des trois amplificateurs fondés sur l'utilisation des transistors GH25.	171
Figure VI.15 : Puissances DC consommées par les trois amplificateurs.	171
Figure VI.16 : Synoptique du système de mesure pour la caractérisation temporelle en mode CW. (Banc développé en interne au laboratoire XLIM [IV.1]).	172
Figure VI.17 : Formes d'ondes temporelles de tensions et de courants calibrées aux accès de l'APD-SE au niveau des connecteurs SMA du CI à la fréquence fondamentale $f_0=6.2\text{GHz}$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).	173
Figure VI.18 : Comparaison des principales performances en puissance et en rendement mesurées à l'aide du banc de mesures temporelles (XLIM- tracés bleus) avec celles obtenues sur le banc de mesure fondé sur l'utilisation du PNA-X N5242A (UMS- tracé rouges). . L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).	174
Figure VI.19 : Résultats des principales performances en puissance et en rendement mesurées à l'aide du banc de mesures temporelles dans la bande de fréquence [5.60-6.50] GHz. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).	175
Figure VI.20 : Synoptique de principe du banc de mesure de puissance d'UMS fondé sur l'utilisation des signaux modulés de type QAM et utilisant une DPD de type polynomial. ...	176
Figure VI.21 : Caractéristiques en puissance de l'APD (sortie de l'APD), du prédistordeur numérique (sortie DPD) et de l'ensemble APD-SE et DPD (Sortie APD-SE+DPD).....	177
Figure VI.22 : Définition de la mesure d'ACLR.....	178
Figure VI.23 : Déformation, translation, rotation et étalement des constellations	179
Figure VI.24 : Synoptique de la schématique de la simulation 2 tons CW.....	182
Figure VI.25 : Synoptique du nouveau banc de mesure de puissance à deux excitations RF synchrones, de même fréquence, d'amplitude et de déphasage contrôlés.	185
Figure VI.26 : Puissance de sortie de l'APD_DE en fonction de $\Delta\phi_{mes}$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).	187
Figure VI.27 : Puissances d'entrée des deux amplificateurs $P_{e,P}(f)$ et $P_{e,A}(f)$ dans les plans $\pi e, P$ et $\pi e, A$. Principal (trait plein) et Auxiliaire (trait pointillé).	189

Figure VI.28: Principales performances en puissance et en rendement (PAE , G_i et $\Delta AM/PM$) des trois configurations.....	189
Figure VI.29: Principe qualitatif d'élargissement de la plage d'OBO.	190
Figure VI.30 : Amplitudes des signaux d'excitation. Principal (traits pleins) et Auxiliaire (traits pointillés).	192
Figure VI.31 : Principales performances en puissance et en rendement mesurées de l'APD-DE (5 configurations).....	193

Table des tableaux

Tableau I.1 : Principaux paramètres technologiques des matériaux semi-conducteurs utilisés pour réaliser des transistors de puissance RF [I.7].	5
Tableau I.2 : Définition de l'équivalence des grandeurs thermiques et électriques.	16
Tableau I.3 : Relations entre les grandeurs physiques et représentation du circuit d'impédance thermique équivalente.	16
Tableau II.1 : Quelques exemples de schémas de la modulation M-QAM.	30
Tableau III.1 : Impédances Z_P et Z_A vues en fonction du niveau d'excitation d'entrée.	51
Tableau III.2 : Synthèse de l'état de des amplificateurs Doherty fonctionnant en bande C ...	73
Tableau IV.1 : Conditions de polarisation des transistors GH25 (8x125 μ m) issu de la plaque ASAP lors des mesures « Load-Pull » temporelles, en régime CW, sous pointes, à la fréquence $f_0 = 4$ GHz.	91
Tableau IV.2 : Impédances de charges optimales mesurées sur des transistors GH25 (8x125 μ m) issu de la plaque ASAP, à $f_0 = 4$ GHz, et aux fréquences harmoniques 2 et 3, offrant le meilleur compromis PAE/P_s pour des fonctionnements en classe AB/B, en classe C nominale et en classe C profonde.	91
Tableau IV.3 : Mesures CW, sous pointes (rouge), et simulation (bleu) à partir du modèle électrique non-linéaire incluant un modèle de pièges <i>Gate-Lag</i> et un sous circuit de thermique. Comparaison des performances en puissance à la fréquence fondamentale $f_0 = 4$ GHz pour un transistor 8x125 μ m GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B, classe C nominale et classe C profonde. Mesures réalisées au sein du laboratoire XLIM.	92
Tableau IV.4 : Impédances de charges optimales mesurées à $f_0 = 7$ GHz, offrant le meilleur compromis PAE/P_s , sur des transistors GH25 (8x125 μ m) issus de la plaque ASAP pour des fonctionnements en classe AB/B et en classe C profonde.	93
Tableau IV.5 : Mesures CW sous pointes (rouge) et simulations (bleu) à partir du modèle électrique non-linéaire incluant un modèle de pièges « <i>Gate-Lag</i> » et un sous circuit de thermique. Comparaison des performances en puissance à la fréquence fondamentale $f_0 = 7$ GHz pour un transistor 8x125 μ m GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B, classe C nominale et classe C profonde. Mesures réalisées au sein du laboratoire XLIM.	94
Tableau IV.6 : Valeurs optimales des éléments constituant le circuit de charge offrant un meilleur compromis PAE/P_s , et la valeur de la capacité C_{OUT} du transistor GH25 (8x125 μ m) déduite.	97
Tableau IV.7 : Courbes de PAE_{MAX} en fonction de P_s , paramétrées par R_{CHARGE} et Formes d'ondes temporelles des tensions de sortie du transistor le long de l'enveloppe de ces PAE_{MAX} issues des simulations ADS d'un transistor GH25 (8x125 μ m) aux fréquences $f_0 = 4$ GHz, 7GHz et 10GHz.	99
Tableau IV.8 : Conditions de polarisation appliquées sur des transistors GH25 (8x125 μ m) issus de la plaque ASAP pour les mesures temporelles « Load-Pull » actif, en régime CW, sous pointes, orientées Doherty, à la fréquence de fonctionnement $f_0 = 3.90$ GHz.	102

Tableau IV.9 : Formes d'ondes temporelles mesurées des tensions et des courants aux accès grille et drain du transistor le long de l'enveloppe des PAE_{MAX} . Mesures temporelles CW, sous pointe, orientées Doherty, « Load-Pull » actif, à la fréquence fondamentale $f_0 = 3.90\text{GHz}$. Transistor $8 \times 125\mu\text{m}$ GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B et en classe C.	103
Tableau IV.10 : Principaux critères de performance en puissance issus des mesures temporelles CW, sous pointes, orientées Doherty, « Load-Pull » actif à la fréquence fondamentale $f_0 = 3.90\text{GHz}$ (traits pleins). Comparaison avec les résultats de simulation basés sur le modèle électrique non-linéaire incluant un modèle de pièges Gate-Lag et un sous circuit représentatif de la thermique (traits pointillés). Transistor $8 \times 125\mu\text{m}$ GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B et en classe C.	104
Tableau IV.11 : Extraction de quelques caractéristiques nécessaires à la conception d'un amplificateur Doherty fondé sur l'utilisation des transistors GH25 ($8 \times 125\mu\text{m}$) pour $f_0 = 3.9\text{GHz}$	105
Tableau V.1 : Principales spécifications du cahier des charges.	109
Tableau V.2 : Tailles des barrettes de Puissance GH25 issues de la plaque AMYBAR.	111
Tableau V.3 : Valeurs des self-inductances parallèles optimales de charge et valeurs des capacités de sorties équivalentes des barrettes de puissance GH25 principale et auxiliaire de 4.4mm de développement (fréquences de travail $f_0 = 5.50\text{GHz}$, 6.00GHz et 6.50GHz).	120
Tableau V.4 : PAE (traits pointillés), η (traits pleins) et G_P optimaux issus des simulations de variation de charge et de source de la barrette de puissance GH25 de 4.4mm de développement total fonctionnant en classe AB/B (colonne gauche) avec $V_{ds0} = 30\text{V}$ et $I_{ds0} = 25\text{mA/mm}$ et en classe C (colonne droite) avec $V_{ds0} = 30\text{V}$ et $V_{gs0} = -7\text{V}$, aux fréquences fondamentales 5.50GHz , 6.00GHz et 6.50GHz	121
Tableau V.5 : Simulation de l'évolution de la PAE d'une barrette de puissance GH25 ($2 \times 8 \times 275\mu\text{m}$) pour un coefficient de réflexion en charge à la fréquence harmonique 2 variant en périphérie de l'abaque de Smith ($ \Gamma_{CH}(2f_0) = 0.95$) dans la bande de fréquence fondamentale $f_0 = 5.50\text{GHz}$ - 6.50GHz	123
Tableau V.6 : Simulation de l'évolution de la PAE d'une barrette de puissance GH25 ($2 \times 8 \times 275\mu\text{m}$) à la fréquence fondamentale $f_0 = 6.0\text{GHz}$, pour différents modules des coefficients de réflexion en charge à la fréquence harmonique 2 ($ \Gamma_{CH}(2f_0) = 0.35$, 0.65 et 0.95).	125
Tableau V.7 : Principales caractéristiques des éléments passifs ULRC-20 et spécifications recommandées.	141
Tableau V.8 : Etapes de la transformation de Norton appliquée.	143
Tableau VI.1 : Caractéristiques du signal modulé appliqué.	176
Tableau VI.2: Caractéristiques de la DPD appliquée.	177
Tableau VI.3 : Résultats de mesure d'ACLR et de MSE de l'APD-SE sans et avec DPD à PS, MOY(t) $\approx 34\text{dBm}$. L'amplificateur principal ($V_{ds0} = 30\text{V}$, $I_{ds0} = 50\text{mA/mm}$) et amplificateur auxiliaire ($V_{ds0} = 30\text{V}$, $V_{gs0} = -6\text{V}$).	180

Tableau VI.4 : Principales performances en linéarité mesurées de l'APD-DE pour un signal QAM256 sans et avec DPD à $P_{s,MOY} \approx 34\text{dBm}$. L'amplificateur principal ($V_{ds0}=30\text{V}$, $I_{ds0}=50\text{mA/mm}$) et amplificateur auxiliaire ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).....	181
Tableau VI.5 : Variations des impédances de charge vues par les transistors (principaux et auxiliaires) sur leur accès drain en bande de base.	183
Tableau VI.6 : $IMD3$ et $P_s(nf_{01}+mf_{02})$ mesurés de l'APD-SE pour $\Delta f = 5\text{MHz}$, 11MHz et 40MHz autour des fréquences centrales $f_{c1}=5.60\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.40\text{GHz}$. Amplificateur principal ($V_{ds0}=30\text{V}$, $I_{ds0}=50\text{mA/mm}$) et Amplificateur auxiliaire ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).	184
Tableau VI.7 : Configurations testées de l'APD-DE.	191
Tableau VI.8: Comparaison de l'APD-SE et de l'APD-DE avec d'autres APD de l'état de l'art mondial fondés sur l'utilisation de la technologie HEMT GaN $0.25\mu\text{m}$	194

Glossaire

<i>5G</i>	- 5 Generation.
<i>ADS</i>	- Advanced Design System.
<i>ACLR</i>	- Adjacent Channel Leakage Ratio.
<i>ACPR</i>	- Adjacent Channel Power Ratio.
<i>AlGaN</i>	- Aluminum Gallium Nitride.
<i>AP</i>	- Amplificateur de Puissance.
<i>APD</i>	- Amplificateur de Puissance Doherty.
<i>APD-DE</i>	- Amplificateur de Puissance Doherty à Double Entrée.
<i>APD-SE</i>	- Amplificateur de Puissance Doherty à Simple Entrée.
<i>ARV</i>	- Analyseur de Réseau Vectoriel.
<i>AsGa</i>	- Arséniure de Gallium
<i>AWG</i>	- Arbitrary Waveform Generator.
<i>BF</i>	- Basse Fréquence
<i>CAN</i>	- Conversion Analogique Numérique.
<i>CI</i>	- Circuit Imprimé.
<i>CIFRE</i>	- Conventions Industrielles de Formation par la REcherche.
<i>CMS</i>	- Circuit monté en surface.
<i>CNA</i>	- Conversion Numérique Analogique.
<i>CW</i>	- Continuous Wave.
<i>DBLPC</i>	- Double Bande Latérale à Porteuse Conservée.
<i>DC</i>	- Direct Current.
<i>DE</i>	- Drain Efficiency.
<i>DPD</i>	- Digital Pre-Distortion.
<i>DST</i>	- Dispositif Sous Test.
<i>DUT</i>	- Dispositif Under Test.
<i>EM</i>	- Electromagnétique.
<i>FI</i>	- Fréquence Intermédiaire.
<i>GaN</i>	- Gallium Nitride.
<i>GSM</i>	- Global System for Mobile communications.
<i>HEMT</i>	- High Electron Mobility Transistor.
<i>HF</i>	- Haute Fréquence.
<i>HPA</i>	- High Power Amplifier.
<i>IEEE</i>	- Institute of Electrical and Electronics Engineers.
<i>IM</i>	- InterModulation.
<i>IMD</i>	- InterModulation Distortion.
<i>LTE</i>	- Long Term Evolution.
<i>MIC</i>	- Microwave Integrated Circuit.
<i>MIM</i>	- Metal Insulator Metal.
<i>MMIC</i>	- Monolithic Microwave Integrated Circuit.
<i>MSE</i>	- Mean Square Error.
<i>OBO</i>	- Output Back-Off.
<i>OL</i>	- Oscillateur Local.
<i>PAE</i>	- Power Added Efficiency.
<i>PAPR</i>	- Peak to Average Power Ratio.
<i>PCB</i>	- Printed Circuit Board.

<i>PDF</i>	- Power Density Function.
<i>QAM</i>	- Quadrature Amplitude Modulation.
<i>QFN</i>	- Quad Flat No-lead.
<i>Q-MMIC</i>	- Quasi Monolithic Microwave Integrated Circuit.
<i>RF</i>	- Radio Frequency.
<i>RMS</i>	- Root Mean Square.
<i>SiC</i>	- Silicon Carbide.
<i>SiN</i>	- Silicon Nitride.
<i>SMA</i>	- SubMiniature version A
<i>SOLT</i>	- Short/ Open/ Load/ Thru.
<i>TRL</i>	- Technology Readiness Level.
<i>TSG</i>	- Technologie Support Group.
<i>UMS</i>	- United Monolithic Semiconductors.
<i>VNA</i>	- Vector Network Analyzer
<i>WCDMA</i>	- Wideband Code Division Multiplex Access.
<i>WIFI</i>	- Wireless Fidelity.
<i>WLAN</i>	- Wireless Local Area Network.

Introduction générale.

L'Encyclopédie des Techniques de l'Ingénieur propose au quotidien une information toujours précise de veille et d'actualité. Elle montre que la fin du XX^e siècle a connu une évolution considérable des technologies des circuits intégrés. Cette évolution est due principalement à la pression particulière du marché des circuits électroniques de communication.

Le début du XXI^e connaît la même tendance avec l'apparition des objets connectés, et des applications liées à la mobilité. Aujourd'hui les innovations issues des recherches produites dans les laboratoires académiques et industriels, à des niveaux TRL (Technology Readiness Level) faibles, percolent rapidement vers des applications très diverses à des niveaux TRL élevés et se retrouvent sans délai dans des produits de grande diffusion.

À ces contraintes liées à l'utilisateur final s'ajoutent les problèmes de connectivité et d'adaptation à des standards de plus en plus nombreux (WLAN (Wireless Local Area Network), Bluetooth, WIFI (Wireless Fidelity), 5G demain).

Cette accélération dans l'évolution des circuits intégrés conduit les laboratoires industriels à réduire le temps de mise sur le marché (Time To Market), tout en satisfaisant aux demandes de performances accrues : réduction du poids, de la taille, des coûts et de la consommation.

Cette dernière est aujourd'hui un problème clef dont dépend en grande partie le succès ou l'échec de tout nouveau système de communication mis sur le marché. Dans ces systèmes qui contiennent une partie hyperfréquence, le poids de la dépense énergétique repose principalement sur les amplificateurs de puissance HF. C'est à la diminution du poids énergétique de ces amplificateurs de puissance hyperfréquence que s'attachent de nombreux laboratoires universitaires et industriels de la communauté scientifique internationale. Les travaux de cette thèse de doctorat se situent dans ce cadre.

Les amplificateurs de puissance hyperfréquences doivent être à même d'amplifier des signaux sur porteuse, modulés en amplitude et phase.

Pour permettre de conserver un bon rendement énergétique sur l'ensemble de l'excursion d'amplitude de ces signaux, deux architectures originales d'amplification ont été proposées. Il s'agit des architectures Doherty¹ et Chireix² qui portent le nom des inventeurs de leurs architectures.

Une recherche dans la base de données IEEE (Institute of Electrical and Electronics Engineers) de l'occurrence du terme « Doherty Amplifier », par périodes de 5 ans, indique une valeur maximale de 5 publications jusqu'à l'an 2000. Cette occurrence croît constamment jusqu'à 450 citations pour la période 2011-2015.

Parallèlement à celle des amplificateurs Doherty, une croissance de l'occurrence du terme « GaN HEMT » est aussi observable : elle est de l'ordre de 70 publications jusqu'à l'an 2000, pour atteindre 1900 occurrences pour la période 2011-2015.

¹ W. H. Doherty, "A new high-efficiency power amplifier for modulated waves," in The Bell System Technical Journal, vol. 15, no. 3, pp. 469-475, July 1936.

² H. Chireix, "High Power Outphasing Modulation," in Proceedings of the Institute of Radio Engineers, vol. 23, no. 11, pp. 1370-1392, Nov. 1935.

Sans avoir cherché à approfondir l'étude de l'inter-corrélation entre les occurrences « Doherty Amplifier » et « GaN HEMT », il semble malgré tout évident qu'elle existe depuis ces 6 dernières années.

On constate aussi que la quasi-totalité des publications concernant les APD (Amplificateurs de Puissance Doherty) ont trait à des amplificateurs fonctionnant à des fréquences ne dépassant pas 3.5 GHz. Néanmoins, de nombreuses applications de communications dans des bandes de fréquences allant jusqu'aux longueurs d'ondes millimétriques réclament des gains de rendement énergétique.

Un des objectifs de cette thèse a donc consisté à étudier l'architecture Doherty utilisant des transistors HEMTs à base de GaN, pour des applications centrées sur la bande C. Les amplificateurs issus de nos travaux ont été réalisés en technologie Quasi-MMIC. Comparée aux technologies MMIC, elle offre une solution à la fois moins chère et apte à la production de volume.

Les réalisations proposées au terme de ce travail ont montré des caractéristiques à l'état de l'art.

Lors de la mise en œuvre de systèmes performants incluant ces amplificateurs, il convient de leur associer d'autres architectures et fonctions complémentaires. Parmi ces fonctions associées, la fonction particulière de prédistorsion numérique appelée aussi DPD (Digital Pre-Distortion) est aujourd'hui en plein développement et fait l'objet de recherches dans de très nombreux laboratoires industriels ou académiques.

Toutefois, avant d'évaluer les performances au niveau système, il était nécessaire de se concentrer sur l'étude de la première brique constituée par un amplificateur à haut rendement énergétique et à faible coût de fabrication. La question se posait au début de ces travaux : l'architecture d'amplificateur Doherty en technologie Quasi-MMIC pouvait-elle théoriquement et pratiquement fonctionner en bande C avec des performances supérieures à celles des amplificateurs classiques ?

Ce travail de thèse a été mené avec la volonté de garder perpétuellement à l'esprit la possibilité d'étendre à des fréquences supérieures, pouvant aller jusqu'aux longueurs d'ondes millimétriques, les méthodes de conception et les outils de caractérisation étudiés et mis en œuvre pour réaliser des amplificateurs à l'état de l'art.

Ces travaux s'inscrivent dans le cadre d'une bourse CIFRE (Conventions Industrielles de Formation par la REcherche). Ils se sont déroulés au sein de l'équipe développement de produits avancés d'UMS (United Monolithic Semiconductors) ainsi qu'au laboratoire XLIM de l'Université de Limoges.

Ce manuscrit comporte six chapitres :

Le premier chapitre présente les critères de choix des différentes solutions technologiques utilisées pour la conception d'amplificateurs de puissance Doherty à haut rendement en hyperfréquence. Puisque ces travaux de doctorat sont fondés sur l'utilisation de transistors AlGaIn/GaN, un paragraphe de ce chapitre est consacré à la description succincte de leur principe de fonctionnement. Enfin, les principales technologies d'intégration et d'encapsulation des amplificateurs de puissance sont présentées et comparées.

Le deuxième chapitre est dédié à la définition des principales caractéristiques des amplificateurs de puissance hyperfréquences et des signaux auxquels ils sont soumis dans une transmission de données pour des applications de radiocommunications. Les définitions

des principaux phénomènes de distorsions engendrés par les composants actifs non linéaires sont aussi présentées. Les principales définitions des performances en puissance et en linéarité des amplificateurs sont également données.

Le troisième chapitre concerne la description détaillée du principe fondamental de fonctionnement d'un amplificateur Doherty. Une étude théorique de la structure classique Doherty fondée sur l'utilisation des transistors HEMT GaN est ensuite présentée. Une étude bibliographique de la technique d'amplification Doherty a permis de dresser l'état de l'art de ces amplificateurs Doherty. Un intérêt est plus particulièrement porté vers les réalisations en bande C.

Le quatrième chapitre présente les caractérisations des transistors unitaires HEMT AlGaIn/GaN de $0.25\mu\text{m}$ de longueur de grille de la fonderie UMS (GH25). Les effets de pièges sont mis en évidence à travers des caractérisations spécifiques. La validation du modèle électrique non-linéaire de ces transistors est ensuite vérifiée. Une méthode de caractérisation des transistors en vue de leur future utilisation dans des architectures Doherty, a été initiée et mise au point lors de ces premières investigations. La validation et l'exploration de cette nouvelle technique a contribué à la mise en place d'un système de mesures temporelles sous pointes original élaboré par le laboratoire XLIM.

Le cinquième chapitre détaille l'ensemble de la méthodologie de conception mise en œuvre pour aboutir à la réalisation des amplificateurs de puissance Doherty en technologie Quasi-MMIC, à base de transistors GH25, fonctionnant en bande C, et encapsulés en boîtier plastique QFN. Les contraintes dues aux fils d'interconnexion entre les différentes puces dans l'environnement du boîtier QFN et les limitations théoriques qu'elles entraînent sont aussi exposées.

Le sixième et dernier chapitre présente l'ensemble des résultats expérimentaux, comparés à ceux issus des simulations, qui ont été obtenus à partir de bancs de caractérisations classiques ou innovants. Un focus particulier est notamment présenté sur le développement d'un banc de mesure d'amplificateurs de puissance Doherty hyperfréquence à deux entrées.

Ce type de caractérisation ouvre la porte à de futures recherches où seront considérées systématiquement les interactions entre le signal d'entrée porteur d'une modulation et chacun des étages constituant l'amplificateur Doherty, en vue d'optimiser les caractéristiques finales de linéarité et de rendement entre autres. Elles permettront de définir de nouvelles méthodes de conception d'amplificateurs de puissance hyperfréquences associant simulations et caractérisations mixtes : « numériques – analogiques ».

Une conclusion générale et quelques perspectives à donner à ces travaux sont proposées pour clore ce manuscrit.

Chapitre I. Critères de choix des technologies utilisées.

I.1. Introduction.

Ce chapitre a pour objectif de présenter de manière succincte les principaux critères de choix des technologies utilisées pour la conception d'amplificateurs de puissance aux micro-ondes. Une comparaison des propriétés principales des matériaux III-V actuellement utilisés est tout d'abord présentée et permet de dégager des conclusions quant au choix des matériaux grands gaps pour l'amplification de très forte puissance hyperfréquence.

Dans un second temps, le principe de fonctionnement des transistors HEMT AlGaIn/GaN est abordé ainsi que les principales limitations liées aux effets de dynamiques lentes associées à cette technologie. Puis le modèle utilisé par la suite pour la conception des amplificateurs de puissance ainsi que sa méthode d'extraction sont ensuite défilées. Enfin, les principales technologies d'intégration des amplificateurs de puissance sont présentées et comparées.

I.2. Critères de performances des transistors de puissance.

Les principaux critères de performances d'un transistor utilisé en amplification de puissance sont les suivants :

- Sa densité de puissance à la fréquence d'intérêt. Celle-ci est régie conjointement par les valeurs crêtes des signaux qui l'excitent et par les exigences des cahiers des charges en termes de miniaturisation et d'intégration.
- Sa consommation qui impacte directement la durée de vie des batteries dans les systèmes. Cette consommation doit être réduite afin de réduire leur échauffement et contribuer aux améliorations écologiques.
- Sa linéarité pour assurer une bonne qualité de la transmission et donc une qualité de service en maintenant l'intégrité des signaux.

Les années 1970 ont vu l'émergence des semi-conducteurs dits « III-V », en référence aux composés des colonnes III et V du tableau périodique des éléments de Mendeleiev [I.1]. L'intensification des recherches sur ces composants et les progrès qui en ont découlé ont ouvert de nombreuses potentialités dans le domaine des applications aux hyperfréquences et aux ondes millimétriques.

Dans les années 1990, les composants à base de nitrures de gallium, aussi appelés matériaux à large bande interdite, ont vu le jour. Les recherches mondiales qui se sont développées au cours de ces années ont permis le développement de matériaux comme le Carbure de Silicium (SiC) ou le Nitrure de Gallium (GaN). Ces nouveaux matériaux ont rapidement atteint des niveaux de maturité suffisants pour qu'une industrialisation de masse soit rendue envisageable constituant ainsi une véritable rupture technologique par rapport aux technologies :

- D'arséniure de gallium (AsGa) utilisées traditionnellement jusqu'alors pour les applications hautes fréquences (de quelques GHz à la centaine de GHz).
- De Silicium (Si) universellement employée pour des applications de puissance fonctionnant jusqu'à la bande S, mais pouvant monter au-delà largement en fréquence.

I.3. Choix de la technologie.

Une comparaison succincte des caractéristiques physiques des différents semi-conducteurs [I.2-I.6] couramment utilisés pour la conception technologique de transistors destinés à l'amplification de puissance radiofréquence est donnée dans le tableau I.1.

Tableau I.1 : Principaux paramètres technologiques des matériaux semi-conducteurs utilisés pour réaliser des transistors de puissance RF [I.7].

		Semi-conducteurs					
		Si	AsGa	InP	4H-SiC	GaN	Diamant
Caractéristiques	Gap [eV] @ $T^{\circ}=300^{\circ}K$	1.1	1.42	1.35	3.25	3.49	5.49
	Champs de claquage [MV/cm]	0.3	0.4	0.5	3	3.3	20
	Mobilité des électrons [$cm^2/V.s$]	1500	8500	5400	700	1000	4000
	Mobilité des Trous [$cm^2/V.s$]	600	400	200	115	320	1600
	Vitesse de saturation des électrons [$\times 10^7 cm/s$]	1	1.3	1	2	2.5	3
	Conductivité thermique [$W/cm^{\circ}K$] @ $T^{\circ}=300^{\circ}K$	1.5	0.5	0.7	4.5	1.6	20
	Constante Diélectrique ϵ_r	11.8	12.8	12.5	10	9	5.7

La largeur de la bande interdite, ou gap, quantifie l'énergie (E_g) nécessaire à un électron, lorsque celui-ci est excité, pour passer de la bande de valence à la bande de conduction et pouvoir créer ainsi un courant électrique dans le matériau. Cette caractéristique, lorsqu'elle atteint des valeurs supérieures à 3eV permet de faire fonctionner le dispositif avec des courants plus élevés et par conséquent des capacités à supporter des niveaux de puissances plus élevées. Elle constitue donc le critère fondamental de sélection du matériau semi-conducteur pour des applications de puissance radiofréquences et microondes.

L'amplitude de la tension de polarisation qui est aussi un facteur important dans la définition du niveau de puissance maximal utilisable est régie par le champ de claquage (E_{crit}). Cette caractéristique, directement liée à la largeur de bande interdite, est donc aussi fondamentale pour les applications de puissance radiofréquences et microondes. Un fort champ de claquage permet effectivement de supporter de fortes polarisations, de larges excursions dynamiques de tension de sortie et donc de fortes puissances.

La capacité de fonctionnement des transistors à des fréquences très élevée est évaluée à travers la caractéristique de mobilité des porteurs qui est liée au libre parcours sans collision des électrons et des trous dans le semi-conducteur. Elle varie fortement avec la température.

La vitesse de saturation des électrons est définie en fonction du champ électrique appliqué au semi-conducteur. Cette caractéristique quantifie aussi l'aptitude d'un semi-

conducteur à fonctionner à de très hautes fréquences, tout en supportant de fortes puissances.

La conductivité thermique est l'indicateur de dissipation de la chaleur dans les semi-conducteurs. Ce paramètre essentiel est étroitement lié à la robustesse de la technologie utilisée.

La figure I.1 [I.23] illustre une comparaison qualitative des propriétés suivantes des semi-conducteurs :

- La largeur de la bande interdite qui régit la puissance admissible.
- La mobilité des électrons qui détermine l'aptitude de fréquence maximale de fonctionnement.
- La conductivité thermique qui juge de la robustesse de la technologie utilisée.

Cette figure est un outil simple et élémentaire qui permet de comparer au premier coup d'œil les semi-conducteurs entre eux en vue d'un usage spécifique défini dans un cahier des charges donné.

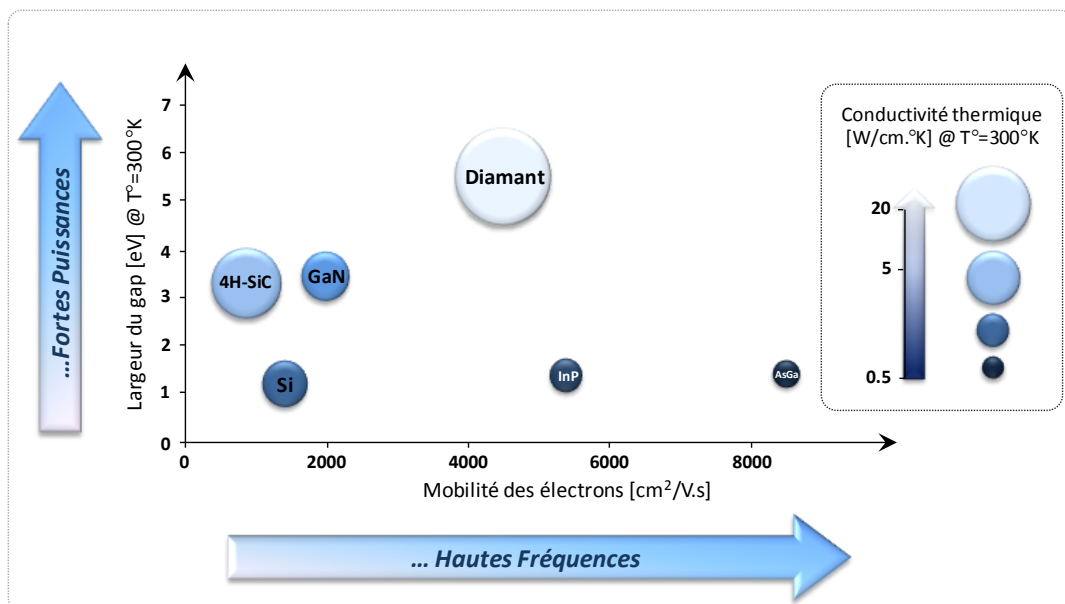


Figure I.1 : Evaluation des semi-conducteurs en fonction de leurs applications.

Cette figure montre que le diamant constitue un semi-conducteur sans rival en termes de potentialités en puissance, en montée en fréquence et en gestion thermique. En revanche, les développements des technologies à base de ce semi-conducteur, pour des applications RF et microondes, restent limités à cause de leurs coûts le plus souvent prohibitifs.

Des réalisations de transistors HEMT GaN sur un substrat de diamant ont démontré les potentialités de ce semi-conducteur. Néanmoins, d'autres travaux de recherche sont en cours pour développer la fabrication de diamant synthétique de grande qualité cristalline pour concevoir des transistors à effet de champs destinés aux applications hautes fréquences.

Les semi-conducteurs conçus à base d'InP et d'AsGa ont des potentialités quasi-similaires et sont plutôt destinés aux applications très hautes fréquences.

Les semi-conducteurs réalisés à base de Si présentent des potentialités limitées en termes de génération de puissance aux hautes fréquences. Cependant, ce semi-conducteur demeure le plus répandu et le plus utilisé dans les applications RF en raison de son faible coût et de la maîtrise des processus fabrication. Ces derniers arguments font de ce semi-conducteur un bon candidat pour le développement de composants RF avec un compromis performances-coût attractif.

Le SiC et le GaN possèdent des potentialités équivalentes en termes de densités de puissance qui sont très supérieures à celles du Si et de l'AsGa. Bien que la gestion thermique du SiC soit meilleure que celle du GaN, les problématiques importantes de pièges dans les structures des transistors HEMT SiC ont conduit à son abandon pour des applications hyperfréquences. Cependant, en raison de son excellente conductivité thermique et de la difficulté à réaliser un substrat GaN massif, le SiC est utilisé comme substrat dans les transistors HEMT à couche active GaN. La fabrication des transistors à base de GaN sur substrat SiC a permis la levée de verrous technologiques qui conduisent à des capacités importantes de ces composants en termes de miniaturisation, de très fortes densités de puissance, de montée en fréquence jusqu'en bande K [I.7] et au-delà, tout en assurant une gestion thermique acceptable et un niveau de robustesse très satisfaisant.

I.3.1. Intérêt du HEMT à base de nitrure de gallium pour les fonctions d'amplification de puissance hyperfréquence.

Les structures des transistors peuvent être décrites par deux grandes catégories :

- Les Transistors à Jonctions bipolaires (à homo ou hétérojonctions).
- Les Transistors à Effet de Champs (T.E.C. ou F.E.T. Field Effect Transistor).

Ces deux structures peuvent aussi être divisées en plusieurs sous-catégories. Les références [I.8-I.9] abordent ce sujet de manière détaillée.

Les travaux de cette thèse portent sur l'utilisation de transistors à hétérojonction de type HEMT (High Electron Mobility Transistor) AlGaIn/GaN.

I.3.1.1. Le transistor HEMT GaN.

Le transistor HEMT, créé initialement avec du matériau AsGa, a été inventé dans les années 1980 indépendamment par Delagebeaudeuf et al. [I.10] de la société Thomson-CSF (actuellement Thales) d'une part, et simultanément, par Mimura [I.11] de la société Fujitsu.

Le principe du HEMT réside en la création d'un canal conducteur dans lequel le transport électronique s'effectue au voisinage de l'interface d'un matériau à grand gap dopé (AlGaAs) ou piézoélectrique (AlGaIn) et d'un matériau à petit gap (respectivement GaAs ou GaN) faiblement ou non intentionnellement dopé. Cette interface est appelée « hétérojonction ». La présence de cette hétérojonction permet d'obtenir un canal de porteurs libres à l'interface, coté matériau à faible gap, peu dopé, où la mobilité et la vitesse des porteurs sont élevées, et ceci avec une densité de porteurs importante. Le principe fondamental de fonctionnement du transistor HEMT AlGaIn/GaN réside dans la mise en œuvre de cette hétérojonction constituée de deux matériaux, piézoélectriques dont les largeurs de bande interdite sont différentes : l'un présente un large gap (AlGaIn : 3.82eV) et l'autre un gap plus faible (GaN : 3.4eV). La différence d'énergie entre les niveaux de Fermi (ΔE_F) de ces deux matériaux introduit une discontinuité lors de la juxtaposition des deux couches (alignement des niveaux de Fermi des deux matériaux à l'équilibre

thermodynamique). Cette discontinuité génère un puits quantique. Il s'agit d'un « réservoir » d'électrons libres dans lequel la longueur d'onde associée aux électrons stockés est du même ordre que la largeur du canal (1 ou 2 nm). Ce puits reste cantonné dans la partie supérieure non dopée du matériau à plus faible gap. Le matériau de plus grande largeur de bande interdite joue le rôle de barrière [I.12]. Le courant circulant le long du canal est appelé gaz bidimensionnel d'électrons (noté 2DEG : *2 Dimensions Electron Gaz*).

Une autre particularité d'un HEMT classique est la présence d'une jonction Schottky qui commande la densité du gaz d'électrons du canal, et donc peut moduler le courant circulant dans celui-ci. Celle-ci est constituée par la jonction métal de grille et semi-conducteur AlGaN de la barrière. Elle a l'avantage de fonctionner à de hautes fréquences avec des tensions de seuil assez faibles.

La figure I.2 représente une vue de coupe simplifiée d'une structure de couche ainsi que le digramme de bande d'énergie d'un transistor HEMT classique constitué d'un empilement de trois couches : le substrat, une couche tampon appelée « *buffer* » comprenant le canal, puis une couche barrière.

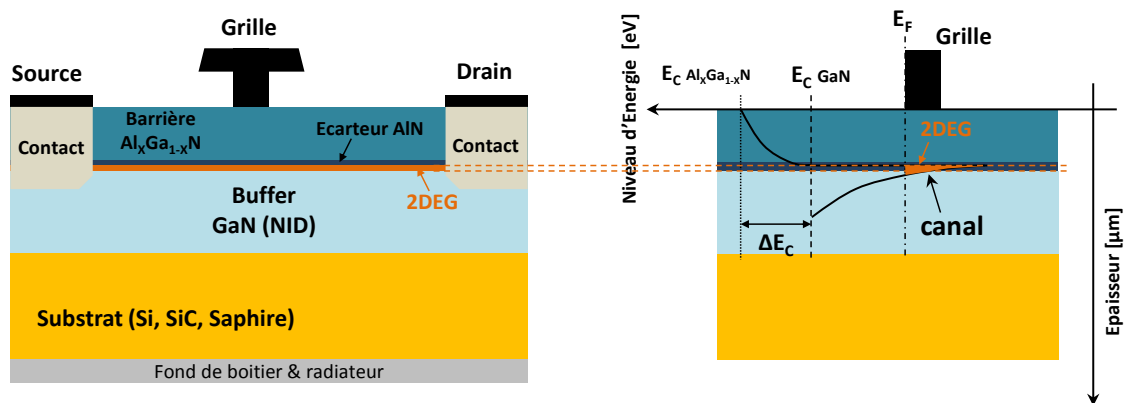


Figure I.2 : Structure d'un transistor AlGaN/GaN (vue de coupe).

Le substrat est constitué d'un matériau disposant d'excellentes propriétés thermiques comme le SiC. Celui-ci est brasé sur un support thermique en métal (fond de boîtier) permettant d'évacuer la chaleur au moyen d'un radiateur. Ce substrat accueille successivement les épitaxies du GaN, puis celle de l'AlGaN. Une couche d'AlN nommée « *spacer* » ou écarteur est insérée entre les couches de GaN et d'AlGaN pour minimiser l'interaction entre le canal et les ions donneurs présents dans la couche d'AlGaN [I.13].

Les contacts ohmiques de drain et de source sont également constitués d'alliages plus ou moins complexes de GaN dopé avec des métaux comme l'Or, le Nickel ou encore le Platine. L'épaisseur des matériaux est aussi un paramètre d'optimisation pour obtenir une résistance de contact la plus faible possible. A cet effet, les contacts de drain et de source sont dopés pour diminuer les résistances d'accès.

Actuellement, aux micro-ondes les HEMT AlGaN/GaN sont les transistors qui présentent les meilleures performances pour des applications nécessitant de très fortes puissances.

Après cette brève présentation de la technologie GaN et de l'hétérojonction AlGaN/GaN, il convient d'évoquer brièvement les effets limitatifs tels que les effets thermiques et les phénomènes de pièges de cette technologie prometteuse.

I.3.1.2. Effets limitatifs.

Aujourd'hui, le transistor HEMT à base de nitrure de gallium offre d'excellentes performances. Néanmoins, des effets limitatifs peuvent impacter les performances intrinsèques du transistor. Les deux principaux effets limitatifs des transistors HEMT AlGaN/GaN sont les effets thermiques et les effets de pièges.

1. Les effets thermiques.

Les performances intrinsèques d'un transistor sont impactées par son état thermique qui résulte de la température ambiante et de l'auto-échauffement du composant dû aux fortes densités de puissances présentes dans les dispositifs.

L'effet thermique influe principalement sur trois propriétés physiques du transistor :

- a. *La largeur de la bande interdite (gap)* : l'effet thermique provoque une dilatation du matériau. Ceci induit une diminution de la bande interdite entraînant une réduction de la tension de claquage du composant [I.14].
- b. *La mobilité des électrons* : l'augmentation de la température interne du composant entraîne une augmentation des perturbations dans le réseau cristallin. En effet, lors d'un échauffement, les électrons rentrent en collision plus souvent avec les atomes, ce qui ralentit la vitesse de transit. Il en résulte une chute du courant de drain I_{ds} provoquant donc une diminution de la transconductance G_m [I.15].
- c. *La conductivité thermique* : l'effet thermique influence énormément ce paramètre. Le SiC est parmi les matériaux les plus aptes à évacuer la chaleur en dehors de la zone active vers la face arrière du substrat. D'ailleurs, c'est pour cette raison que les composants de puissance GaN sont la plupart du temps accueillis sur des substrats SiC. Néanmoins, en raison des fortes densités de puissance délivrées par les composants GaN, plusieurs canaux de dissipation sont nécessaires pour évacuer la chaleur comme :
 - L'emploi de couches de passivation possédant de bonnes propriétés thermiques intrinsèques.
 - L'amincissement des substrats.
 - La mise en œuvre de nouvelles techniques comme le report flip-chip à base de nanotubes de carbone [I.16].

La réduction des phénomènes d'échauffement est un véritable enjeu pour les HEMT AlGaN/GaN afin d'augmenter leurs performances de conversion énergétique.

2. Les effets de piège.

Les effets thermiques mentionnés auparavant sont en partie responsables des dégradations des performances maximales théoriques en puissance des transistors HEMT AlGaN/GaN. La deuxième grande cause de détérioration des performances est attribuée à des défauts ou à des impuretés qui sont présents soit aux interfaces, soit dans le volume de la structure et qui agissent comme des pièges à électrons.

Les pièges sont créés, généralement de façon involontaire, par adjonction interstitielle ou substitutionnelle d'un niveau d'énergie permis (E_T) dans la bande interdite d'un semi-conducteur de type « n » ou de type « p » [I.17]. Les origines de ce niveau d'énergie sont multiples :

- a. Dislocation dans le réseau cristallin engendrée par le mauvais accord de maille entre les matériaux.
- b. Imperfection intrinsèque au cristal due à l'absence d'un atome ou au contraire à la présence d'un atome supplémentaire.
- c. Ajout volontaire ou involontaire de dopants ou d'impuretés.

Les pièges capturent des électrons entraînant alors une dégradation du courant de sortie associée à un phénomène transitoire, en général lent, provenant de la constante de temps d'émission ou de capture des pièges. Par conséquent, suivant la vitesse de variation du signal appliqué, une partie des charges associées aux pièges peut réagir, plus ou moins lentement aux tensions variables appliquées. Les polarisations du transistor accentuent ces phénomènes de piégeage dynamique par la création de forts champs électriques le long des cycles de charge imposés par le signal hyperfréquence porteur de la modulation utile.

D'un point de vue physique, les pièges sont définis, par une certaine signature incluant leur énergie d'activation, reflet du niveau énergétique dans la bande interdite, leur section efficace de capture et leur densité. Ils peuvent être identifiés par leur position physique dans le composant. Les pièges sont principalement situés en surface de la couche barrière, et dans la couche tampon (*buffer*), sous le canal. Il y a deux grandes familles de pièges :

- a. *Les pièges donneurs* : neutres lorsqu'ils sont pleins, positifs lorsqu'ils ont émis un électron.
- b. *Les pièges accepteurs* : neutres lorsqu'ils sont vides, négatifs lorsqu'ils ont capturé un électron.

D'un point de vue électrique, les pièges dans les HEMTS AlGaIn/GaN peuvent se classer également selon deux catégories :

- a. Ceux qui réagissent principalement à des changements de polarisation de grille, générant les effets dits de « *Gate-Lag* ».
- b. Ceux qui réagissent principalement à des changements de polarisation de drain, générant les effets dits de « *Drain-Lag* ».

Ces deux phénomènes sont détaillés dans les références [I.18-I.19].

Il est admis pour les technologies conventionnelles III-V que les pièges de surface sont généralement à l'origine du « *Gate-Lag* » et que ceux de la couche tampon sont généralement à l'origine du « *Drain-Lag* » [I.20-I.22].

D'une façon générale, il existe quatre mécanismes d'interaction des pièges avec les bandes énergétiques [I.23] suivant que ceux-ci se comportent comme des pièges ou comme des centres de recombinaison :

- a. La capture et la réémission d'électrons : C_n, e_n .
- b. La capture et la réémission de trous : C_p, e_p .
- c. La génération de porteurs.
- d. La recombinaison.

La figure I.3 en est une illustration simple. La lettre « e » fait référence aux phénomènes d'émission et la lettre « C » illustre les phénomènes de capture. Les indices « n » et « p » désignent, respectivement, les échanges d'électrons et de trous.

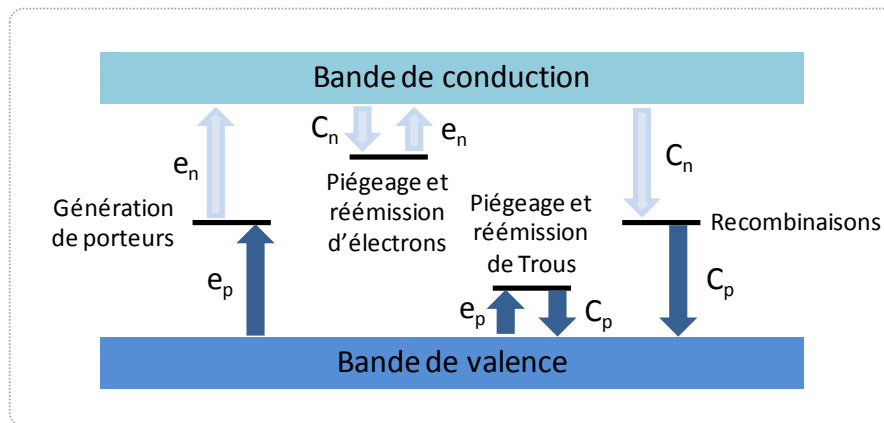


Figure I.3 : Mécanismes d'échanges entre les défauts et les bandes énergétiques.

Ibbetson, en 2000, a montré dans un article célèbre [I.24], qu'une hétérojonction piézo-électrique AlGaIn/GaN, ne pouvait répondre aux équations des semi-conducteurs à l'équilibre thermodynamique, et en particulier à la neutralité globale de la structure, que s'il existait des charges mobiles à la surface du semi-conducteur de barrière, c'est-à-dire à la surface de la couche de l'alliage AlGaIn, qui forme ainsi un réservoir de porteurs pour le canal de la structure.

En d'autres termes, dans une hétérojonction classique AlGaIn/GaN, ce sont les pièges de surface qui fournissent les électrons nécessaires à la neutralité d'ensemble. On peut donc imaginer qu'en modifiant cette surface dans les zones d'accès du transistor par une passivation appropriée, on puisse agir sur les états d'interface AlGaIn/passivation, et donc sur la réponse transitoire de la structure.

Les travaux de recherche sur le comportement dynamique des surfaces et interfaces simulation et caractérisation sont aujourd'hui en plein développement et constituent un domaine extrêmement important pour l'avenir de l'électronique.

I.3.2. Transistor GaN GH25 UMS.

Les démonstrateurs réalisés dans le cadre de cette thèse utilisent des transistors d'UMS appelés « GH25 ». Ils s'appuient sur une technologie HEMT AlGaIn/GaN de 0.25µm de longueur de grille, accueillie sur un substrat SiC. Cette technologie GaN de puissance est aujourd'hui une filière européenne qualifiée sur substrat 4" [I.25]. Elle est destinée à une large gamme d'applications couvrant les bandes de fréquence C, X et Ku.

L'épitaxie AlGaIn/GaN ainsi que les passivations ont été optimisées pour offrir le meilleur compromis rendement/densité de puissance. L'électrode de grille repose sur un processus assisté par dépôts successives de SiN. La définition du pied de grille est similaire à celle de la filière AsGa. La technologie GH25 bénéficie alors d'un très bon contrôle de fabrication (*process*) et d'une bonne reproductibilité. Le mécanisme de gravure et l'empilement des métaux ont été optimisés afin de fournir les meilleures performances et une meilleure stabilité de la technologie. A l'issue de plusieurs itérations, le contact ohmique a été optimisé pour atteindre les propriétés électriques et morphologiques appropriées.

Le traitement de la face arrière est entièrement inclus dans le processus technologique de conception. L'épaisseur finale d'une tranche (*wafer*) est de 100µm. Le traitement des trous métallisés est fondé sur le processus conventionnel de gravure.

I.3.2.1. Modèle du transistor GH25 utilisé en conception.

Les travaux présentés dans ce manuscrit reposent sur l'utilisation du modèle électrique du transistor GH25 de la fonderie UMS, réalisé par l'équipe TSG (*Technologie Support Group*) d'UMS. Ce modèle est constitué d'un modèle électrothermique et d'un modèle de pièges (*Gate-Lag*) [I.18]. Durant la première année de cette thèse, une campagne de mesure a été menée au sein du laboratoire XLIM et dans le laboratoire de mesure de la société AMCAD[®] afin de vérifier la validité de ce modèle pour les applications visées. Les résultats expérimentaux confrontés aux résultats de simulation seront exposés dans le chapitre IV de ce manuscrit. Ils montrent que la modélisation des transistors GH25 fournie par la fonderie d'UMS est validée par différents types de caractérisation. Le descriptif général et concis du modèle obtenu et utilisé pour ces travaux de thèse est présenté dans le prochain paragraphe.

I.3.2.1.1. Modélisation électrique linéaire du transistor GH25.

La méthodologie d'extraction du modèle linéaire, aussi appelé modèle petit signal est présentée succinctement. Elle repose sur une structure de modèle proposée par A. Liechti [I.26-I.27] exposée dans la figure I.4.

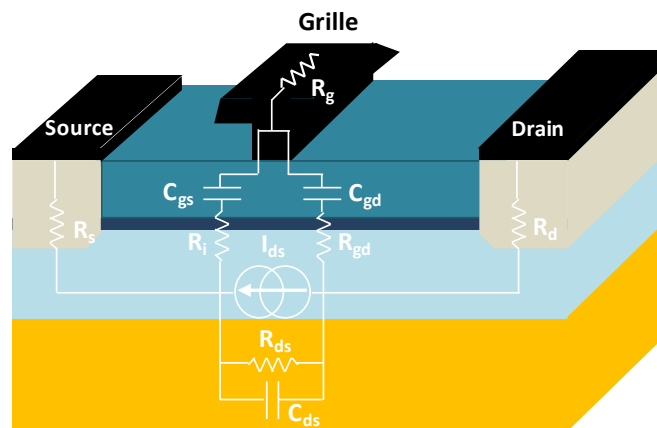


Figure I.4 : Identification des paramètres intrinsèques et extrinsèques issus de la structure physique du HEMT et utilisés dans la modélisation phénoménologique.

Ce modèle est également qualifié de modèle semi-physique ou phénoménologique car les équations utilisées relèvent soit de la physique (dans le cas de la définition des diodes), ou suivent une loi mathématique reproduisant au mieux les phénomènes électrothermiques : courant de drain, capacités C_{gs} et C_{gd} . Le modèle (sans piège, isotherme) est extrait à partir des résultats de mesures des réseaux I-V, des paramètres-[S] et des caractéristiques de puissance.

1. Extraction des éléments extrinsèques et intrinsèques.

Le schéma petit signal de la figure I.5 recense les différents paramètres du transistor HEMT. L'extraction des différents éléments de ce modèle a été réalisée à partir des mesures faites au niveau des plots d'accès de grille et de drain d'un transistor GH25 de 8 doigts de grille. Chaque doigt possède une largeur de $125\mu\text{m}$ et fonctionne autour d'un point de repos donné. Chaque élément de ce modèle représente un comportement physique ou une propriété électronique du transistor à effet de champ.

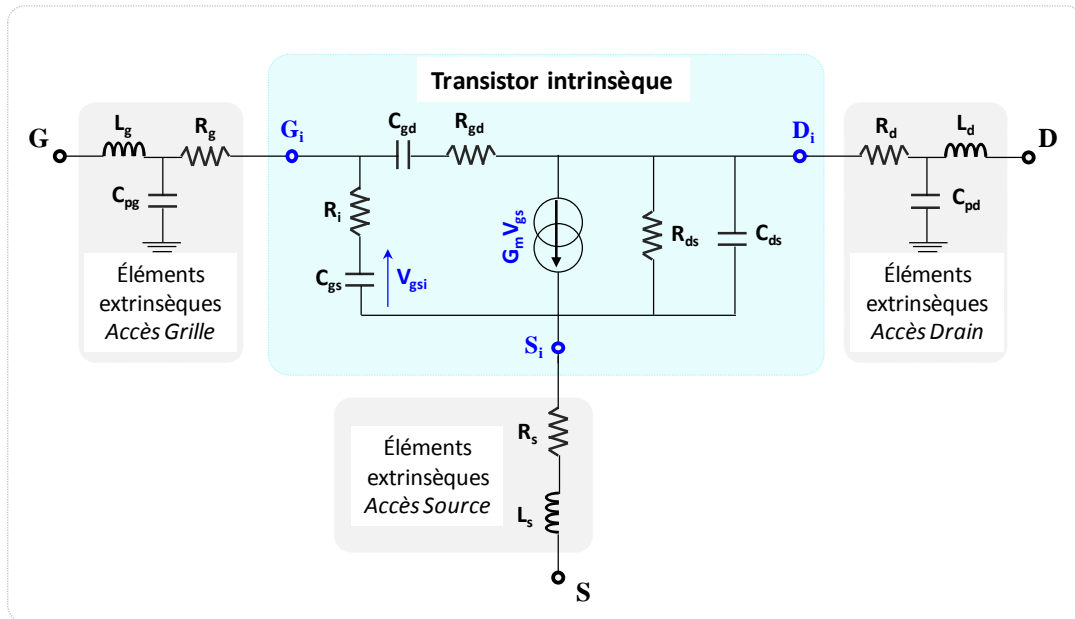


Figure I.5 : Schéma petit signal du transistor HEMT pour un point de polarisation de repos donné.

Le transistor est constitué :

- D'un ensemble d'éléments intrinsèques (bleuté sur le schéma de la figure I.5) composés, principalement d'une source de courant commandée (en tension) qui restitue l'effet fondamental de tout transistor.
- D'éléments passifs extrinsèques.

L'extraction de ce modèle électrique consiste à déterminer, tout d'abord, les valeurs des éléments extrinsèques. Ensuite, les valeurs des éléments intrinsèques sont déduites indépendamment du point de polarisation du transistor.

a. Les éléments extrinsèques :

Ces éléments sont considérés, dans notre modèle, comme indépendants du point de polarisation. Ils peuvent être figés à partir des mesures hyperfréquences.

- L_g , L_s et L_d représentent les self-inductances parasites liées à la topologie du transistor.
- R_d et R_s sont les résistances parasites dues aux contacts ohmiques et aux zones conductrices et inactives du canal, entre les métallisations de drain et de source et la limite de la zone déserte.
- R_g représente la résistance de grille, liée au métal qui constitue la diode Schottky.
- C_{pg} et C_{pd} représentent les capacités de plot du transistor.

b. Les éléments intrinsèques :

- La transconductance $G_m = G_{m0} e^{-j\omega\tau}$ traduit le mécanisme de contrôle du courant dans le canal par la commande de grille au point de polarisation $M_0 (V_{ds0}, V_{gs0})$.

$$G_{m0} = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{M_0} \quad (I.1)$$

La constante de temps τ , associée à la transconductance, représente, en principe, le retard entre l'instant où l'on applique une variation de tension ΔV_{gs} à l'accès de grille et celui où cette variation se manifeste sur le courant de drain (ΔI_{ds}), à l'accès intrinsèque de drain.

- La conductance de sortie G_d représente les effets d'injection des électrons dans le canal.

$$G_{ds} = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{M_0} \quad (1.2)$$

- R_{gd} et R_i sont liées à des effets résistifs distribués sous la grille.
- C_{ds} prend en compte les effets parasites de couplage électrostatique entre l'électrode de drain et celle de la source.
- Les capacités grille-source et grille-drain représentent les variations de charges accumulées sous la grille, sous l'effet des tensions respectives V_{ds} et V_{gs} .

$$C_{gs} = \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{M_0} \quad (1.3)$$

$$G_{ds} = \left. \frac{\partial Q_g}{\partial V_{gd}} \right|_{M_0} \quad (1.4)$$

La qualité finale du modèle dépend fortement de la précision avec laquelle sont estimés les éléments extrinsèques du circuit équivalent. Ici, ces éléments sont extraits à partir de la méthode dite du « transistor froid » [1.28] ; exceptées les résistances R_s , R_d et R_g qui sont déduites des mesures statiques sous différentes conditions de polarisation. La méthode d'extraction des paramètres extrinsèques et intrinsèques est détaillée dans les travaux de thèse de C. Teyssandier [1.29] et la méthode d'extraction du modèle des pièges (Gate-Lag) est clairement explicitée dans les travaux de thèse d'O. Jardel [1.18].

I.3.2.1.2. Modélisation électrique non linéaire du transistor GH25.

La modélisation non linéaire des transistors GH25, qui ne constitue pas le cœur du travail de cette thèse, est présentée succinctement ci-dessous. La figure I.6 représente la topologie du modèle électrique non-linéaire du transistor HEMT GH25.

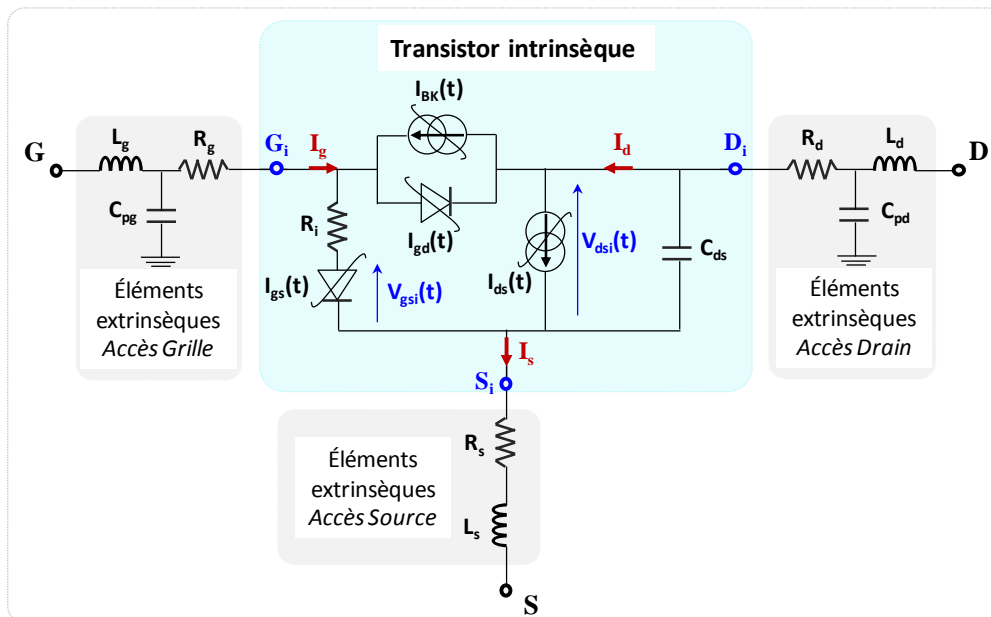


Figure 1.6 : Modèle non-linéaire incluant les sources convectives du transistor HEMT.

a. Les éléments extrinsèques :

Ce sont les mêmes que ceux synthétisés précédemment pour le modèle linéaire.

b. Les éléments intrinsèques :

- La source de courant $i_{ds}(t)$:

L'effet fondamental du transistor à effet de champ est décrit par la source de courant non-linéaire $i_{ds}(t)$ commandée par les tensions $v_{gs}(\tau)$ et $v_{ds}(t)$. Cette source est modélisée par une équation non-linéaire représentant précisément le courant généré par le transistor à partir de la commande de V_{gs} qui s'étend de la tension de pincement $V_{PINCEMENT}$, à la zone de conduction de grille, pour les valeurs positives de V_{ds} . L'équation utilisée a été définie par Tajima [I.30].

- Les diodes $I_{gd}(t)$ et $I_{gs}(t)$:

Le courant positif de grille observé pour les fortes valeurs positives des tensions V_{gs} et V_{gd} est modélisé par des diodes représentant des générateurs de courant non linéaires.

- Le générateur d'avalanche $I_{bk}(t)$:

Le phénomène d'avalanche apparaît dans la zone de pincement du transistor lorsque celui-ci est soumis à une tension drain-source V_{ds} trop élevée, déclenchant ainsi l'apparition d'un courant du drain vers la grille $I_{bk}(t)$.

Les tensions d'avalanche des transistors HEMT GaN sont très élevées, de l'ordre de 200V. C'est la raison pour laquelle la modélisation de l'avalanche pour ce type de transistor est moins critique que pour d'autres.

- Capacités intrinsèques C_{gs} et C_{gd} :

Les modèles des capacités non-linéaires C_{gs} et C_{gd} dépendantes des tensions de commandes V_{gs} et V_{ds} sont extraites à l'aide des mesures de paramètres [S] impulsionnels multi-polarisations.

I.3.2.1.3. Modèle électrothermique du transistor GH25.

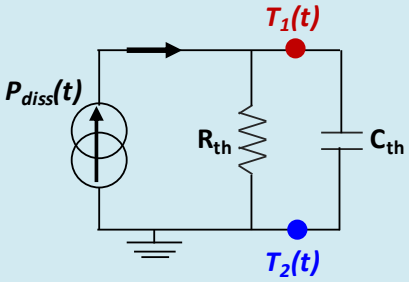
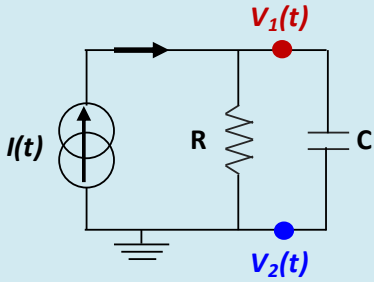
Un modèle thermique prenant en compte le comportement du transistor en fonction de la température a été intégré au modèle électrique de base. Ce modèle thermique est généralement obtenu à l'aide des mesures par spectroscopie Raman ou par mesure thermographie infrarouge couplée à des simulations thermiques 3D.

Les phénomènes thermiques sont modélisés macroscopiquement de façon simple par une source de courant représentant la puissance dissipée (P_{diss}), refermée sur un simple dipôle électrique équivalent, constitué d'un circuit $R_{th}C_{th}$ parallèle. Les tableaux I.2 et I.3 indiquent les équivalences utilisées [I.29].

Tableau I.2 : Définition de l'équivalence des grandeurs thermiques et électriques.

Grandeurs thermiques			Grandeurs électriques		
T	Température	°C	V	Tension	V
J	Flux de chaleur	W/m ²	J	Densité de courant	A/m ²
P	Chaleur	W	I	Courant	A
Q	Quantité de chaleur	Joule ou W/s	Q	Charge	Coulomb ou A/s
K	Conductivité	W/(°C.m)	σ	Conductivité	1/(Ω.m)
R_{th}	Résistance	°C/W	R	Résistance	Ω
C_{th}	Capacité	W.s/°C	C	Capacité	A.s/V ou F

Tableau I.3 : Relations entre les grandeurs physiques et représentation du circuit d'impédance thermique équivalente.

Grandeurs thermiques	Grandeurs électriques
$C_{th} = \frac{dQ}{dT}$	$C = \frac{dQ}{dV}$
$C_{th} = c \times \rho \times d \times S$	$C = \varepsilon \times \frac{S}{d}$
$R_{th} = \frac{d}{K \times S}$	$R = \frac{d}{\sigma \times S}$
$Q(t) = \int_0^t P(t) dt$	$Q(t) = \int_0^t I(t) dt$
	

$P(t) = \frac{T_1(t) - T_2(t)}{R_{th}} + C_{th} \frac{d}{dt} (T_1(t) - T_2(t))$	$I(t) = \frac{V_1(t) - V_2(t)}{R} + C \frac{d}{dt} (V_1(t) - V_2(t))$
---	---

La résistance thermique moyenne (macroscopique) du transistor (R_{th}) (figure I.7) exprimée en ($^{\circ}\text{C}/\text{W}$), permet de caractériser l'élévation de température de jonction (T_j) du composant par rapport à la température de socle (T_{ref}) lorsque le composant est soumis à une excitation électrique.

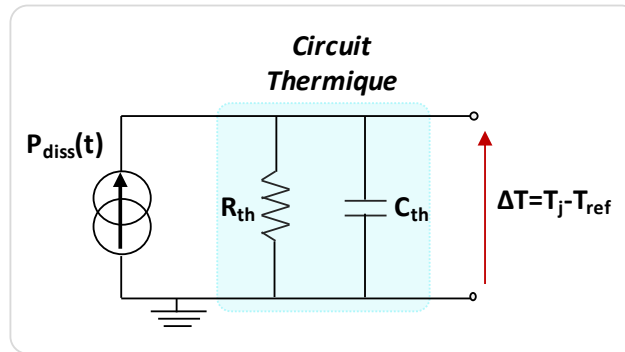


Figure I.7 : Circuit thermique intégré au modèle électrique du transistor.

La puissance mise en jeu est représentée par une source de courant équivalent. L'élévation de la température moyenne de jonction (ΔT) en régime établi est calculée par l'équation suivante :

$$\Delta T = T_j - T_{ref} = R_{th} \times \overline{P_{diss}(t)} \quad (I.5)$$

Avec : $\overline{P_{diss}(t)}$: puissance dissipée moyenne par le transistor par effet joule (chaleur) sur une période $[t_0, t_1]$. Elle se calcule comme étant la différence entre les puissances moyennes consommées par le transistor et celles fournies par celui-ci et délivrées à la résistance de fermeture externe sur la même période $[t_0, t_1]$, telle que :

$$\overline{P_{diss}(t)} = \frac{1}{t_1 - t_0} \int_{t_0}^{t_1} P(t) dt \quad (I.6)$$

$$\begin{aligned} P_{diss}(t) &= P_e(t) - P_s(t) \\ &= v_{gs}(t) \times i_{gs}(t) + v_{ds}(t) \times i_{ds}(t) \end{aligned} \quad (I.7)$$

Avec :

- $P_e(t)$ est somme des puissances (des alimentations et RF) entrantes.
- $P_s(t)$ est la somme des puissances sortantes (RF).

T_j : température de jonction symbolisée par une tension.

T_{ref} : température de socle symbolisée par une tension.

R_{th} : résistance thermique symbolisée par une résistance électrique.

Les travaux de thèse de G. Mougnot [I.19] et de M. Avcu [I.31] détaillent les effets dispersifs dans les transistors HEMT GaN et en particulier les effets thermiques et les modèles associés.

Note : les transistors utilisés contiennent une couche de passivation SiN qui permet de réduire les effets de piège de surface (*Gate-Lag*) [I.32]. Ils incluent aussi la technologie « *Field Plate* » [I.33] qui permet d'augmenter les tensions de claquage en diminuant l'amplitude maximum du champ électrique dans la zone d'accès grille-drain, de façon significative et réduit ainsi les effets des pièges de surface et de buffer à fort champ électrique. Ces deux technologies permettent d'obtenir des performances améliorées [I.34].

I.4. Techniques d'intégration et d'encapsulation.

Le développement des amplificateurs GaN à très forte puissance de sortie et hautement intégrés nécessite aujourd'hui :

- Des circuits d'adaptation d'entrée et de sortie hautement intégrés (de taille réduite).
- Une bonne symétrie entre les transistors d'un même étage d'amplification.
- Une bonne gestion thermique qui se traduit d'une part par une minimisation de la puissance dissipée par les transistors, et d'autre part des techniques adéquates d'évacuation de la chaleur due à l'effet de joule.
- La stabilité du circuit.

Le choix de la technique d'intégration devient un acteur important et déterminant dans les performances globales, la taille et le coût des amplificateurs de puissance GaN.

I.4.1. Solutions d'intégration.

Il existe plusieurs solutions principales d'intégration des amplificateurs de puissances GaN, chacune pouvant présenter de l'intérêt selon la fréquence et le niveau de puissance de sortie. Il s'agit de :

- La solution hybride micro-ruban :

Cette technique repose sur l'utilisation d'un circuit imprimé (PCB : Printed Circuit Board) composé de lignes micro-ruban et de composants passifs discrets montés en surface (CMS). Ces éléments constituent alors les réseaux d'adaptation d'entrée et de sortie associé à un ou plusieurs transistors GaN avec ou sans circuits de préadaptation, encapsulés dans des boîtiers.

La réalisation hybride présente l'avantage d'offrir un compromis raisonnable, aux basses fréquences, entre les performances électriques, le coût de fabrication du circuit et la possibilité de réaliser des réglages post-fabrication. Néanmoins, la solution hybride souffre d'un très grand handicap qui est la taille relativement grande de l'amplificateur réalisé.

- La solution MMIC :

Cette solution s'est imposée pour la conception d'amplificateurs de puissance comme un grand pas en avant vers une très forte intégration associée à de bonnes performances électriques. Les coûts très élevés des MMIC GaN et les cycles de fabrication très longs restent ses deux principaux inconvénients.

Depuis quelques années, UMS a initié une nouvelle technique appropriée pour les fonctions à fortes densités de puissance bénéficiant des avantages de la technique dite multi-puces d'une part et de celle de la technique MMIC d'autre part. Cette technique est appelée « Quasi-MMIC » [I.35]. Elle est fondée sur l'association de circuits d'adaptation d'entrée et de sortie de tailles réduites, réalisés sur une technologie AsGa passive appelée « ULRC » et d'une ou plusieurs barrettes de puissance GaN constituées d'un ou de plusieurs transistors.

Cette solution permet de s'affranchir intégralement des inconvénients de la technologie GaN MMIC tout en conservant ses avantages. Elle conduit à une forte intégration, une flexibilité de conception, une très bonne fiabilité de fabrication et une réduction des coûts et des délais de réalisation très courts. La technique « Quasi-MMIC » reste cependant limitée en termes de montée en fréquence (jusqu'en bande X) et présente quelques sensibilités aux procédés d'assemblage.

La figure I.8 représente une comparaison qualitative entre les trois solutions : hybride, MMIC et Quasi-MMIC.

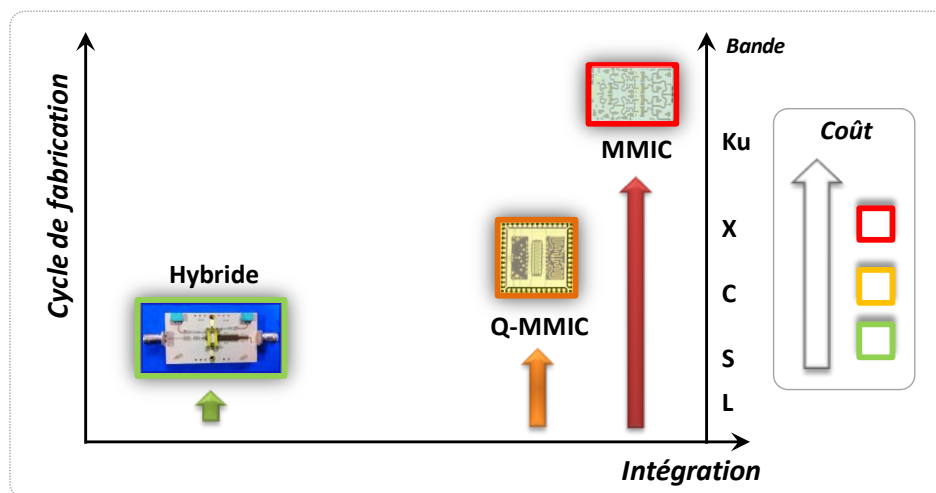


Figure I.8 : comparaison qualitative des techniques d'intégrations : Hybride, MMIC et Quasi-MMIC.

I.4.2. Procédé d'encapsulation en boîtier plastique QFN.

La solution d'encapsulation en boîtier QFN a été retenue pour la conception de notre amplificateur afin d'une part de protéger mécaniquement les circuits et d'autre part de mieux maîtriser leur comportement thermique. De plus, l'utilisation de boîtier QFN offre une grande aisance de manipulation. Les premières estimations ont montré la possibilité d'utiliser un boîtier QFN de 8x8mm à 54 plots. En première approche, cette taille de boîtier constitue un bon compromis entre différents paramètres :

- Surface d'intégration disponible pour les puces,
- Compatibilité des moyens de test RF,
- Fiabilité thermomécanique du boîtier,
- Coût et reproductibilité,
- Résistance thermique,
- Multitude des plots offrant un degré de liberté pour les câblages.

Le processus d'encapsulation des différentes puces à l'intérieur du boîtier QFN ainsi que le report de celui-ci sur un circuit imprimé (PCB) permettant de réaliser des tests en connexion SMA est illustré sur la figure I.9 :

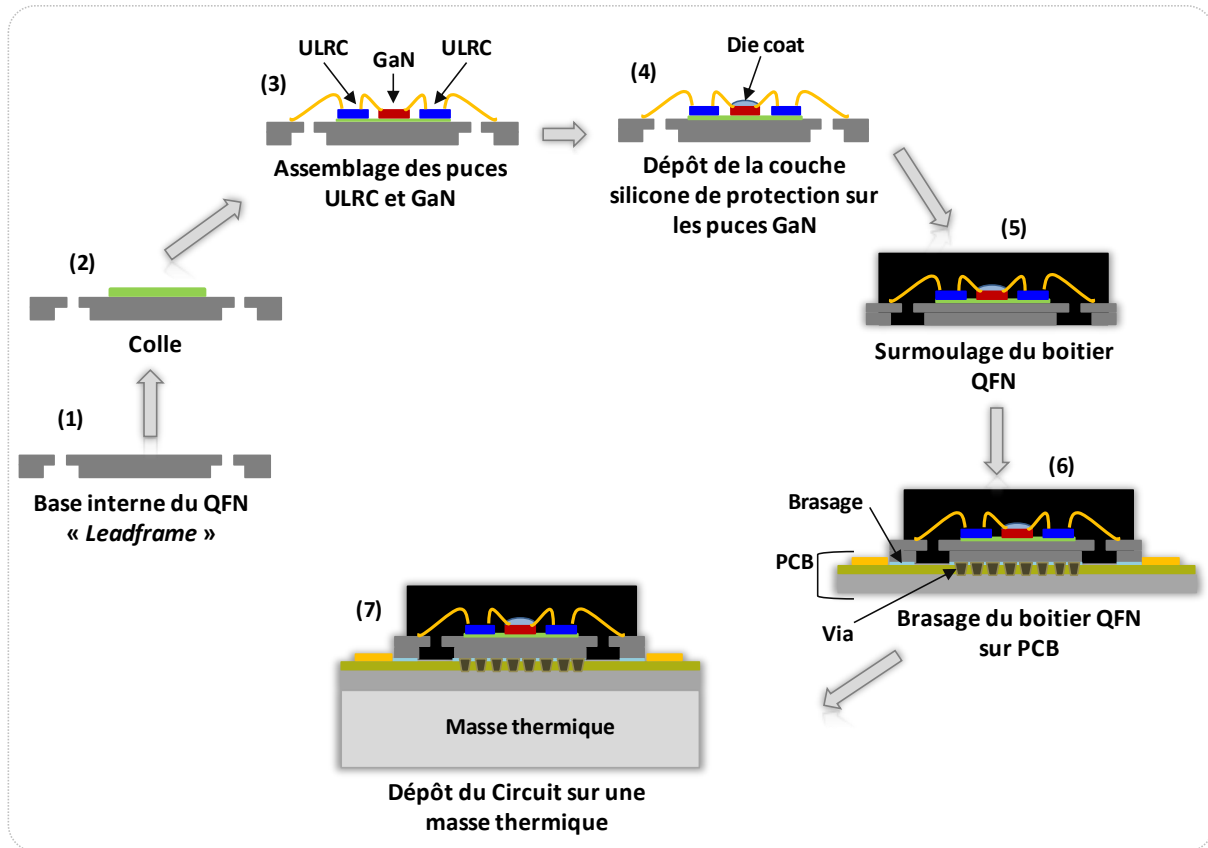


Figure I.9 : Processus d'assemblage des puces GaN et ULRC dans un boîtier plastique QFN [I.36].

I.4.2.1. Choix de la base interne du boîtier (leadframe).

Le choix de la géométrie et de la taille de la base interne du boîtier doit prendre en compte les facteurs suivants :

- La dissipation thermique :
Une grande surface de la base interne permet de favoriser l'étalement thermique en dessous des puces GaN et ULRC vers le PCB.
- Fiabilité du composant :
Pour assurer une bonne fiabilité du circuit, il est vivement recommandé de diminuer la taille du boîtier plastique, ce qui à son tour permet de réduire le risque de délamination sur les différentes interfaces des matériaux (base interne du boîtier, colle, puce, plastique). En effet, plus la base interne du QFN sera large, plus les contraintes thermomécaniques internes au boîtier seront importantes (dilatation relative entre les différents matériaux).
- Report du boîtier sur un PCB thermique :
Outre le risque de délamination à l'intérieur du boîtier, les contraintes mécaniques auront un impact sur la planéité de la base interne du boîtier et la fiabilité du report de

ce dernier sur le PCB. En effet, le brasage d'un grand boîtier sur un PCB sera d'autant plus difficile si sa base n'est pas plane.

I.4.2.2. Câblage des puces.

Les puces sont reliées entre elles et aux accès du boîtier plastique QFN grâce à des fils d'interconnexion de forme cylindrique d'un diamètre de $50\mu\text{m}$, appelées fils de « *Bonding* ». Ces fils de câblage sont fabriqués en or avec une conductivité électrique de l'ordre de $59.6 \times 10^6 \text{S.m}^{-1}$ associée à une conductivité thermique de l'ordre de 317W/(m.K) . Bien que l'or ne soit pas le meilleur matériau conducteur (comparé à l'Argent ou le Cuivre), il se distingue par son inoxydabilité.

La figure I.10 illustre un exemple de profil de câblage entre une puce ULRC et une puce GaN.

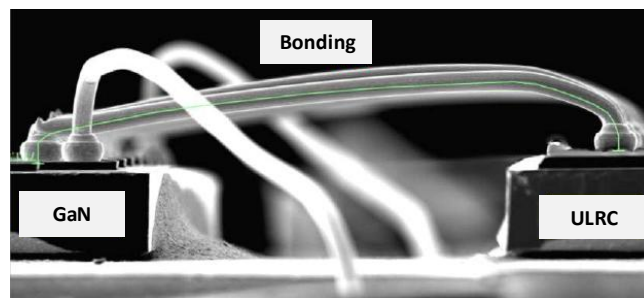


Figure I.10 : Exemple de câblage des puces GaN/ULRC.

Les différents câblages réalisés à l'intérieur du boîtier sont soumis à des règles liées aux contraintes mécaniques telles que : le profil du « *Bonding* », sa longueur minimale et ses points de départ et d'atterrissage.

I.4.2.3. Procédé de protection de la puce dans un boîtier plastique QFN.

Un procédé de protection de la puce appelé « *die-coating* » est introduit afin d'assurer une protection mécanique des ponts à air des transistors sur une puce durant l'opération de surmoulage plastique du boîtier QFN. Cette couche de protection fortement chargée en silicone a également pour rôle de protéger le circuit contre l'humidité en évitant en particulier la formation de microcavité d'air au-dessus de la puce. Elle réalise aussi une fonction d'intermédiaire thermique entre le transistor et le plastique.

L'approche de « *die-coating* » bénéficie d'un grand avantage qui est la simplicité de mise en œuvre car ce procédé d'encapsulation ne nécessite aucune modification de la technologie GaN.

I.4.2.4. Collage des puces GaN et ULRC à l'intérieur du boîtier plastique QFN.

Les colles utilisées sont des colles frittées ou pseudo frittées à l'état de l'art qui ont une structure compacte après polymérisation (figure I.11) avec une excellente conductivité thermique ($>40 \text{W/m.K}$). Ainsi, elles peuvent, entre autres, accroître la dissipation thermique à travers la base du boîtier.

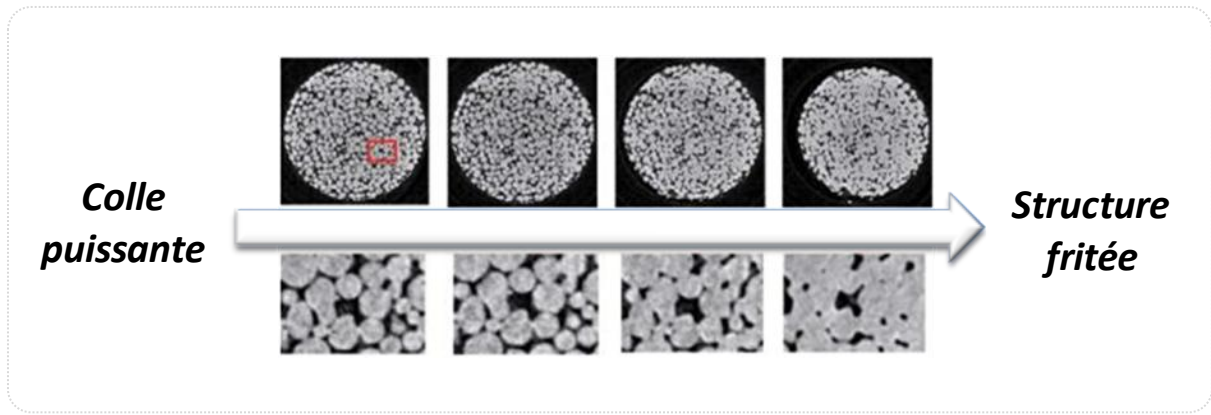


Figure I.11 : Différents types de colle.

Ce type de colle est thermiquement bien meilleur qu'une colle classique et même parfois qu'une brasure.

La figure I.12 présente les coupes d'un boîtier issu de l'évaluation des colles thermiques. Il est composé d'une barrette de puissance GaN GH25 constituée de 8 transistors de 8 doigts de grille chacun de 400µm de largeur et recouverte de « die-coat ».

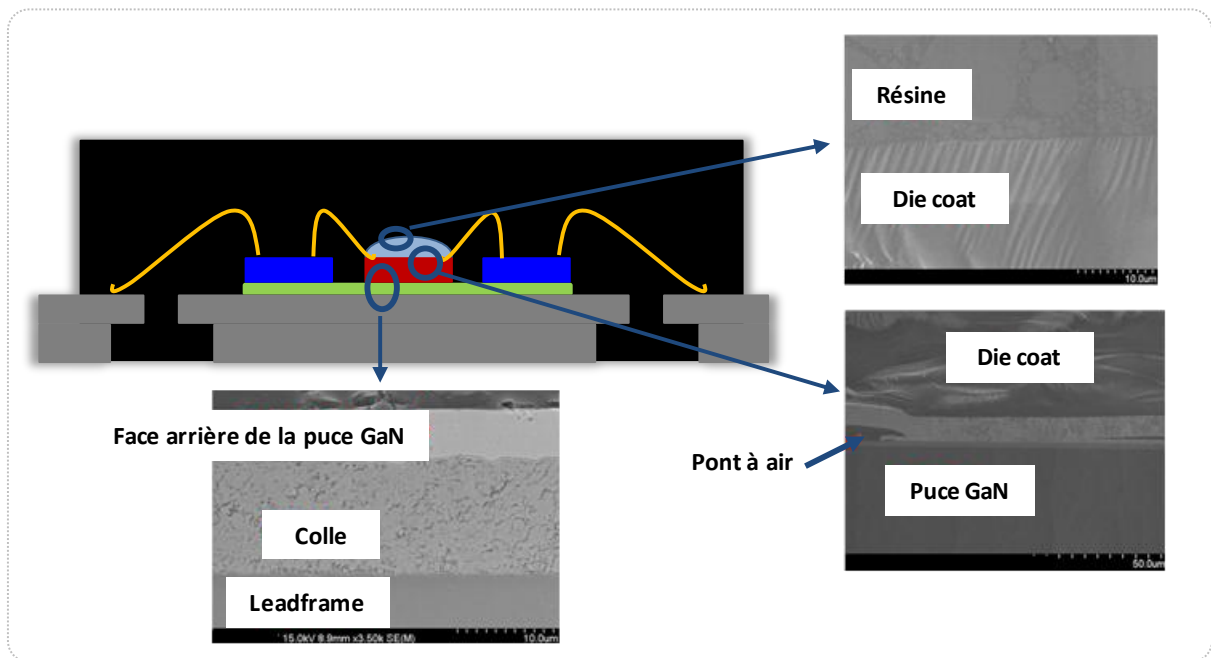


Figure I.12 : Exemple des coupes de vue microscopiques d'un boîtier (issu d'un test d'évaluation des colles thermiques).

Une bonne adhérence des différents matériaux (plastique, « die-coat », puce GaN, colle et de la base interne du boîtier) est à souligner.

I.5. Conclusion.

Ce chapitre a présenté les critères de choix des technologies utilisées pour les conceptions d'amplificateurs qui suivent dans les prochains chapitres.

La technologie HEMT GaN montre aujourd'hui des potentialités bien supérieures aux technologies à base d'AsGa en termes de performances en puissance et de facilité d'adaptation. Bien que cette technologie soit quasi-omniprésente sur une grande échelle de

l'industrie actuelle, celle-ci souffre encore de quelques effets limitatifs liés aux pièges et à la thermique. Ceci constitue de nos jours un axe d'investigation et de développement dans de nombreux laboratoires de recherche et d'industrie.

La structure des transistors HEMT AlGaIn/GaN sur SiC de 0.25 μ m de longueur de grille de fortes puissances ainsi que le modèle utilisé par la suite pour la conception des amplificateurs de puissance ont été exposés. Cette technologie a été qualifiée sur un substrat SiC de 4" de diamètre.

Enfin, les techniques d'intégrations et de réduction de coût et de cycle de fabrication fondés sur l'utilisation de la technologie Quasi-MMIC (initiée par UMS il y a quelques années) encapsulés dans des boîtiers plastiques QFN ont été détaillées.

Références bibliographiques Chapitre I

- [I.1] O. Ambacher, "Growth and applications of Group III-nitrides," *Journal of physics*, vol.31, no. 20, 1998, p.2653-2710.
- [I.2] R. J. Trew, "Wide bandgap semiconductor transistors for microwave power amplifiers," in *IEEE Microwave Magazine*, vol. 1, no. 1, pp. 46-54, Mar 2000.
- [I.3] A. Burk et al., "SiC and GaN wide bandgap semiconductor materials and devices", *Solid-State Electronics*, 1999, vol. 43, no. 8, pp. 1459-1464.
- [I.4] D. R. Lide, "Handbook of Chemistry and Physics," (87 ed.), Boca Raton, FL: CRC Press, 2007, pp. 4–61.
- [I.5] M. Gabrysch, "Electronic Properties Diamond," Uppsala, Institutionen för teknikvetenskaper, Uppsala University, Electricity, 2008. , 56 p, Sweden.
- [I.6] J. Isberg et al., "High carrier mobility in single-crystal plasma-deposited diamond." *Science*, American Association for Advancement of Science, vol. 297, no. 5587), 2002, p.1670-1672.
- [I.7] C. F. Campbell, K. Tran, M. Y. Kao and S. Nayak, "A K-Band 5W Doherty Amplifier MMIC Utilizing 0.15 μ m GaN on SiC HEMT Technology," 2012 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), La Jolla, CA, 2012, pp. 1-4.
- [I.8] C. Lagarde, "Modélisation de transistor de puissance et technologie GaN : conception d'un amplificateur de type Doherty pour les émetteurs à puissance adaptative," Thèse de doctorat, XLIM, Université de Limoges, 2006.
- [I.9] A. Grebennikov, "RF and microwave transmitter design," Wiley series in microwave and optical engineering, 2011, John Wiley & Sons, Inc., Hoboken, New Jersey.
- [I.10] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart and Nguyen T. Linh, "Two dimensionnal electron gas MESFET structure" *Electronics Letters*, Vol. 16, No 17, Aout 1980.
- [I.11] T. Mimura, S. Hiyamizu, T. Fujii and K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n-AlxGa1-xAs heterojunctions," *Japanese Journal of Applied Physics*, vol.19, no 5, Mai 1980, pages L225 à L227.
- [I.12] N. Ejebjörk and al., "Optimization of SiC MESFET for high power and high frequency applications," *Materials Science Forum*, 2011, vol. 679 – 680, no. 2010, pp.629-632.
- [I.13] M. Wosko, B. Paszkiewicz, and R. Paszkiewicz, "Influence on the AlN spacer on the properties of AlGaIn/AlN/GaN heterostructures," *optica applicata*, vol. XLIII, no.11, pp. 61–66, 2013.
- [I.14] H. Teisseyre, "Temperature dependence of the energy gap in GaN bulk single crystals and epitaxial layer," *Journal of Applied Physics*, vol.76, no. 4, 1994.
- [I.15] M. S. Shur, "GaN and Related Materials for High Power Applications," in *Symposium Proceedings of Material Research Society, Symposium E, Fall 1997*.
- [I.16] T. Iwai et al., "Thermal and source bumps utilizing carbon nanotubes for flip-chip high power amplifiers," *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, Washington, DC, 2005, pp. 257-260.

- [I.17] A. Vapaille, "Physique des dispositifs à semi-conducteurs," tome 1 : électronique du silicium homogène, Paris: Masson, 1970.
- [I.18] O. Jardel, "Contribution à la Modélisation des Transistors pour l'Amplification de Puissance aux Fréquences Microondes. Développement d'un nouveau Modèle Electrothermique de HEMT AlGaIn/GaN incluant les Effets de Pièges", Thèse de doctorat, Université de Limoges, Avril 2008.
- [I.19] G. Mouginot, "Potentialités des transistors HEMTs AlGaIn-GaN pour l'amplification large bande de fréquence; effets limitatifs et modélisation". Thèse de doctorat, Université de Limoges, 2011.
- [I.20] W. Mickanin, P. Canfield, E. Finchem, and B. Odekirk, "Frequency-dependent transients in GaAs MESFETs: Process, geometry, and material effects," in GaAs IC Symp. Dig., 1989, pp. 211–214.
- [I.21] R. Yeats, D. C. D'Avanzo, K. Chan, N. Fernandez, T. W. Taylor and C. Vogel, "Gate slow transients in GaAs MESFETs-causes, cures, and impact on circuits," in IEDM Tech. Dig., 1988, pp.842–845.
- [I.22] J. C. Huang, G. S. Jackson, S. Shanfield, A. Saledas and C. Weichert, "An AlGaAs/InGaAs pseudomorphic high electron mobility transistor with improved breakdown voltage for X and Ku-band power applications," IEEE Trans. Microwave Theory Techniques, vol. 41, pp. 752–759, 1993.
- [I.23] C. Potier, "Caractérisation et modélisation des pièges par des mesures de dispersion basse-fréquence dans les technologies HEMT InAlN/GaN pour l'amplification de puissance en gamme millimétrique," Thèse de doctorat, Université de Limoges, 2016.
- [I.24] J.P. Ibbetson and Al., "Polarisation effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistor", Appl. Phys. Lett. 77,250, 2000.
- [I.25] D. Floriot, V. Brunel, M. Camiade, C. Chang, B. Lambert, Z. Ouarch-Provost, H. Blanck, J. Grunenputt, M. Hosch, H. Jung, J. Splettstober and U. Meiners, "GH25-10: New qualified power GaN HEMT process from technology to product overview," 2014 9th European Microwave Integrated Circuit Conference, Rome, 2014, pp. 225-228.
- [I.26] C. A. Liechti, "Microwave field-effect transistors–1976," vol. 24, no. 6, pp. 279–300, 1976.
- [I.27] S. M. Sze and K. N. Kwok, "Physics of semiconductor devices," J. W. . sons, Ed. Wiley-Interscience, 2007.
- [I.28] J. R. Shealy, J. Wang and R. Brown, "Methodology for Small-signal Model Extraction of AlGaIn HEMTs," IEEE Trans. Electron Devices July 2008, 55 (7), 1603–1613.
- [I.29] C. Teyssandier, "Contribution à la modélisation non-linéaire de transistors de puissance HEMT Pseudomorphiques sur substrat AsGa : Analyse des effets parasites", Ph.D. dissertation, Université de Limoges, France, 2008.
- [I.30] Y. Tajima, M. A. Waltham, B. Wrona and K. Mishima, "GaAs FET large-signal model and its application to circuit designs," Electron Devices, IEEE Transactions on (Volume:28 , Issue: 2), feb 1981.

- [I.31] M. Avcu, "Caractérisation des effets parasites dans les HEMTs GaN : développement d'un banc de mesure 3ω ," Thèse de doctorat, Université de Limoges, 2014.
- [I.32] W. S. Tan, P. A. Houston, P.J. Parbrook, G. Hill, and R. J. Airey, "Comparison of Different Surface Passivation Dielectrics in AlGaIn/GaN HFETs," IEEE Trans. On Electron Devices, vol. 48, pp. 560-566, 2001.
- [I.33] R. Thompson, T. Prunty, and J. R. Shealy, "Performance of the AlGaIn HEMT Structure with a Gate Extension," in IEEE Trans. On Electron Devices, vol. 51, no. 2, Feb. 2004.
- [I.34] S. Karmalkar and U. K. Mishra, "Very High Voltage AlGaIn/GaN High Electron Mobility Transistor using a Field-Plate deposited on a Stepped Insulator," Solid State Electron., vol. 45, pp.1645–1652, 2001.
- [I.35] C. Berrached, D. Bouw, M. Camiade and D. Barataud, "Wideband high efficiency high power GaN amplifiers using MIC and Quasi-MMIC technologies," 2013 European Microwave Conference, Nuremberg, 2013, pp. 1395-1398.
- [I.36] P. Alléaume and al., « GaN : A strategic move from hybride devices to plastic packages », IMS2015, Phoenix Convention Center Phoenix, AZ, USA, 2015

Chapitre II. Amplificateurs de puissance microonde et quelques caractéristiques associées

II.1. Introduction.

L'objectif de cette thèse est de concevoir un amplificateur de puissance de type Doherty qui, lorsqu'il est excité par un signal micro-onde modulé, puisse atteindre des performances en rendement supérieures à celles obtenues pour des amplificateurs de puissance conventionnels fonctionnant en classe AB/B.

Les quatre premiers paragraphes de ce chapitre rappellent tout d'abord les définitions générales des différentes grandeurs caractéristiques d'un amplificateur de puissance. Puis ils définissent les principales caractéristiques des signaux auxquels un amplificateur peut être soumis dans une transmission de données pour des applications de radiocommunications.

Pour assurer l'intégrité des signaux après leur amplification, il faut que l'amplificateur apporte le moins de distorsion possible. Le cinquième paragraphe de ce chapitre présente donc les principaux types de distorsions engendrées par les composants actifs non linéaires. Ces distorsions sont définies dans les cahiers des charges selon des critères bien spécifiques.

II.2. Contexte.

Les caractéristiques des amplificateurs qui ont principalement été utilisées au cours de ce travail de thèse sont décrites dans ce chapitre. Une description plus exhaustive et une analyse plus détaillée de ces caractéristiques sont données dans [II.1-II.3].

Les amplificateurs de puissance sont conçus à partir de composants actifs non linéaires qui distordent les signaux modulés qui les excitent. Cette distorsion s'apprécie d'abord par une observation « naturelle » dans le domaine temporel des signaux présents à l'entrée et à la sortie de ces composants actifs. Toutefois, aux hyperfréquences, cette observation temporelle complète est très complexe à mettre en œuvre, que ce soit à travers une étude expérimentale ou une étude plus théorique issue de simulations. La transformée de Fourier permet alors d'associer à ces signaux d'entrée et de sortie une autre représentation, complémentaire, dans le domaine fréquentiel. L'utilisation conjointe de ces deux descriptions, temporelle et fréquentielle, permet en outre une caractérisation intégrale des dispositifs hyperfréquences tel que les amplificateurs de puissance et facilite leur étude et leur optimisation pour des besoins spécifiques.

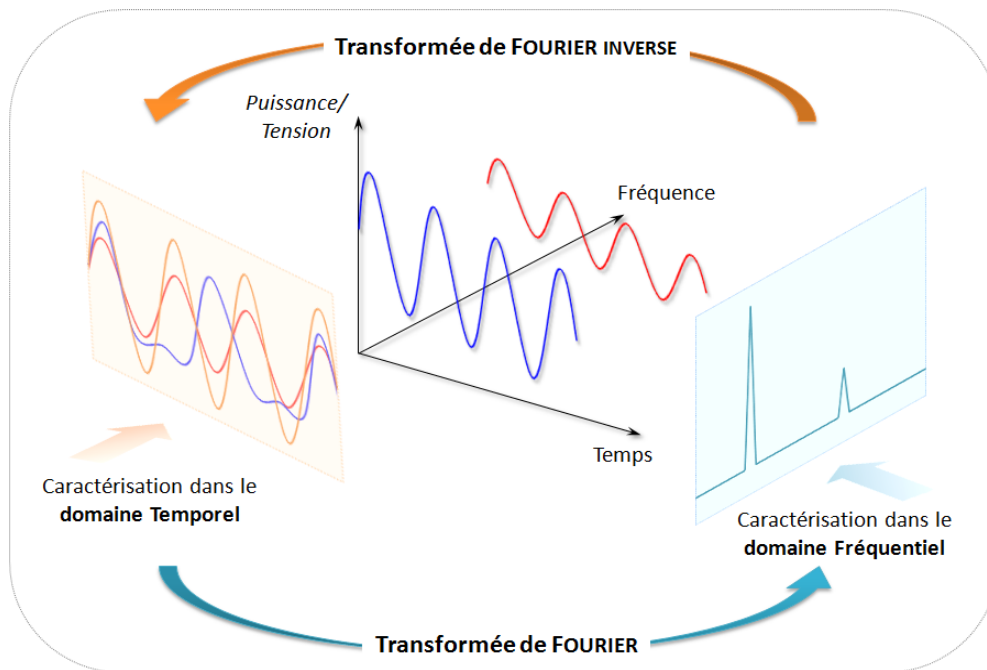


Figure II.1 : Rappel des représentations temporelle/fréquentielle d'un signal.

Il convient de bien différencier l'information de la transmission. L'information est représentative de faits, de données. Elle est appelée communément signal en bande de base. Ces données peuvent être d'origine analogique ou numérique. Une information analogique peut être numérisée et inversement, des données numériques peuvent également être transformées en signaux analogiques.

La transmission de l'information peut être analogique comme numérique. Dans le domaine des hyperfréquences, seule la transmission analogique reste fondamentalement adoptée. Le signal en bande de base, analogique ou numérique, n'est donc transmis qu'après une transposition de fréquence (modulation).

Le type de modulation dépend intégralement de la nature du signal utile. Les systèmes de télécommunications récents utilisent des signaux numériques en bande de base. La transposition de fréquence d'un signal numérique peut être réalisée grâce à une modulation numérique suivie d'une conversion numérique analogique (CNA) du signal transposé aux fréquences RF. Cela implique une fréquence d'horloge du CNA très élevée (supérieure au moins à deux fois la fréquence RF). Les CNA fonctionnant à ces fréquences possèdent actuellement des dynamiques très faibles. Les modulations purement numériques bien qu'elles apportent une amélioration significative du rapport signal à bruit par rapport aux techniques de modulation analogiques restent toutefois limitées à une transposition en fréquence vers des fréquences intermédiaires avant une conversion de fréquence vers les fréquences RF réalisées par mélange analogique. Les signaux numériques en bande de base peuvent aussi constituer les signaux des enveloppes complexes analogiques (IQ) qui sont ensuite utilisés dans les modulations analogiques.

II.3. Génération de signaux modulés analogiques à partir de signaux numériques en bande de base.

L'information numérique à transmettre est constituée d'une suite binaire aléatoire pour laquelle l'intervalle de temps séparant deux bits successifs, appelé période binaire, est noté T_b (exprimé en seconde). Le débit binaire D_b quantifie la quantité d'information émise par la

source par unité de temps, exprimée en bit.s^{-1} . La mise en forme du signal de modulation numérique en bande de base consiste à associer à la suite de N bits issue de la source, un signal $\tilde{a}(t)$ qui est l'enveloppe complexe de modulation. Les variations temporelles de l'enveloppe de modulation sont caractérisées par un alphabet constitué de M symboles et un débit symbole noté D_s .

Le flot binaire à transmettre subit différents traitements numériques (codage de source, codage canal, codage bits vers symbole, filtrage en demi-Nyquist) [II.4-II.6] pour générer au final deux signaux réels analogiques passe-bas en bande de base, $I(t)$, appelé signal en phase, et $Q(t)$, appelé signal en quadrature. Ces paires de vecteurs indépendants constituant les symboles à transmettre, comme illustré sur la figure II.2, sont orthogonaux et n'interfèrent pas entre eux. La représentation des signaux numériques IQ dans le plan cartésien pour toutes les valeurs temporelles l'enveloppe constitue la « trajectoire » de l'enveloppe. La représentation des signaux numériques IQ dans le plan cartésien pour des valeurs particulières de l'enveloppe correspondant à des « instants de décision » constitue le diagramme vectoriel de la modulation sous forme de « constellation ».

$$\tilde{a}(t) = A(t)e^{j\varphi(t)} = I(t) + jQ(t) \quad (\text{II.1})$$

Avec
$$I(t) = A(t) \cos(\varphi t) \quad \& \quad Q(t) = A(t) \sin(\varphi t) \quad (\text{II.2})$$

$A(t)$: modulation d'amplitude.
 $\varphi(t)$: modulation de phase.

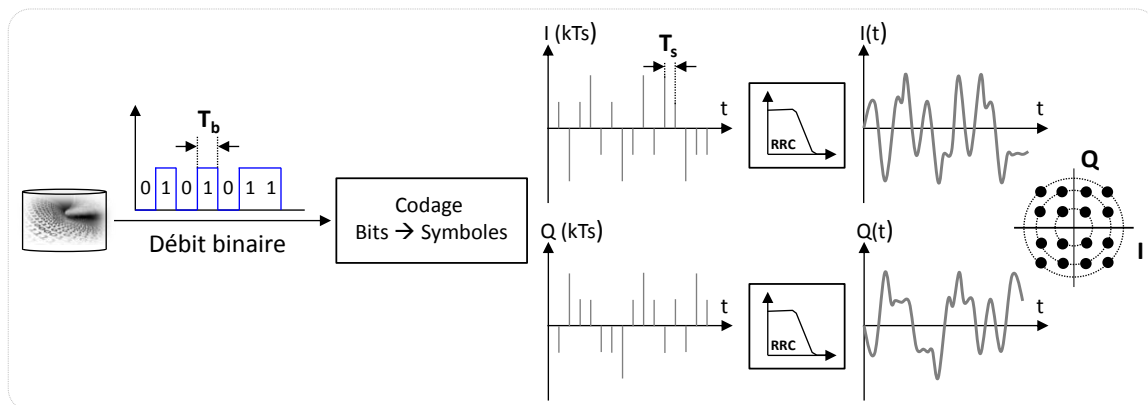


Figure II.2 : Mise en forme des signaux IQ passe bas avec filtrage demi-Nyquist RRC (root-raised cosine).

La largeur de la bande passante d'enveloppe et la dynamique de puissance de la partie analogique d'un système de communication sont principalement conditionnées par la cadence et la forme temporelle des signaux IQ.

II.4. Les principaux types de modulation numérique.

La modulation a pour objectif d'adapter le signal à émettre en bande de base au canal de transmission, en optimisant la ressource spectrale offerte par l'augmentation du débit binaire D_b et en associant plusieurs bits dans un symbole.

Le débit symbole D_s , fixé par l'espacement temporel entre deux symboles consécutifs émis T_s (Période symbole), représente la vitesse de modulation qui définit quant à elle le nombre de changements d'états par seconde d'un ou de plusieurs paramètres modifiés

simultanément. Dans le cas d'une transmission d'un alphabet de taille M , le nombre de bits véhiculés par un symbole dit M -aire et la vitesse de modulation sont donnés par :

$$n = \log_2(M) \quad (II.3)$$

$$D_s[\text{baud}] = \frac{1}{T_s} = \frac{1}{T_b \log_2(M)} \quad (II.4)$$

L'efficacité spectrale η de la modulation quantifie le flux binaire que la modulation est capable de transmettre dans une bande fréquentielle de 1Hz, et s'écrit :

$$\eta[\text{bit/s/Hz}] = \frac{D_b}{B} \quad (II.5)$$


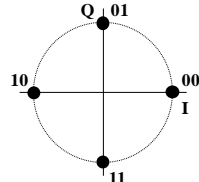
A vitesse de modulation fixe, l'efficacité spectrale est proportionnelle au nombre de bits n contenus dans un symbole.

Il existe cinq principales techniques de modulation numérique :

- a- Modulation par déplacement d'amplitude MDA (*Amplitude Shift Keying ASK*).
- b- Modulation par déplacement de phase MDP (*Phase Shift Keying PSK*).
- c- Modulation par déplacement de phase différentielle $MDPD$ (*Differential Phase Shift Keying DPSK*).
- d- Modulation par déplacement de fréquence MDF (*Frequency Shift Keying FSK*).
- e- Modulation d'amplitude de deux porteuses en quadrature MAQ (*Quadrature Amplitude Modulation QAM*).

Les modulations en quadrature, appelées aussi « modulation bidimensionnelle », représentent les schémas de modulation les plus utilisées par les systèmes de communication récents à haut débit et à forte efficacité spectrale. Le tableau II.1 décrit succinctement quelques exemples de schémas de la modulation M -QAM.

Tableau II.1 : Quelques exemples de schémas de la modulation M-QAM.

	Nombre de bit/s	Diagramme IQ	Nombre d'états	$M = 2^n$	Débit symbole [baud]	Efficacité spectrale η [bit/s/Hz]
BPSK 2-QAM	1		Amplitude : 2 Phase : 1	2	D_b	1
QPSK 4-QAM	2		Amplitude : 1 Phase : 4	4	$D_b/2$	2

8-PSK	3		Amplitude : 1 Phase : 8	8	$D_b/3$	3
16-QAM	4		Amplitude : 3 Phase : 12	16	$D_b/4$	4
32-QAM	5		Amplitude : 5 Phase : 28	32	$D_b/5$	5
64-QAM	6		Amplitude : 9 Phase : 52	64	$D_b/6$	6

II.5. Paramètres caractéristiques d'un amplificateur de puissance RF.

Un amplificateur de puissance est un quadripôle actif. Il consomme une puissance fournie par son alimentation. L'ensemble des grandeurs électriques tensions/courants schématisées sur la figure II.3 permettent de caractériser le comportement d'un amplificateur de puissance.

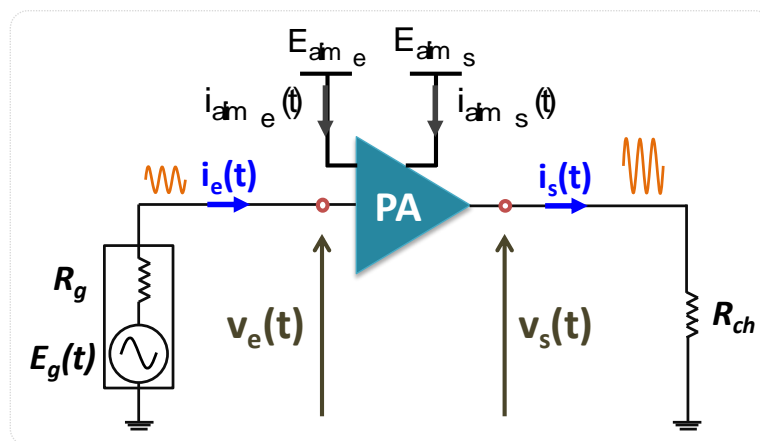


Figure II.3 : Schéma de principe des courants/ tensions d'un amplificateur de puissance.

La puissance instantanée $P_{DC}(t)$ fournie par les générateurs de tension continue (alimentations) et consommée par l'amplificateur de puissance est définie par les tensions DC représentées dans la figure II.3 par les forces électromotrices d'alimentation de sortie E_{alim_s} et de d'entrée E_{alim_e} d'une part, et par les courants instantanés des alimentations de sortie, noté $i_{alim_s}(t)$, et d'entrée noté $i_{alim_e}(t)$, d'autre part. Elle est définie par l'équation II.6 :

$$P_{DC}(t) = E_{alim_e} \times i_{alim_e}(t) + E_{alim_s} \times i_{alim_s}(t) \quad (II.6)$$

En considérant un générateur d'excitation constitué d'une force électromotrice sinusoïdale E_g de fréquence f_0 (CW) et d'une résistance interne R_g , la puissance disponible moyenne $\overline{P_{disp}(f_0)}$ de ce générateur est définie par l'équation II.7 :

$$\overline{P_{disp}(f_0)} = \frac{E_g^2(f_0)}{8 \times R_g} \quad (II.7)$$

Dans le cas de ce générateur d'excitation CW, qui est utilisé pour la conception, la puissance moyenne $\overline{P_{DC_0}}$ fournie par les alimentations et consommée par l'amplificateur de puissance s'écrit alors :

$$\overline{P_{DC_0}} = E_{alim_e} \times \overline{i_{alim_e}} + E_{alim_s} \times \overline{i_{alim_s}} \quad (II.8)$$

La puissance d'entrée moyenne $\overline{P_e(f_0)}$ du signal utile correspondant à la puissance RF absorbée par l'amplificateur est définie par l'équation II.9 :

$$\overline{P_e(f_0)} = \frac{1}{2} Re\{\tilde{V}_e(f_0) \times \tilde{I}_e^*(f_0)\} \quad (II.9)$$

La puissance moyenne utile délivrée en sortie à la charge externe de l'amplificateur (souvent égale à une résistance de 50Ω) à la fréquence f_0 , notée $\overline{P_s(f_0)}$, est définie par l'équation II.10 :

$$\overline{P_s(f_0)} = \frac{1}{2} Re\{\tilde{V}_s(f_0) \times \tilde{I}_s^*(f_0)\} \quad (II.10)$$

En ce qui concerne la puissance moyenne RF ajoutée $\overline{P_{aj}}(f_0)$, sa définition n'est pas unique et dépend du point de vue auquel on se place :

- Si l'on se place d'un point de vue purement théorique, la puissance ajoutée moyenne par un amplificateur est la différence (en watt) entre la puissance de sortie moyenne dissipée dans la charge $\overline{P_s(f_0)}$ et la puissance absorbée moyenne à l'entrée de l'amplificateur $\overline{P_e(f_0)}$:

$$\overline{P_{aj_{théorique}}(f_0)} = \overline{P_s(f_0)} - \overline{P_e(f_0)} \quad (II.11.a)$$

- Si l'on se place d'un point de vue de l'utilisateur, alors la puissance ajoutée moyenne par un amplificateur est la différence (en watt) entre la puissance de sortie moyenne dissipée dans la charge : $\overline{P_s(f_0)}$ et la puissance disponible moyenne du générateur $\overline{P_{disp}(f_0)}$.

$$\overline{P_{aj_{utilisateur}}(f_0)} = \overline{P_s(f_0)} - \overline{P_{disp}(f_0)} \quad (II.11.b)$$

La puissance dissipée moyenne dans l'amplificateur $\overline{P_{diss}}$ est la différence entre les puissances consommées (DC et RF) et la puissance fournie (dissipée dans la résistance de charge) par l'amplificateur :

$$\overline{P_{diss}} = \overline{P_{DC_0}} + \overline{P_e(f_0)} - \sum_n \overline{P_s(f_n)} \quad (II.12)$$

Le gain en puissance $G_p(f_0)$ est défini par le rapport entre la puissance de sortie moyenne fournie par l'amplificateur, $\overline{P_s(f_0)}$, et la puissance moyenne absorbée à l'entrée de l'amplificateur $\overline{P_e(f_0)}$ exprimée en Watt.

$$G_p(f_0) = \frac{\overline{P_s(f_0)}}{\overline{P_e(f_0)}} \quad (II.13)$$

Le gain d'insertion $G_i(f_0)$ est défini par le rapport de la puissance de sortie moyenne, $\overline{P_s(f_0)}$ délivrée à la charge de fermeture (communément résistive et égale à 50Ω) et la puissance disponible moyenne du générateur, $\overline{P_{disp}(f_0)}$. Ces puissances sont exprimées en Watt dans la définition suivante.

$$G_i(f_0) = \frac{\overline{P_s(f_0)}}{\overline{P_{disp}(f_0)}} \quad (II.14)$$

Usuellement, les puissances sont exprimées en *dBm* et le gain en *dB*.

$$P[dBm] = 30 + 10 \times \log_{10}(P[W]) \quad (II.15)$$

$$G_{p,i}(f_0)[dB] = 10 \times \log_{10}(G_{p,i}(f_0)) \quad (II.16.a)$$

Ou bien :

$$G_{p,i}(f_0)[dB] = \overline{P_s(f_0)}[dBm] - \overline{P_{e,i}(f_0)}[dBm] \quad (II.16.b)$$

Le rendement de drain noté, η_d ou *DE*, est le rapport entre la puissance de sortie moyenne $\overline{P_s(f_0)}$ et la puissance consommée moyenne $\overline{P_{DC_0}}$:

$$\eta_d[\%] = \frac{\overline{P_s(f_0)}}{\overline{P_{DC_0}}} \times 100 \quad (II.17)$$

Le rendement de conversion appelé généralement rendement en puissance ajoutée, η_{aj} ou *PAE*, est le rapport entre la puissance ajoutée et la puissance moyenne délivrée par les alimentations $\overline{P_{DC_0}}$. Il est défini par l'équation II.18 :

$$\eta_{aj}[\%] = \frac{\overline{P_{ajutilisateur}(f_0)}}{\overline{P_{DC_0}}} \times 100 \quad (II.18)$$

II.6. Caractéristiques des signaux RF utilisés en télécommunication.

Les systèmes de télécommunications récents utilisent des techniques de modulation complexes à forte efficacité spectrale, caractérisées par la génération de signaux à enveloppe variable. Néanmoins, une caractérisation préliminaire des performances quasi-statiques à enveloppe constante (CW : *Continuous Wave*) aux fréquences fondamentales des porteuses demeure une première étape nécessaire et incontournable, aussi bien en phase de dimensionnement et de conception, qu'en phase de test en utilisant des signaux sinusoïdaux CW à amplitude et phase constantes.

II.6.1. Puissance portée par un signal à enveloppe constante (signal CW).

Dans le cas d'un signal CW de période T_0 , la tension instantanée $e(t)$ aux bornes d'un dipôle linéaire et le courant instantané $i(t)$ le traversant s'écrivent :

$$e(t) = E_{max} \times \cos(\omega_0 t) \quad (II.19)$$

$$i(t) = I_{max} \times \cos(\omega_0 t - \theta) \quad (II.20)$$

La puissance électrique instantanée, notée $P_{inst}(t)$, se définit comme le produit de la tension par le courant à un instant t :

$$P_{inst}(t) = e(t) \times i(t) \quad (II.21)$$

La puissance moyenne $\overline{P_{MOY}}$ sur une période T multiple de T_0 , est définie par l'équation II.22 :

$$\begin{aligned} \overline{P_{MOY}} &= \frac{1}{nT_0} \times \int_0^{nT_0} P_{int}(t) dt \\ &= \frac{E_{max} I_{max}}{2} \times \cos(\theta) \\ &= E_{eff} \times I_{eff} \times \cos(\theta) \end{aligned} \quad (II.22)$$

Avec $E_{eff} = \frac{E_{max}}{\sqrt{2}}$ et $I_{eff} = \frac{I_{max}}{\sqrt{2}}$ (II.23)

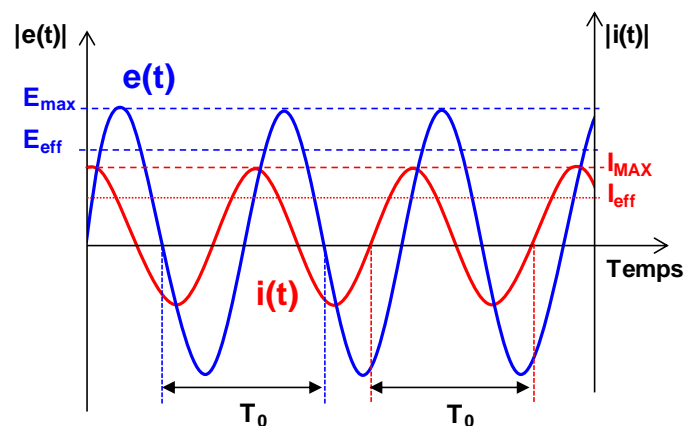


Figure II.4 : Formes temporelles courant/tension d'un signal CW.

II.6.2. Puissance portée par des signaux modulés complexes à enveloppe variable.

La compréhension des notions fondamentales concernant les signaux à enveloppe variable et les mécanismes de modulation s'avère indispensable pour l'appréhension des contraintes liées à l'amplification de puissance. Elle permet, entre autres, d'aiguiller finement les modalités de dimensionnement et de conception des cellules amplificatrices.

Pour illustrer ces différentes notions, la figure II.5 présente un signal modulé à Double Bande Latérale à Porteuse Conservée (DBLPC) $e(t)$, de période de porteuse T_0 et de période de modulation T , telles que :

$$e(t) = A(t) \times \cos(\omega_0 t + \theta(t)) \quad (II.24)$$

Avec :
$$A(t) = A \times (1 + k \cos(\Omega t)) \quad (II.25)$$

$$T_0 = \frac{1}{2\pi\omega_0} \quad \text{et} \quad T = \frac{1}{2\pi\Omega} \quad (II.26)$$

$A(t)$ étant la variation d'amplitude instantanée, $\theta(t)$ la variation de phase instantanée et ω_0 représente la pulsation centrale de la bande passante du signal modulé qui est aussi la pulsation de porteuse.

Le signal d'enveloppe complexe associé $\tilde{e}(t)$, appelé également signal équivalent bande de base ou encore, signal équivalent passe bas, se décompose en deux signaux réels aux variations lentes comparées à celles de la porteuse, tel que :

$$\tilde{e}(t) = A(t) \times e^{j\theta(t)} = A(t) \cos[\theta(t)] + jA(t) \sin[\theta(t)] \quad (II.27)$$

D'où l'association de la notion de signaux en quadrature IQ :

$$\tilde{e}(t) = I_v(t) + jQ_v(t) \quad (II.28)$$

Avec :
$$I_v(t) = A(t) \times \cos[\theta(t)] \quad \text{et} \quad Q_v(t) = A(t) \times \sin[\theta(t)] \quad (II.29)$$

Ainsi :

$$e(t) = \Re\{\tilde{e}(t) \times e^{j\omega_0 t}\} = I_v(t) \cos(\omega_0 t) - Q_v(t) \sin(\omega_0 t) \quad (II.30)$$

$\tilde{e}(t)$ représente l'enveloppe complexe associée au signal réel $e(t)$ à bande limitée.

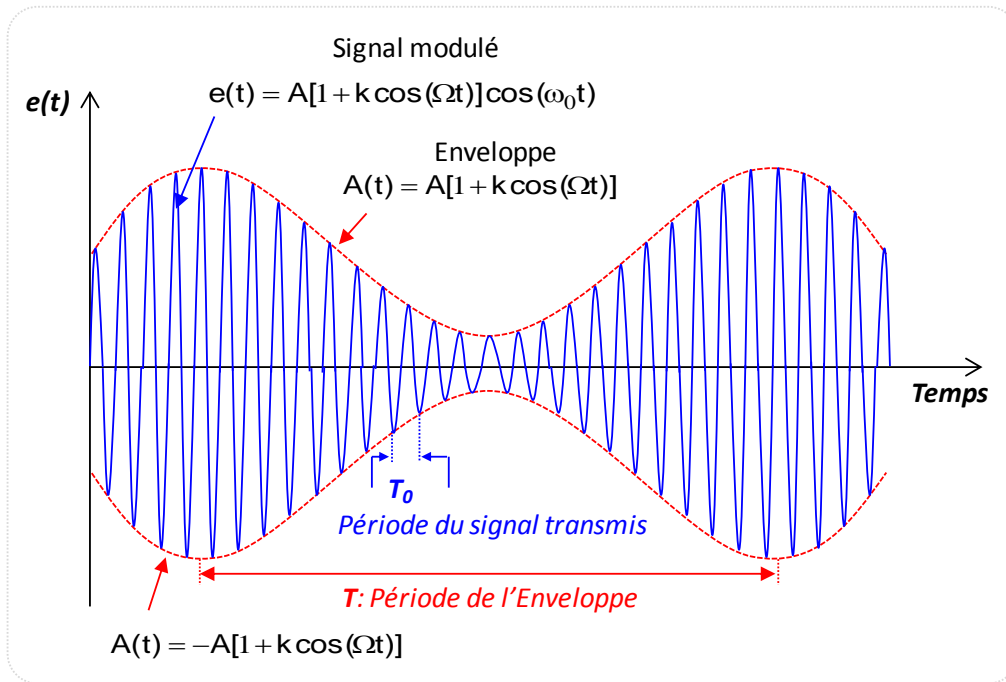


Figure II.5 : Allure d'un signal modulé AM (DBLPC) à enveloppe variable.

Si l'on considère que $e(t)$ est une tension aux bornes d'un dipôle linéaire, le courant $i(t)$ qui le traverse s'écrit alors :

$$i(t) = B(t) \times \cos(\omega_0 t + \varphi(t)) \quad (II.31)$$

$B(t)$ est la variation d'amplitude du courant instantané. $\varphi(t)$ est la variation de phase du courant instantané. Le signal d'enveloppe complexe associé $\tilde{i}(t)$ s'écrit :

$$\tilde{i}(t) = B(t) \times e^{j\varphi(t)} = B(t) \cos[\varphi(t)] + jB(t) \sin[\varphi(t)] \quad (II.32)$$

D'où l'association de la notion de signaux en quadrature IQ :

$$\tilde{i}(t) = I_i(t) + jQ_i(t) \quad (II.33)$$

Avec : $I_i(t) = B(t) \times \cos[\varphi(t)]$ et $Q_i(t) = B(t) \times \sin[\varphi(t)]$ (II.34)

Ainsi :

$$i(t) = \Re\{\tilde{i}(t) \times e^{j\omega_0 t}\} = I_i(t) \cos(\omega_0 t) - Q_i(t) \sin(\omega_0 t) \quad (II.35)$$

$\tilde{i}(t)$ représente l'enveloppe complexe associée au signal réel $i(t)$ à bande limitée.

La puissance instantanée absorbée par le dipôle est alors égale à :

$$P(t) = e(t) \times i(t) \quad (II.36)$$

La puissance moyenne absorbée par le dipôle $\overline{P_{MOY}}$ est définie comme la puissance moyenne du signal modulé sur le long terme, c'est-à-dire, sur une durée d'intégration supérieure ou égale à l'inverse de la fréquence maximale de l'enveloppe (durée supérieure à nT avec $n \geq 1$) :

$$\overline{P_{MOY}} = \frac{1}{T} \int_0^T P(t) dt \quad (II.37)$$

Un signal à enveloppe variable présente parfois un *PAPR* [II.1] élevé à cause d'un seul et unique pic à intensité élevée, alors que globalement, la dynamique moyenne du signal n'est pas importante. Le paramètre *PAPR* accorde toute l'importance au point le plus élevé et n'est pas toujours représentatif de la distribution du signal.

La fonction de densité de probabilité d'un signal modulé *PDF* (*Power Density Function*), est une caractéristique fondamentale de description des signaux à enveloppe variable. La *PDF* peut être définie simplement comme le pourcentage de temps durant lequel l'amplitude de la puissance instantanée atteint un niveau donné. La figure II.6, schématise graphiquement quelques représentations de *PDF* de quelques signaux connus.

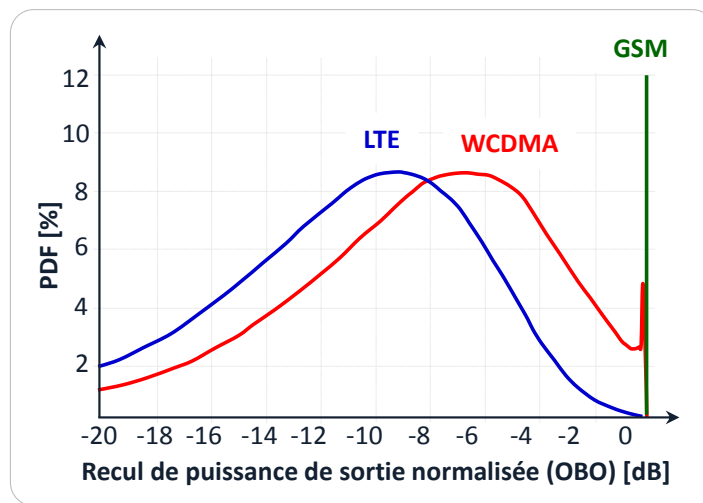


Figure II.6 : Représentation de la densité de probabilité des signaux GSM, WCDMA et LTE.

Le facteur de crête *PAPR* et la fonction *PDF* font partie des paramètres clés qui servent au dimensionnement des amplificateurs de puissance. Ces deux grandeurs dépendent intégralement de l'application visée et le type de modulation qui y est associée. Elles conditionnent l'ensemble des performances attendues.

Dans le cas d'un signal RF modulé en amplitude et en phase qui s'écrit sous la forme suivante :

$$e_{RF}(t) = A(t) \times \cos(\omega_0 t + \varphi(t)) \quad (II.38)$$

D'où :

$$e_{RF}(t) = \frac{\tilde{E}(t)e^{j\omega_0 t} + \tilde{E}^*(t)e^{-j\omega_0 t}}{2} \quad (II.39)$$

Avec :

$$\tilde{E}(t) = A(t)e^{j\varphi(t)} \quad (II.40)$$

La puissance RF absorbée dans une résistance linéaire R_{CH} indépendante de la fréquence, normalisée à 1Ω par souci de simplification, s'écrit comme suit :

$$P_{RF}(t) = \frac{[e_{RF}(t)]^2}{R_{CH}} = [e_{RF}(t)]^2 \quad (II.41)$$

En remplaçant l'équation (II.39) dans l'équation (II.41), il devient :

$$P_{RF}(t) = \left[\frac{\tilde{E}(t)e^{j\omega_0 t} + \tilde{E}^*(t)e^{-j\omega_0 t}}{2} \right]^2 \quad (II.42)$$

D'où :

$$P_{RF}(t) = \frac{1}{4} \left(\tilde{E}^2(t)e^{j2\omega_0 t} + 2\tilde{E}(t)\tilde{E}^*(t)e^{j\omega_0 t}e^{-j\omega_0 t} + \tilde{E}^{*2}(t)e^{-j2\omega_0 t} \right) \quad (II.43)$$

Donc :

$$P_{RF}(t) = \frac{|\tilde{E}(t)|^2}{2} + \frac{1}{4} \underbrace{\left(\tilde{E}^2(t)e^{j2\omega_0 t} + \tilde{E}^{*2}(t)e^{-j2\omega_0 t} \right)}_{\text{Termes RF aux fréquences harmoniques}} \quad (II.44)$$

Termes RF aux fréquences harmoniques

La puissance moyenne RF normalisée s'écrit :

$$\overline{P_{RF}(t)} = \frac{1}{T} \int_0^T P_{RF}(t) dt \quad (II.45)$$

Avec : $T \sim \infty$

Alors :

$$\overline{P_{RF}(t)} = \frac{1}{T} \int_0^T [e_{RF}(t)]^2 dt \quad (II.46)$$

Avec : $T \gg T_{env} \gg T_0$

Donc :

$$\overline{P_{RF}(t)} = \frac{1}{T} \int_0^T \left[\frac{|\tilde{E}(t)|^2}{2} + \frac{1}{4} \underbrace{\left(\tilde{E}^2(t)e^{j2\omega_0 t} + \tilde{E}^{*2}(t)e^{-j2\omega_0 t} \right)}_{\text{Termes RF aux fréquences harmoniques}} \right] dt \quad (II.47)$$

Termes RF aux fréquences harmoniques

dont la valeur moyenne est nulle sur T

La puissance moyenne RF normalisée devient alors :

$$\overline{P_{RF}(t)} = \frac{1}{T} \int_0^T \left[\frac{|\tilde{E}(t)|^2}{2} \right] dt \quad (II.48)$$

D'où :

$$\overline{P_{RF}(t)} = \frac{1}{T} \int_0^T P_{env}(t) dt \quad (II.49)$$

$P_{env}(t)$ est la puissance d'enveloppe instantanée normalisée sur 1Ω , tel que :

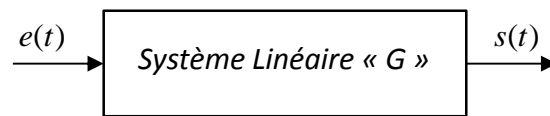
$$P_{env} = \frac{[A(t)]^2}{2} \quad (II.50)$$

Remarquons au passage que l'on retrouve bien que la puissance $P_{env}(t)$ est indépendante du message porté par la modulation de phase $\varphi(t)$ dans une résistance indépendante de la fréquence.

II.7. Distorsions introduites par les éléments actifs.

II.7.1. Définition d'un système linéaire.

Mathématiquement un système est linéaire s'il obéit au principe de superposition. De ce fait, sa réponse à plusieurs sources indépendantes est égale à la somme des réponses obtenues en considérant séparément chacune de ces sources.



$$e(t) = k_1 x_1(t) + k_2 x_2(t) \quad (II.51)$$

$$s(t) = F_L[e(t)] = k_1 x_1(t) + k_2 x_2(t) \quad (II.52)$$

D'un point de vue physique, un système est linéaire s'il est décrit par des équations différentielles linéaires d'ordre fini à coefficients constants comme celles données dans l'équation (II.53) :

$$a_0 s(u) + \sum_{k=1}^n a_k \frac{d^k s(u)}{du^k} = b_0 e(u) + \sum_{k=1}^m b_k \frac{d^k e(u)}{du^k} \quad (II.53)$$

Un système non-linéaire, est un système qui n'est pas linéaire. D'un point de vue physique, cela signifie qu'il ne peut pas être décrit par des équations différentielles linéaires.

Un système quelconque, qu'il soit linéaire ou non, peut être variant ou invariant en fonction du temps. Un système est invariant, ou stationnaire, si et seulement si une translation temporelle sur l'entrée entraîne la même translation sur la sortie.

$$\forall e \ \& \ \forall \tau : s(t - \tau) = F[e(t - \tau)] \quad (II.54)$$

Dans le cas d'un amplificateur de puissance, la manifestation des non linéarités se traduit principalement en mode quasi-statique par une compression ou une expansion du gain en puissance.

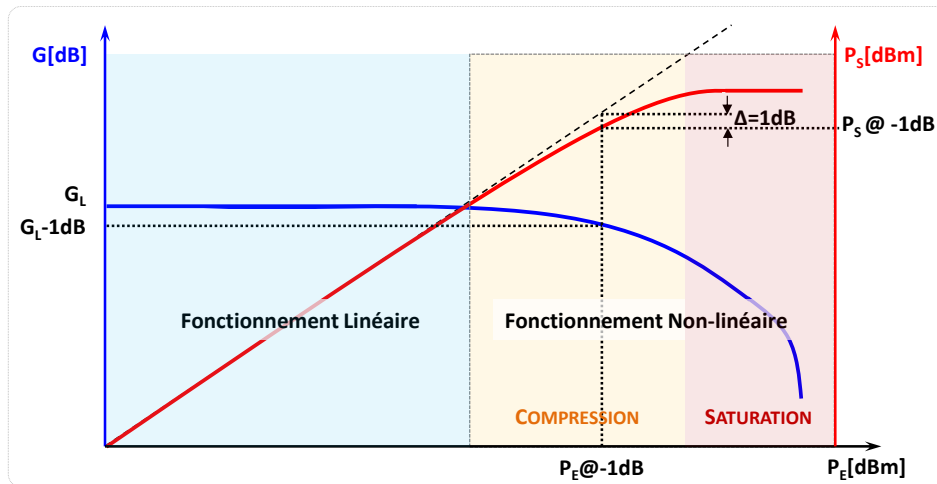


Figure II.7 : Puissance de sortie [dBm] et gain [dB] tracés en fonction de la puissance d'entrée [dBm].

II.7.2. Distorsion linéaire.

Un dispositif linéaire dont la bande passante possède une valeur finie est à l'origine de distorsions du signal, liées aux variations d'amplitude et de phase en fonction de la fréquence. Ces distorsions sont appelées distorsions linéaires. Elles sont associées à la réponse en fréquence complexe du dispositif linéaire.

$$H(j\omega) = |H(j\omega)| \times e^{[j\phi(\omega)]} \quad (II.55)$$

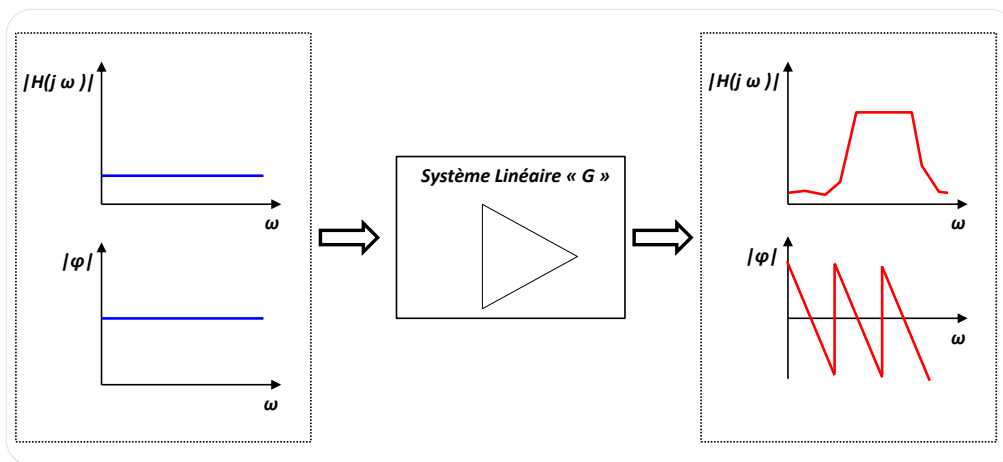


Figure II.8 : Distorsion linéaire causée par un amplificateur de puissance à bande passante limitée.

Dans les systèmes actifs d'autres types de distorsions peuvent aussi apparaître s'ils comportent des éléments non-linéaires.

II.7.3. Distorsion non-linéaire.

La caractéristique entrée/sortie d'un amplificateur de puissance présente fréquemment des distorsions dues aux non-linéarités des composants actifs qui le constituent, notamment lorsque la puissance d'entrée augmente.

Aux non-linéarités des sources de courant convectives du transistor, viennent s'ajouter les non-linéarités capacitives des éléments réactifs C_{gs} , C_{ds} et C_{gd} affectant ainsi les performances des transistors à effet de champ.

La non-linéarité d'un transistor se traduit, directement à son accès drain-source, et par effet Miller à son accès grille-source, par la génération de fréquences harmoniques dans le cas d'un signal d'excitation mono-porteuse et de fréquences d'intermodulation dans le cas d'un signal d'entrée bi-porteuse ou multi-porteuses.

II.7.3.1. Génération des fréquences harmoniques et d'intermodulation.

Dans la suite de ce paragraphe et pour plus de clarté et de simplicité, l'amplificateur est considéré comme parfaitement unilatéral et sans effet mémoire. Sa réponse $S_{NL}(t)$ à un signal d'entrée $v(t)$ en fonction du temps, peut s'écrire sous la forme polynomiale suivante :

$$S_{NL}(t) = a_0 + a_1v(t) + a_2v^2(t) + a_3v^3(t) + a_4v^4(t) + a_5v^5(t) \dots \quad (\text{II.56})$$

Il est alors possible de calculer la sortie $S_{NL}(t)$ de l'amplificateur lorsqu'un signal $v(t)$ de type bi-porteuse (correspondant à une modulation d'amplitude double bande latérale à porteuse supprimée) est envoyé à son entrée. Ce signal d'entrée est défini selon l'équation (II.57) : $v(t)$ est composé de deux signaux à des fréquences différentes f_1 et f_2 . Les signaux ont des amplitudes égales ($A_1=A_2=A$) et des phases de référence identiquement nulles.

$$v(t) = A \times \cos(\omega_1 t) + A \times \cos(\omega_2 t) \quad (\text{II.57})$$

En remplaçant $v(t)$ par sa valeur dans l'équation (II.56), la réponse non linéaire $S_{NL}(t)$ prend la forme d'une somme de terme en cosinus tel que :

$$\begin{aligned} S_{NL}(t) = & B_0 + B_1\{\cos(\omega_1)t + \cos(\omega_2)t\} + \dots \\ & + B_N\{\cos(N\omega_1)t + \cos(N\omega_2)t\} + \dots \\ & + B_{n,m}\{\cos(n\omega_1+m\omega_2)t + \cos(n\omega_2+m\omega_1)t\} \end{aligned} \quad (\text{II.58})$$

$(N, m, n) \in \mathbb{N}$

Chaque terme $B_{n,m}$ correspond à une fréquence harmonique ou d'intermodulation générée dans le transistor.

B_0	B_1	B_2	B_3
$a_0 + a_2A^2 + \frac{9}{4}a_4A^4$	$a_1A + \frac{9}{4}a_3A^3 + \frac{25}{4}a_5A^5$	$\frac{1}{2}a_2A^2 + 2a_4A^4$	$\frac{1}{4}a_3A^3 + \frac{25}{16}a_5A^5$

$B_{1,-1}$	$B_{2,-1}$	$B_{3,-2}$	$B_{1,1}$	$B_{2,1}$
$a_2A^2 + 3a_4A^4$	$\frac{3}{4}a_3A^3 + \frac{25}{8}a_5A^5$	$\frac{5}{8}a_5A^5$	a_2A^2	$\frac{3}{4}a_3A^3$

Les amplitudes de fréquences générées par le transistor aux fréquences harmoniques et aux fréquences d'intermodulations peuvent être aisément déterminées. Il est donc alors possible d'analyser l'influence des coefficients $B_{n,m}$ pour chaque fréquence. Les composantes aux fréquences fondamentales sont pondérées par le terme linéaire a_1 et le terme cubique a_3 , qui, quant à lui, désigne le sens de contribution des non-linéarités. Dans le cas où a_3 est positif, les non-linéarités augmenteront la puissance de sortie à la fréquence fondamentale. Dans le cas contraire, où le terme a_3 est négatif, la puissance de sortie sera réduite par les non-linéarités.

La distorsion harmonique d'un amplificateur correspond à la génération de nouvelles composantes à des fréquences multiples de la fréquence fondamentale. La fréquence de la $N^{\text{ième}}$ composante correspond à N -fois la fréquence fondamentale. Ces composantes harmoniques peuvent perturber le fonctionnement d'un système, et requièrent une attention particulière et un traitement soigneux et rigoureux lorsqu'elles occupent la bande spectrale utile d'un système de réception. C'est le cas par exemple des amplificateurs dont les bandes passantes sont supérieures ou égale à une octave [II.7].

Les composantes fréquentielles associées aux produits d'intermodulation et désignées par les termes $B_{2,-1}$, $B_{3,-2}$, $B_{1,1}$ et $B_{2,1}$, correspondent à la génération de composantes fréquentielles autour des fréquences fondamentales et harmoniques. Un produit d'intermodulation est décrit par son ordre mathématique. Les raies d'intermodulation générées autour des fréquences utiles sont beaucoup plus gênantes que celles générées autour des autres fréquences.

Les composantes harmoniques et les fréquences d'intermodulations qui les entourent peuvent être atténuées par filtrage si celles-ci se situent en dehors de la bande utile.

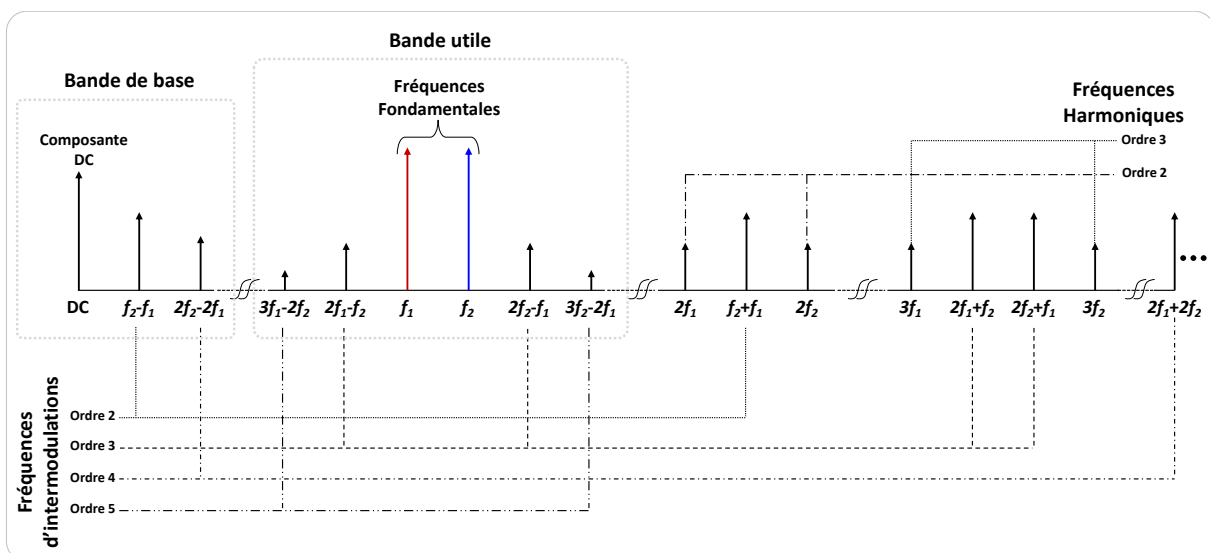


Figure II.9 : Génération des fréquences harmoniques et des fréquences de produits d'intermodulation.

Les termes B_1 , $B_{2,-1}$, $B_{3,-2}$ permettent de connaître la pente théorique des courbes des puissances de sorties en fonction des puissances d'entrées associées aux différentes fréquences. En limitant l'écriture des amplitudes de sorties aux ordres les plus faibles, B_1 devient proportionnel à l'amplitude de la composante fondamentale A , $B_{2,-1}$ à A_3 et $B_{3,-2}$ à A_5 .

Dans une représentation logarithmique des puissances de sorties en fonction des puissances d'entrées, une augmentation de 1dB de la puissance d'entrée se traduit par une augmentation de 3dB de la puissance des produits d'intermodulation du troisième ordre et de 5dB de la puissance des produits d'intermodulation du cinquième ordre comme indiqué sur la figure II.10.

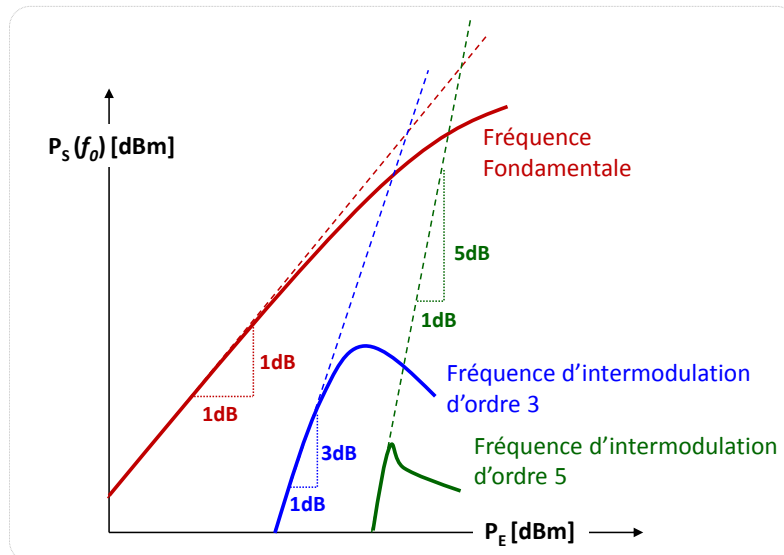


Figure II.10 : Puissances de sortie [dBm] à la fréquence fondamentale et aux fréquences d'intermodulation d'ordre 3 et d'ordre 5 tracées en fonction de la puissance d'entrée [dBm].

II.7.3.2. Effets mémoire non-linéaire.

L'effet mémoire non-linéaire est un effet dispersif complexe qui prend naissance au niveau des différents éléments réactifs qui constituent l'amplificateur. Il s'ajoute aux non-linéarités statiques du transistor. La réponse instantanée de l'amplificateur dépend alors de son état précédent (d/dt ou $\int dt$). Les réponses des éléments constituant l'amplificateur dépendent conjointement de leurs états d'excitation instantanés, de leurs états précédents et des interactions entre les différents éléments. Bien que ces effets soient liés et difficilement séparables, ils peuvent néanmoins être classés en deux catégories, selon la constante de temps qui les régit :

- Les effets mémoire basses fréquences ayant des constantes de temps longues (correspondant donc à des fréquences basses : mémoire BF),
- Les effets mémoire hautes fréquences avec des constantes de temps courtes (correspondant donc à des fréquences hautes : mémoire HF).

II.7.3.2.1. Effet mémoire basse fréquence (BF).

Appelés aussi « effets de mémoire non linéaire à long terme », régis par des constantes de temps longues comparées à la période de la porteuse, ils sont liés aux variations lentes de l'enveloppe. Les distorsions dues à la mémoire BF se classent principalement en deux catégories :

a- La mémoire BF propre à la technologie telle que :

- Les effets thermiques liés à la température intrinsèque du semi-conducteur en fonction des variations de la puissance instantanée du signal d'excitation [II.8],
- Les effets électrothermiques liés aux couplages existant dans le transistor entre sa thermique et ses caractéristiques électriques,
- Les effets de pièges imputables aux défauts et imperfections présents dans le semi-conducteur et à ses différentes interfaces [II.9]. Ces derniers effets sont significatifs en technologie GaN.

- b- La mémoire BF électrique conditionnée par la conception des circuits de polarisation et les soins apportés notamment aux réseaux de découplage basse fréquence [II.10] comportant des capacités de l'ordre du microfarad et ayant des constantes de temps de décharge de l'ordre de la milliseconde. Ces effets seront minimisés en présentant en bande de base une faible impédance constante purement résistive sur une large bande passante. Les impédances de fermetures des circuits de polarisation sont alors constantes et n'induisent aucune modulation du point de fonctionnement du transistor.

Ces effets de mémoire BF impactent les performances globales de l'amplificateur sous condition d'excitation par des signaux modulés [II.11-II.12].

II.7.3.2.2. Effet mémoire haute fréquence (HF).

Les effets de mémoire haute fréquence HF ou mémoire à court terme, associés à des constantes de temps courtes de l'ordre de la période de la porteuse, trouvent leurs origines dans les circuits d'adaptation HF et dans la structure physique du transistor, dont les constantes de charge et de décharge des capacités de jonctions équivalentes sont courtes. Les effets mémoire HF sont directement liés aux caractéristiques du signal appliqué. Ils s'avèrent plus pénalisant dans le cas des amplificateurs très large bande dans lesquels la fréquence harmonique 2 d'une fréquence fondamentale peut correspondre à une fréquence fondamentale dans la bande utile [II.13]. Ces effets sont principalement induits par :

- Les interactions entre les composants actifs et les réseaux d'adaptation,
- Les contre-réactions permettant de maintenir un gain constant sur une bande de fréquence élevée,
- Les interconnexions inter-étages.

Ils peuvent être mis en évidence par l'utilisation d'un signal CW dont l'amplitude et la fréquence varient.

II.8. Conclusion.

Ce chapitre a permis de donner les principales caractéristiques appliquées au fonctionnement d'un transistor en vue de la conception d'un amplificateur de puissance optimisé de type Doherty qui constitue l'objectif final de ce travail de thèse. Il a aussi présenté les principaux phénomènes de distorsion apportés par les non linéarités des transistors à partir desquels les amplificateurs de puissance sont conçus. Les principales définitions, qui seront utilisées par la suite, des performances en puissance et en linéarité des amplificateurs ont été données pour plusieurs types de signaux d'excitation des amplificateurs de puissance (CW et signaux modulés).

Références bibliographiques Chapitre II

- [II. 1] Cripps, S.C., "RF Power Amplifiers for Wireless Communications," Artech House, second edition, 2006.
- [II. 2] R. Boite et J. Neyrinck, "Analyse des circuits linéaires," édité par Gordon & Breach, Paris, 1971.
- [II. 3] A. Pacaud, "Electronique radiofréquence," édition Ellipses, 07/2007.
- [II. 4] Gérard Battail, "Théorie de l'information: application aux techniques de communication," Collection pédagogique de télécommunication, ISSN 1152-2348, Masson, 1997.
- [II. 5] M. Joindot et A. Glavieux, "Communications numériques: Introduction," Paris, Elsevier, Masson.
- [II. 6] J. G. Rémy, C. Siben, et J. Cueugnet, "Systèmes de radiocommunications avec les mobiles," Eyrolles, 1988.
- [II. 7] C. Berrached, "Optimisation du rendement en puissance ajoutée des amplificateurs de puissance large bande à base de Nitrure de Gallium," Thèse de doctorat, XLIM, université de Limoges, N° 2010, Déc.2013.
- [II. 8] P. Aaen, J. A. Plá, and J. Wood, "Modeling and Characterization of RF and Microwave Power FETs," Cambridge University Press, 2007.
- [II. 9] S. C. Binari, P. B. Klein and T. E. Kazior, "Trapping effects in GaN and SiC microwave FETs," in Proceedings of the IEEE, vol. 90, no. 6, pp. 1048-1058, Jun 2002.
- [II. 10] H. Ladhani, M. Bokatius, and B. Noori, "Bias circuit design - Best practices. Fixture and device guidelines for improved VBW," Freescale - RF division, 2010.
- [II. 11] R. Quéré et al., "Low frequency parasitic effects in RF transistors and their impact on power amplifier performances," WAMICON 2012 IEEE Wireless & Microwave Technology Conference, Cocoa Beach, FL, 2012, pp. 1-5.
- [II. 12] C. Quindroit, "Modélisation comportementale et conception de linéariseurs d'amplificateurs de puissance par technique de prédistorsion numérique," Thesis, Université de Limoges, 2010.
- [II. 13] J. Vuolevi, "Analysis, Measurement and Cancellation of the Bandwidth and Amplitude Dependence of Intermodulation Distortion in RF Power Amplifiers," Oulun, Yliopisto, 2001.

Chapitre III. Principe de fonctionnement des amplificateurs DOHERTY

III.1. Introduction.

La technique d'amplification Doherty à haut rendement doit son nom à l'ingénieur William H. Doherty qui l'inventa en 1936 au cours de travaux développés au sein des laboratoires Bell Telephone Laboratories (appelé Bell Labs) sur les émetteurs radio à très forte puissance et utilisés pour la radiodiffusion terrestre et transocéanique et la téléphonie.

Le démonstrateur développé par W. H. Doherty et publié par Bell Telephone Laboratories [III.1] permet d'améliorer le rendement électrique des amplificateurs de puissance excités par des signaux modulés en amplitude. Ce procédé a été intégré et utilisé pour la première fois dans un émetteur délivrant une puissance de 50kW que la compagnie Western Electric avait conçu pour la station radio WHAS à Louisville, Kentucky. En 1940, Western Electric procéda à l'inauguration de la commercialisation des stations radio intégrant des amplificateurs Doherty à haut rendement. En 1950, plusieurs autres stations ont été déployées principalement en Europe et au Moyen-Orient [III.1].

La technique Doherty a été reprise et appliquée pour la première fois par F. H. Raab [III.2] sur des amplificateurs à l'état solide.

A la fin des années 1990, l'adoption de la radiotéléphonie cellulaire numérique a été l'occasion de porter une attention nouvelle aux amplificateurs Doherty pour améliorer les rendements électriques des stations de base.

Ce chapitre est consacré à la description détaillée du principe fondamental de fonctionnement d'un amplificateur Doherty. Un paragraphe est ensuite dédié à la linéarité de ce type d'amplificateur avant d'aborder les différentes structures courantes ou améliorées qui ont pu être publiées. Un dernier paragraphe permet de dresser l'état de l'art de ces amplificateurs Doherty en se focalisant sur ceux qui ont été développés en bande C.

III.2. Principe fondamental de fonctionnement d'un amplificateur Doherty.

L'architecture Doherty consiste en une association astucieuse de deux étages amplificateurs de puissance, en vue d'améliorer le rendement global et de maximiser le rendement en puissance ajoutée sur une large gamme de niveaux de puissance incidente, et donc, de puissance de sortie [III.3].

Cette technique repose sur le principe de la modulation active de l'impédance de charge de l'un des étages constituant l'amplificateur, par l'autre étage.

Le schéma de principe est illustré sur la figure III.1. Deux étages amplificateurs, montés en parallèle, sont combinés en sortie à l'aide d'un **circuit passif et, réciproque**. L'un des étages se nomme : l'étage principal (*carrier* ou *main*) et l'autre est appelé étage auxiliaire (*peaking*).

Considérons d'abord la modulation de la charge de l'étage principal par l'étage auxiliaire. Le transistor auxiliaire se présente à son accès de sortie sous la forme d'une source de courant équivalente dont l'amplitude dépend du signal d'entrée. Cette source de courant de l'étage auxiliaire fait donc fonction de source de charge active (Load-Pull actif) vis-à-vis de l'étage principal. Elle module donc l'impédance de charge présentée au transistor principal en fonction de l'amplitude du signal incident de l'étage auxiliaire.

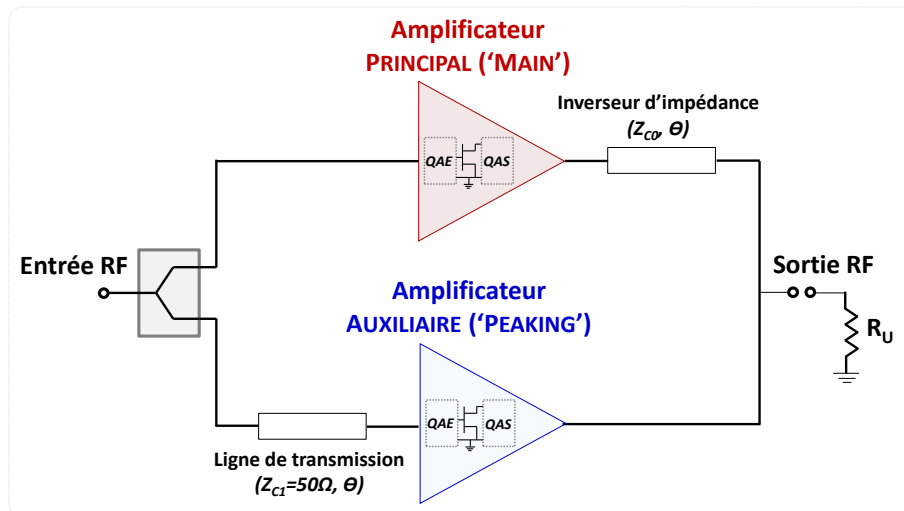


Figure III.1 : Configuration de principe d'un amplificateur Doherty.

Dans cette architecture, un inverseur d'impédance, en général réalisé par une ligne « quart d'onde », est placé en sortie de l'étage principal et le relie à la charge d'utilisation externe R_U de l'amplificateur. Cet inverseur d'impédance, assure le bon sens de variation d'impédance de charge vue par le transistor principal en fonction du niveau du signal incident de l'amplificateur.

Il importe de remarquer que les accès de sortie des deux étages, principal et auxiliaire, étant reliés par un circuit passif et réciproque, il existe réciproquement un effet de modulation de charge de l'étage auxiliaire par l'étage principal.

Mais la variation de l'impédance de charge vue par chacun des étages en fonction du niveau d'excitation d'entrée est différente pour deux raisons principales :

- La première est due à la dissymétrie volontaire du circuit de couplage des deux étages ; dans un montage Doherty classique, comme celui indiqué sur la figure III.1, la résistance R_U se trouve placée directement aux bornes de sortie de l'étage auxiliaire, mais ne charge l'étage principal qu'à travers un inverseur d'impédance.
- La seconde raison fondamentale provient de la différence des amplitudes des sources équivalentes de courant de sortie des deux étages en fonction du niveau d'excitation d'entrée de l'amplificateur global : cette amplitude relative est choisie en ajustant judicieusement la classe de fonctionnement de chacun des étages et leur niveau relatif d'excitation.

Cette dernière assertion pourrait laisser penser que deux étages identiques reliés en sortie par un quart d'onde inverseur d'impédance, mais excités par des signaux d'amplitude différente pourraient présenter un effet Doherty ; c'est-à-dire un rendement en puissance ajoutée (PAE) le long d'un certain OBO , sensiblement constant. C'est effectivement le cas, et nous en avons fait une simulation de principe avec deux étages amplificateurs GaN identiques, polarisés, en classe AB.

Revenons maintenant au montage classique d'un amplificateur Doherty :

Une ligne de transmission est insérée en entrée de l'amplificateur auxiliaire (figure III.1) pour compenser en amont le déphasage introduit par l'inverseur d'impédance de sortie et combiner ainsi les sorties des deux étages en garantissant un bon alignement en phase

entre les deux voies. Cet alignement permet d'assurer une recombinaison optimale des deux signaux amplifiés dans la charge d'utilisation de la structure.

L'amplificateur principal est classiquement polarisé en classe AB/B. Sa linéarité à faible niveau d'excitation reste bonne. Quant à l'amplificateur auxiliaire, il est polarisé en classe C et ne conduit qu'à partir d'un certain niveau d'amplitude du signal incident. Chaque voie amplifie directement le signal modulé. Cependant, les fonctionnements des deux amplificateurs sont différents. Lorsque l'amplificateur principal s'approche de sa zone de saturation, l'amplificateur auxiliaire prend le relais pour amplifier les crêtes de modulation que ne peut plus prendre en charge l'amplificateur principal.

Le comportement d'un Amplificateur de Puissance Doherty (APD) peut être décrit en le décomposant en trois phases de fonctionnement [III.4] qui sont schématisées sur la figure III.2. Cette figure illustre le profil du rendement théorique en fonction de la puissance de sortie.

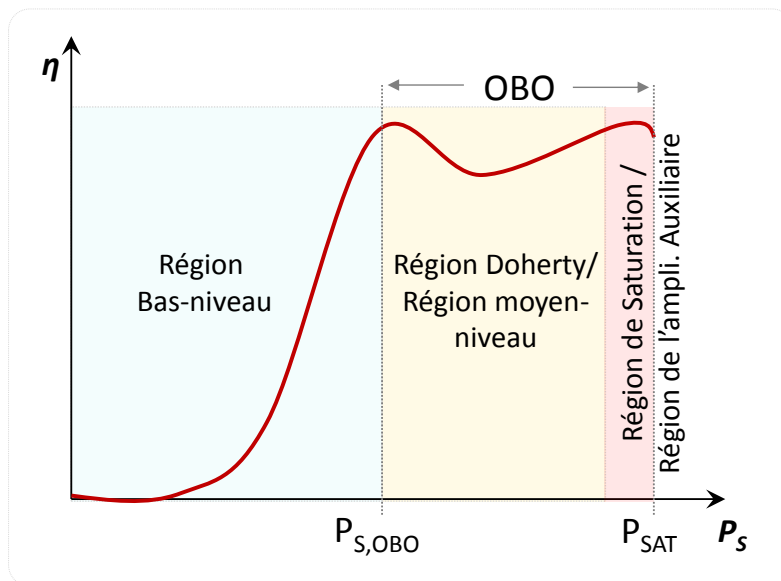


Figure III.2 : Comportement typique du Rendement global d'un Amplificateur de Puissance Doherty.

A faible niveau d'excitation, l'amplificateur auxiliaire est bloqué. Il se présente idéalement à son accès de sortie comme un circuit ouvert, ou comme une très forte résistance. Seul l'amplificateur principal fonctionne, et ce, sur une résistance de charge optimale pour un fonctionnement à bas niveau. Cette résistance est dimensionnée pour être élevée ; avec une telle résistance de charge l'amplificateur principal entrerait dans sa zone de saturation pour des puissances d'entrée plus faibles que celles correspondant à un fonctionnement optimisé $P_{S,MAX}$ par exemple. Ce choix d'impédance élevée garantit une consommation limitée à bas niveau. Le fonctionnement de l'Amplificateur de Puissance Doherty (APD) est alors similaire à celui d'un amplificateur de puissance classique de classe AB/B dont l'impédance de charge serait optimisée pour un fonctionnement bas niveau.

A partir d'un certain niveau de puissance d'excitation, l'amplificateur auxiliaire se déclenche. Le signal d'entrée est alors également amplifié sur cette seconde voie dont le signal de sortie amplifié vient s'additionner à celui de la voie principale, provoquant simultanément par l'inverseur d'impédance une variation (réduction) progressive de l'impédance de charge présentée à l'amplificateur principal, ce qui permet à celui-ci d'augmenter sa propre puissance de sortie sans saturer, et de rester dans sa zone de

fonctionnement à fort rendement. Le débloqué progressif de l'amplificateur auxiliaire est automatique. Il résulte du choix de son point de polarisation (classe C proche de B, conventionnelle ou profonde). Le niveau de puissance à partir duquel l'amplificateur auxiliaire passe de l'état bloqué à l'état de conduction est appelé communément « point de transition » ou « point de commutation ». Le choix de ce point de transition doit être fixé en fonction de la distribution des densités de puissance du signal à transmettre (*PDF* : *Probability Density Function*), de façon à optimiser le **rendement moyen** de l'amplificateur en conditions opérationnelles.

A fort niveau d'excitation, les deux amplificateurs sont saturés et leurs impédances de charge sont optimales. Les signaux amplifiés des deux voies se recombinaient dans la charge d'utilisation.

III.2.1. Variations théoriques des impédances de charges.

Dans cette section, un calcul analytique simple est présenté pour expliquer le fonctionnement d'un montage Doherty qui repose sur le concept de la modulation active de la charge à la fréquence fondamentale vue par le transistor principal. A cette fréquence, les transistors, principal et auxiliaire, sont équivalents à des sources de courant non linéaires. Tous deux débitent dans la charge d'utilisation externe R_U . La fonction d'inversion d'impédance est réalisée simplement par l'utilisation d'une ligne de transmission de longueur $\lambda/4$ à la fréquence de travail. La figure III.3 montre le schéma simplifié d'un amplificateur Doherty. Les approximations faites ici restent valables pour la compréhension du système.

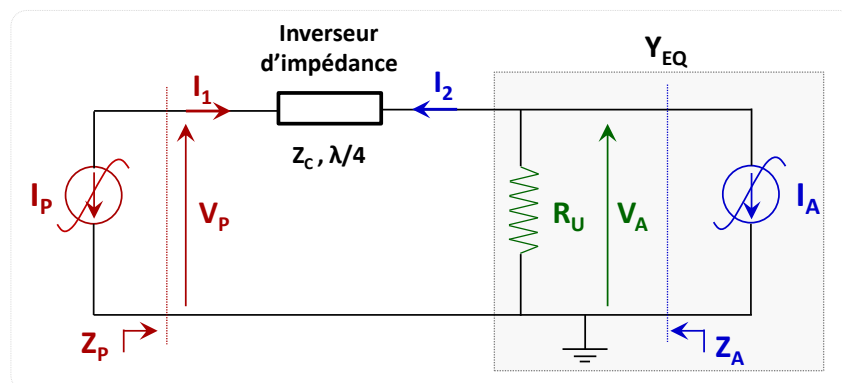
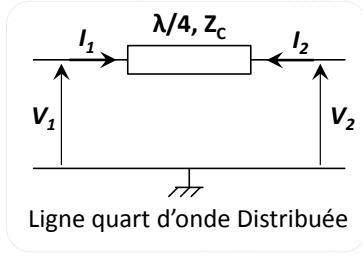


Figure III.3 : Schéma électrique simplifié d'un amplificateur Doherty.

Z_P et Z_A représentent les impédances vues respectivement par les sources de courants, de drain I_P et I_A (commandées en tension à leurs bornes par V_P et V_A) du transistor principal et du transistor auxiliaire.

Z_C représente l'impédance caractéristique de la ligne de transmission « quart-d'onde », inverseur d'impédance.

La matrice ABCD de la ligne « quart d'onde » s'écrit :



$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} 0 & jZ_C \\ j/Z_C & 0 \end{pmatrix} \begin{pmatrix} V_2 \\ -I_2 \end{pmatrix} \quad (\text{III.1})$$

La formule qui permet de calculer la résistance de sortie R_s en fonction de l'impédance caractéristique Z_C de la ligne « quart-d'onde » et de la résistance d'entrée R_e de la ligne est la suivante (III.2).

$$Z_C = \sqrt{R_e \times R_s} \quad (\text{III.2})$$

D'après la matrice chaîne d'une ligne de transmission $\lambda/4$ (équation III.1) :

$$V_A = -jZ_C I_1 = j \frac{Z_C}{Z_P} \times V_P \quad (\text{III.3})$$

D'après la loi des nœuds, il est possible d'écrire :

$$I_2 = - \left(I_A + \frac{V_A}{R_U} \right) \quad (\text{III.4})$$

Par ailleurs, l'ensemble du transistor auxiliaire associé à la résistance de charge d'utilisation R_U peut se mettre sous la forme d'une admittance équivalente Y_{EQ} , telle que :

$$Y_{EQ} = - \frac{I_2}{R_U} \quad (\text{III.5})$$

D'autre part, cette admittance équivalente Y_{EQ} , peut se décomposer en une somme : celle des admittances constituant le quadripôle (source de courant auxiliaire et résistance d'utilisation) :

$$Y_{EQ} = - \frac{I_A}{V_A} + \frac{1}{R_U} \quad (\text{III.6})$$

D'après les équations (III.3) et (III.6), Y_{EQ} s'écrit :

$$Y_{EQ} = j \frac{I_A}{V_P} \times \frac{Z_P}{Z_C} + \frac{1}{R_U} \quad (\text{III.7})$$

Les courants des transistors principal et auxiliaire sont déphasés de 90° ($e^{j\pi/2}$) en entrée aux accès grille, donc :

$$Y_{EQ} = Y_{ramenée} = - \frac{I_A}{V_P} \times \frac{Z_P}{Z_C} + \frac{1}{R_U} \quad (\text{III.8})$$

D'après l'équation (III.4), il est possible de tirer la conclusion suivante : à bas niveau d'excitation, le transistor principal voit l'étage auxiliaire sous la forme d'une admittance Y_A , telle que :

$$Y_A = -\frac{1}{Z_C} \times \frac{I_A}{I_P} \quad (III.9)$$

D'après les équations (III.4) et (III.5), les impédances Z_P et Z_A vues respectivement par chacune des sources de courant des transistors, principal et auxiliaire, peuvent être exprimées ainsi :

$$Z_P = Z_C^2 \cdot Y_{Ramennée} = \frac{Z_C^2}{R_U} - Z_C \times \frac{I_A}{I_P} \quad (III.10)$$

$$Z_A = \frac{1}{Y_A} = Z_C \times \frac{I_P}{I_A} \quad (III.11)$$

Le tableau III.1 récapitule les valeurs des impédances Z_P et Z_A pour différents niveaux d'excitation d'entrée :

Tableau III.1 : Impédances Z_P et Z_A vues en fonction du niveau d'excitation d'entrée.

Niveau d'excitation	Transistor principal	Transistor auxiliaire
Bas niveau ($I_A = 0A$)	$Z_P = Z_{P,\alpha} = \frac{Z_C^2}{R_U} = Z_{Pmax}$	$Z_A = \sim C. O.$
Zone Doherty ($0A < I_A < I_{A,max}$)	$Z_P = Z_{P,DPA} = \frac{Z_C^2}{R_U} - Z_C \frac{I_A}{I_P} < Z_\alpha$	$Z_A = Z_{A,DPA} = Z_C \frac{I_P}{I_A}$
Saturation ($I_A = I_{A,max} = n I_{P,max}$)	$Z_P = Z_{P,SAT} = \frac{Z_C^2}{R_U} - nZ_C = Z_{Pmin} < Z_{P,DPA}$	$Z_A = Z_{A,SAT} = \frac{Z_C}{n} < Z_{A,DPA}$

La figure III.4 illustre les variations théoriques des conductances de charges vues par les sources de courant de drain des étages principal et auxiliaire à la fréquence fondamentale f_0 d'un amplificateur de puissance Doherty.

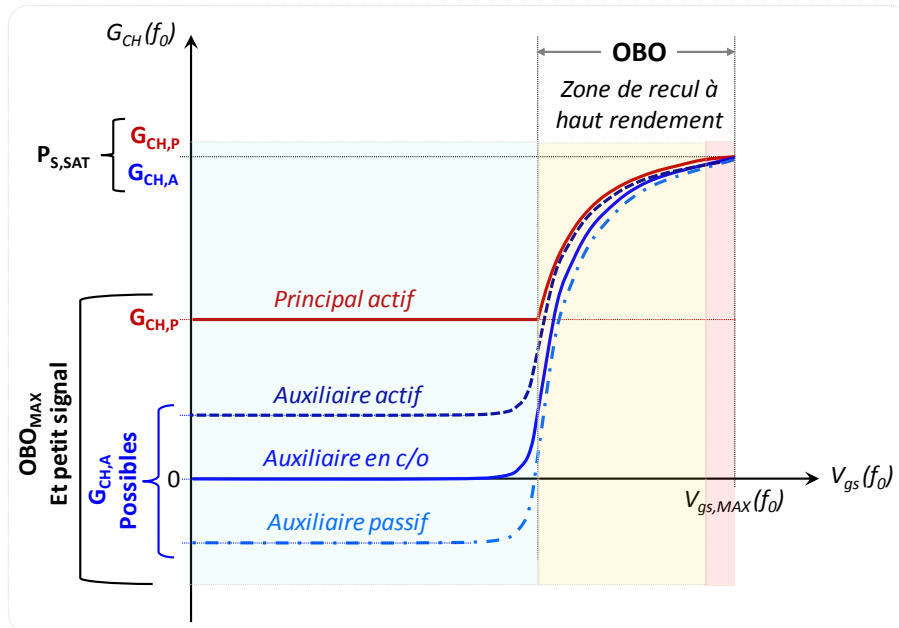


Figure III.4 : Conductances de charges théoriques vues par les sources de courant de drain des étages Principal et Auxiliaire à la fréquence fondamentale f_0 d'un APD classique.

III.2.2. Evolution des courants et des tensions en fonction du niveau d'excitation.

Avant de s'intéresser à l'analyse de l'évolution des courants et des tensions aux bornes des sources de courant de drain des transistors principal et auxiliaire, il est opportun de rappeler quelques limitations physiques conventionnelles d'un transistor auxquelles un concepteur est confronté et qu'il doit prendre en compte dans sa conception. La figure III.5 décrit les allures simplifiées d'une caractéristique statique $I_{ds0}(V_{ds0}, V_{gs0})$ d'un transistor HEMT.

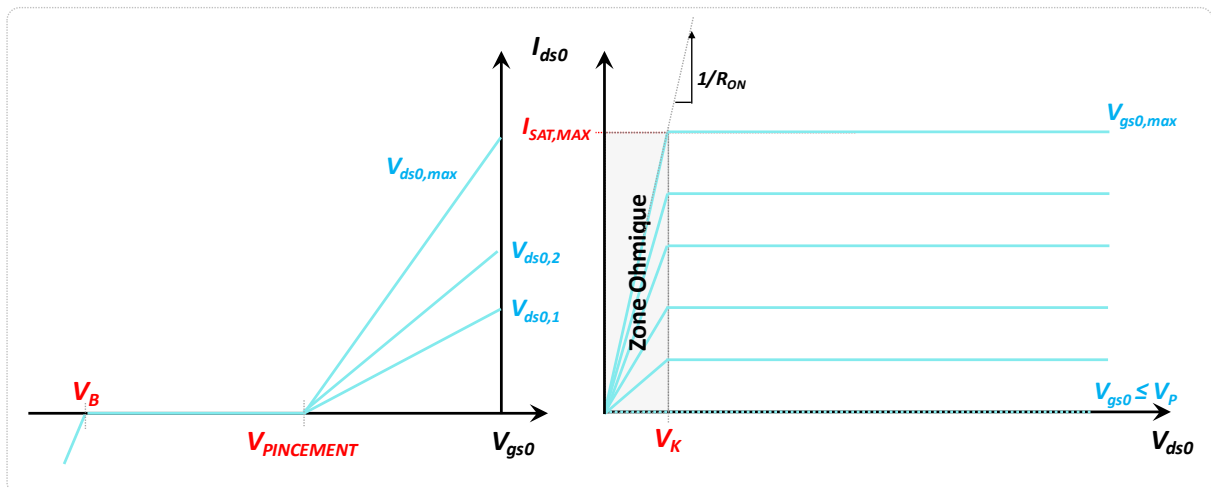


Figure III.5 : Caractéristiques $I(V)$ d'un transistor à l'état solide simplifié.

Les paramètres limitatifs primitifs sont :

- Le courant drain de saturation maximum atteignable $I_{SAT,MAX}$,
- La tension drain-source de déchet V_K (*Knee voltage*), à laquelle, une attention particulière doit être réservée [III.5],

- La tension grille-source de coupure $V_{PINCEMENT}$ (*Pinch-off voltage*) pour laquelle le courant de polarisation $I_{ds0} = 0A$,
- La tension grille-source de claquage V_B (*Break-down voltage*).

Ces paramètres sont, entre autres, pris en compte dans les analyses qui suivent.

La figure III.6 présente les variations théoriques des cycles de charges aux bornes des sources de courants du transistor principal et du transistor auxiliaire, associées aux formes d'ondes des courants et des tensions mises en jeu dans les trois zones de fonctionnement Doherty.

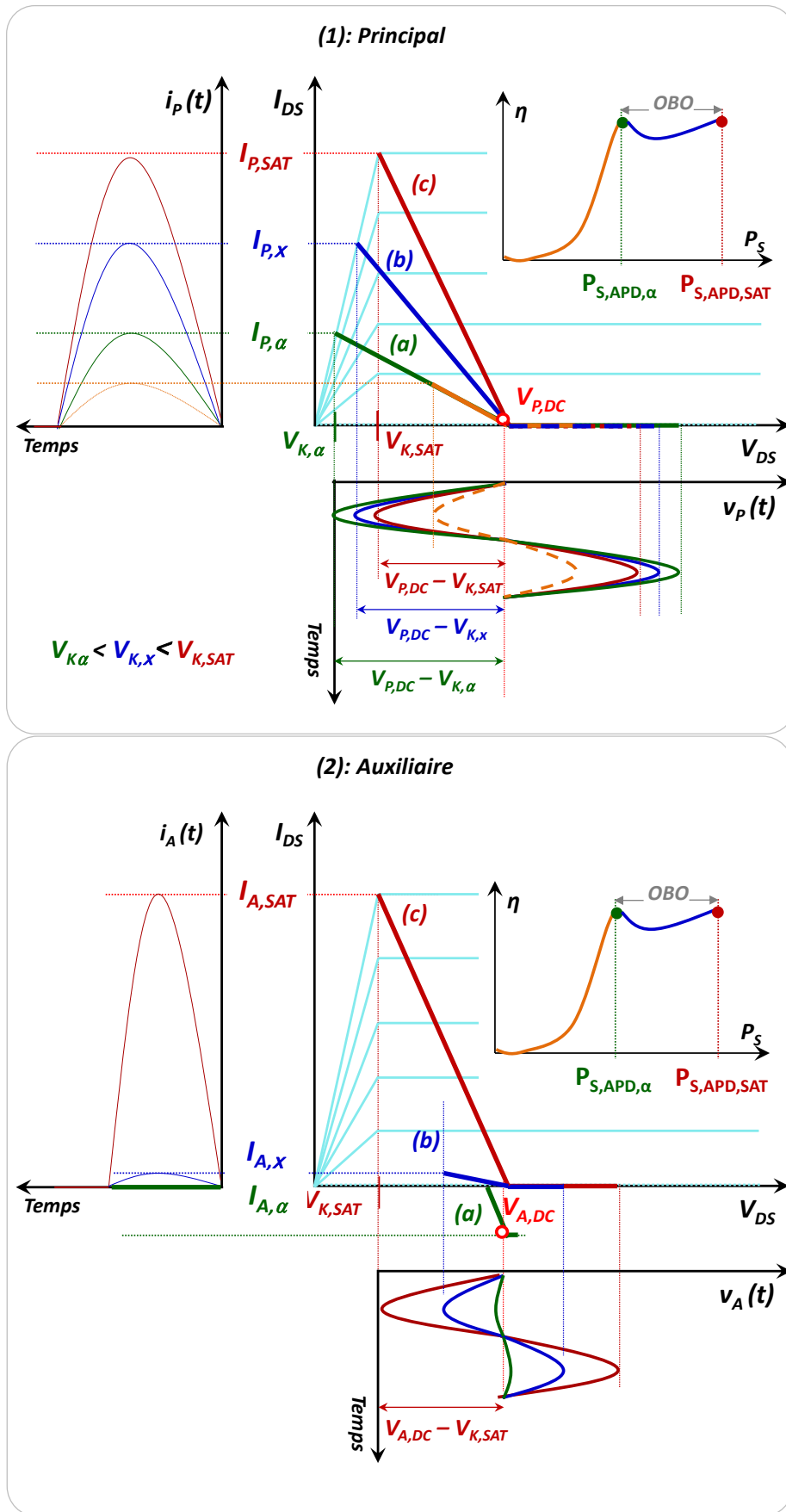


Figure III.6 : Evolution des cycles de charge aux bornes des sources de courant des transistors (Principal et Auxiliaire), dans un fonctionnement Doherty conventionnel.

Le courant impulsionnel $i_P(t)$ généré par la source de courant non linéaire du transistor principal augmente progressivement jusqu'à $I_{P,SAT}$ (courant de saturation), avec le niveau d'excitation d'entrée.

Comme la valeur du courant I_P , celle de la tension V_P aux bornes de la source de courant non linéaire du transistor principal augmente progressivement avec le niveau d'excitation d'entrée, jusqu'à atteindre son maximum pour :

$$V_{P,MAX} = V_{P,DC} - V_{K,\alpha} \quad (III.12)$$

Avec :

- $V_{P,DC}$: tension continue de polarisation de drain du transistor principal,
- $V_{K,\alpha}$ la tension de drain-source de déchet correspondant à la valeur d' OBO maximum désirée.

Pour cette valeur de tension maximale $V_{P,MAX}$, le courant I_P atteint également sa première valeur maximale, $I_{P,\alpha}$ (courbe 1.a). Ce point correspond au maximum de recul en puissance de sortie (OBO_{MAX}) à haut rendement. C'est le point de transition à partir duquel l'amplificateur auxiliaire entre en jeu : l'angle d'inclinaison de la droite de charge du transistor principal change alors. Ce changement est dû au fait que l'impédance de charge vue par celui-ci commence à varier par effet de modulation provoqué par le courant I_A généré par le transistor auxiliaire.

$$I_{P,\alpha} = \alpha \times I_{P,SAT} \quad (III.13)$$

α est le coefficient de proportionnalité correspondant au point de transition.

Au-delà de ce point de transition, le courant I_P continue d'augmenter. La tension V_A aux bornes de la source de courant non linéaire du transistor auxiliaire augmente également et par conséquent, le courant I_A délivré par cette source croît aussi. En revanche, la tension V_P diminue légèrement à cause de la tension de coude V_K qui augmente légèrement ($V_{K,x} > V_{K,\alpha}$). Il est toutefois possible de considérer que la variation de la valeur maximale $V_{P,MAX}$ est négligeable. Par conséquent, cette valeur maximale de la tension $V_{P,MAX}$ devient indépendante du niveau d'excitation d'entrée. Ainsi, puisque cette tension est considérée comme constante, la variation de la puissance de sortie de l'étage principal $P_{S,P}$ est uniquement due à la variation de l'excursion du courant I_P lorsque l'excitation d'entrée augmente au-delà du point de transition. Pour améliorer le rendement à bas et à haut niveau de l'architecture Doherty et définir une enveloppe de PAE_{MAX} (zone Doherty), il est fondamental de maximiser les tensions V_P et V_A .

Les variations dans la zone Doherty du courant I_A et de la tension V_A en fonction du niveau d'excitation d'entrée, modulent l'impédance de charge vue par la source de courant du transistor principal.

A la saturation, les courants I_P et I_A et la tension V_A , atteignent simultanément leurs maximums (courbe c).

$I_{P,SAT}$, $I_{P,\alpha}$, $I_{A,SAT}$ et $I_{A,\alpha}$ représentent respectivement les composantes à la fréquence fondamentale obtenues par décomposition en série de Fourier des signaux temporels $I_{P,SAT}(t)$, $I_{P,\alpha}(t)$, $I_{A,SAT}(t)$ et $I_{A,\alpha}(t)$.

$$I_P = I_{P,SAT} \quad (III.14)$$

$$I_A = I_{A,SAT} \quad (III.15)$$

$$V_A = V_{A,DC} - V_{K,SAT} \quad (III.16)$$

Avec $V_{A,DC}$: tension continue de polarisation de drain du transistor auxiliaire.

La représentation des variations des excursions de tension aux bornes des sources de courant non linéaires du transistor principal et du transistor auxiliaire ainsi que les variations des excursions en courants délivrés par celles-ci sont données sur la figure III.7.

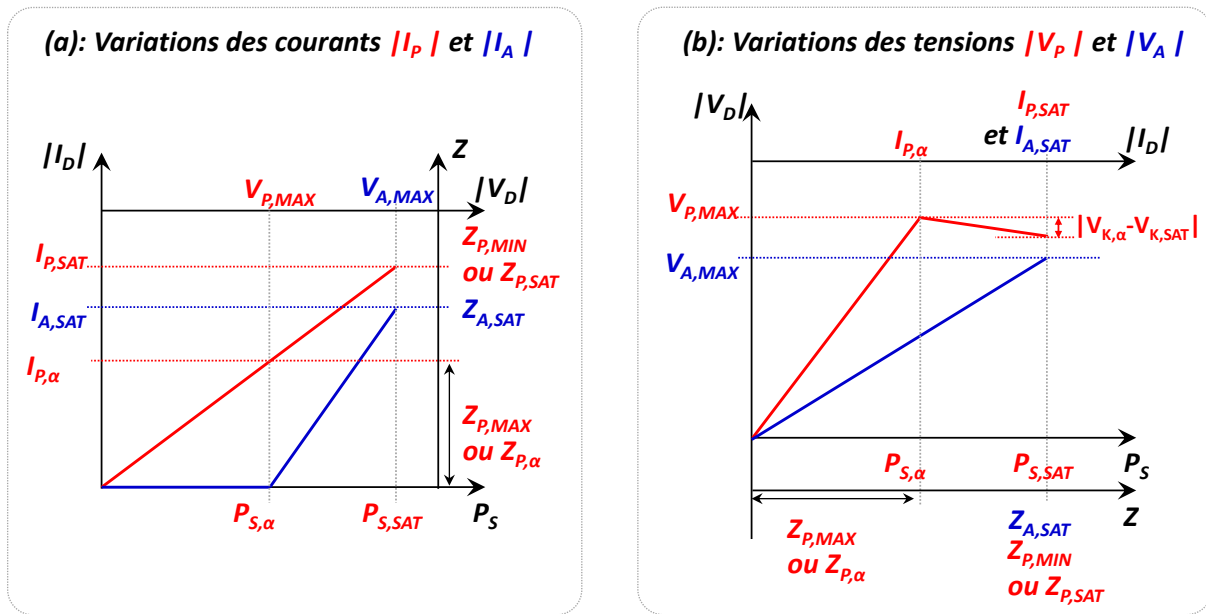


Figure III.7 : Evolutions des courants I_P et I_A (à gauche) et des tensions V_P et V_A (à droite) en fonction de la puissance de sortie.

Notons que l'on peut choisir des tensions continues de polarisation de drain différentes pour les deux transistors (principal et auxiliaire) :

$$V_{A,DC} = \beta \times V_{P,DC} \quad (III.17)$$

D'où :

$$V_{A,MAX} = V_{A,DC} - V_{K,SAT} = \beta \times V_{P,DC} - V_{K,SAT} \quad (III.18)$$

A la fréquence fondamentale, les puissances de sortie des étages (principal et auxiliaire), au maximum de recul en puissance de sortie (OBO_{MAX}) et à saturation, s'écrivent :

$$P_{S,P,\alpha} = \frac{1}{2} \times (V_{P,DC} - V_{K,\alpha}) \times I_{P,\alpha} \quad (III.19)$$

$$P_{S,P,SAT} = \frac{1}{2} \times (V_{P,DC} - V_{K,SAT}) \times I_{P,SAT} \quad (III.20)$$

$$P_{S,A,SAT} = \frac{1}{2} \times (V_{A,DC} - V_{K,SAT}) \times I_{A,SAT} \quad (III.21)$$

A back-off maximum, l'étage auxiliaire se présente pour l'étage principal, comme une impédance de valeur très élevée placée en parallèle sur l'impédance d'utilisation. A partir de l'équation (III.2), l'impédance optimale est calculée par :

$$R_{U,\alpha} = R_{OPT} = \frac{Z_C^2}{Z_{P,\alpha}} = \frac{Z_C^2}{V_{P,\alpha}} \times I_{P,\alpha} \quad (III.22)$$

A saturation, et d'après l'équation (III.3), l'impédance caractéristique de la ligne $\lambda/4$ (inverseur d'impédance) peut être calculée par :

$$Z_C = \frac{V_{P,SAT}}{I_{P,SAT}} \quad (III.23)$$

D'après les équations (III.22) et (III.23), il en résulte que :

$$R_{U,\alpha} = R_{OPT} = \frac{\alpha \times V_{P,SAT}^2}{V_{P,\alpha} \times I_{P,SAT}} \quad (III.24)$$

Par ailleurs, et d'après le schéma de la figure III.3 :

$$R_{U,SAT} = R_{OPT} = \frac{V_{A,SAT}}{I_{P,SAT} + I_{A,SAT}} = \frac{(\beta \times V_{P,DC} - V_{K,SAT})}{I_{P,SAT} + I_{A,SAT}} \quad (III.25)$$

En se référant aux équations (III.24) et (III.25), l'égalité suivante est obtenue :

$$\frac{(\beta \times V_{P,DC} - V_{K,SAT})}{I_{P,SAT} + I_{A,SAT}} = \frac{\alpha \times V_{P,SAT}^2}{V_{P,OBO} \times I_{P,SAT}} \quad (III.26)$$

D'où
$$I_{A,SAT} = \left(-1 + \frac{1}{\alpha} \times \frac{(V_{P,DC} - V_{K,\alpha})(V_{P,DC} - V_{K,SAT})}{(V_{P,DC} - V_{K,SAT})^2} \right) \times I_{P,SAT} \quad (III.27)$$

Pour une tension continue de polarisation identique ($\beta = 1$) des deux amplificateurs (principal et auxiliaire) :

$$I_{A,SAT} = \left(\frac{1}{\alpha \times \gamma} - 1 \right) \times I_{P,SAT} \quad (III.28)$$

Avec
$$\gamma = \frac{V_{P,SAT}}{V_{P,OBO}} = \frac{(V_{P,DC} - V_{K,SAT})}{(V_{P,DC} - V_{K,\alpha})} < 1 \quad (III.29)$$

III.2.3. Point de transition théorique optimum.

Le point de transition correspond à la configuration de l'architecture Doherty dans laquelle le transistor auxiliaire commence à conduire et le transistor principal commence à voir sa charge varier, en fonction de l'excitation d'entrée. Le choix de la valeur de cette variable (α) détermine le niveau du rendement en puissance ajoutée au maximum de recul en puissance de sortie. Pour un fonctionnement optimal, l'amplificateur auxiliaire se déclenche lorsque le courant I_P délivré par la source de courant du transistor principal atteint son maximum. Dans cette configuration de courant I_P maximal, le transistor principal est chargé sur son accès drain par $Z_{P,\alpha}$. Le point de transition dépend principalement des paramètres suivants :

- Le point de polarisation de la grille de l'amplificateur auxiliaire ($V_{gs,A,DC}/V_{PINCEMENT}$) et le ratio des densités des puissances d'entrées des deux voies d'amplification ($P_{E,P}[w/mm]/P_{E,A}[w/mm]$) d'une part.
- Du ratio des surfaces des transistors principal et auxiliaire d'autre part.

Dans la suite, la surface du transistor auxiliaire est supposée égale à n fois la surface du transistor principal, telle que :

$$n = \frac{\text{Développement total de grille du transistor auxiliaire}}{\text{Développement total de grille du transistor principal}} \quad (\text{III.30})$$

Le rapport du courant du transistor auxiliaire sur le courant du transistor principal, à la saturation, est noté δ tel que :

$$\delta = \frac{I_{A,SAT}}{I_{P,SAT}} \quad (\text{III.31.a})$$

Or le courant délivré à la fréquence fondamentale par un transistor polarisé en classe C, est inférieur à celui délivré par un transistor polarisé dans une des autres classes sinusoïdales (A, AB et B) [III.3]. Par conséquent, le rapport précédent est inférieur à 1.

$$\delta < 1 \quad (\text{III.31.b})$$

Le courant du transistor auxiliaire est donc relié au courant du transistor principal par la relation suivante :

$$I_{A,SAT} = n \times \delta \times I_{P,SAT} \quad (\text{III.32})$$

D'après les équations (III.28) et (III.32), pour un rapport des tensions $V_{gs,A,DC}/V_{PINCEMENT}$ suffisamment élevé (supérieur à 1) et un rapport des densités de puissance ($P_{E,P}[w/mm]/P_{E,A}[w/mm]$) égal à 1, la valeur optimale de α s'écrit :

$$\alpha_{Optimal} = \frac{1}{(n \times \delta + 1) \times \gamma} \quad (\text{III.33})$$

Il faut garder à l'esprit que la définition d'un optimum est strictement lié aux finalités particulières pour lesquelles il est calculé. L'optimum de fonctionnement peut être différent suivant le cas de figure considéré.

III.2.4. Plage de recul en puissance de sortie « OBO ».

Le recul en puissance de sortie (*OBO*) est défini comme étant le rapport entre la puissance de sortie à saturation de l'amplificateur global et la puissance de sortie de l'amplificateur juste après le déclenchement de l'étage auxiliaire. La largeur de la plage d'*OBO* dépend de deux paramètres :

- Premièrement, la largeur de la plage de variation d'impédance de charge vue par le transistor principal. Celle-ci est définie à partir du ratio des surfaces des transistors principal et auxiliaire.
- Deuxièmement, le point de transition.

$$OBO = \frac{P_{S,P,SAT} + P_{S,A,SAT}}{P_{S,P,\alpha}} \quad (III.34)$$

D'après les équations (III.19-21) et (III.33), l'*OBO* s'écrit :

$$OBO = \frac{1}{\alpha} \times \left(\gamma + \left(\frac{1}{\alpha\gamma} - 1 \right) \times \frac{V_{A,SAT}}{V_{P,\alpha}} \right) \quad (III.35)$$

Si la tension continue de polarisation est identique ($V_{A,DC} = V_{P,DC}$) pour les deux transistors (principal et auxiliaire), il en résulte que $V_{A,SAT} = V_{P,SAT} = V_{P,\alpha}$, alors :

$$OBO = \frac{1}{\alpha^2} \quad (III.36)$$

En Décibels :

$$OBO[dB] = 10 \times \log_{10} \left(\frac{1}{\alpha^2} \right)$$

D'où :

$$OBO[dB] = 20 \times \log_{10} \left((1 + n \times \delta) \times \gamma \right)$$

$$OBO[dB] = (20 \times \log_{10}(1 + n \times \delta)) + (20 \times \log_{10}(\gamma)) \quad (III.37)$$

Il devient évident qu'au premier ordre, la plage maximum de recul en puissance de sortie d'une structure Doherty donnée, est liée :

- Au rapport des surfaces des transistors (auxiliaire et principal),
- Aux amplitudes des courants de saturation délivrés par ceux-ci,
- Au rapport des tensions V_P à fort back-off $V_{P,OBO}$ et à saturation $V_{P,SAT}$ qui eux-mêmes dépendent des valeurs des tensions de coude $V_{K,\alpha}$ et $V_{K,SAT}$.

La relation (III.37) met en évidence les impacts sur le niveau du back-off théoriquement atteignable :

- De la variation de la tension de déchet d'une part.
- Du courant maximum de l'étage auxiliaire (classe C) vis-à-vis du courant maximum de l'étage principal (classe AB/B) d'autre part.

Ainsi, pour deux transistors (principal et auxiliaire) de même taille, le recul en puissance de sortie calculé théoriquement est inférieur à 6dB.

III.2.5. Impédance caractéristique de la ligne quart d'onde Doherty et résistance d'utilisation optimales.

Dans un fonctionnement optimal, à fort niveau d'excitation d'entrée, les deux étages (principal et auxiliaire) fournissent leurs puissances maximales à la charge d'utilisation externe R_U . Pour parvenir à ce fonctionnement, les impédances de charge des deux sources de courant des transistors (principal et auxiliaire) doivent être optimales.

D'après les équations des impédances de charge optimales données dans le tableau (III.1), à saturation (fort niveau d'excitation), l'impédance de charge optimale du transistor principal, notée R_{OPT} , vaut :

$$Z_P = \frac{Z_C^2}{R_U} - n \times Z_C = R_{OPT} \quad (III.38)$$

L'impédance de charge du transistor auxiliaire correspondante vaut alors :

$$Z_A = \frac{Z_C}{n} = \frac{R_{OPT}}{n} \quad (III.39)$$

D'après les équations (III.38) et (III.39), il est alors possible de déduire les deux variables Z_C et R_U :

$$Z_C = R_{OPT} \quad (III.40)$$

$$R_U = \frac{R_{OPT}}{1+n} \quad (III.41)$$

III.2.6. Influence des classes de fonctionnement et des points de polarisation de chaque étage (principal et auxiliaire).

La conception d'un amplificateur est toujours le résultat d'un compromis établi de façon à satisfaire un cahier des charges précis, respectant des objectifs et des critères requis.

Dans le cas d'une architecture Doherty, pour les faibles amplitudes du signal d'entrée, seul l'amplificateur principal fonctionne. Par conséquent, le gain petit signal de l'amplificateur global est égal au gain petit signal de l'amplificateur principal auquel est retranchée la valeur du couplage du coupleur d'entrée. Pour que l'amplificateur global présente un gain petit signal suffisant, l'amplificateur principal ne peut pas être polarisé en classe B ou en classe C.

D'autre part, la linéarité de l'amplificateur Doherty global à bas niveau d'excitation dépend uniquement de celle de l'amplificateur principal.

Il en résulte que l'obtention d'un niveau de linéarité acceptable et d'un niveau de gain en puissance correct nécessite que l'amplificateur principal soit polarisé en classe AB profonde proche de B.

Quant à l'amplificateur auxiliaire, il doit être bloqué à bas niveau d'excitation et, donc polarisé en classe C.

La plage de variation de l'impédance vue par l'amplificateur principal est régie par le point de transition α . Celui-ci dépend intégralement de « la profondeur » de polarisation de grille du transistor auxiliaire et du rapport des puissances d'excitation des amplificateurs, principal et auxiliaire.

A fort niveau d'excitation, les deux amplificateurs fonctionnent conjointement. Les performances de l'amplificateur global sont étroitement liées aux performances de chacun d'eux.

Le diagramme de la figure III.8 récapitule, de manière synthétique, certaines conditions à prendre en compte pour chacun des étages de l'architecture Doherty afin de définir leurs points de polarisation, et obtenir ainsi un bon compromis rendement / linéarité / gain :

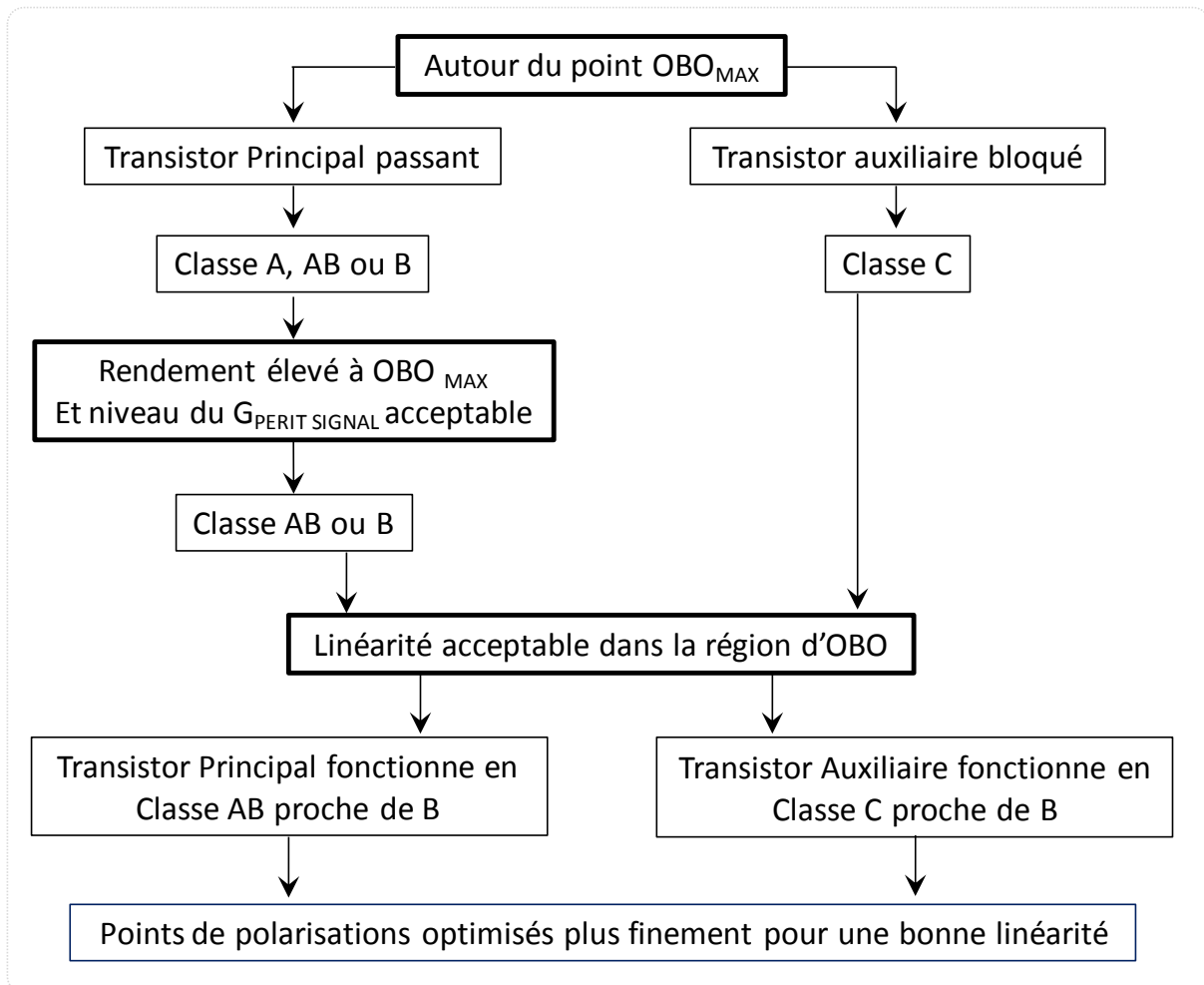


Figure III.8 : Synthèse des classes de fonctionnements et des points de polarisation des grilles des transistors, principal et auxiliaire.

III.2.7. Puissances d'excitation des amplificateurs, principal et auxiliaire.

Dans le cas d'un amplificateur Doherty classique, avec deux transistors de même taille, l'utilisation d'un diviseur inégal de puissance d'entrée, fournissant plus de puissance à l'amplificateur auxiliaire, s'avère nécessaire [III.4]. Ainsi, l'amplificateur auxiliaire peut délivrer son courant maximum, et assurer une modulation d'impédance optimale de l'amplificateur principal.

Toutefois, le choix du rapport des puissances d'entrées dépend de la profondeur du point de polarisation de l'amplificateur auxiliaire fonctionnant en classe C et du point de transition α . Les courants délivrés par les sources de courant, des transistors (principal et auxiliaire) peuvent être régis, au premier ordre, par :

- Les tensions de polarisations grille-source : $V_{gs,DC}$,
- Les tensions d'excitation RF,
- La transconductance G_m de chaque transistor.

Les figures III.9 et III.10 schématisent les variations temporelles des tensions d'excitation aux bornes des accès grille-source des deux amplificateurs (principal et auxiliaire) à OBO_{MAX} et à P_{SAT} ainsi que les cycles de charges correspondants.

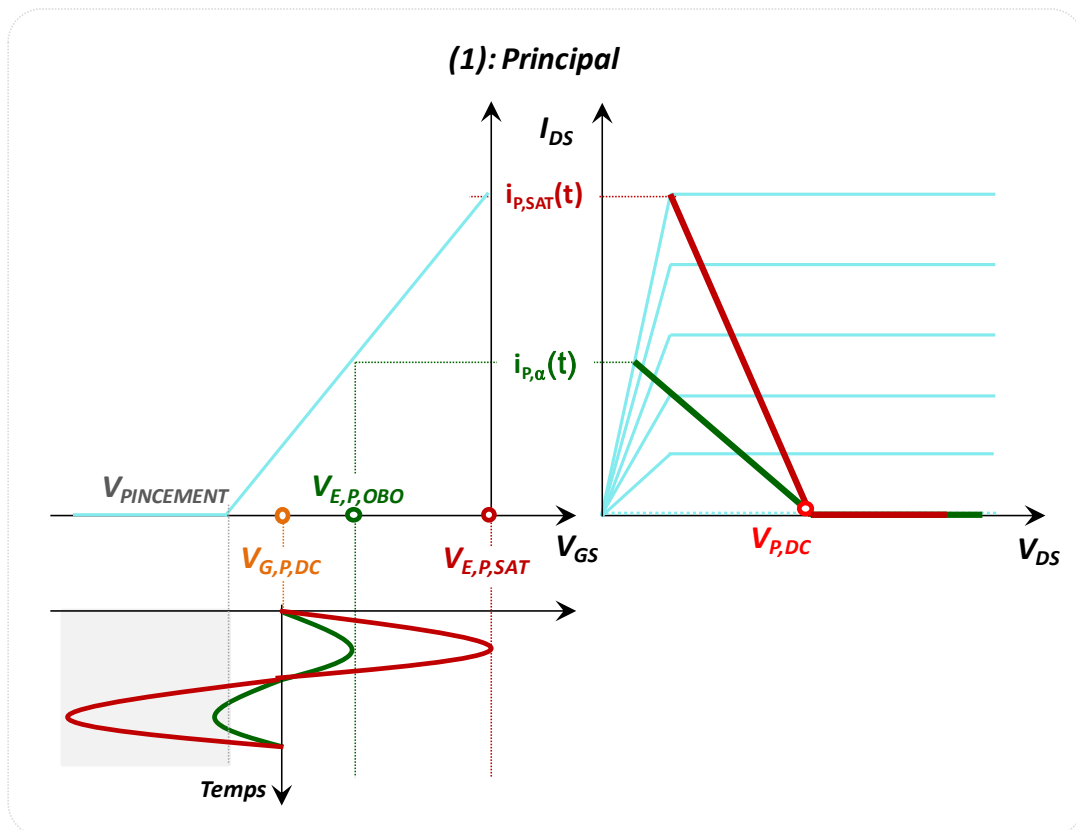


Figure III.9 : Variations théoriques de la tension d'excitation du transistor principal.

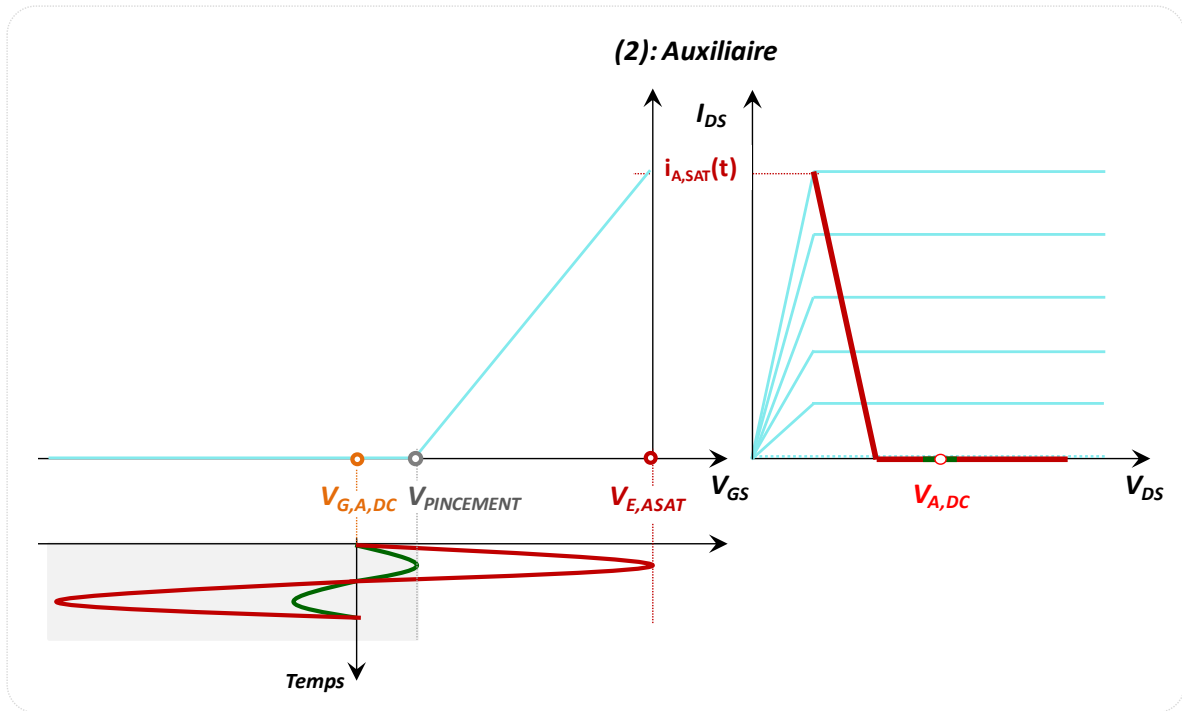


Figure III.10 : Variations théoriques de la tension d'excitation du transistor auxiliaire.

Les cycles de charges intrinsèques optimaux théoriques dans la zone à effet Doherty suivent les parcours indiqués sur la figure III.11 :

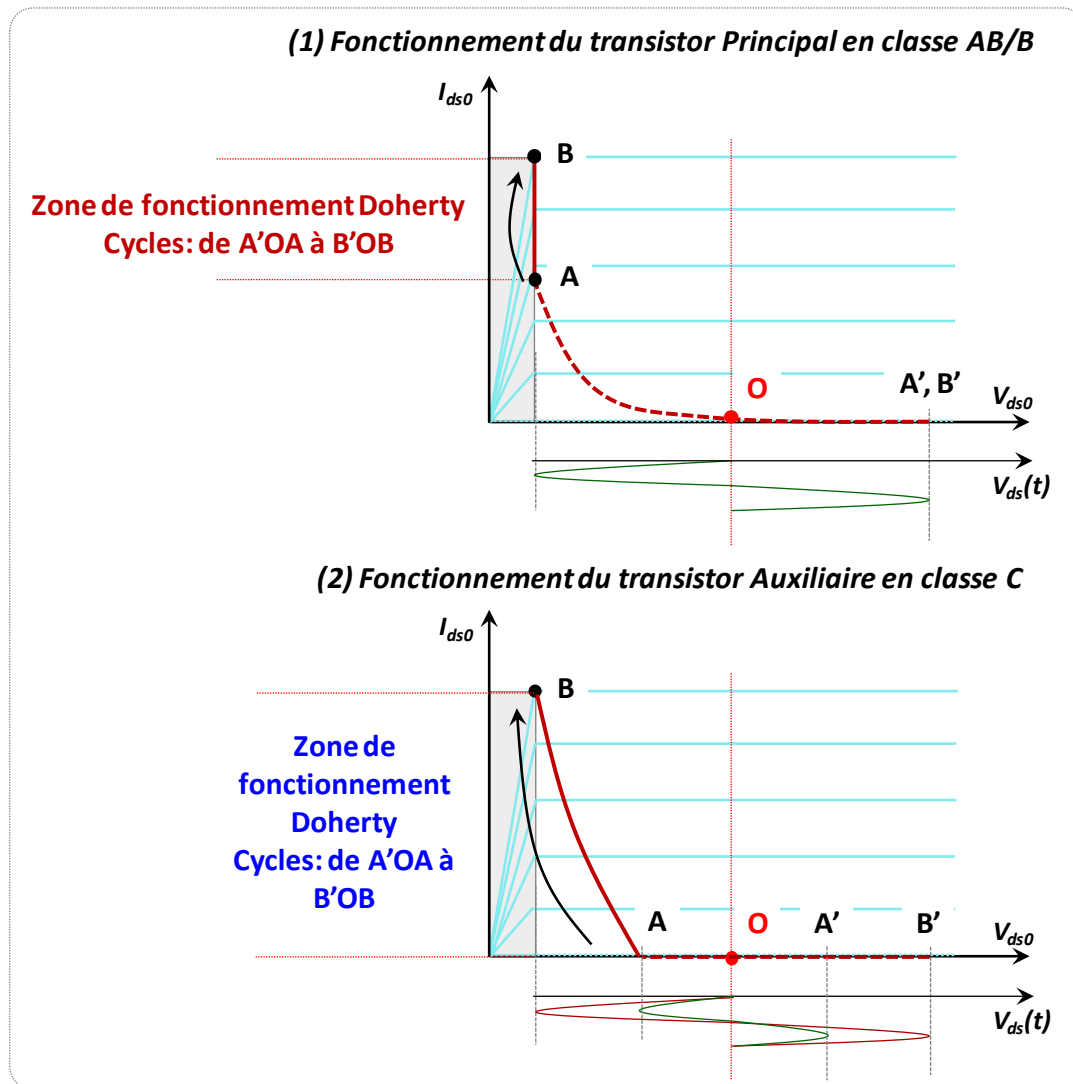


Figure III.11 : Cycles intrinsèques optimaux (principal et auxiliaire) dans la zone à effet Doherty.

III.3. La linéarité d'un amplificateur Doherty.

Comme il a déjà été évoqué, l'antagonisme linéarité/rendement reste le principal défi d'un concepteur d'amplificateurs de puissance. L'amélioration et l'optimisation d'un de ces deux paramètres ne doit pas se faire au détriment de l'autre. A cet égard, l'objectif de la conception d'un amplificateur Doherty est aussi d'obtenir une réponse correcte (par rapport au cahier des charges) en termes de linéarité même si son objectif fondamental consiste à améliorer le rendement sur une large plage de recul en puissance de sortie.

A bas niveau d'excitation et jusqu'au point de transition, l'amplificateur auxiliaire est coupé et la tension aux bornes de la charge d'utilisation R_U ne dépend que des variations du courant délivré par l'amplificateur principal. Ceci entraîne que la linéarité d'un amplificateur Doherty conventionnel, à bas niveau d'excitation, ne dépend que de la linéarité de son amplificateur principal [III.3]. Si ce dernier est considéré comme hautement linéaire, il peut être envisagé que la réponse de l'amplificateur global soit linéaire dans cette plage de puissance de sortie. Lors de la mise en conduction de l'amplificateur auxiliaire, les distorsions qu'il engendre s'ajoutent à celles de l'amplificateur principal. Il en résulte des compensations en amplitude et en phase qui peuvent être constructives ou bien destructives, suivant :

- Les points de polarisation des deux amplificateurs,
- Les phases de leurs signaux de sortie,
- Les variations technologiques.

III.3.1. Réponse en termes de conversion Amplitude-Amplitude (AM/AM).

Le profil de la conversion d'amplitude (AM/AM) [III.6-III.7] est le résultat de l'association des puissances des deux étages amplificateurs de l'architecture Doherty.

A bas niveau d'excitation d'entrée, le gain de l'amplificateur global est égal à celui de l'amplificateur principal. Au point de transition l'amplificateur principal atteint un niveau de compression donné par rapport au niveau du gain petit signal. La mise en œuvre de l'amplificateur auxiliaire permet de compenser la compression du gain en puissance de l'amplificateur principal de deux manières :

- Premièrement, la variation d'impédance assurée par l'amplificateur auxiliaire vue par l'amplificateur principal permet à ce dernier de rester à un niveau de compression constant. Ce phénomène est appelé par la suite : « effet de limitation de la compression AM/AM ».
- Deuxièmement, lors de son déclenchement, l'amplificateur auxiliaire commence à fournir du gain qui s'ajoute au gain de l'amplificateur principal. C'est l'effet de compensation d' AM/AM .

Une analyse approfondie du principe de fonctionnement de l'amplificateur Doherty et des compensations réalisées par les amplificateurs (principal et auxiliaire), l'un vis-à-vis l'autre, peut permettre de maintenir un profil de conversion d' AM/AM proche du fonctionnement d'un amplificateur équivalent qui fonctionnerait en classe AB. L'objectif est d'obtenir une réponse acceptable en linéarité qui pourra éventuellement être améliorée par une technique d'auto-linéarisation [III.8].

III.3.2. Réponse en termes de produit d'intermodulation d'ordre 3 (IMD3) [III.13].

La linéarité de l'amplificateur Doherty en termes d' $IMD3$ [III.9] est principalement dépendante des variations des transconductances d'ordre 3 (G_{m3}) des deux transistors (principal et auxiliaire). Le profil de G_{m3} , est directement lié au point de polarisation du transistor et donc à sa classe de fonctionnement. Il change de signe (de positif à négatif) au point de pincement ($V_{PINCEMENT}$) comme illustré sur la figure III.12 [III.10-III.11].

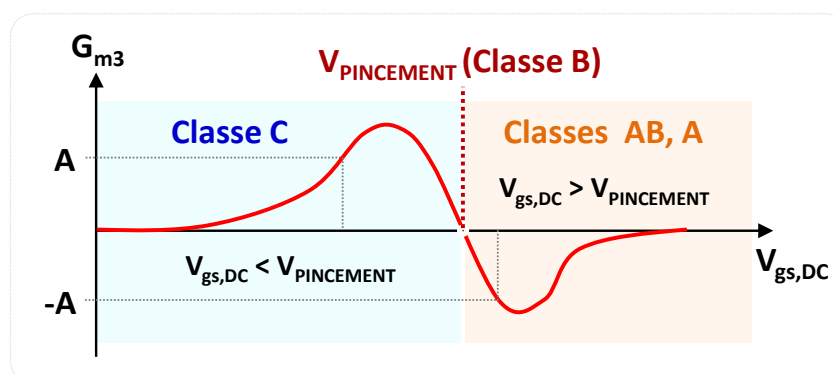


Figure III.12 : Variation de G_{m3} en fonction de la tension de polarisation de grille $V_{gs,DC}$.

L'étage auxiliaire, polarisé en classe C, pourrait atténuer (voire annuler) les produits d'intermodulation d'*IMD3* générés par l'étage principal polarisé en classe AB/B. Cette approche est similaire à la technique de superposition des dérivées de transconductances [III.12]. Le choix précis des points de polarisation des amplificateurs (principal et auxiliaire) s'avère donc déterminant pour la compensation des non-linéarités d'ordre 3.

Il est important de noter que la méthode des compensations des dérivées est extrêmement sensible aux variations technologiques et environnementales de l'amplificateur.

Les principaux produits d'intermodulation *IMD3* des courants de drain des deux étages (principal et auxiliaire) peuvent s'écrire selon les équations suivantes [III.13]. Dans ces écritures et par souci de simplification des formules analytiques, seules les distorsions engendrées par les non-linéarités des courants de drain des transistors sont prises en compte.

$$I_{ds,P_{G_m}(2\omega_1-\omega_2)} = \frac{3}{4} \times G_{m3,P} \times V_{gs,P}^3 \times e^{j\phi_P} \quad (III.42)$$

$$I_{ds,A_{G_m}(2\omega_1-\omega_2)} = \frac{3}{4} \times G_{m3,A} \times V_{gs,A}^3 \times e^{j\phi_A} \quad (III.43)$$

Où :

- $G_{m3,P}$ et $G_{m3,A}$ sont les transconductances d'ordre 3 des deux transistors (principal et auxiliaire).
- $V_{gs,P}$ et $V_{gs,A}$ sont les amplitudes respectives des signaux d'excitation des deux étages (principal et auxiliaire).

En appliquant le principe de superposition, l'*IMD3* de l'Amplificateur de Puissance Doherty (APD) peut être décrit comme suit :

$$I_{ds,APD_{G_m}(2\omega_1-\omega_2)} = \frac{3}{4} \times G_{m3,P} \times V_{gs,P}^3 \times e^{j\phi_P} + \frac{3}{4} \times G_{m3,A} \times V_{gs,A}^3 \times e^{j\phi_A} \quad (III.44)$$

Le passage en IP_3 permet d'écrire [III.14] :

$$\Delta I_{ds,APD_{G_m}(2\omega_1-\omega_2)} = 20 \times \log_{10} \left(\frac{G_{m3,P} \times V_{gs,P}^3 \times e^{j\phi_P}}{G_{m3,A} \times V_{gs,A}^3 \times e^{j\phi_A}} \right) \quad (III.45)$$

Il est clair, d'après l'équation (III.45) que les distorsions dues aux transconductances G_{m3} des deux étages (principal et auxiliaire) dépendent de trois paramètres, à savoir :

- Le point de polarisation de chaque amplificateur (principal et auxiliaire) qui régit la valeur de la transconductance d'ordre 3, G_{m3} ,
- Le rapport des puissances d'entrées des deux amplificateurs (principal et auxiliaire),
- Les phases des signaux de sortie des deux amplificateurs qui dépendent partiellement du point de polarisation de chaque amplificateur.

Qualitativement, le principe de superposition permet de réduire le terme d'intermodulation *IMD3* en choisissant des points de polarisations adéquats. Comme le

montre la figure III.12 [III.10], les transconductances des deux étages (principal et auxiliaire) sont de signe opposé. Il en résulte des termes d'*IMD3* de signes opposés, qui tendent à s'annuler mutuellement.

Cette technique d'amélioration de la linéarité est particulièrement délicate et loin de satisfaire les exigences actuelles de linéarité. Néanmoins, elle permet d'apporter une amélioration significative de ce critère en utilisant les comportements intrinsèques des transistors et sans ajout de circuits particuliers.

III.4. Etat de l'art des amplificateurs Doherty.

III.4.1. Historique et innovations.

Le premier prototype Doherty à l'état solide utilisant des transistors pHEMTs a été publié par R. J. McMorro et al. [III.15] de la société Raytheon en 1994. C'est, à notre sens, cet article qui constitue l'article pionnier du développement passé et actuel des architectures Doherty fonctionnant aux hyperfréquences. Dans cette publication, le rendement en puissance ajoutée est maintenu à sa valeur maximale de 61% sur une plage de recul en puissance de sortie de l'ordre de 5.50dB à la fréquence de 1.37GHz. Une amélioration de la *PAE* de l'ordre de 27%, à 5.50dB de back-off par rapport à la *PAE* d'un amplificateur de classe B a été démontrée. La linéarité n'est pas évoquée.

Le premier démonstrateur Doherty entièrement intégré en technologie MMIC a été publié par C.F. Campbell [III.16] en 1999. L'amplificateur utilise des transistors pHEMTs, et fonctionne en bande Ku (aux alentours de 17.5GHz). Cette publication a surtout mis l'accent sur l'influence du point de polarisation de grille de l'amplificateur auxiliaire. Il a été montré que plus l'amplificateur auxiliaire est pincé, plus le rendement est élevé et plus le rapport C/I_3 est bas. Les résultats présentés sont issus des mesures deux tons, et ne sont pas comparés à ceux d'un amplificateur classique.

La première réalisation d'un amplificateur en technologie MMIC utilisant des transistors DHBTs en InP a été publiée par K.W. Kobayashi [III.17] en 2000. Ce prototype fonctionne dans la bande de fréquence (18-21) GHz. Sa spécificité est l'amélioration de la linéarité lorsque le courant collecteur est faible. Cependant, l'effet Doherty n'est pas visible. Le rendement est seulement amélioré de 2 à 3 points comparé à celui d'un amplificateur classique de classe A.

M. Iwamoto [III.18] a démontré, en 2001, l'influence du rapport des tailles des transistors (auxiliaire et principal) sur le niveau du rendement atteint sur de très larges plages de recul en puissance de sortie. Le prototype fabriqué à cet effet utilise des transistors en technologie HBTs et fonctionne à la fréquence de 950MHz. La taille du transistor auxiliaire ($3360\mu\text{m}^2$) est le quadruple de la taille du transistor principal ($840\mu\text{m}^2$). Les résultats des caractérisations semblent concluants. A 10dB de back-off le rendement de l'amplificateur Doherty est de 43% alors que le rendement d'un amplificateur classique en classe B n'est que de 15%. Dans la zone de fonctionnement Doherty, la diminution de *PAE* en forme de cuvette est clairement montrée.

La technique Doherty multi-étages a été introduite par N. Srirattana [III.19] en 2002. Trois démonstrateurs ont été conçus et testés :

- Un amplificateur conventionnel à un seul transistor polarisé en classe AB.
- Un amplificateur Doherty 3 étages à transistors de tailles identiques.

- Un amplificateur Doherty 3 étages mais la taille du transistor de la voie N étant le double de la taille du transistor de la voie $N-1$.

Les amplificateurs utilisent des transistors FETs AsGa à la fréquence de 1.95GHz. Une amélioration du rendement de 30 points, à 10dB de back-off, est apportée par l'amplificateur Doherty 3 étages à transistors auxiliaires doubles par rapport au résultat obtenu avec un amplificateur classique. Une amélioration de 13 points de rendement par rapport au Doherty 3 étages à transistors de même taille est aussi présentée.

Le contrôle des polarisations grille des deux transistors, principal et auxiliaire, en fonction de la puissance d'entrée a été proposé par J. Cha [III.20] en 2003. Les deux polarisations de grille évoluent inversement. Lorsque le niveau d'excitation d'entrée augmente, la tension de polarisation de grille de l'amplificateur principal diminue alors que celle de l'amplificateur auxiliaire augmente. Cette publication a montré une amélioration significative du rendement (10 points) par rapport à un amplificateur Doherty classique.

Y. Suzuki [III.21] a proposé en 2003 une nouvelle configuration de type « Feedforward » fondée sur l'utilisation d'un amplificateur Doherty avec l'insertion d'un filtre à la fréquence harmonique 3 dans le circuit d'adaptation de l'amplificateur principal, qui fonctionne en classe F. Ce fonctionnement permet d'améliorer le rendement à fort back-off par rapport à un amplificateur fonctionnant en classe AB ou en classe B. Ce prototype « Feedforward Doherty classe F » fonctionne à la fréquence de 2.14GHz et délivre une puissance de sortie maximale de 1W. Expérimentalement, une amélioration du rendement à 3dB de back-off a été constatée par rapport à une architecture « Feedforward » classique. Le rendement de l'amplificateur principal a été amélioré de 33% à 52% et il est associé à un C/I_3 de l'ordre de -50dB.

Le contrôle des impédances de charge aux fréquences harmoniques peut éventuellement améliorer le rendement. Néanmoins, il est extrêmement difficile de synthétiser un circuit d'adaptation ramenant, à la fois, des impédances optimales à la fréquence fondamentale et aux fréquences harmoniques. L'utilisation de la classe à haut rendement (par contrôle de charges aux fréquences harmoniques 2 et 3) en architecture Doherty n'est valable, aujourd'hui, que pour des applications à bande étroite. Elle ne peut donc pas satisfaire les contraintes de la large bande passante.

En 2004, S. Goto [III.22] a réalisé 2 amplificateurs Doherty hybrides composés de transistors en technologie AsGa HFET et fonctionnant en bande S. Le premier démonstrateur utilise deux amplificateurs (principal et auxiliaire) fonctionnant en classe F tandis que dans le second, l'amplificateur principal est en classe F et l'amplificateur auxiliaire est en classe F^{-1} . Goto a montré que la deuxième configuration permet d'améliorer le rendement de drain (η) à fort back-off ainsi que la puissance de sortie maximale de l'amplificateur Doherty. A 8dB de back-off le rendement de drain de l'amplificateur Doherty de classe F/F^{-1} est de l'ordre de 58% alors que celui de l'amplificateur Doherty de classe F est de l'ordre de 45%. A puissance de sortie maximale, la tendance est plutôt inversée, le rendement de drain de l'amplificateur Doherty classe F est de 62% et celui de l'amplificateur Doherty de classe F/F^{-1} est égal à 50%.

L'approche d'amplificateur Doherty classe F/F^{-1} est intéressante en termes de rendement de drain à fort back-off. Néanmoins, la linéarité est très dégradée notamment dans la zone Doherty. Ceci est dû à une mauvaise recombinaison des courants et tensions aux fréquences harmoniques.

En 2005, J. Lees [III.23] a réalisé un amplificateur Doherty classique introduisant l'utilisation des transistors de technologie GaN avec une longueur de grille de 0.8 μ m. Ce prototype a démontré de bonnes performances à la fréquence de 1.8GHz, avec une puissance de sortie maximale de l'ordre de 32.5dBm associée à un rendement de drain égal à 55%. A 6dB de back-off le rendement drain est de l'ordre de 48%. Il n'a cependant pas comparé expérimentalement les résultats de ce prototype avec ceux obtenus en utilisant des transistors de technologie AsGa.

En 2007, H. Sano [III.24] a conçu un amplificateur de puissance de type Doherty classique en technologie hybride basé sur des transistors HEMT de technologie GaN. Ce prototype délivre en régime impulsif (avec un rapport cyclique de 10%) une puissance de sortie maximale de l'ordre de 250W associée à un rendement de drain de l'ordre de 60% à la fréquence de travail de 2.50GHz. La linéarité de ce prototype, en terme d'ACLR, a été testée et analysée en appliquant un signal d'excitation modulé (64QAM avec un PAPR égal à 7.4dB) avec et sans boucle de prédistorsion digitale (module commercial « PMC-Sierra PALADIN-15 chipsets »).

A 8dB de recul en puissance de sortie ($P_{MOY} = 40W$), l'application de la DPD (*Digital Pre-Distortion*) a nettement amélioré la linéarité de ce prototype, le niveau d'ACLR obtenu (dans une bande de 9MHz à 10MHz de la porteuse) est de l'ordre de -53dBc (au lieu de -26dBc sans DPD) associé à un rendement de drain de l'ordre de 48% et un gain en puissance de 13.4dB.

Les résultats obtenus semblent intéressants, notamment en termes de puissance de sortie et de linéarité avec application de la DPD. Néanmoins, la bande passante probablement limitée de ce prototype n'a pas été évoquée. Les tests ont été effectués à la fréquence porteuse de 2.57GHz précise.

Dans la même optique que S. Goto et Y. Suzuki, J. Kim [III.25] a conçu en 2008, un prototype Doherty hybride de classe F⁻¹. Cet amplificateur est fondé sur l'utilisation des transistors de technologie GaN HEMTs et fonctionne à la fréquence de 2.14GHz. Les impédances de charges optimales aux fréquences harmoniques 2 et 3 vues par les transistors (principal et auxiliaire) ont été optimisées à la saturation afin de pouvoir préserver un niveau de linéarité acceptable.

Excité par un signal CW, ce prototype délivre une puissance de sortie maximale de l'ordre de 43.5dBm associée à un rendement de drain de 70%. A 6dB de back-off, le rendement de drain est de l'ordre de 53%. Les résultats obtenus en appliquant un signal WCDMA semblent être intéressants. Par ailleurs, un rendement de drain de 52% et une linéarité acceptable de l'ordre de -28.3dBc en termes d'ACLR ont été obtenus à 36dBm de puissance moyenne de sortie. Cependant, une comparaison avec un prototype Doherty conventionnel n'a pas été réalisée et n'a pas permis de relever l'intérêt de ce concept. Par ailleurs, la bande passante n'a pas été évoquée.

En 2009, J. Moon [III.26] a proposé une approche permettant d'améliorer le niveau du rendement dégradé par l'effet de la tension de déchet. Il a réalisé deux démonstrateurs Doherty en technologie hybride fondés sur l'utilisation de transistors HEMT GaN et fonctionnant à 2.655GHz. Le premier a été optimisé pour que l'amplificateur principal voit, à son accès drain, à 6dB de back-off, une impédance R_{OPT} égale au double de la résistance d'utilisation (cas classique) alors que le second a été optimisé pour voir à son accès drain et à 6 dB de back-off une impédance de valeur supérieure à R_{OPT} . Cette configuration permet

d'améliorer le niveau du rendement à fort back-off au détriment du rendement à P_{SAT} , car l'impédance vue à la saturation n'est plus optimale.

Les résultats de test avec un signal CW montrent que le prototype Doherty proposé a apporté une amélioration de 3 points de rendement de drain à 6 dB de back-off par rapport au prototype Doherty conventionnel. Néanmoins, la linéarité est dégradée.

Dans le même volet, L. Piazzon [III.27] a montré que la variation de la tension de déchet n'a aucun impact sur les performances d'un amplificateur Doherty fondé sur l'utilisation des transistors en technologie AsGa pour lesquels la valeur de résistance R_{ON} , comparée à l'impédance de charge optimale, est très faible.

En 2010, K. Bathich [III.28] a réalisé le premier amplificateur Doherty hybride large bande avec 35% de bande passante autour de la fréquence centrale de 1.82GHz. Ce démonstrateur est fondé sur l'utilisation de transistors HEMT GaN. Il fournit, avec un signal CW, une puissance de sortie à 1dB de compression de l'ordre de 43.8dBm associée à une PAE de l'ordre de 69% à la fréquence de 1.90GHz. La PAE mesurée à 6 dB de recul en puissance de sortie est supérieure à 31% dans toute la bande de fonctionnement (1.5 - 2.14GHz). L'étude est focalisée sur les investigations de la largeur de bande passante admissible de la ligne $\lambda/4$ qui sert d'inverseur d'impédance. Sur les tracés de mesure de la PAE en fonction de la puissance de sortie, la région de fonctionnement Doherty n'est pas lisible. Une comparaison avec une architecture d'amplificateur conventionnel de classe AB aurait permis de relever l'intérêt de cette architecture Doherty large bande.

L'université de Roma Tor Vergata à Rome en Italie, a publié en 2010, les résultats de comparaison des performances, en CW à 2.14GHz, de trois démonstrateurs Doherty hybrides, utilisant des transistors de technologie HEMT GaN [III.29]. Ces prototypes ont été optimisés en se fondant sur des approches de conception différentes dans la perspective d'améliorer leurs performances et en particulier le rendement jusqu'à 6dB de back-off. Le premier démonstrateur s'appuie sur une approche classique de conception dans laquelle les charges vues par les transistors (principal et auxiliaire) aux fréquences harmoniques ont été optimisées. Il délivre une puissance de sortie maximale de l'ordre de 34.8dBm associée à un rendement de drain de l'ordre de 46%. A 6dB de back-off le rendement de drain est de 36%. Le gain bas niveau de ce démonstrateur est très faible, de l'ordre de 5dB.

Le deuxième démonstrateur est fondé sur l'implémentation d'un amplificateur principal fonctionnant en classe F (F-APD). Ce prototype délivre une puissance de sortie maximale de l'ordre de 35.2dBm associée à un rendement de drain de 56%. A 6dB de back-off, le rendement de drain est égal à 46%, soit 10 points d'amélioration par rapport au démonstrateur conventionnel. Le gain petit signal est de l'ordre de 6dB, il est donc meilleur que le gain du premier démonstrateur mais reste encore faible.

Les auteurs s'appuient sur la technique de variation des points de polarisation des étages principal et auxiliaire afin d'optimiser la consommation globale et d'améliorer également le gain du démonstrateur. Ils obtiennent une puissance de sortie maximale de l'ordre de 43dBm associée à un rendement de drain de l'ordre de 52%. A 6dB de back-off le rendement de drain est égal à 42%. Des comparaisons sont faites avec le même APD mais avec des points de polarisation fixe. On constate que la variation des points de polarisation des étages, principal et auxiliaire permet d'améliorer d'une part le rendement de drain dans la zone Doherty (amélioration légère de l'ordre 2 à 3 points). D'autre part, elle permet de

gagner 2dB de gain sur toute la dynamique de la puissance de sortie. Le gain bas niveau de cet amplificateur Doherty à polarisation de drain variable est de l'ordre de 13dB.

Cette étude est particulièrement intéressante pour toute sa partie théorique. Néanmoins, elle n'évoque nulle part les problématiques liées à la linéarité et à la bande passante.

En 2010, P. Colantonio [III.30] a publié la première réalisation d'un amplificateur Doherty hybride multi-bandes, multi-modes utilisant des transistors HEMT GaN et fonctionnant simultanément à 2.14GHz et à 3.5GHz avec 6dB de back-off. Avec un signal CW, ce démonstrateur délivre une puissance de sortie maximale à 2.14 GHz de l'ordre de 39dBm associée à un rendement de drain de 51%. A 6dB de back-off, le rendement de drain est de l'ordre de 39%. Les résultats de mesure de paramètres-[S] montrent que ce démonstrateur est adapté aussi bien en bande basse qu'en bande haute. Toutefois, celui-ci n'a pas de gain à 3.5GHz. L'auteur indique que cela est dû à la mauvaise prise en compte de la capacité C_{DS} du transistor auxiliaire en bande haute.

En 2012, *TriQuint Semiconductor* [III.31] a réalisé et caractérisé un amplificateur Doherty MMIC à 2 étages, utilisant des transistors HEMT GaN sur SiC de longueur de grille de 0.15 μ m et fonctionnant en bande K [22-24GHz]. Le premier étage permet d'améliorer le gain global alors que le deuxième étage a pour objectif de fournir une puissance de sortie élevée. Avec un signal CW, ce démonstrateur délivre à la fréquence centrale de 23GHz une puissance de sortie maximale de l'ordre de 5W associée à une PAE de 48% et un gain bas niveau de l'ordre de 16.8dB. A 8dB de back-off, la PAE à 23GHz est proche de 24%. Ces résultats constituent l'état de l'art mondial actuel en bande K.

La même année, J. M. Rubio s'est intéressé à la largeur de bande d'amplificateurs Doherty en proposant l'utilisation des circuits compensateurs de réactance en sortie de chaque voie (principale et auxiliaire). Il a publié la réalisation d'un prototype Doherty hybride conventionnel [III.32] fondé sur l'utilisation de transistors de technologie HEMT GaN fonctionnant avec une bande passante de 18% autour de la fréquence centrale de 3.3GHz. Ce démonstrateur ne constitue pas l'amplificateur Doherty possédant la plus large bande publiée. Cependant, les performances obtenues dans la bande en question sont intéressantes avec une puissance de sortie de l'ordre de 43.5dBm, associée à un rendement de drain compris entre 55% et 66%. A 6dB de back-off, le rendement de drain est aux alentours de 40%.

R. Darraji [III.33] a réalisé en 2013, un amplificateur Doherty hybride avec deux entrées RF indépendantes (étage principal et étage auxiliaire). Ce démonstrateur est fondé sur l'utilisation de transistors HEMT GaN et fonctionne à 2.14GHz. L'adaptation numérique des densités de puissance d'excitation des deux amplificateurs et de l'alignement de phase entre les deux voies a permis d'améliorer le niveau de la PAE sur toute la dynamique de l'OBO. Ce prototype délivre une puissance de sortie maximale de l'ordre de 44dBm associée à une PAE de 64%. A 6dB de back-off, la PAE est de l'ordre de 53%.

III.4.2. Synthèse de l'état de l'art des amplificateurs fonctionnant en bande C.

Le tableau III.2 présente une synthèse de l'état de l'art mondial des réalisations d'amplificateurs Doherty fonctionnant en bande C autour de la fréquence de 7GHz. Les résultats présentés sont issus des caractérisations en mode CW.

La plupart de ces publications ont été réalisées par des universités italiennes, suédoises et allemandes.



CONFIDENTIEL, DIFFUSION RESTREINTE



Tableau III.2 : Synthèse de l'état de des amplificateurs Doherty fonctionnant en bande C

Réf.	Architecture	Intégration	Technologie	f_0 [GHz]	Bande passante	P_{SAT} [dBm]	Rendement @		OBO [dB]	Rendement @		Remarques
							P_{SAT} [%]			OBO [%]		
							PAE	η		PAE	η	
[34] 2010	Conventionnel $\rho_A > \rho_P$	Hybride	AsGa P-HEMT Transcom Inc., Taiwan	5.505	1.8%	34	43	50	6	25	30	
[35] 2011	Conventionnel	Hybride	GaN HEMT Cree	5.8	0%	41.5	50	63	6	42	49	Optimisation des charges vues aux fréquences harmoniques
[36] 2012	Asymétrique $n = 2.5$	MMIC	GaN HEMT	7	5%	37	NC	47	7	NC	35	Doherty-Lite [14]
[37] 2013	Asymétrique $n = 1.6$	MMIC	GaN HEMT 0.25 μ m TriQuint	7	10%	37	NC	47	7	NC	40	préamplificateur inséré sur la voie auxiliaire
[38] 2014	Conventionnel	MMIC	GaN HEMT 0.25 μ m TriQuint 3MI	7.3	41%	35-36	30-43	NC	9	31	NC	Structure reconfigurable (points de polarisation)
[39] 2014	Conventionnel	Intégré	SiGe-BiCMOS IHP 250nm	5	0%	22	25	NC	6	20	NC	Décalage en fréquence entre la simulation et la mesure
[40] 2015	Conventionnel	MMIC	GaN HEMT 0.25 μ m UMS	7	0%	40	NC	48	6	NC	43	Circuit d'entrée reconfigurable
[41] 2016	Conventionnel	Q-MMIC Passifs AsGa	GaN HEMT 0.25 μ m UMS	6.50	0%	42	32	NC	9	21	NC	2 étages, PA encapsulé dans un boîtier QFN 9x9
[42] 2017	Conventionnel	MMIC	GaN HEMT 0.25 μ m	7	8.5%	38	55	NC	6	41	NC	2 étages Bonne linéarité

III.5. Conclusion.

L'aspect théorique fondamental de l'architecture d'amplificateur de puissance Doherty à l'état solide a été détaillé.

Cette solution d'amplification semble très intéressante et prometteuse pour l'amplification des signaux à enveloppe variable et à PAPR non nul.

Il importe de noter que la prise en compte de quelques effets limitatifs des transistors HEMTs tel que la tension de coude réduit les performances en puissance et en rendement de cette structure à haut rendement.

La linéarité de ce type d'amplificateur a été abordée, la technique de superposition des dérivées d'ordre 3 de la transconductance (G_{m3}) des transistors principaux et auxiliaire permet d'améliorer au premier ordre la linéarité globale de l'APD. Néanmoins, l'amélioration de la linéarité apportée par cette technique reste limitée et ne répond qu'une partie aux exigences et aux besoins actuels des équipementiers télécoms en termes de linéarités.

Une étude bibliographique étendue a été présentée de manière succincte et chronologique. Celle-ci a permis de dégager un état de l'art des amplificateurs de puissance Doherty fonctionnant en bande C et comparables à ceux réalisés lors de ce travail de thèse.

Références bibliographiques Chapitre III.

- [III. 1] B. A. Grebennikov and S. Bulja, "High-efficiency Doherty power amplifiers: Historical aspect and modern trends," Proc. IEEE, vol.100, no. 12, pp. 3190–3219, 2012.
- [III. 2] F. H. Raab, "Efficiency of Doherty RF Power-Amplifier Systems," IEEE Transactions on Broadcasting, vol. BC-33, no. 3, pp. 77–83, Sep. 1987.
- [III. 3] S.C. Cripps, "Advanced Techniques in RF Power Amplifier Design", Artech House, House Inc., Norwood MA, 2002.
- [III. 4] P. Colantonio and al., "The Doherty Power Amplifier," International Journal Of Microwave And Optical Technology, Vol.5, N°6, Nov.2010.
- [III. 5] J. Moon, Y. Y.Woo, B. Kim, "A highly efficient Doherty power amplifier employing optimized carrier cell," Microwave Conference, 2009. EuMC 2009. European, pp.1720-1723, Sept. 29 2009-Oct. 1 2009.
- [III. 6] T. Gasselting, "Caractérisation non-linéaire avancée de transistors de puissance pour la validation de leur modèle CAO," Thèse de doctorat, Université des sciences de Limoges, IRCOM, 2003.
- [III. 7] S. Forestier, "Gestion dynamique de la génération de puissance en hyperfréquence pour des modulations numériques : application a l'optimisation des performances d'un amplificateur millimétrique," Thèse de doctorat, université des sciences de Limoges, IRCOM, 2003.
- [III. 8] A. C. Bohigas, "Implémentation de Techniques de Linéarisation et d'Amélioration du Rendement pour les Amplificateurs de Puissance RF," Thèse de Doctorat, Université de Toulouse, Sep. 2008.
- [III. 9] B. Razavi, "RF Microelectronics," Prentice Hall PTR, Upper Saddle River, NJ 07458, USA, chapter 2 :Basic Concepts in RF Design, pp. 20-24.
- [III. 10] Y-S Lee, M-W Lee and Y-H Jeong "Linearity-Optimized 3.5GHz GaN HEMT Doherty Amplifier" The 23rd International Technical Conference on Circuit/Systems, Computers and Communications (ITC-CSCC), 2008
- [III. 11] B. Kim, J. Kim, I. Kim and J. Cha, "The Doherty power amplifier," in IEEE Microwave Magazine, vol. 7, no. 5, pp. 42-50, Oct. 2006.
- [III. 12] D.R. Webster, and al. "Low Distortion MMIC Power Amplifier Using a New Form of Derivative Superposition," IEEE Trans. On Microwave Theory and Tech, Vol. 49, N°.2, pp. 328-332,2001.
- [III. 13] E. R. Srinidhi and al., « A New Method for Identification and Minimization of Distortion Sources in GaN HEMT Devices Based on Volterra Series Analysis, » IEEE Electron Device Letters, Vol. 28, N°.5, pp. 343-345, 2007.
- [III. 14] K. J. Cho and al., "An enhanced Doherty Amplifier Design Based on the Derivative Superposition Method," Microwave Journal, vol. 50, N°. 4, pp. 72-85, 2007.
- [III. 15] R. J. McMorow, D. M. Upton and P. R. Maloney, "The microwave Doherty amplifier," 1994 IEEE MTT-S International Microwave Symposium Digest (Cat. No.94CH3389-4), San Diego, CA, USA, 1994, pp. 1653-1656 vol.3.

- [III. 16] C. F. Campbell, "A fully integrated Ku-band Doherty amplifier MMIC," in IEEE Microwave and Guided Wave Letters, vol. 9, no. 3, pp. 114-116, March 1999.
- [III. 17] K. W. Kobayashi et al., "An 18-21 GHz InP DHBT linear microwave Doherty amplifier," 2000 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium Digest of Papers (Cat. No.00CH37096), Boston, MA, USA, 2000, pp. 179-182.
- [III. 18] M. Iwamoto, A. Williams, Pin-Fan Chen, A. G. Metzger, L. E. Larson and P. M. Asbeck, "An extended Doherty amplifier with high efficiency over a wide power range," in IEEE Transactions on Microwave Theory and Techniques, vol. 49, no. 12, pp. 2472-2479, Dec 2001.
- [III. 19] N. Srirattana, A. Raghavan, D. Heo, AND AL. "Analysis and design of a high-efficiency multistage Doherty power amplifier for WCDMA," IEEE Microwave Conference, 2003. 33rd European, vol.3, pp. 1337-1340.
- [III. 20] Jeonghyeon Cha, Youngoo Yang, Bumjae Shin and Bumman Kim, "An adaptive bias controlled power amplifier with a Load-modulated combining scheme for high efficiency and linearity," IEEE MTT-S International Microwave Symposium Digest, 2003, Philadelphia, PA, USA, 2003, pp. 81-84 vol.1.
- [III. 21] Y. Suzuki, T. Hirota and T. Nojima, "Highly efficient feed-forward amplifier using a Class-F Doherty amplifier," IEEE MTT-S International Microwave Symposium Digest, 2003, Philadelphia, PA, USA, 2003, pp. 77-80 vol.1.
- [III. 22] S. Goto, T. Kunii, A. Inoue, K. Izawa, T. Ishikawa and Y. Matsuda, "Efficiency enhancement of Doherty amplifier with combination of class-F and inverse class-F schemes for S-band base station application," 2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No.04CH37535), 2004, pp. 839-842 Vol.2.
- [III. 23] J. Lees et al., "Characterisation of an experimental gallium nitride microwave Doherty amplifier," 2005 European Microwave Conference, 2005, pp. 4 pp.-.
- [III. 24] H. Sano, N. Ui and S. Sano, "A 40W GaN HEMT Doherty Power Amplifier with 48% Efficiency for WiMAX Applications," 2007 IEEE Compound Semiconductor Integrated Circuits Symposium, Portland, OR, 2007, pp. 1-4.
- [III. 25] J. Kim et al., "Analysis of a Fully Matched Saturated Doherty Amplifier With Excellent Efficiency," in IEEE Transactions on Microwave Theory and Techniques, vol. 56, no. 2, pp. 328-338, Feb. 2008.
- [III. 26] J. Moon, Y. Y. Woo and B. Kim, "A highly efficient Doherty power amplifier employing optimized carrier cell," 2009 European Microwave Conference (EuMC), Rome, 2009, pp. 1720-1723.
- [III. 27] L. Piazzon, P. Colantonio, F. Giannini and R. Giofrè, "Design of an X-Band GaAs MMIC Doherty amplifier accounting for device RON resistance," The 40th European Microwave Conference, Paris, 2010, pp. 862-865.
- [III. 28] K. Bathich, A. Z. Markos and G. Boeck, "A wideband GaN Doherty amplifier with 35 % fractional bandwidth," The 40th European Microwave Conference, Paris, 2010, pp. 1006-1009.
- [III. 29] P. Colantonio, F. Giannini, R. Giofrè and L. Piazzon "The Doherty Power Amplifier," International Journal Of Microwave And Optical Technology, IJMOT, Vol.5,no.6, November 2010.

- [III. 30] P. Colantonio, F. Feudo, F. Giannini, R. Giofrè and L. Piazzon, "Design of a dual-band GaN Doherty amplifier," 18-th International Conference On Microwaves, Radar And Wireless Communications, Vilnius, Lithuania, 2010, pp. 1-4.
- [III. 31] C. F. Campbell, K. Tran, M. Y. Kao and S. Nayak, "A K-Band 5W Doherty Amplifier MMIC Utilizing 0.15 μ m GaN on SiC HEMT Technology," 2012 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), La Jolla, CA, 2012, pp. 1-4.
- [III. 32] J. M. Rubio, J. Fang, V. Camarchia, R. Quaglia, M. Pirola and G. Ghione, "3–3.6-GHz Wideband GaN Doherty Power Amplifier Exploiting Output Compensation Stages," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 8, pp. 2543-2548, Aug. 2012.
- [III. 33] R. Darraji and F. M. Ghannouchi, "High efficiency Doherty amplifier combining digital adaptive power distribution and dynamic phase alignment," WAMICON 2013, Orlando, FL, 2013, pp. 1-3.
- [III. 34] A. Z. Markos, D. Gruner, K. Bathich and G. Boeck, "A 2 W GaAs doherty amplifier for 5.50–5.6 GHz applications," 18-th International Conference On Microwaves, Radar And Wireless Communications, Vilnius, 2010, pp. 1-4.
- [III. 35] D. Gruner, K. Bathich, A. A. Tanany and G. Boeck, "Harmonically tuned GaN-HEMT Doherty power amplifier for 6 GHz applications," 2011 6th European Microwave Integrated Circuit Conference, Manchester, 2011, pp. 112-115.
- [III. 36] V. Camarchia, J. Fang, J. Moreno Rubio, M. Pirola and R. Quaglia, "7 GHz MMIC GaN Doherty Power Amplifier With 47% Efficiency at 7 dB Output Back-Off," in IEEE Microwave and Wireless Components Letters, vol. 23, no. 1, pp. 34-36, Jan. 2013.
- [III. 37] V. Camarchia et al., "High-Efficiency 7 GHz Doherty GaN MMIC Power Amplifiers for Microwave Backhaul Radio Links," in IEEE Transactions on Electron Devices, vol. 60, no. 10, pp. 3592-3595, Oct. 2013.
- [III. 38] D. Gustafsson, J. C. Cahuana, D. Kuylenstierna, I. Angelov and C. Fager, "A GaN MMIC Modified Doherty PA With Large Bandwidth and Reconfigurable Efficiency," in IEEE Transactions on Microwave Theory and Techniques, vol. 62, no. 12, pp. 3006-3016, Dec. 2014.
- [III. 39] C. Tzschope, R. Wolf, D. Fritsche, A. Richter and F. Ellinger, "A fully integrated Doherty-amplifier for 5.6 GHz WLAN applications," 2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS), Marseille, 2014, pp. 72-75.
- [III. 40] R. Giofrè et al., "GaN-MMIC Doherty power amplifier with integrated reconfigurable input network for microwave backhaul applications," 2015 IEEE MTT-S International Microwave Symposium, Phoenix, AZ, 2015, pp. 1-3.
- [III. 41] D. Gustafsson, K. Andersson, A. Leidenhed, M. Malmstrom, A. Rhodin and T. Wegeland, "A packaged hybrid doherty PA for microwave links," 2016 46th European Microwave Conference (EuMC), London, United Kingdom, 2016, pp. 1437-1440.
- [III. 42] R. Giofrè and P. Colantonio, "A High Efficiency and Low Distortion 6 W GaN MMIC Doherty Amplifier for 7 GHz Radio Links," in IEEE Microwave and Wireless Components Letters, vol. 27, no. 1, pp. 70-72, Jan. 2017.

Chapitre IV. Caractérisation des transistors unitaires GH25 et méthode d'évaluation en vue d'applications en amplification DOHERTY.

IV.1. Introduction.

Comme nous avons pu le constater au chapitre I, l'avènement des nouveaux transistors à grand gap, offrant de forts potentiels en densité de puissance, a créé un saut technologique important dans le cadre de la génération de forte puissance microonde et à haute intégration.

La nouvelle approche Quasi-MMIC, initiée par UMS il y a quelques années, associée à la technique d'encapsulation en boîtier plastique, est une avancée très prometteuse pour les nouvelles générations des amplificateurs de très fortes puissances offrant des performances et une intégration proche de celle de la technologie MMIC avec des coûts et des cycles de fabrication beaucoup plus attractifs.

Le chapitre II nous a permis de faire un tour d'horizon des principales grandeurs caractéristiques des amplificateurs de puissance à enveloppe variable qui constitue aujourd'hui un pôle d'intérêt pour les industriels des équipements télécoms. Cet intérêt a ouvert la voie à plusieurs sujets de recherche et d'investigation dont celui qui constitue le cœur de cette thèse : la technique d'amplification Doherty à haut rendement. Cette technique est particulièrement bien adaptée lorsqu'elle est appliquée à des signaux ayant un PAPR non nul et une distribution statistique d'enveloppe centrée en-deçà de la valeur crête d'enveloppe. Cette technique qui se distingue par sa simplicité, sa robustesse et son efficacité est exposée dans le chapitre précédent.

Ce quatrième chapitre est dédié aux caractérisations des transistors HEMT AlGaIn/GaN de $0.25\mu\text{m}$ de longueur de grille, avec la mise en évidence des effets pièges, puis la validation du modèle électrique. Ces caractérisations ont été effectuées à l'aide des différents moyens de mesure du laboratoire XLIM. Une méthode de caractérisation des transistors en vue des applications Doherty a été initiée lors de nos premières investigations. La validation et l'exploration de cette nouvelle technique a conduit à la mise en place d'un système de mesures temporelles sous pointe élaboré par le laboratoire XLIM. Ce banc temporel et son utilisation dans le cadre de la recherche des formes des tensions et courants optimaux aux bornes de transistors constituant les deux étages amplificateurs d'un APD sont présentés.

IV.2. Caractérisations expérimentales du composant actif GH25.

Toute étape d'étude théorique et de conception requiert l'utilisation d'un modèle électrique de transistor. Dans ce travail doctoral, le transistor qui constitue la brique de base des études et des conceptions est un transistor GH25 provenant de la fonderie UMS. Une campagne de caractérisation des transistors GH25 ayant un développement total de grille de 1mm a été réalisée dans le cadre de la validation des performances électriques fournies par le modèle électrique, principalement en régime de forte puissance RF, pour des fonctionnements en classe AB, AB/B et C.

IV.2.1. Mise en évidence les phénomènes de piégeage.

Deux méthodes classiques d'analyse des phénomènes de pièges ont été utilisées. La première repose sur les tracés des caractéristiques $I(V)$ en régime impulsionnel. La seconde

s'appuie sur des caractérisations basses fréquences de l'admittance de sortie du transistor extraite des mesures de paramètres-[S] basses fréquences.

Ces dernières mesures ont été réalisées au sein du laboratoire XLIM.

IV.2.1.1. Caractérisations $I(V)$ impulsionnelles.

La mesure $I(V)$ impulsionnelle permet d'observer des transitoires qui ne sont pas visibles en régime DC [IV.1-IV.2]. L'application d'impulsions de tension de durée suffisamment courte permet d'obtenir d'une part des informations essentielles sur la nature des états électriques des pièges qui n'atteignent pas, dans ce cas de figure, leurs régimes permanents. D'autre part, cette technique de mesure permet de s'affranchir en grande partie des problèmes thermiques induits par effet d'auto-échauffement du composant. Ce type de caractérisation impulsionnelle constitue un bon moyen d'investigation des effets parasites dus aux pièges en comparant les caractéristiques $I(V)$ résultantes obtenues à partir de différents points de polarisation DC.

Deux principales variantes de la mesure des variations du courant de drain peuvent être distinguées : la mesure des pièges de grille (*Gate-Lag*) et la mesure des pièges de drain (*Drain-Lag*).

IV.2.1.1.1. Banc de mesure $I(V)$ en régime impulsionnel.

Le synoptique du banc de mesure $I(V)$ impulsionnel développé au laboratoire XLIM [IV.3] est donné sur la figure IV.1.

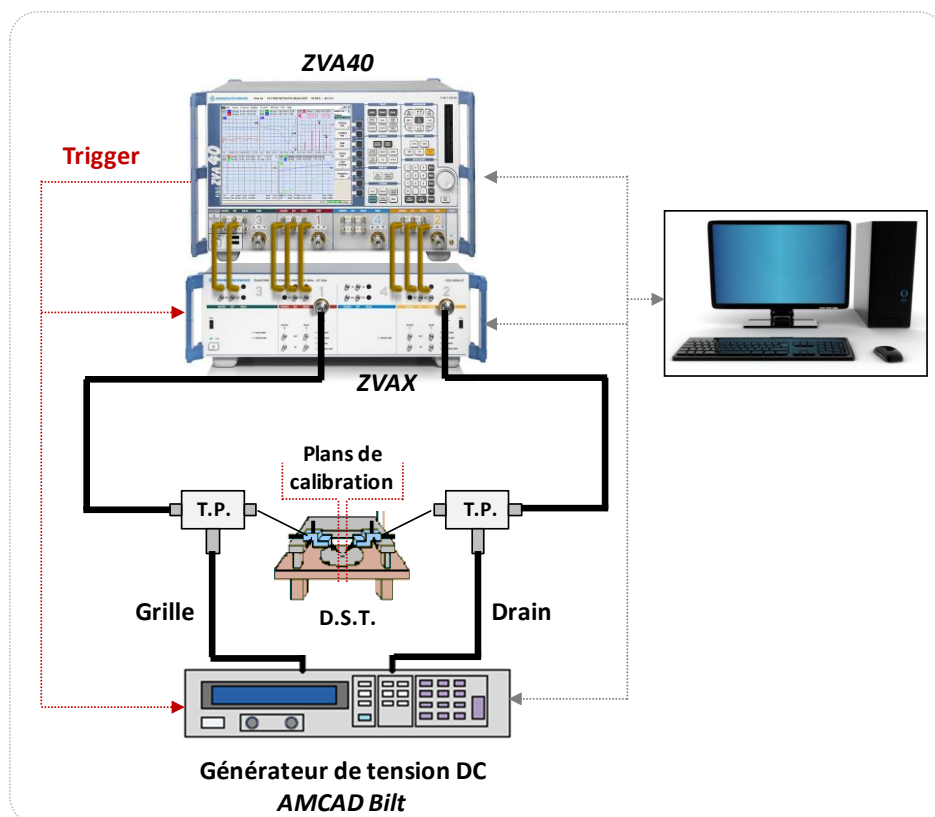


Figure IV.1 : Synoptique du banc de mesure $I(V)$ impulsionnelle d'XLIM (source: thèse : Agostino Benvegna – 2016- Université de Limoges).

Le principe de la mesure $I(V)$ en impulsion consiste à décrire l'ensemble du réseau $I(V)$ par des mesures quasi-isothermes en appliquant, de manière synchrone et avec une récurrence définie, de brèves impulsions des tensions grille-source (V_{gsi} , I_{gsi}) et drain-source (V_{dsi} , I_{dsi}), autour d'un point de polarisation DC choisi M_0 (V_{gs0} , V_{ds0}) associé à un courant de repos I_{ds0} .

Les durées et la récurrence des impulsions doivent répondre aux spécifications suivantes :

- La durée de l'impulsion doit être choisie minutieusement pour assurer une précision élevée des niveaux des courants et tension prélevés tout en gardant une température constante du composant sous test durant tout le cycle de la mesure. Les durées d'impulsions doivent être suffisamment longues pour permettre d'atteindre l'état établi tout en étant suffisamment brèves pour que les effets d'auto-échauffement n'interviennent pas.
- Le temps entre deux impulsions successives indiquant la récurrence doit être très grand, comparé à la durée de l'impulsion. Ceci se traduit communément par un rapport cyclique (rapport en pourcentage entre la durée d'impulsion et la récurrence) inférieure à 10%.

IV.2.1.1.2. Description temporelle des impulsions DC appliquées.

La figure IV.2 représente les chronogrammes des impulsions des tensions $v_{gs}(t)$ et $v_{ds}(t)$ appliquées sur des cellules de test issues d'une plaque nommée : ASAP (année 2014) et comportant des transistors unitaires GH25 (HEMT AlGaN/GaN sur substrat SiC, longueur de grille $0.25\mu\text{m}$) ayant 8 doigts de grille de $125\mu\text{m}$ de large chacun (1mm de développement total de grille).

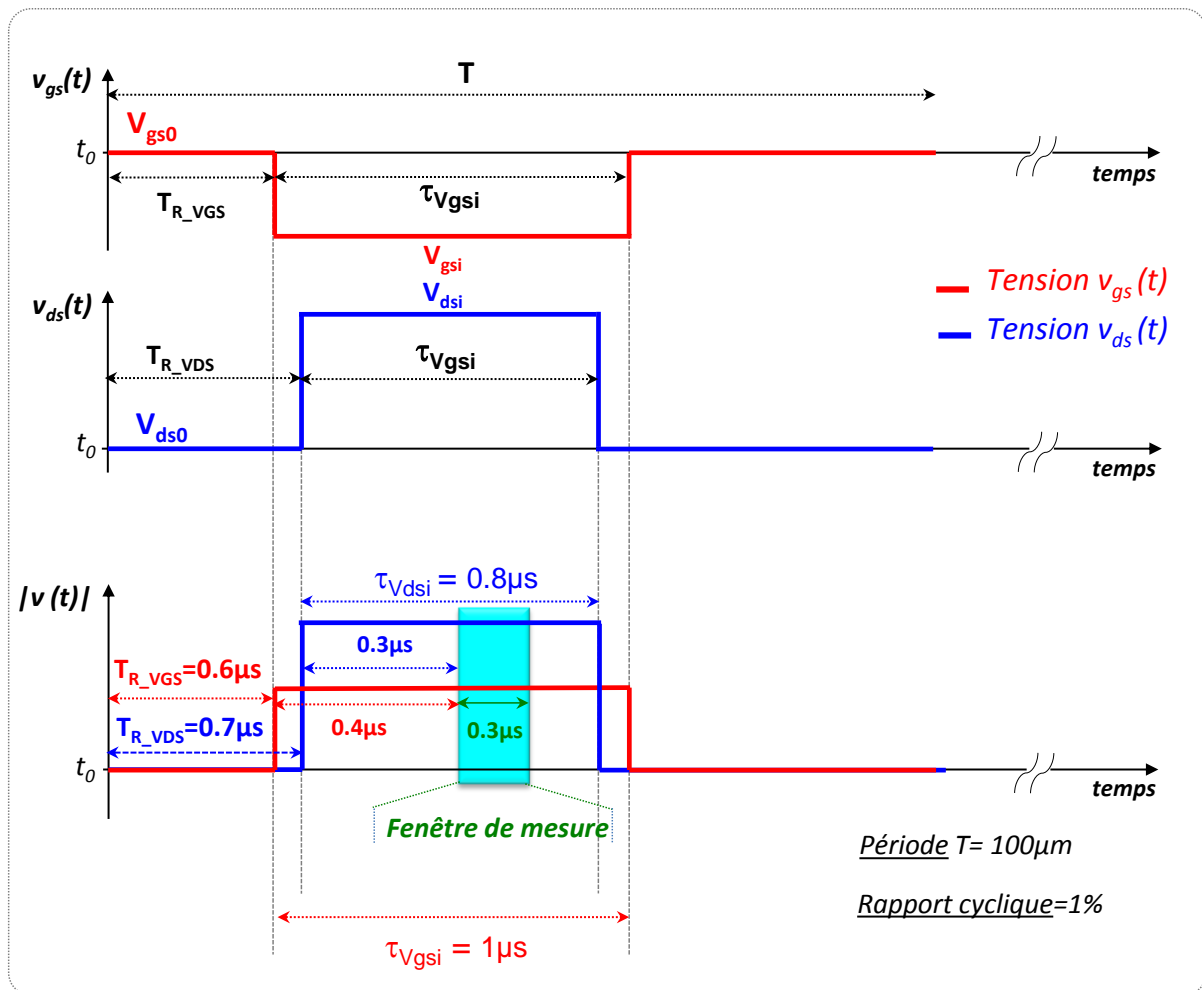


Figure IV.2 : Chronogrammes des impulsions V_{gsi} et V_{dsi} appliquées.

Le courant de repos (ou courant « quiescent ») I_{ds0} est fixé par les tensions de polarisation DC de repos V_{gs0} et V_{ds0} . La durée de l'impulsion de la tension de grille V_{gsi} générée est de l'ordre de $1\mu s$. L'impulsion de la tension de drain, V_{dsi} , qui est comprise dans l'impulsion de grille, possède une durée de $0.8\mu s$. Le rapport cyclique est de l'ordre de 1%. La fenêtre de mesure correspond aux instants auxquels les valeurs des tensions et des courants sont prélevées. Elle est située vers la fin des impulsions pour s'assurer que celles-ci sont en régime établi. La caractéristique $I(V)$ représente les valeurs des tensions et des courants prélevés et intégrés sur la durée de la fenêtre de mesure.

IV.2.1.1.3. Effet « Gate-Lag ».

Le phénomène de « Gate-Lag » est lié à l'influence de la commande de grille sur l'état des pièges dans le composant. Il se traduit par l'apparition de transitoires lents du courant de drain lors du passage abrupt du transistor d'un état de pincement (état OFF : $V_{gs} < V_{PINCEMENT}$) à un état de conduction du canal (état ON : $V_{gs} > V_{PINCEMENT}$) ou inversement. Le passage brusque d'un état à l'autre induit un temps de transition pendant lequel le courant de drain retrouve progressivement son état établi.

Pour mettre en évidence l'altération des performances des transistors GH25 due aux effets de « Gate-Lag », des mesures $I_{ds}(V_{ds})$ impulsionnelles ont été réalisées pour deux points de polarisation de repos distincts. Ces mesures sont dites « à froid » ($V_{ds0} = 0V$) car elles impliquent une annulation des effets thermiques. Le premier point de polarisation $M_{réf.}$

($V_{gs0} = 0V$, $V_{ds0} = 0V$) est appelé point de polarisation de repos de référence. Le deuxième point de polarisation de repos $M_{Gate-Lag}$ ($V_{gs0} = -5V < V_{PINCEMENT}$, $V_{ds0} = 0V$) est obtenu lorsque le transistor est maintenu pincé avec une tension nulle appliquée sur le drain. Le transistor est ensuite soumis à partir de ces deux points de repos aux polarisations instantanées imposées par les impulsions.

Les résultats obtenus sont tracés sur la figure IV.3. La chute de l'amplitude du courant de drain I_{ds} entre les mesures au point de repos $M_{réf.}$ ($V_{gs0} = 0V$, $V_{ds0} = 0V$) et les mesures au point de repos $M_{Gate-Lag}$ ($V_{gs0} = -5V$, $V_{ds0} = 0V$) est flagrante. En revanche la tension de coude n'est quasiment pas affectée. Le phénomène de « Gate-Lag » peut impacter fortement la puissance de sortie du transistor essentiellement pour des fonctionnements aux alentours de la tension de pincement.

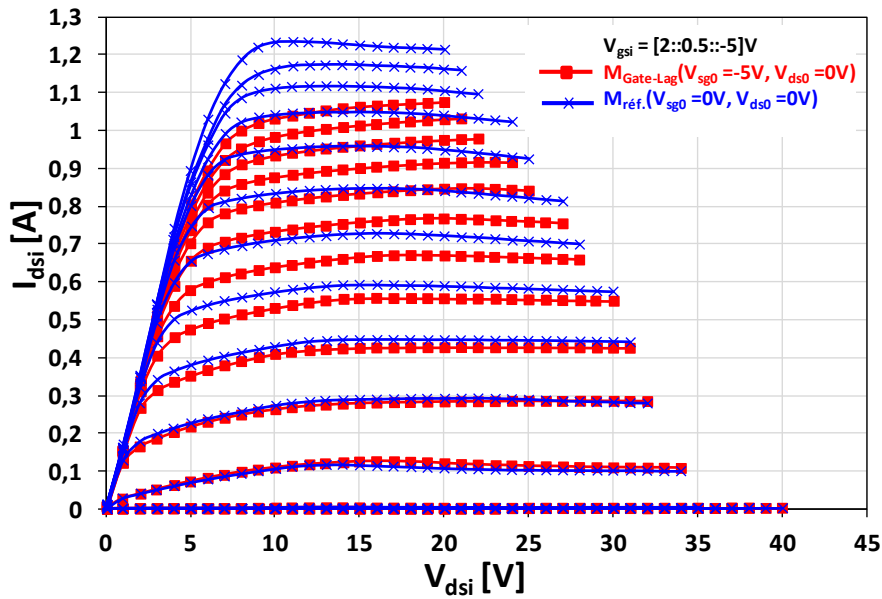


Figure IV.3 : Mise en évidence du phénomène de « Gate-Lag » sur un transistor GH25 (HEMT AlGaIn/GaN sur SiC $L_g = 0.25\mu m$) $8 \times 125\mu m$ avec une puissance dissipée nulle et une température de Chuck de $25^\circ C$. V_{gsi} varie de 2V à -5V par pas de 0.5V.

IV.2.1.1.4. Effet « Drain-Lag ».

Le phénomène de « Drain-Lag » est lié à l'influence de la commande de drain sur l'état des pièges du composant. Il se manifeste par une diminution considérable du courant de drain lors de l'application d'une impulsion V_{dsi} positive de durée plus longue que les constantes de temps de capture mais également d'émission des pièges. L'augmentation de la tension V_{ds} ionise une grande quantité de pièges de niveaux d'énergie profonds localisés dans le buffer et/ou dans le substrat. Les électrons sont donc capturés et ne peuvent plus participer au courant dans le canal [IV.3].

La mise en évidence du phénomène de « Drain-Lag » peut s'effectuer de la même manière que celle du phénomène de « Gate-Lag » en pinçant le transistor ($V_{gs0} < V_{PINCEMENT}$) afin de maintenir un état thermique mais en une tension de repos de drain élevée. Les jeux de mesures sont donc appliqués pour ces trois points de polarisation de repos : $M_{Réf.}$ ($V_{gs0} = 0V$, $V_{ds0} = 0V$), $M_{Gate-Lag}$ ($V_{gs0} = -5V$, $V_{ds0} = 0V$) et $M_{Drain-Lag}$ ($V_{gs0} = -5V$, $V_{ds0} = 30V$).

Tous les tests ont été réalisés sous pointes sur le même composant. La répétition de ces mesures sur plusieurs motifs de test a confirmé la reproductibilité des résultats obtenus.

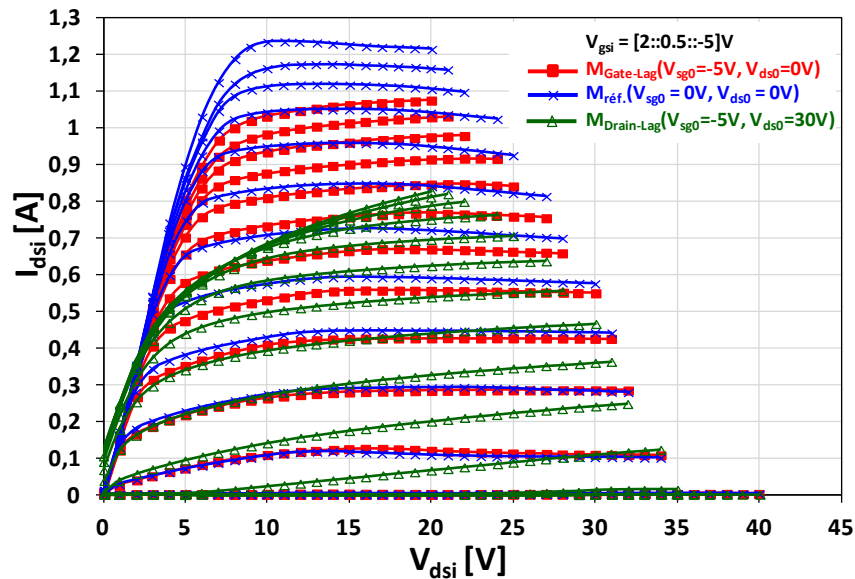


Figure IV.4 : Mise en évidence du phénomène de « *Drain-Lag* » sur un transistor GH25 (HEMT AlGaIn/GaN sur SiC $L_g = 0.25\mu\text{m}$) $8 \times 125\mu\text{m}$ avec une puissance dissipée nulle et une température de Chuck de 25°C . V_{gsi} varie de 2V à -5V par pas de 0.5V.

La figure IV.4 montre clairement l'impact de l'effet de « *Drain-Lag* » sur la caractéristique $I_{ds}(V_{ds})$. La chute du courant pour les fortes valeurs de V_{gs} est significative. Par ailleurs, la tension de coude a augmenté. La dégradation du courant de drain et l'augmentation de la tension de coude se répercutent directement sur les performances en puissance du transistor entraînant une diminution de l'excursion du cycle de charge et donc une baisse de la puissance de sortie.

La réduction du courant peut être assimilée à l'apparition d'une électrode de grille parasite (« *Back-Gate* ») qui engendre une zone de charge d'espace à l'interface substrat/canal et qui pince le canal. Ce phénomène est connu sous l'appellation « *Self-Backgating* ». Une explication détaillée de ce phénomène est donnée dans la thèse de Z. Ouarch [IV.4].

Pour s'assurer de leur reproductibilité, plusieurs mesures successives des caractéristiques $I(V)$ ont été effectuées sur un même composant (transistor GH25 : $8 \times 125\mu\text{m}$) à une même polarisation de repos à froid ($V_{ds0} = 0\text{V}$, $V_{gs0} = 0\text{V}$). Les réseaux $I(V)$ obtenus sont montrés sur la figure IV.5.

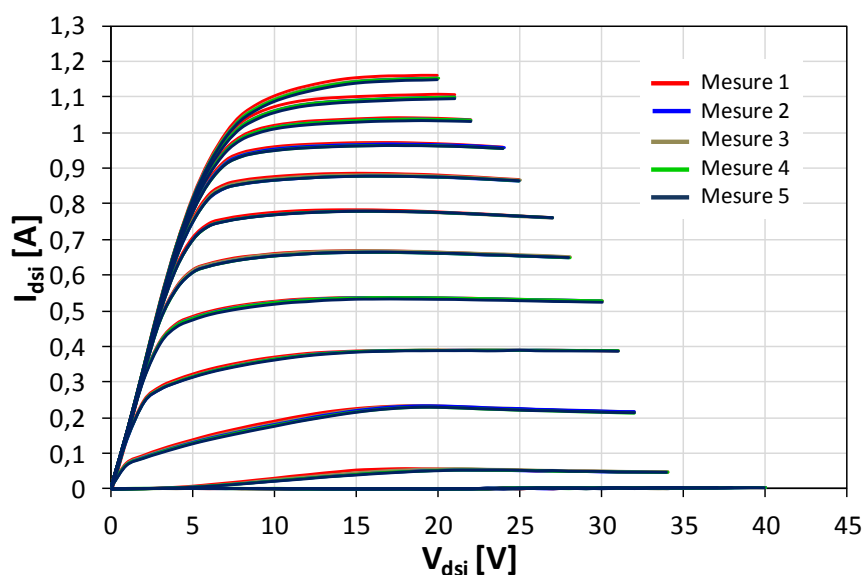


Figure IV.5 : Mise en évidence de la reproductibilité des réseaux $I(V)$ d'un transistor GH25 (HEMT AlGaIn/GaN sur SiC $L_g = 0.25\mu\text{m}$) $8 \times 125\mu\text{m}$ avec une puissance dissipée nulle et une température de Chuck de 25°C . V_{gsi} varie de 2V à -5V par pas de 0.5V.

Nous remarquons que la caractéristique $I(V)$ du transistor GH25 reste constante. Elle est reproductible indépendamment de l'intensité du stress DC appliqué (nombre de mesures successives).

IV.2.1.2. Caractérisation paramètres-[S] basses fréquences.

De nombreux travaux ont montré la dépendance de l'admittance de sortie du transistor $Y_{22}(f)$ des transistors HEMT GaN, et plus particulièrement de sa susceptance, aux effets de pièges [IV.5-IV.8]. Il est avéré que les pièges ont des constantes de temps d'émission relativement lentes, comprises entre la « microseconde » et la « seconde », et même au-delà. Ces temps d'émission correspondent alors à des basses fréquences : de l'ordre de du Hertz au Mégahertz. Or, ces constantes de temps peuvent également avoir des conséquences néfastes sur le signal en bande de base.

IV.2.1.2.1. Banc de mesure paramètres-[S] basses fréquences.

Ces caractérisations ont également été réalisées au sein du laboratoire XLIM.

La mesure de dispersion fréquentielle de l'admittance de sortie $Y_{22}(f)$ s'appuie sur l'utilisation d'un Analyseur de Réseau Vectoriel (ARV) [IV.9] opérant de 5Hz jusqu'à 3GHz. Cet analyseur de réseau intègre un té de polarisation supportant un courant maximum de l'ordre de 100mA et une tension maximale de 40V. Ce té de polarisation sert à alimenter le drain du transistor, un second té de polarisation externe basse fréquence est utilisé pour le contrôle de la tension de grille. Celui-ci sera fermé sur une charge purement résistive (50Ω) sur son entrée RF pour réaliser des mesures 1 port.

Le synoptique du banc de mesure sous pointes de paramètres-[S] basses fréquences est donné sur la figure VI.6.

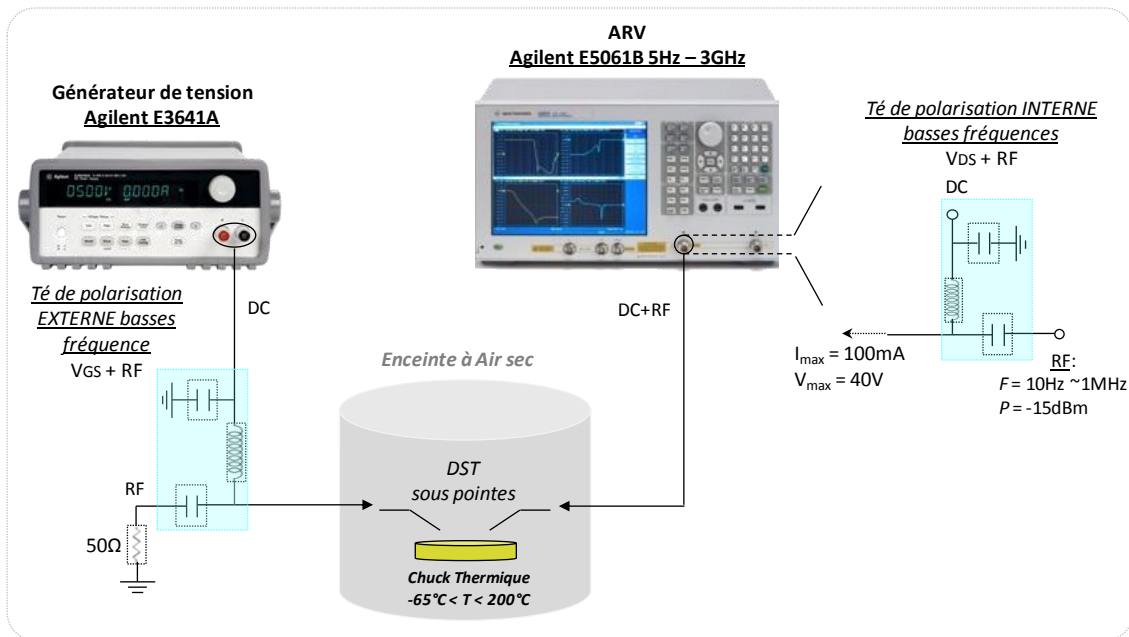


Figure IV.6 : Synoptique du banc de mesure de paramètres-[S] basses fréquences en configuration 1 port d'XLIM.

L'enceinte de mesure sous pointes est équipée d'une station (« Chuck ») thermique et d'une alimentation d'air sec ventilé permettant de contrôler la température ambiante de l'environnement de mesure. La calibration de l'ARV est assurée par une méthode *SOLT* classique (« Short, Open, Load, Thru ») utilisant des standards « on-wafer ».

IV.2.1.2.2. Résultats de mesures.

Les mesures de paramètres-[S] basses fréquences sous pointes ont été effectuées sur les mêmes transistors que ceux caractérisés précédemment, sur une plage de fréquence allant de 10Hz à 1MHz par pas de 1Hz. Ces mesures ont été réalisées avec et sans exposition des transistors à la lumière fluorescente blanche et pour différentes valeurs de tension de drain ($V_{ds0}=10V/20V/30V$) correspondant successivement aux courants de drain de 65mA, 80mA et 90mA. Ces polarisations permettent de conserver une puissance dissipée constante.

Les figures IV.7 et IV.8 illustrent respectivement la partie réelle et la partie imaginaire de l'admittance de sortie $Y_{22}(f)$ pour les différentes tensions de drain appliquées.

Les lobes apparus sur les courbes de susceptance de sortie ($Y_{22}(f)$) témoignent qualitativement de la présence d'un effet de capture et d'émission d'électrons imputable à un type de pièges ayant une constante de temps τ lente (de l'ordre de la milliseconde) associée à la fréquence des maxima des courbes. Cet effet, peut être représenté par un circuit *RC* équivalent série, monté en parallèle sur la conductance G_d du transistor. Celui-ci **se charge et se décharge** avec une constante de temps τ égale au produit *RC* du circuit équivalent.

D'après ces mêmes courbes force est de constater que la tension de polarisation a une influence conséquente sur le comportement des pièges détectés. L'amplitude des lobes et la constante de temps associée diminuent lorsque la tension de polarisation de drain augmente.

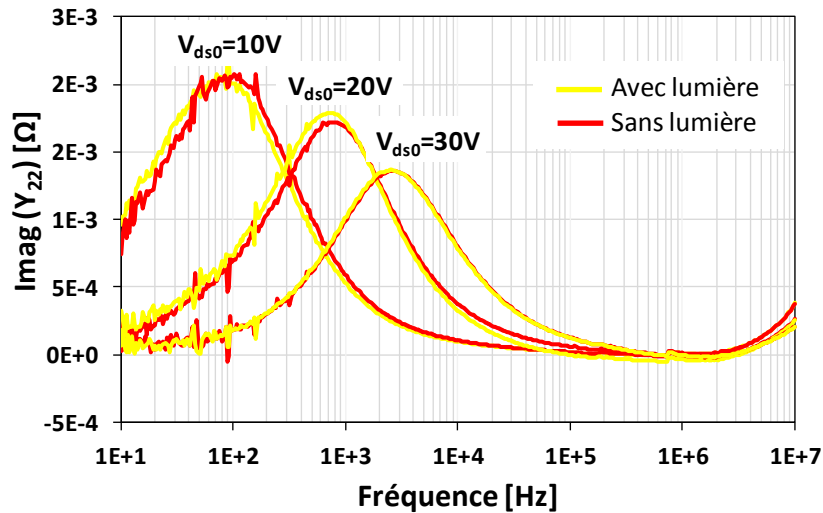


Figure IV.7 : Mesures de la partie imaginaire du paramètre $Y_{22}(f)$ en basses fréquences pour différentes tensions de polarisation de drain appliquées, sur un transistor GH25 de développement $8 \times 125 \mu\text{m}$ issu de la plaque ASAP à $T_a = 25^\circ\text{C}$ et à puissance dissipée constante.

Une inflexion des courbes des parties réelles en alignement avec les pics des lobes constatés précédemment est également clairement observée.

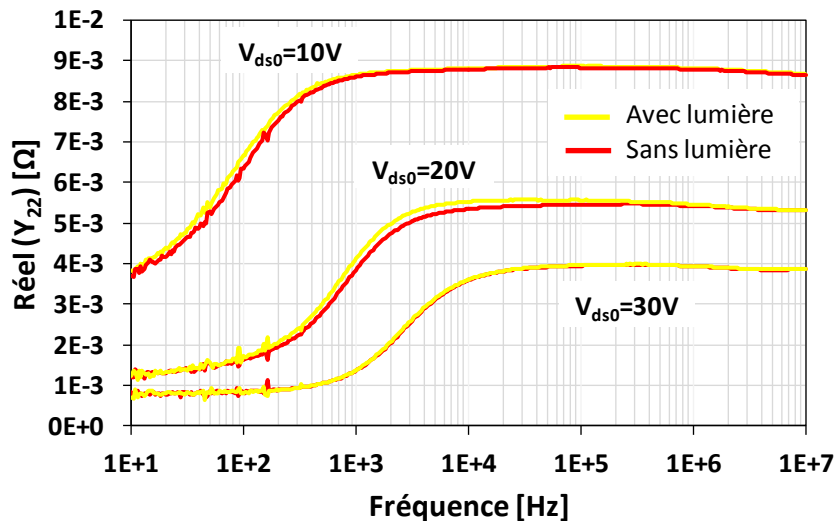


Figure IV.8 : Mesures de la partie réelle du paramètre $Y_{22}(f)$ en basses fréquences pour différentes tensions de polarisation de drain appliquées, sur un transistor GH25 de développement $8 \times 125 \mu\text{m}$ issu de la plaque ASAP à $T_a = 25^\circ\text{C}$ et à puissance dissipée constante.

D'après les résultats de mesures indiqués sur la figure IV.7 et IV.8, la lumière n'a quasiment aucune influence ni sur la position ni sur l'intensité des lobes.

Seules ces observations sur les pièges contenus dans les transistors GH25 sont concernées par ce travail de thèse. La thèse de C. Potier fondée sur davantage d'investigations et d'analyses [IV.8] apporte un éclairage plus complet sur ces phénomènes.

IV.2.2. Validation du modèle électrique du transistor GH25 à fort régime RF.

Le but d'une caractérisation fonctionnelle à variation de charge dite caractérisation « *Load-Pull* » [IV.10] est de déterminer les immittances de source et de charge optimales à présenter à un dispositif sous test (transistor ou amplificateur de puissance), suivant un ou

des objectifs d'optimisation donnés à l'avance. Cette caractérisation permet, par exemple de tirer le meilleur compromis entre les performances en puissance et en *PAE* selon les conditions de fonctionnement (fréquence, points de polarisation, puissance d'entrée, impédances de source et de charge).

Différentes caractérisations « *Load-Pull* » [IV10-IV.11] mono-porteuse, sous pointes, en régime CW impulsionnel et en régime CW multifréquences en bande C et en bande X ont été réalisées dans l'optique de valider le modèle électrique du transistor GH25 fourni par la fonderie d'UMS pour des fonctionnements propres à des applications en amplification Doherty.

IV.2.2.1. Mesures « *Load-Pull* » en régime CW impulsionnel à la fréquence fondamentale de 10GHz.

Ces caractérisations ont été réalisées au sein de la société *AMCAD*[®] *Engineering* (Ester Limoges Technopôle) sur les transistors GH25 issus de la plaque *ASAP* et caractérisés précédemment en DC et en paramètres-[S] basses fréquences.

IV.2.2.1.1. Banc de mesure « *Load-Pull* » et « *Source-Pull* » impulsionnelle d'*AMCAD*[®] *Engineering*.

Le synoptique du banc de mesure « *Load-Pull* » mono-porteuse impulsionnel, sous pointes, est donné sur la figure IV.9.

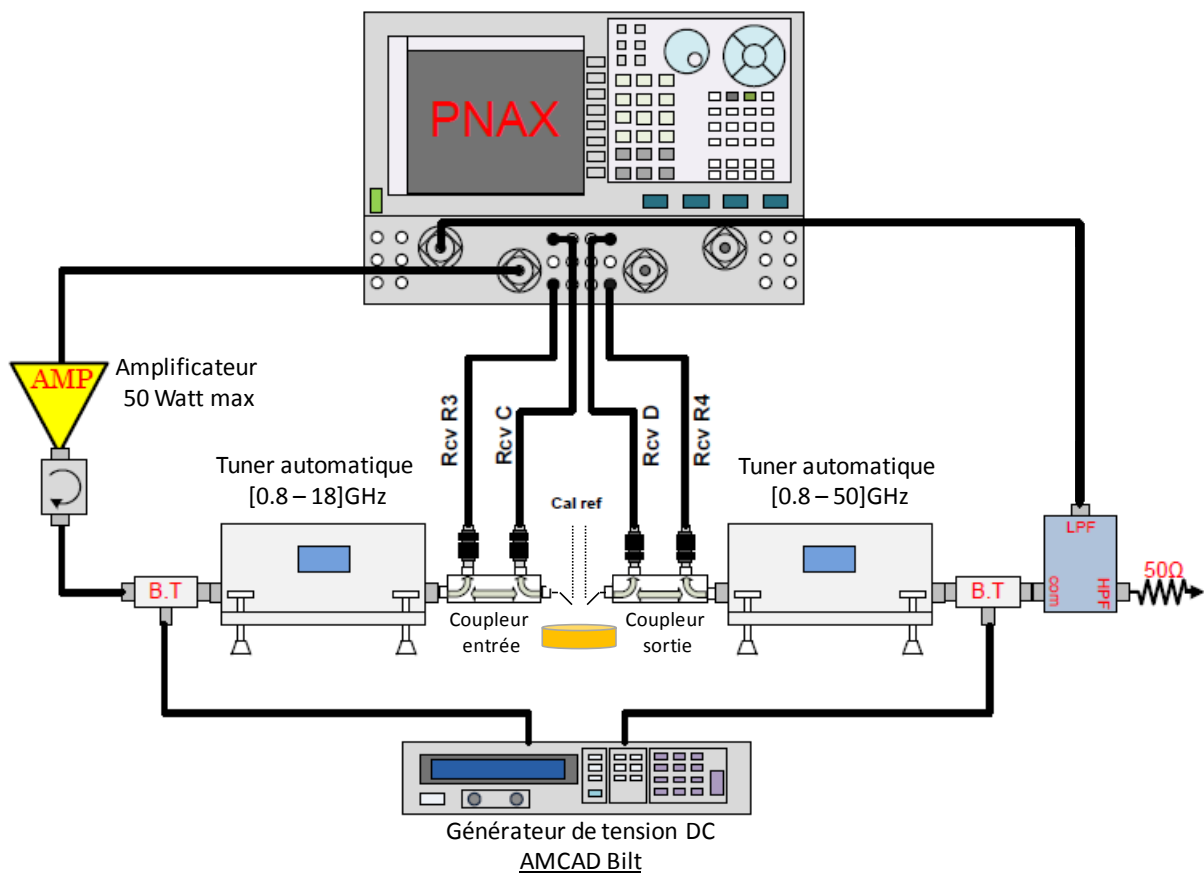


Figure IV.9 : Synoptique du banc de mesure « *Load-Pull* » impulsionnelle, sous pointes, mono-porteuse de la société *AMCAD*[®] *Engineering* (Ester Limoges Technopôle).

Ce banc de mesure est composé de 3 parties distinctes :

- La polarisation du composant sous test et la mesure DC assurées par un générateur de tension DC impulsionnel *AMCAD*® appelé *Bilt* [IV.13],
- La génération du signal mono-porteuse RF impulsionnel et la mesure RF qui sont réalisées par l'instrument PNA-X à 4 voies RF de Keysight® [IV.14],
- Les impédances variables de source et de charge réalisées par deux tuners passifs à commande automatique placés en entrée et en sortie du composant sous test.

Les transistors GH25 de $8 \times 125 \mu\text{m}$ de développement ont été mesurés aux fréquences fondamentales de 10GHz et 18GHz en fort signal mono-porteuse, en régime impulsionnel, au point de repos ($V_{ds0} = 30\text{V}$, $I_{ds0} = 100\text{mA}$) correspondant à un fonctionnement en classe AB.

IV.2.2.1.2. Description temporelle des impulsions DC et RF appliquées.

Les chronogrammes des impulsions des tensions DC et du signal RF appliquées sur les cellules de test comportant des transistors unitaires GH25 sont donnés sur la figure IV.10.

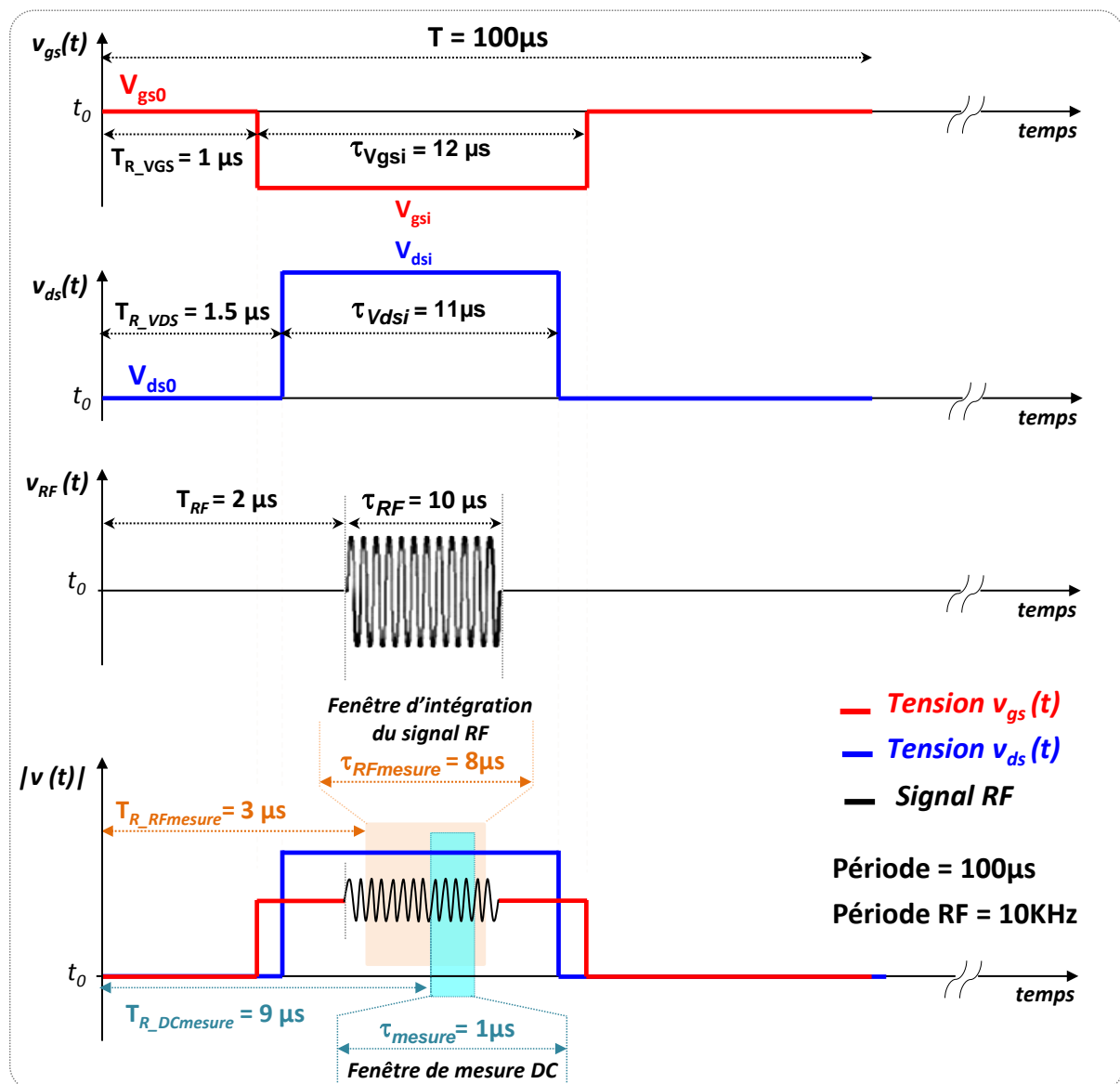


Figure IV.10 : Chronogrammes des impulsions DC et RF appliquées.

Les descriptions des impulsions DC et RF générées sont illustrées sur la figure ci-dessus. Le point de polarisation de repos est à $V_{ds0}=0V$, $I_{ds0}=0V$. $V_{dsf}=30V$, $I_{dsf}=100mA$.

IV.2.2.1.3. Validation « Load-Pull » sur un transistor.

La première étape consiste à rechercher des zones d'impédances de charge et de source à la fréquence fondamentale conduisant à l'obtention du meilleur compromis entre la puissance de sortie et la PAE. Ces zones d'impédance sont balayées sur l'abaque de Smith alors que l'impédance de source du transistor est fixée. Une fois l'impédance de charge optimale sélectionnée, l'impédance de source est optimisée dans le but d'améliorer les performances en puissance citées précédemment. Aux fréquences harmoniques les impédances de charge sont fixées à 50Ω en entrée et en sortie du transistor.

Les mesures impulsionnelles ont été réalisées à la fréquence fondamentale de 10GHz sur plusieurs cellules de test de transistor unitaire GH25 ($8 \times 125\mu m$) polarisé en classe AB ($V_{dsf}=30V$, $I_{dsf}=100mA$).

La vérification du modèle peut alors être obtenue par comparaison avec les résultats de simulation. La figure IV.11 montre un exemple de comparatif des performances en puissance obtenues en mesures et en simulation.

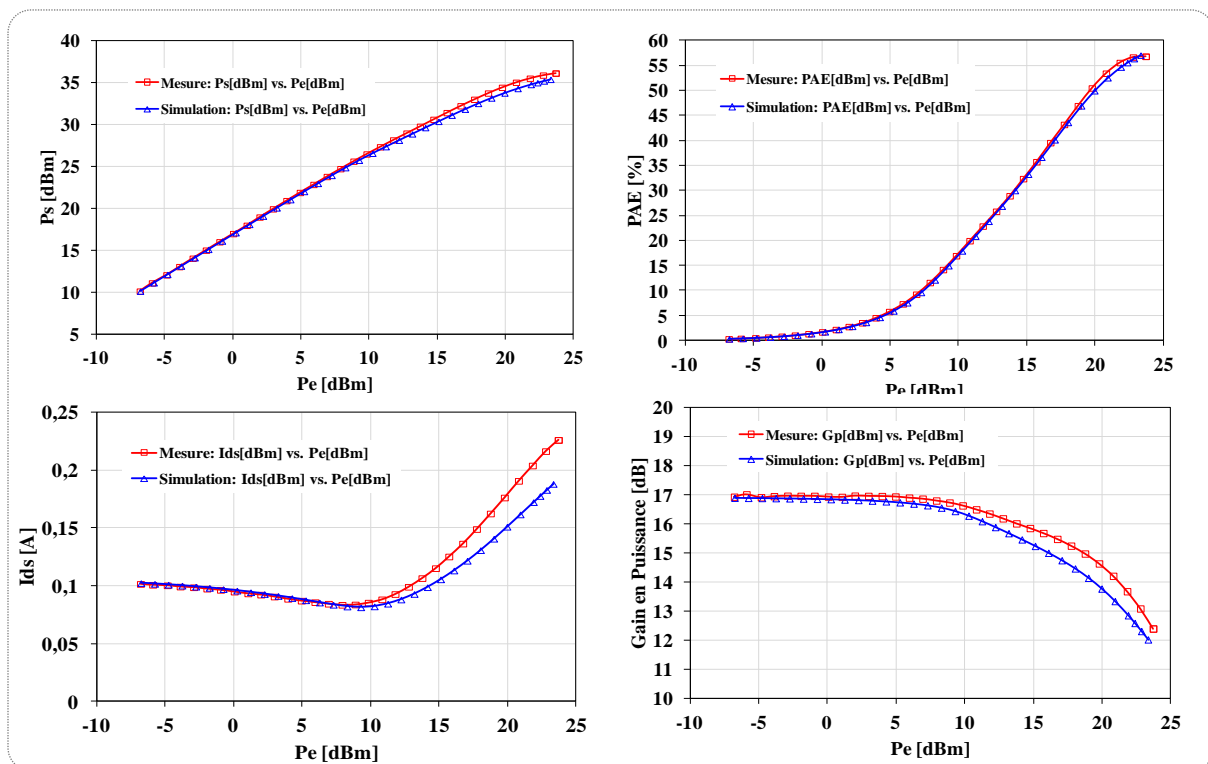


Figure IV.11 : Mesures (rouge) et simulation du modèle électrique non-linéaire (bleu). Comparaison des performances en puissance sur le compromis PAE/P_S à la fréquence fondamentale de 10GHz pour un transistor $8 \times 125\mu m$ GH25 (HEMT AlGaIn/GaN sur SiC).

La bonne concordance entre les résultats de mesure et ceux de simulation en termes de performances en puissance permet de s'assurer de la validité du modèle électrique non linéaire du transistor GH25, dans la zone (classe AB) utilisée.

IV.2.2.2. Mesures « Load-Pull » temporelles en régime CW aux fréquences fondamentales de 4GHz et de 7GHz.

Des mesures « Load-Pull » temporelles complémentaires ont également été réalisées en régime CW sur les mêmes transistors que précédemment, en bande C, aux fréquences fondamentales 4GHz et 7GHz. Le but était de vérifier la cohérence entre les performances en puissances mesurées et celles simulées en utilisant le même modèle électrique non-linéaire du transistor GH25 et en activant le circuit de la thermique.

IV.2.2.2.1. Banc de mesures « Load-Pull » temporelles d'XLIM.

Ces caractérisations ont été effectuées sur le banc de mesure « Load-Pull » temporel, sous pointes, développé en interne au laboratoire XLIM. Le synoptique du banc de mesure est donné sur la figure IV.12.

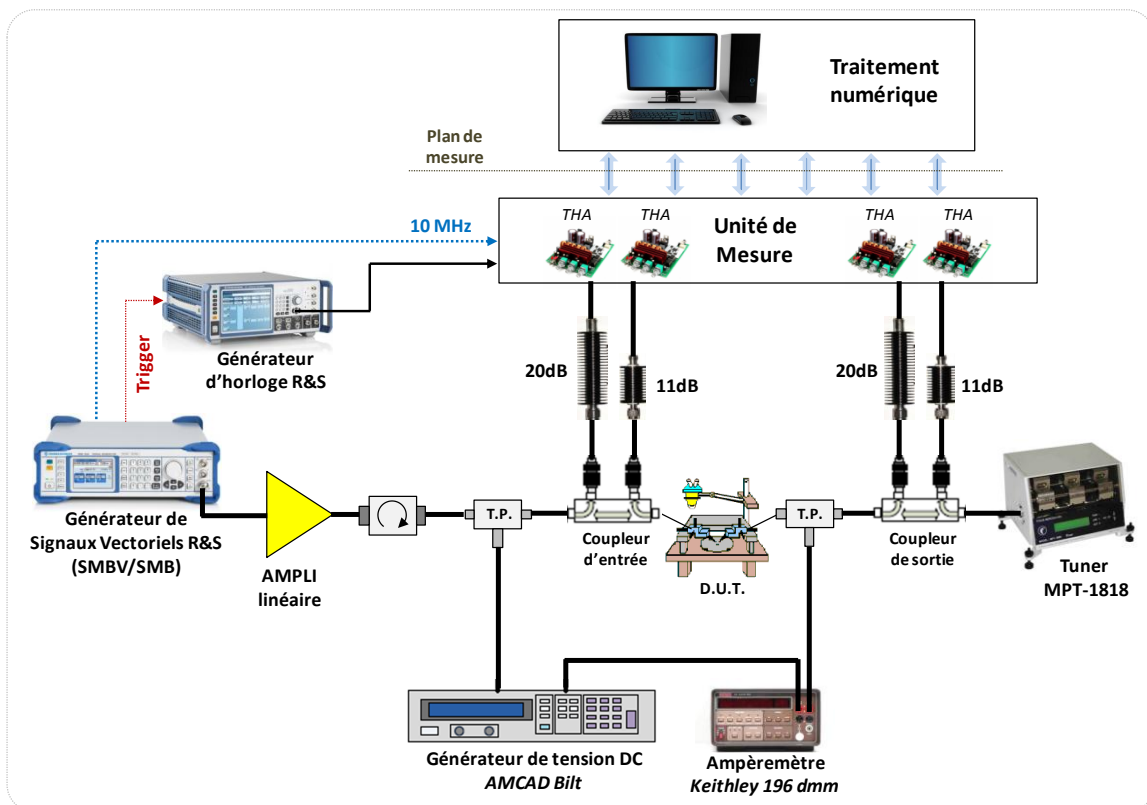


Figure IV.12 : Synoptique du banc de mesure « Load-Pull » passif temporel, sous pointes, développé au laboratoire XLIM.

Le banc de mesure et la méthode de calibration sont détaillés dans la thèse de L. Ayari [IV.11].

Des transistors GH25 de $8 \times 125 \mu\text{m}$ de développement, ont été mesurés aux fréquences fondamentales $f_0 = 4\text{GHz}$ et $f_0 = 7\text{GHz}$. Les zones de charges les plus favorables aux fréquences harmoniques deux et trois ont été évaluées. Les points de polarisation appliqués, correspondant aux fonctionnements associés à l'architecture Doherty conçue dans ce travail de thèse, sont reportés sur le tableau IV.1 :

Tableau IV.1 : Conditions de polarisation des transistors GH25 (8x125 μ m) issu de la plaque ASAP lors des mesures « Load-Pull » temporelles, en régime CW, sous pointes, à la fréquence $f_0 = 4$ GHz.

	V_{ds0} [V]	I_{ds0} [mA]	V_{gs0} [V]
Classe AB/B	30	12	-3.67
Classe C nominale	30	0.8	-5V
Classe C profonde	30	0	-7V

IV.2.2.2.2. Résultats des caractérisations temporelles fort signal réalisées à $f_0 = 4$ GHz.

Les impédances de source et de charge ont été sélectionnées de la manière suivante :

- Les impédances de source à la fréquence fondamentale ainsi qu'aux fréquences harmoniques ont été fixées aux alentours de 50 Ω ,
- Les impédances de charge présentées à la fréquence fondamentale ont été synthétisées pour offrir le meilleur compromis entre la PAE et la puissance de sortie,
- Les impédances de charge à la fréquence harmonique deux, ont été placées dans des zones favorables sur l'Abaque de Smith qui n'impactent pas les performances en puissance,
- Les impédances de charge à la fréquence harmonique trois n'influencent quasiment pas les performances en puissance.

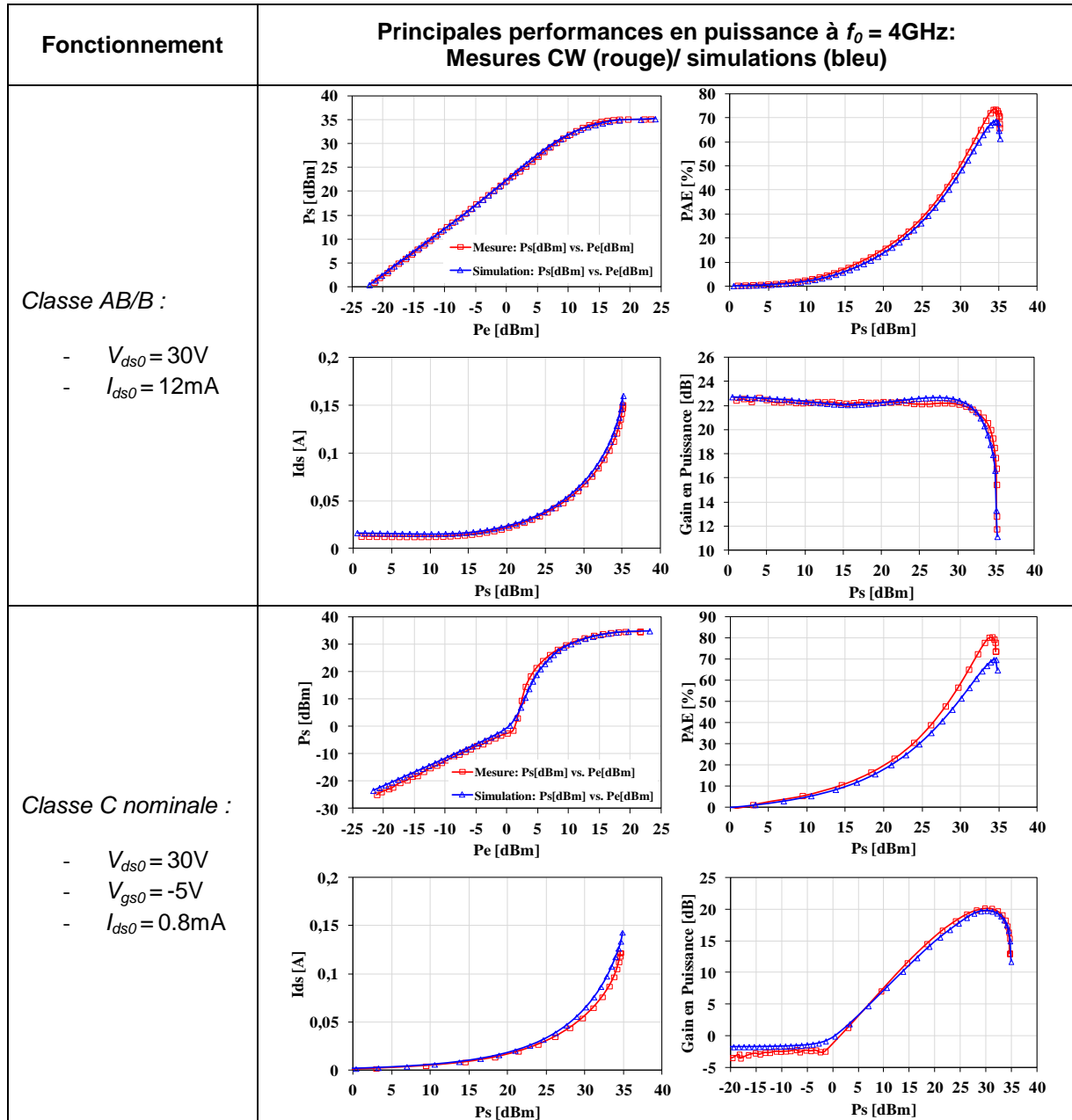
Les valeurs des impédances de source et de charge présentées sont récapitulées dans le tableau IV.2 :

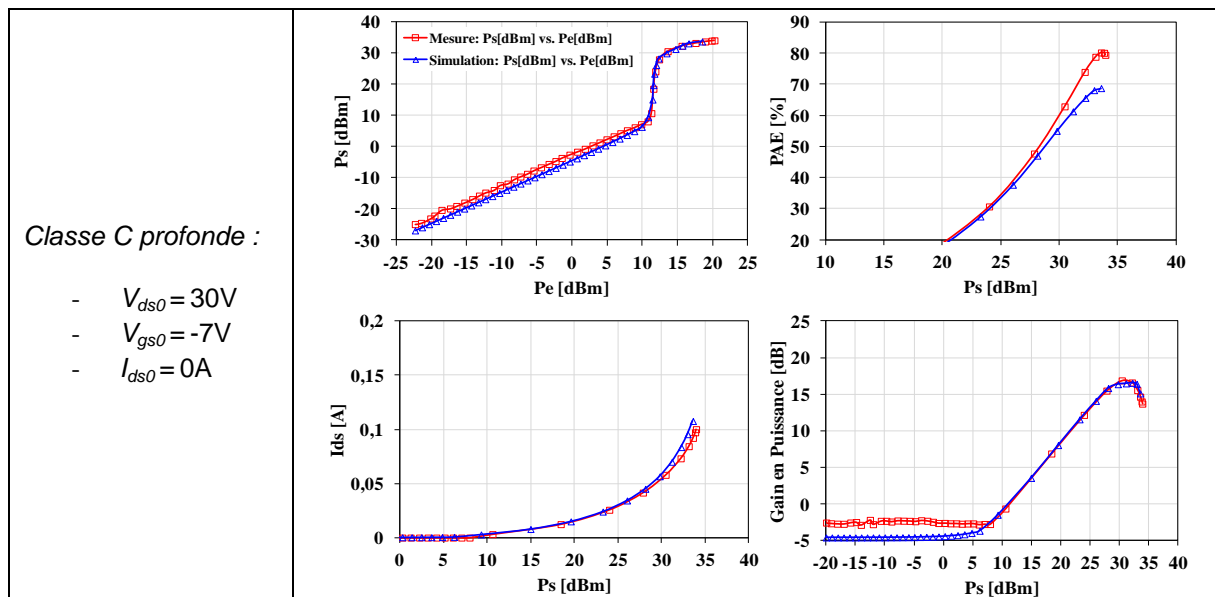
Tableau IV.2 : Impédances de charges optimales mesurées sur des transistors GH25 (8x125 μ m) issu de la plaque ASAP, à $f_0 = 4$ GHz, et aux fréquences harmoniques 2 et 3, offrant le meilleur compromis PAE/ P_s pour des fonctionnements en classe AB/B, en classe C nominale et en classe C profonde.

	Z_{SOURCE} @ (1,2,3) f_0 [Ω]	Z_{CHARGE} @ f_0 [Ω]	Z_{CHARGE} @ $2f_0$ [Ω]	Z_{CHARGE} @ $3f_0$ [Ω]
Classe AB/B	50	36 + j79	37 + j77	50
Classe C nominale		20 + j25	21 + j26	50
Classe C profonde		11 + j09	11 + j09	50

Le tableau IV.3 récapitule les résultats de mesure des principales performances en puissance (puissance de sortie P_s , rendement en puissance ajoutée PAE, gain en puissance G_p et courant de sortie moyen I_{ds}) comparés aux résultats des simulations effectuées. Les mesures et les simulations ont été réalisées dans les configurations citées précédemment.

Tableau IV.3 : Mesures CW, sous pointes (rouge), et simulation (bleu) à partir du modèle électrique non-linéaire incluant un modèle de pièges *Gate-Lag* et un sous circuit de thermique. Comparaison des performances en puissance à la fréquence fondamentale $f_0 = 4\text{GHz}$ pour un transistor $8\times 125\mu\text{m}$ GH25 (HEMT AlGaN/GaN sur SiC) polarisé en classe AB/B, classe C nominale et classe C profonde. Mesures réalisées au sein du laboratoire XLIM.





Les résultats de comparaison mesure/simulation récapitulés dans le tableau précédent montrent une bonne concordance des performances obtenues. Néanmoins, on constate un léger écart entre les niveaux maximums de PAE mesurés et simulés pour des fonctionnements en classe C (nominale et profonde). Les résultats obtenus à partir du modèle électrique semblent être plus pessimistes que la réalité. Par ailleurs, il est important de noter que le niveau d'isolation mesuré des transistors polarisés en classe C (ou niveau de coupure mesuré lorsque ceux-ci sont bloqués à bas niveau d'excitation) reste modéré quelle que soit la profondeur du point de polarisation appliqué.

IV.2.2.2.3. Résultats des caractérisations temporelle fort signal réalisées à $f_0 = 7GHz$.

Par souci de synthèse, cette partie présente les principales performances en puissance mesurées comparées à celles simulées, uniquement pour deux fonctionnements distincts :

- Un fonctionnement en classe AB/B ($V_{ds0} = 30V$, $I_{ds0} = 12mA$),
- Un fonctionnement en classe C profonde ($V_{ds0} = 30V$, $V_{gs0} = -7V$, $I_{ds0} = 0A$).

Les impédances de charge optimales offrant le meilleur compromis PAE/P_s , synthétisées lors des mesures « Load-Pull » temporelles (régime CW) à la fréquence fondamentale $f_0 = 7GHz$ sont récapitulées sur le tableau IV.4 :

Tableau IV.4 : Impédances de charges optimales mesurées à $f_0 = 7GHz$, offrant le meilleur compromis PAE/P_s , sur des transistors GH25 ($8 \times 125\mu m$) issus de la plaque ASAP pour des fonctionnements en classe AB/B et en classe C profonde.

	$Z_{SOURCE} @ (1,2,3)f_0 [\Omega]$	$Z_{CHARGE} @ f_0 [\Omega]$	$Z_{CHARGE} @ 2f_0 [\Omega]$	$Z_{CHARGE} @ 3f_0 [\Omega]$
Classe AB/B	50	$7 + j31$	$10 + j7$	50
Classe C profonde		$5 + j30$	$13 + j8$	50

Les résultats de comparaison entre la mesure et la simulation à la fréquence de travail $f_0 = 7GHz$ sont résumés sur le tableau IV.5 :

Tableau IV.5 : Mesures CW sous pointes (rouge) et simulations (bleu) à partir du modèle électrique non-linéaire incluant un modèle de pièges « Gate-Lag » et un sous circuit de thermique. Comparaison des performances en puissance à la fréquence fondamentale $f_0 = 7\text{GHz}$ pour un transistor 8x125 μm GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B, classe C nominale et classe C profonde. Mesures réalisées au sein du laboratoire XLIM.

Fonctionnement	Principales performances en puissance à $f_0 = 7\text{GHz}$: Mesures CW (rouge)/ simulations (bleu)			
<p>Classe AB/B :</p> <ul style="list-style-type: none"> - $V_{ds0} = 30\text{V}$ - $I_{ds0} = 12\text{mA}$ 				
<p>Classe C profonde :</p> <ul style="list-style-type: none"> - $V_{ds0} = 30\text{V}$ - $V_{gs0} = -7\text{V}$ - $I_{ds0} = 0\text{A}$ 				

L'observation des résultats de comparaison mesure/simulation illustrés sur le tableau VI.5 à la fréquence fondamentale $f_0=7\text{GHz}$ permettent de constater une bonne correspondance entre les performances mesurées et celles simulées. La même remarque que précédemment peut être énoncée en ce qui concerne l'écart entre le niveau de PAE mesuré et celui simulé.

IV.2.3. Conclusion partielle.

Les résultats des caractérisations cités dans les paragraphes précédents ont permis :

- D'une part de mettre en évidence les effets indésirables dus aux pièges contenus dans les transistors GH25 par les mesures de réseaux $I(V)$ et les mesures de paramètres-[S] en basses fréquences.
- D'autre part, de valider le modèle électrique non-linéaire du transistor GH25, à l'aide des mesures « Load-Pull » impulsionnelle et CW. Ce modèle inclut un sous-circuit représentant succinctement les effets de pièges (*Gate-Lag*) et un autre sous-circuit traduisant les effets thermiques. Ce modèle électrique développé par UMS est fourni par leur service fonderie.

IV.3. Caractérisation des transistors GH25 en vue d'applications Doherty.

L'utilisation des transistors HEMT GaN permet aujourd'hui la réalisation d'amplificateurs Doherty à très haut rendement sur de larges plages de recul en puissance de sortie (*OBO*). Ces applications nécessitent une caractérisation particulière des transistors utilisés afin de connaître en amont leurs potentialités en termes de *PAE* et de puissance de sortie maximale par exemple. Ces performances sont associées aux impédances de charge optimales à présenter en fonction de l'*OBO*. Cette connaissance permet un rapide dimensionnement optimal de l'amplificateur.

Avant d'entreprendre une quelconque conception de circuit, il importe donc de caractériser les transistors unitaires utilisés, avec une orientation spécifiquement dirigée vers l'amplificateur Doherty. Ce type de caractérisation a été appelé au cours de ce travail de thèse : « Caractérisation préalable des transistors radiofréquences et microondes en vue d'application Doherty ».

La caractérisation réalisée ci-après permet de plus de comparer différentes technologies en vue de futures applications Doherty.

IV.3.1. Extraction du modèle électrique simplifié non linéaire du transistor GH25 à son accès drain.

Les caractérisations « Load-Pull » temporelles réalisées précédemment ont montrées que toutes les impédances de charge optimales maximisant le transfert de puissance possèdent une partie imaginaire positive, c'est-à-dire, une réactance inductive.

- *Remarque préliminaire :*

A l'accès drain d'un HEMT, il est souvent préférable de parler d'admittance plutôt que d'impédance. En effet, physiquement, à faible signal comme à fort signal, la capacité de sortie à l'accès de drain d'un HEMT se retrouve toujours en parallèle sur la source de courant équivalente de celui-ci.

Compte tenu de ce résultat sur les charges optimales, il est possible d'appréhender le fonctionnement du transistor de la manière suivante: **tout se passe comme si**, et cette expression n'est pas innocente, le transistor HEMT AlGaN/GaN GH25 présentait, à son accès drain, en fonctionnement grand signal, une admittance interne capacitive.

Afin d'extraire l'admittance équivalente, présentée par le transistor GH25 à son accès drain, en grand signal, des simulations mono-porteuses ont été réalisées à l'aide du logiciel

de C.A.O. ADS de Keysight® (Advanced Design System) [IV.15]. Ces simulations permettent d'accéder à la valeur de la capacité de sortie du transistor, à son accès drain, en fonction de la fréquence, et de la puissance.

La démarche suivie est la suivante :

- A trois fréquences fondamentales de travail distinctes, recherche de l'admittance équivalente de charge optimale offrant un meilleur compromis PAE/P_S et constituée par un circuit localisé : $(R//L)$ parallèle,
- Aux fréquences harmoniques, le transistor est chargé par le même circuit que celui ; présenté à la fréquence fondamentale,
- Calcul, aux trois fréquences de travail, de la valeur de la capacité nommée C_{OUT} présentée par le transistor à partir de la valeur de la self inductance de charge du circuit équivalent parallèle synthétisé précédemment.

Il est à noter qu'à chaque fréquence de travail, le transistor est adapté à son entrée à la fréquence fondamentale par une impédance de source présentant une valeur proche de la valeur conjuguée de l'impédance d'entrée petit signal du transistor. Cette impédance est notée $Z_{source} = (Z_{e,,Petit\ signal})^*$. Aux fréquences harmoniques, le transistor voit à son entrée la même impédance de source que celle présentée à la fréquence fondamentale.

La figure IV.13 reporte les courbes de PAE optimales obtenues en fonction de la puissance de sortie d'un transistor GH25 ayant un développement de grille total de 1mm ($8 \times 125 \mu\text{m}$) fonctionnant en classe AB/B ($V_{ds0} = 30\text{V}$, $I_{ds0} = 12\text{mA}$), aux fréquences fondamentales de travail $f_{01} = 4\text{GHz}$, $f_{02} = 7\text{GHz}$ et $f_{03} = 10\text{GHz}$.

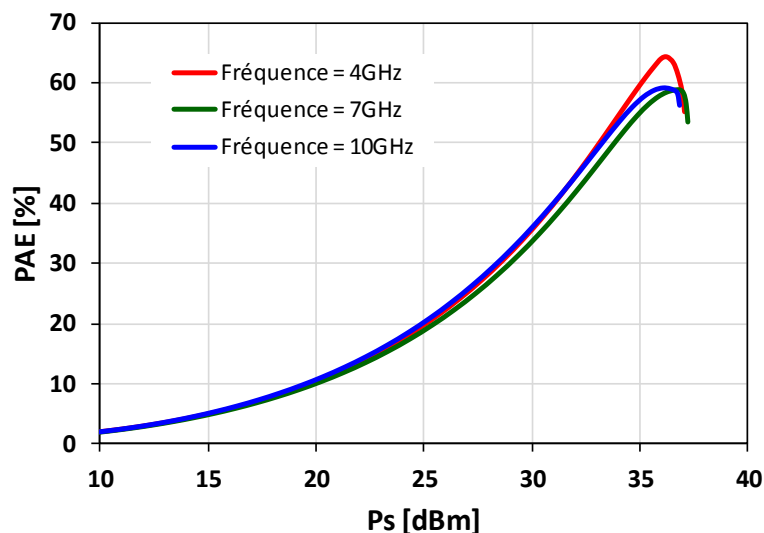


Figure IV.13 : PAE simulée en fonction de la puissance de sortie d'un transistor GH25 ($8 \times 125 \mu\text{m}$) polarisé en classe AB/B ($V_{ds0} = 30\text{V}$, $I_{ds0} = 12\text{mA}$) chargé sur un circuit RL parallèle présentant une impédance de charge optimale $Z_{ch, opt}$ offrant un meilleur compromis PAE/P_S aux fréquences fondamentales $f_{01} = 4\text{GHz}$, $f_{02} = 7\text{GHz}$ et $f_{03} = 10\text{GHz}$.

Le tableau IV.6 liste les valeurs optimales des self-inductances équivalentes, (parallèles) de charge, synthétisées aux différentes fréquences de travail et les valeurs des capacités équivalentes de sortie du transistor déduites de ces simulations.

Tableau IV.6 : Valeurs optimales des éléments constituant le circuit de charge offrant un meilleur compromis PAE/P_s , et la valeur de la capacité C_{OUT} du transistor GH25 ($8 \times 125 \mu\text{m}$) déduite.

	$f_{01} = 4\text{GHz}$	$f_{02} = 7\text{GHz}$	$f_{03} = 10\text{GHz}$
$L_{\text{Charge Parallèle Optimale}} [\text{nH}]$	3.70	1.25	0.6
$R_{\text{Charge Parallèle Optimale}} [\Omega]$	100	100	100
$C_{OUT} [\text{pF}]$	0.44	0.41	0.42

D'après ces résultats de simulation, force est de constater que la capacité de sortie du transistor C_{OUT} peut être considérée comme quasi-constante quelle que soit la fréquence de travail. Les variations de cette capacité ($\Delta C_{OUT} = C_{OUT}(f_{0n}) - C_{OUT}(f_{0m})$) en fonction de la fréquence sont très faibles par rapport à sa valeur moyenne en fonction de la fréquence ($C_{OUT, MOY} = C_{OUT}(f_{0n})/2 + C_{OUT}(f_{0m})/2$). Lors de la conception des circuits d'adaptation de sortie, ces légères variations pourront être négligées ($\Delta C_{OUT}/C_{OUT, MOY} \sim 0$).

Le schéma électrique équivalent simplifié du transistor GH25 vue à son accès drain, est représenté sur la figure IV.14. Ce modèle a pu également être développé sur d'autres filières HEMT GaN de la même fonderie (cas du HEMT GH50 : thèse de C. Berrached [IV.12]).

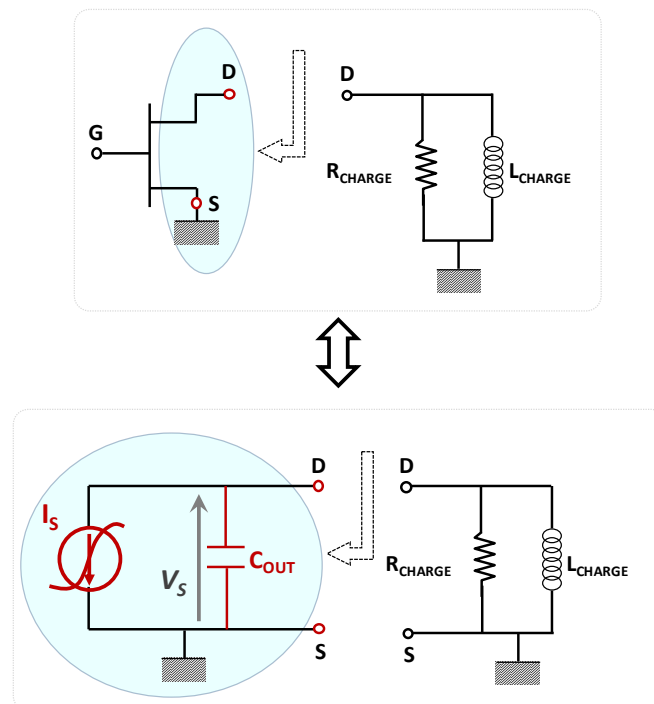


Figure IV.14 : Modèle électrique simplifié du circuit de sortie, sur l'accès drain, du transistor GH25.

IV.3.2. Méthode d'évaluation des transistors HEMT GaN pour la conception d'amplificateurs Doherty microondes.

Cette méthode a été développée au cours de ces travaux de thèse et validée expérimentalement sur le banc de mesures temporelles, sous pointes, mis en œuvre en interne au laboratoire d'XLIM durant les travaux de thèse de L. Ayari [IV.11]. Cette technique

permet d'évaluer, avant toute phase de conception de circuit, les potentialités d'un transistor de technologie HEMT GaN pour une application d'amplification en structure Doherty aux fréquences microondes. Les performances en puissance telles que la largeur de la plage de recul en puissance de sortie, le niveau de PAE maximum dans la région Doherty et la bande passante associée peuvent être rapidement déterminées à partir de ces mesures.

La méthode développée permet d'extraire au niveau du transistor le gabarit des optimums qu'une technologie peut atteindre en amplification Doherty dans une bande de fréquence donnée. Ainsi il est possible d'estimer, avant tout travail de conception, le niveau optimal de performances en puissance qui peut être atteint pour une technologie donnée.

Cette technique de caractérisation constitue un des piliers pour l'étude de faisabilité d'amplificateurs Doherty aux radiofréquences et en microondes.

IV.3.2.1. Application sur des transistors GH25.

Les courbes des PAE maximales peuvent être tracées en fonction de la puissance de sortie, paramétrées par la résistance de charge (R_{CHARGE}) comme indiqué sur la figure IV.15.

Note : dans le cadre de ce travail de thèse, le circuit de sortie du drain du transistor est associé à une admittance constituée par un circuit ($R//L$) parallèle.

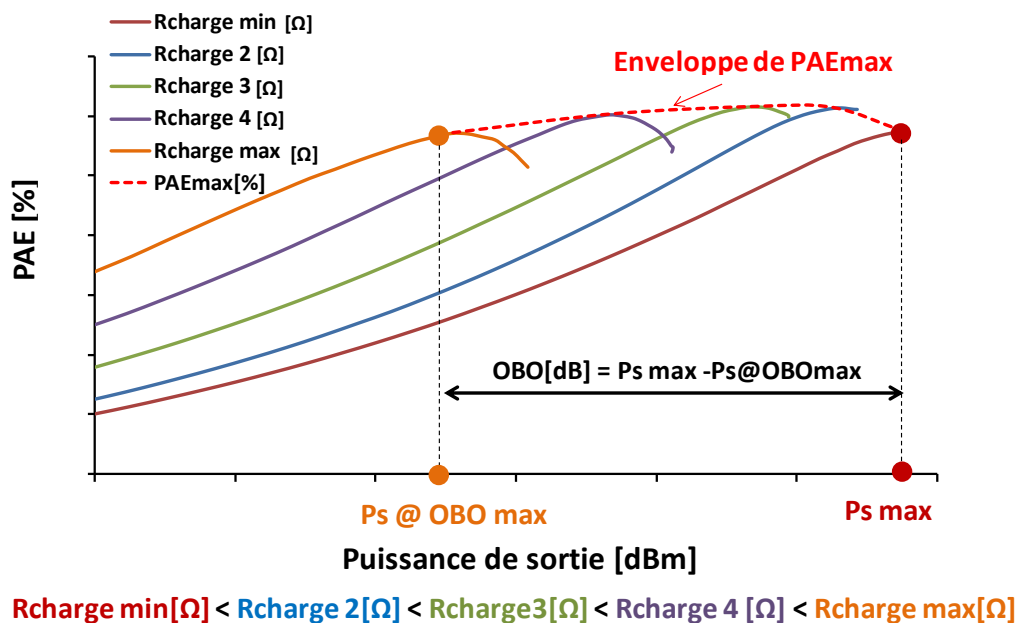
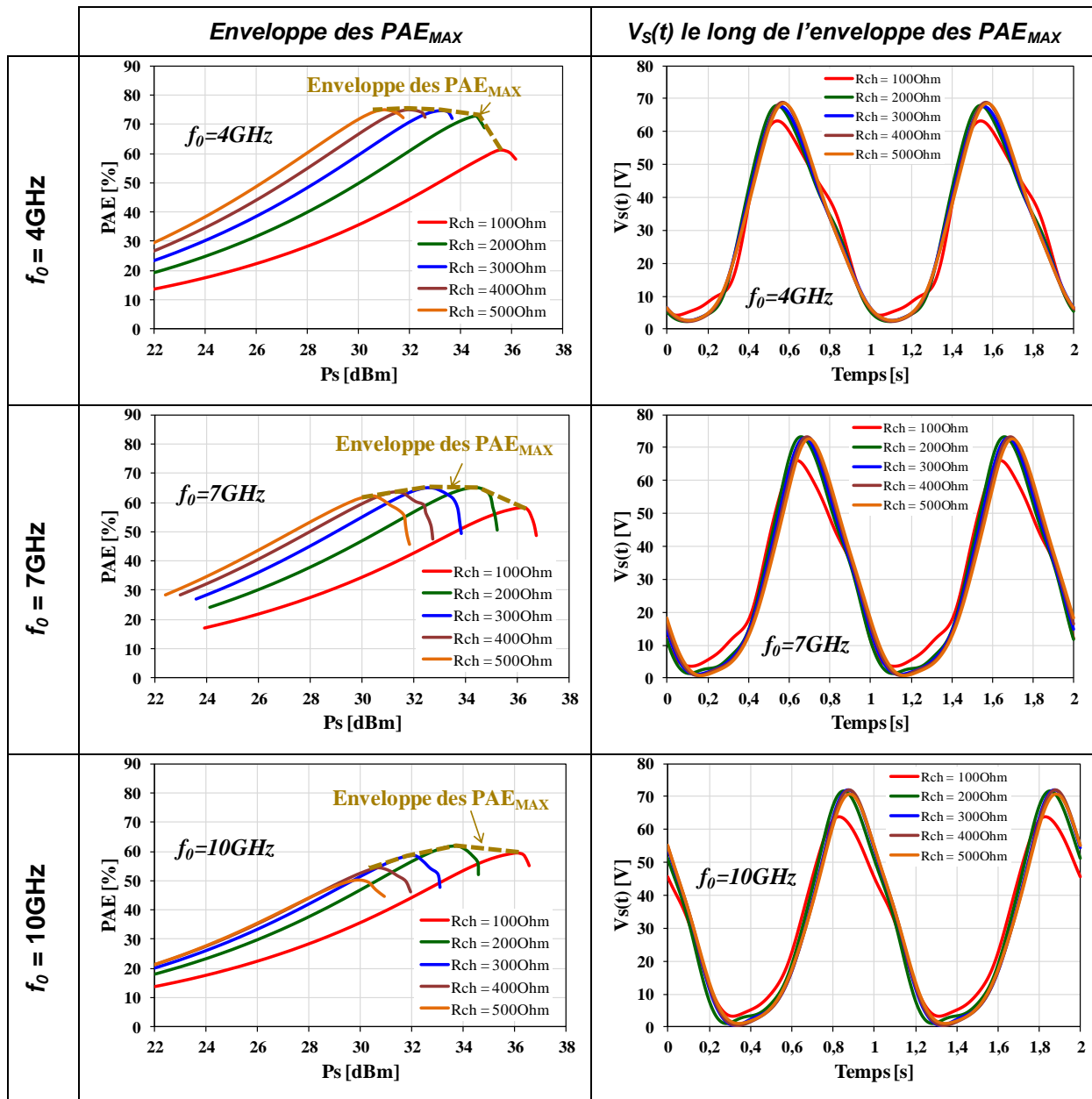


Figure IV.15 : Courbes de PAE en fonction de P_S , paramétrées par R_{CHARGE} .

A partir des simulations précédentes, les courbes de PAE_{MAX} en fonction de la puissance de sortie paramétrées par la résistance (parallèle) de charge, aux fréquences fondamentales 4GHz, 7GHz et 10GHz, sont présentées dans le tableau IV.7.

Tableau IV.7 : Courbes de PAE_{MAX} en fonction de P_S , paramétrées par R_{CHARGE} et Formes d'ondes temporelles des tensions de sortie du transistor le long de l'enveloppe de ces PAE_{MAX} issues des simulations ADS d'un transistor GH25 (8x125 μ m) aux fréquences $f_0 = 4GHz$, 7GHz et 10GHz.



Le long de l'enveloppe des courbes de PAE_{MAX} (tableau IV.7, colonne 1), l'amplitude de la tension de sortie du transistor (tableau IV.7, colonne 2) est maximale et quasi-constante tout au long de l'OBO, conformément à la théorie (voir paragraphe III.2.2.).

A la fréquence fondamentale f_0 (figure IV.14), dans la région Doherty, le schéma électrique équivalent simplifié du transistor est modifié comme indiqué sur la figure IV.16 pour satisfaire et correspondre aux résultats donnés par :

- Les tracés de courbes de PAE obtenues pour différentes résistances de charge et représentées en fonction de la puissance de sortie à la fréquence fondamentale de fonctionnement,
- Les variations temporelles associées de la tension de sortie du transistor le long de l'enveloppe des PAE_{MAX} .

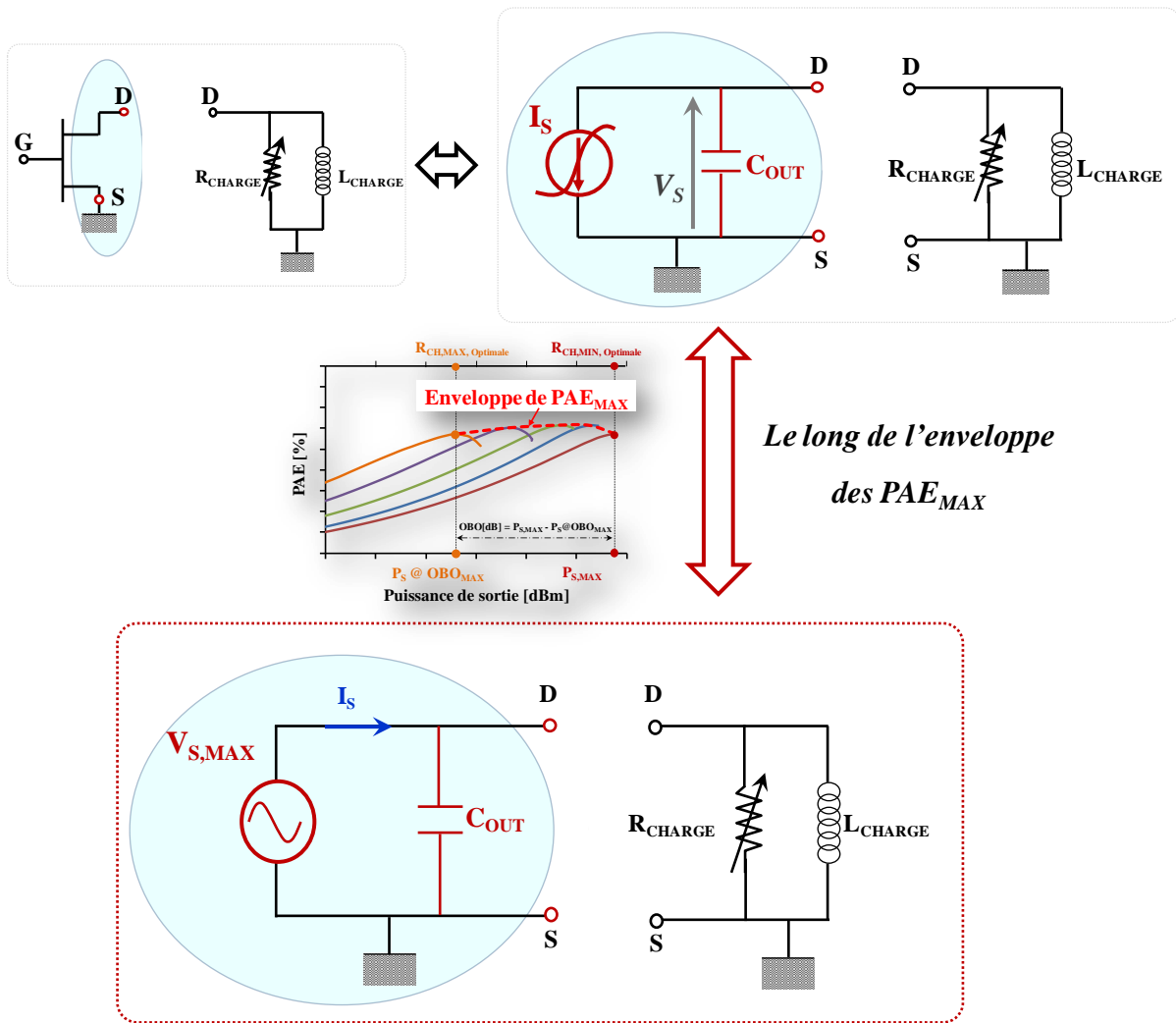


Figure IV.16 : Modèle électrique simplifié, dans la région Doherty, du circuit de sortie, sur l'accès drain, du transistor GH25.

Cette méthode d'évaluation permet de relever les potentialités d'un transistor en termes de PAE_{MAX} , d'OBO et de bande passante associée. L'OBO de l'amplificateur Doherty à concevoir et la taille du transistor auxiliaire nécessaire peuvent être alors évalués à partir des relations suivantes :

$$OBO[dB] = \frac{R_{MAX}}{R_{MIN}} \times (P_{S,R_{MIN}}[dBm] - P_{S,R_{MAX}}[dBm]) \quad (IV.1)$$

$$Taille\ transistor\ auxiliaire = Taille\ transistor\ principal \times \left(\frac{R_{MAX}}{R_{MIN}} - 1 \right) \quad (IV.2)$$

Avant toute conception de circuit, il importe donc de pouvoir caractériser les transistors unitaires utilisés pour différentes valeurs de R_{CHARGE} .

Comme montré sur la figure VI.15, il convient de remarquer qu'à très fort back-off, la résistance de charge R_{CHARGE} est de forte valeur (pouvant aller jusqu'à quelques centaines d'Ohms selon la taille du transistor). Donc, le système de caractérisation doit être capable de présenter à l'accès drain du transistor un coefficient de réflexion (Γ_{CHARGE}) à module très élevé proche de 1. C'est pourquoi, le banc de mesures fonctionnelles temporelles développé

en interne à XLIM a été associé à une variation de charge active à la fréquence fondamentale f_0 .

IV.3.2.2. Caractérisation fonctionnelle temporelle fort signal des transistors GH25 orientée applications Doherty.

Ces mesures permettent d'évaluer les transistors HEMT d'une technologie donnée, en vue d'applications Doherty et fournissent au concepteur les informations utiles lui permettant de définir précisément les circuits d'adaptation nécessaires au fonctionnement de l'amplificateur.

IV.3.2.2.1. Banc de mesures fonctionnelles temporelles orientées applications Doherty.

Le banc de mesures fonctionnelles temporelles de type « Load-Pull » actif (boucle active), sous pointes, avec ultra haute fréquence d'échantillonnage des formes d'onde de tensions et de courant calibrées aux accès du composant, est donné sur la figure VI.17.

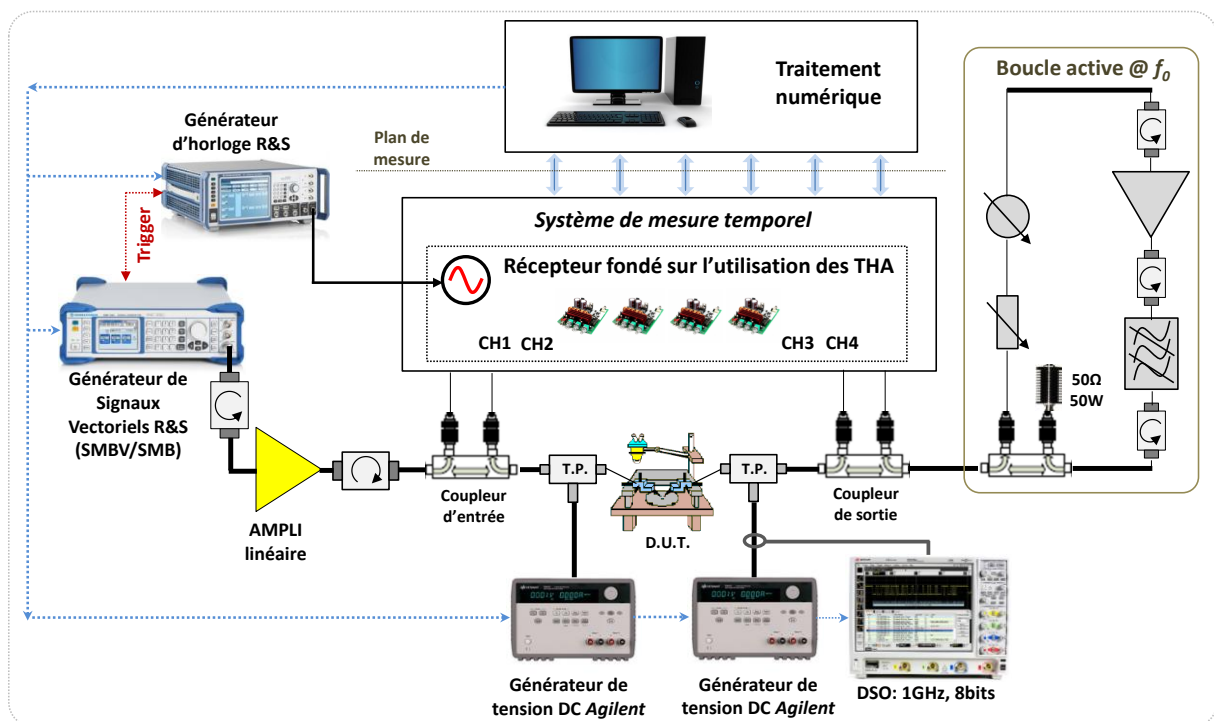


Figure IV.17 : Synoptique du banc de mesure fonctionnel temporel « Load-Pull » actif, sous pointes, orienté pour caractérisation Doherty et développé par L. Ayari et al. au sein du laboratoire XLIM.

La description de ce banc de mesures temporelles, sous pointes, ainsi que la méthode de calibration sont bien détaillées dans [IV.11]. Néanmoins, il est utile de préciser quelques informations associées à ce banc :

- L'acquisition des courants DC est réalisée en entrée comme en sortie du transistor sous test par deux ampèremètres de précision. Les tensions d'entrée et de sortie sont directement mesurées aux bornes des alimentations DC programmables d'Agilent® [IV.16],
- Le système de mesure temporel a été automatisé (procédure d'étalonnage et de mesure) [IV.17] afin d'extraire rapidement à partir des nombreuses données temporelles acquises l'ensemble des caractéristiques nécessaires.

IV.3.2.2.2. Résultats des mesures à la fréquence 3.90GHz.

Les transistors GH25 caractérisés sont les mêmes que précédemment (8x125µm, issus de la plaque ASAP). Pour des raisons matérielles associées à la réalisation de la boucle active, les mesures sont effectuées à la fréquence fondamentale $f_0 = 3.90\text{GHz}$ ainsi qu'aux fréquences harmoniques deux (7.80GHz) et trois (11.70GHz). Ces mesures sont réalisées pour des fonctionnements des transistors en classe AB/B et en classe C. Les points de polarisations appliqués sont indiqués dans le tableau IV.8 :

Tableau IV.8 : Conditions de polarisation appliquées sur des transistors GH25 (8x125µm) issus de la plaque ASAP pour les mesures temporelles « Load-Pull » actif, en régime CW, sous pointes, orientées Doherty, à la fréquence de fonctionnement $f_0 = 3.90\text{GHz}$.

	V_{ds0} [V]	I_{ds0} [mA]	V_{gs0} [V]
Classe AB/B	30	12	-3.67
Classe C nominale	30	0.8	-5V

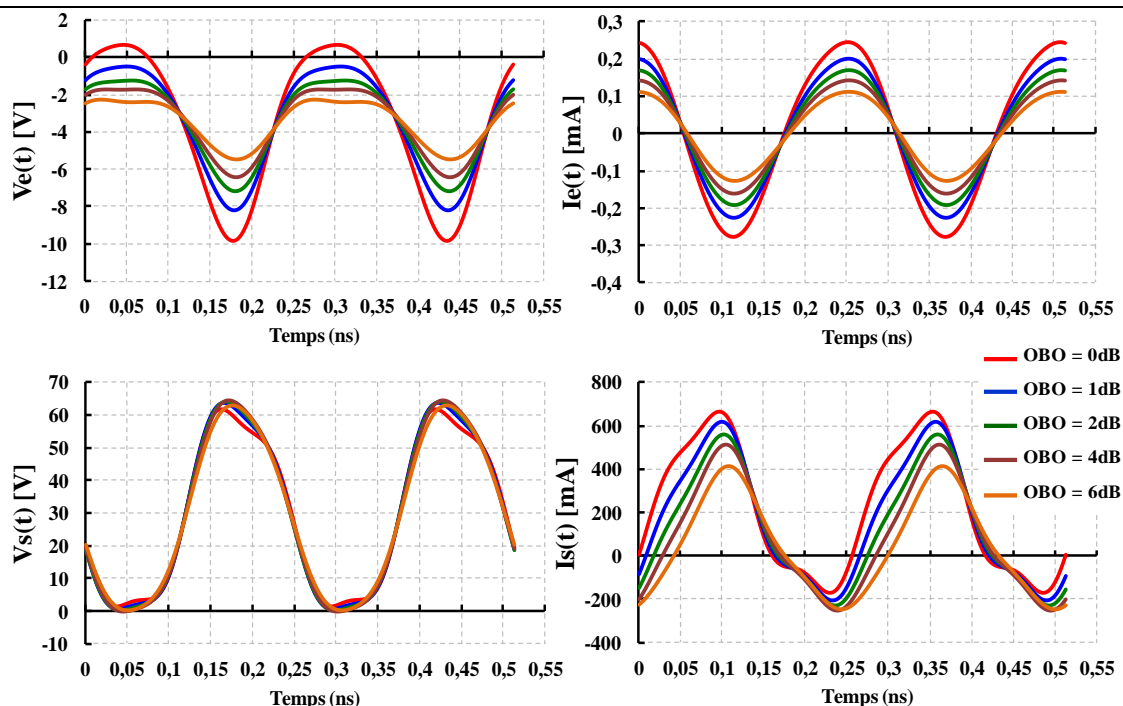
Les impédances de source aussi bien à la fréquence fondamentale qu'aux fréquences harmoniques 2 et 3 sont fixées à 50Ω. Les impédances de charge présentées aux fréquences harmoniques hors la fréquence fondamentale sont également fixées à 50Ω. La recherche des impédances de charges optimales à la fréquence fondamentale $f_0 = 3.90\text{GHz}$ pour différentes puissances de sortie est réalisée à l'aide d'une boucle de charge active. La démarche de recherche d'impédances de charges optimales en fonction de l'OBO est la suivante :

- Recherche de l'impédance de charge optimale offrant le meilleur compromis PAE/P_S ,
- Recherche de l'impédance de charge optimale pour PAE_{MAX} à une puissance de sortie égale à la puissance de sortie trouvée dans (a) dont on retranche la valeur de l'OBO désiré,
- L'étape (b) est répétée pour plusieurs puissances de sortie inférieures à la puissance de sortie maximale et couvrant une large plage d'OBO.

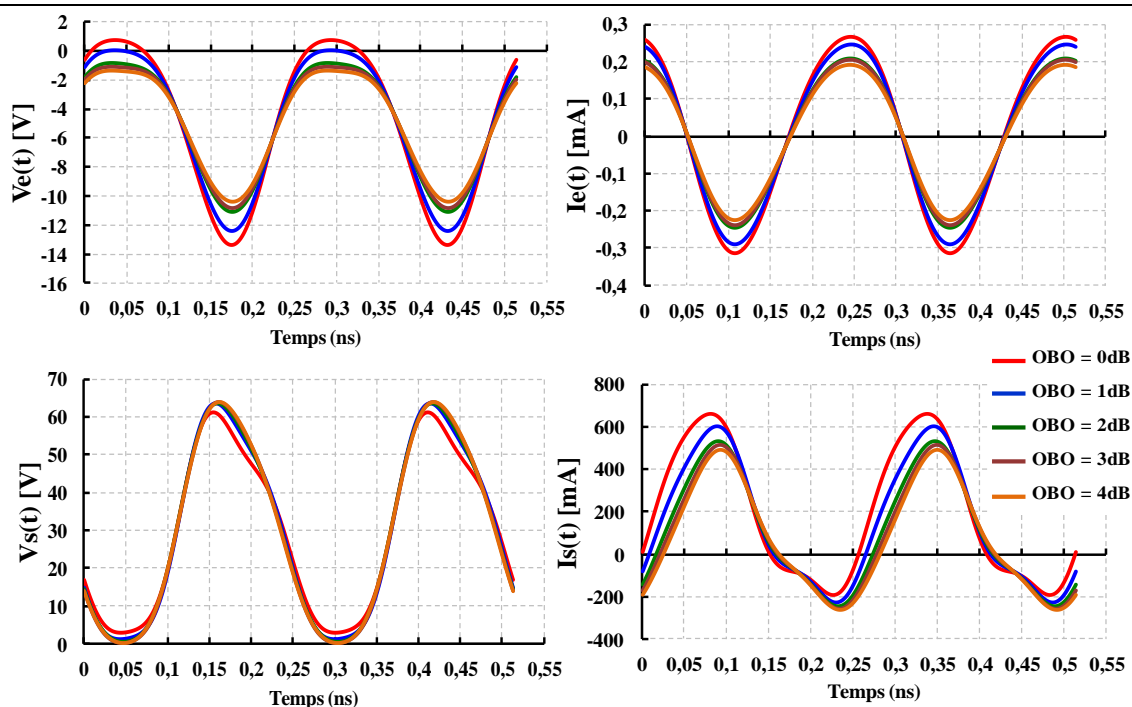
Ci-dessous sont montrées les formes d'ondes temporelles de tensions et des courants extrinsèques relevés le long des courbes de PAE_{MAX} aux accès grille et drain des transistors polarisés en classe AB/B et en classe C. Sur ces courbes (tableau IV.9), les charges présentées à la fréquence fondamentale ($f_0 = 3.90\text{GHz}$) sont optimales et les composantes harmoniques sont fixées à 50Ω.

Tableau IV.9 : Formes d'ondes temporelles mesurées des tensions et des courants aux accès grille et drain du transistor le long de l'enveloppe des PAE_{MAX} . Mesures temporelles CW, sous pointe, orientées Doherty, « Load-Pull » actif, à la fréquence fondamentale $f_0 = 3.90\text{GHz}$. Transistor $8 \times 125 \mu\text{m}$ GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B et en classe C.

Fonctionnement en *Classe AB/B* : $V_{ds0} = 30\text{V}$, $I_{ds0} = 12\text{mA}$.
 Formes d'onde temporelles mesurées des courants et des tensions d'entrée et de sortie du transistor ($f_0 = 3.90\text{GHz}$).



Fonctionnement en *Classe C* : $V_{ds0} = 30\text{V}$, $V_{gs0} = -5\text{V}$, $I_{ds0} = 0.8\text{mA}$.
 Formes d'onde temporelles mesurées des courants et des tensions d'entrée et de sortie du transistor ($f_0 = 3.90\text{GHz}$).



Les résultats expérimentaux obtenus sont en adéquation avec la théorie, en classe AB/B comme en classe C.

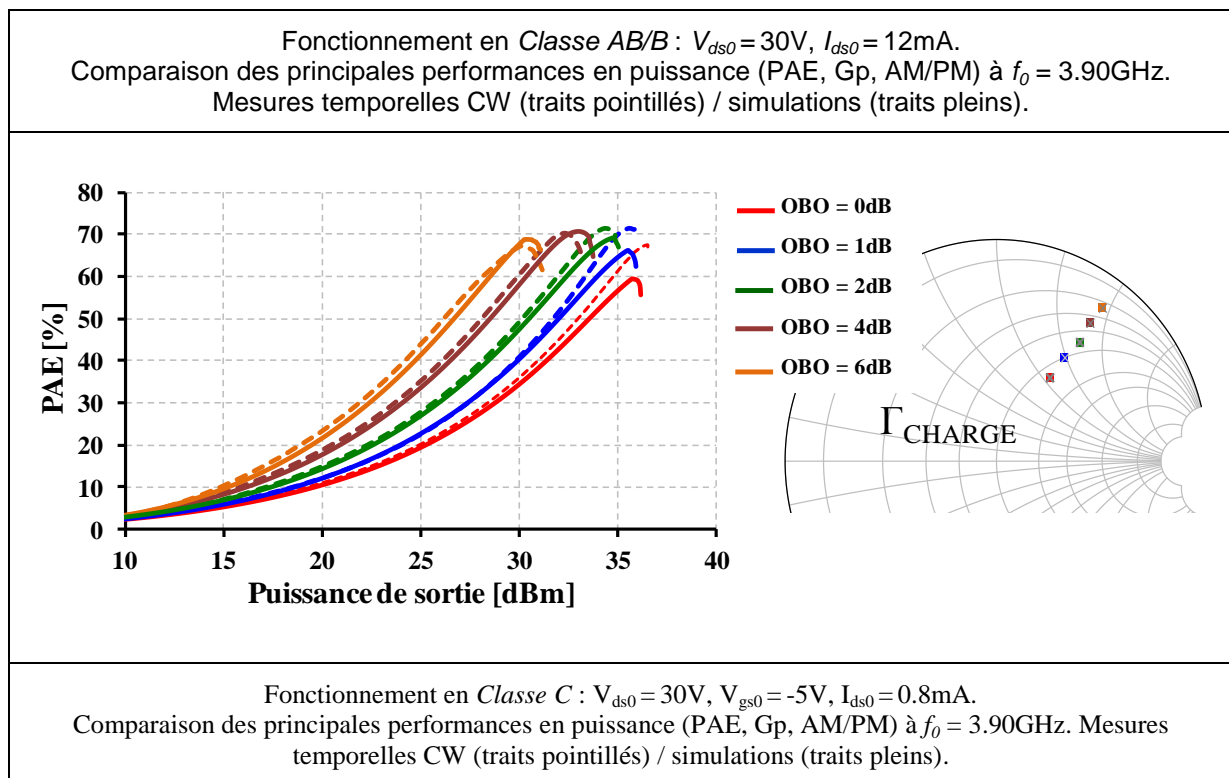
Le long de l'enveloppe des PAE_{MAX} , l'excursion de la tension de drain est maximale et indépendante du niveau d'excitation hormis un léger écart présenté par la tension de sortie à $OBO = 0$ (dû à l'effet de la tension de déchet V_K). Dans la région Doherty, seule l'amplitude de l'excursion du courant de drain continue à augmenter jusqu'à atteindre sa valeur maximale à la puissance de sortie maximale. Les amplitudes des excursions des tensions et des courants d'entrée augmentent avec le niveau de la puissance injectée dans le transistor.

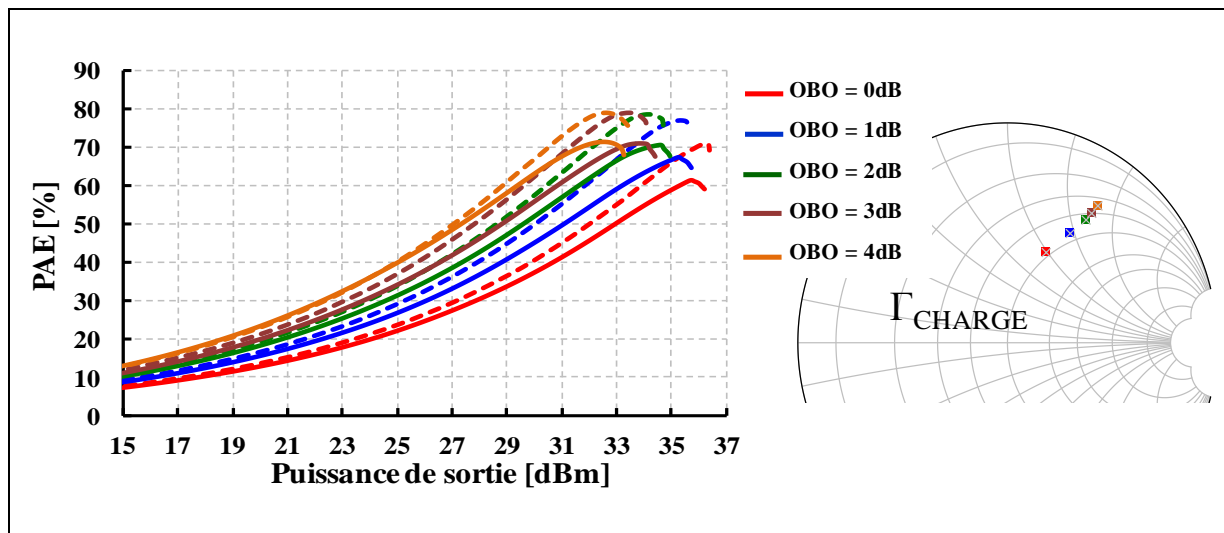
Pour un fonctionnement en classe AB/B, une bonne concordance est constatée entre les résultats de mesure et ceux de simulation. Ceci confirme d'une part la validité du modèle électrique du transistor GH25 et montre, d'autre part, l'intérêt d'un tel banc de mesure pour la conception d'amplificateurs Doherty.

De légers écarts entre la mesure et la simulation apparaissent aux niveaux des rendements en puissance ajoutée. Ces écarts proviennent du fait que le modèle électrique du transistor a été développé et optimisé pour des fonctionnements en classe AB.

Le tableau VI.10 énumère succinctement les principales performances en puissance obtenues en présentant quelques comparaisons mesures/simulation.

Tableau IV.10 : Principaux critères de performance en puissance issus des mesures temporelles CW, sous pointes, orientées Doherty, « Load-Pull » actif à la fréquence fondamentale $f_0 = 3.90\text{GHz}$ (traits pleins). Comparaison avec les résultats de simulation basés sur le modèle électrique non-linéaire incluant un modèle de pièges Gate-Lag et un sous circuit représentatif de la thermique (traits pointillés). Transistor $8 \times 125\mu\text{m}$ GH25 (HEMT AlGaIn/GaN sur SiC) polarisé en classe AB/B et en classe C.





Cette caractérisation offre la possibilité d'extraire les caractéristiques clés pour concevoir un amplificateur Doherty fondé sur l'utilisation des transistors GH25. Le tableau VI.11 récapitule les valeurs :

- Des impédances de charge optimales dans la région Doherty,
- Des capacités de sortie de transistor déduites à chaque point d'OBO,
- De la constante de temps associée régissant la largeur de la bande passante théorique (l'étude de la bande passante théorique est exposée dans le prochain suivant).

Tableau IV.11 : Extraction de quelques caractéristiques nécessaires à la conception d'un amplificateur Doherty fondé sur l'utilisation des transistors GH25 ($8 \times 125 \mu\text{m}$) pour $f_0 = 3.9\text{GHz}$.

		<i>OBO [dB]</i>					
<i>Fonctionnement</i>	<i>Paramètre</i>	0	1	2	3	4	6
Classe AB/B : $V_{ds0} = 30\text{V}$ $I_{ds0} = 12\text{mA}$	$R_{\text{CH Parallèle}} [\Omega]$	107	144	199	/	295	501
	$C_{\text{OUT TR}} [\text{pF}]$	0.39	0.39	0.39		0.42	0.42
	$\tau_S [\text{ps}]$	41.73	56.16	77.61		123.9	210.42
	$ V_{S \text{ MAX}} [\text{V}]$	62	64	64		64	64
	$ V_K [\text{V}]$	/	2	2		2	2
Classe C _{nominale} $V_{ds0} = 30\text{V}$ $I_{ds0} = 12\text{mA}$ $V_{gs0} = -5\text{V}$	$R_{\text{CH Parallèle}} [\Omega]$	99	147	202	289	510	/
	$C_{\text{OUT TR}} [\text{pF}]$	0.43	0.42	0.42	0.42	0.42	
	$\tau_S [\text{ps}]$	42.57	61.74	84.84	121.38	214.20	
	$ V_{S \text{ MAX}} [\text{V}]$	61	64	64	64	64	
	$ V_K [\text{V}]$	/	3	3	3	3	

IV.3.3. Conclusion.

Cette méthode d'évaluation des transistors dédiée à la conception d'amplificateurs Doherty, est fondée sur les caractérisations suivantes :

- Courbes de l'enveloppe des PAE_{MAX} en fonction de la puissance de sortie paramétrées par R_{CHARGE} ,
- Extraction du $R_{CHARGE,MAX}/R_{CHARGE,MIN}$ selon la largeur de l'*OBO* convoité, et déduction de la taille du transistor auxiliaire,
- Extraction de la constante de temps de sortie au point d'*OBO* maximum permettant d'estimer la largeur de la bande passante maximale atteignable par l'amplificateur Doherty final.

La bonne concordance obtenue entre les résultats de simulations et de mesures confirme que le niveau de prédiction du modèle non-linéaire du transistor GH25 convient parfaitement pour la conception d'amplificateurs de puissance en classe AB, B ou C, et donc à une architecture Doherty.

De manière générale, cette technique de caractérisation permet de définir les performances maximales finales réalisables pour une technologie donnée.

Références bibliographiques Chapitre IV.

- [IV.1] R. Vetry, "Polarization Induced 2DEG in AlGaIn/GaN HEMTs: On the origin, DC and transient characterization," Thesis Ph. D., University of California, Dec. 2000.
- [IV.2] J. P. Teyssier, "Caractérisation en impulsions des transistors microondes: application à la modélisation non linéaire pour la C.A.O. des circuits," Thèse de doctorat, Université de Limoges, 1994.
- [IV.3] C. Charbonniaud, "Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde", Thèse n° 55-2005, université de Limoges, 2005.
- [IV.4] Z. Ouarch, "Caractérisation et modélisation des effets de pièges et thermiques des transistors a effet de champ sur AsGa : Application à la simulation de la dynamique lente des circuits nonlinéaires micro-ondes", Thèse de doctorat, Université de Limoges, Janvier 1999.
- [IV.5] W. Kruppa, S. C. Binari, and K. Doverspike, "Low-frequency dispersion characteristics of GaN HFETs," *Electron. Lett.*, vol. 31, no. 22, pp. 1951–1952, 1995.
- [IV.6] A. El Rafei, G. Callet, G. Mouginot, J. Faraj, S. Laurent, M. Prigent, R. Quéré, O. Jardel, and S. Delage, "DC (10 Hz) to RF (40 GHz) output conduction extraction by S-parameters measurements for in-depth characterization of AlInN/GaN HEMTS, focusing on low frequency dispersion effects," in *Microwave Integrated Circuits Conference (EuMIC)*, 2011 European, 2011, pp. 5–8.
- [IV.7] O. Jardel, S. Laurent, T. Reveyrand, R. Quéré, P. Nakkala, A. Martin, S. Piotrowicz, M. Campovecchio, and S. L. Delage, "Modeling of Trap Induced Dispersion of Large Signal Dynamic Characteristics of GaN HEMTs," in *IEEE International Microwave Symposium*, 2013.
- [IV.8] C. Potier, "Caractérisation et modélisation des pièges par des mesures de dispersion basse-fréquence dans les technologies HEMT InAlN/GaN pour l'amplication de puissance en gamme millimétrique," Thèse de doctorat, XLIM, Université de Limoges, 2016.
- [IV.9] <http://www.Keysight.com/en/pdx-x201771-pn-E5061B/ena-series-network-analyzer?cc=FR&lc=fr>
- [IV.10] D. Barataud, "Etude et conception de systèmes de caractérisation fonctionnelle dans le domaine temporel des transistors de puissance radiofréquences et microondes," Thèse de doctorat, Université de Limoges, France, 1998.
- [IV.11] L. Ayari, "Contribution au développement d'un banc de mesures temporelles 4-canaux pour la caractérisation avancée de composants et de sous-systèmes RF non linéaires," Thèse de doctorat, XLIM, Université de Limoges, 2016.
- [IV.12] C. Berrached, "Optimisation du rendement en puissance ajoutée des amplificateurs de puissance large bande à base de Nitrure de Gallium," Thèse de doctorat, XLIM, université de Limoges, N° 2010, Déc.2013.
- [IV.13] http://www.bilt-system.com/appli_piv.html
- [IV.14] <http://www.Keysight.com/en/pd-868286-pn-N5242A/pna-x-4-port-with-internal-dual-source-configurable-test-set-option-400?cc=FR&lc=fr>

- [IV.15] <http://www.Keysight.com/en/pc-1297113/advanced-design-system-ads?cc=FR&lc=fr>
- [IV.16] <https://www.amplicon.com/MandC/product/Test-DC-Agilent-2166.cfm>
- [IV.17] <https://fr.mathworks.com/products/matlab.html>
- [IV.18] A. Benvegna, "Trapping and reliability investigations in GaN-base HEMTs", Thèse n° XX-2016, XLIM, université de LIMOGES, 2016.

Chapitre V. Méthodes de conception d'amplificateurs de puissance 20W à haut rendement de type Doherty conventionnel à 6GHz en technologie Q-MMIC encapsulés en boîtier plastique QFN.

V.1. Introduction.

Les travaux de cette thèse ont pour objectif de montrer la faisabilité d'amplificateurs de puissance de type Doherty à haut rendement en technologie Quasi-MMIC notée Q-MMIC, en bande C.

Des barrettes de puissance constituées de transistors en technologie GH25 ont été réalisées pour ces travaux de thèse.

La conception du dispositif a pour objectif de remplir le cahier des charges suivant :

Tableau V.1 : Principales spécifications du cahier des charges.

Paramètre	Spécification
Fréquence centrale	6.0 GHz
Largeur de bande passante	$\geq 13 \%$
Puissance de sortie maximale	$\geq 15W$
Gain petit signal	$\geq 10dB$
PAE dans la région Doherty	Maximum réalisable
Transistors utilisés	Barrettes GH25 nues
Quadripôle d'adaptation	ULRC-20 (passifs AsGa)
Encapsulation	Boîtier plastique QFN 8x8 mm ²

Dans les paragraphes suivants est exposée la méthode de conception mise au point pour satisfaire les objectifs du cahier des charges.

Deux démonstrateurs ont été réalisés :

- Le premier est, appelé « amplificateur Doherty conventionnel à une seule entrée RF ». Il s'agit d'un étage amplificateur de puissance Doherty classique avec un seul accès d'entrée du signal RF et un seul accès de sortie du signal RF. Cet amplificateur a pour but de démontrer la faisabilité de ce type de fonction en utilisant le concept technologique Q-MMIC en bande C. Cet amplificateur sera appelé dans la suite de ce manuscrit « *APD-SE* »,
- Le second est, appelé « amplificateur Doherty à deux entrées RF » et sera nommé dans ce qui suit « *APD-DE* ». Ce démonstrateur possède deux entrées RF distinctes, à travers lesquelles les deux voies d'amplification, principale et auxiliaire, sont excitées séparément. L'objectif de cette conception est la mise en évidence des potentialités d'amélioration possibles par préformation individuelle des signaux d'entrée.

V.2. Approche et étapes de conception.

La procédure de conception repose sur l'approche systémique [V.1], elle se compose des étapes décrites en figure V.1.

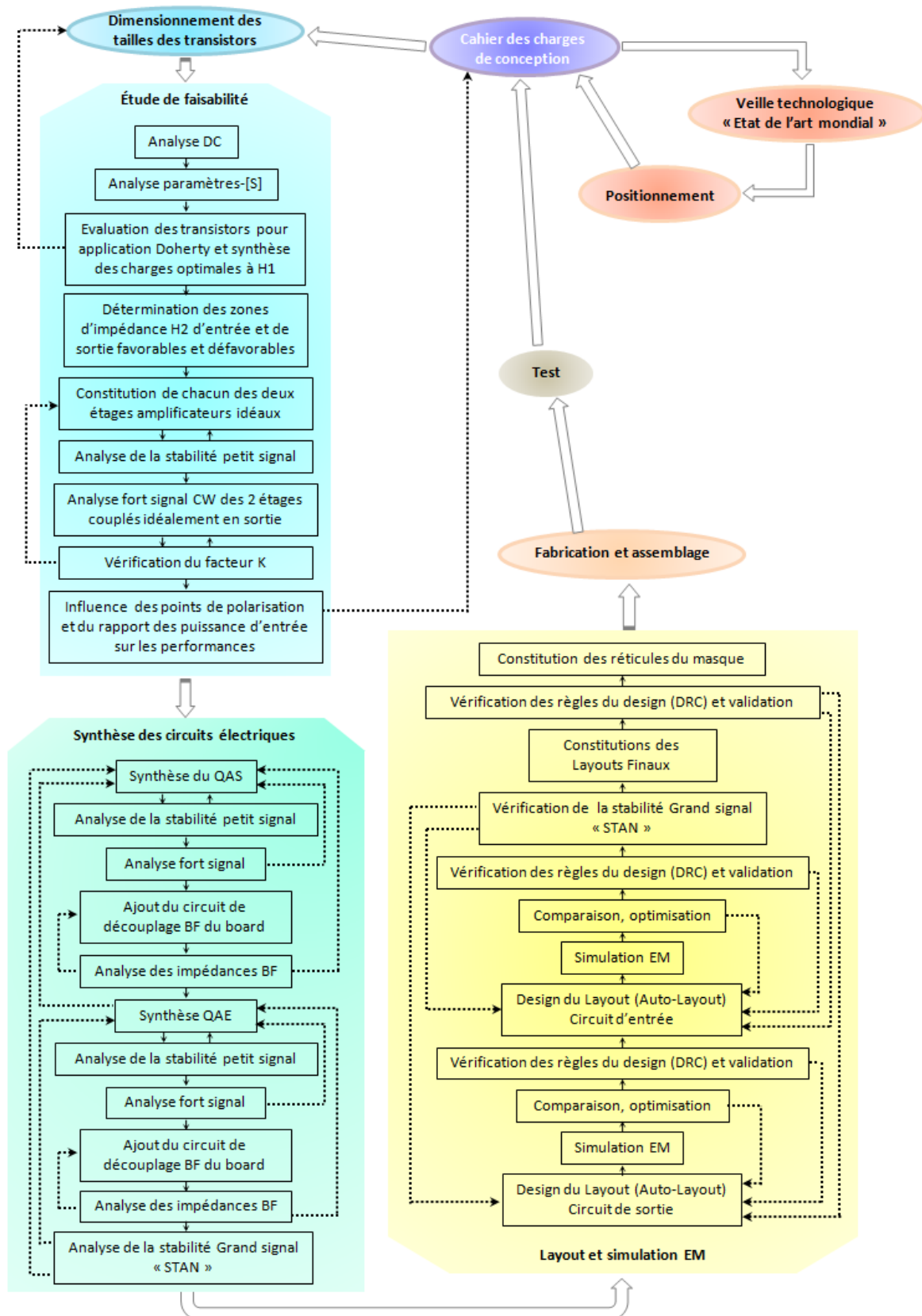


Figure V.1 : Procédure de conception de l'amplificateur Doherty Q-MMIC.

Tous les résultats de simulation qui vont suivre reposent sur l'utilisation du modèle électrique du transistor GH25 fourni par la fonderie d'UMS et validé par différentes caractérisations présentées dans le chapitre précédent.

Ce modèle électrique inclut un sous-circuit représentatif des effets thermiques ainsi qu'un sous-circuit émulant les effets de piège. Tout au long de la phase de conception, ces deux sous-circuits restent activés.

V.3. Dimensionnement des tailles des transistors.

Les objectifs de conception indiqués dans le tableau V.1 nécessitent une étude approfondie afin de déterminer la taille et le nombre de transistors à utiliser aussi bien pour l'étage principal que pour l'étage auxiliaire constituant l'amplificateur Doherty.

Notre choix s'est porté dans une première approche sur une architecture Doherty classique, fondée sur l'utilisation de deux étages (principal et auxiliaire) de taille identique. Par conséquent, comme illustré dans le paragraphe (III.2.4), l'OBO est de l'ordre de 5.50dB. Ce choix est parfaitement cohérent avec les objectifs de nos travaux :

- Evaluer pour l'application Doherty à haut rendement, les potentialités de la technologie GH25 associée à la technologie MMIC AsGa passive (Q-MMIC : ULRC),
- Explorer les potentialités de l'amplificateur de puissance Doherty en interagissant individuellement sur chaque étage (principal et auxiliaire) afin d'améliorer les performances globales de l'amplificateur.

Placer un étage préamplificateur en amont de l'amplificateur Doherty aurait pu améliorer certaines performances comme le gain de l'amplificateur global. Néanmoins, cette solution aurait réduit les possibilités d'analyse expérimentale individuelle des étages de l'architecture Doherty.

Pour concevoir l'amplificateur, plusieurs barrettes de puissance GH25 issues de la plaque AMYBAR étaient disponibles. Les différents développements de grille de ces barrettes sont résumés dans le tableau V.2 :

Tableau V.2 : Tailles des barrettes de Puissance GH25 issues de la plaque AMYBAR.

Désignation	Nombre de transistor	Taille transistor unitaire [μm]	Développement total de grille [mm]	Taille de la puce [μm^2]	Puissance de sortie estimée [W]
8XTZ1S08X275	8	8x275	17.6	900 x 4270	52.8-61.6
8XTZ1S10X275	8	10x275	22	900 x 4270	66-77
8XTZ1S10X300	8	10x300	24	900 x 4 270	72-84
2XTZ1S08X275	2	8x275	4.4	900 x 1510	13.2-15.4
2XTZ1S10X250	2	10x250	5	900 x 1510	15-17.5
2XTZ1S10X275	2	10x275	5.50	900 x 1510	16.50-19.25
2XTZ1S10X300	2	10x300	6	900 x 1510	18-21

Le nombre de transistors à placer en parallèle pour l'étage de sortie détermine la puissance totale de l'amplificateur. Pour atteindre les objectifs fixés et obtenir une puissance de sortie maximale de l'ordre de 15W, chaque étage doit fournir au minimum 7.5W dans le cas d'un transfert d'énergie idéal, sans pertes.

L'étage auxiliaire étant polarisé en classe C, sa puissance de sortie maximale est par conséquent réduite par rapport à l'étage principal polarisé en classe AB proche de B. En estimant à 1.2dB (au pire cas) les pertes dues aux quadripôles d'adaptation d'entrée et de sortie. Chaque étage donc barrette de puissance doit fournir 41dBm, soit 12.6W. Ainsi :

$$\begin{aligned}
 P_{S,MAX,Estimée} &= 41dBm + 3dB (2étages) - 1.2dB (Pertes des passifs) \\
 &= 42.8dBm = 19W
 \end{aligned}
 \tag{V.1}$$

D'après le tableau V.2 l'utilisation de la barrette « 2XTZ1S08X275 » avec 2 transistors (8 doigts de grille de 275µm de développement chacun) s'avère judicieuse pour atteindre ce niveau de puissance.

Le dessin de cette barrette de puissance utilisée pour chaque étage (principal et auxiliaire), constituant l'amplificateur Doherty, est visible sur la figure V.2.

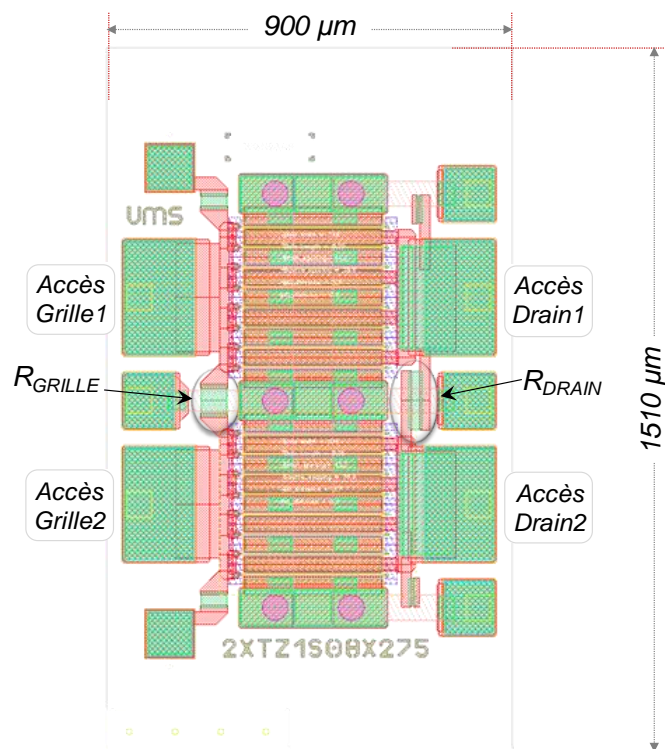


Figure V.2 : « Layout » de la barrette de puissance GH25 sélectionnée avec 2 transistors (8x275µm).

Des résistances de stabilisation (ou d'équilibrage) ont été introduites entre les accès drain ($R_{DRAIN} = 2.5\Omega$) et grille ($R_{GRILLE} = 25\Omega$) des transistors. Ces résistances ont pour objectif d'amortir les courants circulant entre les drains et entre les grilles des deux transistors. Elles permettent donc d'éviter la création des boucles de courant pouvant induire des oscillations. Les valeurs des résistances de stabilisation ont été sélectionnées afin de pouvoir atténuer d'éventuelles oscillations sans affecter les performances de puissance et de rendement.

V.4. Analyses DC d'une barrette de puissance GH25 AlGaIn/GaN 4.4mm.

Les caractéristiques I_{ds0}/V_{ds0} et I_{ds0}/V_{gs0} extrinsèques statiques simulées au niveau du plan de l'accès drain d'une barrette de puissance GH25-10 de $2 \times 8 \times 275 \mu\text{m}$ sont données respectivement sur les figures V.3 et V.4.

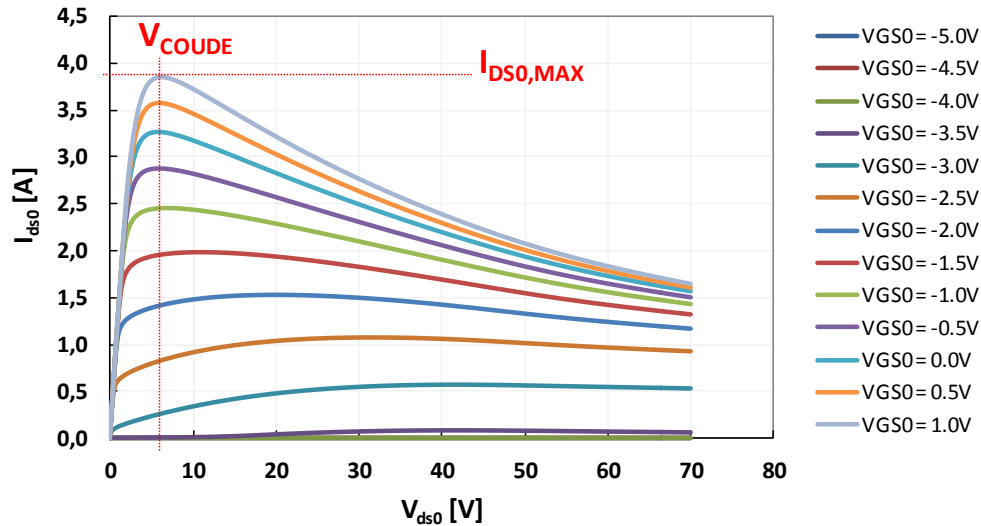


Figure V.3 : Caractéristiques statiques simulées I_{ds0}/V_{ds0} d'une barrette de puissance GH25-10 de $2 \times 8 \times 275 \mu\text{m}$, paramétrée par V_{gs0} .

Le tracé du réseau I_{ds0}/V_{ds0} paramétré par V_{gs0} montre quelques caractéristiques DC déterminantes :

- L'intensité maximale atteignable du courant de drain ($I_{ds0,MAX}$) qui est égale à 3.85A,
- La valeur de la tension de coude V_{COUDE} est égale à 5V.

De ces valeurs est déduite la valeur de la résistance R_{ON} de la barrette de puissance suivant la formule :

$$R_{ON} = \frac{\Delta V_{ds0}}{\Delta I_{ds0}} = \frac{V_{COUDE}}{I_{DS0,MAX}} = \frac{5}{3.85} \cong 1.3\Omega \quad (V.2)$$

D'après les courbes du réseau I_{ds0}/V_{ds0} paramétré par V_{gs0} , le courant I_{ds0} chute fortement à partir de $V_{ds0} = 8V$.

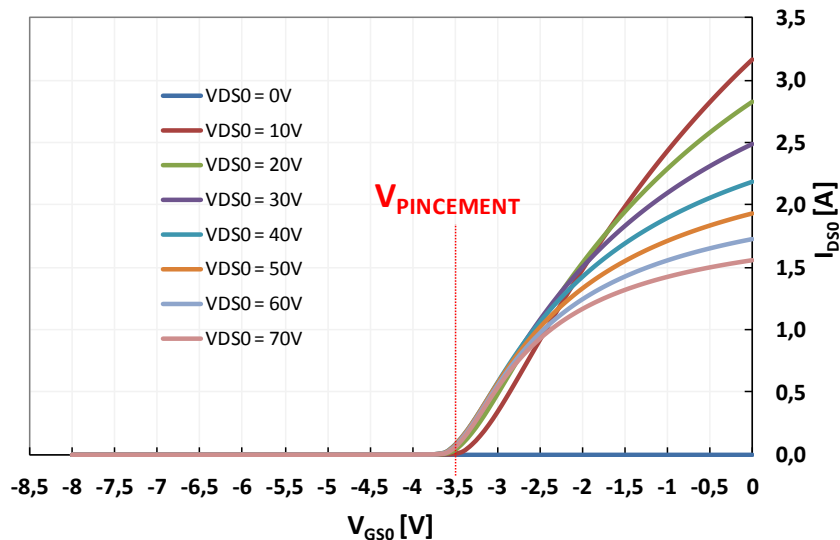


Figure V.4 : Caractéristiques statiques simulées I_{ds0}/V_{gs0} d'une barrette de puissance GH25-10 de $2 \times 8 \times 275 \mu\text{m}$, paramétrée par V_{ds0} .

Le tracé de la caractéristique I_{ds0}/V_{gs0} permet de relever la valeur de la tension de pincement de la barrette de puissance GH25-10 pour différentes valeurs de tension V_{ds0} appliquées. Pour la tension V_{ds0} nominale égale à 30V, la tension V_{gs0} de pincement, $V_{PINCEMENT}$ est de l'ordre de -3.6V.

A partir de ces caractérisations, le choix des points de polarisations des barrettes de puissance des deux étages (principal et auxiliaire) commence à se dessiner. Pour ce qui concerne l'étage principal que l'on souhaite faire fonctionner en classe AB proche de B, le point de polarisation peut être rapidement défini :

- $V_{ds0} = V_{ds0,NOMINAL} = 30\text{V}$ avec $0 < I_{ds0} < 50\text{mA/mm}$.

Ce choix implique une tension de polarisation grille-source V_{gs0} comprise entre -3.6V et -2.6V.

L'étage auxiliaire, doit être bloqué à bas niveau d'excitation donc son point de polarisation est le suivant :

- $V_{ds0} = V_{ds0,NOMINAL} = 30\text{V}$, $I_{ds0} = 0\text{A}$, $V_{gs0} < -3.6\text{V}$.

V.5. Analyses de la stabilité en régime petit signal d'un étage d'amplification RF.

Comme tout système physique présentant un gain, un étage d'amplification peut être à l'origine d'une instabilité.

La stabilité d'un étage d'amplification est un critère primordial et incontournable. Il doit être pris en compte durant les différentes phases de conception. Un circuit instable est un circuit inutilisable. Les analyses de stabilité linéaire et non-linéaire permettent de prévoir les risques d'instabilité du circuit et de pouvoir employer les mesures nécessaires pour les corriger avant la phase de fabrication.

Un circuit linéaire est dit stable si sa réponse libre, temporelle, à une source quelconque d'excitation, est transitoire. Cette réponse doit donc tendre vers zéro lorsque l'excitation est coupée et le temps t tend vers l'infini. Un circuit est dit stable si sa sortie reste finie pour toute excitation finie appliquée à son entrée.

Pour illustrer les conséquences dans le domaine fréquentiel de ces définitions, un circuit est défini selon l'équation suivante (équation V.3) dans le domaine cissoïdal ($j\omega$) :

$$Y(j\omega) \times \vec{V}(j\omega) = \vec{I}_g(j\omega) \quad (\text{V.3})$$

Après coupure des générateurs externes d'excitation, $\vec{I}_g(j\omega) = 0$, l'équation précédente devient :

$$Y(j\omega) \times \vec{V}(j\omega) = 0 \quad (\text{V.4})$$

Le passage du domaine cissoïdal au régime isomorphe entraîne le remplacement de ($j\omega$) par ($p = \alpha + j\omega$). On obtient alors :

$$Y(p) \times \vec{V}(p) = 0 \quad (\text{V.5})$$

D'après l'équation (V.5), dans le cas où il subsiste des tensions non nulles aux nœuds, il faut nécessairement que :

$$\text{Det}[Y(p)] = \Delta(p) = 0 \quad (\text{V.6})$$

Les n « fréquences propres du circuit » pour lesquelles $\Delta(p)$ est nul sont donc données par les racines du déterminant $\Delta(p)$ de la matrice $Y(j\omega)$ s'écrivent :

$$p_1 = \alpha_1 \pm j\omega_1, p_2 = \alpha_2 \pm j\omega_2, \dots, p_n = \alpha_n \pm j\omega_n \quad (\text{V.7})$$

Pour ces fréquences, les tensions du circuit s'écrivent sous la forme suivante :

$$v(t) = V_k e^{\alpha_k t} \cos(\omega_k t + \varphi) \quad (\text{V.8})$$

Avec : $k \in \mathbb{N}^*$

Le comportement du circuit est alors entièrement décrit selon les valeurs de p_k .

Trois cas de figure se distinguent :

- Si $\alpha_k > 0$: la tension est exponentielle croissante et le circuit est instable.
 - Si $\omega_k > 0$: l'instabilité est de type « oscillatoire ».
 - Si $\omega_k = 0$: l'instabilité est de type « relaxation ».
- Si $\alpha_k = 0$: la tension est sinusoïdale et le circuit est en limite de stabilité.
- Si $\alpha_k < 0$: la tension est exponentielle décroissante et le circuit est stable.

Le calcul des pulsations (p_1, p_2, \dots, p_n) pour lesquelles $\Delta(p)$ est nul constitue le moyen le plus rigoureux de l'analyse complète de la stabilité (linéaire et non linéaire) d'un dispositif microonde. Ce calcul reste relativement lourd et compliqué. Il a toutefois fait l'objet d'un transfert technologique vers la société AMCAD[®] qui le commercialise au sein du logiciel STAN[™] [V.2].

La stabilité linéaire d'un dispositif microonde doit être analysée dès les premières phases de conception par la détermination des conditions de stabilité.

Le principal critère de stabilité linéaire d'un circuit est le facteur de Rollett (facteur k) [V.3] associé au déterminant Δ de l'une des matrices descriptives du circuit en question (matrice des paramètres : S, Y...), dans le domaine cissoïdal.

Les cercles de stabilité peuvent aussi être tracés. Ils permettent de distinguer les zones des impédances à partie réelle positive ou nulle (respectivement de source et de charge) pour lesquelles le transistor présente à son autre accès (respectivement de drain et de source) une impédance à partie réelle positive ou nulle.

V.5.1. Application à la barrette de puissance GH25 (2x8x275 μ m).

V.5.1.1. Facteur de stabilité linéaire de Rollett (facteur k).

Le facteur k , et le module du déterminant Δ_S de la matrice des paramètres-[S] de la barrette de puissance 2x8x275 μ m polarisée en classe AB proche de B (avec $V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$), sont simulés dans la bande de fréquence [0.10-20]GHz et illustrés sur la figure V.5.

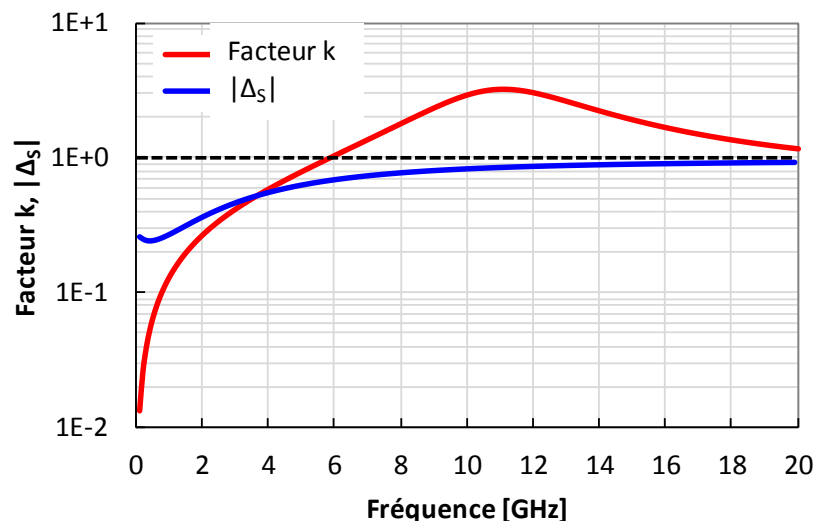


Figure V.5 : Facteur k et déterminant Δ_S de la barrette de puissance GH25 (2x8x275 μ m) polarisée en classe AB proche de B ($V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$).

Puisque la valeur de k est inférieure à 1 pour les fréquences allant de 0.10GHz jusqu'à environ 6GHz, la barrette de puissance simulée présente des risques d'instabilité linéaire. D'autre part, le module du déterminant Δ_S étant inférieur à l'unité, la barrette de puissance est conditionnellement stable de 0.10GHz jusqu'à environ 6GHz. Au-delà de la fréquence 6GHz et jusqu'à 20GHz, le facteur k est supérieur à 1 et $|\Delta_S|$ est inférieur à 1. La barrette de puissance est donc inconditionnellement stable dans cette gamme de fréquences supérieures à 6.00GHz.

Une barrette de puissance polarisée en classe C ne fournissant pas de gain, elle est théoriquement stable en régime d'excitation « faible signal ». Le facteur k et le module du déterminant de la matrice de paramètres-[S] de la barrette de puissance GH25 (2x8x275 μ m), polarisée en classe C, sont tracés sur la figure V.6.

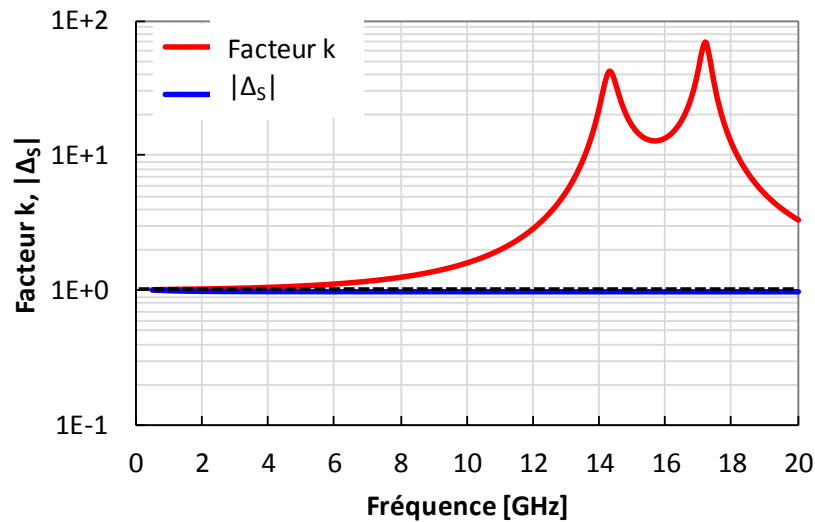


Figure V.6 : Facteur k et déterminant Δ_S de la barrette de puissance GH25 ($2 \times 8 \times 275 \mu\text{m}$) polarisée en classe C ($V_{ds0} = 30\text{V}$, $V_{gs0} = -7\text{V}$).

Le facteur k étant supérieur à 1 et $|\Delta_S|$ étant inférieur à 1 dans toute la bande de fréquence $[0.50\text{-}20]$ GHz, cette barrette de puissance GH25 ($2 \times 8 \times 275 \mu\text{m}$) polarisée en classe C est inconditionnellement stable (en régime faible signal).

a- *Cercles de stabilité conditionnelle :*

Les cercles de stabilité d'entrée et de sortie de la barrette de puissance GH25 ($2 \times 8 \times 275 \mu\text{m}$), polarisée en classe AB proche de B ($V_{ds0} = 30\text{V}$, $I_{ds0} = 25\text{mA/mm}$) sont reportés sur la figure V.7.

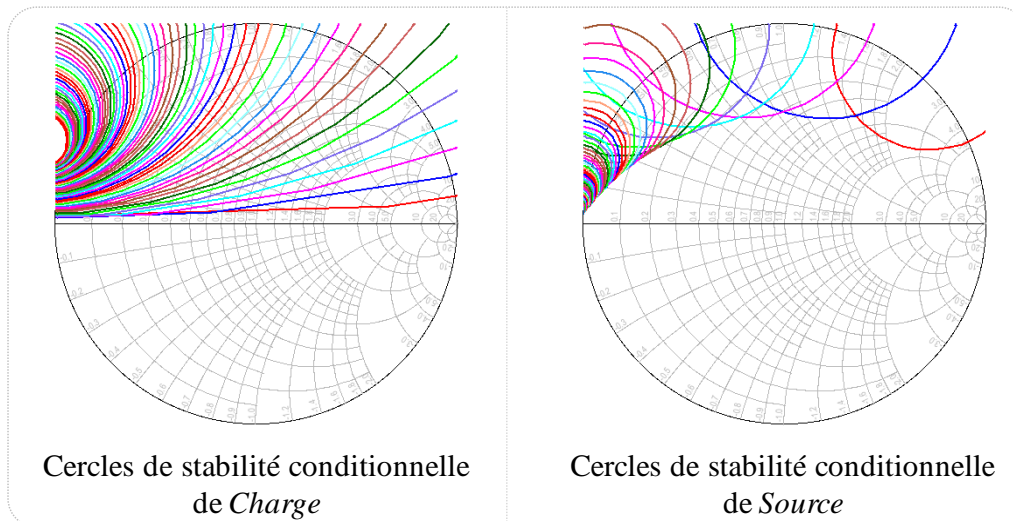


Figure V.7 : Cercles de stabilité de Source et de Charge dans la bande de fréquence $[0.10\text{-}6.50]$ GHz de la barrette de puissance GH25 ($2 \times 8 \times 275 \mu\text{m}$) polarisée en classe AB proche de B ($V_{ds0} = 30\text{V}$, $I_{ds0} = 25\text{mA/mm}$).

Si les impédances de source et de charge situées à l'intérieur des cercles de stabilité conditionnelle (entre 0.10 et 6.50GHz) sont présentées à la barrette de puissance GH25 ($2 \times 8 \times 275 \mu\text{m}$) alors elles peuvent conduire à un risque d'instabilité de cette barrette.

b- Gain maximal :

Le gain maximum disponible, simulé, pour la barrette de puissance GH25 (2x8x275µm) est représenté sur la figure V.8.

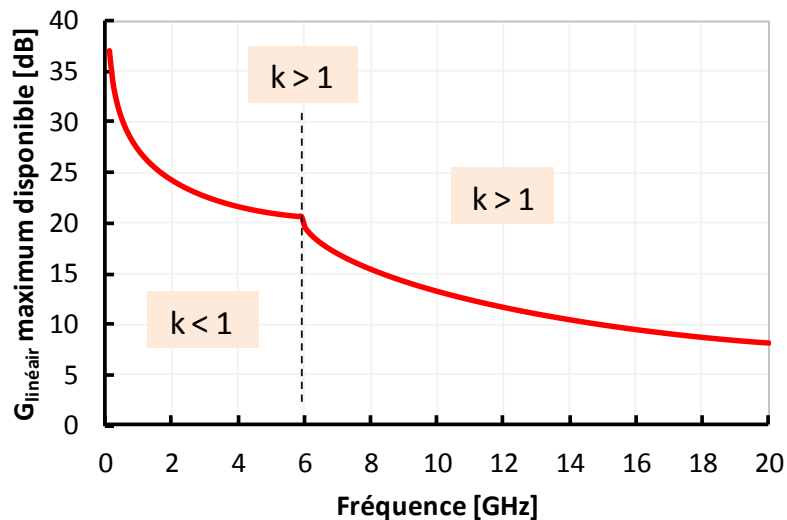


Figure V.8 : Gain maximum de la barrette de puissance GH25 (2x8x275µm) polarisée en classe AB proche de B ($V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$).

Autour de 6.50GHz le gain linéaire maximal disponible est de l'ordre de 17dB. Par conséquent, dans un amplificateur Doherty classique, avec deux voies (principale et auxiliaire) excitées par un coupleur d'entrée symétrique, le gain faible (ou petit) signal maximum disponible (étage auxiliaire polarisé en classe C, non passant à bas niveau) est de l'ordre de 17dB – 3dB = 14dB à 6.50GHz.

V.6. Variation des impédances de charge et de source simulées de la barrette de puissance GH25 AlGaIn/GaN 4.4mm.

La première étape de conception d'une architecture d'amplificateur de puissance Doherty (APD) s'appuie sur une caractérisation ou une simulation préalable spécifique des transistors. L'étude se décline en deux parties. La première, consiste à déterminer à la fréquence fondamentale f_0 et pour chaque barrette de puissance GH25 (principale et auxiliaire) les impédances optimales de source, notées Z_S , et les admittances optimales de charge, notées Y_{CH} qui permettent d'obtenir le maximum de rendement en puissance ajoutée (PAE) le long d'une certaine plage de recul en puissance (OBO). Ces impédances et admittances optimales sont déterminées dans une bande de fréquence elle-même limitée par les constantes de temps du circuit d'entrée et de sortie des barrettes de transistors calculées à OBO_{MAX} .

Dans un premier temps, lors de cette caractérisation/simulation spécifique, la charge présentée à la barrette de puissance à ses accès grille et drain aux fréquences harmoniques 2 et 3 est choisie purement résistive et égale à 50Ω.

L'ensemble de ces caractérisations/simulations est réalisé pour plusieurs points de polarisation :

- Depuis la classe AB proche de A à la classe AB proche de B pour la barrette de puissance de l'étage principal,

- Depuis la classe C proche de B à la classe C profonde pour la barrette de puissance de l'étage auxiliaire.

Les résultats de cette caractérisation/simulation spécifique permettent de choisir le meilleur compromis entre le gain et la linéarité.

Le diagramme donné sur la figure V.9 schématise la procédure de recherche des immittances de source et de charge offrant le meilleur compromis pour l'ensemble des performances.

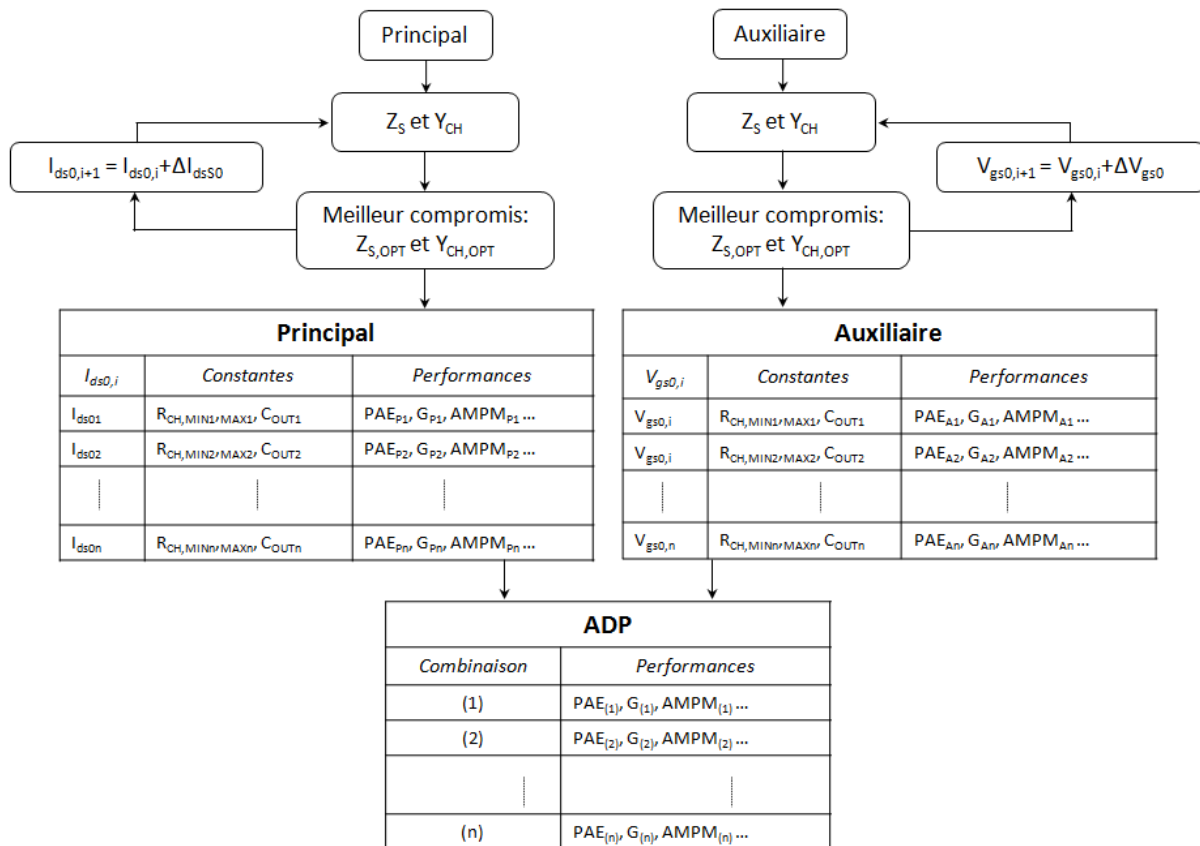


Figure V.9 : Diagramme de recherche à une fréquence f_0 , des impédances de source et des admittances de charge des barrettes de puissance 4.4mm (principal et auxiliaire).

Pour les barrettes de puissance GH25 (principale et auxiliaire) de 4.4mm de développement de grille, les valeurs des admittances de charge et des impédances de source optimales obtenues pour un maximum de *PAE* en fonction de la fréquence et pour différentes valeurs d'*OBO* sont représentées sur la figure V.10.

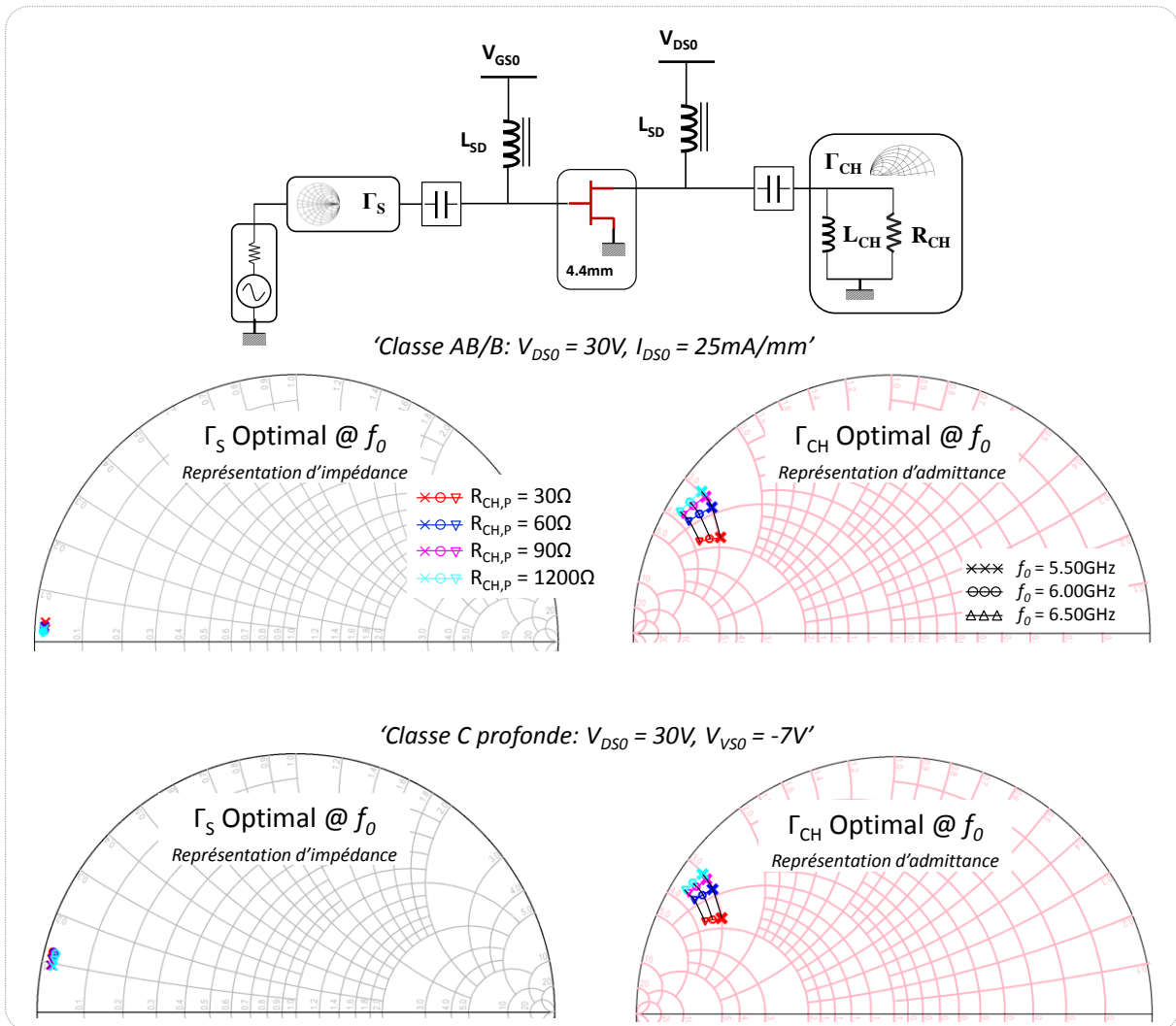


Figure V.10 : Simulation de variation de l'admittance de charge et de l'impédance de source présentées aux accès drain et source de la barrette de puissance GH25 de 4.4mm de développement de l'étage Principal (classe AB/B : $V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$) et à l'accès drain de l'étage Auxiliaire (Classe C profonde : $V_{ds0} = 30V$, $V_{gs0} = -7V$), aux fréquences fondamentales $f_0 = 5.50GHz$, $6.00GHz$ et $6.50GHz$.

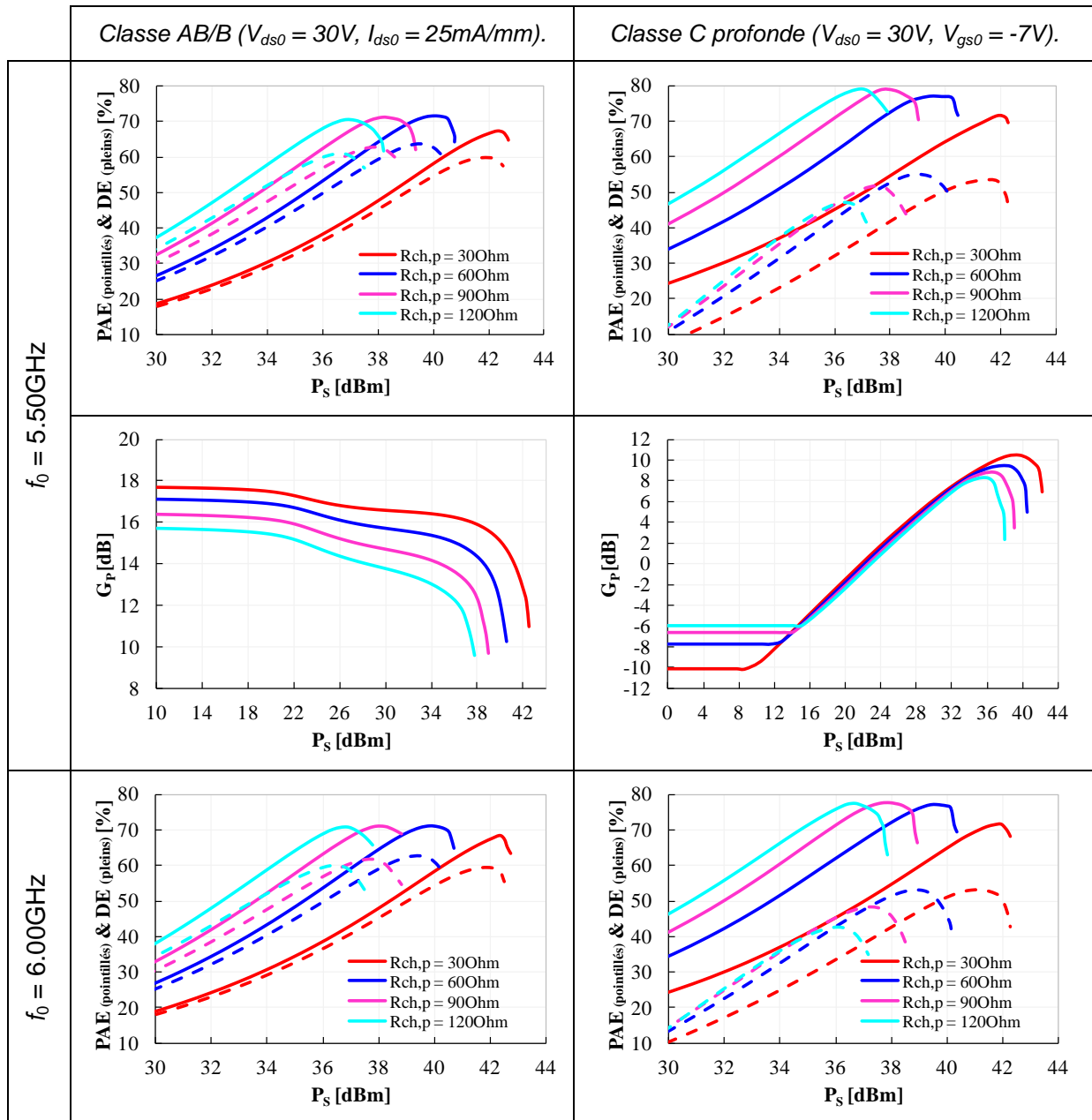
Dans un schéma d'admittance de charge de type parallèle, les valeurs des self-inductances optimales le long de l'enveloppe des PAE_{MAX} ainsi que la valeur de la capacité équivalente de sortie des deux barrettes de puissance GH25 sont données ci-après :

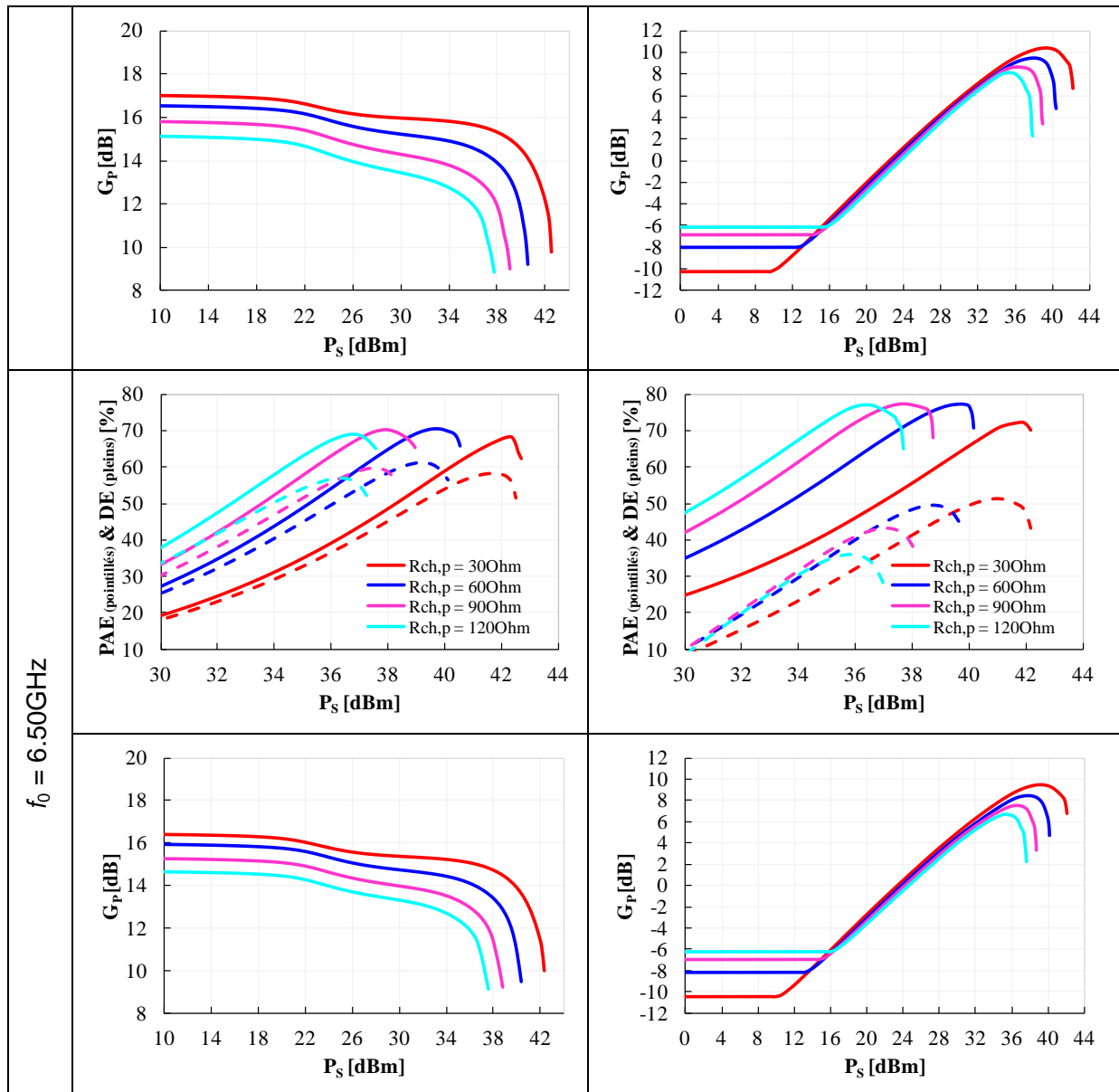
Tableau V.3 : Valeurs des self-inductances parallèles optimales de charge et valeurs des capacités de sorties équivalentes des barrettes de puissance GH25 principale et auxiliaire de 4.4mm de développement (fréquences de travail $f_0 = 5.50GHz$, $6.00GHz$ et $6.50GHz$).

f_0 [GHz]	Principal ($V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$).		Auxiliaire ($V_{ds0} = 30V$, $V_{gs0} = -7V$).	
	$L_{CH,P}$ [nH]	C_{OUT} [pF]	$L_{CH,A}$ [nH]	C_{OUT} [pF]
5.50	0.49	1.71	0.48	1.74
6.00	0.40	1.75	0.40	1.75
6.50	0.34	1.76	0.34	1.76

Le tableau V.4 montre les tracés de rendement de drain (η), de rendement en puissance ajoutée (PAE) et de gain en puissance (G_p) résultant des simulations de variation d'admittance de charge et d'impédance de source vues à la fréquence fondamentale par les barrettes de puissance GH25 des étages amplificateurs (principal et auxiliaire) aux trois fréquences de travail.

Tableau V.4 : PAE (traits pointillés), η (traits pleins) et G_p optimaux issus des simulations de variation de charge et de source de la barrette de puissance GH25 de 4.4mm de développement total fonctionnant en classe AB/B (colonne gauche) avec $V_{ds0}=30V$ et $I_{ds0} = 25mA/mm$ et en classe C (colonne droite) avec $V_{ds0}=30V$ et $V_{gs0} = -7V$, aux fréquences fondamentales 5.50GHz, 6.00GHz et 6.50GHz.





Toujours dans un schéma d'admittance de charge de type parallèle, et afin d'obtenir un maximum de puissance en sortie de l'étage principal, une plage de variation de la résistance de charge a été fixée volontairement entre 60Ω à fort *OBO* et 30Ω à $P_{S,MAX}$.

La résistance de charge optimale à $P_{S,MAX}$ de la barrette de puissance GH25 auxiliaire est de l'ordre de 30Ω . A fort recul en puissance de sortie, cet étage présente une résistance équivalente de très forte valeur à son accès drain.

V.7. Etude de sensibilité de la PAE de la barrette de puissance aux immittances de charge et de source présentées aux fréquences harmonique 2 et 3.

Cette caractérisation reprend la méthode proposée par l'université de Chalmers [V.4].

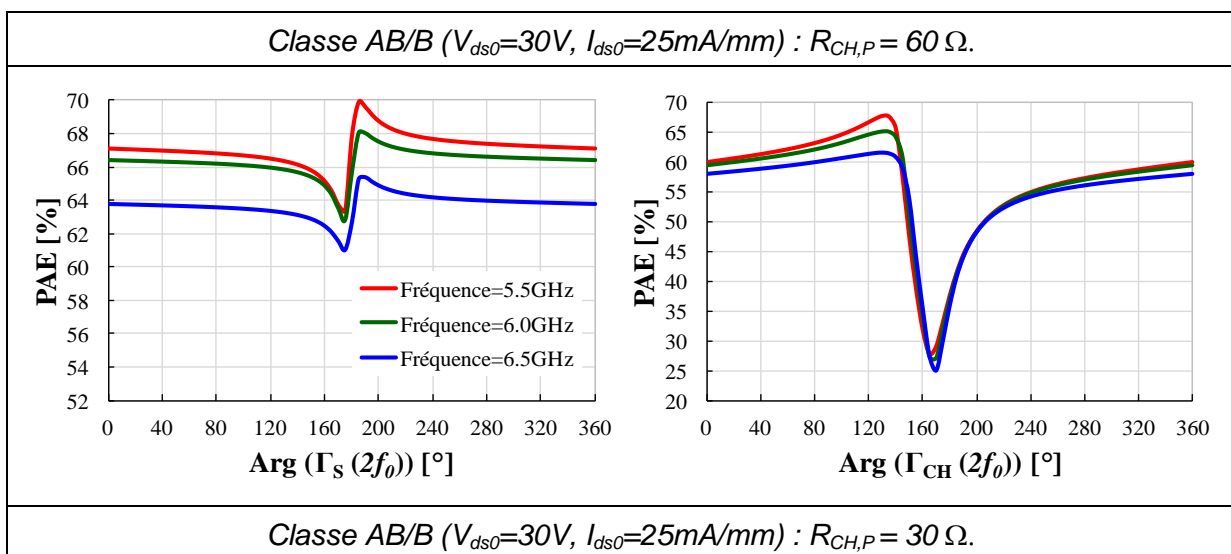
Elle consiste à réaliser une simulation de variation de charge vue par la barrette de puissance GH25 à ses accès grille et drain aux fréquences harmoniques 2 et 3 en imposant les immittances optimales pour PAE_{MAX} à la fréquence fondamentale ($Z_{S,OPT}(f_0)$ et $Y_{CH,OTP}(f_0)$) synthétisées précédemment. Cette simulation est effectuée en deux temps :

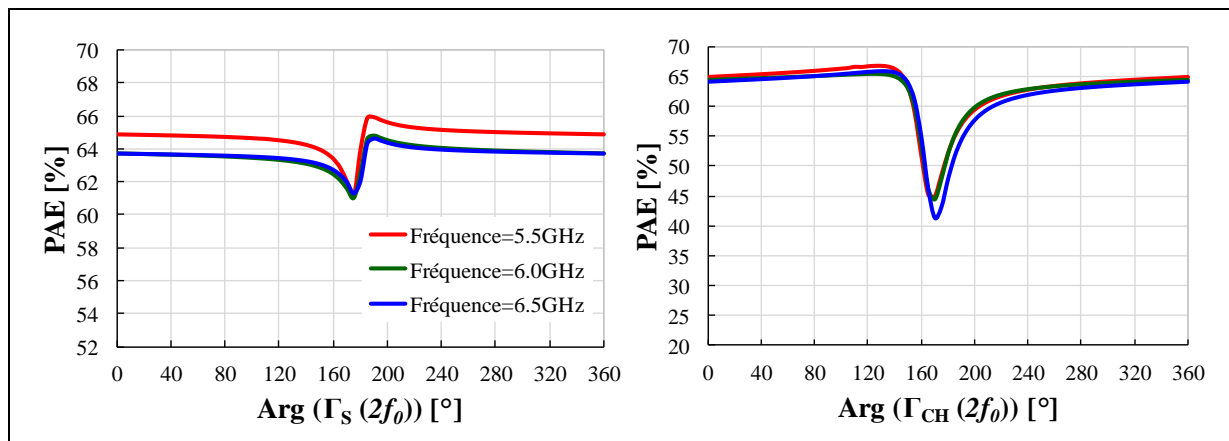
- Tout d'abord, la valeur de l'impédance de fermeture à la fréquence harmonique 3 est fixée à 50Ω et seule la phase du coefficient de réflexion présentée à la fréquence harmonique 2 varie de zéro à 2π . Cette variation « toutes phases » est réalisée pour tous les points de la plage de recul en puissance de sortie (OBO) désirée, en gardant le module de ce coefficient de réflexion égal à 0.95.
- Une fois étudié le coefficient de réflexion à la fréquence harmonique 2, le même processus est employé pour l'étude du coefficient de réflexion présenté à la fréquence harmonique 3.
- Les résultats de ces simulations permettent d'obtenir une représentation des performances en termes de PAE pour différentes puissances de sortie (le long de l'OBO) en fonction de la phase du coefficient de réflexion présenté aux fréquences harmoniques 2 et 3 sur les barrettes de puissance GH25 :
 - Principale polarisée en classe AB/B ($V_{ds0} = 30V$, $I_{ds0} = 25mA/mm$).
 - Auxiliaire polarisé en classe C ($V_{ds0} = 30V$, $V_{gs0} = -7V$).

V.7.1. Influence des impédances de source et de charge à la fréquence harmonique 2.

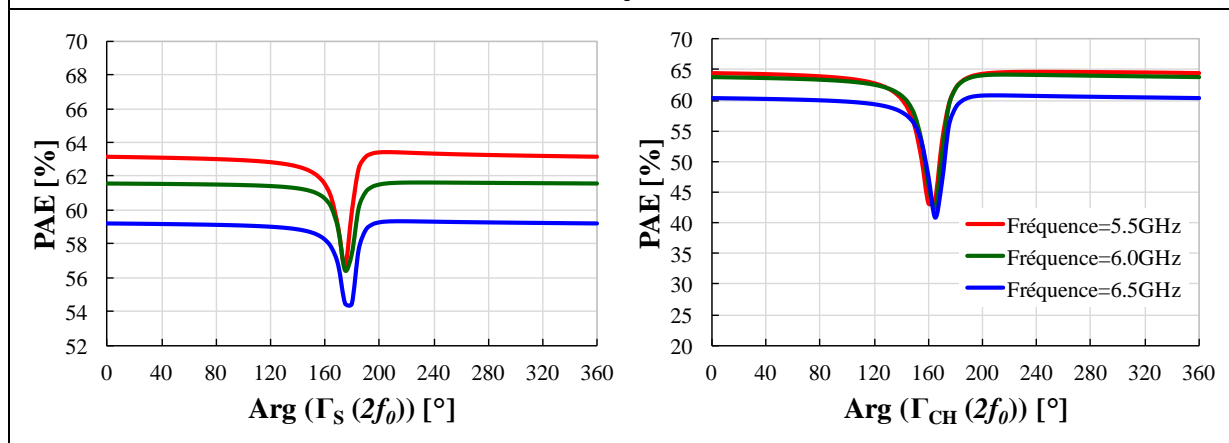
Les graphiques du tableau V.5 montrent l'évolution de la PAE le long de l'enveloppe des PAE_{MAX} de la barrette de puissance principale et au maximum de puissance de sortie de la barrette de puissance auxiliaire pour un coefficient de réflexion de source et de charge à la fréquence harmonique 2 en gardant un module constant ($|\Gamma_S(2f_0)| = |\Gamma_{CH}(2f_0)| = 0.95$), et pour une fréquence d'excitation allant de 5.50 à 6.50GHz. Cette représentation permet de mettre en évidence rapidement les phases pour lesquelles les performances sont dégradées. Elle conduit ainsi à connaître rapidement les zones d'impédances de charge à éviter aux fréquences harmoniques 2 et 3.

Tableau V.5 : Simulation de l'évolution de la PAE d'une barrette de puissance GH25 ($2x8x275\mu m$) pour un coefficient de réflexion en charge à la fréquence harmonique 2 variant en périphérie de l'abaque de Smith ($|\Gamma_{CH}(2f_0)| = 0.95$) dans la bande de fréquence fondamentale $f_0 = 5.50-6.50GHz$.





Classe C ($V_{ds0}=30V$, $V_{gs0}=-7V$) : $R_{CH,P} = 30\Omega$.



a- Influence de la phase du coefficient de réflexion présenté par la source à la fréquence harmonique 2 :

Indépendamment de la classe de fonctionnement et du point de polarisation de la barrette, une dégradation de la *PAE* est constatée pour une phase de la charge extrinsèque de source à la fréquence harmonique 2 comprise entre 150° et 190° pour une fréquence fondamentale comprise dans la bande $[5.50-6.50]$ GHz.

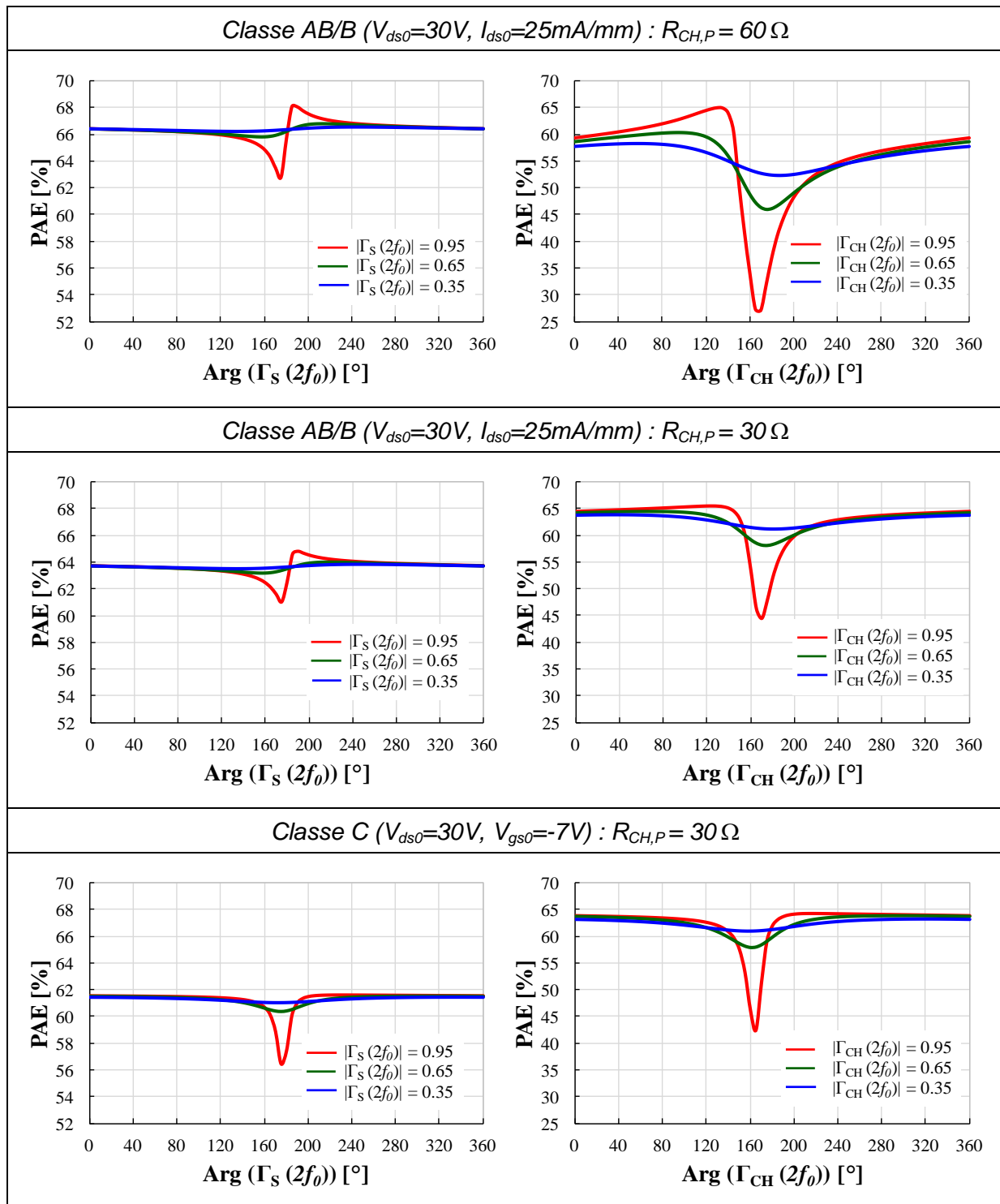
b- Influence de la phase du coefficient de réflexion présenté par la charge à la fréquence harmonique 2 :

L'impédance de charge à la fréquence harmonique 2 a plus d'influence sur la *PAE* que celle de source et notamment à fort *OBO* ($P_{CH,P} = 60\Omega$). Une forte dégradation apparaît pour une phase de la charge à la fréquence harmonique 2 comprise entre :

- 150° et 210° pour une polarisation en classe AB/B.
- 150° et 190° pour une polarisation en classe C.

Des simulations complémentaires ont été réalisées pour des valeurs de modules de coefficients de réflexion de source et de charge de 0.35, 0.65 et 0.95 à la fréquence harmonique 2 de la fréquence fondamentale $f_0 = 6.00\text{GHz}$. Ces simulations révèlent que la phase correspondant à la dégradation des performances est la même quel que soit le module de l'impédance de source à la fréquence harmonique 2 et quel que soit le module de l'admittance de charge à la fréquence harmonique 2.

Tableau V.6 : Simulation de l'évolution de la *PAE* d'une barrette de puissance GH25 (2x8x275 μ m) à la fréquence fondamentale $f_0 = 6.0$ GHz, pour différents modules des coefficients de réflexion en charge à la fréquence harmonique 2 ($|\Gamma_{CH}(2f_0)| = 0.35, 0.65$ et 0.95).



Sur les figures tracées dans les tableaux V.5 et V.6, les simulations de variation d'impédance de source et de charge à la fréquence harmonique 2 montrent qu'il existe des zones défavorables en termes de *PAE* le long de l'OBO. Ces résultats offrent un degré de liberté plus important lors de l'optimisation des impédances de source et de charge à la fréquence harmonique 2.

En effet, lors de l'optimisation des circuits d'adaptation d'entrée et de sortie, il a été attentivement vérifié que les impédances de source et de charge à la fréquence harmonique 2 n'étaient pas situées dans la zone défavorable dégradant le niveau de *PAE*.

V.7.2. Influence des impédances de source et de charge à la fréquence harmonique 3.

Les simulations de variation d'impédance de source et de charge à la fréquence harmonique 3 ont prouvé que celles-ci n'influencent quasiment pas les performances en puissance de la barrette de puissance GH25. Cette propriété est valable indépendamment du point de polarisation et de la valeur de la résistance de charge, comme le montrent les figures V.11 (classe AB/B) et V.12 (classe C).

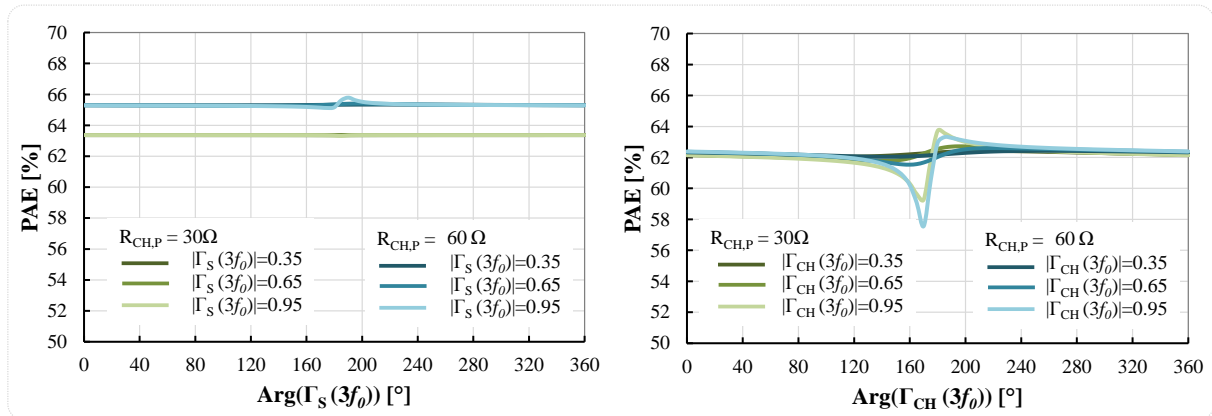


Figure V.11 : Simulation de l'évolution de la *PAE* d'une barrette de puissance GH25 (2x8x275µm) polarisée en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) à la fréquence fondamentale $f_0 = 6.00GHz$, pour différents modules des coefficients de réflexion en source à la fréquence harmonique 3 ($|\Gamma_S(3f_0)|=0.35$, 0.65 et 0.95) pour différentes valeurs des résistances de charge ($R_{CH}=30\Omega$ et 60Ω).

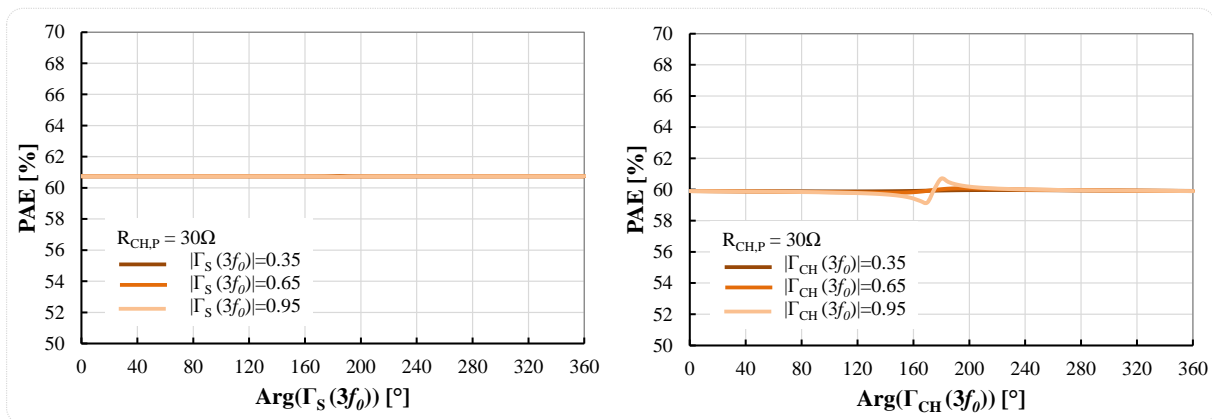


Figure V.12 : Simulation de l'évolution de la *PAE* d'une barrette de puissance GH25 (2x8x275µm) polarisée en classe C profonde ($V_{ds0}=30V$, $V_{gs0}=-7V$) à la fréquence fondamentale $f_0 = 6.00GHz$, pour différents modules des coefficients de réflexion en source à la fréquence harmonique 3 ($|\Gamma_S(3f_0)|=0.35$, 0.65 et 0.95) pour la résistance de charge ($R_{CH}=30\Omega$).

V.8. Etude des limitations de largeur de bande des transistors de puissance à haut rendement.

V.8.1. Applications des relations de Bode et Fano au modèle du transistor GH25.

Lors de la conception de l'amplificateur, il convient d'évaluer les limites de bande passante utile qu'il est possible d'atteindre après avoir choisi la tolérance (minimum) de rendement en puissance ajoutée acceptable, dans la zone d'OBO.

A cet effet, l'application aux deux étages (principal et auxiliaire) de la théorie développée par Bode et Fano concernant les limitations de bande passante d'adaptation des dipôles passifs possédant une partie réactive s'avère nécessaire.

Il convient au préalable d'extraire, en fonction de la fréquence, l'immittance équivalente présentées aux accès (grille et drain) du transistor (ou de la barrette de puissance) utilisé au point de fonctionnement optimal choisi.

Les expressions développées par *Bode* et *Fano* permettent de calculer la limitation de la bande passante d'adaptation ($\Delta\omega = 2\pi\Delta f$) en fonction du produit RC du dipôle analysé, qu'il soit de type série ou parallèle. Ces expressions traduisent la dégradation du transfert de puissance provenant du générateur et délivré à la charge de fermeture.

Il est donc nécessaire de définir les coefficients de réflexion admissibles pour lesquels le rendement en puissance ajoutée dans la région Doherty est réduit à un certain pourcentage de PAE_{MAX} , mais reste acceptable.

Il convient de noter que les limitations de bande passante données ci-dessous concernent la valeur maximale de bande passante atteignable si l'adaptation est réalisée :

- Avec un coefficient de réflexion de module constant dans la bande passante,
- Avec un coefficient de réflexion de module égal à 1 hors bande,
- Avec un nombre infini d'éléments réactifs sans pertes.

V.8.1.1. Limitation de Bode et Fano pour un circuit $R_P C_P$ parallèle.

La limitation de bande passante, concernant un dipôle constitué d'une résistance en parallèle avec une capacité, relie le coefficient de réflexion de charge $\Gamma_{CH}(\omega)$ et la constante de temps de sortie $\tau_p = R_P C_P$ du circuit. Pour un circuit RC parallèle, cette limitation est définie par la relation suivante :

$$|\Gamma|_{min} = e^{-\frac{\pi}{\Delta\omega R_P C_P}}$$

D'où :

$$\Delta f = \frac{1}{2 \times R_P \times C_P \times \ln \left| \frac{1}{\Gamma_{min}(\omega)} \right|} \quad (V.9)$$

V.8.2. Limitation de Bode et Fano appliquée à un circuit $R_S C_S$ série.

La limitation de l'adaptation pour un dipôle constitué d'une résistance en série avec une capacité, relie le coefficient de réflexion de charge $\Gamma_{CH}(\omega)$ et la constante de temps $\tau_s = R_S C_S$. Cette limitation pour un circuit RC série est définie par la relation suivante :

$$|\Gamma|_{min} = e^{-\frac{\pi\omega_0^2 R_S C_S}{\Delta\omega}}$$

D'où :

$$\Delta f = \frac{2 \times \pi^2 \times R_S \times C_S \times f_0^2}{\ln \left| \frac{1}{|\Gamma|_{min}(\omega)} \right|} \quad (V.10)$$

Avec :

$$\omega_0 = \sqrt{\omega_{MAX} \omega_{MIN}}$$

Et :

$$\Delta\omega = \omega_{MAX} - \omega_{MIN} \quad (V.11)$$

V.8.3. Application à la largeur de bande passante de la barrette de puissance GH25 principale de 2x8x275µm de développement de grille.

Afin d'utiliser les expressions précédentes il faut déterminer le point le plus contraignant le long de l'OBO. Il est donc nécessaire de déterminer le schéma équivalent présenté par le transistor aussi bien à son accès grille qu'à son accès drain le long de l'OBO.

Les simulations/caractérisations des transistors effectuées précédemment permettent d'établir que le point le plus contraignant est le point à OBO maximum. Toujours grâce aux caractérisations/simulations précédentes, on peut conclure que la limitation de la bande passante provient principalement du circuit ($R_{OUT,P}/C_{OUT,P}$) parallèle représentatif du comportement de la barrette de puissance GH25 principale à son accès drain, à OBO_{MAX} lorsque $R_{OUT,P}$ est maximale.

Afin de calculer la bande passante maximale atteignable, il reste alors à définir la diminution acceptable à imposer sur la PAE. Le lieu limite du coefficient de réflexion de la charge associée se déduit alors aisément.

En s'appuyant sur les travaux réalisés par M. Berrached [V.5] concernant la limitation de la bande passante d'adaptation, et à partir des simulations de variation de charge présentées précédemment, les contours limites d'impédance de charge permettant d'obtenir 90% de PAE_{MAX} pour une puissance de sortie fixe à OBO_{MAX} ont été tracés.

Les résultats obtenus pour les fréquences de 5.50GHz, 6.00GHz et 6.50GHz sont tracés sur la figure V.13.

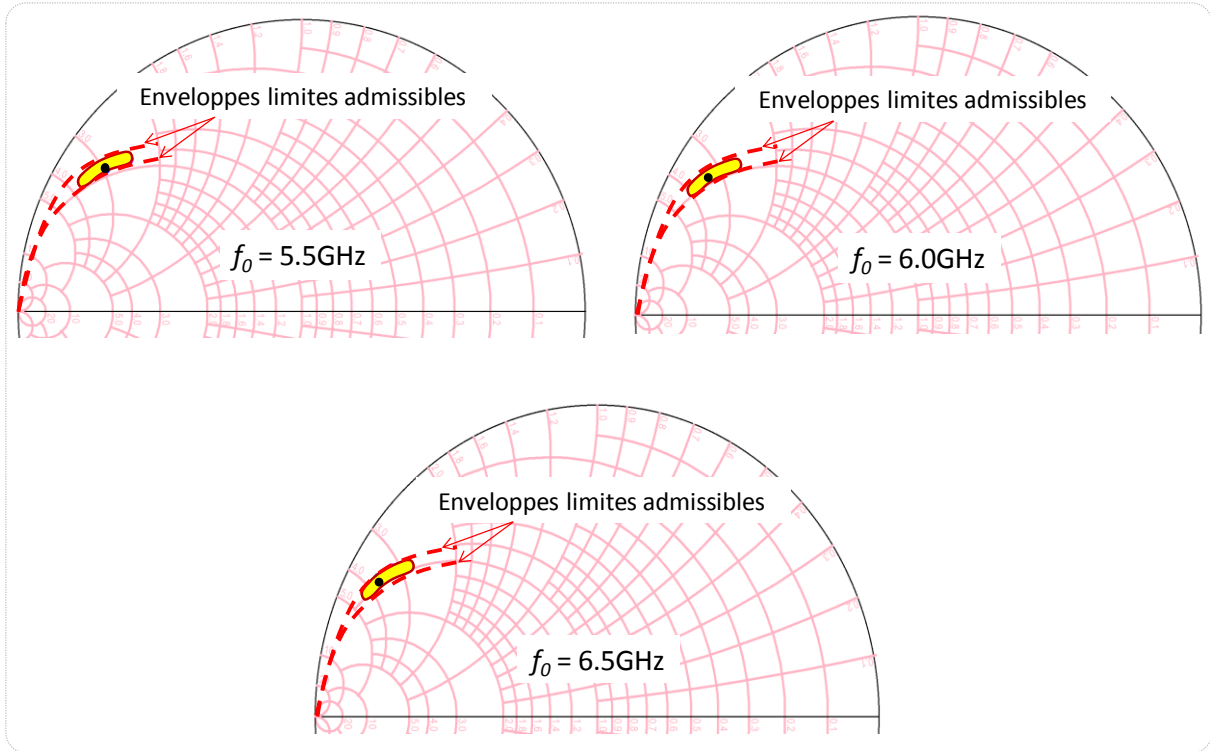


Figure V.13 : Contours limites d'impédance de charge permettant d'obtenir 90% de PAE_{MAX} pour une puissance de sortie fixe à OBO_{MAX} d'une barrette de puissance GH25 ($2 \times 8 \times 275 \mu\text{m}$) polarisée en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) aux fréquences fondamentales f_0 de 5.50 GHz, 6.00GHz et 6.50GHz.

Ces résultats permettent de définir la valeur maximale du coefficient de réflexion utilisé en sortie pour respecter le critère limite des 90% de l'optimum de PAE .

- *Remarque :*

Le coefficient de réflexion présenté par une admittance de charge quelconque peut s'exprimer en prenant comme impédance de référence l'admittance optimale permettant d'obtenir la PAE maximum, à puissance de sortie constante.

Ainsi, la valeur maximale du coefficient de réflexion admissible ($|\Gamma_{P,CH}(\omega)|_{90\%}$) à présenter à l'accès drain de la barrette de puissance GH25 principale à OBO_{MAX} , pour une PAE réduite à 90% de PAE_{MAX} ; $|\Gamma_{P,CH}(\omega)|_{MAX}$, s'écrit :

$$|\Gamma_{P,CH}(\omega)|_{90\%} = \left| \frac{Y_{P,CH,Opt,OBO}(\omega)^* - Y_{P,CH,90\%,OBO}(\omega)}{Y_{P,CH,Opt,OBO}(\omega) + Y_{P,CH,90\%,OBO}(\omega)} \times \frac{Y_{P,CH,Opt,OBO}(\omega)^*}{Y_{P,CH,Opt,OBO}(\omega)} \right|$$

Avec :

$Y_{P,CH,Opt,OBO}(\omega)$: Admittances de charge à (OBO_{MAX} , PAE_{MAX}) de la barrette de puissance principale.

$Y_{P,CH,90\%,OBO}(\omega)$: Admittances de charge limite admissible.

Afin d'obtenir un rendement en puissance ajoutée de l'ordre de 90% de la PAE_{MAX} le réseau d'adaptation en sortie de la barrette de puissance de l'étage principal doit présenter,

vis-à-vis de l'impédance optimale, un module de coefficient de réflexion maximum $|\Gamma_{P,CH}(\omega)|_{MAX} \leq 0.2$.

V.8.4. Détermination de la limitation de bande passante de la barrette de puissance principale.

A partir des éléments fournis précédemment, il devient possible de déterminer la bande passante maximale d'adaptation théorique, définie par l'équation V.9, associée au circuit RC parallèle de sortie équivalent constitué d'une résistance $R_{OUT,P}$ égale à 60Ω et d'une capacité de $1.75pF$. La valeur de la bande passante maximale d'adaptation théorique est alors égale à :

$$\Delta f = \frac{1}{2 \times R_P \times C_P \times \ln \left| \frac{1}{\Gamma_{min}(\omega)} \right|} = 2.95GHz \quad (V.13)$$

La bande passante est calculée pour un module du coefficient de réflexion constant égale à 0.2 correspondant à un rendement supérieur ou égal à 90% de la PAE_{MAX} . Une bande passante maximale théorique avec un nombre infini d'éléments d'adaptation en sortie est alors égale à $2.95GHz$.

Dans le cas d'une technologie MMIC, les développements de Bode et Fano suffisent, au premier ordre, pour définir la largeur de la bande passante réalisable.

V.8.5. Applications des relations de Wheeler-Lopez pour le calcul de la bande passante d'adaptation.

Wheeler et Lopez ont transformé les équations de Bode et Fano (équation V.9 et V.10) :

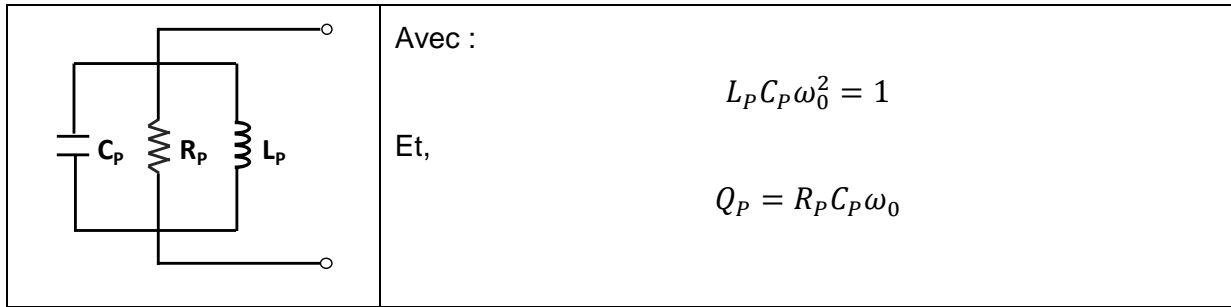
- Pour écrire de façon similaire les limitations de bande passante d'une part, qu'il s'agisse d'un circuit RC série ou RC parallèle.
- Pour appliquer les expressions à des circuits RLC série, ou RLC parallèle.

Faisant appel aux transformations de fréquence des circuits passe-bas en passe-bande, Wheeler fait remarquer qu'en se plaçant à la même fréquence centrale de travail ω_0 , chaque élément passe-bas devient un circuit résonnant LC suivant la transformation :

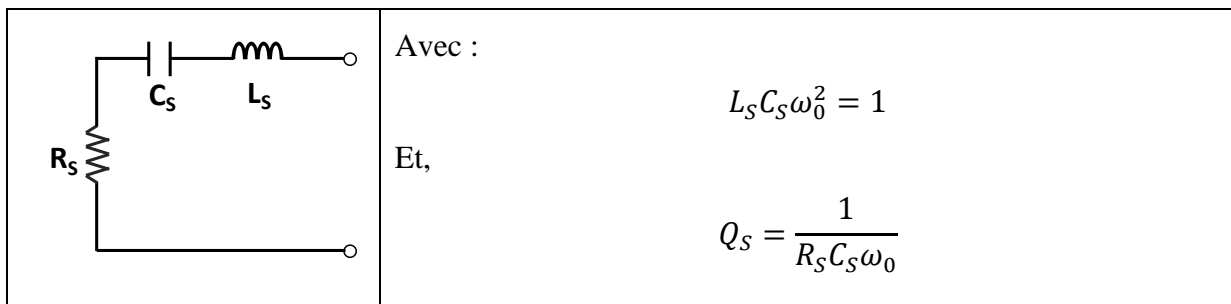
$$\begin{aligned} L_{Passe-Bas} &\Rightarrow LC \text{ série en passe bande} \\ C_{Passe-Bas} &\Rightarrow LC \text{ parallèle en passe bande} \end{aligned} \quad (V.14)$$

Tous les éléments passe-bande sont alors synchrones et résonants à ω_0 .

Ainsi le circuit RC parallèle recentré sur ω_0 devient, par ajout d'une self inductance en parallèle :



Le circuit *RC* série centré sur ω_0 devient par ajout d'une self inductance série :



En reportant les expressions de $R_P C_P$ et $R_S C_S$ dans les expressions de $|\Gamma|_{min}$ et en écrivant :

$$Q_0 = \frac{\omega_0}{\Delta\omega} \quad (V.15)$$

Les expressions suivantes sont déduites :

$$|\Gamma|_{min,Parallèle} = e^{-\pi \frac{Q_0}{Q_P}} \quad (V.16)$$

$$|\Gamma|_{min,Série} = e^{-\pi \frac{Q_0}{Q_S}}$$

Elles peuvent se ramener à une seule expression :

$$|\Gamma|_{min} = e^{-\pi x}$$

Avec :

$$x = \frac{Q_0}{Q_P} \quad \text{ou} \quad \frac{Q_0}{Q_S} \quad (V.17)$$

Suivant qu'il s'agisse de travailler avec un circuit parallèle ou un circuit série.

Cette expression relie donc le coefficient de surtension du circuit *RC*, recentré à la fréquence centrale de fonctionnement ω_0 , avec la largeur de bande maximale d'adaptation. Compte-tenu de leur similitude, les expressions issues des développements de *Bode* et *Fano* appliquées à un circuit *RC* parallèle, associé à un circuit d'adaptation de type *Tchebycheff* à 2, 3, ...*n* éléments, restent valables pour un circuit série. Donc les abaques qui en ont été tirées sont applicables à un circuit série.

C'est ce qu'a montré Lopez [V.6] dans les articles qu'il a publié sur l'adaptation à large bande des antennes.

V.8.5.1. Application à un transistor GH25 associé à une technologie MMIC et Quasi-MMIC.

Les simulations réalisées dans le paragraphe V.5 ont montré que les transistors GH25 utilisés dans un montage Doherty, présentent à leur accès de drain et, sur l'enveloppe des PAE_{MAX} , une admittance équivalente optimale constituée par un circuit RC parallèle. Dans ce circuit, la valeur de la capacité C est pratiquement indépendante de la puissance de sortie. Seule varie la valeur de la résistance.

Pour une barrette de puissance GH25 combinant deux transistors de $8 \times 275 \mu\text{m}$ de développement de grille, polarisée en classe AB/B, les valeurs du circuit RC sont donc les suivantes pour une plage d'OBO de 6dB :

$$30\Omega \leq R_{OUT,P} \leq 60\Omega$$

$$C_{OUT,P} = 1.75 \text{ pF}$$

Pour le calcul de la largeur de la bande d'adaptation, il faut prendre la valeur la plus défavorable le long de l'OBO, à savoir celle relative à l'OBO maximum : $R_{OUT,P} = 60\Omega$.

L'expression suivante de la largeur de bande est alors obtenue, à la fréquence centrale de fonctionnement $f_0 = 6\text{GHz}$, pour la barrette de puissance principale :

$$|\Gamma_P|_{min,Parallèle} = e^{-\pi \frac{Q_0}{Q_P}}$$

Avec (V.18)

$$Q_0 = \frac{\omega_0}{\Delta\omega_{Parallèle}}, \quad Q_P = R_{DS,P} C_{DS,P} \omega_0, \quad R_{DS,P} = 60\Omega, \quad C_{DS,P} = 1.75 \text{ pF}$$

Dans le cadre d'une conception MMIC, ces valeurs permettent de calculer la bande passante d'adaptation de l'amplificateur Doherty.

V.8.5.2. Abaque de Wheeler-Lopez : application au transistor GH25.

Lopez et Wheeler ont publié un abaque très intéressant qui vérifie les conclusions théoriques compliquées de Bode et Fano.

Cet abaque relie :

- Le produit bande passante relative atteignable B et le coefficient de surtension Q du circuit en question comme définis dans l'équation V.18 et V.19 :

$$Q \times B = \frac{\Delta f}{f_0} \times Q \quad (V.25)$$

- Avec l'amplitude du coefficient de réflexion Γ atteignable pour un nombre $n = 1, 2, \dots, \infty$ d'éléments d'adaptation « équivalent passe-bas ». $|\Gamma|$ est l'amplitude maximale de l'ondulation pour un circuit passif de type Tchebycheff.

Le principe de cet abaque est donc le suivant :

- 1- Extraction d'un modèle RC ou RLC , série ou parallèle du dipôle considéré,
- 2- Calcul du coefficient de surtension Q correspondant,
- 3- Si la fréquence de travail est supérieure (pour un circuit RLC série) ou inférieure (pour un circuit RLC parallèle) à la fréquence propre du dipôle, la capacité initiale du dipôle est remplacée par la capacité équivalente nécessaire pour faire résonner le circuit avec la self inductance initiale au centre de la bande.

Dans ce cas, et il ne peut en être autrement, le coefficient de surtension Q du circuit augmente d'autant plus que la capacité initiale est supérieure (pour un circuit RLC série) ou inférieure (pour un circuit RLC parallèle) à la capacité nécessaire à la résonance du circuit à la fréquence de travail, sans ajout de self inductance (ce qui serait encore plus contraignant pour la bande passante).

L'abaque de Wheeler-Lopez est donné sur la figure V.14.

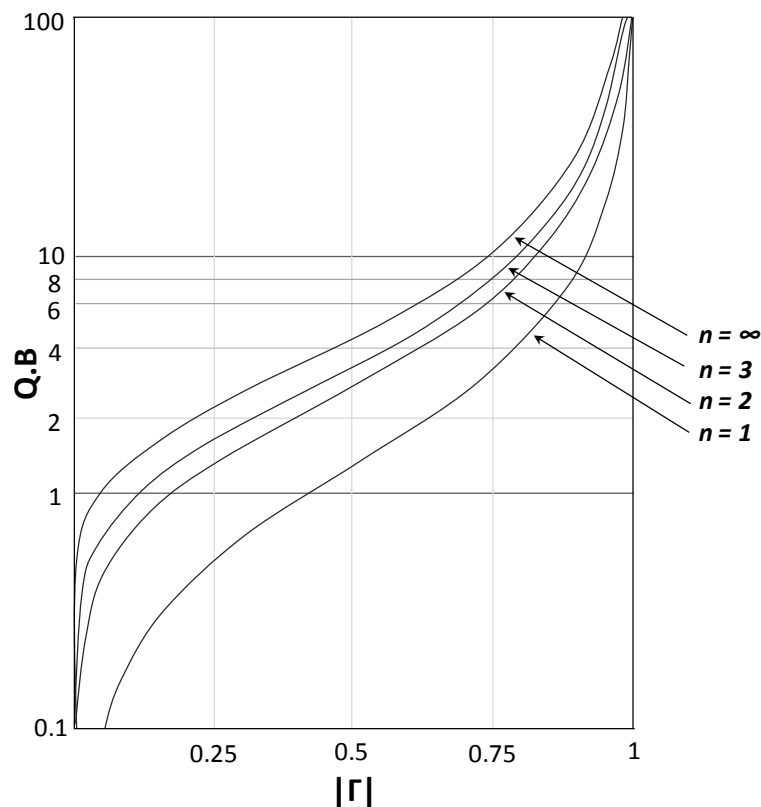


Figure V.14 : Courbes de largeur de bande atteignables en fonction du coefficient de réflexion admissible paramétrées par le nombre de circuits d'adaptation [V.6].

Par application de l'abaque de Lopez sur la barrette de puissance GH25 principale et pour un module de coefficient de réflexion de sortie minimum acceptable égal à 0.2, le produit QB est de l'ordre de (figure V.15):

- $QB = 1.87$ pour un nombre infini d'éléments d'adaptation (avec $Q=4.61$).
- $QB = 1.23$ pour deux éléments d'adaptation (avec $Q=4.61$).

Il en résulte une bande passante :

- De l'ordre de 40% autour de la fréquence centrale de travail (2.4GHz de bande passante autour de la fréquence centrale $f_0 = 6\text{GHz}$) pour un nombre infini d'éléments d'adaptation.
- De l'ordre de 27% autour de la fréquence central pour deux éléments d'adaptation sans perte (1.62GHz de bande passante autour de la fréquence centrale $f_0 = 6\text{GHz}$).

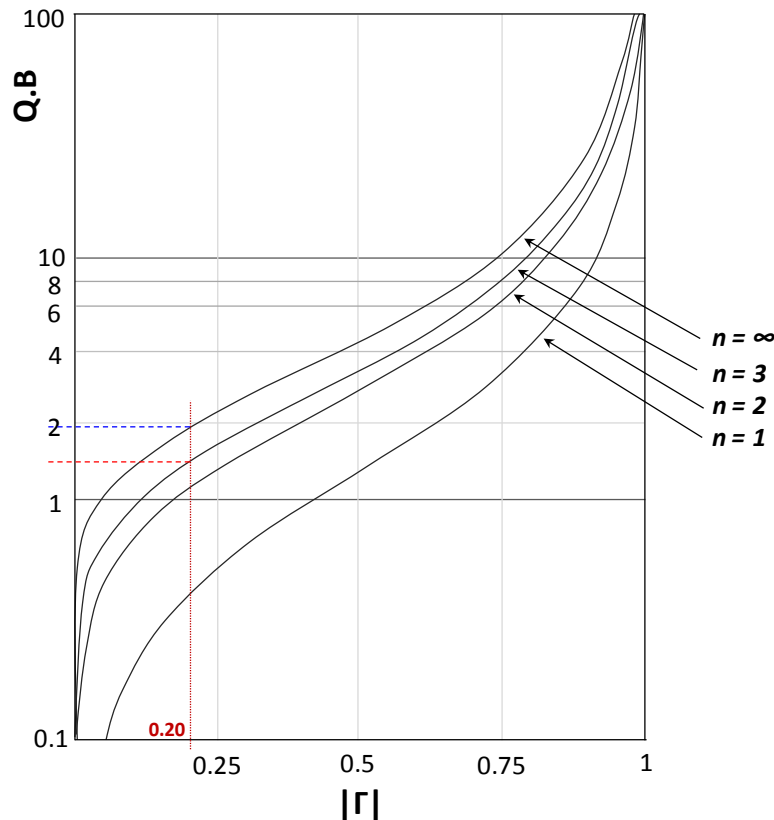


Figure V.15 : Application de l'abaque de Lopez à la barrette de puissance GH25 (2x8x275µm) principale.

V.9. Influence des pertes du circuit d'adaptation de sortie.

Les pertes d'insertion d'un quadripôle d'adaptation réel sont dues à la partie résistive intrinsèque des composants le constituant. Elles représentent un facteur prépondérant pour optimiser les performances de l'amplificateur Doherty en termes de puissance de sortie, de rendement en puissance ajoutée et aussi en termes de largeur de plage d'OBO dans la bande passante considérée.

La dégradation de la PAE due aux pertes d'insertion du quadripôle de sortie peut être quantifiée suivant l'expression suivante :

$$Pertes_{PAE,QAS}[\%] = \left(1 - \frac{PAE_{réelle}}{PAE_{idéale}}\right) \times 100 \quad (V.26)$$

Avec :

- $PAE_{idéale}$: rendement en puissance ajoutée de l'amplificateur utilisant un quadripôle d'adaptation de sortie idéal (sans perte).

- $PAE_{réelle}$: rendement en puissance ajoutée de l'amplificateur utilisant un quadripôle réel d'adaptation introduisant des pertes d'insertion. Si ces pertes sont introduites à l'aide d'un coefficient ($\alpha < 1$), atténuant le gain et la puissance de sortie, la $PAE_{réelle}$ s'écrit :

$$PAE_{réelle}[\%] = PAE_{idéale} \times \left(\frac{\alpha - \frac{1}{Gain}}{1 - \frac{1}{Gain}} \right) \quad (V.27)$$

D'où :

$$Pertes_{PAE,QAS}[\%] = \left(\frac{1 - \alpha}{1 - \frac{1}{Gain}} \right) \times 100 \quad (V.28)$$

V.10. Les lignes « Off-Set » dans une architecture à modulation de charge.

Le principe d'un fonctionnement optimal d'une architecture Doherty est fondé sur le fait que l'ensemble constitué de l'étage auxiliaire associé à la résistance de fermeture 50Ω ramène à travers la ligne $\lambda/4$ (ligne $\lambda/4$ Doherty qui est un inverseur d'impédance) une conductance idéalement pure G_{CH} aux bornes de la source de courant I_{ds} du transistor. Celle-ci varie pour l'étage principal entre les valeurs $G_{CH,OPT}$ (conductance optimale à $P_{S,MAX}$) et $G_{CH,OBO}$ (conductance optimale à OBO_{MAX}) comme le montre la figure V.16.

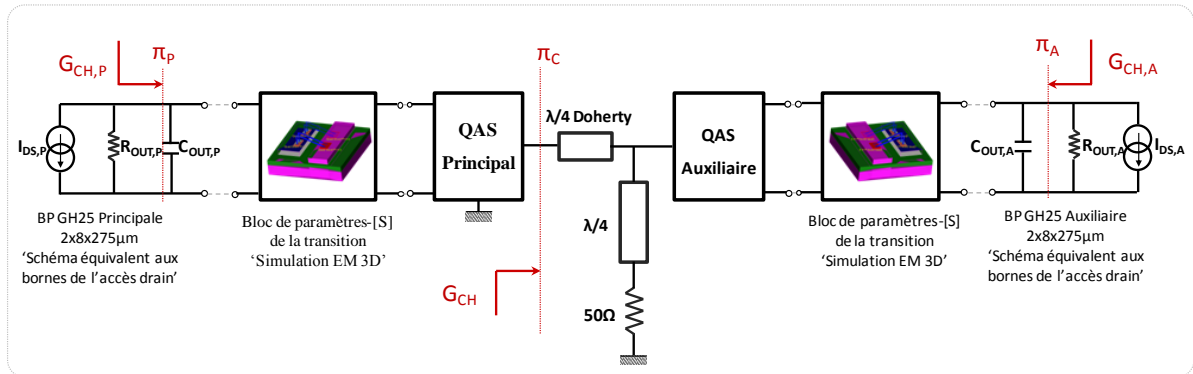


Figure V.16 : Schéma électrique simplifié de l'amplificateur Doherty proposé.

Dans le cas idéal, lorsque la conductance G_{CH} varie dans le plan π_C entre les valeurs $G_{CH,OPT}$ et $G_{CH,OBO}$, l'admittance intrinsèque $G_{CH,P}$ ramenée dans le plan π_P de la source de courant commandée en tension de la barrette de puissance principale doit être elle aussi réelle (conductance pure). Elle doit aussi varier dans les même proportions entre $G_{CH,P,OPT}$ et $G_{CH,P,OBO}$.

Il faut donc assurer tout au long de l'OBO :

$$N = \frac{G_{CH,OPT}}{G_{CH,OBO}} = \frac{G_{CH,P,OPT}}{G_{CH,P,OBO}} \quad (V.29)$$

En d'autres termes et de manière plus simple, le quadripôle équivalent à l'ensemble des éléments placés entre le plan π_P et le plan π_C doit être équivalent à un transformateur idéal.

Il est possible de visualiser le problème posé à l'aide de l'abaque de Smith (figure V.17). Le trajet que doit parcourir la conductance de charge G_{CH} (abaque de gauche) est tracé le long de l'OBO. De même, l'abaque de droite montre le trajet que doit suivre la conductance $G_{CH,P}$ ramenée aux bornes de la source de courant drain de la barrette principale.

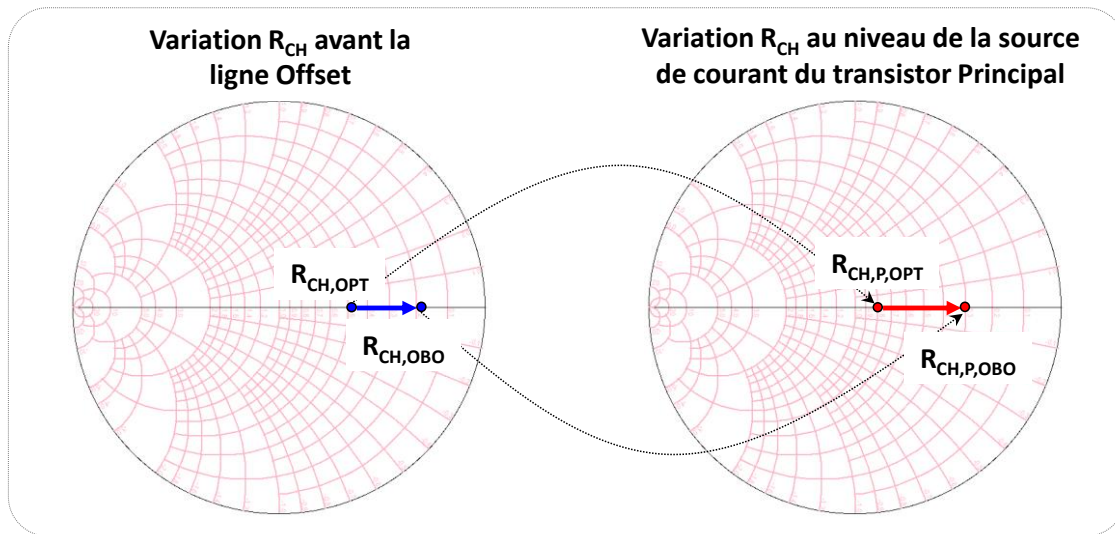


Figure V.17 : Intérêt des lignes « Off-set ».

Il est clair que le circuit idéal permettant d'obtenir la variation N (équation V.36) indépendante de la fréquence, est un transformateur idéal de rapport de transformation indépendant de la fréquence.

Dans ce cas la phase relative entre la tension aux bornes de la conductance de charge et aux bornes de la source de courant de drain de la barrette de puissance principale est nulle quelle que soit la fréquence.

Rappelons qu'un quadripôle passif réciproque, sans pertes, possède un temps de groupe τ_g toujours positif (ou nul dans le cas d'un transformateur idéal), tel que :

$$\tau_g = \frac{\partial \phi}{\partial \omega} \quad (\text{V.30})$$

Ce temps de groupe augmente avec le nombre d'éléments réactifs qui le composent et plus précisément avec l'énergie emmagasinée dans le circuit. Il est donc primordial d'utiliser un minimum d'éléments d'adaptation entre le plan de sortie de drain des barrettes de puissance et le plan de la résistance de charge variable.

Il est donc, par principe, impossible de trouver un quadripôle d'adaptation de sortie d'un transistor, sans pertes, de temps de groupe nul sur une bande passante donnée. Il faut donc rechercher un quadripôle à faible temps de groupe, et être très attentif à l'architecture utilisée pour les circuits d'adaptation.

Il est possible d'obtenir au moins une phase nulle (phase du paramètre S_{21} du quadripôle d'adaptation) au centre de bande. Néanmoins celle-ci varie en fonction de la fréquence et sa variation est d'autant plus importante que le nombre d'éléments réactifs ou de lignes participant au circuit d'adaptation est grand. A cet égard, il faut remarquer que les fils d'interconnexion entre la barrette de puissance principal et le circuit d'adaptation de sortie ajoutent une contribution non négligeable au temps de groupe du circuit.

Dans l'excellent article publié en 2013 [V.7], R. Quaglia et ses confrères de l'université de Turin, ont montré (figure V.18) que la valeur de $\Gamma_{R_{CH,P,OPT}}$ s'écrit selon l'équation V.31 lorsque :

- 1- Les paramètres-[S] et le coefficient de réflexion ramené dans le plan π_P (figure V.18) sont normalisés par rapport à $R_{CH,P,OPT}$,
- 2- Le coefficient de réflexion de la charge dans le plan π_C (figure V.19) est normalisé par rapport à $R_{CH,OPT}$.

Dans ce cas :

$$\Gamma_{R_{CH,P,OPT}} = e^{2j\varphi_{S21}} \times \Gamma_{R_{CH,OPT}} \quad (V.31)$$

Avec :

$$\Gamma_{R_{CH,OPT}} = \frac{Z_{CH} - R_{CH,OPT}}{Z_{CH} + R_{CH,OPT}} \quad \text{et} \quad \Gamma_{R_{CH,P,OPT}} = \frac{Z_{CH,P} - R_{CH,P,OPT}}{Z_{CH,P} + R_{CH,P,OPT}} \quad (V.32)$$

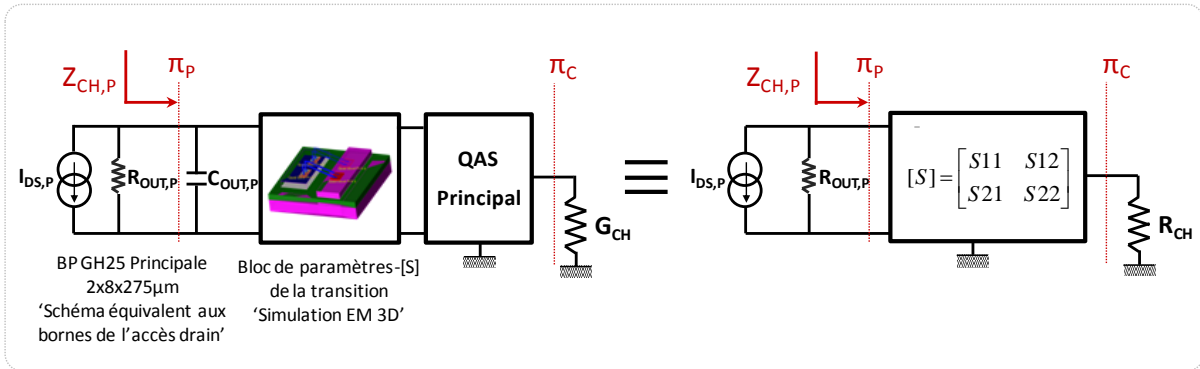


Figure V.18 : Extraction du quadripôle de paramètres-[S] équivalent au circuit électrique de la sortie drain de la barrette de puissance GH25 associée à la transition GaN/ULRC et au quadripôle d'adaptation de sortie.

L'ajout en cascade dans le plan π_C d'une ligne de longueur électrique θ (figure V.19) d'impédance caractéristique $R_{CH,OPT}$, revient simplement à changer le plan de référence de la charge d'une longueur électrique de même valeur :

$$\Gamma_{R_{CH,P,OPT}} = e^{2j(\varphi_{S21} - \theta)} \times \Gamma_{R_{CH,OPT}} \quad (V.33)$$

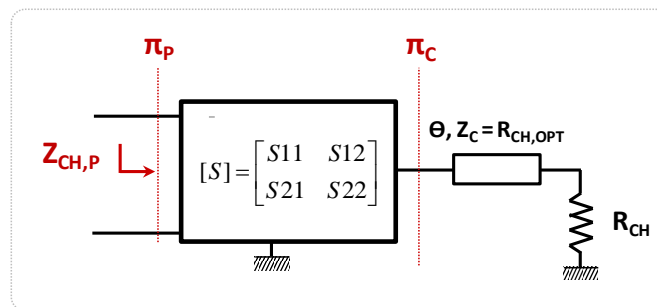


Figure V.19 : Insertion de la ligne « Off-set ».

Si θ est choisi tel que :

$$\varphi_{S21} - \theta = n\pi \quad (V.34)$$

Alors :

$$\Gamma_{R_{CH,P,OPT}} = \Gamma_{R_{CH,OPT}} \quad (V.35)$$

Et dans ce cas :

$$\frac{R_{CH,OPT}}{R_{CH,OBO}} = \frac{R_{CH,P,OPT}}{R_{CH,P,OBO}} \quad (V.36)$$

Avec l'ajout d'une ligne offset, le quadripôle est transformé au centre de bande en un transformateur parfait entre résistances (impédances réelles), sans avoir eu à étudier le quadripôle pour d'autres résistances de charges que celle relative à $P_{S,OPT}$, c'est-à-dire en chargeant le quadripôle uniquement avec $R_{CH,OPT}$.

Si la même transformation est réalisée sur l'étage auxiliaire, la linéarité le long de l'OBO doit s'en trouver améliorée puisqu'il s'agit alors d'une transformation réelle-réelle entre $R_{CH,OPT}$ et $R_{CH,OBO}$ tout le long de l'OBO. De plus, chaque ligne insérée sur chaque étage, fait partie d'un compensateur de réactance et permet d'élargir la bande passante de fonctionnement.

V.10.1. Effets des pertes de la ligne offset.

Bien que les lignes « offset » sur les étages principal et auxiliaire permettent de réaliser des transformations d'impédances réelles-réelles et d'élargir la bande passante, celles-ci apportent des pertes et réduisent le niveau de rendement en puissance ajoutée ainsi que la puissance de sortie.

Si on tient compte des pertes αL du tronçon de ligne ajoutée, le coefficient de réflexion en charge s'écrit :

$$\Gamma_{CH_{Pertes}} = \Gamma_{CH} \times e^{-2\alpha L} \quad (V.37)$$

Et donc :

$$\Gamma_{R_{CH,P,OPT}} = \Gamma_{R_{CH,OPT}} \times e^{2j(\varphi_{S21} - \theta - 2\alpha L)} \quad (V.38)$$

Enfin :

$$\frac{R_{CH,P}}{R_{CH,P,OPT}} = \frac{R_{CH} + R_{CH,OPT} \times th(e^{-2(\varphi_{S21} - \theta - 2\alpha L)})}{R_{CH,OPT} + R_{CH} \times th(e^{-2(\varphi_{S21} - \theta - 2\alpha L)})} \quad (V.39)$$

Non seulement la puissance de sortie P_S , et donc la PAE , sont diminuées, mais le rapport des résistances ramenées aux bornes de la source de courant de drain est diminué aussi.

Le problème relatif à la phase du paramètre S_{21} , que l'on souhaite la plus petite possible dans un amplificateur Doherty, ne se pose pas dans un amplificateur classique où l'on recherche, éventuellement, un temps de groupe constant pour éviter les distorsions linéaires.

Dans un Amplificateur de Puissance Doherty (APD), une phase nulle du paramètre S_{21} du circuit d'adaptation de drain, est nécessaire pour réaliser l'équivalent d'un transformateur réel-réel pour toutes les valeurs de la résistance de charge variable le long de l'OBO.

Il conviendra donc d'associer à chaque étage son propre tronçon de ligne avec sa propre impédance caractéristique afin de réaliser une transformation réelle-réelle entre le plan de la résistance variable de charge, et celui de la source de courant de drain de la barrette de puissance considérée, avec un déphasage nul à la fréquence centrale de travail et faible dans la bande de fonctionnement.

V.11. Spécifications techniques liées à la conception de l'amplificateur de puissance Q-MMIC en boîtier QFN.

Bien que la technologie Quasi-MMIC réduise les coûts et les cycles de fabrication d'amplificateur de puissance, celle-ci souffre de quelques limitations et le concepteur doit faire face à quelques contraintes.

V.11.1. Transitions entre puces GaN et puces ULRC.

Les circuits d'adaptation ULRC d'entrée et de sortie sont reliés aux accès grille et drain des barrettes de puissance GH25 par le biais des fils d'interconnexion appelés « *Bondings* ».

La transition assurant cette liaison entre puces multi-technologiques dans un environnement de boîtier plastique QFN constitue une des parties les plus délicates à simuler par le concepteur. La simulation électromagnétique fondée sur la méthode des moments à 3 dimensions est une des techniques qui peut être utilisée par le concepteur. Cette simulation électromagnétique particulière prend en compte les effets de propagation du signal selon les trois axes spatiaux (x, y et z). Ainsi elle permet aussi de prendre en compte :

- Les diverses interactions électriques et électromagnétiques produites par l'association de ces deux technologies qui se présentent physiquement sous des formes contrastées,
- Les conditions environnementales d'encapsulation.

Dans le cadre de ce travail, l'outil C.A.O ADS « *EMPRO* » de Keysight® a été utilisé pour réaliser des simulations de type 3D FEM [V.8].

Les règles d'assemblage imposent, entre autres, un profil bien déterminé des fils d'interconnexion ainsi qu'une distance minimale entre deux puces successives de l'ordre de 250µm. Les règles d'assemblages sont recensées sur la figure V.20.

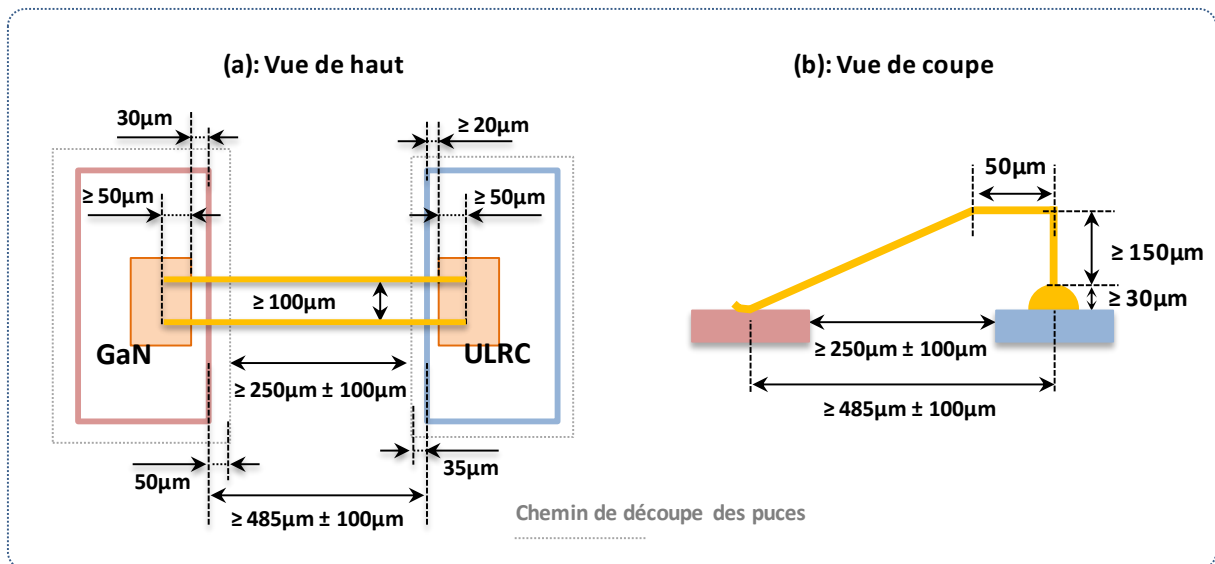


Figure V.20 : Profil simplifié des fils de « Bondings » et règles de câblage entre puces dans un environnement QFN.

La figure V.21 représente une vue 3D des deux transitions introduites entre :

- Le quadripôle d'adaptation d'entrée et les accès grille d'une barrette de puissance GH25 (2x8x275µm).
- Les accès drain de cette barrette de puissance et le quadripôle d'adaptation de sortie.

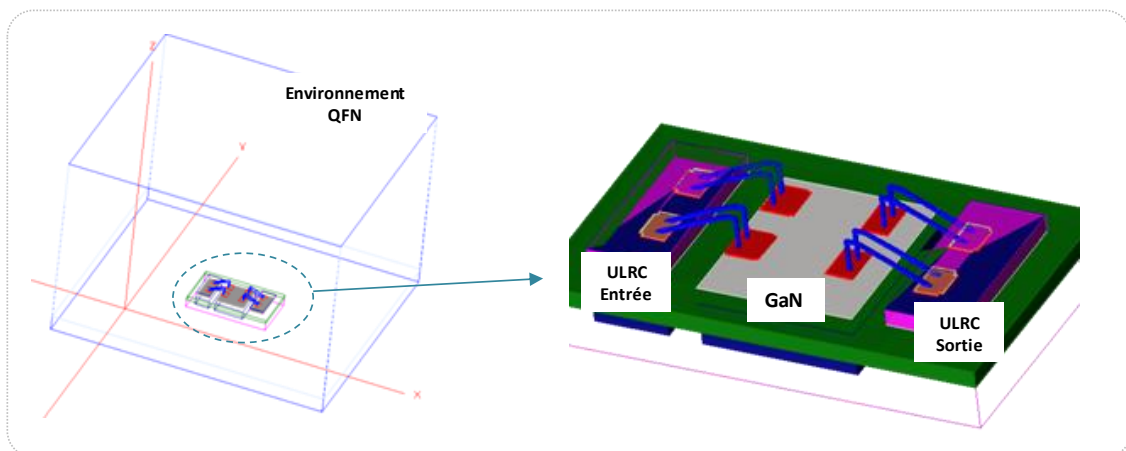


Figure V.21 : Vue 3D des fils de « Bondings » reliant les entrées et les sorties de la puce GaN aux puces ULRC AsGa.

V.11.2. Environnement QFN.

Le boîtier QFN est refermé sur les circuits assemblés à l'intérieur par une technique de surmoulage d'une résine sur l'ensemble des circuits. Le dépôt de cette couche de résine introduit des éléments électriques parasites qui peuvent induire des pertes s'additionnant aux pertes intrinsèques du circuit. La prise en compte de ces éléments parasites ainsi que la modélisation des trous de via reliant la base inférieure du boîtier QFN à la masse constituent une partie délicate à simuler. Le substrat 3D établi et utilisé lors des simulations est donné sur la figure V.22. Celui-ci prend en compte l'intégralité de l'environnement QFN.

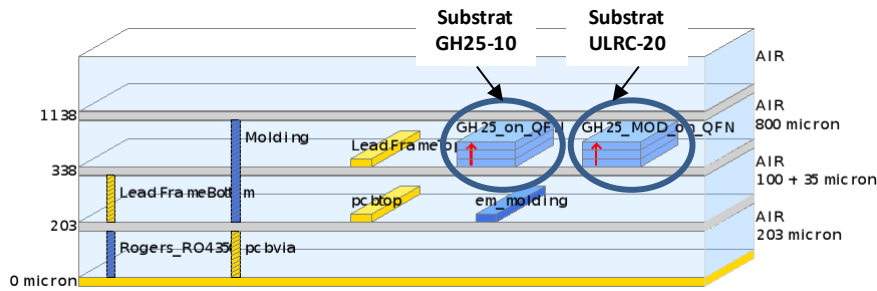


Figure V.22 : Définition du substrat 3D.

V.11.3. La technologie ULRC-20.

ULRC est technologie MMIC passive de puissance, elle correspond à une évolution du procédé passif de la filière de puissance AsGa UMS PPH25. Elle a été améliorée pour répondre aux besoins d'adaptation des barrettes de puissance GaN, de par leur fort niveau de tension de polarisation et du haut niveau de courant et de puissance générés.

Cette technologie se distingue par de nombreux avantages. Elle offre :

- Une forte tenue en puissance (isolation du substrat, tension des capacités MIM, densité de courant...).
- Une grande flexibilité de conception par le libre choix entre éléments passifs localisés et distribués.
- Une forte fiabilité et reproductibilité de fabrication.

De plus, cette solution permet la réalisation des trous (« vias ») à travers le substrat AsGa, ce que ne permettent pas aujourd'hui les substrats à très forte permittivité.

Le tableau V.7 résume les principales caractéristiques des éléments passifs proposés par la technologie ULRC-20.

Tableau V.7 : Principales caractéristiques des éléments passifs ULRC-20 et spécifications recommandées.

		Densité surfacique	Densité de courant linéique DC [mA/μm]	Densité de courant linéique RMS [mA/μm]	Tension maximale [V]
Capacité MIM		175pF/mm ²			150
Résistance	TaN	30Ω/□	0.45	1	
	TiWSi	1000Ω/□	0.1	0.4	
Ligne MET1			11	47	
Ligne sur-épaisse			18	65	

Les spécifications recensées dans le tableau V.7 sont prises en compte lors des phases de conception des circuits d'adaptation d'entrée et de sortie afin d'assurer le bon dimensionnement des différents éléments.

V.12. Conception du circuit de sortie.

La première étape de la conception concerne celle du circuit de sortie qui constitue la partie la plus délicate à synthétiser. Pour ce faire, le circuit d'entrée n'a été dans un premier temps constitué que d'éléments idéaux avec :

- Un diviseur de puissance disposant d'une entrée.
- De deux sorties du signal RF à gain et à phase variables.

Des transformateurs d'impédance réelle/réelle ont été insérés sur chaque voie (principale et auxiliaire) entre la barrette de puissance et le diviseur de puissance d'entrée. Les circuits de polarisation des grilles sont idéaux et sont constituées de capacités de découplage et de selfs de choc idéales.

Le quadripôle d'adaptation de sortie doit satisfaire conjointement plusieurs conditions sur la plus large bande passante possible. Celui-ci doit :

- Présenter les bonnes admittances de charges à la fréquence fondamentale f_0 aux accès drain des transistors constituant les barrettes de puissance principale et auxiliaire. Ceci doit être réalisé sur toute la dynamique de la puissance d'entrée, tout en contournant les lieux d'impédances défavorables en *PAE* à la fréquence harmonique 2 (charges et lieux d'impédances synthétisés lors des caractérisations/simulations Load-Pull). Le quadripôle est chargé à sa sortie sur une résistance pure de 50Ω .
- Il faut veiller de plus à obtenir un déphasage de 90° entre les tensions aux bornes des sources de courant de drain des barrettes de puissance (principal et auxiliaire) sur la plus large bande passante possible.
- Avoir de faibles pertes d'insertions sur toute la dynamique de la puissance d'entrée et un temps de groupe les plus faibles possibles.
- Assurer une bonne recombinaison des puissances délivrées par des deux barrettes de puissance dans la charge de fermeture 50Ω qui est la résistance d'utilisation.
- Assurer un excellent découplage DC/RF.

S'ajoutent à ces conditions les contraintes liées à l'encombrement et aux couplages électromagnétiques.

Le quadripôle d'adaptation de sortie est de type passe-bande à éléments localisés, semi-localisés et distribués. Il doit être compensateur de réactance et transformateur d'impédance.

Pour aboutir à un circuit optimum d'adaptation de sortie, en technologie MMIC, il faut, en principe et idéalement, pouvoir placer en sortie du transistor une self-inductance d'accord parallèle L_{CH} , suivie d'un circuit $L_S C_S$ série tel que l'ensemble se comporte alors comme un double circuit compensateur de réactance de la capacité C_{OUT} du transistor comme le montre la figure V.23.

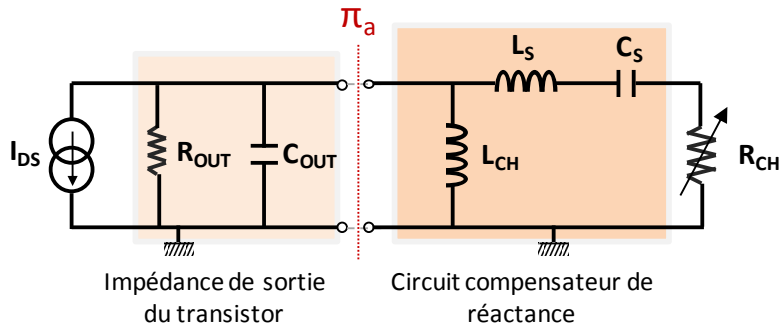


Figure V.23 : Circuit d'adaptation de sortie idéal à éléments localisés d'un transistor GH25.

Cependant, en technologie Quasi-MMIC, comme il est topologiquement impossible de placer la self-inductance L_{CH} directement en parallèle à la sortie d'un transistor, des transformations de Norton sont employées pour aboutir à un circuit équivalent dans lequel le drain de la barrette de puissance est raccordé au circuit extérieur par l'intermédiaire d'une self-inductance série qui précède d'autres éléments dont la nature et la valeur doivent être déterminées. Cette self-inductance représente l'ensemble des fils d'interconnexion reliant les accès drain de la barrette de puissance GH25 aux accès du circuit d'adaptation ULRC.

V.12.1. Transformation de Norton.

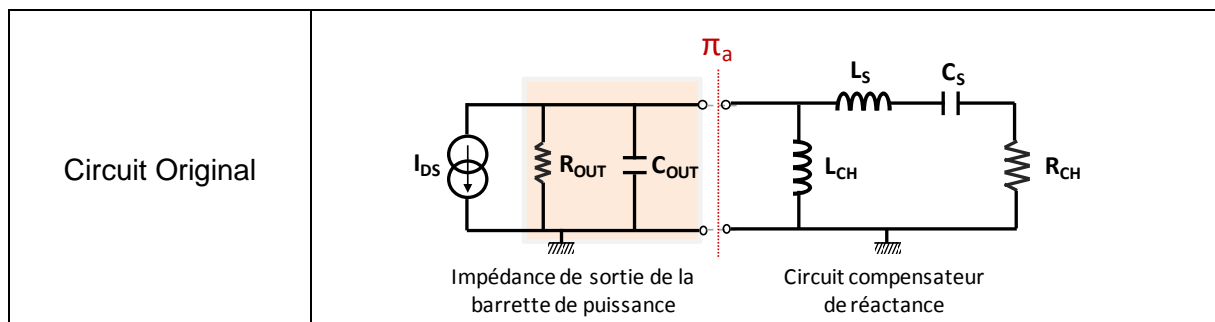
Norton a proposé un ensemble de transformations de circuits qui permettent de transformer la topologie d'un circuit passif donné en un autre circuit passif équivalent, de topologie différente et avantageuse pour nous pour la réalisation du circuit dit Quasi-MMIC. Les caractéristiques électriques aux accès externes du circuit restent invariantes dans la transformation.

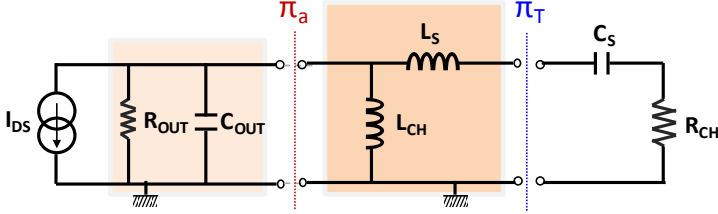
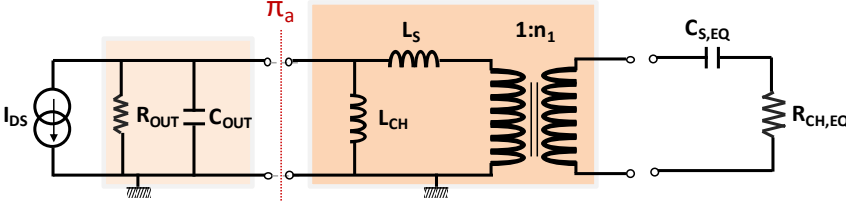
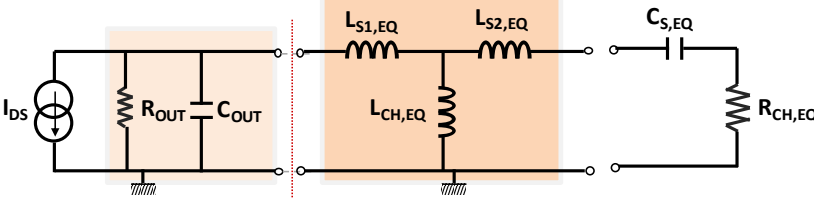
Il est à noter que les transformations de Norton ne modifient pas le temps de groupe du circuit initial. Il s'agit de transformations aperiodiques qui incluent un transformateur d'impédance aperiodique.

La transformation de Norton appliquée pour ce travail de conception des circuits d'adaptation est présentée ci-après.

Les étapes suivies lors de l'application de cette transformation sont indiquées dans le tableau V.8.

Tableau V.8 : Etapes de la transformation de Norton appliquée.



<p>Définition du plan de la transformation</p>	 <p>Impédance de sortie de la barrette de puissance</p>
<p>Ajout d'un transformateur Apériodique</p>	 <p>Impédance de sortie de la barrette de puissance</p> $C_{S,EQ} = C_S / n_1^2$ $R_{CH,EQ} = n_1^2 R_{CH}$
<p>Circuit final après transformation de Norton du précédent $n_1 < 1$.</p>	 <p>Impédance de sortie de la barrette de puissance</p> $L_{S1,EQ} = (1 - n_1)L_{CH}$ $L_{S2,EQ} = n_1(n_1 - 1)L_{CH} + n_1^2 L_{CH}$ $L_{CH,EQ} = n_1 L_{CH}$

Les éléments localisés résultants peuvent être remplacés par des éléments équivalents distribués et/ou semi-distribués.

V.12.2. Topologie du quadripôle d'adaptation de sortie.

La topologie du quadripôle d'adaptation de sortie choisie est donnée sur la figure V.24. Le quadripôle de sortie comporte :

- Des fils d'interconnexion, d'une part entre puces GaN et puces ULRC et d'autre part entre les puces ULRC et les accès DC et RF du boîtier QFN.
- Des lignes micro-rubans (combineurs) reliant les deux accès drain de chaque barrette de puissance (principale et auxiliaire).
- Un circuit de polarisation de drain inséré sur chaque voie d'amplification (principale et auxiliaire).
- Des lignes Offset insérées en cascade sur les deux voies d'amplification.
- Une ligne $\lambda/4$ (inverseur d'impédance) reliant les sorties des deux étages d'amplification (principal et auxiliaire) entre elles.

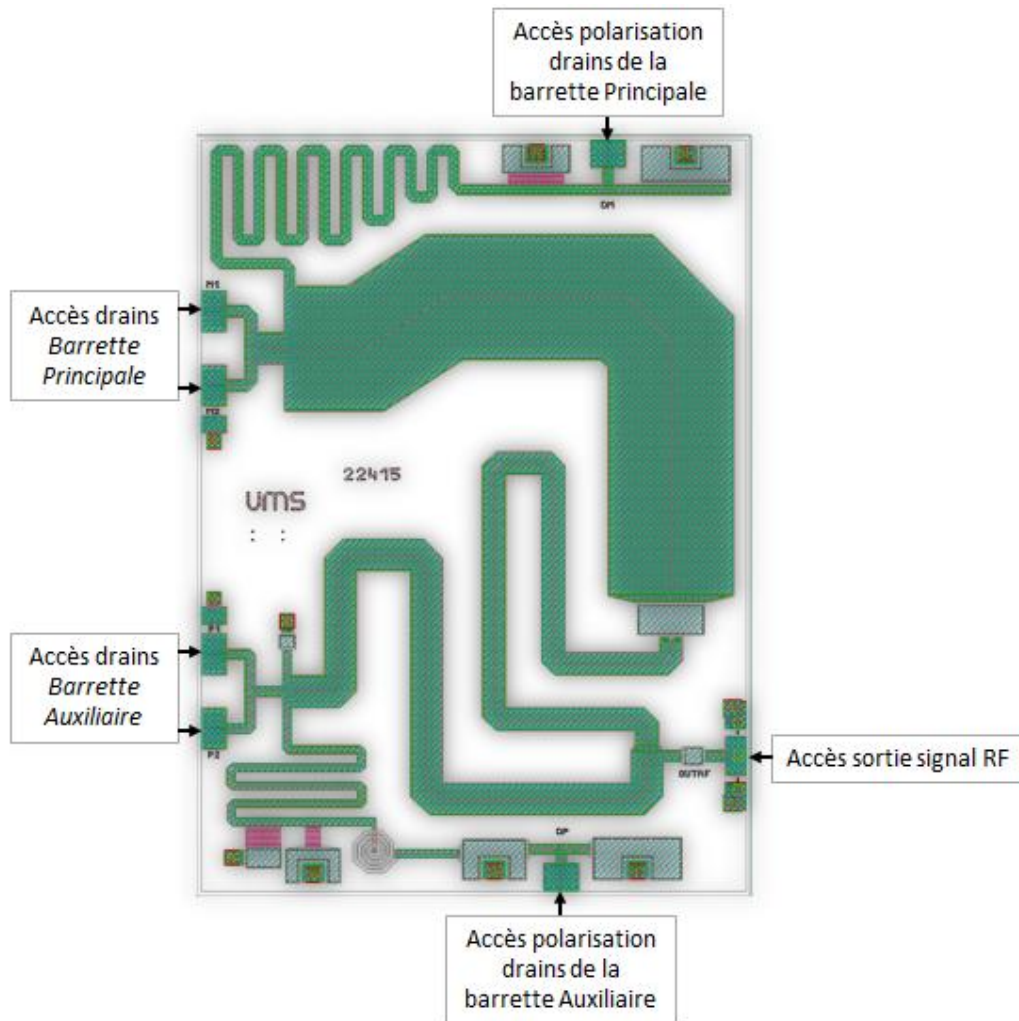


Figure V.25 : Circuit de sortie final optimisé.

Les selfs inductances localisées issues de la topologie de la figure V.24 ont été remplacées par des lignes distribuées sur épaissies par dépôt de deux couches métalliques permettant de supporter de fortes densités de courants.

Le circuit de polarisation de drain de l'étage principal est constitué d'un stub en forme de méandre en parallèle avec deux capacités de découplage de l'ordre de 6pF et 12.3pF.

Le circuit de polarisation de drain de l'étage auxiliaire est constitué de deux quadripôles placés en cascade. Le premier est constitué d'un stub en forme de méandre placé en parallèle avec deux capacités de 3.2pF et 4.2pF. Le deuxième comporte une self inductance placée en parallèle avec deux autres capacités de 9pF et de 15pF.

Sur ce circuit d'adaptation, sont aussi présentes :

- Des lignes « offset » sur chaque voie d'amplification (principale et auxiliaire),
- Une ligne $\lambda/4$ inverseur d'impédance Doherty,
- Deux capacités de liaison prises en compte également lors de l'adaptation.

Une étape finale d'optimisation électromagnétique est ensuite réalisée grâce au simulateur électromagnétique 2.5D « *Momentum* » de Keysight® afin de prendre en compte les phénomènes de couplage subsistant entre les lignes dans l'environnement QFN.

La figure V.26 présente les résultats de simulation permettant d'estimer les pertes d'insertion et les pertes par retour. Les coefficients de réflexion et de transmission ont été simulés dans la bande de fréquence 1-10GHz. La valeur de S_{22} reflétant le niveau de l'adaptation de sortie est inférieure à -10dB dans l'intégralité de la bande utile (5.50-6.50GHz). Les pertes d'insertion dues au circuit de sortie pour différentes puissances d'entrée sont de l'ordre de 0.6-0.75dB sur la totalité de la bande d'intérêt (5.50-6.50GHz). Ces pertes intrinsèques au circuit passif d'adaptation dégradent les performances en puissance et en rendement de l'APD.

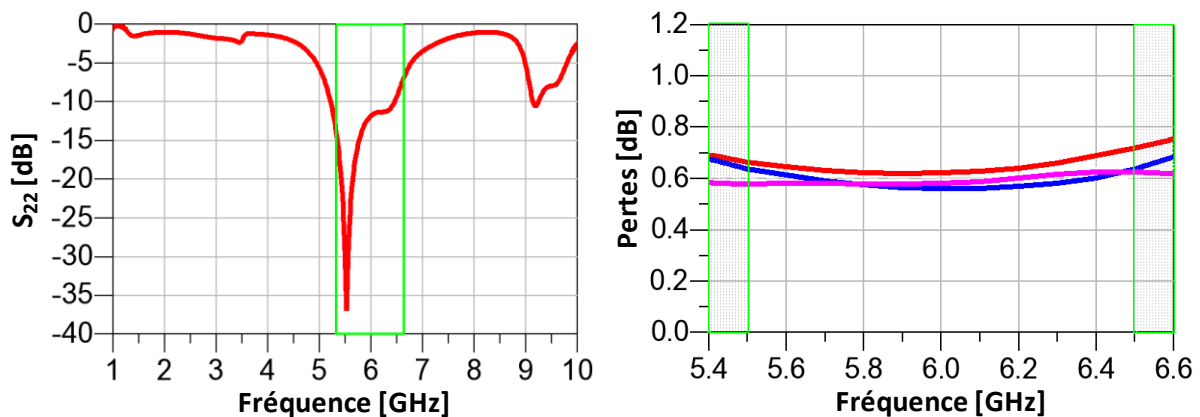


Figure V.26 : Adaptation de sortie (coté résistance de fermeture 50 Ω) (à gauche) et pertes d'insertion du circuit d'adaptation de sortie pour différents niveaux d'excitation RF correspondant à OBO=6dB (rouge), OBO=3dB (bleu) OBO=0dB (rose).

V.13. Conception des circuits d'entrée.

Le circuit d'adaptation d'entrée est réalisé après avoir fixé le circuit de sortie.

Lors de la conception, deux circuits d'adaptation d'entrée ont été synthétisés :

- a- Le premier, avec un seul accès RF, c'est le circuit d'adaptation de l'amplificateur Doherty conventionnel. Il comporte :
 - Un coupleur de Lange légèrement dissymétrique. Il délivre un peu plus de puissance à l'amplificateur auxiliaire pour que celui-ci délivre à sa sortie, à fort niveau d'excitation, sa puissance maximale (diviseur de puissance 3dB avec un déphasage de 90°),
 - Des transformateurs d'impédance semi-distribués permettant de présenter les bonnes impédances de source aux accès grille des transistors,
 - Des circuits de polarisation des grilles.
- b- Le second circuit d'adaptation d'entrée, possède deux accès RF séparés. C'est le circuit d'adaptation de l'amplificateur Doherty à deux entrées RF. Il est composé de deux sous circuits d'adaptation, un pour chaque voie d'amplification (principale et auxiliaire). Chaque sous circuit est composé de :
 - Transformateurs d'impédance semi-distribués,
 - Un circuit de polarisation.

Les deux circuits d'adaptation d'entrée ont été optimisés pour satisfaire aux exigences suivantes :

- Présenter les bonnes impédances sur les accès grilles des transistors et contourner les zones d'impédances défavorables en *PAE* à la fréquence harmonique 2,
- Diviser le signal RF d'entrée entre les deux transistors de chaque voie (excitation de façon identique des deux transistors de chaque barrette de puissance),
- Avoir le minimum de pertes d'insertion possible et assurer un gain d'insertion plat dans la totalité de la bande passante sans pour autant détériorer le rendement en puissance ajoutée,
- Fournir la tension de polarisation de grille à chaque transistor de la barrette.

D'après les simulations de variation d'impédances de source multi-harmoniques réalisées précédemment, il s'est avéré que le transistor GH25 se comporte sur son accès grille comme un circuit $R_{IN}C_{IN}$ série sur l'intégralité de la bande de fréquence d'intérêt (5.50-6.50GHz) :

- L'entrée de chaque transistor constituant la barrette de puissance principale se comporte comme une résistance $R_{IN,P}$ quasi-constante en fonction de la puissance d'excitation et de la fréquence de travail. Celle-ci est de l'ordre de 0.8Ω , en série avec une capacité $C_{IN,P}$ variable selon la puissance d'excitation (effets des non-linéarités accentuées par effet Miller) et quasi-invariable en fonction de la fréquence de travail. La valeur de la capacité $C_{IN,P}$ varie de 12pF à faible niveau d'excitation à 20pF à fort niveau.
- Les transistors de la barrette de de puissance auxiliaire se comportent de la même manière que les transistors de la barrette de puissance principale. La résistance $R_{IN,A}$ est de l'ordre de 0.8Ω . Quant à la capacité $C_{IN,A}$, elle varie entre 4.8pF à faible niveau d'excitation et 7pF à fort niveau d'excitation.

V.13.1. Topologie du quadripôle d'entrée de l'amplificateur Doherty conventionnel.

La conception du quadripôle d'adaptation d'entrée de l'amplificateur Doherty conventionnel est fondée sur la topologie donnée sur la figure V.27.

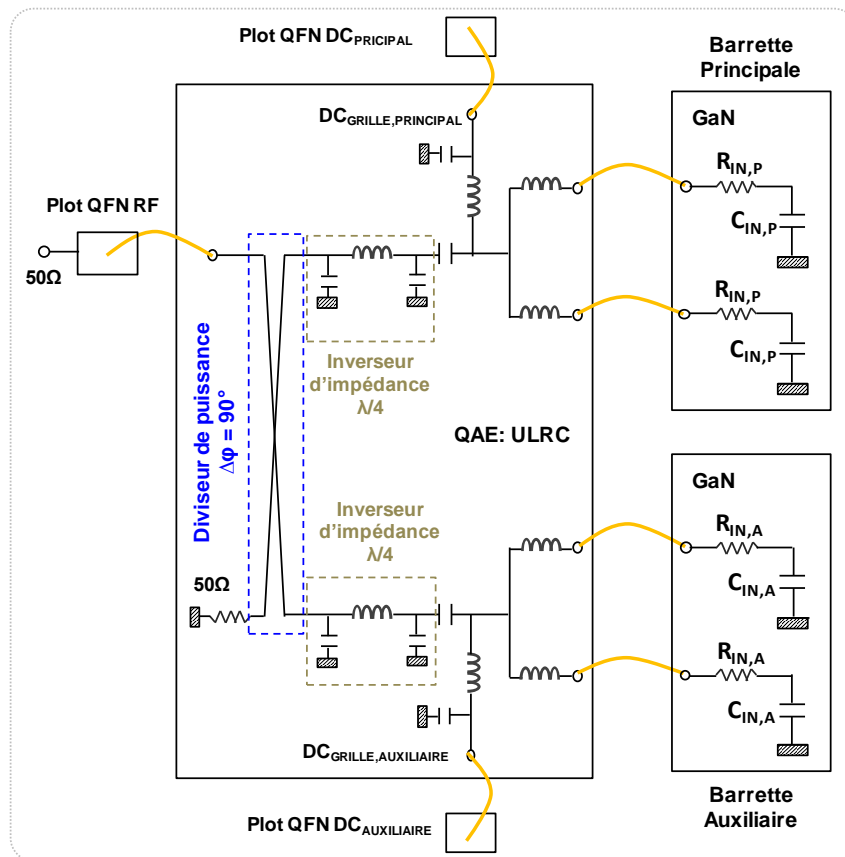


Figure V.27 : Topologie choisie du quadripôle d'adaptation d'entrée de l'ADP-SE.

Pour ses excellentes caractéristiques intrinsèques, telles que la largeur de la bande passante, la forte isolation entre la voie d'entrée du signal RF et celles de sortie ainsi que le déphasage de 90° entre les voies de sortie, le coupleur de Lange a été choisi pour réaliser la distribution des signaux sur les entrées des deux voies d'amplification.

Le coupleur de lange est conçu pour des résistances de fermetures de 50Ω . Des transformateurs d'impédance quasi-distribués en cascade avec des self-inductances d'accord et les capacités C_{IN} permettent de présenter des charges optimales sur les accès des grilles des transistors.

Chaque voie d'amplification contient un circuit de polarisation de grille. Ceux-ci sont constitués d'une self-inductance de valeur élevée présentant une très forte impédance aux fréquences RF.

Le dessin (« layout ») du circuit d'entrée de l'amplificateur Doherty conventionnel retenu est présenté sur la figure V.28.

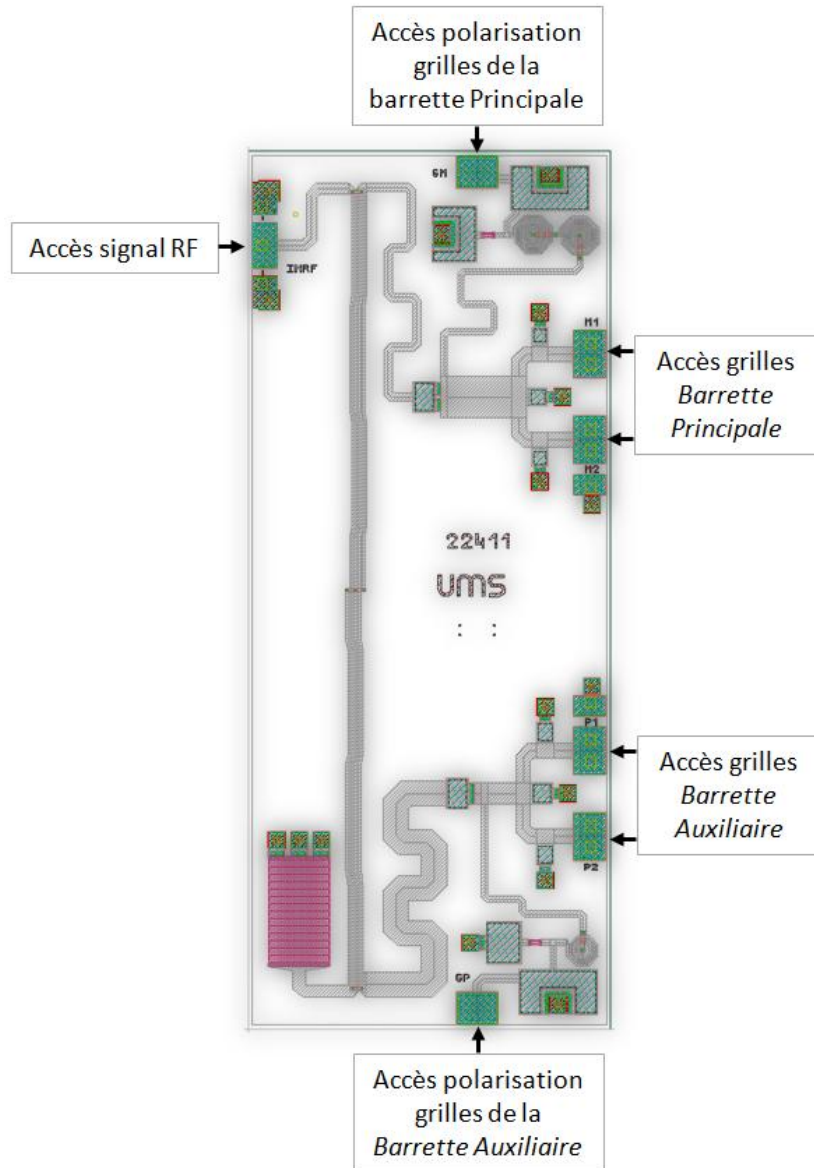


Figure V.28 : « Layout » du quadripôle d'adaptation d'entrée de l'APD-SE.

Ce circuit répond aux attentes du cahier des charges et respecte les règles de dessin de la technologie ULRC.

Des simulations électromagnétiques (2.5D) ont été réalisées pour évaluer l'impact des couplages existants entre les lignes dans l'environnement QFN sur les performances en puissance de l'amplificateur.

Comme pour le circuit de sortie, des simulations ont été réalisées afin d'évaluer le niveau d'adaptation d'entrée ainsi que les pertes globales associées (figure V.29).

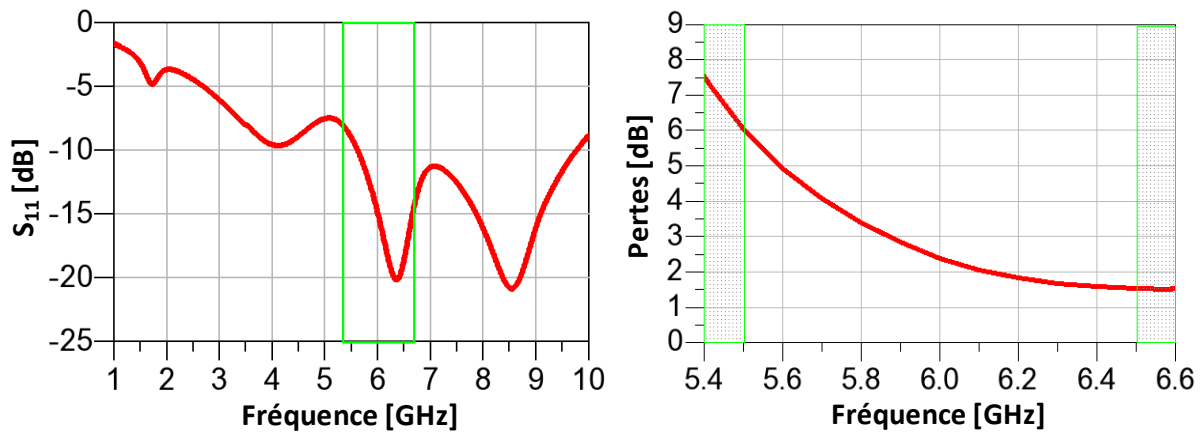


Figure V.29 : Adaptation d'entrée (coté générateur d'excitation RF) (à gauche) et pertes d'insertion du circuit d'adaptation d'entrée.

La valeur du coefficient de réflexion d'entrée est inférieure à -8dB sur toute la bande utile [5.50-6.50] GHz. Cette valeur reste correcte. Les pertes d'insertion d'entrée sont de valeur élevée. Celles-ci comportent les pertes dues à la transition QFN/ULRC d'entrée, les pertes intrinsèques du coupleur de Lange et les pertes des circuits d'adaptation des deux amplificateurs (principal et auxiliaire). La valeur importante du rapport de transformation contribue de manière conséquente à l'augmentation des pertes d'insertion globale du circuit d'adaptation d'entrée.

V.13.2. Topologie du quadripôle d'entrée de l'amplificateur Doherty à deux entrées.

Le quadripôle d'adaptation d'entrée de l'amplificateur Doherty à deux entrées RF est constitué de deux sous-circuits d'adaptation. Un circuit d'adaptation de l'entrée de l'étage d'amplification principal et le circuit d'adaptation d'entrée de l'étage d'amplification auxiliaire.

De manière générale, la procédure de définition de ces quadripôles d'adaptation est très proche de celle qui a été utilisée pour l'amplificateur conventionnel.

Le dessin (« layout ») du quadripôle d'adaptation de l'amplificateur Doherty à deux entrées RF distinctes est illustré sur la figure V.30 :

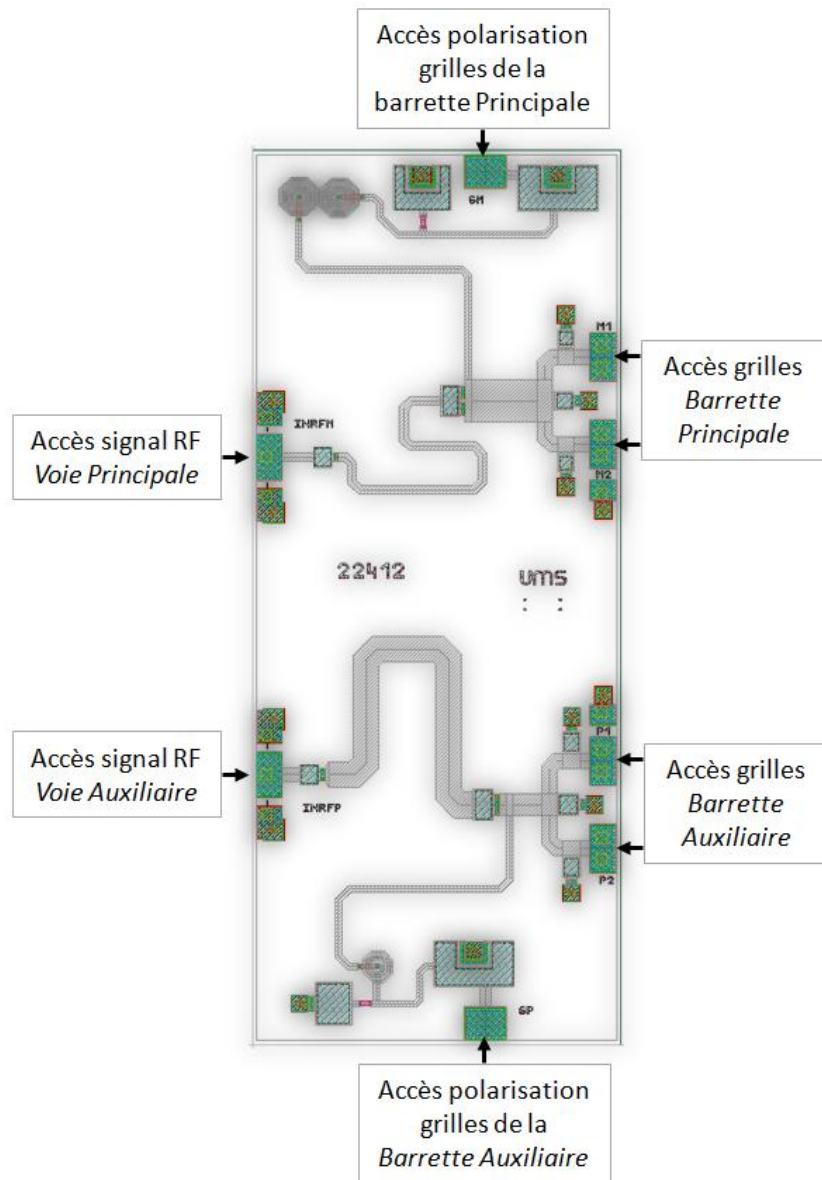


Figure V.30 : « Layout » du quadripôle d'adaptation d'entrée de l'APD-DE.

Il est à noter qu'intrinsèquement, les accès RF des deux voies d'amplification (principale et auxiliaire) sont en phase.

V.14. Assemblage des circuits dans les boîtiers plastiques QFN.

Les figures V.31 et V.32 représentent successivement les schémas finaux de l'APD conventionnel et le l'APD à deux entrées RF assemblés chacun dans un boîtier plastique QFN 8x8mm².

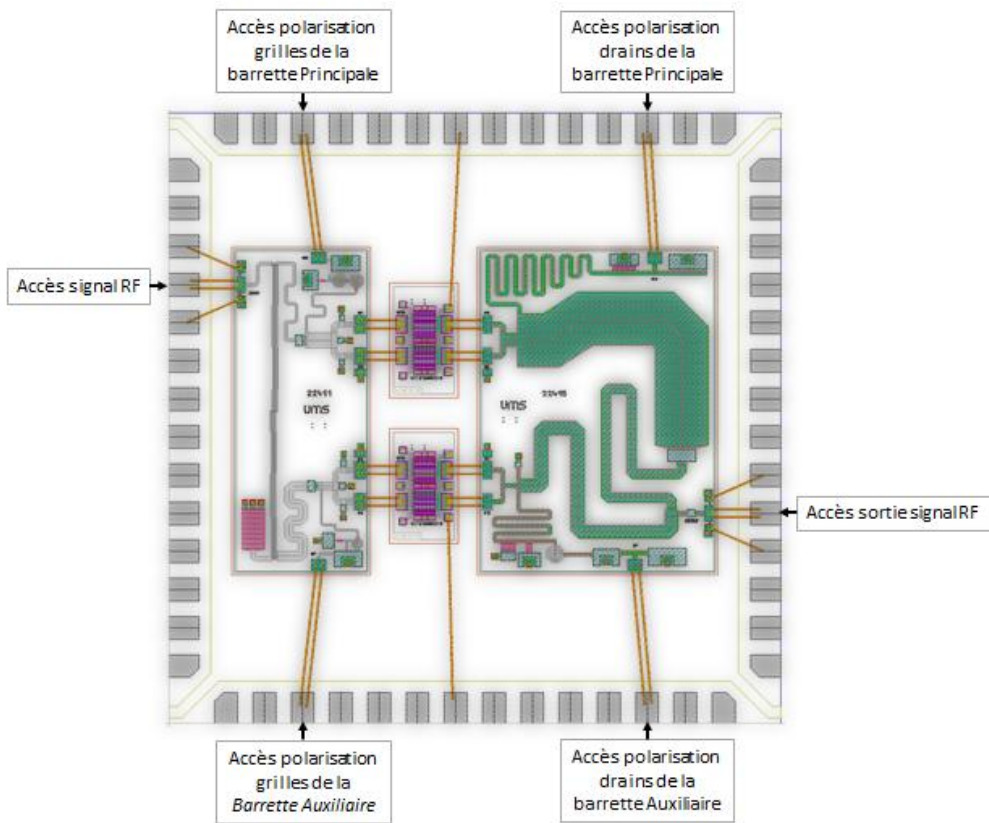


Figure V.31 : Circuit global de l'ADP-SE encapsulé dans un boîtier plastique QFM 8x8mm².

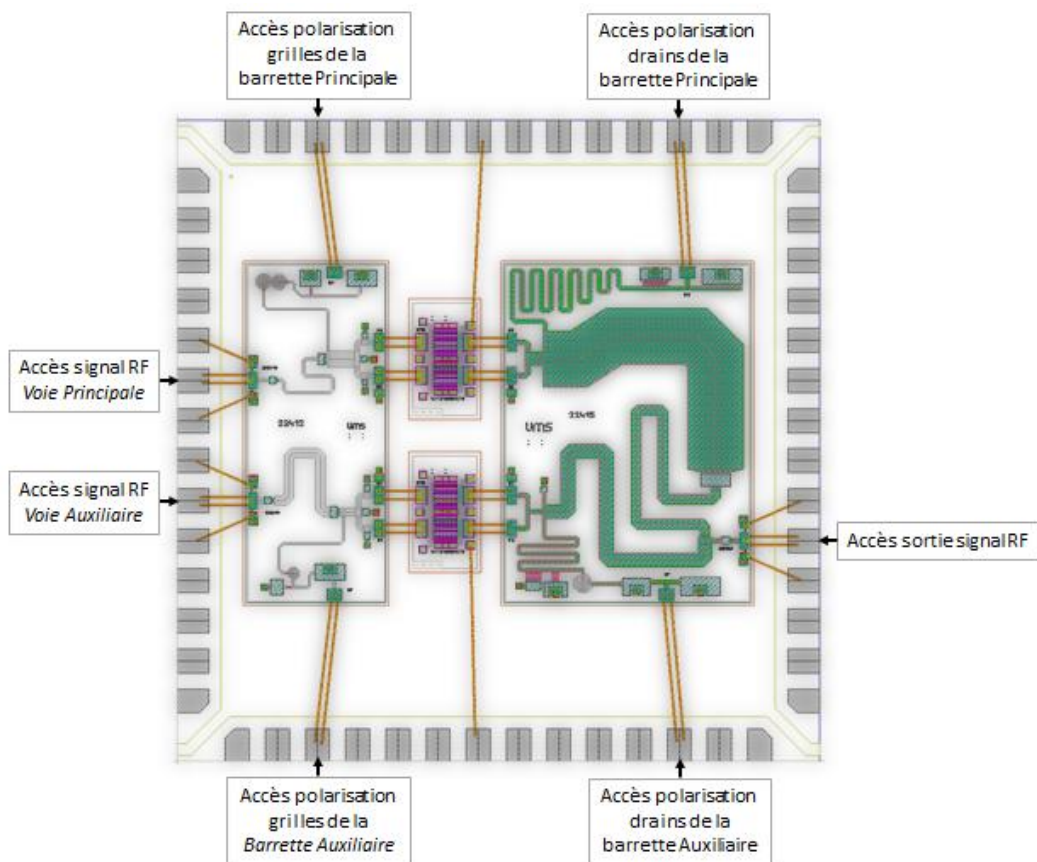


Figure V.32 : Circuit global de l'ADP-DE encapsulé dans un boîtier plastique QFM 8x8mm².

V.14.1. Etude de la stabilité de l'APD conventionnel.

Afin de vérifier la stabilité de l'amplificateur de puissance Doherty conventionnel, des simulations en régime linéaire et non-linéaire ont été réalisées.

V.14.1.1. Stabilité en régime linéaire (Facteur k).

La figure V.33 trace le critère de stabilité linéaire (facteur k) de l'APD classique dans la bande de fréquence [0.1 – 20] GHz.

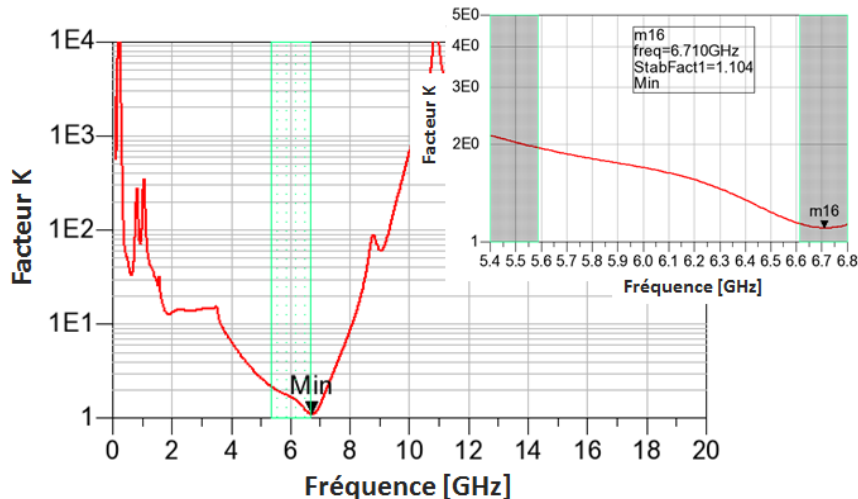


Figure V.33 : Critère de stabilité linéaire « Facteur k ».

Sur l'intégralité de la bande de fréquence d'étude le facteur k de l'APD conventionnel est supérieur à 1. Cela signifie que l'APD est inconditionnellement stable au premier ordre en régime linéaire. Toutefois, une étude de la stabilité en régime non-linéaire reste nécessaire afin d'identifier d'éventuelles instabilités en régime fort signal.

V.14.1.2. Stabilité en régime non-linéaire.

L'étude de la stabilité non linéaire de l'APD pour un fonctionnement en régime fort signal a été réalisée à l'aide de l'outil C.A.O. STAN d'AMCAD[®]. Cet outil permet d'identifier les pôles et les zéros de la fonction de transfert de l'amplificateur fonctionnant en régime fort signal.

L'analyse consiste à introduire à différents endroits du circuit, appelés « Nœuds », de faibles perturbations à des fréquences allant de quelques Hertz (proche du DC) à $f_0/2$ (pour un nombre infini d'harmoniques), lorsque l'amplificateur est excité en fort signal aux fréquences fondamentales f_0 (appelé dans ce cas les fréquences de la pompe). L'analyse de la stabilité non-linéaire par étude des pôles et des zéros est réalisée en deux étapes :

- La première consiste à extraire la réponse fréquentielle et l'impédance présentée au nœud choisi pour des conditions définies de fonctionnement de l'amplificateur : point de polarisation, puissance de l'excitation de la pompe, fréquence de travail de l'amplificateur (fréquence de la pompe) et plage de fréquence de la perturbation. Cette analyse est réalisée à l'aide du logiciel ADS[®].
- La seconde est réalisée à l'aide de l'utilitaire STAN[®]. Elle permet d'extraire la fonction de transfert de l'amplificateur d'ordre défini par l'utilisateur et d'en identifier les pôles et les zéros. La différence de phase entre la réponse fréquentielle extraite

de la simulation ADS[®] et la phase de la fonction de transfert synthétisée permet de valider l'ordre choisi de la fonction de transfert, et donc la constellation de pôles et de zéros obtenue.

Si aucun pôle identifié ne présente de partie réelle positive, le système peut être considéré comme stable.

- *Analyse de la stabilité l'APD conventionnel en régime fort signal :*

Plusieurs nœuds ont été déterminés et choisis aux niveaux des accès des grilles des transistors de la barrette principale ainsi qu'aux niveaux des accès des grilles des transistors de la barrette auxiliaire pour injecter un signal perturbateur à l'entrée d'un transistor comme le montre la figure V.34.

Le calcul des pôles et des zéros a été effectué sur chaque nœud pour différents niveaux de puissances disponibles appliqués à l'entrée de l'amplificateur (régime fort signal) et pour différentes valeurs de fréquences du signal perturbateur comprises entre 0.50 et 7.00GHz autour de différentes valeurs de fréquences de pompe (f_0) comprises dans la bande utile [5.50 et 6.50] GHz.

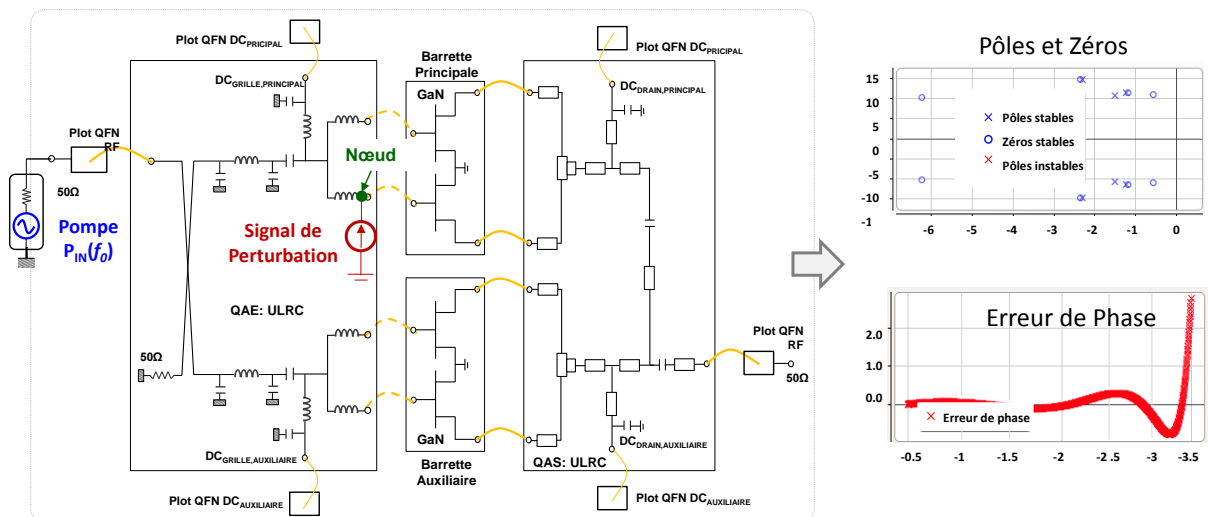


Figure V.34 : Exemple d'analyse de la stabilité non-linéaire à l'aide de STAN.

V.15. Conclusion.

Ce chapitre a été consacré à la description des méthodes de conception d'amplificateurs de puissance 20W à haut rendement de type Doherty conventionnel à 6GHz en technologie Q-MMIC encapsulé en boîtier QFN.

Ces méthodes doivent respecter plusieurs étapes fondamentales qui permettent d'optimiser la conception en vue d'obtenir les performances maximales en puissance, rendement, OBO et gain. Il s'agit d'abord de déterminer les tailles des transistors nécessaires pour respecter les cahiers des charges. Une des contraintes fortes du cahier des charges associé à ce travail résidait dans le dimensionnement de l'amplificateur qui devrait être contenu dans un boîtier plastique QFN de dimensions données. Cette contrainte a conduit à un choix de taille de transistor identique pour l'amplificateur principal et auxiliaire.

La conception de chaque amplificateur principal et auxiliaire nécessite ensuite des analyses expérimentales et de simulation DC, des analyses de stabilité petit signal et une

étude approfondie des impédances de charge et de source à présenter aux fréquences fondamentales et harmoniques dans un contexte Doherty.

Une étude théorique approfondie des limitations de bandes des transistors de puissance à haut rendement à partir des relations de Bode et Fano a ensuite été menée pour la technologie choisie pour ce travail. Il est important de noter que cette étude est applicable à d'autres conceptions quelle que soit la technologie. Le choix d'une conception de type Quasi-MMIC entraîne toutefois des contraintes supplémentaires qui nécessitent des études théoriques complémentaires pour le calcul de la bande passante d'adaptation. Elles sont fondées sur l'application des relations de Gonzalez et de Wheeler-Lopez.

Enfin, après avoir mis l'accent sur la minimisation des pertes des circuits d'adaptation (principalement celui de sortie) à travers l'utilisation de lignes « offset » nécessaires pour une architecture à modulation de charge en technologie Q-MMIC en boîtier QFN, les topologies des circuits d'entrée et de sortie des amplificateurs (principal et auxiliaire) ont été présentées pour plusieurs types d'amplificateurs, tous assemblés dans des boîtiers plastiques QFN :

- Un amplificateur Doherty conventionnel,
- Un amplificateur Doherty à deux entrées RF.

Ces amplificateurs ont aussi été conçus en gardant la possibilité de pouvoir modifier les valeurs des polarisations des deux amplificateurs de puissance de l'architecture Doherty.

Références bibliographiques Chapitre V

- [V.1] <http://www.afscet.asso.fr/SystemicApproach.pdf>
- [V.2] http://www.AMCAD-engineering.com/assets/ivcad_datasheet.pdf
- [V.3] J. Rollett, "Stability and Power-Gain Invariants of Linear Twoports," in IRE Transactions on Circuit Theory, vol. 9, no. 1, pp. 29-32, Mar 1962.
- [V.4] P. Saad, C. Fager, H. Cao, H. Zirath, and K. Andersson "Design of a Highly Efficient 2-4 GHz Octave Bandwidth GaN-HEMT Power Amplifier," IEEE Trans. Microwave. Theory Tech., vol. 58, no. 7, pp. 1677–1685, Jul. 2010.
- [V.5] C. Berrached, "Optimisation du rendement en puissance ajoutée des amplificateurs de puissance large bande à base de Nitrure de Gallium," Thèse de doctorat, XLIM, université de Limoges, N° 2010, Déc.2013.
- [V.6] A. R. Lopez, "Review of narrowband impedance-matching limitations," in IEEE Antennas and Propagation Magazine, vol. 46, no. 4, pp. 88-90, Aug. 2004.
- [V.7] R. Quaglia, M. Pirola and C. Ramella, "Offset Lines in Doherty Power Amplifiers: Analytical Demonstration and Design," in IEEE Microwave and Wireless Components Letters, vol. 23, no. 2, pp. 93-95, Feb. 2013.
- [V.8] <http://www.keysight.com/en/pc-1297143/empro-3d-em-simulation-software?nid=-34278.0.00&cc=FR&lc=fre>

Chapitre VI. Performances simulées et mesurées des amplificateurs de puissance 20W à haut rendement de type Doherty conventionnel à 6GHz en technologie Q-MMIC encapsulé en boîtier plastique QFN.

VI.1. Introduction.

Le chapitre précédent a détaillé la méthodologie utilisée pour concevoir de manière la plus optimisée possible un amplificateur fondé sur une architecture Doherty.

Ce chapitre est spécialement consacré à la présentation des résultats de mesures réalisées sur les amplificateurs de puissance de type Doherty. Certains de ces résultats sont comparés avec ceux issus de la simulation.

Ce chapitre présente tout d'abord les caractérisations de l'amplificateur de puissance Doherty conventionnel à une seule entrée (APD-SE) : mesures petit signal, mesures fort signal CW (fréquentielles et temporelles), caractérisation CW 2 tons, caractérisation avec des signaux modulés de type QAM.

Une des originalités de ce travail réside dans la réalisation d'un amplificateur de puissance Doherty à deux entrées RF (APD-DE). Cette conception a permis autour de la mise en œuvre d'un banc de caractérisation spécifique qui est présenté dans ce chapitre de recherche de manière expérimentale les conditions de fonctionnement optimal des deux amplificateurs de puissance constituant l'architecture Doherty. Cette étude préliminaire ouvre toutefois la voie à un champ de recherche beaucoup plus large dans lequel la mixité des circuits électronique (numériques et analogiques) devient prépondérante.

VI.2. Résultats de simulation et d'expérimentation.

La figure VI.1 présente une photographie des deux amplificateurs, classique (appelé Amplificateur de Puissance Doherty à une « Seule-Entrée » APD-SE) et à deux voies RF (appelé Amplificateur Doherty « Double –Entrée » APD-DE), réalisés et assemblés dans des boîtiers plastiques QFN 8x8mm.

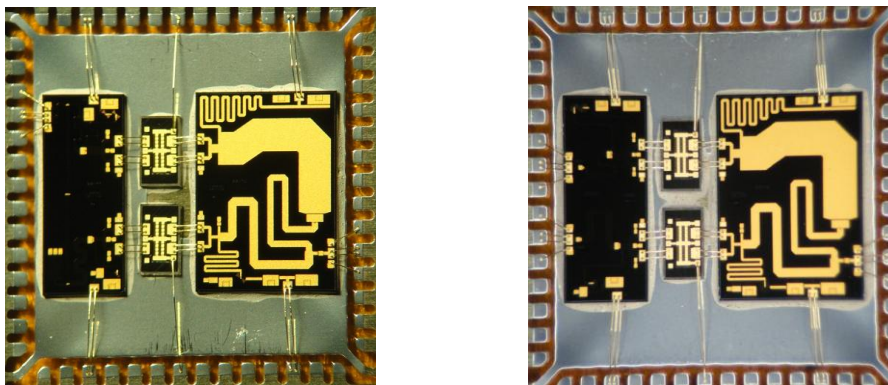


Figure VI.1 : Photographie de l'APD-SE (à gauche) et de l'APD-DE (à droite) encapsulés en boîtier plastique QFN 8x8mm².

Afin de pouvoir réaliser des tests électriques en connexion SMA, l'APD-SE et l'APD-DE ont été brasés sur des Circuits Imprimés (CI) contenant des étages supplémentaires de découplage BF comme le montre la figure VI.2.

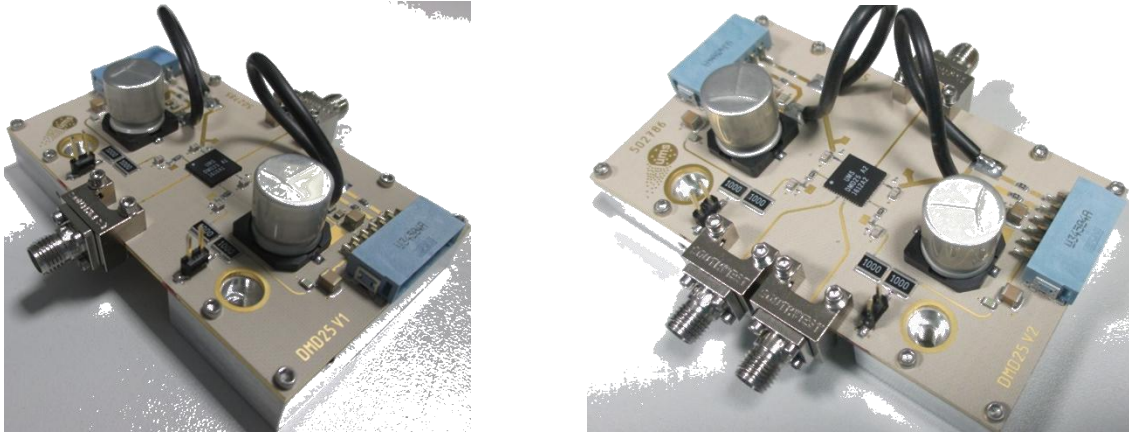


Figure VI.2 : Photographie de l'APD-SE (à gauche) et de l'APD-DE (à droite) en boîtier QFN et assemblés sur des CI SMA.

Les circuits imprimés comportant les APD assemblés en QFN ont été reportés sur des semelles réalisées en aluminium pour favoriser une bonne évacuation de la chaleur produite par les amplificateurs.

Les performances linéaires et non linéaires de plusieurs échantillons des deux amplificateurs (APD-DE et APD-SE) ont été testées au cours de plusieurs campagnes de caractérisation en mode continu (CW) dans la bande [5.50-6.50]GHz :

- Au sein du laboratoire des caractérisations d'UMS en utilisant des bancs de mesures fondés principalement sur l'utilisation de l'analyseur de réseaux microondes (N5242A – 10MHz~26.50GHz et N5245A – 10MHz~50GHz) appelés « PNA-X » de Keysight®.

Afin d'évaluer l'impact des connecteurs SMA et des lignes accès RF insérées entre les ces connecteurs et les accès RF des boîtiers QFN, un « kit de calibrage » spécifique à chaque APD a été fabriqué. La figure VI.3 montre une photographie des deux « kits de calibrage » réalisés :

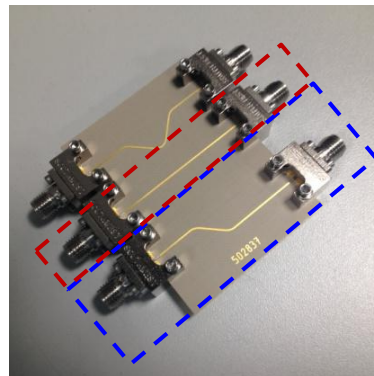


Figure VI.3 : Photographie du kit de calibrage de l'APD-SE (en rouge) et celui de l'APD-DE (en bleu).

La matrice des paramètres-[S] de chaque kit de calibrage a été mesurée et les pertes $|S_{21}|$ de chaque ligne ont été évaluées dans la bande de fonctionnement des deux APD ([5.50-6.50] GHz). Afin d'obtenir les performances en puissance des deux APD aux niveaux des accès du QFN les pertes des lignes d'accès sont alors prises en compte.

- Au sein du laboratoire d'XLIM en utilisant un banc spécifiquement étalonné de mesures temporelles.

VI.2.1. Caractérisation de l'APD-SE.

Plusieurs types de caractérisations ont été réalisés sur l'APD-SE pour différents fonctionnements des deux amplificateurs le constituant afin d'extraire les points de polarisation optimaux selon le compromis convoité. Ainsi, différents jeux de polarisation ont été appliqués. L'amplificateur principal a été testé pour des fonctionnements allant de la classe AB (150mA/mm) à la classe AB profonde proche de B (15mA/mm). Quant à l'amplificateur auxiliaire, celui-ci a été testé pour différents points de polarisation en classe C. Les différentes caractérisations ont été réalisées sur l'intégralité de la bande passante de fonctionnement ([5.50-6.50] GHz).

Afin d'évaluer la reproductibilité des résultats de test, plusieurs circuits d'évaluation ont été mesurés en mode CW. Pour les différents tests réalisés, les circuits d'évaluation des APD-SE ont été placés sur un module Peltier afin de contrôler la température de fond de boîtier des QFN. Celle-ci est régulée à 25°C.

VI.2.1.1. Mesures petit signal.

Des mesures de paramètres-[S] de l'APD-SE ont été réalisées afin de caractériser ses performances en régime linéaire. La figure VI.4 présente les résultats de simulation comparés à ceux de mesures dans le plan des SMA pour un fonctionnement de l'amplificateur principal en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=50mA/mm$) et de l'amplificateur auxiliaire en classe C ($V_{ds0}=30V$, $V_{gs0}=-7V$). Les résultats sont tracés dans la bande de fréquence [5-7] GHz.

Une bonne concordance est obtenue entre les résultats de mesure et ceux de simulation avec une légère dispersion relevée au niveau de l'adaptation d'entrée. Celle-ci est probablement due à la difficulté de modéliser très finement l'entrée des transistors GaN.

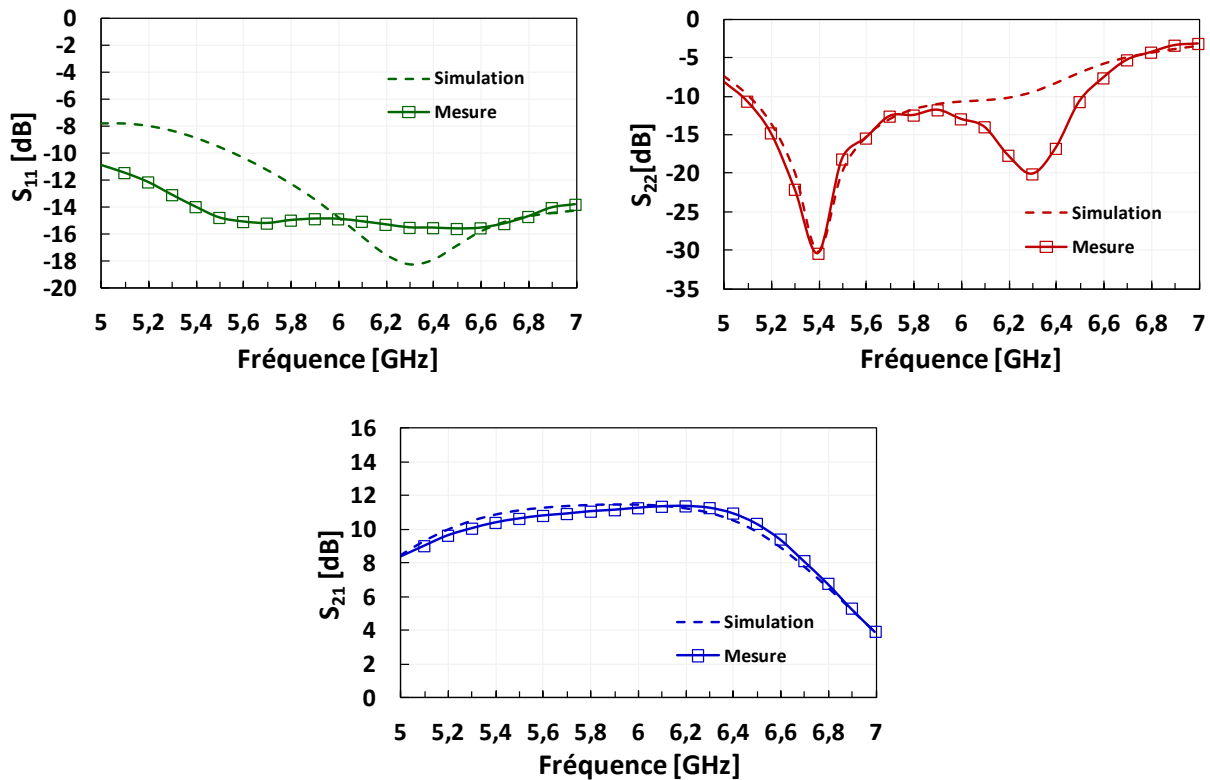


Figure VI.4 : Résultats des mesures et des simulations des paramètres S_{11} , S_{22} et S_{21} de l'APD-SE dans la bande de fréquence 5-7GHz pour un fonctionnement de l'amplificateur Principal en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=50mA/mm$) et de l'amplificateur Auxiliaire en classe C ($V_{ds0}=30V$, $V_{gs0}=-7V$).

La mesure du paramètre S_{21} montre un gain bas niveau minimum de 10dB sur toute la bande de fréquence utile [5.50-6.50] GHz. Les simulations reproduisent avec précision le comportement de l'amplificateur confirmant ainsi la précision du modèle non linéaire et des simulations 3D des transitions et de l'environnement du boîtier QFN.

VI.2.1.2. Mesures fort signal CW.

La figure VI.5 représente le synoptique du banc de mesure fort signal en connectorisé d'UMS fondé sur l'utilisation de l'analyseur de réseau microondes commercial appelé PNA-X (N5242A -10MHz~26.50GHz) de Keysight®.

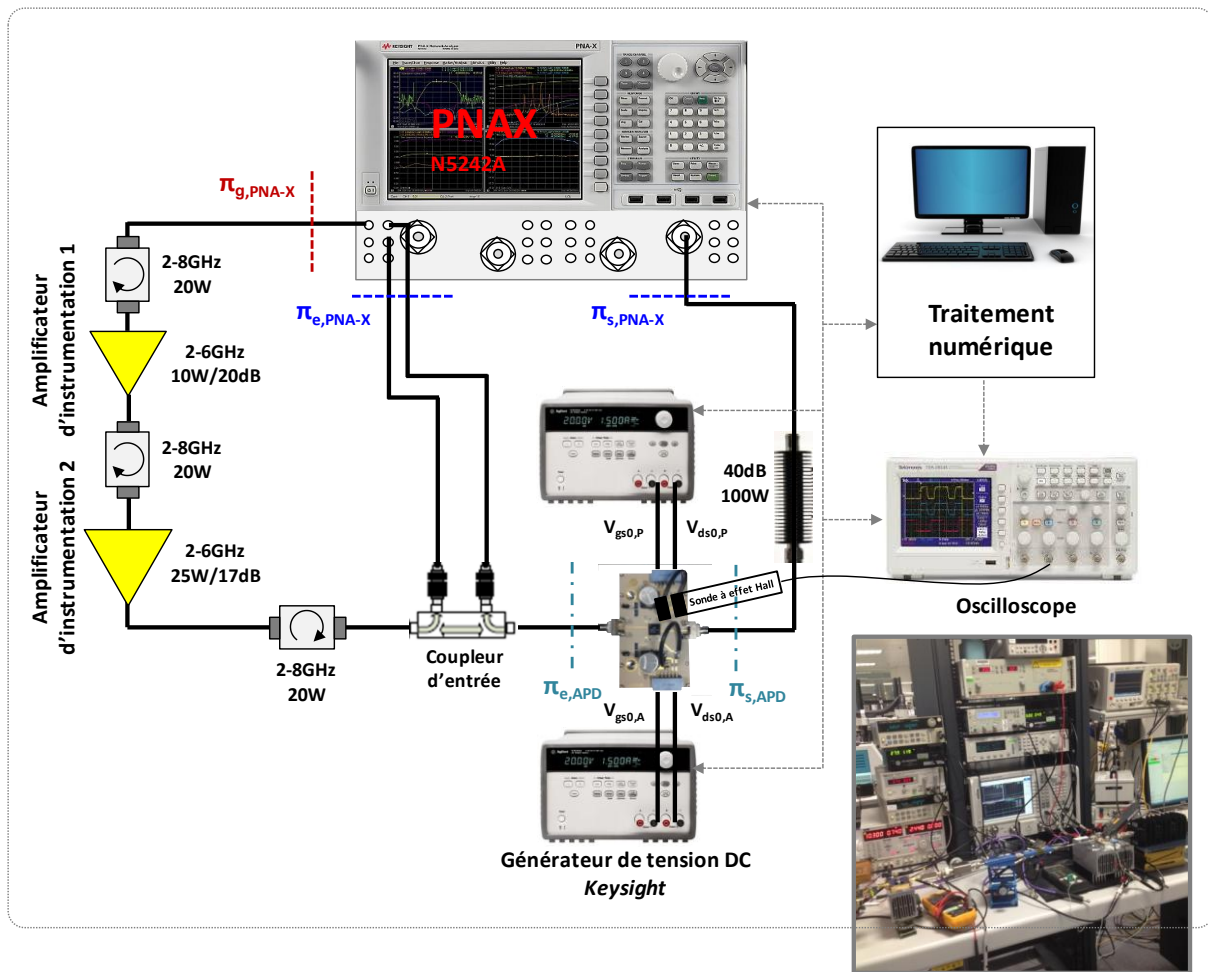


Figure VI.5 : Banc de mesures fort signal CW de puissance d'UMS.

Ce banc de mesure est constitué principalement de :

- Deux préamplificateurs d'instrumentation fonctionnant dans leurs zones linéaires et permettant de fournir le niveau de puissance requis au niveau de l'entrée du dispositif sous test $\pi_{e,APD}$ (APD-SE),
- Un coupleur unidirectionnel permettant de prélever les niveaux de l'onde de puissance incidente dans le plan $\pi_{e,PNA-X}$,
- Un atténuateur placé au niveau de la chaîne de sortie. Celui-ci assure la protection de l'instrument PNA-X. L'impédance présentée au dispositif sur son accès RF de sortie est égale à 50Ω ,
- Quatre alimentations DC de Keysight[®] qui assurent la délivrance des tensions de polarisation $V_{gs0,P}$, $V_{ds0,P}$, $V_{gs0,A}$ et $V_{ds0,A}$. Les amplitudes délivrées des tensions et des courants continus sont mesurées directement à la sortie de ces alimentations,
- Le courant total consommé par l'APD-SE est aussi mesuré à l'aide d'une pince ampèremétrique (sonde de courant à effet Hall) placée au niveau des accès QFN des polarisations des drains des deux amplificateurs (principal et auxiliaire). Cette sonde est connectée à un oscilloscope pour la mesure du courant total.

L'APD-SE a été placé sur un système de refroidissement de type « Peltier » afin de contrôler la température de fond de boîtier QFN. Celle-ci est régulée à 25°C .

La procédure d'étalonnage du banc repose sur un étalonnage absolu (étalonnage en puissance). Elle est réalisée en deux étapes pour plusieurs fréquences d'excitation comprises entre 5.50 et 6.50GHz avec un écart (pas) de 50MHz :

- Etalonnage en puissance à l'entrée de l'APD :

L'étalonnage absolu dans le plan d'entrée de l'APD ($\pi_{e,APD}$) consiste à évaluer les pertes $\Delta P_{gene}(f)$ entre les plans $\pi_{g,PNA-X}$ et $\pi_{e,APD}$ d'une part et les pertes $\Delta P_e(f)$ entre les plans $\pi_{g,PNA-X}$ et $\pi_{e,PNA-X}$ d'autre part à l'aide d'une sonde de puissance de référence enlié au PNA-X pour la lecture des puissances. La connaissance de $\Delta P_{gene}(f)$ et $\Delta P_e(f)$ permet de déduire précisément la puissance disponible $P_e(f)$ à l'entrée de l'APD.

- Etalonnage en puissance à la sortie de l'APD :

Cette procédure consiste à connecter l'accès d'entrée RF (plan $\pi_{e,PNA-X}$) à l'accès de sortie RF (plan $\pi_{s,PNA-X}$) à l'aide de la ligne de transmission « Thru » dont la matrice $[S_{Thru}]$ est connue. L'étalonnage absolu dans le plan de sortie de l'APD ($\pi_{s,APD}$) consiste à évaluer les pertes $\Delta P_s(f)$ entre les plans $\pi_{s,APD}$ et $\pi_{s,PNA-X}$ en tenant compte de $[S_{Thru}]$ et du fait qu'en connexion directe : $P_e(f) = P_s(f)$. La connaissance de $\Delta P_s(f)$ permet de calculer la puissance $P_s(f)$ à la sortie de l'APD.

La figure VI.6 présente les résultats de mesure fort signal CW obtenus à la fréquence fondamentale $f_0=6.20$ GHz. Les principales performances en puissance de deux APD-SE (rendement en puissance ajoutée (PAE), le rendement de drain (η), le gain d'insertion (G_i), la compression du gain ($\Delta AM/AM$) et la conversion en phase ($\Delta AM/PM$)) sont données sur cette figure (les résultats du circuit d'évaluation 1 tracés en rouge et ceux du circuit d'évaluation 2 tracés en bleu). Ces résultats obtenus dans les plans du QFN après la correction par $|S_{21Thru}|$ sont comparés à ceux de la simulation (tracés en vert). L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-6V$).

Une bonne concordance est observée entre les résultats obtenus par simulation et par la mesure fort signal CW. Les résultats montrent que l'APD-SE délivre une puissance maximale de l'ordre de 43.7dBm associée à un rendement de drain de 52% et une PAE de l'ordre de 42%. A 6dB d'OBO, le rendement de drain est de l'ordre de 39% et la PAE est de 34%.

Un léger écart est relevé entre le G_i mesuré et simulé. Il s'explique par la dispersion observée au niveau de l'adaptation d'entrée. Le G_i est de l'ordre de 10.8dB à bas niveau d'excitation et de 8dB à la puissance maximale de sortie.

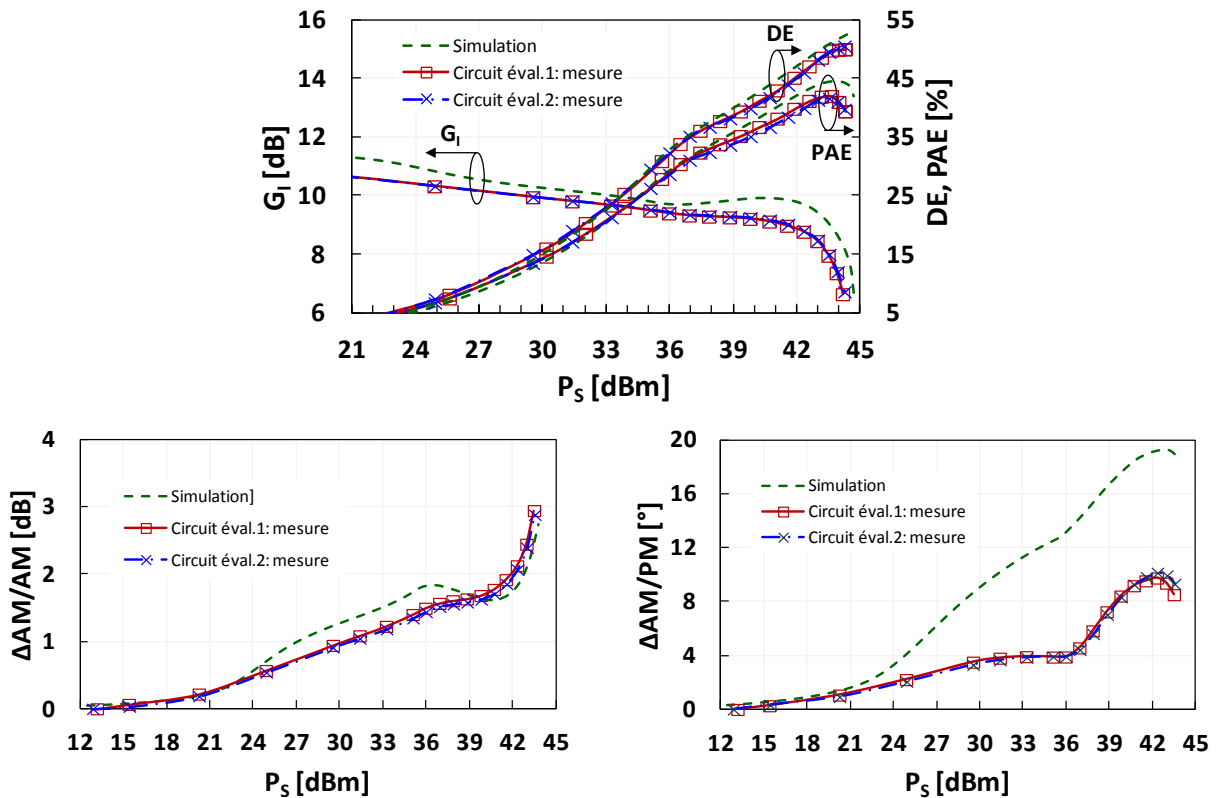


Figure VI.6 : Principales performances en puissance de l'APD-SE: Mesures (circuit d'évaluation 1 en rouge et circuit d'évaluation 2 en bleu) et simulation (en vert) : η , PAE , G_1 , $\Delta AM/AM$ et $\Delta AM/PM$ à la fréquence fondamentale $f_0=6.20\text{GHz}$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).

Par ailleurs, il convient de souligner la bonne reproductibilité des mesures réalisées sur les deux circuits d'évaluation.

La compression maximale du gain mesuré (à $P_S=43.7\text{dBm}$) est de l'ordre de 2.5dB. Un écart conséquent de 8° est relevé entre la conversion de phase mesurée et celle simulée. Ceci peut être imputable au modèle électrique du transistor. Cependant, les allures se ressemblent. Il est aussi à noter que l'amplificateur auxiliaire se déclenche à 36dBm de puissance de sortie.

La figure VI.7 présente les résultats de mesure de PAE des deux circuits d'évaluation de l'APD-SE comparés aux simulations. Ces résultats sont tracés pour $P_S=43.7\text{dBm}$ et à $OBO=6.50\text{dB}$ dans la bande de fréquence $[5.50-6.50]\text{GHz}$.

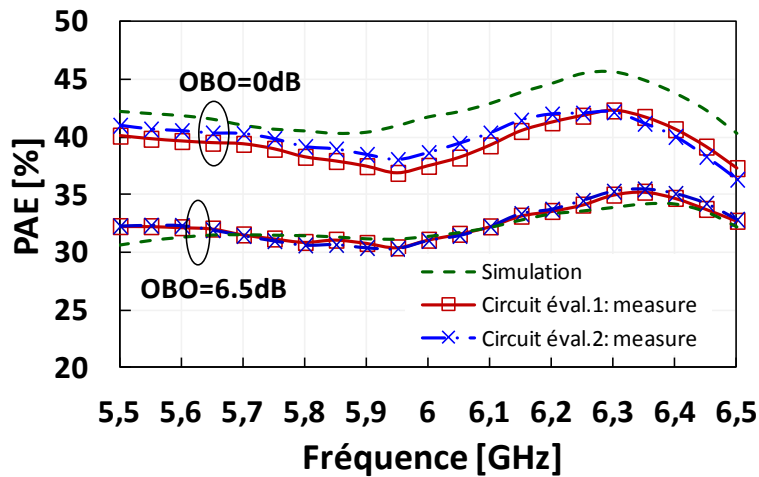


Figure VI.7 : PAE mesurée et simulée dans la bande de fréquence [5.50-6.50]GHz.

La PAE varie entre 37% et 42% à $P_{s,MAX}$ et entre 32% et 35% à 6.50dB d'OBO.

La figure VI.8 compare les principales performances en puissance (η , PAE et G_i) mesurées de l'APD-SE à celles d'un amplificateur de classe AB classique ($V_{ds0}=30V$, $I_{ds0}=120mA/mm$) de mêmes dimensions et fonctionnant dans la même bande de fréquence. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=50mA$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-7V$). Les résultats sont tracés à la fréquence fondamentale $f_0=6.2GHz$.

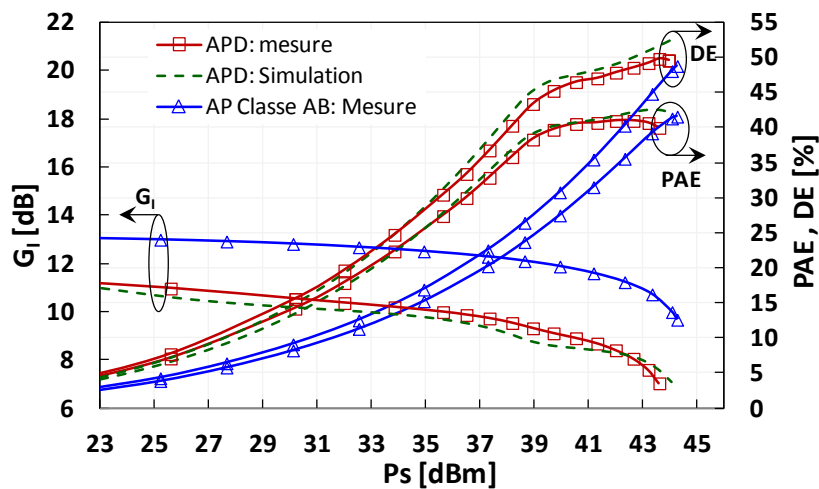


Figure VI.8 : Comparaison des principales performances mesurées de l'APD-SE (Principal polarisé en classe AB/B : $V_{ds0}=30V$, $I_{ds0}=50mA/mm$, Auxiliaire polarisé en classe C : $V_{ds0}=30V$, $V_{gs0}=-7V$) avec celles d'un amplificateur classique de classe AB ($V_{ds0}=30V$, $I_{ds0}=120mA/mm$).

La figure VI.9 met en évidence l'influence du point de polarisation de l'amplificateur auxiliaire sur les principales performances en puissance (PAE , G_i et $\Delta AM/PM$). Ces mesures CW ont été réalisées à la fréquence de travail $f_0=6.20GHz$ et pour une tension de drain des deux amplificateurs (principal et auxiliaire) de 30V. L'amplificateur principal est polarisé en classe AB/B ($I_{ds0}=25mA/mm$).

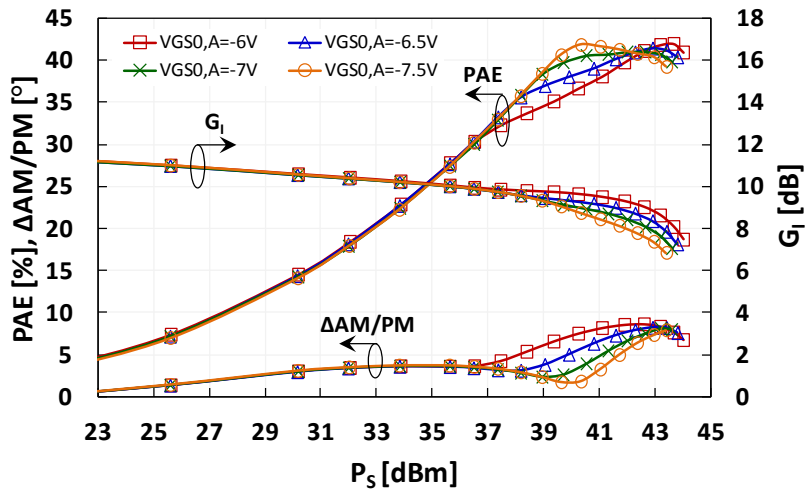


Figure VI.9 : Influence du point de polarisation de l'amplificateur Auxiliaire. Mesures CW : $f_c=6.20\text{GHz}$, Amplificateur principal polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$), Amplificateur auxiliaire polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.0/-6.50/-7.0/-7.5\text{V}$).

Il est clair que l'influence du point de polarisation de l'amplificateur auxiliaire, donc du point de transition (α) est cruciale pour la linéarité de l'APD-SE. Pour une meilleur linéarité en termes de compression du gain et d'AM/PM, il est souhaitable que l'amplificateur auxiliaire soit polarisé en classe C proche de B bien que le niveau de la PAE soit légèrement dégradé dans la zone Doherty.

VI.2.1.3. Caractérisation CW 2 tons.

La linéarité de l'APD-SE a été évaluée dans un premier temps à l'aide des mesures d'intermodulations d'ordre 3. Ces mesures ont été réalisées au sein du laboratoire des caractérisations d'UMS. Le synoptique du banc de mesure d'intermodulation est donné sur la figure VI.10.

Les fréquences fondamentales des deux signaux d'excitation générés indépendamment au moyen du PNA-X sont espacées de 11MHz autour des fréquences centrales $f_{c1}=5.60\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.40\text{GHz}$. La combinaison des fréquences f_{01} et f_{02} se fait grâce à un combineur 3dB.

Les deux voies d'excitation sont physiquement identiques.

La procédure d'étalonnage en puissance des deux tons est similaire à celle avec un seul ton. Elle est réalisée en 2 étapes pour plusieurs fréquences d'excitation comprises entre 5.50 et 6.50GHz avec un écart (pas) de 100MHz :

- Etalonnage en puissance à l'entrée de l'APD :

L'étalonnage absolu dans le plan d'entrée de l'APD ($\pi_{e,APD}$) consiste, à l'aide de la sonde de puissance de référence reliée au PNA-X, à évaluer :

- Les pertes $\Delta P_{gene1}(f_{01})$ entre les plans π_{g1} et $\pi_{e,APD}$ (générateur 1 allumé et générateur 2 éteint),
- Les pertes $\Delta P_{gene1}(nf_{01}+mf_{02})$ ($\{n; m\} \in \{1,2\}$) entre les plans π_{g1} et $\pi_{e,APD}$ (générateur 1 allumé et générateur 2 éteint),

- Les pertes $\Delta P_{gene2}(f_{02})$ entre les plans π_{g2} et $\pi_{e,APD}$, (générateur 1 éteint et générateur 2 allumé),
- Les pertes $\Delta P_{e1}(f_{01})$ entre les plans π_{g1} et $\pi_{e,PNA-X}$ (générateur 1 allumé et générateur 2 éteint),
- Les pertes $\Delta P_{e1}(nf_{01}+mf_{02})$ ($\{n; m\} \in \{1,2\}$) entre les plans π_{g1} et $\pi_{e,APD}$ (générateur 1 allumé et générateur 2 éteint),
- Les pertes $\Delta P_{e2}(f_{02})$ entre les plans π_{g2} et $\pi_{e,PNA-X}$ générateur 1 éteint et générateur 2 allumé).

La connaissance de $\Delta P_{gene1}(f_{01})$, $\Delta P_{gene2}(f_{02})$, $\Delta P_{gene1}(nf_{01}+mf_{02})$, $\Delta P_{e1}(nf_{01}+mf_{02})$, $\Delta P_{e1}(f_{01})$ et $\Delta P_{e2}(f_{02})$ permet de déduire précisément les puissances disponibles $P_{e1}(f_{01})$, $P_{e2}(f_{02})$ et $P_{e1}(nf_{01}+mf_{02})$ à l'entrée de l'APD.

- Etalonnage en puissance à la sortie de l'APD :

Cette procédure consiste à connecter l'accès d'entrée RF (plan $\pi_{e,PNA-X}$) à l'accès de sortie RF (plan $\pi_{s,PNA-X}$) à l'aide de la ligne de transmission « Thru » dont la matrice $[S_{Thru}]$ est connue. L'étalonnage absolu dans le plan de sortie de l'APD ($\pi_{e,APD}$) consiste à évaluer les pertes $\Delta P_s(f_{01})$, $\Delta P_s(f_{02})$ et $\Delta P_s(nf_{01}+mf_{02})$, entre les plans $\pi_{s,APD}$ et $\pi_{s,PNA-X}$ en tenant compte de $[S_{Thru}]$ et du fait qu'en connexion directe : $P_e(f) = P_s(f)$. La connaissance de $\Delta P_s(f_{01})$, $\Delta P_s(f_{02})$ et $\Delta P_s(nf_{01}+mf_{02})$ permet de calculer les puissances $P_s(f_{01})$, $P_s(f_{02})$ et $P_s(nf_{01}+mf_{02})$ à la sortie de l'APD.

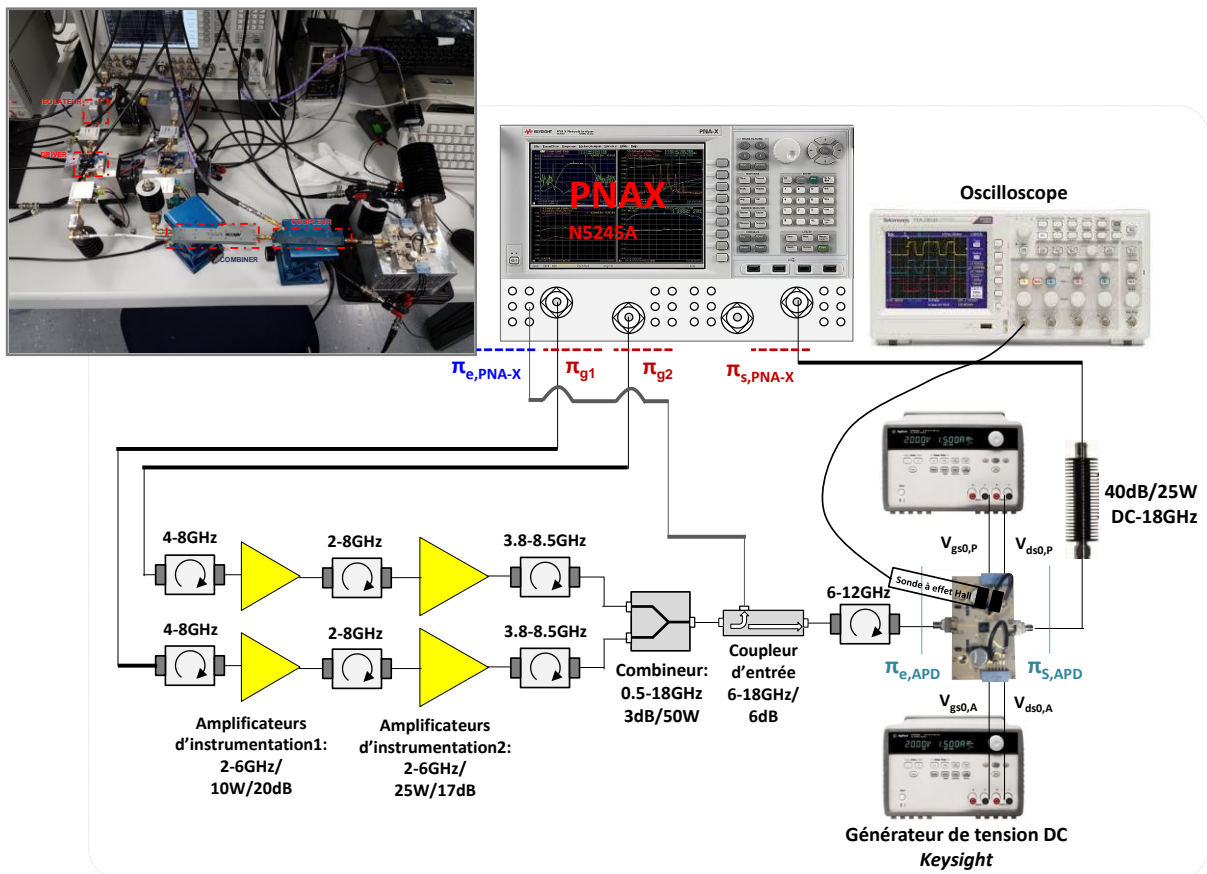


Figure VI.10 : Synoptique du banc de mesure 2 tons en régime CW d'UMS fondée sur l'utilisation de l'analyseur de réseaux microondes PNA-X (Référence : N5245 - 10MHz~50GHz).

La figure VI.11 illustre les résultats de mesures en termes d'IMD3 en fonction de la puissance (somme des puissances de sortie) délivrée par l'APD aux fréquences fondamentales pour différents fonctionnements de l'amplificateur principal, allant de la classe AB proche de A à la classe AB proche de B. Les points de polarisation des deux amplificateurs sont les suivants :

- L'amplificateur principal polarisé en classe AB : $V_{ds0}=30V$, $I_{ds0}=15/25/50/100/120$ mA/mm
- L'amplificateur auxiliaire polarisé en classe C : $V_{ds0}=30V$, $V_{gs0}=-6V$.

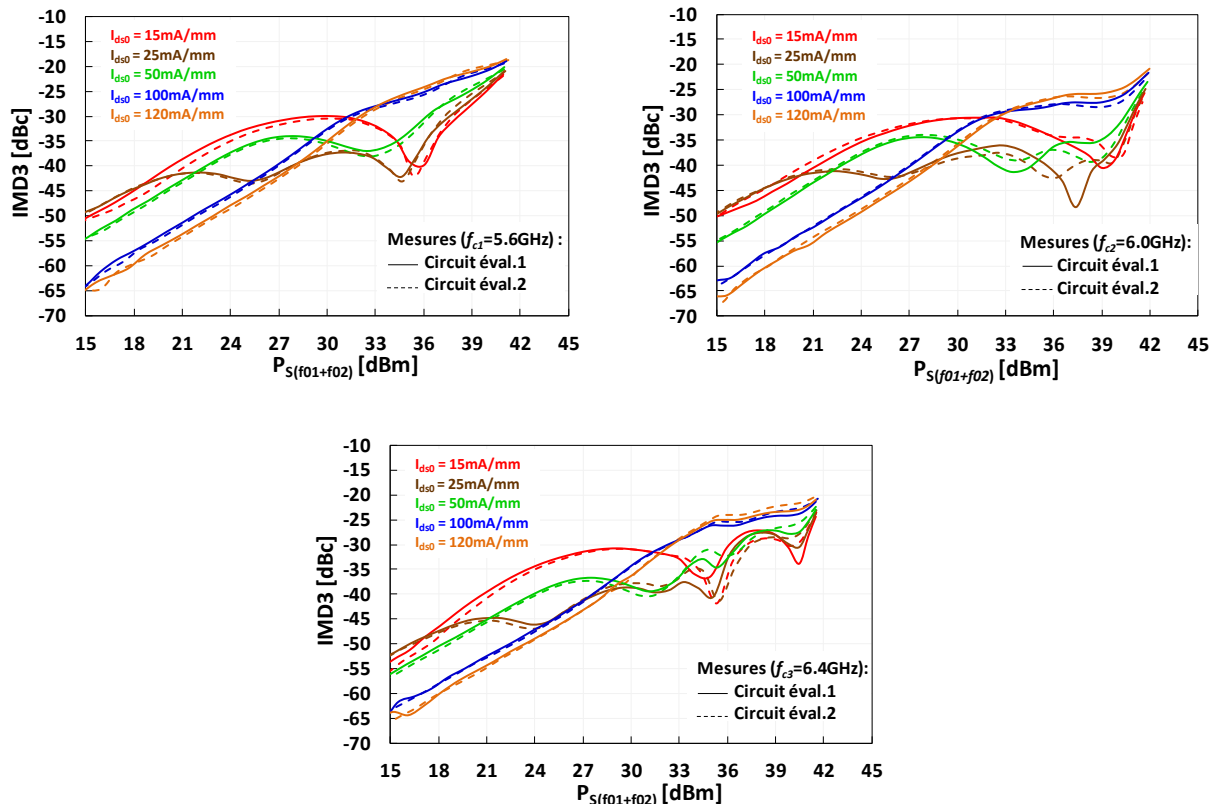


Figure VI.11 : Résultats des mesures 2 tons réalisées autour des fréquences centrales $f_{c1}=5.50$ GHz, $f_{c2}=6.00$ GHz et $f_{c3}=6.50$ GHz de deux circuits d'évaluation APD-SE avec un $\Delta f=11$ MHz – IMD3 en fonction de la puissance de la somme des puissances délivrées aux fréquences fondamentales et paramétrées par I_{ds0} de l'amplificateur principal.

Les résultats de mesures d'IMD3 paramétrés en fonction du point de polarisation de l'amplificateur auxiliaire sont donnés sur la figure VI.12.

Les points de polarisation des deux amplificateurs sont les suivants :

- L'amplificateur principal est polarisé en classe AB/B : $V_{ds0}=30V$, $I_{ds0}=50$ mA/mm.
- L'amplificateur auxiliaire est polarisé en classe C : $V_{ds0}=30V$, $V_{gs0}=-4.0/-5.0/-6.5/-7.0$ V.

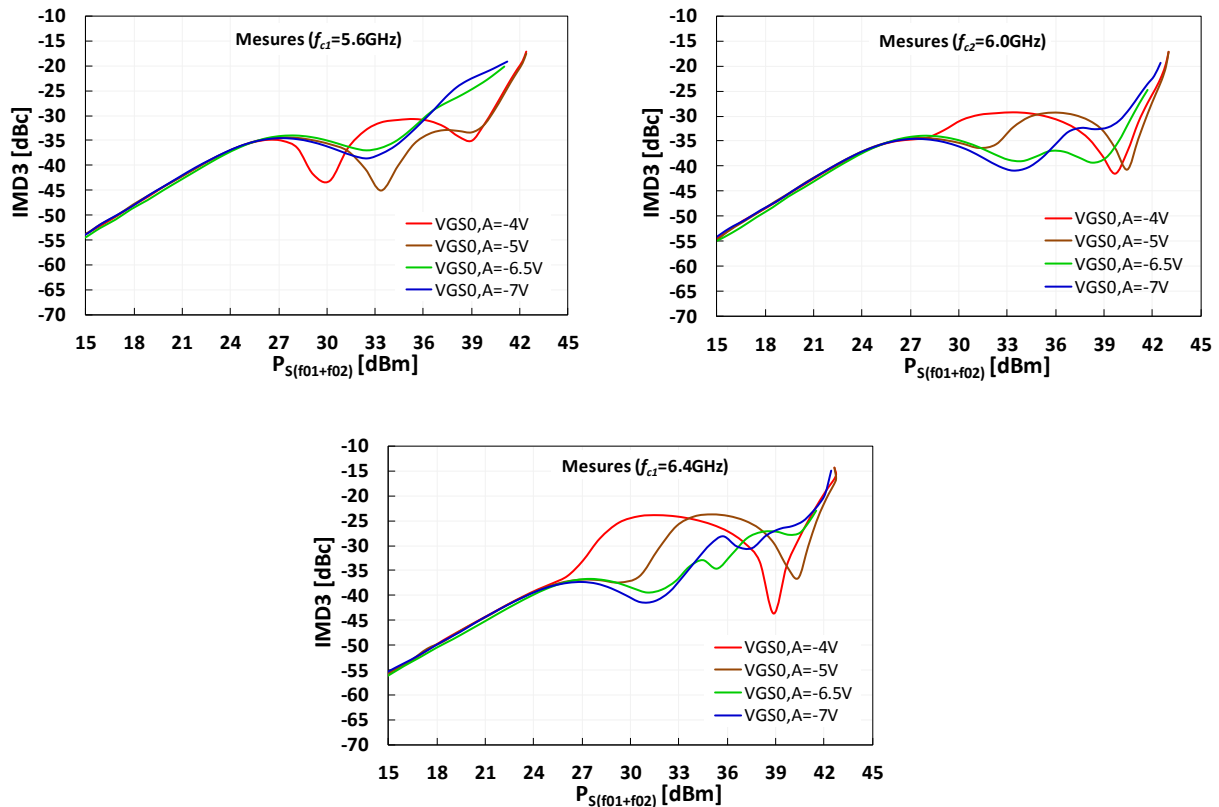


Figure VI.12 : Résultats des mesures 2 tons réalisées autour des fréquences centrales $f_{c1}=5.50\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.50\text{GHz}$ de deux circuits d'évaluation APD-SE avec un $\Delta f=11\text{MHz}$ – IMD3 en fonction de la somme des puissances de sortie délivrées aux fréquences fondamentales et paramétrées par V_{gs0} de l'amplificateur principal.

D'après les résultats de mesures indiqués sur les figure VI.11 et VI.12, les points de polarisation suivants offrent le meilleur profil d'IMD3 :

- Amplificateur principal : $V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$,
- Amplificateur auxiliaire : $V_{ds0}=30\text{V}$, $V_{gs0}=-5.0\sim-6.5\text{V}$.

La figure VI.13 trace les puissances, mesurées et simulées, portées par les raies latérales, haute et basse, d'intermodulation d'ordre 3 en fonction des puissances délivrées aux fréquences fondamentales f_{01} et f_{02} espacées de 11MHz autour des fréquences centrales $f_{c1}=5.60\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.40\text{GHz}$.

D'après ces résultats, il s'avère que les raies latérales d'intermodulations d'ordre 3 sont quasi-symétriques avec de légers décalages. Ceci indique que les impédances de fermeture en basse fréquences (11MHz) ne présentent pas de résonance. Du moins, elles possèdent des parties réelles et des parties imaginaires quasi-constantes dans cette bande de fréquence.

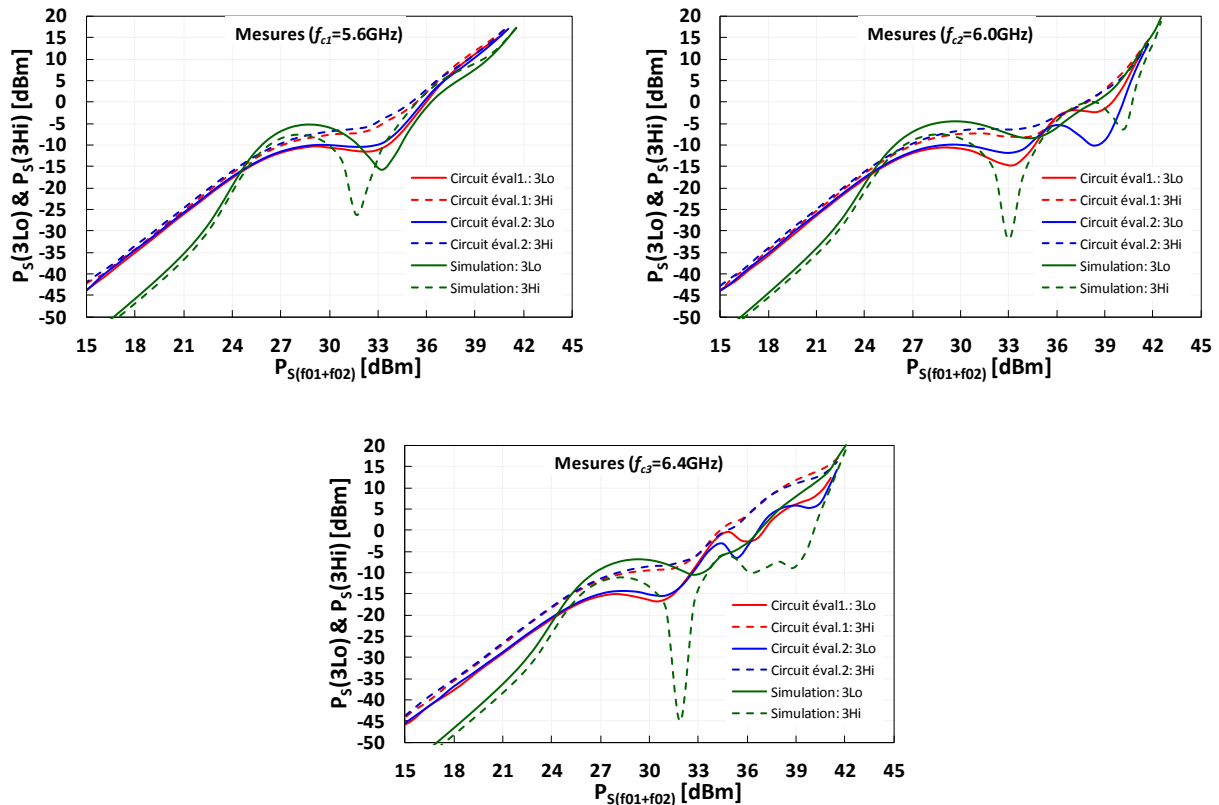


Figure VI.13 : Puissances mesurées (circuit d'évaluation1 : rouge / circuit d'évaluation2 : bleu) et simulées (vert) portées par les raies latérales d'intermodulation d'ordre 3 (hautes : traits pointillés / basses : traits pleins) en fonction des puissances délivrées aux fréquences fondamentales f_{01} et f_{02} espacées de 11MHz autour des fréquences centrales $f_{c1}=5.60\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.40\text{GHz}$. L'amplificateur principal polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).

Ces résultats obtenus sont reproductibles dans l'ensemble. Il est donc possible de conclure que le modèle électrique non linéaire ainsi que les simulations 3D des transitions dans l'environnement du boîtier QFN sont satisfaisants.

Afin d'avoir une idée sur le niveau de linéarité de l'APD-SE à ce stade de caractérisations, les résultats de mesure d'*IMD3* ont été comparés à ceux de deux autres amplificateurs de puissance classiques réalisés par UMS. Ces amplificateurs classiques fonctionnent dans les mêmes bandes de fréquences et délivrant les mêmes gammes de puissance de sortie équivalentes que l'APD-SE.

Les deux amplificateurs MMIC classiques d'architectures arborescentes sont fondés sur l'utilisation des transistors HEMT GaN GH25 et comportent chacun trois étages d'amplification :

- Le premier fonctionne en classe AB dans la bande de fréquence [5.70-8.50] GHz et délivre une puissance de sortie maximale de l'ordre de 10W. Celui-ci est appelé par la suite « AP-A1 »,
- Le second fonctionne également en classe AB dans la bande de fréquence 5.70-7.50GHz et délivre une puissance de sortie maximale de l'ordre de 10W. Cet amplificateur est nommé par la suite « PA-A2 ». Cet amplificateur a été conçu avec pour objectif principal d'améliorer de la linéarité.

Les figures VI.14 et VI.15 montrent respectivement les niveaux d'IMD3 des trois amplificateurs de puissance (AP-A1, AP-A2 et APD-SE) et les P_{DC} associées à chaque configuration.

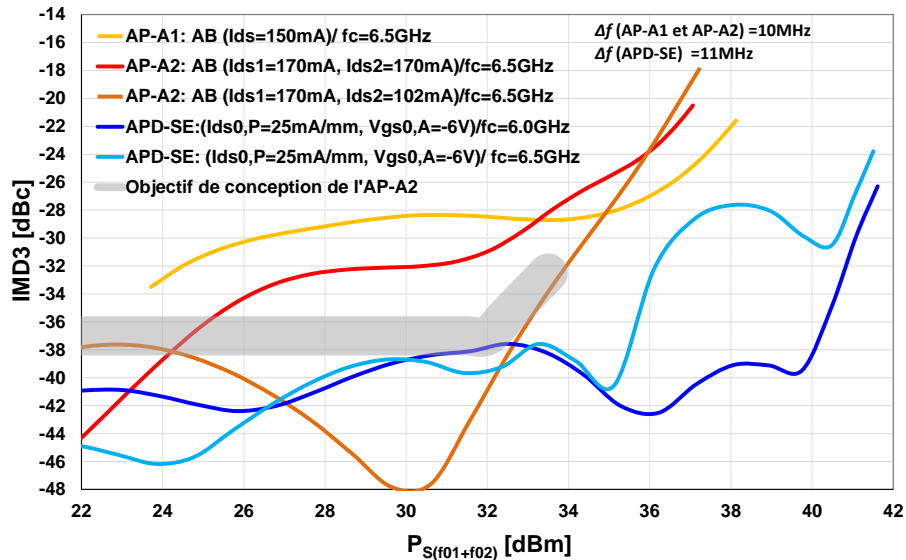


Figure VI.14 : Comparaison des IMD3 des trois amplificateurs fondés sur l'utilisation des transistors GH25.

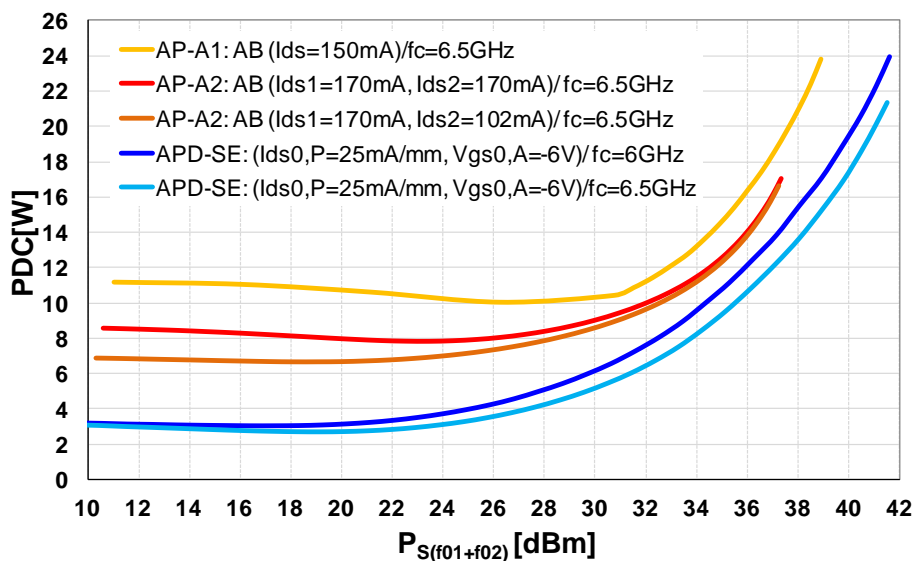


Figure VI.15 : Puissances DC consommées par les trois amplificateurs.

Le niveau de l'IMD3 de l'APD-SE reste comparable à celui de l'amplificateur linéaire AP-A2 avec une consommation électrique moins importante.

VI.2.1.4. Mesures temporelles CW.

Ce paragraphe présente les résultats des caractérisations temporelles calibrées des tensions et courants aux accès de l'APD-SE dans la bande de fréquence [5.50-6.50] GHz et réalisées au sein du laboratoire de XLIM.

La figure VI.16 montre la configuration du banc de mesures temporelles 4 canaux développé en interne au laboratoire XLIM. La description de ce banc de mesures

temporelles CW (pour des dispositifs sous test connectés) ainsi que la méthode de calibration sont bien détaillées dans [IV.11].

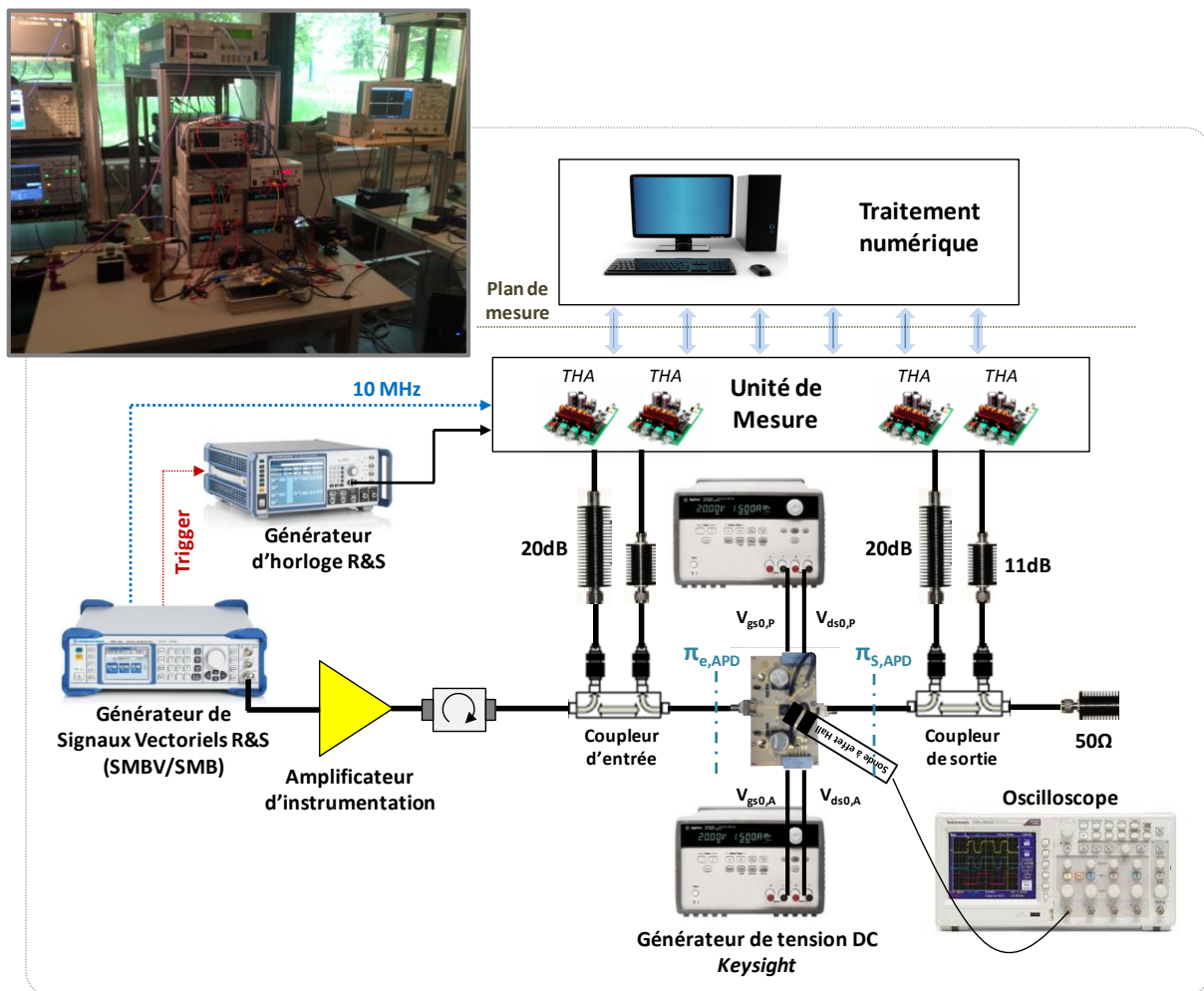


Figure VI.16 : Synoptique du système de mesure pour la caractérisation temporelle en mode CW. (Banc développé en interne au laboratoire XLIM [IV.1]).

Le système de mesure temporelle est calibré dans la bande de fonctionnement de l'APD-SE. La caractérisation temporelle en mode CW de l'APD est donc réalisée pour plusieurs fréquences d'excitation comprises entre 5.60GHz et 6.50GHz avec une un écart (pas) fréquentiel de 100MHz.

L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-6.50V$).

La figure VI.17 illustre les formes d'ondes temporelles de tensions et courants aux accès RF de l'APD-SE au niveau des connecteurs SMA, lorsque l'APD-SE chargé en sortie par une impédance de 50Ω, pour différents niveaux de la puissance d'entrée. Ces formes d'ondes mesurées sont obtenues à la fréquence de travail $f_0=6.20GHz$.

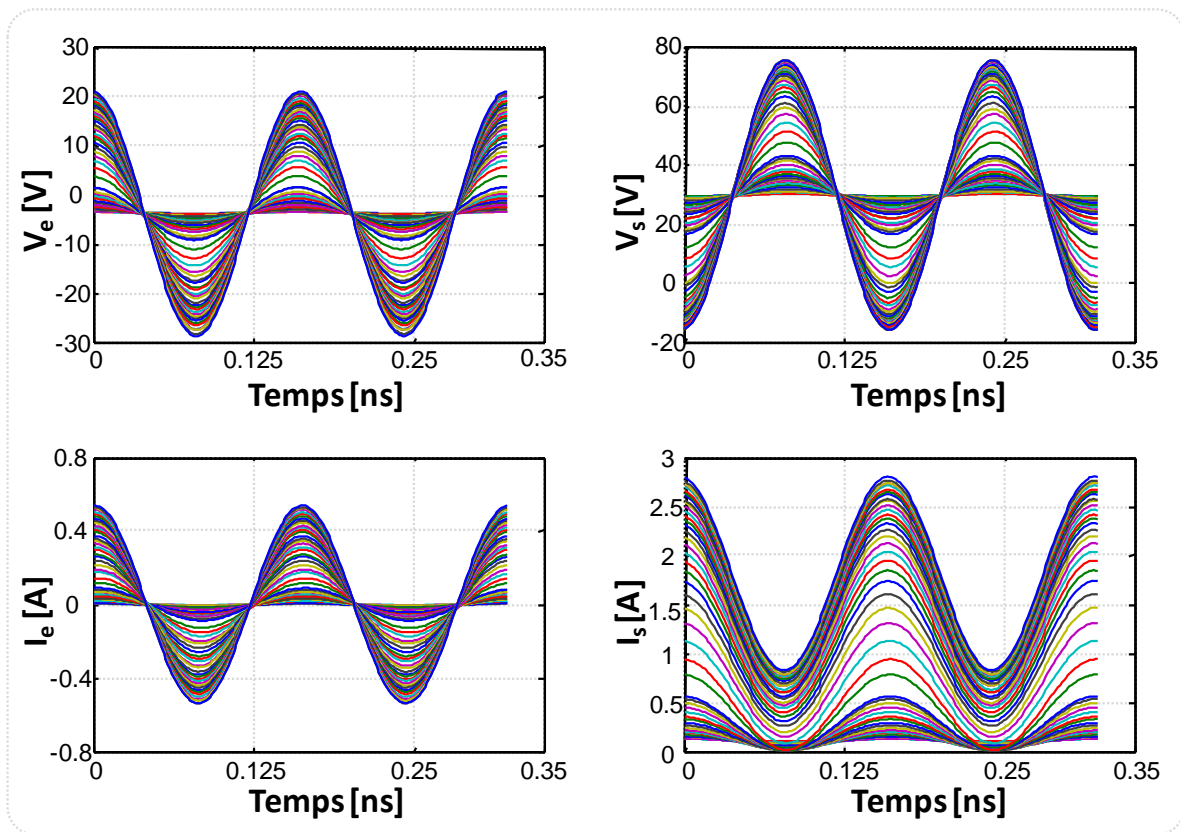


Figure VI.17 : Formes d'ondes temporelles de tensions et de courants calibrées aux accès de l'APD-SE au niveau des connecteurs SMA du CI à la fréquence fondamentale $f_0=6.2\text{GHz}$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).

Les formes d'ondes temporelles d'entrée et de sortie mesurées avec une ultra haute fréquence d'échantillonnage équivalente (640GS/s) sont de formes sinusoïdales propres. Ceci indique que les charges vues par les transistors constituant les barrettes de puissance principale et auxiliaire à leurs accès grille et drain aux fréquences harmoniques impaires excepté la fréquence fondamentale sont très faibles (proches d'un court-circuit).

L'intensité du courant maximum délivré par l'APD-SE est de l'ordre de 2.80A, et la variation maximale de la tension aux bornes de la charge de fermeture 50Ω est de l'ordre de 85V (cette valeur respecte les maximums d'excursion de tensions permises pour les transistors GH25).

Afin de valider ces résultats de mesure obtenus par le système de mesure temporelle, une comparaison par rapport aux grandeurs mesurées à l'aide du banc de mesure d'UMS fondé sur l'utilisation de l'instrument PNA-X est effectuée. La comparaison des principales performances en puissance et en rendement est donnée sur la figure VI.18.

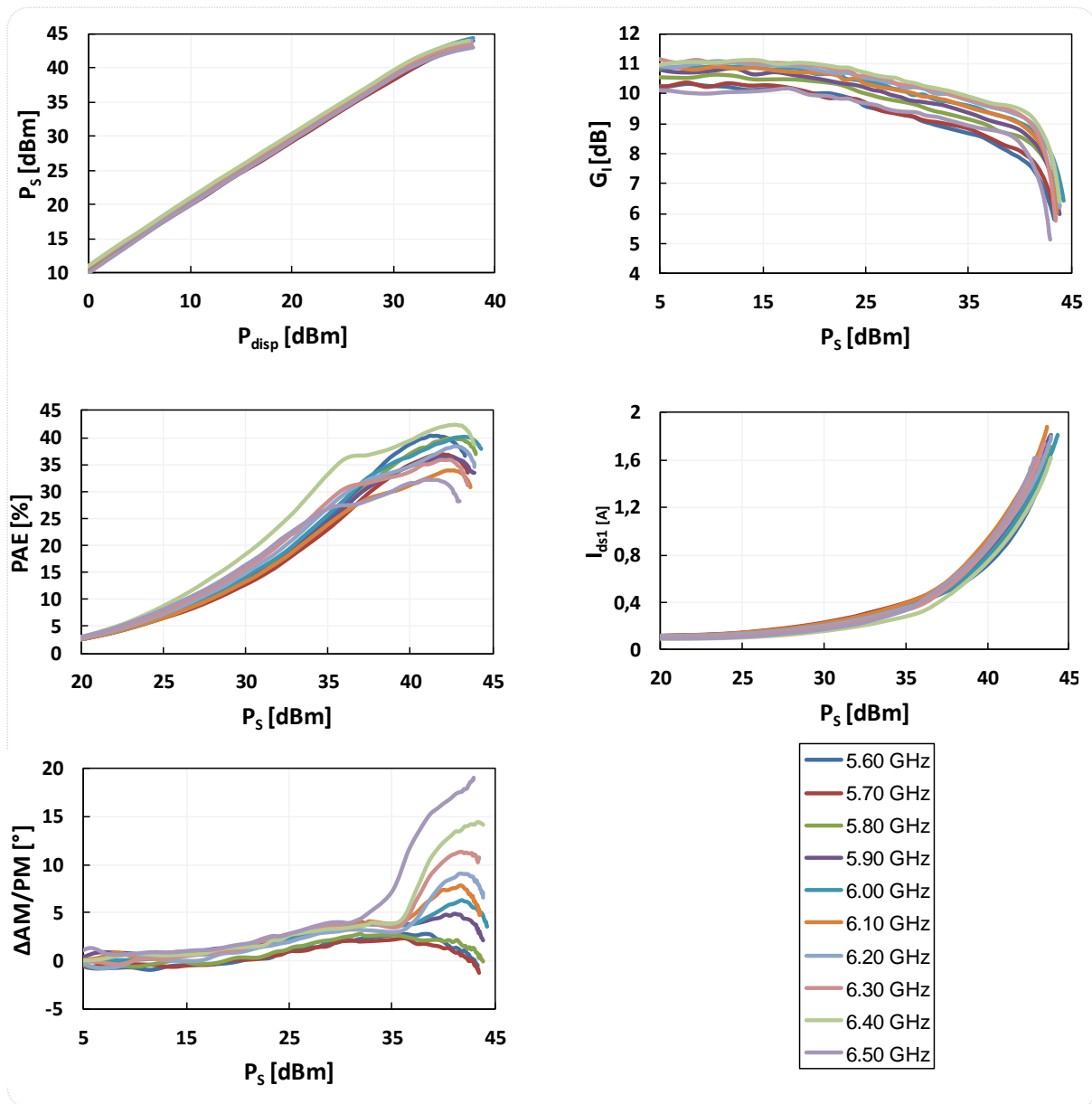


Figure VI.19 : Résultats des principales performances en puissance et en rendement mesurées à l'aide du banc de mesures temporelles dans la bande de fréquence [5.60-6.50] GHz. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-6.50V$).

VI.2.1.5. Caractérisation avec des signaux modulé de type QAM.

Les performances en linéarité de l'APD-SE ont été évaluées dans un second temps en utilisant des signaux modulés de types QAM avec un PAPR de 9dB et différentes bande passantes ($\Delta f=30/60/120MHz$). Le synoptique de principe du banc de mesure utilisé à cet effet est donné sur la figure VI.20.

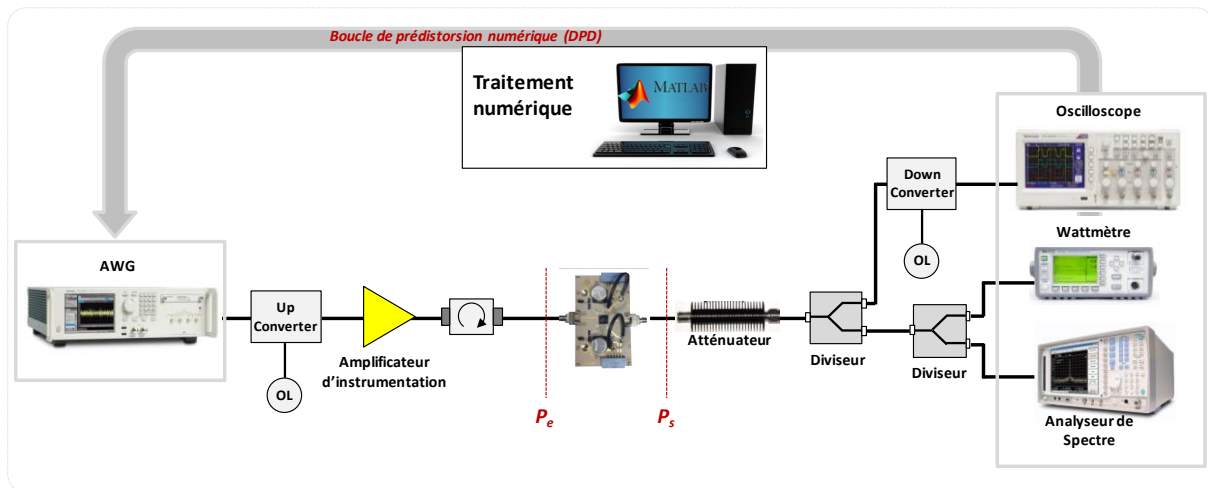


Figure VI.20 : Synoptique de principe du banc de mesure de puissance d'UMS fondé sur l'utilisation des signaux modulés de type QAM et utilisant une DPD de type polynomial.

Les caractéristiques des signaux modulés QAM utilisés sont données sur le tableau VI.1 :

Tableau VI.1 : Caractéristiques du signal modulé appliqué.

Paramètre	Valeur
Type de modulation QAM	4/16/64/256/1024/2048
Type de filtrage	Cosinus surélevé
Coefficient de filtrage (roll-off)	0.20
Débit symbole	25/50/100 MSym/s
Sur-échantillonnage	8
Nombre de symboles	24000 symboles
$P_{S,MOY}$	32dBm
$f_{0,porteuse}$	6.20GHz
$f_{intermédiaire} (FI)$	800MHz

L'association d'une boucle de prédistorsion numérique (Digital Pre Distortion : DPD) à l'APD-SE à haut rendement a permis de diminuer l'impact des non-linéarités de celui-ci. En effet, une bonne amélioration de la linéarité en termes d'ACLR de l'APD-SE a été constatée.

La DPD appliquée est de type polynomial avec mémoire [VI.1-VI.4].

En théorie, la caractéristique inverse de la réponse en puissance de l'APD-SE à un signal d'excitation modulé de type QAM impose une dynamique en sortie d'autant plus grande que l'on se rapproche de la zone de saturation (figure VI.21). L'algorithme de prédistorsion génère alors mathématiquement des pics que l'APD-SE est ensuite incapable d'amplifier correctement. Cela a pour conséquence de dégrader fortement les ACLR après traitement.

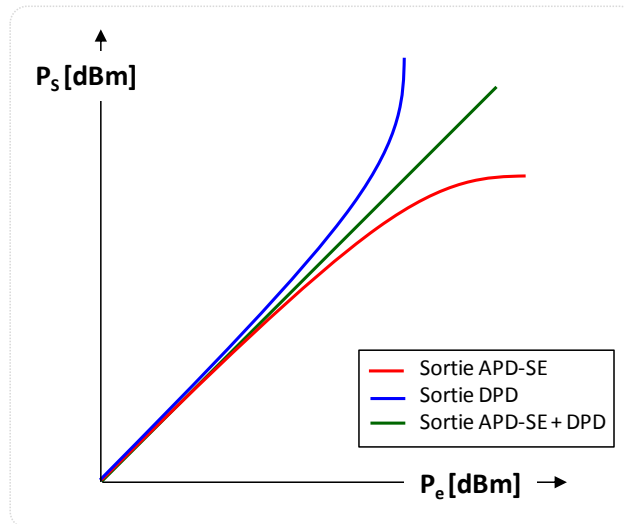


Figure VI.21 : Caractéristiques en puissance de l'APD (sortie de l'APD), du prédistordeur numérique (sortie DPD) et de l'ensemble APD-SE et DPD (Sortie APD-SE+DPD).

Pour améliorer les performances de l'APD en termes de linéarité, la DPD utilisée traite les échantillons du signal différemment selon leur puissance. Après une puissance de seuil donnée ($P_{\text{threshold}}$) égale à ($P_{S,\text{MAX}} - 7\text{dB} = 37\text{dBm}$), la DPD n'est plus utilisée. Avant $P_{\text{threshold}}$, la DPD reste utilisée.

Pour éviter la génération de pics aux fortes puissances, la DPD appliquée avec $P_{\text{threshold}}$ consiste à diminuer la forte dynamique du signal QAM appliquée pour le rendre moins sensible aux non linéarités de l'APD-SE. Les performances du bloc « APD-SE/DPD » sont alors améliorées jusqu'à $P_{\text{threshold}}$.

Les caractéristiques de la DPD appliquée sont données sur le tableau VI.2 :

Tableau VI.2: Caractéristiques de la DPD appliquée.

Paramètre	Valeur
Type de la DPD	Memory Polynomial
Clipping _{threshold}	7dB
Ordre de la DPD	6
Nombre des termes de mémoire	10

Les mesures sont réalisées à l'aide d'un oscilloscope avec une fréquence d'échantillonnage de 25GSa/s et un nombre de symbole par mesure de l'ordre de 6Msym moyennés sur l'ensemble de 10 mesures successives.

Une campagne de caractérisations de l'APD-SE a été réalisée pour différents types de modulation (QAM 4/16/64/256 et 1024) pour une puissance de sortie moyenne $\overline{P_{S,\text{MOY}}(t)} \approx 34\text{dBm}$ et pour plusieurs bandes passantes (30/60 et 120 MHz) autour de la fréquence porteuse $f_0=6.20\text{GHz}$ avec :

- L'amplificateur principal polarisé en classe AB/B : $V_{ds0}=30\text{V}$, $I_{ds0}=50\text{mA/mm}$,
- L'amplificateur auxiliaire polarisé en classe C : $V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$,

La linéarité de l'APD-SE a été estimée à l'aide des deux critères suivants :

- L'ACLR (Adjacent Channel Leakage Ratio) est l'équivalent du critère de linéarité ACPR (Adjacent Channel Power Ratio) [VI.5-VI.6] qui quantifie la mesure de distorsions introduites pas l'amplificateur non-linéaire sur les canaux adjacents, en dehors de la bande utile de transmission. L'ACLR caractérise les produits d'intermodulation qui tombent dans les deux canaux adjacents en tenant compte de l'atténuation apportée par le filtre de réception.

Le critère d'ACLR se présente alors comme un élément de caractérisation important des distorsions des systèmes de transmissions numériques, les normes très exigeantes en termes de linéarité, font également naître la notion d'ACLR1 et ACLR2 (connue aussi sous l'appellation d'ACLR alternée) [VI.7], qui décrivent l'intensité des remontées spectrales respectivement dans le premier et dans le deuxième canal adjacents.

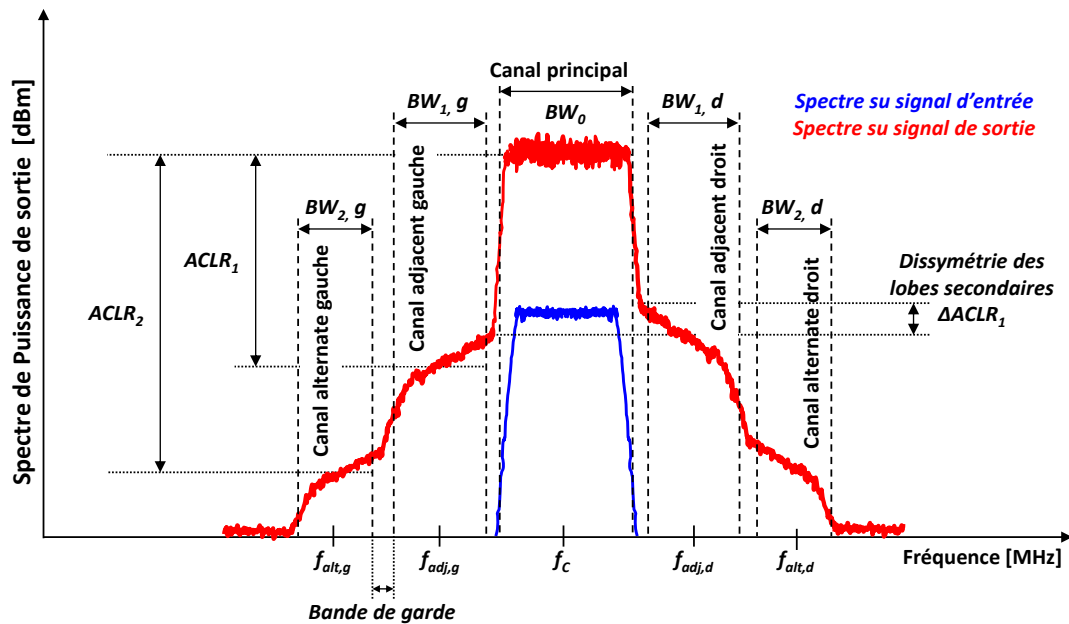


Figure VI.22 : Définition de la mesure d'ACLR

Mathématiquement, l'ACPR d'ordre n, correspond au rapport entre la puissance moyenne en watts comprise dans la bande utile BW_0 et la puissance moyenne en watts également contenues dans les bandes adjacentes conjointes d'ordre n, comme l'indique l'équation VI.3 :

$$ACPR_1[dB] = 10 \times \log_{10} \left(\frac{2 \times \int_{BW_0} P_{s,utile}(f) df}{\int_{BW_{1,d}} P_{s,Adj,droit}(f) df + \int_{BW_{1,g}} P_{s,Adj,gauche}(f) df} \right) \quad (VI.1)$$

$$ACPR_2[dB] = 10 \times \log_{10} \left(\frac{2 \times \int_{BW_0} P_{s,utile}(f) df}{\int_{BW_{2,d}} P_{s,alter,droit}(f) df + \int_{BW_{2,g}} P_{s,alter,gauche}(f) df} \right) \quad (VI.2)$$

$$ACPR_n[dB] = 10 \times \log_{10} \left(\frac{2 \times \int_{BW_0} P_{s,utile}(f) df}{\int_{BW_{n,d}} P_{s,n,droit}(f) df + \int_{BW_{n,g}} P_{s,n,gauche}(f) df} \right) \quad (VI.3)$$

- Le MSE (Mean Squar Error) est l'un des récents indicateurs de linéarité, adapté aux modulations quadratiques et considéré comme l'un des critères vectoriels de robustesse sur la qualité d'une transmission.

Le MSE permet de quantifier l'erreur vectorielle engendrée par les non-linéarités de l'amplificateur de puissance. Celui-ci se calcule ainsi :

$$MSE[dB] = 10 \times \log_{10} E[|x(n) - y(n)|^2] \quad (VI.4)$$

Avec :

$x(n)$: représente le symbole n de référence idéalement attendu.

$y(n)$: représente le symbole n réellement obtenu.

Visuellement, les distorsions engendrées par les non-linéarités de l'amplificateur se traduisent sur le diagramme complexe par des déformations, translations, rotations et étalements de la constellation d'un point en fonction des variations de l'enveloppe d'excitation. La figure VI.23 représente les formes des symboles idéalement attendus et ceux réellement obtenus.

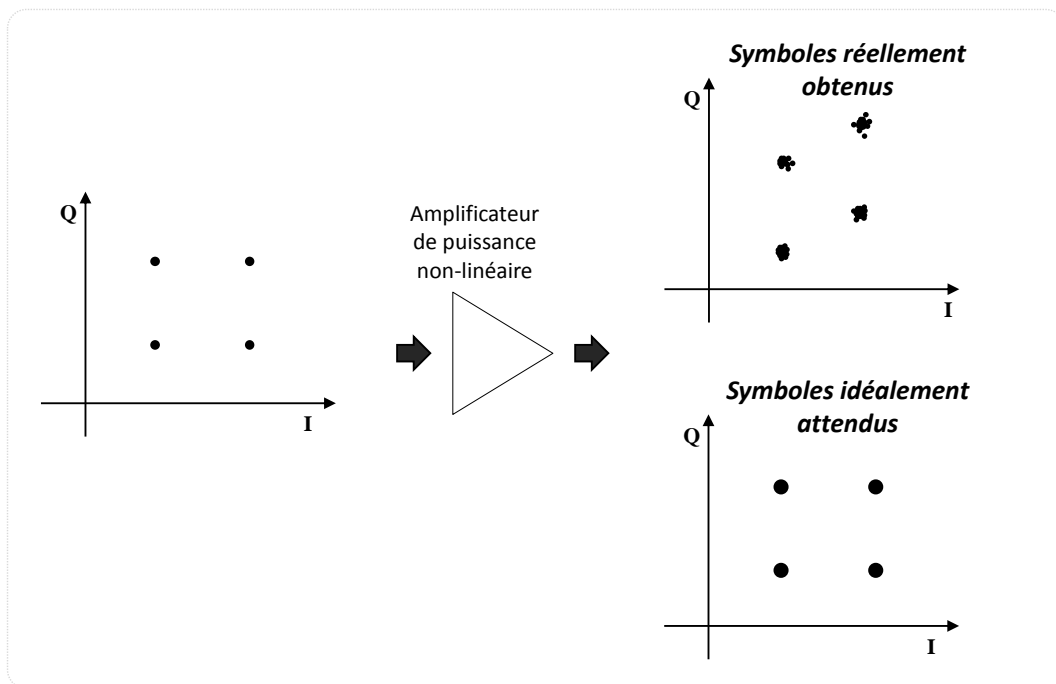


Figure VI.23 : Déformation, translation, rotation et étalement des constellations

Les résultats obtenus en termes d'ACLR₁ moyenne et de MSE avec et sans DPD sont récapitulés sur le tableau VI.3 :

Tableau VI.3 : Résultats de mesure d'ACLR et de MSE de l'APD-SE sans et avec DPD à $P_{S,MOY}(t) \approx 34\text{dBm}$. L'amplificateur principal ($V_{ds0}=30\text{V}$, $I_{ds0}=50\text{mA/mm}$) et amplificateur auxiliaire ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).

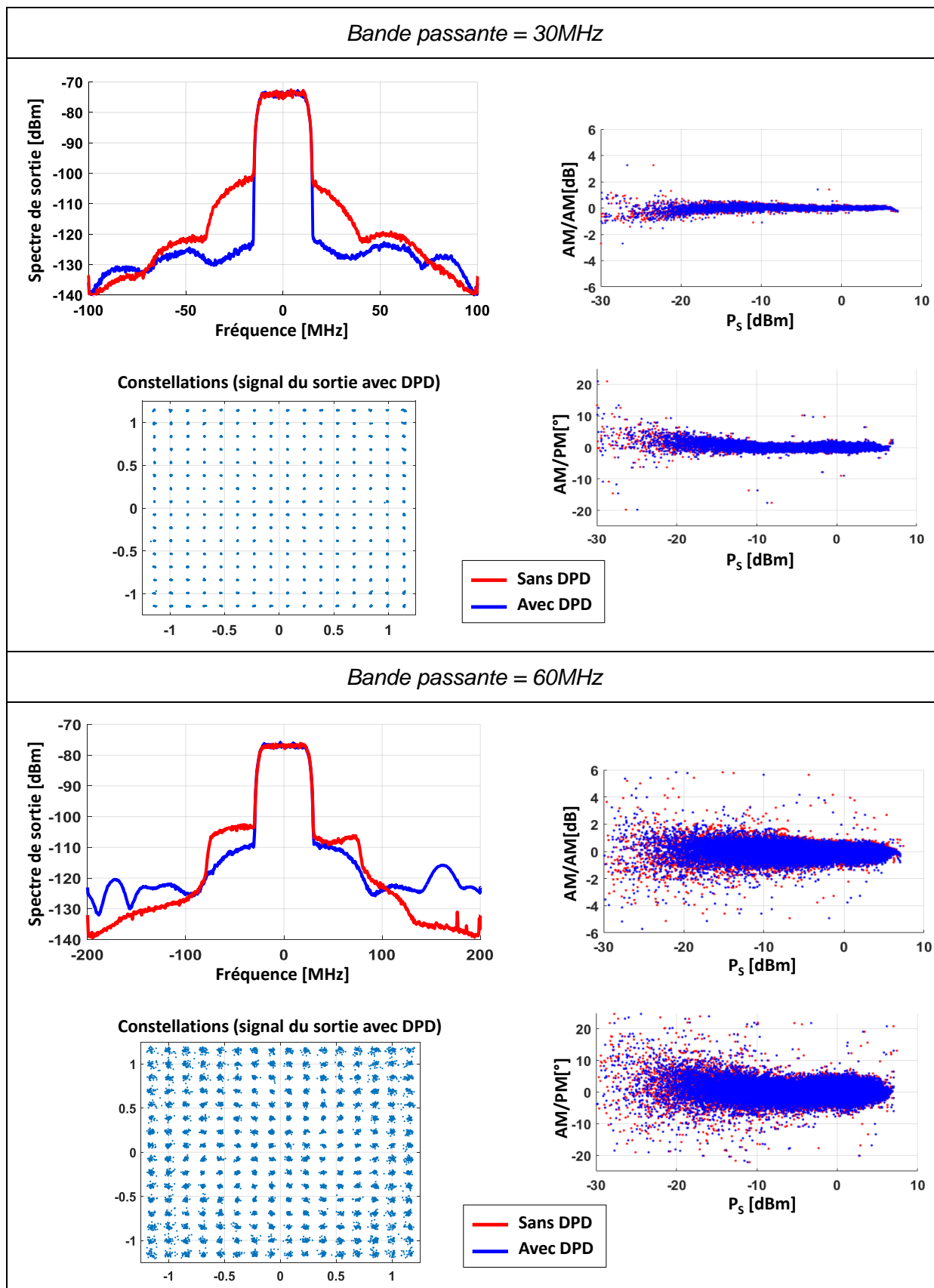
			QAM4	QAM16	QAM64	QAM256	QAM1024
Bande passante = 30MHz	Sans DPD	ACLR ₁ [dBc]	-34.5	-32	-31.4	-31	-31
		MSE [dB]	-36.8	-28	-26	-27	-30
	Avec DPD	ACLR ₁ [dBc]	-52	-51	-50.02	-50.05	-49
		MSE [dB]	-47.5	-45.2	-44.9	-44.9	-44.9
	Gain	ACLR ₁ [dB]	17.5	19	18.62	19.05	18
		MSE [dB]	10.7	17.2	18.9	17.9	14.9
Bande passante = 60MHz	Sans DPD	ACLR ₁ [dBc]	-29	-27.5	-27.5	-27.5	-27.7
		MSE [dB]	-29	-26.4	-25	-27	-29.9
	Avec DPD	ACLR ₁ [dBc]	-32.1	-34.3	-33.9	-34	-33.9
		MSE [dB]	-32.1	-32.9	-32.3	-32.9	-33.4
	Gain	ACLR ₁ [dB]	3.1	6.8	6.4	6.50	6.2
		MSE [dB]	3.1	6.5	7.3	5.9	3.5
Bande passante = 120MHz	Sans DPD	ACLR ₁ [dBc]	-25.50	-23.8	-24	-24	-24
		MSE [dB]	-22.5	-19	-20	-24	-28.6
	Avec DPD	ACLR ₁ [dBc]	-26	-24	-24.6	-24	-24
		MSE [dB]	-24.2	-20	-21.2	-24.1	-28.6
	Gain	ACLR ₁ [dB]	0.5	0.2	0.6	0	0
		MSE [dB]	1.7	1	1.2	0.1	0

D'après les résultats reportés sur le tableau ci-dessus, il s'avère que l'amélioration de la linéarité en termes d'ACLR₁ et de MSE apportée par la DPD polynomiale dépend du type de la modulation appliquée et de la largeur de la bande passante du signal en bande de base.

Il convient de remarquer que l'amélioration de la linéarité avec la DPD diminue avec l'augmentation de la largeur de la bande passante du signal en bande de base.

Le tableau VI.4 présente les figures des spectres de sortie ainsi que les niveaux mesurés de compression du gain et de phase de l'APD-SE pour un signal modulé QAM256 avec et sans application de DPD pour les largeurs de bande passante de 30MHz et de 60MHz.

Tableau VI.4 : Principales performances en linéarité mesurées de l'APD-DE pour un signal QAM256 sans et avec DPD à $P_{s,MOY} \approx 34\text{dBm}$. L'amplificateur principal ($V_{ds0}=30\text{V}$, $I_{ds0}=50\text{mA/mm}$) et amplificateur auxiliaire ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).



D'autre part, il importe de remarquer que les lobes secondaires des spectres des signaux de sortie mesurés sont déséquilibrés que ce soit avec ou sans DPD et quelle que soit la largeur de la bande passante du signal en bande de base. Ceci peut être dû aux variations des impédances de fermetures vues par les transistors constituant l'APD-SE le long de la bande passante du signal en bande de base.

VI.2.1.6. Influence des impédances de fermetures BF.

Suite aux observations précédentes concernant la dissymétrie des lobes secondaires des spectres de signaux de sortie de l'APD-SE. Des actions de rétro-simulation ont été menées.

Les impédances de fermeture des différents accès de l'amplificateur en basse fréquence jouent un rôle déterminant et crucial quant à ses performances en termes de linéarité.

Afin que ces dernières soient les meilleures possibles, les transistors constituant un amplificateur de puissance doivent voir sur leurs accès drain et grille des impédances purement réelles et de valeurs constantes en basses fréquence, du moins en bande de base.

A cet effet, les circuits d'adaptation d'entrée et de sortie doivent assurer une bonne adaptation aux fréquences RF et présenter aux transistors des impédances à partie imaginaire idéalement nulle ou constante et à partie réelle constante et faible en bande de base.

Des simulations fondées sur l'utilisation d'un signal deux tons ont été réalisées. Le signal d'excitation est constitué de deux signaux de même intensité et générés respectivement aux fréquences porteuses f_{01} et f_{02} . La figure VI.24 présente le synoptique de la schématique de simulation.

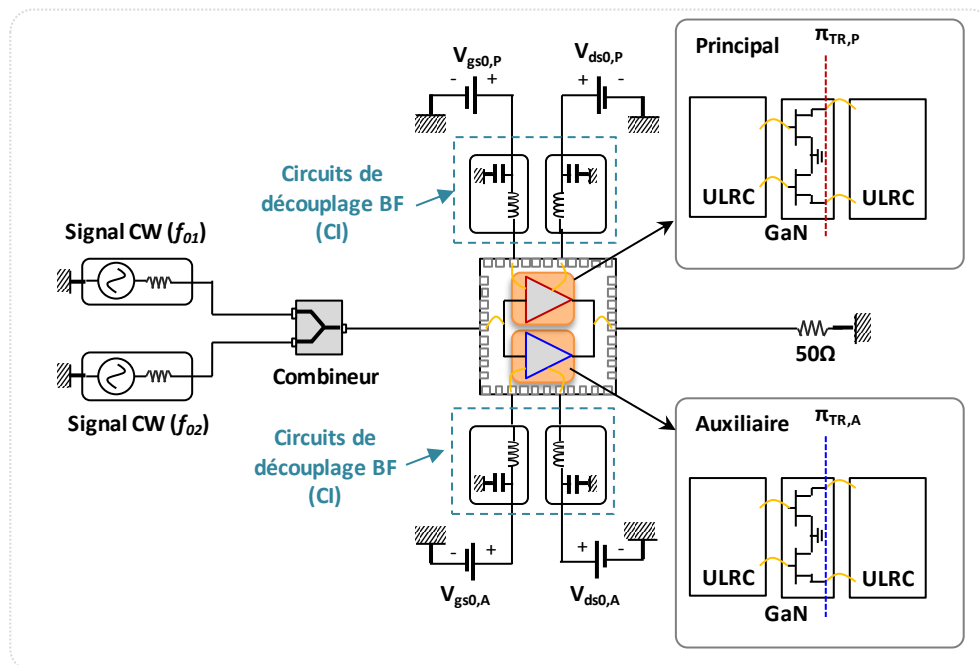
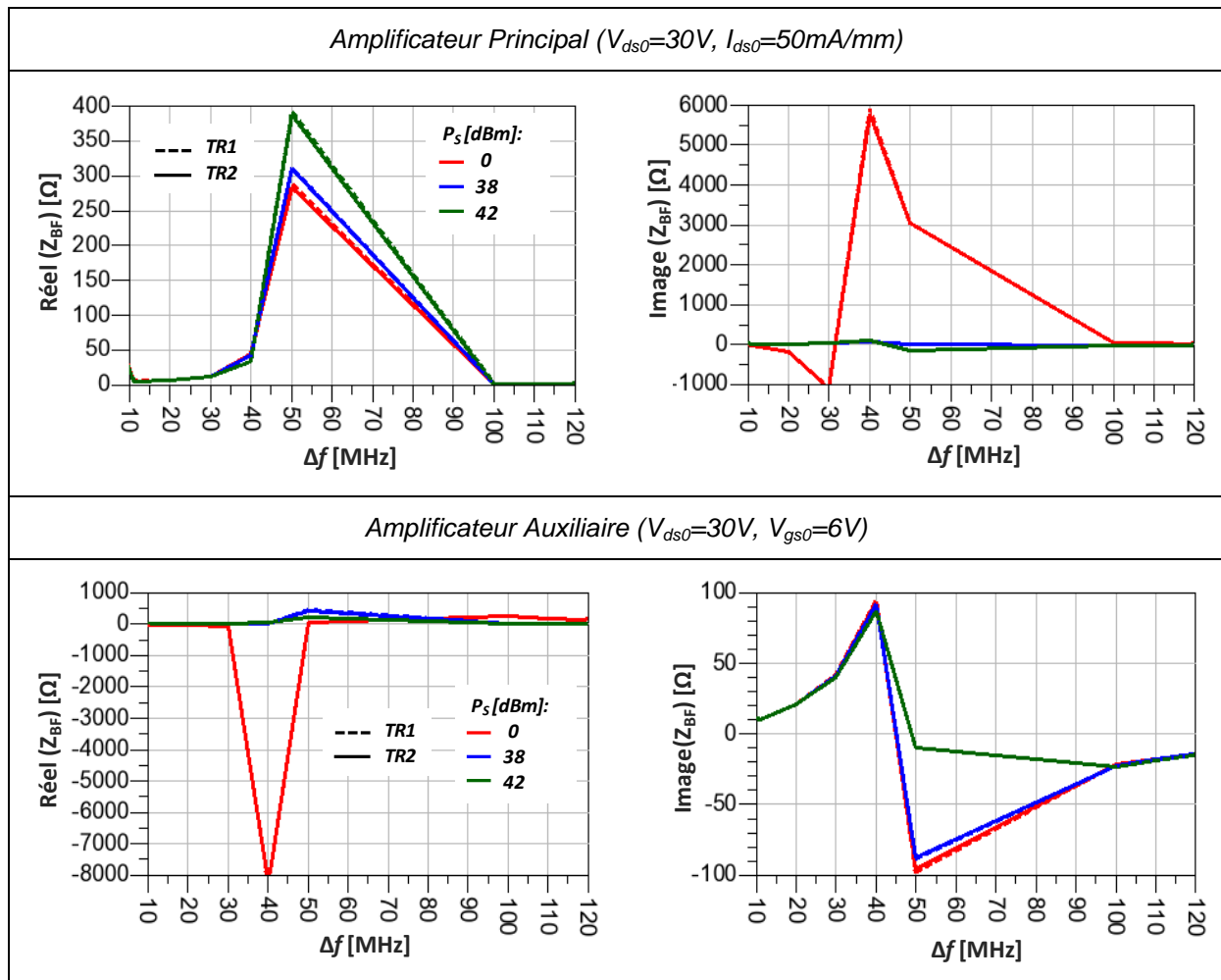


Figure VI.24 : Synoptique de la schématique de la simulation 2 tons CW.

Les variations des impédances présentées aux accès drain des transistors des deux amplificateurs, principal (plan $\pi_{TR,P}$) et auxiliaire (plan $\pi_{TR,A}$) en fonction de la fréquences BF

(en bande de base) et pour différents niveaux de puissance de sortie sont représentées sur les figures du tableau VI.5.

Tableau VI.5 : Variations des impédances de charge vues par les transistors (principaux et auxiliaires) sur leur accès drain en bande de base.



D'après ces résultats, il devient évident que les impédances vues par l'ensemble des transistors à leur accès drain en basses fréquence (aux voisinages de la bande de base) varient de manière considérable et particulièrement à la fréquence 40MHz (résonance).

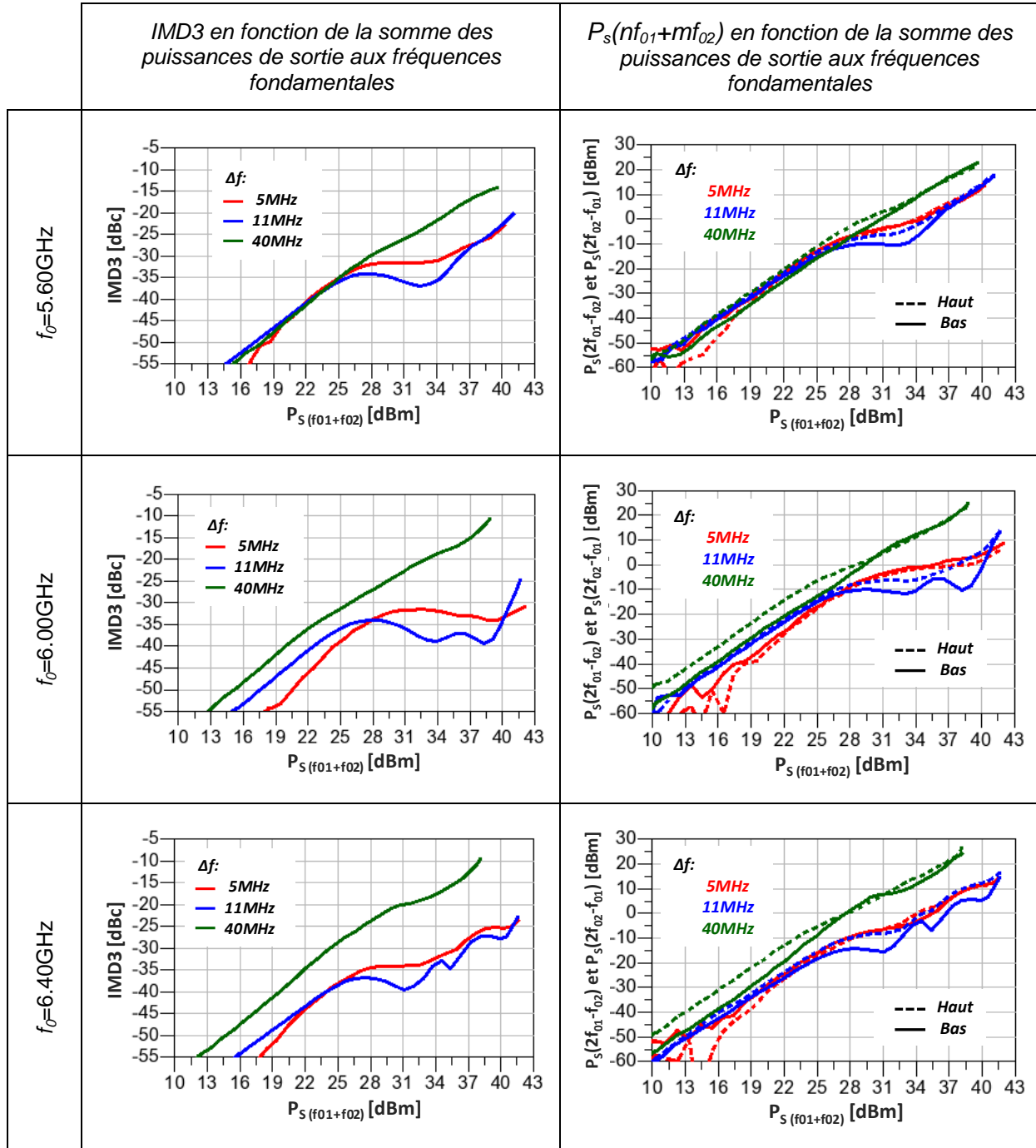
Dans l'optique de vérifier les résultats de ces simulations, des caractérisations 2-tons supplémentaire de l'APD-SE ont été réalisées pour 3 configurations où seul l'écart Δf en fréquence entre les raies fondamentales varie autour des fréquences centrale $f_{c1}=5.60GHz$, $f_{c2}=6.00GHz$ et $f_{c3}=6.40GHz$:

- Configuration1 : $\Delta f= 5MHz$,
- Configuration2 : $\Delta f= 11MHz$,
- Configuration3 : $\Delta f= 40MHz$.

L'amplificateur principal est polarisé en classe AB/B : $V_{ds0}=30V, I_{ds0}=50mA/mm$ et l'amplificateur auxiliaire polarisé en classe C : $V_{ds0}=30V, V_{gs0}=-6V$.

Les figures données sur le tableau VI.6 comparent les niveaux des puissances de sorties à toutes les fréquences $P_s(nf_{01}+mf_{02})$ et les niveaux de puissance d'IMD3 et mesurés pour les trois configurations.

Tableau VI.6 : IMD3 et $P_s(nf_{01}+mf_{02})$ mesurés de l'APD-SE pour $\Delta f = 5\text{MHz}$, 11MHz et 40MHz autour des fréquences centrales $f_{c1}=5.60\text{GHz}$, $f_{c2}=6.00\text{GHz}$ et $f_{c3}=6.40\text{GHz}$. Amplificateur principal ($V_{ds0}=30\text{V}$, $I_{ds0}=50\text{mA/mm}$) et Amplificateur auxiliaire ($V_{ds0}=30\text{V}$, $V_{gs0}=-6\text{V}$).



Les résultats de mesures confortent bien les résultats de simulation. Ils confirment que les impédances basses fréquences vues par les transistors de chaque amplificateur (principal et auxiliaire) présentent des parties réelles et des parties imaginaires variables en fonction de la fréquence du signal en bande de base.

VI.2.2. APD à deux entrées RF (APD-DE).

Afin de pouvoir caractériser l'APD-DE au sein du laboratoire des caractérisations d'UMS, un nouveau banc de mesure de puissance à deux excitations RF synchrones a été développé.

Ce banc de mesure est fondé sur l'utilisation d'un analyseur de réseaux microondes PNA-X (N5245A – 10MHz~50GHz) de Keysight[®]. Ce PNA-X permet de générer deux signaux RF distincts, synchrones, de même fréquence, d'amplitude relative et de phase relative ajustables. Avec ses options et ses configurations, cet instrument de mesure permet d'explorer les diverses potentialités de l'architecture Doherty.

VI.2.2.1. Synoptique de banc de mesure de puissance à deux voies d'excitation RF.

Le synoptique de ce banc de mesure à deux entrées RF est donné sur la figure VI.25 :

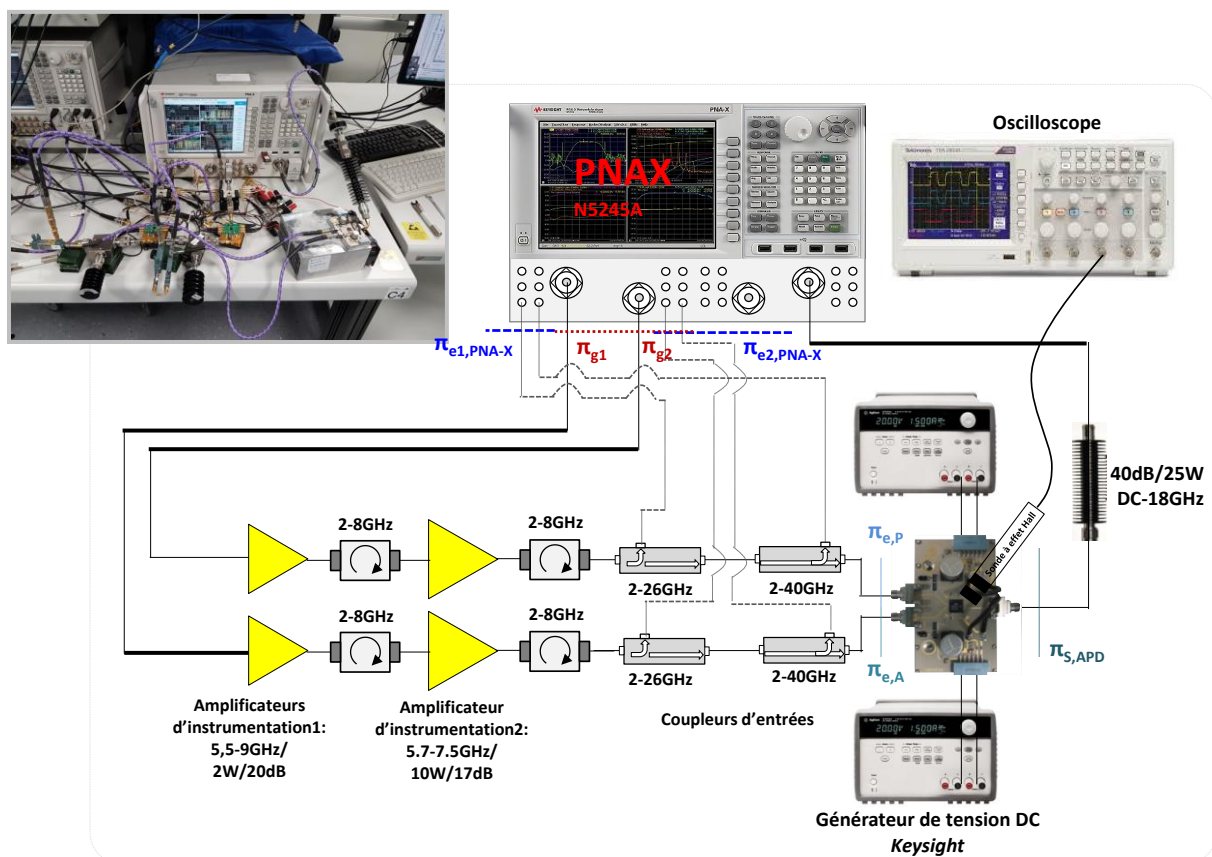


Figure VI.25 : Synoptique du nouveau banc de mesure de puissance à deux excitations RF synchrones, de même fréquence, d'amplitude et de déphasage contrôlés.

VI.2.2.2. Procédure d'étalonnage du banc de mesure à deux voies RF.

Deux types d'étalonnage sont réalisés :

- Etalonnage en puissance : il repose sur le même raisonnement que celui employé pour l'étalonnage en puissance du banc de mesure fort signal CW d'UMS. Il est réalisé en deux temps :
 - Etalonnage en puissance aux deux entrées de l'APD :

L'étalonnage absolu dans les plans d'entrée de l'APD ($\pi_{e,P}$ et $\pi_{e,A}$) consiste, à l'aide d'une sonde de puissance de référence reliée au PNA-X, à évaluer :

- Les pertes $\Delta P_{gene,P}(f)$ entre les plans π_{g1} et $\pi_{e,P}$,
- Les pertes $\Delta P_{gene,A}(f)$ entre les plans π_{g2} et $\pi_{e,A}$,
- Les pertes $\Delta P_{e,P}(f)$ entre les plans π_{g1} et $\pi_{e1,PNA-X}$,
- Les pertes $\Delta P_{e,A}(f)$ entre les plans π_{g2} et $\pi_{e2,PNA-X}$.

La connaissance de $\Delta P_{gene,P}(f)$, $\Delta P_{gene,A}(f)$, $\Delta P_{e,P}(f)$ et $\Delta P_{e,A}(f)$ permet de déduire précisément la puissance disponible $P_{e,P}(f)$ et $P_{e,A}(f)$ à l'entrée de l'APD.

- o Etalonnage en puissance à la sortie de l'APD :

Cette procédure consiste à connecter un accès d'entrée RF (plan $\pi_{e,P}$ ou plan $\pi_{e,A}$) à l'accès de sortie RF (plan $\pi_{s,PNA-X}$) à l'aide de la ligne de transmission « Thru » dont la matrice $[S_{Thru}]$ est connue. L'étalonnage absolu dans le plan de sortie de l'APD ($\pi_{s,APD}$) consiste à évaluer les pertes $\Delta P_s(f)$ entre les plans $\pi_{s,APD}$ et $\pi_{s,PNA-X}$ en tenant compte de $[S_{Thru}]$ et du fait qu'en connexion directe : $P_e(f) = P_s(f)$. La connaissance de $\Delta P_s(f)$ permet de calculer les puissances $P_s(f)$ à la sortie de l'APD.

- Etalonnage en réflexion sur les deux voies d'entrée (accès SMA) de l'ADP-DE :

Cette procédure repose sur un étalonnage relatif permettant de prendre en compte tous les paramètres d'erreurs relatifs à la mesure de rapports d'ondes à la même fréquence. Cet étalonnage est basé sur l'utilisation des standards SOL (Short, Open, Load,) et se compose de deux étapes :

- o La première étape consiste à mesurer les ondes de puissance incidente et réfléchie dans le plan $\pi_{e1,PNA-X}$ en connectant successivement les standards discrets SOL (Short, Open, Load) dans le plan $\pi_{e,P}$ du banc de mesure.
- o La deuxième étape consiste à effectuer les mêmes mesures des ondes de tensions incidente et réfléchie dans le plan $\pi_{e2,PNA-X}$ des trois standards SOL dans le plan $\pi_{e,A}$ du banc de mesure.
- o L'option N5245A-088 est installée sur le PNA-X et permet le contrôle du déphasage entre les deux plans d'entrée RF (plan $\pi_{e,P}$ et plan $\pi_{e,A}$) de l'ADP-DE sans en connaître la valeur exacte. Effectivement, le déphasage ($\Delta\varphi_{RF_interne}$) des deux sources RF internes du PNA-X n'est pas directement accessible sur le PNA-X. Seule, la phase $\Delta\varphi_{mes}$ du rapport des ondes de puissance mesurées dans les plans $\pi_{e1,PNA-X}$ et $\pi_{e2,PNA-X}$ est modifiable. $\Delta\varphi_{mes}$ et $\Delta\varphi_{RF_interne}$ sont toutefois liés par l'équation suivante : $\Delta\varphi_{mes} = \Delta\varphi_{RF_interne} + \Delta\theta$ ($\Delta\theta$ est inconnu) en supposant que les chaînes de génération ($\pi_{e,A}/\pi_{g2}$ et $\pi_{e,P}/\pi_{g1}$) et de réception des signaux d'entrée ($\pi_{e,A}/\pi_{e2,PNA-X}$ et $\pi_{e,P}/\pi_{e1,PNA-X}$) sont linéaires et à temps de propagation de groupe constants. La valeur exacte du déphasage $\Delta\varphi_{APD}$ entre les plans $\pi_{e,P}$ et $\pi_{e,A}$ est égale $\Delta\varphi_{APD} = \Delta\varphi_{mes} + \Delta\theta'$ ($\Delta\theta'$ est inconnu). $\Delta\varphi_{mes}$ est modifiable mais, comme $\Delta\theta'$ n'est pas connu, la valeur exacte du déphasage $\Delta\varphi_{APD}$ entre

les plans $\pi_{e,P}$ et $\pi_{e,A}$ reste inconnue dans ce banc de test. En revanche, si $\Delta\varphi_{mes}$ varie entre 0° et 360° alors $\Delta\varphi_{APD}$ varie aussi entre $\Delta\theta'$ et $\Delta\theta'+360^\circ$.

VI.2.2.3. Résultats expérimentaux.

Une première caractérisation consiste donc à chercher la phase relative optimale $\Delta\varphi_{APD_opt}$ entre les deux voies d'excitation RF permettant une meilleure recombinaison des signaux délivrés par les deux amplificateurs (principal et auxiliaire) dans la charge externe. Cette caractérisation est réalisée en faisant varier $\Delta\varphi_{mes}$ pour différents niveaux de puissance d'entrée ($P_e(f) = P_{e,P}(f) + P_{e,A}(f)$) et à mesurer puis tracer la puissance de sortie de l'APD-DE du déphasage ($\Delta\varphi_{mes}$) lorsque les signaux d'excitation des deux voies (principale et auxiliaire) ont une amplitude égale ($P_{e,P}(f) = P_{e,A}(f)$).

La figure VI.26 présente les résultats de cette manipulation aux fréquences fondamentales $f_{01}=5.50\text{GHz}$, $f_{02}=6.00\text{GHz}$ et $f_{03}=6.50\text{GHz}$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).

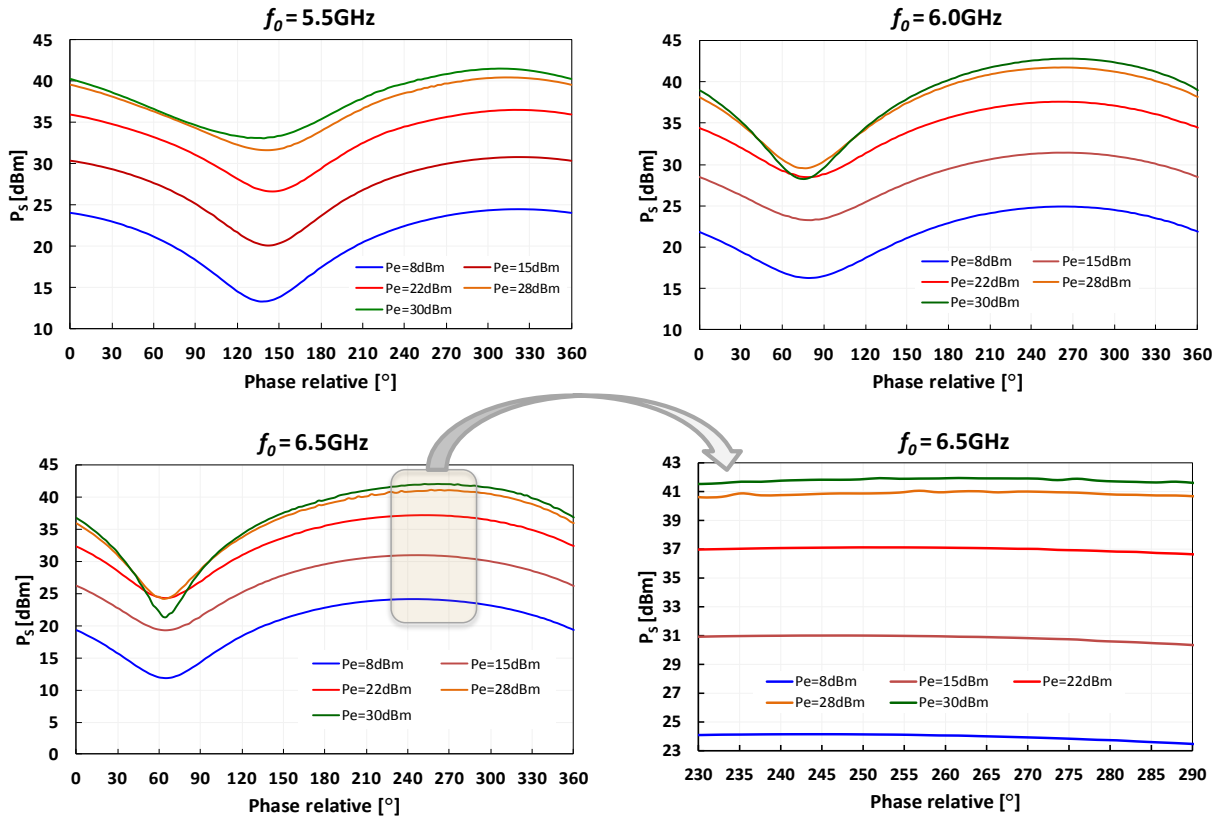


Figure VI.26 : Puissance de sortie de l'APD-DE en fonction de $\Delta\varphi_{mes}$. L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30\text{V}$, $I_{ds0}=25\text{mA/mm}$) et l'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30\text{V}$, $V_{gs0}=-6.50\text{V}$).

Aux différentes fréquences de la bande passante (f_{01} , f_{02} , f_{03}) l'optimum de différence de phase $\Delta\varphi_{mes_opt}$ est proche de $-\pi/2$.

Une fois que le déphasage $\Delta\varphi_{mes_opt}$ conduisant à $\Delta\varphi_{APD_opt}$ est déterminé, une caractérisation des principales performances en puissance et en rendement de l'APD-DE est réalisée pour cette valeur de $\Delta\varphi_{mes_opt}$.

L'APD-DE a alors été testé dans trois configurations distinctes, dans lesquelles seuls changent :

- Les niveaux d'excitation relatifs de chaque étage.
- Les points de polarisation de chaque étage (principal et auxiliaire).

Les trois configurations suivantes de l'APD-DE ont été testées :

- La première configuration est nommée « AP classe AB ». Il s'agit simplement de la mise en parallèle de deux amplificateurs classiques associés par une ligne $\lambda/4$:
 - Les deux amplificateurs (principal et auxiliaire) fonctionnent en classe AB au même point de polarisation,
 - Les puissances d'entrée des deux amplificateurs $P_{e,P}(f)$ et $P_{e,A}(f)$ dans les plans $\pi_{e,P}$ et $\pi_{e,A}$ sont fixées à des valeurs identiques,
 - Le déphasage $\Delta\varphi_{mes_opt}$ est fixé à $-\pi/2$.
- La deuxième configuration est appelée « APD-SE » : les deux amplificateurs (principal et auxiliaire) fonctionnent comme dans une architecture classique.
 - L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$) et,
 - L'amplificateur auxiliaire est polarisé en classe C ($V_{ds0}=30V$, $V_{gs0}=-6.50V$),
 - Les puissances d'entrée des deux amplificateurs $P_{e,P}(f)$ et $P_{e,A}(f)$ dans les plans $\pi_{e,P}$ et $\pi_{e,A}$ sont fixées à des valeurs identiques,
 - Le déphasage $\Delta\varphi_{mes_opt}$ est fixé à $-\pi/2$.
- La troisième configuration est appelée « APD-DE config.1 » : les deux amplificateurs (principal et auxiliaire) fonctionnent différemment.
 - L'amplificateur principal est polarisé en classe AB/B ($V_{ds0}=30V$, $I_{ds0}=25mA/mm$).
 - L'amplificateur auxiliaire est polarisé également en classe AB/B très profonde ($V_{ds0}=30V$, $I_{ds0}=5mA/mm$).
- Les puissances d'entrée des deux amplificateurs $P_{e,P}(f)$ et $P_{e,A}(f)$ dans les plans $\pi_{e,P}$ et $\pi_{e,A}$ sont données sur la figure VI.27. La puissance d'excitation de l'amplificateur principal $P_{e,P}(f)$ augmente seule jusqu'au point de transition (α) où l'amplificateur auxiliaire rentre en jeu et commence à délivrer de la puissance et fait varier l'impédance de charge vue par l'amplificateur principal à son accès drain. Dans la suite, cette variation différente des puissances sera appelée « préformation des signaux » ou « signaux préformés ».

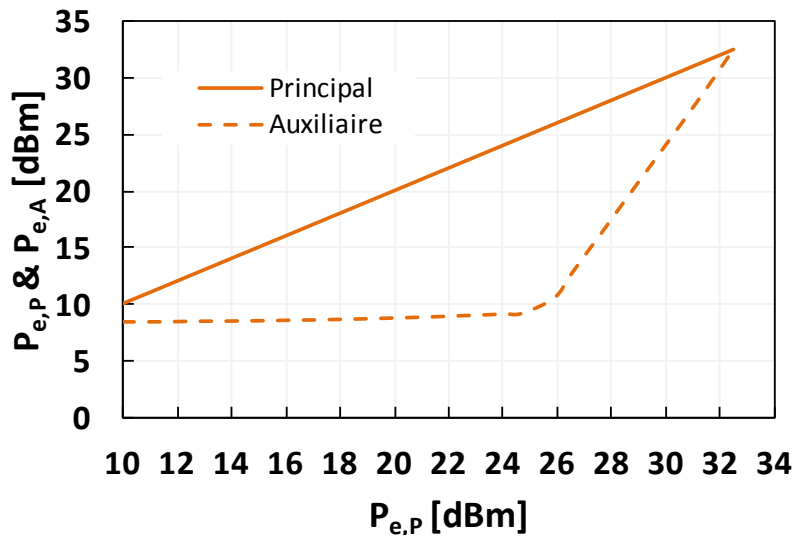


Figure VI.27 : Puissances d'entrée des deux amplificateurs $P_{e,P}(f)$ et $P_{e,A}(f)$ dans les plans $\pi_{e,P}$ et $\pi_{e,A}$. Principal (trait plein) et Auxiliaire (trait pointillé).

- Le déphasage $\Delta\varphi_{mes_opt}$ est fixé à $-\pi/2$.

Les résultats de rendement en fonction de la puissance de sortie de l'APD-DE dans les trois configurations sont donnés sur la figure VI.28.

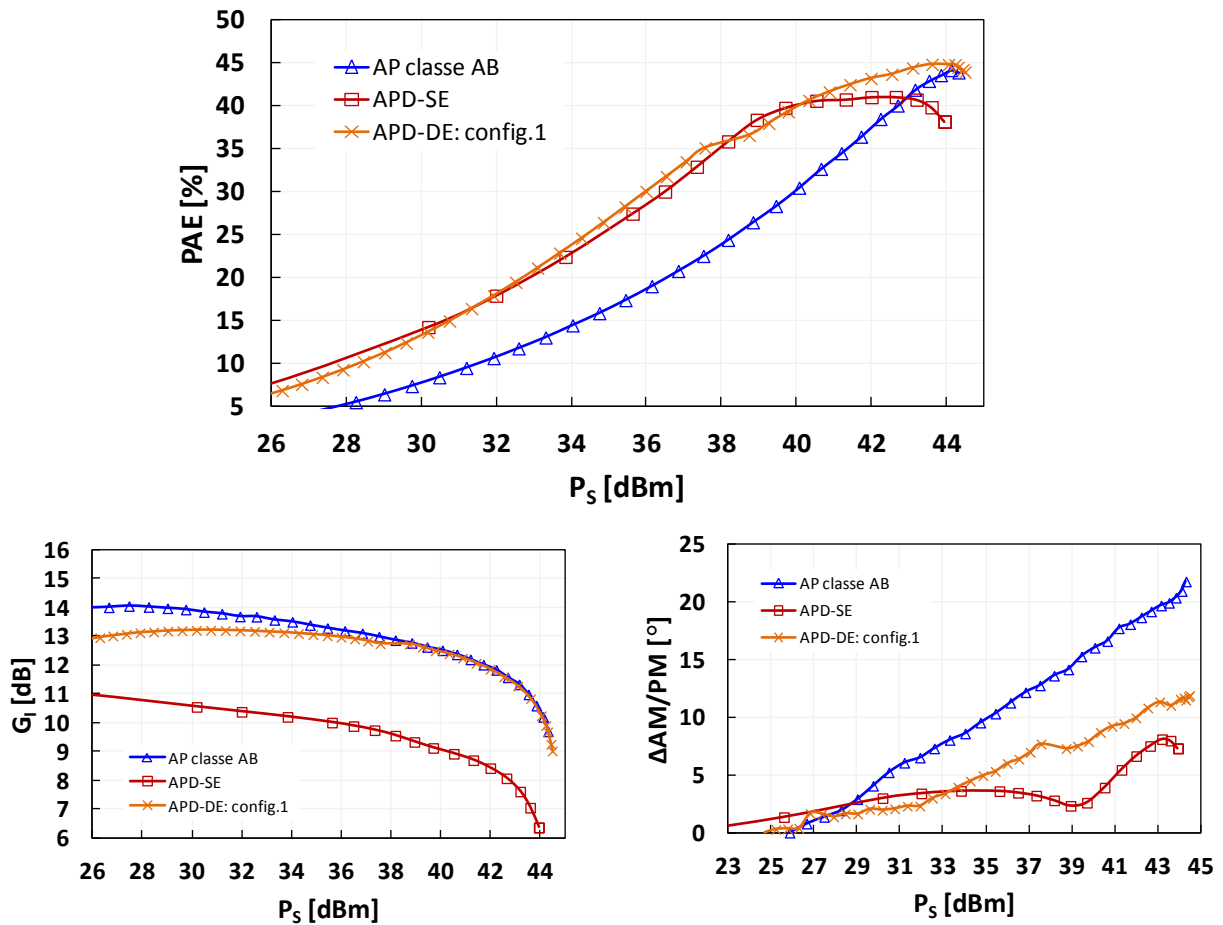


Figure VI.28: Principales performances en puissance et en rendement (PAE , G_i et $\Delta AM/PM$) des trois configurations.

Ces résultats de mesures montrent que :

- La PAE de l'APD-DE est équivalente à celle de l'APD-SE avec une amélioration de 5 points à $P_{S,MAX}$,
- Le gain d'insertion (G_I) de l'APD-DE est meilleur que celui de l'APD-SE et quasi-équivalent à celui de l'AP classe AB,
- Le profil de la conversion de phase ($\Delta AM/PM$) de l'APD-DE présente moins d'ondulations que celui de l'APD-DE.

VI.2.2.4. Fonctionnement optimal des deux amplificateurs (principal et auxiliaire).

A OBO_{MAX} , l'excursion de tension de drain de l'amplificateur principal $v_{ds}(t)$ est maximale. Par ailleurs, la puissance délivrée par l'amplificateur principal est relative à l'excursion de la tension aux bornes de la charge de fermeture.

Afin d'élargir la plage de recul en puissance de sortie, il est possible de faire baisser la tension de polarisation de drain de l'amplificateur principal et ainsi d'atteindre le maximum de PAE pour des puissances de sortie inférieures à $P_{S,OBO}$. Cependant, le fait de diminuer $V_{ds0,P}$ et par conséquent $P_{S,OBO}$ réduit la puissance de sortie maximale de l'APD. Pour compenser cette perte de puissance de sortie il est possible d'augmenter la puissance de sortie de l'amplificateur auxiliaire. Ainsi, pour une même puissance de sortie maximale de l'APD, une plage de recul en puissance plus large est obtenue. Le principe en est illustré sur la figure VI.29.

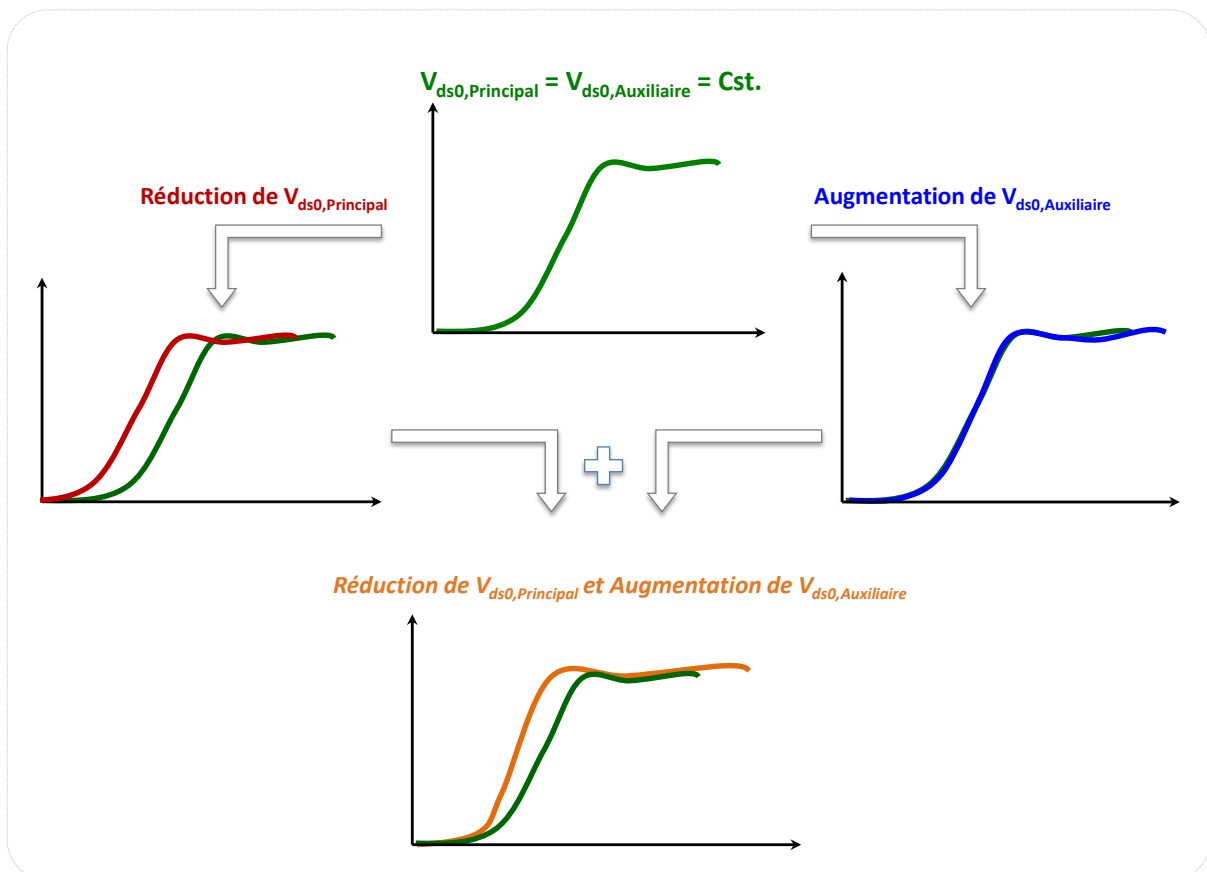


Figure VI.29: Principe qualitatif d'élargissement de la plage d'OBO.

L'APD-DE a été caractérisé à la fréquence fondamentale $f_0=6.20\text{GHz}$ pour cinq configurations distinctes : les trois configurations précédentes du paragraphe précédent et

deux nouvelles pour lesquelles les points de polarisation de l'amplificateur principal et de l'amplificateur auxiliaire sont modifiés comme indiqué dans le tableau VI.7.

Tableau VI.7 : Configurations testées de l'APD-DE.

		AP classe AB	APD-SE	APD-DE config.1	APD-DE config.2	APD-DE config.3
Principal	$I_{DS0,P}$	Classe AB/B	Classe AB/B	Classe AB/B	Classe AB/B	Classe AB/B
	$I_{ds0,P}$ [mA/mm]	100	50	25	25	25
	$V_{ds0,P}$ [V]	30	30	30	25	22
Auxiliaire	$I_{DS0,A}$	Classe AB/B	Classe C	Classe AB/B	Classe AB/B	Classe AB/B
	$I_{ds0,A}$ [mA/mm]	100	0	5	5	5
	$V_{ds0,A}$ [V]	30	30	30	32	32
Ratio	$ P_{e,A} / P_{e,P} $	1	> 1	Signaux préformés	Signaux préformés	Signaux préformés
	$V_{ds0,A}/V_{ds0,P}$	1	1	1	> 1	> 1
	$I_{ds0,A}/I_{ds0,P}$	1	0	~ 1	~ 1	~ 1
OBO [dB]		0	< 6	< 6	> 6	> 6

Les amplitudes deux signaux d'excitation des deux amplificateurs (principal et auxiliaire) des configurations APD-DE config.1, APD-DE config.2 et APD-DE config.3 sont données sur la figure VI.30.

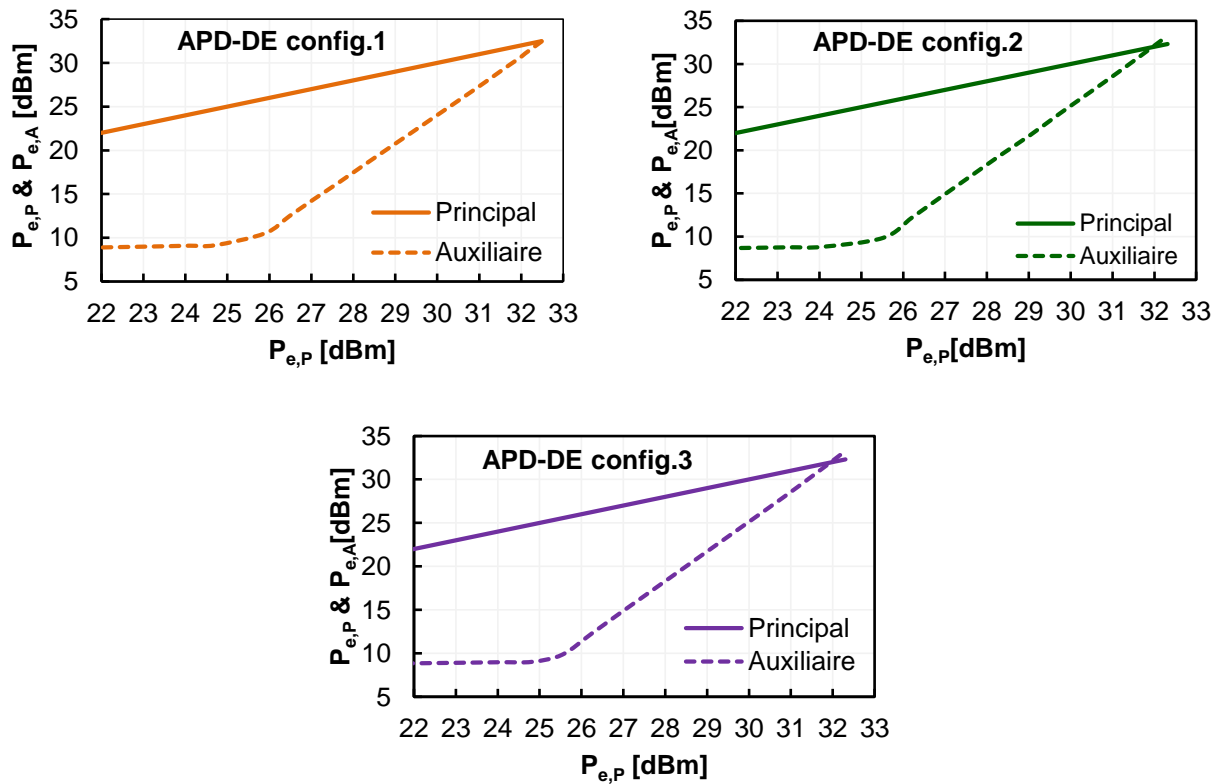


Figure VI.30 : Amplitudes des signaux d'excitation. Principal (traits pleins) et Auxiliaire (traits pointillés).

Pour toutes les configurations testées présentées dans le tableau précédent, le déphasage $\Delta\varphi_{mes_opt}$ est fixé à $-\pi/2$.

La figure VI.31 compare les principales performances en puissance et en rendement des cinq configurations de l'APD-DE.

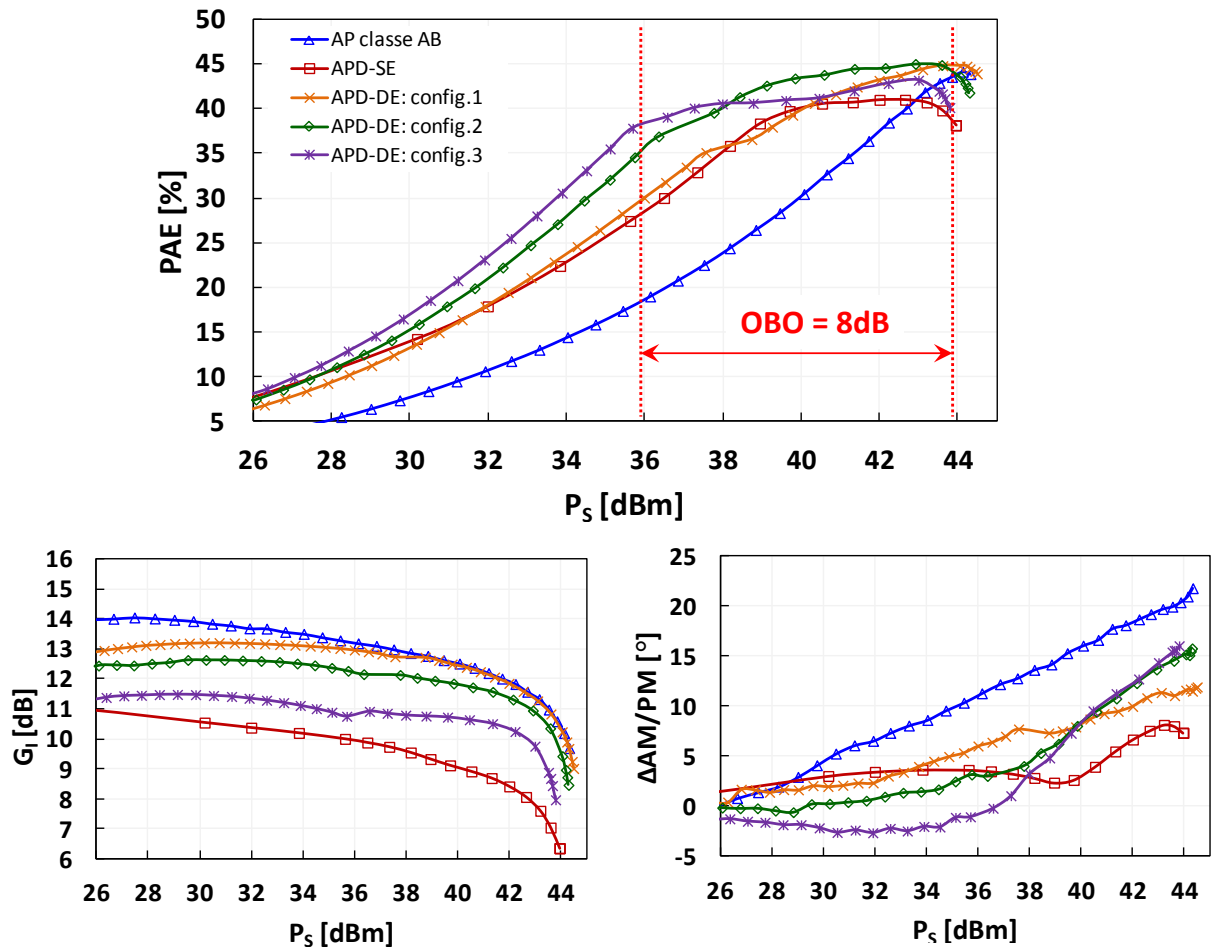


Figure VI.31 : Principales performances en puissance et en rendement mesurées de l'APD-DE (5 configurations).

D'après ces résultats, il est possible de conclure que la préformation des signaux d'entrée des deux amplificateurs (principal et auxiliaire) ainsi que le choix de leurs points de polarisation relatifs permettent d'améliorer nettement les performances en puissance et en rendement de l'ADP-DE indépendamment des tailles relatives des transistors le constituant.

La dissymétrie des tensions de polarisation de drain des deux amplificateurs (principal et auxiliaire) a permis d'améliorer la PAE sur une très large plage d'OBO. A 8dB de recul en puissance de sortie la PAE de l'APD-DE (config.3) est de l'ordre de 37% alors que celle de l'APD-DE (config.1) est de l'ordre de 28%.

La polarisation de l'amplificateur auxiliaire en classe AB/B associée à la préformation des signaux d'entrée a permis d'améliorer le G_1 de l'APD-DE ainsi que le $\Delta AM/PM$.

VI.3. Conclusion.

Ce chapitre a présenté les résultats de mesures réalisés sur les amplificateurs de puissance de type Doherty conçus au cours de ce travail de doctorat.

Pour être complet sur ces résultats, il est intéressant de les comparer à ceux publiés jusqu'à présent.

Le tableau VI.8 présente l'état de l'art des Amplificateurs de Puissance Doherty en nitrure de gallium. Des APD fondés sur l'utilisation des transistors HEMT GaN 0.25 μ m

fonctionnant en bande C ont été intentionnellement choisis pour la comparaison avec les amplificateurs APD-SE et APD-DE réalisés lors de ces travaux de thèse.

Tableau VI.8: Comparaison de l'APD-SE et de l'APD-DE avec d'autres APD de l'état de l'art mondial fondés sur l'utilisation de la technologie HEMT GaN 0.25 μ m.

	[VI.8]	[VI.9]	[VI.10]	[VI.11]	APD-SE	APD-DE Config.3
Année	2013	2014	2016	2017	2017	2017
Fréquence [GHz]	6.65-7.35	5.8-8.8	6.50	6.7-7.3	5.50-6.50	5.50-6.50
$G_{l, \text{bas niveau}}$ [dB]	10	7.5-10	18	15	11	12.5
$P_{S, \text{MAX}}$ [dBm]	38	36	42	38	43.5	44
PAE @ OBO=6dB [%]	41 ^{a,b}	31-39	24 ^a	40	32-36	42
PAE @ OBO=9dB [%]	40 ^{a,b}	30-36	21 ^a	32	23	35
Surface puce GaN [mm ²]	22.08	8.4	4.1	9	2.256	2.256
Encapsulation	Puce nue	Puce nue	QFN 9x9	Puce nue	QFN 8x8	QFN 8x8

- L'indice (^a) indique que la valeur renseignée sur le tableau est lue directement sur le graphique.
- L'indice (^b) indique que la valeur de la PAE n'a pas été renseignée sur l'article et que la valeur figurant sur le tableau IV.8 correspond au rendement de drain (η).

Il est difficile de comparer d'autres conceptions d'APD car les contraintes liées à l'environnement sont extrêmement différentes.

Forcé est aussi de constater que dans la littérature il n'existe qu'un seul APD réalisé en technologie Q-MMIC et encapsulé en boîtier QFN [VI.10].

Références bibliographiques Chapitre VI

- [VI.1] D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt and J. Pastalan, "A Generalized Memory Polynomial Model for Digital Predistortion of RF Power Amplifiers," in *IEEE Transactions on Signal Processing*, vol. 54, no. 10, pp. 3852-3860, Oct. 2006.
- [VI.2] H. Cao, A. Soltani Tehrani, C. Fager, T. Eriksson and H. Zirath, "Dual-input nonlinear modeling for I/Q modulator distortion compensation," *IEEE Radio and Wireless Symposium*, San Diego, CA, 2009, pp. 39-42.
- [VI.3] J. Kim and K. Konstantinou, "Digital predistortion of wideband signals based on power amplifier model with memory," in *Electronics Letters*, vol. 37, no. 23, pp. 1417-1418, 8 Nov 2001.
- [VI.4] A. E. Abdelrahman, O. Hammi, A. K. Kwan, A. Zerguine and F. M. Ghannouchi, "A Novel Weighted Memory Polynomial for Behavioral Modeling and Digital Predistortion of Nonlinear Wireless Transmitters," in *IEEE Transactions on Industrial Electronics*, vol. 63, no. 3, pp. 1745-1753, March 2016.
- [VI.5] K. G. Gard, H. M. Gutierrez, M. B. Steer, "Characterization of spectral regrowth in microwave amplifiers based on the nonlinear transformation of a complex gaussian process," *IEEE MTT Transactions*, vol. 47, no. 7, July 1999, pp. 1059-1069.
- [VI.6] P. Gumm, "Measurement of 8-VSB DTV transmitter emissions," *IEEE Transactions on Broadcasting*, vol. 45, no. 2, pp. 234-242, Jun. 1999.
- [VI.7] M. Villegas "Radiocommunications numériques 2: Conception de circuits intégrés RF et microondes," Edition DUNOD 2002. Pages 143-158.
- [VI.8] V. Camarchia, J. Fang, J. Moreno Rubio, M. Pirola and R. Quaglia, "7 GHz MMIC GaN Doherty Power Amplifier With 47% Efficiency at 7 dB Output Back-Off," in *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 1, pp. 34-36, Jan. 2013.
- [VI.9] D. Gustafsson, J. C. Cahuana, D. Kuylenstierna, I. Angelov and C. Fager, "A GaN MMIC Modified Doherty PA With Large Bandwidth and Reconfigurable Efficiency," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 12, pp. 3006-3016, Dec. 2014.
- [VI.10] D. Gustafsson, K. Andersson, A. Leidenhed, M. Malmstrom, A. Rhodin and T. Wegeland, "A packaged hybrid doherty PA for microwave links," *European Microwave Conference*, London, 2016, pp. 1437-1440.
- [VI.11] R. Giofré and P. Colantonio, "A High Efficiency and Low Distortion 6 W GaN MMIC Doherty Amplifier for 7 GHz Radio Links," *Microwave and Wireless Components Letters*, vol. 27, no. 1, pp. 70-72, Jan. 2017.

Conclusion générale et perspectives

La gestion conjointe du rendement et de la linéarité des amplificateurs de puissance à enveloppe variable constitue aujourd'hui un pôle d'intérêt pour les industriels des équipements de radiocommunications (« télécoms »). Cet intérêt a ouvert la voie à plusieurs sujets de recherche et d'investigation.

Le travail présenté dans ce manuscrit, s'inscrit dans le cadre d'un contrat CIFRE avec la société UMS. Il est centré sur l'étude et la mise en œuvre d'une nouvelle méthode de conception d'Amplificateur de Puissance Doherty à haut rendement fondé sur l'utilisation de la technologie GaN associée à l'approche Quasi-MMIC ainsi qu'à des technologies d'encapsulation plastique offrant une meilleure maîtrise des comportements thermiques et une grande aisance de manipulation des dispositifs.

La technique d'amplification Doherty à haut rendement est particulièrement bien adaptée lorsqu'elle est appliquée aux signaux utilisés par les systèmes de télécommunications actuels ayant un PAPR élevé et une distribution statistique d'enveloppe centrée en-deçà de la valeur crête d'enveloppe. Cette technique se distingue par sa simplicité, sa robustesse et son efficacité.

Outre la recherche concernant l'amplification à haut rendement sous contrainte de linéarité, l'idée directrice de ces travaux a été de proposer une solution à l'égard du besoin accru de flexibilité en puissance et de robustesse à coût et cycle de fabrication réduits. Ces derniers critères permettent de répondre aux exigences d'industrialisation actuelles des équipementiers « télécoms » en termes de performances énergétiques.

Ces travaux sont fondés sur l'utilisation de transistors HEMT AlGaIn/GaN qui est une technologie à matériau grand gap particulièrement bien adaptée pour l'amplification de puissance. Grâce à la largeur de sa bande interdite, le GaN permet d'obtenir des composants avec des densités de courant élevées et des tensions de claquage importantes. Ces composants semblent apporter une solution viable aux demandes croissantes en puissance concernant les amplificateurs hautes fréquences utilisés dans les télécommunications. Pour répondre aux exigences d'intégration, de coût et des cycles de fabrication : l'utilisation de la nouvelle technologie Quasi-MMIC (initiée par UMS il y a quelques années) associée à la technique d'encapsulation en boîtier constitue une avancée très prometteuse pour les nouvelles générations d'amplificateurs de très fortes puissances. L'association de ces deux technologies offre des performances en rendement et en puissance ainsi qu'une intégration proches de celles obtenues avec la technologie MMIC. En revanche, les coûts et les cycles de fabrication sont beaucoup plus attractifs pour la technologie Quasi-MMIC. Le premier chapitre de ce manuscrit a présenté une synthèse de ces technologies et une justification de leur choix.

Parce que l'architecture Doherty permet une gestion conjointe du gain et du rendement pour de larges plages de puissances de recul, le second chapitre a été consacré aux rappels des définitions fondamentales :

- Des principales caractéristiques des signaux auxquels un amplificateur peut être soumis dans une transmission de données pour des applications de radiocommunications.

- Des différentes grandeurs caractéristiques d'un amplificateur de puissance pour différents types de signaux d'excitation (signaux CW et modulés),
- Des principaux types de distorsions engendrées par les composants actifs non linéaires.

La conception de l'architecture Doherty en hyperfréquence et plus particulièrement en bande C nécessite d'en comprendre le principe de fonctionnement et d'en connaître l'état de l'art avec les différentes déclinaisons des structures courantes qui ont été publiées. Le chapitre 3 répond à ces objectifs en présentant l'analyse des variations théoriques des impédances de charges des deux amplificateurs de l'architecture Doherty.

Le chapitre suivant est consacré à la description détaillée de la méthode de conception de l'architecture Doherty. La détermination du point de transition optimal « α » nécessite la visualisation des formes d'ondes de tension et courants aux bornes des sources de courant non linéaires. Cette visualisation impose la détermination d'un modèle électrique le plus précis possible des transistors GaN utilisés lors de la conception. Plusieurs campagnes de mesures ont donc permis l'extraction d'un modèle électrique des transistors. Elles ont aussi mis en évidence quelques effets de pièges et conduit à la validation du modèle électrique non-linéaire qui a ensuite été utilisé pour la conception. Au cours de ces travaux expérimentaux, une campagne de mesures innovantes a été mise en œuvre : elle est fondée sur une étude des formes d'onde des tensions et courants aux accès des transistors GH25 pour obtenir une adaptation d'impédance de charge sur de larges plages de recul en puissance de sortie. Ces mesures temporelles aux accès extrinsèques des composants hyperfréquences constituent une caractérisation fonctionnelle à variation de charge (« Load-pull ») spécifique pour l'application Doherty. Elles ont permis d'extraire un modèle électrique simplifié non linéaire du transistor GH25 à son accès drain. Ce modèle permet selon la largeur de l'OBO imposée par le cahier des charges de déduire la taille du transistor auxiliaire par rapport à celle du transistor principal. Il permet aussi d'extraire la constante de temps de sortie au point d'OBO maximum permettant d'estimer la largeur de la bande passante maximale atteignable par l'amplificateur Doherty final.

Le chapitre 5 présente une application de la méthode décrite dans le chapitre précédent pour concevoir des architectures Doherty conventionnelle dans la gamme des 20 Watts à haut rendement, à 6GHz en technologie Q-MMIC encapsulée en boîtier plastique QFN. Deux architectures ont été conçues : la première à une seule entrée RF (APD-SE) et la seconde à deux entrées RF (APD-DE). Selon la méthode théorique précédente concernant les tailles des transistors pour répondre au mieux au cahier des charges, les barrettes de transistors « 2XTZ1S08X275 » avec 8 transistors (8 doigts de grille de 275 μ m de développement) ont été choisies, caractérisées et modélisées. Puis la méthode expérimentale d'étude des variations des impédances de charge et de source orientée Doherty décrite précédemment a été appliquée sur les modèles des barrettes. Cette étude a aussi été complétée par la détermination des zones d'immittances de charge à éviter aux fréquences harmoniques 2 et 3 pour optimiser les performances des amplificateurs (principal et auxiliaire). L'application de la méthode théorique de détermination des limitations de bande passante des barrettes des deux étages a ensuite été appliquée (théorème de Wheeler-Lopez). Une bande passante d'adaptation de 1.62 GHz maximale autour de la fréquence centrale $f_0 = 6\text{GHz}$ a été obtenue pour deux éléments d'adaptation de sortie idéaux (circuit passif de type Tchebycheff), pour un module de coefficient de réflexion de sortie minimum acceptable égal à 0.2 et avec prise en compte des fils d'interconnexion et du combineur de sortie en technologie Quasi-MMIC.

L'utilisation de cette technologie qui nécessite des fils d'interconnexion a aussi conduit à introduire des lignes d'offset qui permettent de réaliser une transformation parfaite entre deux résistances (différentes pour chaque amplificateur) tout au long du back-off.

Les synthèses des deux circuits d'entrée (APD-SE et APD-DE) et de sortie ont ensuite été réalisées à l'aide de simulations conjointes électriques/électromagnétiques 2.5D et 3D. Ces synthèses ont intégré la conception des transitions entre les barrettes de puissances GH25 et les circuits d'adaptation ULRC pour garantir le maintien des performances en puissance et en rendement sur une bande passante de 1GHz autour de la fréquence centrale de travail de 6GHz. Ces conceptions ont aussi pris en compte les contraintes associées à l'assemblage dans les boîtiers QFN tout en veillant à ce que l'ensemble soit stable (stabilité linéaire et non linéaire).

Le dernier chapitre de ce manuscrit présente les résultats expérimentaux obtenus sur plusieurs échantillons des démonstrateurs d'architectures Doherty conçus précédemment (APD-SE et APD-DE).

Les résultats obtenus à ce jour sur cette architecture Doherty dépassent le cahier des charges initial et sont dans l'état de l'art mondial même s'il reste difficile de comparer ces réalisations à coût réduit avec d'autres technologies beaucoup plus coûteuses.

Ces résultats (reproductibles sur plusieurs circuits d'évaluation) ont aussi été comparés aux simulations d'une part et à des solutions d'amplifications plus classiques (Classe AB) d'autre part. L'architecture Doherty montre clairement des performances plus élevées en termes de rendement sur une plage de puissance de sortie allant jusqu'à 9 dB d'OBO. Par ailleurs, une assez bonne concordance avec les données simulées est observée.

Les architectures Doherty mises au point dans ce mémoire peuvent être linéarisées sur de larges bandes passantes même si l'amélioration décroît avec l'augmentation de cette largeur de bande passante.

Une des originalités de ce travail concerne la caractérisation des architectures Doherty à double entrée conçue au cours de ces travaux. Un banc spécifique a été mis en œuvre à UMS : il est fondé sur l'utilisation de deux sources d'excitation CW RF synchrones générant deux signaux à des fréquences identiques dont les amplitudes relatives et de phases relatives sont ajustables. Ce banc a permis des caractérisations quasi-statiques de l'APD-DE dont les niveaux de puissance sur chaque entrée sont contrôlés (contrôle du point de transition) et dont le déphasage est fixé à une valeur optimale qui permet de maximiser la puissance de sortie. Cette caractérisation a permis de montrer que cette préformation quasi statique des signaux d'entrée de l'architecture Doherty permet d'améliorer la PAE sur une large plage d'OBO (6dB) tout en améliorant spectaculairement la linéarité en termes de $\Delta AM/PM$.

Ce travail initié au cours de cette thèse mérite d'être prolongé par une expérimentation dynamique et non plus quasi-statique. Le banc de caractérisation développé par L. Ayari est une base expérimentale qui devrait permettre de tester ces amplificateurs Doherty à deux entrées avec des signaux modulés préformés pour assurer la conservation de l'intégrité des signaux en sortie de l'architecture Doherty.

Ces types d'architectures d'APD sont amenés à se développer à l'avenir mais elles impliquent l'utilisation de technologies mixtes pour associer la génération de la préformation de signaux et les architectures d'amplification hyperfréquences. La montée en fréquence est

elle aussi inévitable et nécessitera alors une intégration plus forte et la nécessité d'un choix de technologie MMIC pour laquelle il s'agira de démontrer que les conclusions données dans ces travaux sont aussi valides.

Une perspective à donner à ce travail consisterait donc à associer des techniques de modulation (numérique ou analogique) de polarisation (de drain et/ou de grille) à l'architecture Doherty afin d'étudier la possibilité d'améliorer la linéarité. La difficulté majeure dans l'association de ces techniques réside dans la recherche de solutions qui permettent que le rendement global ne soit pas trop affecté par la consommation du modulateur de polarisation.

Une autre perspective à donner à ce travail concerne l'étude menée sur les impédances de fermeture basses fréquences. La mise en œuvre d'une méthode (simulation et/ou expérimentale) de variation de charge basses fréquences pour déterminer les impédances optimales à présenter en fonction des signaux modulés d'excitations. Cette perspective implique de travailler dans le domaine temporel en mesure mais aussi en simulation (transitoire d'enveloppe ou transitoire et/ou co-simulation Circuit/Système).

Les démonstrateurs présentés dans ce mémoire sont les premiers amplificateurs de type Doherty conçus à UMS. Les résultats de caractérisation des deux amplificateurs réalisés (APD-SE et APD-DE) ont validé la méthode de conception de ces architectures Doherty. Cette méthode est applicable aussi bien pour des approches Quasi-MMIC que pour des approches MMIC. Elle est appropriée aussi bien aux basses fréquences qu'aux fréquences millimétriques. Elle a été utilisée maintenant à UMS pour concevoir d'autres architectures Doherty en technologie Quasi-MMIC répondant à un besoin industriel du secteur des Télécommunications pour des applications 5G.

Publications et communications afférentes à ce travail

Communications à caractère national

- M. Ayad, L. Ayari, G. Neveux, D. Barataud, E. Byk, M. Camiade, C. Chang, « Evaluation des transistors HEMTs GaN pour la conception d'amplificateurs Doherty microondes », Journées Nationales Microondes (JNM), Bordeaux, France, Juin 2015.
- L. Ayari, M. Ayad, E. Byk, M. Camiade, G. Neveux, D. Barataud, « Caractérisation temporelle automatisée, sous pointes et orientée Doherty, de transistor GaN HEMT », Journées Nationales Microondes (JNM), Bordeaux, France, Juin 2015.
- M. Ayad, E. Byk, M. Camiade, G. Neveux, D. Barataud, « Amplificateur Doherty GaN, 5.50-6.50GHz, 20W, en technologie Quasi-MMIC, encapsulé en boîtier QFN », Journées Nationales Microondes (JNM), Saint-Malo, France, Mai 2017.

Communications à caractère international

- L. Ayari, M. Ayad, E. Byk, M. Camiade, G. Neveux, D. Barataud, « An Automated Time-Domain Set-up for On-Wafer Characterization, Doherty Oriented, of High Power GaN HEMTs », Microwave Measurement Conference, The Automatic RF Techniques Group (ARFTG), Phoenix, USA, May 2015.
- L. Ayari, M. Ayad, G. Neveux, E. Byk, D. Barataud, M. Camiade, « Experimental Time-Domain Evaluation and Simulation of High Power GaN HEMTs for RF Doherty Amplifier Doherty Amplifier Design », European Microwave Conference (EuMC), Paris, France, September 2015.
- M. Ayad, E. Byk, G. Neveux, M. Camiade, D. Barataud, « Single and Dual Input Packaged 5.50-6.50GHz, 20W, Quasi-MMIC GaN-HEMT Doherty Power Amplifier », International Microwave Symposium (IMS), Honolulu, Hawai'i, June 2017.

Etude et Conception d'amplificateurs DOHERTY GaN en technologie Quasi-MMIC en bande C

Ce travail répond à un besoin industriel accru en termes d'amplification des signaux sur porteuses à enveloppes variables utilisés par les systèmes de télécommunications actuels. Ces signaux disposent d'un fort PAPR et d'une distribution statistique d'enveloppe centrée en-deçà de la valeur crête d'enveloppe. La raison pour laquelle les industriels télécoms requièrent alors des amplificateurs de très fortes puissances de sortie, robustes, fiables et ayant une dépense énergétique optimale le long de la dynamique d'enveloppe associée à un niveau de linéarité acceptable. Ce document expose les résultats d'étude et de réalisation de deux Amplificateurs de Puissance Doherty (APD) à haut rendement encapsulés en boîtiers plastiques QFN. Le premier est un amplificateur Doherty symétrique classique (APD-SE) et le second est un amplificateur à deux entrées RF (APD-DE). Ces démonstrateurs fonctionnant en bande C sont fondés sur l'utilisation de la technologie Quasi-MMIC associant des barrettes de puissance à base des transistors HEMTs AlGaIn/GaN sur SiC à des circuits d'adaptation en technologie ULRC. L'approche Quasi-MMIC associée à la solution d'encapsulation plastique QFN permettant une meilleure gestion des comportements thermiques offre des performances électriques similaires à celles de la technologie MMIC avec des coûts et des cycles de fabrication très attractifs. Durant ces travaux, une nouvelle méthode d'évaluation des transistors dédiés à la conception d'amplificateurs Doherty a été développée et mise en œuvre. L'utilisation intensive des simulations électromagnétiques 2.5D et 3D a permis de bien prendre en compte les effets de couplages entre les différents circuits dans l'environnement du boîtier QFN. Les résultats des tests des amplificateurs réalisés fonctionnant sur une bande de 1GHz ont permis de valider la méthode de conception et ont montré que les concepts avancés associés à l'approche Quasi-MMIC ainsi qu'à des technologies d'encapsulation plastique, peuvent générer des fonctions micro-ondes innovantes. Les caractérisations de l'APD-DE ont relevé l'intérêt inhérent à la préformation des signaux d'excitation et des points de polarisation de chaque étage de l'amplificateur.

Mots-clés : Amplificateur de puissance Doherty, HEMT GaN, Quasi-MMIC, Signaux sur porteuse à enveloppe variable, Boîtier plastique QFN, Amplificateur Doherty à deux entrées, DPD, Amplificateur de puissance Classe AB, Bande C

Study and conception of GaN Doherty amplifiers in Quasi-MMIC technology on C band

This work responds to an increased industrial need for on carrier signals with variable envelope amplification used by current telecommunications systems. These signals have a strong PAPR and an envelope statistical distribution centred below the envelope peak value, the reason why the telecom industrialists then require a robust and reliable high power amplifiers having an energy expenditure along of the envelope dynamics associated with an acceptable level of linearity. This document presents the results of the study and realization of two, high efficiency, Doherty Power Amplifiers (DPA) encapsulated in QFN plastic packages. The first is a conventional Doherty power Amplifier (DPA-SE) and the second is a dual-input Doherty power amplifier (DPA-DE). These C-band demonstrators are based on the use of Quasi-MMIC technology combining power bars based on the AlGaIn/GaN transistors on SiC to matching circuits in ULRC technology. The Quasi-MMIC approach combined with Quasi-MMIC approach combined with QFN plastic package solution for better thermal behaviour management offers electrical performances similar to those of MMIC technology with very attractive costs and manufacturing cycles. During this work, a new evaluation method for the transistors dedicated to the design of DPA was developed and implemented. The intensive use of 2.5D and 3D electromagnetic simulations made it possible to take into account the coupling effects existing between the different circuits in the QFN package environment. The results of the tests of the amplifiers realised and operating on 1GHz bandwidth validated the design method and showed that the advanced concepts associated with the Quasi-MMIC approach as well as plastic encapsulation technologies can generate innovative microwave functions. The characterizations of the DPA-DE have noted the interest inherent in the preformation of the excitation signals and the bias points of each stage of the amplifier.

Keywords: Doherty Power Amplifier, GaN HEMT, Quasi-MMIC, Modulated signals, QFN plastic Packaging, Dual Input Doherty, DPD, Class AB power amplifier, C band.

