



HAL
open science

Nouvelles topologies d'amplificateurs de puissance SiGe en bande Ku, optimisées en puissance, rendement et robustes au TOS actif

Benjamin Coquillas

► **To cite this version:**

Benjamin Coquillas. Nouvelles topologies d'amplificateurs de puissance SiGe en bande Ku, optimisées en puissance, rendement et robustes au TOS actif. Electronique. Université de Bordeaux, 2022. Français. NNT : 2022BORD0173 . tel-03783473

HAL Id: tel-03783473

<https://theses.hal.science/tel-03783473>

Submitted on 22 Sep 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEUR DE
L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE SCIENCES PHYSIQUES ET DE L'INGENIEUR
SPÉCIALITÉ ÉLECTRONIQUE

Par Benjamin COQUILLAS

**Nouvelles topologies d'amplificateurs de puissance SiGe en bande
Ku, optimisées en puissance, rendement et robustes au TOS actif**

Sous la direction de : Eric KERHERVE

Soutenue le vendredi 13 mai 2022

Membres du jury :

M.	BARELAUD, Bruno	Professeur	Université de Limoges	Rapporteur
M.	BELOT, Didier	Ingénieur	CEA-LETI Grenoble	Rapporteur
Mme	DELTIMPLE, Nathalie	Professeure	Bordeaux INP	Examinateur
M.	GAQUIERE, Christophe	Professeur	Université de Lille	Président
Mme	AMIAUD, Anne-Charlotte	Docteur	THALES LAS	Encadrante
M.	KERHERVE, Eric	Professeur	Bordeaux INP	Directeur de thèse
M.	REDOIS, Samuel	Docteur	THALES DMS	Examinateur
M.	MERLET, Thomas	Docteur	THALES LAS	Examinateur
M.	CABAN-CHASTAS, Daniel	Ingénieur	THALES DMS	Invité
M.	ROUSSEL, Laurent	Ingénieur	THALES LAS	Invité

Titre : Nouvelles topologies d'amplificateurs de puissance SiGe en bande Ku, optimisées en puissance, rendement et robustes au TOS actif

Résumé :

L'amélioration des systèmes RADAR des avions actuels est confrontée aux deux défis majeurs que sont la réduction des surfaces occupées et la maîtrise du coût. Ces défis s'ajoutent aux contraintes matérielles spécifiques des missiles autodirecteurs concernant la tenue en puissance à forte température et la robustesse aux variations de charge extérieure causées par le dépointage des éléments rayonnants environnants (apparentées au phénomène de TOS actif). Un enjeu majeur réside dans la réponse de l'amplificateur de puissance, identifié comme brique élémentaire, à ces défis actuels.

La technologie Silicium Germanium (SiGe) est mise en avant par de nombreux travaux académiques sur les nouvelles générations de télécommunication (5G, 6G). Des travaux récents sur des amplificateurs de puissance publiés entre 2016 et 2020 apportent des résultats proches des caractéristiques souhaitées sur des bandes de fréquence bande X et la partie basse de la bande Ku.

Ce double contexte industriel et académique justifie une étude originale sur les caractéristiques et les limites de la technologie SiGe en haut de la bande Ku au regard de la puissance de sortie, du rendement, de la robustesse au TOS actif et de la tenue des performances en température.

Au cours de ces travaux, avec à l'appui une étude bibliographique documentée et un cahier des charges précis, cinq motifs de puissance et trois types de coupleur sont réalisés, simulés, envoyés en fabrication et mesurés. La topologie d'architecture équilibrée, mise en exergue sur de nombreuses études relatives au self-contained, constitue notamment un pilier central de cette étude.

Les choix de conception et les performances obtenues sont détaillés. Ces dernières sont comparées à l'état de l'art. Elles démontrent des avancées significatives valorisées dans trois conférences majeures du domaine scientifique et apportent des réponses originales aux défis contemporains de conception d'amplificateurs de puissance pour une application RADAR au sein de missiles autodirecteurs.

Mots clés : Amplificateur de puissance, Architecture Equilibrée, TOS actif, Haut rendement, SiGe, Eléments rayonnants

Title : New Ku-Band, SiGe, power amplifier topologies, power-and-efficiency-optimised, active-SWR robust.

Abstract :

The improvement of the RADAR systems of the current aircraft is confronted with the two major challenges of the reduction of the areas occupied and the control of the cost. These challenges are added to the specific material constraints of self-guided missiles concerning power handling at high temperature and robustness to external load variations caused by the misalignment of surrounding radiating elements (related to the active SWR phenomenon). A major challenge is based on the response of the power amplifier, identified as an elementary building block, to these current challenges.

The Silicon Germanium (SiGe) technology is highlighted by many academic works on new generations of telecommunications (5G, 6G). Several recent works on power amplifiers published between 2016 and 2020 bring results close to the desired characteristics on X-band and low Ku-band.

This dual industrial and academic context justifies an original study on the characteristics and limits of the SiGe technology at the top of the Ku band with regard to the output power, efficiency, robustness to active SWR and the power handling to temperature variations.

During this work, with the support of a documented bibliographical study and accurate specifications, five power patterns and three types of coupler are designed, simulated, sent to manufacturing and measured. The balanced architecture topology, highlighted in several self-contained studies, is a central pillar of this study.

The design choices and the performances obtained are detailed. These are compared to the state of the art. They demonstrate significant advances valued in three major conferences in the scientific field and provide original answers to the contemporary challenges of designing power amplifiers for a RADAR application within self-guided missiles.

Keywords : Power Amplifier, Balanced architecture, Active SWR, High efficiency, SiGe, Radiating elements

Unité de recherche

Université de Bordeaux, Laboratoire IMS, CNRS UMR 5218, IPB, 351 crs de la Libération,
33405 Talence

« Apprendre à contempler. Rien dire. Rester dans le silence. Mais pas n'importe quel silence ! Il y a toute une gamme de silences : des graves, les aigus, des intenses. Il y a le silence qui cache l'absence et le vide ; il y a le silence parce qu'on n'ose pas ; il y a le silence parce qu'on ne veut rien dire, ou qu'on s'en fiche ; il y a le silence parce qu'on ferme les yeux et qu'on ne veut pas s'occuper de ce qui ne nous regarde pas : tout ça, c'est pas des beaux silences.

Moi, je parle des silences à étoiles, des silences à deux, avec des signes et des messages et des sculptures de connivence, un silence moelleux et rond comme de la tendresse, et grisant comme de l'amour. Un silence dense, la danse d'un silence....

Les amoureux n'aiment rien tant que le silence. C'est drôle : c'est quand ils ne disent rien qu'ils s'entendent le mieux. On reconnaît l'amour véritable à ce que le silence de l'autre n'est plus un vide à remplir, mais une complicité à respecter. »

François GARAGNON, écrivain et éditeur français
Extrait de son ouvrage *Jade et les sacrés mystères de la vie*

« Aimer, ce n'est pas se regarder l'un l'autre, c'est regarder ensemble dans une même direction. »

Antoine DE SAINT EXUPÉRY, écrivain et aviateur français
Extrait de son ouvrage *Le Petit Prince*

« La meilleure manière d'atteindre le bonheur est de le donner aux autres. »

« Le sourire est une clef secrète qui ouvre bien des cœurs. »

Lord Robert BADEN POWELL – Fondateur du Scoutisme

Remerciements

Mes premiers remerciements vont à Jésus, au scoutisme, à ma maman Mylène, à mon frère Nathanaël et à Dany. J'ai trouvé avec eux l'enthousiasme, la force, l'énergie et la patience nécessaires pour trouver et retrouver le sourire au long de mes travaux de thèse. Merci aussi à mon papa qui suit d'un peu plus loin mon parcours. Merci à mes filleules Claire et Marilys pour leur confiance et leur sourire. Merci à leurs familles. Merci Alix B. et Lorraine pour votre soutien.

Je remercie le professeur Eric Kerhervé pour sa direction de mes travaux de recherche et sa longue expérience des projets sur les amplificateurs de puissance.

On dit souvent que le scoutisme est comme une deuxième famille. Alors merci beaucoup aux enfants et aux jeunes que j'ai accompagnés via le scoutisme et que j'ai vus grandir durant ma thèse. Votre enthousiasme a été source de joie et d'inspiration.

Les Farfadets Anaïs, Ellia, Juliette, Léonard, Léopold, Robin, Ruben et leurs parents.

Les Caravelles et les Pionniers (certains devenus compagnons) Alice, Anaë, Loris, Louise G., Jeanne S., Jeanne D., Anastasia, Emma, Clara, Charlotte, Jeanne A., Jehan, Malo, Nathan, Valentine, Cyrian, Adrien B., Albin, Claire, Coline, Gabrielle, Jo, Tristan, Antoine, Mathieu, Aquilino, Illiana, Marceau, Paul-Louis, Romane, Anna, Adrien G., Bertille, Candice, Gaëtan, Laura, Laurianne, Mathis, Marceline, Noémie, Quentin Bé., Sybil, Théo, Alexandre R., Claire, Marius, Myrtille, Quentin Bi.

Les co-cheftaines, co-chefs, accompagnateurs pédagogiques, équipiers, co-formateurs, directeurs, responsables et amis avec qui j'ai partagé un bénévolat dynamique, fraternel et épanoui et de bons moments: Mathilde, Jessy, Hugo, Flo, Thomas, Yannick, Camille, Louise M., Xuân, Audrey, Morgane, Yoann, Marie B., Alix D., Julie P., Clémence, Maxence, Adrien, Charlotte, Julie G., Olivier, Sophie, Jean-Christophe, Eric B., Aymeric, Emmanuel J., Sylvaine, Monique, Christophe, Elisabeth, Marc, Arthur, Anne-Lise, Raphaël, Myriam, Jules, Emilie, Aurore, Florent, Marie R., Antoine, Perrine, Astrid, Alban, Constantin, Delphine, Alain, Charlie, Raphaël, Belinda, Jean-Daniel, Clément G, Sylvie, Alexandre P.

Un grand merci au docteur-ingénieur Samuel Redois pour tout le temps passé à m'aider de ma « pré-thèse » à ma soutenance, même une fois embauché, pour les conseils et les bons moments, et pour ses qualités humaines. Plusieurs clins d'œil à sa thèse se trouvent dans ce manuscrit. Merci au docteur Manuel Potereau pour toute son aide et ses conseils avisés.

Merci Eric Itcia d'avoir suivi mes travaux au début de ma thèse. Un grand merci au docteur-ingénieur Anne-Charlotte Amiaud pour tout le temps passé à m'accompagner, répondre à mes questions avec patience et douceur, à chercher des solutions pour débloquer mon ordinateur et pour nos échanges réguliers et rassurants tout au long de ma thèse. Merci beaucoup aux ingénieurs Laurent Roussel et Bruno Louis pour leur expertise et leurs conseils techniques. Des remerciements particuliers au docteur Thomas Merlet pour son management bienveillant.

Toute l'équipe des doctorants, stagiaires et ingénieurs CSH et CAS avec qui nous avons partagé nos galères et nos joies quotidiennes au laboratoire, avec un clin d'œil particulier à Anaïs, Gwennaël et Tristan pour la super team des doctorants d'Eric et à Alex, Romane, Thomas, Issam, Laurine, Ayoub et Justine pour nos débuts et nos fins de thèse communs et en particulier à Steeven pour le coup de pouce de toute fin de thèse !

Merci au professeur Nathalie Deltimple, ex-responsable de l'équipe CSH, et au professeur Yann Deval, ex-directeur du laboratoire IMS, pour les quelques échanges bienveillants que j'ai eus avec vous durant ces années et vos animations d'équipe et de laboratoire dynamiques.

Le personnel du laboratoire IMS, en particulier Magali et Olivier pour leur disponibilité au quotidien pour assurer les mesures et l'accessibilité au réseau, également Patrick, Fabien et Jean-Emmanuel pour les nombreuses pannes ponctuelles mais toujours aussi inattendues, Fabienne, Valérie, Fanny, Nicolas, Monique et Anaïs pour l'accueil, le dynamisme et l'écoute auprès des doctorants qui le souhaitaient et tout le support administratif pour l'embauche, les missions et la soutenance, et Bernard pour la réalisation des microphotographies des circuits.

Cécile et Pierre, pour votre relecture de ces pages, bien loin de votre quotidien.

Last but not least, merci au docteur Oriane Hidalgo et au professeur Emmanuel Maisonhaute, qui ont sans doute semé quelque part les graines d'un chercheur en herbe quelques années plus tôt ...

Table des matières

Glossaire.....	14
Introduction Générale.....	16
CHAPITRE I.....	19
ETAT DE L'ART DES AMPLIFICATEURS DE PUISSANCE EN TECHNOLOGIES SILICIUM ET III-V EN BANDES X ET KU.....	19
Partie I : RADAR AESA & modules Emetteurs / Récepteurs du RADAR.....	23
a) Défis Intégration et Coût.....	23
b) Module Émission / Réception.....	24
Partie II : Performances attendues et limites technologiques.....	26
a) Puissance de sortie et <i>P.A.E.</i>	26
b) Température d'échauffement.....	27
c) Robustesse au TOS actif.....	28
Partie III : Amplificateurs de puissance en bande X et Ku.....	30
a) Métriques et figures de mérite utiles.....	30
b) Avantages et inconvénients des différentes topologies par rapport à l'application visée ...	34
c) Architecture équilibrée et robustesse au TOS actif.....	41
Partie IV : Etat de l'art des amplificateurs de puissance en technologie silicium et III-V en bandes X et Ku.	45
a) Travaux majeurs en technologie silicium, 9-27 GHz.....	45
b) Exemples de travaux récents en technologie III-V.....	54
c) État de l'art des PA de 9 à 27 GHz, en technologie Silicium et III-V.....	59
d) Identification des solutions technologiques existantes.....	60
Conclusion.....	61
Références.....	62
Annexe.....	64
CHAPITRE II.....	66
ARCHITECTURES RETENUES POUR LA CONCEPTION D'AMPLIFICATEURS DE PUISSANCE A 18 GHZ.....	66
Introduction.....	68
Partie I : Technologie BiCMOS 130nm SiGe de STMicroelectronics.....	69
a) Comparatif des technologies Bipolaires-CMOS.....	69
b) Modèles de transistors et composants disponibles dans la technologie BiCMOS9MW.....	70
c) Logiciels utilisés, environnement de simulation.....	71
Partie II : Choix de topologie et méthodologie de dimensionnement schématique.....	72
a) Cahier des charges et dimensionnement initial des transistors au niveau schématique.....	72
b) Arbre de décision pour la simulation schématique d'amplificateurs de puissance.....	74

c) Schémas des circuits de cellules de puissance élémentaires.....	74
Partie III : Conception layout de cellules de puissance élémentaires sans et avec driver	81
a) Cellule de puissance élémentaire sans driver	81
b) Cellule de puissance élémentaire avec driver	85
c) Précautions de conception layout et améliorations de layout	88
Partie IV : Conception layout de la combinaison en puissance.....	91
a) Combinaison en puissance avec un coupleur torsadé	91
b) Combinaison en puissance avec plusieurs coupleurs compacts	93
Partie V : Résultats de simulation électromagnétique des amplificateurs de puissance équilibrés.	95
a) Amplificateur de puissance sans driver.....	95
b) Amplificateur de puissance à deux cellules de puissance avec driver	97
c) Amplificateur de puissance à quatre cellules de puissance avec driver	98
d) Tableau récapitulatif des performances PLS et état de l'art.....	102
Conclusion	103
Références.....	104
Annexes	105
CHAPITRE III	109
MESURES D'AMPLIFICATEURS DE PUISSANCE A 18 GHZ EN TECHNOLOGIE BICMOS	
130NM	109
Introduction.....	111
Partie I : Avant-propos sur les conditions de mesure des circuits	112
a) Circuits envoyés en fabrication	112
b) Choix et découplage des pointes.....	112
c) Méthodologie de mesure sous pointes.....	113
Partie II : Mesures en fréquence et en puissance de l'amplificateur de puissance sans driver à 30°C	
.....	116
a) Paramètres S et puissance, rendement, linéarité	116
b) Rétro-simulations de l'amplificateur de puissance sans driver	119
c) Caractérisations supplémentaires à 30°C, 18 GHz – Banc loadpull.....	122
Partie III : Comportement en température de l'amplificateur de puissance sans driver à 90°C	123
Partie IV : Robustesse au TOS 2:1 de l'amplificateur de puissance sans driver	126
Partie V : Comparaison avec l'état de l'art.....	127
Conclusion	129
Références.....	130
Annexes	133
Conclusion générale & Perspectives	136

Bilan des travaux de thèse	136
Perspectives	136
Liste des travaux publiés	139

Table des illustrations

Figure 1: Aéronef RBE2 équipé d'un système RADAR AESA à balayage électronique	23
Figure 2: (a) Comparaison des caractéristiques des technologies Silicium et III-V, (b) Evolution des f_T et f_{MAX} des transistors High Speed SiGe HBT pour la prochaine décennie (source : Rapport IEEE IRDS 2020 chap. OSC p.24 [IRD2020]).....	24
Figure 3: Schéma bloc d'un module Émetteur/Récepteur avec une architecture superhétérodyne [RED2020]	24
Figure 4: Etat de l'art des amplificateurs de puissance CMOS et SiGe sur la bande de fréquences 9-27 GHz.....	26
Figure 5: Schéma électrique de l'amplificateur de puissance	30
Figure 6: Illustration de la bande passante d'un amplificateur de puissance	31
Figure 7: Détermination de l'OCP1 d'un amplificateur de puissance.....	34
Figure 8: Schéma de déplacement des charges dans un transistor bipolaire npn	35
Figure 9: Régimes de fonctionnement du transistor bipolaire	35
Figure 10: Schéma électrique d'un amplificateur de puissance monté en émetteur commun .	37
Figure 11: Différents points de fonctionnement d'un transistor bipolaire en fonction de sa classe de fonctionnement.....	38
Figure 12: Graphique de puissance de sortie normalisée et rendement de collecteur d'un transistor bipolaire en fonction de l'angle de conduction pour différentes classes de fonctionnement	39
Figure 13: Schéma de deux transistors bipolaires dans une topologie cascode	39
Figure 14: Exemple de deux transistors montés en émetteur commun dans une topologie pseudo-différentielle ou symétrique	40
Figure 15: Exemple d'architecture équilibrée combinant deux cellules de puissance	41
Figure 16: Schéma simplifié d'un coupleur hybride avec numéros des ports	41
Figure 17: (a) Phénomène de SWR et (b) Expression de V_{OUT} dans le diagramme de Fresnel	42
Figure 18: Effet bouclier d'un coupleur hybride avec deux cellules de puissance (PC).....	44
Figure 19: Schéma électrique d'un PA SiGe avec 4 cellules de puissance [DUP2014]	45
Figure 20: Microphotographie du PA SiGe avec 4 cellules de puissance [DUP2014]	45
Figure 21: Performances grand signal du PA SiGe avec 4 cellules de puissance [DUP2014]	46
Figure 22: Schéma électrique et microphotographie d'un PA à 16 cellules de puissance [CHE2016].....	47
Figure 23: Performances (a) petit signal (b) grand signal d'un PA à 16 cellules de puissance [CHE2016].....	47
Figure 24: (a) Schéma électrique de la cellule de puissance unitaire, (b) microphotographie du PA SiGe bande X [JU2017]	48
Figure 25: (a) Vue 2D du transformateur à optimisation d'harmoniques, (b) formes d'onde en courant et en tension sur le transistor T3,4 - travaux de I. JU [JU2017]	49
Figure 26: Performances grand signal (a) en fréquence à $P_{in} = 10\text{dBm}$ (b) en puissance d'entrée à 10 GHz du PA SiGe bande X [JU2017]	49
Figure 27: Schéma électrique de la cellule de puissance élémentaire du PA SiGe bande X [RED2020].....	50
Figure 28: (a) Synoptique de l'architecture à double équilibrage (b) microphotographie du PA SiGe bande X [RED2020]	51
Figure 29: Paramètres S du module 1W - amplificateur de puissance à double équilibrage du PA SiGe bande X [RED2020]	52

Figure 30: Performances grand signal (a) en fonction de la puissance d'entrée à 9,5 GHz (b) en fonction de la fréquence pour $PIN = 20dBm$ du PA SiGe bande X [RED2020].....	53
Figure 31: Evolution des performances grand signal en fonction de la température (a) en fonction de la fréquence à $PIN = 20dBm$ (b) en fonction de la puissance d'entrée à 9,5 GHz du PA SiGe bande X [RED2020].....	54
Figure 32: (a) Architecture de l'amplificateur de puissance AsGa, (b) micro-photographie du circuit implémenté, (c) performances grand signal en fonction de PIN, pour différentes fréquences en bande Ku [MEG2017].....	55
Figure 33: (a) Architecture de l'amplificateur de puissance AsGa, (b) micro-photographie du circuit implémenté, (c) performances grand signal en fonction de la fréquence à $PIN = 18dBm$ [ALI2017]	56
Figure 34: (a) Architecture de l'amplificateur de puissance AsGa, (b) micro-photographie du circuit implémenté, (c) performances grand signal en fonction de PIN, pour différentes fréquences en bande Ku [CAI2020].....	57
Figure 35 : (a) Architecture de l'amplificateur de puissance GaN, (b) photographie du circuit en cours de mesure, (c) performances grand signal en fonction de PIN, à 15,5 GHz [GED2020].....	58
Figure 36: Graphique d'état de l'art avec zone d'intérêt de l'étude, confronté aux verrous et solutions existantes.....	60
Figure 37: Evolution des nœuds technologiques CMOS et BiCMOS (SiGe), prix des technologies BiCMOS9MW et CMOS065 de STMicroelectronics	69
Figure 38: Back-End Of Lines des technologies BiCMOS9, BiCMOS9MW et BiCMOS055 de STMicroelectronics	70
Figure 39a: Evolution de la densité de courant en fonction de la longueur d'émetteur à f_t maximale pour une structure CBEB-C [RED2020].....	73
Figure 40: Arbre de décision pour la méthodologie de conception schématique d'amplificateurs de puissance	74
Figure 41: Schéma électrique de la cellule de puissance sans driver	75
Figure 42: Etape de dimensionnement du condensateur de neutrodynage C_n , compromis entre gain et stabilité.....	76
Figure 43: Affichage spécifique pour dimensionner par loadpull l'impédance de sortie idéale de la cellule de puissance sans driver à 18 GHz.....	77
Figure 44: Droite de charge et Classe de fonctionnement - Transistor EC - PLS, 30°C.....	78
Figure 45: Comparaison de l'auto-échauffement et de la répartition en tension des deux de la cellule de puissance sans driver - PLS 18 GHz, 90°C	78
Figure 46: Schéma électrique de la cellule de puissance avec driver	79
Figure 47: Auto-échauffement des transistors des trois montages en fonction de la puissance d'entrée pour la cellule de puissance avec driver - PLS, 30°C.....	80
Figure 48: Formes d'onde en courant et tension à 30°C, transistors T1 et T4, cellule de puissance avec driver, PLS	80
Figure 49: Vue 3D intrinsèque de l'empilement de couche de métal « en escalier » des transistors T1 et T2	81
Figure 50: Vue 3D simplifiée du montage cascode sans les transistors de la cellule de puissance sans driver	82
Figure 51: Vues 3D des baluns utilisés pour la cellule élémentaire sans driver avec un plan de masse simplifié.....	83
Figure 52: Schéma layout 2D de la cellule de puissance sans driver	83
Figure 53: Performances PLS de la cellule de puissance sans driver - 30°C.....	84
Figure 54: Vues 3D intrinsèques des transistors T1 et T4 de la cellule de puissance avec driver.....	85

<i>Figure 55a: Vues 3D d'un arbre en courant (i) avec 2 ramifications (ii) avec 3 ramifications (couche métal 6 non visible).....</i>	<i>86</i>
<i>Figure 56: Schéma layout 2D de la cellule de puissance avec driver envoyée en fabrication</i>	<i>87</i>
<i>Figure 57: Vérification de la linéarité du driver et comparaison des allures des courbes en gain et en puissance des étages de la cellule de puissance avec driver – PLS, 18GHz, 90°C</i>	<i>88</i>
<i>Figure 58: Vue 3D intrinsèque du transistor T2 EC du montage cascode de la cellule de puissance avec driver.....</i>	<i>90</i>
<i>Figure 59: Méthode de conception du coupleur torsadé.....</i>	<i>91</i>
<i>Figure 60: Vue layout 2D du coupleur torsadé.....</i>	<i>91</i>
<i>Figure 61: Caractérisation du coupleur torsadé en simulation électromagnétique.....</i>	<i>92</i>
<i>Figure 62: Vue 2D des coupleurs hybrides compacts.....</i>	<i>93</i>
<i>Figure 63: Vue 2D du combineur de sortie à partir de trois coupleurs hybrides compacts, plan de masse non apparent.....</i>	<i>93</i>
<i>Figure 64: Caractérisation du combineur 4 vers 1 en simulation électromagnétique.....</i>	<i>94</i>
<i>Figure 65: Schéma layout 2D de l'amplificateur de puissance sans driver (haut) et schéma-bloc correspondant (bas).....</i>	<i>95</i>
<i>Figure 66: Performances PLS de l'amplificateur de puissance sans driver.....</i>	<i>96</i>
<i>Figure 67: Schéma layout 2D de l'amplificateur de puissance à deux cellules de puissance avec driver (haut) et schéma-bloc correspondant (bas).....</i>	<i>97</i>
<i>Figure 68: Schéma layout 2D de l'amplificateur de puissance à quatre cellules de puissance avec driver.....</i>	<i>98</i>
<i>Figure 69: Performances petit et grand signaux de l'amplificateur de puissance à double-équilibre.....</i>	<i>99</i>
<i>Figure 70: Performances simulées avec un TOS 2:1 pour l'amplificateur de puissance à double équilibre, à 18 GHz et 30°C.....</i>	<i>100</i>
<i>Figure 71: Performances simulées avec un TOS 2:1 pour la cellule de puissance avec driver, à 18 GHz et 30°C.....</i>	<i>101</i>
<i>Figure 72: Microphotographie des circuits sans driver.....</i>	<i>112</i>
<i>Figure 73: Extrait de datasheet Microworld des pointes RF utilisées.....</i>	<i>113</i>
<i>Figure 74: Schéma et photographie du protocole de mesure petit et grand signal [RED2020].....</i>	<i>114</i>
<i>Figure 75 : Schéma et photographie du protocole de mesure sur banc loadpull [RED2020].....</i>	<i>115</i>
<i>Figure 76: Paramètres S mesurés de l'amplificateur de puissance sans driver à 30°C.....</i>	<i>116</i>
<i>Figure 77: Performances RF mesurées (a) en fonction de la puissance de sortie (b) en fonction de la fréquence de l'amplificateur de puissance sans driver, à 30°C et 18 GHz.....</i>	<i>116</i>
<i>Figure 78: Courants d'alimentation Ivcc des deux voies I et II de l'amplificateur de puissance sans driver à 18 GHz et 30°C.....</i>	<i>117</i>
<i>Figure 79: Etude comparée de la linéarité en amplitude mesurée et simulée sur l'amplificateur de puissance sans driver à 18 GHz et 30°C.....</i>	<i>118</i>
<i>Figure 80: Rétro-simulations avec pertes résistives sur les tensions d'alimentation VSUPPLY de l'amplificateur de puissance sans driver à 30°C.....</i>	<i>119</i>
<i>Figure 81: Rétro-simulations avec pertes résistives variables sur les tensions de polarisation VBIAS1, VBIAS2, port d'entrée et port de sortie de l'amplificateur de puissance sans driver à 30°C.....</i>	<i>120</i>
<i>Figure 82: Rétro-simulation avec variation de phase en sortie pour une impédance de 40,35Ω à 30°C, de l'amplificateur de puissance sans driver.....</i>	<i>121</i>
<i>Figure 83: Rétro-simulation avec variation de phase en entrée pour une impédance de 40,35Ω à 30°C, de l'amplificateur de puissance sans driver.....</i>	<i>121</i>

<i>Figure 84: Performances RF de l'amplificateur de puissance sans driver sur band loadpull avec une variation de tension d'alimentation de 3,3V à 4,2V, à 30°C et 18 GHz.....</i>	<i>122</i>
<i>Figure 85: Paramètres S mesurés de l'amplificateur de puissance sans driver à 90°C.....</i>	<i>123</i>
<i>Figure 86: Performances RF mesurées (a) en fonction de la puissance de sortie (b) en fonction de la fréquence de l'amplificateur de puissance sans driver, à 90°C et 18 GHz.....</i>	<i>124</i>
<i>Figure 87: Performances RF de l'amplificateur de puissance sans driver avec une variation de tension d'alimentation de 3,3V à 4,0V, à 90°C et 18 GHz.....</i>	<i>124</i>
<i>Figure 88: Courants d'alimentation I_{vcc} des deux voies I et II de l'amplificateur de puissance sans driver à 18 GHz et 90°C.....</i>	<i>125</i>
<i>Figure 89: Application d'un TOS 2:1 et d'une variation de phase sur l'amplificateur et la cellule de puissance sans driver à 30°C et 18 GHz.....</i>	<i>126</i>
<i>Figure 90: Graphique d'état de l'art à l'issue de cette étude.....</i>	<i>128</i>
<i>Figure 91: Vues 3D des arbres de courant proposés en pistes d'amélioration au niveau "circuit".....</i>	<i>137</i>
<i>Figure 92: Comparaison des moyennes, des écarts-types et des étendues des courants de collecteur pour la cellule de puissance avec driver à 30°C et à 3dB de compression.....</i>	<i>138</i>
<i>Figure 93: Comparaison des performances simulées de la cellule de puissance avec driver avec l'arbre de courant BC2.....</i>	<i>138</i>

Glossaire

AESA : Antenne active à balayage électronique

ANRT : Association Nationale de Recherche et Technologie

AsGa : [Technologie] Arsenure de Gallium

(Bi)(C)MOS : Structure à Métal-Oxyde-Semiconducteur (Complémentaire) (Bipolaire)

CAO : Conception Assistée par Ordinateur

CB / CC / CE : [Montage] Base / Collecteur / Emetteur Commun

CBEB-C : Agencement des doigts de transistor Collecteur Base Emetteur Base – Collecteur

CIFRE : [Dispositif] Convention Industrielle de Formation par la Recherche

DPFI : Département Produits du Futur et de l'Innovation

GaN : [Technologie] Nitrure de Gallium

5G : Cinquième génération de réseaux de télécommunication

FOM / FoM : Figure de mérite

HBT : Transistor Bipolaire à Hétérojonction

HiCuM L0 / L2 : High Current Model Level 0 / Level 2

IEEE : Institut des Ingénieurs Electriciens et Electroniciciens

IMS : [Laboratoire] Intégration du Matériau au Système

IRDS : Feuille de route internationale des composants et des systèmes (électroniques)

NMOS / PMOS : Structure MOS de type N/P (dopage spécifique de la grille pour la conduction des électrons entre drain et source)

NPNVHS : Modèle de transistor avec dopage NPN à très grande rapidité

ICP_{1dB} / OCP_{1dB} : Puissance d'entrée / de sortie au Point de Compression à 1dB

(H)PA : Amplificateur de Puissance (à Forte puissance de sortie)

PAE / P.A.E. : Rendement en Puissance Ajoutée

PC : Cellule de Puissance

RADAR : Radio Detection and Ranging (système de détection et couverture par ondes RF)

RF / Radio : Radiofréquence

RFFE : Module RF placé au plus proche de l'antenne (bloc à l'extrémité « avant »)

ROS / TOS : Ratio / Taux d'Onde Stationnaire

SiGe : [Technologie] Silicium Germanium

SWR : voir TOS

TR : [Module] Transmission / Réception

VGA : Variable Gain Amplifier

Introduction Générale

Cette étude est réalisée dans le cadre d'une thèse CIFRE avec le concours de l'Association Nationale de Recherche et Technologie (ANRT). Elle est issue d'une collaboration étroite entre l'équipe Circuits et Systèmes Hyperfréquences du laboratoire de l'Intégration du Matériau au Système (IMS) de Bordeaux et le Département Produits du Futur et de l'Innovation (DPFI) du secteur Systèmes Electroniques de Missile de la société THALES LAS France à Elancourt. Une expertise technique est apportée par la société THALES DMS France à Elancourt.

Le sujet de ces travaux s'appuie d'une part sur un contexte industriel d'amélioration d'un équipement militaire RADAR et d'autre part sur un contexte académique de recherche des limites de la technologie Silicium Germanium (SiGe) pour la conception d'amplificateurs de puissance à forte puissance de sortie (HPA).

Plus précisément, il s'agit ici d'optimiser le module analogique unitaire de puissance d'une chaîne de transmission RADAR adressant la fonction autodirecteur de missiles embarqués. Actuellement, ce module de puissance, situé en bout de chaîne d'émission, s'appuie sur une technologie III-V fonctionnant en bande X. L'enjeu est de le substituer par un module fonctionnant en bande Ku. Par une relation de cause à effet, puisque la maille des éléments rayonnants Ku est plus petite, la montée en fréquence confronte ce nouveau module à une problématique d'intégration. Par ailleurs, l'utilisation d'un nombre plus important d'éléments rayonnants permet d'envisager un balayage électromagnétique en deux dimensions. Ce fonctionnement qui apporterait une nette valeur ajoutée au RADAR autodirecteur, rend possible l'utilisation d'un module unitaire de plus faible puissance que celui utilisé jusqu'à présent. C'est en cela que la technologie SiGe peut alors faire ses preuves. Cette étude adresse donc la recherche des limites en puissance accessibles avec cette technologie. Cette recherche s'attache à respecter les contraintes spécifiques à un environnement militaire, même si pour autant elle ne s'appuie sur aucune donnée sensible. A ce titre, ces travaux sont rendus publics et font l'objet de plusieurs publications.

Il est utile d'indiquer au lecteur que le DPFI a la capacité de répondre à différents types de projets dits « amonts » et d'autofinancer des études d'intérêt. Selon le type de financement, les échéances et les attentes varient, de même que la capacité à innover et à tester des solutions nouvelles dans le temps long. Les travaux de cette thèse ont bénéficié d'une souplesse industrielle temporelle importante. D'une durée contractuelle de 3 ans, un projet de fin d'études d'ingénieur financé par le laboratoire IMS et une pré-étude de 3 mois à partir de la fin d'année 2018 ont permis de mieux appréhender l'environnement de recherche, le recours aux ressources et les notions culturelles pour permettre finalement la bonne prise en main du sujet de thèse au cours de la première année. L'aide des doctorants et post-doctorants plus expérimentés a été précieuse sur cette longue phase d'apprentissage.

C'est à l'issue des douze premiers mois de doctorat que l'ensemble des notions bibliographiques a été couvert, en parallèle du début des travaux de conception de circuit. Cette date coïncide avec le début de la crise sanitaire COVID-19 qui a fortement influencé le déroulement des deux années suivantes. En particulier, les durées de fabrication des circuits électroniques d'une durée de cinq à six mois ont connu systématiquement deux à trois mois de retard du fait d'une surcharge de la fonderie STMicroelectronics. Les dernières mesures de

circuit n'ont pas encore été réalisées. Elles doivent l'être à la fin du mois d'avril 2022 pour offrir autant que possible une présentation complète et aboutie des résultats de cette étude lors de la soutenance de thèse.

Le premier chapitre de ce manuscrit présente tout d'abord le RADAR AESA et la fonction assurée par le module RF d'émission dans une première partie. L'accent est mis sur le choix de la technologie SiGe pour répondre aux défis d'intégration et de coût. Dans une deuxième partie, les trois limites technologiques qui découlent de l'application étudiée sont introduites. Ces limites guident l'ensemble des travaux de cette étude. La troisième partie apporte plusieurs éléments sur la théorie de l'amplificateur de puissance. Les métriques utilisées dans la suite du manuscrit y sont détaillées. Des descriptions théoriques sur les montages de transistors et des architectures analogiques de référence s'ajoutent à ces métriques pour constituer le cadre de référence de l'étude. Il est important de préciser qu'un apport théorique est réalisé dans cette partie concernant les architectures équilibrées, offrant notamment une nouvelle figure de mérite applicable à toute architecture *self-contained*. Dans une dernière partie, l'état de l'art des amplificateurs de puissance submillimétriques en technologie Silicium est décrit. Des travaux en technologie AsGa et GaN complètent cette description pour offrir un aperçu bibliographique de référence et récapituler les meilleurs compromis de performance existant au regard des trois limites technologiques présentées auparavant. A l'issue de ce premier chapitre, il est possible par une idée précise des enjeux et défis inédits adressés et par l'absence de travaux préexistants qui permettent d'y répondre, de vérifier le caractère innovant de ces travaux.

Le deuxième chapitre offre la description des choix schématiques, des méthodes de dessin des circuits et de l'analyse des résultats de simulation électromagnétique des circuits intégrés conçus. Ce chapitre propose une description très fidèle et explicitée des étapes importantes de la conception de ces circuits. Dans une première partie, les choix du nœud technologique et du modèle de transistor sont décrits. Les logiciels de CAO utilisés sont également indiqués. A partir des caractéristiques des transistors choisis et des avantages et inconvénients des différents travaux d'état de l'art du chapitre précédent, la deuxième partie dresse le cahier des charges de cette étude. Pour y répondre, les choix de topologie et la méthodologie de dimensionnement schématique utilisée pour la conception des cellules élémentaires de puissance sont présentés. Il s'agit alors de montrer dans une troisième partie comment ces choix se traduisent dans le dessin des pistes et l'agencement des composants. La quatrième partie est dédiée à la conception de la combinaison de puissance et aborde en particulier le dimensionnement des différents coupleurs des circuits élaborés. Les résultats en simulation des amplificateurs de puissance sont avancés dans une cinquième partie pour montrer la richesse de l'apport de ces travaux par une gamme de circuits aux compromis de performance et aux superficies différents.

Le troisième chapitre apporte les preuves de concept nécessaires pour valider la démarche décrite dans le deuxième chapitre et inscrire les résultats de mesure de ces travaux dans un nouvel état de l'art où ils apportent une réponse nouvelle à des compromis de performance jamais vus jusqu'à présent. La première partie dresse le contexte et explique la méthodologie de mesure des circuits conçus et testés dans cette étude. Dans une deuxième partie, les résultats en performances petit et grand signal à 30°C des circuits mesurés sont comparés aux simulations. Une étape argumentée de rétro-simulation complète dans un deuxième temps ces résultats. Une troisième partie apporte les performances obtenues en mesure à 90°C et les

compare aux résultats attendus. La quatrième partie décrit l'impact du TOS sur les performances grand signal à 30°C. La robustesse à la variation de charge y est caractérisée. Une cinquième partie permet de dresser la synthèse des performances mesurées, de les comparer à l'état de l'art et de vérifier la teneur de l'apport de ces travaux à l'état de l'art des circuits de puissance SiGe submillimétriques.

CHAPITRE I

ETAT DE L'ART DES AMPLIFICATEURS DE PUISSANCE EN TECHNOLOGIES SILICIUM ET III- V EN BANDES X ET KU

Table des matières

<u>Partie I : RADAR AESA & modules Emetteurs / Récepteurs du RADAR</u>	23
a) <u>Défis Intégration et Coût</u>	23
b) <u>Module Émission / Réception</u>	24
<u>Partie II : Performances attendues et limites technologiques</u>	26
a) <u>Puissance de sortie et P.A.E.</u>	26
<u>Contraintes industrielles</u>	26
<u>Données de l'état de l'art</u>	26
<u>Conclusion</u>	27
b) <u>Température d'échauffement</u>	27
<u>Contraintes industrielles</u>	27
<u>Données d'état de l'art</u>	28
<u>Conclusion</u>	28
c) <u>Robustesse au TOS actif</u>	28
<u>Contraintes industrielles</u>	28
<u>Données de l'état de l'art</u>	28
<u>Conclusion</u>	29
<u>Partie III : Amplificateurs de puissance en bande X et Ku</u>	30
a) <u>Métriques et figures de mérite utiles</u>	30
<u>Gains en puissance</u>	30
<u>Bande passante</u>	31
<u>Paramètres S</u>	32
<u>Critères de stabilité</u>	32
<u>Rendement</u>	33
<u>Linéarité</u>	33
<u>Figure de mérite de l'IRDS</u>	34
b) <u>Avantages et inconvénients des différentes topologies par rapport à l'application visée</u>	34
<u>Caractéristiques statiques du transistor</u>	34
<u>Montages de transistor commun</u>	36
<u>Classes de fonctionnement des amplificateurs de puissance</u>	37
<u>Topologies d'amplificateurs de puissance</u>	39
c) <u>Architecture équilibrée et robustesse au TOS actif</u>	41
<u>Notion de Self-Contained</u>	41
<u>Architectures équilibrées</u>	41
<u>Coupleurs</u>	41

<u>TOS actif</u>	42
<u>Partie IV : Etat de l'art des amplificateurs de puissance en technologie silicium et III-V en bandes X et Ku</u>	45
a) <u>Travaux majeurs en technologie silicium, 9-27 GHz</u>	45
b) <u>Exemples de travaux récents en technologie III-V</u>	54
c) <u>État de l'art des PA de 9 à 27 GHz, en technologie Silicium et III-V</u>	59
d) <u>Identification des solutions technologiques existantes</u>	60
<u>Conclusion</u>	61
<u>Références</u>	62
<u>Annexe</u>	64

Introduction

Ce chapitre introduit dans une première partie les enjeux industriels des amplificateurs de puissance étudiés dans cette thèse. La deuxième partie présente les trois objectifs actuels sur les performances de ces amplificateurs de puissance, découlant du contexte industriel. La troisième partie décrit les notions culturelles ou techniques nécessaires à la compréhension des travaux réalisés. Ces trois parties s'articulent pour introduire dans une dernière partie l'état de l'art détaillé des amplificateurs de puissance en technologies silicium et III-V, en bandes X et Ku.

Partie I : RADAR AESA & modules Emetteurs / Récepteurs du RADAR

Les avions du futur, du petit drone au gros porteur et incluant tous les vecteurs aéronautiques pour la défense, nécessitent de disposer de capteurs RF très intégrés pour assurer la détection de leur environnement, leur guidage et leur communication. A ce titre les systèmes « RADARs » présentent un intérêt particulier.

Un système RADAR, pour *Radio Detection And Ranging*, est un système de détection et de couverture radio. Les radars aéroportés utilisés dans l'industrie de la défense permettent d'assurer quatre fonctions, la détection, la poursuite de cible, la télémétrie verticale, et la cartographie. Les radars actuels non-imageurs, assurant les deux premières fonctions, peuvent utiliser des systèmes d'antennes actives à balayage électronique (AESA).

Si de telles antennes sont maîtrisées et déjà utilisées de manière opérationnelle dans plusieurs équipements de défense à des fréquences inférieures ou égales à 10 GHz, leur application à des capteurs radiofréquences embarqués de petites dimensions, pour des fréquences supérieures à 10 GHz, soulève plusieurs défis technologiques.



Figure 1: Avion RBE2 équipé d'un système RADAR AESA à balayage électronique

a) Défis Intégration et Coût

Le premier de ces défis concerne l'intégration de l'ensemble des circuits d'une antenne. Un fonctionnement à fréquence élevée nécessite de concevoir des modules Transmission / Réception (TR) actifs adaptés à la maille du réseau d'antennes mais aussi capables de fournir une puissance radiofréquence suffisante sur de larges plages de températures.

Le second défi concerne la maîtrise du coût de cette électronique embarquée. Les fonctions primaires, comme les modules TR, étant répétées d'un facteur 100 à 1000 au sein de l'équipement, son coût de possession peut devenir rédhibitoire.

Pour répondre à ces deux défis majeurs, le choix de la technologie est déterminant. La technologie Nitrure de Gallium (GaN) est la technologie actuellement utilisée dans les modules étudiés. La figure 2a s'appuie sur l'enquête de l'Institut de Technologie de Géorgie [SUR2021] pour comparer plusieurs technologies de semi-conducteurs silicium et III-V. Une rupture technologique est nettement mise en évidence à travers les niveaux de puissance atteints par la technologie GaN. Le graphique indique que la technologie Silicium Germanium (SiGe) présente le meilleur compromis entre un bas coût et une forte intégration pour les niveaux de fréquence et de puissance visés dans cette application.

La figure 2b issue du rapport 2020 de l'IEEE *International Roadmap for Devices and Systems* (IRDS, ex-ITRS) illustre les progrès attendus pendant la prochaine décennie sur l'évolution des fréquences de transition (f_T) et des fréquences maximales de fonctionnement (f_{MAX}) des transistors High Speed SiGe HBT.

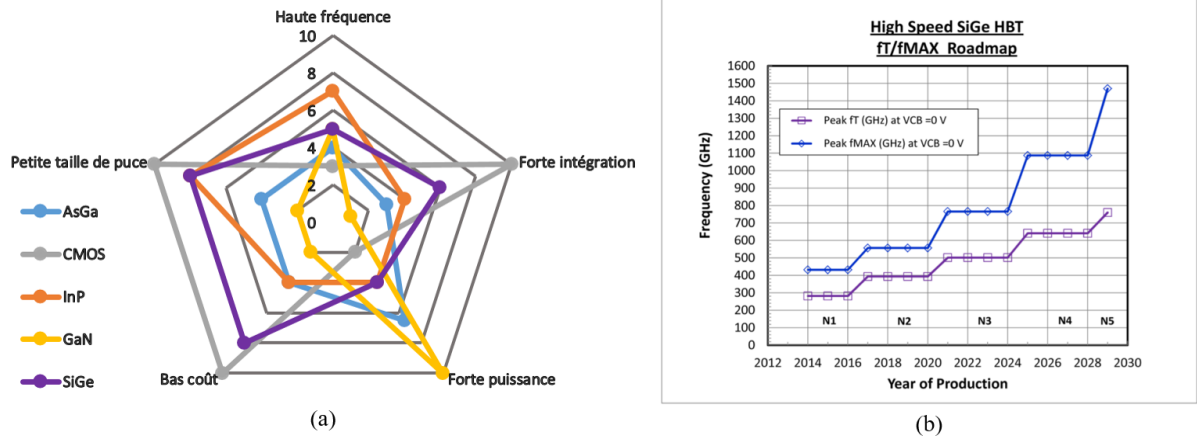


Figure 2: (a) Comparaison des caractéristiques des technologies Silicium et III-V¹, (b) Evolution des f_T et f_{MAX} des transistors High Speed SiGe HBT pour la prochaine décennie (source : Rapport IEEE IRDS 2020 chap. OSC p.24 [IRD2020])

b) Module Émission / Réception

L'amplificateur de puissance (PA) constitue une brique élémentaire au sein du module Émission / Réception (TR) des antennes actives à balayage électronique soumises aux deux défis explicités précédemment. Ce module utilise fréquemment une architecture superhétérodyne, décrite dans la figure 3.

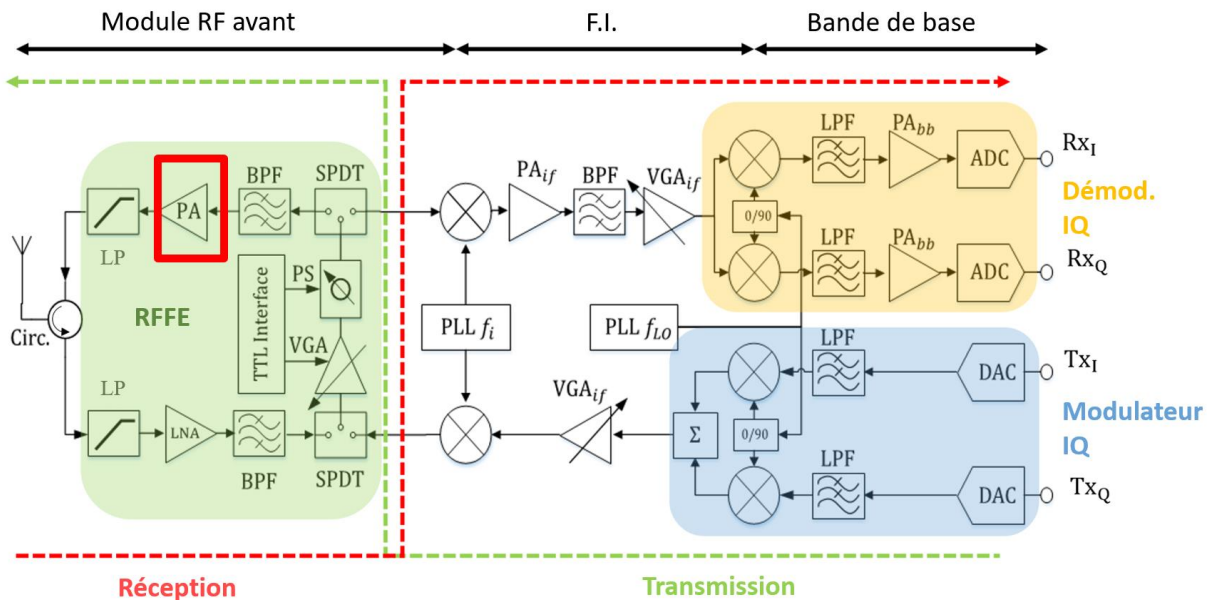


Figure 3: Schéma bloc d'un module Émetteur/Récepteur avec une architecture superhétérodyne [RED2020]

¹ Des données techniques comparatives supplémentaires sur différentes technologies sont ajoutées en annexe.

Il réalise trois fonctions, identifiées par trois blocs distincts :

- Le bloc de bande de base opère la conversion entre le signal analogique et le signal numérique, il effectue la modulation / démodulation IQ et la transposition à la fréquence intermédiaire f_i .
- Le bloc de fréquence intermédiaire (F.I.) a pour fonction la réduction des contraintes sur les circuits de conversion de fréquence (notamment les mélangeurs IQ) et le filtrage de manière très sélective de la fréquence image issue des mélangeurs.
- Le module RF avant (RFFE) réalise le contrôle en amplitude et en phase du signal utile directement à la fréquence d'émission, grâce à un VGA et un déphaseur. Des atténuateurs peuvent aussi être utilisés. Des filtres de présélection peuvent permettre d'éliminer des fréquences parasites.

L'amplificateur de puissance se situe en fin de chaîne d'émission, à proximité de l'antenne. Sa fonction principale est de porter le signal RF utile à une puissance suffisante pour qu'il puisse être transmis par l'antenne d'émission et reçu par l'antenne de réception.

Deux fortes contraintes se déduisent de cette application. D'une part, l'amplificateur de puissance est soumis à la fois à de fortes températures à l'instar de l'ensemble du module TR aéroporté, et à son propre auto-échauffement. D'autre part l'amplificateur de puissance placé à proximité de l'antenne est sensible aux variations de son environnement extérieur et en particulier aux champs d'agression électromagnétique. A partir de ces contraintes, nous dressons dans la partie II le contour des performances attendues des amplificateurs de puissance étudiés et les limites technologiques connues associées à ces performances.

Partie II : Performances attendues et limites technologiques

a) Puissance de sortie et *P.A.E.*

Contraintes industrielles

Pour notre application, les puissances hyperfréquences utilisées vont de quelques centaines de milliwatts à une dizaine de watts. Les technologies AsGa et GaN typiquement utilisées actuellement atteignent des puissances de plusieurs watts à plusieurs dizaines de watts.

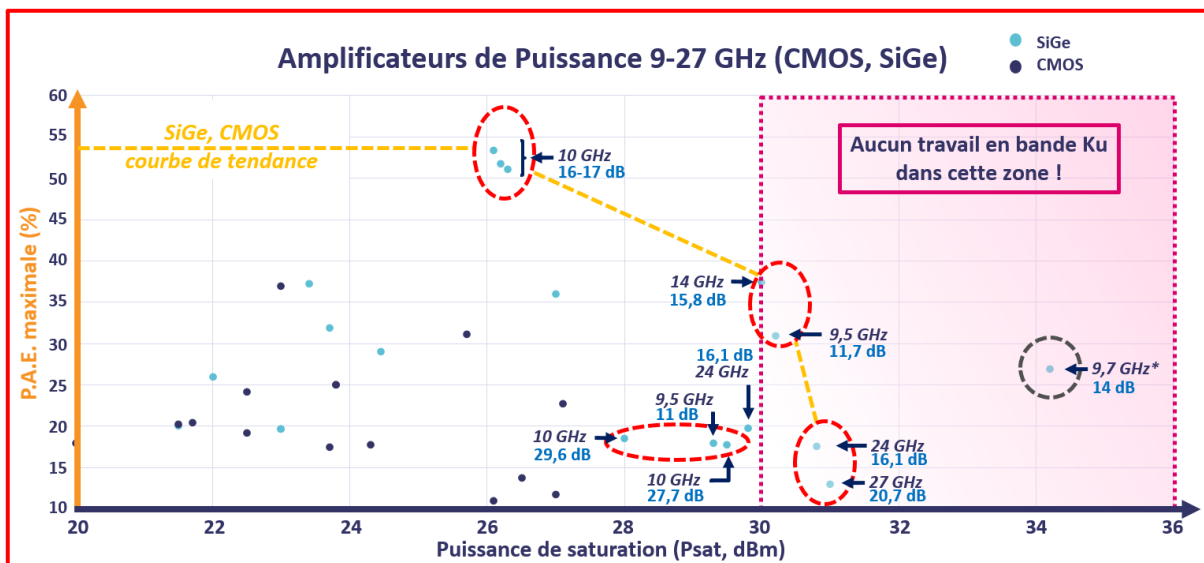
La technologie SiGe est intrinsèquement limitée en puissance de sortie hyperfréquence. Elle n'est donc pas utilisée habituellement pour des applications nécessitant des puissances importantes.

Néanmoins, pour des antennes AESA 2D où la génération de puissance est distribuée sur chaque élément rayonnant, l'utilisation du SiGe devient envisageable. Cette utilisation est très attractive du fait de sa forte intégration par rapport aux technologies AsGa ou GaN, en particulier pour des antennes AESA 2D qui comptent plusieurs centaines d'amplificateurs hyperfréquences. Pour une utilisation de la technologie SiGe, il est nécessaire d'atteindre une gamme de puissance supérieure au watt.

Ces contraintes industrielles fortes mènent à rechercher la limite de la technologie SiGe en termes de puissance hyperfréquence.

Données de l'état de l'art

Nous nous appuyons sur [SUR2021] pour recenser les travaux sur les amplificateurs de puissance en technologie CMOS et SiGe. Nous considérons la bande de fréquences submillimétriques 9-27 GHz. Nous reportons les performances des travaux dans un graphique à deux entrées. L'axe des ordonnées présente la *P.A.E.* (Power Added Efficiency) maximale en % et l'axe des abscisses la puissance de saturation en dBm. Nous identifions de cette manière sur la figure 4 les compromis existant entre ces deux performances pour la bande de fréquences et la technologie choisies.



*Fortes difficultés de mesure de circuit lié à un échauffement important (voir partie IV a. de ce chapitre)

Figure 4: Etat de l'art des amplificateurs de puissance CMOS et SiGe sur la bande de fréquences 9-27 GHz

Nous constatons que la limite en puissance de sortie se situe entre 30dBm (1W) et 31dBm (1.3W). La *P.A.E.* maximale correspondante diffère selon la bande de fréquences considérée. En bande X et bas de bande Ku, elle vaut respectivement 31.3% et 37.5%. En bande K, elle ne dépasse pas 20%. Aucune étude n'est répertoriée pour des amplificateurs de puissance fonctionnant entre 14 GHz et 24 GHz pour des niveaux comparables de puissance de sortie dans les technologies silicium SiGe et CMOS.

Les niveaux de *P.A.E.* obtenus pour les travaux répertoriés sont décroissants avec l'augmentation de la puissance de sortie, de sorte que le compromis entre ces deux données peut être présenté sous la forme d'une courbe de tendance (tirets jaunes). Grâce à cette courbe nous mettons en évidence la zone d'intérêt de cette étude (pointillés violets), à savoir pour des niveaux de puissance de saturation supérieurs à 30 dBm et pour des niveaux de *P.A.E.* les plus élevés possibles.

Une étude réalisée en bande X au laboratoire IMS mais non encore publiée sur la banque de données IEEE Xplore est ajoutée sur le graphique. Elle présente des niveaux de puissance de saturation et de *P.A.E.* très intéressants pour notre étude, mais les conditions de mesure sont très spécifiques et seront détaillées dans la partie IV.

Conclusion

Le volet majeur de cette étude consiste à rechercher les limites en puissance de sortie que peut fournir la technologie SiGe. Les contraintes industrielles et les données d'état de l'art nous permettent de nous focaliser sur des puissances de saturation de l'ordre du watt.

b) Température d'échauffement

Nous distinguons dans cette sous-partie la température extérieure du circuit électronique, qui correspond à la température de l'environnement ambiant, de la température d'auto-échauffement, qui contribue à augmenter la température du circuit, et qui a pour source le fonctionnement même des transistors. Ces deux températures s'additionnent et contribuent à l'échauffement global du circuit électronique.

Contraintes industrielles

Le comportement aux hautes températures des technologies silicium est peu documenté. Pour la technologie SiGe, la température de jonction maximum, de l'ordre de 150°C [JAO2020], est inférieure à celle des technologies Nitrure de Gallium (GaN) et Arséniure de Gallium (AsGa), respectivement de l'ordre de 175°C et 220°C utilisées habituellement pour cette application. De fait, les modèles de conception du SiGe ne sont valides que pour des températures d'échauffement pouvant monter jusqu'à 125°C (température dite « fond de puce »).

Pour notre application, compte tenu de la contrainte de volume très réduit, les cartes électroniques et en particulier la partie RFFE ne bénéficient d'aucune régulation thermique. Elles fonctionnent en inertie thermique. La température augmente donc de façon très rapide et la température maximum de fonctionnement des technologies utilisées limitera automatiquement la durée de fonctionnement de l'application. Une durée trop courte réduira fortement la capacité opérationnelle du produit.

Les vitesses de déplacement élevées des avions pendant des durées parfois importantes entraînent un échauffement initial conséquent des équipements au démarrage.

Ces deux points induisent que pour notre application la température d'échauffement des circuits pourrait dépasser les 125°C, et les températures de jonction dépasser les 150°C.

Par ailleurs, le courant électrique consommé par notre circuit est d'autant plus important que le niveau de puissance attendu est élevé. Pour de fortes densités de courant, et selon le modèle de transistor utilisé, un auto-échauffement des pistes survient. Cet auto-échauffement s'ajoute à l'échauffement initial du circuit et doit être mis en regard des températures de jonction maximales de la technologie.

Données d'état de l'art

Nous nous appuyons sur la thèse portant sur la fiabilité des transistors Silicium-Germanium [IGH2014] pour analyser l'écart entre les modèles et les mesures concernant les limites d'utilisation du transistor bipolaire pour des températures allant de -50°C à 150°C. Bien que les mesures n'aient pas été réalisées à 150°C dans cette référence, les différences mineures qui sont observées jusqu'à 125°C permettent d'extrapoler les modèles de SOA (*Safe Operating Area*) jusqu'à 150°C pour obtenir des simulations fiables jusqu'à cette température.

Ces éléments signifient que nous avons une marge d'auto-échauffement limitée pendant l'utilisation du circuit électronique, au-delà de laquelle nous ne pouvons pas prédire son comportement hyperfréquence pendant la phase de simulation.

Conclusion

Une caractérisation à haute température et une étude doivent être menées pour s'assurer que la technologie choisie peut répondre aux contraintes en température des applications considérées.

c) Robustesse au TOS actif

Contraintes industrielles

Une caractéristique des antennes actives 2D est que pour de forts dépointages chaque élément rayonnant reçoit par couplage mutuel avec les éléments rayonnants voisins une forte puissance en retour pendant l'émission. Ce phénomène appelé TOS actif dégrade les performances de l'amplificateur de puissance à la fois en amplitude et en phase du signal émis ainsi qu'en consommation électrique. Il est alors nécessaire de développer des architectures d'amplificateurs moins sensibles à ce phénomène de TOS actif, c'est-à-dire ayant des caractéristiques en amplitude, phase et rendement moins dégradées par la désadaptation vue par l'amplificateur à sa sortie.

Données de l'état de l'art

L'architecture équilibrée est l'une des architectures référencées dans la littérature pour répondre à une variation de TOS actif. En effet, grâce à l'insertion de coupleurs hybrides en entrée et en sortie de l'amplificateur de puissance, cette architecture présente l'avantage d'être robuste vis-à-vis des variations de TOS. Cette solution a déjà été implantée avec succès dans des technologies silicium à plus haute fréquence [MOR2016] [KNO2017] [GER2013]. Réussir à rendre un circuit robuste aux variations de l'environnement extérieur répond à une problématique plus large en termes d'application, traduite par la notion de *self-contained*. Nous détaillons cette notion dans la partie suivante.

Bien que cette notion ne soit pas nouvelle [RAP1959] et qu'elle ait été notamment très étudiée dans le cadre de l'émergence de la 5^{ème} génération de réseau mobile (5G), peu de références sont identifiées dans la littérature pour des applications submillimétriques à forte puissance de sortie.

Conclusion

Une caractérisation des circuits conçus pour un TOS actif 2:1 doit être menée pour s'assurer que l'architecture choisie peut répondre aux contraintes des applications considérées.²

² Il est possible d'aller plus loin en mettant en parallèle de cette partie une étude approfondie sur le comportement du transistor vis-à-vis de la température et du TOS au niveau schématique et layout pour affiner le choix technologique (cf chapitre II, partie I).

Partie III : Amplificateurs de puissance en bande X et Ku

a) Métriques et figures de mérite utiles

Pour caractériser un amplificateur de puissance et comparer son fonctionnement et ses performances à d'autres amplificateurs de puissance, il est nécessaire de définir plusieurs métriques. Nous commençons par décrire les paramètres électriques propres à l'amplificateur de puissance, à partir de la figure 5.

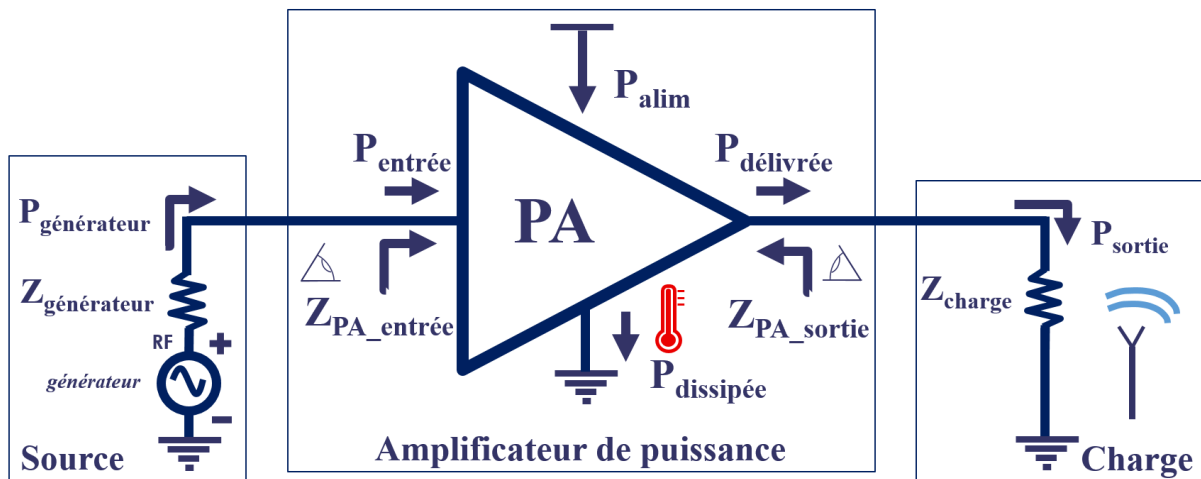


Figure 5: Schéma électrique de l'amplificateur de puissance

Avec :

- ◆ P_{alim} : La puissance d'alimentation consommée par l'amplificateur,
- ◆ $P_{délivrée}$: La puissance de sortie délivrée par l'amplificateur,
- ◆ $P_{dissipée}$: La puissance dissipée, principalement par les transistors sous forme de chaleur,
- ◆ $P_{entrée}$: La puissance fournie à l'amplificateur,
- ◆ $P_{générateur}$: La puissance délivrée par le générateur,
- ◆ P_{charge} : La puissance d'alimentation consommée par l'amplificateur
- ◆ $Z_{PA_entrée}, Z_{PA_sortie}$: Les impédances d'entrée et de sortie intrinsèques de l'amplificateur,
- ◆ $Z_{générateur}$: L'impédance d'entrée du générateur,
- ◆ Z_{charge} : L'impédance de charge en sortie du PA, ici une antenne.

Nous décrivons ensuite les principales métriques de l'amplificateur de puissance, à savoir le gain en puissance, la bande passante, les paramètres S, la stabilité, le rendement, la linéarité en phase et en amplitude et la figure de mérite de l'IRDS.

Gains en puissance

Différentes métriques de gain en puissance existent selon les caractéristiques que nous souhaitons évaluer, et notamment si nous voulons prendre en compte les pertes dans les réseaux d'adaptation.

- Le gain opérant $G_{opérant}$ prend en compte l'adaptation en sortie du PA (I-1) :

$$G_{opérant} = \frac{P_{sortie}}{P_{entrée}} \quad (I-1)$$

- Le gain disponible $G_{disponible}$ prend en compte l'adaptation en entrée du PA (I-2) :

$$G_{disponible} = \frac{P_{délivrée}}{P_{générateur}} \quad (I-2)$$

- Le gain transductique $G_{transducique}$ prend en compte à la fois l'adaptation en entrée et en sortie du PA (I-3) :

$$G_{transducique} = \frac{P_{sortie}}{P_{générateur}} \quad (I-3)$$

Dans cette étude, nous nous intéressons au gain en puissance transductique, défini dans l'équation (I-3), qui traduit le coefficient de transmission direct S_{21} défini plus bas, en numérotant « 1 » le port de source et « 2 » le port de charge.

Ce gain prend en compte la totalité des pertes d'insertion causées par les réseaux d'adaptation. Il permet d'évaluer le gain global de l'architecture amplificatrice. Il est valable pour une fréquence de fonctionnement donnée.

Bande passante

La bande passante est une métrique qui indique la largeur d'une bande de fréquences sur laquelle l'amplificateur de puissance est capable de fournir un certain pourcentage de son gain en puissance lorsqu'il est centré sur sa fréquence de fonctionnement.

Cette métrique est illustrée en figure 6.

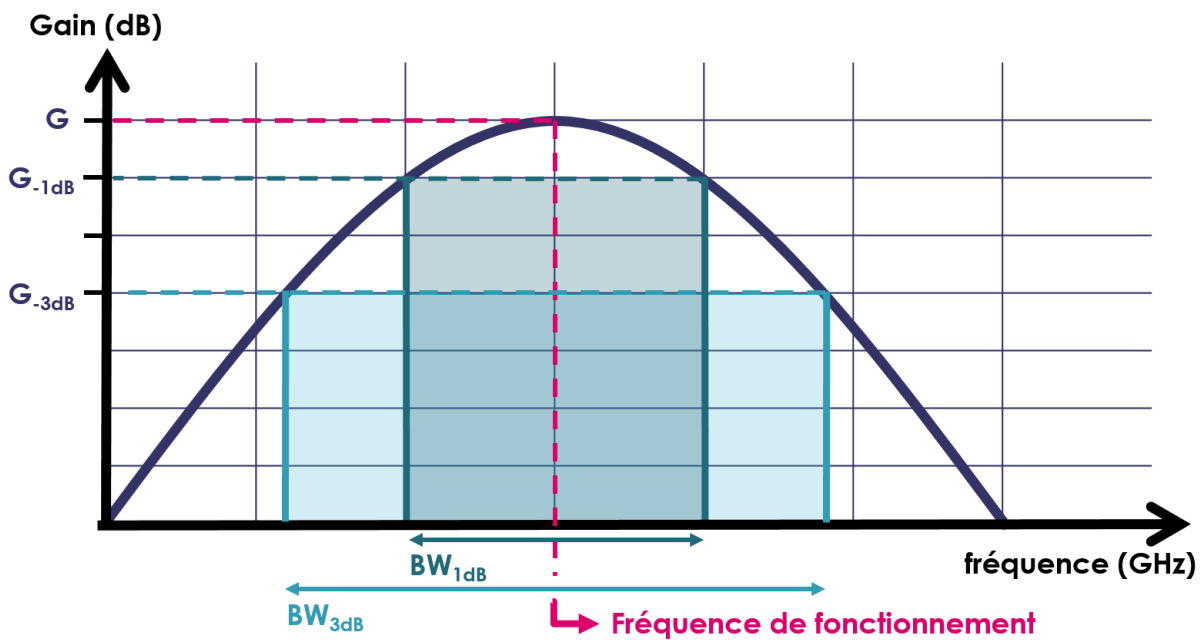


Figure 6: Illustration de la bande passante d'un amplificateur de puissance

Avec :

- G : le gain de l'amplificateur de puissance, centré à sa fréquence de fonctionnement,
- $G_{-1dB} = G - 1dB$,
- $G_{-3dB} = G - 3dB$,
- BW_{1dB} : La bande passante à 1dB, soit plus de 80% de la puissance maximale de l'amplificateur,
- BW_{3dB} : La bande passante à 3dB, soit plus de 50% de la puissance maximale de l'amplificateur.

La bande passante à 1dB, BW_{1dB} , est la métrique la plus largement utilisée.

Paramètres S

Les paramètres S désignent en anglais les *Scattering Parameters*, pour paramètres de répartition. L'amplificateur de puissance peut être vu comme un unique bloc avec deux ports, un en entrée et un en sortie. Cette étude s'appuiera donc sur chacun des quatre paramètres de la matrice $[S_{XX}]$, avec X valant 1 pour désigner la source et X valant 2 pour désigner la charge.

- S_{11} : coefficient de réflexion à l'entrée,
- S_{12} : isolation entre le port d'entrée et de sortie (coefficient de transmission inverse),
- S_{21} : gain de l'amplificateur de puissance (coefficient de transmission direct),
- S_{22} : coefficient de réflexion à la sortie.

Les paramètres S sont définis en fonction de la fréquence de fonctionnement. Nous les représentons de deux manières dans cette étude, soit dans un graphique avec la fréquence en abscisse, soit dans un abaque de Smith lorsque nous réalisons des variations dites *source pull* ou *load pull* (voir chapitre II).

Les valeurs usuelles des coefficients de réflexion en entrée et en sortie sont inférieures à -10dB. Autrement dit, notre système doit avoir des pertes d'insertion inférieures à 10% du niveau de signal transmis en entrée et en sortie. La valeur du S_{21} est fixée dans le cahier des charges de notre étude (voir chapitre II). La valeur du S_{12} doit être très faible, usuellement inférieure à -35dB. Il est important que notre système présente une isolation forte pour le prémunir des variations de l'environnement extérieur.

Les paramètres S permettent de définir plusieurs critères de stabilité.

Critères de stabilité

La stabilité d'un amplificateur de puissance peut être définie comme la capacité pour un amplificateur à rejeter une oscillation dans sa gamme de fréquences de fonctionnement. Cette oscillation peut provenir de différentes sources, notamment en entrée de l'amplificateur ou des alimentations.

Le critère de stabilité le plus répandu est le *critère de Rollet*. Il s'appuie sur deux facteurs, notés k (dit *facteur de Rollet*) et Δ , définis comme suit :

$$k = \frac{1 - |S_{11}(\omega)|^2 - |S_{22}(\omega)|^2 + \Delta^2(\omega)}{2|S_{21}(\omega)S_{12}(\omega)|} \quad (\text{I-4})$$

$$|\Delta(\omega)| = |S_{11}(\omega)S_{22}(\omega) - S_{21}(\omega)S_{12}(\omega)| \quad (\text{I-5})$$

Les conditions de stabilité à partir de ces deux facteurs sont récapitulées dans le tableau 1.

CONDITIONS DE STABILITÉ DU CRITÈRE DE ROLLET			
$ k > 1$	$ k > 1$	$ \Delta < 1$	Inconditionnellement stable
		$ \Delta > 1$	Conditionnellement stable
	$ k < -1$		Instable
$ k < 1$			Conditionnellement stable
$ k = 1$			Instable

Tableau 1: Conditions de stabilité du critère de Rollet

Lorsque le critère est conditionnellement stable, il est nécessaire de tracer les cercles de stabilité dans l'abaque de Smith, pour vérifier les conditions suivantes :

$$|\Gamma_{in}| = \left| S_{11} + \frac{S_{12}S_{21}\Gamma_{charge}}{1-S_{22}\Gamma_{charge}} \right| < 1 \quad (I-6)$$

$$|\Gamma_{out}| = \left| S_{22} + \frac{S_{12}S_{21}\Gamma_{source}}{1-S_{11}\Gamma_{source}} \right| < 1 \quad (I-7)$$

L'ensemble de ce critère est dit "extrinsèque" car il ne prend pas en compte les sources d'instabilité interne à l'amplificateur de puissance. Des précautions de dessin du circuit électronique seront détaillées dans le chapitre II pour répondre à certains types de sources d'oscillations internes, au regard des points chauds expliqués dans [RED2020].

Rendement

Cette métrique est particulièrement pertinente dans cette étude car l'amplificateur de puissance prend une part majoritaire dans la consommation globale d'un module TR [RED2020].

Comme pour le gain en puissance, différentes métriques existent pour caractériser le rendement de l'amplificateur de puissance. Seule l'efficacité énergétique ajoutée (dénommée *P.A.E.* par la suite, pour *Power Added Efficiency*) sera utilisée dans cette étude. Elle est définie comme suit :

$$P.A.E. (\%) = 100 * \frac{P_{sortie} - P_{générateur}}{P_{alim}} \quad (I-8)$$

La *P.A.E.* évalue uniquement la puissance apportée par l'amplificateur de puissance au regard de la puissance consommée.

Nous ajoutons la définition du rendement de collecteur, η_C , qui permet de caractériser le transistor indépendamment de la puissance du signal d'entrée. Cette métrique est davantage utilisée pour des amplificateurs de classe E, lorsque le signal d'entrée est un carré et que le signal de sortie est un sinus.

$$\eta_C (\%) = 100 * \frac{P_{charge}}{P_{alim}} = 100 * \frac{P_{charge}}{V_{alim}I_{alim}} \quad (I-9)$$

Linéarité

La linéarité est liée à la classe de fonctionnement de l'amplificateur, détaillée dans la sous-partie suivante. On définit deux types de linéarité :

- La linéarité en phase (AM/PM) qui traduit la distorsion en phase qui va être générée par l'amplificateur. On l'étudie en représentant la phase du signal en sortie (en °) en fonction de la puissance du signal d'entrée (en dBm)

- La linéarité en amplitude (AM/AM) qui traduit la distorsion en amplitude. On l'étudie en représentant le gain (en dB) du signal en sortie en fonction de la puissance du signal d'entrée (en dBm).

Il est aussi possible de s'appuyer sur l'OCP1 pour caractériser ce phénomène. Selon l'écart entre la puissance de saturation et l'OCP1, il est possible d'évaluer la distorsion AM/AM et de la comparer à d'autres amplificateurs de puissance. La figure 7 traduit dans un graphique la méthode pour déterminer l'OCP1 à partir d'une courbe présentant la puissance de sortie (en dBm) en ordonnée et la puissance d'entrée (en dBm) en abscisse.

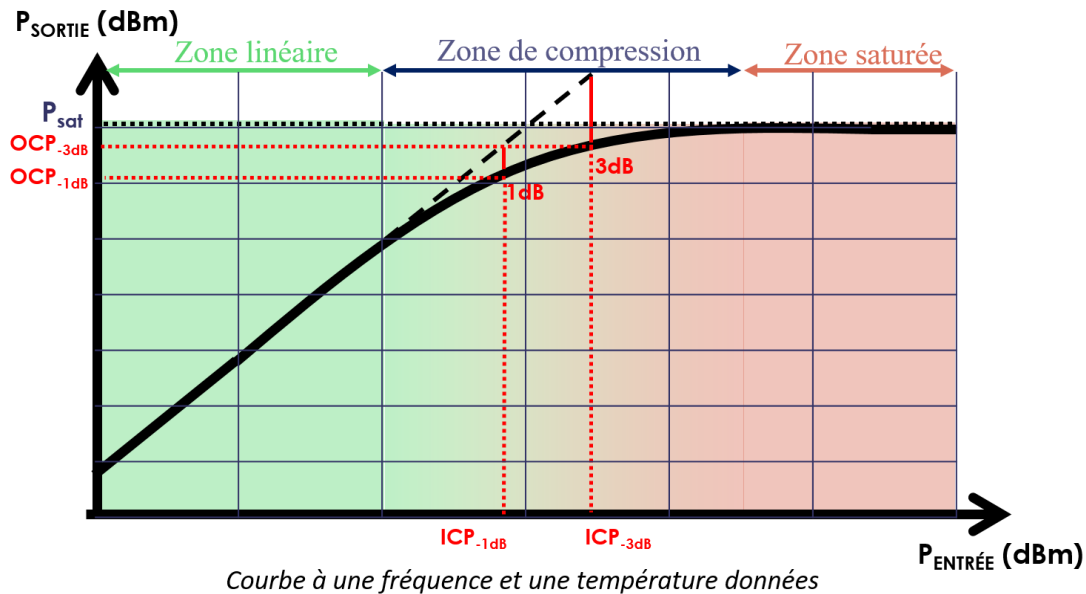


Figure 7: Détermination de l'OCP1 d'un amplificateur de puissance

Figure de mérite de l'IRDS

Nous rappelons ci-après la figure de mérite (FoM) proposée par l'IRDS. IRDS correspond à l'anglais *International Roadmap for Device and System* et signifie Feuille de route Internationale des Composants et Systèmes.

$$FoM[W * GHz^2] = Pout [W] * PAE [%] * Gain[lin] * freq^2 [GHz]^2 \quad (I-10)$$

Cette figure de mérite permet de comparer entre eux tous les amplificateurs de puissance utilisant la même technologie. Elle s'appuie sur quatre paramètres, dont la *P.A.E.* et le gain qui sont des métriques définies auparavant. Il est important de prendre en compte que cette métrique ne considère pas la taille du circuit, et donc n'est pas un indicateur de sa compacité.³

b) Avantages et inconvénients des différentes topologies par rapport à l'application visée

Caractéristiques statiques du transistor

Le transistor bipolaire est mis au point dans la moitié du XXème siècle (1947, John Bardeen, Walter Brattain, William Shockley, Laboratoires Bell). Nous nous appuyons sur la figure 8 pour le décrire.

³ Cette figure de mérite, proposée il y a de nombreuses années lorsque la montée en fréquence des circuits était moins répandue qu'aujourd'hui, ne prend pas en compte la linéarité et donc l'architecture choisie. Elle avantage fortement les travaux en haute fréquence et les technologies III-V.

L'apparente symétrie de ce transistor n'est pas vérifiée et le déplacement des charges est conditionné par la dimension de l'émetteur et du collecteur et la différence de dopage entre ces deux zones. On remarque notamment qu'une recombinaison de charges intervient au niveau de la base du transistor. Ce phénomène peut provoquer une inversion du courant i_B et la rupture de la jonction PN. On parle d'ionisation par impact.

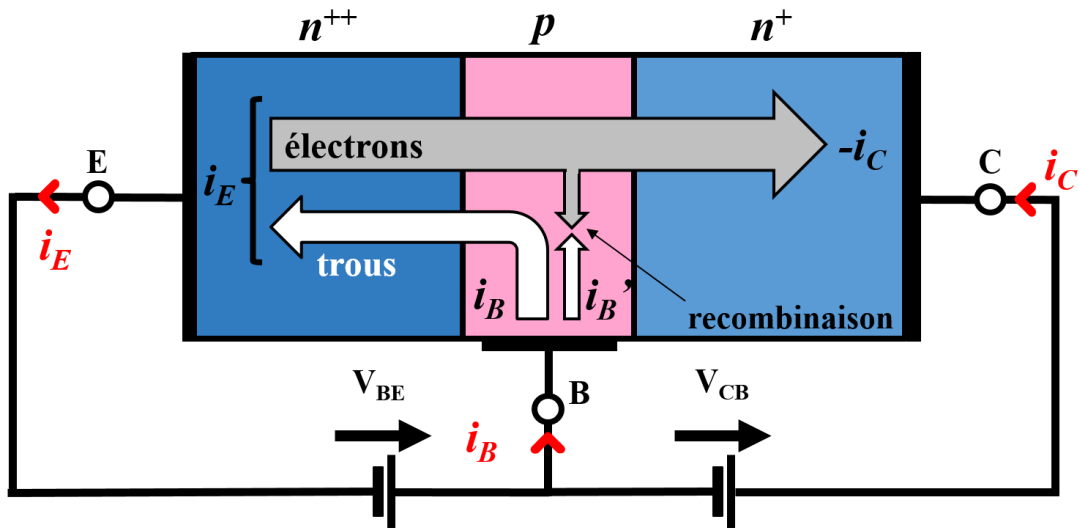


Figure 8: Schéma de déplacement des charges dans un transistor bipolaire npn

Plusieurs régimes de fonctionnement du transistor sont identifiés en traçant les courbes $I_C = f(V_{BE})$ pour différentes valeurs de I_B (figure 9).

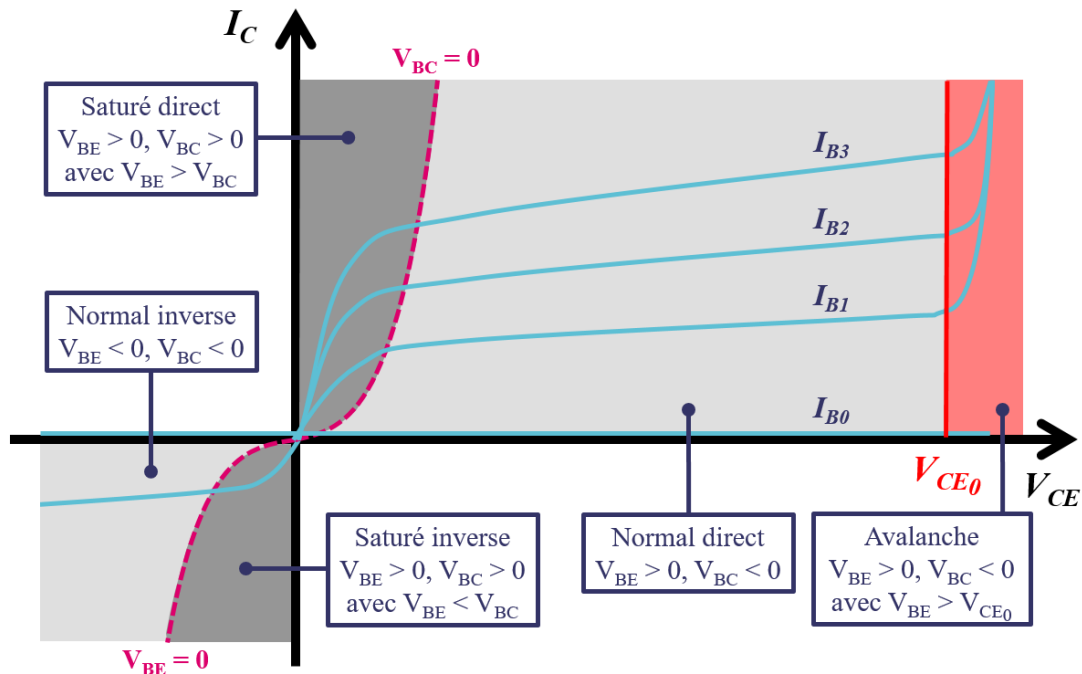


Figure 9: Régimes de fonctionnement du transistor bipolaire

Cette figure propose une illustration du phénomène d'avalanche lorsque la tension collecteur – émetteur dépasse la tension de claquage de la jonction collecteur – émetteur, notée V_{CE0} ou

BV_{CE0} . Ce claquage, caractérisé sur un transistor en base ouverte⁴, limite l'utilisation du transistor dans sa zone de fonctionnement normal direct pour de fortes amplitudes de tension. Il est important de préciser que dans le cas de cette étude, nous nous intéresserons davantage au claquage de la jonction base – collecteur. En effet la tension de claquage base – collecteur BV_{CB0} fournie dans les kits de conception (DK) correspond à une utilisation plus courante du transistor.

Nous utilisons en particulier trois métriques pour caractériser les transistors et les comparer :

- La transconductance, notée g_m , correspond au gain tension – courant : $g_m = \frac{I_C}{V_{th}}$, avec $V_{th} = \frac{k.T}{q} = 26mV$ à $300^\circ K$,
- La fréquence de transition, notée f_t , caractérisant la vitesse de fonctionnement du transistor, s'écrit $f_t = \frac{g_m}{2\pi * C_{entrée}}$ avec $C_{entrée}$ la capacité totale en entrée du transistor,
- Le courant de collecteur I_C statique s'écrit $I_C = I_E - I_B$. Pour de forts courants un régime dit « quasi-saturé » apparaît, pour lequel $I_C = (V_{CE} - V_{BE} - V_{CM})/R_C$, où V_{CM} représente l'écart de tension sur la plage de modulation de conductivité [SZE2007].

Montages de transistor commun

On peut identifier trois types de montage avec un unique transistor.

- Le montage émetteur commun (CE) consiste à placer l'émetteur à la masse. Le signal d'entrée arrive avec la tension de polarisation sur la base. Le signal de sortie est récupéré au niveau du collecteur. Ce signal est déphasé de 180° par rapport au signal envoyé en entrée. On parle de montage *inverseur*.
- Le montage base commune (CB) consiste à envoyer un signal d'entrée sur l'émetteur, et à récupérer le signal de sortie au niveau du collecteur. La base est reliée à la masse (elle ne reçoit qu'une tension fixe pour polariser le transistor).
- Le montage collecteur commun (CC) permet d'envoyer le signal d'entrée sur la base tandis que le signal de sortie est récupéré sur l'émetteur. Le collecteur reçoit l'alimentation DC, il voit la masse en petit signal. Le gain en tension de ce montage est proche de l'unité, on parle de montage *suiveur*.

Les schémas de ces trois montages et les équations associées sont placés en annexes. Les caractéristiques de ces trois types de montage sont récapitulées dans le tableau 2.

Caractéristiques	Montage CE (inverseur)	Montage CB	Montage CC (suiveur)
Impédance d'entrée	Moyenne	Faible	Élevée
Gain en courant	Élevé (β)	Proche de 1 (>1)	Élevé (rapport impédances in/out)
Gain en tension	Élevé (proportionnel à l'impédance de sortie)	Élevé (idem CE)	Proche de 1 (<1)
Gain en puissance	Le plus élevé (produit des deux gains)	Elevé (proche du gain en tension)	Élevé (rapport impédances in/out)
Impédance de sortie	Élevée	Élevée	Très faible

Tableau 2: Récapitulatif des caractéristiques des trois montages de transistor

⁴ La caractérisation en « base ouverte » est un pire cas théorique qui n'est pas réaliste de l'utilisation habituelle du transistor. En pratique il est pertinent de considérer un $BV_{CE}(R_b)$ où la base est reliée à une impédance « R_b » qui permet l'évacuation des charges et donc augmente la tension de claquage.

Classes de fonctionnement des amplificateurs de puissance

Selon l'utilisation du transistor et le type de montage choisi, trois familles de classes de fonctionnement regroupent la majorité des amplificateurs de puissance :

- Les classes A, AB, B et C sont dites sinusoïdales,
- Les classes D et E sont dites commutées,
- Les classes F, F⁻¹ et J sont dites à optimisation d'harmonique.

Les fortes contraintes en linéarité de notre application nous invitent à nous concentrer sur l'étude des classes linéaires A, AB et B. Une description des classes F et F⁻¹ est placée en annexe, il y sera fait référence dans le chapitre II.

Nous nous appuyons sur le schéma d'un montage CE (figure 10).

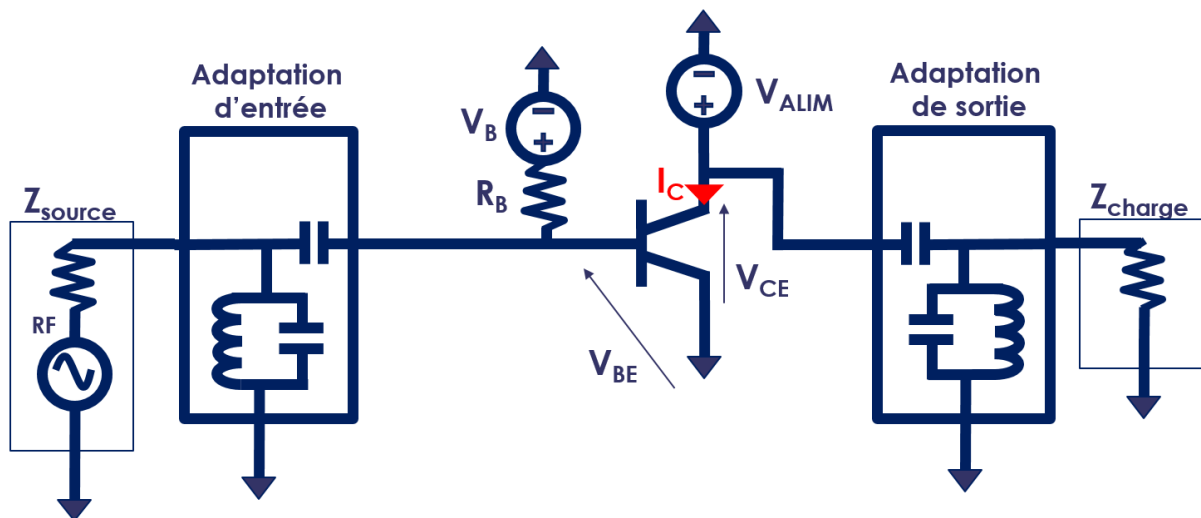


Figure 10: Schéma électrique d'un amplificateur de puissance monté en émetteur commun

Un transistor polarisé en classe B a une tension V_{BE} égale à la tension de seuil de conduction du transistor pour un courant de repos très faible. Son temps de conduction est seulement de 50%. Cette classe permet d'atteindre des niveaux de rendement théoriques maximum de 78.5%. Cependant, les niveaux de gain espérés sont plus faibles.

La classe A correspond quant à elle à un transistor parcouru au repos par la moitié de son courant maximal, pour une tension V_{BE} supérieure à sa tension de seuil de conduction. Cette classe a l'avantage d'être très linéaire, puisque le temps de conduction est de 100%. En revanche, le niveau de rendement théorique maximum est seulement de 50%.

Le compromis entre la linéarité, le niveau de rendement et le gain peut se trouver en utilisant une classe AB. On qualifiera de plus ou moins profonde une classe AB dont le point de fonctionnement sera plus ou moins proche d'une classe B, selon le graphique en figure 11.

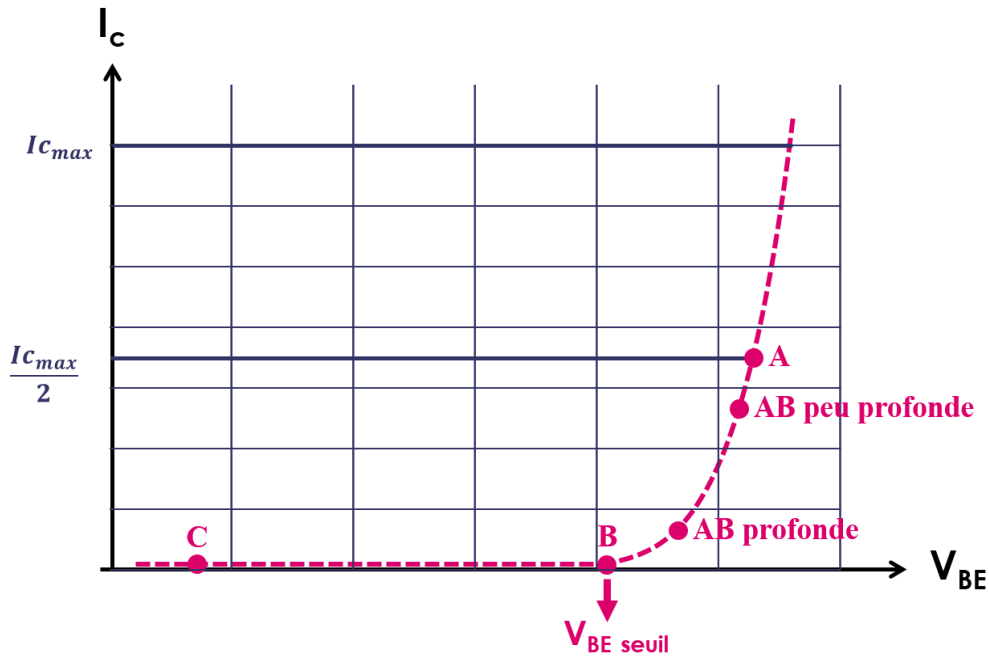


Figure 11: Différents points de fonctionnement d'un transistor bipolaire en fonction de sa classe de fonctionnement

Une approche théorique menée dans [RED2020] permet d'exprimer d'une part le rendement d'émetteur théorique $\eta_C(\theta)$ (I-11) et d'autre part la puissance de sortie théorique $P_L(\theta)$ (I-12) en fonction de l'angle de conduction θ . Ce dernier représente la durée pendant laquelle le circuit est actif au cours d'un cycle de sinusoïde en entrée de l'amplificateur de puissance, avec 360° la durée du cycle complet.

$$\eta_C(\theta) = \frac{P_L}{P_{DC}} = \frac{V_{C,1} \cdot I_{C,1}}{2V_{CC} \cdot I_{C,0}} = \frac{\theta - \sin(\theta)}{2(2 \sin(\frac{\theta}{2}) - \theta \cos(\frac{\theta}{2}))} \quad (\text{I-11})$$

$$P_L(\theta) = V_{C,1} I_{C,1} = \left(\frac{i_{Cmax} V_{CC}}{2\pi} \right) \left(\frac{\theta - \sin(\theta)}{1 - \cos(\frac{\theta}{2})} \right) \quad (\text{I-12})$$

Le tracé de ces deux performances sur un même graphique (figure 12) en fonction de l'angle de conduction, en normalisant la puissance de sortie théorique par rapport à une classe A, permet de fixer la classe de fonctionnement de l'amplificateur de puissance en fonction des performances attendues.

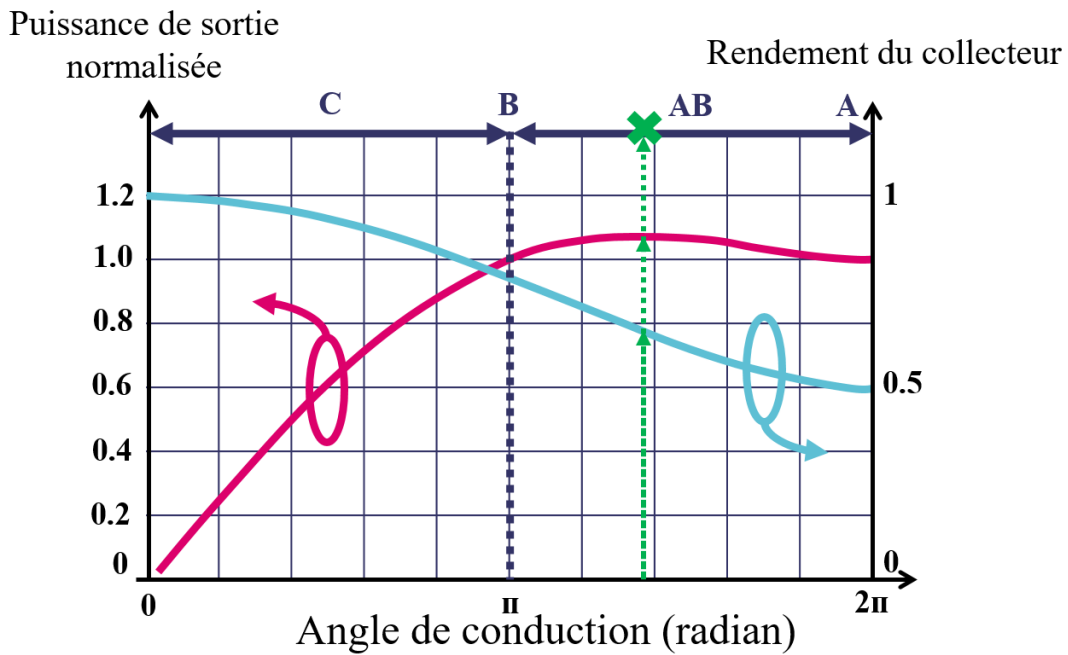


Figure 12: Graphique de puissance de sortie normalisée et rendement de collecteur d'un transistor bipolaire en fonction de l'angle de conduction pour différentes classes de fonctionnement

Il est important de remarquer que cette approche théorique met en évidence un point de fonctionnement permettant de maximiser la puissance de sortie normalisée pour un niveau de rendement restant supérieur à une classe A. Ce point de fonctionnement correspond à une classe AB profonde (pointillés fléchés et croix verte sur la figure 12).

Topologies d'amplificateurs de puissance

Plusieurs topologies d'amplificateurs de puissance sont décrites dans la littérature. Les plus répandues sont les topologies cascode et pseudo-différentielle.

Une topologie cascode consiste à placer en série un transistor monté en émetteur commun (T2) suivi d'un transistor monté en base commune (T1) suivant le schéma en figure 13.

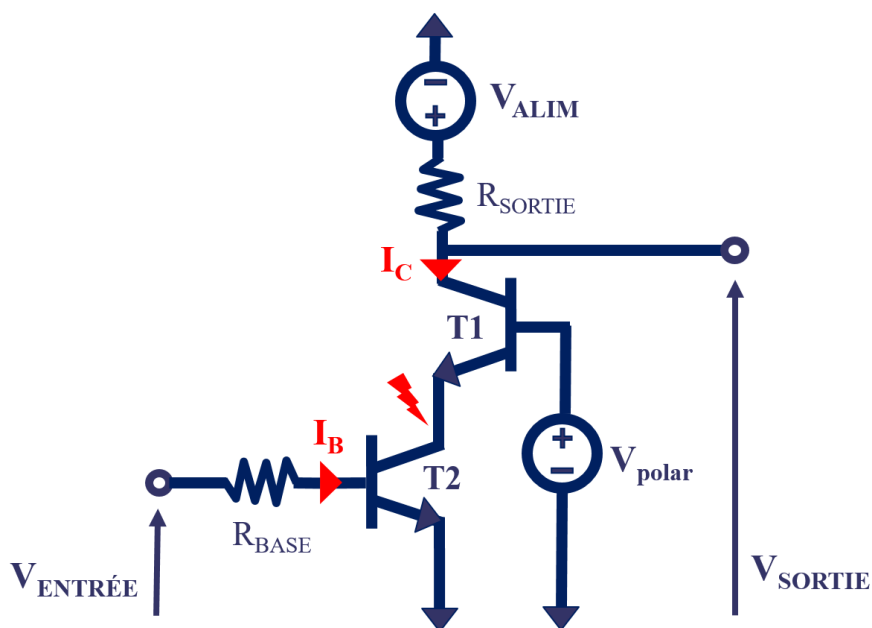


Figure 13: Schéma de deux transistors bipolaires dans une topologie cascode

Le principe de cette topologie est de tirer le bénéfice d'un fort gain en courant permis par le transistor T2 monté en émetteur commun et de guider ce courant vers le transistor T1 monté en base commune pour présenter un fort gain en tension en sortie et ainsi améliorer les performances en puissance de sortie.

L'avantage principal de cette topologie est de répartir la tension V_{ALIM} sur les deux transistors T1 et T2. Cela permet à l'amplificateur de fonctionner à des tensions d'alimentation plus élevées sans craindre le phénomène d'avalanche causé par la tension de seuil collecteur-émetteur BV_{CBO} et ainsi de favoriser une meilleure excursion en tension et donc une puissance de sortie plus importante aux hautes fréquences. Les deux inconvénients couramment cités sont d'une part la réduction de la bande passante causée par le montage en émetteur commun et la résistance de base R_B qui stabilise l'amplificateur et d'autre part la désadaptation entre le collecteur de T2 et l'émetteur de T1, qui déstabilise l'amplificateur de puissance pour de forts niveaux de gain.

Une des causes du manque de stabilité des différents montages communs et de la topologie cascode est la sensibilité au mode commun. On associe souvent par erreur le recours à une topologie pseudo-différentielle pour s'en prémunir. Cette topologie, inspirée partiellement de la paire différentielle, consiste à placer deux amplificateurs de puissance en parallèle, déphasés de 180° . La division et la combinaison à 3dB du signal se font à l'aide de baluns, pour l'anglais *BALanced* – *UNbalanced*, qui traduit littéralement le passage du signal de 2 entrées symétriques vers une sortie unique (ou *single*) (voir figure 14).

A travers l'utilisation des baluns, les deux avantages de cette topologie sont d'une part la combinaison en puissance de 3dB et d'autre part la transformation d'impédance en entrée et en sortie. L'amélioration de la réjection du mode commun est rendue possible par l'ajout d'une capacité de compensation sur la voie reliée à la masse du balun de sortie [LAR2014].

En résulte le principal désavantage qui réside dans la conception de ces baluns souvent complexe, générant de fortes pertes et peu compacts.

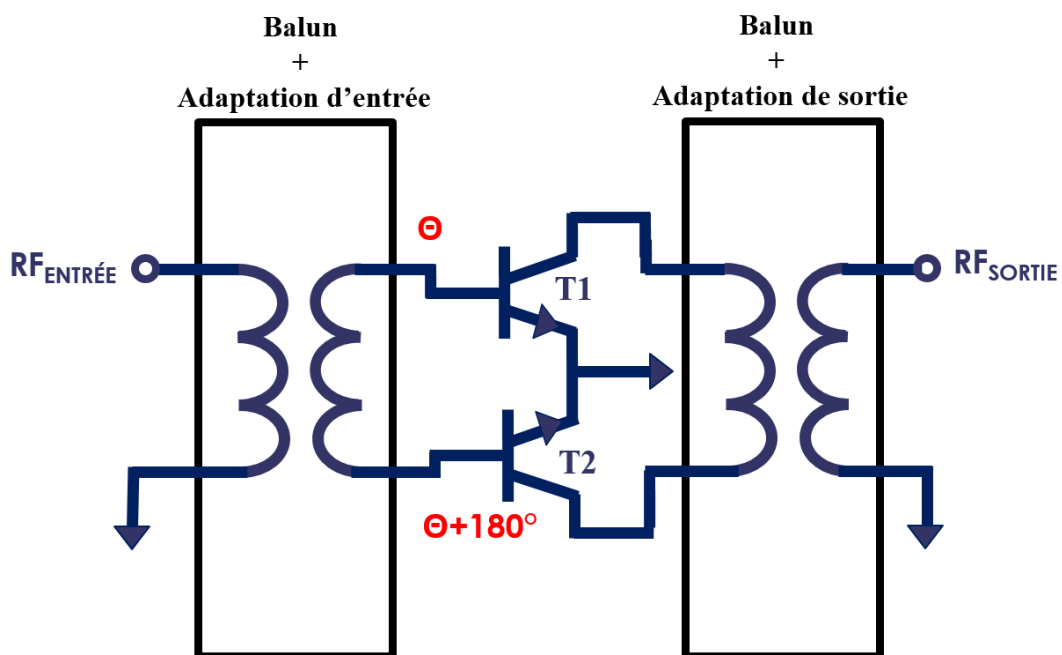


Figure 14: Exemple de deux transistors montés en émetteur commun dans une topologie pseudo-différentielle ou symétrique

c) Architecture équilibrée et robustesse au TOS actif

Notion de Self-Contained

La notion de *self-contained* s'est démocratisée avec l'émergence des études sur la 5G. Elle décrit la capacité pour un module électronique à être robuste intrinsèquement aux variations de son environnement. Cette robustesse lui confère une meilleure autonomie. Les architectures équilibrées ont été mises en évidence par plusieurs travaux comme étant des architectures idéales pour répondre aux problématiques du *self-contained* (voir partie I).

Architectures équilibrées

Une architecture équilibrée désigne, pour un amplificateur de puissance, une architecture électronique dans laquelle au moins deux cellules de puissance identiques sont mises en parallèle (ou *combinées*) au moyen de coupleurs hybrides 90°, comme dans l'exemple illustré en figure 15.

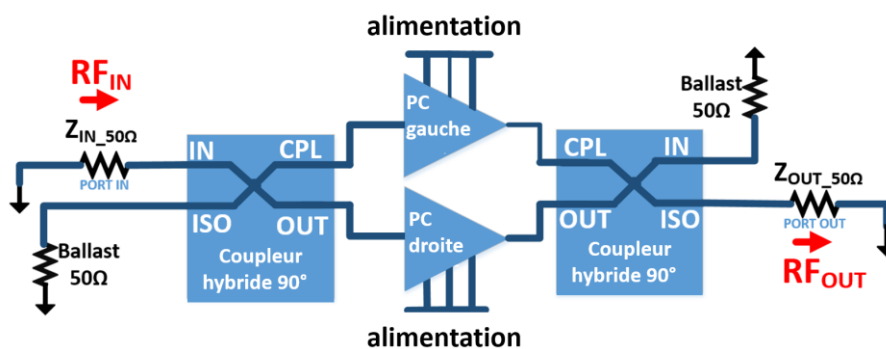


Figure 15: Exemple d'architecture équilibrée combinant deux cellules de puissance

Coupleurs

Les coupleurs sont des composants passifs. Plusieurs familles de coupleurs se distinguent selon les divisions ou combinaisons en puissance réalisées en amplitude et en phase. Cette étude s'intéresse aux coupleurs directs hybrides 90° (ou 3dB) compacts. Ce type de coupleur réalise la division ou la combinaison du signal utile à 3dB selon son positionnement en entrée ou en sortie d'une architecture équilibrée.

Les figures de mérite que nous utilisons dans cette étude pour caractériser les coupleurs sont décrites dans les équations (I-13, I-14, I-15). Elles utilisent la numérotation de port identifiée en figure 16.

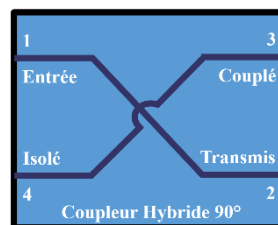


Figure 16: Schéma simplifié d'un coupleur hybride avec numéros des ports

- Le déséquilibre en amplitude : $|dB(S_{21}) - dB(S_{31})|$ (I-13)
- Le déséquilibre en phase : $|phase(S_{21}) - phase(S_{31})|$ (I-14)
- Les pertes d'insertion : $10 \log_{10}(|S_{21}|^2 + |S_{31}|^2) = dB(|S_{21}| + |S_{31}|)$ (I-15)

Nous étudions dans les chapitres II et III comment les coupleurs confèrent aux amplificateurs de puissance équilibrés une protection particulière au TOS actif.

TOS actif

Le Rapport d'Onde Stationnaire (*ROS*) et le Taux d'Onde Stationnaire (*TOS*), communément appelé *SWR* pour l'anglais *Standing Wave Ratio*, sont définis à partir des équations (I-16,17)

$$- \text{ROS} = \frac{1+\rho}{1-\rho} \text{ avec } \rho = |\Gamma_L| = S_{22} \quad (\text{I-16})$$

$$- \text{TOS} = 100 * \frac{\text{ROS}-1}{\text{ROS}+1} \quad (\text{I-17})$$

Cette métrique correspond au phénomène illustré sur la figure 17. PA désigne l'amplificateur de puissance.

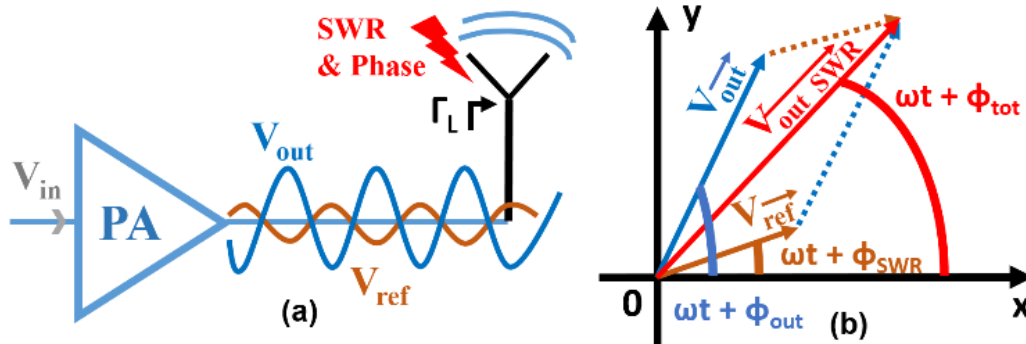


Figure 17: (a) Phénomène de SWR et (b) Expression de V_{out} dans le diagramme de Fresnel

On définit les équations de V_{in} , V_{out} and V_{ref} (I-18,19,20) [FOR2020]. On s'appuie sur le théorème de Pythagore pour calculer le gain linéaire $Gain_{SWR}$ en fonction du *SWR*.

- V_{pp} est l'amplitude du signal d'entrée,
- Γ_L est le coefficient de réflexion en sortie,
- G_{dB} est le gain linéaire de l'amplificateur de puissance,
- ϕ_{in} est la phase du signal d'entrée,
- ϕ_{out} est la phase du signal de sortie,
- ϕ_{SWR} est la phase de $V_{out_{SWR}}$ le signal généré par le *SWR*,
- ϕ_{tot} est la différence entre ϕ_{SWR} et ϕ_{out} (Fig. 17b).

Les paramètres et variables utilisés sont définis à partir des équations (I-18 à 20)

$$V_{in} = V_{pp} \times \sin(\omega t + \phi_{in}) \quad (\text{I-18})$$

$$V_{out} = 10^{\frac{G_{dB}}{20}} \times V_{in} \quad (\text{I-19})$$

$$V_{ref} = V_{out} \times \Gamma_L = V_{out} \times \frac{SWR-1}{SWR+1} \quad (\text{I-20})$$

$$Gain_{SWR} = 20 \log \sqrt{[(V_{out}/V_{in})^2 + (V_{ref}/V_{in})^2 + 2 \times (V_{out} \times V_{ref}/V_{in}^2) \times \cos(\phi_{out})]} \quad (\text{I-21})$$

Il est mis en évidence simplement et pour la première fois à la connaissance de l'auteur que l'écart $\Delta Gain_{SWR}$ entre les valeurs minimales et maximales de $Gain_{SWR}$ dépend uniquement du *SWR* (I-22).

$$\begin{aligned} \Delta Gain_{SW} &= Gain_{SWR}(\phi_{tot}=180^\circ) - Gain_{SWR}(\phi_{tot}=0^\circ) \\ &= 20 \log \sqrt{[(1 + \Gamma_L^2 + 2\Gamma_L)/(1 + \Gamma_L^2 - 2\Gamma_L)]} \end{aligned}$$

$$= 20 \log(SWR) \quad (I-22)$$

Une architecture équilibrée peut être considérée d'une manière simplifiée⁵ comme un bouclier qui réduit l'impact du SWR vu par la cellule de puissance (PC) (figure 18). Pour quantifier l'effet de protection de ce bouclier, nous introduisons une nouvelle figure de mérite (FOM). SSC_{SWR_a} correspond à l'anglais *Shield ratio for Self-Contained architectures*, il signifie Ratio de Protection pour des Architecture *Self-Contained* et il est défini pour un SWR donné, appliqué en sortie de l'amplificateur de puissance. Le SWR_a est le SWR appliqué à l'amplificateur de puissance. Le SWR_s est le SWR subi par la cellule de puissance.

$$SWR_s = 10^{\frac{\Delta Gain_{mesuré}}{20}} \quad (I-23)$$

$$SSC_{SWR_a} = SWR_a / SWR_s \quad (I-24)$$

Prenons un exemple. Nous admettons que nous appliquons un SWR_a de 2:1 sur un amplificateur de puissance équilibré et que l'écart en gain mesuré $\Delta Gain_{mesuré}$ vaut 1,6dB. Alors le SWR_s vaut 1,2 et le $SSC_{2:1}$ vaut 1,7 d'après (I-25,26). Cela signifie que l'architecture équilibrée offre une protection qui réduit l'impact du SWR sur la cellule de puissance seule de 2:1 à seulement 1,2:1.

$$SWR_s = 10^{\frac{1,6}{20}} = 1,2 \quad (I-25)$$

$$SSC_{SWR_a} = \frac{2}{1,2} = 1,7 \quad (I-26)$$

Le tableau 3 présente l'écart théorique du gain linéaire $\Delta Gain_{SWR}$ et le $SSC_{2:1}$ pour différentes valeurs de SWR subi.

Tableau 3: Ecart en gain linéaire, $SSC_{2:1}$ pour différentes valeurs de SWR

FOM \ SWR_s	1:1	1,2:1	1,3:1	2:1	4:1
$\Delta Gain_{SWR_s}$	0dB	1,6 dB	2,3 dB	6 dB	12dB
$SSC_{2:1}$	2	1,7	1,5	1	0,5

⁵ Les travaux [RED2020] montrent qu'il s'agit précisément d'une distribution de l'impédance entre les cellules de puissance : une impédance plus haute vers l'une, et plus basse vers l'autre.

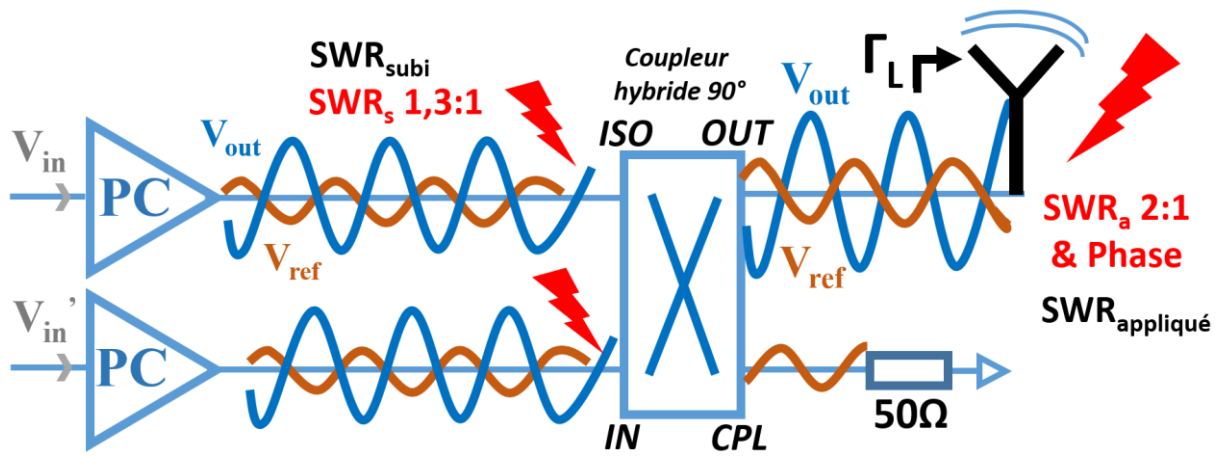


Figure 18: Effet bouclier d'un coupleur hybride avec deux cellules de puissance (PC)

Partie IV : Etat de l'art des amplificateurs de puissance en technologie silicium et III-V en bandes X et Ku.

Dans cette partie nous décrivons les travaux de l'état de l'art qui offrent les éclairages les plus pertinents au regard des performances et des limites technologiques explicitées en partie II.

a) Travaux majeurs en technologie silicium, 9-27 GHz

Les travaux décrits figure 19 [DUP2014] portent sur un amplificateur de puissance SiGe équilibré doté de 4 cellules de puissance pseudo-différentielles fonctionnant en bande X. La combinaison et la division du signal RF sont effectuées en courant sur les niveaux épais de la technologie BiCMOS9MW utilisée pour ce circuit.

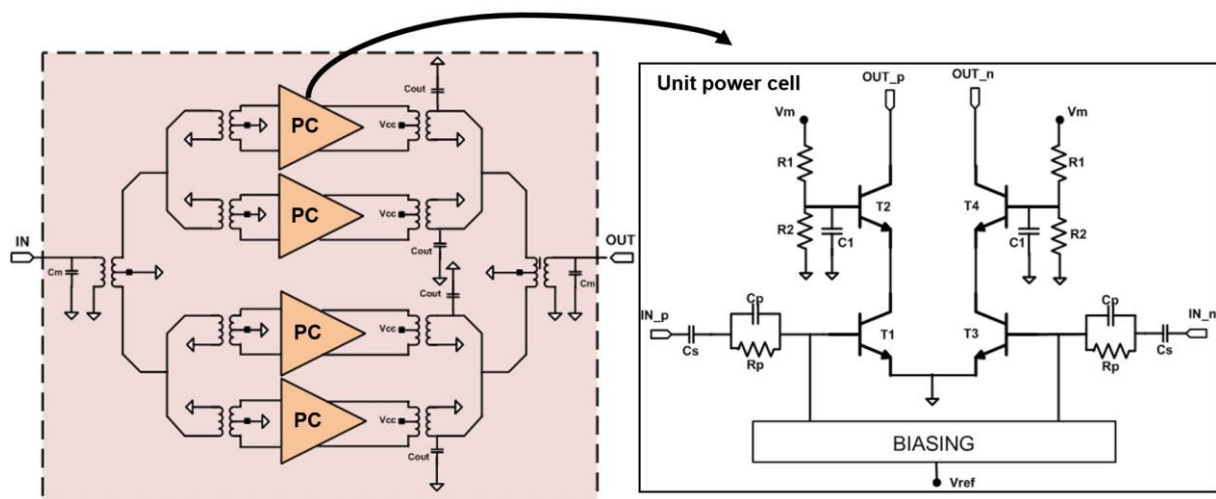


Figure 19: Schéma électrique d'un PA SiGe avec 4 cellules de puissance [DUP2014]

Les modèles de transistors bipolaires sont des NPNVHS⁶. Ce choix est justifié par la densité de courant nécessaire pour atteindre les performances visées.

On peut distinguer sur la figure 20 les enroulements correspondant aux baluns, occupant la majeure partie de la surface de la puce.

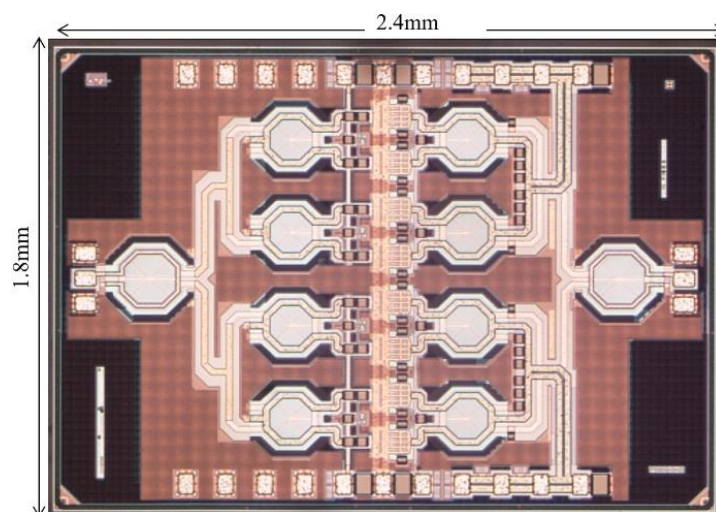


Figure 20: Microphotographie du PA SiGe avec 4 cellules de puissance [DUP2014]

⁶ Les différents modèles de transistors SiGe 0,13 μ m BiCMOS9MW et leurs caractéristiques techniques sont décrits dans le chapitre 2 (tableau 5 p.69)

L'apport majeur de cet amplificateur de puissance est d'avoir repoussé les limites connues de puissance de saturation en bande X pour une technologie SiGe. Les performances illustrées en figure 21 présentent la puissance de sortie, le gain, la *P.A.E.* et le courant consommé en fonction de la puissance d'entrée, pour une tension d'alimentation de 3,6V.

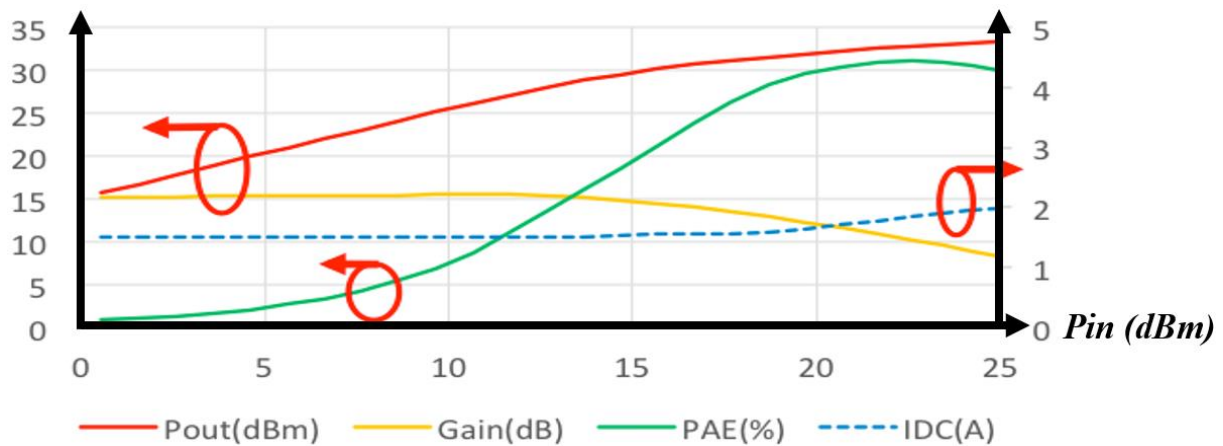


Figure 21: Performances grand signal du PA SiGe avec 4 cellules de puissance [DUP2014]

Pour une tension d'alimentation de 3,6V, la puissance de saturation de cet amplificateur atteint 34,2dBm. La puce est montée sur une semelle métallique utilisant un epoxy conducteur thermique H20E employé pour faciliter la dissipation thermique. Cependant malgré ce report sur PCB, la réalisation de ces mesures pour des tensions d'alimentation supérieures à 2,9V induit un échauffement conséquent du circuit et une perte de performance par fuite thermique. La chaleur rend difficile le contact des pointes de mesure sur les pads. Il est alors nécessaire de descendre la température ambiante à -50°C pour réussir à réaliser une mesure fiable qui corresponde aux simulations.

Ces travaux sont intéressants pour cette étude en termes de limite de puissance en bande X et en technologie SiGe. Cependant la limite technologique d'échauffement est rédhitoire et aucune solution n'est proposée pour le réduire.

La figure 22 présente les premiers travaux proposant un amplificateur de puissance en bande Ku dépassant 30dBm de puissance de saturation en technologie $0,25\text{-}\mu\text{m}$ SiGe:C BiCMOS⁷ [CHE2016]. Le circuit est composé de 16 cellules unitaires pseudo-différentielles (figure 22a). On distingue les transformateurs permettant l'adaptation d'impédance en entrée de ces 16 cellules (figure 22b).

⁷ Pic de f_t/f_{max} à 216/177GHz, tension BV_{CE0} : 1,45V pour le transistor NPN de modèle « low-voltage » et 2,8V pour le transistor NPN de modèle « high-voltage ».

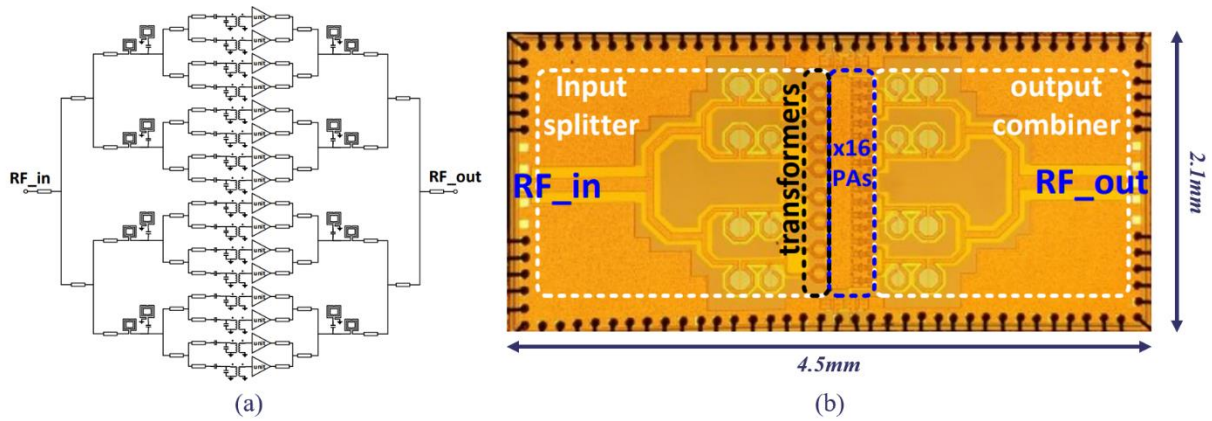


Figure 22: Schéma électrique et microphotographie d'un PA à 16 cellules de puissance [CHE2016]

Chaque cellule de puissance unitaire est composée d'un transistor *low voltage* monté en émetteur commun et d'un transistor *high voltage* monté en base commune, placés dans une topologie cascade. Le combineur de sortie utilise des inductances pour réaliser l'adaptation en sortie avec seulement 1,5dB de pertes à 14 GHz.

Les performances obtenues en petit et grand signal sont présentées en figure 23.

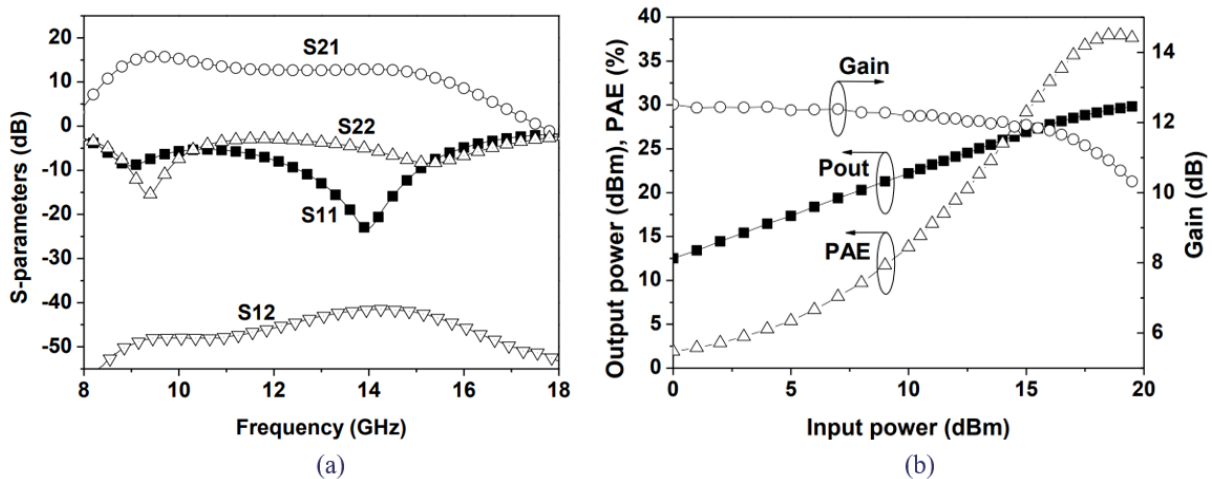


Figure 23: Performances (a) petit signal (b) grand signal d'un PA à 16 cellules de puissance [CHE2016]

On remarque que le circuit est fortement adapté en entrée avec un paramètre S_{11} inférieur à -20dB à 14 GHz. Pour autant le paramètre S_{22} est de l'ordre de -5dB à la fréquence de fonctionnement et le paramètre S_{21} n'est pas centré à 14 GHz, ce qui permet de supposer que le combineur en sortie est particulièrement adapté en grand signal et non en petit signal. Des mesures supplémentaires grand signal en fréquence seraient nécessaires pour apprécier les paramètres S à forte puissance d'entrée. Concernant les performances grand signal présentées en figure 23b, l'allure du gain traduit une classe de fonctionnement linéaire de la cellule de puissance unitaire. Le pic de $P.A.E.$ à 37,5% est atteint à 2dB dans la compression, tandis que la puissance de saturation de 30dBm est atteinte à 3dB dans la compression.

Ce compromis de haut niveau de performances est permis grâce à un choix judicieux de la topologie de l'amplificateur de puissance et à un travail de conception avancée sur le combineur de puissance en sortie qui présente très peu de pertes à 14 GHz malgré sa surface. Le choix d'un nœud technologique à $0,25\mu\text{m}$ et le type de modèle de transistor sont des éléments à prendre en considération pour comparer ces performances à l'état de l'art.

Ces travaux sont particulièrement intéressants pour cette étude car ils illustrent la limite en puissance actuelle en bande Ku de la technologie SiGe. Cependant les choix de combinaison en puissance ne répondent pas au défi d'intégration et aucune caractérisation en température et en TOS actif ne permet de démontrer les performances de ce circuit par rapport aux deux autres limites technologiques de notre étude.

La figure 24 décrit un amplificateur de puissance à forts niveaux de *P.A.E.* en bande X et technologie silicium [JU2017]. Le nœud technologique utilisé est un $0,13\mu\text{m}$ SiGe⁸. Sept cellules de puissance unitaires en topologie cascode sont combinées en courant. Les transistors en émetteur commun et en base commune ont les mêmes dimensions ($0,12\mu\text{m}$ de largeur et $17,8\mu\text{m}$ de longueur d'émetteur) et la même superficie ($14,95\mu\text{m}^2$). Les deux spécificités majeures de ces travaux sont identifiées sur le schéma électrique de la cellule unitaire et la microphotographie du circuit implémenté.

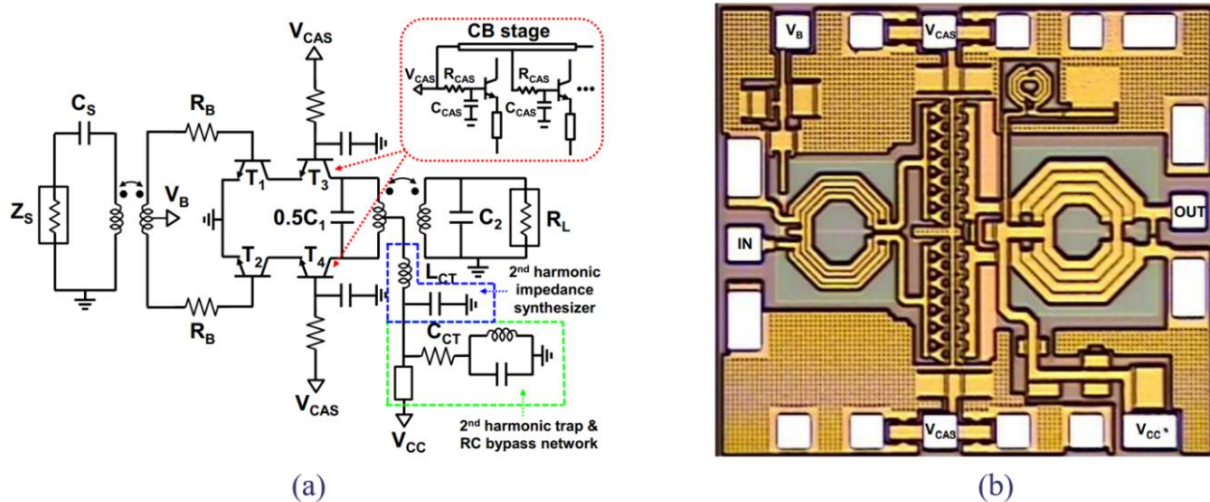


Figure 24: (a) Schéma électrique de la cellule de puissance unitaire, (b) microphotographie du PA SiGe bande X [JU2017]

La première spécificité consiste à isoler le plus possible les bases des transistors montés en base commune, de sorte de se prémunir davantage du phénomène d'ionisation par impact. En effet, il est plus facile de positionner de cette manière une capacité de forte valeur au plus près de la base du transistor pour capter les trous et limiter la recombinaison électrons-trous conduisant au claquage de la jonction base-collecteur.

⁸ Process $0,13\text{-}\mu\text{m}$ SiGe BiCMOS-8HP de Global Foundries avec $f_{\text{max}}/f_{\text{T}}$ de 280/220 GHz. Tensions de claquage BVCBO et BVCEO : 6,0 et 1,7 V. BEOL composé d'une couche épaisse en metal aluminium de $4\mu\text{m}$ avec une capacité avec le substrat Si de $3,6\text{ fF}/\mu\text{m}^2$ (cf figure 25a).

La seconde spécificité correspond au transformateur placé en sortie qui assure à la fois la recombinaison du signal RF et la transformation d'impédance, et auquel un filtrage d'harmoniques est ajouté pour permettre à l'amplificateur de puissance d'opérer en classe J inversée par filtrage des harmoniques paires. Ce transformateur et les formes d'onde de la classe J^{-1} sont décrits en figure 25.

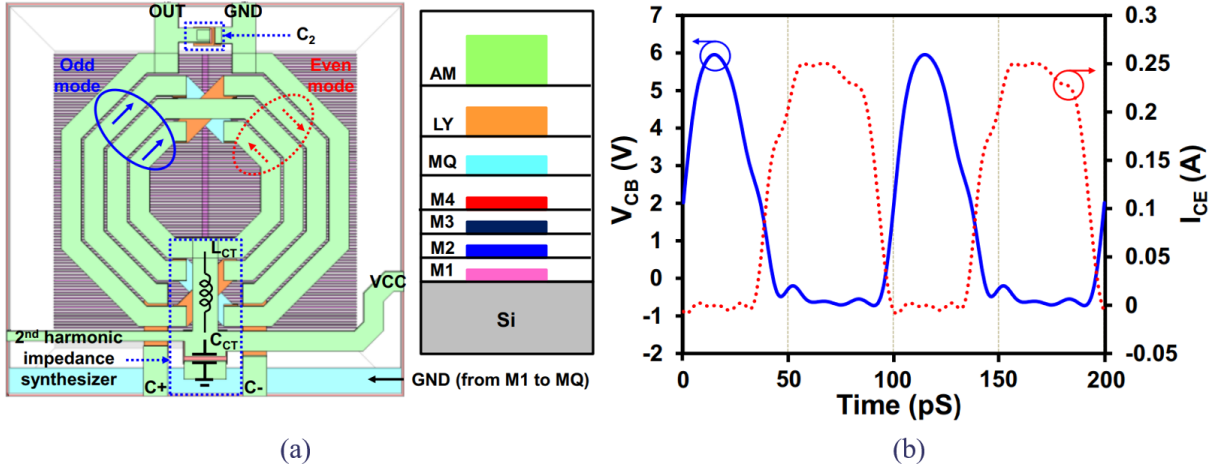


Figure 25: (a) Vue 2D du transformateur à optimisation d'harmoniques, (b) formes d'onde en courant et en tension sur le transistor $T_{3,4}$ - travaux de I. JU [JU2017]

On peut observer sur la figure 25a la présence de 4 enroulements parcourus par les différentes harmoniques. La synthèse d'impédance des harmoniques d'ordre 2 est réalisée à l'aide de la piste d'alimentation qui intervient sur le point milieu de l'enroulement le plus court. On identifie également une capacité C_2 entre les voies de sortie du transformateur, qui permet d'optimiser l'adaptation d'impédance en sortie à la fréquence désirée.

Sur la figure 25b, l'allure en tension collecteur-base V_{CB} est apparentée à un « demi sinus », elle ne dépasse pas les 6V autorisés par la tension de claquage de la jonction collecteur-base pour ce modèle de transistor. L'allure en courant est proche d'un carré. Ces deux formes d'onde coïncident avec une classe J inversée.

Les performances obtenues par cet amplificateur de puissance sont décrites dans la figure 26.

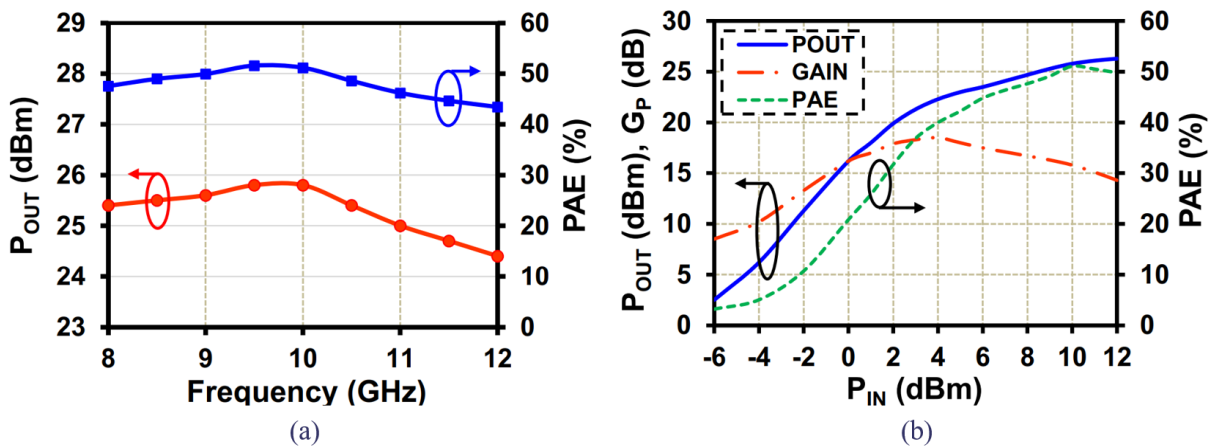


Figure 26: Performances grand signal (a) en fréquence à $P_{in} = 10\text{dBm}$ (b) en puissance d'entrée à 10 GHz du PA SiGe bande X [JU2017]

La figure 26a montre que les performances grand signal sont centrées en fréquence dans la bande souhaitée. Le graphique 26b qui présente les performances en puissance de sortie, *P.A.E.* et gain en fonction de la puissance d'entrée, montre d'une part l'utilisation d'une classe de fonctionnement non linéaire car le gain petit signal donné dans la publication est de 15,8dB alors qu'aux faibles valeurs de puissance d'entrée le graphique présente un gain inférieur à 10dB. Cette observation questionne le type de classe de fonctionnement du transistor en émetteur commun qui doit fonctionner en classe AB pour réaliser une classe J inversée. La publication de ces travaux indique une tension de polarisation de 0,77V, ce qui est légèrement inférieur à la tension V_{BE} couramment admise de 0,8V. Une sous-polarisation du transistor est probablement la cause de cette allure du gain, qui confère une mauvaise linéarité au circuit complet.

Les allures de la puissance de sortie et de la *P.A.E.* montrent que le point de fonctionnement optimal de ce circuit à la *P.A.E.* maximale de 51.1% se situe environ à 1dB dans la compression, si l'on considère un gain petit signal de 15.8dB tel qu'il est indiqué dans la publication.

Ces travaux sont intéressants pour notre étude car ils permettent de proposer un ordre de grandeur des limites en *P.A.E.* atteignable en bande X et en technologie SiGe, en dépit d'une puissance de sortie et d'un gain plus faibles que ceux visés dans notre application.

Les travaux de la figure 27 sont très proches de notre application, en SiGe 0,13 μ m BiCMOS9MW (cf chapitre 2, tableau 5 p.69) [RED2020]. La différence essentielle réside dans la bande de fréquences utilisée. Il s'agit des travaux de référence sur la robustesse au TOS actif en bande X pour des niveaux de puissance de sortie et de *P.A.E.* élevés.

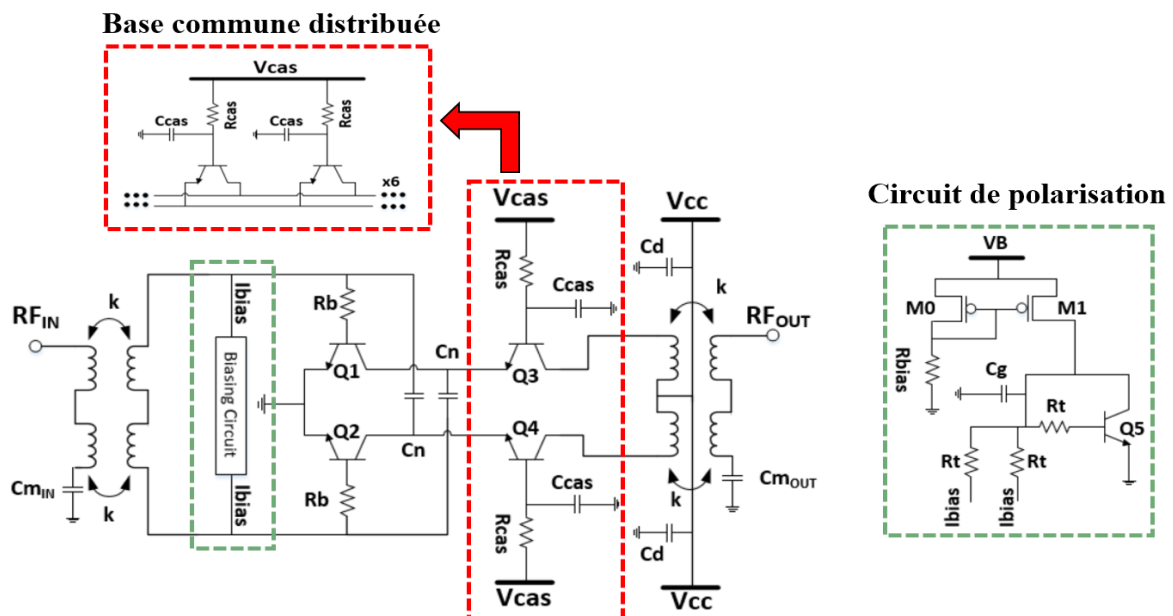
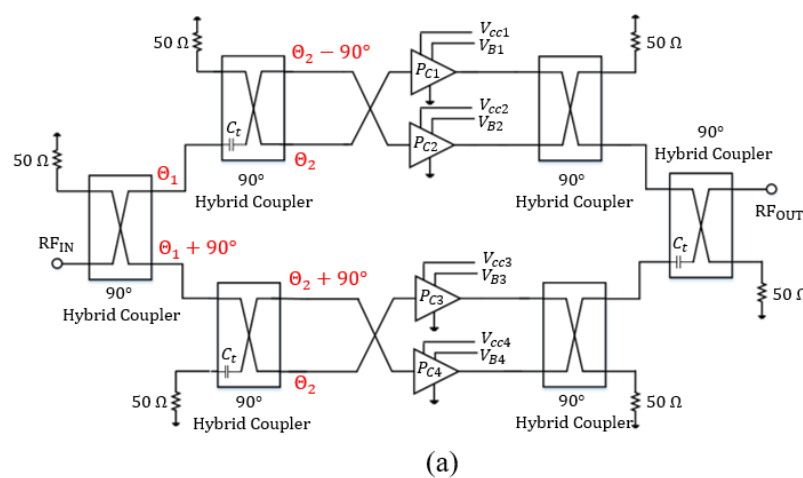


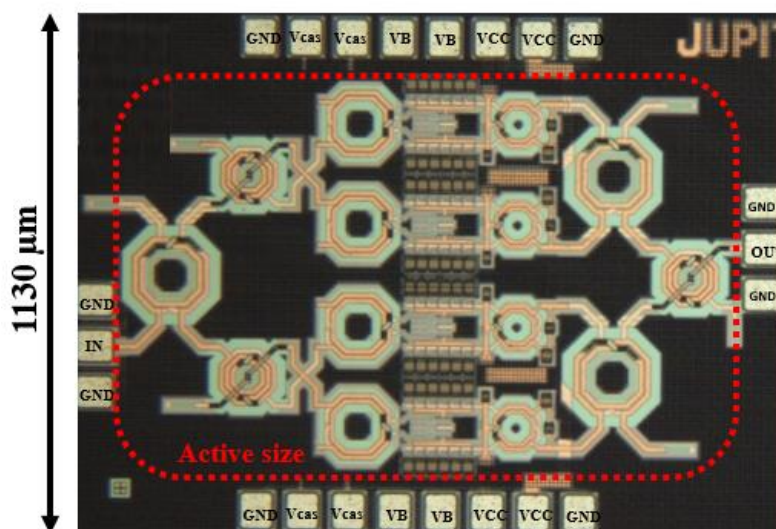
Figure 27: Schéma électrique de la cellule de puissance élémentaire du PA SiGe bande X [RED2020]

Le schéma électrique de la cellule de puissance unitaire (figure 27) s'appuie sur une topologie cascode pseudo-différentielle. Les transistors $Q1$ et $Q2$ sont des HBT 5xCBEB-C de $10,5\mu\text{m}$ de longueur d'émetteur. Nous pouvons remarquer que la technique de distribution de l'étage de base commune est exploitée pour permettre l'isolement des bases comme décrit dans [JU2017]. Sur le schéma, le circuit de polarisation du transistor en émetteur commun est également décrit. Il utilise un miroir de courant NPNVHS de ratio 1 piloté par un miroir PMOS de ratio 24. L'intérêt de ce circuit est à la fois d'assurer une meilleure stabilité en température grâce à la recopie stable du miroir de courant et d'assurer également une meilleure robustesse aux variations de fabrication grâce à la topologie interdigitée et compacte du miroir PMOS.

La figure 28 présente l'architecture à double équilibrage et la microphotographie du circuit implémenté (module 1W).



1550 μm



(b)

Figure 28: (a) Synoptique de l'architecture à double équilibrage (b) microphotographie du PA SiGe bande X [RED2020]

Nous pouvons observer que la superficie totale de la puce est de $1,75\text{mm}^2$. Ce circuit est de fait le circuit le plus compact fournissant une puissance de saturation supérieure à 30dBm en technologie SiGe sur la bande X.

La comparaison entre les simulations et les mesures des paramètres S et des performances grand signal est illustrée sur les figures 29 et 30.

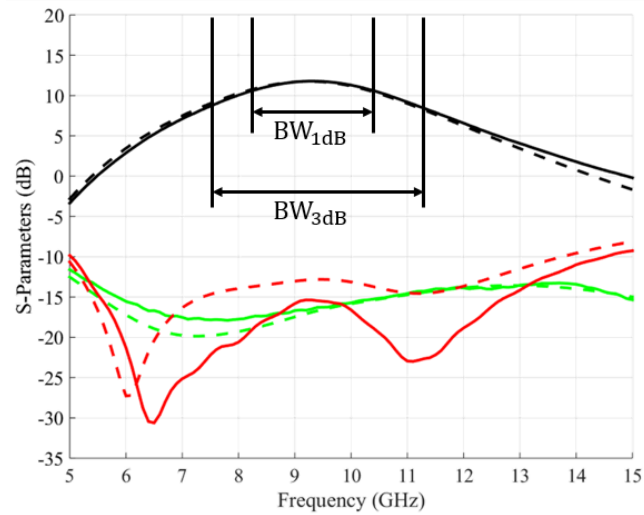
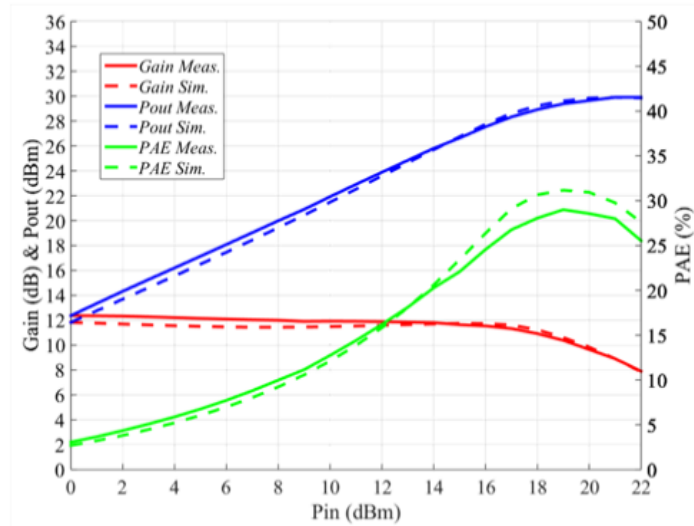
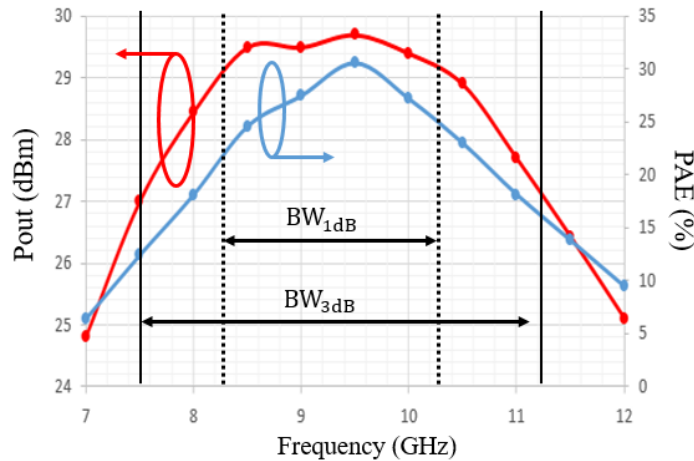


Figure 29: Paramètres S du module 1W - amplificateur de puissance à double équilibrage du PA SiGe bande X [RED2020]

Les bandes passantes à 1dB et 3dB s'étendent sur les bandes respectives $[8,3 - 10,3]$ GHz et $[7,5 - 11,2]$ GHz. Nous pouvons observer que le gain est centré à la fréquence souhaitée.



(a)



(b)

Figure 30: Performances grand signal (a) en fonction de la puissance d'entrée à 9,5 GHz (b) en fonction de la fréquence pour $P_{IN} = 20\text{dBm}$ du PA SiGe bande X [RED2020]

La figure 30a révèle une bonne adéquation entre simulations et mesures, ainsi qu'une très bonne linéarité du gain. Une puissance de saturation maximale de 30,2dBm est obtenue à 9,5 GHz à plus de 3dB dans la compression. Une *P.A.E.* maximale de 29% est obtenue pour une puissance d'entrée de 19dBm environ (lecture graphique).

Pour finir, ces travaux présentent l'influence détaillée de la variation de la température sur le comportement de l'amplificateur de puissance (figure 31). Nous pouvons observer notamment que la plupart des performances sont plus basses avec une température croissante jusqu'à 110°C. Le gain et la *P.A.E.* sont les performances les plus dégradées par l'élévation de température. L'écart mesuré de la puissance de saturation reste inférieur à 1dB entre 28°C et 110°C.

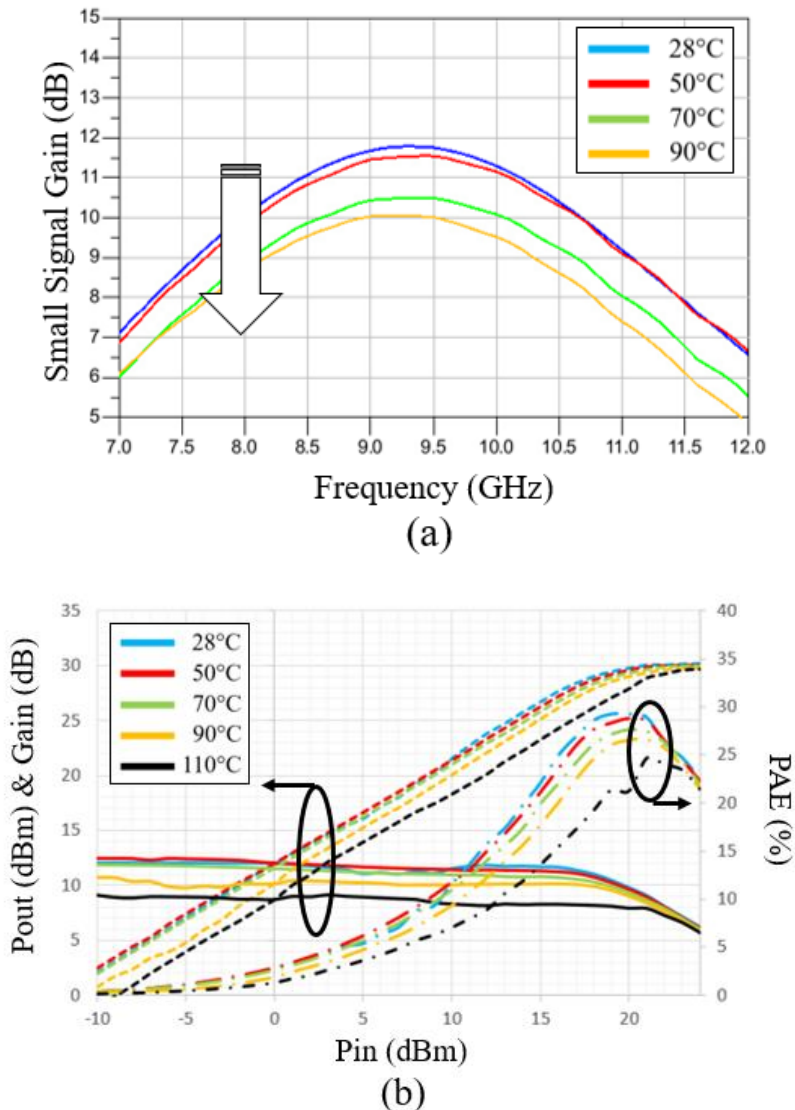


Figure 31: Evolution des performances grand signal en fonction de la température (a) en fonction de la fréquence à $P_{IN} = 20\text{dBm}$ (b) en fonction de la puissance d'entrée à 9,5 GHz du PA SiGe bande X [RED2020]

Ces travaux sont les premiers à proposer une réponse aux deux défis et aux trois limites technologiques de cette étude. Cependant ces circuits sont fonctionnels sur une bande de fréquence plus basse que celle de cette étude, en bande X, et les faibles valeurs de gain imposent l'utilisation d'un driver et donc un travail de dessin supplémentaire.

Cette sous-partie a permis d'observer qu'aucun circuit existant en SiGe n'offre le compromis en performances et les réponses aux défis et limites technologiques visés dans cette étude.

b) Exemples de travaux récents en technologie III-V

La figure 32 décrit un PA en technologie 0,25- μm AlGaAs-InGaAs pHEMT⁹ atteignant des puissances de sortie les plus importantes parmi les HPA larges bandes de l'état de l'art pour cette technologie [MEG2017]. L'architecture utilisée comporte 2 étages dans une topologie

⁹ Technologie AlGaAs-InGaAs pHEMT 0,25 μm , Epaisseur de substrat : 100 μm , $f_i = 50$ GHz, BEOL : 2 niveaux de métal épais de 1 et 4 μm .

RMDA, *Reactively Matched Power Amplifier*. L'innovation de ce circuit concerne en premier lieu le processus d'adaptation assisté par ordinateur mis au point. Le niveau de puissance de saturation est de 39,6dBm. La *P.A.E.* est de 22% sur la bande utile. Le gain sur la bande 6-18 GHz est compris entre 10 et 16dB. La superficie occupée vaut 18mm².

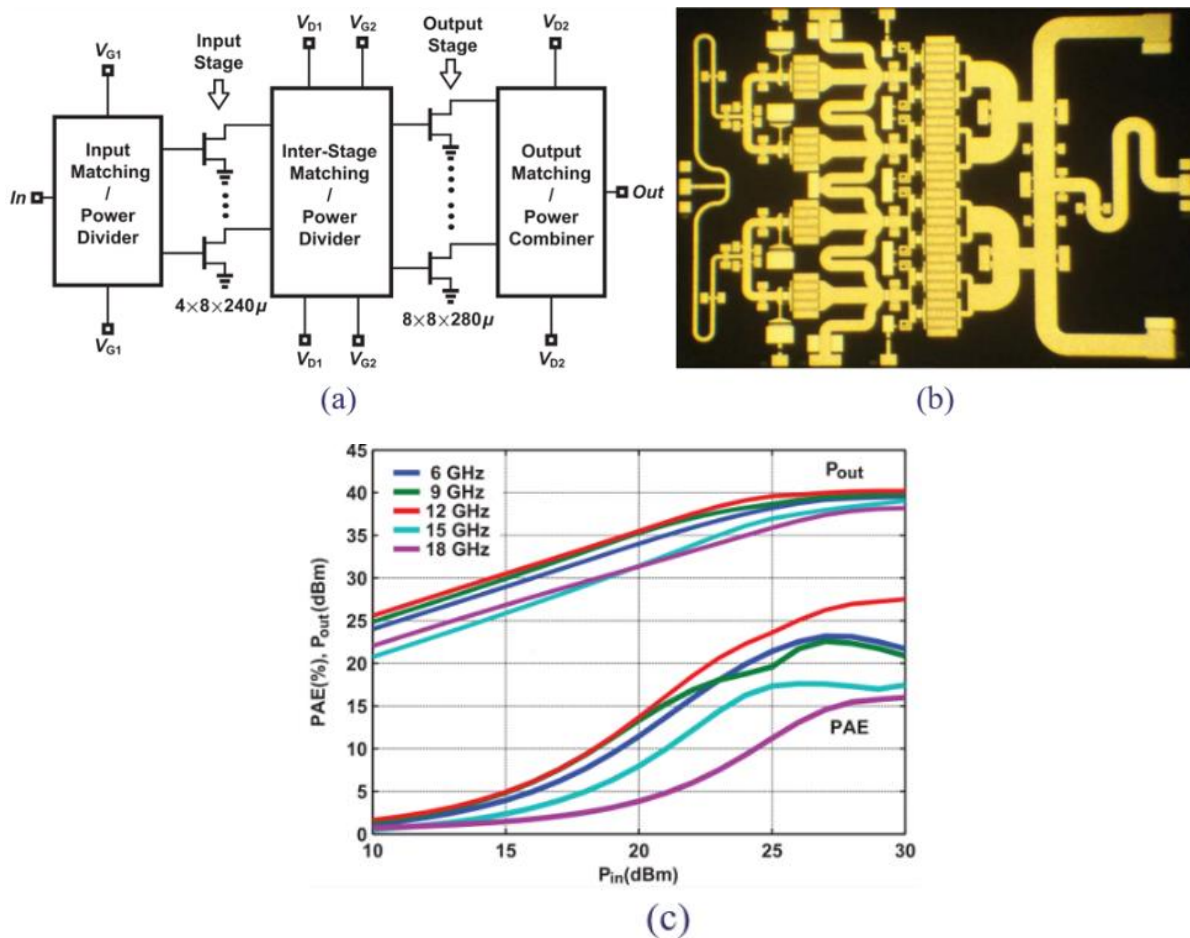


Figure 32: (a) Architecture de l'amplificateur de puissance AsGa, (b) micro-photographie du circuit implémenté, (c) performances grand signal en fonction de P_{IN}, pour différentes fréquences en bande Ku [MEG2017]

Dans la figure 33, il s'agit d'un PA en technologie 0,25-μm AlGaAs/InGaAs¹⁰, fonctionnant à 6 GHz et 16 GHz et possédant un seul étage constitué d'un transistor monté en source commune [ALI2017]. L'utilisation d'une classe J permet à ce circuit très compact – seulement 1,15mm² de superficie – d'atteindre d'excellents niveaux de *P.A.E.*, de l'ordre de 53%. Une spécificité de ce circuit est son fonctionnement à des niveaux de performances similaires en *dual band* à 6 GHz et 16 GHz permis par la relaxation des harmoniques d'ordre 2 synthétisés par la classe J. Néanmoins, les niveaux de gain petit signal et de puissance de saturation, respectivement de 9dB et 25,5dBm à 16 GHz, du fait de l'utilisation d'un seul étage de transistor, sont insuffisants pour notre application.

¹⁰ Epaisseur de substrat : 100 μm, Tension de claquage drain-grille typique du transistor : 19 V, f_i = 60 GHz, BEOL : 2 niveaux de métal épais de 1 et 4 μm (densité de courant maximale pour ces couches : 4 et 16 mA/μm respectivement).

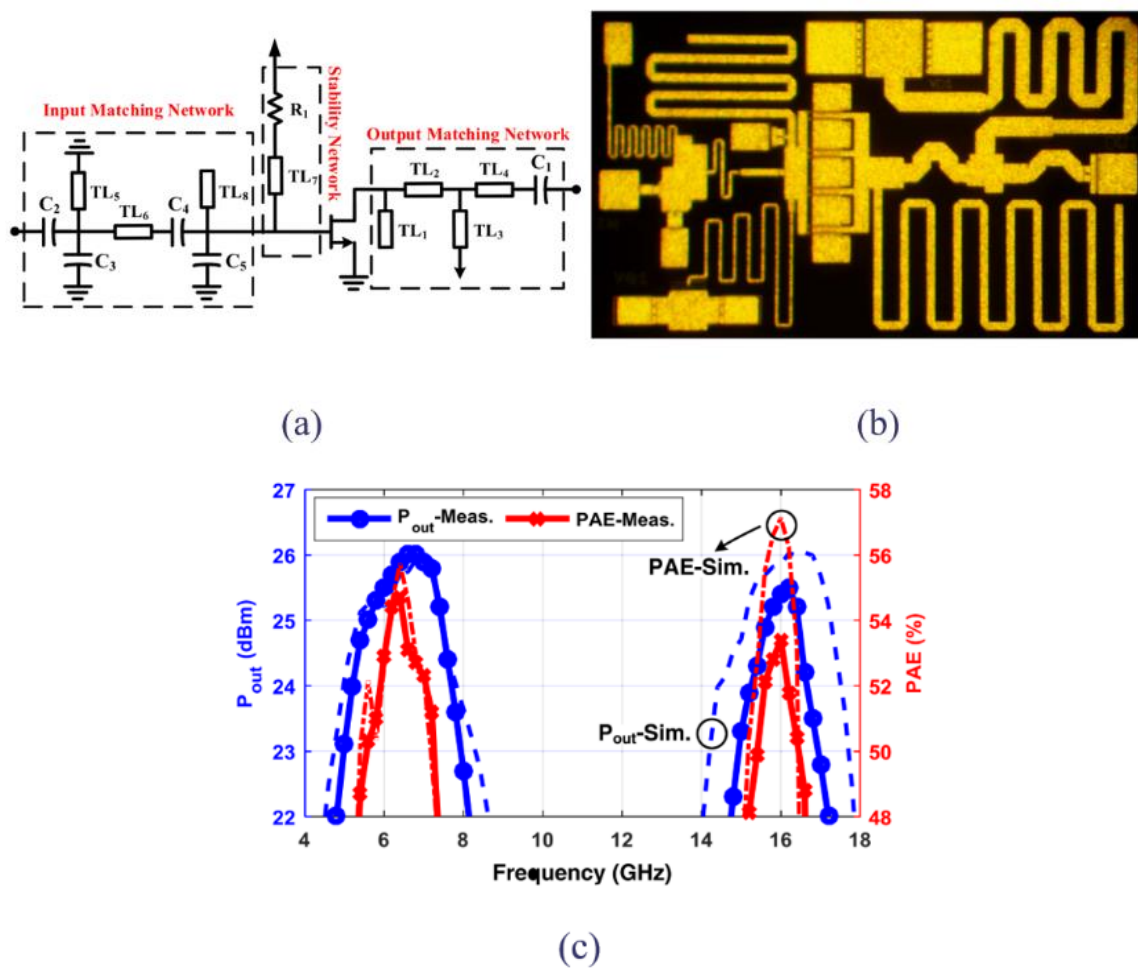


Figure 33: (a) Architecture de l'amplificateur de puissance AsGa, (b) micro-photographie du circuit implémenté, (c) performances grand signal en fonction de la fréquence à $P_{IN} = 18\text{dBm}$ [ALI2017]

La figure 34 présente un PA en technologie AsGa $0,15\mu\text{m}^{11}$ qui réalise le meilleur compromis actuel entre la $P.A.E.$, le gain, la puissance de sortie et la surface utilisée, le tout sur une bande de fréquences de 6 GHz, s'étendant de 10,5 GHz à 16,5 GHz [CAI2020]. Le gain petit signal obtenu sur cette bande de fréquences est de 25,6dB. La puissance de saturation et la $P.A.E.$ maximale à 13 GHz atteignent 36dBm et 46,8% respectivement.

La figure 34a décrit l'architecture Darlington utilisée pour cet amplificateur de puissance. La figure 34b illustre le circuit implémenté, dont la superficie est seulement de $4,34\text{mm}^2$. La figure 34c décrit les performances grand signal atteintes par le circuit en fonction de la puissance du signal délivré en entrée et pour différentes fréquences de la bande Ku.

¹¹ Technologie $0.15\text{-}\mu\text{m}$ InGaAs pHEMT $0,15\ \mu\text{m}$, Fondateur : WIN Semiconductors Corporation, Epaisseur de substrat : $100\ \mu\text{m}$, $f_i / f_{\text{max}} = 90 / 180\ \text{GHz}$, BEOL : 2 niveaux de métal épais de 1 et $2\ \mu\text{m}$

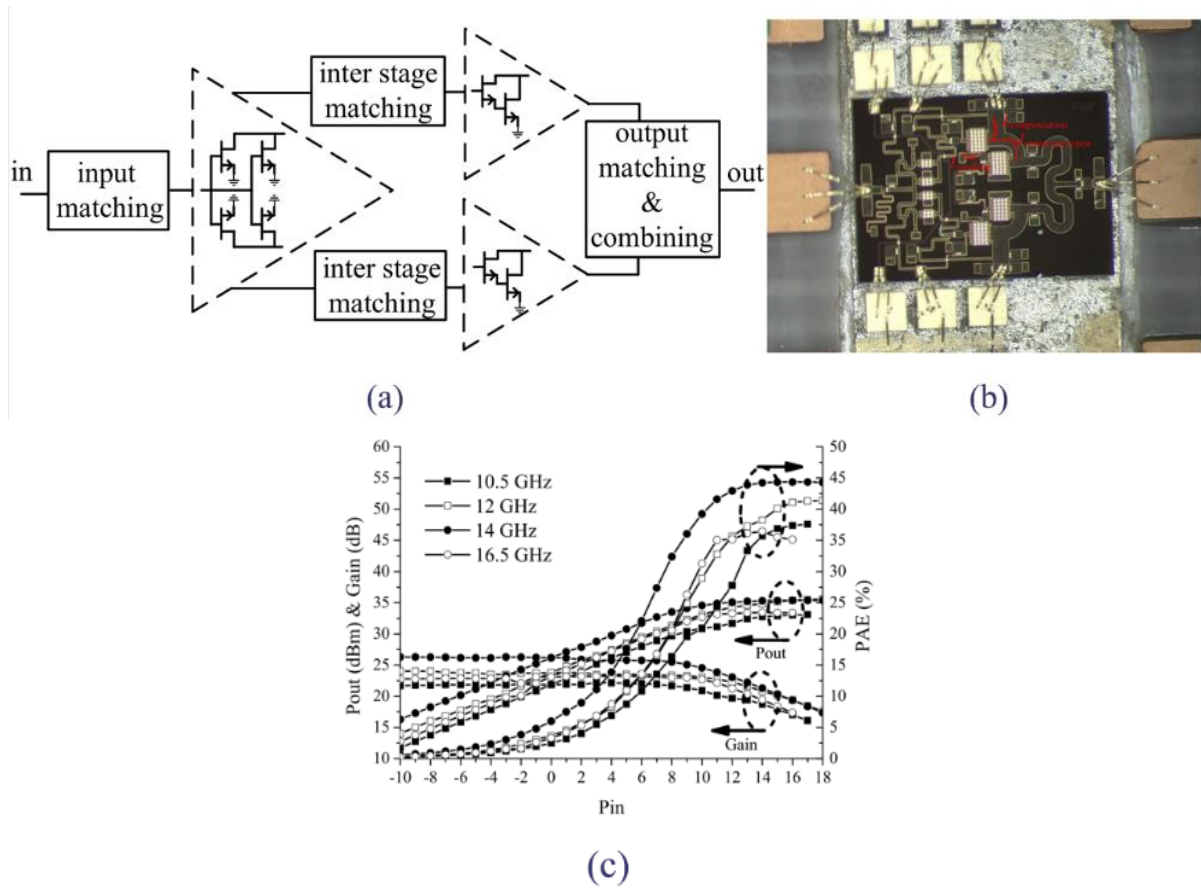


Figure 34: (a) Architecture de l'amplificateur de puissance AsGa, (b) micro-photographie du circuit implémenté, (c) performances grand signal en fonction de P_{IN} , pour différentes fréquences en bande Ku [CAI2020]

La figure 35 offre un aperçu du schéma électrique utilisé, des performances grand signal obtenues à 15,5 GHz en fonction de la puissance d'entrée, et une photo du circuit mesuré pour un PA en technologie $0,25\mu\text{m GaN}^{12}$ et dans la bande Ku [GED2020]. Ce PA donne un aperçu pertinent des compromis atteints actuellement pour cette technologie et cette bande de fréquences en particulier en termes de puissance de saturation, qui atteint 44dBm, et de superficie, qui vaut $21,39\text{mm}^2$. L'innovation vient notamment d'un travail élaboré sur le réseau d'adaptation de sortie pour atteindre un très haut niveau de puissance de sortie. L'architecture utilisée s'appuie sur 3 étages de transistors. Le transistor utilisé pour réaliser cette étude est disponible dans le commerce et possède une fréquence de transition basse, de 30 GHz.

¹² Process GH25-10, technologie AlGaIn/GaN $0,25\ \mu\text{m}$, $f_t / f_{\text{max}} = 30 / 90\ \text{GHz}$

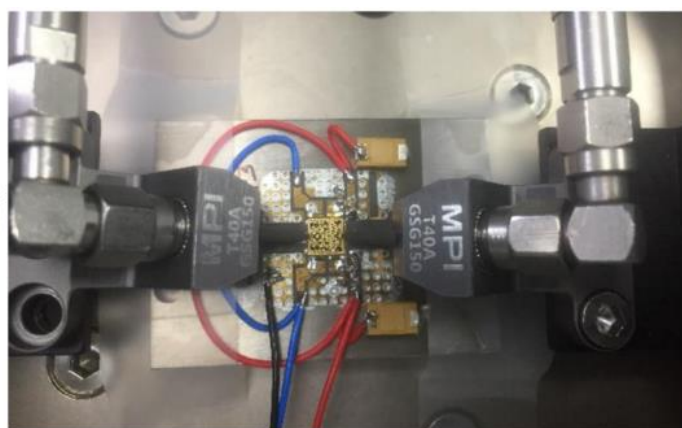
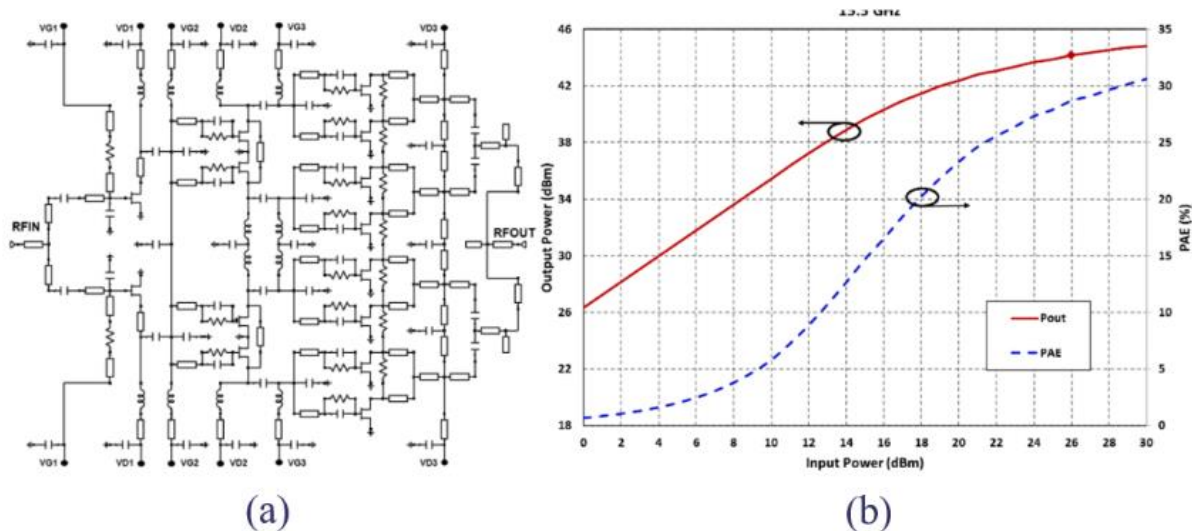


Figure 35 : (a) Architecture de l'amplificateur de puissance GaN, (b) photographie du circuit en cours de mesure, (c) performances grand signal en fonction de P_{IN} , à 15,5 GHz [GED2020]

c) État de l'art des PA de 9 à 27 GHz, en technologie Silicium et III-V

Le tableau 4 répertorie les amplificateurs de puissance sur la bande de fréquences 9-27 GHz sur plusieurs nœuds de technologie silicium et indique quelques références en technologie III-V. Les travaux sont classés par fréquence croissante. Il faut souligner qu'il n'existe pas à ce jour de travaux sur des amplificateurs de puissance atteignant des puissances de saturation de l'ordre du watt sur la bande de fréquences 14-24 GHz pour la technologie silicium.

Réf. Temp.	Tech.	Architect.	Fréq. GHz	BW GHz	Alim V	Gain dB	Psat dBm	PAE _{max} %	Taille mm ²	FoM W.GHz ²
[RED2020]	SiGe 0,13μm	PC unitaire	9,5	2,7	3,6	17,3	25,8	51,8	0,54	89 037
		2 PC équilib.		3,5	3,6	16,3	27,7	35,4	1,26	74 913
		4 PC équilib.		2	3,8	11,7	30,2	31	1,75	36 879
[DUP2014] -50°C	SiGe 0,13μm	4 PC équilibrées	9,7	N/A	3,6	14	34,2	27	4,3	211 000
[LIU2016]	SiGe 0,13μm	2 étages stackés	10	4	7,5 4,5	27,7	29,5	17,8	2,66	794 877
[JU2017]	SiGe 0,13μm	Transfo. à optimisation d'harmonique	10	2,6	3,0	15,8	26,3	51,1	0,9	68 993
[JU2018]	SiGe 0,13μm	Transfo. + Wilkinson	10	3,5	3,0	16,1	26,5	53,4	0,81	95 025
[GER2013]	SiGe 0,35μm	Cellule diff. à deux étages	12,1	N/A	1,8	21,2	23,4	37,3	1,71	158 400
[NOH2010]	SiGe 0,25μm	Cellule cascode	14	N/A	4	15,8	24,45	29,1	0,38	60 700
[CHE2016]	SiGe 0,25μm	Combineur de sortie 16 voies	14,1	1	5,0	12,7	30	37,5	9,45	140 000
[WEL2016]	SiGe 0,35μm	4 PC Wilkinson pré-ampli	24	N/A	5,8	16,1	30,8	17,6	5,37	485 100
[ESS2014]	SiGe 0,25μm	Combineur de sortie 8 voies	27	N/A	6,9 4,0	20,7	31	13	2,83	1 402 950
[ALI2017]	0,25-μm AlGaAs/ InGaAs	4 PC 1 étage CE	10	N/A	4	7	26	46	1,47	91 780
[MEG2017]	0,25-μm AlGaAs- InGaAs pHEMT	2 étages RMPA*	11	6-18	8	10-16	39,6	22	18	242 774
[CAI2020]	0,15 μm GaAs pHEMT	Darlington amélioré	13	6	6	25,9	36	46,8	4,34	9 956 984
[GED2020]	0,25μm GaN	3 étages MMIC	15,5	13-18	28	26	44	30	21,39	72 075 901

Tableau 4: Etat de l'art des amplificateurs de puissance sur la bande 9-27 GHz, en technologie silicium et III-V

Les figures de mérite mettent en évidence d'une part les ruptures technologiques qui existent entre les technologies silicium et III-V et d'autre part la difficulté à comparer les travaux d'une même technologie pour différentes bandes de fréquences du fait du terme de fréquence au carré dans la définition de la FoM.

d) Identification des solutions technologiques existantes

Nous confrontons le graphique d'état de l'art des amplificateurs de puissance silicium en bande 9-27 GHz présenté en figure 4 aux verrous et solutions technologiques, schématiques, topologiques et architecturaux identifiés précédemment (figure 36). Nous constatons notamment que les questions de l'échauffement et de la combinaison en puissance constituent des aspects sensibles nécessitant d'être étudiés attentivement.

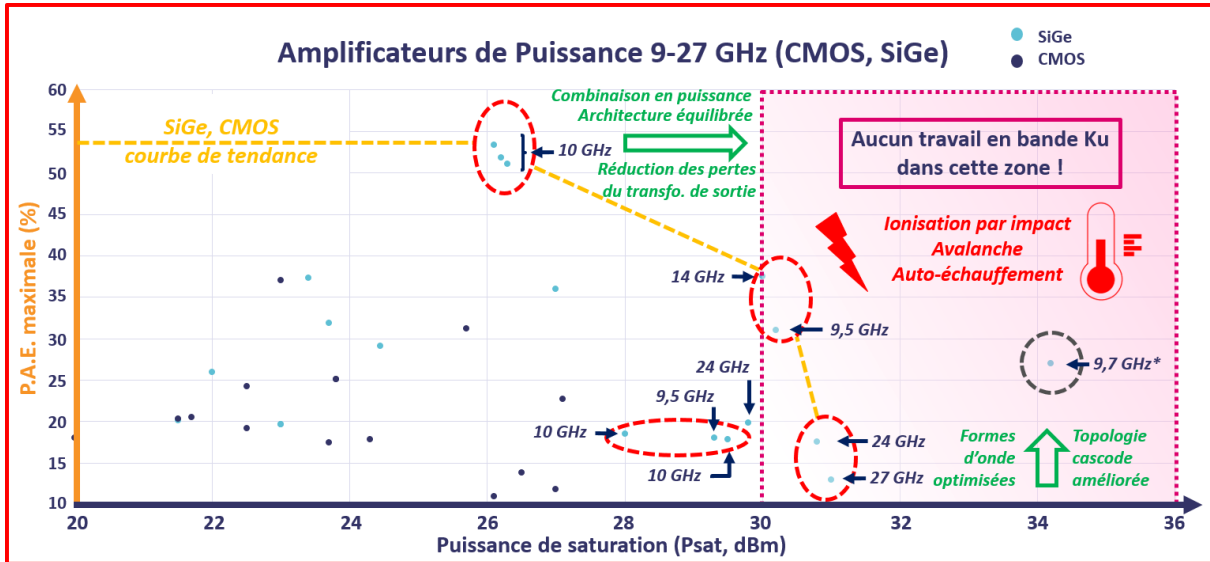


Figure 36: Graphique d'état de l'art avec zone d'intérêt de l'étude, confronté aux verrous et solutions existantes

Conclusion

Plusieurs verrous technologiques sont identifiés dans l'amélioration des modules TR des antennes AESA 2D. Le verrou technologique de limite en puissance de sortie en technologie SiGe est généralement bien renseigné dans la littérature contrairement aux verrous d'échauffement et de robustesse au TOS actif qui sont peu renseignés. En nous appuyant sur différentes notions théoriques et sur de nombreux travaux d'état de l'art, nous avons décrit les différents choix de technologie, de topologie et d'architecture qui permettent de répondre aux contraintes industrielles.

Cette première approche a permis de dresser l'état de l'art des amplificateurs de puissance SiGe submillimétriques et d'identifier les avantages et les inconvénients de ces travaux par rapport au contexte industriel de cette étude. Notamment, aucun travail existant ne répond à l'ensemble des verrous de notre étude. Ceci confère à ce travail son caractère original et innovant.

Néanmoins, il a été possible d'identifier des références pour chaque verrou. En premier lieu, nous avons vérifié le choix de la technologie SiGe pour répondre aux défis de l'intégration et du coût. Ensuite, l'architecture équilibrée munie de cellules de puissance cascades répond aux verrous de puissance et de robustesse au TOS actif à plus basse fréquence. En particulier, la combinaison en puissance basée sur le dessin de coupleurs est un aspect important qui demande une étude spécifique. Concernant la température, un travail supplémentaire au niveau du dimensionnement schématique et du dessin de circuit est nécessaire. Enfin, le compromis de performances souhaité pour cette application industrielle et la bande de fréquence visée requiert un travail innovateur puisqu'aucune publication avec un bon compromis de performances ne présente d'amplificateurs de puissance fonctionnant entre 14 GHz et 24 GHz.

Il s'agit maintenant dans le deuxième chapitre de mettre à profit les connaissances acquises à partir de cette étude bibliographique pour présenter les choix d'architecture et concevoir le premier amplificateur de puissance SiGe conciliant en bande Ku un niveau élevé de puissance de sortie et de *P.A.E.* jusqu'à 90°C, tout en restant robuste au TOS actif.

Pour présenter la démarche qui a été utilisée afin de mener ces travaux, nous nous appuyons sur un processus scientifique classique de preuve de concept de circuits électroniques simulés et mesurés.

Références

- [SUR2021] PA Survey Hua Wang, et al., "Power Amplifiers Performance Survey 2000-Present," Georgia Tech, V6 2021
- [JAO2020] M. Jaoul, "Study of HBT operation beyond breakdown voltage : Definition of a Safe Operating Area in this operation regime including the aging laws." Electronics. Université de Bordeaux, 2020. English
- [KER2015] E. Kerhervé, N. Demirel, A. Ghiotto, A. Larie, N. Deltimple, J.M. Pham, Y. Mancuso, P. Garrec, " A Broadband 4.5–15.5-GHz SiGe Power Amplifier With 25.5-dBm Peak Saturated Output Power and 28.7% Maximum PAE", *IEEE Transactions on Microwave Theory and Techniques*, Vol.63, Issue 5, 1621-1632, 2015.
- [IGH2014] S. Ighilahriz, "Caractérisation et modélisation de la fiabilité des transistors et circuits millimétriques conçus en technologies BiCMOS et CMOS" Micro et nanotechnologies /Microélectronique. Université de Grenoble, 2014
- [MOR2016] B. Moret, "Amplificateur de puissance autonome pour applications OFDM et beamforming de la 5G aux fréquences millimétriques en technologie CMOS avancée", Thèse de l'Université de Bordeaux, Oct. 2017.
- [KNO2017] V. Knopik, E. Kerherve, B. Moret, "Self-contained power amplifier for 5G mobile communications", *European Microwave week*, Nuremberg, Germany, Oct 2017.
- [GER2013] S. Gerlich and P. Weger, "Highly Efficient Packaged 11–13 GHz Power Amplifier in SiGe-Technology With 37.3% of PAE," in *IEEE Microwave and Wireless Components Letters*, vol. 23, no. 10, pp. 539-541, Oct. 2013
- [NOH2010] Y. S. Noh, M. S. Uhm and I. B. Yom, "A Compact Ku-Band SiGe Power Amplifier MMIC With On-Chip Active Biasing," in *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 6, pp. 349-351, June 2010
- [WEL2016] B. Welp, *et al.*, "A Wideband 20 to 28 GHz Signal Generator MMIC With 30.8 dBm Output Power Based on a Power Amplifier Cell With 31% PAE in SiGe", *IEEE Transactions on Microwave Theory and Techniques (T-MTT)*, vol. 51, no. 9, septembre 2016
- [ESS2014] J. Essing, et al., "A 27GHz, 31dBm Power Amplifier in a 0.25µm SiGe:C BiCMOS technology", *Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2014 IEEE, Sep 2014, Coronado, CA, United States
- [RED2020] S. Redois, "Amplificateur de puissance en technologie SiGe pour application RADAR en bande X", thèse à l'Université de Bordeaux, 2020.

- [FOR2020] J. Forest, « Architecture robuste avec ajustement de fréquence centrale et détection de phase et de tension pour des amplificateurs autonomes de puissance à base de coupleur hybride aux fréquences millimétriques. », thèse à l'université de Bordeaux, 2020
- [IRD2020] "International Roadmap for Device and Semiconductors 2.0 ", *2020 Edition*, Chap. OSC, p.24, 2020.
- [LIU2016] C. Liu *et al*, "A Fully Integrated X-Band Phased-Array Transceiver in 0,13- μm SiGe BiCMOS Technology," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 2, pp. 575-584, Feb. 2016.
- [GER2016] S.Gerlich, "Fully Monolithically Integrated X-Band Amplifiers with Frequency Selective Feedback", PhD Thesis from Brandenburg University of Technology, July 2016.
- [LIU2015] C. Liu, Q. Li, Y. Li, X. Li, H. Liu and Y. Xiong, "An 890 mW stacked power amplifier using SiGe HBTs for X-band multifunctional chips," *ESSCIRC Conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC)*, Graz, 2015, pp. 68-71.
- [JU2018] I. Ju and J. D. Cressler, "A Highly Efficient X-Band Inverse Class-F SiGe HBT Cascode Power Amplifier With Harmonic-Tuned Wilkinson Power Combiner," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 11, pp. 1609-1613, Nov. 2018.
- [DUP2014] V. Dupuy, E. Kerhervé, N. Deltimple, N. Demirel, Y. Mancuso, "Very high efficiency SiGe and GaN High Power Amplifiers for tile modules", *IEEE International Microwave Symposium*, Tampa Bai, Florida, USA, 2014.
- [JU2017] I. Ju and J. D. Cressler, "An X-band inverse class-F SiGe HBT cascode power amplifier With harmonic-tuned output transformer," *2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Honolulu, HI, 2017, pp. 390-393.
- [CHE2016] Y. Chen, M. P. van der Heijden and D. M. W. Leenaerts, "A 1-Watt Ku-band power amplifier in SiGe with 37.5% PAE," *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, San Francisco, CA, 2016, pp. 324-325.
- [ALI2017] A. Alizadeh, M. Frounchi and A. Medi, "Dual-Band Design of Integrated Class-J Power Amplifiers in GaAs pHEMT Technology," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 8, pp. 3034-3045, Aug. 2017.
- [MEG2017] Masoud Meghdadi et Ali Medi, "Design of 6–18-GHz High-Power Amplifier in GaAs pHEMT Technology", *IEEE Transactions on Microwave Theory and Techniques (T-MTT)*, vol. 65, no. 7, juillet 2017

- [CAI2020] Qi Cai, *et al.*, "A Compact Ku-Band Broadband GaAs Power Amplifier Using an Improved Darlington Power Stage" *IEEE Transactions on Microwave Theory and Techniques (T-MTT)*, vol. 68, no. 7, juillet 2020
- [GED2020] S. K. Gedela, *et al.* "Ku-Band 25 W High Power Amplifier using 0.25 μm GaN Technology", in *IEEE 15th European Microwave Integrated Circuits Conference (EuMIC)*, EuMA 2020, Utrecht, The Netherlands, Janvier 2021
- [RAP1959] R. Rapuano, "Microwave Duplexers" U.S. Patent 3030501A, issued January 28, 1959.
- [LAR2014] A. Larie, "Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques », thèse à l'Université de Bordeaux, 2014, p. 89
- [SZE2007] Sze, S.M. and Ng, K.K. (2007) *Physics of Semiconductor Devices*. 3rd Edition, John Wiley & Sons, Hoboken.

Annexe

ANNEXE I-1 : DONNEES TECHNIQUES COMPARATIVES POUR DIFFERENTES TECHNOLOGIES

<i>Indicateur</i>	<i>Fréquence</i>	<i>Intégration</i>	<i>Puissance</i>		<i>Coût</i>
Caractéristiques techniques	Fmax (Hz)	Plus petite taille de transistor	Tension BV (V)	Densité de courant à f_t max	Taille des wafers
AsGa	600G	40nm	18	700mA/mm	6 inch
SiGe HBT	0,7T	55nm	1,6	500mA/mm	8 inch
InP HBT	1,2T	60nm	1,2	250mA/mm	N/A
GaN/Si	300G	60nm	120	1,7A/mm	3-6 inch
PDSOI NFET	100G	45nm	1	N/A	6-8 inch
FDSOI NFET	400G	28nm	0,8	90mA/mm	6-8 inch
FINFET N	400G	5nm	N/A	90mA/mm	6-8 inch

Références propres à cette annexe :

- <https://www.i-micronews.com/products/wafer-starts-for-more-than-moore-applications/>
- <https://www.qorvo.com/foundry>
- <https://www.ommic.com/iii-v-processes/>
- <https://www.ums-rf.com/foundry-old/technologies/>

CHAPITRE II

ARCHITECTURES RETENUES POUR LA CONCEPTION D'AMPLIFICATEURS DE PUISSANCE A 18 GHZ

Table des matières

Introduction	68
Partie I : Technologie BiCMOS 130nm SiGe de STMicroelectronics	69
a) Comparatif des technologies Bipolaires-CMOS	69
b) Modèles de transistors et composants disponibles dans la technologie BiCMOS9MW	70
c) Logiciels utilisés, environnement de simulation	71
Partie II : Choix de topologie et méthodologie de dimensionnement schématique	72
a) Cahier des charges et dimensionnement initial des transistors au niveau schématique	72
b) Arbre de décision pour la simulation schématique d'amplificateurs de puissance	74
c) Schémas des circuits de cellules de puissance élémentaires	74
Partie III : Conception layout de cellules de puissance élémentaires sans et avec driver	81
a) Cellule de puissance élémentaire sans driver	81
b) Cellule de puissance élémentaire avec driver	85
c) Précautions de conception layout et améliorations de layout	88
Partie IV : Conception layout de la combinaison en puissance	91
a) Combinaison en puissance avec un coupleur torsadé	91
b) Combinaison en puissance avec plusieurs coupleurs compacts	93
Partie V : Résultats de simulation électromagnétique des amplificateurs de puissance équilibrés ...	95
a) Amplificateur de puissance sans driver	95
b) Amplificateur de puissance à deux cellules de puissance avec driver	97
c) Amplificateur de puissance à quatre cellules de puissance avec driver	98
d) Tableau récapitulatif des performances PLS et état de l'art	102
Conclusion	103
Références	104
Annexes	105

Introduction

Ce chapitre s'appuie sur les éléments d'état de l'art du chapitre I, sur les caractéristiques de la technologie choisie dans la partie I de ce chapitre, et sur le cahier de charges présenté en début de partie II de ce chapitre, pour décrire et justifier les choix schématiques et de layout concernant les cellules de puissance élémentaires conçues dans le cadre de cette étude.

L'architecture de combinaison en puissance est abordée ensuite, en apportant les considérations de layout et en prenant soin d'expliquer la méthode mise au point pour aboutir aux circuits envoyés en fabrication.

L'ensemble de ces étapes permet finalement de commenter les performances de ces circuits en simulations dites de « post-layout », c'est-à-dire avec des simulations qui caractérisent l'ensemble des circuits, comprenant leurs composants, leurs pads, leurs connections et leurs plans de masse.

Partie I : Technologie BiCMOS 130nm SiGe de STMicroelectronics

a) Comparatif des technologies Bipolaires-CMOS

Un nœud technologique désigne la moitié de la distance minimale entre deux motifs lithographiés¹³. Des nœuds de plus en plus petits sont aujourd'hui accessibles grâce aux progrès techniques sur la précision des appareils de gravure des circuits intégrés. Pour un même nœud technologique, plusieurs fondeurs peuvent proposer des transistors avec des performances différentes. Les choix du nœud technologique et du fondeur reposent sur trois aspects essentiels : les caractéristiques des couches de métal utilisées, les performances des modèles de transistors disponibles et le coût de production des circuits intégrés. Les structures BiCMOS tirent le bénéfice des avantages de deux technologies. Les transistors bipolaires offrent une forte rapidité et des gains élevés.¹⁴ La technologie CMOS permet de concevoir des circuits simples et fortement intégrables, par exemple des portes logiques faibles puissances. La figure 37 présente l'évolution des nœuds technologiques CMOS et BiCMOS (SiGe) produits et ayant été produits par le fondeur STMicroelectronics.

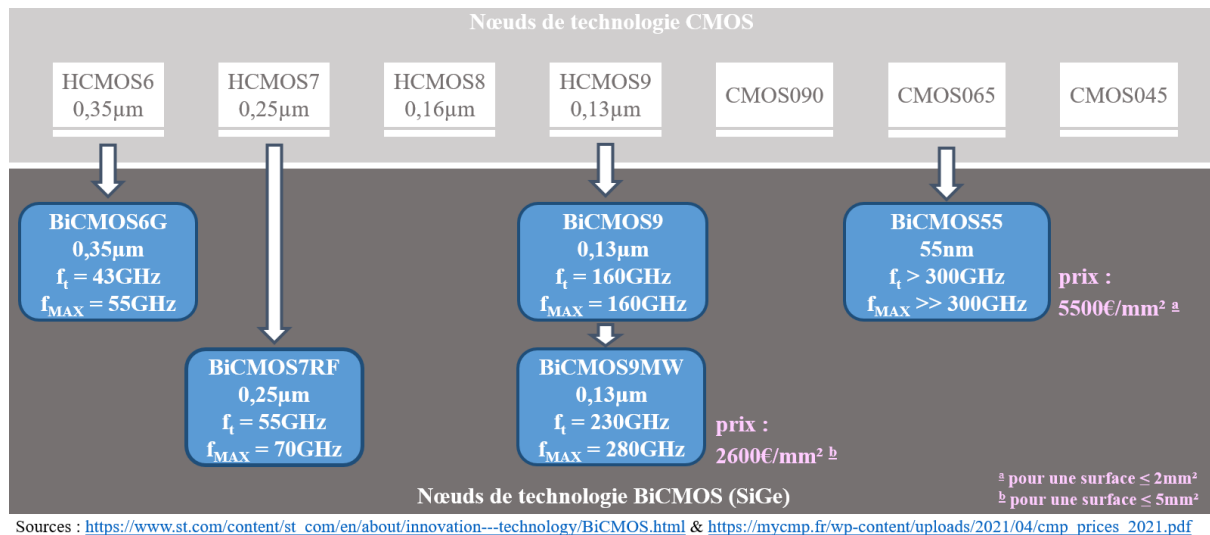


Figure 37: Evolution des nœuds technologiques CMOS et BiCMOS (SiGe), prix des technologies BiCMOS9MW et CMOS065 de STMicroelectronics

La technologie BiCMOS9MW présente le meilleur compromis entre une fréquence de transition élevée et un coût raisonnable. Cette technologie a été développée pour des applications millimétriques, avec la particularité de posséder deux niveaux de métal épais au lieu d'un, pour permettre de réaliser des composants passifs (baluns, coupleurs) avec moins de pertes. Le schéma simplifié des 7 niveaux de métallisation de cette technologie est présenté en figure 38, en comparaison avec les empilements de métal des technologies BiCMOS9 et BiCMOS055¹⁵.

Les niveaux de métal épais M5 et M6 sont utilisés pour faire passer le signal RF car ce sont les plus épais et les plus éloignés du substrat. Les niveaux de métal intermédiaires M3 et M4 permettent de faire passer le signal DC. Les niveaux fins M1 et M2 sont essentiellement utilisés pour le plan de masse.

¹³ Définition de l'IRDS [IRD2020]. Dans le cas de la technologie B9MW, le nœud technologique 0,13µm correspond à la longueur minimale de grille des transistors MOS.

¹⁴ Ils ont en outre une capacité plus importante à délivrer de la puissance RF que les transistors MOS-FET.

¹⁵ NB : La technologie BiCMOS055 existe aussi avec 2 niveaux de métal épais.

Les modèles de simulation fiables de cette technologie représentent un autre avantage par rapport à des technologies plus récentes et moins matures. La technologie BiCMOS9MW permet d'obtenir les caractéristiques technologiques souhaitées pour cette étude.

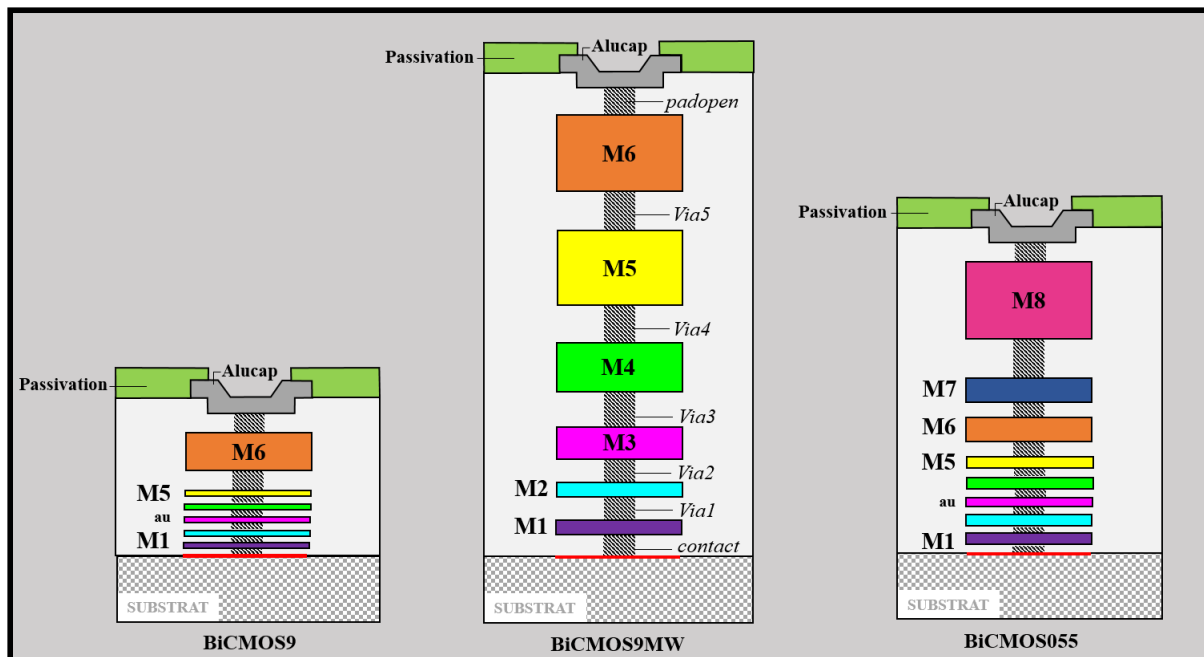


Figure 38: Back-End Of Lines des technologies BiCMOS9, BiCMOS9MW et BiCMOS055 de STMicroelectronics

b) Modèles de transistors et composants disponibles dans la technologie BiCMOS9MW

Modèles de transistors

Trois modèles de transistors NPN sont disponibles dans la technologie choisie, *High Speed*, *Medium Voltage* et *High Voltage*. Les différences de performances à longueur d'émetteur égale sont présentées dans le tableau 5. J_c désigne la densité de courant, L_E la longueur d'émetteur, f_t la fréquence de transition. BV_{CB0} et BV_{CE0} sont respectivement les seuils de tension de claquage des jonctions BC et EB+BC. f_{max} est la fréquence maximale du transistor.

Tableau 5: Paramètres Extrinsèques des Transistors BiCMOS9MW SiGe:C 0,13 μ m pour une longueur d'émetteur $L_E = 5\mu$ m, une largeur de piste $W_E = 0,27\mu$ m

NPN	$J_c(L_E, f_t)$ (mA/ μ m ²)	BV_{CE0} (V)	BV_{CB0} (V)	f_t (GHz)	f_{max} (GHz)
High Speed	12,6	1,6	5,5	220	280
Medium Voltage	2,4	2	7,5	145	300
High Voltage	0,7	3,5	13,5	60	210

L'avantage principal du modèle *High Speed* est de présenter la meilleure densité de courant et la meilleure fréquence de transition parmi les trois modèles disponibles. En revanche, les tensions de claquages sont plus basses que celles des deux autres modèles, il sera nécessaire d'être vigilant aux excursions en tension au niveau du collecteur des transistors utilisés pour des fonctionnements à fortes puissances de sortie. De plus, le choix de ce modèle de transistor s'appuie sur le montage dans lequel le transistor est utilisé et des performances du cahier des charges de la cellule de puissance (voir partie II).

Trois modèles de simulation sont associés à chacun des modèles de transistors, avec des niveaux de complexité de calcul et de précision graduels. Le modèle Standard permet de réaliser des simulations schématiques de première approximation. Il facilite la convergence du simulateur et donc la rapidité d'obtention des résultats en simulation, mais ne prend pas en compte plusieurs phénomènes physiques comme les phénomènes d'avalanche et d'ionisation par impact. Il est utilisé pour valider le schéma de notre cellule de puissance et vérifier le comportement de notre transistor dans un montage et pour une structure donnée. Les modèles de simulation *HiCuM L0* (High Current Model Level 0) et *HiCuM L2* offrent les meilleurs niveaux de précision dans la modélisation du comportement des transistors. Le modèle L2 présente les avantages suivants par rapport au modèle L0 :

- La prise en compte d'un modèle de résistance et de capacité thermiques (Rth&Cth) pour l'auto échauffement¹⁶;
- Une meilleure modélisation du comportement lors d'un fonctionnement à haut niveau d'injection de porteurs (puissance élevée en entrée) ;
- L'ajout d'une source de bruit de phase (Flicker noise) dans la résistance d'émetteur.

La contrepartie est une convergence plus lente du modèle L2 par rapport au modèle L0 si bien qu'il est nécessaire de composer avec les deux modèles pour décrire de la manière la plus complète possible le comportement d'une architecture complexe. Ces deux modèles sont utilisés pour toutes les simulations post-schématiques.

Bibliothèque de composants de la technologie choisie

La bibliothèque de composants de la technologie BiCMOS9MW propose plusieurs modèles de capacités et de résistances selon les valeurs et les montages utilisés. Dans cette étude nous avons recours aux modèles suivants :

- La capacité *cmim2p*, avec les modèles de simulation de précision graduelle *SimCapacitorStandard*, *SimCapacitorAccurate*
- Les résistances *rpo1sab* (inférieures à 500Ω) et *rpo1pb* (supérieure à 500Ω), avec les modèles de simulation *SimResistorStandard* et *SimResistorAccurate*

Ces modèles prennent en compte le facteur de forme, les dimensions et le comportement électromagnétique des composants.

c) Logiciels utilisés, environnement de simulation

Les circuits de cette étude sont dessinés et simulés avec la suite logicielle CADENCE-VIRTUOSO.

Le logiciel MOMENTUM permet d'effectuer la caractérisation électromagnétique des composants et des pistes de notre circuit en prenant en compte leurs composantes résistives, capacitatives et inductives, et en particulier les phénomènes de couplage et d'inductance mutuelle. Seules les structures des transistors, présentant des niveaux fins et complexes de métallisation, sont soumises à une extraction de parasites avec uniquement les composantes résistives et capacitatives.

¹⁶ En prenant en compte un modèle de transistor bipolaire dynamique et non plus statique, il est utile de préciser que les résistances intrinsèques r_b , r_e , et r_c participent aussi à la dérive en température [SZE2007].

Le logiciel Calibre PEX permet de fournir des extractions de parasites précises qui peuvent être prises en compte dans une simulation électromagnétique de fin de conception de circuit (dite post-layout).

Le logiciel GOLDENGATE permet de simuler les caractéristiques électriques et les paramètres S petit et grand signal. L'interface ADS effectue le calcul des performances et la mise en forme des résultats de simulation.

Partie II : Choix de topologie et méthodologie de dimensionnement schématique

a) Cahier des charges et dimensionnement initial des transistors au niveau schématique

Les caractéristiques et les performances suivantes doivent être atteintes par le circuit final dans la bande de fréquence [17,85-18,15] GHz à la fois à 30°C et à 90°C, soit sur moins de 2% de bande relative ce qui traduit un fonctionnement bande étroite :

- Caractéristiques « petit signal »
 - o $S_{11} < -10\text{dB}$
 - o $S_{21} > 20\text{dB}$
 - o $k > 1$
- Performances « grand signal »
 - o $P_{OUT_{3dB}} > 30\text{dBm}$
 - o PAE_{3dB} la plus élevée possible

La robustesse aux TOS 2:1 et la distorsion en phase et en amplitude doivent être étudiées.

Nous notons :

- $P_{OUT_{3dB}}$ la puissance de sortie à 3dB dans la compression, en dBm,
- PAE_{3dB} la P.A.E. à 3dB dans la compression, en %,
- P_{VCC} la puissance consommée, en W,
- I_{VCC} le courant consommé, en mA,
- V_{SUPPLY} , la tension d'alimentation, en V.

Dans la perspective d'une architecture équilibrée à 4 cellules de puissance identiques, cette étude s'intéresse dans un premier temps au dimensionnement de la cellule de puissance unitaire. Cette cellule est soumise au même cahier des charges que le circuit final, à l'exception du critère en puissance de sortie à 3dB dans la compression dont le seuil est fixé à 24dBm.

La longueur d'émetteur L_E est choisie pour minimiser le nombre de doigts d'émetteur et pour limiter les variations de densité de courant $J_C(L_E, f_t)$ dues au processus de fabrication. La limite fixée par la technologie est de 15 μm . Les valeurs sélectionnées sont représentées sur la figure 39a. La figure 39b représente le courant consommé nécessaire et le nombre de doigts d'émetteurs en fonction de la P.A.E. pour une valeur de longueur d'émetteur sélectionnée.

Le courant consommé et le nombre minimum de doigts d'émetteurs de 15 μm nécessaires pour atteindre les performances du cahier des charges sont calculés pour un rendement minimum de 25% (II-1,3). La densité de courant par doigt d'émetteur J_{unit} est déduite (II-4). La figure 39b s'appuie sur ces équations.

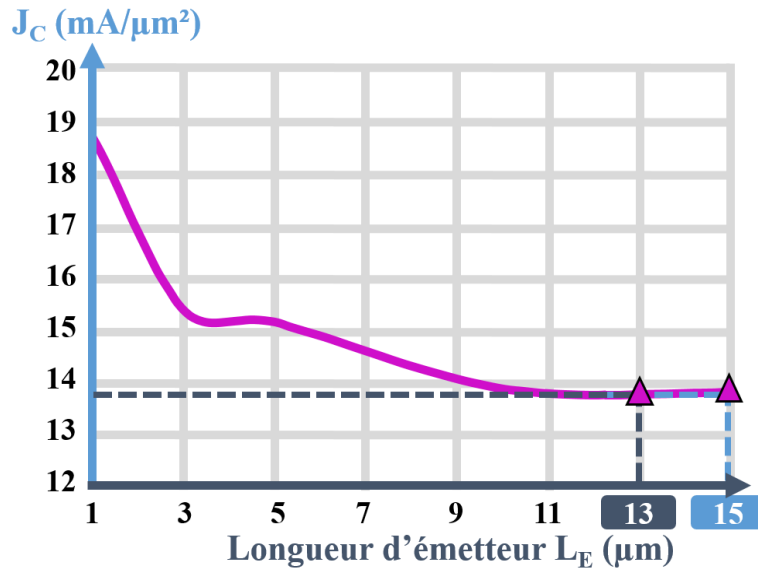


Figure 39a: Evolution de la densité de courant en fonction de la longueur d'émetteur à f_i maximale pour une structure CBEB-C [RED2020]

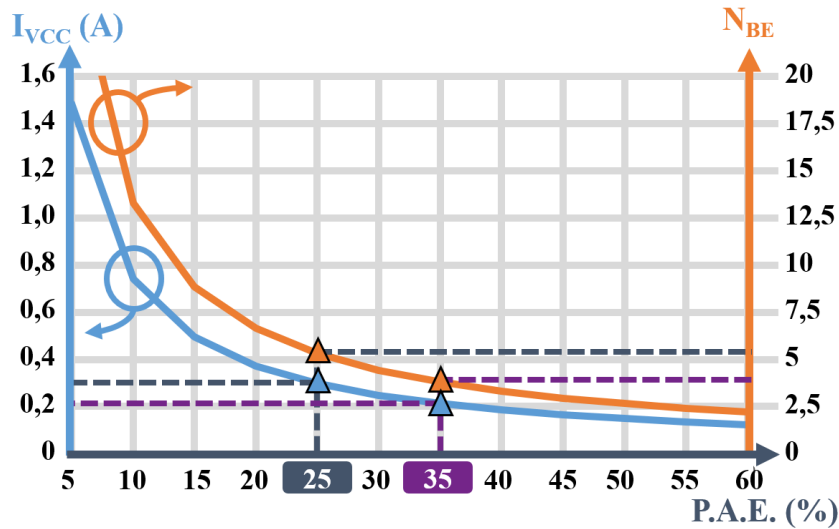


Figure 39b: Courant d'alimentation et nombre d'émetteurs en fonction de la P.A.E.

$$P_{VCC} = (P_{OUT_{3dB}} - P_{IN_{3dB}}) / PAE_{3dB} = (0,250 - 0,005) / 0,25 = 0,98 \text{ W} \quad (\text{II-1})$$

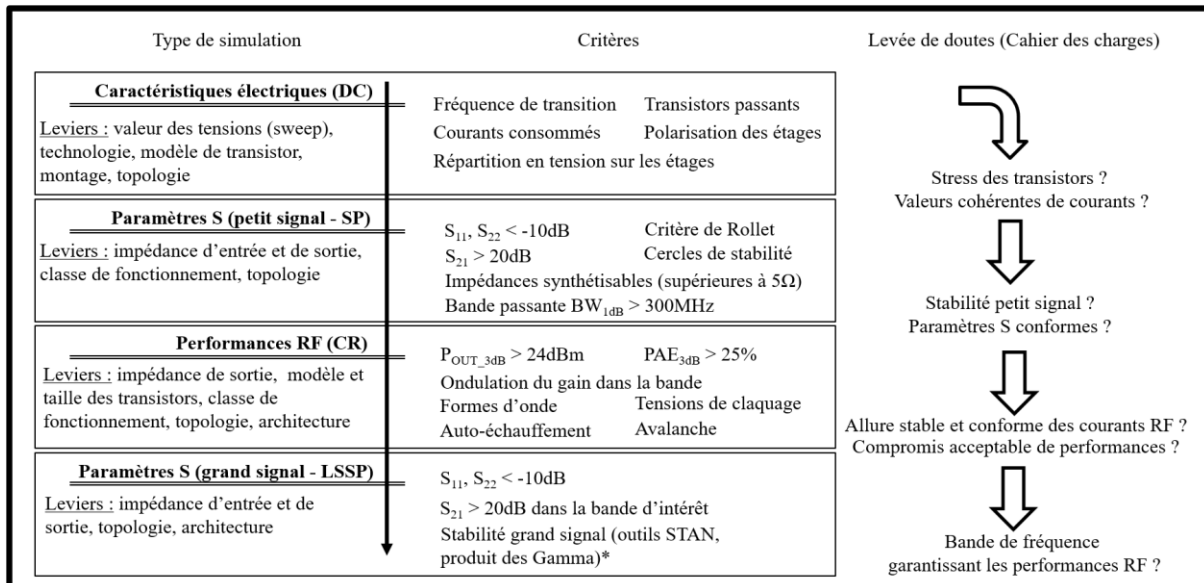
$$I_{VCC} = P_{VCC} / V_{SUPPLY} = 0,98 / 3,3 = 297 \text{ mA} \quad (\text{II-2})$$

$$N_{BE} = I_{VCC} / [J_c(L_E, f_t) \cdot W_{E,LE}] = 297 / (13,8 \times 0,27 \times 15) = 6 \quad (\text{II-3})$$

Les choix des tailles de transistors réalisés à partir de ces courbes et équations sont décrits dans la sous-partie II.c.

b) Arbre de décision pour la simulation schématique d'amplificateurs de puissance

Il est possible d'identifier un ordre récurrent d'étapes dans la conception schématique des cellules de puissance étudiées. Plusieurs de ces étapes sont décrites dans la figure 40.



*les outils STAN et produit des Gamma n'ont pas été utilisés dans cette étude pour des raisons administratives et industrielles

Figure 40: Arbre de décision pour la méthodologie de conception schématique d'amplificateurs de puissance

Pour chaque type de simulation, des leviers permettent de satisfaire plusieurs critères liés plus ou moins étroitement au cahier des charges. Les types de simulation sont parcourus de haut en bas. Avant de changer de type de simulation, une levée de doutes permet de valider des critères spécifiques particulièrement importants. Si ces critères ne sont pas satisfaits, alors il est nécessaire de modifier l'action de certains leviers pour rendre conformes les simulations, avant de passer au type de simulation suivant.

La sous-partie suivante fait référence à de nombreux éléments de cette méthodologie pour expliciter les choix de conception schématique de cette étude.

c) Schémas des circuits de cellules de puissance élémentaires

Pour la première fois à notre connaissance, cette étude décrit le dimensionnement de deux cellules de puissance élémentaires cascodes très compactes fonctionnant à 18 GHz avec une technologie SiGe. Cette description s'appuie sur un ensemble de choix original de structure et d'architecture, à partir de l'état de l'art, du cahier des charges et des contraintes de dimensionnement sur les transistors présentés précédemment.

- La première cellule de puissance élémentaire utilise une topologie cascode simple avec des transistors de petites tailles, contenant 5 émetteurs de $13\mu\text{m}$ de long. Cette cellule doit permettre de maximiser le gain et la *P.A.E.*. Elle doit constituer une brique élémentaire standard de performances, qui permette d'atteindre les spécifications du cahier des charges une fois placée dans une architecture équilibrée.

- La seconde cellule de puissance élémentaire est une version améliorée de la première. Elle utilise deux étages. Le premier étage s'appuie sur un montage en émetteur commun ayant la fonction de driver, pour fournir du gain supplémentaire à la cellule complète. Le deuxième étage est un montage cascode avec respectivement des transistors de 8 et 16 émetteurs de $15\mu\text{m}$ de long sur les montages en émetteur commun et en base commune. Cette cellule cherche à satisfaire la contrainte en gain en maintenant le niveau de *P.A.E.* le meilleur possible. Le nombre plus important de doigts d'émetteur par rapport à la première cellule doit permettre de réduire l'auto-échauffement du transistor en répartissant le courant sur toute la surface d'émetteur disponible.

Ces deux cellules sont décrites dans la suite de cette sous-partie.

Cellule de puissance sans driver

La figure 41 présente le schéma électrique original de la plus petite cellule de puissance SiGe élémentaire sans driver connue à ce jour, fonctionnant à 18 GHz et jusqu'à 90°C . Les blocs fonctionnels sont identifiés par des encadrés colorés.

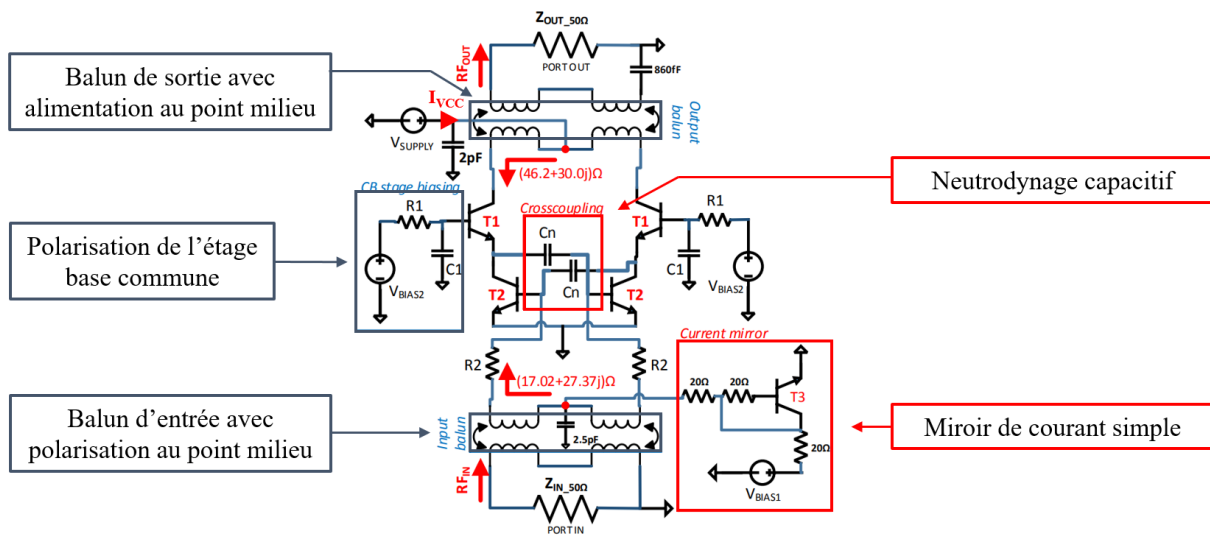


Figure 41: Schéma électrique de la cellule de puissance sans driver

Le choix d'une topologie cascode est fait pour répartir la tension d'alimentation V_{SUPPLY} sur les deux transistors $T1$ et $T2$. L'excursion de tension en sortie est améliorée pour obtenir de meilleures performances en grands signaux.

Une topologie pseudo-différentielle est choisie pour assurer l'immunité au retour de masse. L'utilisation d'un neutrodynage capacitif fixe d'une valeur C_n de 110fF sur l'étage EC améliore la stabilité de la cellule de puissance. Un signal déphasé de 180° est présenté à la base pour compenser la capacité base émetteur C_{BE} vue par le collecteur du transistor sur l'autre voie symétrique [LAR2014], et donc contrebalancer l'effet Miller. Le dimensionnement de C_n s'appuie sur un compromis entre le gain et la stabilité du montage cascode, illustré sur la figure 42.

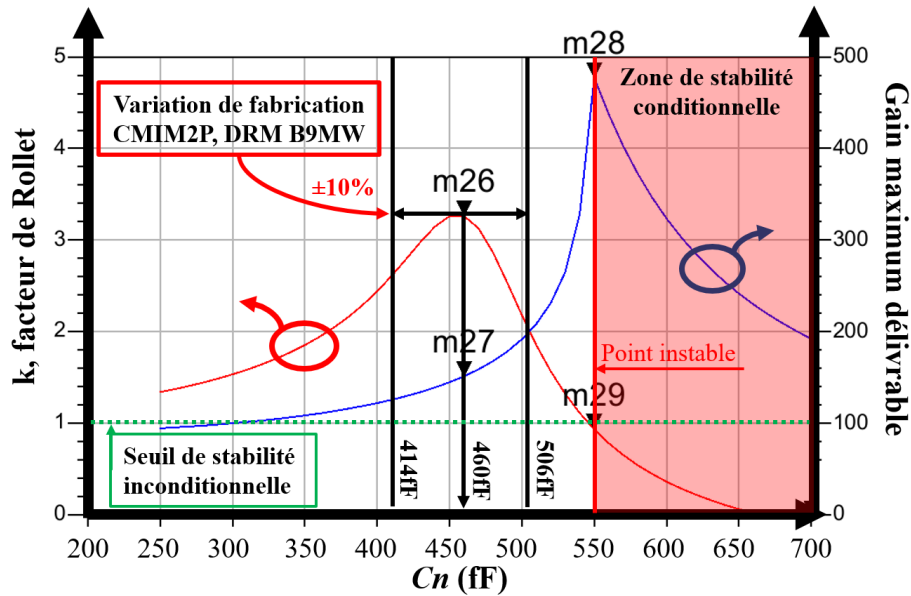


Figure 42: Etape de dimensionnement du condensateur de neutrodynage C_n , compromis entre gain et stabilité

Un miroir de courant simple est utilisé, avec un transistor $T3$ de la même taille que $T1$ et $T2$. Le miroir de courant permet de mieux contrôler le courant de polarisation de la cellule de puissance. Il assure la recopie du courant à l'aide de trois résistances de même valeur.

L'impédance vue à l'entrée de la cellule de puissance est très faible (proche de 7Ω). Une résistance $R2$ de 5Ω est placée sur la base du transistor EC pour stabiliser la cellule de puissance et rehausser l'impédance à synthétiser par les baluns. Les baluns d'entrée et de sortie effectuent respectivement une transformation d'impédance de 50Ω single à $Z_{IN_OPT} = (17,0+27,4j)\Omega$ différentiel et $Z_{OUT_OPT} = (46,2+30,0j)\Omega$ différentiel.

Les valeurs de ces impédances sont définies au moyen de simulation de tirage de source et de charge, dites *source pull* et *load pull*. Elles consistent à remplacer les baluns schématiques d'entrée et de sortie par des ports dans lesquels on fait varier l'impédance jusqu'à trouver le compromis satisfaisant à la fois le cahier des charges et une impédance synthétisable par un balun layout.

Les impédances provisoires sont fixées à 50Ω en entrée et en sortie. La simulation *source pull* est effectuée en premier. Généralement, cette étape est simplifiée comme suit. Le paramètre S_{11} est tracé dans un abaque de Smith. La valeur de 50Ω en entrée est remplacée par le conjugué complexe de la valeur du S_{11} à la fréquence d'intérêt. Cette valeur initiale permet de centrer la courbe de gain à la fréquence d'intérêt. Une simulation paramétrique autour de cette valeur permet ensuite d'affiner et de trouver un meilleur compromis entre les différents paramètres S et les lieux de stabilité.

La simulation *load pull* est effectuée à l'aide d'un affichage spécifique des données. Cette simulation grand signal fait varier les lieux d'impédance en coordonnées polaires (ρ , ϕ) vus dans le port de sortie pour plusieurs niveaux de puissance envoyés dans le port d'entrée de la cellule de puissance. Cette étape de simulation nécessite de la rigueur dans la configuration et l'analyse des données. Le dimensionnement par simulation *load pull* de la cellule de puissance sans driver est présenté en figure 43.

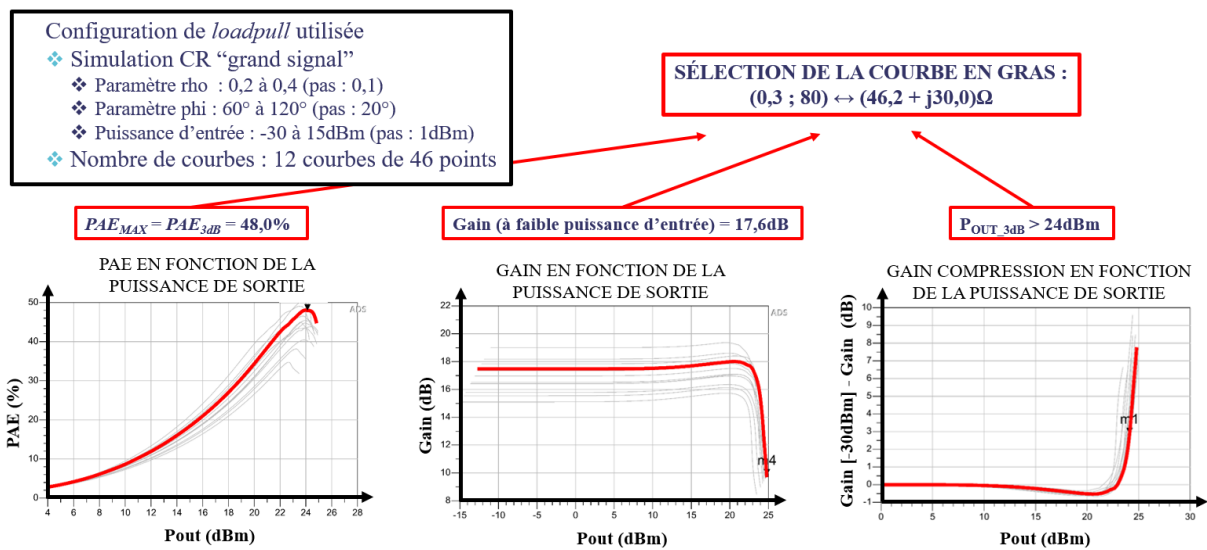


Figure 43: Affichage spécifique pour dimensionner par *loadpull* l’impédance de sortie idéale de la cellule de puissance sans driver à 18 GHz

Le choix de la tension de polarisation V_{BIAS1} détermine la classe de fonctionnement du transistor EC. Sur la figure 44, une polarisation en classe AB profonde est bien retrouvée.

Le choix de la tension V_{BIAS2} , corrélée à V_{BIAS1} , impacte la répartition de la tension d’alimentation entre les étages EC et BC et par conséquent l’auto-échauffement supporté par les deux étages, comme le montre la figure 45. L’auto-échauffement ne doit pas dépasser la température maximale de la zone de fiabilité S.O.A. (*Safe Operating Area*), d’une valeur de 150°C donnée dans le manuel de règles de conception de la technologie BiCMOS9MW. Le respect de cette limitation est permis en trouvant un juste équilibre entre d’une part l’adaptation en sortie, qui fixe la puissance de sortie effective et influence directement le courant de collecteur, et d’autre part la surface d’émetteur disponible pour faire passer ce courant, qui est relative au nombre de doigts d’émetteur choisi précédemment. Les voies gauche et droite réalisent une courbe d’auto-échauffement similaire. La figure montre également que la division du signal entre les deux voies est conforme à ce qui est prévu.

Un condensateur $C1$ de $1pF^{17}$ est placé au plus près de la base du transistor BC afin d’évacuer l’excès de charges positives généré par l’ionisation par impact. Le courant de base I_b est réduit par ce phénomène, ce qui peut provoquer la rupture de la jonction Base-Collecteur. La résistance $R1$ de $1k\Omega$ ne contribue qu’à la polarisation de l’étage BC.

Pour assurer un fonctionnement symétrique des deux canaux pseudo-différentiels de la cellule de puissance, la polarisation de la cellule de puissance est fait au point central du balun de sortie. Le choix de la topologie de balun intervient lors de la conception layout du circuit (voir partie III de ce chapitre). Les simulations schématiques s’appuient sur un modèle simplifié de balun à partir d’inductances couplées et de condensateurs [RED2020].

¹⁷ Cette valeur est choisie pour limiter au maximum le phénomène d’ionisation par impact. Elle est ajustée plus tard pour tenir compte de l’extraction parasitique du transistor et de la simulation électromagnétique des pistes environnantes [RED2020].

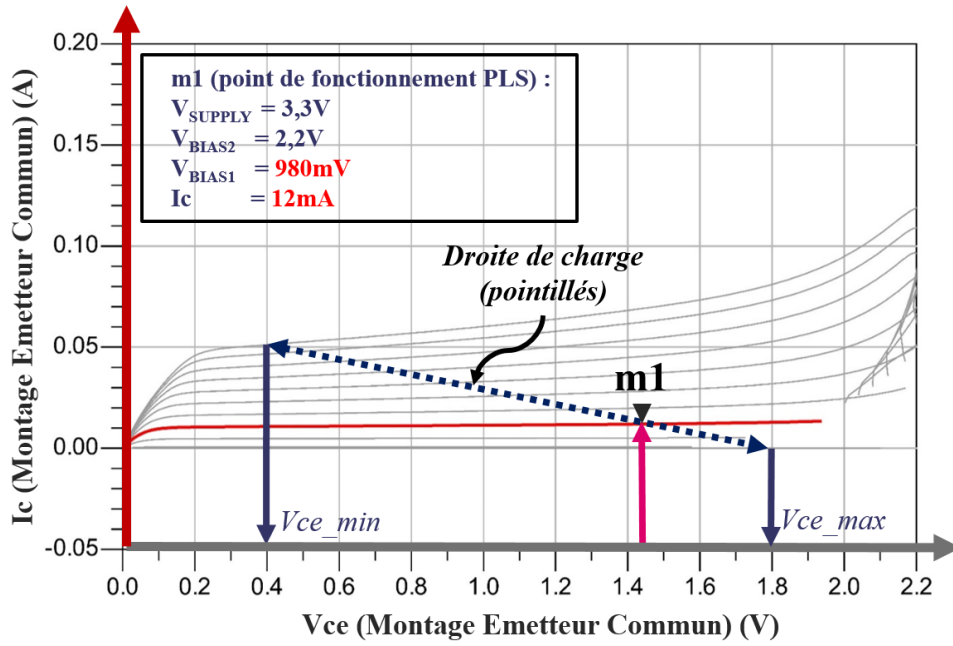


Figure 44: Droite de charge et Classe de fonctionnement - Transistor EC - PLS, 30°C

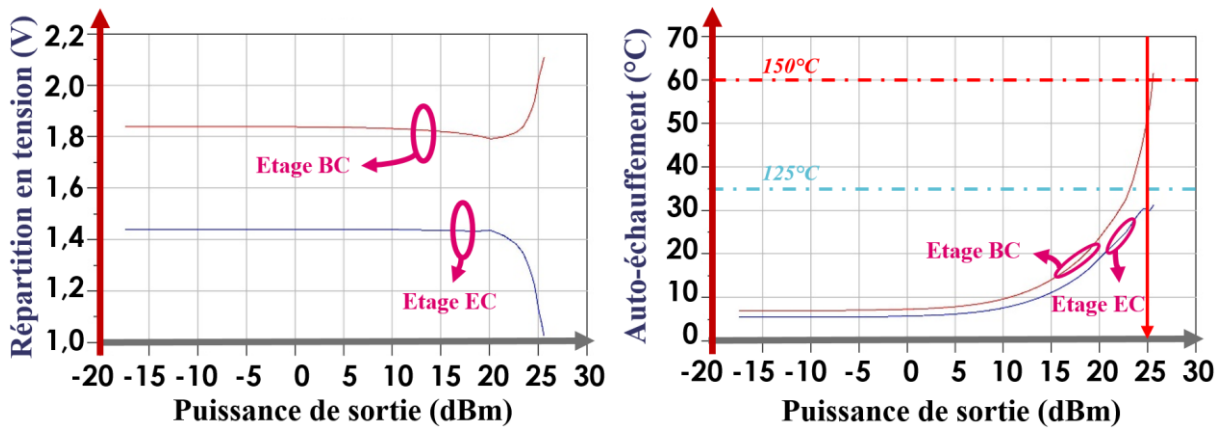


Figure 45: Comparaison de l'auto-échauffement et de la répartition en tension des deux de la cellule de puissance sans driver - PLS 18 GHz, 90°C

Cellule de puissance avec driver

La figure 46 présente le schéma électrique de la cellule de puissance élémentaire avec driver. Cette cellule constitue la « brique » de puissance élémentaire du plus puissant amplificateur de puissance équilibré SiGe connu à ce jour, fonctionnant à 18 GHz et jusqu'à 90°C.

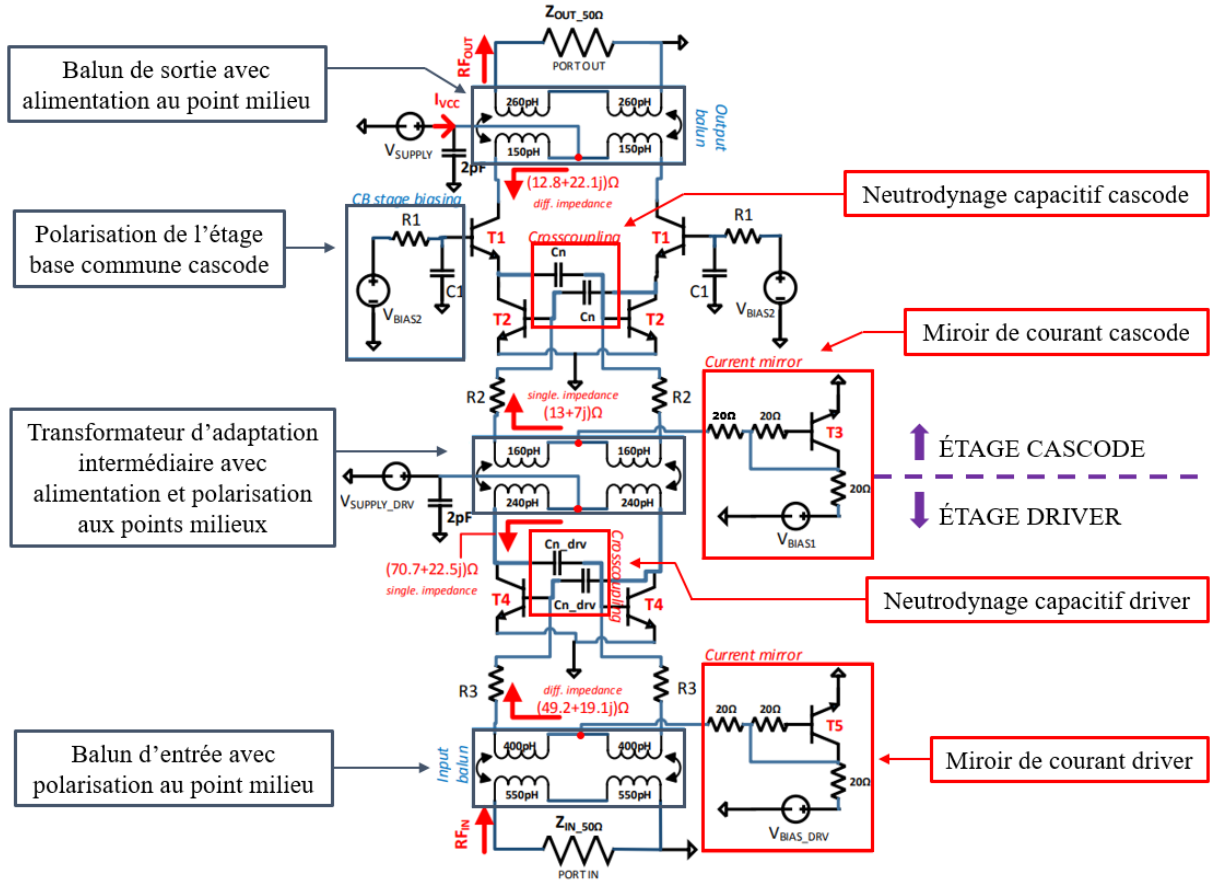


Figure 46: Schéma électrique de la cellule de puissance avec driver

Les choix de topologie et de dimensionnement de l'étage cascode s'appuient sur les mêmes raisonnements que pour la cellule de puissance élémentaire sans driver. En outre, le neutrodynage capacitif utilise un condensateur C_n de valeur 100fF. La valeur de la résistance R_2 placée sur la base du transistor EC est de 5Ω. Dans une même logique que précédemment, un miroir de courant simple permet de mieux contrôler le courant de polarisation. Le transistor T_3 est composé de 8 doigts d'émetteurs de 15μm de long.

Le balun de sortie effectue une transformation d'impédance de $Z_{OUT_CASCODE} = (12,8 + 22,1j)\Omega$ différentiel à 50Ω single. Le transformateur inter-étage effectue une transformation d'impédance de $Z_{OUT_DRIVER} = (70,7 + 22,5j)\Omega$ à $Z_{IN_CASCODE} = (13+7j)\Omega$. Le balun d'entrée réalise une transformation d'impédance de $Z_{IN_DRIVER} = (49,2 + 19,1j)\Omega$ à 50Ω single.

La figure 47 montre l'auto-échauffement supporté par chaque étage. L'auto-échauffement n'est pas significativement influencé par la température de simulation. En considérant un auto-échauffement inférieur à 35°C, la température globale ne dépasse pas 125°C.

Comme pour la première cellule élémentaire, un condensateur C_1 de 4pF est placé au plus près de la base du transistor BC pour se prémunir du phénomène d'ionisation par impact.

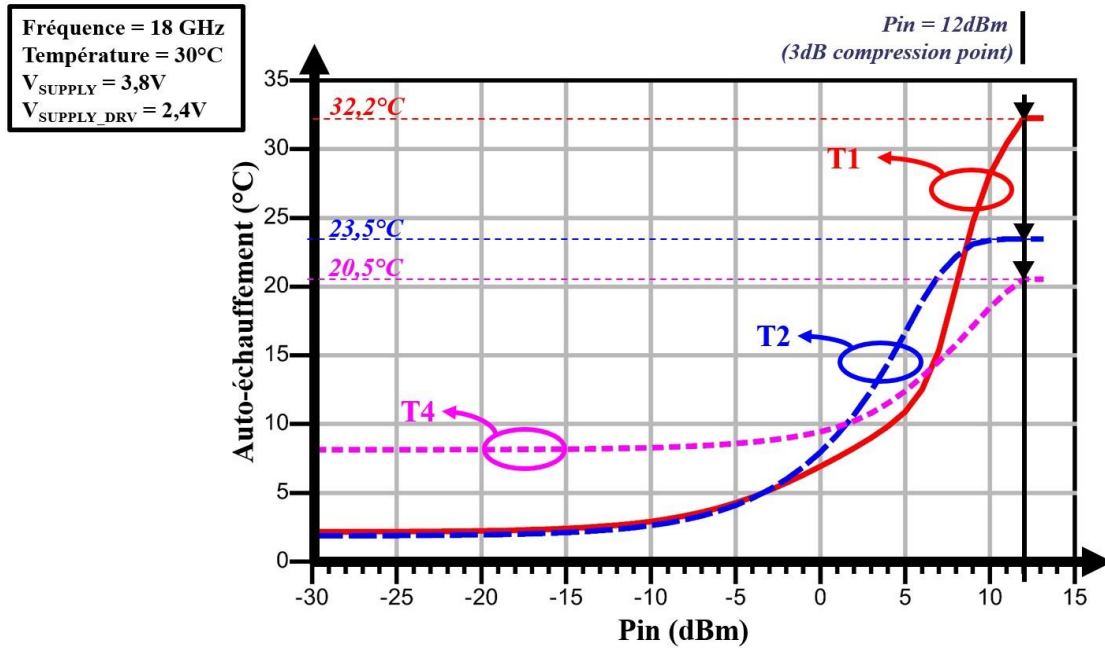


Figure 47: Auto-échauffement des transistors des trois montages en fonction de la puissance d'entrée pour la cellule de puissance avec driver - PLS, 30°C

L'étage driver est un montage EC simple avec un transistor $T4$ de 4 émetteurs de 15 μ m de long. Un miroir de courant simple est utilisé, où le transistor $T5$ a la même taille que $T4$. La tension de polarisation V_{BIAS_DRV} est fixée pour fonctionner dans une classe AB légère, pour éviter la propagation et l'amplification de non-linéarités dans l'étage cascode (Figure 12b). Une résistance $R3$ de 10 Ω est placée sur la base du transistor EC et un condensateur Cn_drv de 60fF est placé sur cet étage. Les deux en améliorent la stabilité.

Les formes d'onde en tension et en courant des transistors $T1$ et $T4$ sont décrites en figure 48.

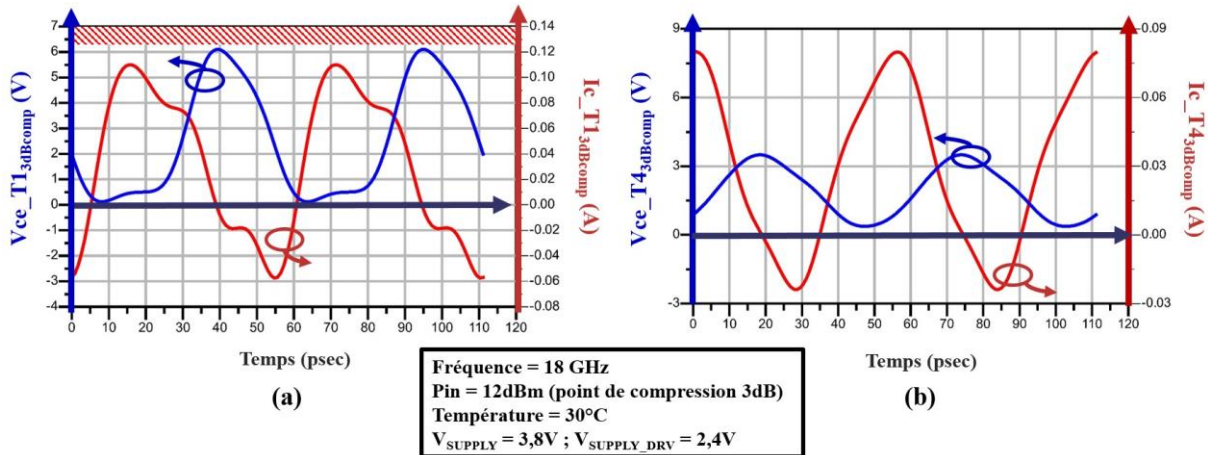


Figure 48: Formes d'onde en courant et tension à 30°C, transistors $T1$ et $T4$, cellule de puissance avec driver, PLS

Le choix de la tension d'alimentation et des tensions de polarisation doit permettre de rester en-dessous des tensions de claquage du transistor. La figure 48a permet de vérifier que la forme d'onde en tension au point de fonctionnement à 3dB dans la compression se trouve en-dessous de la zone de claquage (zone hachurée). La figure 48b montre des formes d'onde en tension et en courant proches d'une sinusoïde, ce qui traduit une classe de fonctionnement AB légère.

Partie III : Conception layout de cellules de puissance élémentaires sans et avec driver

Du fait de la précision des modèles, du type d'extraction et de la complexité des simulations, cette étude s'appuie sur un processus graduel de simulation décrit en annexe II-1.

Cette troisième partie décrit et explique les choix de dessin réalisés pour la conception des cellules de puissance élémentaires sans et avec driver.

a) Cellule de puissance élémentaire sans driver

Transistors

Les modèles de transistors disponibles utilisent le niveau de métal 1. Il est nécessaire d'ajouter les empilements de métal sur les doigts d'émetteur, de base et de collecteur pour raccorder le transistor aux pistes RF et de polarisation. Ces pistes ajoutent des pertes résistives aux modèles de simulation du transistor et modifient les impédances vues sur les différents accès et les capacités entre les accès. Deux techniques sont utilisées ici pour minimiser les pertes résistives dues aux pistes. D'une part, la longueur minimale d'empilement de métal est choisie pour chaque couche en fonction de la densité de courant qu'elle peut conduire. Les couches les plus hautes étant aussi les plus épaisses, une structure dite « en escalier » est réalisée pour limiter le couplage capacitif entre les pistes d'une même couche de métal. D'autre part, les bases du transistor sont reliées de part et d'autre pour effectuer un « double-accès de base » et ainsi minimiser la résistance vue sur la base du transistor. Ces deux techniques sont illustrées sur la figure 49.

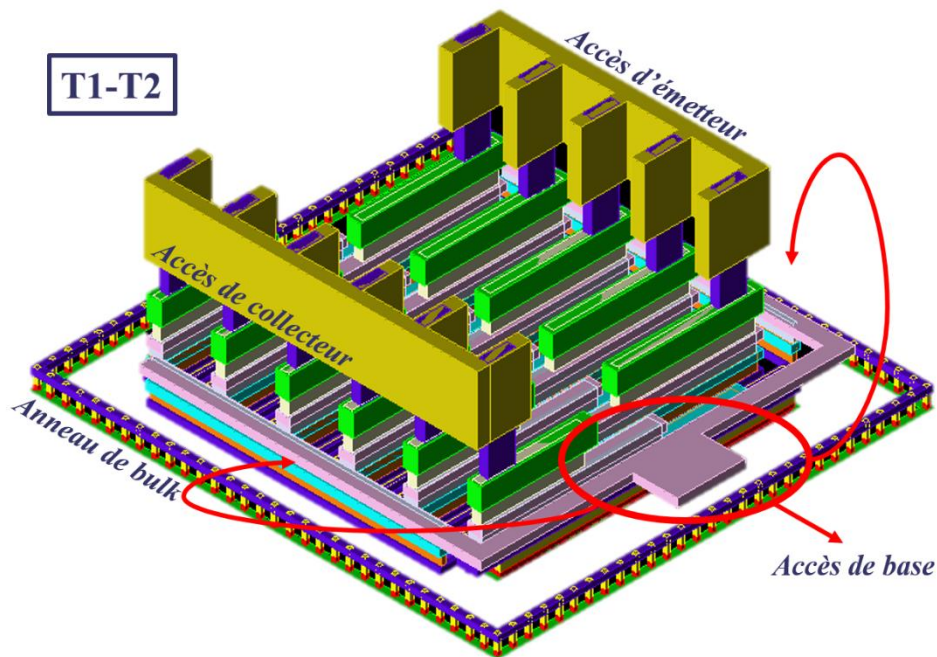


Figure 49: Vue 3D intrinsèque de l'empilement de couche de métal « en escalier » des transistors T1 et T2

Montage cascade

Une attention particulière est portée sur la disposition des pistes et des transistors du montage cascade. Le choix est fait d'une architecture compacte pour minimiser au maximum les pertes résistives et les écarts entre le schéma et le layout. De cette manière, les capacités C_I sont placées proches des transistors T1 pour minimiser l'impédance de base et ainsi faciliter l'évacuation d'excédents de charge provoqué par l'impact par ionisation. Les deux voies symétriques sont rapprochées pour tirer le bénéfice d'un neutrodynage capacitif compact et

limiter la distance entre les émetteurs communs des deux voies. Une vue 3D simplifiée de la cellule cascode est visible sur la figure 50.

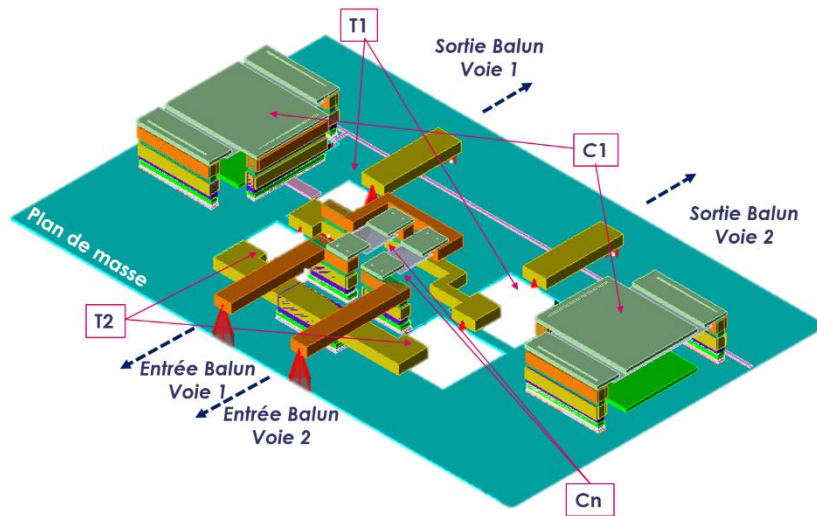


Figure 50: Vue 3D simplifiée du montage cascode sans les transistors de la cellule de puissance sans driver

Il est nécessaire d'ajuster la valeur du condensateur C_n de neutrodynage pour prendre en compte à la fois les empilements de métal des transistors influençant la capacité C_{BE} et les pistes de métal 5 et 6 autour des transistors $T1$ et $T2$. Le manuel de règles de design précise le pourcentage de variation de la valeur des composants fournis dans le kit de conception (design kit ou DK). Cette variation est directement liée à la précision de la gravure des wafers silicium. Une marge suffisante doit être conservée entre la valeur maximale du condensateur après fabrication et le point d'instabilité, comme illustré auparavant en figure 42.

Baluns de sortie et d'entrée

Les baluns réalisent deux fonctions. Ils permettent de passer d'une voie simple (ou *single*) à deux voies symétriques et réciproquement. Ils effectuent la transformation d'impédance entre l'impédance vue depuis l'entrée ou la sortie du montage cascode et l'entrée 50Ω ou la sortie 50Ω . Leur dimensionnement s'appuie sur des travaux récents en bande X [RED2020].

Le choix de baluns à très faibles pertes se répercute sur la topologie à un seul enroulement qui permet de limiter la longueur de piste et donc les pertes résistives (figures 51a, 51b). En contrepartie, ces passifs occupent une superficie non négligeable en proportion de la cellule cascode (figure 51c). Une extraction des paramètres S des baluns est réalisée (tableau 6).

Tableau 6: Paramètres S des baluns d'entrée et de sortie de la cellule élémentaire sans driver, simulations électromagnétiques sous MOMENTUM, "1" voit la cellule de puissance et "2" l'entrée ou la sortie du circuit

Paramètres S (17,7-18,3 GHz - 90°C)	IL	S_{11}	S_{22}
Balun d'entrée	-0,81 dB	-18,2 dB	- 19,2 dB
Balun de sortie	-0,86 dB	- 27,2 dB	- 20,8 dB

Les valeurs des paramètres S_{11} et S_{22} très inférieures à -10dB traduisent la bonne transformation d'impédance. Les niveaux de pertes d'insertion IL sont légèrement supérieurs à ceux obtenus en bande X [RED2020], car cette étude se situe plus haut en fréquence.

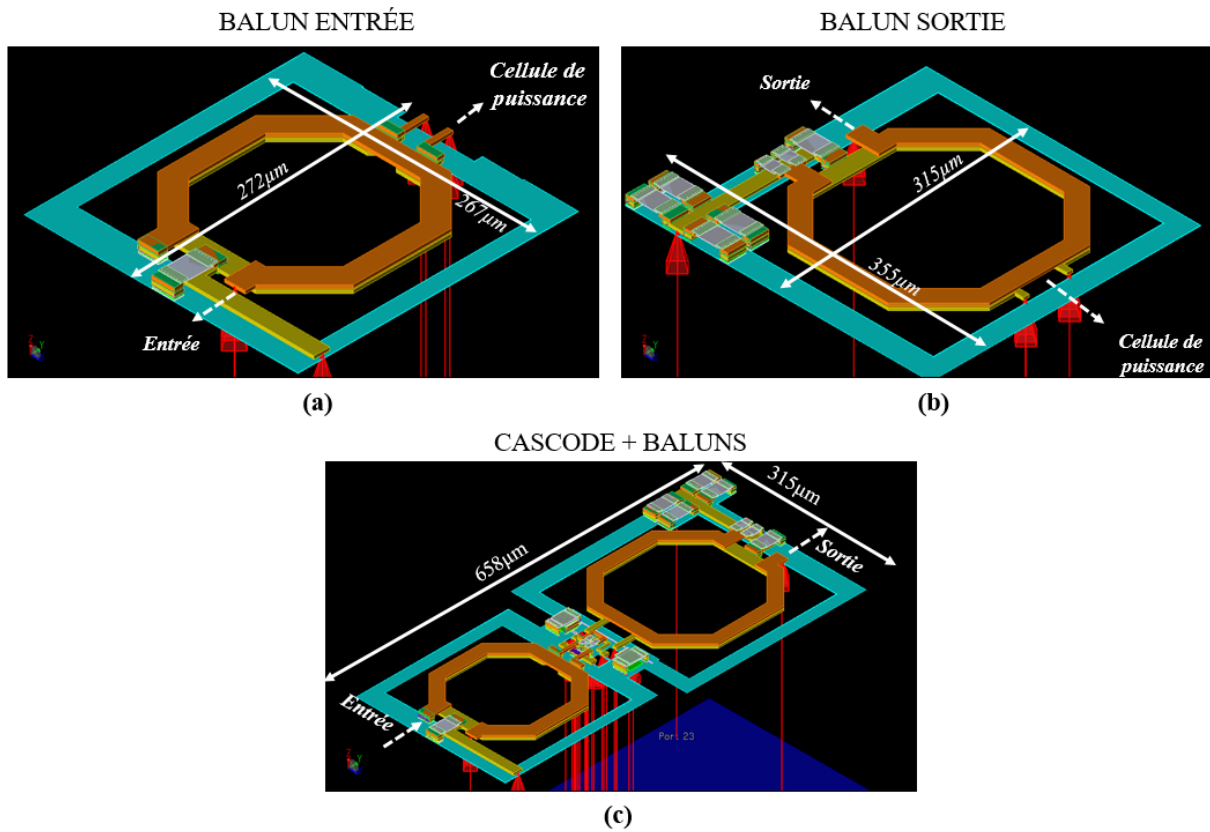


Figure 51: Vues 3D des baluns utilisés pour la cellule élémentaire sans driver avec un plan de masse simplifié

Schéma layout complet et performances de la cellule de puissance sans driver

La figure 52 présente le schéma du dessin (layout) complet de la cellule de puissance sans driver.

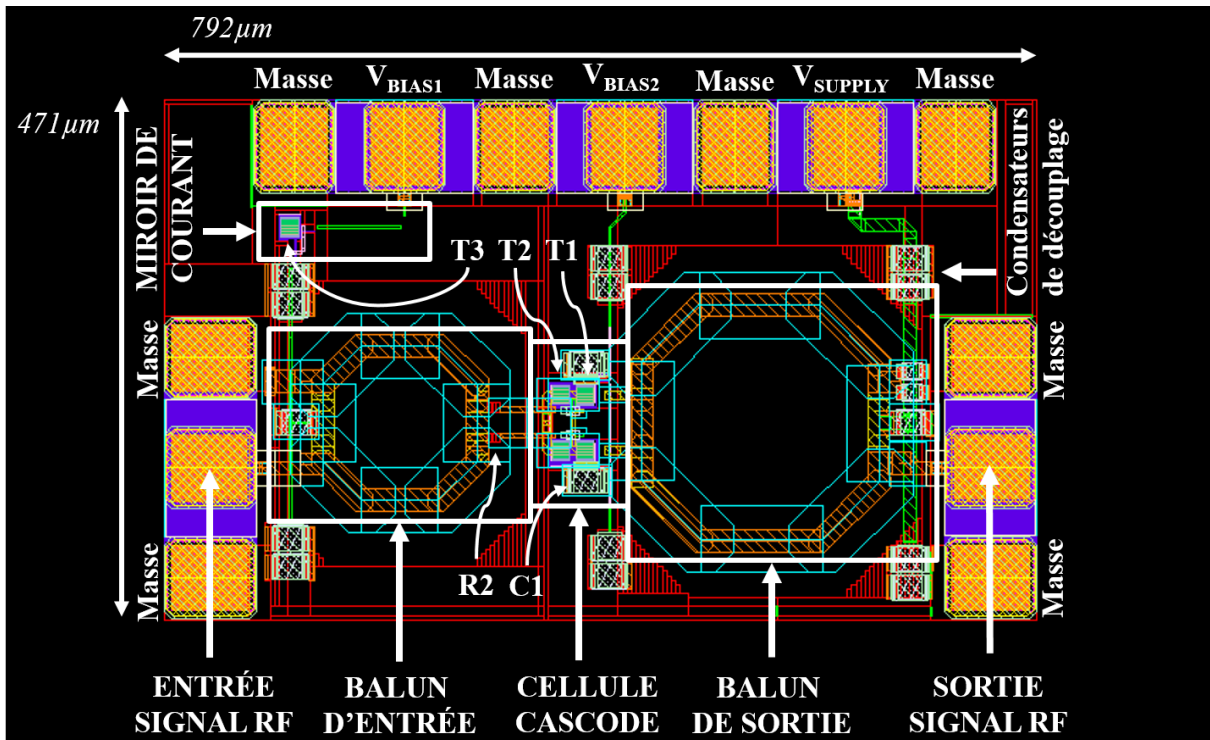


Figure 52: Schéma layout 2D de la cellule de puissance sans driver

La surface totale de cette cellule de puissance avec ses pads est de 0,37mm². La surface active (sans les pads) est de 0,2mm².

Les résultats des simulations PLS de ce circuit à 30°C sont présentés en figure 53.

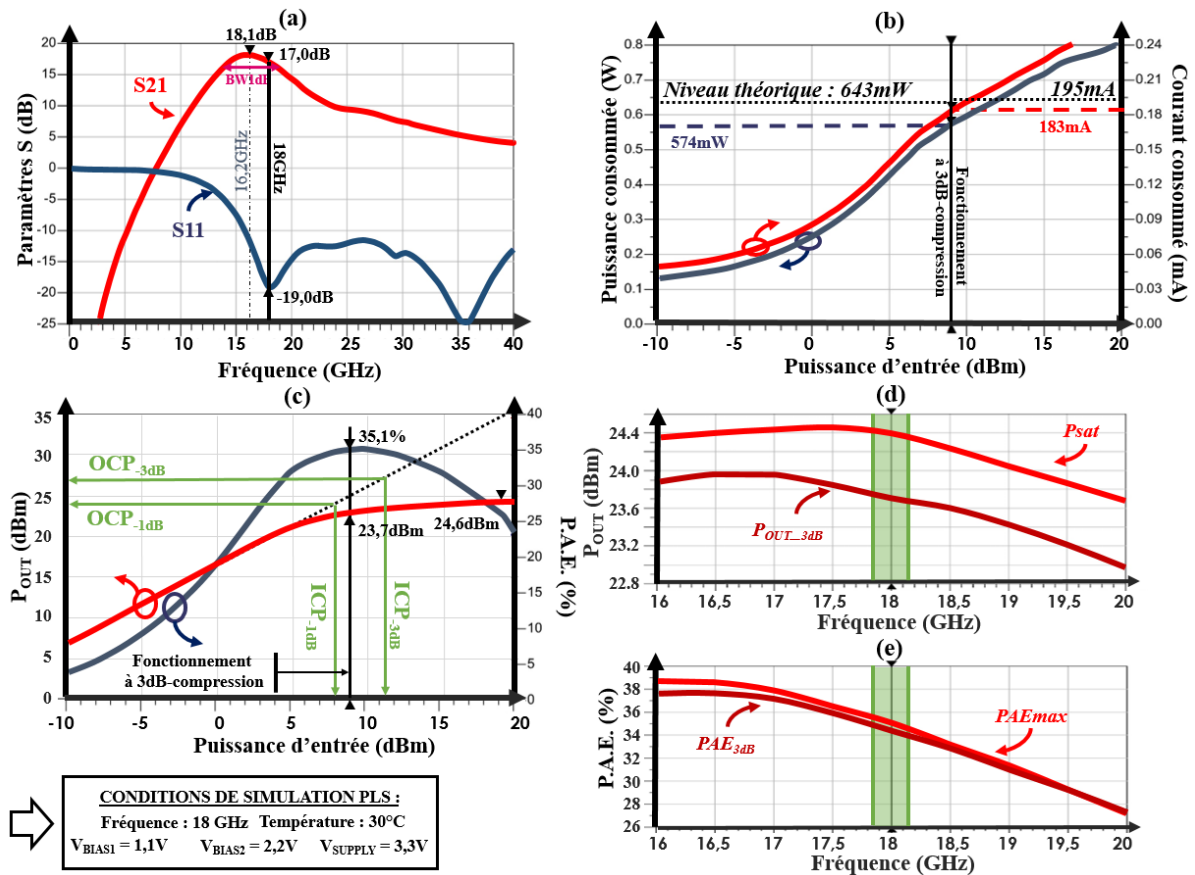


Figure 53: Performances PLS de la cellule de puissance sans driver - 30°C

Le graphique (a) montre une adaptation conforme au cahier des charges en entrée avec un paramètre S_{11} valant 19,0dB à 18 GHz. Le pic de gain égal à 18,1dB (paramètre S_{21}) est atteint à 16,2 GHz. Ce décalage en fréquence se retrouve sur les graphiques (d) et (e) où l'on observe que les performances PAE_{3dB} et $P_{OUT_{3dB}}$ présentent des pics autour de 16,5 GHz. Il est dû à l'influence du coupleur qui est prise en compte dans la conception du balun de sortie par une étude de co-conception (voir sous-partie V.a). Le graphique (b) permet de comparer les niveaux de courant et de puissance consommés à ceux attendus théoriquement à partir des équations (II-1) et (II-2). Les écarts observés valent respectivement 7% et 12% pour le courant et la tension. Ils peuvent provenir du fait que l'équation théorique ne prend pas en compte les courants et tensions de polarisation des étages du montage cascode. La figure 17c permet d'évaluer la distorsion en amplitude AM/AM à l'aide des indicateurs ICP et OCP à 1 et 3dB. Le point de fonctionnement à 3dB de compression de ce circuit (correspondant à une puissance d'entrée de 9dBm) se trouve entre l' ICP_{-1dB} (8dBm) et l' ICP_{-3dB} (11,3dBm). Cela traduit une distorsion en amplitude modérée.

Les résultats en simulation à 90°C sont récapitulés à la fin de ce chapitre.

b) Cellule de puissance élémentaire avec driver

Les deux étages de cette cellule de puissance ont été conçus simultanément pour que leurs influences réciproques soient prises en compte dès le début de la conception.

Transistors

Pour répondre aux problématiques de l'électromigration (voir sous-partie III.c), des empilements de métal dans des configurations différentes ont été adoptés. La figure 18 représente les vues 3D des transistors $T1$ et $T4$. Tout en présentant une longueur de métal suffisante pour faire passer le courant maximal simulé, la configuration « en peigne non chevauché » de $T1$ (Figure 54a) permet de limiter le couplage entre les niveaux de métal épais. La configuration « en peigne chevauché » de $T4$ (Figure 54b) autorise davantage de couplage dans le but d'offrir une longueur de métal plus importante sur les niveaux épais.

Une seconde amélioration réside sur les accès de base simplifiés, particulièrement pertinents pour le transistor $T1$ pour réduire la distance entre la base du transistor et le condensateur $C1$. Cela favorise une meilleure attraction des charges positives et réduit le phénomène d'ionisation par impact par rapport à la configuration de la cellule de puissance sans driver.

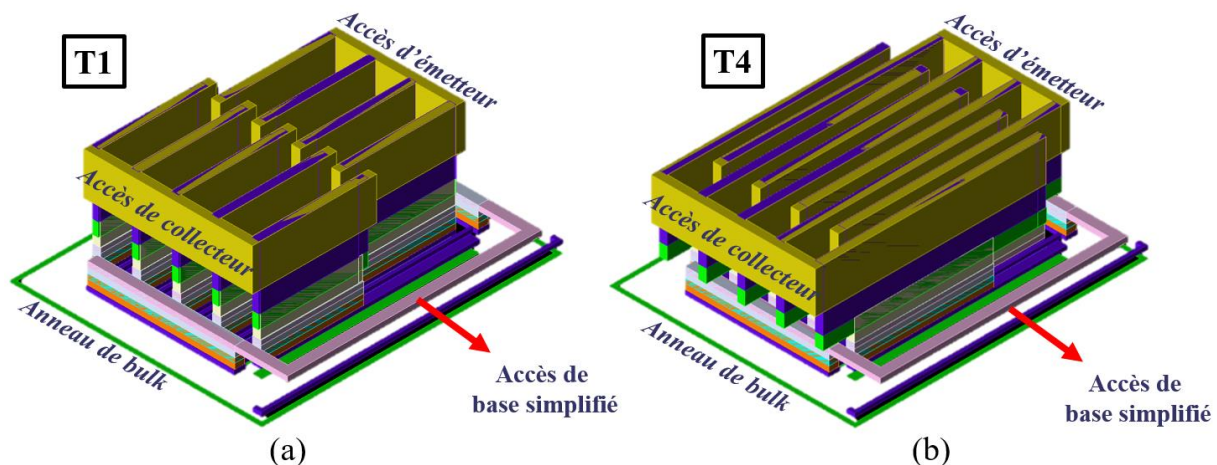


Figure 54: Vues 3D intrinsèques des transistors $T1$ et $T4$ de la cellule de puissance avec driver

Etage Cascode

Le choix de doubler le nombre de doigts du transistor $T1$ par rapport à $T2$ se répercute sur le dessin. La distribution des 16 doigts d'émetteurs sur 4 transistors en parallèle a pour but de favoriser la dissipation thermique. Cela permet aussi de réduire à 1pF la valeur de la capacité $C1$ positionnée au plus proche de la base du transistor $T1$ ¹⁸. L'inconvénient principal de cette architecture est la répartition déséquilibrée du courant RF entre les 4 transistors $T1$ de chaque branche pseudo-différentielle. Plusieurs dessins ont été simulés avec des arbres en courant plus équilibrés (figure 55a). La structure présentée en figure 55b a été retenue car elle minimise à la fois la distance (et donc les pertes résistives) entre les accès des transistors et le balun de sortie, et aussi le couplage parasite RF critique entre les accès de collecteur et d'émetteur.

¹⁸ En comparaison avec la figure 50 décrivant le layout de la cellule de puissance élémentaire sans driver, la capacité $C1$ est rapprochée de la base du transistor $T1$. Le barreau de piste en métal M3 est réduit pour limiter fortement les pertes résistives.

L'étude complète des courants dans chaque branche est associée à une étude d'autres structures d'arbres en courant. Elle est présentée dans la partie perspectives en fin de manuscrit.

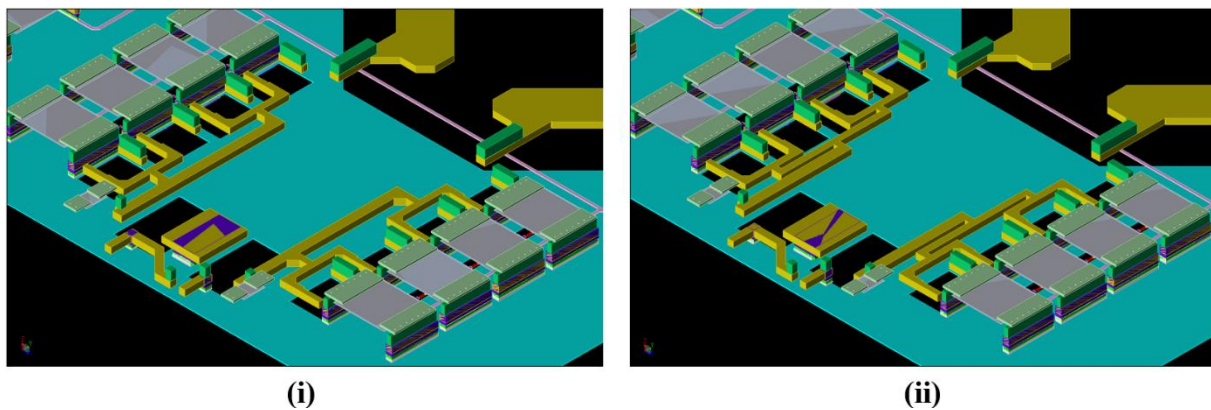


Figure 55a: Vues 3D d'un arbre en courant (i) avec 2 ramifications (ii) avec 3 ramifications (couche métal 6 non visible)

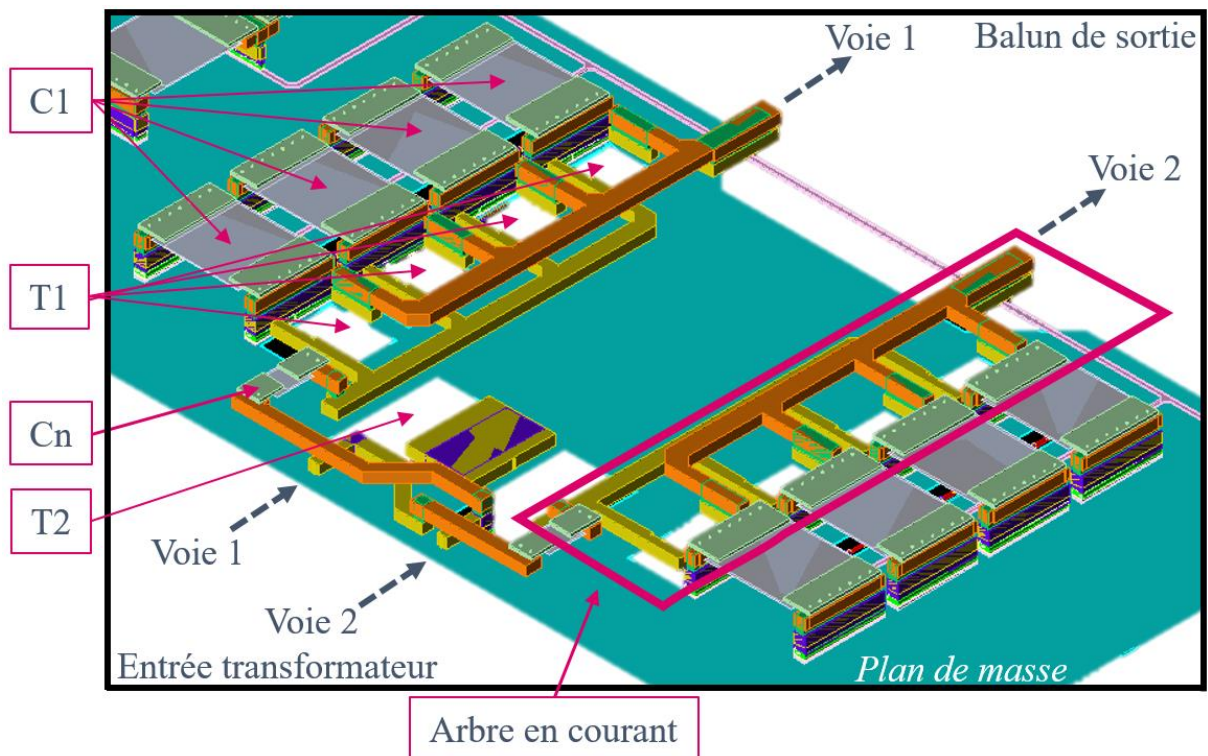


Figure 55b: Vue 3D de l'étage cascode avec distribution du transistor de base commune de la cellule de puissance avec driver

Baluns et transformateur

Les vues 3D des baluns d'entrée et de sortie et du transformateur d'adaptation inter-étages sont placées en annexes II-2 à II-4.

Contrairement à la cellule de puissance précédente, des topologies de balun à plusieurs enroulements sont choisies pour limiter l'encombrement de ce composant passif et réduire la taille globale du circuit. Une caractérisation électromagnétique après layout est menée pour vérifier la transformation d'impédance, le niveau de perte et l'équilibre en phase et en

amplitude entre les voies des deux baluns en entrée et en sortie et du transformateur inter-étage. Les performances obtenues pour les deux baluns sont présentées en annexe II-5.

Un compromis a été trouvé entre la transformation d'impédance souhaitée et la répartition équilibrée du signal d'une à deux voies symétriques. Ces caractérisations sont partielles car il serait nécessaire de tenir compte de l'influence électromagnétique (par couplage) du circuit sur ces composants passifs (et réciproquement) pour avoir une idée plus précise de leurs caractéristiques générales dans le circuit global. Néanmoins il est possible de constater qu'en contrepartie d'une taille plus raisonnable que pour le circuit précédent, les baluns utilisés ici présentent des niveaux de pertes intrinsèques respectifs en entrée et en sortie valant 0,82dB et 1,53dB contre 0,81dB et 0,86dB respectivement pour le circuit précédent.

Schéma layout complet et performances de la cellule de puissance avec driver

La figure 56 présente le schéma layout complet de la cellule de puissance avec driver.

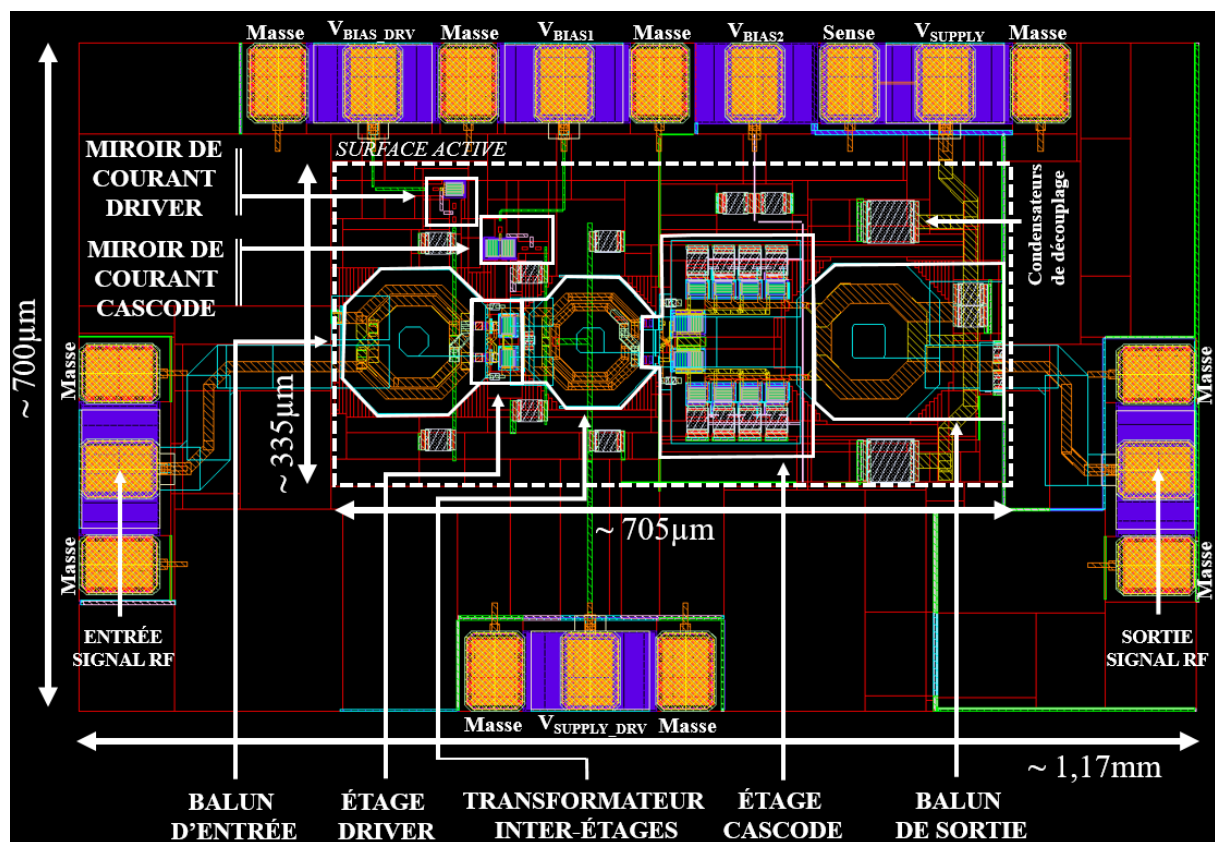


Figure 56: Schéma layout 2D de la cellule de puissance avec driver envoyée en fabrication

La taille de cette cellule de puissance avec ses pads est de 0,82mm². La surface active (sans les pads) est de 0,24mm².

De manière à illustrer la vigilance particulière portée sur la linéarité de l'étage driver pour éviter l'injection et l'amplification de non-linéarités dans l'étage cascode, il est nécessaire de tracer les courbes de puissance de sortie en fonction de la puissance d'entrée (figure 57a) et de la compression du gain par rapport à la puissance de sortie (figure 57b).

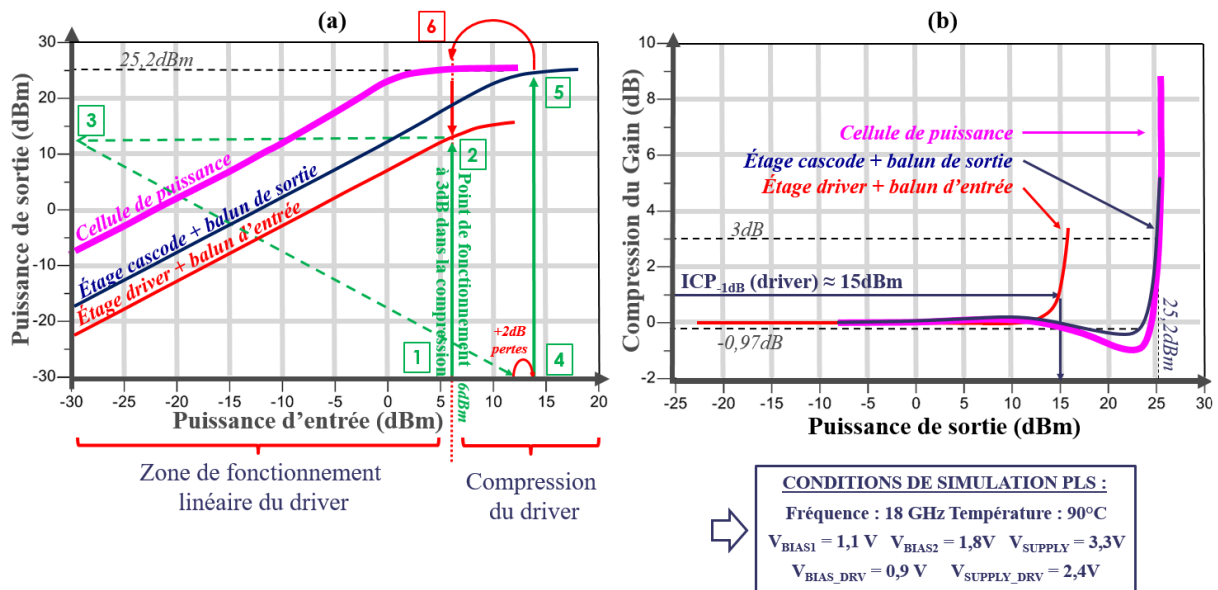


Figure 57: Vérification de la linéarité du driver et comparaison des allures des courbes en gain et en puissance des étages de la cellule de puissance avec driver – PLS, 18GHz, 90°C

Les étapes 1 à 6 de la figure 57a permettent de situer en premier lieu le point de fonctionnement du circuit en puissance d'entrée pour l'étage driver (1 2 3), puis de le reporter sur l'étage cascode (4 à 5) pour vérifier que le niveau de puissance correspond bien à celui de la cellule de puissance globale (6). La figure 57b permet de vérifier que ce point de fonctionnement se trouve suffisamment éloigné de l'OCP_{-1dB}, dans la zone de fonctionnement linéaire du driver. Cette étape de vérification s'appuie directement sur le dimensionnement et la polarisation de chaque étage, et sur les formes d'onde issues des simulations électromagnétiques PLS présentées en figure 48b.

L'ensemble des performances en simulation de la cellule de puissance avec driver à 30°C et à 90°C est récapitulé à la fin de ce chapitre.

c) Précautions de conception layout et améliorations de layout

Cette sous-partie présente les améliorations de layout qui ont été réalisées sur la cellule de puissance avec driver, à partir des manques identifiés sur la cellule de puissance sans driver mesurée.

Stabilité de chaque étage

Il n'est pas pertinent d'évaluer la stabilité « petit signal » à l'aide du facteur de Rollet de part et d'autre de cette structure pseudo-différentielle munie de transformateur et de baluns. La condition de stabilité inconditionnelle du critère de Rollet est donc vérifiée pour chaque étage indépendamment. Le neutrodynage, la résistance de base et la capacité de compensation sont des ressorts utilisés dans chacune des deux cellules de puissance pour améliorer la stabilité des montages cascodes et du driver à l'aide de simulations paramétriques.

Une étude plus poussée est menée ensuite. En s'appuyant sur [RED2020] qui utilise une distribution de l'étage base commune similaire à cette étude, une attention particulière est apportée aux points chauds identifiés avec l'outil STAN. Des résistances de 1kΩ sont ajoutées en parallèle entre les résistances placées sur les bases des transistors montés en base en commune [RED2020]. Une vigilance particulière est également portée sur le point milieu du

balun de sortie, qui reçoit l'alimentation générale du circuit. L'environnement de cet endroit est donc simplifié pour réduire toute perturbation électromagnétique. Notamment, le condensateur placé en vis-à-vis de ce point milieu sur la cellule de puissance sans driver est retiré. Les configurations de condensateurs de découplage sont également simplifiées.

Contrôle de l'auto-échauffement des transistors

Deux méthodes permettent d'accéder à l'information sur l'auto-échauffement des transistors schématiques. La première s'appuie sur un modèle de simulation spécifique du transistor NPNVHS à 5 accès. Le cinquième accès permet de récupérer l'information d'auto-échauffement. L'inconvénient est que ce modèle de simulation n'est valable que pour des simulations schématiques. La seconde méthode consiste à déterminer la résistance thermique en fonction de la puissance d'entrée. Cette donnée est accessible avec le modèle de simulation HiCuM L2. En faisant l'hypothèse que cette valeur de résistance thermique varie peu avec un modèle de transistor par extraction de parasites RC, il est possible de prédire l'allure de l'auto-échauffement du transistor avec extraction de parasites. Il est nécessaire de préciser ici que les effets indésirables de l'auto-échauffement ne sont pas pris en compte dans la simulation électromagnétique, notamment concernant le comportement du transistor en dehors de sa zone de fiabilité (S.O.A.). Cela justifie la vigilance portée dans cette étude concernant le contrôle de l'auto-échauffement du transistor.

Le levier principal démontré dans ces travaux pour assurer un auto-échauffement limité est d'augmenter la surface d'émetteur disponible pour une même densité de courant et de distribuer spatialement les doigts d'émetteur lorsque cela est possible. A titre d'exemple, la cellule de puissance avec driver réussit à réduire de moitié l'auto-échauffement maximal des transistors (comparer figure 45 et 47) en offrant 60% de surface d'émetteur supplémentaire à l'étage EC et 120% à l'étage BC, distribué en 4 étages en parallèle (figure 55b).

Densités de métal et électromigration

Une cause envisagée de la perte mesurée de *P.A.E.* du circuit sans driver est la perte résistive due à un sous-dimensionnement des pistes RF, en particulier les vias et les largeurs de piste au niveau des transistors qui supportent le signal RF. Le layout de la cellule de puissance avec driver est donc conçu de manière plus rigoureuse, en se référant aux densités de courant supportées par chaque via et chaque niveau de métal pour une fiabilité de 10 ans.

Pour satisfaire le bon dimensionnement des pistes et des vias du transistor, le courant maximal supporté par celui-ci est simulé. Puis la largeur de piste et le nombre de vias est calculé à partir des informations du kit de conception de la technologie. Le tableau 7 montre un exemple de ce dimensionnement pour le transistor monté en émetteur commun du montage cascade de la cellule de puissance avec driver, avec une configuration « en peigne chevauché ».

Tableau 7: Vérification de l'électromigration pour le transistor T2 de la cellule de puissance avec driver

Type de via	Courant par via (mA)	Nombre de vias	Nombre de doigts d'émetteur	Courant total admissible (mA)
M4-M5	0,816	20x1	2x4	130,6
M3-M4	0,816	20x1	2x4	130,6
M2-M3	0,34	25x2	2x4	136
M1-M2	0,34	25x2	2x4	136

Le courant maximal qui parcourt ce transistor est de 130mA. Le dimensionnement choisi est un compromis entre cette valeur minimale et la place disponible au-dessus du transistor. Dans le cas de ce transistor, il est nécessaire de couvrir avec le niveau de métal épais M5 la totalité de la place disponible, comme le montre la figure 58.

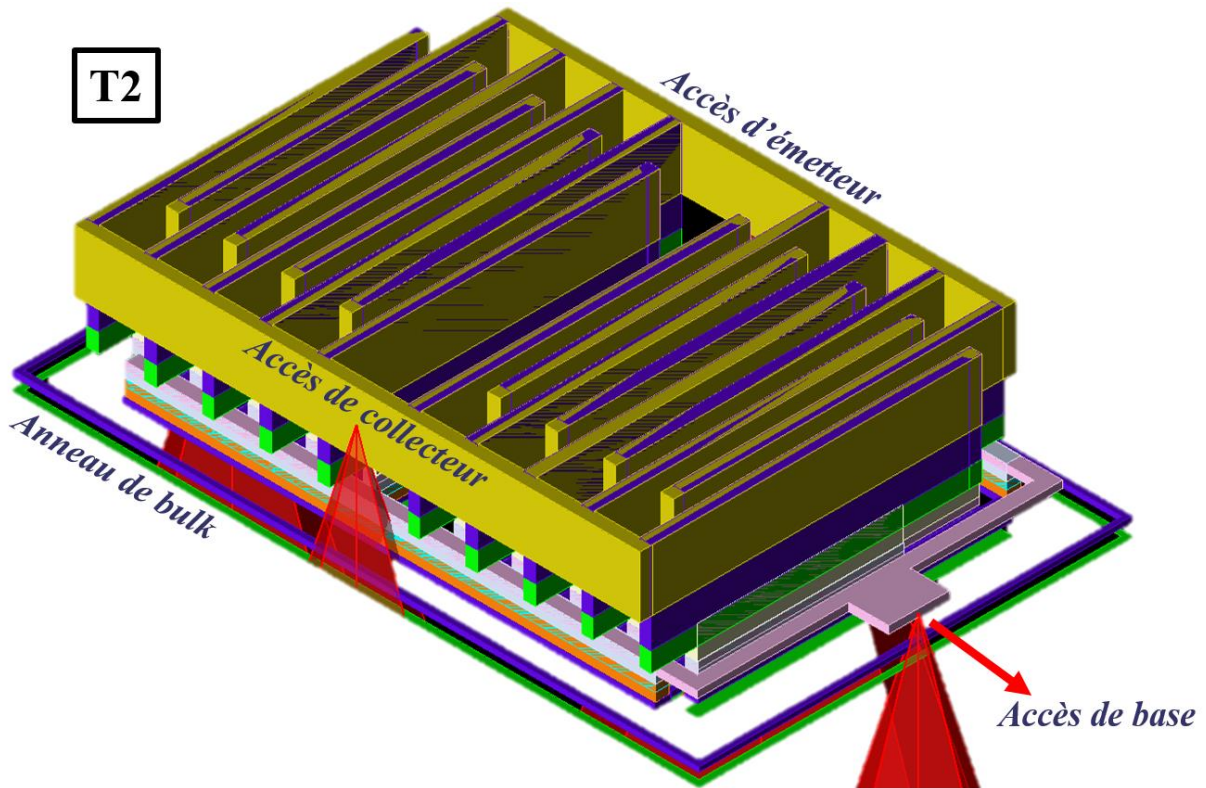


Figure 58: Vue 3D intrinsèque du transistor T2 EC du montage cascade de la cellule de puissance avec driver

Partie IV : Conception layout de la combinaison en puissance

Cette étude privilégie le choix d'une combinaison en puissance dans une architecture équilibrée pour atteindre les forts niveaux de puissance de sortie et la robustesse au TOS actif du cahier des charges. En effet, sur la bande de fréquence Ku l'utilisation de combineurs externalisés (circulateurs et isolateurs décrits dans [BON2015]) serait rédhitoire en termes de compacité et de pertes.

a) Combinaison en puissance avec un coupleur torsadé

Une topologie de coupleur hybride torsadé est proposée pour la combinaison en puissance. Elle possède 3 branches et 7 torsades. La méthodologie de conception est illustrée sur la figure 59.

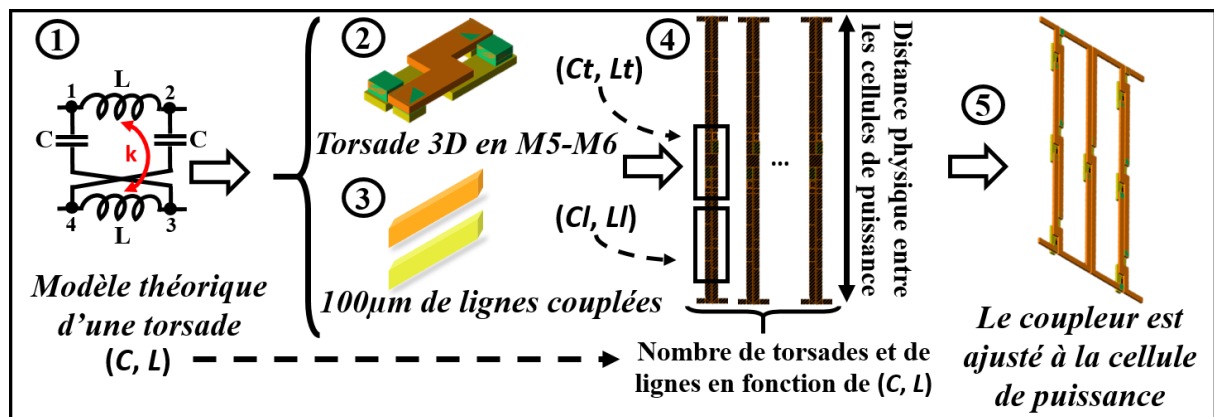


Figure 59: Méthode de conception du coupleur torsadé

Le calcul ① de l'inductance et de la capacité initiales ($C=126\text{fF}$, $L=630\text{pH}$) est basé sur [KNO2017], avec un facteur de couplage k de 0,6. Les simulations électromagnétiques (EM) donnent la caractérisation EM d'une seule torsade ② ($C_t=260\text{fF}$, $L_t=25\text{pH}$) et d'une ligne couplée de $100\mu\text{m}$ ③ ($C_l=70\text{fF}$, $L_l=58\text{pH}$). Ensuite, le nombre de 7 torsades et la longueur de $520\mu\text{m}$ de ligne couplée sont déterminés pour correspondre aux valeurs initiales (C , L) et pour obtenir un coupleur centré à 18GHz ④. Le facteur de forme choisi s'adapte à l'espace disponible entre les deux cellules de puissance ⑤. Le coupleur conçu selon cette méthode est présenté en figure 60.

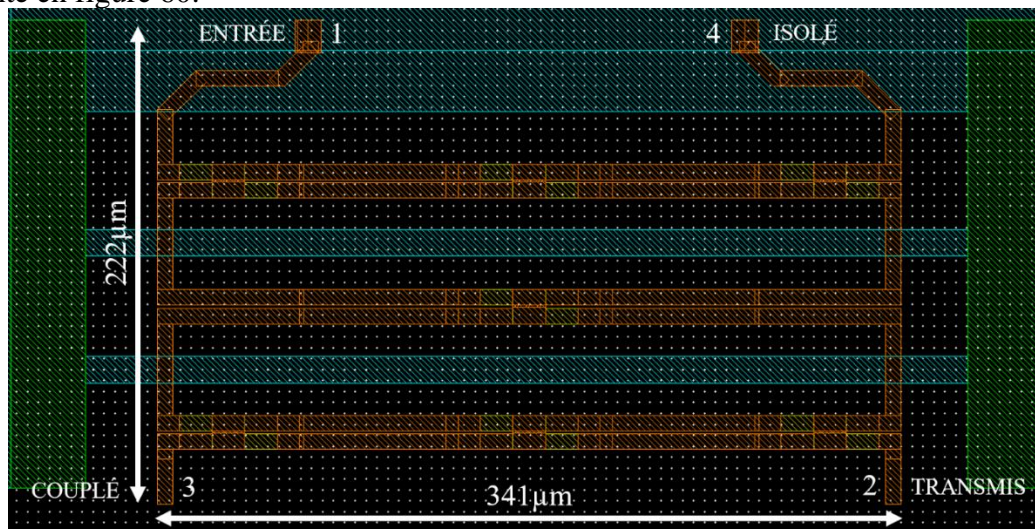


Figure 60: Vue layout 2D du coupleur torsadé

Les caractéristiques de ce coupleur sont étudiées et présentées dans la figure 61.

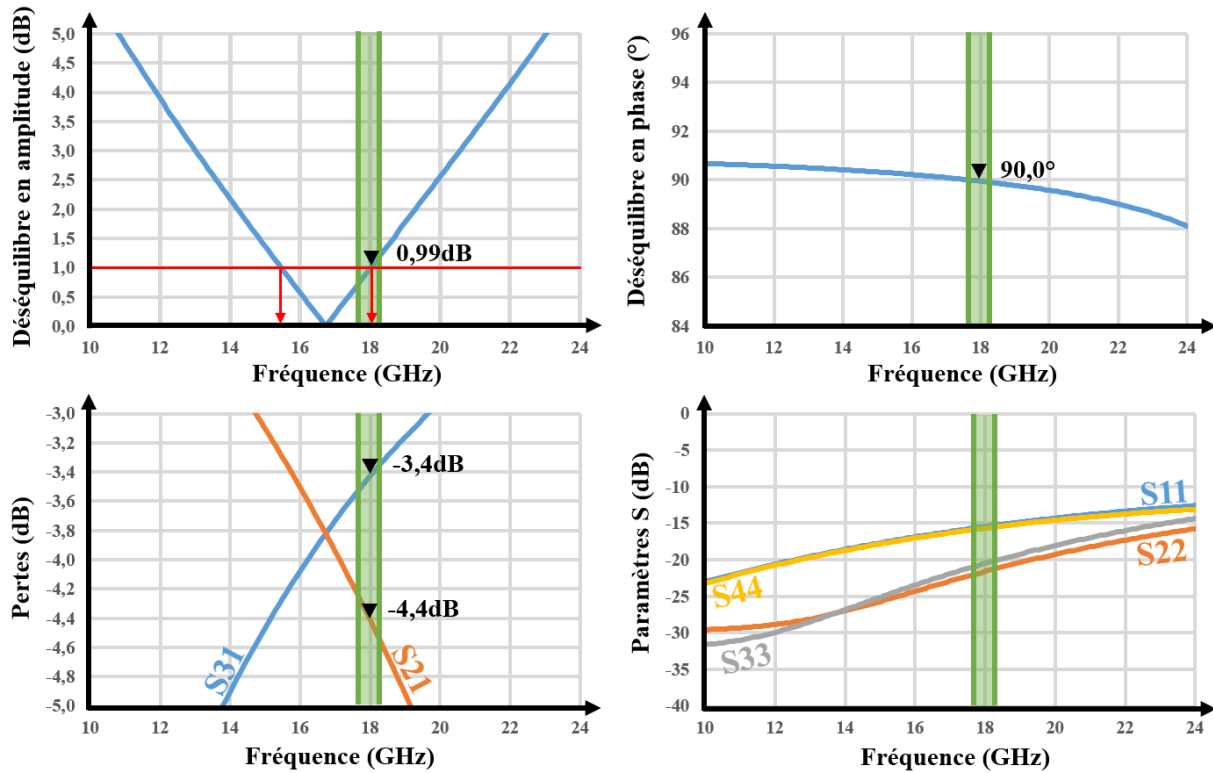


Figure 61: Caractérisation du coupleur torsadé en simulation électromagnétique

L'adaptation 50Ω des accès de ce coupleur est conforme, comme le montrent les paramètres S_{ii} ($i = 1$ à 4), tous inférieurs à -15dB sur la bande de fréquence d'étude. Le déséquilibre en phase entre les voies 2 et 3 vaut $[90,00 \pm 0,01]^\circ$, ce qui est également conforme aux attentes pour un coupleur hybride 90° . Cela traduit un excellent équilibre en phase du signal RF entre les deux voies. Le déséquilibre en amplitude proche de 1dB traduit un décalage fréquentiel par rapport au point de fonctionnement à moindres pertes. Cela signifie que sur notre bande de fréquence, la voie 2 vers 1 présente des pertes plus importantes que la voie 3 vers 1, ce qui signifie que la découpe du signal RF est déséquilibrée en amplitude de 1,0dB.

b) Combinaison en puissance avec plusieurs coupleurs compacts

Le choix de coupleurs hybrides compacts (figure 62) pour la cellule de puissance avec driver, dimensionnés à partir des travaux [POT2018], se base sur un argument de compacité layout de faible niveau de pertes. Le diamètre intérieur et la longueur de piste entre chaque coupleur sont dimensionnés rigoureusement de sorte que le déséquilibre en amplitude de chaque voie soit centré à la fréquence désirée, pour améliorer la découpe du signal par rapport au coupleur torsadé de la cellule de puissance sans driver. Contrairement au coupleur précédent, une résistance 50Ω en métal *poly* est directement placée sur le port isolé.

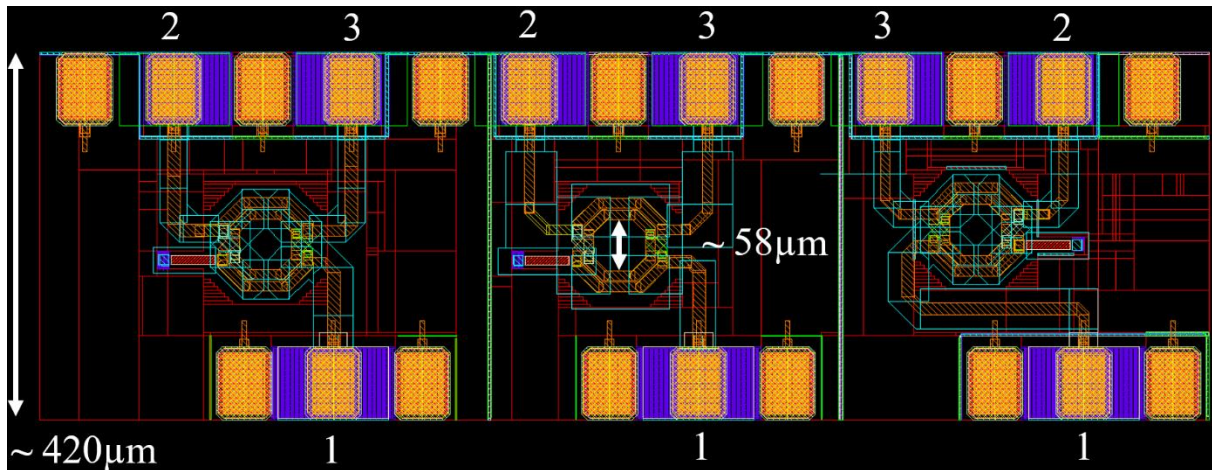


Figure 62: Vue 2D des coupleurs hybrides compacts

Les caractéristiques de l'un de ces coupleurs sont étudiées et placées en annexe II-6. Il est possible d'observer que ces caractéristiques ne sont pas optimisées parfaitement à la fréquence de cette étude. Cela provient du fait que cette étude se concentre sur l'association de trois de ces coupleurs au sein d'un combineur 4 vers 1, présenté en figure 63. Les ports numérotés de 1 à 5 permettent de caractériser ce combineur en paramètres S dans la suite dans cette étude.

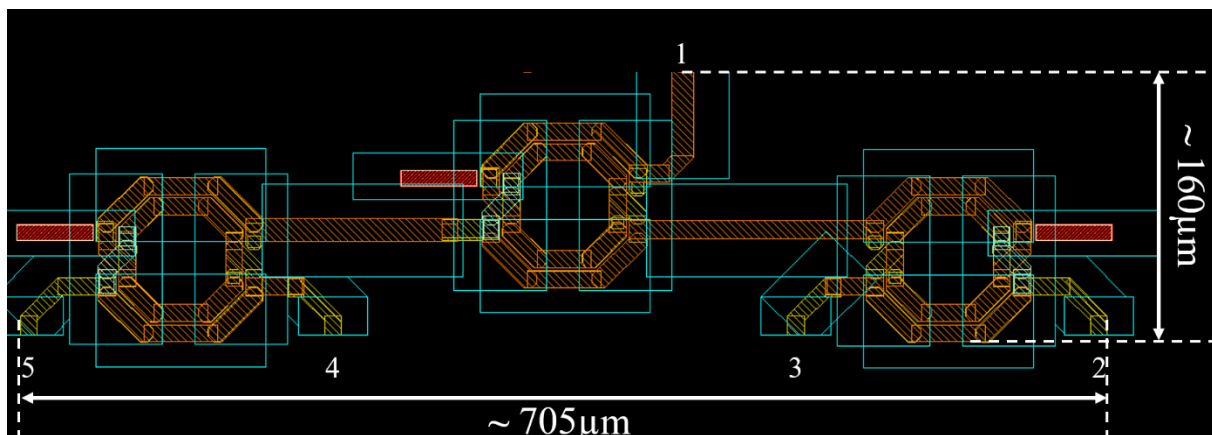


Figure 63: Vue 2D du combineur de sortie à partir de trois coupleurs hybrides compacts, plan de masse non apparent

Les caractéristiques de ce combineur sont étudiées et présentées en figure 64.

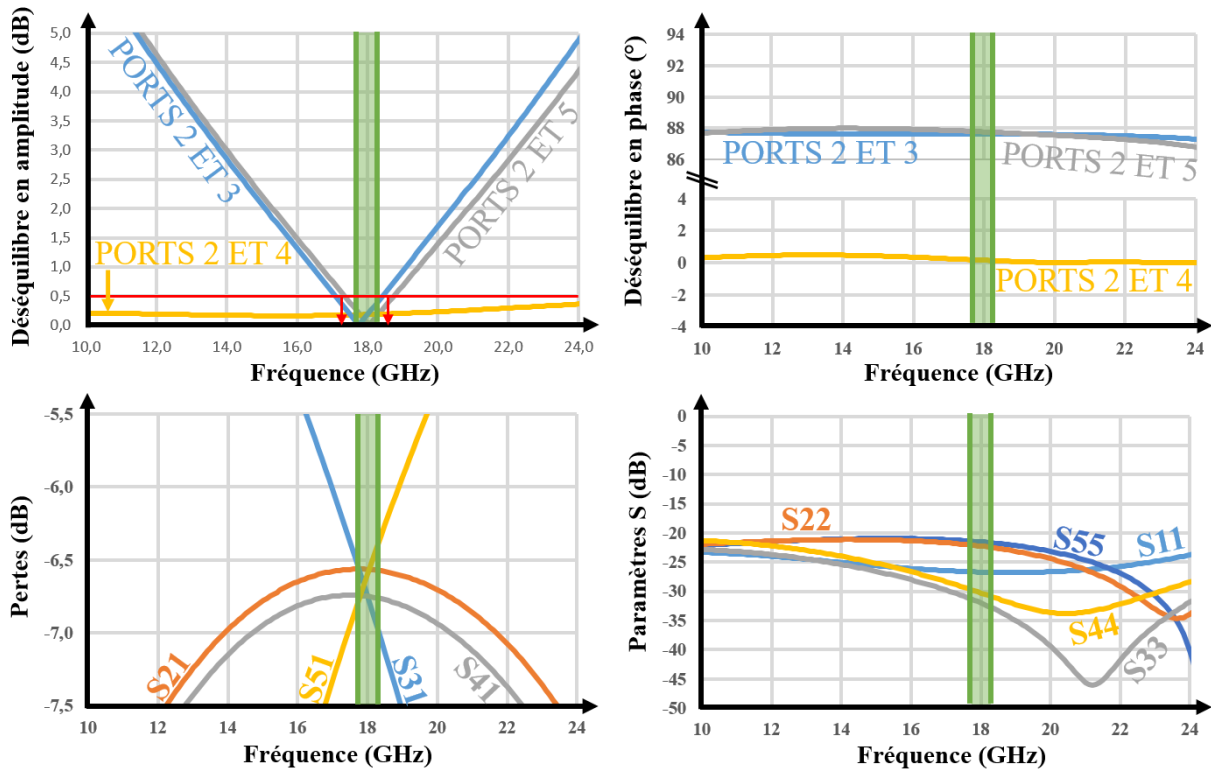


Figure 64: Caractérisation du combineur 4 vers 1 en simulation électromagnétique

L'adaptation 50Ω des accès du combineur est améliorée, avec des paramètres S_{ii} ($i = 1$ à 5) inférieurs à -20dB sur la bande de fréquence d'étude. Le déséquilibre en phase entre les voies vaut respectivement $[87,7\pm 0,1]^\circ$ entre les voies 2 à 3, et 2 à 5, et $[0,15\pm 0,03]^\circ$ entre les voies 2 à 4, ce qui représente des écarts admissibles par rapport aux valeurs respectives de 90° et 0° attendues entre ces voies. Le déséquilibre en amplitude et les pertes traduisent une répartition du signal RF équilibrée en amplitude, ce qui constitue une nette amélioration par rapport au coupleur torsadé conçu précédemment. En effet, les meilleurs compromis de pertes des 4 voies se situent dans la bande de fréquence. De plus le niveau des pertes de l'ensemble des voies vaut $[-0,6\pm 0,2]\text{dB}$ sur notre bande d'étude, ce qui est extrêmement faible pour un combineur 4 vers 1.

De manière générale, les caractéristiques de ce combineur sont optimisées à la fréquence de cette étude avec une meilleure finesse que le coupleur torsadé et que le coupleur compact seul.

Partie V : Résultats de simulation électromagnétique des amplificateurs de puissance équilibrés

a) Amplificateur de puissance sans driver

Deux cellules de puissance sans driver décrites dans la partie III de ce chapitre et parfaitement identiques sont placées dans une architecture équilibrée. Deux coupleurs torsadés caractérisés dans la partie IV parfaitement identiques sont utilisés en entrée et en sortie. Une influence réciproque est identifiée entre les coupleurs et les baluns. Un ajustement rectificatif a donc été réalisé sur la taille des baluns et des coupleurs au préalable des caractérisations précédentes pour conserver pour cet amplificateur de puissance équilibré des performances optimisées à la fréquence de cette étude. La distance entre les deux cellules de puissance est fixée à $185\mu\text{m}$ pour se prémunir des effets de couplages parasites. Les alimentations sur les pads DC sont symétriques. La superficie occupée par ce circuit est de $1,2\text{mm}^2$. Sa surface active (sans les pads) vaut $0,84\text{mm}^2$. La figure 65 représente le schéma layout de cet amplificateur envoyé en fabrication.

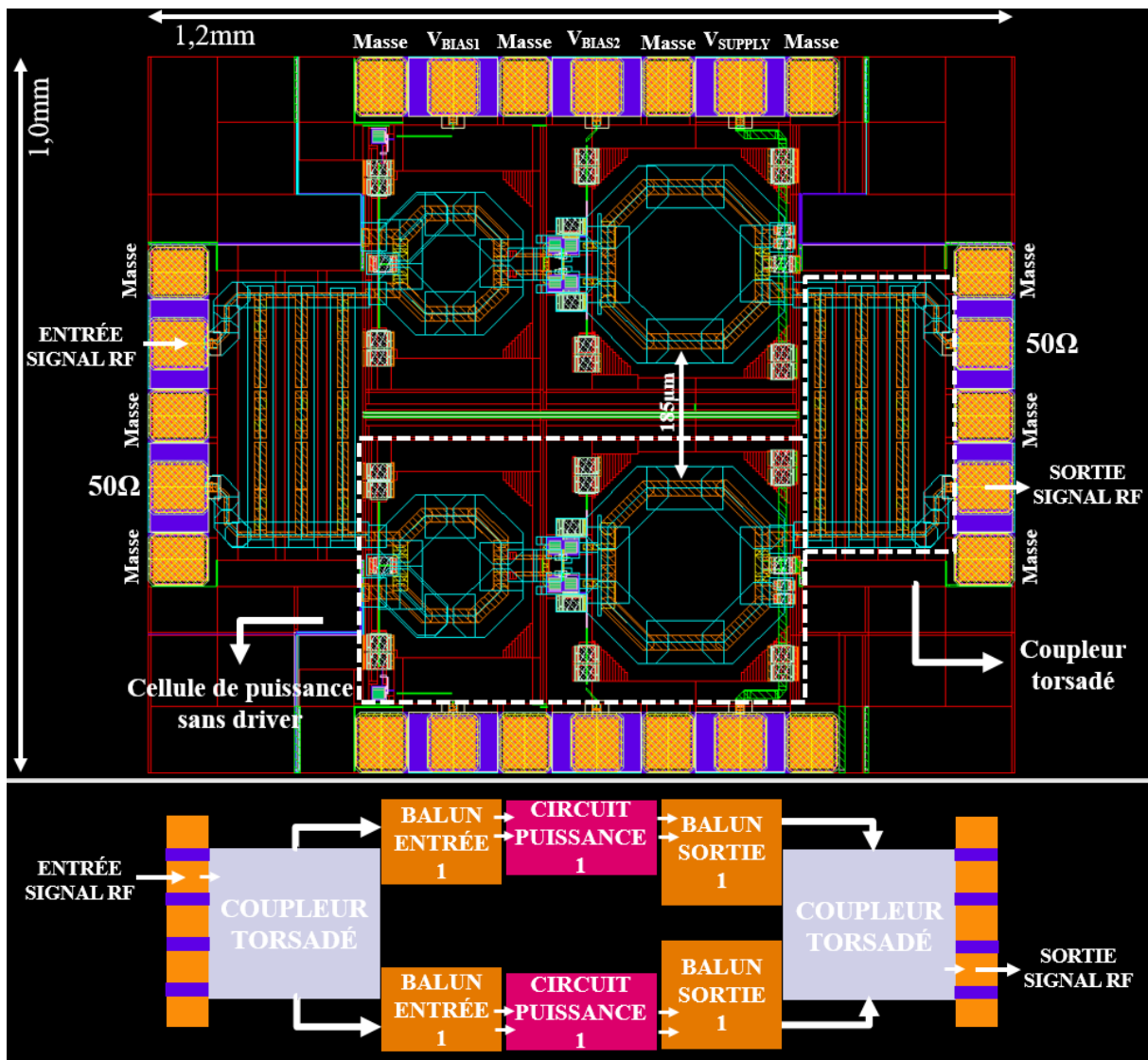


Figure 65: Schéma layout 2D de l'amplificateur de puissance sans driver (haut) et schéma-bloc correspondant (bas)

Les performances PLS de ce circuit sont présentées sur la figure 66. Le graphique (a) permet de vérifier que l'adaptation petit signal est conforme en entrée et en sortie avec des paramètres S_{ii} ($i = 1$ à 2) inférieurs à -15dB. Les bandes passantes à 1dB et 3dB valent respectivement 3,5 et 6,3 GHz, ce qui représente respectivement 19,4% et 35,0% de bande relative. Le graphique (b) permet d'apprécier la variation des performances de P_{OUT_3dB} et PAE_{3dB} en fonction de la fréquence pour trois températures différentes.

A 90°C et dans la bande de fréquences étudiée, le niveau de P_{OUT_3dB} est de l'ordre de 25dBm et celui de PAE_{3dB} est supérieur à 30%. Le graphique (c) montre de nettes diminutions des écarts en gain, en $P.A.E.$ maximale et en puissance de saturation, résumées dans le tableau 8.

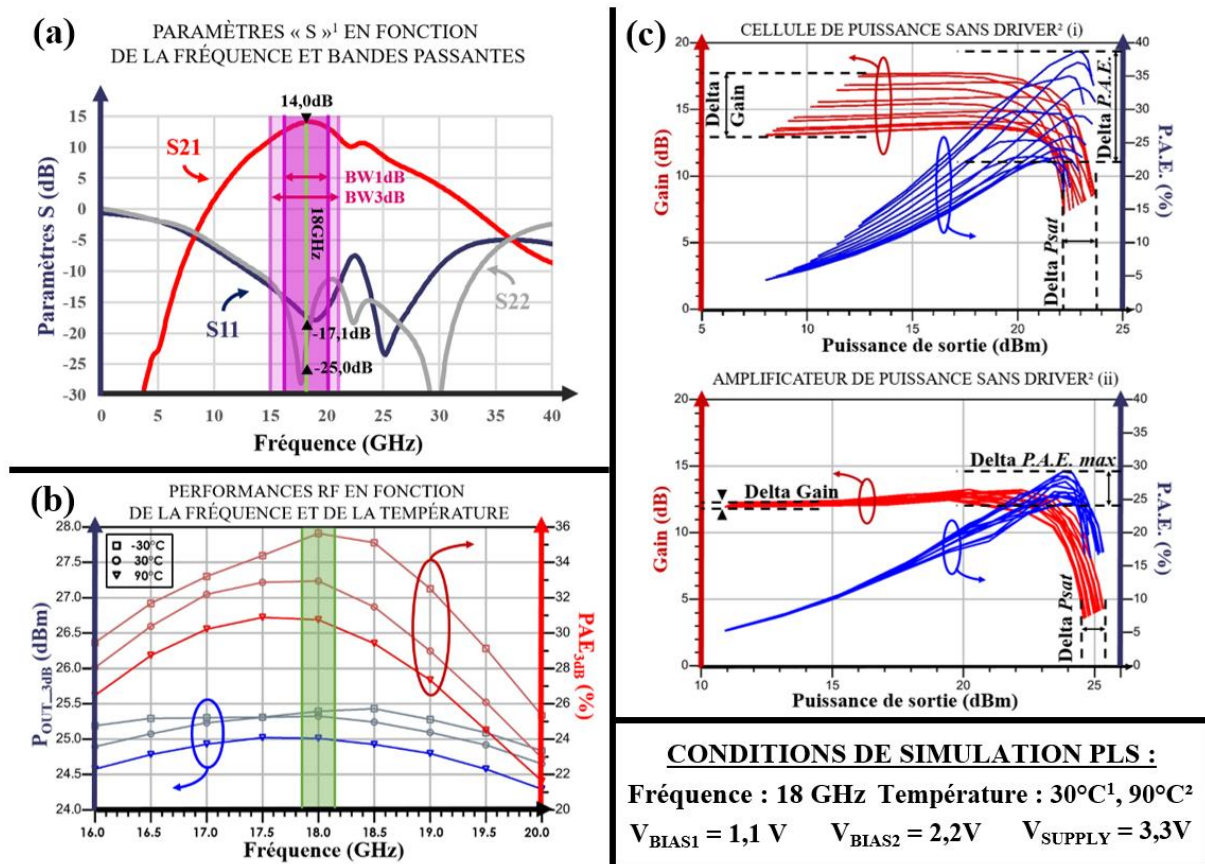


Figure 66: Performances PLS de l'amplificateur de puissance sans driver

Tableau 8: Récapitulatif des écarts en performances RF pour un TOS 2:1 de la cellule et de l'amplificateur de puissance sans driver – 90°C, 18 GHz

Performances	Delta Gain	Delta P.A.E. max	Delta Psat
Cellule de puissance sans driver	4,8dB	16%	2dB
Amplificateur de puissance sans driver	0,5dB	5%	1dB

En effet à 90°C et 18 GHz les écarts en gain, en $P.A.E.$ max et en $Psat$ diminuent respectivement de 4,8dB, 16% et 2dB pour la cellule de puissance sans driver à 0,5dB, 5% et 1dB pour l'amplificateur de puissance sans driver. Ce résultat en simulation offre la démonstration de l'utilisation de l'architecture équilibrée pour améliorer la robustesse au TOS 2:1.

Ces résultats en simulation PLS ont fait l'objet d'une publication dans la conférence IEEE NEWCAS2021 [COQ2021].

b) Amplificateur de puissance à deux cellules de puissance avec driver

Cette seconde architecture équilibrée met en parallèle deux cellules de puissance identiques avec driver décrits en partie III, au moyen de deux coupleurs hybrides compacts décrits en partie IV. Elle offre un compromis de performances et d'intégration entre la cellule de puissance seule avec driver et l'amplificateur de puissance à double-équilibrage. La distance entre les deux cellules de puissance est réduite à 50 μ m ce qui permet d'obtenir une surface totale pour ce circuit de 1,04mm² et une surface active (sans les pads) de 0,55mm². Les alimentations et le découplage ne sont pas symétriques, à la fois par souci d'intégration et par souci de reproduction de la moitié du motif d'amplificateur à quatre cellules de puissance décrit dans la sous-partie suivante. La figure 67 montre le schéma layout de cet amplificateur de puissance.

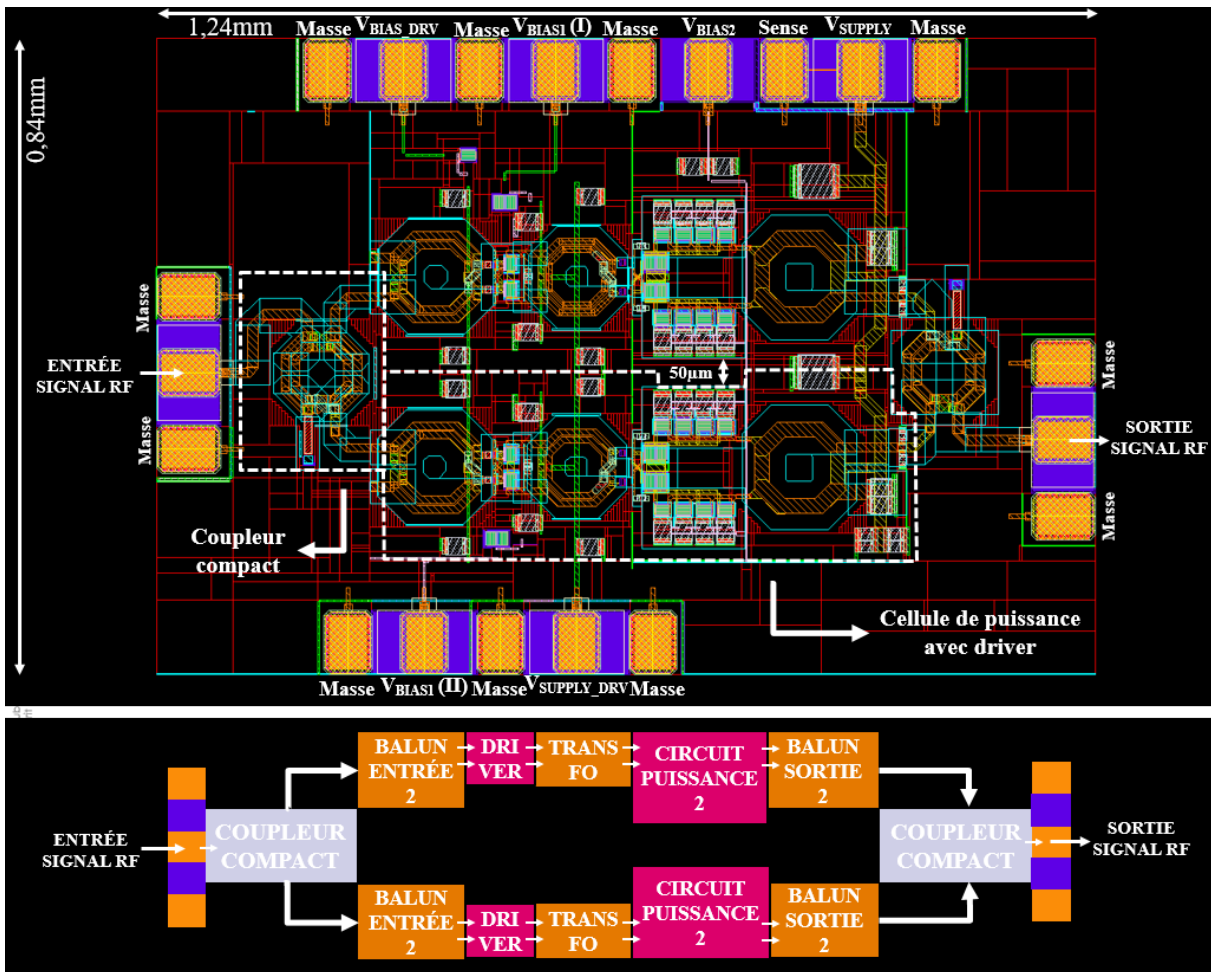


Figure 67: Schéma layout 2D de l'amplificateur de puissance à deux cellules de puissance avec driver (haut) et schéma-bloc correspondant (bas)

Le fort niveau de complexité électromagnétique et les modèles de convergence disponibles en laboratoire n'ont pas encore permis d'accéder aux performances avec une variation de TOS. En régime « classique » à 50 Ω , les performances de ce circuit sont résumées dans le tableau 10 dans la sous-partie V.d.

c) Amplificateur de puissance à quatre cellules de puissance avec driver

Cet ultime amplificateur de puissance est conçu pour atteindre les spécifications du cahier des charges. Il est le résultat de la plupart des innovations de cette étude. L'architecture utilise une technique de double-équilibrage, qui consiste à placer en parallèle deux amplificateurs de puissance équilibrés à l'aide de coupleurs hybrides. De cette manière, ce nouvel amplificateur est doté de quatre cellules de puissance avec driver caractérisés dans la partie III, d'un diviseur 1 vers 4 et d'un combineur 4 vers 1 caractérisés dans la partie IV, munis chacun de trois coupleurs hybrides compacts. La figure 68 présente le schéma layout de cet amplificateur de puissance envoyé en fabrication.

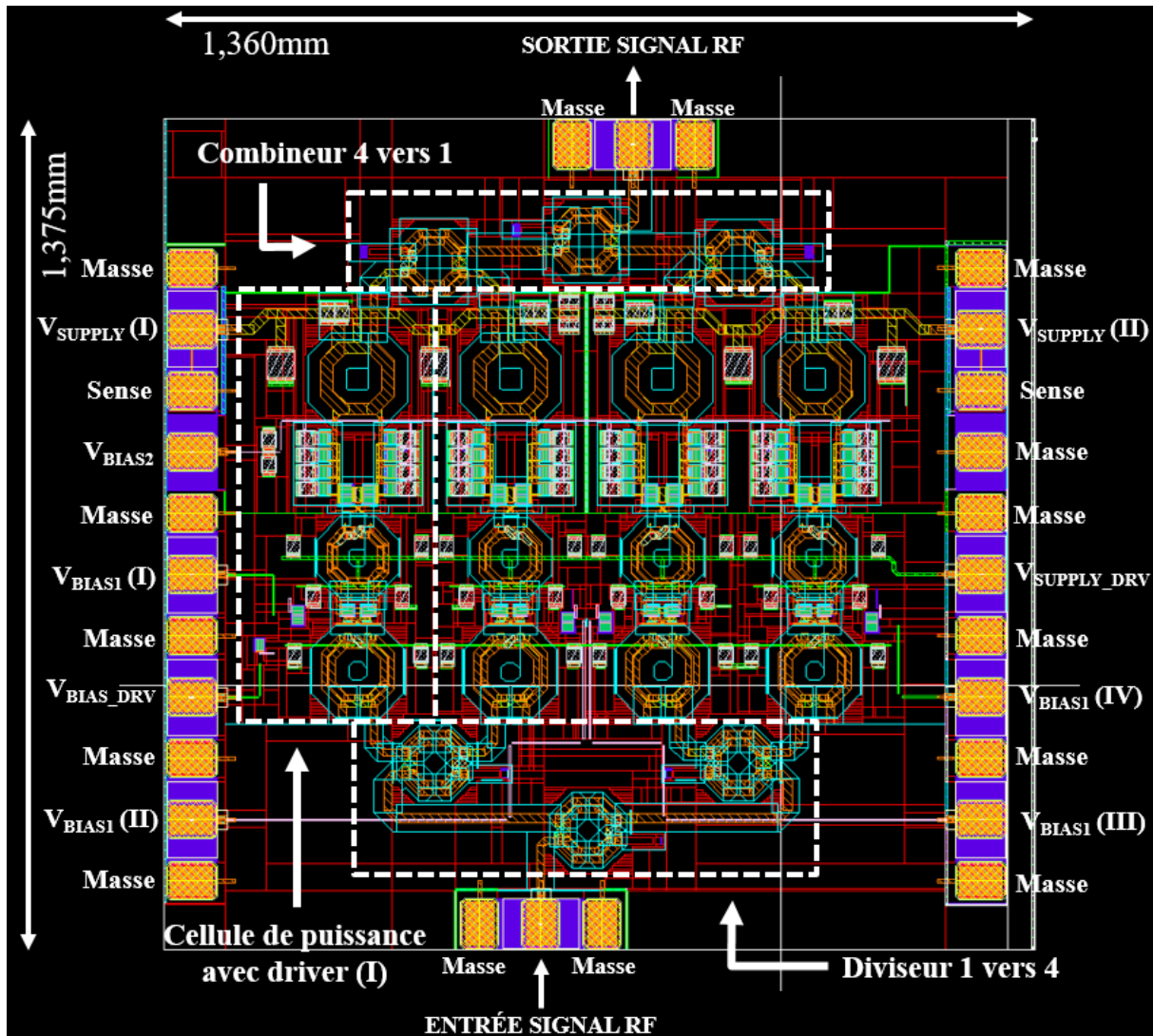


Figure 68: Schéma layout 2D de l'amplificateur de puissance à quatre cellules de puissance avec driver

Les alimentations des polarisations des étages émetteurs communs cascades sont toutes dissociées pour permettre d'étudier les performances mesurées en mode dégradé¹⁹ de ce circuit. La distance entre chaque cellule de puissance est de 50 μ m. La surface totale est de 1,86mm². La surface active (sans les pads) est de 1,17mm².

¹⁹ La mesure en mode dégradé permet de reproduire un fonctionnement défectueux de l'amplificateur de puissance lorsqu'il subit une variation de TOS, en éteignant une ou plusieurs cellules de puissance.

Les résultats en simulations PLS sont illustrés sur la figure 69.

La figure (a) permet de vérifier que les paramètres S du circuit sont conformes au cahier des charges. Le paramètre S_{21} atteint 21,2dB, et dépasse donc le seuil de 20dB spécifié pour cette étude. Les paramètres S_{11} et S_{22} sont tous deux inférieurs à -15dB, ce qui valide l'adaptation 50Ω spécifiée en entrée et en sortie du circuit. Le paramètre S_{12} de -54,7dB démontre une excellente isolation petit signal du circuit.

La figure (b) indique les bandes passantes à 1dB et 3dB, respectivement de 3,2 GHz et 6,3 GHz, ou encore 17,8% et 35% de bande relative.

La figure (c) décrit les performances RF, avec pour valeurs au point de fonctionnement à 3dB de compression 26,5% de P.A.E. et 30,5dBm de puissance de sortie pour une puissance d'entrée de 12dBm. Le niveau de puissance de sortie dépasse le seuil de 30dBm fixé dans le cahier des charges.

La figure (d) permet d'apprécier l'ondulation du gain en fonction de la puissance de sortie, et de vérifier que la variation ne dépasse pas 1dB pour garantir une meilleure stabilité grand signal.

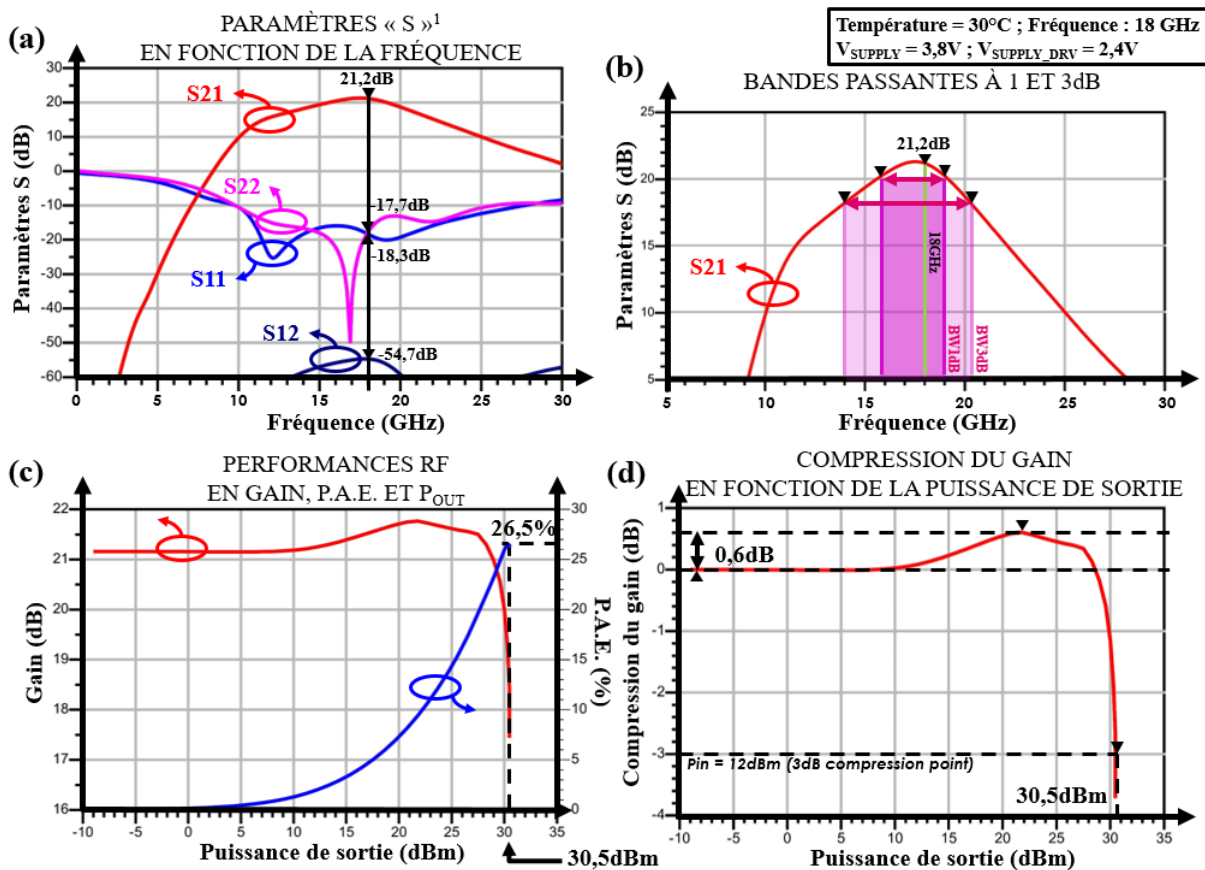


Figure 69: Performances petit et grand signaux de l'amplificateur de puissance à double-équilibre

Ces seuls résultats en simulation PLS font l'objet d'une publication acceptée à la conférence IEEE LASCAS2022 [COQ2022].

La simulation à haut niveau de complexité d'une variation de TOS 2:1 a été réalisée avec succès seulement jusqu'à une puissance d'entrée atteignant 10dBm. La figure 70 présente ces résultats en précisant le seuil de performances pour un TOS 1:1.

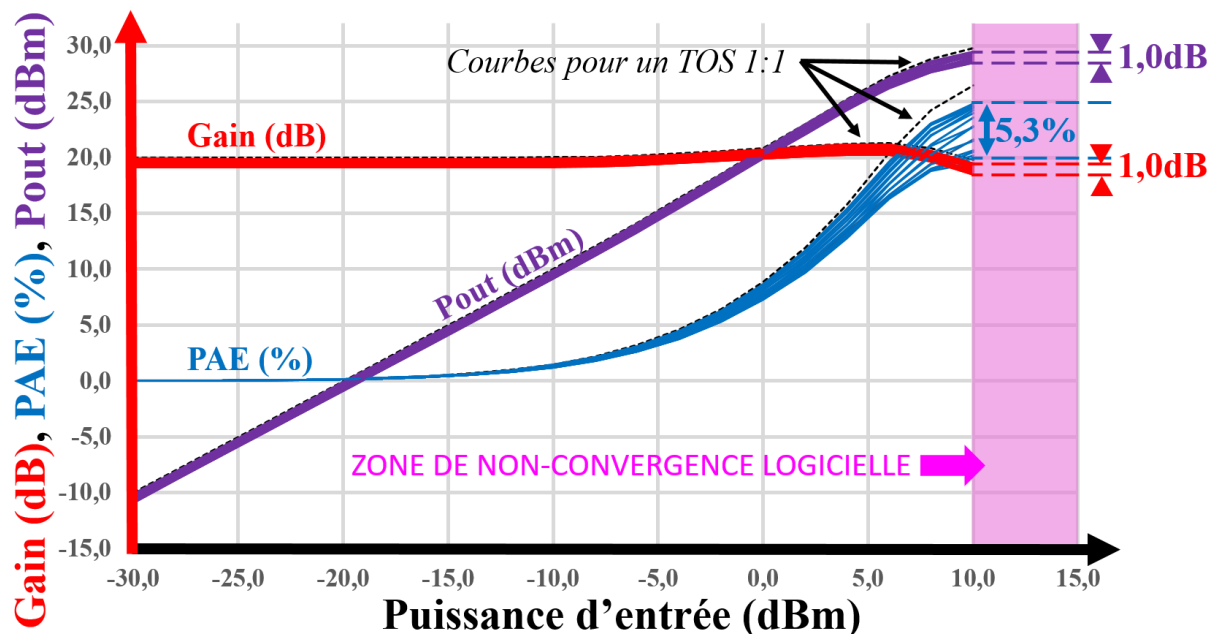


Figure 70: Performances simulées avec un TOS 2:1 pour l'amplificateur de puissance à double équilibrage, à 18 GHz et 30°C

Au point de fonctionnement à 10dBm de puissance d'entrée, à 30°C, 18 GHz et pour une variation de TOS 2:1, les variations de puissance de sortie, de *P.A.E.* et de gain valent respectivement 1dB, 5,3% et 1dB. Les écarts de puissance de sortie, de *P.A.E.* et de gain entre les niveaux de performance pour un TOS 1:1 et les plus faibles valeurs de performance pour un TOS 2:1 valent respectivement 1,3dB, 7,3% et 1,3dB.

La variation de TOS 2:1 de l'amplificateur de puissance avec driver est comparée à celle de la cellule de puissance avec driver. La figure 71 et la tableau 9 présentent ces résultats en indiquant le niveau de performance pour un TOS 1:1. Le problème de non-convergence n'est pas rencontré puisque le circuit simulé est moins complexe. A 30°C, 18 GHz et pour une variation de TOS 2:1, les variations en puissance de sortie maximale, *P.A.E.* maximale et gain valent respectivement 1.7dB, 9,1% et 1.7dB.

Ces résultats démontrent une excellente robustesse pour un TOS 2:1.

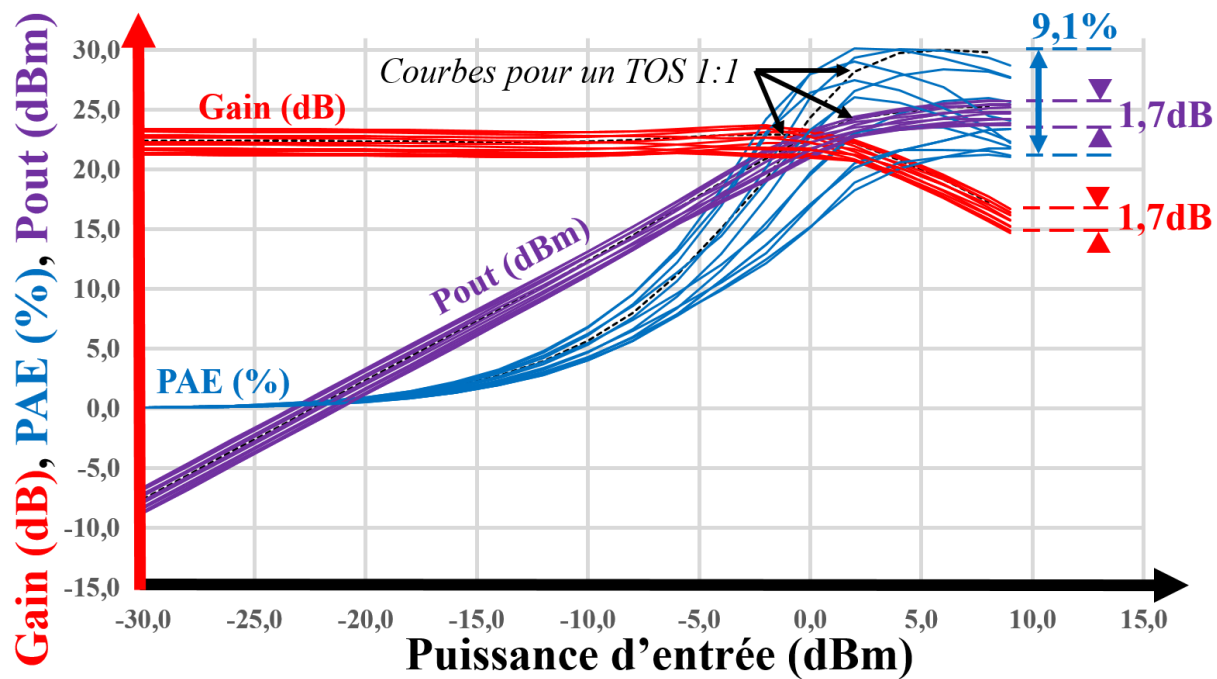


Figure 71: Performances simulées avec un TOS 2:1 pour la cellule de puissance avec driver, à 18 GHz et 30°C

Tableau 9: Récapitulatif des écarts en performances RF pour un TOS 2:1 de la cellule et de l'amplificateur de puissance avec driver – 30°C, 18 GHz

Performances	Écart en gain	Écart en PAE max (Pin =9-10dBm)	Écart en Pout (Pin = 9-10dBm)
Cellule de puissance	1,7dB	9,1%	1,7dB
Amplificateur de puissance	1,0dB	5,3%	1,0dB

d) Tableau récapitulatif des performances PLS et état de l'art

Le tableau 10 présente l'ensemble des résultats obtenus par simulation des cinq circuits caractérisés dans ce chapitre, à 30°C et à 90°C. Une comparaison est proposée avec un extrait des travaux d'état de l'art des circuits silicium décrits dans le chapitre I.

Tableau 10: Récapitulatif référencé des performances simulées pour les cinq circuits envoyés en fabrication

Réf. Temp.	Tech.	Architect.	Fréq. GHz	BW GHz	Alim V	Gain dB	Psat dBm	PAE _{max} %	Taille mm ²	FoM W.GHz ²
[RED2020]	SiGe 0,13μm	PC unitaire	9,5	2,7	3,6	17,3	25,8	51,8	0,54	89 037
		2 PC équilib.		3,5	3,6	16,3	27,7	35,4	1,26	74 913
		4 PC équilib.		2	3,8	11,7	30,2	31	1,75	36 879
[LIU2016]	SiGe 0,13μm	2 étages stackés	10	4	7,5 4,5	27,7	29,5	17,8	2,66	794 877
[JU2018]	SiGe 0,13μm	Transfo. + Wilkinson	10	3,5	3,0	16,1	26,5	53,4	0,81	95 025
[GER2013]	SiGe 0,35μm	Cellule diff. à deux étages	12,1	N/A	1,8	21,2	23,4	37,3	1,71	158 400
[NOH2010]	SiGe 0,25μm	Cellule cascode	14	N/A	4	15,8	24,45	29,1	0,38	60 700
[CHE2016]	SiGe 0,25μm	Combineur de sortie 16 voies	14,1	1	5,0	12,7	30	37,5	9,45	140 000
[WEL2016]	SiGe 0,35μm	4 PC Wilkinson pré-ampli	24	N/A	5,8	16,1	30,8	17,6	5,37	485 100
[ESS2014]	SiGe 0,25μm	Combineur de sortie 8 voies	27	N/A	6,9 4,0	20,7	31	13	2,83	1 402 950
Ce travail* [COQ2021] 30°C 90°C	SiGe 0,13μm	PC unitaire sans driver	18	6,0	3,3	17,0 17,0	24,6 24,8	35,1 33	0,37	130 474
		2 PC équilib. sans driver		3,5	3,3	14,0 14,0	26,0 25,8	33,1 31	1,2	107 135
Ce travail* [COQ2022] 30°C 90°C	SiGe 0,13μm	PC unitaire avec driver	18	3,1	3,8	22,1 21	25,7 25,4	28,4 27,9	0,82	539 600
		2 PC équilib. avec driver		3,35	3,8	21,6 21,1	27,6 27,4	26,7 26,4	1,04	554 300
		4 PC équilib. avec driver		3,2	3,8	21,2 21,5	30,8 30,3	26,5 26,9	1,86	1 271 800

*Résultat de simulations électromagnétiques après layout (PLS)

Les cinq circuits de cette étude offrent un éventail de compromis de performances en gain, en *P.A.E.* maximale et en puissance de saturation pour des tailles de puces toutes comprises entre 0,37mm² et 1,86mm². A 30°C et 18 GHz, les niveaux de gain vont de 14dB à 22dB, les niveaux de *P.A.E.* maximale de 26,5% à 35,1% et les niveaux de *Psat* de 24,6dBm à 30,8dBm.

Ce sont les premiers circuits comparables réalisés entre 14 et 24 GHz en technologie Silicium Germanium, performants à la fois à 30°C et à 90°C. Tout en rivalisant avec les plus hauts niveaux de puissance de saturation accessibles actuellement en SiGe, ces circuits offrent des compromis en gain, *P.A.E.* maximale et *Psat* parmi les meilleurs. D'après la figure de mérite de l'IRDS (FoM) et pour les bandes de fréquence submillimétriques, trois de nos circuits arrivent dans le top 5 des meilleures FoM. Avec un gain de 21,2dB, une *PAE_{max}* de 26,5% et une *Psat* de 30,8dBm, notre meilleur circuit arrive en deuxième position, en présentant en simulation le meilleur compromis en gain, *P.A.E.* maximale et *Psat* connu actuellement.

Conclusion

Ce chapitre a présenté des choix innovants de conception schématique et layout, et les performances électromagnétiques simulées pour cinq nouveaux circuits de puissance dessinés avec la technologie BiCMOS9MW SiGe:C 0,13 μ m de STMicroelectronics.

D'une part, avec l'appui de solides références bibliographiques sur la robustesse au TOS des architectures de puissance, ce chapitre offre la démonstration d'une immunité améliorée au TOS 2:1 dans le cas d'architectures équilibrées sans et avec driver, munies respectivement de coupleurs torsadés et compacts, le tout en bande Ku.

D'autre part, le dernier circuit est l'aboutissement de cette étude. Il est muni de quatre cellules de puissance pour atteindre le niveau de puissance de sortie souhaité, d'un étage driver pour améliorer le gain et d'un double équilibrage pour diminuer significativement la sensibilité au TOS actif. L'ensemble du circuit a une superficie inférieure à 2mm². Dans l'attente de son retour de fabrication, les premières performances PLS rendent possible l'atteinte des objectifs du cahier des charges pour répondre aux trois verrous technologiques explicités dans le chapitre I. En outre, elles offrent à ce jour le meilleur compromis en gain, *P.A.E.* maximale et *Psat* parmi les amplificateurs de puissance SiGe submillimétriques.

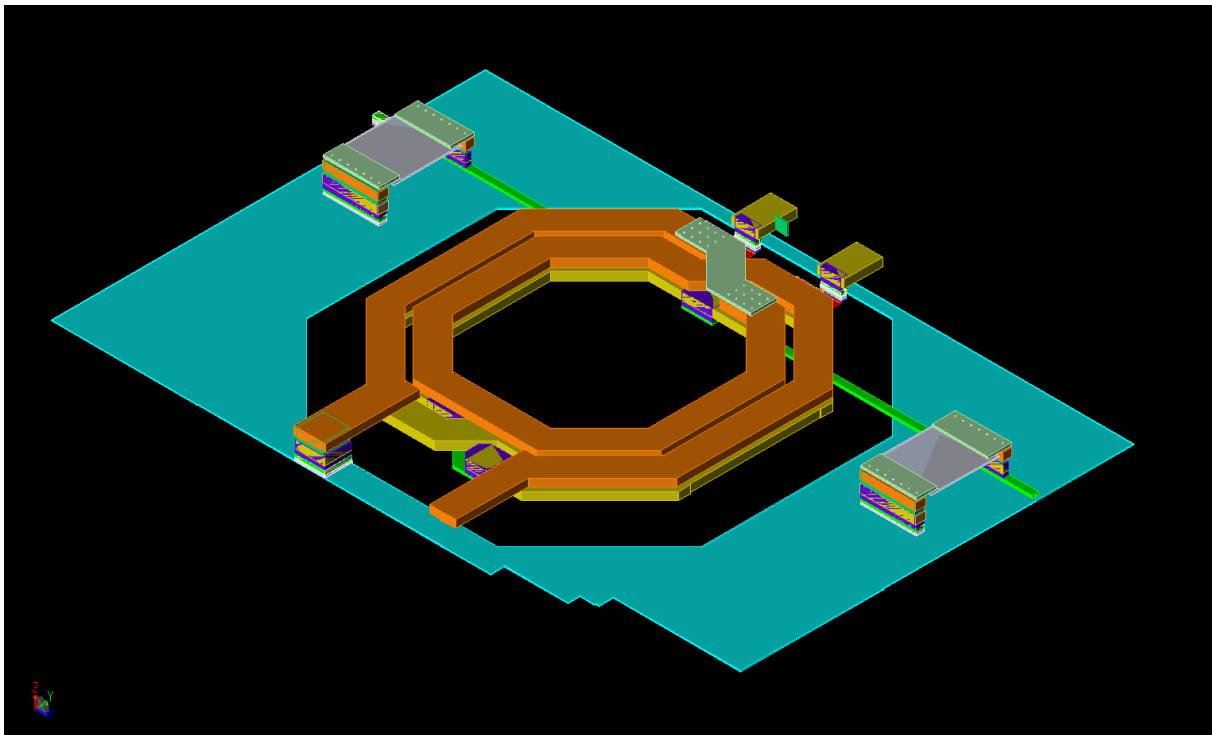
Références

- [BON2014] S. Bonnet, "Combinaison de puissance hyperfréquence à faibles pertes et compacte", thèse à l'Université de Limoges, 2014
- [COQ2021] B. Coquillas, E. Kerhervé, et al., "Ku-Band Cascode Balanced SiGe Power Amplifier with High Robustness to Active SWR", 19ème Conférence *IEEE International New Circuits And Systems (NEWCAS)*, Toulon, France, June 2021
- [COQ2022] B. Coquillas, E. Kerhervé, et al., "A Highly Compact 1W Ku-Band Power Amplifier", 13ème conférence *IEEE Latin American Symposium Circuits And System*, Puerto Varas, Chili, Mars 2022
- [KNO2017] V. Knopik, E. Kerherve, B. Moret, "Integrated Scalable and Tunable RF CMOS SOI Quadrature Hybrid Coupler", 2017 *12th European Microwave Integrated Circuits Conference (EuMIC)*, Nuremberg, Germany, Oct 2017.
- [LAR2014] A. Larie, "Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques », thèse à l'Université de Bordeaux, 2014, pp. 113-114
- [POT2018] M. Potéreau, N. Deltimple, et al., "Ultra-Compact Low-Loss Integrated Transformer-Based Ku-Band Quadrature Hybrid Coupler", 2018 *13th IEEE European Microwave Integrated Circuit Conference (EuMIC)*, Madrid, Spain, Sept. 2018
- [RED2020] S. Redois, "Amplificateur de puissance en technologie SiGe pour application RADAR en bande X", thèse à l'Université de Bordeaux, 2020.
- [SZE2007] Sze, S.M. and Ng, K.K. (2007) *Physics of Semiconductor Devices*. 3rd Edition, John Wiley & Sons, Hoboken.

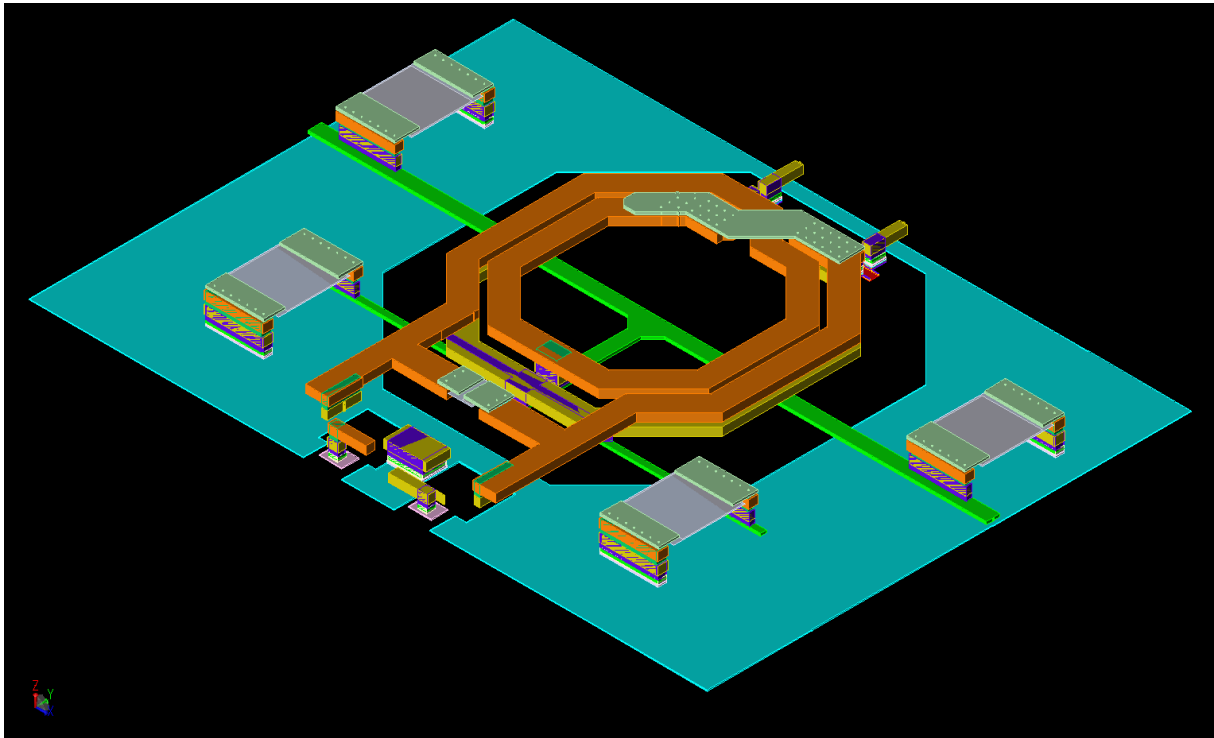
Annexes

ANNEXE II-1 : PROCESSUS DE SIMULATION LAYOUT, CONTRAINTES ET LEVIERS			
Type de simulation	Niveau d'extraction	Contraintes	Leviers
Composants réels	R, L, C (limité au composant)	Modèles à fiabilité variable, prise en compte partielle des dimensions des composants et du bulk	Interprétation vigilante des résultats de simulation
Transistors avec extraction des parasites	R, C	Ne prend pas en compte l'inductance, pas d'accès possible à l'auto-échauffement	Approcher la résistance thermique à l'aide des modèles de composants réels
Simulation électromagnétique fonctionnelle	R, L, C (limité à la taille de la cellule)	Non prise en compte des couplages entre cellules fonctionnelles et de l'électromigration	Réaliser des tailles graduelles de cellules électromagnétiques, dimensionner les pistes et le nombre de vias selon le courant
Simulation électromagnétique globale	R, L, C (niveau le plus précis)	Chronophage, prise en charge difficile par le calculateur (divergence régulière du simulateur)	Paramétrage de la simulation et de la précision d'extraction

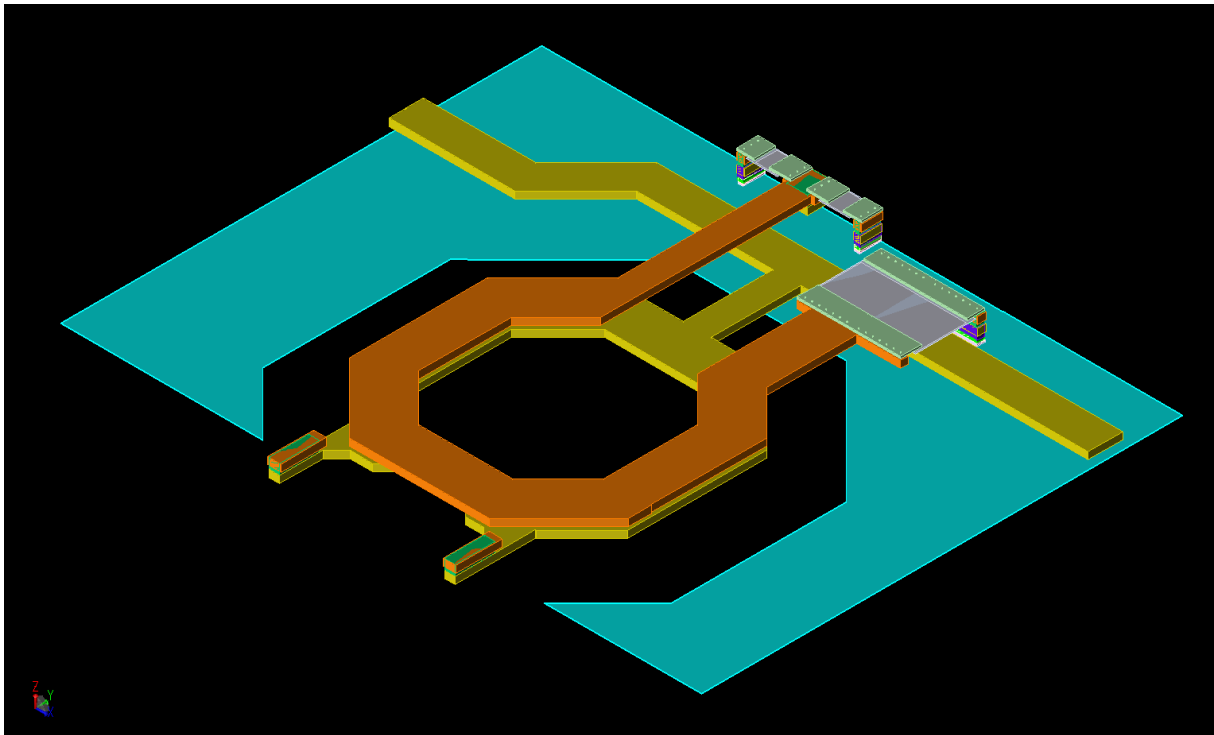
ANNEXE II-2 : VUE 3D DU BALUN D'ENTREE DE LA CELLULE DE PUISSANCE AVEC DRIVER



ANNEXE II-3 : VUE 3D DU TRANSFORMATEUR INTER-ETAGES DE LA CELLULE DE PUISSANCE AVEC DRIVER

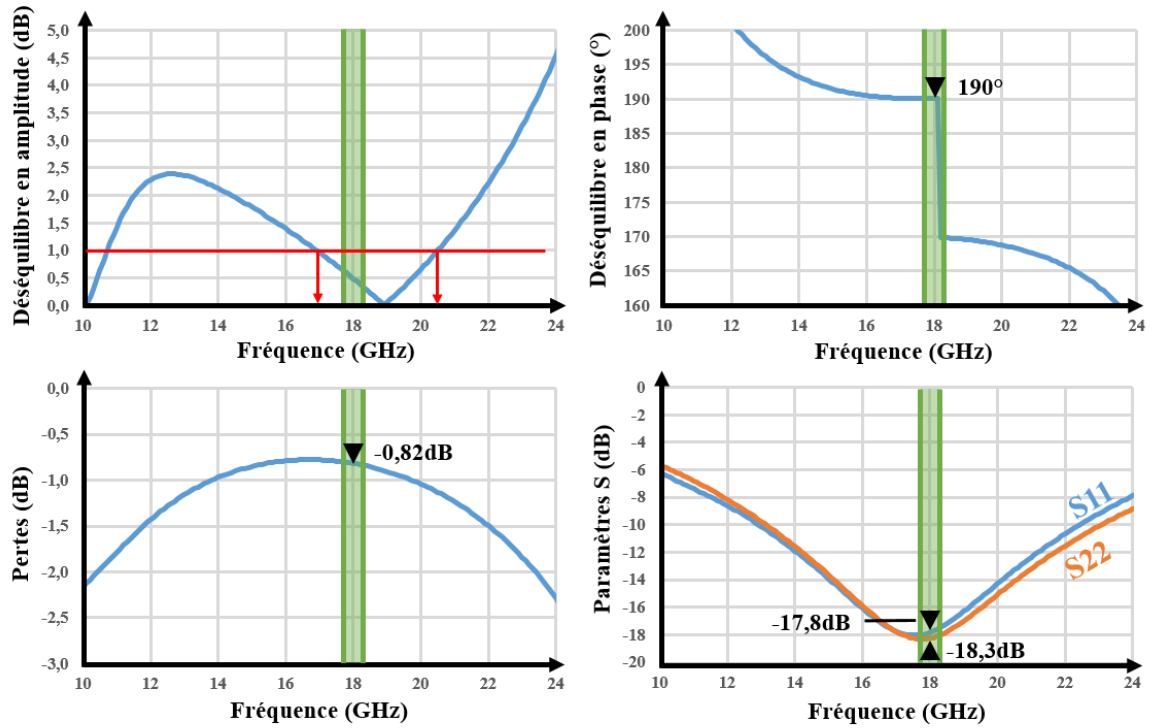


ANNEXE II-4 – VUE 3D DU BALUN DE SORTIE DE LA CELLULE DE PUISSANCE AVEC DRIVER

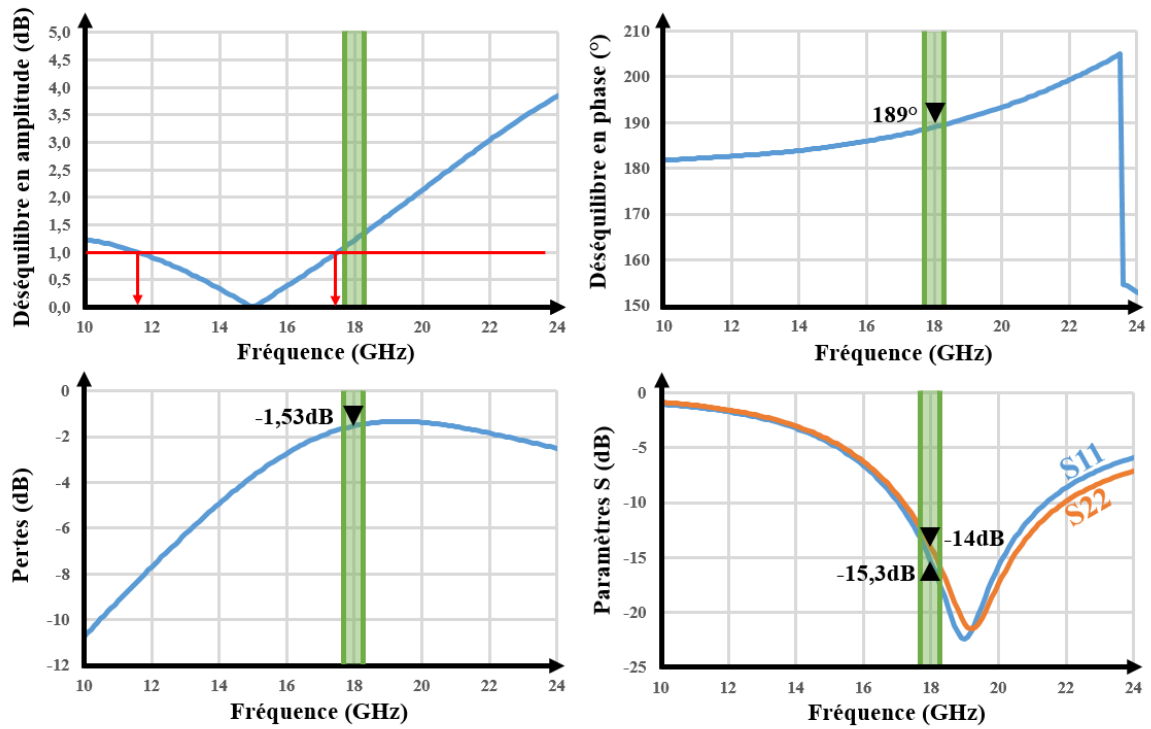


ANNEXE II-5 – PERFORMANCES DES BALUNS DE LA CELLULE DE PUISSANCE
AVEC DRIVER

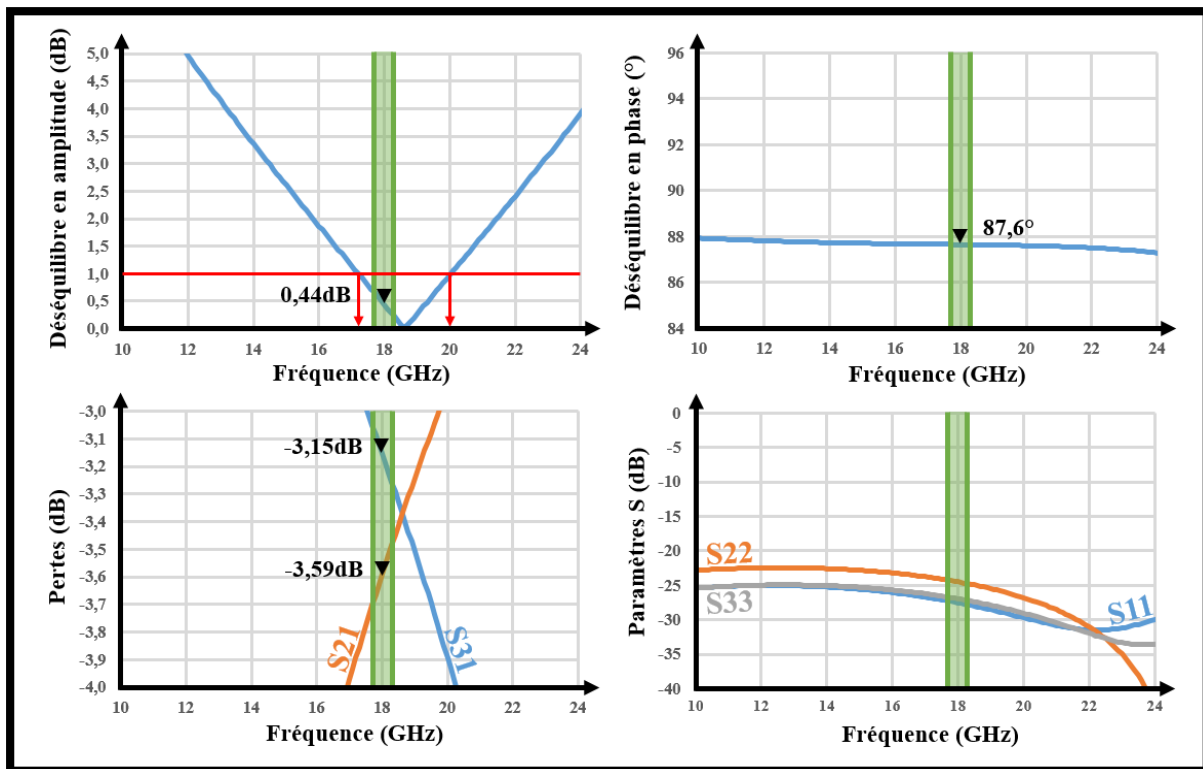
CARACTÉRISATION DU BALUN D'ENTRÉE



CARACTÉRISATION DU BALUN DE SORTIE



ANNEXE II-6 – CARACTÉRISATION DU COUPLEUR HYBRIDE COMPACT



CHAPITRE III

MESURES D'AMPLIFICATEURS DE PUISSANCE A 18 GHZ EN TECHNOLOGIE BICMOS 130NM

Table des matières

Introduction	111
Partie I : Avant-propos sur les conditions de mesure des circuits	112
a) Circuits envoyés en fabrication	112
b) Choix et découplage des pointes	112
c) Méthodologie de mesure sous pointes	113
Partie II : Mesures en fréquence et en puissance de l'amplificateur de puissance sans driver à 30°C	116
a) Paramètres S et puissance, rendement, linéarité	116
b) Rétro-simulations de l'amplificateur de puissance sans driver	119
c) Caractérisations supplémentaires à 30°C, 18 GHz – Banc loadpull	122
Partie III : Comportement en température de l'amplificateur de puissance sans driver à 90°C	123
Partie IV : Robustesse au TOS 2:1 de l'amplificateur de puissance sans driver	126
Partie V : Comparaison avec l'état de l'art	127
Conclusion	129
Références	130
Annexes	133

Introduction

Les mesures sont une étape-clef de la démarche scientifique permettant de réaliser des preuves de concept. Elles sont complétées par des rétro-simulations qui permettent de justifier les écarts éventuels entre les simulations et les mesures. Les variations de fabrication et la maturité de la technologie utilisée sont des paramètres non maîtrisés par le concepteur, qui peuvent également influencer dans une certaine proportion l'écart entre les résultats en simulation et en mesure.

Ce chapitre offre une analyse des résultats de mesure des circuits décrits dans le chapitre II. Cette analyse est déclinée selon les trois limites technologiques identifiées dans le chapitre I. Elle aboutit sur une comparaison des performances de ces circuits avec l'état de l'art présenté dans le chapitre I.

Un avant-propos décrit les conditions de mesure des circuits étudiés.

Partie I : Avant-propos sur les conditions de mesure des circuits

a) Circuits envoyés en fabrication

La crise sanitaire COVID a fortement impacté les délais de fabrication des circuits.

Les circuits décrits dans le chapitre II ont été répartis sur deux envois en fabrication. La cellule de puissance sans driver et l'amplificateur de puissance sans driver ont été envoyés en juillet 2020. Un retard de 3 mois dans le processus de fabrication a impliqué un retour de fabrication en avril 2021 (figure 72).

Les résultats de mesure de ces premiers circuits ont permis de valider la démarche de conception de circuits de puissance équilibrés à 18 GHz et d'envoyer en fabrication séparément en juillet 2021 des circuits de puissance avec driver et des coupleurs torsadés et compacts. Le retour de ces derniers circuits n'aura lieu qu'en avril 2022.

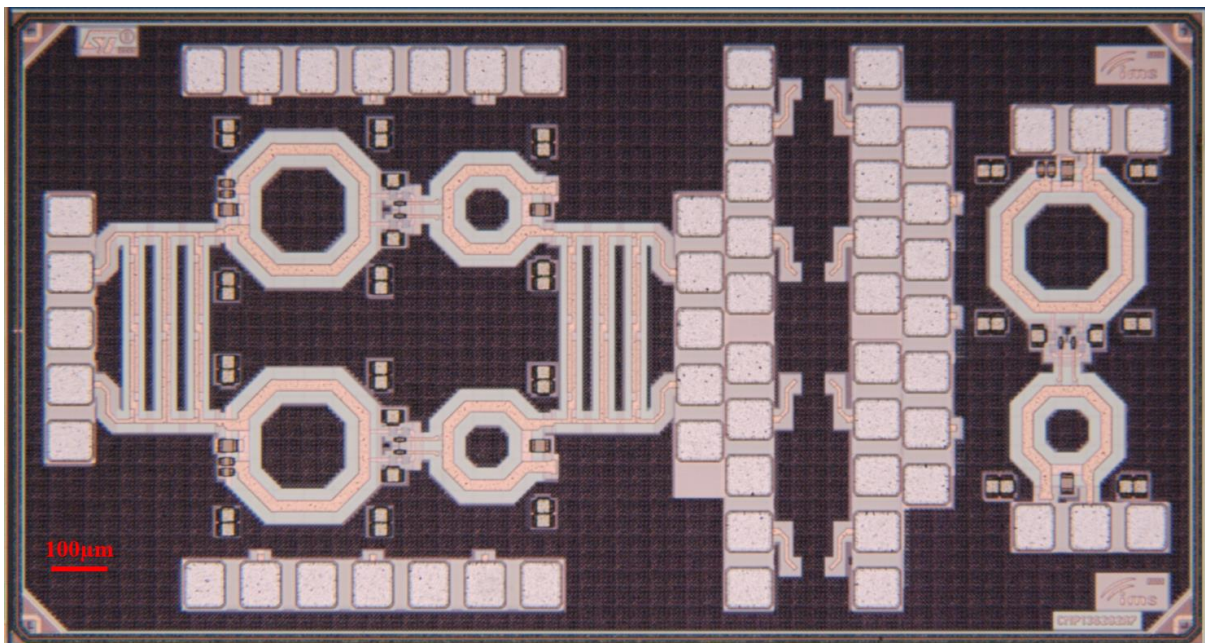


Figure 72: Microphotographie des circuits sans driver

b) Choix et découplage des pointes

Il est facile d'identifier sur la figure 72 les plots de mesures (ou « pads ») de $80\mu\text{m}$ par $60\mu\text{m}$, sur lesquels un contact s'opère avec les pointes de mesure. Les caractéristiques des pointes utilisées sont le premier paramètre de mesure qui influence à la fois la disposition layout et les performances des circuits.

L'exemple des pointes RF utilisées pour générer le signal à 18 GHz en entrée et le recevoir en sortie sur le circuit d'amplificateur de puissance sans driver (à gauche) est décrit. Il s'agit de deux lots de 5 pointes en Tungstène, découplées dont l'écart centre-à-centre entre les pointes (ou « pitch ») est de 100µm. Une pointe « signal » est systématiquement entourée par deux pointes de « masse ». Deux condensateurs de découplage sont utilisés pour protéger le circuit de variations brusques ou parasites du signal. Le premier condensateur de 120pF est placé entre les deux extrémités des pointes « signal » et « masse » pour un découplage au plus près du contact avec les plots, au niveau de la première courbure (position « A » sur la figure 73). Le deuxième condensateur de 0,01µF est positionné en amont des pointes, avant la 2^{ème} courbure (position « B » sur la figure 73).

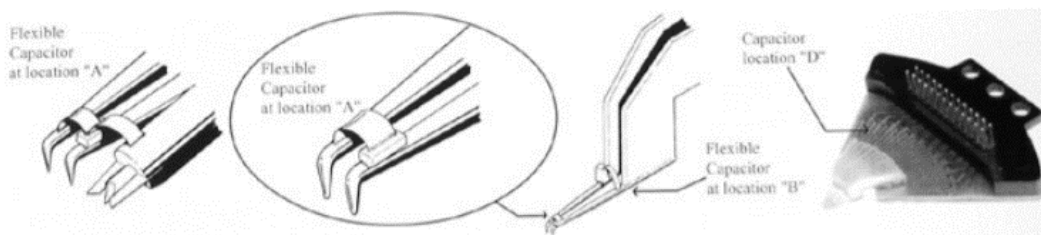


Figure 73: Extrait de datasheet Microworld des pointes RF utilisées

Les datasheets de ces pointes avec leurs paramètres S sont détaillées en annexes 1, 2 et 3.

c) Méthodologie de mesure sous pointes

Les protocoles de mesure utilisés ont été mis au point grâce aux travaux [RED2020].

i. Protocole et banc de mesure petit et grand signal

Les mesures sont réalisées sur la plateforme NANOCOM du laboratoire IMS de Bordeaux. Le même protocole de mesure est utilisé afin d'effectuer les mesures petit et grand signal. Le recours à un pilotage informatique de la mesure permet d'automatiser les expérimentations.

Le montage est illustré sur la figure 74. Les mesures petit et grand signal sont obtenues grâce à un PNA-X N5242A de la marque Keysight. Ce dernier est contrôlé par ordinateur via un port GPIB. Cet appareil étant limité à une puissance de sortie maximale de 13 dBm, un driver AML0518P1606 est inséré en amont du circuit.

Pour effectuer la mesure des paramètres S, il est nécessaire d'extraire l'onde réfléchie par le circuit. Un coupleur directionnel Marki CA40 est placé en aval du driver. Cela permet à l'onde réfléchie d'être récupérée par le PNA-X via le port ISO.

Un atténuateur de 10 dB est placé à la sortie de l'amplificateur afin de protéger le PNA-X d'une surtension parasite.

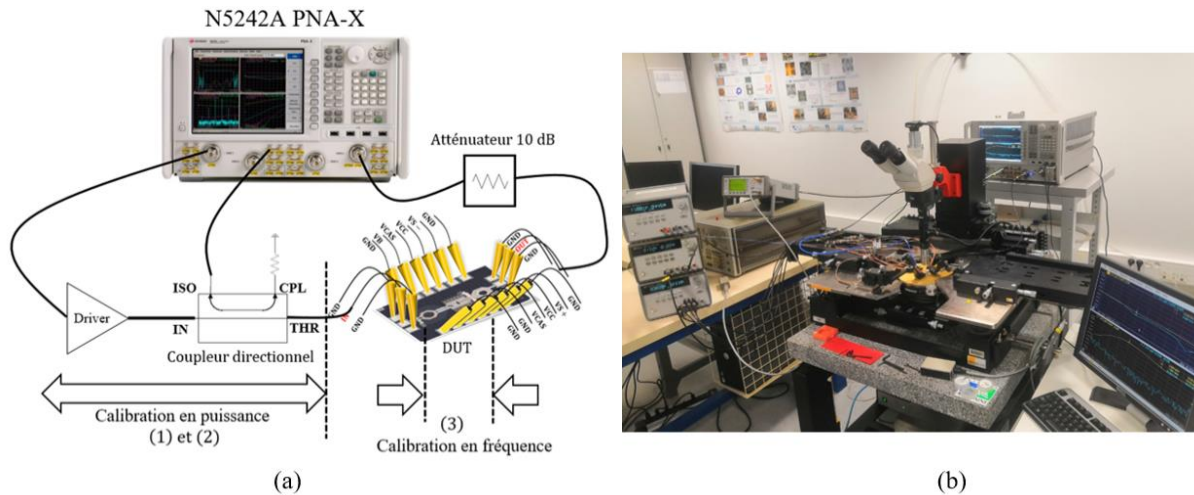


Figure 74: Schéma et photographie du protocole de mesure petit et grand signal [RED2020]

La calibration de ce protocole de mesure s'effectue en 3 temps :

- 1) Une première calibration en puissance (de -10dBm à 0dBm) à la fréquence fixe de 18 GHz afin de protéger la sonde de puissance nécessaire à la calibration en puissance globale.
- 2) Une seconde calibration en puissance à puissance fixe et fréquence variable en zone linéaire afin de corriger les pertes liées au driver et au coupleur.
- 3) Une calibration SOLT en fréquence afin d'extraire les paramètres S du circuit.

Les tensions DC sont fournies par des alimentations E3634A programmables par GPIB. Ces alimentations permettent de compenser la chute de tension DC liée à la résistance des câbles en se basant sur des sondes de référence en tension (I/O V_S - et V_{S+}).

Ce protocole permet :

- D'effectuer des mesures à fort niveau d'entrée (jusqu'à 24 dBm),
- De réaliser des mesures paramètres S et forts signaux sur le même banc,
- De piloter et d'automatiser informatiquement les campagnes de mesure.

Pour réaliser les mesures à 90°C, un chuck est relié au support de puce. Il permet de porter l'environnement matériel des circuits jusqu'à la température souhaitée.

En somme, la précision de ce protocole de mesure dépend de la précision des différents éléments de la chaîne de mesure et de la dextérité de l'opérateur de mesure. En pratique et de manière courante les seuils de précision sont fixés lors de la calibration en puissance à 0,25dBm sur la puissance de sortie et à 2,5% sur la P.A.E..

ii. Protocole et banc de mesure Load Pull

Le protocole de mesure sur banc loadpull est présenté en figure 75.

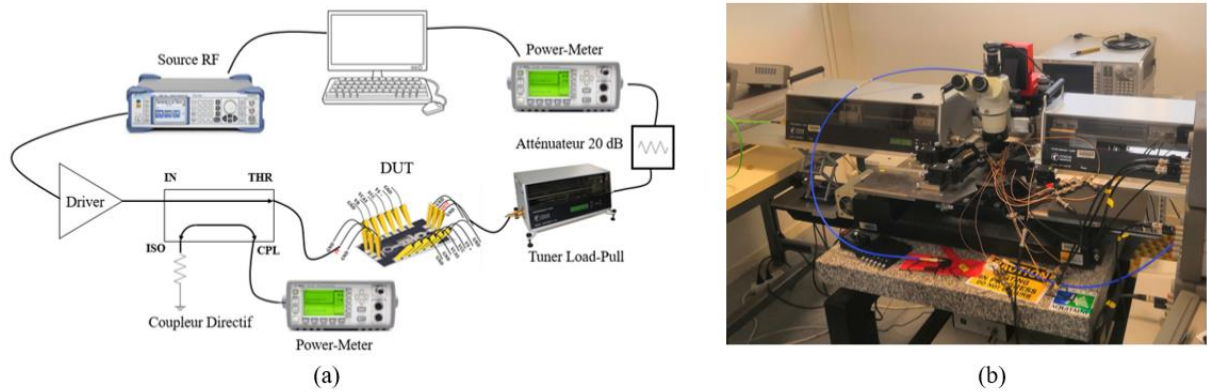


Figure 75 : Schéma et photographie du protocole de mesure sur banc loadpull [RED2020]

Les mesures sont réalisées à l'aide du logiciel FOCUS. La calibration du banc loadpull est automatique et s'effectue à une seule fréquence. Cette calibration garantit avec une précision très élevée l'impédance présentée en entrée et en sortie du circuit mesuré. Pour cela, le banc fonctionne à l'aide d'un ensemble de 2 chariots en entrée et 3 chariots en sortie qui permettent de faire varier mécaniquement l'inductance et la capacité présentées en entrée et en sortie du circuit.

La fréquence maximale de calibration du banc est de 18 GHz. Il n'est pas possible d'utiliser le chuck du banc de puissance pour augmenter la température de la puce mesurée. De plus, le logiciel ne prend pas en compte l'information sur la phase, de sorte qu'il n'est pas possible de récupérer la donnée de distorsion de phase induite par le circuit mesuré.

Partie II : Mesures en fréquence et en puissance de l'amplificateur de puissance sans driver à 30°C

a) Paramètres S et puissance, rendement, linéarité

La figure 76 compare les paramètres S mesurés du circuit équilibré sans driver par rapport aux performances petit signal simulées, l'ensemble à 30°C.

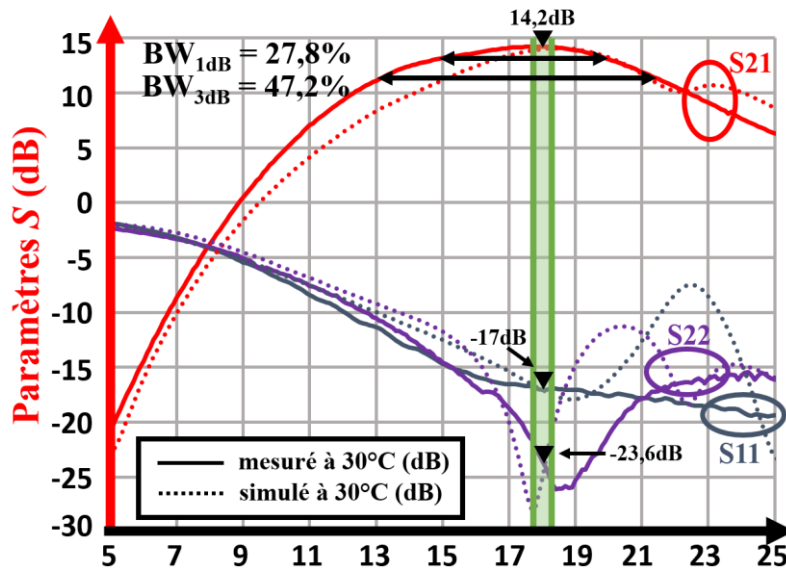


Figure 76: Paramètres S mesurés de l'amplificateur de puissance sans driver à 30°C

Les niveaux mesurés des paramètres S à 18 GHz sont très proches des niveaux simulés présentés dans la partie V a) du chapitre II. Cela permet de valider la méthodologie de simulation petit signal décrite dans la partie II du chapitre II. Les bandes passantes sont élargies, puisque les bandes passantes relatives à 1dB et 3dB valent respectivement 27,8% et 47,2% en mesure contre 19,4% et 35% respectivement en simulation.

La figure 77 présente les performances grand signal à 30°C. Le graphique 77a offre à voir le gain en dB et la P.A.E. en % en fonction de la puissance de sortie, à 18 GHz. Le graphique 77b montre la puissance de sortie pour une puissance d'entrée de 17dBm et la P.A.E. pour une puissance d'entrée de 14dBm pour une variation de fréquence de 16 GHz à 20 GHz.

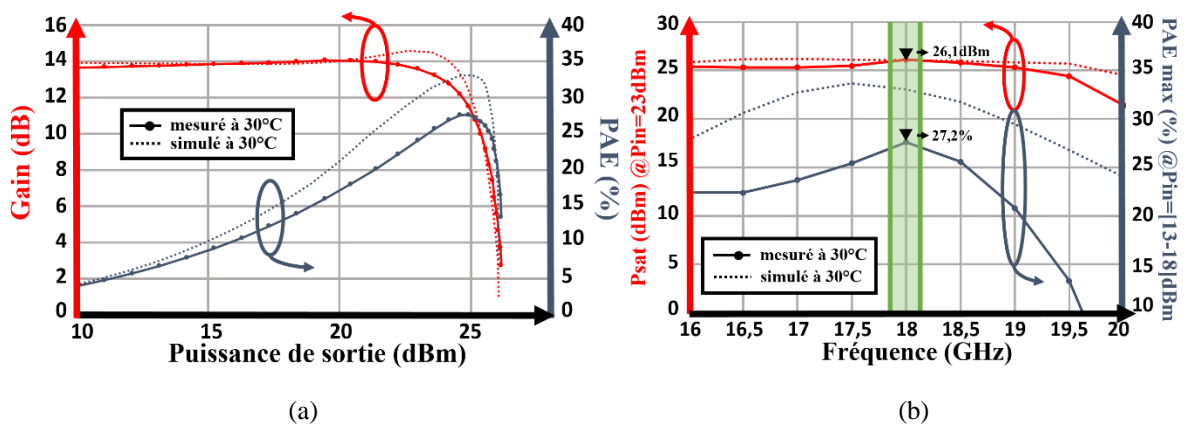


Figure 77: Performances RF mesurées (a) en fonction de la puissance de sortie (b) en fonction de la fréquence de l'amplificateur de puissance sans driver, à 30°C et 18 GHz

Plusieurs écarts apparaissent entre les simulations et les mesures. Si les niveaux de puissance de sortie et de gain petit signal coïncident, l'allure globale du gain en fonction de la puissance de sortie et les niveau et l'allure de la *P.A.E.* diffèrent. La *P.A.E.* maximale à 18 GHz vaut 27,2% en mesure contre 33% en simulation.

Les niveaux de courants consommés mesurés sur les deux voies de l'amplificateur équilibré sont étudiés et comparés aux niveaux simulés sur la figure 78.

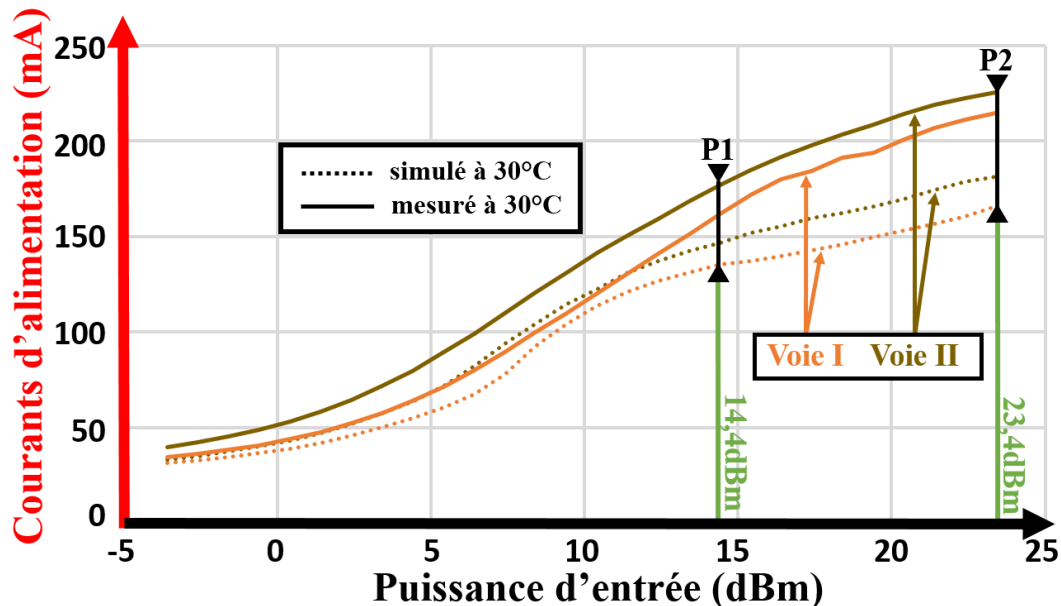


Figure 78: Courants d'alimentation I_{vcc} des deux voies I et II de l'amplificateur de puissance sans driver à 18 GHz et 30°C

Le point de fonctionnement P1 pour une puissance d'entrée de 14,4dBm correspond au point de mesure le plus proche d'un fonctionnement à 3dB dans la compression. Le point de fonctionnement P2 pour une puissance d'entrée de 23,4dBm correspond au point de mesure le plus proche d'un fonctionnement à saturation. A P1 et 30°C, les courants mesurés sur les voies I et II présentent un écart de 17,2mA. Cet écart est la conséquence du déséquilibre en amplitude causé par le coupleur, caractérisé dans le chapitre II, partie IV a). A P1 et P2, les écarts entre les courants simulés et mesurés avoisinent 20mA et 40mA respectivement, ce qui correspond à +14% et +25% de consommation respectivement. Cette consommation excessive est mise en perspective avec l'écart de *P.A.E.* observé en figure 77.

La linéarité en amplitude est étudiée et comparée en simulation et en mesure sur la figure 79. Il est utile de préciser pour une meilleure lecture de ce graphique que le point de puissance d'entrée ICP_{-3dB} mesuré coïncide précisément avec l' ICP_{-1dB} simulé. Le point de fonctionnement à 14,7dBm de puissance d'entrée correspond au point de fonctionnement à 3dB de compression.

La première information importante provient de l'écart respectif entre les ICP_{-1dB} et ICP_{-3dB} simulés et ceux mesurés. Ceci traduit une zone de fonctionnement linéaire réduite de l'amplificateur de puissance mesuré par rapport aux données de simulation. L' ICP_{-3dB} mesuré se trouve 2,5dB plus bas que l' ICP_{-3dB} simulé. L' OCP_{-3dB} mesuré vaut 25,1dBm contre 25,2dBm en simulation.

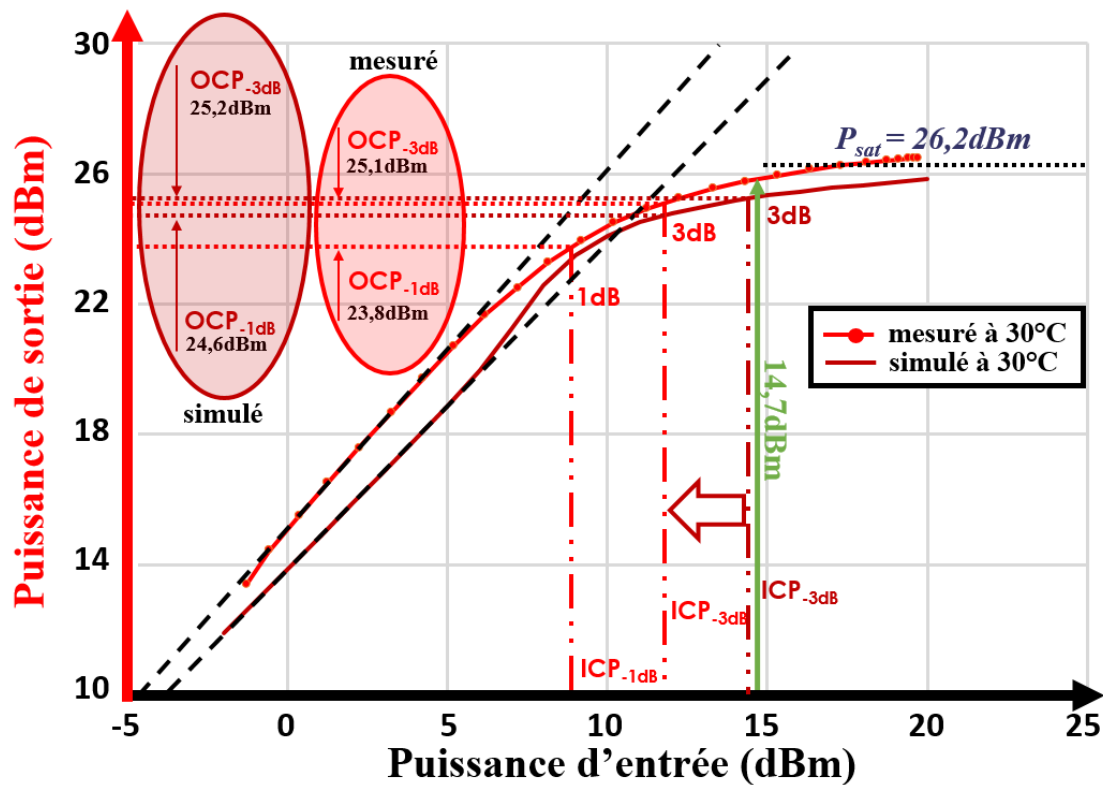


Figure 79: Etude comparée de la linéarité en amplitude mesurée et simulée sur l'amplificateur de puissance sans driver à 18 GHz et 30°C

La seconde information repose sur la différence d'allure entre les courbes de simulation et de mesure. En corrélation avec l'observation précédente, cela peut signifier que la classe de fonctionnement de l'amplificateur mesuré est sensiblement différente de celle espérée.

La somme des observations successives de cette sous-partie nous permet de faire l'hypothèse que le comportement de l'amplificateur de puissance sans driver fabriqué utilise une classe de fonctionnement différente de celle attendue en simulation. Ce fonctionnement entraîne une surconsommation en courant d'alimentation. Il est responsable d'une dégradation de la *P.A.E.* et d'une puissance de sortie à 3dB dans la compression légèrement plus faible en mesure qu'en simulation. Pour autant, les performances en puissance de sortie et en gain petit signal sont peu affectées par ces écarts.

Nous cherchons dans la suite à déterminer si la cause des écarts observés provient d'une erreur de modélisation du comportement du circuit ou d'une erreur dans le protocole de mesure. Nous précisons ici qu'une rétro-simulation *monte-carlo*²⁰ permettrait de faciliter l'identification d'une erreur de modélisation en identifiant les composants « à risque ». Cependant, le paramétrage de cette simulation pour des composants « réels » n'est pas possible et l'écart de comportement à 18 GHz entre les composants « standards » et les composants « réels » n'est pas négligeable (en particulier pour les composants capacitifs).

Connaissant cette difficulté avant la fabrication, le choix a été de privilégier la simulation avec différentes valeurs de capacités au cours de la phase de conception des circuits de puissance, comme illustré en figure 42 (partie II c) concernant la capacité de neutrodynage.

²⁰ Simulation faisant varier les valeurs des composants sur la plage de variation de *process* possible pour déterminer les écarts possibles sur les performances (voir partie II.c chap. II sur la capacité de neutrodynage).

b) Rétro-simulations de l'amplificateur de puissance sans driver

La possibilité d'une variation de *process* sur la valeur de la capacité de neutrodynage (voir partie II.c du chapitre II), qui est la capacité la plus sensible, est écartée de prime abord car un net impact sur le gain serait alors observé. Deux pistes explicatives sont détaillées en suivant.

La première cause envisagée est une erreur de calibration menant à négliger des parasites résistifs dans la chaîne de mesure, au niveau des pointes d'alimentation générales DC et RF. Pour vérifier cette hypothèse, une rétro-simulation est effectuée en plaçant une résistance variable entre les alimentations V_{SUPPLY} , V_{BIAS1} , V_{BIAS2} et les pads correspondant, puis entre les ports de sortie et d'entrée et les pads RF_{OUT} et RF_{IN} . La figure 80 présente les résultats rétro-simulés obtenus concernant l'alimentation V_{SUPPLY} . Les autres courbes sont placées en annexes.

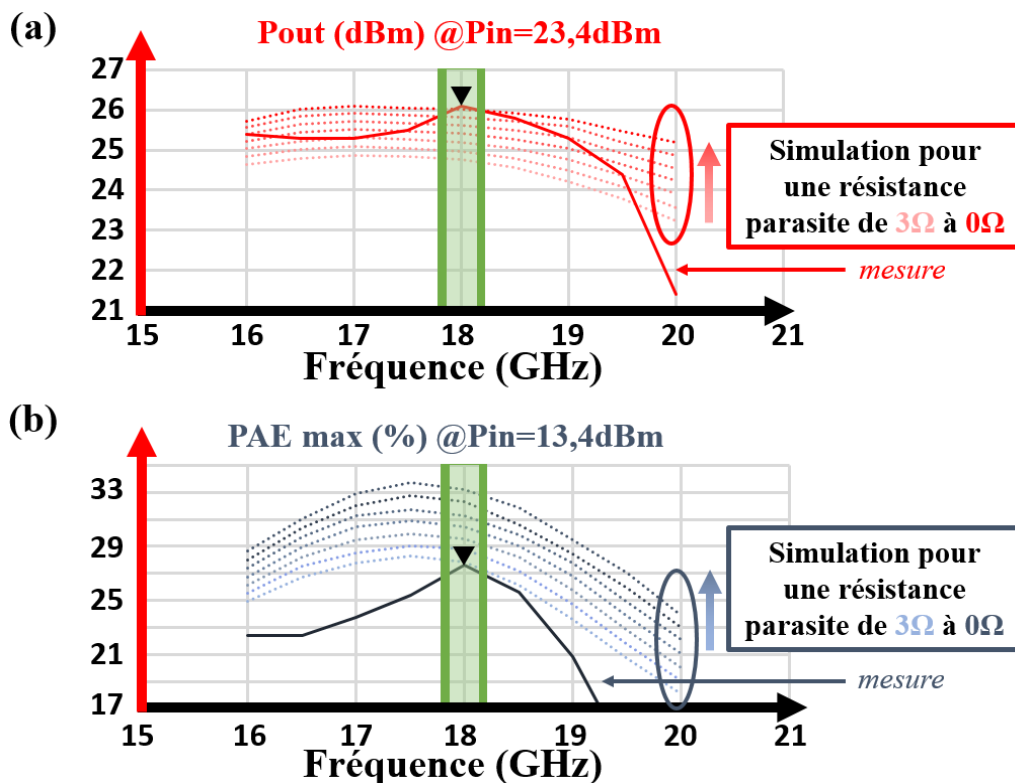


Figure 80: Rétro-simulations avec pertes résistives sur les tensions d'alimentation V_{SUPPLY} de l'amplificateur de puissance sans driver à 30°C

Les graphiques 80a et 80b montrent qu'une perte résistive au niveau des pointes de l'alimentation V_{SUPPLY} entraînerait une baisse des performances tant en *P.A.E.* qu'en P_{OUT} , ce qui ne correspond pas aux écarts constatés en mesure.

La figure 81 correspondant à une perte résistive variable sur les alimentations V_{BIAS1} , V_{BIAS2} et sur les ports d'entrée et de sortie traduisent des variations de performance trop faibles qui ne permettent pas de retrouver l'écart entre mesure et simulation. Nous écartons la possibilité d'une erreur de calibration comme cause unique des écarts de performance obtenus entre simulation et mesure.

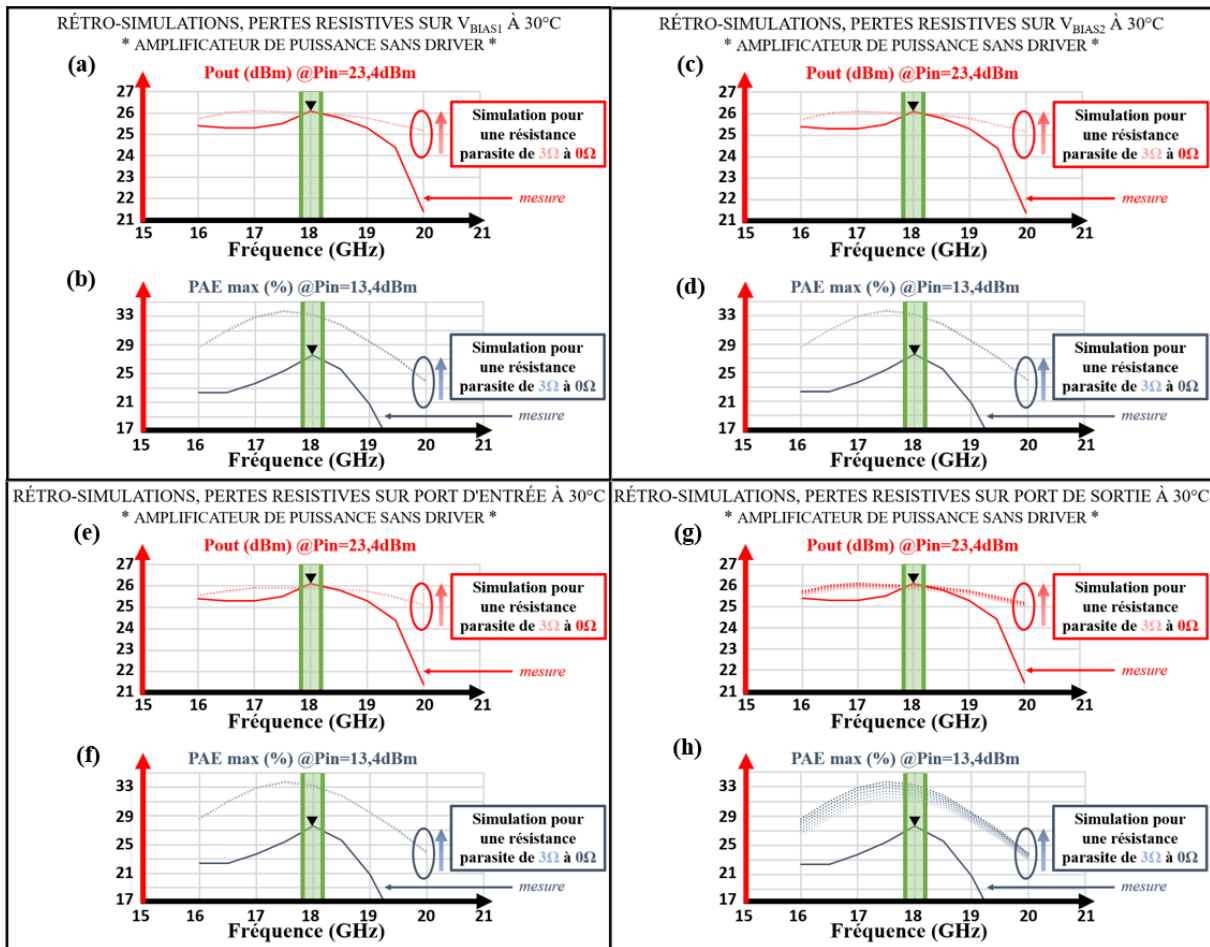


Figure 81: Rétro-simulations avec pertes résistives variables sur les tensions de polarisation V_{BIAS1} , V_{BIAS2} , port d'entrée et port de sortie de l'amplificateur de puissance sans driver à 30°C

La seconde cause envisagée consiste en une désadaptation de la chaîne de mesure, due à une incertitude élevée sur l'impédance présentée au niveau de la pointe RF à notre niveau de fréquence. La datasheet des pointes de mesure RF indique une forte fiabilité de l'impédance des pointes jusqu'à une fréquence de 40 GHz. Pourtant, en caractérisant à l'aide d'un analyseur de réseau l'impédance vue depuis la sortie de la pointe RF utilisée, on obtient une impédance de 40,35Ω. Des rétro-simulations de loadpull et de sourcepull pour un gamma équivalent de 0,1 et une phase parcourant tout l'abaque sont réalisées et présentées en figures 82 et 83.

La figure 82 permet de retrouver des valeurs de rétro-simulation à 18 GHz qui se superposent à la courbe de mesure en puissance de sortie pour une phase comprise entre -60° et -90° . Cependant les courbes ne correspondent pas en *P.A.E.*. La figure 83 permet de trouver des valeurs concordantes de *P.A.E.* et de puissance de sortie avec moins de 2% de différence, pour une phase de -120° .

L'hypothèse d'une désadaptation du matériel de mesure est validée. Il est nécessaire de procéder à des mesures supplémentaires sur banc load pull pour confirmer les performances de l'amplificateur de puissance à 50Ω, 18 GHz et 30°C.

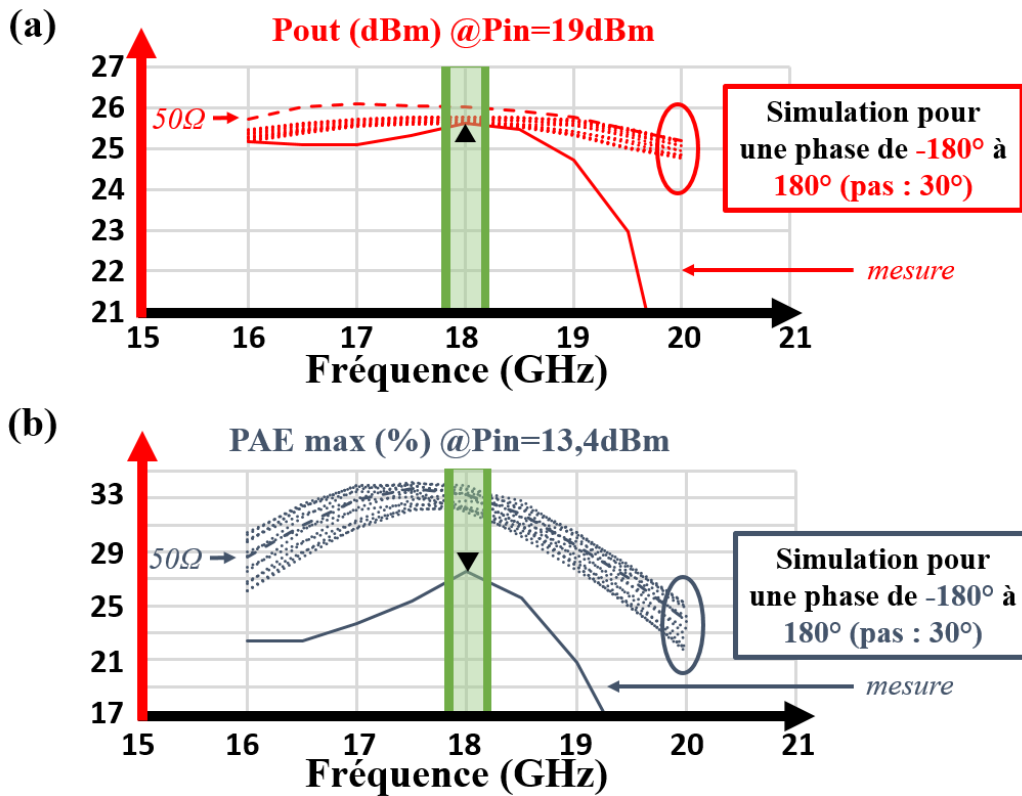


Figure 82: Rétro-simulation avec variation de phase en sortie pour une impédance de $40,35\Omega$ à 30°C , de l'amplificateur de puissance sans driver

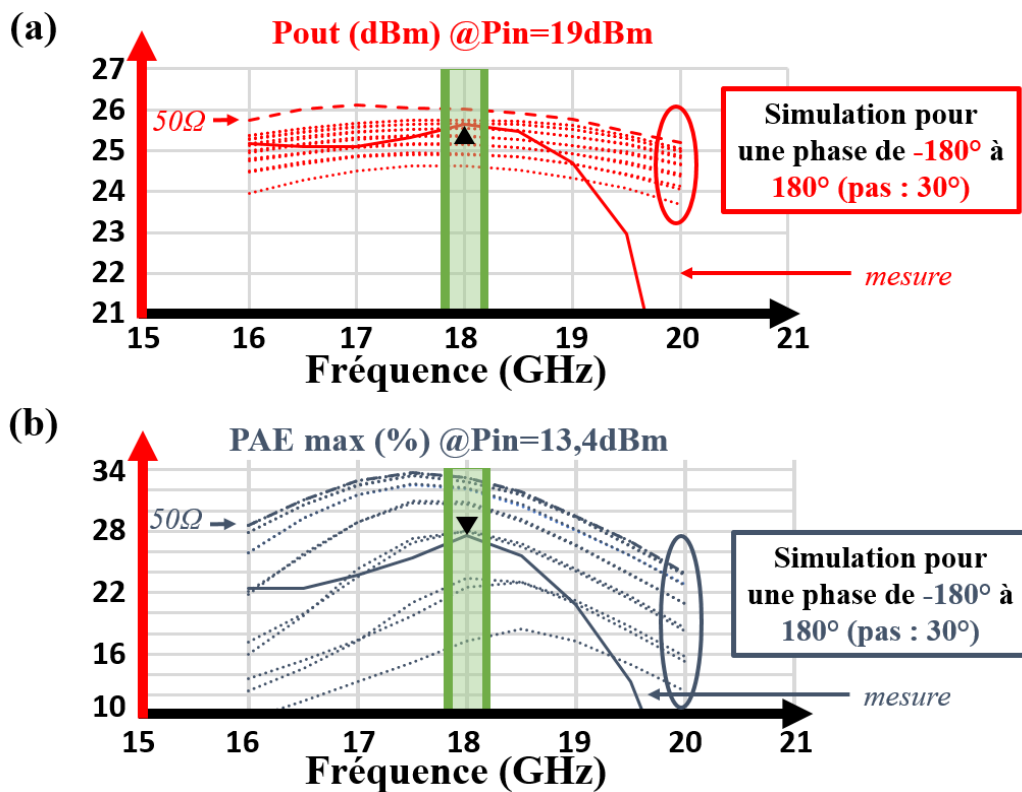


Figure 83: Rétro-simulation avec variation de phase en entrée pour une impédance de $40,35\Omega$ à 30°C , de l'amplificateur de puissance sans driver

c) Caractérisations supplémentaires à 30°C, 18 GHz – Banc loadpull

Pour obtenir les performances mesurées à 50Ω précisément en entrée et en sortie du circuit, une caractérisation supplémentaire est réalisée sur un banc loadpull. Une variation de tension d'alimentation est appliquée pour des niveaux V_{SUPPLY} de 3,3V à 4,2V. Les résultats de mesure obtenus à 30°C et 18 GHz sont présentés en figure 84.

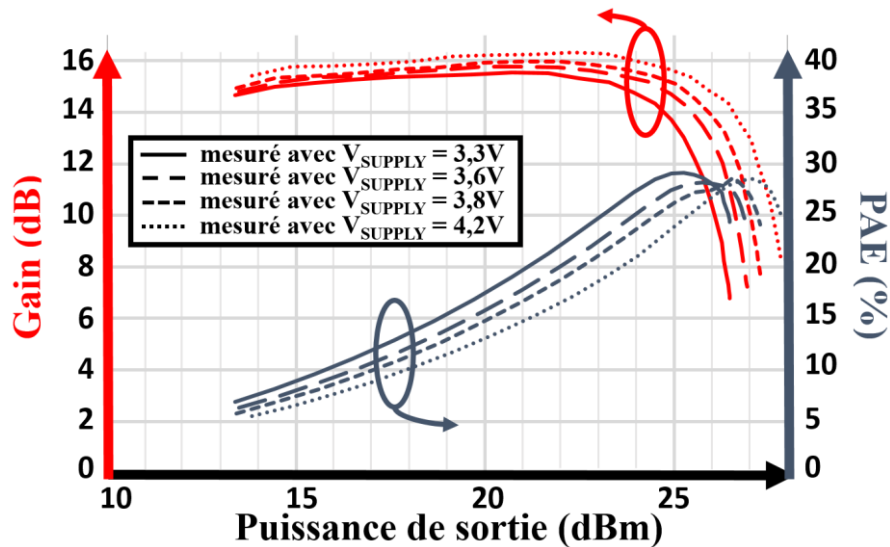


Figure 84: Performances RF de l'amplificateur de puissance sans driver sur banc loadpull avec une variation de tension d'alimentation de 3,3V à 4,2V, à 30°C et 18 GHz.

On observe que les allures de gain et de $P.A.E.$ restent similaires pour des niveaux de gain et de P_{sat} légèrement croissants et des niveaux de $P.A.E.$ légèrement décroissants avec la tension. Pour des tensions V_{SUPPLY} de 3,3V et 4,2V respectivement, la $P.A.E.$ maximale atteint 29,1% et 28,6% respectivement et la puissance de saturation atteint 26,5dBm et 27,8dBm respectivement. Le niveau de $P.A.E.$ obtenu à 3,3V de tension d'alimentation est plus proche du niveau simulé de la figure 84. L'écart entre simulation et mesure se trouve désormais suffisamment proche du seuil de précision du protocole de mesure.²¹

²¹ Note à l'usage de concepteurs et conceptrices de circuit, ajoutée post-soutenance. D'une part il serait pertinent d'étudier le comportement du transistor seul, et pour cela d'envoyer en fabrication un transistor seul et les circuits de déembedding associés pour une caractérisation plus précise. D'autre part, il apparaît après une étude élargie de la chaîne de mesure, que la désadaptation provient du driver et qu'elle est propagée jusqu'aux pointes de mesure. Enfin, la superposition rigoureuse des courbes rétrosimulées à 30°C et de mesure loadpull montrent qu'un écart de performances persiste. Nous pouvons poser ici l'hypothèse que cet écart est causé par des phénomènes physiques rencontrés à forts courants au cours de cette étude, notamment l'avalanche du transistor du miroir de courant et l'auto-échauffement des transistors de base commune. Comme les composants passifs ne réalisent pas une répartition parfaite du signal, il est particulièrement possible que ces phénomènes soient présents sur une voie équilibrée ou pseudo-différentielle, mais pas sur la voie symétrique en vis-à-vis, tout en étant partiellement masqués en mesure par les coupleurs. Accéder aux formes d'onde mesurées en tension et en courant au niveau des collecteurs des transistors est un exemple de piste pour permettre de mieux déterminer la cause des écarts observés.

Partie III : Comportement en température de l'amplificateur de puissance sans driver à 90°C

La difficulté de cette étape de mesure repose sur deux aspects liés. Le premier consiste à garantir un contact de pointe stable, le second une impédance présentée par les pointes proche de 50Ω. En effet, il n'est pas possible de faire varier la température sur le banc loadpull ni de caractériser la variation d'impédance à 18 GHz au niveau des pointes car cette variation n'est subie qu'au moment du contact avec la puce. Il n'est donc pas possible de remonter de manière cohérente à une variation d'impédance comme cela a été le cas dans la sous-partie précédente.

La figure 85 présente les paramètres S de l'amplificateur de puissance sans driver mesurés à 90°C.

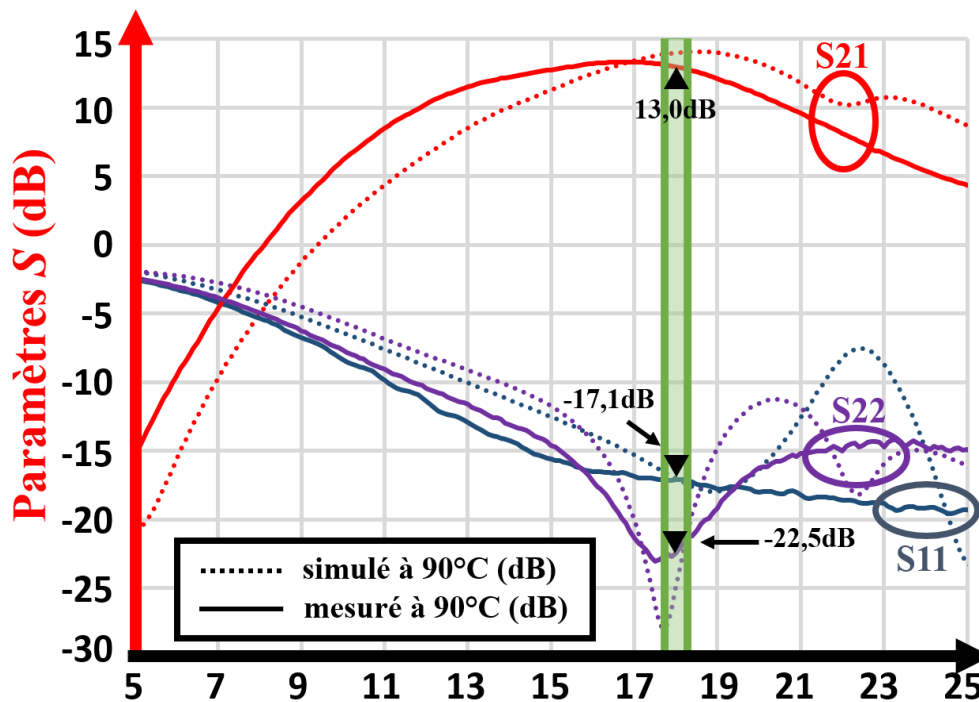


Figure 85: Paramètres S mesurés de l'amplificateur de puissance sans driver à 90°C

Les paramètres S_{21} , S_{11} et S_{22} à 18 GHz valent respectivement 13dB, -17,1dB et -22,5dB. L'écart entre simulation et mesure est suffisamment faible pour vérifier un fonctionnement correct de l'amplificateur de puissance petit signal à la température de 90°C. Le gain mesuré à 90°C est inférieur de 1dB au gain simulé, contrairement aux mesures à 30°C.

La figure 86 introduit les performances grand signal à 90°C. Les allures des courbes en puissance sur le graphique 86a et celles en fréquence sur le graphique 86b donnent lieu à plusieurs hypothèses. D'une part, les écarts entre simulation et mesure sont cohérents, à la fois en terme de gain par rapport aux résultats de la figure 83 et à la fois en terme de $P.A.E.$ et de puissance de sortie, par rapport aux observations de la sous-partie précédente. Cela mène à supposer qu'une variation d'impédance similaire est subie à 30°C et à 90°C. D'autre part, les niveaux de performance obtenus en $P.A.E.$ maximale, P_{sat} et gain sont respectivement de 25,7%, 25,9dBm et 12,5dB. Malgré les écarts observés avec les simulations, ces niveaux permettent de valider un fonctionnement grand signal satisfaisant de l'amplificateur de puissance à 90°C.

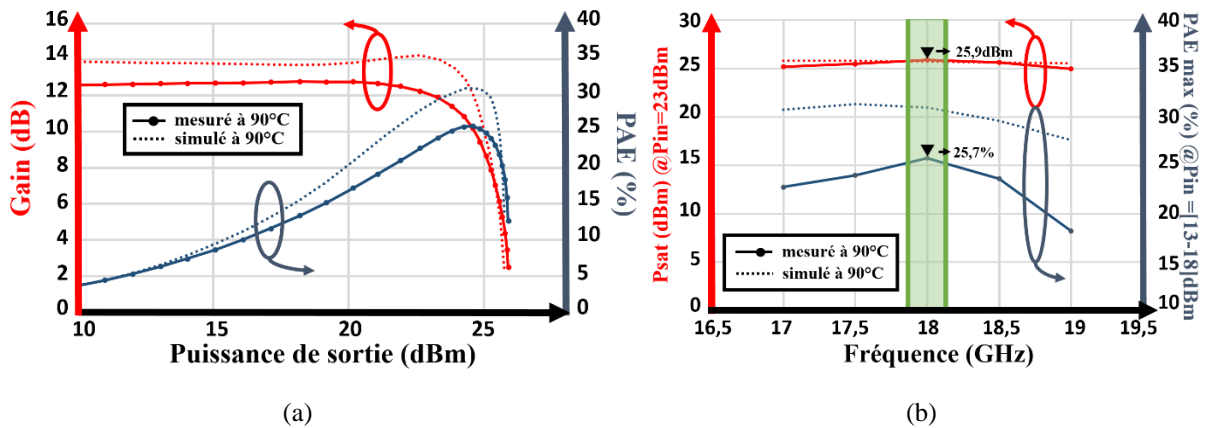


Figure 86: Performances RF mesurées (a) en fonction de la puissance de sortie (b) en fonction de la fréquence de l'amplificateur de puissance sans driver, à 90°C et 18 GHz

La figure 86b permet également de vérifier à 90°C un fonctionnement de l'amplificateur de puissance centré à la fréquence de fonctionnement de 18 GHz.

La figure 87 présente les courbes en puissance à 90°C pour différentes tensions d'alimentation V_{SUPPLY} de 3,3V à 4,0V. La puissance de sortie maximale mesurée à 4,0V est de 27,1dBm.

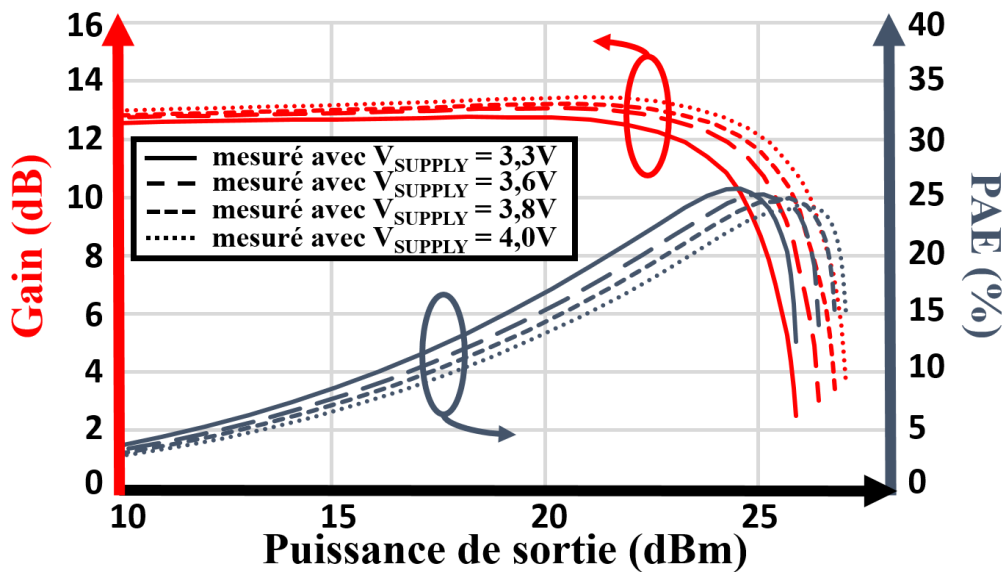


Figure 87: Performances RF de l'amplificateur de puissance sans driver avec une variation de tension d'alimentation de 3,3V à 4,0V, à 90°C et 18 GHz

La comparaison des courants d'alimentation consommés mesurés sur les deux voies de l'amplificateur de puissance avec ceux simulés est présentée sur la figure 88. Les points de mesure P3 et P4 correspondent respectivement aux points de mesure P1 et P2 de la figure 78 à 30°C.

A P3 et 90°C, les courants mesurés sur les voies I et II présentent un écart de 15,3mA, contre 17,2mA à 30°C. A P3 et P4, les écarts entre les courants simulés et mesurés avoisinent 30mA et 50mA respectivement, ce qui correspond à +21% et +29% de consommation respectivement à 90°C contre +14% et +25% de consommation respectivement à 30°C.

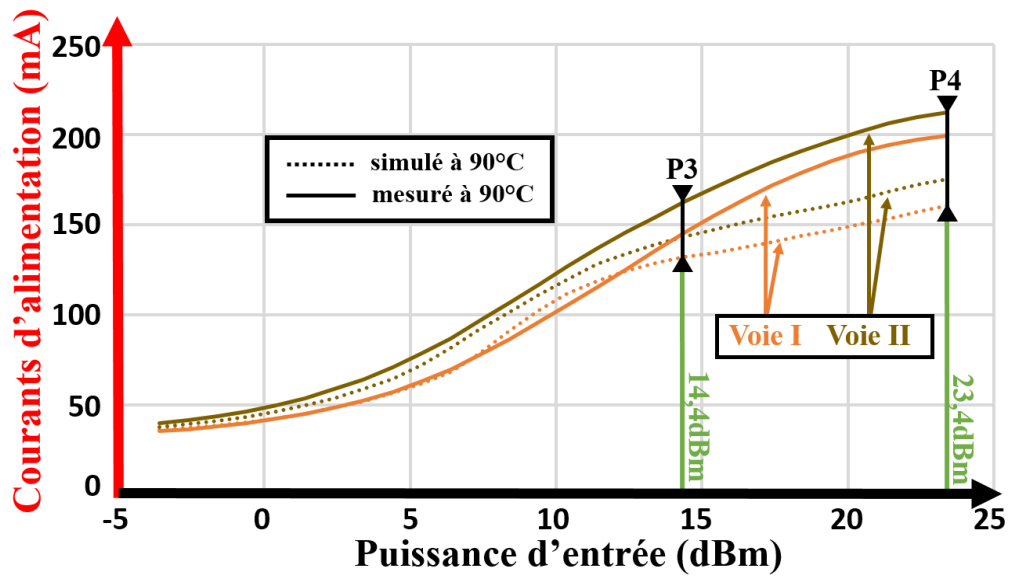


Figure 88: Courants d'alimentation I_{vcc} des deux voies I et II de l'amplificateur de puissance sans driver à 18 GHz et 90°C

Cet écart plus important peut être causé par un effet de désadaptation plus important que celui de la sous-partie précédente, qui pourrait provoquer un fonctionnement dans une classe de fonctionnement plus linéaire, et induire une *P.A.E.* moins importante et une surconsommation.

Partie IV : Robustesse au TOS 2:1 de l'amplificateur de puissance sans driver

La figure 89 présente les écarts de performance obtenus par parcours de l'abaque en phase à gamma constant de 0,333 et à 30°C. La P.A.E. et la puissance de sortie sont mesurées respectivement pour des puissances d'entrée de 14dBm et de 17dBm.

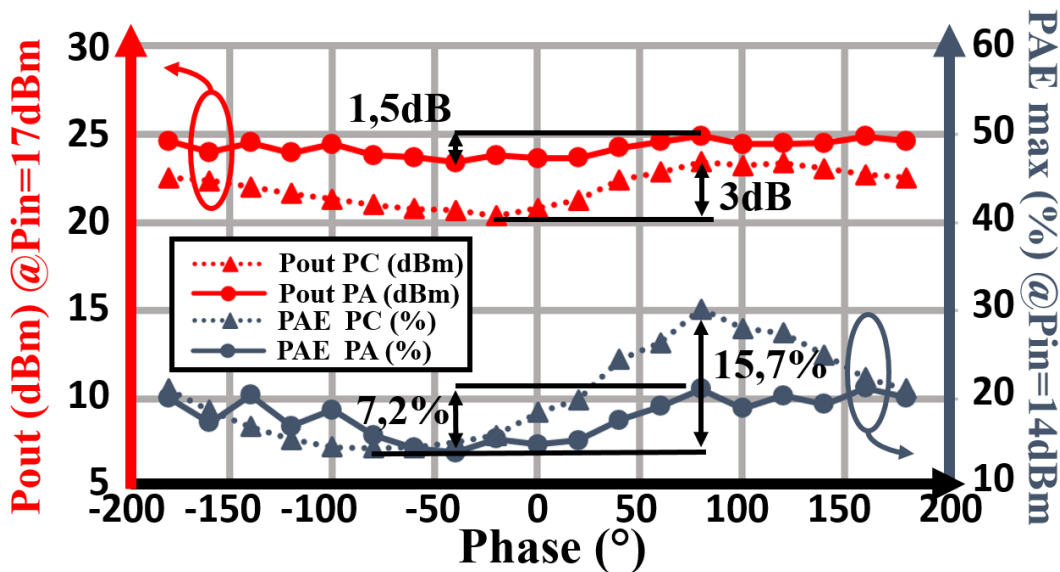


Figure 89: Application d'un TOS 2:1 et d'une variation de phase sur l'amplificateur et la cellule de puissance sans driver à 30°C et 18 GHz

Les variations du gain, de la puissance de sortie et de la P.A.E. sont résumées dans le tableau 11. Elles valent respectivement 3dB et 15,7% pour la cellule de puissance contre 1,5dB et 7,2% pour l'amplificateur de puissance.

Tableau 11 : Résumé des écarts de performances pour un TOS 2:1

Performances	Écart en gain	Écart en PAE max (Pin =14dBm)	Écart en Pout (Pin = 17dBm)
Cellule de puissance	3,4dB	15,7%	3,0dB
Amplificateur de puissance	1,9dB	7,2%	1,5dB

Il est possible d'appliquer la figure de mérite présentée dans la partie III c) du chapitre I. D'après le tableau 3 du chapitre I et le tableau 11 du chapitre III, la valeur du $SSC_{2:1}$ est comprise entre 1,5 et 1,7, ce qui signifie que cette architecture équilibrée démontre une baisse de l'impact du TOS de 2:1 à moins de 1,3:1.

Ces performances mesurées ont fait l'objet d'une publication acceptée à la conférence EuMIC 2021 [COQ2021'].

Partie V : Comparaison avec l'état de l'art

Le tableau 12 et la figure 90 présentent l'ensemble des résultats obtenus et publiés au cours de cette étude, comparé à l'état de l'art actuel des amplificateurs de puissance en technologies Silicium et III-V sur la bande de fréquence submillimétrique de 9 à 27 GHz.

Tableau 12 : Récapitulatif des performances de l'étude et état de l'art des amplificateurs de puissance Silicium et III-V

Réf. Temp.	Tech.	Architect.	Fréq. GHz	BW GHz	Alim V	Gain dB	Psat dBm	PAE _{max} %	Taille mm ²	FoM W.GHz ²
[RED2020]	SiGe 0,13μm	PC unitaire	9,5	2,7	3,6	17,3	25,8	51,8	0,54	89 037
		2 PC équilib.		3,5	3,6	16,3	27,7	35,4	1,26	74 913
		4 PC équilib.		2	3,8	11,7	30,2	31	1,75	36 879
[DUP2014] -50°C	SiGe 0,13μm	4 PC équilibrées	9,7	N/A	3,6	14	34,2	27	4,3	211 000
[LIU2016]	SiGe 0,13μm	2 étages stackés	10	4	7,5 4,5	27,7	29,5	17,8	2,66	794 877
[JU2017]	SiGe 0,13μm	Transfo. à optimisation d'harmonique	10	2,6	3,0	15,8	26,3	51,1	0,9	68 993
[JU2018]	SiGe 0,13μm	Transfo. + Wilkinson	10	3,5	3,0	16,1	26,5	53,4	0,81	95 025
[GER2013]	SiGe 0,35μm	Cellule diff. à deux étages	12,1	N/A	1,8	21,2	23,4	37,3	1,71	158 400
[NOH2010]	SiGe 0,25μm	Cellule cascode	14	N/A	4	15,8	24,45	29,1	0,38	60 700
[CHE2016]	SiGe 0,25μm	Combineur de sortie 16 voies	14,1	1	5,0	12,7	30	37,5	9,45	140 000
[WEL2016]	SiGe 0,35μm	4 PC Wilkinson pré-ampli	24	N/A	5,8	16,1	30,8	17,6	5,37	485 100
[ESS2014]	SiGe 0,25μm	Combineur de sortie 8 voies	27	N/A	6,9 4,0	20,7	31	13	2,83	1 402 950
[ALI2017]	0,25-μm AlGaAs/ InGaAs	4 PC 1 étage CE	10	N/A	4	7	26	46	1,47	91 780
[MEG2017]	0,25-μm AlGaAs- InGaAs pHEMT	2 étages RMPA*	11	6-18	8	10-16	39,6	22	18	242 774
[CAI2020]	0,15 μm GaAs pHEMT	Darlington amélioré	13	6	6	25,9	36	46,8	4,34	9 956 984
[GED2020]	0,25μm GaN	3 étages MMIC	15,5	13-18	28	26	44	30	21,39	72 075 901
Ce travail [COQ2021] 30°C 90°C *simulations*	SiGe 0,13μm	PC unitaire sans driver	18	6,0	3,3	17,0 17,0	24,6 24,8	35,1 33	0,37	130 474
		2 PC équilib. sans driver		3,5	3,3	14,0 14,0	26,0 25,8	33,1 31	1,2	107 135
Ce travail [COQ2021'] 30°C 90°C *mesures*	SiGe 0,13μm	PC unitaire sans driver	18	6,4	3,3	14,9 14,5	23,6 24,0	29,0 27,8	0,37	66 800
		2 PC équilib. sans driver		5	3,3	13,5 13,0	26,1 25,9	29,1 25,7	1,2	82 100
				N/A	4,2 4,0	13,7 13,2	27,4 27,1	28,6 24,5	1,2	107 800
Ce travail* [COQ2022] 30°C 90°C *simulations*	SiGe 0,13μm	PC unitaire avec driver	18	3,1	3,8	22,1 21	25,7 25,4	28,4 27,9	0,82	539 600
		2 PC équilib. avec driver		3,35	3,8	21,6 21,1	27,6 27,4	26,7 26,4	1,04	554 300
		4 PC équilib. avec driver		3,2	3,8	21,2 21,5	30,8 30,3	26,5 26,9	1,86	1 271 800

Les résultats de mesure de l'amplificateur de puissance sans driver mettent en évidence les contributions majeures de cette étude.

D'une part la proximité entre les résultats de simulation [COQ2021] et de mesure [COQ2021'] permet de valider la démarche de conception d'amplificateurs de puissance équilibrés à 30°C et 90°C en bande Ku, décrite dans le chapitre II.

D'autre part, cela permet de présenter avec assurance les résultats de simulation des circuits avec driver [COQ2022] comme nouvelle référence des circuits SiGe submillimétriques tant en termes de meilleur compromis de performances RF à 30°C et à 90°C qu'en termes de robustesse au TOS.

Enfin, la figure de mérite de l'IRDS de 1 200 000 de notre étude dépasse les figures de mérite de nombreux travaux récents en technologie AsGa.

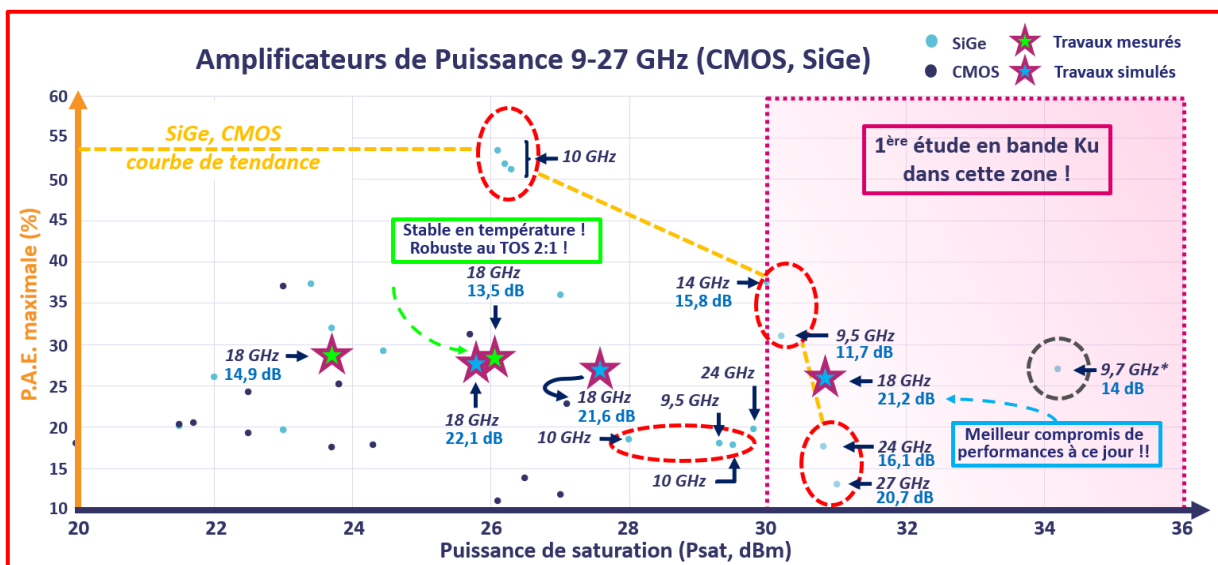


Figure 90: Graphique d'état de l'art à l'issue de cette étude

Conclusion

Ce chapitre offre trois apports scientifiques majeurs. Les parties II et III montrent respectivement pour la première fois qu'il est possible de concilier dans un circuit de $1,2\text{mm}^2$ à 18 GHz et respectivement à 30°C et à 90°C une puissance de sortie supérieure à 27dBm avec une *P.A.E.* de l'ordre de 25% et un gain petit signal supérieur à 13dB. La partie IV réalise la preuve de concept d'une robustesse au TOS 2:1 d'une architecture équilibrée utilisant des coupleurs torsadés et fonctionnant à 18 GHz et 30°C . La partie V décrit dans quelle mesure cette étude permet de repousser les limites des performances atteignables par la technologie SiGe. Elle ouvre la voie à une technologie SiGe plus concurrentielle des technologies III-V.

De plus, ce chapitre a permis de montrer que la sensibilité de l'amplificateur de puissance sans driver à la variation de charge et de phase en entrée est une caractéristique qui doit être prise en compte dans la conception des blocs RF situés en amont de l'amplificateur de puissance.

Enfin, la proximité entre les résultats de simulation et de mesure de l'amplificateur de puissance sans driver rend possible l'hypothèse de la conformité au cahier des charges des circuits de puissance avec driver en cours de fabrication. Le retour de fabrication de ces circuits est prévu pour le mois d'Avril 2022. Les performances attendues suite aux simulations constituent le meilleur compromis de performance à ce jour pour un amplificateur de puissance fonctionnant à 18 GHz en technologie SiGe avec une surface inférieure à 2mm^2 . Les valeurs simulées de puissance de sortie, de *P.A.E.* et de gain linéaire valent respectivement 30,8dBm, 26,5% et 21,2dB à 30°C .

Références

- [BON2014] S. Bonnet, "Combinaison de puissance hyperfréquence à faibles pertes et compacte", thèse de l'Université de Limoges, 2014
- [BOR2020] S. R. Boroujeni, A. Basaligheh, S. Ituah, M-R Nezhad-Ahmadi, S. Safavi-Naeini, "A Broadband High-Efficiency Continuous Class-AB Power Amplifier for Millimeter-Wave 5G and SATCOM Phased-Array Transmitters", *Transactions on Microwave Theory and Techniques (T-MTT)*, Vol. 68, No. 7, Jul. 2020
- [COQ2021] B. Coquillas, E. Kerhervé, E. Itcia, L. Roussel, B. Louis, T. Merlet, "Ku-Band Cascode Balanced SiGe Power Amplifier with High Robustness to Active SWR", 19th conference *IEEE International New Circuits And Systems (NEWCAS)*, Toulon, France, Jun. 2021
- [COQ2021'] B. Coquillas, E. Kerhervé, S. Redois, AC. Amiaud, L. Roussel, B. Louis, E. Itcia, T. Merlet, "A 27dBm Ku-Band SiGe Power Amplifier Working up to 90°C with High Robustness to the 2:1 SWR", 16th conference *European Microwave Integrated Circuit Conference (EuMIC)* Londres, Angleterre, Apr. 2022
- [COQ2022] B. Coquillas, E. Kerhervé, S. Redois, AC. Amiaud, L. Roussel, B. Louis, T. Merlet, V. Petit, "A Highly Compact 1W Ku-Band Power Amplifier", 13th conference *IEEE Latin American Symposium Circuits And System (LASCAS)*, Santiago, Chili, Mar. 2022
- [KNO2017] V. Knopik, E. Kerherve, B. Moret, "Self-contained power amplifier for 5G mobile communications", *European Microwave week*, Nuremberg, Allemagne, Oct 2017.
- [LAR2014] A. Larie, "Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques », thèse de l'Université de Bordeaux, 2014, pp. 113-114
- [POT2018] M. Potéreau, N. Deltimple, A. Ghiotto, "Ultra-Compact Low-Loss Integrated Transformer-Based Ku-Band Quadrature Hybrid Coupler", 2018 13th conference *IEEE European Microwave Integrated Circuit Conference (EuMIC)*, Madrid, Espagne, Sept. 2018
- [RED2020] S. Redois, "Amplificateur de puissance en technologie SiGe pour application RADAR en bande X", thèse de l'Université de Bordeaux, 2020.

- [LIU16] C. Liu, Q. Li, Y. Li, X-D. Deng, X. Li, H. Liu, Y-Z. Xiong, "A Fully Integrated X-Band Phased-Array Transceiver in 0,13- μ m SiGe BiCMOS Technology" in *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 2, pp. 575-584, Feb. 2016.
- [GER16] S.Gerlich, "Fully Monolithically Integrated X-Band Amplifiers with Frequency Selective Feedback", Thèse de doctorat de l'université de Technologie de Branderburg, Jul. 2016.
- [LIU15] C. Liu, Q. Li, Y. Li, X. Li, H. Liu and Y. Xiong, "An 890 mW stacked power amplifier using SiGe HBTs for X-band multifunctional chips," *ESSCIRC conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC)*, Graz, 2015, pp. 68-71.
- [JU18] I. Ju and J. D. Cressler, "A Highly Efficient X-Band Inverse Class-F SiGe HBT Cascode Power Amplifier With Harmonic-Tuned Wilkinson Power Combiner," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 11, pp. 1609-1613, Nov. 2018.
- [DUP14] V. Dupuy, E. Kerhervé, N. Deltimple, N. Demirel, Y. Mancuso, "Very high efficiency SiGe and GaN High Power Amplifiers for tile modules", *IEEE International Microwave Symposium*, Tampa Bai, Floride, USA, 2014.
- [JU17] I. Ju and J. D. Cressler, "An X-band inverse class-F SiGe HBT cascode power amplifier With harmonic-tuned output transformer," *2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Honolulu, HI, 2017, pp. 390-393.
- [CHE16] Y. Chen, M. P. van der Heijden and D. M. W. Leenaerts, "A 1-Watt Ku-band power amplifier in SiGe with 37.5% PAE," *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, San Francisco, CA, 2016, pp. 324-325.
- [ALI17] A. Alizadeh, M. Frounchi and A. Medi, "Dual-Band Design of Integrated Class-J Power Amplifiers in GaAs pHEMT Technology," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 65, no. 8, pp. 3034-3045, Aug. 2017.

- [MEG2017] Masoud Meghdadi et Ali Medi, "Design of 6–18-GHz High-Power Amplifier in GaAs pHEMT Technology", *IEEE Transactions on Microwave Theory and Techniques* (T-MTT), vol. 65, no. 7, Juillet 2017
- [CAI2020] Qi Cai, *et al.*, "A Compact Ku-Band Broadband GaAs Power Amplifier Using an Improved Darlington Power Stage" *IEEE Transactions on Microwave Theory and Techniques* (T-MTT), vol. 68, no. 7, Juillet 2020
- [GED2020] S. K. Gedela, *et al.* "Ku-Band 25 W High Power Amplifier using 0.25 μm GaN Technology", dans *IEEE 15th European Microwave Integrated Circuits Conference* (EuMIC), EuMA 2020, Utrecht, Pays-Bas, Janvier 2021

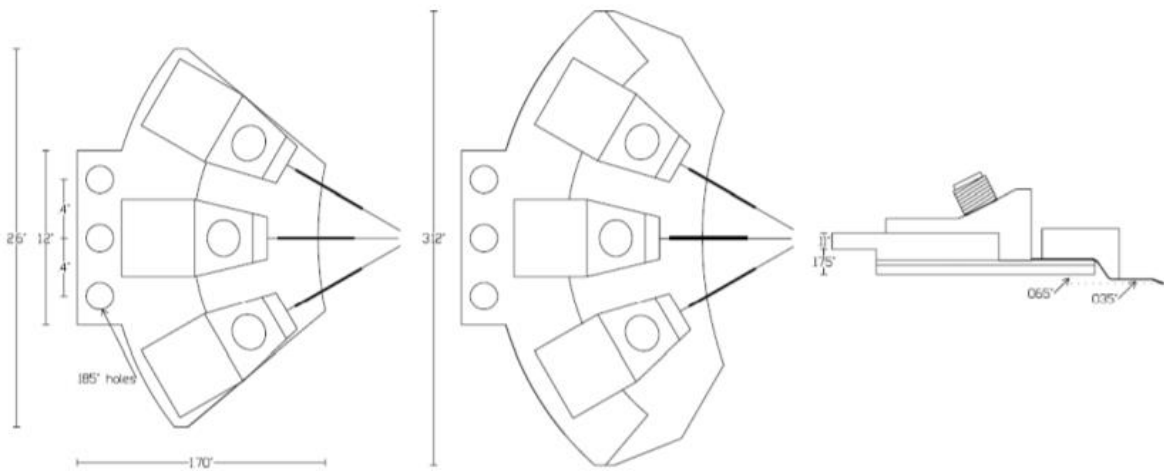
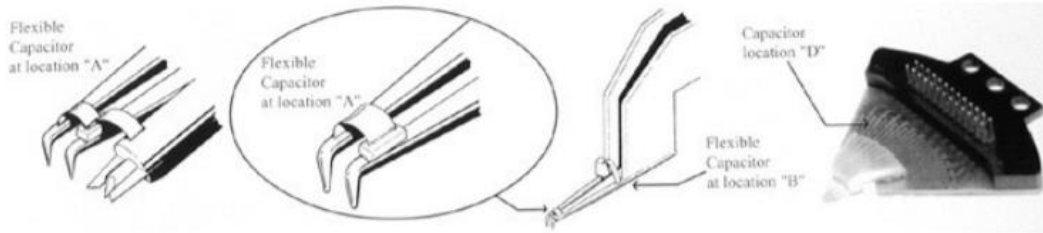
Annexes

ANNEXE N°1 – DATASHEET GLOBALE – POINTES RF



Microelectronics supply specialist

Spécialiste de la fourniture microélectronique



TITAN™ TEST REPORT

S/N: 16A185
P/N: T40D-GSGSG100

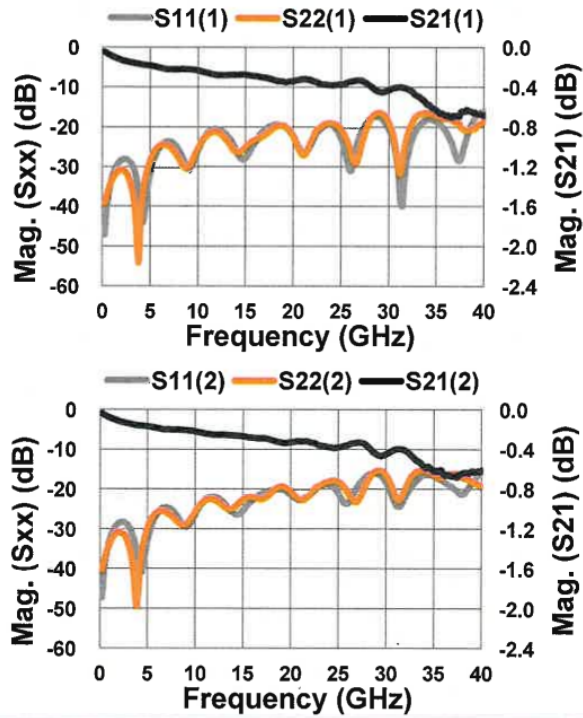
Probe Type: D (45Deg.)
Configuration: GSGSG
Pitch (um): 100
Connector type: 2.92mm
Max. Freq. (GHz): 40

Calibration Coefficients for AC-2

C - Open, fF : 5.2
L - Short, pH : 6.3
L - Load, pH : -2.5

If you need the probe characterization data in S2P format, please send the requirement including P/N and S/N to the email address as below.

ast-probes@mpi-corporation.com



TITAN™ MEASUREMENT REPORT

Point #	Freq. (GHz)	(1)			(2)			Point #	Freq. (GHz)	(1)			(2)			Point #	Freq. (GHz)	(1)			(2)		
		S11 (dB)	S22 (dB)	S21 (dB)	S11 (dB)	S22 (dB)	S21 (dB)			S11 (dB)	S22 (dB)	S21 (dB)	S11 (dB)	S22 (dB)	S21 (dB)			S11 (dB)	S22 (dB)	S21 (dB)	S11 (dB)	S22 (dB)	S21 (dB)
1	0.250	-47.12	-39.29	-0.04	-47.30	-40.23	-0.04	36	14.163	-26.73	-26.42	-0.28	-26.32	-24.42	-0.26	71	28.671	-17.33	-16.62	-0.43	-16.05	-15.88	-0.43
2	0.648	-36.92	-35.60	-0.07	-37.04	-36.20	-0.06	37	14.560	-28.14	-25.92	-0.28	-26.37	-23.42	-0.26	72	29.069	-17.66	-16.29	-0.45	-16.20	-15.31	-0.46
3	1.045	-32.46	-33.08	-0.09	-32.68	-33.42	-0.08	38	14.958	-28.02	-25.05	-0.28	-25.55	-22.59	-0.27	73	29.466	-18.38	-16.75	-0.45	-16.62	-15.29	-0.47
4	1.443	-30.04	-31.47	-0.11	-30.23	-31.64	-0.10	39	15.355	-26.66	-24.13	-0.28	-24.49	-22.07	-0.28	74	29.864	-19.73	-17.97	-0.44	-17.81	-16.06	-0.46
5	1.840	-28.67	-30.73	-0.12	-28.84	-30.82	-0.11	40	15.753	-24.88	-23.45	-0.29	-23.41	-21.92	-0.28	75	30.261	-21.84	-20.11	-0.42	-19.47	-17.43	-0.44
6	2.238	-28.11	-30.89	-0.13	-28.31	-30.77	-0.12	41	16.150	-23.25	-23.02	-0.29	-22.45	-22.04	-0.29	76	30.659	-25.49	-24.13	-0.41	-21.80	-19.58	-0.41
7	2.635	-28.30	-32.03	-0.14	-28.46	-31.59	-0.13	42	16.548	-21.96	-22.50	-0.30	-21.68	-22.25	-0.29	77	31.056	-32.40	-30.80	-0.40	-24.10	-22.18	-0.40
8	3.033	-29.34	-34.76	-0.15	-29.34	-33.86	-0.14	43	16.945	-20.95	-21.95	-0.31	-21.21	-22.41	-0.29	78	31.454	-39.89	-28.75	-0.40	-24.38	-22.74	-0.39
9	3.430	-31.63	-40.62	-0.16	-31.33	-38.25	-0.15	44	17.343	-20.19	-21.28	-0.31	-20.73	-22.04	-0.29	79	31.851	-29.22	-22.99	-0.41	-22.74	-20.76	-0.40
10	3.828	-36.12	-53.72	-0.17	-35.03	-43.32	-0.16	45	17.740	-19.77	-20.46	-0.32	-20.50	-21.24	-0.30	80	32.249	-24.81	-19.92	-0.43	-20.98	-18.54	-0.43
11	4.225	-44.02	-36.93	-0.17	-40.34	-39.32	-0.16	46	18.138	-19.47	-19.83	-0.33	-20.17	-20.39	-0.31	81	32.646	-21.99	-18.07	-0.46	-19.36	-16.82	-0.46
12	4.623	-37.56	-31.36	-0.18	-38.35	-32.73	-0.16	47	18.535	-19.44	-19.51	-0.34	-19.99	-19.63	-0.32	82	33.044	-20.22	-16.95	-0.48	-18.21	-15.79	-0.50
13	5.020	-31.58	-28.19	-0.18	-32.85	-29.44	-0.17	48	18.933	-19.64	-19.50	-0.35	-20.08	-19.29	-0.33	83	33.441	-19.04	-16.54	-0.52	-17.29	-15.35	-0.52
14	5.418	-28.07	-26.19	-0.19	-29.22	-27.34	-0.18	49	19.330	-20.25	-20.17	-0.35	-20.25	-19.35	-0.34	84	33.839	-18.40	-16.27	-0.55	-16.65	-15.06	-0.56
15	5.815	-25.86	-24.98	-0.20	-26.89	-26.05	-0.18	50	19.728	-21.29	-21.16	-0.34	-20.91	-19.87	-0.33	85	34.236	-18.11	-16.77	-0.58	-16.38	-15.48	-0.59
16	6.213	-24.46	-24.43	-0.21	-25.47	-25.48	-0.19	51	20.125	-22.81	-22.90	-0.34	-21.59	-20.68	-0.33	86	40.000	-16.14	-18.43	-0.69	-15.95	-18.98	-0.61
17	6.610	-23.82	-24.42	-0.22	-24.75	-25.40	-0.20	52	20.523	-24.78	-25.24	-0.33	-22.36	-21.78	-0.32								
18	7.008	-23.65	-24.83	-0.22	-24.60	-25.76	-0.20	53	20.920	-26.39	-26.80	-0.32	-22.71	-22.49	-0.32								
19	7.405	-24.10	-25.70	-0.22	-24.95	-26.40	-0.20	54	21.318	-26.50	-26.52	-0.32	-22.96	-22.59	-0.32								
20	7.803	-25.13	-27.02	-0.22	-25.78	-27.29	-0.20	55	21.715	-25.10	-24.29	-0.33	-21.88	-21.95	-0.32								
21	8.200	-26.75	-28.62	-0.22	-27.14	-28.25	-0.20	56	22.113	-23.05	-22.31	-0.34	-21.14	-21.01	-0.33								
22	8.598	-29.00	-30.10	-0.22	-28.63	-28.80	-0.21	57	22.510	-21.35	-20.55	-0.35	-20.26	-19.94	-0.34								
23	8.995	-30.55	-30.19	-0.22	-29.52	-28.78	-0.21	58	22.908	-20.38	-19.91	-0.37	-19.44	-19.30	-0.36								
24	9.393	-29.76	-28.56	-0.22	-29.04	-27.86	-0.21	59	23.305	-19.60	-19.19	-0.37	-19.09	-18.74	-0.37								
25	9.790	-27.26	-26.36	-0.23	-27.30	-26.43	-0.22	60	23.703	-19.31	-18.98	-0.38	-18.73	-18.23	-0.37								
26	10.188	-24.83	-24.40	-0.24	-25.40	-24.88	-0.22	61	24.100	-19.55	-19.04	-0.38	-18.95	-17.90	-0.38								
27	10.585	-23.00	-22.89	-0.25	-23.91	-23.64	-0.23	62	24.498	-20.53	-19.33	-0.38	-19.40	-17.76	-0.39								
28	10.983	-21.68	-21.91	-0.26	-22.78	-22.82	-0.24	63	24.895	-22.15	-19.99	-0.37	-20.64	-17.93	-0.38								
29	11.380	-20.89	-21.29	-0.27	-22.14	-22.41	-0.25	64	25.293	-25.05	-21.52	-0.37	-22.30	-18.56	-0.38								
30	11.778	-20.54	-21.09	-0.28	-21.95	-22.37	-0.25	65	25.690	-29.03	-23.54	-0.36	-23.63	-19.61	-0.36								
31	12.175	-20.63	-21.31	-0.28	-22.05	-22.74	-0.25	66	26.088	-30.95	-26.94	-0.35	-23.43	-21.15	-0.36								
32	12.573	-21.05	-21.97	-0.28	-22.53	-23.37	-0.25	67	26.485	-26.43	-29.15	-0.34	-21.75	-22.49	-0.34								
33	12.970	-21.86	-23.05	-0.28	-23.43	-24.19	-0.25	68	26.883	-22.95	-27.14	-0.33	-19.94	-23.07	-0.33								
34	13.368	-23.03	-24.33	-0.28	-24.46	-24.84	-0.26	69	27.280	-20.50	-23.26	-0.34	-18.42	-21.96	-0.33								
35	13.765	-24.77	-25.74	-0.28	-25.58	-24.94	-0.26	70	27.678	-18.88	-20.23	-0.36	-17.38	-19.74	-0.34								



文件編號:F-GM-053

TITAN™ TEST REPORT

S/N: 16A184
P/N: T40D-GSGSG100

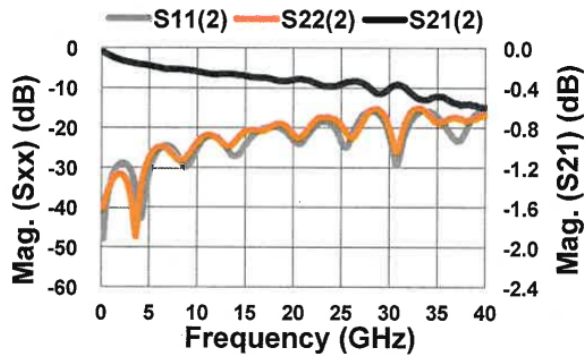
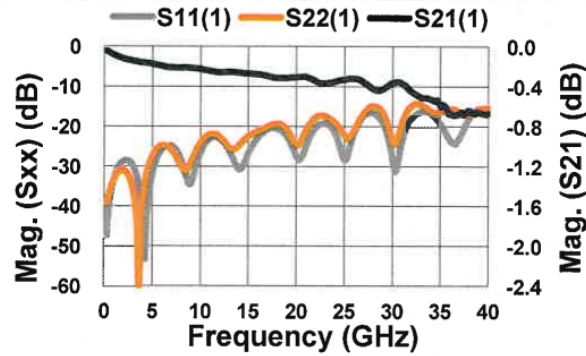
Probe Type: D (45Deg.)
Configuration: GSGSG
Pitch (um): 100
Connector type: 2.92mm
Max. Freq. (GHz): 40

Calibration Coefficients for AC-2

C - Open, fF : 5.2
L - Short, pH : 6.3
L - Load , pH : -2.5

If you need the probe characterization data in S2P format, please send the requirement including P/N and S/N to the email address as below.

ast-probes@mpi-corporation.com



www.mpi-corporation.com

TITAN™ MEASUREMENT REPORT

Point #	Freq. (GHz)	(1)			(2)			Point #	Freq. (GHz)	(1)			(2)			Point #	Freq. (GHz)	(1)			(2)		
		S11 (dB)	S22 (dB)	S21 (dB)	S11 (dB)	S22 (dB)	S21 (dB)			S11 (dB)	S22 (dB)	S21 (dB)	S11 (dB)	S22 (dB)	S21 (dB)			S11 (dB)	S22 (dB)	S21 (dB)	S11 (dB)	S22 (dB)	S21 (dB)
1	0.250	-47.39	-39.27	-0.04	-47.96	-40.13	-0.04	36	14.163	-30.78	-24.24	-0.26	-26.96	-22.73	-0.27	71	28.671	-17.93	-15.47	-0.44	-16.15	-15.22	-0.45
2	0.648	-37.09	-35.50	-0.07	-37.40	-36.24	-0.07	37	14.560	-29.27	-23.25	-0.27	-25.93	-21.63	-0.27	72	29.059	-19.45	-16.73	-0.42	-17.04	-15.70	-0.46
3	1.045	-32.67	-32.98	-0.09	-33.01	-33.63	-0.08	38	14.958	-27.06	-22.43	-0.27	-24.45	-20.84	-0.28	73	29.469	-22.04	-19.01	-0.40	-18.41	-16.80	-0.45
4	1.443	-30.27	-31.44	-0.10	-30.58	-32.01	-0.10	39	15.355	-25.18	-21.83	-0.27	-23.11	-20.49	-0.29	74	29.884	-26.31	-22.20	-0.37	-20.81	-18.92	-0.41
5	1.840	-28.96	-30.84	-0.12	-29.25	-31.47	-0.12	40	15.753	-23.62	-21.36	-0.28	-22.05	-20.41	-0.29	75	30.261	-31.39	-24.43	-0.36	-24.52	-22.14	-0.39
6	2.238	-28.51	-31.23	-0.13	-28.84	-31.69	-0.13	41	16.150	-22.38	-20.92	-0.28	-21.20	-20.51	-0.30	76	30.659	-27.88	-21.91	-0.36	-29.15	-25.87	-0.37
7	2.635	-28.85	-32.79	-0.14	-29.22	-33.11	-0.14	42	16.548	-21.48	-20.51	-0.29	-20.57	-20.61	-0.30	77	31.056	-23.28	-18.66	-0.38	-27.35	-24.16	-0.37
8	3.033	-30.11	-36.36	-0.15	-30.48	-36.50	-0.15	43	16.945	-20.85	-20.02	-0.30	-20.20	-20.54	-0.30	78	31.454	-20.34	-16.36	-0.40	-22.85	-20.36	-0.39
9	3.430	-32.83	-45.79	-0.15	-33.19	-43.71	-0.15	44	17.343	-20.52	-19.56	-0.30	-19.93	-20.08	-0.30	79	31.851	-18.46	-15.08	-0.44	-20.19	-17.68	-0.41
10	3.828	-38.44	-42.89	-0.16	-38.21	-41.83	-0.16	45	17.740	-20.47	-19.30	-0.31	-19.82	-19.50	-0.31	80	32.249	-17.46	-14.34	-0.47	-18.26	-16.02	-0.45
11	4.225	-53.37	-33.97	-0.16	-42.76	-33.83	-0.16	46	18.138	-20.81	-19.23	-0.31	-19.80	-19.06	-0.32	81	32.645	-16.71	-14.18	-0.49	-16.97	-15.19	-0.48
12	4.623	-37.42	-29.70	-0.17	-35.89	-29.75	-0.17	47	18.535	-21.39	-19.63	-0.32	-19.99	-18.84	-0.33	82	33.044	-16.32	-14.48	-0.51	-16.23	-14.97	-0.51
13	5.020	-31.61	-27.16	-0.18	-31.05	-27.28	-0.18	48	18.933	-22.29	-20.41	-0.31	-20.54	-19.07	-0.33	83	33.441	-16.24	-15.07	-0.51	-15.80	-15.27	-0.52
14	5.418	-28.37	-25.63	-0.18	-27.99	-25.72	-0.19	49	19.330	-23.88	-21.97	-0.31	-21.22	-19.68	-0.33	84	33.839	-16.50	-15.84	-0.52	-15.67	-15.91	-0.52
15	5.815	-25.40	-24.79	-0.19	-26.08	-24.87	-0.19	50	19.728	-26.06	-23.58	-0.31	-22.41	-20.71	-0.32	85	34.236	-17.08	-16.30	-0.54	-15.97	-16.97	-0.51
16	6.213	-25.25	-24.61	-0.20	-24.94	-24.63	-0.20	51	20.125	-28.28	-24.61	-0.31	-23.43	-21.77	-0.32	86	40.000	-16.81	-15.28	-0.67	-15.74	-16.64	-0.59
17	6.610	-24.85	-25.00	-0.21	-24.45	-24.85	-0.21	52	20.523	-27.85	-23.35	-0.30	-24.09	-22.48	-0.31								
18	7.008	-24.98	-25.89	-0.21	-24.57	-25.57	-0.21	53	20.920	-25.65	-21.26	-0.30	-23.73	-21.97	-0.31								
19	7.405	-25.77	-27.22	-0.21	-25.19	-26.46	-0.21	54	21.318	-23.16	-19.54	-0.32	-22.46	-20.97	-0.32								
20	7.803	-27.36	-29.09	-0.21	-26.31	-27.49	-0.21	55	21.715	-21.33	-18.19	-0.33	-21.19	-19.59	-0.33								
21	8.200	-29.81	-30.70	-0.21	-27.95	-28.12	-0.21	56	22.113	-20.10	-17.41	-0.35	-20.02	-18.49	-0.35								
22	8.598	-33.27	-30.84	-0.21	-29.49	-27.88	-0.22	57	22.510	-19.39	-17.18	-0.37	-19.01	-17.64	-0.36								
23	8.995	-34.50	-29.06	-0.21	-29.68	-26.96	-0.22	58	22.908	-19.26	-17.28	-0.37	-18.44	-17.41	-0.38								
24	9.393	-31.34	-26.80	-0.22	-28.20	-25.58	-0.23	59	23.305	-19.52	-17.70	-0.37	-18.49	-17.33	-0.38								
25	9.790	-28.02	-24.87	-0.22	-26.14	-24.18	-0.23	60	23.703	-20.43	-18.35	-0.36	-18.64	-17.36	-0.38								
26	10.188	-25.65	-23.40	-0.23	-24.37	-22.97	-0.24	61	24.100	-22.13	-19.16	-0.35	-19.53	-17.60	-0.38								
27	10.585	-24.10	-22.42	-0.24	-23.12	-22.16	-0.25	62	24.498	-24.86	-20.31	-0.34	-20.69	-18.04	-0.38								
28	10.983	-23.13	-21.93	-0.25	-22.31	-21.73	-0.26	63	24.895	-28.02	-21.64	-0.33	-22.79	-18.92	-0.36								
29	11.380	-22.74	-21.79	-0.25	-21.98	-21.69	-0.26	64	25.293	-27.82	-22.87	-0.33	-24.73	-20.22	-0.35								
30	11.778	-22.82	-22.11	-0.26	-22.07	-22.02	-0.26	65	25.690	-24.16	-22.37	-0.32	-24.48	-21.61	-0.34								
31	12.175	-23.45	-22.92	-0.26	-22.54	-22.74	-0.26	66	26.088	-21.08	-20.64	-0.32	-22.12	-22.35	-0.34								
32	12.573	-24.46	-24.00	-0.26	-23.40	-23.60	-0.26	67	26.485	-19.09	-18.65	-0.33	-19.76	-21.53	-0.33								
33	12.970	-26.00	-25.14	-0.26	-24.72	-24.37	-0.26	68	26.883	-17.67	-17.07	-0.35	-18.04	-19.88	-0.34								
34	13.368	-27.99	-25.65	-0.26	-26.14	-24.51	-0.26	69	27.280	-16.92	-15.87	-0.37	-16.79	-18.08	-0.36								
35	13.765	-30.11	-25.30	-0.26	-27.16	-23.76	-0.26	70	27.678	-16.61	-15.01	-0.40	-16.15	-16.51	-0.37								

www.mpi-corporation.com

Conclusion générale & Perspectives

Bilan des travaux de thèse

Cette étude a décrit plusieurs nouvelles topologies d'amplificateurs de puissance SiGe en bande Ku, optimisées en puissance de sortie, rendement, et robustes au TOS actif. Cinq circuits ont été conçus et simulés. Deux d'entre eux ont été mesurés. Les résultats obtenus permettent d'apporter pour la première fois une réponse effective aux deux défis industriels du coût et de l'intégration en montrant qu'il est possible de repousser les trois verrous technologiques associés au cahier des charges de ces travaux.

La première avancée est la conception d'un amplificateur de puissance SiGe compact fonctionnant à 18 GHz, dépassant 27dBm de puissance de sortie à 30°C et 90°C et démontrant une robustesse au TOS 2:1, le tout en simulation et en mesure.

La seconde avancée est la conception du premier amplificateur de puissance SiGe compact à double-équilibre fonctionnant à 18 GHz et dépassant 30dBm de puissance de sortie à 30°C et 90°C, en présentant la meilleure robustesse au TOS actif simulée jusqu'à présent à la connaissance de l'auteur. Ce circuit répond à tous les critères du cahier des charges.

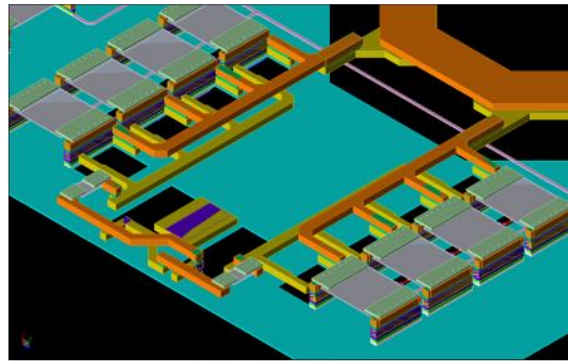
Enfin, la corrélation entre les simulations et les mesures et le travail de rétro-simulation permet de valider une démarche de conception originale et rigoureuse détaillée dans ce manuscrit et contribuent de manière plus globale à une meilleure expertise de la conception des circuits de puissance SiGe au service des prochaines générations de chercheurs-concepteurs.

Perspectives

Une question naturelle à l'issue de ces travaux est « Est-il possible de faire encore mieux en terme de compromis de performances en bande Ku et en technologie SiGe ? ». Il faut adresser cette question à différents niveaux.

D'un point de vue « architecture », il est possible d'envisager une structure stackée de transistors [LIU2015]. L'avantage principal est de rehausser aisément le gain et de répartir une tension plus importante sur les différents étages, de sorte d'amplifier l'excursion en tension de sortie et donc les performances grand signal. L'inconvénient est l'adaptation inter-étages à l'aide d'une inductance qui requiert une surface plus importante et impacte la stabilité du circuit. Une autre possibilité est d'étudier le filtrage d'harmoniques en sortie du balun de sortie pour rejoindre une classe F^{-1} [RED2020] ou une classe AB continue [BOR2020]. Cela permettrait de trouver un meilleur compromis de performances en améliorant la *P.A.E.* sans diminuer le gain et la puissance de sortie. L'inconvénient serait d'augmenter la superficie du circuit. Une étude complémentaire centrée sur la combinaison de puissance et l'échauffement en fréquence submillimétrique est une troisième possibilité pour envisager d'atteindre une puissance de sortie supérieure à 30dBm avec la technologie SiGe.

D'un point de vue « circuit », l'amélioration de la répartition en courant entre les cellules de puissance et entre les transistors est un angle intéressant. Une courte étude est menée pour comparer cinq « arbres de courant » différents et observer leur impact sur la répartition en courant et les performances du circuit (figure 91). L'arbre de référence correspond aux lignes de métal 5 (jaune) et métal 6 (orange) qui relie respectivement les transistors montés en émetteur commun à ceux montés en base commune et ces derniers transistors au balun de sortie.



Arbre de référence

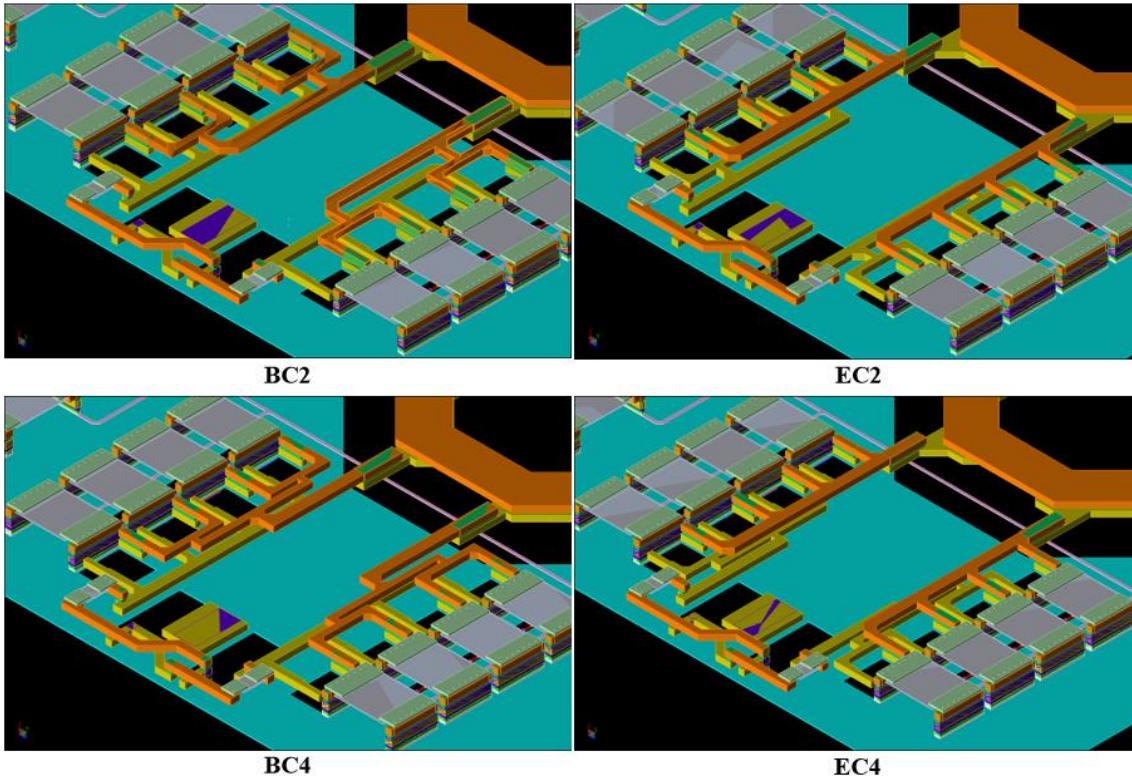


Figure 91: Vues 3D des arbres de courant proposés en pistes d'amélioration au niveau "circuit"

Les arbres BC2 et BC4 conservent la même architecture de métal 5 en proposant respectivement 2 et 3 ramifications de couche de métal pour améliorer la division en courant. Les arbres EC2 et EC4 conservent la même architecture de métal 6 et proposent des architectures de métal 5 avec respectivement 2 et 3 ramifications. Les ramifications de métal sont systématiquement identiques sur les deux voies symétriques.

La figure 92 présente la moyenne, l'écart-type et l'étendue du courant de collecteur des transistors montés en base commune pour chaque arbre au point de fonctionnement à 3dB dans la compression (puissance d'entrée de 6dBm). La valeur d'étendue caractérise la dispersion du courant de collecteur entre les transistors. Ici, elle indique que l'arbre de référence présente l'écart le plus petit entre les valeurs extrêmes de courant. Cette valeur représente néanmoins environ 40% de la valeur moyenne du courant, ce qui reste conséquent. Les valeurs des étendues pour les arbres BC4, EC2 et EC4 sont nettement plus élevées et avoisinent 100% de la valeur moyenne du courant. En revanche, l'arbre BC2 permet une valeur de courant moyen supérieure seulement de 6% pour une augmentation de la valeur d'étendue de l'ordre de 50%.

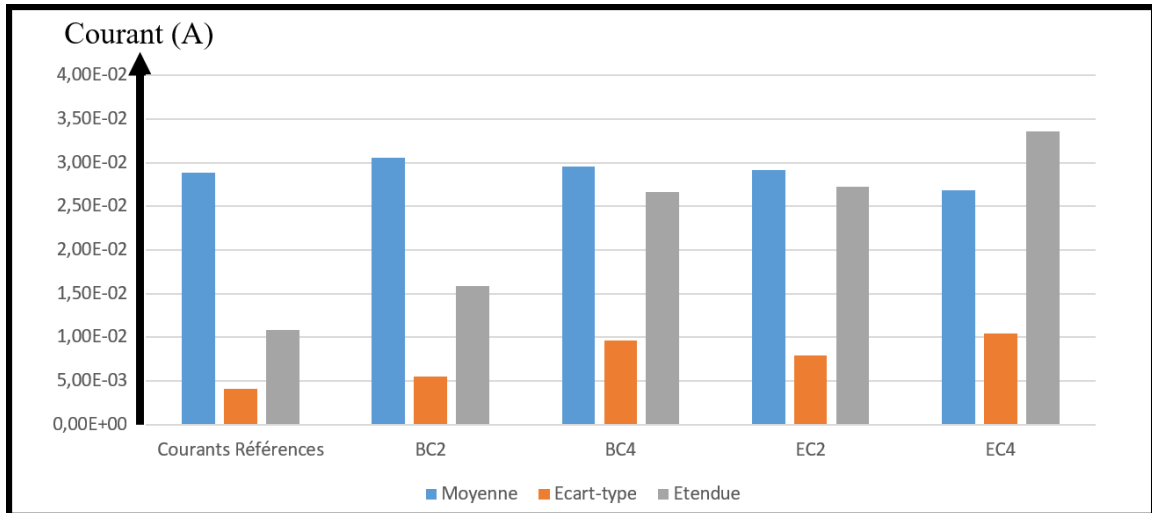


Figure 92: Comparaison des moyennes, des écarts-types et des étendues des courants de collecteur pour la cellule de puissance avec driver à 30°C et à 3dB de compression

La figure 93 décrit les performances simulées de la cellule de puissance simple avec driver obtenues avec cet arbre de courant. Ces performances montrent un gain, une puissance de saturation et une *P.A.E.* maximale respectivement de 22,8dB, 25,8dBm et 34% contre 22,4dB, 25,4dBm et 31,7% respectivement avec l'arbre de référence.

Cela signifie qu'il est bien possible d'optimiser davantage le dessin des circuits pour dépasser les performances de cette étude. Une amélioration des performances grand signal simulées confirme l'intuition d'une amélioration possible des circuits.

En somme, étant donné que l'étendue en courant n'est meilleure en aucun cas, cette courte étude ne permet pas de montrer une meilleure répartition du courant entre les transistors à l'aide d'arbres en courant ramifiés. Cela met plutôt en évidence que l'optimisation de l'adaptation d'impédance du balun de sortie et plus généralement l'amélioration des composants passifs par un meilleur équilibre en amplitude et en phase est une piste d'étude à privilégier.

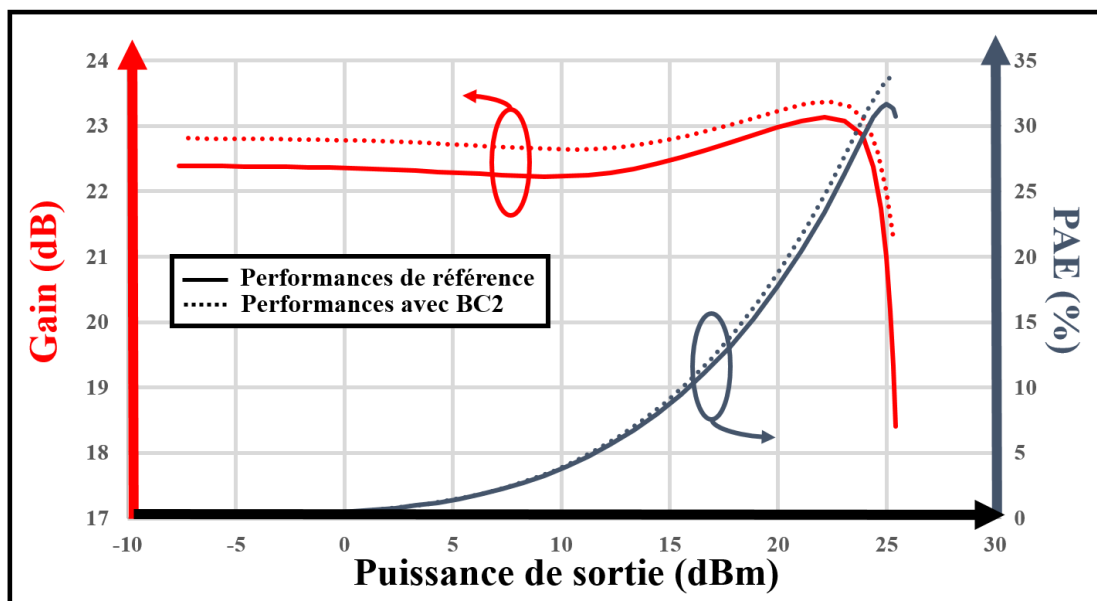


Figure 93: Comparaison des performances simulées de la cellule de puissance avec driver avec l'arbre de courant BC2

Liste des travaux publiés

Colloque français :

- GDR Ondes 2021
 - o B. Coquillas, E. Kerhervé, AC. Amiaud, E. Itcia, L. Roussel, S. Redois, B. Louis and T. Merlet, V. Petit "Amplificateur de Puissance SiGe Robuste aux Variations de TOS en Bande Ku", Neuvième Conférence Plénière du GDR ONDES, Nov. 2021

Conférences internationales avec comité de lecture :

- NEWCAS'2021, IEEE Regions 1-8 interregional flagship conference and networking forum for worldwide engineers and researchers in the field of circuits and systems.
 - o B. Coquillas, E. Kerhervé, E. Itcia, L. Roussel, B. Louis, T. Merlet, "Ku-Band Cascode Balanced SiGe Power Amplifier with High Robustness to Active SWR", 19th conference *IEEE International New Circuits And Systems* (NEWCAS), Toulon, France, Jun. 2021
- EuMIC'2021
 - o B. Coquillas, E. Kerhervé, S. Redois, AC. Amiaud, L. Roussel, B. Louis, E. Itcia, T. Merlet, "A 27dBm Ku-Band SiGe Power Amplifier Working up to 90°C with High Robustness to the 2:1 SWR", 16th conference *European Microwave Integrated Circuit Conference* (EuMIC) London, UK, Apr. 2022
- LASCAS'2022
 - o B. Coquillas, E. Kerhervé, S. Redois, AC. Amiaud, L. Roussel, B. Louis, T. Merlet, V. Petit, "A Highly Compact 1W Ku-Band Power Amplifier", 13th conference *IEEE Latin American Symposium Circuits And System* (LASCAS), Santiago, Chile, Mar. 2022