



HAL
open science

Etude des phénomènes de décharge électrostatique de type modèle de composant chargé dans les circuits intégrés en partant du composant élémentaire jusqu'au boîtier

Chloé Troussier

► **To cite this version:**

Chloé Troussier. Etude des phénomènes de décharge électrostatique de type modèle de composant chargé dans les circuits intégrés en partant du composant élémentaire jusqu'au boîtier. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes [2020-..], 2022. Français. NNT : 2022GRALT040 . tel-03828477

HAL Id: tel-03828477

<https://theses.hal.science/tel-03828477>

Submitted on 25 Oct 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTÉ UNIVERSITÉ GRENOBLE ALPES

Spécialité : **NANO ELECTRONIQUE ET NANO TECHNOLOGIES**

Arrêté ministériel : 25 mai 2016

Présentée par

Chloé TROUSSIER

Thèse dirigée par **Emmanuel SIMEU**
et codirigée par **Jean-Daniel ARNOULD**
et co-encadrée par **Johan BOURGEAT**

préparée au sein du **Laboratoire Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés (TIMA)**
dans l'**École Doctorale Electronique, Electrotechnique, Automatique, Traitement du Signal (EEATS)**

Etude des phénomènes de décharge électrostatique de type modèle de composant chargé dans les circuits intégrés en partant du composant élémentaire jusqu'au boîtier

Study of charged model device like electrostatic discharges stresses phenomena from elementary charged devices to package discharge

Thèse soutenue publiquement le **12 Mai 2022**,
devant le jury composé de :

Bruno ALLARD

Professeur, INSA Lyon (Lyon), Rapporteur

David TREMOUILLES

Chargé de recherche HDR, LAAS (Toulouse), Rapporteur

Florence PODEVIN

Professeur, UGA - TIMA (Grenoble), Présidente

Salvador MIR

Directeur de recherche, UGA - TIMA - CNRS (Grenoble), Examineur

Fabrice CAIGNET

Maître de conférence HDR, LAAS (Toulouse), Examineur

Emmanuel SIMEU

Maître de conférence HDR, UGA - TIMA (Grenoble), Directeur de thèse

Jean-Daniel ARNOULD

Maître de conférence HDR, UGA - TIMA (Grenoble), Co-Directeur de thèse, Invité

Johan BOURGEAT

Docteur, STMicroelectronics Crolles (Crolles), Co-encadrant de thèse, Invité

Remerciements

La thèse présentée dans ce manuscrit a été réalisée dans le laboratoire Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés (TIMA) au sein de l'équipe RMS (Reliable Mixed-signal Systems) en collaboration avec l'équipe ESD de STMicroelectronics Crolles. Les travaux de recherche ont été effectués dans le cadre d'une Convention Industrielle de Formation par la Recherche (CIFRE).

Je souhaite tout d'abord remercier mes directeurs de thèse Emmanuel SIMEU et Jean-Daniel ARNOULD. Leur aide m'a été précieuse lors de la conduite de mes travaux et de la rédaction de ce manuscrit. Ils m'ont permis d'apporter un regard critique sur mes travaux.

Je tiens ensuite à remercier mon encadrant au sein de STMicroelectronics, Johan BOURGEAT. Il m'a accompagnée tout au long de ma thèse. Il était toujours disponible et grâce à lui j'ai pu améliorer mes compétences scientifiques et approfondir mes travaux. Il m'a aussi beaucoup aidée lors de la rédaction de ce manuscrit et ses commentaires m'ont permis d'enrichir mon analyse.

J'aimerais aussi remercier les membres de mon jury de thèse. Tout d'abord, Bruno ALLARD (INSA Lyon) et David TREMOUILLES (LAAS) pour avoir accepté d'être rapporteurs, ainsi que mes examinateurs : Florence PODEVIN (TIMA), Salvador MIR (TIMA) et Fabrice CAIGNET (LAAS).

Je souhaiterais exprimer ma reconnaissance à l'équipe en charge du laboratoire ESD à STMicroelectronics : Florence DAVID, Blaise JACQUIER et Frédéric SOTO. Ils m'ont aidée à réaliser les mesures présentées dans ce manuscrit. Leur aide m'a été précieuse et je suis reconnaissante du temps qu'ils m'ont accordée pour m'apprendre à utiliser les instruments de mesures

J'aimerais aussi remercier pour leur accueil durant ma thèse : Patrice DEHAN, Mathieu FER, Boris HEITZ, Saadia HNIKI, Hanen KONZALI, Alice PIMENTEL et Yohann SOLARO. Ils ont toujours su répondre à mes questions et m'ont toujours aidée. Je voudrais aussi remercier Benjamin VIALE qui n'est plus dans l'équipe. Ses conseils m'ont été précieux au début de ma thèse.

Je remercie également l'équipe FA et plus particulièrement Laurent BULLE pour les analyses de défaillance réalisées, ainsi qu'Alexis POULAIN et Kevin TOURNON pour m'avoir aidé à mettre en boîtier mes circuits de tests.

Enfin je souhaiterais remercier ma famille et mes amis. Mes parents m'ont soutenue et épaulée tout au long de mes études. Mon oncle Ghislain m'a encouragée et ma sœur Alice a passé beaucoup de temps à relire mes travaux, ses conseils m'ont permis d'améliorer la clarté de mes propos et de corriger mes fautes.

Abstract

Integrated circuits are more sensitive to electrostatic discharge (ESD) with the decrease of transistors' sizes and the increase of circuits' complexity. With the growing use of assembly and production line automatization, CDM-like (Charged device model) events are more and more frequent. They occur when a charged component pin is grounded. The charging of the chip is generally due to triboelectricity (friction) or to an electric field (induction). The charges are stored in the package, in the substrate and inside the circuit of the device. When the discharge happens, an intrinsic current lasting a few nanoseconds and with a range of up to 15A is generated. The characteristics of this current are a function of the package used and of the size of the die. The CDM event causes local difference of potentials inside the circuits which can lead to the breakdown of the gate oxide of transistors. Thus defaults can occur in the whole circuits and not just in the periphery like in HBM (Human Body Model) discharges. It is necessary to be able to predict CDM weakness locations inside the components with the help of simulations. The CDM-caused failures appear more often in five specific circuits configurations :

- interconnexion between two power domains
- transistors' gates directly connected to an input/output(IO)
- pass gate transistors connected to an IO
- long connexions between two invertors in the same power domain
- capacitance island (long interconnexion between two cascoded transistors)

This doctoral thesis proposes a systematic approach to the study of these five default contexts in order to determine the elements that increase the change of a CDM default occurring in three different technologies : BICMOS 55nm, CMOS 40nm, and FDSOI 28nm. First, a statistical study was done to evaluate the gate oxide robustness of the transistors during a CDM event for the three processes used. The simulation flow used is presented, and it incorporates the substrate, the package, the ESD protections and the circuit. This allows the emulation of the CDM qualification system employed to measure the CDM robustness. A correlation study between the CDM qualification tests and CC-TLP (Capacitive Coupled Transmission Line Pulse) was conducted. The CC-TLP can indeed reproduce a stress similar to a CDM discharge observed during qualification whilst improving the tests repeatability. All these elements made possible the study of the five CDM weakness configurations. To do this, circuit tests were conceived, simulated,

fabricated and tested in the three technologies used. The good correlation between measurements and simulations allowed to determine which situations were more prone to CDM failures and when to use CDM secondary protections. This resulted in the establishment of a set of guidelines to increase the robustness of circuits during a CDM discharge.

Résumé

Les circuits intégrés sont d'avantage sensibles aux décharges électrostatiques avec la diminution de la taille des transistors et l'augmentation de la complexité des circuits. Avec la part d'automatisation grandissante des chaînes de production et d'assemblage, les événements CDM (Charge Device Model), ou modèle du composant chargé en français, sont de plus en plus fréquents. Ils se produisent lorsqu'une des broches d'un composant chargé, le plus souvent soit par triboélectricité (frottements) ou par induction (champs électrique), entre en contact avec la masse. Les charges sont stockées dans le boîtier, le substrat et dans le circuit de la puce. Lors de la décharge, un courant intrinsèque d'une durée de quelques nanosecondes et d'une amplitude pouvant aller jusqu'à 15A est généré. Les caractéristiques de ce courant sont déterminées par le boîtier utilisé et la taille du circuit. L'événement CDM entraîne localement des différences de potentiels au sein du circuit, ce qui peut causer le claquage d'un oxyde de grille de transistors. L'apparition de défauts peut donc se produire dans tout le circuit. Il est donc nécessaire de pouvoir prédire les lieux de faiblesse CDM au sein des circuits, à l'aide de simulation. Les défauts CDM apparaissent le plus souvent dans cinq configurations de circuits :

- interconnexions entre deux domaines de puissance
- grilles des transistors directement connectés à un plot d'entrée/sortie
- transistors à porte passante connecté à un plot d'entrée/sortie
- longues connexions entre deux inverseurs d'un même domaine de puissance
- capacité isolées (longues connexions entre deux transistors cascodés)

Cette thèse de doctorat propose une étude systématique de ces cinq types de circuits afin de déterminer les éléments qui favorisent l'apparition d'un défaut CDM dans trois technologies différentes : BICMOS 55nm, CMOS 40nm, et FDSOI 28nm. Dans un premier temps, une étude statistique de la robustesse des oxydes de grilles de transistors a permis de déterminer la tension de claquage des transistors fabriqués dans ces trois procédés lors d'un événement CDM. Le flot de simulation CDM utilisé, intégrant le substrat, le boîtier, les protections contre les décharges électrostatiques et le circuit est ensuite présenté. Il permet d'émuler le système de qualification CDM employé pour évaluer la robustesse. Une étude de corrélation entre les tests de qualification CDM et CC-TLP a été effectué. En effet, le CC-TLP permet de reproduire un stress similaire à une décharge CDM observée lors des qualifications tout en améliorant la répétabilité des tests. Tous ces éléments

ont rendu possible l'étude des cinq situations de faiblesse CDM. Pour cela des circuits de test ont été réalisés, simulés, fabriqués et testés dans les trois technologies étudiées. La bonne corrélation entre les mesures et les simulations a permis de préciser quelles situations étaient réellement à l'origine de défauts CDM et de déterminer plus précisément les endroits à protéger. Cela a conduit à l'établissement de règles à suivre pour améliorer la robustesse des circuits vis à vis d'une décharge CDM.

Acronymes

ESD Electrostatic Discharge

CDM Charged Device Model

HBM Human Body Model

IO Input/Output

BICMOS BIpolar Complementary Metal Oxyde Semiconductor

CMOS Complementary Metal Oxyde Semiconductor

FDSOI Fully Depleted Silicon On Insulator

CC-TLP Capacitive Coupled Transmission Line Pulse

ESDA Electrostatic Discharge Association

JEDEC Joint Electron Device Engineering Council

CST Composant Sous Test

DUT Device Under Test

STI Shallow Trench Isolation

MOS Metal Oxyde Semiconductor

GGNMOS Ground Gated N Metal Oxyde Semiconductor

SCR Semiconductor Controlled Rectifier

GND Ground

VDD Voltage Drain Drain

TLP Transmission Line Pulse

REF Réfléchie

INC Incidente

TR Transmise

TDRO-T Time Domain Reflexion Overlaps and Transmission

TL Transmission Line

VF-TLP Very Fast Transmission Line Pulse

TDRS-T Time Domain Reflexion Separate and Transmission

TDR-S Time Domain Reflexion Separate

FICDM Field Induced Charged Device Model

AEC Automotive Electronics Council

GO Gate Oxide

TBD Time to BreakDown

VSS Voltage Source Source

TDDB Time Dependent Dielectric Breakdown

CVS Constant Voltage Stress

RVS Ramped Voltage Stress

SBGA Super Ball Grid Array

PBGA Plastic Ball Grid Array

TDR Time Domain Reflectometry

LGA Land Grid Array

GTP Gate To Pad

I-D Inter-Domaine

PG Pass Gate

LL Longue Ligne

ICap Island Capacitor

DTSCR Diode Triggered Semiconductor Controlled Rectifier

TB Tête-bêche

CC Court-circuit

CI Circuit intégré

Sommaire

Remerciements	iii
Abstract	v
Résumé	vii
Introduction	1
1 Le phénomène CDM dans les nœuds de technologies avancées	5
1.1 Généralités sur les décharges électrostatiques dans les circuits intégrés . . .	10
1.1.1 Modèles de décharge	10
1.1.2 Protection des circuits lors des décharges électrostatiques	14
1.1.3 Caractérisation TLP, VF-TLP et CC-TLP	20
1.2 Modèle du composant chargé	23
1.2.1 Qualification CDM	24
1.2.2 Défauts liés à la décharge de type CDM	25
1.2.3 Protections utilisées	28
1.3 Nœuds technologiques étudiés	29
1.4 Conclusion	30
Références	32
2 Défaillances de l'oxyde lors d'un événement CDM	35
2.1 État de l'art	41
2.1.1 Rappels mathématiques : Statistiques	41
2.1.2 Modèle de casse d'oxyde fin	43
2.1.3 Méthodes de mesure de casse d'oxyde	47
2.1.4 Loi de puissance	49
2.1.5 Mesure de fiabilité sur les oxydes dans le domaine ESD	49
2.2 Étude et caractérisation de la casse d'oxyde dans les domaines de temps équivalent à un événement CDM	51
2.2.1 Description des composants utilisés	51
2.2.2 Protocole expérimental	53
2.2.3 Traitement des données de mesure	55
2.3 Résultats	56
2.3.1 Établissement de la loi de puissance	56

2.3.2	Impact des paramètres étudiés	59
2.4	Conclusion	69
	Références	71
3	Simulation CDM	73
3.1	État de l'art	78
3.1.1	Flots de simulation de la qualification CDM	78
3.1.2	Représentation du substrat lors d'un événement CDM	81
3.1.3	Obtention de la capacité du boîtier	82
3.1.4	Modèles de protection ESD lors d'un événement CDM	84
3.2	Flot de simulation choisi	86
3.2.1	Modélisation des protections ESD	87
3.2.2	Casse des oxydes de grilles	91
3.2.3	Modélisation du substrat	91
3.2.4	Modélisation du boîtier	91
3.2.5	Détermination du résultat de la simulation	92
3.2.6	Utilisation du flot de simulation CDM	92
3.3	Conclusion	96
	Références	98
4	Le CC-TLP : Méthode alternative de mesure CDM?	101
4.1	Comparaison entre la qualification CDM et le test CC-TLP	105
4.1.1	Qualification CDM	105
4.1.2	Banc de test CC-TLP	108
4.1.3	Différences entre le CDM et CC-TLP	112
4.2	Corrélation expérimentale entre le CDM et le CC-TLP	115
4.2.1	État de l'art	115
4.2.2	Établissement du lien de corrélation	117
4.2.3	Discussion	125
4.3	Conclusion	127
	Références	130
5	Circuits à risque lors d'un événement CDM	131
5.1	Grille connectée à une entrée-sortie (GTP)	138
5.1.1	État de l'art	138
5.1.2	Circuits de test	140
5.1.3	Résultats	143
5.1.4	Recommandations	149
5.2	Inter-domaine	150
5.2.1	État de l'art	150
5.2.2	Circuits de test	152
5.2.3	Résultats	155
5.2.4	Recommandations	165
5.3	Grille à porte passante	165
5.3.1	Circuit de test	166
5.3.2	Résultats	167
5.3.3	Recommandations	170

5.4	Longue ligne	170
5.4.1	Circuit de test	171
5.4.2	Résultats	173
5.4.3	Recommandations	175
5.5	Ilot capacitif	175
5.5.1	Circuit de test	176
5.5.2	Résultats	178
5.5.3	Recommandations	180
5.6	Conclusion	180
	Références	183
	Conclusion	185
	Bibliographie	189
	Liste des publications	193

Table des figures

1.1	Niveau de robustesse des composants vis-à-vis d'une décharge électrostatique d'un composant chargé en fonction du nœud technologique [ESD21]	9
1.2	Schéma d'une décharge dite HBM	10
1.3	Schéma du modèle dit HBM	10
1.4	Variation de i_{HBM} en fonction du temps pour plusieurs valeurs de V_{HBM} .	11
1.5	Schéma de principe d'un stress CDM	12
1.6	Schéma du modèle CDM	12
1.7	Variation de i_{CDM} en fonction du temps pour plusieurs valeurs de V_{CDM} .	13
1.8	Variation de i_{ESD} en fonction du temps pour les différents modèles de décharge électrostatique	14
1.9	Fenêtre de conception ESD	15
1.10	Vue de coupe de diodes	16
1.11	Schéma du ggNMOS	16
1.12	Courbe caractéristique d'un ggNMOS en technologie 40nm	17
1.13	Représentation du Thyristor	18
1.14	Schéma de principe de la stratégie de protection ESD dite globale	19
1.15	Schéma de principe de la stratégie de protection ESD dite distribuée	19
1.16	Schéma de principe d'une mesure TLP	20
1.17	Schéma de principe d'une mesure VF-TLP	21
1.18	Schéma de principe d'une mesure CC-TLP	22
1.19	Schéma de principe de la triboélectricité	23
1.20	Schéma de principe du chargement par induction	23
1.21	Schéma de principe du testeur CDM	24
1.22	Schéma de principe du modèle du testeur CDM	24
1.23	Trou dans l'oxyde de grille observé après un événement CDM	26
1.24	Schéma de principe d'une connexion entre deux domaines de puissance . .	26
1.25	Schéma de principe d'une grille connectée à un plot d'entrée/sortie	27
1.26	Schéma de principe d'une connexion longue entre deux inverseurs	27
1.27	Schéma de principe d'un transistor à porte passante connecté à un plot d'entrée sortie	27
1.28	Schéma de principe d'une capacité isolée	28
1.29	Différentes protections CDM locales utilisées	28
2.1	Schéma d'un transistor NMOS avec son oxyde de grille percé vue en coupe	40

2.2	Fonction de masse de la loi de poisson pour plusieurs valeurs de λ	42
2.3	Fonction de répartition de la loi de Weibull avec $k = 1.05$ et $\lambda = 1191ns$	42
2.4	Fonction de répartition de la loi de Weibull sous forme de droite avec $k = 1.05$ et $\lambda = 1191ns$	43
2.5	Détermination des paramètres de la loi de Weibull grâce à l'estimateur du maximum de vraisemblance. Le graphique à gauche illustre les points de mesure obtenus et leur fonction de répartition associé. Celui de droite montre la loi de Weibull identifiée à partir de ses mesures. Les paramètres de Weibull obtenus sont : $k = 1.05$ et $\lambda = 1191ns$	43
2.6	Schéma de principe du modèle de percolation	44
2.7	Diagramme de bande d'un isolant ou d'un semiconducteur. E_C correspond au niveau d'énergie minimal de la bande de conduction, E_V est celui le plus haut de la bande de valence et E_F est le niveau de Fermi.	45
2.8	Diagramme de bande de l'interface grille/substrat d'un transistor pour différentes valeurs de tension de grille. E_{FM} correspond au niveau de Fermi du métal, E_F celui du substrat P, E_C au niveau d'énergie de conduction, E_V au niveau d'énergie de valence, V_G à la tension positive appliquée sur la grille, et Φ_S à la barrière de potentielle du substrat.	46
2.9	Mesure de la tension et du courant d'un transistor lors de la casse de son oxyde de grille. Une impulsion VF-TLP d'une nanoseconde est appliquée à un transistor PMOS en inversion. Le cercle rose sur les courbes de tension et de courant signifie le moment de la dégradation de l'oxyde.	48
2.10	Chronogramme d'un stress CVS et d'un stress RVS	48
2.11	Conversion du temps de stress d'une impulsion VF-TLP en un stress de type CVS en utilisant la loi de puissance trapézoïdale. Une impulsion VF-TLP de 1ns avec une tension moyenne de 5.3V est convertie en une impulsion de tension 5V constante. Avec la loi de puissance classique la durée effective est de 9.93ns, avec la loi trapézoïdale, elle est de 17.18ns.	51
2.12	Schéma de différents types de devices utilisé pour caractériser le comportements des oxydes lors d'un événement CDM. (a) NMOS stressé entre la grille et le substrat, (b) NMOS stressé entre la grille et la source, (c) PMOS stressé entre la grille et la source, (d) PMOS stressé entre la grille et la source avec une résistance série.	53
2.13	Schéma d'un principe du traitement des mesures de casse d'oxyde dans le domaine de temps dans un événement CDM	56
2.14	Détermination du paramètre n de la loi de puissance d'un transistor NMOS GO2 dans la technologie CMOS40. Le n obtenu est de 42.	57
2.15	Loi de puissance d'un NMOS GO2 dans la technologie CMOS40. La tension de casse à 1ns est de 15.4V.	57
2.16	Estimation des lois de puissance des deux transistors NMOS (GO1 et GO2) de la technologie 28FDSOI	58
2.17	Comparaison des lois de Weibull de deux transistors même dimensions mais avec deux épaisseurs d'oxyde différentes en CMOS40 avec une tension de grille de référence de 5V.	59
2.18	Loi de Weibull normalisée pour une aire de $1\mu m^2$. Trois NMOS avec un oxyde d'épaisseur 1.8nm avec des aires différentes : $A = 0.14\mu m^2$, $0.17\mu m^2$ ou $0.84\mu m^2$	60

2.19	Loi de Weibull normalisée pour une aire de $1\mu m^2$. Quatres NMOS avec un oxyde d'épaisseur 1.7nm avec des aires différentes : $A = 3\mu m^2$, $0.6\mu m^2$, $3\mu m^2$, ou $15\mu m^2$	61
2.20	Comparaison des lois de Weibull d'un transistor NMOS et PMOS de même dimension en inversion en C40 avec une tension de grille de 5V.	61
2.21	Comparaison des lois de Weibull de transistors NMOS GO1 dans la technologie 28FDSOI. Certains sont des transistors SOI d'autres des transistors standards noté bulk. Les transistors avec le même numéro (2 et 3) ont la même surface d'oxyde.	62
2.22	Comparaison des lois de puissance de deux transistors NMOS de même dimensions et même oxyde, l'un est standard et l'autre SOI	63
2.23	Courbes Courant-Tension VF-TLP pour les 20 échantillons, NMOS avec un oxyde de 1.8nm et une aire de $0.024\mu m^2$. Tension de grille positive (régime d'inversion fortr pour le NMOS)	63
2.24	Vue de coupe d'un NMOS en inversion (Tension sur la grille positive) . . .	64
2.25	Courbe Courant-Tension VF-TLP d'une diode CDM de type N bloquée . .	64
2.26	Courbes Courant-Tension VF-TLP pour les 20 échantillons. NMOS avec un oxyde de 1.8nm et une aire de $0.024\mu m^2$. Tension de grille négative (régime accumulation pour le NMOS)	65
2.27	Variation de β en fonction du nombre d'échantillons utilisés pour déterminer les paramètres de la loi de Weibull pour un transistor NMOS 28FDSOI avec 40 points de mesure.	66
2.28	Variation de la valeur de β en fonction du nombre d'échantillons utilisés . .	67
2.29	Loi de Weibull pour un PMOS avec un oxyde d'épaisseur 1.8nm et une résistance série. Trois valeurs de résistance choisies : 0Ω , 300Ω et 5000Ω . .	68
2.30	Loi de Weibull pour un PMOS avec un oxyde d'épaisseur 5nm et une résistance série. Trois valeurs de résistance choisies : 0Ω , 300Ω et 5000Ω . .	68
3.1	Vue de coupe d'un exemple de circuit et des différents chemins de décharge possibles (a,b,c,d et e) lors d'un événement CDM.	76
3.2	Evolution de la valeur de courant maximum lors d'une décharge CM en fonction de la valeur de la capacité du boîtier du composant	77
3.3	Schéma du circuit simplifié utilisé dans le flot de simulation [Lee03].	78
3.4	Schéma de principe d'un circuit en utilisant le flot de simulation de qualification CDM développé par [Sow05]	80
3.5	Schéma de principe de l'estimation des capacités parasites du boîtier et de la die par mesures géométriques	82
3.6	Schéma de principe de la mesure de parasites en utilisant un banc TDR . .	83
3.7	Schéma de principe de la mesure des capacités parasites du boîtier et de la die par mesure géométrique	83
3.8	Modèle du fonctionnement du ggNMOS lors d'une décharge CDM présentée par [Zho05]	85
3.9	Tension (à gauche) et courant (à droite) d'une diode N STI en technologie C40 lors d'une impulsion VF-TLP	85
3.10	Flot de simulation du test de qualification CDM	87

3.11	I(V) d'un ggNMOS utilisé comme protection CDM locale dans la technologie B55. Trois caractéristiques sont tracées. La courbe bleue correspond aux résultats de la simulation du comportement du ggNMOS avec les modèles classiques, la rouge représente l'I(V) mesurée avec le banc de test VF-TLP et la verte les simulations après modification du modèle.	88
3.12	Schéma du nouveau ggNMOS utilisé pour les simulations CDM	88
3.13	Courbes de tension VF-TLP aux bornes d'une diode STI N réalisée dans la technologie C40. Trois impulsions VF-TLP sont utilisées pour comparer les résultats des simulations et les mesures. Les mesures sont en pointillées et les simulations en traits pleins.	89
3.14	Caractéristiques de la diode STI N en C40 simulée en vert et mesurée en rouge.	90
3.15	Circuit de test interdomain	92
3.16	Résultats des simulations CDM des différents circuits de test étudiés. Ici, la broche stressée est VDD1 avec une tension de charge de 500V. La ligne rouge correspond au niveau de tension ou de courant à ne pas dépasser (dégradation)	93
3.17	Photographie des ggNMOS (entouré en rouge) dégradés à la suite d'une décharge CDM (+750V sur VDD2) sur le circuit TB STI + ggNMOS	94
4.1	Mesure du courant lors de la qualification CDM d'un composant dans un boîtier SBGA 304 pour des tensions de charge inférieures à 200V	104
4.2	Dispositif de qualification CDM	106
4.3	Schéma de principe du modèle du testeur CDM	106
4.4	Schéma du modèle CDM	107
4.5	Courant de décharge CDM à la suite de la charge à 650V d'un composant mis dans un boîtier LGA64	107
4.6	Schéma de principe du dispositif CC-TLP	108
4.7	Banc de test CC-TLP	109
4.8	Schéma du banc de test CC-TLP	110
4.9	Banc de test CC-TLP sur boîtier	110
4.10	Courant de décharge CC-TLP à la suite de la charge à 550V de la ligne de transmission sur un composant mis dans un boîtier LGA65	111
4.11	Banc de test CC-TLP sur plaque de silicium	111
4.12	Courant de décharge CC-TLP à la suite de la charge à 500V de la ligne de transmission sur un composant sur plaque de silicium	112
4.13	Procédure de test de qualification CDM comparée avec celle de test CC-TLP	113
4.14	Circuit de test utilisé dans [Wol03]	115
4.15	Circuit de test capacité isolée	117
4.16	Circuit de test GTP	118
4.17	Caractérisation VF-TLP d'une diode STI avec des impulsions 1ns avec un temps de 100ps et 200ps	119
4.18	Circuit de test GTP avec protection CDM	120
4.19	Mesures de courant de casse sur les différents circuits de tests - Capacité isolée.	122
4.20	Mesures de courant de casse sur les différents circuits de tests - GTP STI vs Gated.	122

4.21	Courant CC-TLP avant et après la casse pour tous les échantillons mesurés de la configuration GTP gated	123
4.22	Mesures de courant de casse sur les différents circuits de tests - GTP avec protection CDM.	124
4.23	Charges échangées durant les mesures sur les circuits de tests - GTP avec protection CDM.	126
4.24	Mesures de slew rate lors des décharges sur les différents circuits de tests - GTP avec protection CDM.	126
4.25	Énergie des décharges effectuées sur les différents circuits de tests - GTP avec protection CDM.	127
5.1	Circuit de test et les protections secondaires CDM employées dans [Mor09]	138
5.2	Schéma de principe du circuit de test utilisé dans [Ols11]	139
5.3	Schéma de principe du circuit de test utilisé dans [Zho13]	139
5.4	Schéma de principe d'un circuit GTP avec protection CDM secondaire . .	140
5.5	Schéma des circuits de tests développés. Les éléments de couleur sont les composants élémentaires qui sont modifiés d'une version de circuit de tests à une autre.	141
5.7	Procédure de détermination de résultat de simulation CDM réalisé sur la configuration 15.	144
5.6	Comparaison de la robustesse CDM entre les configuration 12 (Diodes primaires STI sans prot. CDM) et 13 (Diodes primaires Gated sans prot. CDM) afin d'observer l'impact du type de diodes ESD primaire utilisé . . .	145
5.8	Comparaison de la robustesse CDM entre les configurations 1 (Témoin, $R_1=300\Omega$), 4 ($R_1=313fF$), 5($R_1=313fF$ sans prot. CDM), 8 ($R_1=100\Omega$) et 14 ($R_1=0\Omega$) afin d'observer l'impact de l'impédance série utilisé	146
5.9	Comparaison de la robustesse CDM entre les configurations 12 (Sans prot. CDM) et 14 ($R_1=0$) afin d'observer l'impact de la présence de protection secondaire	147
5.10	Comparaison de la robustesse CDM entre les configurations 1 (Témoin), 2 (1 diode), 6 (Aire x2 diodes CDM), 7 (Aire x4 diodes CDM) et 15 (protection CDM ggNMOS) afin d'observer l'impact du type et de la valeur de l'impédance série utilisée	147
5.11	Caractéristique d'une diode avec un aire standard et d'une diode avec une aire multipliée par 4	148
5.12	Comparaison de la robustesse CDM entre les configurations 1 (Témoin), 9 (Res. parasite x2), 10 (Res. parasite x2 sans prot. CDM), 11 (Res. parasite x3 sans prot. CDM) et 12 (Sans prot. CDM) afin d'observer l'impact des résistances parasites des rails d'alimentation	149
5.13	Comparaison de la robustesse CDM entre les configurations 1 (Témoin) et 3 ($C_1=262fF$) afin d'observer l'impact de la taille du circuit	150
5.14	Schéma de principe des circuits de test utilisés dans [Abe15].	151
5.15	Schéma de principe des circuits de test réalisés	152
5.16	Impact de la taille du domaine 2 sur la robustesse CDM, lorsque le domaine 1 est très petit	156
5.17	Tension grille-source du transistor M_2 obtenue par simulation en BICMOS55. Décharge de la pin VDD2 avec un courant de décharge CDM de -4A. . . .	157

5.18	Tension grille-source du transistor M_2 obtenue par simulation en 28FDSOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -4A.	157
5.19	Impact de la variation de C_1 sur la robustesse CDM pour les circuits réalisés en 28FDSOI	158
5.20	Tension grille-source du transistor M_2 obtenue par simulation en 28FDSOI. Décharge par la pin VDD1 avec un courant de décharge CDM de -2A.	159
5.21	Impact du type de connexion entre les masse sur la robustesse CDM	160
5.22	Tension grille-source du transistor M_2 obtenue par simulation en 28FDSOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -2A.	161
5.23	Photographie des ggNMOS (entouré en rouge) dégradés à la suite d'une décharge CDM (+750V sur VDD2) sur le circuit 1_5	162
5.24	Variation de la tension de grille du NMOS M_0 en fonction de la résistance des bus d'alimentation. Obtenue par simulation de la configuration CC en BICMOS55 pour une tension de charge de 500V.	163
5.25	Impact de la variation de C_1 sur la robustesse CDM pour les circuits réalisés en 28FDSOI	164
5.26	Tension grille-source du transistor M_0 obtenue par simulation en 28FDSOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -1.6A.	164
5.27	Schéma de principe d'une configuration PG	166
5.28	Schéma de principe d'un circuit PG avec protection CDM secondaire	166
5.29	Résultats des mesures CC-TLP effectuées sur les configurations de test PG en GO1.	168
5.30	Simulation du courant à travers les protections CDM ggNMOS a et b de la configuration ab, avec ou sans résistance série, courant de décharge de -900mA sur IO.	169
5.31	Schéma de principe standard (STD) d'un circuit LL avec protection CDM secondaire	171
5.32	Simulation préliminaire LL réalisée sur un circuit de test sans protection CDM secondaire.	171
5.33	Schéma de principe Entrée-Sortie (E/S) d'un circuit LL avec protection CDM secondaire	172
5.34	Résultats des mesures CC-TLP effectuées sur les configurations de test LL.	174
5.35	Simulation de la tension grille-source des transistors M_2 et M_0 pour une décharge CDM de 4A des configurations 1, 3 et 5	174
5.36	Photographie du trou dans la plaque du bras CC-TLP	175
5.37	Schéma de principe d'une capacité isolée	176
5.38	Schéma de principe des circuits de test de type ICap développé	177
5.39	Résultats des mesures CDM effectuées sur les configurations de test ICap.	178
5.40	Mesures de courant de casse sur les différents circuits de tests - ICap.	178
5.41	Mesures CC-TLP sur IO avec une tension de charge positive	179
5.42	Photographie de l'analyse de défaillance réalisée sur la configuration Cap x2	179
5.43	Photographie de l'analyse de défaillance réalisée sur la configuration Cap x2 + Prot.	180

Table des tableaux

1.1	Valeurs typiques du modèle HBM	11
1.2	Caractéristiques typiques du courant HBM	11
1.3	Valeurs typiques du modèle CDM [Goë05]	13
1.4	Caractéristiques typiques du courant CDM	13
1.5	Niveau de classification ESD pour le standard ANSI/ESDA/JEDEC JS-002-2014 [Ass18]	25
1.6	Résumé des technologies utilisées	30
2.1	Récapitulatif des différentes études de casse d'oxyde	52
2.2	Récapitulatif des différents transistors étudiés en BICMOS55	54
2.3	Récapitulatif des différents transistors étudiés en C40	54
2.4	Récapitulatif des différents transistors étudiés en 28FDSOI	55
2.5	Récapitulatif de principaux paramètres obtenus pour la technologie BICMOS55	58
2.6	Récapitulatif de principaux paramètres obtenus pour la technologie CMOS40	58
2.7	Récapitulatif de principaux paramètres obtenus pour la technologie 28FDSOI	59
3.1	Récapitulatif des procédés utilisés dans [Shu10] pour représenter le comportement d'un composant lors d'une décharge CDM en intégrant le circuit, le substrat et le boîtier	80
3.2	Récapitulatif des avantages et inconvénients des différentes méthodes d'extraction d'éléments parasites du substrat	81
3.3	Résultats des simulations. Les cas en gras correspondent à une casse de la protection CDM. Les divergences entre les mesures et les simulations sont en gris.	95
4.1	Différences entre la qualification CDM et le CC-TLP	114
5.2	Récapitulatif des configurations de test réalisées pour étudier le cas GTP .	142
5.1	Comparaison entre les résultats de mesure et de simulation. L'origine de la défaillance observée durant les simulations est aussi donnée	143
5.3	Récapitulatif de l'étude du contexte I-D effectuée dans [Shu10]	151
5.4	Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2	153
5.5	Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2	153

TABLE DES TABLEAUX

5.6	Récapitulatif des configurations utilisées pour étudier l'impact de la connexion entre les masses	154
5.7	Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2	155
5.8	Récapitulatif des configurations de type porte passante	167
5.9	Récapitulatif des configurations de type longue ligne	173
5.10	Récapitulatif des configurations de type capacité isolée	177

Introduction

Lorsque deux objets portant des charges électriques de signes opposés ou quantités différentes sont proches ou entrent en contact, une décharge électrostatique ou “electrostatic discharge” (ESD) en anglais, se produit. L’intensité de ce type d’événements dépend de l’humidité, de la pression, de la température dans l’environnement, etc... Des arcs électriques peuvent se former lors des décharges dans certaines situations.

Une décharge se produit plus généralement lorsqu’un élément chargé s’approche d’un autre élément qui n’a pas la même charge. Des charges sont alors échangées entre les deux parties créant un courant.

Les ESD sont à l’origine des défaillances d’objets électroniques. Ils causent des dégradations de pistes de métal ou des composants présents sur les circuits imprimés. Au sein des puces électroniques, cela peut se traduire, par exemple, par la destruction de transistors, de couches métalliques ou des oxydes. Les décharges se produisent aussi bien durant les étapes de fabrication que lors du fonctionnement des appareils électroniques et engendrent l’apparition de défauts latents ou la casse des dispositifs.

Afin de protéger les produits, l’industrie du semi-conducteur a mis en place, à partir des années 1970, des mesures de préventions ESD aussi bien au niveau des chaînes de fabrication qu’au sein des composants même. Cela a permis d’augmenter le rendement, la fiabilité et la rentabilité [Tip10]. Le phénomène ESD est donc une problématique importante pour ce secteur.

La diminution de la taille des transistors a augmenté le niveau d’intégration des composants dans les puces électroniques et réduit leur tension d’alimentation et donc leur consommation en énergie. Cela a cependant entraîné une diminution de leur robustesse lors des événements ESD. Les fabricants de composants sont donc contraints de renforcer les mesures de prévention contre ces décharges.

Au début, les décharges électrostatiques étaient plutôt causées par des manipulations de composant par des humains. Cependant, avec la part grandissante d’automatisation dans la chaîne de production de puces et de cartes électroniques, les composants peuvent de plus en plus devenir chargés, soit par frottement sur les diverses lignes d’assemblage, soit en rencontrant un champ électrique. Lorsque l’une de leur broche touche une masse, un événement ESD se produit et toutes les charges stockées sont évacuées par un seul chemin. Ce type d’ESD est appelé CDM (“Charged Device Model” ou modèle du composant chargé). C’est un phénomène complexe. La sévérité de la décharge dépend notamment du boîtier et de la surface du circuit intégré. La majorité des retours clients, dus à des ESD, sont reportés à la suite de ce type de décharge.

Habituellement, les dommages causés par les événements ESD dans les circuits intégrés

se produisent aux niveaux des interfaces d'entrée/sortie des circuits. Cependant, les charges stockées dans les composants sont réparties dans le silicium, le boîtier, le circuit etc... Des défaillances peuvent donc apparaître dans tout le composant. Il est donc très difficile de protéger une puce contre les décharges de type CDM. L'utilisation d'un grand nombre de protections augmenterait significativement la taille des composants et réduirait ainsi ses fonctionnalités, ce qui n'est pas souhaitable. Il est donc important de connaître les zones dans les circuits intégrés les plus sensibles aux événements CDM afin d'optimiser au mieux la prévention de défauts. L'étude de ce phénomène est l'objet de cette thèse.

Le premier chapitre est consacré à la présentation du phénomène CDM dans les technologies avancées. Après une introduction des ESD au sein des composants électroniques, les moyens mis en place pour les protéger sont donnés ainsi que les procédés de mesure pour caractériser les éléments de protections ESD. Ensuite le phénomène CDM est introduit, en commençant par une présentation des moyens de qualification puis des défauts engendrés par ces décharges ainsi que les zones à risque dans les circuits et les protections spécifiques employées pour les prévenir. Enfin la présentation des spécificités des nœuds technologiques utilisées est faite.

Dans le second chapitre, une étude de la fiabilité des transistors des technologies avancées dans le domaine CDM est réalisée. La plupart des défauts observés à la suite d'une décharge CDM sont des dégradations des oxydes de transistors. Le claquage des diélectriques utilisées dans les grilles des transistors est un événement statistique qui dépend de la durée et de la valeur de la tension appliquée à ses bornes. Il est donc important d'étudier le comportement des oxydes lors d'un événement CDM. Les études de fiabilité standard n'intègrent pas des mesures pour des tensions de grille importante durant des courts délais. Elles sont focalisées sur l'étude de la durée de vie d'un transistor et non sa robustesse lors d'une décharge ESD. Tout d'abord un état de l'art est réalisé. Il présente les diverses notions mathématiques et physiques utilisées lors de l'étude ainsi que les modèles utilisés pour la casse d'oxyde fins, les méthodes de mesure de claquages, la loi de puissance et enfin les études de fiabilité d'oxyde faites précédemment dans le domaine ESD. La seconde partie de ce chapitre est dédiée à l'étude et la caractérisation de la casse d'oxyde dans les domaines de temps équivalent à un événement CDM. Pour commencer, les divers transistors employés sont présentés, puis le protocole expérimental est donné avec la façon de traiter les données et d'analyser les résultats.

Le troisième chapitre porte sur la simulation de tests réalisés lors de qualification CDM. Afin de classer la robustesse d'un circuit intégré vis à vis d'un événement CDM, des tests de qualification sont réalisés. Cependant, il faut que le composant soit mis en boîtier, ce qui arrive très tard dans sa fabrication. Des simulations peuvent être utilisées afin de prédire les performances d'une puce vis-à-vis d'une décharge CDM. La première partie de ce chapitre est consacrée à l'état de l'art des simulation CDM. La seconde partie donne le flot de simulation, intégrant le boîtier, le substrat, les modèles des protections ESD et le circuit, qui sera utilisé par la suite. Après une présentation générale de ce flot, les différentes composantes qui le constituent et les diverses approches employées sont discutées.

Le quatrième chapitre s'intéresse au CC-TLP (Capacitive Coupled Transmission Line Pulse). Ce type de test a été développé afin d'obtenir des mesures proches des mesures de qualification, plus répétables. Il permet également de faire des tests directement sur plaque de silicium. Comme les tests CDM, les tests CC-TLP sont des tests réalisés sur une broche. Le courant de décharge généré à un temps de montée fixe de 100ps et l'événement

de 1 ns, ce qui correspond à l'ordre de grandeur des impulsions CDM. La décharge s'effectue après le contact, ce qui améliore la répétabilité des tests. La première partie du chapitre est consacrée à la comparaison entre les mesures CDM et CC-TLP boîtier et CC-TLP sur plaque de silicium. La seconde partie présente l'étude de la corrélation expérimentale réalisée entre le CDM et le CC-TLP. Après un bref état de l'art, la recherche d'un paramètre de corrélation a été faite. Une discussion permet de conclure sur les résultats obtenus.

Le cinquième chapitre est centré sur l'étude des circuits à risque lors d'un événement CDM. Cinq contextes de défaut ont été identifiés à STMicroelectronics : les grilles connectés aux entrées-sorties, les inter-domaines, les transistors à porte passante, les longues lignes et les capacités isolées. Des études systématiques ont été conduites pour chaque type de circuit à risque. Pour cela des circuits simplifiés de ces situations ont été élaborés. L'étude de la robustesse des transistors lors d'une décharge CDM effectuée dans le Chapitre 2, du flot de simulation choisi dans le Chapitre 3 et du CC-TLP dans le Chapitre 4 a permis d'analyser le fonctionnement de ces circuits de test réalisés. Pour chaque contexte d'intérêt des recommandations sur la stratégie de protection seront établies.

Chapitre 1

Le phénomène CDM dans les nœuds de technologies avancées

Sommaire

1.1	Généralités sur les décharges électrostatiques dans les circuits intégrés	10
1.1.1	Modèles de décharge	10
1.1.1.1	Human Body Model	10
1.1.1.2	Charged Device Model	11
1.1.2	Protection des circuits lors des décharges électrostatiques	14
1.1.2.1	Éléments de protection ESD	14
1.1.2.1.1	Fenêtre de conception ESD	14
1.1.2.1.2	Diode	15
1.1.2.1.3	ggNMOS	16
1.1.2.1.4	Transistor MOS	17
1.1.2.1.5	Thyristor	17
1.1.2.2	Stratégie de protection ESD	18
1.1.2.2.1	Stratégie de protection globale	18
1.1.2.2.2	Stratégie de protection distribuée	19
1.1.2.2.3	Stratégie de protection locale	20
1.1.3	Caractérisation TLP, VF-TLP et CC-TLP	20
1.1.3.1	Caractérisation TLP	20
1.1.3.2	Caractérisation VF-TLP	21
1.1.3.3	CC-TLP	22
1.2	Modèle du composant chargé	23
1.2.1	Qualification CDM	24
1.2.2	Défauts liés à la décharge de type CDM	25
1.2.3	Protections utilisées	28
1.3	Noeuds technologiques étudiés	29

1.4 Conclusion	30
Références	32

Figures

1.1	Niveau de robustesse des composants vis-à-vis d'une décharge électrostatique d'un composant chargé en fonction du nœud technologique [ESD21]	9
1.2	Schéma d'une décharge dite HBM	10
1.3	Schéma du modèle dit HBM	10
1.4	Variation de i_{HBM} en fonction du temps pour plusieurs valeurs de V_{HBM}	11
1.5	Schéma de principe d'un stress CDM	12
1.6	Schéma du modèle CDM	12
1.7	Variation de i_{CDM} en fonction du temps pour plusieurs valeurs de V_{CDM}	13
1.8	Variation de i_{ESD} en fonction du temps pour les différents modèles de décharge électrostatique	14
1.9	Fenêtre de conception ESD	15
1.10	Vue de coupe de diodes	16
1.11	Schéma du ggNMOS	16
1.12	Courbe caractéristique d'un ggNMOS en technologie 40nm	17
1.13	Représentation du Thyristor	18
1.14	Schéma de principe de la stratégie de protection ESD dite globale	19
1.15	Schéma de principe de la stratégie de protection ESD dite distribuée	19
1.16	Schéma de principe d'une mesure TLP	20
1.17	Schéma de principe d'une mesure VF-TLP	21
1.18	Schéma de principe d'une mesure CC-TLP	22
1.19	Schéma de principe de la triboélectricité	23
1.20	Schéma de principe du chargement par induction	23
1.21	Schéma de principe du testeur CDM	24
1.22	Schéma de principe du modèle du testeur CDM	24
1.23	Trou dans l'oxyde de grille observé après un événement CDM	26
1.24	Schéma de principe d'une connexion entre deux domaines de puissance	26
1.25	Schéma de principe d'une grille connectée à un plot d'entrée/sortie	27
1.26	Schéma de principe d'une connexion longue entre deux inverseurs	27
1.27	Schéma de principe d'un transistor à porte passante connecté à un plot d'entrée sortie	27
1.28	Schéma de principe d'une capacité isolée	28
1.29	Différentes protections CDM locales utilisées	28

Tableaux

1.1	Valeurs typiques du modèle HBM	11
1.2	Caractéristiques typiques du courant HBM	11
1.3	Valeurs typiques du modèle CDM [Goë05]	13
1.4	Caractéristiques typiques du courant CDM	13
1.5	Niveau de classification ESD pour le standard ANSI/ESDA/JEDEC JS-002-2014 [Ass18]	25
1.6	Résumé des technologies utilisées	30

Les décharges électrostatiques sont à l'origine de casses dans les dispositifs électroniques. Plusieurs types de décharge peuvent survenir à différents moments de la vie d'un dispositif. Ils sont catégorisés suivant s'ils se produisent durant sa fabrication ou son fonctionnement, puis à l'échelle d'une carte électronique ou du composant élémentaire. Pour prévenir de ses dommages des protections sont placées sur les cartes électroniques ainsi qu'au sein des circuits intégrés. De plus, des mesures de protection sont mises en place dans les usines de fabrication afin de réduire la sévérité des décharges qui se produisent. Ces derniers sont plus sensibles aux décharges car ils sont de plus petites tailles. La plupart des casses qu'ils subissent interviennent durant la fabrication des objets électroniques. Deux cas de figure apparaissent alors : lorsqu'un humain se décharge sur le composant ou lorsque le composant lui même chargé entre en contact avec la masse. Avec l'automatisation grandissante des chaînes d'assemblage, le deuxième cas de figure est de plus en plus courant. En effet les composants peuvent se charger par frottement sur les lignes d'assemblage ou en passant dans des champs électriques. La diminution des tailles de transistor a réduit leur robustesse vis-à-vis des décharges électrostatiques [ESD21]. La Figure 1.1 illustre l'évolution de la robustesse des circuits intégrés en fonction du nœud technologique pour la décharge d'un composant chargé. La sévérité d'une décharge électrostatique est caractérisée par un niveau de tension.

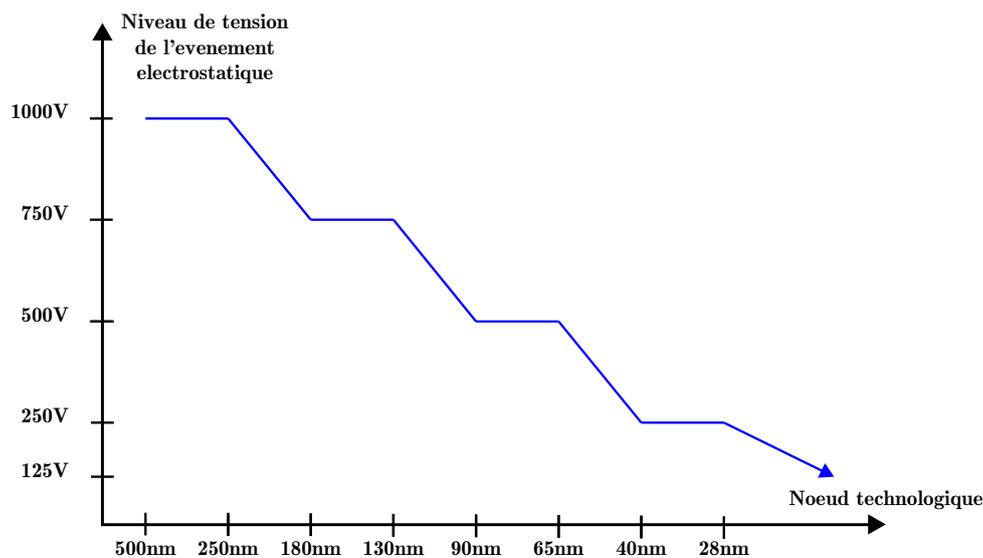


Figure 1.1 : Niveau de robustesse des composants vis-à-vis d'une décharge électrostatique d'un composant chargé en fonction du nœud technologique [ESD21]

Le but de ce chapitre est de présenter les décharges électrostatiques dans les circuits intégrés en particulier le cas du composant chargé dans les nœuds technologiques avancés. Son plan est le suivant. La première partie énonce les généralités sur les décharges dans les circuits intégrés et notamment les divers cas de figure, les solutions pour protéger les circuits ainsi que les outils de mesure employés. La deuxième partie détaille le cas de figure des décharges électrostatiques dans un composant chargé. Et pour finir la dernière partie décrit les différents nœuds technologiques étudiés.

1.1 Généralités sur les décharges électrostatiques dans les circuits intégrés

1.1.1 Modèles de décharge

Il existe deux principaux modèles de décharge électrostatique à l'échelle des circuits intégrés : le "Human Body Model" ou HBM qui correspond au cas où un humain électriquement chargé vient toucher un composant lequel est en contact avec la masse (Figure 1.2) et le "Charged Device Model" ou CDM qui représente la décharge à la masse d'un composant chargé. Ces modèles constituent des représentations de la décharge électrostatique en un circuit électrique composé de résistances, d'inductances et de capacités.

1.1.1.1 Human Body Model

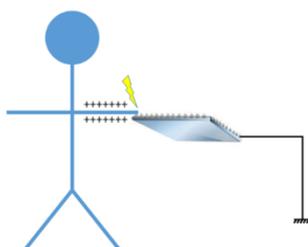


Figure 1.2 : Schéma d'une décharge dite HBM

La Figure 1.2 illustre une situation dans laquelle un humain vient se décharger sur une puce en contact avec la masse. Le modèle HBM représente ce type d'événement. La décharge se fait entre deux broches de la puce, l'une est en contact avec la personne électriquement chargée et l'autre est à la masse. Un courant traverse donc le composant entre ses deux dernières broches. Le standard **ANSI/ESDA/JEDEC JS-001-2017** [Ass17] est utilisé pour qualifier les composants vis-à-vis d'un stress ESD de type HBM. Ce type d'événement électrostatique est modélisé par un circuit RLC (Figure 1.3).

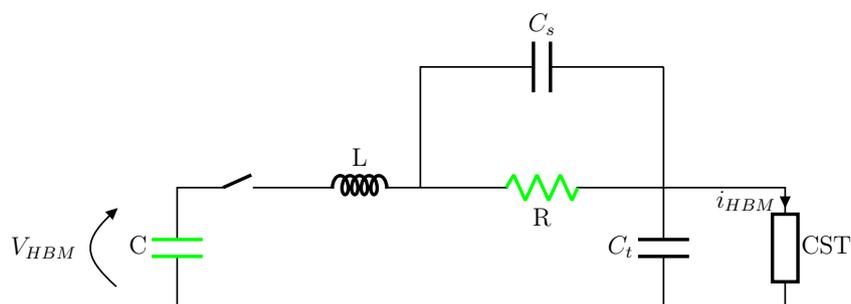


Figure 1.3 : Schéma du modèle dit HBM

Les composants C_s , C_t et L représentent les éléments parasites liés au testeur HBM, C et R modélisent la personne chargée. Le dipôle CST représente le composant sous test. Lors du test de qualification HBM, le condensateur C est chargé à une certaine tension, V_{HBM} , qui caractérise le stress subis par la puce. Cette tension varie et peut atteindre plus de 4kV. Elle est soit positive, soit négative. Une fois le condensateur chargé, le relai

1.1. GÉNÉRALITÉS SUR LES DÉCHARGES ÉLECTROSTATIQUES

du testeur se ferme sur la broche que l'on veut tester avec le condensateur chargé. Cela correspond à la fermeture de l'interrupteur sur la Figure 1.3. Les valeurs typiques des différents éléments du modèle sont présentées dans la Table 1.1.

Nom	C	R	L	C_t	C_s
Valeur Typique	$100pF$	$1,5k\Omega$	$5 - 12\mu H$	$20 - 95pF$	$1 - 3pF$

Table 1.1: Valeurs typiques du modèle HBM

Le courant traversant le composant résultant d'un événement de type HBM s'exprime de la façon suivante :

$$i_{HBM}(t) = \frac{V_{HBM}}{R} e^{-\frac{t}{RC}} \left(1 - e^{-\frac{R}{L}t}\right) \quad (1.1)$$

Les stress de type HBM sont caractérisés par trois grandeurs : I_{PEAK} , valeur maximum du courant $i_{HBM}(t)$; τ_r , temps de montée de 10 à 90% de I_{PEAK} ; et la durée de l'événement, Δt . Leurs valeurs typiques sont résumées dans la Table 1.2.

Grandeur caractéristique	I_{PEAK}	τ_r	Δt
Valeur typique	quelques ampères	1-10ns	quelques centaines de ns

Table 1.2: Caractéristiques typiques du courant HBM

La Figure 1.4 représente le tracé de $i_{HBM}(t)$ pour plusieurs valeurs de stress V_{HBM} .

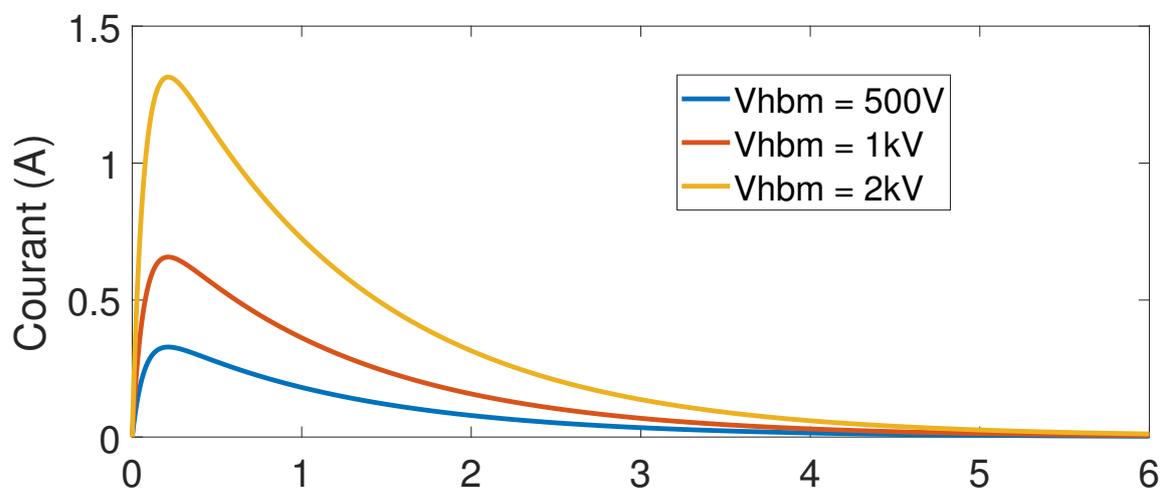


Figure 1.4 : Variation de i_{HBM} en fonction du temps pour plusieurs valeurs de V_{HBM}

Les événements HBM sont donc des événements en courant caractérisés par un régime très amorti. L'énergie reçue par le composant durant le stress HBM est très importante.

1.1.1.2 Charged Device Model

Le CDM représente la décharge d'un composant électronique électriquement chargé à travers une des broches d'une puce connectée à la masse. La Figure 1.5 illustre ce cas de figure.

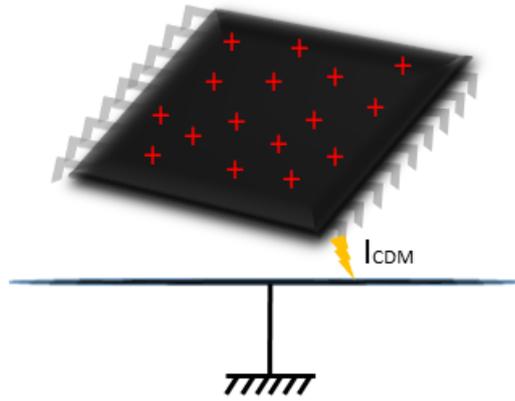


Figure 1.5 : Schéma de principe d'un stress CDM

L'événement CDM est caractérisé par un courant de forte intensité et rapide. En effet, lorsque la puce entre en contact avec la masse, toutes les charges stockées dans le composant sont déchargées quasi-instantanément vers la masse, à travers une unique broche. Ces décharges peuvent être positives ou négatives en fonction de la tension de charge appliquée au composant. Les tests de qualification CDM sont réalisés en venant décharger un composant chargé à l'aide d'une pogo pin (pointe de test) reliée à la masse. Pendant le rapprochement de la sonde de test et du composant chargé, il est possible qu'un arc électrique se forme lorsque la pointe est très près de la broche à tester. Un stress de type CDM peut être modélisé par un circuit RLC [Goë05]. La Figure 1.6 montre le circuit équivalent d'un test de qualification CDM. L'inductance L , la résistance R et la capacité C_{PLT} sont des parasites liés au testeur et aux conditions de test. C_{DUT} correspond à la capacité parasite formée entre le composant sous test et le testeur CDM.

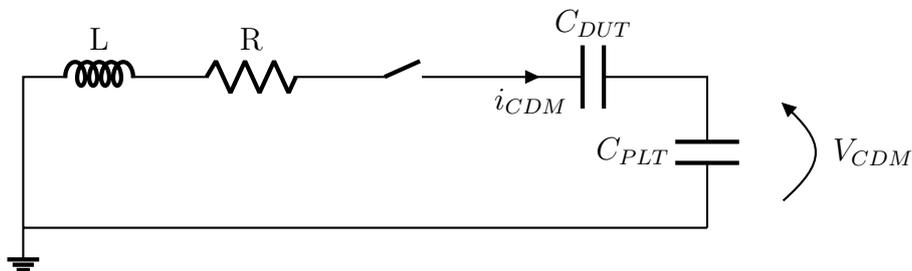


Figure 1.6 : Schéma du modèle CDM

Les condensateurs C_{DUT} et C_{PLT} sont en série donc le condensateur équivalent est :

$$C_{EQ} = \frac{C_{DUT}C_{PLT}}{C_{DUT} + C_{PLT}}$$

D'après [Goë05], l'inductance liée à la pointe de test est autour de 5-7nH, la résistance équivalente de l'arc électrique vaut entre 9 et 25 Ω . En général C_{EQ} a des valeurs de l'ordre de quelques pF à quelques dizaines de pF (cf Table 1.3).

Le courant généré lors de la décharge du composant sous test peut s'exprimer de la façon suivante :

$$i_{CDM}(t) = V_{CDM} \sqrt{\frac{C_{EQ}}{L}} e^{-\frac{R}{2L}t} \sin\left(\frac{t}{\sqrt{LC_{EQ}}}\right) \quad (1.2)$$

1.1. GÉNÉRALITÉS SUR LES DÉCHARGES ÉLECTROSTATIQUES

Nom	C_{EQ}	R	L
Valeur Typique	1 – 40pF	9 – 25Ω	5 – 7nH

Table 1.3: Valeurs typiques du modèle CDM [Goë05]

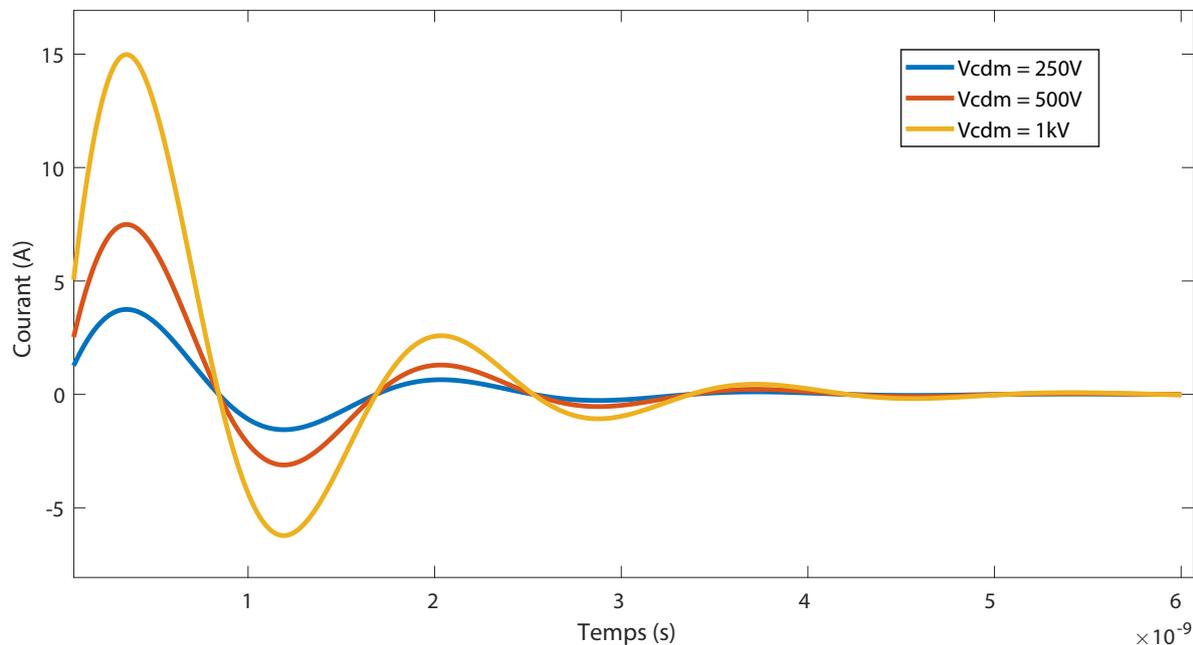


Figure 1.7 : Variation de i_{CDM} en fonction du temps pour plusieurs valeurs de V_{CDM}

La Figure 1.7 représente le tracé de $i_{CDM}(t)$ pour plusieurs valeurs de stress V_{CDM} , avec $L = 6,6nH$, $R = 20\Omega$ et $C_{EQ} = 20pF$. La valeur du courant CDM généré lors de la décharge dépend du circuit sous test, contrairement à une décharge de type HBM.

Les stress de type CDM sont caractérisés par trois grandeurs : I_{PEAK} , valeur maximum du courant $i_{HBM}(t)$; τ_r , temps de montée de 10 à 90% de I_{PEAK} ; et la durée de l'événement, Δt . La Table 1.4 indique les ordres de grandeurs typiques de ses paramètres. Contrairement

Grandeur caractéristique	I_{PEAK}	τ_r	Δt
Valeur typique	jusqu'à quelques dizaines d'ampères	100-400ps	$< 3ns$

Table 1.4: Caractéristiques typiques du courant CDM

aux décharges de type HBM indépendantes du circuit, le courant généré lors des événements CDM dépendent du circuit stressé. D'un composant à l'autre, le courant i_{CDM} résultant pour une tension de charge donnée sera différent.

Les événements CDM sont donc des événements en courant caractérisés par des oscillations amorties. L'événement est très rapide et le courant traversant la puce est important. Les défauts liés au stress CDM seront plutôt dus au déplacement très rapide des charges qu'à la quantité d'énergie transmise à la puce comme dans le cas HBM.

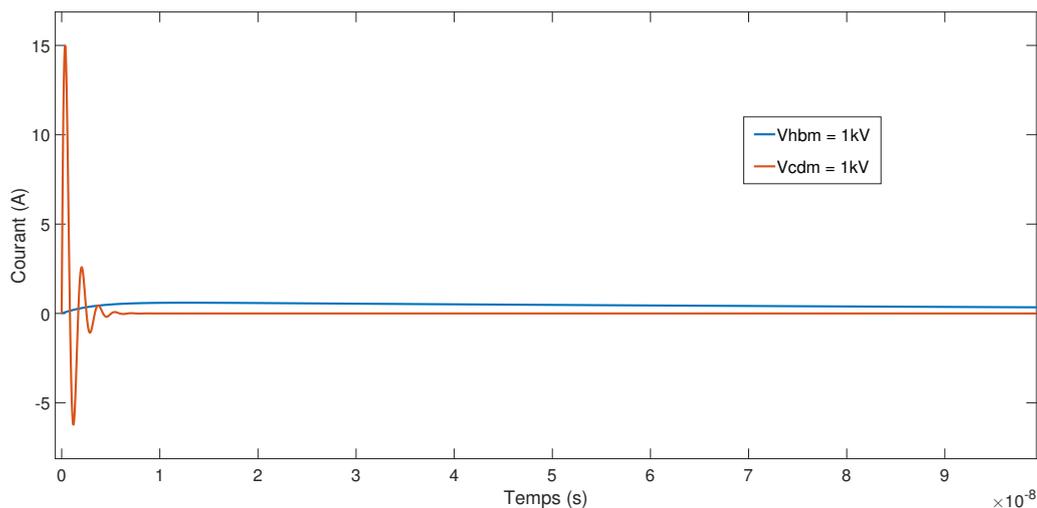


Figure 1.8 : Variation de i_{ESD} en fonction du temps pour les différents modèles de décharge électrostatique

La Figure 1.8 montre les différents courants des deux modèles ESD présentés. Elle met en évidence que l'événement CDM est très rapide par rapport au HBM, et que le pic de courant I_{PEAK} est plus important pour ce type d'événement.

L'emploi de protections au sein des circuits intégrés permet d'améliorer la robustesse de ces derniers lors d'une décharge. La partie suivante détaille le fonctionnement de ses dispositifs.

1.1.2 Protection des circuits lors des décharges électrostatiques

Les protections sont utilisées à l'échelle du circuit entier pour prévenir les défaillances à la suite d'un événement ESD. Plusieurs stratégies différentes peuvent être mises en place dans ce but. Elles s'appuient sur l'utilisation d'éléments de protection ESD.

1.1.2.1 Éléments de protection ESD

Afin de préserver les circuits intégrés des décharges électrostatiques subies, des éléments des protections ESD peuvent être incorporés au sein des composants. Ces protections doivent répondre à deux principaux critères : protéger le circuit et ne pas perturber le fonctionnement normal du circuit ("latch-up").

1.1.2.1.1 Fenêtre de conception ESD

La Figure 1.9 représente la fenêtre de conception des protections ESD qui illustre les contraintes que doivent respecter les protections ESD. Les caractéristiques des protections doivent se situer entre les deux lignes en pointillés représentant la tension de fonctionnement V_{DD} avec une marge de 10% et la tension de claquage avec une marge de 10%. Le point de casse de la protection doit être au dessous du niveau de courant ESD visé.

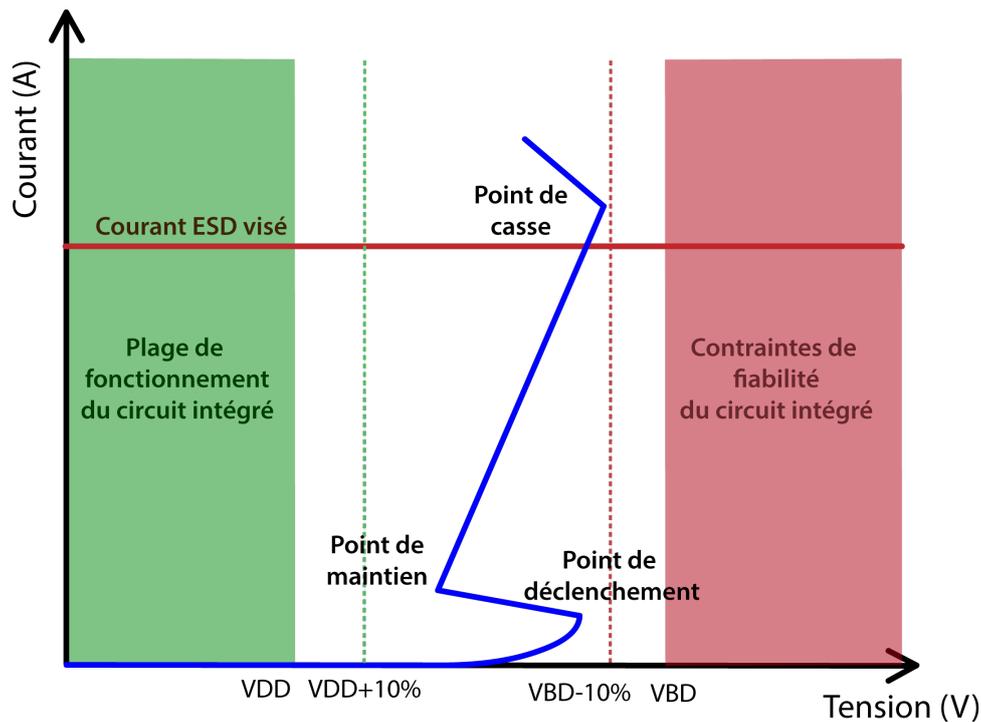


Figure 1.9 : Fenêtre de conception ESD

Certaines protections sont dites à “retournement” ou “snapback” en anglais. Leur caractéristique est représentée par la courbe bleue sur la Figure 1.9. La protection se déclenche lorsque la tension à ses bornes dépasse une tension de seuil, c’est le point de déclenchement. Puis, elle se “retourne”, c’est-à-dire que la tension à ses bornes diminue, jusqu’à atteindre son point de maintien. La protection a ensuite un comportement résistif avant d’arriver à son point de casse.

1.1.2.1.2 Diode

Les diodes sont souvent utilisées comme élément de protection contre les décharges électrostatiques. Elles jouent le rôle d’interrupteur unidirectionnel capable de rediriger le courant d’une décharge vers les plans de masse et d’alimentation.

Fonctionnement :

Lorsqu’une tension positive est appliquée, la diode ou jonction PN est passante une fois la tension de seuil dépassée. Elle se comporte alors comme un interrupteur avec une résistance dynamique R_{ON} très faible. Au contraire, dans le cas où une tension négative est appliquée, la diode est bloquée. Si la tension est plus basse que la tension de claquage de la diode, elle entre dans le régime dit d’avalanche, c’est-à-dire qu’elle a un comportement résistif avec un paramètre R_{ON} important. De plus, dans ce régime, la diode est plus fragile et se dégrade plus facilement.

Par la suite, deux types de diode seront utilisés : les diodes STI (“Shallow Trench Isolation”) (Figure 1.10a) et les diodes Gated (Figure 1.10b).

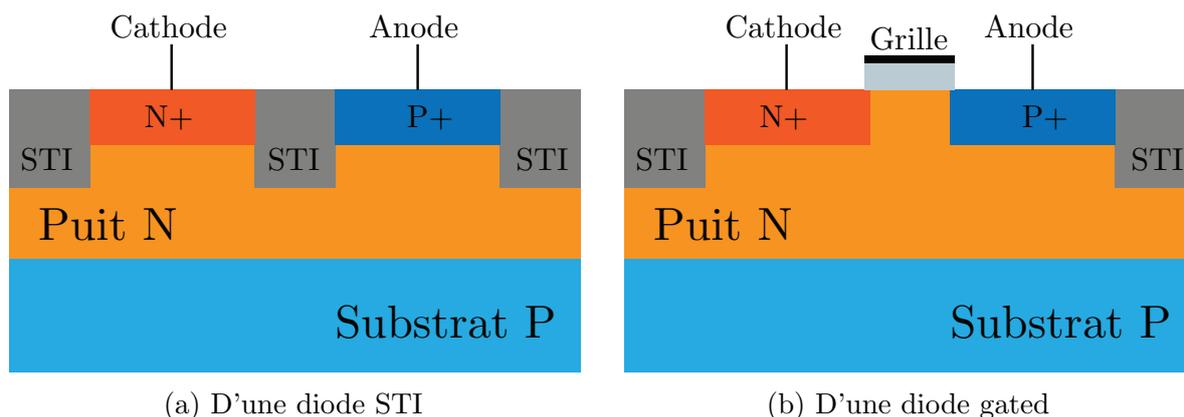


Figure 1.10 : Vue de coupe de diodes

Les diodes STI sont des jonctions PN séparées par des tranchées isolantes tandis que les diodes Gated sont constituées des jonctions PN entremêlées de zones de diélectrique avec grille.

1.1.2.1.3 ggNMOS

Les ggNMOS ou “ground gate NMOS” sont souvent utilisés comme protection ESD. Ce sont des transistors NMOS dont la grille, la source et la prise substrat sont connectées à la masse (Figure 1.11a). Un transistor bipolaire parasite NPN est intrinsèquement présent, comme montré dans la Figure 1.11b. Le drain du NMOS constitue le collecteur du bipolaire, la source est l'émetteur et le substrat correspond à la base. Une résistance, notée R_{sub} sur la Figure 1.11b, due à la distance entre la prise substrat et le transistor NPN parasite intervient aussi dans le comportement de la protection. Dans un ggNMOS, la conduction est volumique ce qui permet d'avoir des protections de plus petites tailles par rapport aux protections avec une conduction surfacique comme par exemple un transistor MOS. L'équivalent de cette protection avec un PMOS existe mais elle est peu utilisée car le PNP parasite est moins efficace que le NPN.

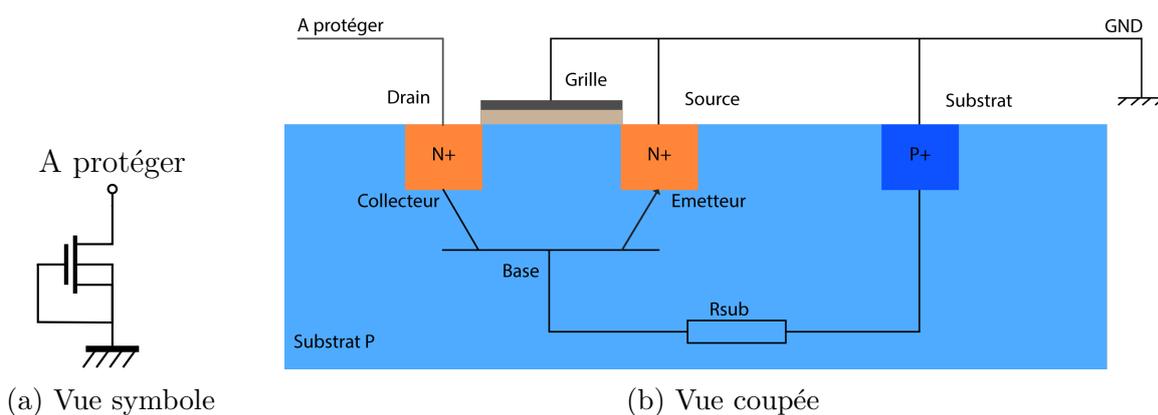


Figure 1.11 : Schéma du ggNMOS

Fonctionnement :

Lorsque le circuit est en fonctionnement, le transistor NMOS est bloqué et ne modifie donc pas le comportement du composant. Lors d'une décharge positive, la tension

aux bornes du ggNMOS augmente jusqu'à atteindre une tension de seuil et un courant d'électrons au niveau de la jonction base-collecteur du NPN parasite est généré. Une fois cette valeur atteinte, le NPN se déclenche et la tension du ggNMOS diminue jusqu'à atteindre une tension de maintien. Le transistor devient passant avec une résistance assez faible. Un exemple de caractéristique d'un ggNMOS est présenté sur la Figure 1.12. Lors d'une décharge négative, le NMOS devient passant.

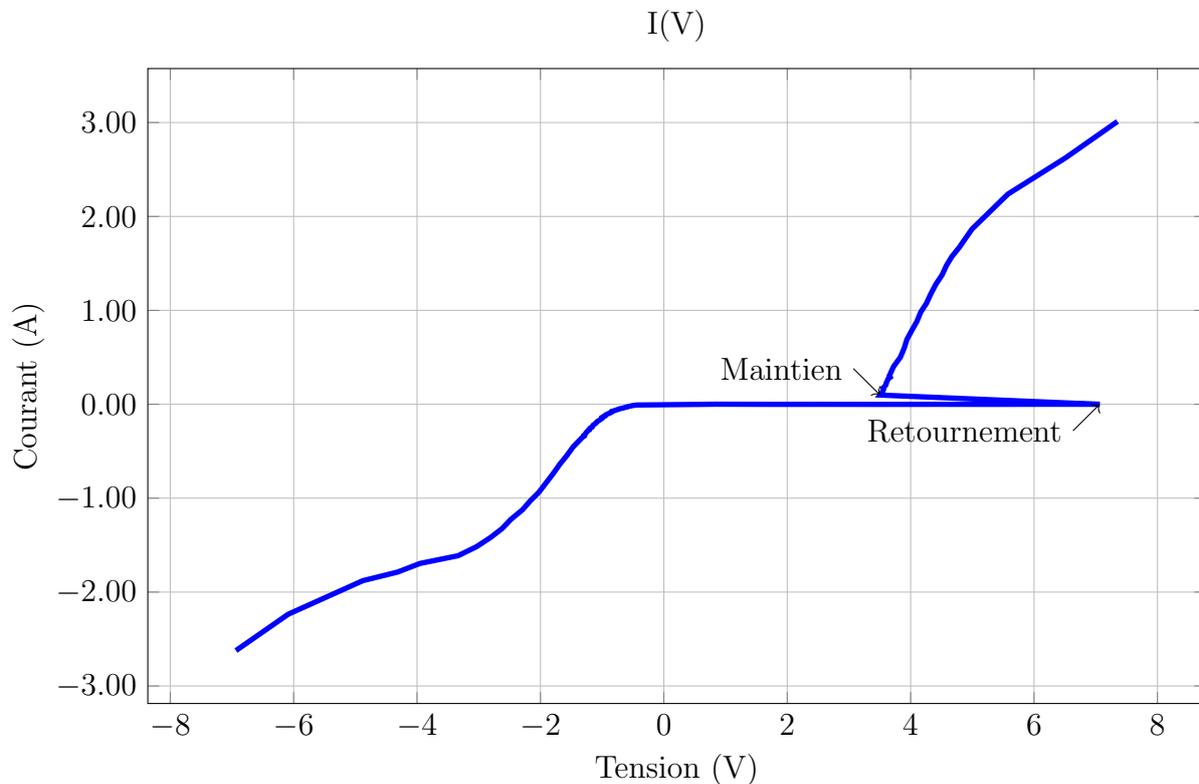


Figure 1.12 : Courbe caractéristique d'un ggNMOS en technologie 40nm

1.1.2.1.4 Transistor MOS

Un transistor MOS peut être utilisé comme un interrupteur et ainsi dériver le courant lors d'une décharge ESD. Il est nécessaire d'utiliser un circuit de déclenchement afin de commander la grille de ce transistor lorsqu'un événement de type ESD est détecté dans le circuit.

Fonctionnement :

Lors du fonctionnement normal du circuit, le transistor est bloqué et se comporte comme un interrupteur ouvert. Dans le cas d'une décharge ESD, le circuit de déclenchement va rendre le transistor passant et lui permettre de dévier le courant généré par la décharge.

La conduction dans ce type de composant est surfacique. Leur taille est donc assez grande afin de pouvoir dissiper l'énergie thermique résultante d'une décharge ESD. La résistance à l'état passant est aussi élevée. Les transistors MOS ont l'avantage d'être facilement contrôlables.

1.1.2.1.5 Thyristor

Un thyristor peut aussi être utilisé pour protéger les circuits des décharges électrostatiques.

Le thyristor ou SCR (“Semiconducontor Controlled Rectifier”) est composé de deux transistors PNP et NPN inter-connectés comme illustré par la Figure 1.13.

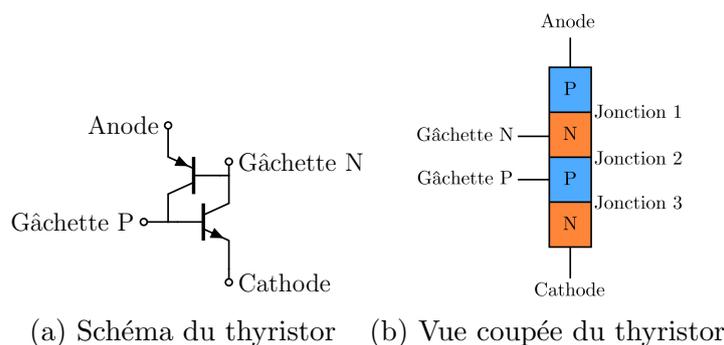


Figure 1.13 : Représentation du Thyristor

Fonctionnement :

Le thyristor se déclenche lorsque la jonction centrale, J_2 sur la Figure 1.13b, entre en avalanche ce qui entraîne l’injection de porteurs de charges dans les bases des transistors NPN et PNP du dispositif. Il devient alors conducteur et un phénomène de retournement se produit ensuite dans le composant jusqu’à ce que le courant à travers ce dernier atteigne une valeur dite de maintien. Puis le thyristor adopte un comportement résistif avec une résistance dynamique R_{ON} faible.

La caractéristique d’un thyristor ressemble à celle d’un ggNMOS mais avec une valeur de la résistance dynamique R_{ON} plus faible. Ce sont des protections très robustes vis-à-vis des décharges électrostatiques à fort courant. Cependant la tension nécessaire à appliquer au dispositif pour l’allumer est souvent supérieur à la tension de casse des transistors à protéger dans les technologies avancées et la tension de maintien peut se trouver dans la plage de fonctionnement du circuit et donc être à l’origine de phénomènes de “latch up”. L’ajout d’un circuit spécifique, qui active le thyristor lors d’un événement ESD, permet de baisser la tension de déclenchement de la protection.

Différents éléments utilisés dans les circuits intégrés ont été présentés. La partie suivante va permettre de détailler les différentes approches de protection ESD à l’échelle du circuit intégré, appelées stratégie de protection ESD.

1.1.2.2 Stratégie de protection ESD

La stratégie de protection déployée au sein d’un circuit intégré a pour but de le protéger contre une décharge survenant sur n’importe quel plot ou entre n’importe quelle combinaison de plots pour toute polarité. Elle doit aussi permettre au composant de remplir ses spécifications de robustesse ESD, électrique (courant de fuite, capacité parasite...), surfacique. Il faut aussi qu’elle tienne compte des caractéristiques des éléments de protections élémentaires utilisés dans l’élaboration de la stratégie de protection à l’échelle du circuit entier. Il existe trois approches différentes de stratégie de protections contre les décharges électrostatiques : une approche globale, distribuée et enfin locale.

1.1.2.2.1 Stratégie de protection globale

La Figure 1.14 représente le schéma de principe d’une stratégie de protection ESD globale. Des diodes relient les plots d’entrée/sortie avec les bus d’alimentation et de masse.

1.1. GÉNÉRALITÉS SUR LES DÉCHARGES ÉLECTROSTATIQUES

Elles permettent de rediriger le courant généré par la décharge électrostatique vers ses derniers. Des clamps ESD sont placés à intervalle régulier entre la masse et l'alimentation afin de dissiper le courant. Par exemple, lors d'une décharge positive de type HBM entre

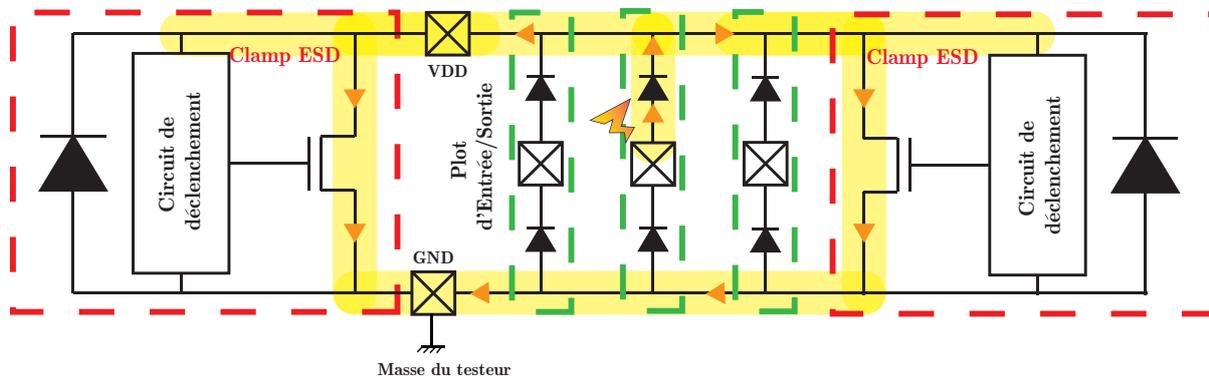


Figure 1.14 : Schéma de principe de la stratégie de protection ESD dite globale

le plot d'entrée/sortie et la masse (ici le plot GND), la diode entre le plot d'entrée/sortie est bloquée et la diode entre le plot et le bus d'alimentation conduit le courant vers ce dernier jusqu'aux protections dites centrales (clamps). Cette situation est représentée sur la Figure 1.14 par les traits jaunes. La distance entre deux clamps est déterminée par la chute de tension sur le rail d'alimentation ou de masse en fonction du niveau de courant ESD que le composant doit pouvoir supporter.

1.1.2.2 Stratégie de protection distribuée

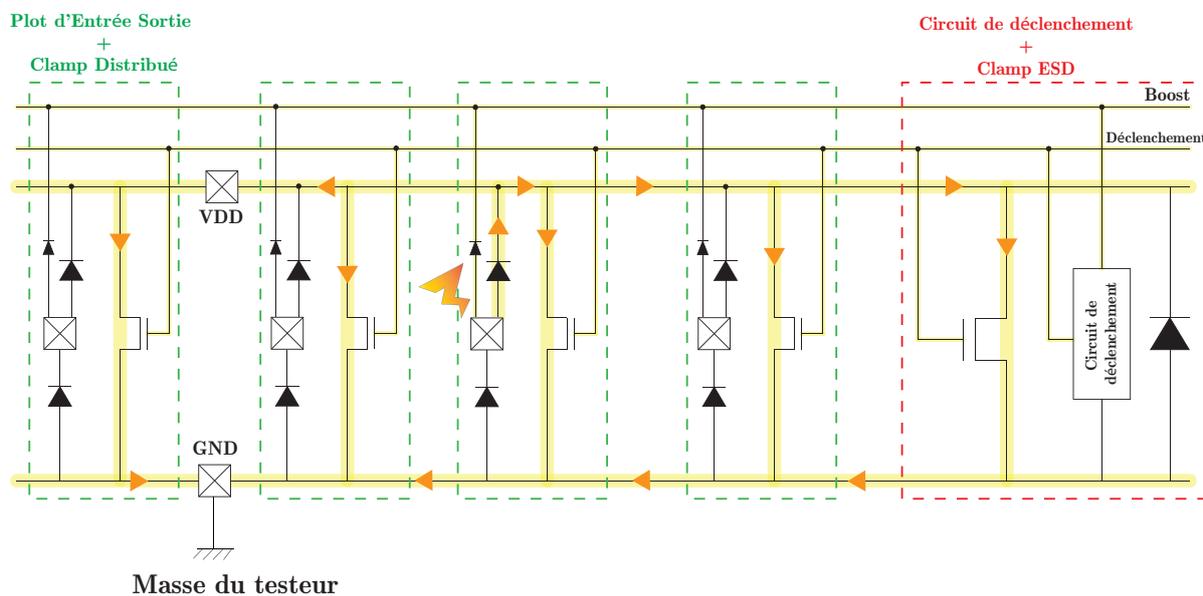


Figure 1.15 : Schéma de principe de la stratégie de protection ESD dite distribuée

La stratégie de protection distribuée contre les décharges électrostatiques repose sur l'utilisation de petit clamp ESD, dit distribué, dans chaque plot d'entrée/sortie de la puce couplée avec un clamp ESD central accompagné d'un circuit de déclenchement. Cette

méthode permet d'utiliser moins de protections centrales car une partie du courant généré par la décharge est dissipée dans les clamps distribués.

La Figure 1.15 illustre le principe de la stratégie de protection ESD dite distribuée. Lors d'un événement ESD positif de type HBM entre le plot d'entrée/sortie et la masse (ici le plot GND), par exemple, les petites diodes placées entre le signal "Boost" et le plot d'entrée/sortie permettent de rediriger une petite partie du courant de décharge vers le circuit de déclenchement de la protection centrale. Le circuit de déclenchement envoie ensuite un ordre aux MOS des protections distribuées et du clamp central de s'allumer afin de dissiper le courant de décharge. La diode ESD entre VDD et le plot d'entrée/sortie transmet la majeure partie du courant de la décharge vers le bus VDD et ensuite vers les différents MOS de protections. Le chemin du courant est illustré en jaune sur la Figure 1.15.

1.1.2.2.3 Stratégie de protection locale

Il est possible d'utiliser des protections locales bidirectionnelles au niveau des plots d'entrée/sortie. Cette approche est cependant souvent plus coûteuse en place comme aucune structure de puissance mutualisée n'est employée. Cette solution est en générale réservée aux circuits intégrés analogues et au plot d'alimentation.

1.1.3 Caractérisation TLP, VF-TLP et CC-TLP

Pour évaluer le fonctionnement des protections contre les décharges électrostatiques utilisées dans les circuits, elles sont caractérisées en utilisant des générateurs d'impulsions de durées proches de celles des événements ESD ou avec des énergies similaires. En effet, la dégradation d'un composant est souvent fonction de la durée du stress soumis.

1.1.3.1 Caractérisation TLP

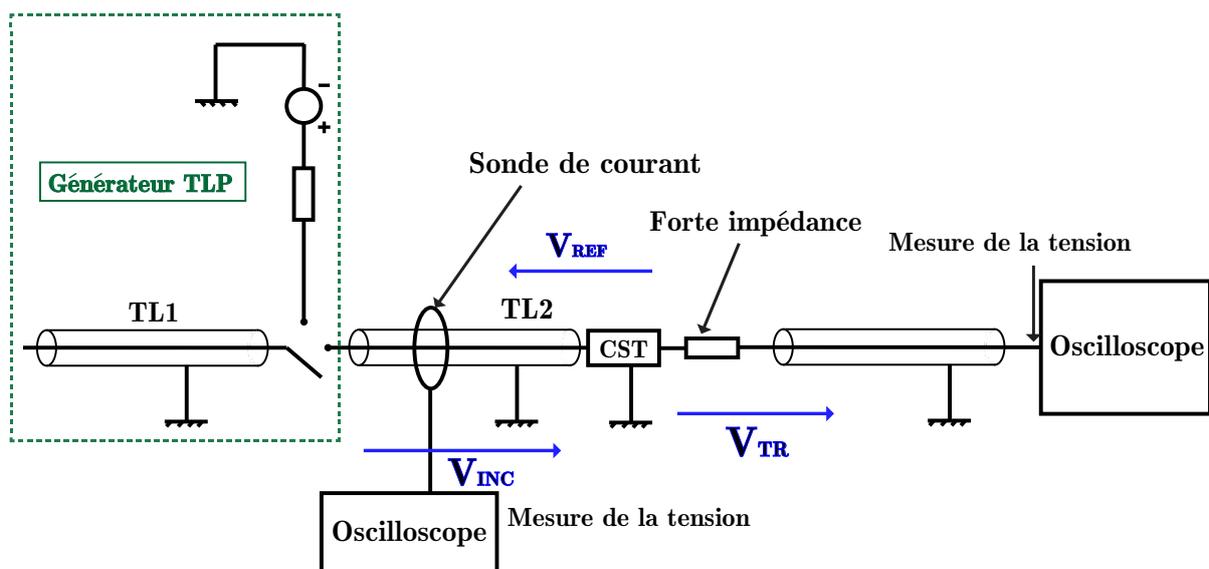


Figure 1.16 : Schéma de principe d'une mesure TLP

Les dispositifs TLP [Vol03] ou "Transmission Line Pulse" sont capables de générer des impulsions de l'ordre de la centaine de nanoseconde avec des temps de montée de 10 nanosecondes. Ils permettent de soumettre un dispositif à un stress similaire à une décharge de type HBM. L'énergie d'un pulse TLP est équivalente à celle d'une décharge HBM.

Le schéma présenté sur la Figure 1.16 illustre le principe de fonctionnement d'une mesure dite TLP de type TDRO-T ("High-Z Time Domain Reflexion Overlaps and Transmission"). Un générateur haute-tension vient charger une ligne de transmission (TL_1 sur la Figure 1.16) dont la taille dépend de la durée de pulse désirée. Une fois la ligne chargée, un interrupteur vient déconnecter la ligne chargée du générateur haute-tension et la connecter à une seconde ligne de transmission (TL_2 sur la Figure 1.16), elle même reliée au composant sous test ou CST. La TL_1 permet de stocker l'énergie statique que l'on souhaite générer. Le courant entrant dans le CST est mesuré à l'aide d'une sonde de courant. Une forte impédance est branchée sur le CST afin de mesurer la tension transmise à ses bornes qui est ensuite enregistrée par l'oscilloscope. Le courant et la tension aux bornes du composant sont ainsi mesurés durant tout le pulse TLP. Afin d'obtenir le point de fonctionnement quasi-static du CST, la tension et le courant du CST sont enregistrés et moyennés entre 75% et 85% de la durée du pulse. Pour obtenir la caractéristique quasi-statique d'un dispositif, celui-ci est soumis à plusieurs pulses TLP avec des tensions de charges croissantes. Le point de fonctionnement résultant pour chaque pulse est enregistré. Le processus est répété jusqu'à la casse. Il est alors possible de tracer la caractéristique du composant.

1.1.3.2 Caractérisation VF-TLP

Les générateurs VF-TLP [Gie98] sont utilisés pour produire une impulsion avec des caractéristiques similaires à une décharge CDM, c'est-à-dire une durée d'une nanoseconde avec un temps de montée d'une centaine de picosecondes. La Figure 1.17 résume le principe de fonctionnement d'une mesure VF-TLP de type TDRS-T ("High-Z Time Domain Reflexion Separate and Transmission"). Le système est similaire au montage d'un système TLP, à l'exception de l'utilisation du "Pick Off Tee" pour mesurer le courant, au lieu d'une sonde. Les caractéristiques quasi-statique des composants testés sont obtenus

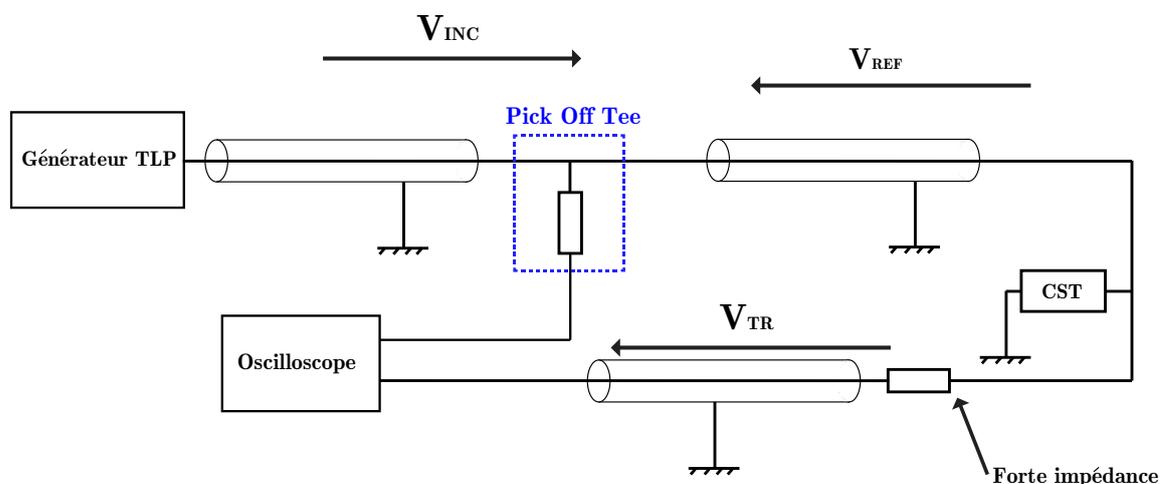


Figure 1.17 : Schéma de principe d'une mesure VF-TLP

de la même manière que pour les mesures TLP. Ce type de test permet d'évaluer les comportements des protections ESD ainsi que des composants élémentaires utilisés dans les circuits lors d'un événement fort en courant de très courte durée. Cependant une impulsion VF-TLP est plus agressive qu'une décharge de type CDM car c'est une forme d'onde carré alors que dans le cas du CDM, la forme d'onde est une sinusoïdale atténuée. De plus lors d'une mesure VF-TLP, le stress appliqué au composant se propage entre deux de ses pins et non du circuit vers une pin comme lors d'un événement CDM. Le VF-TLP [Gie07] est donc difficile à utiliser pour estimer la robustesse d'un circuit intégré vis-à-vis d'un stress CDM donné. Pour palier ce problème, une autre méthode de test à été développée, appelée le CC-TLP [Wol03][Wol09] (Capacitive Coupled TLP).

1.1.3.3 CC-TLP

Le banc de test CC-TLP est adapté d'un banc VF-TLP. Un dispositif VF-TLP de type TDR-S (Time Domain Reflection Separate) est utilisé. C'est-à-dire que la mesure en courant et en tension sur le composant se fait en mesurant les tensions incidentes et réfléchies sur la ligne de transmission. De plus, la ligne de transmission employée est assez longue pour que les ondes incidentes et réfléchies soient distinctes. La Figure 1.18

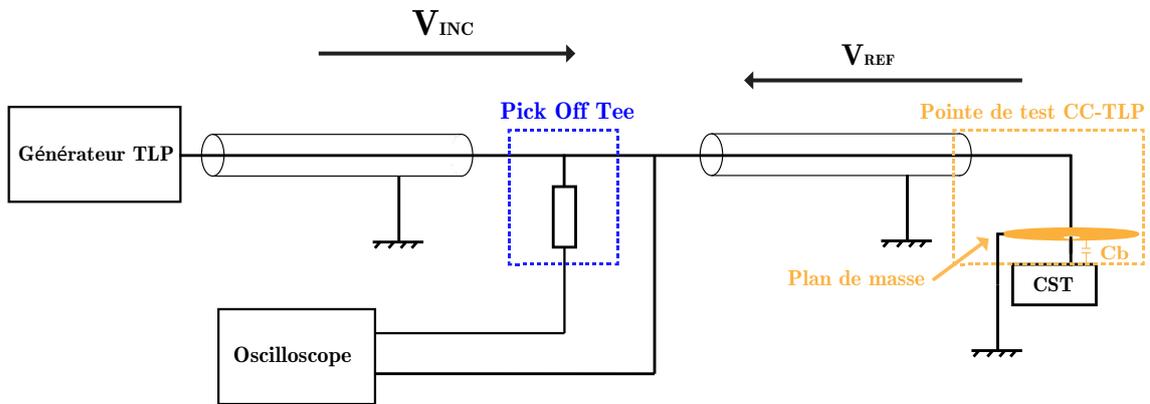


Figure 1.18 : Schéma de principe d'une mesure CC-TLP

illustre le principe de fonctionnement d'un dispositif CC-TLP [Web17]. Une pointe de test CC-TLP est reliée à la ligne de transmission. Elle est composée d'une ligne de transmission rigide sur laquelle est branchée un plan de masse. Ce plan de masse permet de former une capacité parasite nommée C_b entre le plan de masse et le composant testé. Il est possible de réaliser des mesures sur les plaques de silicium directement ainsi que sur les composants en boîtier.

Les différents modèles de décharges électrostatiques au sein de circuit intégrés ont été présentés ainsi que les procédés de protection permettant d'améliorer leur robustesse vis-à-vis des événements ESD et les façons de les caractériser. La partie suivante revient plus en détails sur le phénomène CDM.

1.2 Modèle du composant chargé

Dans le contexte d'une décharge de type CDM, les puces sont chargées le plus souvent par triboélectricité ou par induction.

Lors du chargement par triboélectricité deux matériaux différents neutres entre en contact (Figure 1.19). L'un récupère des électrons et devient alors chargé négativement et l'autre en perd et devient alors chargé positivement.

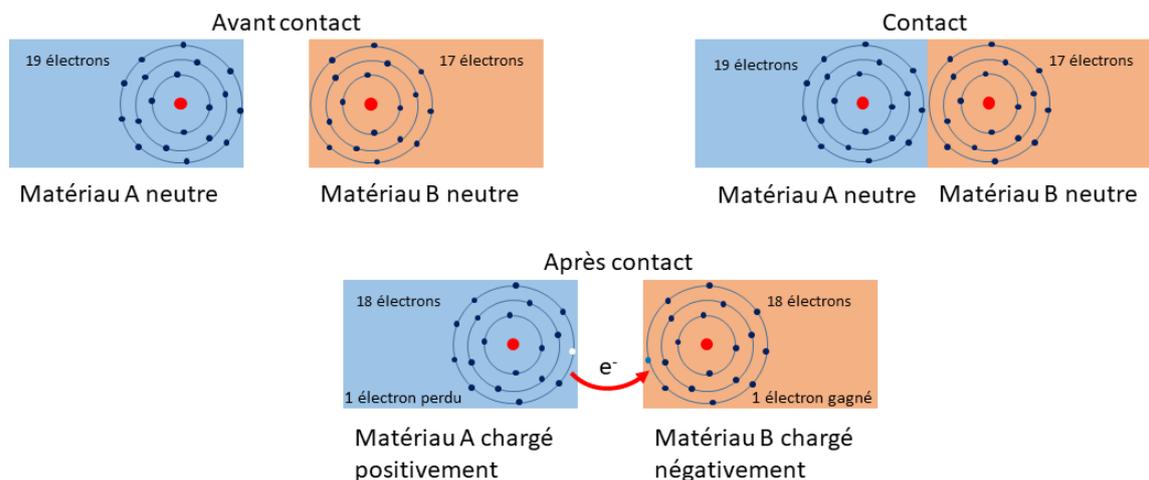


Figure 1.19 : Schéma de principe de la triboélectricité

Le composant électronique peut se charger par induction lorsqu'il est soumis à un champ électrostatique.

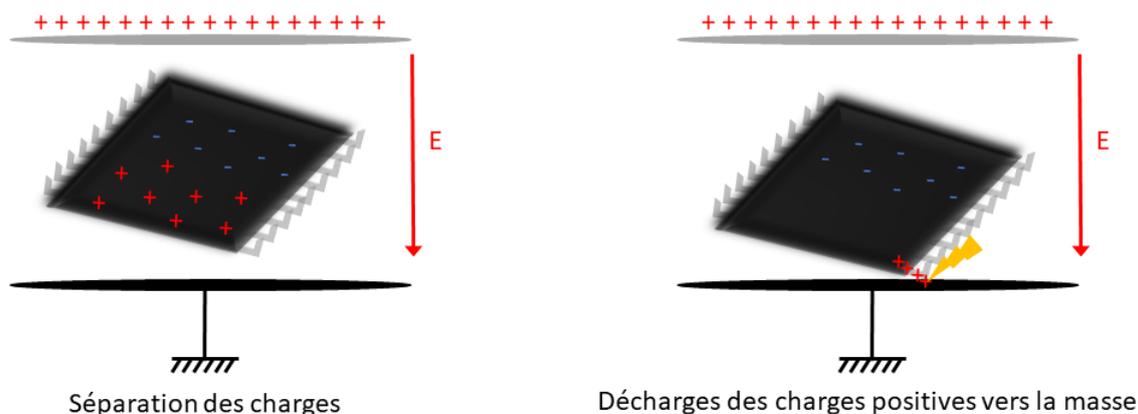


Figure 1.20 : Schéma de principe du chargement par induction

La Figure 1.20 illustre le principe du chargement par induction. La puce neutre est placée dans un champ électrique E . Il y a alors séparation des charges au sein de la puce. Les charges positives attirées par la masse vont se déplacer vers cette dernière. Les charges négatives vont, elles, migrer vers le haut pour se rapprocher des charges positives à l'origine du champ E . Le composant est toujours neutre. Lorsque la puce entre en contact avec la masse, une décharge se produit. Toutes les charges positives contenues dans le composant sont évacuées vers la masse entraînant l'apparition d'un courant intrinsèque dans le composant. Des tests ont été mis en place pour quantifier la fiabilité des circuits intégrés lors d'une décharge CDM. C'est la qualification CDM.

1.2.1 Qualification CDM

Afin de qualifier la robustesse d'un composant vis-à-vis d'un événement de type CDM donné, des testeurs CDM sont utilisés.

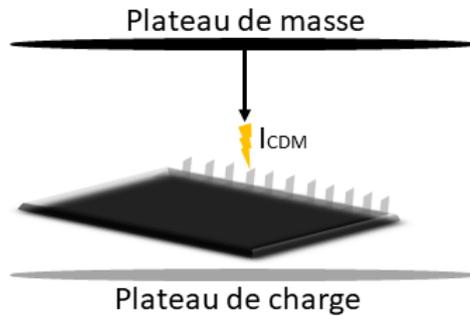


Figure 1.21 : Schéma de principe du testeur CDM

La Figure 1.21 montre le principe de fonctionnement d'un testeur CDM de type FICDM (Field Induced Charged Device Model), c'est-à-dire que la puce testée est chargée par induction. Il est composé de deux plateaux : le plateau relié à la masse et le plateau de charge relié à un générateur haute-tension par une forte résistance afin de pouvoir charger un composant. Lors d'un test, la puce est placée en position "dead bug", c'est-à-dire avec les broches vers le haut, sur le plateau de charge. Le plateau de charge est ensuite soumis à une forte tension, V_{CDM} ce qui génère un champ électrique et charge le composant. Une fois ce dernier chargé, la sonde du testeur ou pogo pin, reliée à la masse vient touchée la pin que l'on souhaite testée. Un courant de décharge intrinsèque I_{CDM} va alors traverser la puce vers la broche stressée.

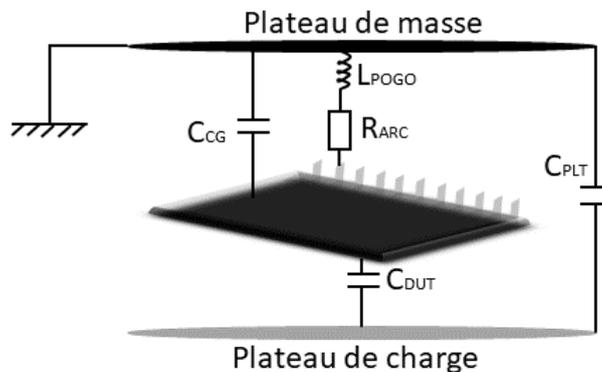


Figure 1.22 : Schéma de principe du modèle du testeur CDM

Il est possible de modéliser l'ensemble composant et testeur par un circuit RLC, comme représenté sur la Figure 1.22.

En effet, les deux plateaux du testeur forment une capacité parasite (C_{PLT}), tout comme le composant sous test et le plateau de masse (C_{CG}) ainsi que le composant sous test et le plateau de charge (C_{DUT}). De plus, l'arc électrique qui se forme entre la pin du testeur et la broche du composant stressée peut être assimilée à une résistance d'une vingtaine d'ohms (R_{ARC}). La pin du testeur peut se modéliser par une inductance (L_{POGO}).

La distance entre le plateau de masse et le composant testé étant grande et la surface de ce dernier étant petite, la capacité C_{CG} est souvent négligée. Le modèle de l'ensemble composant et testeur est alors celui présenté précédemment sur la Figure 1.6.

La qualification CDM est régie par deux standards différents. Le premier est un standard commun à l'ESDA (Electrostatic Discharge Association) et JEDEC (Joint Electron Device Engineering Council) : **ANSI/ESDA/JEDEC JS-002-2018** [Ass18] et le deuxième est fait par l'AEC (Automotive Electronics Council) pour les composants pour l'industrie automobile **AEC-Q100-011 Rev-D** [Cou19].

La classification CDM d'un composant est donnée par la tension maximale de chargement pour laquelle ce dernier ne subit pas de casse. Elle varie en fonction des standards de qualification utilisés. Les niveaux de classification CDM varient suivant le standard utilisé. La Table 1.5 donne les niveaux de classification du standard JS-002-2018. Les tests de qualification sont effectués sur au moins trois puces par niveau de tension de charge et pour les deux polarités de décharge.

Classe	Intervalle de tension
C0A	$< 125V$
C0B	$125V \leq x < 250V$
C1	$250V \leq x < 500V$
C2A	$500V \leq x < 750V$
C2B	$750V \leq x < 1000V$
C3	$\geq 1000V$

Table 1.5: Niveau de classification ESD pour le standard **ANSI/ESDA/JEDEC JS-002-2014** [Ass18]

L'analyse des défauts engendrer à la suite des qualifications CDM a permis de mettre en évidence les types de défaillance engendrée par les décharges CDM.

1.2.2 Défauts liés à la décharge de type CDM

La plupart des défauts observés à la suite d'une décharge de type CDM, sont des trous dans l'oxyde de la grille des transistors. La casse des oxydes est due à d'importantes différences de potentiel aux bornes de la grille des transistors. La Figure 1.23 illustre un trou de grille formé à la suite d'un stress de type CDM.

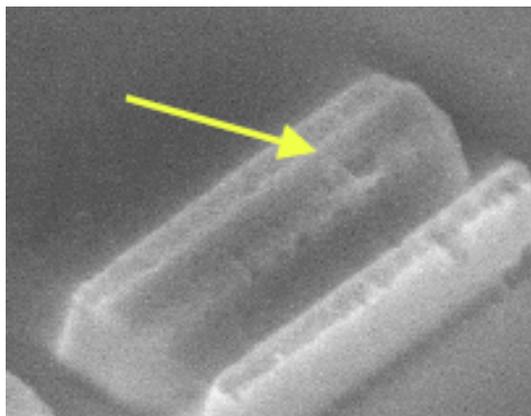


Figure 1.23 : Trou dans l'oxyde de grille observé après un événement CDM

Certaines configurations de circuit favorisent l'apparition de fortes tensions aux bornes des grilles des transistors. À STMicroelectronics, 5 grandes familles de design sont considérés :

- Les connexions entre deux domaines de puissance [Shu13] :

La Figure 1.24 illustre ce cas. Chaque domaine de puissance à sa propre constante de temps caractéristique et sa réponse propre à un événement CDM. Au moment de la décharge les deux domaines de puissance peuvent ne pas avoir le même potentiel entraînant des tensions aux bornes des grilles des transistors supérieures à la tension de casse de leur oxyde.



Figure 1.24 : Schéma de principe d'une connexion entre deux domaines de puissance

- Les grilles de transistors connectées à un plot d'entrée/sortie [Ols11] (Figure 1.25) : Au moment de la décharge CDM, la grille des transistors connectée directement aux plots d'entrée/sortie se retrouve à la masse mais le reste du composant est toujours chargé. Il peut donc y avoir momentanément des surtensions aux bornes de ces transistors.

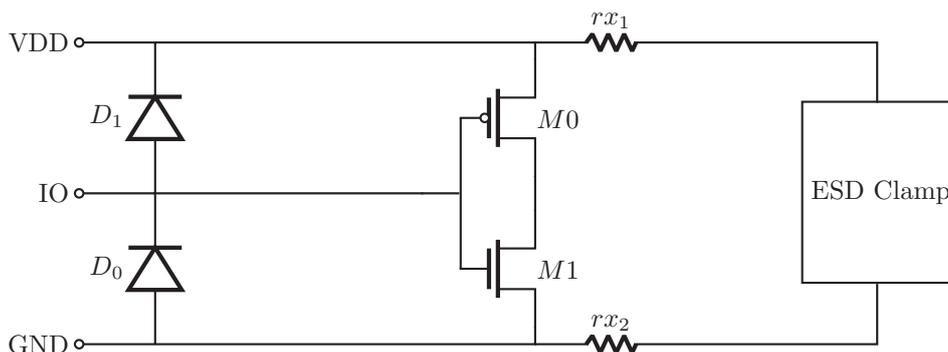


Figure 1.25 : Schéma de principe d'une grille connectée à un plot d'entrée/sortie

– Les longues connexions entre deux transistors d'un même domaine de puissance [Huh05] :

Les longues lignes entre deux transistors peuvent former une ligne à retard représentée par un circuit RLC, comme montré sur la Figure 1.26. Ce retard entre les deux transistors peut conduire à des différences de tension entre la grille et la source des transistors.

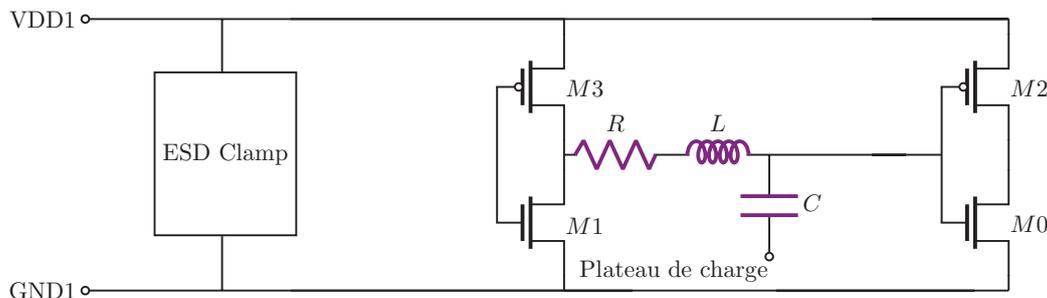


Figure 1.26 : Schéma de principe d'une connexion longue entre deux inverseurs

– Les transistors à porte passante connectés à un plot d'entrée/sortie [Vol15] :

Au moment de la décharge CDM, le drain d'un transistor à porte passante connecté au plot d'entrée/sortie est mis à la masse, comme illustré sur la Figure 1.27. La grille du transistor est, elle, reliée à un circuit de commande logique entraînant une possible importante différence de potentiel entre les bornes du transistor.

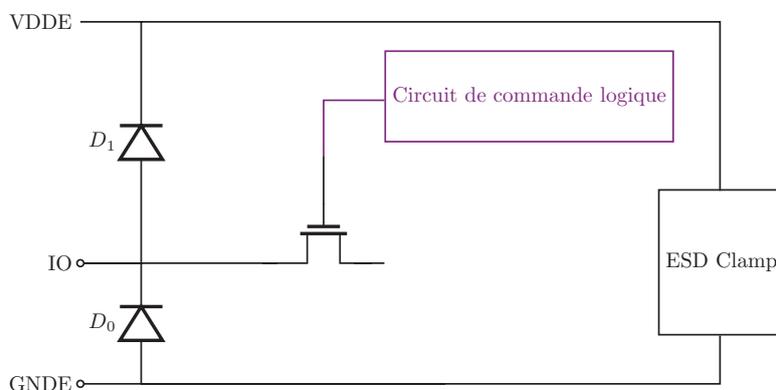


Figure 1.27 : Schéma de principe d'un transistor à porte passante connecté à un plot d'entrée sortie

– Les connexions longues entre deux transistors en cascade [Gal10] :
 Lorsque deux transistors de même type (c'est-à-dire deux PMOS ou deux NMOS) sont mis en cascade, leur connexion source-drain constitue un piège de charges due aux jonctions PN bloquées. Si cette surface métallique est assez importante, le nombre de charges bloquées peut-être plus important que celui nécessaire pour dégrader le canal des transistors MOS. Ce type de configuration, appelé "Capacité isolée", est représenté sur la Figure 1.28.

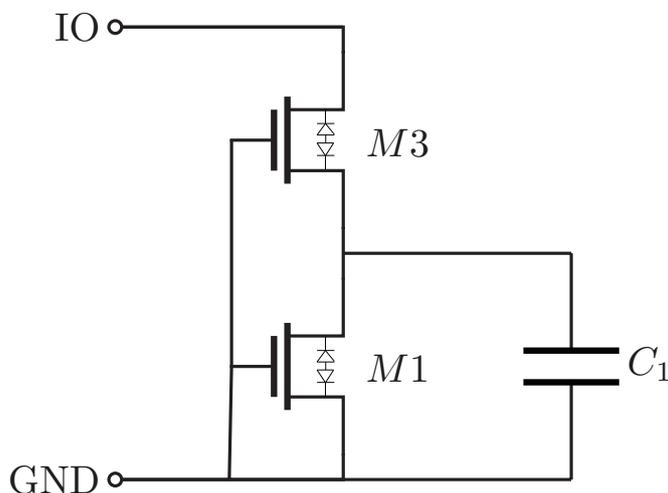


Figure 1.28 : Schéma de principe d'une capacité isolée

Il est possible de prévenir l'apparition de casse dans ces configurations de circuit en utilisant des protections spécifiques.

1.2.3 Protections utilisées

Afin de prévenir les défauts liés à un événement CDM, des protections locales sont ajoutées, en plus des dispositifs de prévention ESD déjà présents dans les circuits, près des transistors à risque. Des combinaisons de diodes STI et ggNMOS de petites tailles sont utilisées comme illustrées sur la Figure 1.29. Dans certains cas, une résistance en série peut aussi être employée. Cela permet de préserver les protections CDM, qui sont de petites tailles, lors d'événement ESD de type HBM par exemple.

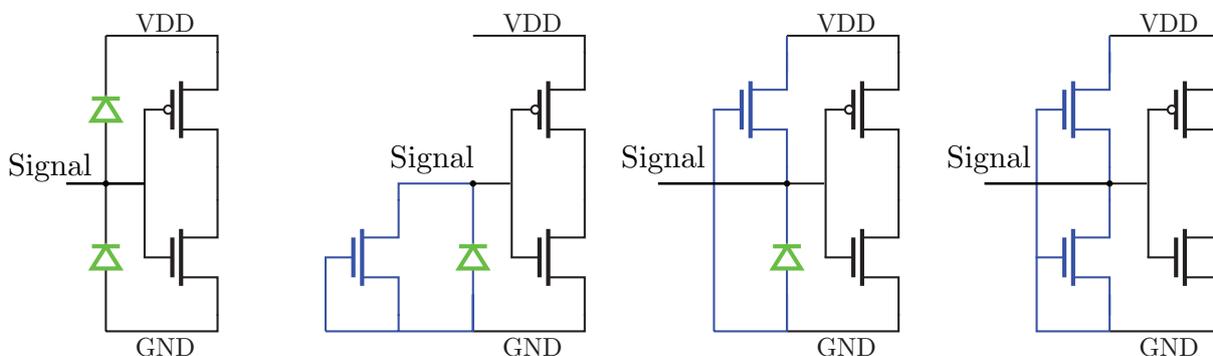


Figure 1.29 : Différentes protections CDM locales utilisées

Avec la diminution de la taille des transistors, la robustesse des circuits vis-à-vis d'événement CDM diminue (cf. Figure 1.1). Il est donc important d'étudier ce phénomène pour des technologies avancées c'est-à-dire 65nm ou inférieure.

1.3 Noeuds technologiques étudiés

Afin d'étudier le phénomène de décharge électrostatique du composant chargé, plusieurs circuits de test ont été conçus puis fabriqués dans diverses technologies. La Table 1.6 résume les différentes spécificités des trois procédés utilisés :

- Le CMOS40, une technologie MOS classique avec une longueur de grille minimum de 40nm
- Le BICMOS55, une technologie BICMOS avec une longueur de grille minimum de 55nm
- Le 28FDSOI, une technologie FDSOI (Fully Depleted Silicon On Insulator) avec une longueur de grille minimum de 28nm

Chacune de ces technologies permet de choisir entre deux types d'oxyde de grille différents GO1 ("Gate Oxide") et GO2. L'oxyde GO1 est le plus fin et est utilisé sur les transistors qui se trouvent dans le cœur du circuit intégré. L'oxyde GO2 est lui réservé aux transistors en périphérie du circuit ou pour les applications qui nécessitent une tension de fonctionnement plus élevée.

Les transistors MOS en CMOS40 et en BICMOS55 sont des transistors MOS planaires classiques, comme illustrés dans la Table 1.6. Dans le cas de la technologie 28FDSOI, les transistors MOS utilisés sont également plan mais ils sont placés sur une fine couche d'oxyde enterré (cf. Table 1.6). La prise substrat en dessous de l'oxyde enterré du transistor peut, alors, jouer le rôle de seconde grille et moduler la tension de seuil du transistor.

	CMOS40	BICMOS55	28FDSOI
Longueur min. de canal	40nm	55nm	28nm
Épaisseur d'oxyde GO1	1.7nm	1.8nm	1.38nm
Épaisseur d'oxyde GO2	5nm	5nm	1.875nm (oxyde "high K")
Schéma d'un NMOS			
Spécificité par rapport à une technologie MOS classique	Technologie MOS classique	Technologie BICMOS. Permet d'utiliser des transistors bipolaires pour les applications analogues haute fréquence en plus de transistors MOS classiques.	Technologie FDSOI. Utilisation d'un oxyde enterré. Substrat joue le rôle de grille enterrée. Diminution du courant de fuite, des capacités parasites. Transistors plus performants. Consommation réduite.

Table 1.6: Résumé des technologies utilisées

1.4 Conclusion

Ce chapitre a permis de présenter les décharges électrostatiques dans les circuits intégrés lors de la fabrication des objets électronique et en particulier le cas du phénomène CDM dans les nœuds de technologies avancées.

Il existe deux cas de décharges dans les circuits intégrés : lorsqu'un humain chargé se décharge sur une puce en contact avec la masse (HBM) et lorsqu'un composant chargé se décharge en contact avec la masse (CDM). Ces deux événements peuvent être représentés par un circuit RLC. Les décharges HBM sont plus longues et plus énergétiques que les CDM. Des protections composées de ggNMOS, diodes, transistors MOS ou encore de thyristor peuvent être utilisées pour prévenir les casses dues aux ESD. Elles sont utilisées au sein de stratégie de protection élaborée à l'échelle du circuit intégré complet. Différents

outils de caractérisation (TLP, VF-TLP, CC-TLP) permettent d'évaluer leur efficacité vis-à-vis d'une décharge HBM ou CDM.

Le phénomène CDM est un événement très rapide, en quelques nanosecondes un composant se décharge à la masse à travers une de ses pins, engendrant un courant intrinsèque important pouvant aller jusqu'à la dizaine d'ampères. La robustesse du composant vis-à-vis du type de décharge ESD est évaluée grâce à des tests de qualification CDM qui permettent d'émuler ce cas de figure. Les défauts induits par ce phénomène sont généralement des casses d'oxyde de la grille des transistors. Ils apparaissent majoritairement au niveau des interconnexions entre différents domaines de puissance au sein du circuit ou des transistors connectés directement aux entrées/sorties. Il est possible d'observer des défaillances lorsque la connexion entre deux inverseurs est très longue, sur les transistors à porte passante et enfin sur les connexions longues entre deux transistors en cascade. L'étude de ces différentes situations permet d'établir des règles de protection pour les designers ESD afin d'augmenter la fiabilité des circuits vis-à-vis des événements CDM et fera l'objet du Chapitre 5.

Les technologies utilisées pour réaliser les circuits de test nécessaires à cette étude ont été présentées.

Le chapitre suivant traite des casses d'oxyde lors des événements CDM. En effet, le phénomène CDM engendre la création localement de différence de potentiel importante pendant des laps de temps très courts, à l'origine de la majorité des défauts observés. La robustesse des oxydes dépend de la tension qui lui est appliquée et de sa durée. Les études de fiabilité des oxydes sont souvent réalisées pour déterminer la durée de vie d'un transistor et non sa capacité à résister à une décharge ESD. Il est donc important d'étudier le comportement d'un transistor soumis à un stress proche d'un stress CDM.

Références

- [ESD21] Industry Council on ESD Target Levels. “White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements, Revision 3”. In: (2021).
- [Ass17] Incorporated EOS/E. S. D. Association. *ANSI/ESDA/JEDEC JS-001-2017 - ESDA/JEDEC Joint Standard for Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) - Component Level*. EOS/ESD Association, Incorporated, 2017. URL: <https://books.google.fr/books?id=uvbljwEACAAJ>.
- [Goë05] Cédric Goëau. “Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS”. PhD thesis. Lyon, INSA, 2005.
- [Vol03] Steven H. Voldman et al. “Standardization of the transmission line pulse (TLP) methodology for electrostatic discharge (ESD)”. In: *2003 Electrical Overstress/Electrostatic Discharge Symposium*. 2003, pp. 1–10.
- [Gie98] Horst Gieser and Markus Haunschild. “Very fast transmission line pulsing of integrated structures and the charged device model”. In: *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part C* 21 (1998), pp. 278–285.
- [Gie07] Horst A. Gieser and Heinrich Wolf. “Survey on very fast TLP and ultra fast repetitive pulsing for characterization in the CDM-domain”. In: *Reliability physics symposium, 2007. proceedings. 45th annual. ieee international*. Reliability physics symposium, 2007. proceedings. 45th annual. ieee international. 2007, pp. 324–333.
- [Wol03] H. Wolf et al. “Capacitively coupled transmission line pulsing CC-TLP – A traceable and reproducible stress method in the CDM-domain”. In: *2003 Electrical Overstress/Electrostatic Discharge Symposium*. 2003 Electrical Overstress / Electrostatic Discharge Symposium. Sept. 2003, pp. 1–8.
- [Wol09] Heinrich Wolf et al. “Capacitive coupled TLP (CC-TLP) and the correlation with the CDM”. In: *2009 31st EOS/ESD Symposium*. 2009, pp. 1–8.
- [Web17] J. Weber et al. “Correlation study of different CDM testers and CC-TLP”. In: *2017 39th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. Sept. 2017, pp. 1–10. DOI: 10.23919/EOSED.2017.8073446.
- [Ass18] Incorporated EOS/E. S. D. Association. *ANSI/ESDA/JEDEC JS-002-2018 - ESDA/JEDEC Joint Standard for Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) - Component Level*. EOS/ESD Association, Incorporated, 2018.
- [Cou19] Automotive Electronics Council. *AEC - Q100-011 Rev-D CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE (ESD) TEST*. 2019.
- [Shu13] Vrashank Shukla. *Predictive transient circuit simulations of charged device model ESD events in system in package chips*. Tech. rep. University of Illinois at Urbana-Champaign, 2013.

- [Ols11] Nicholas Olson et al. “CDM-ESD induced damage in components using stacked-die packaging”. In: *2011 IEEE Custom Integrated Circuits Conference (CICC)*. 2011, pp. 1–4. DOI: 10.1109/CICC.2011.6055359.
- [Huh05] Yoon Huh et al. “ESD-induced internal core device failure: new failure modes in system-on-chip (SOC) designs”. In: *Fifth International Workshop on System-on-Chip for Real-Time Applications (IWSOC'05)*. Fifth International Workshop on System-on-Chip for Real-Time Applications (IWSOC'05). July 2005, pp. 47–53. DOI: 10.1109/IWSOC.2005.58.
- [Vol15] Steven H. Voldman. *ESD: circuits and devices*. John Wiley & Sons, 2015.
- [Gal10] Ph Galy et al. “Inventory of silicon signatures induced by CDM event on deep sub-micronic CMOS–BICMOS technologies”. In: *Microelectronics Reliability* 50 (2010), pp. 1388–1392.

Chapitre 2

Défaillances de l'oxyde lors d'un événement CDM

Sommaire

2.1	État de l'art	41
2.1.1	Rappels mathématiques : Statistiques	41
2.1.2	Modèle de casse d'oxyde fin	43
2.1.2.1	Le modèle de percolation	43
2.1.2.2	L'effet tunnel	44
2.1.2.2.1	Rappel sur les énergies de bande	44
2.1.2.2.2	Effet tunnel direct	45
2.1.2.2.3	Effet de Fowler-Nordheim	45
2.1.2.3	Loi de Weibull	47
2.1.3	Méthodes de mesure de casse d'oxyde	47
2.1.4	Loi de puissance	49
2.1.5	Mesure de fiabilité sur les oxydes dans le domaine ESD	49
2.2	Étude et caractérisation de la casse d'oxyde dans les domaines de temps équivalent à un événement CDM	51
2.2.1	Description des composants utilisés	51
2.2.2	Protocole expérimental	53
2.2.2.1	Mesures TLP	54
2.2.2.2	Mesures VF-TLP	55
2.2.3	Traitement des données de mesure	55
2.3	Résultats	56
2.3.1	Établissement de la loi de puissance	56
2.3.2	Impact des paramètres étudiés	59
2.3.2.1	Épaisseur de l'oxyde	59
2.3.2.2	Surface de l'oxyde	59
2.3.2.3	Type de transistor	61

CHAPITRE 2. DÉFAILLANCES DE L'OXYDE LORS D'UN ÉVÉNEMENT CDM

2.3.2.4	Technologie SOI	62
2.3.2.5	Lieu du stress	62
2.3.2.6	Nombre d'échantillons	65
2.3.2.7	Procédé technologique	66
2.3.2.8	Résistance série	67
2.4	Conclusion	69
	Références	71

Figures

2.1	Schéma d'un transistor NMOS avec son oxyde de grille percé vue en coupe	40
2.2	Fonction de masse de la loi de poisson pour plusieurs valeurs de λ	42
2.3	Fonction de répartition de la loi de Weibull avec $k = 1.05$ et $\lambda = 1191ns$	42
2.4	Fonction de répartition de la loi de Weibull sous forme de droite avec $k = 1.05$ et $\lambda = 1191ns$	43
2.5	Détermination des paramètres de la loi de Weibull grâce à l'estimateur du maximum de vraisemblance. Le graphique à gauche illustre les points de mesure obtenus et leur fonction de répartition associé. Celui de droite montre la loi de Weibull identifiée à partir de ses mesures. Les paramètres de Weibull obtenus sont : $k = 1.05$ et $\lambda = 1191ns$	43
2.6	Schéma de principe du modèle de percolation	44
2.7	Diagramme de bande d'un isolant ou d'un semiconducteur. E_C correspond au niveau d'énergie minimal de la bande de conduction, E_V est celui le plus haut de la bande de valence et E_F est le niveau de Fermi.	45
2.8	Diagramme de bande de l'interface grille/substrat d'un transistor pour différentes valeurs de tension de grille. E_{FM} correspond au niveau de Fermi du métal, E_F celui du substrat P, E_C au niveau d'énergie de conduction, E_V au niveau d'énergie de valence, V_G à la tension positive appliquée sur la grille, et Φ_S à la barrière de potentielle du substrat.	46
2.9	Mesure de la tension et du courant d'un transistor lors de la casse de son oxyde de grille. Une impulsion VF-TLP d'une nanoseconde est appliquée à un transistor PMOS en inversion. Le cercle rose sur les courbes de tension et de courant signifie le moment de la dégradation de l'oxyde.	48
2.10	Chronogramme d'un stress CVS et d'un stress RVS	48
2.11	Conversion du temps de stress d'une impulsion VF-TLP en un stress de type CVS en utilisant la loi de puissance trapézoïdale. Une impulsion VF-TLP de 1ns avec une tension moyenne de 5.3V est convertie en une impulsion de tension 5V constante. Avec la loi de puissance classique la durée effective est de 9.93ns, avec la loi trapézoïdale, elle est de 17.18ns.	51
2.12	Schéma de différents types de devices utilisé pour caractériser le comportements des oxydes lors d'un événement CDM. (a) NMOS stressé entre la grille et le substrat, (b) NMOS stressé entre la grille et la source, (c) PMOS stressé entre la grille et la source, (d) PMOS stressé entre la grille et la source avec une résistance série.	53
2.13	Schéma d'un principe du traitement des mesures de casse d'oxyde dans le domaine de temps dans un événement CDM	56
2.14	Détermination du paramètre n de la loi de puissance d'un transistor NMOS GO2 dans la technologie CMOS40. Le n obtenu est de 42.	57
2.15	Loi de puissance d'un NMOS GO2 dans la technologie CMOS40. La tension de casse à 1ns est de 15.4V.	57
2.16	Estimation des lois de puissance des deux transistors NMOS (GO1 et GO2) de la technologie 28FDSOI	58

2.17	Comparaison des lois de Weibull de deux transistors même dimensions mais avec deux épaisseurs d'oxyde différentes en CMOS40 avec une tension de grille de référence de 5V.	59
2.18	Loi de Weibull normalisée pour une aire de $1\mu m^2$. Trois NMOS avec un oxyde d'épaisseur 1.8nm avec des aires différentes : $A = 0.14\mu m^2$, $0.17\mu m^2$ ou $0.84\mu m^2$	60
2.19	Loi de Weibull normalisée pour une aire de $1\mu m^2$. Quatres NMOS avec un oxyde d'épaisseur 1.7nm avec des aires différentes : $A = 3\mu m^2$, $0.6\mu m^2$, $3\mu m^2$, ou $15\mu m^2$	61
2.20	Comparaison des lois de Weibull d'un transistor NMOS et PMOS de même dimension en inversion en C40 avec une tension de grille de 5V.	61
2.21	Comparaison des lois de Weibull de transistors NMOS GO1 dans la technologie 28FDSOI. Certains sont des transistors SOI d'autres des transistors standards noté bulk. Les transistors avec le même numéro (2 et 3) ont la même surface d'oxyde.	62
2.22	Comparaison des lois de puissance de deux transistors NMOS de même dimensions et même oxyde, l'un est standard et l'autre SOI	63
2.23	Courbes Courant-Tension VF-TLP pour les 20 échantillons, NMOS avec un oxyde de 1.8nm et une aire de $0.024\mu m^2$. Tension de grille positive (régime d'inversion fortr pour le NMOS)	63
2.24	Vue de coupe d'un NMOS en inversion (Tension sur la grille positive)	64
2.25	Courbe Courant-Tension VF-TLP d'une diode CDM de type N bloquée	64
2.26	Courbes Courant-Tension VF-TLP pour les 20 échantillons. NMOS avec un oxyde de 1.8nm et une aire de $0.024\mu m^2$. Tension de grille négative (régime accumulation pour le NMOS)	65
2.27	Variation de β en fonction du nombre d'échantillons utilisés pour déterminer les paramètres de la loi de Weibull pour un transistor NMOS 28FDSOI avec 40 points de mesure.	66
2.28	Variation de la valeur de β en fonction du nombre d'échantillons utilisés	67
2.29	Loi de Weibull pour un PMOS avec un oxyde d'épaisseur 1.8nm et une résistance série. Trois valeurs de résistance choisies : 0Ω , 300Ω et 5000Ω	68
2.30	Loi de Weibull pour un PMOS avec un oxyde d'épaisseur 5nm et une résistance série. Trois valeurs de résistance choisies : 0Ω , 300Ω et 5000Ω	68

Tableaux

2.1	Récapitulatif des différentes études de casse d'oxyde	52
2.2	Récapitulatif des différents transistors étudiés en BICMOS55	54
2.3	Récapitulatif des différents transistors étudiés en C40	54
2.4	Récapitulatif des différents transistors étudiés en 28FDSOI	55
2.5	Récapitulatif de principaux paramètres obtenus pour la technologie BICMOS55	58
2.6	Récapitulatif de principaux paramètres obtenus pour la technologie CMOS40	58
2.7	Récapitulatif de principaux paramètres obtenus pour la technologie 28FDSOI	59

Les transistors MOS (dans les technologies planaires) sont composés de deux zones fortement dopées, la source et le drain, séparées par un canal contrôlé par une grille. La grille est isolée du dispositif par une couche d'oxyde (diélectrique) ainsi que d'une prise substrat. Appliquer une tension entre le substrat et la grille du transistor permet de polariser le transistor lorsqu'il existe une différence de potentiel entre la source et le drain. Par exemple, lorsqu'une tension positive est appliquée entre la grille et le substrat d'un transistor NMOS, une zone de déplétion (zone N faiblement dopée dans le canal) se forme entre la source et le drain, le transistor devient alors passant. L'oxyde de grille est donc alors soumis à un champs électrique. Tout matériau diélectrique se dégrade dans le temps lorsqu'un champs électrique lui est appliqué. L'oxyde se casse lorsqu'un chemin de conduction se forme entre la grille et la source, le drain ou le substrat du transistor. La Figure 2.1 illustre un transistor NMOS vue en coupe. Plus l'intensité du champs électrique est importante dans l'oxyde, ou bien plus l'épaisseur de l'oxyde est fin, plus la dégradation sera rapide. Ce phénomène est appelé "Time Dependent Dielectric Breakdown" (TDDB) ou Défaillance du Diélectrique Dépendante du Temps en français. Ce phénomène est statistique, c'est-à-dire que tous les transistors auxquels est appliquée la même tension de grille ne casseront pas au même moment.

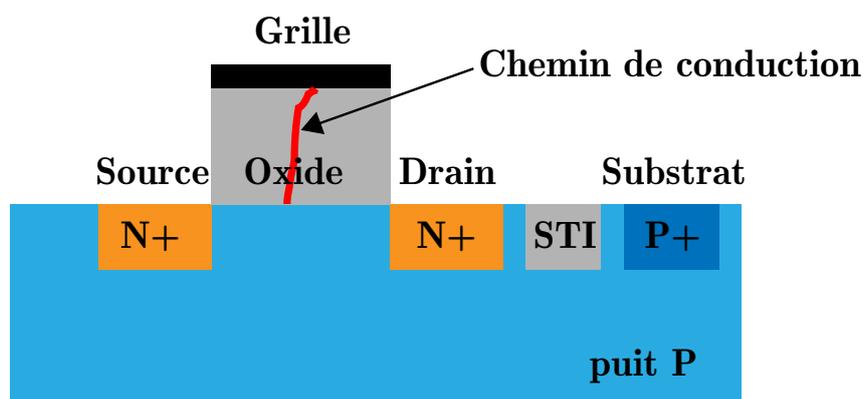


Figure 2.1 : Schéma d'un transistor NMOS avec son oxyde de grille percé vue en coupe

La plupart des défauts observés dans les circuits intégrés, à la suite d'une décharge électrostatique de type CDM, sont des casses d'oxyde de la grille de transistors. Les études de fiabilité réalisées sur les oxydes de grille permettent de déterminer la durée de vie des transistors (de l'ordre d'une dizaine d'année en général). Pour cela des mesures sur des temps plus courts sont effectuées à des températures élevées pour raccourcir le temps de mesure. Les données sont ensuite transformées et extrapolées afin de caractériser leur durée de vie. Très peu d'études sont réalisées pour estimer la fiabilité d'un transistor vis-à-vis d'une décharge ESD. L'objectif de ce chapitre est d'étudier le comportement des oxydes fins (de 1.38nm à 5nm) et donc la robustesse des transistors dans les différentes technologies utilisées dans les divers circuits de tests réalisés par la suite, lors d'un événement type CDM. Le plan du chapitre est le suivant: dans un premier temps, un état de l'art sur le phénomène de casse des oxydes fins et plus particulièrement durant un événement ESD est fait; puis l'étude statistique de dégradation d'oxyde réalisée est présentée et enfin les résultats sont énoncés et discutés.

2.1 État de l'art

2.1.1 Rappels mathématiques : Statistiques

La casse d'oxyde est un événement statistique. Plusieurs notions de mathématiques seront utilisées au cours de ce chapitre. Cette partie sert de rappel sur les différents outils employés.

Fonction de répartition :

La fonction de répartition F d'une variable aléatoire X est la fonction qui à tout réel x associe la probabilité d'obtenir une valeur de la variable aléatoire inférieure à x .

$$F(x) = \mathbb{P}(X < x)$$

Fonction de masse :

La fonction de masse est la fonction qui donne la probabilité d'un résultat élémentaire d'une expérience.

Loi de Poisson :

La loi de Poisson est une loi de probabilité discrète qui exprime la probabilité qu'un nombre d'événements donnés, k , se produisent à un intervalle de temps ou d'espace fixe si ces événements surviennent à un taux moyen constant connu et indépendamment du temps écoulé depuis l'événement précédent. L'équation de la fonction de masse de la loi de Poisson (cf. Figure 2.2) est la suivante :

$$p(k) = \mathbb{P}(X = k) = \frac{\lambda^k}{k!} e^{-\lambda} \quad (2.1)$$

où λ est le paramètre de la loi, il dépend de la fréquence des événements et de la durée de l'expérience. La loi de Poisson est utilisée pour décrire l'apparition de défauts (piège à électrons) dans l'oxyde.

Loi de Weibull :

La loi de Weibull est une loi de probabilité continue. Elle est, en particulier, utilisée pour des analyses de défaillance comme l'étude de la casse des oxydes. Sa fonction de répartition a l'expression suivante :

$$F(x) = 1 - e^{-\left(\frac{x}{\lambda}\right)^k} \quad (2.2)$$

λ et k sont les paramètres de la loi. k est souvent appelé pente de Weibull (il peut aussi être noté β) et λ correspond au temps nécessaire pour que 63,2% des échantillons soient défaillants. La Figure 2.3 illustre la fonction de répartition de la loi de Weibull.

Graphique de Weibull :

Il est possible d'écrire la fonction de répartition de la loi de Weibull de manière à obtenir une droite (cf. Figure 2.4). L'expression 2.2 devient alors :

$$\ln(-\ln(1 - F)) = k \ln\left(\frac{x}{\lambda}\right) \quad (2.3)$$

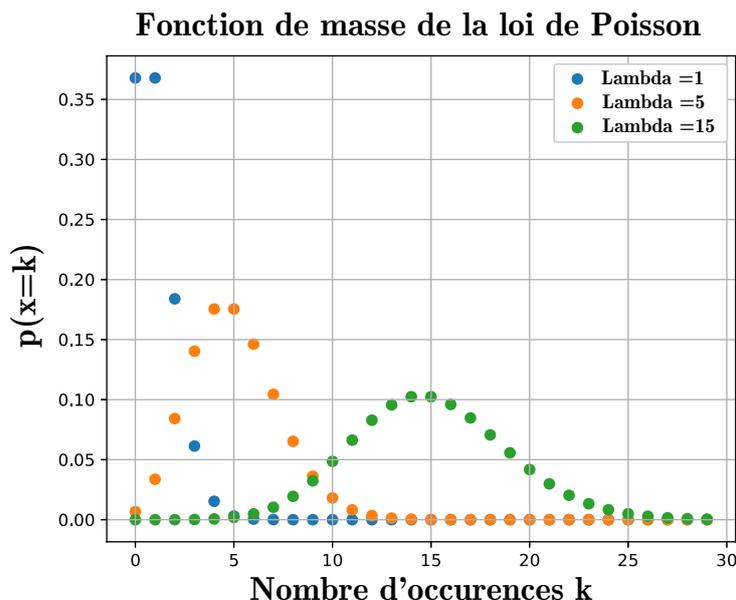


Figure 2.2 : Fonction de masse de la loi de poisson pour plusieurs valeurs de λ

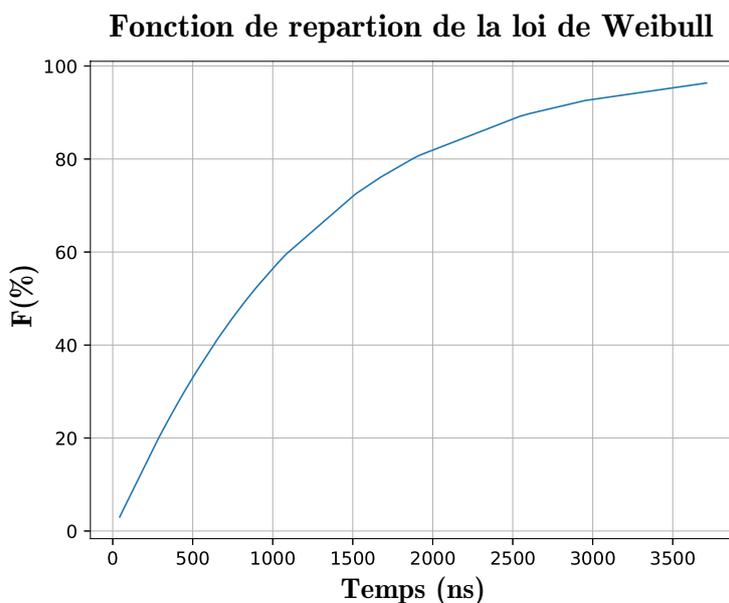


Figure 2.3 : Fonction de répartition de la loi de Weibull avec $k = 1.05$ et $\lambda = 1191ns$

Estimateur du Maximum de vraisemblance :

Un estimateur permet de déterminer des valeurs probables pour des modèles lorsque les sorties et les entrées de ces derniers sont connues. L'estimateur du maximum de vraisemblance est un estimateur statistique qui permet d'évaluer la valeur des paramètres d'une loi de probabilité d'un échantillon connu en maximisant la fonction de vraisemblance. La vraisemblance décrit la plausibilité de la valeur des paramètres trouvés. Ce type de méthode fonctionne très bien pour estimer les paramètres des régressions linéaires. Cette méthode sera utilisée par la suite pour trouver les paramètres λ et k de la loi de Weibull

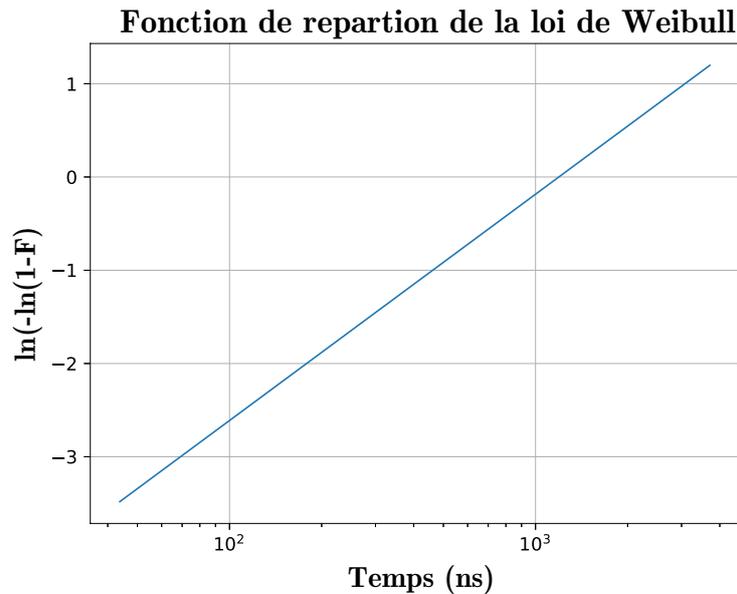


Figure 2.4 : Fonction de répartition de la loi de Weibull sous forme de droite avec $k = 1.05$ et $\lambda = 1191ns$

en utilisant sa forme logarithmique présentée dans l'équation (2.3) (cf. Figure 2.5).

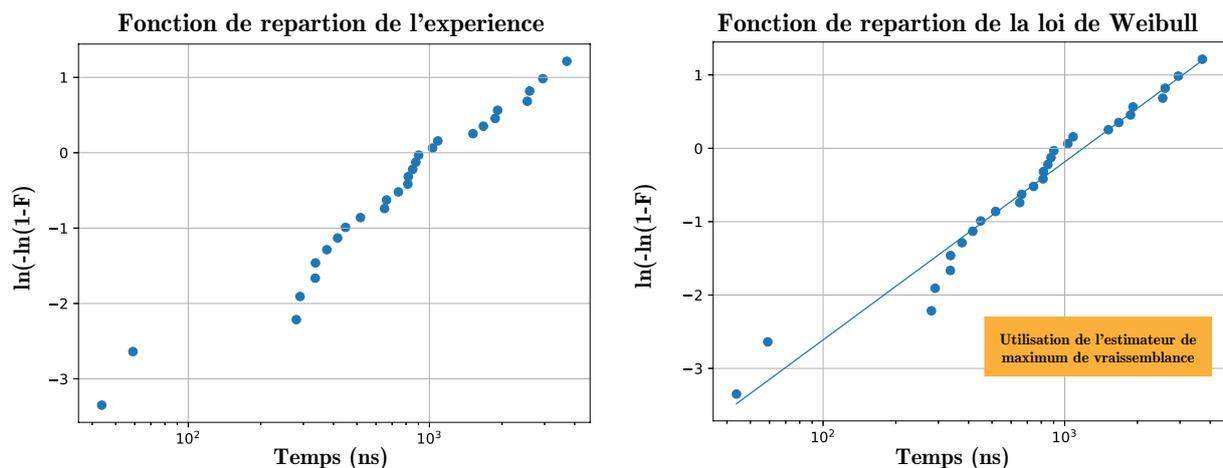


Figure 2.5 : Détermination des paramètres de la loi de Weibull grâce à l'estimateur du maximum de vraisemblance. Le graphique à gauche illustre les points de mesure obtenus et leur fonction de répartition associé. Celui de droite montre la loi de Weibull identifiée à partir de ses mesures. Les paramètres de Weibull obtenus sont : $k = 1.05$ et $\lambda = 1191ns$

Ces différentes notions de mathématiques seront utilisées par la suite lors de l'étude statistique de casse d'oxyde fins.

2.1.2 Modèle de casse d'oxyde fin

2.1.2.1 Le modèle de percolation

Afin d'expliquer la casse dans les oxydes fins, c'est-à-dire avec une épaisseur inférieure à 12nm, le modèle de percolation a été développé [Deg98]. Il combine, au plus simple, deux

modèles préexistants pour expliquer la formation du chemin de conduction dans l'oxyde :

- l' "anode hole injection model" [Che86] (modèle d'injection de trous dans l'anode) qui postule que les électrons injectés peuvent générer des trous au niveau de l'anode (grille du transistor) et ensuite se déplacer dans l'oxyde.
- l' "electron trap generation model" [Avn88] (modèle de génération de pièges à électrons) qui dit qu'une densité critique de pièges à électrons générés est nécessaire pour engendrer la casse de l'oxyde.

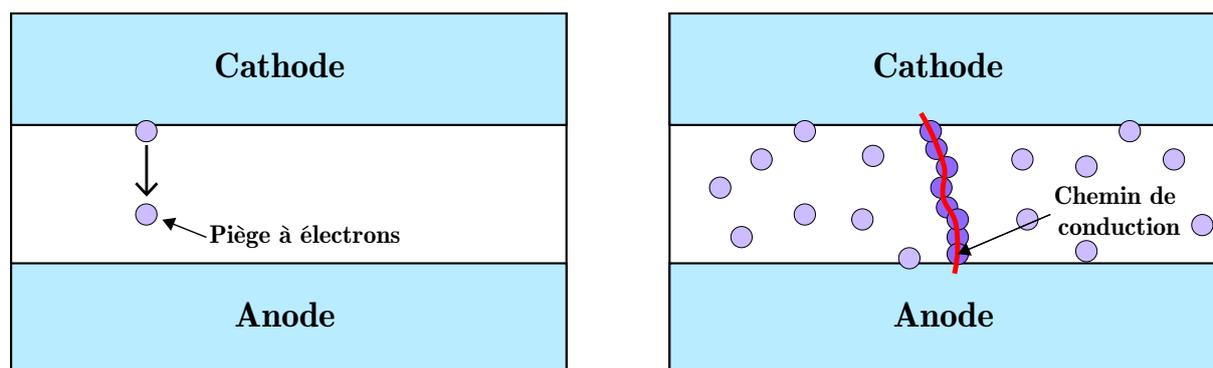


Figure 2.6 : Schéma de principe du modèle de percolation

La Figure 2.6 illustre le modèle de percolation. Plusieurs mécanismes peuvent être responsable du déplacement des pièges à électrons dans l'oxyde. Dans le cas des oxydes fins, l'effet tunnel intervient.

2.1.2.2 L'effet tunnel

2.1.2.2.1 Rappel sur les énergies de bande

Les électrons présents dans les atomes d'un solide peuvent uniquement occuper certains niveaux ou bandes d'énergie [Col05]. Les autres niveaux d'énergies sont dénommées bandes interdites. On appelle bande de valence, la bande d'énergie occupée la plus haute. C'est ici que sont les électrons de valence responsables de la formation de solide ou de molécule. La première bande non occupée autorisée est appelée bande de conduction. Les électrons de cette bande participe à la conduction électrique. Les électrons sur cette bande, sont dit libres. Dans le cas des isolants et des semi-conducteurs, une bande d'énergie interdite, dénommée gap, existe entre la bande de conduction et la bande de valence. La taille du gap détermine si un matériau est isolant ou semi-conducteur. Le niveau de Fermi représente le niveau d'énergie qui a une probabilité de 50% d'être occupé par un électron. Dans le cas des semi-conducteurs et des isolants, la bande de valence est pleine et la bande de conduction vide, donc le niveau de Fermi se trouve dans une bande interdite. La Figure 2.7 illustre le diagramme de bande d'un isolant ou d'un semi-conducteur. Le dopage P du silicium rapproche le niveau de Fermi du niveau d'énergie de la bande de valence tandis qu'un dopage N le rapproche du niveau de la bande de conduction.

Pour qu'un électron passe de la bande de valence à la bande de conduction, il faut normalement qu'il possède une énergie supérieure au niveau de la bande de conduction. La Figure 2.8a illustre l'interface entre la grille (un métal) avec le substrat du transistor,

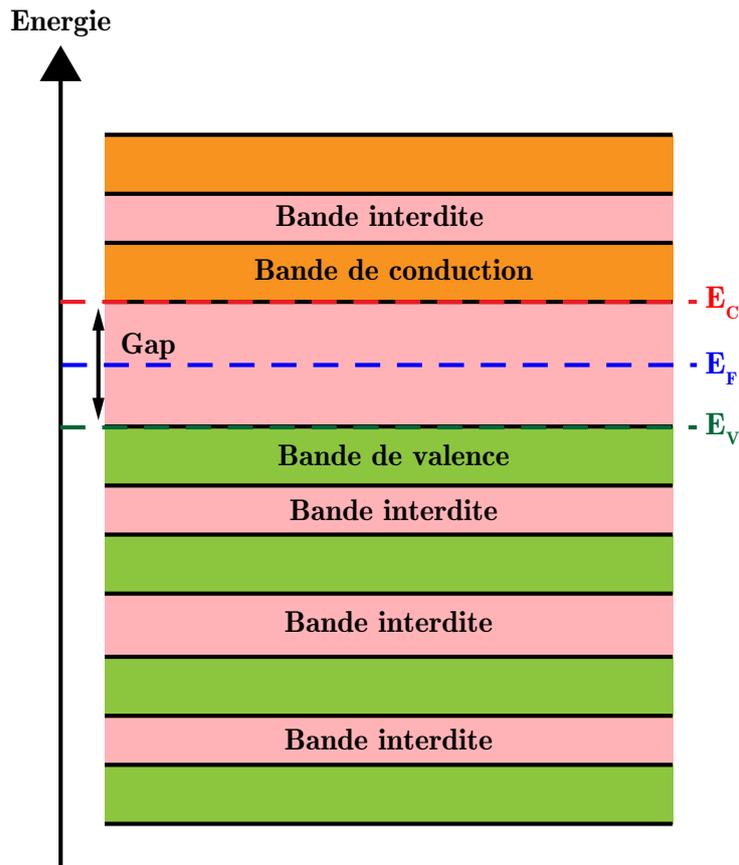


Figure 2.7 : Diagramme de bande d'un isolant ou d'un semiconducteur. E_C correspond au niveau d'énergie minimal de la bande de conduction, E_V est celui le plus haut de la bande de valence et E_F est le niveau de Fermi.

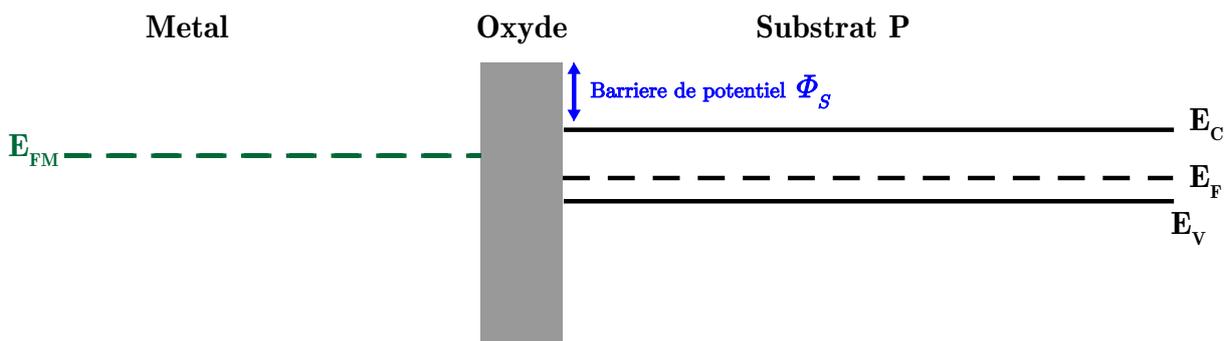
séparée par une barrière isolante : l'oxyde. Un potentiel Φ_S est nécessaire pour qu'un électron passe du substrat à la grille. Cependant avec la diminution de l'épaisseur des oxydes, les électrons sont de plus en plus soumis à l'effet tunnel, c'est-à-dire qu'il existe une probabilité finie qu'ils passent à travers l'oxyde. Ils sont alors régis par les règles de la mécanique quantique. Le mouvement de l'électron suit maintenant une forme d'onde. Les deux mécanismes responsables du déplacement d'électrons dans l'oxyde sont l'effet tunnel direct (ou "direct tunneling" en anglais) et l'effet de Fowler-Nordheim [Wu09a]. L'effet tunnel direct intervient lorsque la tension de grille est faible (inférieure à 5V).

2.1.2.2.2 Effet tunnel direct

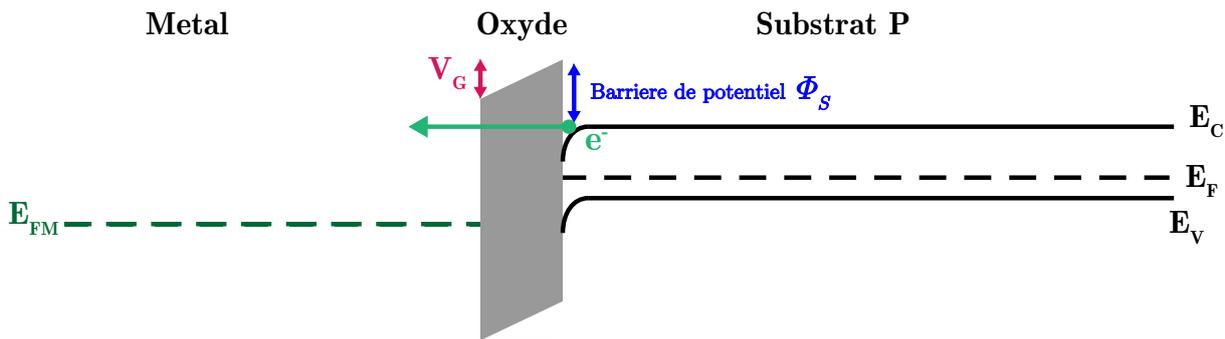
La Figure 2.8b illustre le cas d'un électron passant dans l'oxyde par l'effet tunnel direct [Ent07]. L'application d'une tension (positive sur la Figure 2.8b) sur la grille abaisse légèrement la barrière faite par l'oxyde qui devient trapézoïdale. L'électron traverse directement tout l'oxyde.

2.1.2.2.3 Effet de Fowler-Nordheim

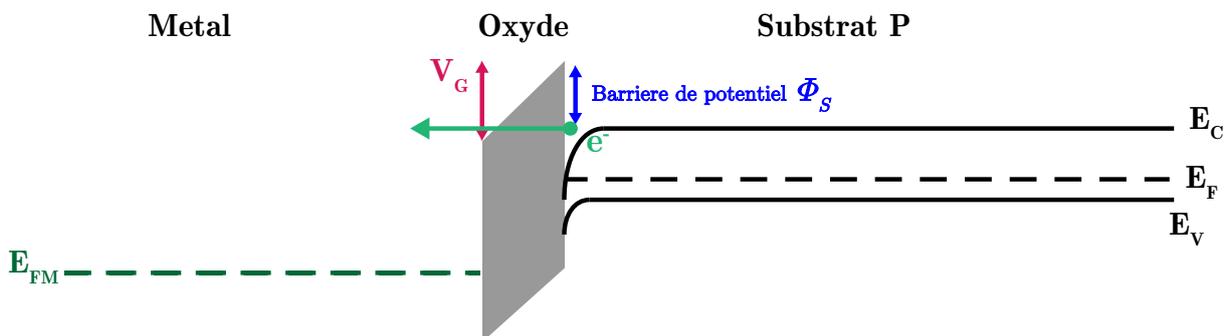
La Figure 2.8c montre le cas de la traversée d'un électron grâce à l'effet de Fowler-Nordheim [Ent07]. La tension à laquelle la grille est soumise est plus importante que dans le cas de l'effet tunnel direct. La barrière de potentiel du côté de la grille est très diminuée,



(a) Diagramme de bande de l'interface grille/substrat d'un transistor. La tension de grille V_G est nulle



(b) Diagramme de bande de l'interface grille/substrat d'un transistor. La tension de grille V_G est faible. L'effet tunnel permet à l'électron de traverser l'oxyde.



(c) Diagramme de bande de l'interface grille/substrat d'un transistor. La tension de grille V_G est importante. L'effet de Fowler-Nordheim permet à l'électron de traverser l'oxyde.

Figure 2.8 : Diagramme de bande de l'interface grille/substrat d'un transistor pour différentes valeurs de tension de grille. E_{FM} correspond au niveau de Fermi du métal, E_F celui du substrat P, E_C au niveau d'énergie de conduction, E_V au niveau d'énergie de valence, V_G à la tension positive appliquée sur la grille, et Φ_S à la barrière de potentielle du substrat.

elle prend la forme d'un triangle. L'électron peut être accéléré et passer une partie de l'oxyde et se retrouver dans la bande de conduction de l'oxyde et passer ensuite dans la grille.

2.1.2.3 Loi de Weibull

Le phénomène de casse d'oxyde fin est un événement aléatoire. Le nombre de charge nécessaire pour former un chemin de conduction est notée Q_{BD} et le temps pour l'obtenir est t_{BD} . Ces deux variables statistiques suivent une loi de Weibull.

$$\ln(-\ln(1-F)) = \beta \ln\left(\frac{t_{BD}}{t_{63\%}}\right) \quad (2.4)$$

Les paramètres de cette loi sont notés β , la pente de Weibull, et $t_{63\%}$, le temps nécessaire pour que 63.2% des échantillons soient défailants. La valeur de β est directement lié à l'étalement statistique des différents temps de casse des échantillons d'une même expérience. Plus β est grand plus l'étalement est petit, c'est-à-dire que l'écart de temps entre le composant qui casse le plus tôt et celui qui est défailant le plus tard est faible.

La diminution de l'épaisseur de l'oxyde entraîne la diminution des paramètres de la distribution de Weibull :

- en effet, plus un oxyde est fin plus le nombre de pièges nécessaire à sa casse diminue. La probabilité d'obtenir rapidement un chemin de conduction augmente et donc $t_{63\%}$ diminue.
- le nombre de minimum de piège pour créer un chemin de conduction est plus petit si l'épaisseur de l'oxyde diminue. Il est donc théoriquement possible d'obtenir une casse très rapidement. Il est aussi probable que beaucoup de défauts soient générés sans que le chemin soit formé. L'étalement statistique des temps de casse augmente donc avec la diminution de l'épaisseur d'oxyde. Cela implique une diminution de β .

La valeur de la pente de Weibull est indépendante de la surface de l'oxyde, contrairement au $t_{63\%}$. Il est possible d'écrire les relations suivantes pour deux composants utilisant le même oxyde de grille mais de surfaces différentes :

$$\ln(-\ln(1-F_2)) - \ln(-\ln(1-F_1)) = \beta \ln\left(\frac{A_2}{A_1}\right) \quad (2.5)$$

$$\frac{t_{63\%_1}}{t_{63\%_2}} = \left(\frac{A_2}{A_1}\right)^{\frac{1}{\beta}} \quad (2.6)$$

En effet, plus la surface d'un oxyde est faible, moins il y a de chances d'avoir des défauts à l'intérieur, donc plus le temps de casse est élevé.

2.1.3 Méthodes de mesure de casse d'oxyde

Lorsque le chemin de conduction est formé dans l'oxyde, celui-ci perd ses propriétés isolantes et devient résistif. L'impédance du composant change alors. Il est donc possible de détecter la casse de l'oxyde en mesurant la tension à ses bornes ainsi que le courant qui le traverse. Au moment où l'oxyde perd ses propriétés isolantes, la tension diminue et le courant augmente fortement comme l'illustre la Figure 2.9.

Il existe plusieurs façons de mesurer le temps de casse d'un oxyde. Deux méthodes ont été utilisées par la suite de l'étude et sont présentées dans ce paragraphe :

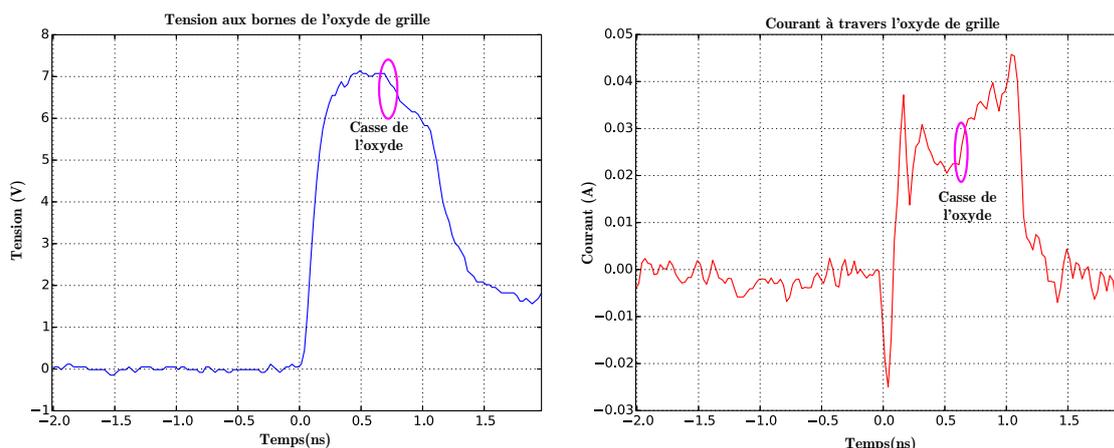


Figure 2.9 : Mesure de la tension et du courant d'un transistor lors de la casse de son oxyde de grille. Une impulsion VF-TLP d'une nanoseconde est appliquée à un transistor PMOS en inversion. Le cercle rose sur les courbes de tension et de courant signifie le moment de la dégradation de l'oxyde.

- La méthode de mesure avec une tension constante ou “Constant Voltage Stress” (CVS) en anglais : une tension constante est appliquée à la grille. La tension et le courant de la grille sont mesurés et permettent de détecter la casse. Le t_{BD} est obtenu en mesurant la durée écoulée entre le début du stress et la casse d'oxyde.
- La méthode de mesure avec une tension de rampe ou “Ramped Voltage Stress” (RVS) en anglais : l'oxyde est soumis à des impulsions de tension croissante jusqu'à l'apparition du chemin de conduction. Le t_{BD} peut être obtenu de deux manières : soit en additionnant la durée totale de stress durant laquelle une tension est appliquée à l'oxyde (dans ce cas la robustesse de l'oxyde est sous évaluée) ou bien en transformant le stress au quel est soumis l'oxyde pour chaque impulsion à un temps équivalent de stress à une tension constante. La seconde méthode est préférée.

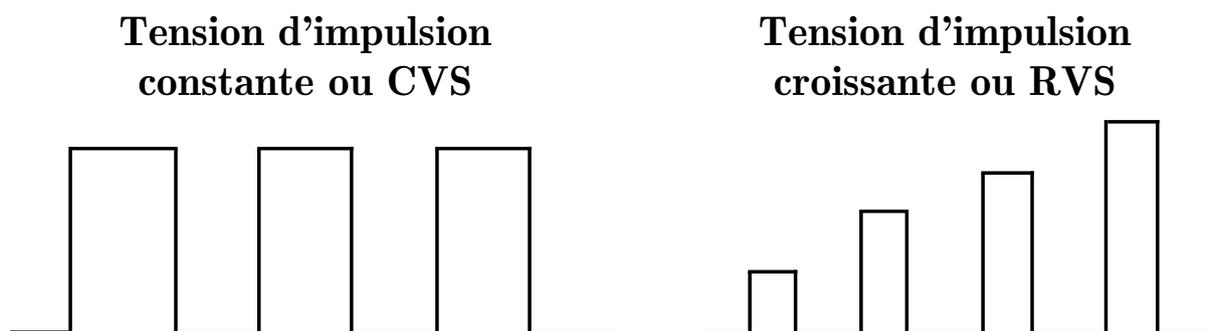


Figure 2.10 : Chronogramme d'un stress CVS et d'un stress RVS

La Figure 2.10 illustre la différence entre les stress CVS et RVS. L'utilisation de la méthode RVS permet de diminuer les temps de mesure car plus une tension est grande, plus l'oxyde casse rapidement. Cependant pour convertir les données RVS en données CVS, plus facilement exploitables, il faut connaître la loi empirique qui lie le temps de casse t_{BD}

(généralement le $t_{63\%}$ est choisi pour l'établissement de la loi) à la tension d'oxyde de grille appliquée V_G .

2.1.4 Loi de puissance

Il existe plusieurs modèles concurrents pour décrire l'accélération de tension [Wu09a], c'est-à-dire la relation qui lie t_{BD} à V_G : une loi exponentielle (équation 2.7), de puissance (équation 2.8) et exponentielle inversement proportionnelle à la tension (équation 2.9).

$$t_{BD} = a \exp(\gamma V_G) \quad (2.7)$$

$$t_{BD} = a V_G^{-n} \quad (2.8)$$

$$t_{BD} = a \exp\left(\frac{C}{V_G}\right) \quad (2.9)$$

Dans [Wu09a] et [Wu09b], les auteurs ont montré que la loi exponentielle n'est pas adaptée pour traduire le comportement de la casse des oxydes fins. La loi de puissance permet de lier le temps de casse et la tension appliquée à la grille lorsque l'effet de tunnel direct intervient. Dans une situation où l'effet de Fowler-Nordheim joue un rôle, la loi exponentielle inversement proportionnelle à la tension est la plus pertinente, cependant la loi de puissance peut toujours être utilisée si l'intervalle de temps est restreint, par exemple de 100ps à 100ns.

Par la suite la loi d'accélération de tension choisie est la loi de puissance car l'intervalle de temps étudié est petit : de 100ps à 100ns et les tensions de grille appliquées sont dans la plage de l'effet tunnel direct et dans celle de l'effet Fowler-Nordheim. L'équation 2.8 peut aussi s'écrire de la manière suivante en isolant a pour deux couples de tension de grille / temps de casse :

$$t_{BD_2} = t_{BD_1} \left(\frac{V_{G_2}}{V_{G_1}}\right)^{-n} \quad (2.10)$$

Cette forme permet de convertir les données obtenues par des mesures RVS en données CVS.

2.1.5 Mesure de fiabilité sur les oxydes dans le domaine ESD

Les études de fiabilité réalisées sur les oxydes de grille sont en général faites dans le but d'étudier la durée de vie des transistors. Les mesures sont conduites dans des temps assez long par rapport aux durées des événements ESD et sont ensuite extrapolées pour des durées de l'ordre de la dizaine d'années. Cependant, un certain nombre de travaux effectués ont permis de valider les modèles de casse d'oxyde dans les domaines de temps ESD.

Dans [Ill06], les auteurs ont validé l'utilisation de la loi de puissance pour des temps allant de 10^3s jusqu'à $100ns$. Les mesures ont été conduites avec notamment un banc de test TLP. Les données recueillies sont des données CVS car plus précises. Les auteurs ont trouvé que la valeur du coefficient d'accélération n (cf. 2.8) dépend de la valeur de la tension appliquée à la grille. Ceci s'explique par le fait que pour des tensions inférieures à 5V, la génération de défaut est due à l'effet tunnel direct et au dessus de cette valeur, à

l'effet Fowler-Nordheim. L'étude réalisée est exhaustive, elle porte sur plusieurs épaisseurs (1,5nm jusqu'à 5,2nm) et surface d'oxyde (de 0,12 μm^2 à 10000 μm^2). La détection de défaut est faite en surveillant la tension et le courant à travers le composant testé. Les impulsions TLP sont considérées comme des parfait carrés.

Dans [Mal08], les auteurs utilisent un banc de mesure VF-TLP pour mesurer le temps de casse des oxydes dans le domaine de temps CDM. Les oxydes étudiés sont assez épais (7nm et 13nm). Les mesures de type RVS sont utilisées et la valeur du coefficient d'accélération n (44, valeur typique de n dans la littérature) est choisie par les auteurs. Toutes les impulsions VF-TLP sont converties en données CVS équivalentes et sommées jusqu'à la casse. Les impulsions VF-TLP sont considérées comme idéales. Cette étude a permis de prouver que les bancs de test VF-TLP peuvent être utilisés pour obtenir un jeu de mesures RVS que peut ensuite être ramené à un jeu de données CVS avec la loi de puissance pour établir des équations de casse d'oxyde dans le domaine de temps ESD.

Dans [Ell09], les auteurs continuent le travail de [Mal08]. Des mesures RVS sont, de nouveau, réalisées sur un banc de test VF-TLP mais une deuxième série de mesures CVS est effectuée en parallèle. Les auteurs ont présenté une façon d'obtenir le coefficient d'accélération n en transformant les données RVS obtenues et en les comparant avec le jeu de données CVS. De plus, à la différence des deux précédentes études, les impulsions VF-TLP ne sont plus considérées comme parfaites. Une amélioration de la loi de puissance pour tenir compte de ces imperfections est décrite et est appelée loi de puissance trapézoïdale. Si la tension entre deux échantillons d'une même impulsion VF-TLP varie, l'équation 2.11 est utilisée pour obtenir le temps de stress équivalent, sinon l'équation 2.12 est employée.

$$t_{eff} = \frac{t_2 - t_1}{n + 1} V_{CVS}^{-n} \frac{V_2^{n+1} - V_1^{n+1}}{V_2 - V_1} \quad (2.11)$$

$$t_{eff} = (t_2 - t_1) \left(\frac{V_{CVS}}{V_1} \right)^{-n} \quad (2.12)$$

La Figure 2.11 illustre la conversion entre deux échantillons d'une même impulsions VF-TLP d'une mesure RVS en une donnée CVS. Les durées équivalentes obtenues entre chaque point de mesure sont sommées pour obtenir le temps de stress équivalent pour chaque impulsion. Les données pour chaque pulse sont ensuite elles-même sommées pour obtenir le temps de casse CVS.

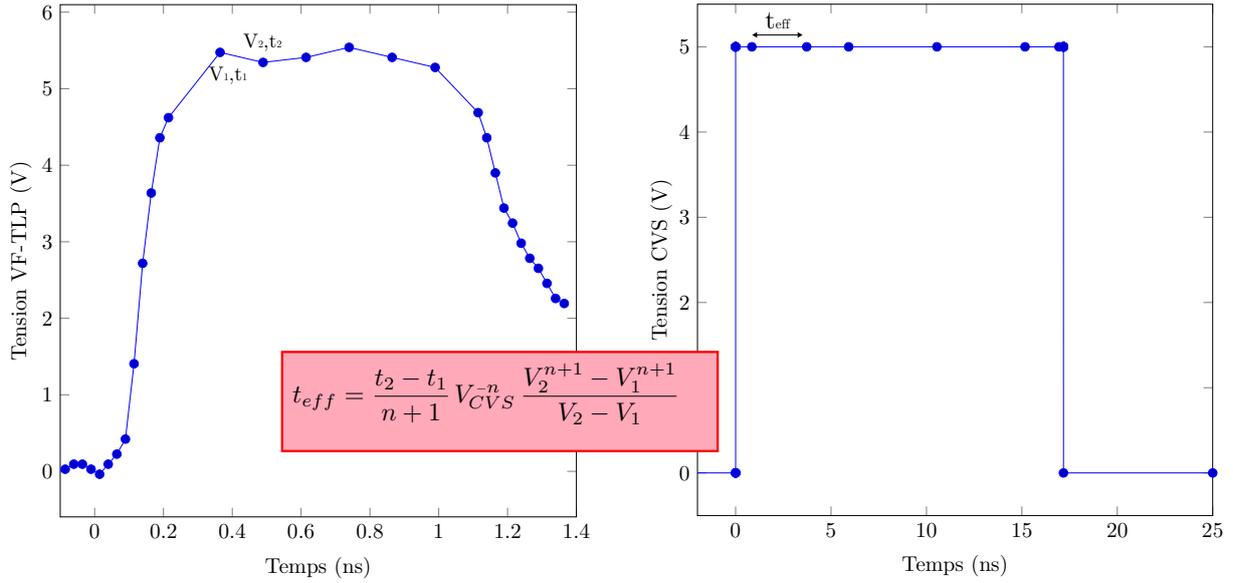


Figure 2.11 : Conversion du temps de stress d'une impulsion VF-TLP en un stress de type CVS en utilisant la loi de puissance trapézoïdale. Une impulsion VF-TLP de 1ns avec une tension moyenne de 5.3V est convertie en une impulsion de tension 5V constante. Avec la loi de puissance classique la durée effective est de 9.93ns, avec la loi trapézoïdale, elle est de 17.18ns.

Cependant, les oxydes étudiés sont une nouvelle fois épais (7nm et 13nm). La méthode de détermination du coefficient n sera reprise par la suite dans notre étude statistique de la casse des oxydes fins et prédire sa robustesse lors d'un événement CDM.

Dans [Van20], les auteurs utilisent la montée d'une impulsion TLP pour dégrader l'oxyde de grille pour effectuer leurs mesures RVS. Les tests sont réalisés sur un seul composant et comparés avec différentes façons de mesurer le temps de casse de l'oxyde, telles que des mesures CVS et RVS classiques afin de prouver la faisabilité de cette nouvelle méthode de mesure de casse d'oxyde dans le domaine des ESD.

2.2 Étude et caractérisation de la casse d'oxyde dans les domaines de temps équivalent à un événement CDM

Afin d'étudier le phénomène CDM et le comportement des circuits durant ce type d'événement électrostatique, des circuits de test ont été réalisés dans trois technologies différentes : le BICMOS55, le CMOS40 et le 28FDSOI. Pour prédire la robustesse d'un circuit vis-à-vis d'un événement CDM, il est nécessaire de connaître la tension de casse de l'oxyde des transistors pour des durées très courtes similaires à ce type de phénomène, c'est-à-dire de l'ordre de la nanoseconde.

2.2.1 Description des composants utilisés

Afin de pouvoir d'anticiper le comportement des oxydes de grille pour des stress de durée proche de 1ns, une étude statistique de dégradation d'oxyde a été réalisée dans

les technologies BICMOS55, CMOS40 et 28FDSOI. Cependant le temps de casse d'un oxyde dépend de plusieurs facteurs, tels que son épaisseur, sa surface, son type (NMOS ou PMOS), etc... Plusieurs axes d'investigation ont été choisis afin de comprendre le comportement d'un transistor lors d'une décharge électrostatique et en particulier CDM. La Table 2.1 énumère les différents paramètres étudiés.

Impact des paramètres étudiés	Technologie utilisée	Valeurs
Épaisseur d'oxyde	CMOS40 et 28FDSOI	de 1.38nm à 5nm et utilisation d'oxyde "high K"
Surface de l'oxyde	BICMOS55, CMOS40 et 28FDSOI	de $0.024\mu m^2$ à $67.5\mu m^2$
Différences du type de transistors	CMOS40 et 28FDSOI	NMOS ou PMOS
SOI	28FDSOI	transistors avec SOI et sans
Lieu du stress	BICMOS55 et CMOS40	grille-substrat ou grille-source
Procédé technologique	BICMOS55 et CMOS40	NA
Résistance série	BICMOS55	de 0 à 5000Ω

Table 2.1: Récapitulatif des différentes études de casse d'oxyde

Le premier aspect étudié est l'influence de l'épaisseur de l'oxyde. Pour cela, dans chaque technologie étudiée, des transistors de cœur, avec l'oxyde le plus fin, et de périphérie avec un oxyde épais de même surface sont dégradés. Afin de réaliser cette comparaison pour plus d'épaisseurs différentes, des transistors de tailles identiques en CMOS40 et en 28FDSOI sont comparés.

Afin de pouvoir estimer le comportement de tous les transistors dans un circuit, il faut connaître la relation entre le temps de casse et la surface d'oxyde d'un composant. Pour cela, plusieurs transistors de même oxyde mais de surfaces multiples sont testés et pour toutes les technologies étudiées. Puis certains transistors avec la même surface d'oxyde mais pas les mêmes largeur et longueur de canal sont aussi étudiés afin de vérifier que c'est la surface de l'oxyde qui influence le temps de casse et non les dimensions du canal.

Ensuite, la différence de type de transistor et notamment la différence entre un PMOS (cf. Figure 2.12c) et un NMOS (cf. Figure 2.12b) est étudiée en CMOS40 et en 28FDSOI. Pour cela, les mesures de dégradation d'oxyde de divers NMOS et PMOS de taille identique sont comparées.

De plus, comme la technologie 28FDSOI à la particularité d'avoir un oxyde enterré, l'impact de ce dernier est quantifié sur la robustesse des transistors. Des transistors avec la couche d'oxyde enterré et sans, de dimension et d'oxyde identique sont testés.

Lors d'un événement ESD, la différence de potentiel peut-être observée entre la source et la grille, le drain et la grille ou le substrat et la grille. Les transistors étant symétriques, il suffit de s'intéresser au changement du temps de casse pour un stress entre la grille et substrat (cf. Figure 2.12a) par rapport un stress entre la grille et la source (cf. Figure 2.12b). Des mesures de casse d'oxyde ont donc été faites entre ces deux lieux de stress sur des transistors identiques.

Les technologies BICMOS55 et CMOS40 ont des oxydes composés des mêmes matériaux et d'épaisseur très similaires. L'impact des procédés technologiques sur le temps de casse de l'oxyde est donc traité comme par exemple des différences de dopage des zone P+ et N+.

Le dernier paramètre considéré est l'impact de l'utilisation d'une résistance série sur la grille des transistors (cf. Figure 2.12d). Les résistances en série sont souvent utilisées en plus des protections CDM classiques afin de protéger les transistors. Elles permettent de rendre le chemin de décharge passant par la grille des transistors plus résistif et donc de rendre d'autres chemins plus favorables pour les charges stockées dans le composant. Plusieurs valeurs classiques de résistances utilisées dans les circuits ont été analysées.

La Figure 2.12 illustre les différentes configurations de transistors employées durant l'étude statistique réalisée.

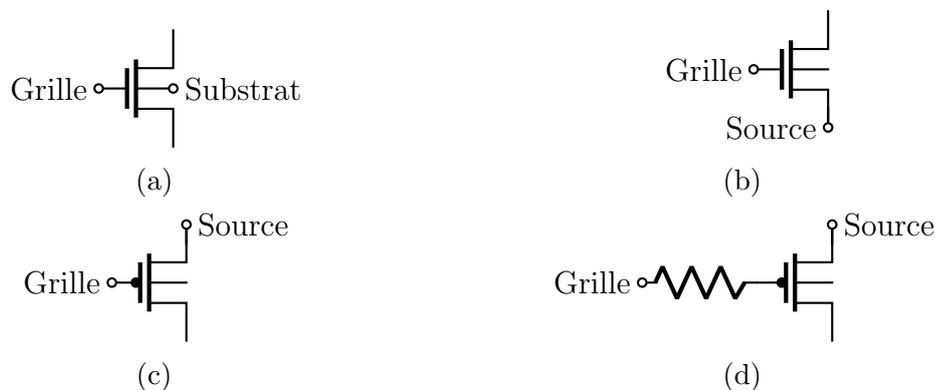


Figure 2.12 : Schéma de différents types de devices utilisés pour caractériser le comportement des oxydes lors d'un événement CDM. (a) NMOS stressé entre la grille et le substrat, (b) NMOS stressé entre la grille et la source, (c) PMOS stressé entre la grille et la source, (d) PMOS stressé entre la grille et la source avec une résistance série.

La Table 2.2 présente les différentes caractéristiques des transistors utilisés dans l'étude en BICMOS55, la Table 2.3 celles en CMOS40 et la Table 2.4 celles en 28FDSOI.

2.2.2 Protocole expérimental

Pour les trois études statistiques de la casse d'oxyde lors d'un événement CDM, le protocole expérimental appliqué a été identique afin de pouvoir comparer les résultats obtenus d'une campagne à une autre. Afin de faciliter les mesures, il a été choisi d'utiliser les équipements de mesures employés lors des caractérisations ESD, c'est-à-dire un banc TLP et VF-TLP.

Pour chaque composant, deux expériences ont été réalisées : une en TLP avec des pulses long de tensions constantes (mesures CVS) et une autres avec des pulses VF-TLP plus courts pour des tensions de plus en plus grandes (mesures RVS). Chaque expérience est conduite avec entre 20 et 30 échantillons. Ce nombre a été choisi pour obtenir une bonne précision sur les estimations des paramètres de Weibull tout en diminuant le plus possible la durée des mesures.

Type d'oxyde	GO1 (1.8nm) et GO2 (5nm)
Type de transistors	NMOS et PMOS
Tension appliquée entre	Grille-Source et Grille-Substrat
Surface oxyde GO1	$0.024\mu m^2, 0.14\mu m^2, 0.17\mu m^2, 0.84\mu m^2$
Surface oxyde GO2	$0.14\mu m^2, 0.17\mu m^2, 0.84\mu m^2, 6\mu m^2,$
Longueur grille GO1	$0.06\mu m$ et $0.28\mu m$
Longueur grille GO2	$0.28\mu m$ et $0.6\mu m$
Résistance série	300Ω et 5000Ω

Table 2.2: Récapitulatif des différents transistors étudiés en BICMOS55

Type d'oxyde	GO1 (1.7nm) et GO2 (5nm)
Type de transistors	NMOS et PMOS
Tension appliquée entre	Grille-Source et Grille-Substrat
Surface oxyde GO1	$0.024\mu m^2, 0.12\mu m^2, 0.6\mu m^2, 3\mu m^2, 15\mu m^2$
Surface oxyde GO2	$0.108\mu m^2, 0.54\mu m^2, 0.6\mu m^2, 2.7\mu m^2, 3\mu m^2, 13.5\mu m^2, 15\mu m^2, 67.5\mu m^2$
Longueur grille GO1	$0.06\mu m$ et $2\mu m$
Longueur grille GO2	$0.27\mu m$ et $2\mu m$

Table 2.3: Récapitulatif des différents transistors étudiés en C40

2.2.2.1 Mesures TLP

Pour chaque composant une première série de mesure TLP est effectuée afin d'estimer la tension de stress CVS qui permet de casser les transistors en un petit nombre d'impulsions. Une fois cette tension déterminée, entre 20 et 30 composants identiques sont soumis à cette tension pendant plusieurs impulsions TLP (en vérifiant que leur tension est bien identique entre deux différentes impulsions). La durée des impulsions utilisées est de 100ns avec des temps de montée de 10ns. Une fois la casse détectée (cf. Figure 2.9), les mesures sont stoppées. Les données sont ensuite traitées.

Type d'oxyde	GO1 (1.38nm) et GO2 (1.875nm oxyde "high-K")
Type de transistors	NMOS, PMOS et NMOS Hybride (sans la couche d'oxyde enterré)
Tension appliquée entre	Grille-Source
Surface oxyde GO1	$0.024\mu m^2, 0.12\mu m^2, 0.6\mu m^2, 3\mu m^2, 15\mu m^2$
Surface oxyde GO2	$0.06\mu m^2, 0.3\mu m^2, 0.6\mu m^2, 1.5\mu m^2, 3\mu m^2, 7.5\mu m^2, 15\mu m^2, 37.5\mu m^2$
Longueur grille GO1	$0.06\mu m$ et $2\mu m$
Longueur grille GO2	$0.15\mu m$ et $2\mu m$

Table 2.4: Récapitulatif des différents transistors étudiés en 28FDSOI

2.2.2.2 Mesures VF-TLP

Les composants sont soumis à des impulsions VF-TLP d'une durée de 1ns avec des temps de montée de 100ps. Entre 20 et 30 composants identiques sont stressés. La tension de charge du générateur VF-TLP (cf. Figure 1.16 et Figure 1.17) est montée par incrément constant (0.5V). Une fois la casse d'oxyde détectée (cf. Figure 2.9), les mesures sont arrêtées puis analysées.

2.2.3 Traitement des données de mesure

Afin de traiter les données recueillies lors des diverses mesures statistiques, un programme en Python [Pyt20] a été conçu afin d'estimer les paramètres de Weibull pour les mesures CVS et d'estimer la valeur du facteur d'accélération n de la loi de puissance. Il permet aussi d'obtenir le tracé des différentes courbes ainsi que le tracé de la loi de puissance. D'autres scripts Python ont aussi été utilisés pour confirmer, par exemple, la relation entre la surface de l'oxyde de grille et son temps de casse (cf. Equation 2.5).

La Figure 2.13 explique la méthode employée pour déterminer la loi de puissance pour un composant donné. La façon de faire reprend celle présentée par les auteurs dans [Ell09]

Les données CVS sont d'abord traitées et les paramètres de la loi de Weibull β et $t_{63\%}$, correspondant à l'expérience sont déterminés en utilisant l'estimateur du maximum de vraisemblance (cf. Section 2.1.1).

Puis les données issues des mesures VF-TLP sont analysées. Dans un premier temps, une valeur arbitraire basse de n est choisie. Pour tous les échantillons, et pour toutes les impulsions, chaque point de mesure est converti en utilisant la relation suivante :

$$t_{eff} = \frac{t_2 - t_1}{n + 1} V_{CVS}^{-n} \frac{V_2^{n+1} - V_1^{n+1}}{V_2 - V_1}$$

avec la tension de référence V_{REF} qui correspond à la tension TLP des mesures CVS. Les valeurs de temps de stress équivalents pour chaque impulsion avant la casse sont sommées.

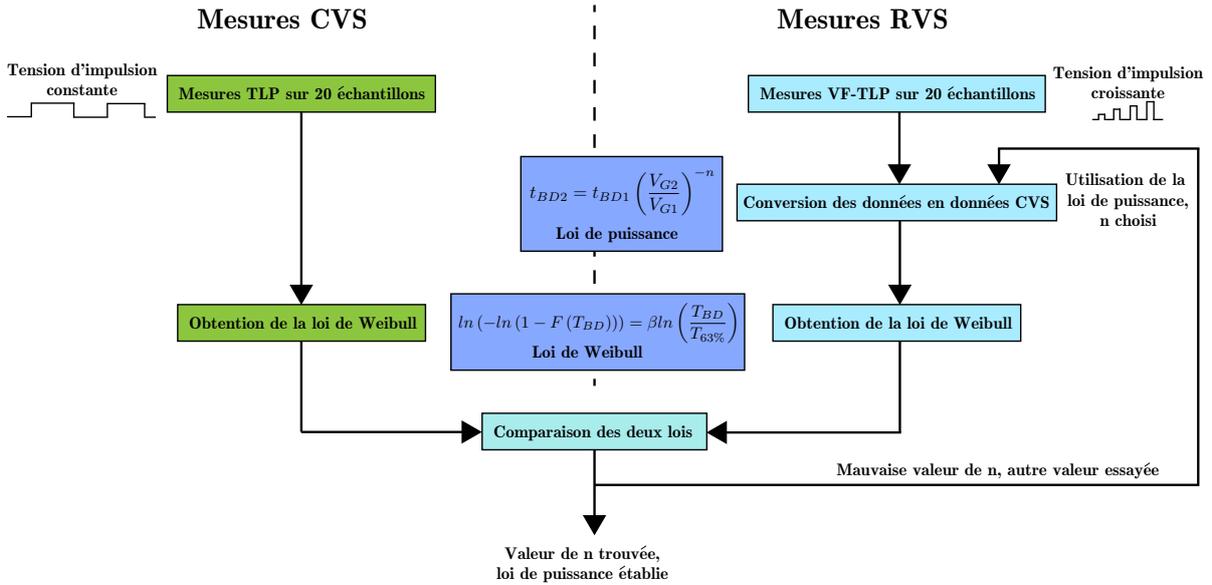


Figure 2.13 : Schéma d'un principe du traitement des mesures de casse d'oxyde dans le domaine de temps dans un événement CDM

Dans le cas de l'impulsion où la casse se produit, les données ne sont transformées que jusqu'à cette dernière noté m . Les temps équivalents recueillis pour chaque impulsion k sont ensuite sommés :

$$t_{BD_{\text{échantillon}}} = \sum_{k=1}^m t_{BD_k}$$

Le nouveau jeu de données obtenu est équivalent à une mesure de type CVS. Les paramètres de Weibull sont extraits pour ces nouvelles données en utilisant de nouveau l'estimateur du maximum de vraisemblance. La courbe Weibull résultante est comparée à celle obtenue précédemment avec les mesures TLP. Si les temps à 63,2% sont à moins de 5% l'un de l'autre pour les deux courbes, alors n est sélectionné, sinon n est incrémenté et le processus est répété jusqu'à l'obtention d'un n satisfaisant.

2.3 Résultats

Les résultats obtenus après le traitement des données sont présentés dans cette partie. Les données en BICMOS55 ont permis la publication d'un article [Tro21]. Dans un premier temps, la loi de puissance (cf. Équation (2.8)) pour chaque transistor est étudiée. Puis l'impact de chaque paramètre étudié et présenté dans la Table 2.1, est discuté.

2.3.1 Établissement de la loi de puissance

Dans un premier temps, la loi de puissance est établie pour tous les transistors étudiés. La Figure 2.14 illustre la détermination du paramètre n pour un transistor NMOS de type GO2 avec une aire de $3\mu m^2$ dans la technologie CMOS40. La tension de référence est de 14V, elle correspond à la tension des mesures CVS effectuées sur le transistor. La valeur de n sélectionnée correspond à la valeur qui permet aux courbes de Weibull RVS et CVS de

se recouper à -0.3 ($F=50\%$). Les données RVS sont obtenues en transformant les mesures VF-TLP avec la loi de puissance, comme présenté sur la Figure 2.13.

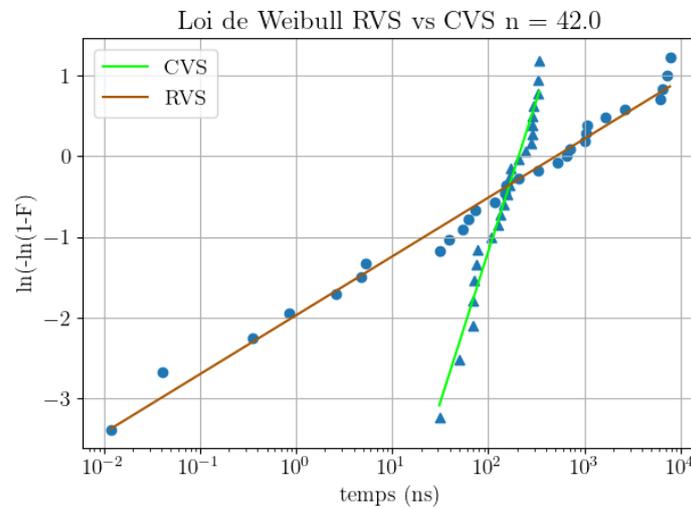


Figure 2.14 : Détermination du paramètre n de la loi de puissance d'un transistor NMOS GO2 dans la technologie CMOS40. Le n obtenu est de 42.

La Figure 2.15 montre la loi de puissance obtenue pour le transistor CMOS40 une fois le n déterminé. La tension de casse à 1ns est de 15.4V.

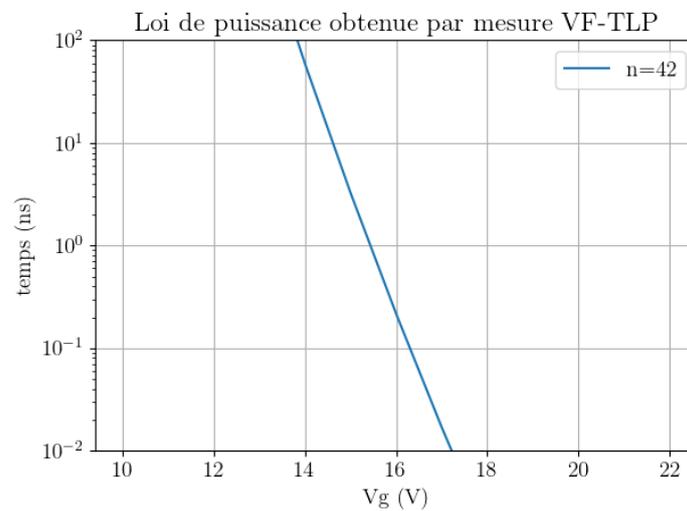


Figure 2.15 : Loi de puissance d'un NMOS GO2 dans la technologie CMOS40. La tension de casse à 1ns est de 15.4V.

Les Tables 2.5 et 2.6 récapitulent les résultats de l'établissement des lois de Weibull pour les divers transistors étudiés.

Type	Oxyde	β	n	V_{BD} @ 1ns
NMOS	GO1	0.93	49.5	6.2-6.4V
PMOS	GO1	2.8	40.6	8.6V
NMOS	GO2	1.65	39.7	15-15.8V
PMOS	GO2	1.3	39.6	19-20.3V

Table 2.5: Récapitulatif de principaux paramètres obtenus pour la technologie BICMOS55

Type	Oxyde	β	n	V_{BD} @ 1ns
NMOS	GO1	1.25	45.6	5.4-6.1V
PMOS	GO1	1.01	44.2	6.7-7.9V
NMOS	GO2	1.55	38.9	12.8-15.4V
PMOS	GO2	0.98	34.8	16.7-17.6V

Table 2.6: Récapitulatif de principaux paramètres obtenus pour la technologie CMOS40

Les valeurs de n dépendent de la tension de grille appliquée. Pour des tensions de grille faibles (en dessous de 6V), n sera entre 40 et 50 tandis que pour des tensions de grille plus importantes, elle sera entre 30 et 44. Cela correspond aux intervalles de valeurs de n trouvé lors des estimations de la loi de puissance des transistors testés. Afin de réduire le temps de traitement des données et le nombre de mesures, il a été choisi de ne faire que des mesures de type CVS en 28FDSOI et de convertir les données CVS avec trois valeurs de n sélectionnées en fonction de la tension de grille appliquée : $n=\{40,44,50\}$ pour les transistor GO1 et $n=\{30,44,50\}$ pour les transistors GO2. La Figure 2.16 montre que les valeurs des tensions de casses à 1ns obtenue avec les trois valeurs de n sont très similaires.

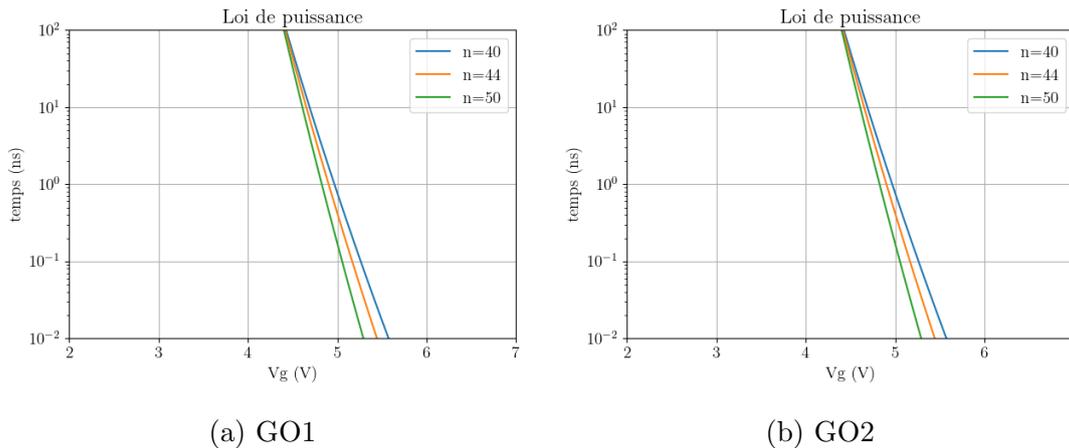


Figure 2.16 : Estimation des lois de puissance des deux transistors NMOS (GO1 et GO2) de la technologie 28FDSOI

Les résultats de l'étude des transistors en 28FDSOI sont résumés dans la Table 2.7.

Type	Oxyde	β	n	V_{BD} @ 1ns
NMOS	GO1	1.5	NA	4.4-5.2V
PMOS	GO2	1	NA	4.7-5V
NMOS	GO1	1.8	NA	9.35-10.2V
PMOS	GO2	1	NA	12.8-13.1V

Table 2.7: Récapitulatif de principaux paramètres obtenus pour la technologie 28FDSOI

2.3.2 Impact des paramètres étudiés

2.3.2.1 Épaisseur de l'oxyde

Plus l'oxyde est épais, plus la quantité de charges nécessaire pour la création d'un chemin de conduction est importante et donc plus le TTBD (Time to Breakdown) pour une tension de grille donnée est important. La Figure 2.17 le montre. Deux transistors de la technologie CMOS40 sont comparés. Ils sont de dimensions égales, seule leur épaisseur d'oxyde change : l'un a un oxyde de 1,7nm (GO1) et l'autre de 5nm (GO2). Les mesures CVS, pour le transistor GO2 ont été effectuées avec une tension de grille de 14V, tandis que les transistors GO1 ont été soumis à une tension de grille de 5V. En utilisant la loi de puissance déterminée pour le transistor GO2 ($n=42$), ses données CVS 14V sont transformées en données 5V. Les deux courbes sont ensuite présentées sur la Figure 2.17.

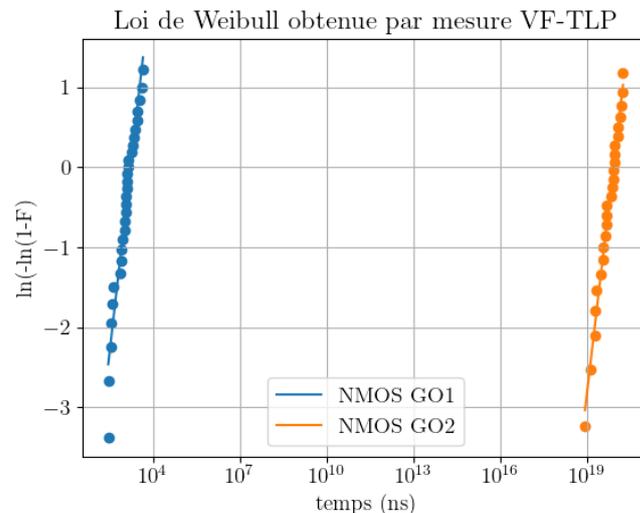


Figure 2.17 : Comparaison des lois de Weibull de deux transistors même dimensions mais avec deux épaisseurs d'oxyde différentes en CMOS40 avec une tension de grille de référence de 5V.

L'écart de temps de casse entre un transistor GO1 et GO2 est de 10^{10} secondes.

2.3.2.2 Surface de l'oxyde

Pour vérifier la relation donnée par l'équation (2.5) et l'indépendance de β par rapport à la surface de l'oxyde, les courbes de Weibull sont transformées afin que les

données soient normalisées pour une aire de $A_{ref} = 1\mu m^2$ en utilisant la formule suivante : $\ln(-\ln(1-F)) - \ln(A/A_{ref})$. Si le nuage de point obtenu forme une droite alors, l'indépendance du paramètre β est confirmée.

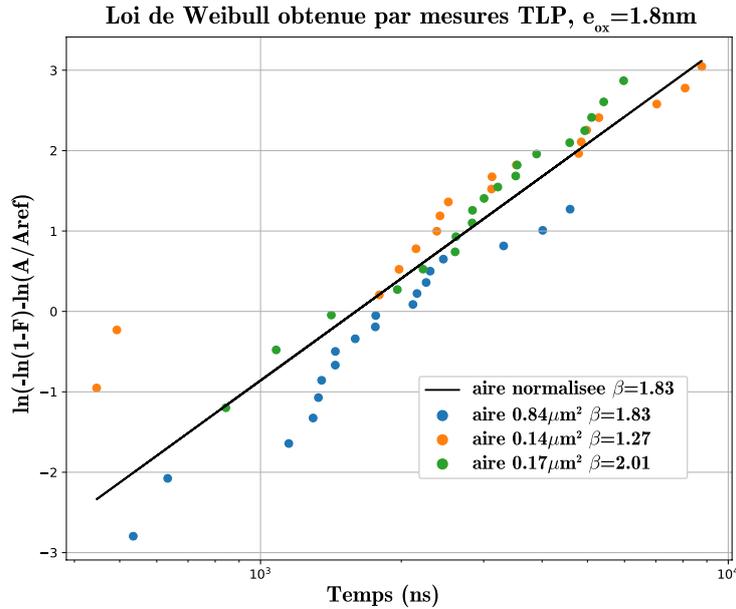


Figure 2.18 : Loi de Weibull normalisée pour une aire de $1\mu m^2$. Trois NMOS avec un oxyde d'épaisseur 1.8nm avec des aires différentes : $A = 0.14\mu m^2$, $0.17\mu m^2$ ou $0.84\mu m^2$

La Figure 2.18 montre les résultats en BICMOS55 du tracé de $\ln(-\ln(1-F)) - \ln(A/A_{ref})$ pour des transistors NMOS avec un oxyde de 1.8nm, des aires de $0.14\mu m^2$, $0.17\mu m^2$ et $0.84\mu m^2$ et une tension de stress de 5.45V. Un nuage de point contenant les données des trois mesures est obtenu et une régression linéaire est faite pour vérifier l'indépendance de β par rapport à la surface d'oxyde. Le β obtenu pour l'oxyde de 1.8nm est de 1.8.

La Figure 2.19 illustre la normalisation des aires de transistors NMOS avec un oxyde de 1,7nm à une aire de $1\mu m^2$ avec des surfaces d'oxyde de $A = 3\mu m^2$, $0.6\mu m^2$, $3\mu m^2$, ou $15\mu m^2$. Les deux transistors de même aire ont des largeurs et longueurs différentes. La tension de stress appliquée était de 5V. L'indépendance de β est retrouvée et sa valeur est de 1.

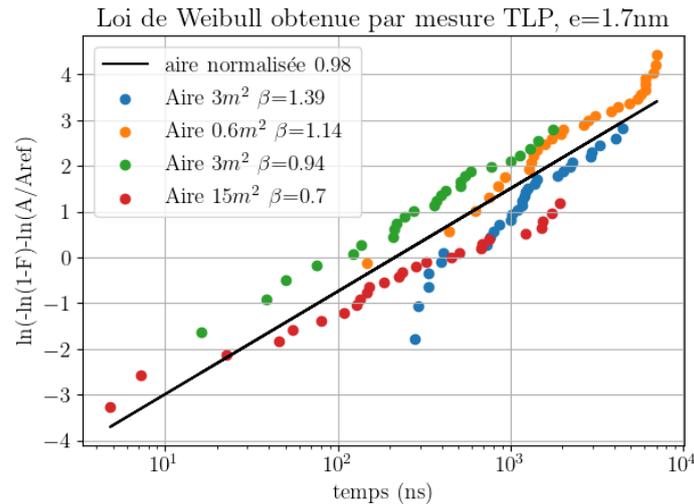


Figure 2.19 : Loi de Weibull normalisée pour une aire de $1\mu m^2$. Quatre NMOS avec un oxyde d'épaisseur 1.7nm avec des aires différentes : $A = 3\mu m^2$, $0.6\mu m^2$, $3\mu m^2$, ou $15\mu m^2$

2.3.2.3 Type de transistor

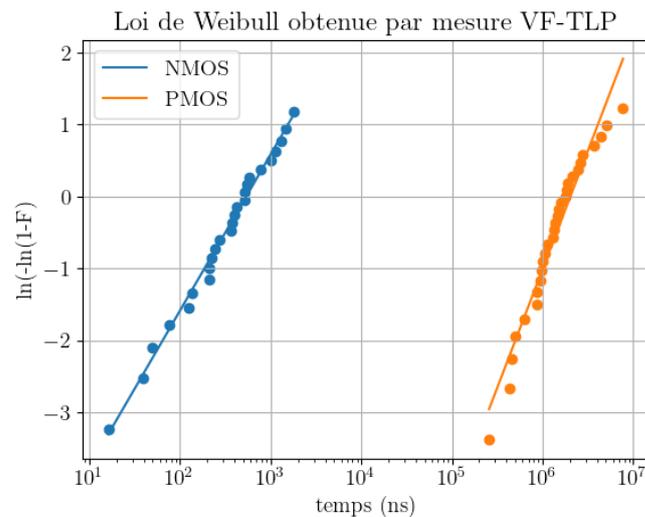


Figure 2.20 : Comparaison des lois de Weibull d'un transistor NMOS et PMOS de même dimension en inversion en C40 avec une tension de grille de 5V.

Cette partie s'intéresse aux différences entre les TTBDs des transistors PMOS et NMOS.

La Figure 2.20 montre les lois de Weibull de deux transistors de même oxyde et dimensions, l'un de type P et l'autre N. Les données du PMOS proviennent d'une transformation des résultats de mesure obtenues après des tests CVS à 6V, grâce à la loi de puissance.

Le temps de casse du PMOS est supérieur à celui du NMOS. Ce résultat est retrouvé pour toutes les mesures et les technologies. Cela peut être dû à la différence entre la mobilité des porteurs de charges N et P.

2.3.2.4 Technologie SOI

De plus en plus de composants électroniques utilisent des technologies de type SOI. Il est donc important de connaître l'impact de ce procédé de fabrication sur la robustesse des transistors lors d'un événement de type CDM. Des transistors SOI et standard de la technologie 28FDSOI ont été étudiés. La Figure 2.21 illustre les lois de Weibull de trois NMOS GO1 SOI et deux NMOS GO1 standards ou "bulk" en anglais.

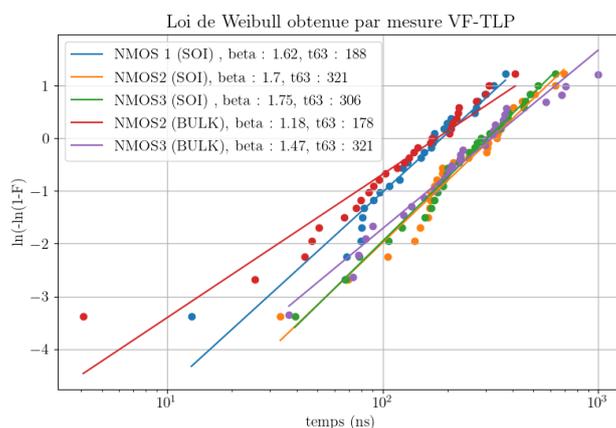


Figure 2.21 : Comparaison des lois de Weibull de transistors NMOS GO1 dans la technologie 28FDSOI. Certains sont des transistors SOI d'autres des transistors standards noté bulk. Les transistors avec le même numéro (2 et 3) ont la même surface d'oxyde.

Les valeurs de β semble un peu plus faible pour les transistors standards.

La Figure 2.22 montre les lois de puissance obtenues pour un NMOS GO1 dans sa version SOI et standard. Pour le transistor standard la tension de casse à 1ns est entre 5.3 et 5.4V tandis que dans le cas du transistor SOI, la tension de casse est entre 4.6 et 4.7V. Les transistors SOI semblent donc un peu moins robuste lors d'un événement CDM. Une partie de cette différence peut s'expliquer par le fait que les règles de dessin du procédé 28FDSOI imposent une distance entre la source et la grille du transistor un peu plus grande pour les transistors standard que pour les transistors SOI.

2.3.2.5 Lieu du stress

Lors d'un événement CDM, la différence de potentielle peut être entre la grille et la source, le drain ou le substrat du transistor. Afin d'observer s'il existe une différence entre l'endroit où se trouve la tension de grille (grille-source, grille-drain ou grille-substrat), des transistors NMOS ont été stressés entre leur grille et leur source et entre leur grille et leur substrat. Les transistors étant symétriques, le cas grille - drain n'est pas étudié.

Dans un premier temps, des mesures VF-TLP ont été réalisées pour des NMOS avec un oxyde de 1.8nm et une aire de $0.024\mu m^2$ dans la technologie BICMOS55. Deux groupes de mesure ont été conduits, l'un avec des tensions positives entre la grille et la source et l'autre avec des tensions positives entre la grille et le substrat. La Figure 2.23 montre les résultats de ces mesures VF-TLP.

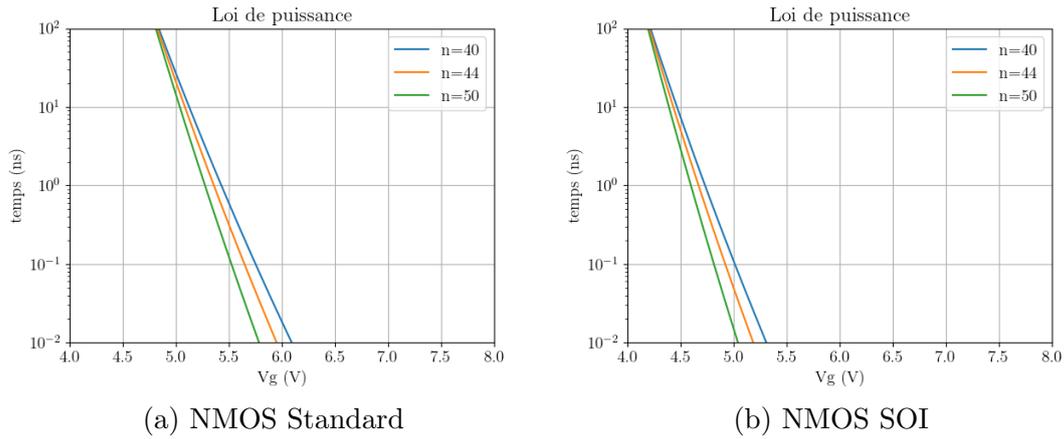


Figure 2.22 : Comparaison des lois de puissance de deux transistors NMOS de même dimensions et même oxyde, l'un est standard et l'autre SOI

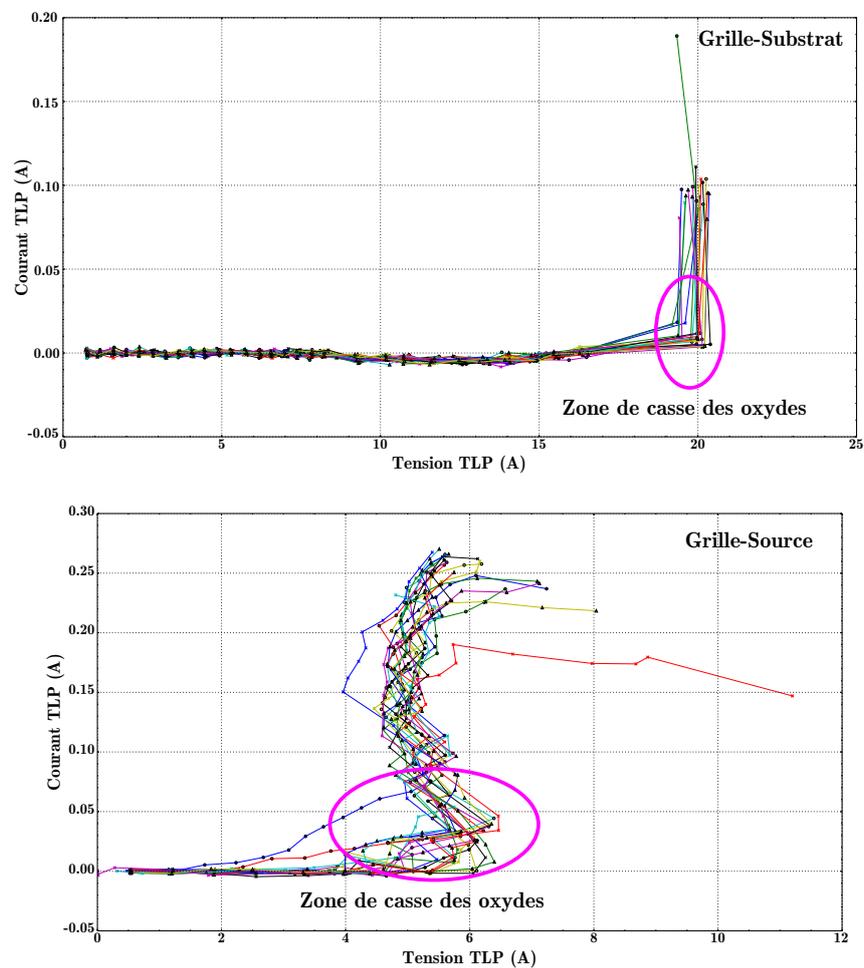


Figure 2.23 : Courbes Courrant-Tension VF-TLP pour les 20 échantillons, NMOS avec un oxyde de 1.8nm et une aire de $0.024\mu\text{m}^2$. Tension de grille positive (régime d'inversion fortr pour le NMOS)

Dans le cas, d'un stress grille-source, l'ensemble des échantillons cassent autour de

6V. Pour une tension entre la grille et le substrat, les oxydes sont défaillants pour une impulsion autour de 20V.

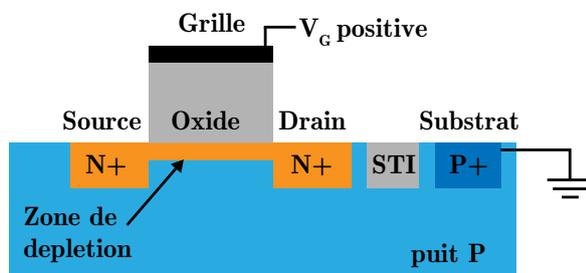


Figure 2.24 : Vue de coupe d'un NMOS en inversion (Tension sur la grille positive)

L'hypothèse suivante permet d'expliquer cette disparité entre les deux lieux de stress. Lorsque le transistor est en régime d'inversion, une zone de déplétion (N pour le NMOS) se forme sous l'oxyde dans le canal du MOS. La taille de cette zone augmente avec la tension de grille. La Figure 2.24 illustre ce phénomène. Une jonction PN (diode) se forme alors entre le substrat et l'oxyde. Comme la tension de grille est positive, la diode est bloquée. Lorsque la tension aux bornes de la jonction est suffisante, elle se casse, les charges peuvent passer et l'oxyde est alors dégradé.

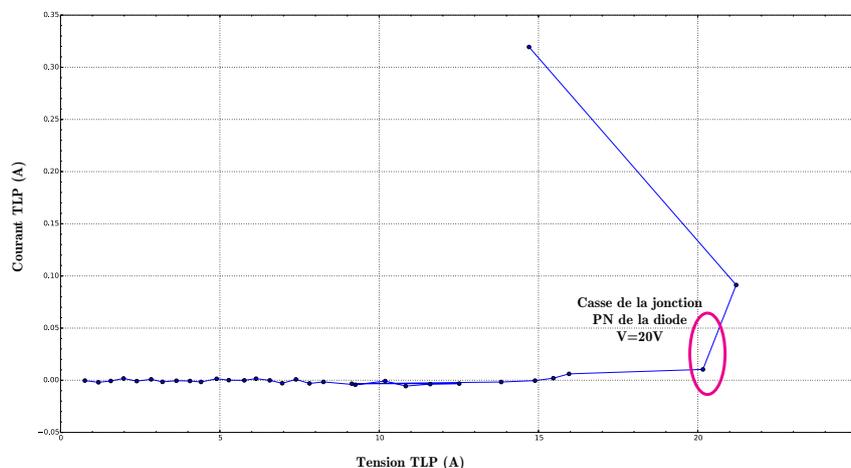


Figure 2.25 : Courbe Courant-Tension VF-TLP d'une diode CDM de type N bloquée

La Figure 2.25 donne la tension de casse d'une diode CDM de type N (jonction PN) bloquée. Elle est identique à celle observée dans la Figure 2.23. La tension de casse d'oxyde des transistors stressés entre la grille et le substrat correspond donc à celle d'une jonction PN bloquée ce qui confirme l'hypothèse. Lorsque les mesures sur les NMOS sont réalisées en accumulation (tension de grille négative), les tensions de casse d'oxyde des deux jeux de mesures sont semblables comme le montre la Figure 2.26. Lorsque le transistor est en régime accumulation, la zone de déplétion ne se forme pas sous l'oxyde dans le canal. Il n'y a alors pas de jonction PN.

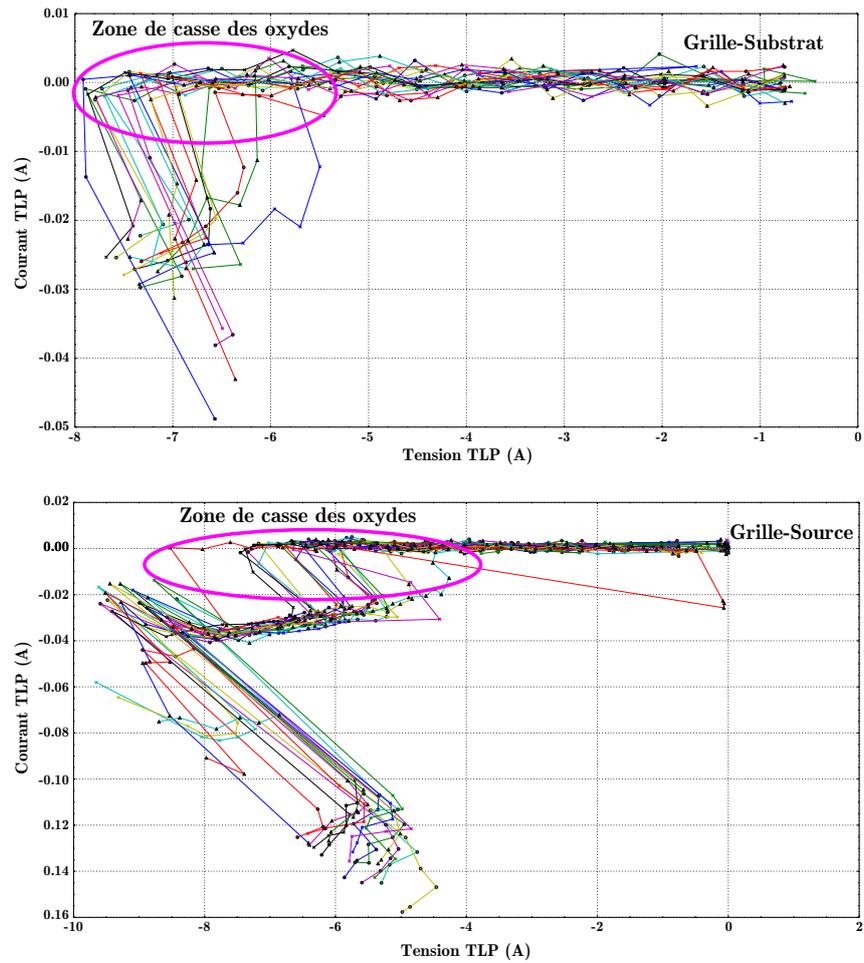
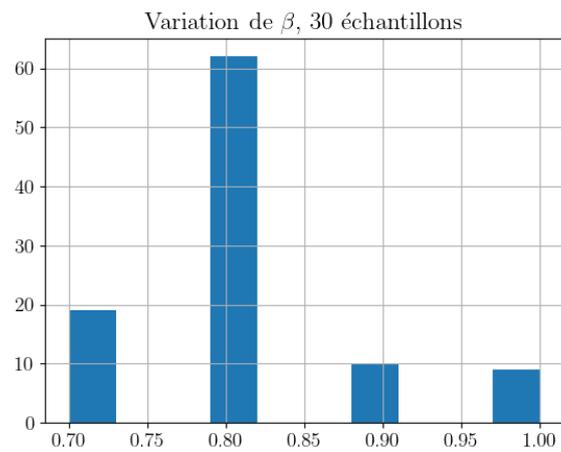
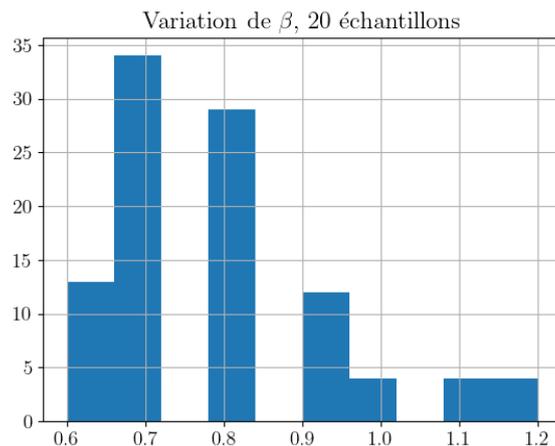


Figure 2.26 : Courbes Courant-Tension VF-TLP pour les 20 échantillons. NMOS avec un oxyde de 1.8nm et une aire de 0.024 μm^2 . Tension de grille négative (régime accumulation pour le NMOS)

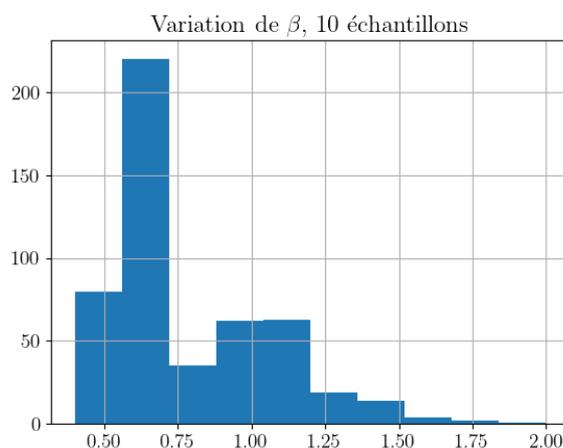
2.3.2.6 Nombre d'échantillons



(a) 30 échantillons



(b) 20 échantillons



(c) 10 échantillons

Figure 2.27 : Variation de β en fonction du nombre d'échantillons utilisés pour déterminer les paramètres de la loi de Weibull pour un transistor NMOS 28FDSOI avec 40 points de mesure.

La Figure 2.27 illustre l'impact du nombre d'échantillons sur la valeur de β . Ces graphiques sont obtenus à partir d'une mesure réalisée en 28FDSOI avec 40 échantillons. Puis 30, 20 et 10 échantillons de ce jeu de 40 sont sélectionnés aléatoirement et le β de ces nouvelles données est calculé. Le procédé est répété cent fois pour obtenir l'étalement de la valeur de β en fonction du nombre d'échantillons choisis. Plus le nombre d'échantillon choisi est petit plus la précision sur la valeur de β diminue. Pour palier cela les valeurs de β obtenue pour les divers transistors sont moyennées entre elles.

2.3.2.7 Procédé technologique

Les Tables 2.5 et 2.6 résument les résultats obtenus respectivement pour la technologie BICMOS55 et CMOS40. Les valeurs des paramètres β varient beaucoup d'une technologie à l'autre. Cela peut s'expliquer par le fait que seulement 20 échantillons ont été utilisés pour la technologie BICMOS55. La Figure 2.28 montre l'étalement des valeurs de β

trouvées avec la technologie CMOS40 en fonction du nombre d'échantillons ainsi que les β trouvés en BICMOS55 avec 20 échantillons.

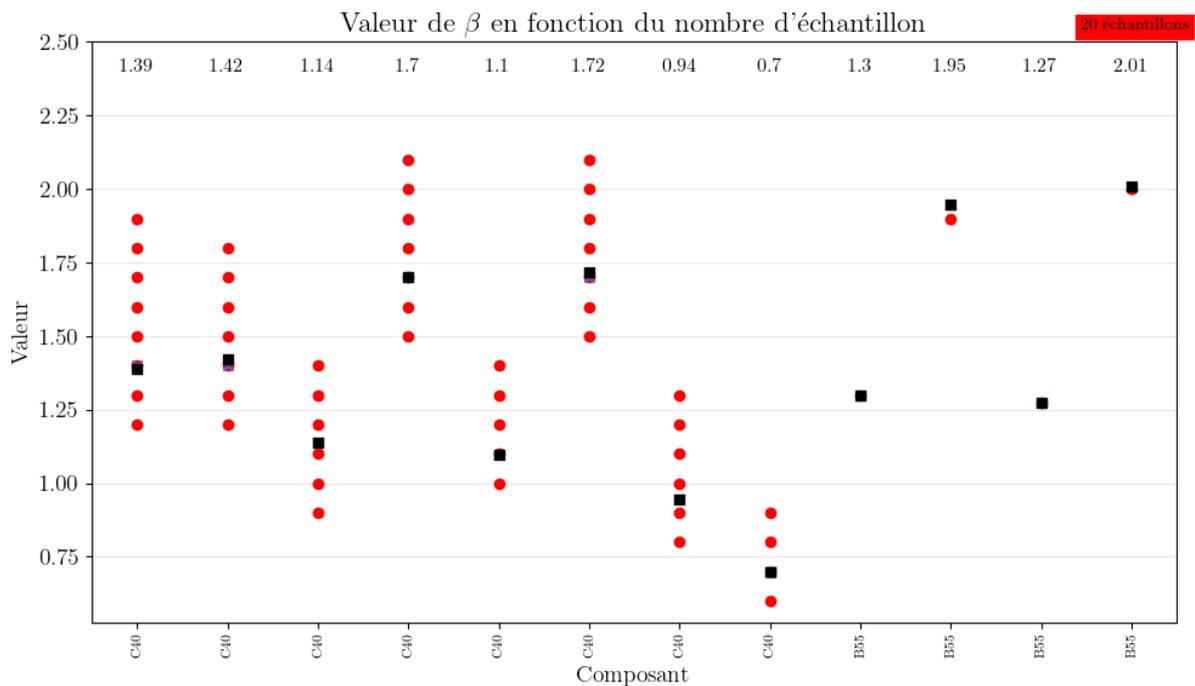


Figure 2.28 : Variation de la valeur de β en fonction du nombre d'échantillons utilisés

Les valeurs de β trouvées en BICMOS55 sont donc consistantes avec celles du CMOS40. L'écart provient du nombre d'échantillons utilisés dans les deux jeux de mesures. De plus, les valeurs de tension de casse à 1ns obtenues pour les deux technologies sont cohérentes. En CMOS40, l'oxyde GO1 est de 1.7nm contre 1.8nm pour le BICMOS55. Les tensions de casse à 1ns sont légèrement inférieure en CMOS40 par rapport au BICMOS55. Pour l'oxyde GO2 de même épaisseur en BICMOS55 et CMOS40, les tensions de casse du BICMOS 55 sont supérieures. Cela est dû au fait que les aires de l'oxyde des transistors testés sont plus petites que celles des transistors en CMOS40.

2.3.2.8 Résistance série

Les Figures 2.29 et 2.30 illustrent l'influence de l'utilisation d'une résistance série sur le temps de casse de l'oxyde de grille d'un transistor. Trois valeurs de résistances sont étudiées : 0 Ω , 300 Ω et 5000 Ω ; pour deux tailles d'oxyde : 1.8nm (cf. Figure 2.29) et 5nm (cf. Figure 2.30).

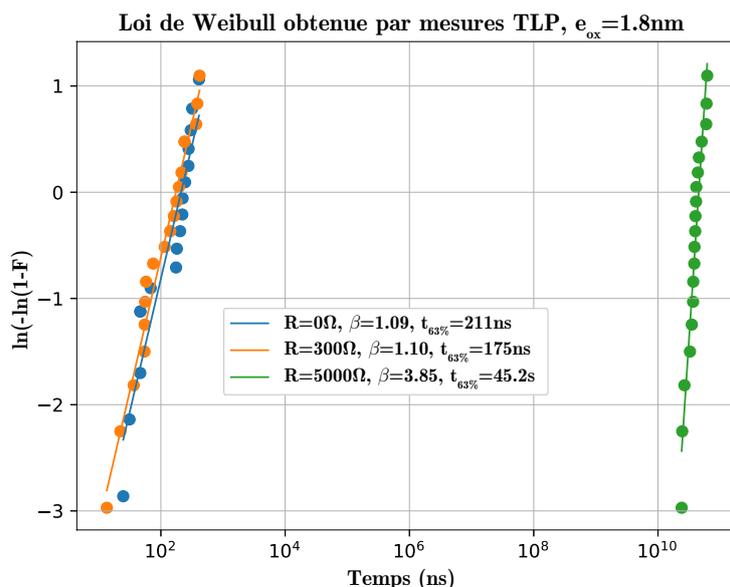


Figure 2.29 : Loi de Weibull pour un PMOS avec un oxyde d'épaisseur 1.8nm et une résistance série. Trois valeurs de résistance choisies : 0Ω , 300Ω et 5000Ω

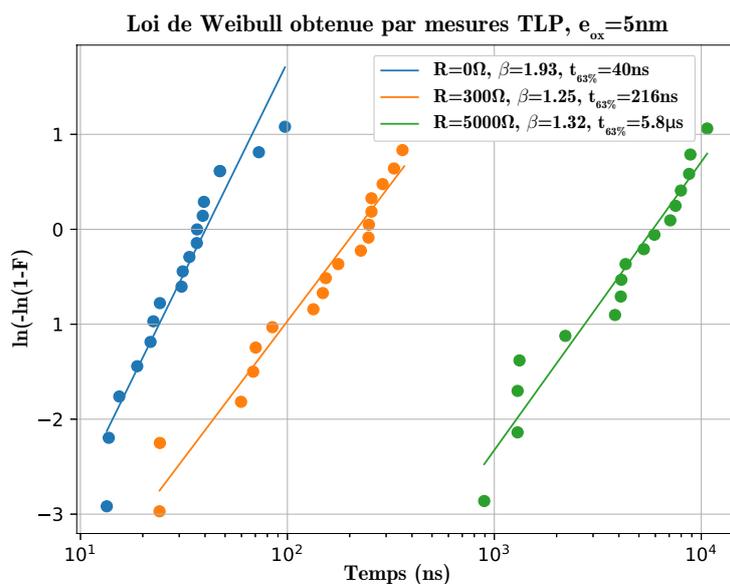


Figure 2.30 : Loi de Weibull pour un PMOS avec un oxyde d'épaisseur 5nm et une résistance série. Trois valeurs de résistance choisies : 0Ω , 300Ω et 5000Ω

Le transistor est équivalent à un circuit RC durant les mesures de casse d'oxyde. L'ajout d'une résistance en série modifie la constante de temps du système et donc la tension aux bornes de l'oxyde. La résistance engendre aussi une chute de tension dont la valeur dépend du courant à travers le transistor. Pour les transistors GO1 (Figure 2.29), le temps de casse des transistors avec une résistance de 300Ω et sans résistance est similaire. Le courant à travers le transistor étant très faible, la chute de tension est négligeable dans le cas de figure GO1 et résistance 300Ω . L'emploi d'une résistance série augmente le temps de casse d'un oxyde et donc sa robustesse et ce pour les deux valeurs d'oxyde testées.

2.4 Conclusion

La majeure partie des défaillances observées à l'issue d'une décharge CDM sont dues à des casses d'oxyde. La dégradation des oxydes se produit lorsque qu'un chemin de conduction est créé entre la grille et le substrat d'un transistor. Il est formé de pièges à électrons qui se génèrent aléatoirement dans l'oxyde lorsqu'une tension est appliquée entre la grille du transistor et l'une des 3 autres pins. Ce phénomène est statistique. Le temps de casse d'un oxyde dépend de la tension appliquée sur l'oxyde : plus une tension de grille est élevée plus le temps de casse est faible.

Une étude statistique a donc été réalisée afin de déterminer la tension de casse des transistors dans le domaine de temps du CDM (1ns) dans les trois technologies utilisées par la suite pour étudier le phénomène CDM. La dégradation des oxydes suit une loi de Weibull. Une loi de puissance permet d'établir une relation entre la tension de grille et le temps de casse.

Afin d'étudier le comportement des transistors durant un événement CDM et d'établir les lois de Weibull et en puissance dans chacune des technologies suivantes : BICMOS55, CMOS40 et 28FDSOI, divers transistors ont été fabriqués. L'impact de plusieurs paramètres sur la casse d'oxyde a été analysé : l'épaisseur et l'aire de l'oxyde, le type de transistor, le type de substrat, le lieu du stress, le procédé technologique et l'ajout d'une résistance série sur la grille.

L'utilisation combinée de mesure CVS et RVS a réduit le nombre de données nécessaires pour établir les lois de Weibull et de puissance.

L'étude de la casse d'oxyde, dans le domaine de temps CDM, a permis de déduire les résultats suivants :

- les lois de Weibull et de puissance sont applicables dans le domaine de temps du CDM,
- plus l'oxyde est épais, plus la tension de casse est élevée,
- le paramètre β est indépendant de la surface de l'oxyde,
- les transistors PMOS sont plus robustes que les transistors NMOS lors d'un événement CDM,
- les transistors sur un substrat de type SOI ont une tension de casse un peu plus basse que les transistors standards (distance source-grille plus petite),
- les tensions de casse grille-source et grille-drain sont plus faibles que les tensions de casse grille-substrat,
- le nombre d'échantillons choisi impacte la précision de l'estimation des paramètres de Weibull,
- l'ajout d'une résistance série augmente la robustesse des transistors lors d'un événement CDM.

Le choix du nombre d'échantillons peut cependant avoir un impact sur la précision des résultats obtenus. Cela a conduit à des écarts entre les données des technologies BICMOS55 et CMOS40, qui ont pourtant des oxydes très similaires.

CHAPITRE 2. DÉFAILLANCES DE L'OXYDE LORS D'UN ÉVÉNEMENT CDM

Cette étude statistique a permis de déterminer les tensions de casse des transistors utilisés dans les circuits de test lors d'une décharge CDM. Ces valeurs permettront de déterminer le résultat de simulation CDM présentées dans le Chapitre 3.

Références

- [Deg98] R. Degraeve et al. “New insights in the relation between electron trap generation and the statistical properties of oxide breakdown”. In: *IEEE Transactions on Electron Devices* 45.4 (1998), pp. 904–911. DOI: 10.1109/16.662800.
- [Che86] IC Chen et al. “Substrate hole current and oxide breakdown”. In: *Applied physics letters* 49.11 (1986), pp. 669–671.
- [Avn88] E Avni and J Shappir. “A model for silicon-oxide breakdown under high field and current stress”. In: *Journal of Applied Physics* 64.2 (1988), pp. 743–748.
- [Col05] J-P Colinge and Cynthia A Colinge. *Physics of semiconductor devices*. Springer Science & Business Media, 2005.
- [Wu09a] Ernest Y. Wu and Jordi Sune. “On Voltage Acceleration Models of Time to Breakdown—Part I: Experimental and Analysis Methodologies”. In: *IEEE Transactions on Electron Devices* 56.7 (2009), pp. 1433–1441. DOI: 10.1109/TED.2009.2021721.
- [Ent07] Robert Entner. “Modeling and simulation of negative bias temperature instability”. PhD thesis. 2007.
- [Wu09b] Ernest Y. Wu and Jordi Sune. “On Voltage Acceleration Models of Time to Breakdown—Part II: Experimental Results and Voltage Dependence of Weibull Slope in the FN Regime”. In: *IEEE Transactions on Electron Devices* 56.7 (2009), pp. 1442–1450. DOI: 10.1109/TED.2009.2021725.
- [Ill06] A. Ille et al. “Ultra-thin gate oxide reliability in the ESD time domain”. In: *2006 Electrical Overstress/Electrostatic Discharge Symposium*. 2006, pp. 285–294.
- [Mal08] Slavica Malobabic et al. “Gate oxide evaluation under very fast transmission line pulse (VFTLP) CDM-type stress”. In: *2008 7th International Caribbean Conference on Devices, Circuits and Systems*. 2008, pp. 1–8. DOI: 10.1109/ICDCS.2008.4542669.
- [Ell09] David F. Ellis et al. “Prediction of Gate Dielectric Breakdown in the CDM timescale utilizing very fast transmission line pulsing”. In: *2009 IEEE International Reliability Physics Symposium*. 2009, pp. 585–593. DOI: 10.1109/IRPS.2009.5173315.
- [Van20] Simon Van Beek et al. “Ultrafast RVS as an Efficient Method to Measure Oxide Breakdown in the EOS and ESD Time Domain”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. 2020, pp. 1–8.
- [Pyt20] Python. *Python*. 2020. URL: <https://www.python.org>.
- [Tro21] Chloe Troussier et al. “Estimation of Oxide Breakdown Voltage During a CDM Event Using Very Fast Transmission Line Pulse and Transmission Line Pulse Measurements”. In: *2021 IEEE International Reliability Physics Symposium (IRPS)*. 2021, pp. 1–5. DOI: 10.1109/IRPS46558.2021.9405110.

Chapitre 3

Simulation CDM

Sommaire

3.1	État de l'art	78
3.1.1	Flots de simulation de la qualification CDM	78
3.1.2	Représentation du substrat lors d'un événement CDM	81
3.1.3	Obtention de la capacité du boîtier	82
3.1.4	Modèles de protection ESD lors d'un événement CDM	84
3.1.4.1	ggNMOS	84
3.1.4.2	diodes STI	85
3.2	Flot de simulation choisi	86
3.2.1	Modélisation des protections ESD	87
3.2.1.1	ggNMOS	87
3.2.1.2	Diodes STI	88
3.2.2	Casse des oxydes de grilles	91
3.2.3	Modélisation du substrat	91
3.2.4	Modélisation du boîtier	91
3.2.4.1	Première approche	91
3.2.4.2	Seconde approche	91
3.2.5	Détermination du résultat de la simulation	92
3.2.6	Utilisation du flot de simulation CDM	92
3.3	Conclusion	96
	Références	98

Figures

3.1	Vue de coupe d'un exemple de circuit et des différents chemins de décharge possibles (a,b,c,d et e) lors d'un événement CDM.	76
3.2	Evolution de la valeur de courant maximum lors d'une décharge CM en fonction de la valeur de la capacité du boîtier du composant	77
3.3	Schéma du circuit simplifié utilisé dans le flot de simulation [Lee03].	78
3.4	Schéma de principe d'un circuit en utilisant le flot de simulation de qualification CDM développé par [Sow05]	80
3.5	Schéma de principe de l'estimation des capacités parasites du boîtier et de la die par mesures géométriques	82
3.6	Schéma de principe de la mesure de parasites en utilisant un banc TDR	83
3.7	Schéma de principe de la mesure des capacités parasites du boîtier et de la die par mesure géométrique	83
3.8	Modèle du fonctionnement du ggNMOS lors d'une décharge CDM présentée par [Zho05]	85
3.9	Tension (à gauche) et courant (à droite) d'une diode N STI en technologie C40 lors d'une impulsion VF-TLP	85
3.10	Flot de simulation du test de qualification CDM	87
3.11	I(V) d'un ggNMOS utilisé comme protection CDM locale dans la technologie B55. Trois caractéristiques sont tracées. La courbe bleue correspond aux résultats de la simulation du comportement du ggNMOS avec les modèles classiques, la rouge représente l'I(V) mesurée avec le banc de test VF-TLP et la verte les simulations après modification du modèle.	88
3.12	Schéma du nouveau ggNMOS utilisé pour les simulations CDM	88
3.13	Courbes de tension VF-TLP aux bornes d'une diode STI N réalisée dans la technologie C40. Trois impulsions VF-TLP sont utilisées pour comparer les résultats des simulations et les mesures. Les mesures sont en pointillées et les simulations en traits pleins.	89
3.14	Caractéristiques de la diode STI N en C40 simulée en vert et mesurée en rouge.	90
3.15	Circuit de test interdomain	92
3.16	Résultats des simulations CDM des différents circuits de test étudiés. Ici, la broche stressée est VDD1 avec une tension de charge de 500V. La ligne rouge correspond au niveau de tension ou de courant à ne pas dépasser (dégradation)	93
3.17	Photographie des ggNMOS (entouré en rouge) dégradés à la suite d'une décharge CDM (+750V sur VDD2) sur le circuit TB STI + ggNMOS	94

Tableaux

3.1	Récapitulatif des procédés utilisés dans [Shu10] pour représenter le comportement d'un composant lors d'une décharge CDM en intégrant le circuit, le substrat et le boîtier	80
3.2	Récapitulatif des avantages et inconvénients des différentes méthodes d'extraction d'éléments parasites du substrat	81
3.3	Résultats des simulations. Les cas en gras correspondent à une casse de la protection CDM. Les divergences entre les mesures et les simulations sont en gris.	95

Lors d'un événement CDM, un composant chargé entre en contact avec la masse. Un fort et rapide courant intrinsèque le traverse. Avant la décharge ESD, la puce électronique est équivalente à un ensemble de capacités chargées. Au moment de la décharge, les diverses parties du circuit, du substrat et du boîtier, servent de potentiel chemin de décharge.

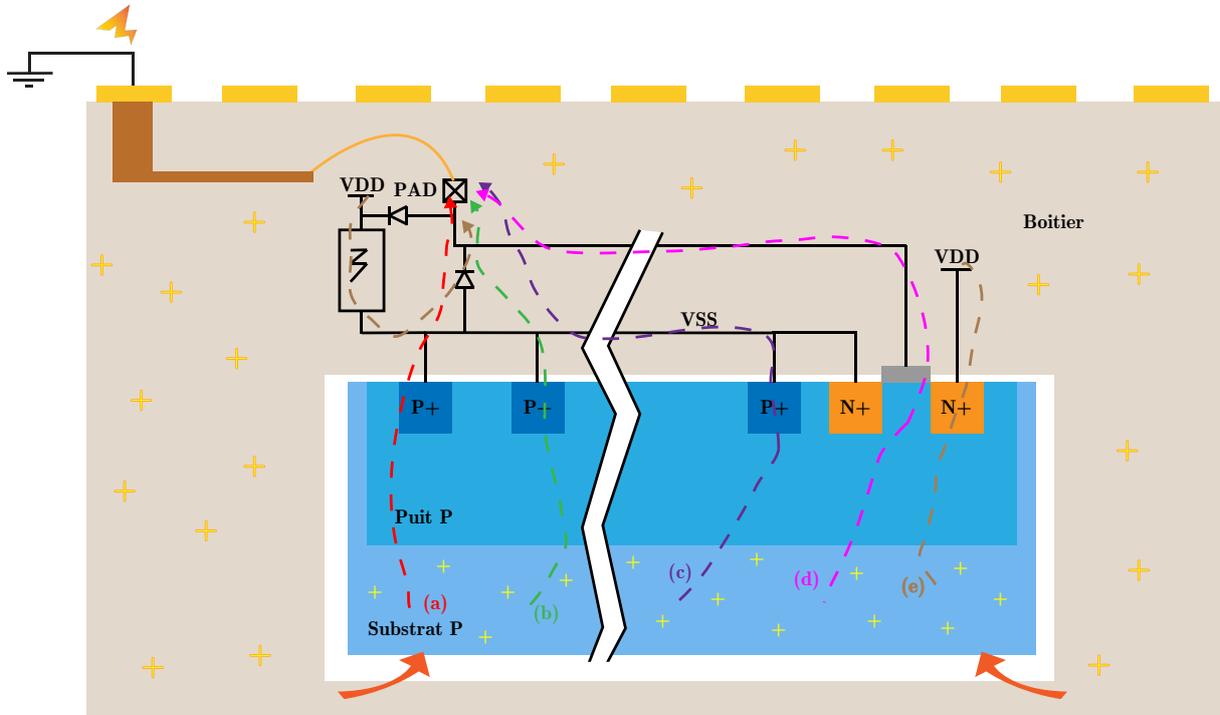


Figure 3.1 : Vue de coupe d'un exemple de circuit et des différents chemins de décharge possibles (a,b,c,d et e) lors d'un événement CDM.

La Figure 3.1 illustre un exemple de possibles chemins de décharge dans un composant électronique lors d'un événement CDM. L'entrée/sortie PAD est mise à la masse. Le circuit comprend un clamp et des diodes ESD primaires. Les rails d'alimentation VSS et VDD sont représentés. Les charges stockées sont représentées en jaune et en orange. Le chemin (d) (en rose) peut être à l'origine d'une casse d'oxyde et d'une dégradation du circuit. La complexité de ce type de phénomènes rend leur simulation difficile. Il est cependant important de pouvoir prédire les performances d'une puce électronique lors des tests de qualification CDM car ils ne peuvent être faits que lorsque la puce est déjà mise en boîtier. Si un composant ne respecte pas ses spécifications CDM, mettre en place un correctif nécessite alors un nouveau développement. Simuler une décharge CDM permet d'identifier les zones du circuit susceptibles de casser, de déterminer les protections à utiliser et d'améliorer ainsi la robustesse du composant.

L'intensité du courant CDM dépend de la taille et du type de boîtier employé [Sar14] ainsi que de la taille du silicium [Kar08] sur lequel le circuit est imprimé appelé "die" en anglais. Plus la capacité du boîtier est grande, plus le courant maximum de la décharge sera important. La Figure 3.2 montre l'évolution du courant CDM en fonction de la capacité du boîtier. Le courant croît avec la capacité jusqu'à atteindre une valeur limite. Cela correspond au cas où la capacité parasite formée par le plateau de masse et de charge

du testeur CDM devient négligeable devant celle du boîtier (cf Chapitre 1).

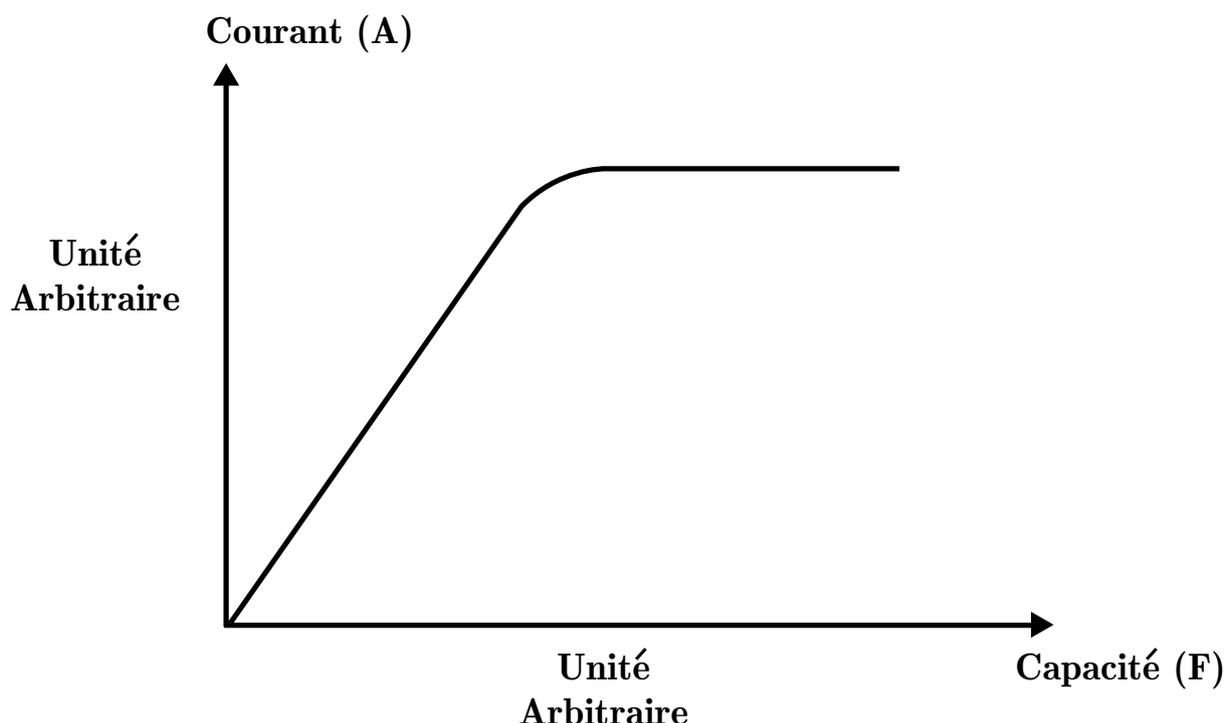


Figure 3.2 : Evolution de la valeur de courant maximum lors d'une décharge CM en fonction de la valeur de la capacité du boîtier du composant

La dimension de la “die” est un facteur de second ordre pour l'intensité du courant CDM par rapport au type et à la taille du boîtier. Cependant pour deux composants avec des surfaces de silicium différentes mais de même boîtier, celui avec la grande surface sera traversé par un courant de décharge CDM plus important.

Les simulations de qualification CDM doivent donc tenir compte des diverses capacités et résistances parasites du composant étudié. Pour cela, il faut donc modéliser le boîtier et le substrat en plus du circuit.

Les modèles de simulation utilisés sont vérifiés pour des plages de fonctionnement normales des circuits et ne décrivent souvent pas le comportement des éléments lors des événements ESD et en particulier lors des décharges CDM. Il est donc nécessaire d'adapter les modèles pour tenir compte du comportement spécifique des divers composants élémentaires des circuits intégrés dans le flot de simulation CDM.

Et enfin, les casses d'oxydes sont les principaux défauts observés après une décharge CDM. La tension des oxydes lors des simulations doit être comparée aux tensions de casse des oxydes dans le domaine de temps des ESD.

Le but de ce chapitre est d'introduire la simulation de la qualification CDM. Les techniques présentées dans ce chapitre seront réutilisées par la suite pour prédire le comportement des divers circuits de tests étudiés dans le Chapitre 5. Le chapitre est organisé de la façon suivante. La première partie est consacrée à l'état de l'art de la simulation CDM tandis que la seconde partie décrit les solutions techniques et le flot de simulation retenus.

3.1 État de l'art

Cette partie présente l'état de l'art de la simulation de qualification CDM. Dans un premier temps, les différents flots de simulation utilisés sont donnés puis les parties suivantes les procédés techniques employés pour modéliser le comportement des puces électroniques lors des décharges CDM.

3.1.1 Flots de simulation de la qualification CDM

Les flots de simulation CDM discutés dans cette partie permettent de prédire les performances d'un circuit complet lors d'une décharge CDM.

Les simulations CDM des puces entières en incorporant les différents parasites (résistances dues au tracé des pistes en métal, capacités formées des différentes couches métalliques, etc) et des circuits intégrés engendrent des temps de traitement très longs. Pour palier ce problème, les auteurs de [Lee03] ont proposé une méthode de simplification de circuit. La puce électronique est divisée en sous-circuits appelés "macro". Chaque sous-partie correspond à un domaine d'alimentation unique ou à une fonction analogique spécifique telle que la partie RF d'un circuit. Cette segmentation permet de remplacer les transistors internes par des capacités équivalentes entre les bus d'alimentations (VDD) et de masses (VSS) en plus des résistances parasites des divers rails VDD et VSS. Les protections ESD et les transistors à l'interface des macros sont conservés dans les circuits électroniques simplifiés résultants. Une représentation précise de ces éléments est nécessaire pour simuler fidèlement l'impact d'une décharge CDM dans la puce. La Figure 3.3 illustre la composition

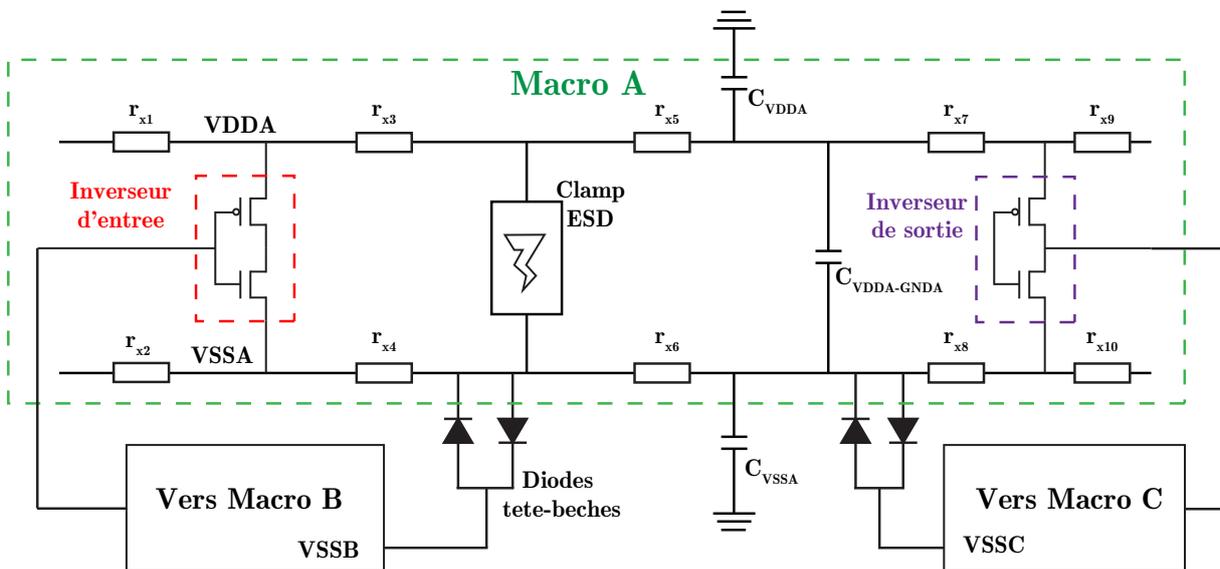


Figure 3.3 : Schéma du circuit simplifié utilisé dans le flot de simulation [Lee03].

de chaque macro. Les résistances r_{xi} correspondent aux résistances parasites des bus d'alimentation, ici VDDA et VSSA. $C_{VDDA-VSSA}$ représente la capacité de découplage équivalente des différents parasites du circuit de la macro A. Les capacités C_{VDDA} et C_{VSSA} correspondent à la contribution du boîtier. Leurs valeurs sont estimées en fonction de la capacité totale formée par le boîtier et le testeur CDM et de l'aire de la macro par rapport à la surface totale du circuit intégré. Les éléments de protections ESD tels que

les clamps et les diodes têtes-bêches sont gardées dans le nouveau circuit simplifié. Les transistors situés aux diverses interconnexions internes (entre macros) et externes (reliés aux plots d'entrée-sortie) sont aussi intégrés dans le nouveau schéma car les défauts observés à la suite d'un événement CDM sont souvent situés sur ces derniers.

Une fois cette réduction de la complexité du circuit effectuée, les tensions de grille des transistors d'interconnexion obtenues par simulations sont comparées aux estimations de tensions de casse d'oxyde. Les auteurs extrapolent les valeurs de ces tensions à partir des lois de fiabilité usuelles sans vérifier leur validité dans le domaine de temps CDM.

Dans [Lee03] présente un flot de simulation qui permet de réduire la complexité des simulations CDM en simplifiant les circuits pour ne garder que les éléments qui interviennent lors d'une décharge CDM. Les auteurs ont été capables d'obtenir un bon niveau de corrélation entre les simulations et les mesures conduites. Cependant les auteurs n'ont pas tenu compte du substrat ni adapté les modèles des protections ESD ou confirmé les valeurs des tensions de casses des oxydes pour des stress très rapides. La bonne corrélation est certainement due au fait que le composant utilisé pour vérifier le flot de simulation est ancien donc manufacturé avec un vieux nœud technologique et moins complexe que les circuits intégrés récents. La méthode présentée dans [Lee03] a l'avantage de réduire considérablement la complexité des simulations CDM tout en conservant un bon niveau de précision. Cependant l'effet du substrat n'est pas pris en compte, les modèles de protections ESD ne sont pas adaptés au régime CDM et les tensions de casse d'oxyde ne sont pas vérifiées.

Dans [Sow05], les auteurs démontrent le rôle du substrat dans la décharge CDM d'une puce et présentent une façon de le représenter dans les simulations. Un réseau de résistance en 3D est utilisé pour modéliser la propagation des charges dans le substrat. La majeure partie des charges sont stockées dans la capacité parasite due au boîtier. Elles sont principalement évacuées en passant par le substrat.

La Figure 3.4 résume le flot de simulation CDM développée dans [Sow05]. La capacité du boîtier C_{DUT} est obtenue en mesurant les paramètres S du boîtier. Puis le bloc de silicium du composant est maillé : il est divisé en bloc, comme sur la Figure 3.4, les impédances entre chaque bloc sont ensuite calculées (chaque bloc est relié à 6 blocs et donc contient 6 impédances parasites). Pour tenir compte du comportement du circuit lors de la décharge CDM, les composants au coeur du circuit sont transformés en leur équivalent en terme de capacité, résistance et diode parasites. Les composants de protection ESD sont remplacés par leur modèle correspondant à leur fonctionnement lors d'un événement CDM. Ce flot de simulation permet de tenir compte des effets du boîtier et du substrat et intègre des modèles ESD spécifiques pour les protections utilisées dans le circuit. Cependant, il n'y a pas de simplification du circuit donc les temps de calculs peuvent être longs pour les circuits complexes.

Dans [Shu10], les auteurs présentent un flot de simulation complet qui tient compte du substrat, boîtier et du circuit pour simuler une décharge CDM dans un circuit. Comme dans le flot présenté par [Lee03], le circuit du composant est simplifié pour ne conserver que les parasites sur les bus d'alimentation, les transistors à risque, la capacité de découplage entre le bus de masse et d'alimentation et les protections ESD. Cette approche permet de réduire grandement les temps de calculs. Les auteurs utilisent aussi un réseau 3D résistif pour modéliser le substrat comme celui introduit dans [Sow05]. Cependant le nombre de prises substrat est simplifié en fonction des réductions de la taille du circuit effectuées précédemment. Puis les parasites du boîtier sont extraits à l'aide de logiciels. Les parasites

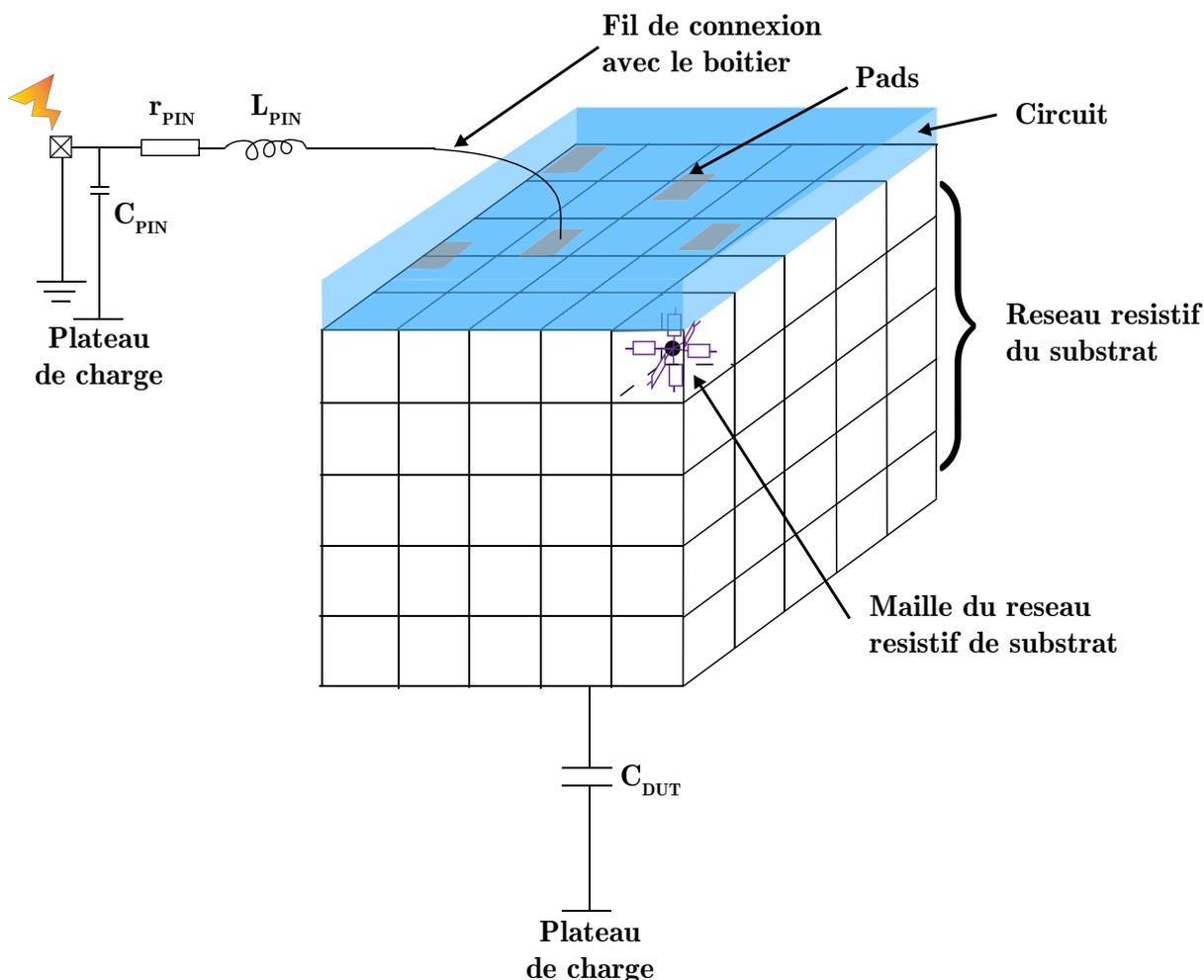


Figure 3.4 : Schéma de principe d'un circuit en utilisant le flot de simulation de qualification CDM développé par [Sow05]

des fils de connexion entre le circuit intégré et le boîtier sont déduits à l'aide de la taille du boîtier, du design du circuit et des matériaux.

Circuit	Substrat	Boîtier
Simplification du circuit. Conservation des résistances des bus d'alimentation et de capacité. Intégration de modèle ESD pour les protections	Utilisation d'un réseau de résistance 3D. Réduction du nombre de connexion substrat avec le circuit grâce à sa simplification	Modélisation du boîtier et extraction de ses capacités parasites. Obtention des capacités parasites des fils d'interconnexion boîtier-circuit intégré grâce aux données du boîtier et aux dimensions de la die

Table 3.1: Récapitulatif des procédés utilisés dans [Shu10] pour représenter le comportement d'un composant lors d'une décharge CDM en intégrant le circuit, le substrat et le boîtier

La Table 3.1 résume le fonctionnement du flot de simulation présenté dans [Shu10]. Il permet de modéliser fidèlement le comportement d'un composant lors d'une décharge

CDM comme dans celui introduit dans [Sow05] mais les étapes de simplification effectuées sur le circuit et le réseau de substrat extrait engendre une réduction du temps de calcul.

Les améliorations successives de la simulation CDM a permis d'intégrer les différents éléments qui interviennent lors d'une décharge d'un composant chargé. Elles ont confirmé l'importance de l'intégration des parasites dus au boîtier et au substrat dans le circuit modélisé ainsi que celle d'utiliser des modèles de protections ESD représentant lors comportement lors d'une décharge et de simplifier le circuit afin de conserver des temps de calculs courts. Il est aussi primordial de connaître la robustesse des transistors à protéger lors d'un événement CDM pour analyser le résultat de ces simulations. Une étude détaillée de la casse des oxydes de grille de transistors lors d'un événement CDM est donnée dans le Chapitre 2.

Les sections suivantes présentent les différentes techniques qui peuvent être utilisées pour incorporer ses multiples composantes dans les simulation CDM.

3.1.2 Représentation du substrat lors d'un événement CDM

La réduction de la taille des transistors et l'accroissement de la complexité des circuits intégrés a rendu les puces électroniques plus sensibles aux événements CDM. Comme l'a démontré [Sow05], une grande partie des charges stockées dans le composant sont déchargées en passant par le substrat.

Afin de modéliser le substrat lors des simulations de qualification CDM, il faut connaître son circuit équivalent. Plusieurs méthodes peuvent être employées pour l'obtenir. Comme mentionné précédemment, il est possible de faire un script pour extraire un réseau de résistance en 3D pour traduire l'effet du substrat lors d'une décharge CDM. C'est la méthode employée par [Sow05] et [Shu10]. Il est aussi possible de réaliser une extraction électromagnétique du substrat avec des logiciels comme HFSS de Ansys [Ans] ou RFPro de Keysight [Keya]. Les paramètres S du substrat au sein d'un domaine de puissance sont alors obtenus. Cette méthode est utilisée par [Abe12]. Enfin, les parasites du substrat peuvent aussi être obtenus en utilisant un logiciel d'extraction de parasites qui intègre aussi le substrat tel que le logiciel QRC de Cadence [Cada]. Chacune des méthodes citées ci-dessus ont des avantages et des inconvénients donnés dans la Table 3.2.

Méthode	Avantage	Inconvénient
Script d'extraction	Script d'extraction du substrat sur mesure	Seulement valable pour une technologie donnée.
HFSS	Obtention des paramètres S du substrat	Logiciel difficile à prendre en main
RFPro	Obtention des paramètres S du substrat	Temps de calculs très long même pour des circuits simples
QRC	Extraction du réseau de résistances du substrat	Nécessite des données fournies par le fondeur

Table 3.2: Récapitulatif des avantages et inconvénients des différentes méthodes d'extraction d'éléments parasites du substrat

3.1.3 Obtention de la capacité du boîtier

La taille et le type de boîtier du composant électronique est le principal facteur déterminant l'intensité du courant intrinsèque généré lors d'une décharge de type CDM. Le boîtier choisi détermine en effet la quantité de charge qu'une puce peut stocker. Il est donc important de connaître les parasites du boîtier.

Plusieurs méthodes peuvent être utilisées afin de déterminer la capacité parasite formée par le boîtier du composant et le plateau de charge.

Dans [Shu14], les auteurs présentent une façon de déterminer la capacité du boîtier en utilisant les caractéristiques physiques et géométriques du composant entier. La Figure 3.5 illustre la méthode pour un boîtier SBGA (Super Ball Grid Array, c'est à dire que les broches externes du boîtier sont des petites billes) avec des fils de connexions pour relier le circuit intégré et les pins internes du boîtier.

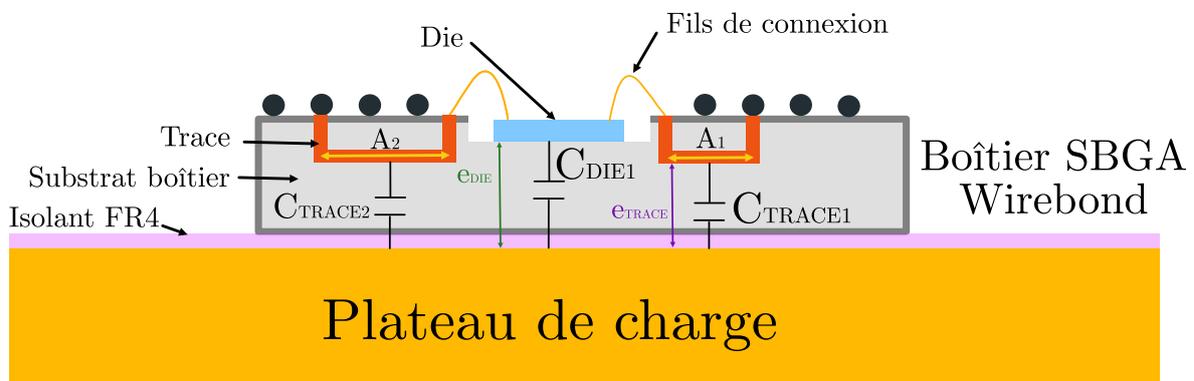


Figure 3.5 : Schéma de principe de l'estimation des capacités parasites du boîtier et de la die par mesures géométriques

Un boîtier est composé d'une cavité dans laquelle est placée la die (morceau de silicium sur lequel le circuit est imprimé). Des fils relient les pads de la die à ceux du boîtier. Des traces de métal permettent de connecter les pads internes du boîtier au pin externe du composant. Le reste est composé d'une résine, c'est le substrat du boîtier. La capacité du boîtier est formée dans notre cas, par l'ensemble des traces métalliques et le plateau de charge. Donc pour déterminer sa valeur, il suffit de calculer la surface occupée par ces traces et de connaître la distance entre celles-ci et le plateau de charge ainsi que la permittivité des différents matériaux : l'isolant FR4 du testeur et le substrat du boîtier. Pour obtenir la capacité formée entre la die et le plateau de charge, il suffit de connaître ses dimensions. Les valeurs de capacités sont ensuite calculées avec la formule :

$$C = \frac{\epsilon S}{e} \quad (3.1)$$

où S correspond à la surface effective de la capacité, e la distance entre les deux surfaces métalliques et ϵ à la permittivité du matériau qui les séparent.

Dans [Abe12], les auteurs utilisent le TDR (Time Domain Reflectometry) ou réflectométrie à dimension temporelle en français pour déterminer les parasites des boîtiers. La Figure 3.6 illustre le fonctionnement de ce type de mesure.

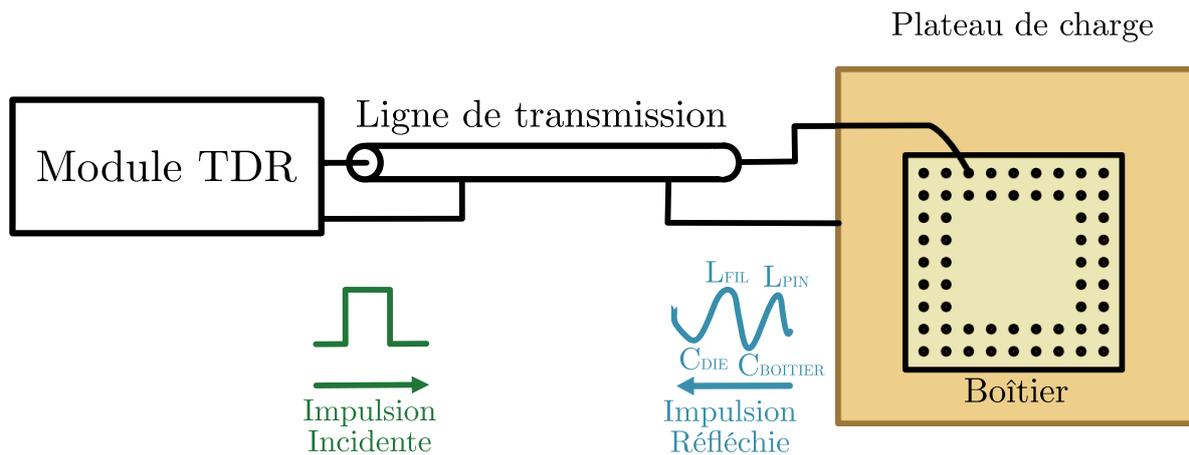


Figure 3.6 : Schéma de principe de la mesure de parasites en utilisant un banc TDR

La mesure s'effectue de la façon suivante : une ligne de transmission relie le module TDR à l'un des broches du boîtier et à au plateau de charge. Une impulsion électrique est envoyée à travers la ligne de transmission et l'onde réfléchie est mesurée. La forme de cette onde dépend de son chemin de traverse et permet de déterminer les différents parasites dans leur ordre d'apparition dans le circuit. Une augmentation de la tension correspond à une inductance tandis qu'une diminution caractérise les capacités. En fonction de la valeur de ces pics, il est alors possible de déterminer la valeur des parasites.

Pour obtenir le circuit électrique équivalent d'un boîtier, il est possible de réaliser des simulations électromagnétiques et ainsi d'obtenir ses paramètres S pour ensuite les intégrer dans le circuit final de simulation CDM. La Figure 3.7 présente le flot de simulation du boîtier.

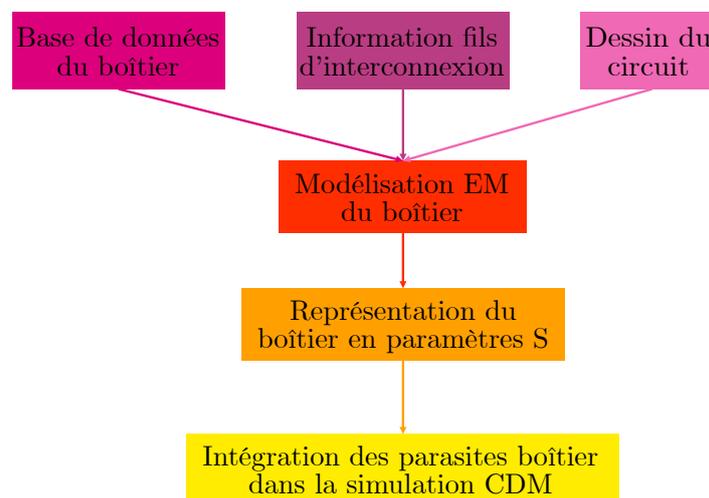


Figure 3.7 : Schéma de principe de la mesure des capacités parasites du boîtier et de la die par mesure géométrique

Afin de réaliser une simulation électromagnétique du boîtier, il faut détenir sa base de données qui contient sa composition, son dessin et les différentes propriétés physiques des matériaux utilisés; les données relatives aux interconnexions entre la die et le boîtier et le

dessin du circuit. Cette modélisation donne ensuite accès aux paramètres S du boîtier qui peuvent être ajoutés dans le circuit de simulation de la qualification CDM. Ce procédé d'extraction des parasites du boîtier est le plus précis des trois. Cependant cette méthode peut engendrer des temps de calculs longs.

La valeur du courant de décharge CDM dépend de la capacité formée par le boîtier et le plateau de charge. Il est possible de déterminer une loi empirique qui lie le courant maximum CDM à la capacité parasite du boîtier pour un testeur donné. Il est donc possible d'estimer cette dernière une fois des mesures de qualification réalisées sur un composant utilisant un même boîtier. Cette méthode permet de connaître rapidement la valeur de la capacité mais nécessite d'avoir une base de données de qualification CDM importantes. La valeur de la capacité de la die est alors négligée.

3.1.4 Modèles de protection ESD lors d'un événement CDM

Les modèles des composants utilisés dans les simulations sont établis pour des régimes de fonctionnement normal. Cependant les événements CDM sont plus rapides, avec des courants et tensions plus importants et sortent des domaines de validités de modèles classiques. Ces protections reposent parfois sur le déclenchement d'éléments parasites comme dans le cas du ggNMOS. Les protections ESD utilisent souvent des combinaisons de thyristors, transistors NMOS et de diodes. Les circuits de tests réalisés et discutés dans le Chapitre 5 n'utilisent que des ggNMOS (NMOS avec sa grille connectée à la masse), des diodes STI et gated et des clamps. Une comparaison entre les mesures de caractérisation VF-TLP et simulations des protections a mis en évidence que seuls les modèles des diodes STI et des ggNMOS n'étaient pas adéquats. En effet, dans le cas du ggNMOS, les simulations ne mettaient pas évidence le fonctionnement par retournement de la protection et dans le cas des diodes STI, leurs déclenchements étaient instantanés sans surtensions contrairement aux mesures VF-TLP. Cette partie ne s'intéresse donc qu'aux modélisations des diodes STI et des ggNMOS dans le régime CDM.

3.1.4.1 ggNMOS

Comme introduit dans la Chapitre 1, le fonctionnement des protections de type ggNMOS repose sur le déclenchement du transistor bipolaire NPN formé entre la source, le drain et le substrat du transistor NMOS. Les simulations usuelles des ggNMOS n'intègrent pas le déclenchement de ces NPN parasites et se comportent comme des transistors NMOS en régime normal. La tension de déclenchement ainsi que la phase de retournement du composant n'apparaissent pas dans les simulations. Dans l'article [Zho05], les auteurs présentent un modèle compact permettant de tenir compte du transistor bipolaire parasite des ggNMOS et des différentes résistances parasites.

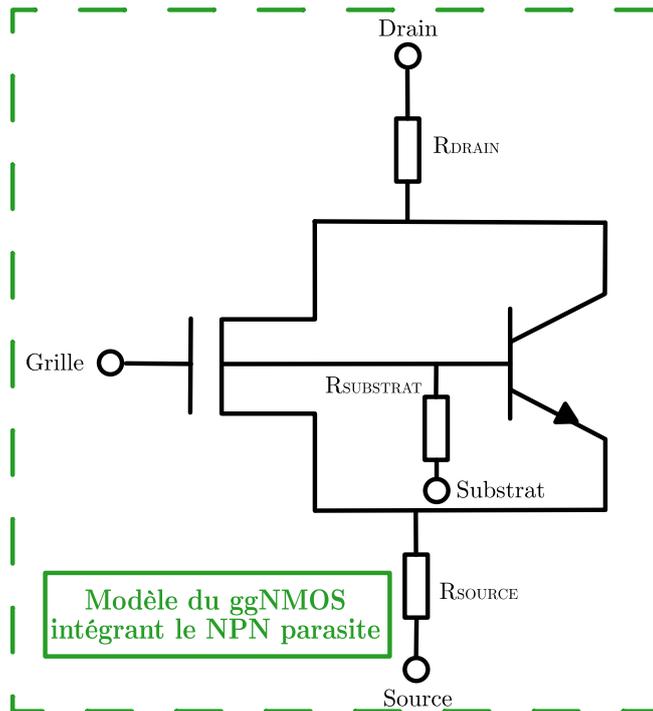


Figure 3.8 : Modèle du fonctionnement du ggNMOS lors d'une décharge CDM présentée par [Zho05]

Ce modèle illustré sur la Figure 3.8, intègre le NPN connecté entre le drain, le substrat et la source ainsi que les résistances liées au dessin du composant au niveau des connexions sur la source, le drain et le substrat du transistor. Cette nouvelle représentation du ggNMOS s'ajoute facilement dans les simulations CDM.

3.1.4.2 diodes STI

Lors de la caractérisation VF-TLP des diodes STI, une sur-tension est observée. Elle dépend du courant traversant la diode ainsi que du temps de montée de l'impulsion VF-TLP.

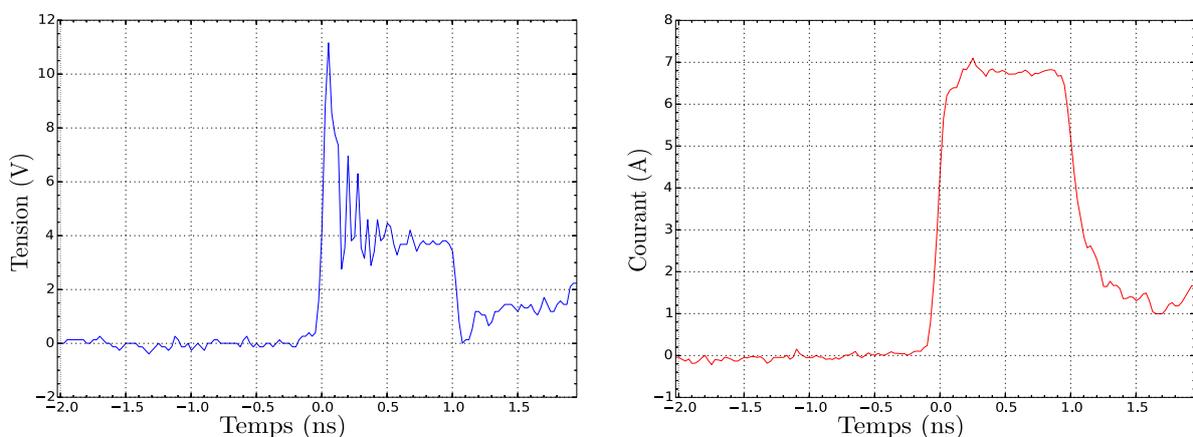


Figure 3.9 : Tension (à gauche) et courant (à droite) d'une diode N STI en technologie C40 lors d'une impulsion VF-TLP

La Figure 3.9 donne les courbes de tension et de courant d'une diode STI soumise à une impulsion VF-TLP avec un temps de montée de 100ps et d'une durée de 1ns. Une surtension est observée au début de la mesure, la tension atteint plus de 11V puis redescend autour de 3V. La surtension se produit lorsque le courant augmente et la tension est de 3V lorsque le courant atteint son plateau en fin d'impulsion. Lors de la diminution du courant, il n'y a pas d'augmentation rapide de la tension. Le point de mesure de la caractéristique en VF-TLP se fait à la fin de l'impulsion, la courbe I(V) quasi-statique obtenue ne tient donc pas compte de la surtension.

Les diodes STI ont un temps d'allumage en sens direct de l'ordre de la centaine de picoseconde. Ce temps habituellement négligeable dans les plages de fonctionnement classiques des diodes ne l'est pas dans le domaine CDM. Lorsque l'augmentation du courant est importante et rapide, la diode n'a pas le temps d'entrer dans son régime de fonctionnement direct normal et la diode passe en mode "forward recovery" ou recouvrement direct en français. Une surtension se produit alors à ses bornes.

Les auteurs de [Wil04] ont présenté un modèle empirique pour intégrer la surtension dans le modèle de simulation des diodes STI. Ils utilisent une résistance non linéaire qui n'intervient que lors de l'allumage en mode direct de la diode. La valeur de cette résistance R_s s'exprime de la façon suivante:

$$R_s = R_{S0} + \frac{R_{SM}}{1 + Q_M/Q_0} \quad (3.2)$$

R_{S0} est constante et représente la résistance induite par les contacts métalliques et les zones dopées P+ et N+. R_{SM} est la partie modulée de la résistance, Q_M est la charge modulée et peut s'écrire aussi par τI_d (τ est le temps de montée du courant et I_d est le courant exponentiel de la diode). Enfin Q_0 correspond à la quantité de charge seuil pour déclencher la modulation de la résistance. Les différents paramètres de ce modèle sont déterminés de manière empirique. Dans [Pan14], les auteurs ont proposés une méthode pour trouver de manière théorique les différents composants introduit dans l'équation (3.2).

Les différents flots de simulation de qualification CDM ont été présentés ainsi que les différentes façon de modéliser le substrat, le boîtier et les protections ESD. La partie qui suit détaille le flot de simulation qui a été utilisé par la suite.

3.2 Flot de simulation choisi

Le flot de simulation a été développé afin de prédire le comportement des divers circuits de tests réalisés et décrits dans le Chapitre 5. Il intègre le substrat, le boîtier et des modèles ESD adaptés au régime CDM. Une première partie présente le flot de simulation puis les parties suivantes détaillent les choix techniques effectués afin d'incorporer les différentes composantes du flot de simulation à la modélisation de la qualification CDM.

La Figure 3.10 illustre le flot de simulation du test de qualification. Il permet de tenir compte du substrat, du boîtier, des modèles ESD et de la robustesse des oxydes de grilles lors d'une décharge ESD.

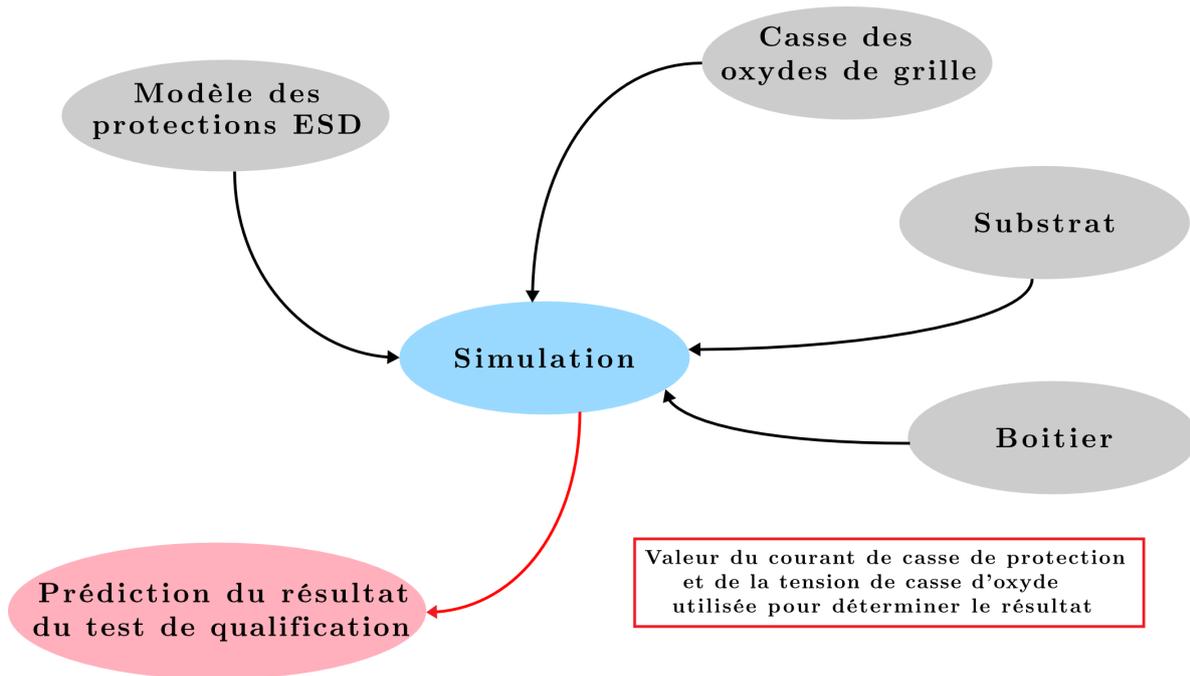


Figure 3.10 : Flot de simulation du test de qualification CDM

Le flot de simulation de qualification CDM utilisé a été présenté. Les parties suivantes détaillent les choix techniques réalisées pour modéliser les protections ESD, le substrat et le boîtier.

3.2.1 Modélisation des protections ESD

Afin de vérifier la validité des modèles des protections ESD, chaque élément utilisé dans la réalisation des circuits de test a été caractérisé en utilisant un banc de test VF-TLP et simulé en utilisant un générateur de tension et une résistance 50Ω pour reproduire l'impulsion VF-TLP. Ces deux jeux de données sont ensuite comparés. Si les résultats sont similaires le schéma de la protection élémentaire n'est pas modifié. Cette étude a révélé que la représentation des ggNMOS et des diodes STI dans le simulateur était erronée. Des adaptations de circuit ont donc été utilisées afin de corriger ces écarts et sont discutés dans les paragraphes suivants.

3.2.1.1 ggNMOS

La Figure 3.11 illustre les caractéristiques tracées pour un ggNMOS utilisé en B55 pour protéger localement des transistors lors d'une décharge CDM. La simulation initiale du ggNMOS est en bleue tandis que les mesures VF-TLP sont en rouge. Le ggNMOS simulé se comporte comme un diode idéale tandis que dans les mesures montrent le déclenchement du NPN parasite entre 3V et 4V puis un retournement jusqu'à un point de maintien et enfin un comportement résistif jusqu'à la casse du composant. Les auteurs de [Zho05] ont montré qu'il était possible de rajouter des résistances et le NPN parasite du ggNMOS à son schéma afin d'améliorer sa représentation lors des simulations. La Figure 3.12 montre le nouveau schéma du ggNMOS intégrant ses nouveaux éléments.

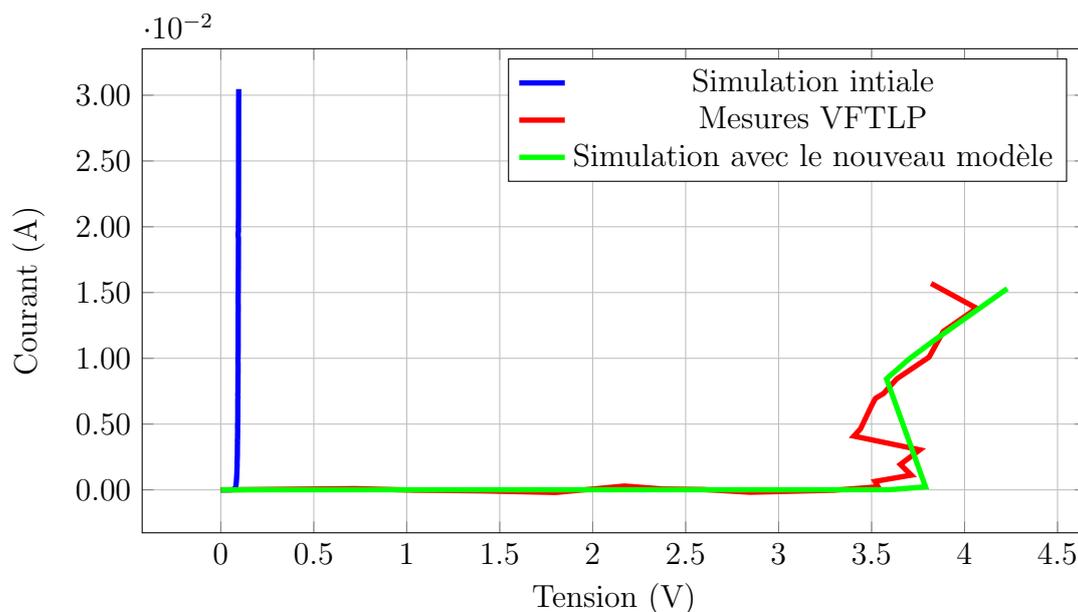


Figure 3.11 : $I(V)$ d'un ggNMOS utilisé comme protection CDM locale dans la technologie B55. Trois caractéristiques sont tracées. La courbe bleue correspond aux résultats de la simulation du comportement du ggNMOS avec les modèles classiques, la rouge représente l' $I(V)$ mesurée avec le banc de test VF-TLP et la verte les simulations après modification du modèle.

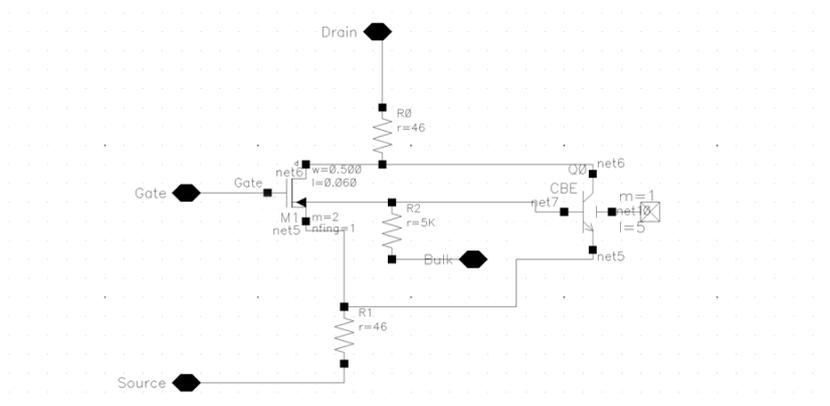


Figure 3.12 : Schéma du nouveau ggNMOS utilisé pour les simulations CDM

Les valeurs des résistances et les dimensions du bipolaire ont été choisies de façon à ce que la caractéristique du ggNMOS simulée soit la plus proche possible de celle mesurée avec le VF-TLP. Les résultats de ces simulations sont présentés en vert sur la Figure 3.11. Ce procédé d'adaptation de modèle du ggNMOS permet d'améliorer rapidement et simplement la représentation du comportement du ggNMOS lors des simulations CDM.

3.2.1.2 Diodes STI

Lorsque les diodes sont simulées avec les modèles usuels de diodes STI, les caractéristiques quasi statiques simulées et mesurées sont identiques. Cependant les mesures

mettent en évidence le fait que la diode STI ne s'allume pas instantanément, mais seulement au bout d'une centaine de picosecondes. La diode est dans un régime dit de recouvrement direct (ou "forward recovery" en anglais), cela correspond à la mise en conduction de la diode. Durant cette période, un large nombre de porteurs de charge doit entrer dans la zone de jonction. Ce processus n'est pas immédiat, la diode met donc un certain temps avant de rentrer dans son fonctionnement stationnaire. Pendant cette durée, une surtension apparaît aux bornes de la diode. Sa valeur dépend du temps de montée et de la valeur du courant qui la traverse. Les décharges CDM sont des événements qui durent quelques nanosecondes mais avec des temps de montée très rapide de l'ordre de la centaine de picoseconde à l'identique des impulsions VF-TLP. Des surtensions aux bornes des diodes STI sont donc présentes lors des décharges CDM et il est important que la représentation des diodes dans les simulations de qualification CDM tiennent compte de ce phénomène. Comme mentionné dans le paragraphe 3.1.4.2, lors d'un événement avec un fort courant augmentant rapidement, la diode STI est en régime de recouvrement direct et se comporte comme si elle était connectée à une résistance non linéaire dont la formule est donnée dans l'équation (3.2). Il est possible d'implémenter cette résistance non linéaire en Verilog A pour qu'elle ne soit utilisée que lorsque la diode s'allume. Cet ajout de composant est facilement intégré dans le schéma de la diode.

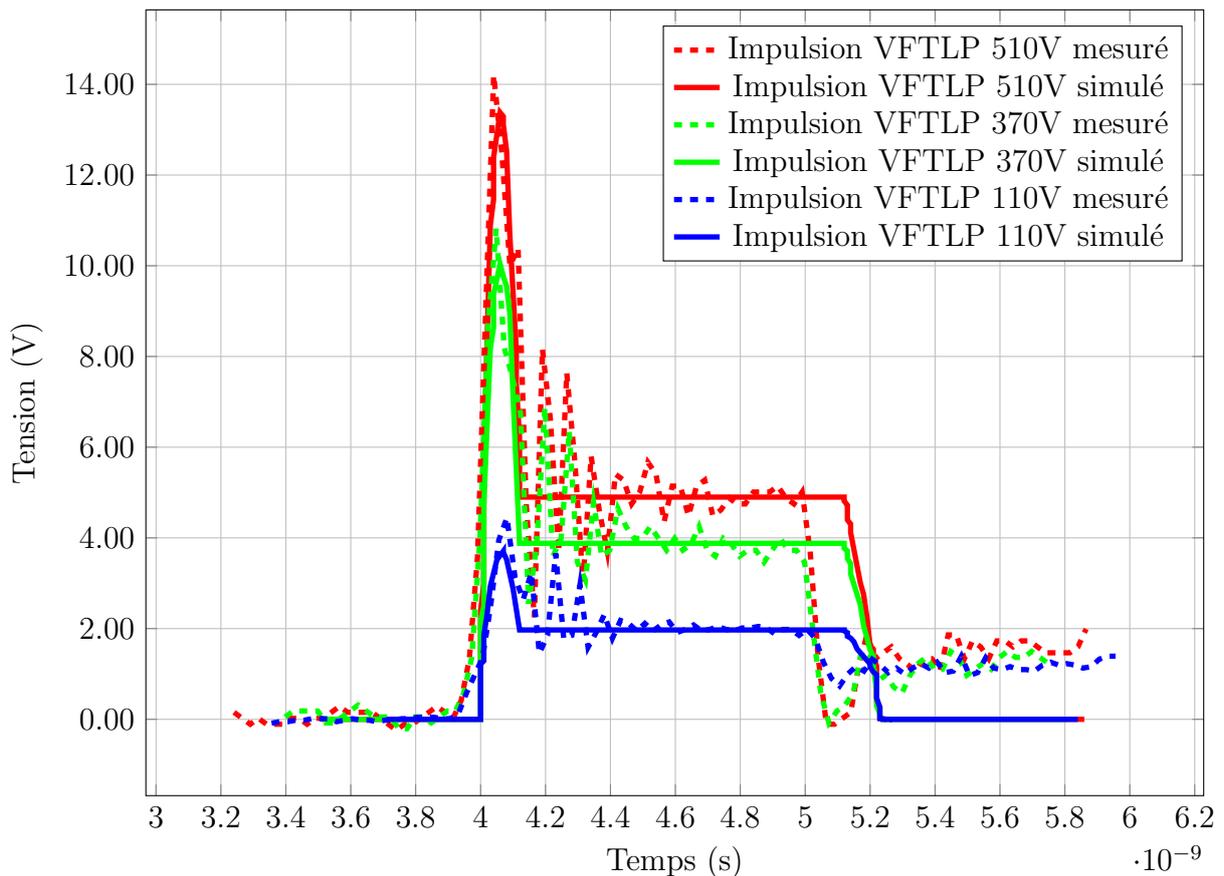


Figure 3.13 : Courbes de tension VF-TLP aux bornes d'une diode STI N réalisée dans la technologie C40. Trois impulsions VF-TLP sont utilisées pour comparer les résultats des simulations et les mesures. Les mesures sont en pointillées et les simulations en traits pleins.

La Figure 3.13 illustre les courbes transitoires de tensions VF-TLP mesurées et simulées pour trois impulsions à 110V, 370V et 510V. L'ajout de cette résistance non linéaire permet donc de modéliser la surtension des diodes lorsque l'augmentation du courant est rapide. La surtension aux bornes de la diode mesurée peut être importante, par exemple pour une tension de fonctionnement de la diode de 5V, la surtension mesurée est de plus de 13V. Les oscillations présentes sur les mesures VF-TLP (en pointillé sur la Figure) sont dues au fait que l'impulsion réelle VF-TLP n'est pas un parfait carré.

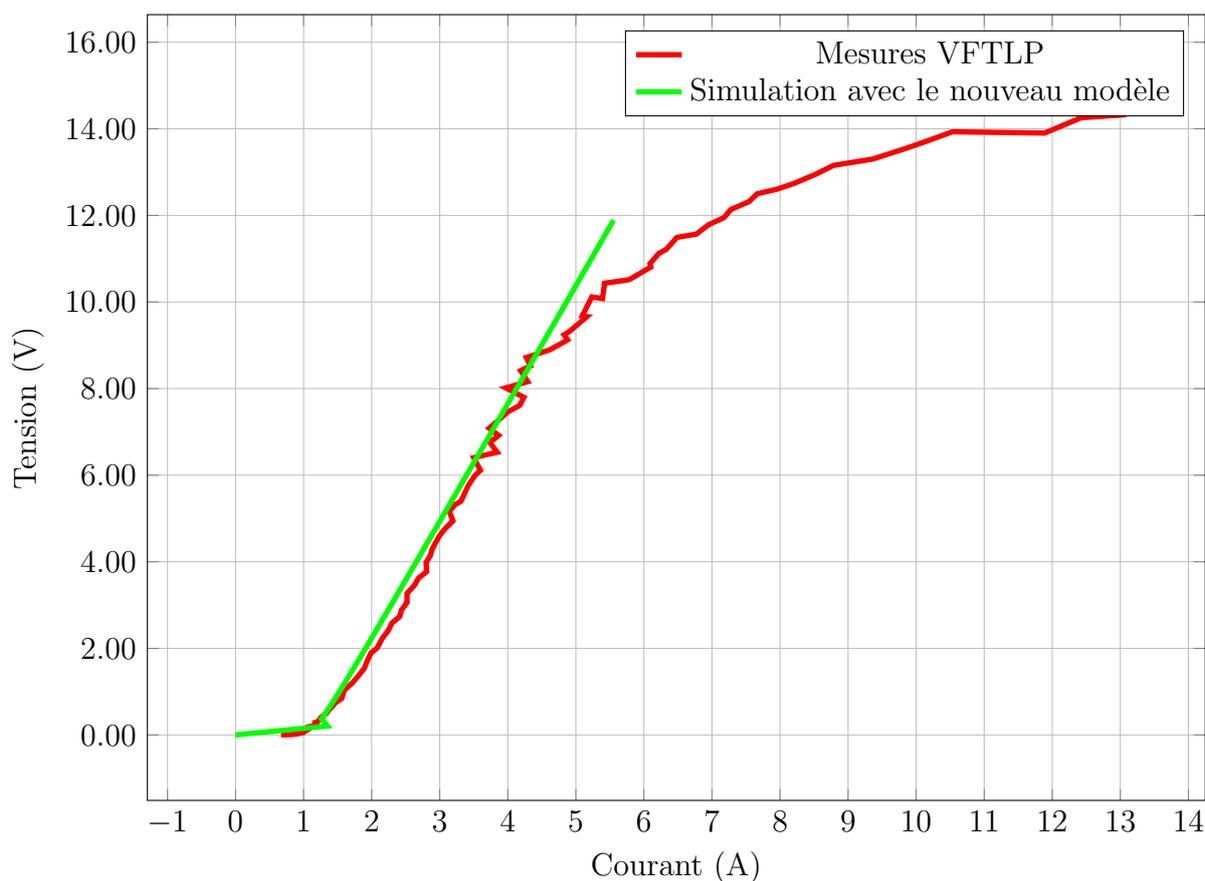


Figure 3.14 : Caractéristiques de la diode STI N en C40 simulée en vert et mesurée en rouge.

La Figure 3.14 compare la caractéristique quasi statique des mesures VF-TLP et des simulations réalisées. Le nouveau modèle permet donc de représenter fidèlement le comportement transitoire des diodes STI ainsi que d'obtenir des caractéristiques de fonctionnement fidèles. L'ajout de cette résistance non linéaire améliore la modélisation des diodes STI lors d'une décharge CDM. L'écart observé pour les courants supérieur à 5A sont du au fait que le composant commence à se dégrader. La dégradation du composant n'est pas incluse dans les modèles.

Les mesures VF-TLP réalisées pour comparer et améliorer les modèles des protection ESD dans les simulations CDM, servent aussi à déterminer leur niveau de courant de casse. Cela permet de connaître la robustesse de la protection et de prédire sa casse.

3.2.2 Casse des oxydes de grilles

Des études statistiques de casse d'oxyde dans le domaine de temps CDM ont été réalisées (cf. Chapitre 2). Ces résultats déterminent les tensions maximales que peut supporter les transistors dans le circuit pour une durée semblable à celle de l'événement CDM.

3.2.3 Modélisation du substrat

Dans un premier temps, RFPro a été utilisé pour modéliser les parasites du substrat. Ce logiciel présentait l'avantage d'être facilement utilisable avec les logiciels utilisés pour dessiner les circuits de test. Cependant les temps de calculs étaient très longs (quelques jours) et nécessitaient des simplifications du circuit. Le logiciel d'extraction de parasite de Cadence QRC, a donc été retenu. Il permet à la fois d'extraire les parasites du circuit et ceux du substrat en quelques minutes ou heures suivant la taille du circuit. Un nouveau schéma du circuit est alors généré. Il intègre les parasites dues au dessin et ceux du substrat. Ce nouveau circuit peut ensuite être simulé.

3.2.4 Modélisation du boîtier

Pour intégrer la contribution capacitive du boîtier, plusieurs méthodes ont été considérées.

3.2.4.1 Première approche

Dans un premier temps, il a été choisi d'utiliser la façon présentée sur la Figure 3.7. Afin de réaliser une simulation électromagnétique de l'ensemble boîtier circuit, il est nécessaire d'incorporer les données du dessin du circuit dessiné sur Virtuoso de Cadence [Cadb], les parasites liés aux fils de connexion et la base de donnée du boîtier au logiciel de simulation EMPro de Keysight [Keyb]. Le logiciel GoldenGate [Keyc] permet d'intégrer les données du circuit dans la suite d'outils de simulation de Keysight. Les interconnexions silicium-boîtier peuvent être rajoutées dans le logiciel EMPro, en renseignant les matériaux et la géométrie des fils utilisés. Enfin les données du boîtier sont ensuite importées. La simulation électromagnétique de l'ensemble obtenu donne alors les divers paramètres S du composant entier. Ces résultats peuvent ensuite être réintégrés aux simulations de qualification CDM.

La complexité du flow ne permettait pas d'être en ligne avec la durée de la thèse, c'est pourquoi cette approche n'a été investiguée que partiellement.

3.2.4.2 Seconde approche

La mesure du courant pic CDM employé dépend principalement du boîtier utilisé et notamment de son type et de sa taille. Il est donc possible d'estimer la valeur de la capacité parasite formée par le composant et le plateau de charge lors des tests CDM, en comparant les informations du boîtier ou le courant pic mesuré avec des données de qualification CDM existantes. Cette méthode permet d'obtenir très rapidement une estimation capacitive des éléments parasites du boîtier.

3.2.5 Détermination du résultat de la simulation

Afin de déterminer si un composant simulé est dégradé lors d’une qualification CDM, les tensions aux bornes des composants considérés à risque ainsi que le courant à travers les protections ESD sont monitorés. Si les valeurs maximums autorisées sont dépassées alors le composant est considéré comme cassé.

3.2.6 Utilisation du flot de simulation CDM

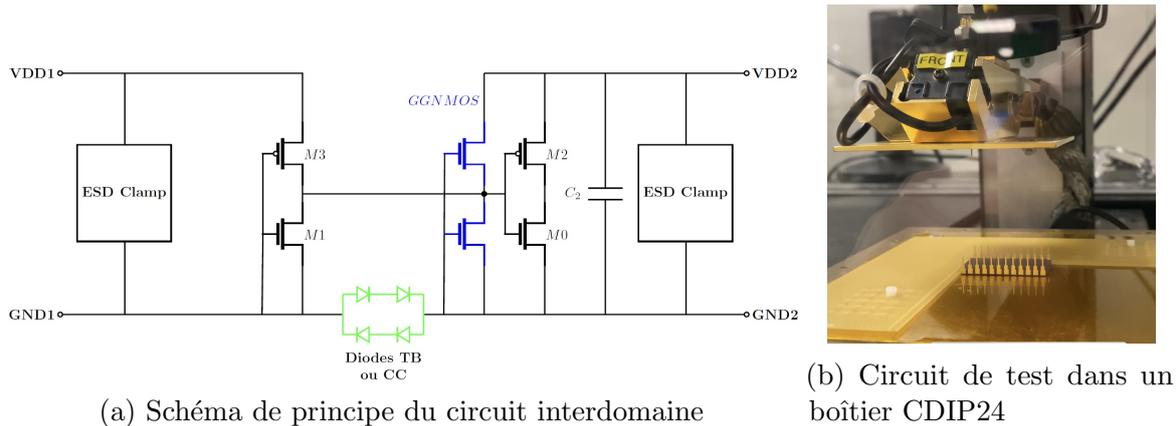


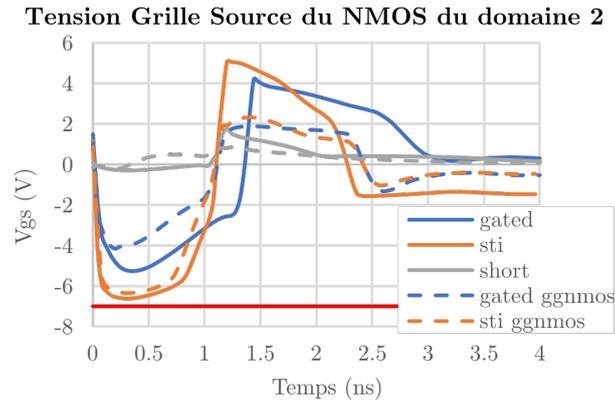
Figure 3.15 : Circuit de test interdomain

Le flot de simulation présenté a été utilisé par la suite pour étudier les cas de faiblesse CDM présentés dans le chapitre 1. Pour déterminer la capacité du flot de simulation à reproduire le comportement des circuits lors des décharges CDM, une comparaison a été effectuée entre des mesures CDM et des résultats de la simulation. L’étude a été réalisée en utilisant des circuits de tests dédiés à l’étude de configuration de type inter-domaine dont le schéma est présenté sur la Figure 3.15a. C’est-à-dire que les configurations analysées sont les transistors MOS à l’interface de deux domaines de puissance. Plusieurs variations sont présentées avec trois types de connexion entre les deux masses (diodes têtes bêtes STI et Gated ou court circuit) et avec ou sans protections CDM (ggNMOS). Le boîtier utilisé est un CDIP24 (“Ceramic Dual Inline Package”)(cf. Figure 3.15b).

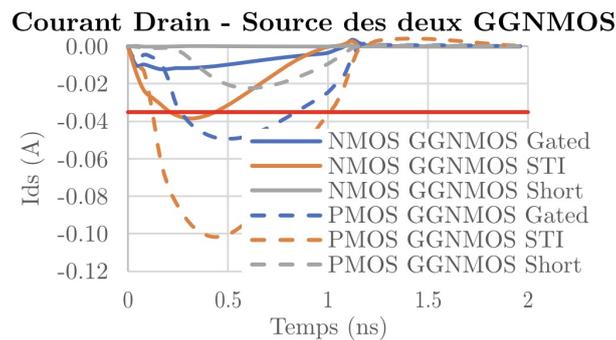
Pour chaque circuit de test, des simulations CDM ont été réalisées pour des stress positifs et négatifs sur les broches VDD1 et VDD2 avec des tensions de charges de 250, 500 et 750V. Les valeurs des tensions de grille des transistors M_0 et M_2 sont ensuite comparées avec leurs tensions de casse d’oxyde respectives. Le courant à travers les protections CDM est aussi surveillé. La Figure 3.16 montre la tension de grille de M_0 et le courant à travers les protections CDM simulées pour une décharge CDM de +500V sur la broche VDD1.

Les résultats des simulations sont présentés sur la Table 3.3. Des tests de qualifications CDM ont aussi été conduits pour évaluer la précision du flot de simulation. Les simulations effectuées corrént avec les mesures CDM dans la majeure partie des cas. Pour toutes les divergences (cases grisées dans la Table 3.3) , les simulations prédisent une casse qui n’est pas observée lors des tests CDM.

Des analyses de casses ou Failure analysis (FA) en anglais, ont aussi été faites pour certaines configurations afin de déterminer l’origine des défaillances observées.



(a) Tension de grille du transistor M_0 vue pendant une simulation CDM



(b) Courant drain-source à travers les ggNMOS de protections CDM pendant une simulation CDM. NMOS ggNMOS correspond au ggNMOS protégeant M_0 , PMOS ggNMOS, à celui protégeant M_2

Figure 3.16 : Résultats des simulations CDM des différents circuits de test étudiés. Ici, la broche stressée est VDD1 avec une tension de charge de 500V. La ligne rouge correspond au niveau de tension ou de courant à ne pas dépasser (dégradation)

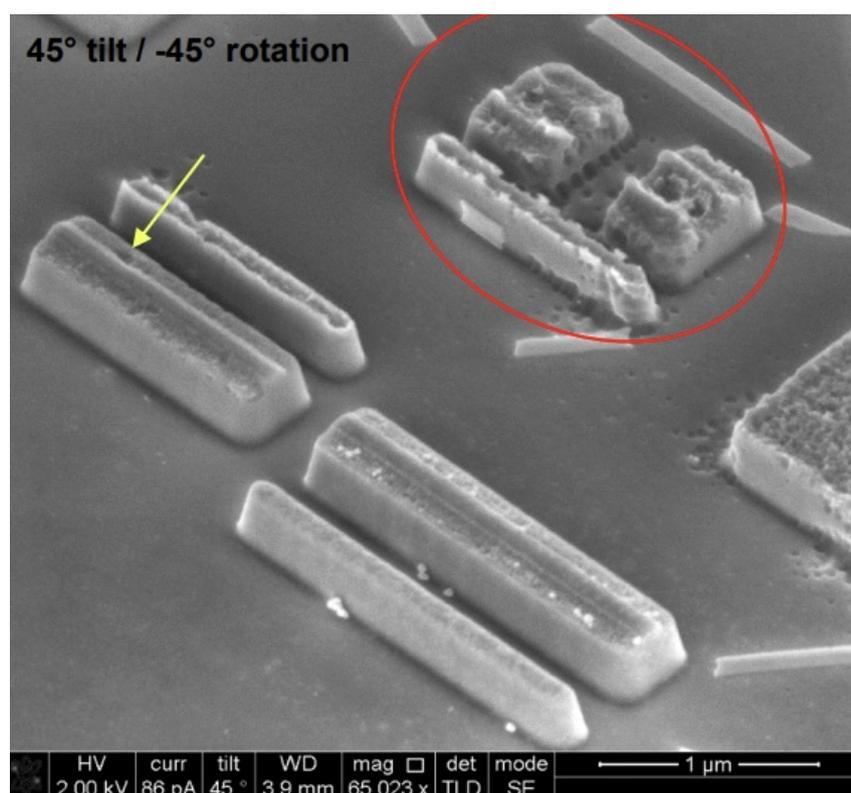


Figure 3.17 : Photographie des ggNMOS (entouré en rouge) dégradés à la suite d'une décharge CDM (+750V sur VDD2) sur le circuit TB STI + ggNMOS

Broche déchargée	VDD1						VDD2					
Tension de charge	-250V	-500V	-750V	250V	500V	750V	-250V	-500V	-750V	250V	500V	750V
Courant CDM pic	-2.8A	-5.6A	-8.2A	2.8A	5.6A	8.2A	-2.8A	-5.6A	-8.2A	2.8A	5.6A	8.2A
TB Gated	Ok	Ok	Ok	Ok	Casse	Casse	Ok	Ok	Ok	Ok	Casse	Casse
TB STI	Ok	Casse	Casse	Ok	Casse	Casse	Ok	Ok	Casse	Ok	Casse	Casse
CC	Ok	Ok	Ok	Ok	Ok	Casse	Ok	Ok	Ok	Ok	Ok	Ok
TB Gated + ggNMOS	Ok	Ok	Casse	Ok	Ok	Casse	Ok	Ok	Ok	Ok	Ok	Ok
TB STI + ggNMOS	Ok	Casse	Casse	Ok	Casse	Casse	Ok	Ok	Casse	Ok	Ok	Casse
CC + ggNMOS	Ok	Ok	Ok	Ok	Ok	Casse	Ok	Ok	Ok	Ok	Ok	Ok

Table 3.3: Résultats des simulations. Les cas en gras correspondent à une casse de la protection CDM. Les divergences entre les mesures et les simulations sont en gris.

La Figure 3.17 confirme la casse des ggNMOS à la suite de la décharge CDM comme prédit par les simulations (cf case en rouge et en gras sur la Table 3.3).

Les simulations effectuées en utilisant le flot de simulation présenté dans ce chapitre ont donc permis de retrouver les résultats observés à la suite des mesures CDM effectuées lors des circuits de tests.

Certains résultats de simulation réalisés ne correspondent pas aux mesures. Dans tous les cas, les simulations prédisent des casses que l'on ne retrouve pas. Cela peut être dû à la modélisation du boîtier qui ne tient pas compte de certains parasites du boîtier. De plus, la casse d'oxyde est un phénomène statistique, il a donc possible que certaines mesures CDM est un courant de casse supérieur à celui obtenu par simulation.

3.3 Conclusion

Être capable de prédire les performances CDM d'un circuit permet de réduire le temps de développement d'une puce ainsi que de diminuer les potentiels retour clients. Pour cela, il faut être en mesure de simuler le comportement d'un composant lors d'une décharge CDM.

L'état de l'art de la simulation CDM, a montré que pour émuler le fonctionnement d'un circuit lors d'un événement CDM, il fallait tenir compte du substrat, du boîtier, du circuit. Il est cependant important de réaliser certaines simplifications au niveau du circuit afin de diminuer les temps de traitement qui peuvent être très longs suivant la taille du circuit à étudier.

Un flot de simulation tenant compte de ces contraintes a été développé et présenté. Il repose sur quatre piliers : l'amélioration des modèles des protections ESD, des mesures de casses d'oxyde de grilles dans le domaine de temps CDM, l'extraction des éléments parasites du substrat et du boîtier. Des critères de défaillances ont été défini. Ainsi, les prédictions du résultat de la qualification CDM est obtenu en comparant les tensions de grilles de transistor et les courants dans les protections ESD avec leur tension et courant de casse mesurés.

Ce flot de simulation a ensuite été utilisé pour prédire le comportement de circuit de test lors des tests CDM. En confrontant ces résultats avec les mesures obtenues, les simulations ont montré un bon niveau de corrélation.

Le flot de simulation développé pour prédire le comportement des circuits de test CDM sera donc utilisé par la suite pour l'étude des circuits de test conçus et fabriqués pour mieux comprendre les contextes de faiblesse CDM. Dû à la nature statistique de la casse, certains courant de casse de simulation peuvent être inférieurs à ceux obtenus lors des mesures.

Le phénomène de décharge du composant chargé est complexe. Les capacités parasites formées notamment par les divers éléments du circuit, le boîtier, le testeur constituent des lieux où des charges peuvent être emmagasinées lors du chargement du composant, tandis que toutes les résistances parasites formées par le substrat, le boîtier et le circuit sont transformées en possible chemin de décharge lors de la mise à la masse de l'une des entrées. Les casses CDM peuvent donc apparaître partout dans le composant.

L'intensité de la décharge CDM dépend principalement de la taille et du type de boîtier utilisé. La qualification CDM qui permet de classifier la robustesse CDM d'un produit intervient tard dans le développement d'un produit. De plus, les composants sont devenus

de plus en plus sensibles au CDM, dû notamment à l'augmentation de la complexité des circuits intégrés et de leur processus de fabrication.

Cependant, les mesures de qualification CDM présentent des désavantages. Les mesures ne sont pas toujours répétables et les courants de casse obtenus sont imprécis. Le Chapitre 4 s'intéresse donc à l'utilisation du procédé de mesure CC-TLP (Capacitive Coupled Transmission Line Pulse) comme alternative à la qualification CDM.

Références

- [Sar14] J. P. Di Sarro, B. Reynolds, and R. Gauthier. “Influence of Package Trace Properties on CDM Stress”. In: *IEEE Transactions on Device and Materials Reliability* 14 (Sept. 2014), pp. 810–817. DOI: 10.1109/TDMR.2014.2329552.
- [Kar08] James Karp et al. “Effect of flip-chip package parameters on CDM discharge”. In: *EOS/ESD 2008 - 2008 30th Electrical Overstress/Electrostatic Discharge Symposium*. 2008, pp. 1–5.
- [Lee03] Jaesik Lee et al. “Chip-level charged-device modeling and simulation in CMOS integrated circuits”. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 22.1 (2003), pp. 67–81. DOI: 10.1109/TCAD.2002.805720.
- [Sow05] MSB Sowariraj et al. “A 3-D Circuit Model to evaluate CDM performance of ICs”. In: *Microelectronics reliability* 45.9-11 (2005), pp. 1425–1429.
- [Shu10] Vrashank Shukla, Nathan Jack, and Elyse Rosenbaum. “Predictive simulation of CDM events to study effects of package, substrate resistivity and placement of ESD protection circuits on reliability of integrated circuits”. In: *2010 IEEE International Reliability Physics Symposium*. 2010, pp. 485–493. DOI: 10.1109/IRPS.2010.5488782.
- [Ans] Ansys. *Ansys HFSS*. URL: https://www.cadence.com/en_US/home/tools/digital-design-and-signoff/silicon-signoff/quantus-extraction-solution.html.
- [Keya] Keysight. *RFPro*. URL: <https://edadocs.software.keysight.com/kkbopen/rfpro-em-applications-589305842.html>.
- [Abe12] Dolphin Abessolo-Bidzo, Theo Smedes, and Albert Jan Huitsing. “CDM simulation based on tester, package and full integrated circuit modeling: case study”. In: *IEEE transactions on electron devices* 59.11 (2012), pp. 2869–2875.
- [Cada] Cadence. *Cadence QRC*. URL: https://www.cadence.com/en_US/home/tools/digital-design-and-signoff/silicon-signoff/%20quantus-extraction-solution.html.
- [Shu14] Vrashank Shukla et al. “Prediction of charged device model peak discharge current for microelectronic components”. In: *IEEE Transactions on Device and Materials Reliability* 14.3 (2014), pp. 801–809.
- [Zho05] Yuanzhong Zhou et al. “Modeling MOS snapback for circuit-level ESD simulation using BSIM3 and VBIC models”. In: *Sixth international symposium on quality electronic design (isqed’05)*. IEEE. 2005, pp. 476–481.
- [Wil04] J Willemen et al. “Characterization and modeling of transient device behavior under CDM ESD stress”. In: *Journal of electrostatics* 62.2-3 (2004), pp. 133–153.
- [Pan14] Zhihao Pan et al. “Understanding and modeling of diode voltage overshoots during fast transient ESD events”. In: *IEEE transactions on Electron Devices* 61.8 (2014), pp. 2682–2689.

-
- [Cadb] Cadence. *Virtuoso Layout Suite*. URL: https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/layout-design/virtuoso-layout-suite.html.
- [Keyb] Keysight. *EMPro*. URL: <https://www.keysight.com/fr/en/products/software/pathwave-design-software/pathwave-em-design-software.html>.
- [Keyc] Keysight. *GoldenGate*. URL: <https://www.keysight.com/fr/en/lib/resources/software-releases/pathwave-rfic-design-goldengate-2020-update-10.html>.

Chapitre 4

Le CC-TLP : Méthode alternative de mesure CDM?

Sommaire

4.1	Comparaison entre la qualification CDM et le test CC-TLP	105
4.1.1	Qualification CDM	105
4.1.2	Banc de test CC-TLP	108
4.1.3	Différences entre le CDM et CC-TLP	112
4.2	Corrélation expérimentale entre le CDM et le CC-TLP	115
4.2.1	État de l'art	115
4.2.2	Établissement du lien de corrélation	117
4.2.2.1	Circuits de test	117
4.2.2.1.1	Capacité isolée : Mesures avec faibles tension de charge	117
4.2.2.1.2	Grille connectée à une entrée/sortie : Impact du temps de montée	118
4.2.2.1.3	Grille connectée à une entrée/sortie : Comparaison du CC-TLP sur silicium, CC-TLP sur boîtier et CDM	120
4.2.2.2	Protocoles de mesures	120
4.2.2.3	Résultats	121
4.2.3	Discussion	125
4.3	Conclusion	127
	Références	130

Figures

4.1	Mesure du courant lors de la qualification CDM d'un composant dans un boîtier SBGA 304 pour des tensions de charge inférieures à 200V	104
4.2	Dispositif de qualification CDM	106
4.3	Schéma de principe du modèle du testeur CDM	106
4.4	Schéma du modèle CDM	107
4.5	Courant de décharge CDM à la suite de la charge à 650V d'un composant mis dans un boîtier LGA64	107
4.6	Schéma de principe du dispositif CC-TLP	108
4.7	Banc de test CC-TLP	109
4.8	Schéma du banc de test CC-TLP	110
4.9	Banc de test CC-TLP sur boîtier	110
4.10	Courant de décharge CC-TLP à la suite de la charge à 550V de la ligne de transmission sur un composant mis dans un boîtier LGA65	111
4.11	Banc de test CC-TLP sur plaque de silicium	111
4.12	Courant de décharge CC-TLP à la suite de la charge à 500V de la ligne de transmission sur un composant sur plaque de silicium	112
4.13	Procédure de test de qualification CDM comparée avec celle de test CC-TLP	113
4.14	Circuit de test utilisé dans [Wol03]	115
4.15	Circuit de test capacité isolée	117
4.16	Circuit de test GTP	118
4.17	Caractérisation VF-TLP d'une diode STI avec des impulsions 1ns avec un temps de 100ps et 200ps	119
4.18	Circuit de test GTP avec protection CDM	120
4.19	Mesures de courant de casse sur les différents circuits de tests - Capacité isolée.	122
4.20	Mesures de courant de casse sur les différents circuits de tests - GTP STI vs Gated.	122
4.21	Courant CC-TLP avant et après la casse pour tous les échantillons mesurés de la configuration GTP gated	123
4.22	Mesures de courant de casse sur les différents circuits de tests - GTP avec protection CDM.	124
4.23	Charges échangées durant les mesures sur les circuits de tests - GTP avec protection CDM.	126
4.24	Mesures de slew rate lors des décharges sur les différents circuits de tests - GTP avec protection CDM.	126
4.25	Énergie des décharges effectuées sur les différents circuits de tests - GTP avec protection CDM.	127

Tableaux

4.1	Différences entre la qualification CDM et le CC-TLP	114
-----	---	-----

Pour étudier le phénomènes CDM, des circuits de tests ont été fabriqués. Leur robustesse CDM a ensuite été évaluée à l'aide de mesures CDM. Le testeur CDM utilisé charge le composant sous test (CST) par induction, puis la pointe test connectée à la masse vient décharger le composant. La décharge se fait donc par contact et engendre une grande variabilité de courant CDM traversant la puce pour une tension de charge identique. De plus la valeur et la forme d'onde du courant CDM dépend du boîtier utilisé. La qualification CDM est donc faite en utilisant des pas de charge de 250V afin d'avoir des niveaux de courants différents entre chaque palier, rendant la valeur de courant de casse obtenue peu précise.

Des mesures de qualification CDM effectuées avec des tensions de charge faibles ($< 250V$), ont montré qu'il était difficile de quantifier précisément la robustesse CDM des circuits évalués [Esm15]. La Figure 4.1 illustre les différentes valeurs de courant maximum observées lors de tels tests. Les écarts sont très variés : pour une tension de charge de 125V, le courant pic varie entre 300mA et 2.4A.

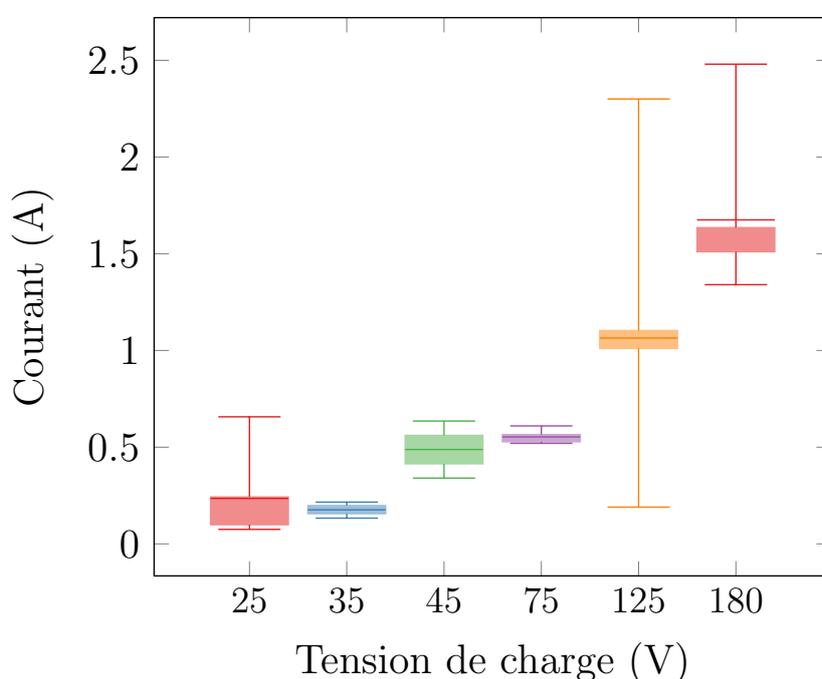


Figure 4.1 : Mesure du courant lors de la qualification CDM d'un composant dans un boîtier SBGA 304 pour des tensions de charge inférieures à 200V

De plus les mesures CDM nécessitent d'avoir des composants dans un boîtier, ce qui rajoute au délai de fabrication des composants. Être capable d'estimer la robustesse d'un circuit à l'aide de mesures sur tranche de silicium permettrait de simplifier et de raccourcir l'analyse des circuits de test.

Afin d'améliorer la répétabilité des tests CDM de nouveaux procédés de tests ont été développés, dont le CC-TLP (Capacitive Coupled Transmission Line Pulse). Il repose sur la modification d'un banc de test VF-TLP, déjà utilisé pour la caractérisation des composants élémentaires des circuits dans le domaine de la nanoseconde. Un bras comportant une plaque de métal connectée à la masse et une pointe de signal remplace les pointes de mesures VF-TLP usuelles. Le VF-TLP permet de mesurer le comportement soumis à un courant très rapide entre deux bornes, le chemin de décharge est donc connu. Dans le cas

du CDM, les chemins de décharge sont multiples et dans tout le circuit. L'utilisation du bras CC-TLP permet de former une capacité parasite entre la masse et le composant sous test (CST), et donc de créer une décharge de tout le circuit à travers une broche. Ces différences permettent de passer d'un test entre deux bornes d'un élément à un test à une borne plus proche de la situation d'une décharge CDM. Lors de la mesure CC-TLP, la pointe de test reste continuellement au contact, ce qui permet d'améliorer grandement la répétabilité des tests. De plus, ce type de tests peut directement être réalisé sur une tranche de silicium et donc être effectué plus tôt dans le cycle de développement des produits.

L'objectif de ce chapitre est de vérifier s'il existe une corrélation entre les mesures CC-TLP et les tests de qualification CDM. Pour cela des circuits de test ont été réalisés, qualifiés en CDM ainsi que testés en CC-TLP. Les divers résultats ont ensuite été comparés afin d'établir un lien entre ces deux types de mesure.

Le chapitre est organisé de la façon suivante : une première partie est consacrée à la comparaison entre le testeur CDM et le banc de mesures CC-TLP et une deuxième partie est centrée sur la corrélation expérimentale entre ces deux types de mesures.

4.1 Comparaison entre la qualification CDM et le test CC-TLP

Les bancs de qualification CDM et le banc de mesures CC-TLP sont présentés en détails dans cette partie afin d'établir les différences et similitudes de ces deux procédés.

4.1.1 Qualification CDM

Les machines de test utilisées pour réaliser la qualification CDM des composants électroniques ont été développées afin de reproduire le plus fidèlement possible les cas de décharge CDM observés lors de la fabrication et de l'assemblage des produits. Depuis 2014, la qualification CDM est régie par le standard JS-002 [Ass18] fait conjointement par l'ESDA et JEDEC. Ce document préconise uniquement le chargement par induction des puces électroniques, ce cas de figure se rapprochant le plus des situations réelles. En effet lors des diverses étapes de fabrication et d'assemblage, le composant peut être soumis à divers champs électriques et ainsi se charger par induction. Les mesures doivent être faites sur un échantillon minimum de trois valeurs en positif et en négatif, pour chaque niveau de tension de charge afin d'établir la classification CDM d'un composant.

La Figure 4.2 montre les appareils utilisés dans le processus de qualification CDM. Le testeur CDM est utilisé pour stresser le composant et la machine pour déterminer la dégradation ou non du composant testé. Ici, le paramètre retenu pour établir la casse de la puce est la caractéristique $I(V)$. Des tests de fonctionnalité peuvent aussi être utilisés. Cette option n'a pas été retenue car les circuits de test employés par la suite n'ont pas de fonction, ce sont des configurations de circuits susceptibles de présenter des faiblesses CDM.

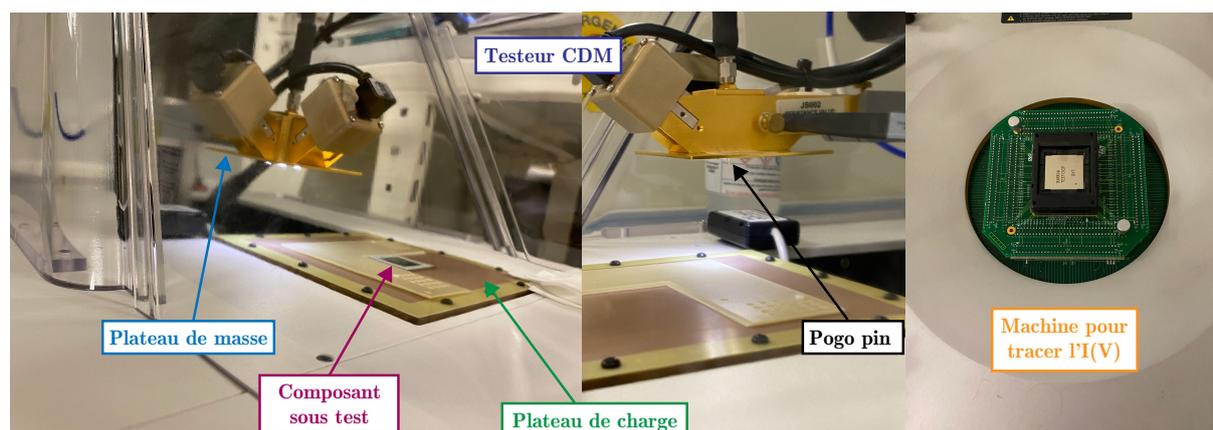


Figure 4.2 : Dispositif de qualification CDM

Le testeur CDM est composé d'un plateau de charge relié à un générateur haute tension qui permet de charger le composant à la tension CDM désirée. La puce est placée sur ce plateau, en position sur le dos, c'est à dire avec ses broches orientées vers le haut. Un plateau de masse mobile se situe au dessus du plateau de charge. Une pointe de test appelée "pogo pin" se trouve à sa surface. Une fois le composant chargé, le plateau de masse est abaissé et la pogo pin vient au contact d'une des broches du composant, créant ainsi une décharge de type CDM. Le courant intrinsèque résultant est acquis à l'aide d'un oscilloscope 6GHz. L'ensemble puce, plateau de charge et de masse et pogo pin est dans un milieu fermé afin de contrôler l'atmosphère de la décharge et d'améliorer la répétabilité de la mesure. Avant toute décharge effectuée sur le composant sous test, les paramètres fonctionnels clés sont mesurés (photographie de droite sur la Figure 4.2). Ils sont remesurés après chaque décharge et comparés avec les caractéristiques initiales, toute déviation indique une détérioration du composant.

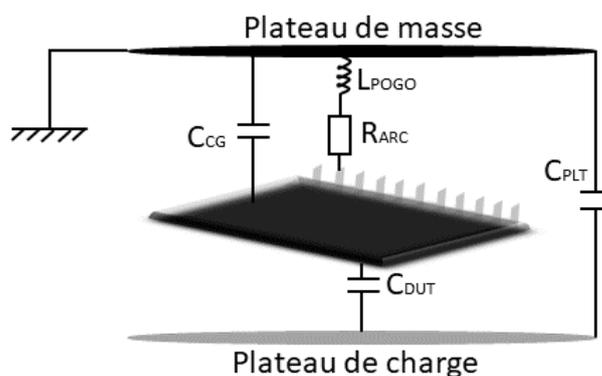


Figure 4.3 : Schéma de principe du modèle du testeur CDM

La Figure 4.3 récapitule le processus de qualification pour une puce électronique. Pour rappel, le circuit équivalent du testeur est présenté sur la Figure 4.4. L'inductance est due à la pogo pin, la résistance représente l'arc électrique formé lors de la décharge entre le CST (Composant Sous Test) et la pogo pin, la capacité C_{PLT} est formée par les deux plateaux (charge et masse) et C_{DUT} par le composant et le plateau de charge. Comme présenté dans le Chapitre 1, le courant CDM intrinsèque lors d'un test de qualification

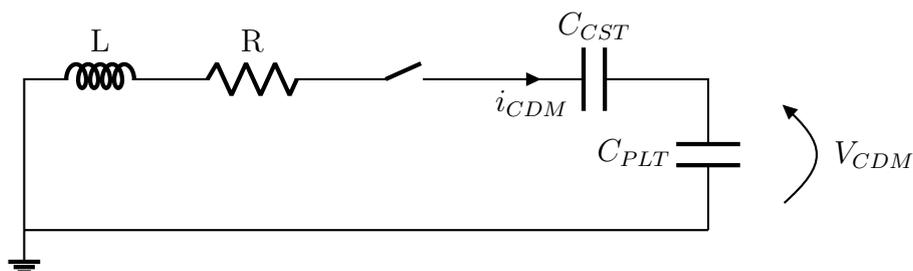


Figure 4.4 : Schéma du modèle CDM

CDM peut s'exprimer de la façon suivante : $i_{CDM}(t) = V_{CDM} \sqrt{\frac{C_{EQ}}{L}} e^{-\frac{R}{2L}t} \sin\left(\frac{t}{\sqrt{LC_{EQ}}}\right)$ avec $C_{EQ} = \frac{C_{CST}C_{PLT}}{C_{CST}+C_{PLT}}$ et V_{CDM} la tension de charge CDM du composant.

La Figure 4.5 représente un courant de décharge CDM pour une tension de charge de 650V mesuré lors d'une qualification CDM d'un composant utilisant un boîtier LGA64. Le courant intrinsèque a bien la forme d'une oscillation atténuée caractéristique d'une décharge de circuit RLC. Dans cet exemple, le temps de montée de l'événement est de 156.5 picosecondes. Cette valeur correspond au temps nécessaire au courant pour passer de 10% à 90% de sa valeur maximale. Elle est donnée directement par le testeur CDM.

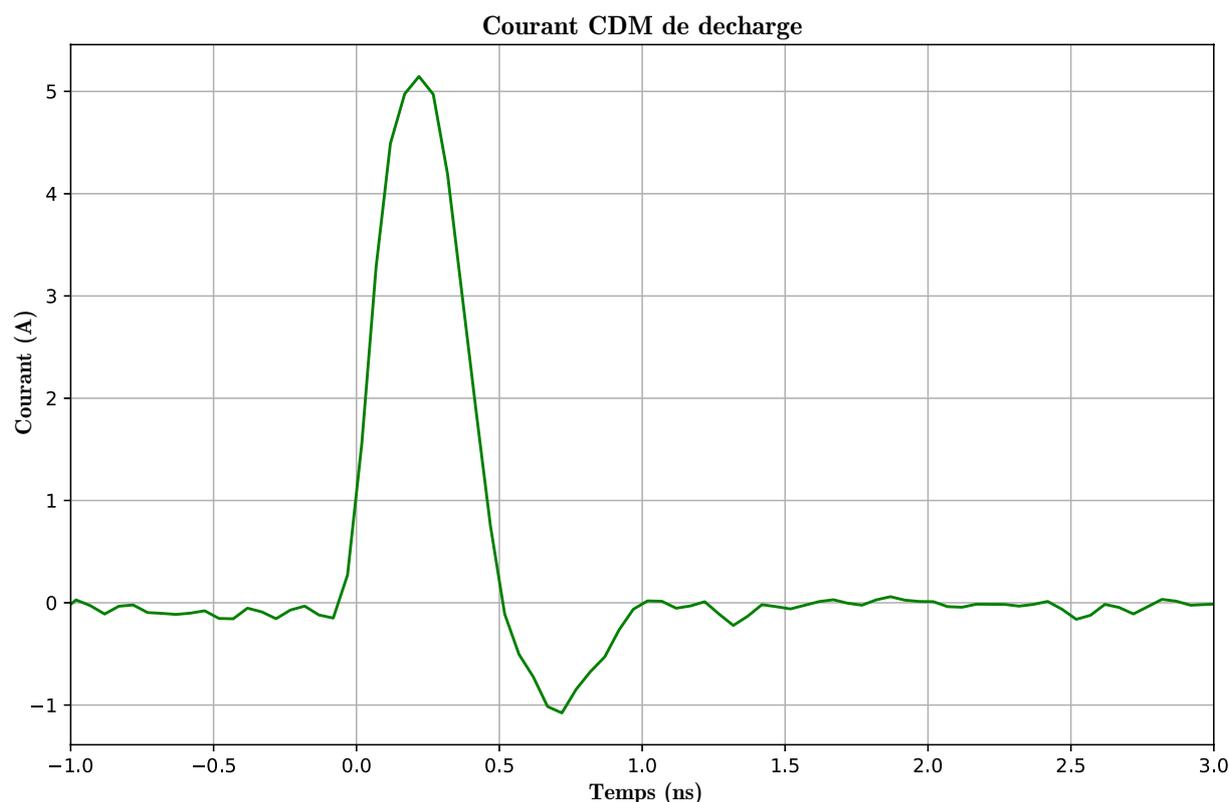


Figure 4.5 : Courant de décharge CDM à la suite de la charge à 650V d'un composant mis dans un boîtier LGA64

Les courants de décharge CDM observés lors des qualifications CDM ont des temps de montée généralement entre 70 et 400 picosecondes, cela varie en fonction des boîtiers

utilisés et leur amplitude peut atteindre plus de 15A.

4.1.2 Banc de test CC-TLP

Afin d’obtenir des données de robustesse CDM plus précises et répétables, [Gie98] se sont intéressés à l’utilisation d’un banc de test VF-TLP en remplacement des mesures de qualification CDM. La comparaison des mesures VF-TLP et CDM a montré que dans certains cas de figure précis, ils observaient les mêmes dégradations dans les circuits pour les deux types de mesure. Cependant, il n’était pas possible de corréliser les niveaux de casse VF-TLP et CDM. En effet, les deux dispositifs, bien que permettant de soumettre les composants sous test à des courants forts et très rapides, sont différents. La principale différence repose sur le fait que l’un est une mesure à une pointe (CDM) et l’autre à deux (VF-TLP), mais d’autres paramètres tels que la forme de l’onde (carrée pour le VF-TLP et sinusoïdale amortie pour le CDM), la durée de l’événement (1ns pour le VF-TLP et entre quelques centaines de picosecondes et quelques nanosecondes pour le CDM suivant le boîtier employé). Un nouveau banc de mesure appelé CC-TLP a donc été développé afin de transformer les mesures effectuées avec un générateur VF-TLP et de se rapprocher au maximum des conditions d’un testeur CDM. Le dispositif a été présenté pour la première fois dans [Wol03].

À l’instar des mesures d’une qualification CDM, les mesures CC-TLP sont effectuées en deux temps : une partie dédiée à la décharge de la ligne de transmission et une autre réservée à la vérification du fonctionnement du composant testé. La décharge est réalisée à l’aide d’un dispositif CC-TLP tandis que la vérification de la puce suit le procédé standard de qualification CDM.

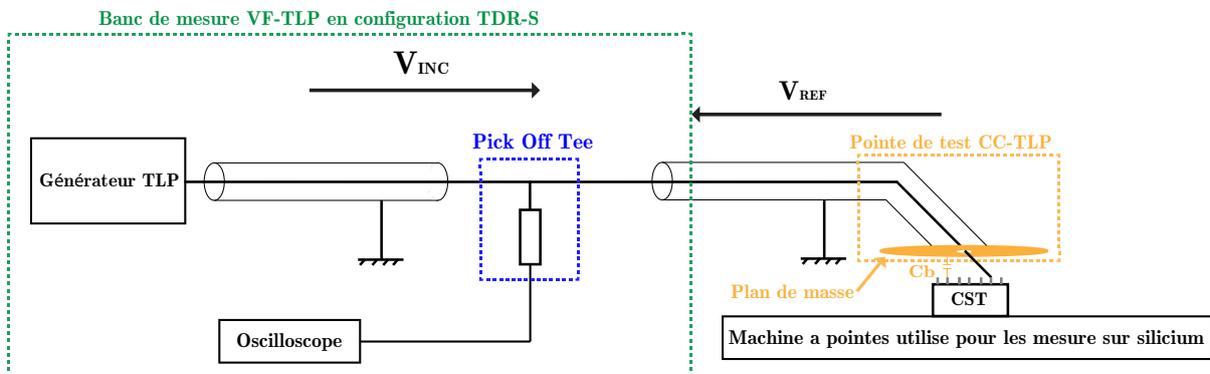


Figure 4.6 : Schéma de principe du dispositif CC-TLP

Dans [Wol03], les auteurs détaillent le fonctionnement du dispositif CC-TLP tel qu’illustré sur la Figure 4.6. Dans le cadre de gauche, le générateur VF-TLP classique est représenté. Il va permettre de générer des impulsions d’une durée entre 1ns et 10ns avec des temps de montée allant jusqu’à 100ps. Le générateur doit fonctionner en mode dit TDR-S (Time Domain Reflectometry - Separated) c’est-à-dire que la mesure de courant et de tension est effectuée, à l’aide d’un “Pick off Tee”, en utilisant l’onde incidente (V_{INC}) et celle réfléchie (V_{REF}) qui sont séparées lors de l’acquisition. Ces deux ondes sont ensuite superposées lors du traitement logiciel. Pour obtenir le courant CC-TLP résultant, il faut soustraire la tension de l’onde réfléchie à celle incidente et diviser par l’impédance 50Ω de

la ligne de transmission :

$$I_{CC-TLP} = \frac{V_{INC} - V_{REF}}{50}$$

Les pointes RF ou Kelvin habituellement utilisées pour les mesures VF-TLP sont maintenant remplacées par un bras spécifique qui intègre un large disque de métal connecté à la masse ainsi qu'une pointe reliée au signal. Ces éléments permettent à la fois d'émuler la capacité du boîtier et d'effectuer une décharge de la ligne de transmission à travers l'un des plots du composant testé.

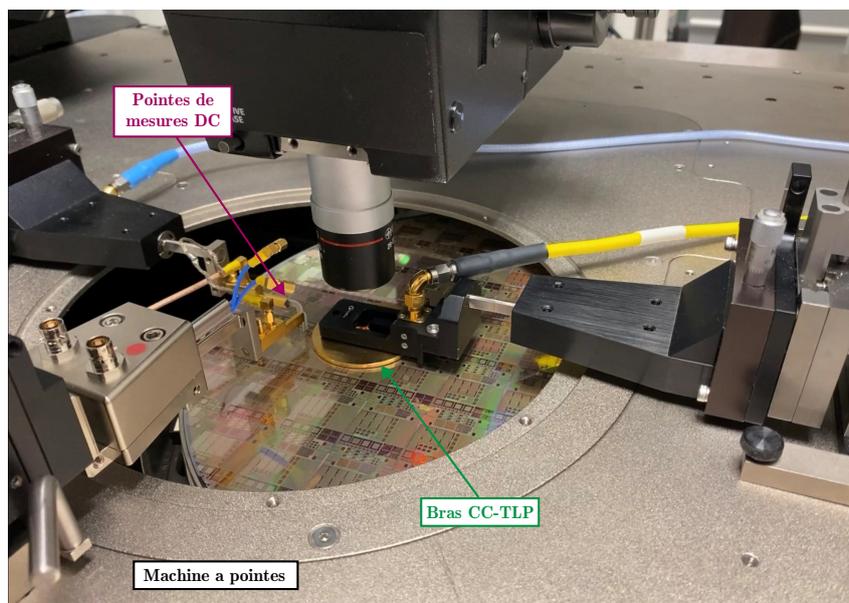


Figure 4.7 : Banc de test CC-TLP

La Figure 4.7 montre la mise en place d'une mesure CC-TLP. Le composant à tester est placé dans une machine à pointes. Le bras CC-TLP est connecté au générateur VF-TLP et à un oscilloscope 13GHz afin de faire l'acquisition du courant généré. Cet oscillateur correspond à celui utilisé lors des mesures VF-TLP. Sa bande passante est supérieure à celle utilisée lors de la qualification CDM car il permet de caractériser les composants élémentaires avec plus de précision et notamment de mesurer les surtensions observées lors de l'allumage de certaines protections. Des micro-pointes reliées à un analyseur DC sont aussi placées sur le banc de mesure afin d'enregistrer la caractéristique du composant après chaque décharge et de se rapprocher des mesures de qualification CDM réalisées précédemment.

L'ensemble générateur TLP et ligne de transmission du dispositif CC-TLP peut être assimilé à un circuit générateur de tension connecté en série avec résistance 50Ω et inductance (qui aura une valeur très faible), tandis que la plaque de métal et le composant forme une capacité. Le circuit équivalent d'un banc de test CC-TLP peut donc être représenté comme sur la Figure 4.8. La mesure CC-TLP peut à la fois être réalisée sur boîtier ou directement sur plaque de silicium, sans modifier le banc de test.

Mesures sur boîtier :

La Figure 4.9 montre une mesure CC-TLP sur boîtier. Comme lors d'une qualification CDM, le composant est placé sur le dos. Une première mesure de la caractéristique I(V) est réalisée avant tout stress. Puis la pointe du bras CC-TLP est placée au contact de

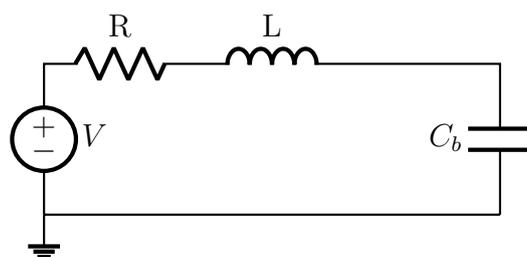


Figure 4.8 : Schéma du banc de test CC-TLP

la broche à tester. Une impulsion VF-TLP est alors générée. Une fois l'acquisition du courant de décharge effectuée, le bras CC-TLP est levé et la caractéristique du composant est mesurée et comparée avec la courbe initiale.

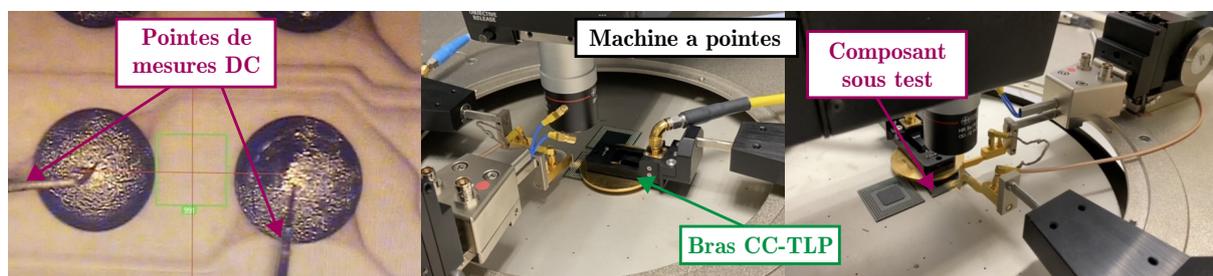


Figure 4.9 : Banc de test CC-TLP sur boîtier

Un exemple de courant CC-TLP mesuré lors d'une décharge sur boîtier est donné sur la Figure 4.10. Le temps de montée du courant est rapide et dépend de celui de l'impulsion VF-TLP généré, ici 100ps. La courbe de courant subit ensuite une lente décroissance pendant la durée de l'impulsion (1ns) avant de s'inverser à la fin de l'impulsion.

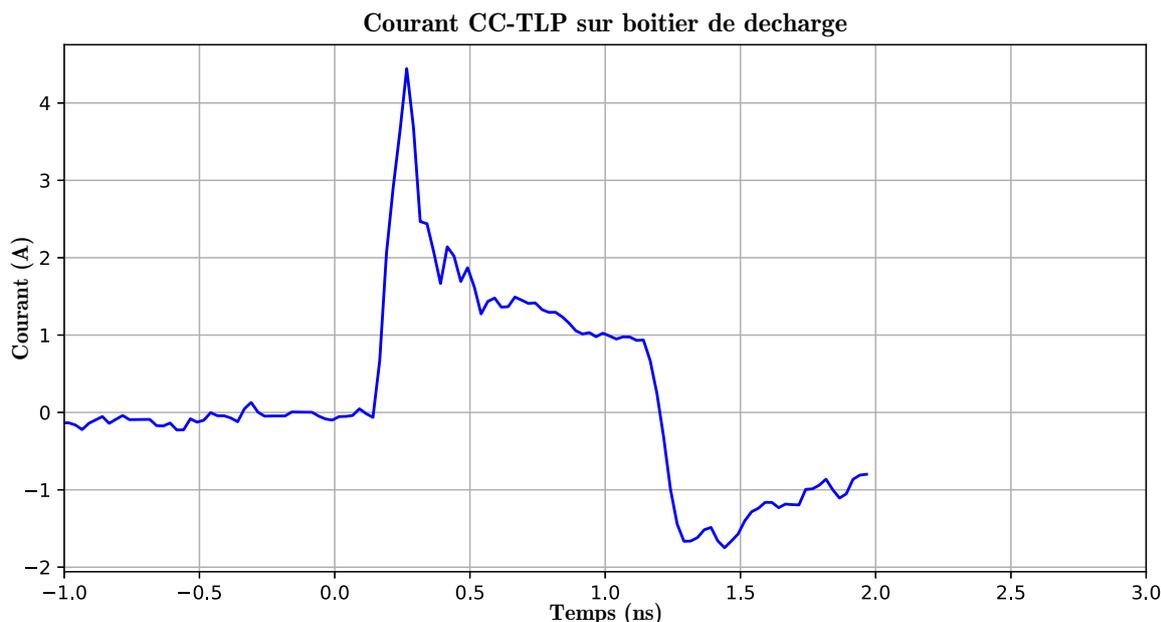


Figure 4.10 : Courant de décharge CC-TLP à la suite de la charge à 550V de la ligne de transmission sur un composant mis dans un boîtier LGA65

Mesures sur wafer :

La Figure 4.11 montre une mesure CC-TLP sur plaque de silicium. Les pointes de mesures sont placées directement sur les plots internes de la plaque comme illustrés sur la Figure 4.11. Le procédé de mesure est ensuite identique à celui utilisé pour les mesures sur boîtier.

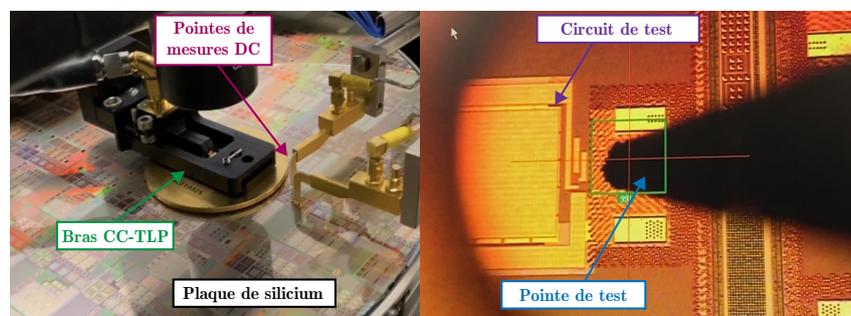


Figure 4.11 : Banc de test CC-TLP sur plaque de silicium

Un exemple de courant CC-TLP mesuré lors d'une décharge sur plaque de silicium est donné sur la Figure 4.12. Le temps de montée du courant est rapide et dépend de celui de l'impulsion VF-TLP générée, ici 100ps, comme lors d'une mesure sur boîtier. La courbe de courant reste ensuite relativement constante (légère décroissance) pendant la durée de l'impulsion avant de connaître une forte et rapide décroissance à la fin de la mesure. La forme d'onde du courant CC-TLP à la suite d'une mesure sur wafer est donc très différente de celle d'une mesure sur boîtier. Cette différence est due au fait que la capacité parasite résultante est plus grande dans le cas d'une mesure sur silicium, la décroissance du courant est donc beaucoup plus lente et plus longue que la durée de l'impulsion. Ces impulsions sont donc très proches des impulsions VF-TLP.

Courant CC-TLP de decharge sur plaque de silicium

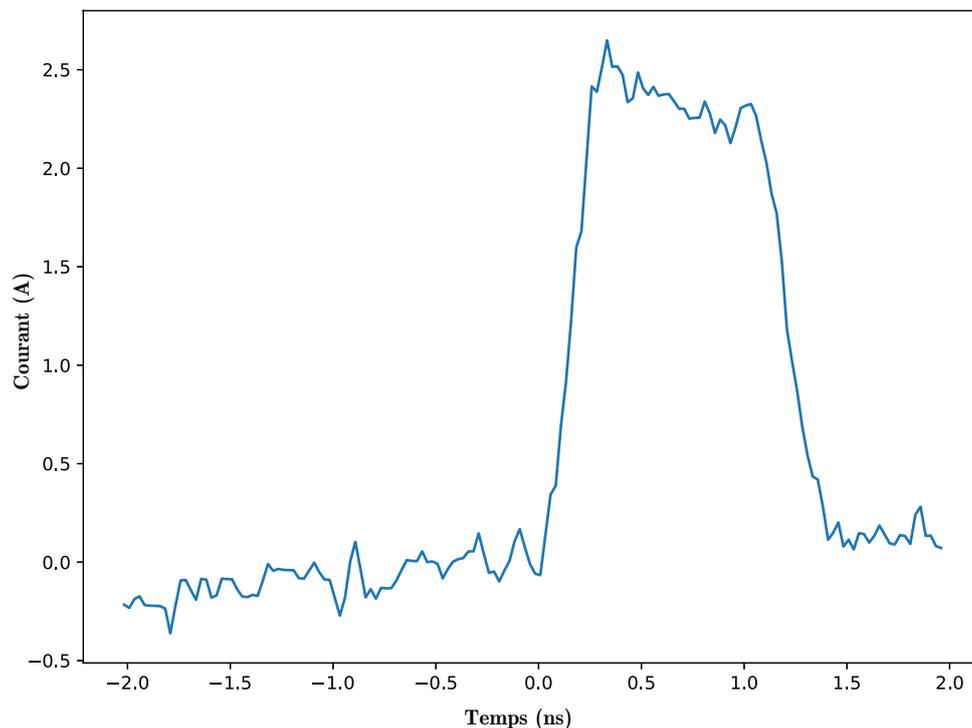


Figure 4.12 : Courant de décharge CC-TLP à la suite de la charge à 500V de la ligne de transmission sur un composant sur plaque de silicium

4.1.3 Différences entre le CDM et CC-TLP

À l'instar d'une qualification CDM, une mesure CC-TLP permet de générer un fort courant (allant jusqu'à 15A), rapide (d'une durée de 1ns) avec des temps de montée de l'ordre de 100ps.

Procédure de test :

Les méthodes de mesure de ces deux procédés sont similaires comme le montre le diagramme de la Figure 4.13. Pour déterminer la robustesse d'un composant, chaque composant doit être soumis au moins à trois décharges de chaque polarité lors de mesures de qualification CDM. Il a été choisi de réaliser ces mesures sur six puces différentes (trois en positif et trois en négatif). Ce protocole de mesure est repris dans les mesures CC-TLP afin de s'en rapprocher au maximum. Dans le cas d'une mesure CDM, le standard préconise des paliers de tension de charge de 250V. L'écart entre deux mesures de courant pic CDM sur le même produit à un même niveau de charge peut être supérieur à 1A. Cette imprécision peut être gommée puisqu'il est possible dans le cas du CC-TLP d'utiliser des paliers plus petits, la décharge étant faite après le contact, le courant mesuré varie peu d'un échantillon à l'autre.

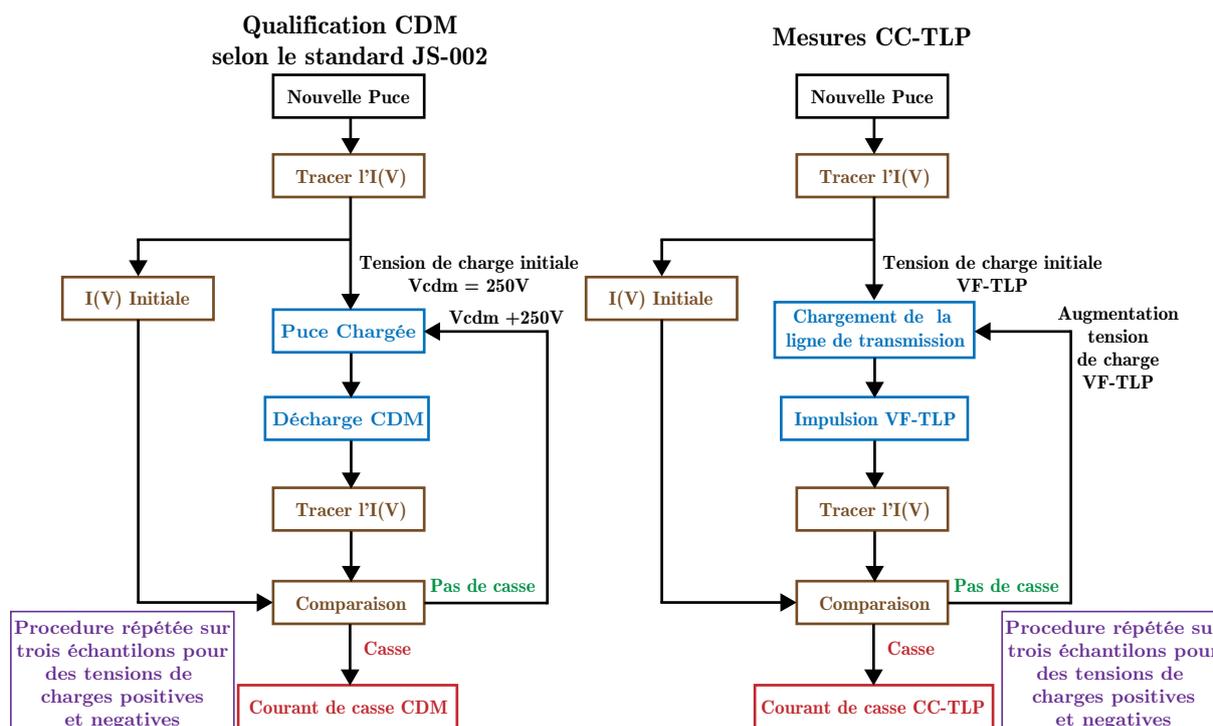


Figure 4.13 : Procédure de test de qualification CDM comparée avec celle de test CC-TLP

Polarité de l'événement :

Contrairement au test CDM, lors d'une décharge CC-TLP, le courant mesuré est le courant de décharge de la ligne de transmission et non le courant intrinsèque généré par la charge du composant. Une décharge CDM d'un composant chargé positivement est donc équivalent à la décharge d'une ligne de transmission chargée négativement sur le banc de mesure CC-TLP.

Temps de montée :

Les temps de montée du courant lors d'une décharge CDM sont généralement compris entre 70ps et 350ps et varient en fonction du boîtier utilisé. Dans le cas du CC-TLP, c'est le générateur VF-TLP qui le détermine. Le système utilisé par la suite, fournit des impulsions avec des temps de montée de 100ps ou 200ps. Le temps de montée conditionne le régime de fonctionnement de certains composants tels que les diodes STI. Ces diodes engendrent des surtensions à leurs bornes lorsque le temps de montée du courant qui les traverse est inférieur à 150ps. Cette différence peut ainsi entraîner des variations sur les courants de casse CDM et CC-TLP observés.

Forme d'onde :

Une comparaison des formes d'onde des courants de décharge issues de mesures de qualification CDM (cf. Figure 4.5) et de mesures CC-TLP sur boîtier (cf. Figure 4.10) et sur plaque de silicium (cf. Figure 4.12) permet de mettre en évidence les différences de ces trois procédés. Les mesures CDM et CC-TLP-boîtier montrent des courants de décharge proche avec une rapide et forte augmentation et une fois un pic atteint une rapide décroissance suivit d'une inversion de polarité. Cependant la décroissance du courant de décharge est plus lente dans le cas du CC-TLP boîtier par rapport au CDM. Dans le cas d'une mesure sur plaque de silicium la forme d'onde du courant se rapproche d'une impulsion carrée, similaire au VF-TLP. Les mesures CC-TLP, à courant maximum

équivalent, sont donc des événements plus énergétiques que la qualification CDM, le courant moyen à travers le composant, lors de la décharge, étant supérieur. Dans le cas d'une détérioration due à une casse d'oxyde, l'énergie de la décharge n'a pas d'impact. En revanche, la cause de la dégradation est une rupture de jonction PN (ou d'une protection CDM secondaire) par exemple, alors l'énergie peut intervenir dans la casse.

Paramètre	CDM	CC-TLP Boîtier	CC-TLP Silicium
type de mesure	Composant dans un boîtier	Composant dans un boîtier	Composant sur plaque de silicium
temps de monté	70ps-350ps	100ps ou 200ps	100ps ou 200ps
forme d'onde	sinusoïdale amortie	exponentielle amortie	exponentielle très peu amortie (carré)
répétabilité	variation de 1A possible pour deux mesures identiques	0.1A de variabilité pour deux mesures identiques	0.1A de variabilité pour deux mesures identiques
type de courant mesuré	courant généré par la décharge du composant	courant généré par la décharge de la ligne de transmission	courant généré par la décharge de la ligne de transmission
tension de charge	125V-2000V	0V-1500V	0V-1500V

Table 4.1: Différences entre la qualification CDM et le CC-TLP

La Table 4.1 résume les différences entre les mesures CDM et CC-TLP.

La qualification CDM permet de reproduire fidèlement la décharge électrostatique d'un composant chargé. L'utilisation combinée d'un procédé de chargement par induction ainsi que d'une méthode de décharge par contact entraîne une importante variabilité d'un test à l'autre. Ce manque de répétabilité peut engendrer de très grands écarts relatifs lorsque la tension de charge est petite. Le courant maximum peut être doublé ou triplé d'une mesure à l'autre pour un composant et une tension de charge identique. De plus la qualification CDM doit se faire une fois le produit mis sous boîtier. Toutes corrections pour augmenter la robustesse d'une pièce induit donc de long délai supplémentaire. Le CC-TLP, adapté du dispositif VF-TLP permet de générer des courants similaires à ceux observés lors des tests de qualification tout en améliorant les performances de ces derniers en terme de répétabilité et en permettant de faire des mesures directement sur plaque. Ce type de tests pourraient permettre de simplifier la réalisation d'études statistiques sur la robustesse CDM de certains produits, de caractériser certains composants ESD élémentaires, d'estimer la tenue en CDM de certaines configurations, de simplifier la résolution de problèmes CDM dans les circuits, etc...

Ces trois types de test (CDM, CC-TLP sur plaque de silicium et sur boîtier), bien que semblables ne sont pas forcément équivalents. Afin de déterminer s'il est possible d'utiliser le CC-TLP pour mesurer et prédire la robustesse d'un composant ou d'un circuit vis-à-vis d'un événement CDM, il est nécessaire d'étudier la corrélation entre ces différents procédés.

4.2 Corrélation expérimentale entre le CDM et le CC-TLP

4.2.1 État de l'art

Après avoir présenté le banc de test CC-TLP dans [Wol03], les auteurs ont cherché à montrer que les tests CC-TLP étaient équivalents aux tests de qualification CDM. Pour cela, ils ont réalisé des circuits de test utilisant des grilles de surveillance. La grille de surveillance est un transistor dont la tension de casse de l'oxyde de grille est connu avec précision (ici, dans le domaine de temps CDM). Lorsque le circuit est soumis à une différence de potentiel supérieure à celle que la grille peut supporter, le transistor casse. Ce type de casse étant caractéristique des événements CDM, cela permet aux auteurs de vérifier que le banc de test CC-TLP reproduit bien les casses liées à une décharge CDM. Deux types de circuit de test ont été étudiés :

- Une simple protection ESD (ggNMOS ou SCR) avec une grille de surveillance en parallèle (cf. Figure 4.14a).

- Une protection ESD est rajoutée en parallèle de la première (cf. Figure 4.14b). De plus, une résistance est placée entre les deux protections et une autre entre la première protection et la grille de surveillance sur le bus VSS du circuit. Cette deuxième configuration a été choisie car elle représente un schéma d'entrée classique des circuits intégrés (configuration grille connectée à une entrée/sortie).

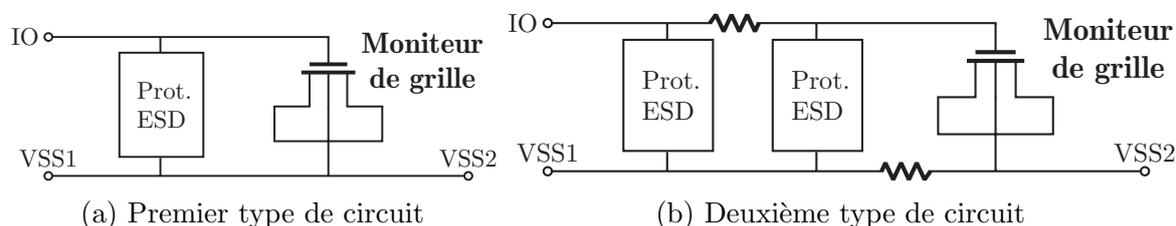


Figure 4.14 : Circuit de test utilisé dans [Wol03]

Plusieurs variations de ces circuits ont été réalisées, en modifiant la taille de l'oxyde de la grille de surveillance, la protection utilisée et la valeur des résistances (pour le deuxième type de configuration). Les circuits ont ensuite été placés dans émulateur de boîtier. L'étude porte donc uniquement sur la corrélation entre la mesure CC-TLP boîtier et la qualification CDM. Les auteurs ont observé une très bonne corrélation entre les courants de casse CDM et CC-TLP pour les configurations du premier type de circuit de test. Pour le deuxième jeu de circuit de tests, les courants de casse CC-TLP mesurés ne corrèlent pas avec les mesures CDM. Cependant la robustesse relative des configurations est conservée entre le CC-TLP et le CDM. C'est-à-dire que les circuits cassent dans le même ordre lors des tests CDM et CC-TLP. En effet lors d'une mesure CC-TLP, le courant décroît plus lentement que lors d'une décharge CDM, augmentant l'énergie de la décharge CC-TLP par rapport à la décharge CDM.

Dans [Wol07], les auteurs utilisent pour la première fois le CC-TLP pour effectuer une mesure directement sur plaque de silicium. Pour établir la corrélation entre la qualification

CDM, le CC-TLP sur boîtier et le CC-TLP sur plaque, un produit de faible complexité est testé afin de faciliter la détection des lieux de casse (configuration grille connectée à une entrée/sortie). Les niveaux de courant de casse observés pour les trois mesures sont similaires et cohérents avec les défauts apparus lors de l'utilisation du produit. Les analyses de défaillance ont aussi révélé que les défauts apparaissent au même endroit dans toutes les situations étudiées. Lors de cette expérimentation, le paramètre de corrélation était le courant. Le circuit de test utilisé est proche de celui utilisé dans la première série de test réalisé dans [Wol03] et la dégradation est une casse d'oxyde, cela explique qu'il est possible d'utiliser directement le courant comme paramètre de corrélation.

Les études suivantes [Wol09,Esm15,Abe20,Di 20] ont confirmé qu'il existe une corrélation entre une décharge CC-TLP et CDM. Dans ces cas, les auteurs ont pu directement corréler le courant de casse CDM avec celui du CC-TLP.

Dans la thèse [Web19], l'auteur étudie le CC-TLP en détails et s'intéresse en particulier à la comparaison entre les tests CDM et CC-TLP pour plusieurs applications :

- Un produit sur circuit flexible : le défaut CDM observé était une rupture de jonction PN et non une casse de l'oxyde. De plus, un courant de casse CC-TLP plus élevé que celui CDM est observé. Les mesures de qualification CDM avaient été réalisées suivant le standard JEDEC [Sta13] qui préconise trois décharges CDM successives contrairement à la mesure CC-TLP qui n'en utilise qu'une. L'énergie générée lors de la mesure CDM est donc plus importante, les trois décharges sont très rapprochées et donc cumulatives. L'utilisation d'une seule décharge CDM a permis d'obtenir des résultats similaires entre les mesures CDM et CC-TLP.

- Un produit sur un très petit boîtier : l'auteur a observé des différences de robustesse CDM lié au testeur utilisé pour la qualification CDM. Le CC-TLP a ainsi été utilisé afin de comprendre les écarts de mesure observés. L'analyse a mis en évidence que les temps de montée des 3 dispositifs de qualification CDM étaient différents. L'utilisation du CC-TLP, en variant le temps de montée du courant, a permis de corréler les niveaux de courant de casse relevés lors des multiples qualifications du produit. La dégradation du circuit est due au retournement d'un transistor (configuration transistor à porte passante). L'étude a montré que la casse du circuit se produisait pour certain couple temps de montée et courant. Elle dépend donc de la dynamique de l'onde de courant.

La corrélation du niveau de courant de casse du CDM et du CC-TLP peut donc dépendre du temps de montée ainsi que de l'énergie de la décharge.

Il est donc possible de corréler des mesures de décharges CDM avec des mesures de décharges CC-TLP. Dans la plus part des cas, le paramètre de corrélation est le courant de casse. Cependant, lorsque le temps de montée du courant CDM est différent de celui du courant CC-TLP, le comportement des composants et en particulier celui des protections ESD divergent, entraînant une dé-corrélation entre les niveaux de courant de casse observés. Il faut alors de plus regarder les énergies de décharge respectives ainsi que les temps de montée pour obtenir une corrélation. Cependant les lieux de casses sont identiques et les tendances observées lors de comparaison de circuits similaires sont les mêmes en CDM qu'en CC-TLP. La majorité des études réalisées ont été conduites pour des configurations de type grille connectée à une entrée/sortie.

4.2.2 Établissement du lien de corrélation

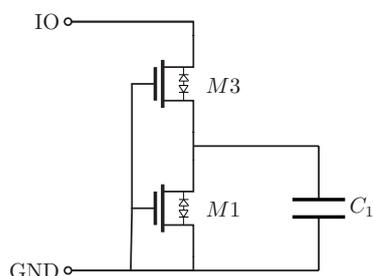
Lors de l'étude des contextes de faiblesse CDM présentées dans le Chapitre 1, la mesure de la robustesse de certains circuits a nécessité l'utilisation du CC-TLP. Il est donc important de vérifier que l'analyse de ces mesures CC-TLP peut remplacer des mesures de qualification CDM lorsqu'il n'est pas possible de les réaliser. Pour cela trois séries de tests ont été effectués. La première compare des mesures CC-TLP sur boîtier avec des mesures de qualification CDM avec des tensions de charge très basses, inférieures à 100V. La seconde s'intéresse à l'influence du temps de montée sur la corrélation en fonction du type de protection ESD utilisé. Et le dernier compare les mesures CC-TLP sur silicium et boîtier avec des mesures de qualification CDM.

4.2.2.1 Circuits de test

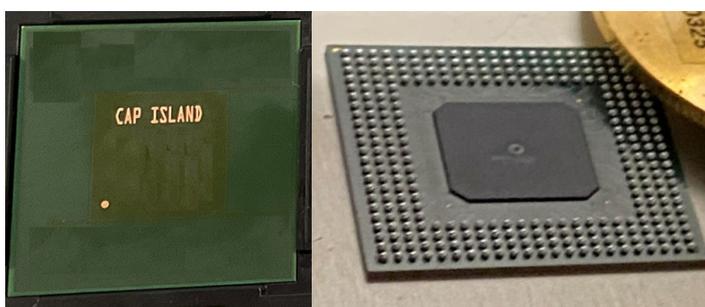
Plusieurs circuits de test ont été utilisés afin d'étudier la corrélation entre le CC-TLP et le CDM.

4.2.2.1.1 Capacité isolée : Mesures avec faibles tension de charge

Le cas de figure dit de capacité isolée est formé lorsque des transistors de même type (NMOS ou PMOS) sont cascodés et que leur interconnexion métallique est très grande. Dans cette situation, un piège à charge, dû aux diodes parasites (jonctions PN), peut apparaître suivant la polarité de décharge (jonctions bloquées). L'interconnexion entre le transistor et le plan de masse (transistor NMOS) constitue une capacité parasite. Si celle-ci est assez grande, le courant passant entre le drain et la source du transistor peut être supérieur à son courant de casse. La Figure 4.15a illustre le schéma des circuits de tests élaborés pour étudier ce type de configuration à risque. Quatre variations ont été fabriquées : celle montrée sur le schéma, une avec protection (diode CDM entre la connexion M3/M1 et VDD et un clamp ESD entre VDD et GND), sans protection CDM et la valeur de C_1 multipliée par deux et enfin, C_1 doublée avec protection CDM. Ces circuits de tests ont été mis dans un boîtier PBGA 304 (Plastic Ball Grid Array) comme présenté sur la Figure 4.15b. Les transistors utilisés dans les circuits de test cassent lorsque le courant est supérieur à 100mA (caractérisation VF-TLP).



(a) Schéma de principe du circuit capacité isolée



(b) Circuit de test dans un boîtier PBGA304

Figure 4.15 : Circuit de test capacité isolée

Il a été choisi d'étudier la corrélation CDM et CC-TLP sur ces composants de test car les niveaux de tension de charge CDM nécessaires pour engendrer une casse sont très bas

(< 100V). Cela permet ainsi de vérifier l'utilisation du CC-TLP lorsque les mesures CDM empêchent d'établir avec précision la robustesse d'un circuit vis-à-vis d'une décharge de type CDM.

4.2.2.1.2 Grille connectée à une entrée/sortie : Impact du temps de montée

Le temps de montée de la décharge CDM peut avoir un impact sur les casses observées. En effet certains composants élémentaires présents dans les circuits ont des durées d'allumage entraînant des surtensions à leurs bornes si le courant de la décharge augmente trop vite. C'est le cas, notamment, des diodes STI qui peuvent être utilisées dans le cadre de la stratégie de protection ESD primaire.

Pour analyser l'influence de ce paramètre sur la corrélation entre le CC-TLP et le CDM, des circuits de tests utilisant des configurations grille connectée à une entrée/sortie ou gate to pad (GTP) en anglais ont été étudiés. Dans ce cas de figure, une grille de transistor est reliée directement à une entrée. Lors de la décharge CDM, la différence de potentiel entre la grille connectée à la masse par la pogo pin et les plans d'alimentation VDD et VSS peut engendrer une casse de l'oxyde comme développé dans le Chapitre 5. La Figure 4.16a illustre les schémas des composants testés. Le clamp ESD et les diodes D_1 et D_2 constituent les éléments de protection ESD primaire. Les transistors M_0 et M_1 sont les transistors à protéger tandis que les résistances rx et la capacité C_1 représentent le reste du circuit. Deux variations de circuit sont étudiées : l'une avec des diodes ESD STI qui présentent des surtensions suivant le temps de montée du courant de décharge et l'autre avec des diodes ESD Gated dont le comportement ne change pas en fonction du temps de montée. Les composants sont mis dans un boîtier de type LGA65 (Land Grid Array), montré sur la Figure 4.16b.

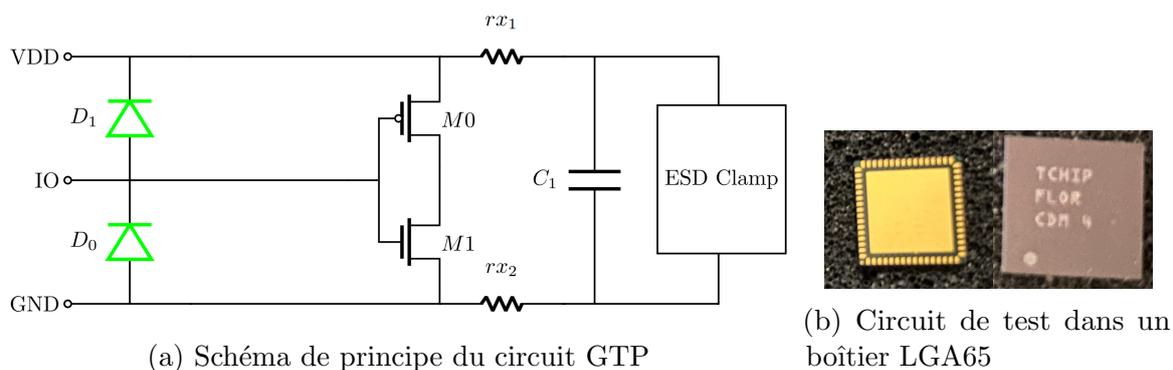
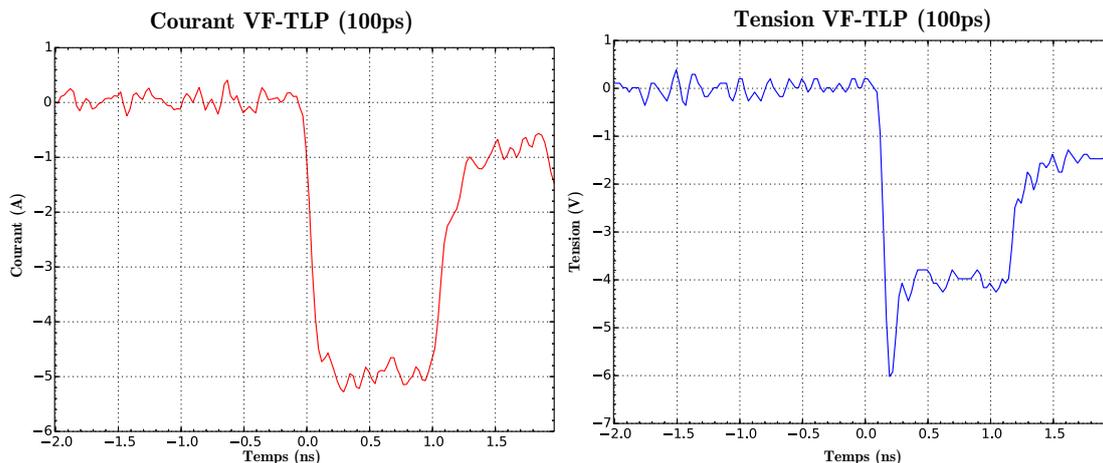


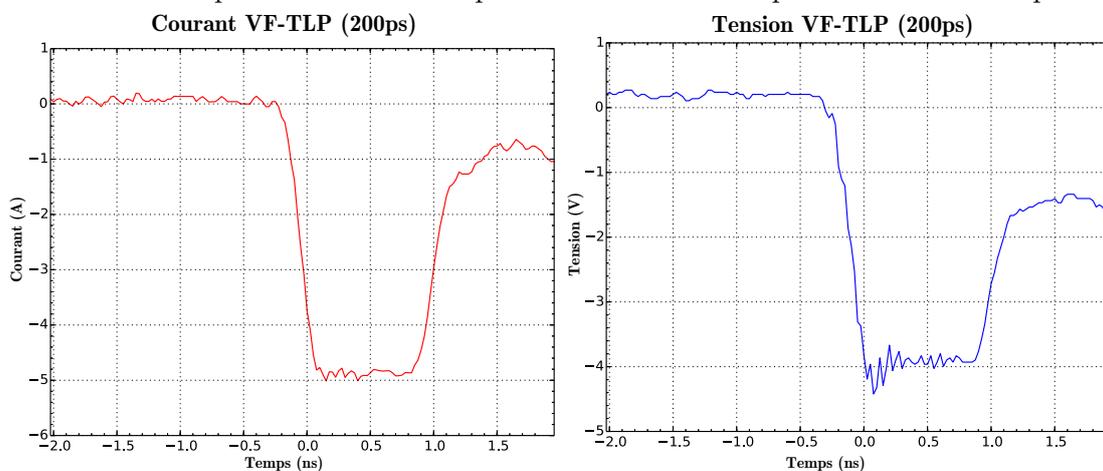
Figure 4.16 : Circuit de test GTP

La surtension observée aux bornes des diodes STI diminue considérablement lors des mesures de caractérisation VF-TLP effectuées avec un temps de montée de 200ps par rapport aux mesures faites avec un temps de montée de 100ps, comme le montre la Figure 4.17. La casse de l'oxyde des transistors à protéger se produira donc pour un courant de décharge plus important si le temps de montée est augmenté lors des mesures CC-TLP sur boîtier pour le circuit utilisant des diodes STI.

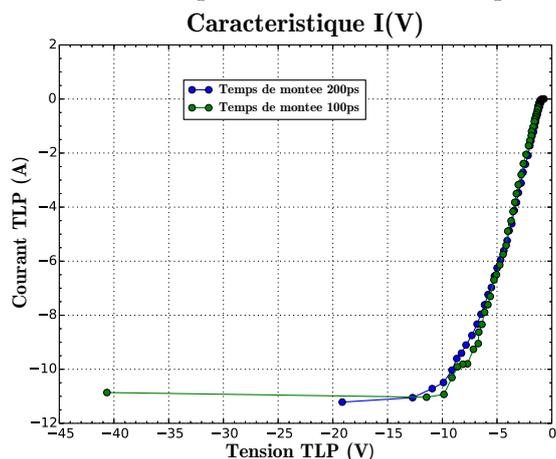
4.2. CORRÉLATION EXPÉRIMENTALE ENTRE LE CDM ET LE CC-TLP



(a) Courant VF-TLP pour une impulsion de 1ns avec un temps de montée de 100ps (b) Tension VF-TLP pour une impulsion de 1ns avec un temps de montée de 100ps



(c) Courant VF-TLP pour une impulsion de 1ns avec un temps de montée de 200ps (d) Tension VF-TLP pour une impulsion de 1ns avec un temps de montée de 200ps



(e) Caractéristique VF-TLP quasi statique d'une diode STI avec des impulsions de 1ns et 100ps de temps de montée et des impulsions de 1ns et 200ps de temps de montée

Figure 4.17 : Caractérisation VF-TLP d'une diode STI avec des impulsions 1ns avec un temps de 100ps et 200ps

Le comportement des diodes Gated étant indépendant du temps de montée de l'impulsion dans le domaine de temps considéré, le courant de casse CC-TLP observé devrait être similaire quelque soit le temps de montée choisi. Les éléments susceptibles de se dégrader dans les circuits choisis sont les grilles des transistors M_0 et M_1 . La casse dépend donc de la différence de potentiel entre IO et VDD et IO et GND sur le circuit présenté sur la Figure 4.16a. Les résultats des mesures de CC-TLP et CDM dans le cas du circuit avec les diodes Gated devraient donc être similaires.

4.2.2.1.3 Grille connectée à une entrée/sortie : Comparaison du CC-TLP sur silicium, CC-TLP sur boîtier et CDM

La différence entre une décharge CC-TLP sur silicium et sur boîtier ainsi que CDM a été évaluée à l'aide de trois configurations GTP. Contrairement à ceux utilisés pour quantifier l'impact du temps de montée, les circuits comportent des protections secondaires CDM. Les défaillances observées peuvent donc être dues à la fois aux transistors à protéger ou aux protections utilisées. La Figure 4.18a illustre le schéma des configurations utilisées. La première a une impédance série R_S de 100Ω et des diodes STI de petites tailles près des transistors à risque (noté "GTP r100"). La deuxième est identique à la première à l'exception d'une impédance série capacitive à la place de R_S (noté "GTP cap"). La troisième et dernière possède R_S de 300Ω et des ggNMOS à proximité de M_0 et M_1 (noté "GTP ggnmos"). Les diodes ESD primaires D_1 et D_2 utilisées sont des diodes STI.

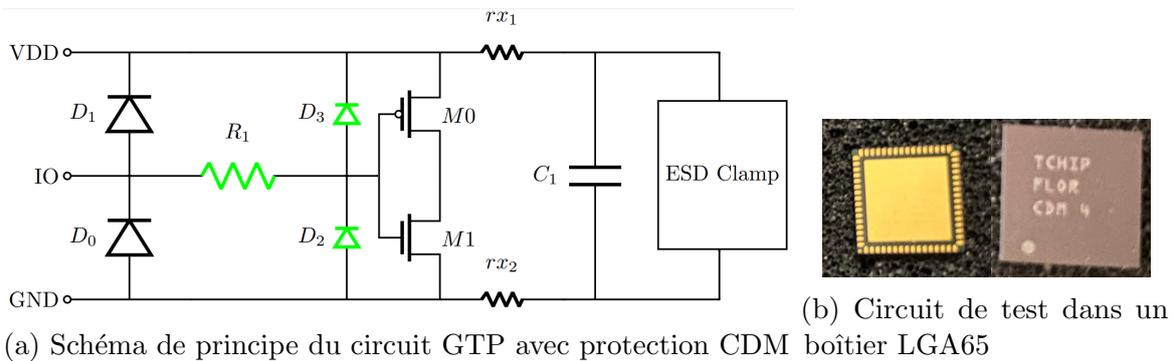


Figure 4.18 : Circuit de test GTP avec protection CDM

Les circuits de test sont aussi mis dans le boîtier LGA65 (cf. Figure 4.18b).

Ces circuits de test ont été choisis pour étudier la différences entre ces trois types de mesure car les mesures CDM préliminaires ont révélé des niveaux de robustesse CDM semblables. Les différentes mesures effectuées devraient donc permettre de retrouver des niveaux de casse similaire pour les trois configurations.

4.2.2.2 Protocoles de mesures

Afin de simplifier la comparaison entre les différents procédés étudiés, les protocoles de mesures appliqués pour chaque test étaient identiques. Afin de réduire le temps des mesures, une seule polarité de décharge a été étudiée : positive pour les décharges CDM et négative pour les décharges CC-TLP (courant opposé par rapport au CDM).

4.2. CORRÉLATION EXPÉRIMENTALE ENTRE LE CDM ET LE CC-TLP

Lors de chaque campagne de test, trois puces étaient testées afin de tenir compte de la variabilité des mesures CDM. Les circuits intégrés étaient soumis à une décharge d'intensité croissante jusqu'à la détection d'une casse.

Le critère de casse sélectionné, comme mentionné précédemment, est la variation de la caractéristique $I(V)$ du circuit.

Pour toutes les mesures, le courant de décharge est enregistré ainsi que la caractéristique DC résultante.

Dans le cas des mesures CDM, les circuits sont d'abord soumis à une tension de charge de 250V. Les tensions de charge sont ensuite augmentées de 250V jusqu'à la dégradation du composant.

Pour les tests CC-TLP, les paliers de tension de charge de la ligne TLP sont de 50V, jusqu'à la casse cela permet d'avoir des données de casses plus précises que celles fournies par les mesures CDM.

Toutes ces mesures ne sont pas considérées comme cumulatives. Le temps écoulé entre chaque décharge permet la relaxation du circuit entre deux mesures.

Une fois les différentes mesures effectuées, les données sont comparées et analysées.

4.2.2.3 Résultats

Les résultats présentés dans cette partie correspondent aux maximums de courant mesurés juste avant la casse du circuit (noté "OK" sur les figures) et le maximum de courant mesuré lors de la décharge résultant de la casse (noté "casse" sur les figures). La valeur réelle de courant de casse est située entre ses deux valeurs. Pour chaque test, trois circuits ont été testés. Les minimums de chaque valeur de courant de casse ont été retenus, cela correspond au pire cas. Pour chaque paramètre étudié, les résultats ont ensuite été rassemblés afin d'être analysés.

Mesures basse tension :

Pour évaluer le courant de casse CDM, les paliers de mesure ont été réduits par rapport aux autres mesures à 25V et la tension de départ choisie était de 25V. La Figure 4.20 résume les mesures effectuées. Pour la configuration dénommée "cap", il n'était pas possible de réaliser une décharge non destructive sur le circuit lors des tests CDM. Les mesures ne permettaient pas de générer un courant de décharge inférieur à 500mA.

Il n'est pas possible de corréler directement les mesures de courant de casse observées lors des mesures CC-TLP et CDM. En effet, les niveaux de casse relevés ne sont semblables que dans la moitié des cas. La dégradation de ces circuits est due à la rupture de la jonction PN parasite d'un NMOS et non à la casse d'une grille de transistor. La casse de la grille d'un transistor ne dépend pas de l'énergie de la décharge, seulement de la tension aux bornes de la grille. Une corrélation entre les niveaux de courant CDM et CC-TLP auraient donc été observées dans ce cas-là.

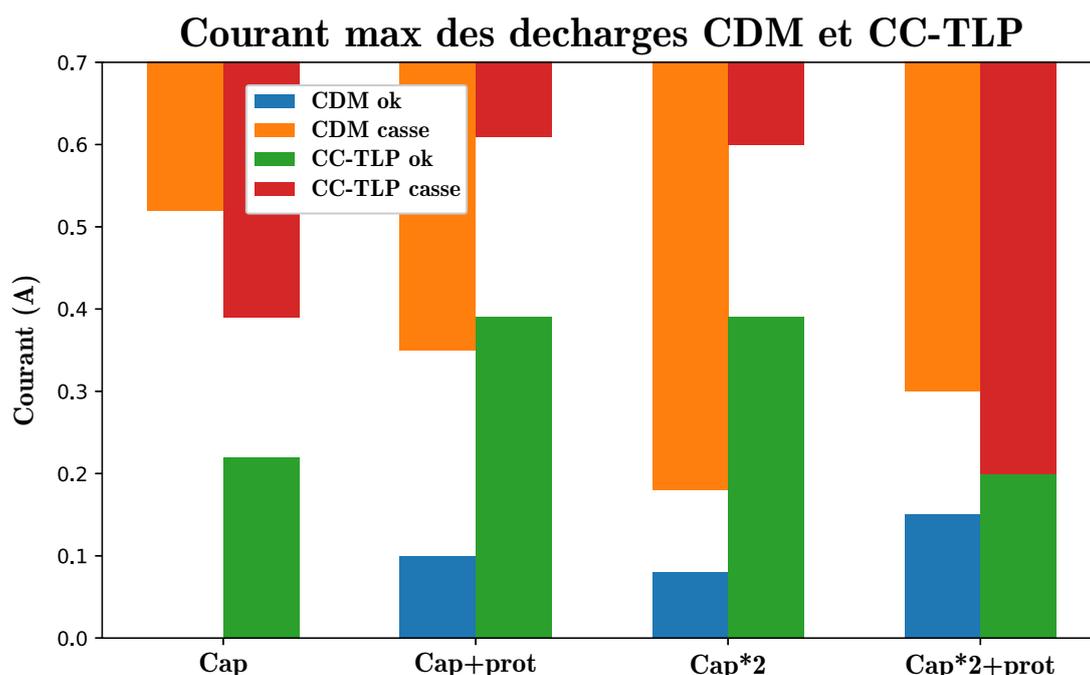


Figure 4.19 : Mesures de courant de casse sur les différents circuits de tests - Capacité isolée.

Ces mesures CC-TLP ont néanmoins permis de compléter les mesures CDM et d'apporter des informations supplémentaires sur le comportement des circuits lors d'événements très rapides tels qu'une décharge CDM. Une analyse plus détaillée des résultats sera donnée dans le Chapitre 5.

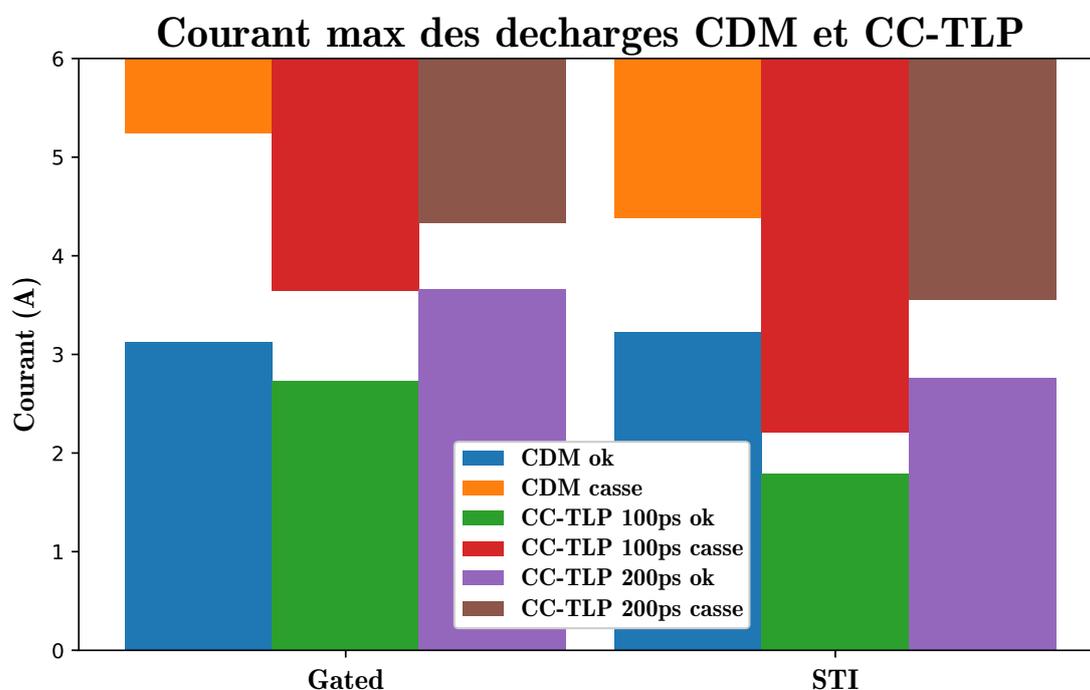
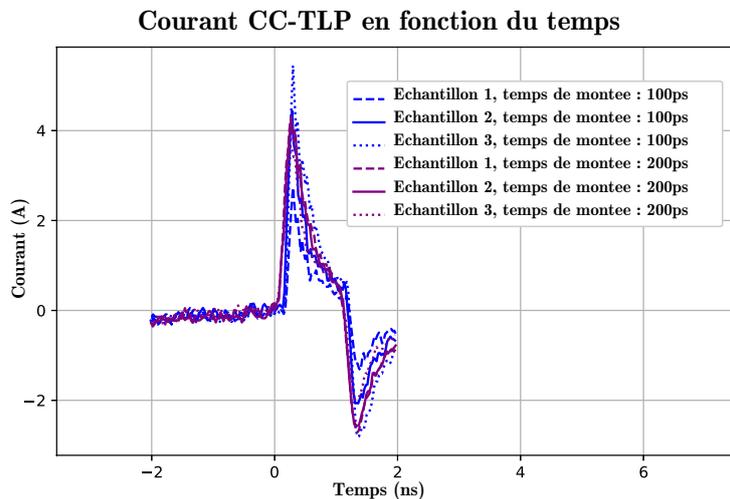


Figure 4.20 : Mesures de courant de casse sur les différents circuits de tests - GTP STI vs Gated.

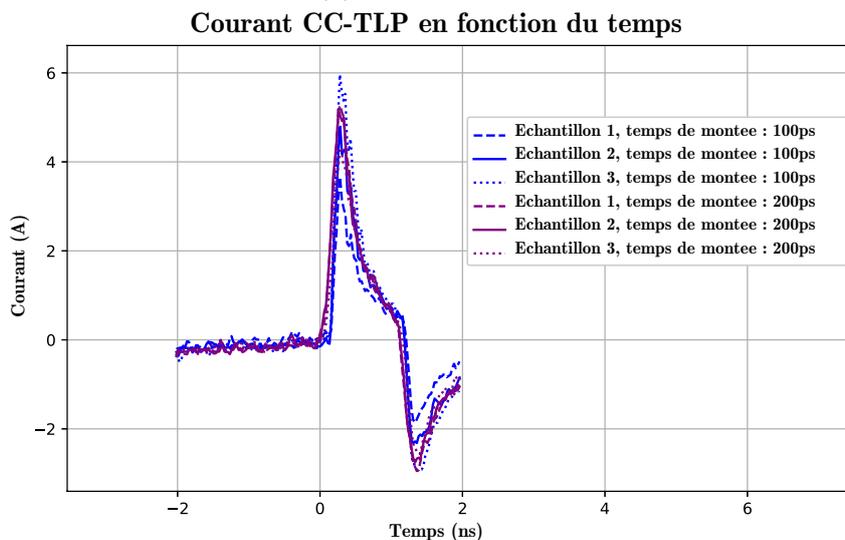
Impact du temps de montée:

La Figure 4.20 recense les résultats obtenus après les test CDM et les tests CC-TLP sur boîtier avec un temps de montée de 100ps (noté CC-TLP 100ps) et avec un temps de montée de 200ps (noté CC-TLP 200ps).

Les résultats montrent que dans le cas des diodes Gated, les mesures CC-TLP corrént très bien avec les mesures CDM et permettent de réduire la fenêtre de casse observée par rapport aux mesures CDM.



(a) Avant la casse



(b) Après la casse

Figure 4.21 : Courant CC-TLP avant et après la casse pour tous les échantillons mesurés de la configuration GTP gated

Les mesures montrent une petite différence de courant de casse entre les mesures CC-TLP 100ps et 200ps pour la configuration GTP gated. Cependant le fonctionnement dynamique des diodes Gated ne varie pas avec l'augmentation du temps de montée à 200ps par rapport à un stress avec un temps de montée de 100ps. Les données présentées sur le graphique de la Figure 4.20 correspondent au minimum de courant de casse des échantillons étudiés. Sur la Figure 4.21, les courants de décharge, avant (Figure 4.21a) et

après (Figure 4.21b) la dégradation du circuit, sont illustrés pour les trois échantillons analysés. Il n'est pas possible de conclure qu'une différence de comportement existe entre les puces soumises à une décharge avec un temps de montée de 100ps ou 200ps pour les configurations GTP gated.

La dégradation du circuit est en effet due à une casse d'oxyde. Comme montré dans le Chapitre 2, ce phénomène est statistique. Le faible écart observé entre ces deux minimums de mesure est donc expliqué par la nature aléatoire de ce type d'événement.

En observant les mesures effectuées sur les diodes STI, il ressort que le courant de casse CC-TLP - 100ps, est inférieur à celui mesuré pour le CDM. Cependant une augmentation du temps de montée CC-TLP à 200ps permet de retrouver des valeurs de courant de casse semblable pour le CC-TLP et le CDM. Les temps de montée mesurés pour les configurations lors des décharges CDM sont entre 120 et 155ps pour les diodes STI et Gated.

Ici, comme mentionné précédemment, l'origine de la dégradation des circuits est la casse des oxydes de grille des transistors à protéger. L'augmentation du temps de montée dans le cas des diodes STI, pour se rapprocher des conditions CDM, a donc permis de retrouver les résultats observés lors des mesures CDM.

Comparaison CC-TLP sur silicium, sur boîtier et CDM:

La Figure 4.22 résume les mesures de courant de casse effectuées pour les trois circuits de tests GTP avec protections CDM. Il n'est pas possible de corréler les niveaux de courant de casse entre les différents tests observés.

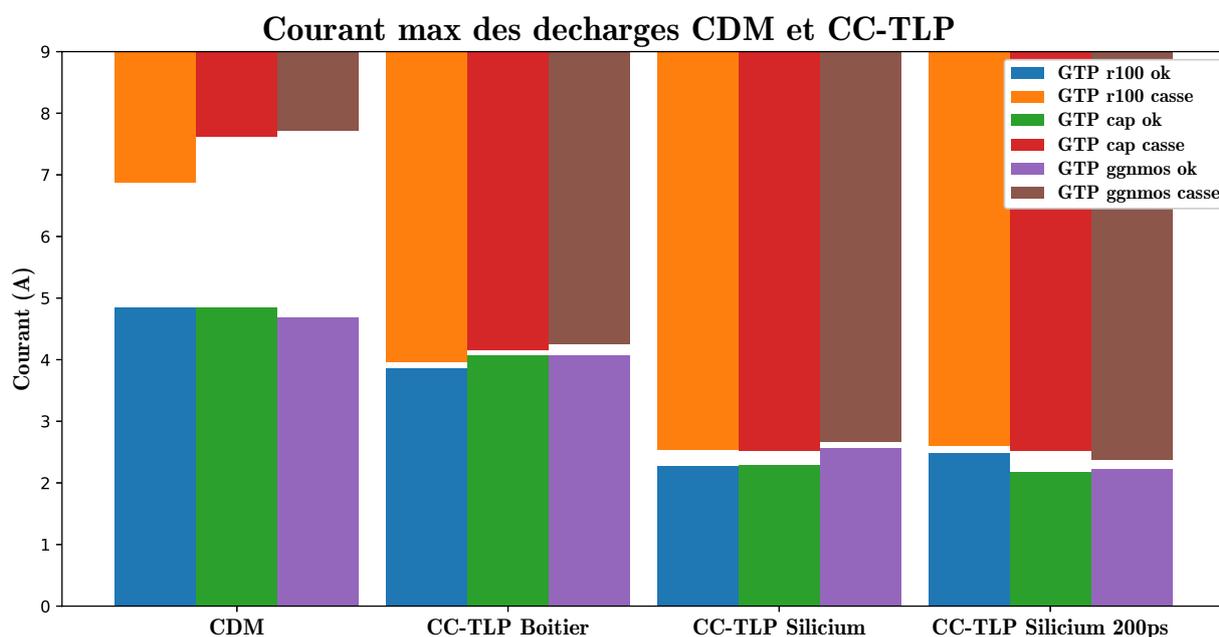


Figure 4.22 : Mesures de courant de casse sur les différents circuits de tests - GTP avec protection CDM.

Cependant, le graphique montre les éléments suivants :

- le niveau de courant de casse n'est pas le même entre les tests CDM, les tests CC-TLP sur boîtier et les tests CC-TLP réalisés sur plaque de silicium

- le niveau de courant de casse des tests CC-TLP boîtier est inférieur à celui des test CDM (10-45%, imprécision sur le courant de casse réel CDM) mais reste supérieur aux tests CC-TLP sur plaque (35-45%)
- quelque soit le test, les niveaux de courant de casse des trois configurations ne varie pas, la robustesse relative des configurations est conservée indépendamment du test effectué.
- les mesures CC-TLP permettent de déterminer avec précision le courant de casse CC-TLP

L'origine de la casse des circuits peut être à la fois la rupture d'un oxyde de grille ou la casse des protections CDM. Cependant l'augmentation du temps de montée lors des tests CC-TLP n'influe pas sur la valeur du courant de casse. Il est donc plus probable que la dégradation du circuit soit produite au niveau des protections CDM.

L'étude de la corrélation entre le CDM et le CC-TLP a montré qu'il était possible de corréler directement les niveaux de courant de casse mesurés lors des test CDM avec ceux des tests CC-TLP lorsque l'origine de la casse est due à une casse d'oxyde et que les protections ESD utilisées sont insensibles au temps de montée de la décharge. Cependant, la dynamique d'une décharge CDM et d'une décharge CC-TLP, en particulier sur plaque de silicium, est très différente. Cela engendre une décorrélation des courants de casse CDM et CC-TLP lorsque le circuit contient des protections ESD donc le fonctionnement varie avec la dynamique de l'onde de courant ou lorsque la casse n'est pas due à une dégradation d'oxyde. À courant maximum de décharge égal, les charges échangées et l'énergie lors d'une mesure CC-TLP seront plus importantes.

Les mesures CC-TLP permettent tout de même de comparer deux circuits différents entre eux afin d'estimer leur robustesse CDM relative. Il faut donc changer de paramètre de corrélation suivant la nature du défaut et les composants du circuit.

4.2.3 Discussion

Comme mentionné précédemment, la corrélation directe entre le CDM et le CC-TLP n'est pas toujours possible. Cependant les tendances observées entre les circuits semblent être les mêmes d'un type de test à l'autre comme le montre la Figure 4.22. Un nouveau paramètre de corrélation a donc été recherché.

Dans un premier temps, l'impact de la quantité de charge échangée durant la mesure a été considéré. En effet, ce paramètre peut être intéressant car la quantité de charges échangées aux maximums de courant égaux est plus importantes lors des tests CC-TLP que lors des tests CDM, la décroissance de l'onde de courant étant plus lente (cf. Figures 4.5, 4.10 et 4.12). La quantité de charges échangées (en C) lors de la décharge correspond à l'intégrale du courant pendant le test. Si on note t_0 , le début de la décharge et t_f , la fin alors,

$$q(t) = \int_{t_0}^{t_f} i(t) dt$$

Les résultats pour chaque mesure sont présentés sur la Figure 4.23.

Les valeurs enregistrées pour les test CDM et CC-TLP sur boîtier correspondent dorénavant. La quantité de charges échangées lors des mesures CC-TLP sur silicium sont cependant bien plus élevées que lors des deux autres types de tests. Bien que la quantité

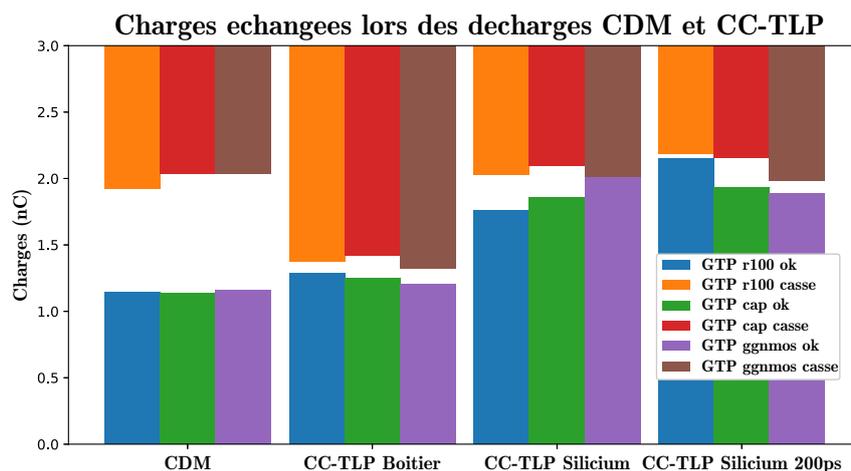


Figure 4.23 : Charges échangées durant les mesures sur les circuits de tests - GTP avec protection CDM.

de charge semble permettre de faire corrélérer les mesures CDM avec les mesures CC-TLP boîtier, elle n'explique pas les écarts de courant de casse observés avec les mesures sur silicium.

Un nouveau paramètre a été considéré : le slew rate ou vitesse de balayage en français. Cela correspond à la pente de courant moyenne durant la période de mesure du temps de montée (10-90% de la valeur de courant maximale). Les mesures de slew rate des différentes configurations et tests sont présentées sur la Figure 4.24

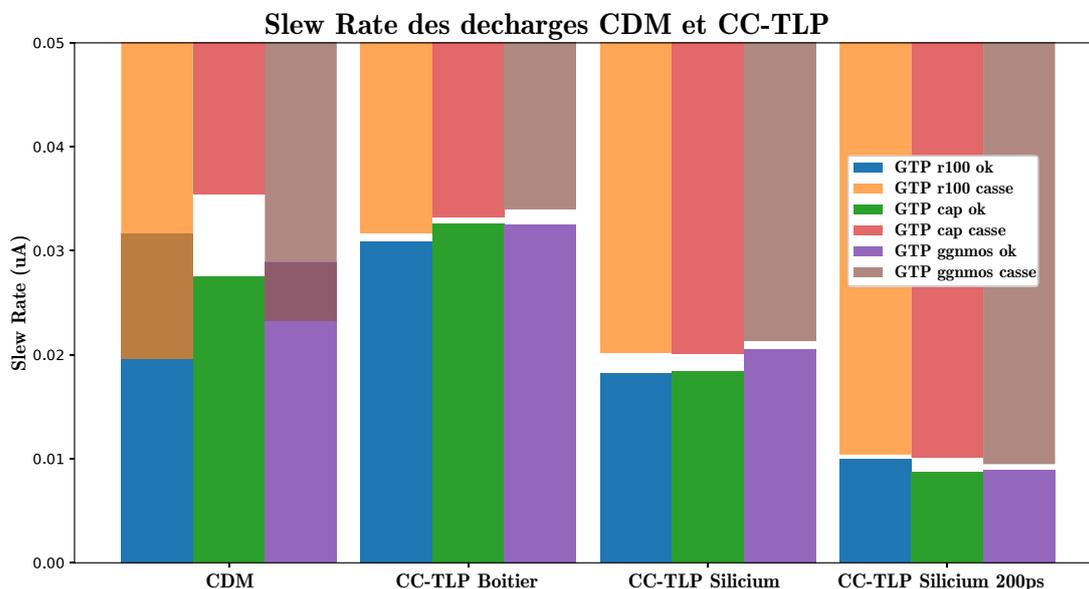


Figure 4.24 : Mesures de slew rate lors des décharges sur les différents circuits de tests - GTP avec protection CDM.

Le slew rate n'augmente pas forcément d'une mesure CDM à une autre comme le montre le graphique. Il n'est donc pas possible de choisir ce paramètre comme paramètre de corrélation.

Un dernier facteur est analysé : l'énergie de la décharge. Les résultats de cette

investigation sont présentés sur la Figure 4.25. L'énergie échangée (en J/Ω) lors de la décharge correspond à l'intégrale du carré du courant pendant le test. Si on note t_0 , le début de la décharge et t_f , la fin alors,

$$E(t) = \int_{t_0}^{t_f} i^2(t) dt$$

Donc plus la décroissance de l'onde est grande, plus l'énergie échangée sera grande pour un même courant pic de décharge. Le graphique montre que les mesures effectuées corrélient bien entre les différents tests.

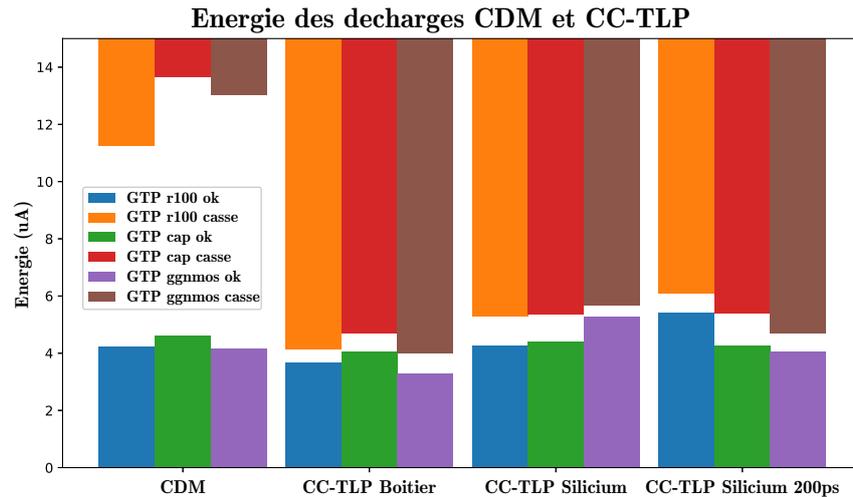


Figure 4.25 : Énergie des décharges effectuées sur les différents circuits de tests - GTP avec protection CDM.

Plusieurs paramètres de corrélation peuvent être utilisés pour comparer les mesures CDM et CC-TLP suivant les composants utilisés dans le circuit.

- la dégradation est due à une casse d'oxyde et le comportement des protections CDM ne varie pas avec le temps de montée, le courant peut être utilisé comme paramètre de corrélation
- la dégradation est due à une casse d'oxyde et le comportement des protections CDM varie avec le temps de montée, le courant et le temps de montée doivent être pris en compte dans la corrélation
- la dégradation est due à une défaillance de protection ESD (rupture de jonction PN), le paramètre de corrélation est l'énergie.

4.3 Conclusion

Des variations de courant de décharge entre deux mesures identiques sont souvent observées lors de mesures de qualification CDM. Cela est induit par un pas de mesure important de 250V. Il est difficile avec cette technique de connaître le courant de casse CDM exact d'un circuit. Cette variabilité rend aussi difficile les mesures CDM avec

faible tension de charge. La variabilité qui est de 10-20% pour des tensions de charge $> 500V$ peut être de 200-300% pour les tensions de charge $< 100V$. Afin de résoudre ces problèmes de répétabilité, un nouveau procédé de test a été développé : le CC-TLP. Grâce à une modification du banc de test VF-TLP (utilisé pour la caractérisation des composants élémentaires ESD dans le domaine de temps de la nanoseconde), le banc est capable de reproduire une décharge à une pointe durant 1ns avec un temps de montée de 100ps ce qui se rapproche beaucoup des caractéristiques de décharge CDM. Ce dispositif a aussi l'avantage de pouvoir réaliser des mesures sur boîtier ainsi que directement sur silicium.

Plusieurs études ont montré qu'il était possible de corréler les mesures de courant de casse CDM obtenues avec les mesures de CC-TLP. Cependant ce n'est pas le cas tout le temps. Cela dépend de l'origine de la casse, du comportement dynamique des protections ESD utilisées, etc...

Une étude sur la corrélation des différents tests CC-TLP et CDM a donc été réalisée afin de déterminer dans quel cas le CC-TLP pouvait remplacer le CDM et quels en étaient les avantages.

L'étude en basse tension a permis de montrer qu'il était possible de soumettre les circuits à des décharges CDM de très faible intensité (25V de tension de charge) avec une très bonne répétabilité. Cependant comme la source de dégradation était due à la rupture d'une jonction PN, la corrélation entre les maximums de courant n'était pas possible. En effet la casse d'une jonction PN dépend de l'énergie à laquelle elle est soumise.

L'analyse de l'impact du temps de montée a permis de mettre en évidence l'importance du comportement dynamique des protections ESD dans la corrélation par niveau de courant. Là, la cause de la casse était la destruction d'un oxyde de grille, phénomène qui dépend d'une différence de potentiel et non d'une énergie. Pour les circuits utilisant des protections ayant un déclenchement indépendant du temps de montée, il était possible de corréler directement les niveaux de courant. Pour les autres augmenter le temps de montée pour se rapprocher du temps de montée observé lors de mesures CDM a permis de corréler avec les mesures.

L'étude de circuits de test plus complexes, comportant des éléments de protection ESD sensibles au temps de montée ainsi que des protections CDM secondaires, avec donc différentes sources de casse possible, a montré qu'il n'était pas possible de corréler directement les valeurs de courant de casse entre les mesures CDM et CC-TLP. Cependant, les tendances de robustesse relative observées entre les différentes configurations étaient identiques d'un test à l'autre. En approfondissant l'analyse, il s'est révélé que dans ce cas-ci l'énergie de la décharge permettait de corréler les mesures des différents tests effectués.

Pour conclure, les divers tests CC-TLP ne permettent pas toujours d'obtenir le courant de casse CDM. Il est cependant possible de corréler les mesures CC-TLP et CDM en utilisant des paramètres de corrélation supplémentaires tel que l'énergie ou le temps de montée. Le paramètre de corrélation employé permet de donner des informations supplémentaires sur le type de casse observées. Les tests CC-TLP peuvent aussi être très utiles pour compléter les mesures CDM. Ils permettent notamment d'évaluer des configurations similaires entre elles avec plus de finesse que des tests CDM, les paliers de tensions de charge étant beaucoup plus petits. Les tests sur silicium favorisent aussi la conduite de mesures statistiques sur les circuits et permettent de faciliter la résolution de problèmes causés par le CDM en les évaluant plus tôt et plus facilement. L'ensemble des études sur le CC-TLP se concentre néanmoins sur des configurations CDM de type GTP et il faudrait confirmer la validité de ces résultats sur d'autres contextes de faiblesse

CDM, tel que l'interdomaine par exemple. Le CC-TLP est donc un outil supplémentaire pour mieux comprendre le fonctionnement des circuits lors d'une décharge CDM mais il ne peut pas se substituer aux mesures de qualification CDM.

Le Chapitre 5 est centré sur l'étude des circuits à risque lors d'un événement CDM. Cette analyse utilisera les éléments présentés dans les chapitres précédents à savoir l'étude de robustesse des transistors lors des décharges CDM, les simulations CDM et les procédés des mesures de robustesse CDM (qualification CDM et CC-TLP).

Références

- [Gie98] Horst Gieser and Markus Haunschild. “Very fast transmission line pulsing of integrated structures and the charged device model”. In: *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part C* 21 (1998), pp. 278–285.
- [Wol03] H. Wolf et al. “Capacitively coupled transmission line pulsing CC-TLP – A traceable and reproducible stress method in the CDM-domain”. In: *2003 Electrical Overstress/Electrostatic Discharge Symposium*. 2003 Electrical Overstress / Electrostatic Discharge Symposium. Sept. 2003, pp. 1–8.
- [Wol09] Heinrich Wolf et al. “Capacitive coupled TLP (CC-TLP) and the correlation with the CDM”. In: *2009 31st EOS/ESD Symposium*. 2009, pp. 1–8.
- [Ass18] Incorporated EOS/E. S. D. Association. *ANSI/ESDA/JEDEC JS-002-2018 - ESDA/JEDEC Joint Standard for Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) - Component Level*. EOS/ESD Association, Incorporated, 2018.
- [Esm15] Kai Esmark et al. “Using CC-TLP to get a CDM robustness value”. In: *2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. IEEE. 2015, pp. 1–10.
- [Wol07] Heinrich Wolf, Horst Gieser, and Dirk Walter. “Investigating the CDM susceptibility of IC’s at package and wafer level by capacitive coupled TLP”. In: *2007 29th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. IEEE. 2007, 5A–4.
- [Abe20] Dolphin Abessolo-Bidzo et al. “Charged Device Model (CDM) and Capacitive Coupled Transmission Line Pulsing (CC-TLP) Stress Severity Study on RF IC’s”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. IEEE. 2020, pp. 1–9.
- [Di 20] Leonardo Di Biccari et al. “Impact of Alternative CDM Methods on HV ESD Protections Behavior”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. IEEE. 2020, pp. 1–10.
- [Web19] Johannes Weber. “Pulsed high current characterization of highly integrated circuits and systems”. PhD thesis. Universitätsbibliothek der Universität der Bundeswehr München, 2019.
- [Sta13] JEDEC Standard. “Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components”. In: *JESD22-C101F*, October (2013).

Chapitre 5

Circuits à risque lors d'un événement CDM

Sommaire

5.1	Grille connectée à une entrée-sortie (GTP)	138
5.1.1	État de l'art	138
5.1.2	Circuits de test	140
5.1.3	Résultats	143
5.1.3.1	Impact du type de diodes primaires utilisées	145
5.1.3.2	Impact de l'impédance série (R_1)	146
5.1.3.3	Impact des protections secondaires	146
5.1.3.4	Impact de la résistance du rail d'alimentation (rx)	148
5.1.3.5	Impact de la taille du circuit (C_1)	148
5.1.4	Recommandations	149
5.2	Inter-domaine	150
5.2.1	État de l'art	150
5.2.2	Circuits de test	152
5.2.3	Résultats	155
5.2.3.1	Taille des circuits	155
5.2.3.2	Type de connexion entre les masses	159
5.2.3.3	Résistance série	163
5.2.4	Recommandations	165
5.3	Grille à porte passante	165
5.3.1	Circuit de test	166
5.3.2	Résultats	167
5.3.3	Recommandations	170
5.4	Longue ligne	170
5.4.1	Circuit de test	171
5.4.2	Résultats	173

5.4.3	Recommandations	175
5.5	Ilot capacitif	175
5.5.1	Circuit de test	176
5.5.2	Résultats	178
5.5.3	Recommandations	180
5.6	Conclusion	180
	Références	183

Figures

5.1	Circuit de test et les protections secondaires CDM employées dans [Mor09]	138
5.2	Schéma de principe du circuit de test utilisé dans [Ols11]	139
5.3	Schéma de principe du circuit de test utilisé dans [Zho13]	139
5.4	Schéma de principe d'un circuit GTP avec protection CDM secondaire	140
5.5	Schéma des circuits de tests développés. Les éléments de couleur sont les composants élémentaires qui sont modifiés d'une version de circuit de tests à une autre.	141
5.7	Procédure de détermination de résultat de simulation CDM réalisé sur la configuration 15.	144
5.6	Comparaison de la robustesse CDM entre les configuration 12 (Diodes primaires STI sans prot. CDM) et 13 (Diodes primaires Gated sans prot. CDM) afin d'observer l'impact du type de diodes ESD primaire utilisé	145
5.8	Comparaison de la robustesse CDM entre les configurations 1 (Témoin, $R_1=300\Omega$), 4 ($R_1=313\text{fF}$), 5($R_1=313\text{fF}$ sans prot. CDM), 8 ($R_1=100\Omega$) et 14 ($R_1=0\Omega$) afin d'observer l'impact de l'impédance série utilisé	146
5.9	Comparaison de la robustesse CDM entre les configurations 12 (Sans prot. CDM) et 14 ($R_1=0$) afin d'observer l'impact de la présence de protection secondaire	147
5.10	Comparaison de la robustesse CDM entre les configurations 1 (Témoin), 2 (1 diode), 6 (Aire x2 diodes CDM), 7 (Aire x4 diodes CDM) et 15 (protection CDM ggNMOS) afin d'observer l'impact du type et de la valeur de l'impédance série utilisée	147
5.11	Caractéristique d'une diode avec un aire standard et d'une diode avec une aire multipliée par 4	148
5.12	Comparaison de la robustesse CDM entre les configurations 1 (Témoin), 9 (Res. parasite x2), 10 (Res. parasite x2 sans prot. CDM), 11 (Res. parasite x3 sans prot. CDM) et 12 (Sans prot. CDM) afin d'observer l'impact des résistances parasites des rails d'alimentation	149
5.13	Comparaison de la robustesse CDM entre les configurations 1 (Témoin) et 3 ($C_1=262\text{fF}$) afin d'observer l'impact de la taille du circuit	150
5.14	Schéma de principe des circuits de test utilisés dans [Abe15].	151
5.15	Schéma de principe des circuits de test réalisés	152
5.16	Impact de la taille du domaine 2 sur la robustesse CDM, lorsque le domaine 1 est très petit	156
5.17	Tension grille-source du transistor M_2 obtenue par simulation en BIC-MOS55. Décharge de la pin VDD2 avec un courant de décharge CDM de -4A.	157
5.18	Tension grille-source du transistor M_2 obtenue par simulation en 28FD-SOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -4A.	157
5.19	Impact de la variation de C_1 sur la robustesse CDM pour les circuits réalisés en 28FDSOI	158

5.20	Tension grille-source du transistor M_2 obtenue par simulation en 28FD-SOI. Décharge par la pin VDD1 avec un courant de décharge CDM de -2A.	159
5.21	Impact du type de connexion entre les masse sur la robustesse CDM .	160
5.22	Tension grille-source du transistor M_2 obtenue par simulation en 28FD-SOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -2A.	161
5.23	Photographie des ggNMOS (entouré en rouge) dégradés à la suite d'une décharge CDM (+750V sur VDD2) sur le circuit 1.5	162
5.24	Variation de la tension de grille du NMOS M_0 en fonction de la résistance des bus d'alimentation. Obtenue par simulation de la configuration CC en BICMOS55 pour une tension de charge de 500V.	163
5.25	Impact de la variation de C_1 sur la robustesse CDM pour les circuits réalisés en 28FDSOI	164
5.26	Tension grille-source du transistor M_0 obtenue par simulation en 28FD-SOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -1.6A.	164
5.27	Schéma de principe d'une configuration PG	166
5.28	Schéma de principe d'un circuit PG avec protection CDM secondaire .	166
5.29	Résultats des mesures CC-TLP effectuées sur les configurations de test PG en GO1.	168
5.30	Simulation du courant à travers les protections CDM ggNMOS a et b de la configuration ab, avec ou sans résistance série, courant de décharge de -900mA sur IO.	169
5.31	Schéma de principe standard (STD) d'un circuit LL avec protection CDM secondaire	171
5.32	Simulation préliminaire LL réalisée sur un circuit de test sans protection CDM secondaire.	171
5.33	Schéma de principe Entrée-Sortie (E/S) d'un circuit LL avec protection CDM secondaire	172
5.34	Résultats des mesures CC-TLP effectuées sur les configurations de test LL.	174
5.35	Simulation de la tension grille-source des transistors M_2 et M_0 pour une décharge CDM de 4A des configurations 1, 3 et 5	174
5.36	Photographie du trou dans la plaque du bras CC-TLP	175
5.37	Schéma de principe d'une capacité isolée	176
5.38	Schéma de principe des circuits de test de type ICap développé	177
5.39	Résultats des mesures CDM effectuées sur les configurations de test ICap.	178
5.40	Mesures de courant de casse sur les différents circuits de tests - ICap.	178
5.41	Mesures CC-TLP sur IO avec une tension de charge positive	179
5.42	Photographie de l'analyse de défaillance réalisée sur la configuration Cap x2	179
5.43	Photographie de l'analyse de défaillance réalisée sur la configuration Cap x2 + Prot.	180

Tableaux

5.2	Récapitulatif des configurations de test réalisées pour étudier le cas GTP	142
5.1	Comparaison entre les résultats de mesure et de simulation. L'origine de la défaillance observée durant les simulations est aussi donnée . . .	143
5.3	Récapitulatif de l'étude du contexte I-D effectuée dans [Shu10]	151
5.4	Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2	153
5.5	Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2	153
5.6	Récapitulatif des configurations utilisées pour étudier l'impact de la connexion entre les masses	154
5.7	Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2	155
5.8	Récapitulatif des configurations de type porte passante	167
5.9	Récapitulatif des configurations de type longue ligne	173
5.10	Récapitulatif des configurations de type capacité isolée	177

Pour protéger les composants des décharges ESD, des protections sont intégrées aux composants électroniques. Elles sont le plus souvent placées en périphérie des composants c'est-à-dire au niveau des circuits d'entrée/sortie. Elles permettent de prévenir la propagation du courant de décharge au coeur du circuit lors d'un événement électrostatique (HBM par exemple) entre deux broches d'une même puce. Les différentes stratégies de protection et les composants élémentaires utilisés ont été présentées dans le Chapitre 1. Cependant, lors d'un événement CDM, le courant de décharge est un courant intrinsèque traversant le composant vers une seule broche. Des défauts peuvent apparaître aussi bien au niveau des entrées/sorties du circuit que dans le coeur. Les protections ESD employées dans le cadre de la stratégie de protection ESD des puces ne permettent pas toujours de prévenir seules l'apparition de défaillance à la suite d'une décharge CDM. En effet, des charges stockées dans un circuit peuvent avoir un chemin de décharge qui passent par un transistor et non par les éléments de protections ESD. Il est donc nécessaire de rajouter des protections ESD secondaires spécifiques à proximité des transistors à risque. Cependant ajouter un grand nombre de ces diodes ou ggNMOS conduit à une importante augmentation de la surface des puces électroniques et augmente le coût de fabrication. Empiriquement des configurations de circuits particulières se sont révélées plus sensibles aux événements CDM que d'autres. À STMicroelectronics, elles sont au nombre de 5 et sont listées, ici, par ordre de fréquence d'apparition de défauts :

- Grille connectée à une entrée-sortie [Ols11], ou “Gate to pad” (GTP) en anglais,
- Interconnexion entre deux domaines de puissance [Shu13] ou inter-domaine (I-D),
- Transistor à porte passante [Vol15] ou “Pass Gate” (PG) en anglais,
- Longue interconnexion entre deux transistors [Huh05] ou longue ligne (LL)
- Îlot capacitif [Gal10] formé par une longue connexion entre deux transistors cascodés ou “Island Capacitor” (ICap) en anglais.

L'objectif de ce chapitre est donc d'étudier chacun de ces types de configuration afin de déterminer les situations précises où l'ajout de protection CDM secondaire locale est nécessaire. Pour chaque contexte de défaillance des circuits de tests ont été conçus, simulés, fabriqués et testés. Ces circuits sont des cas de figures simplifiés des cinq configurations. Plusieurs variations ont été développées afin d'identifier les facteurs qui influent sur l'apparition de défauts à la suite d'une décharge CDM.

Le chapitre est organisé de la façon suivante : une première partie est dédiée à l'étude du contexte GTP, la deuxième à l'analyse de l'I-D, une troisième au PG, une quatrième au LL et enfin une cinquième partie est consacrée à l'ICap. Dans chaque partie, un bref état de l'art est donné, ainsi que les circuits de test utilisés sont présentés. Puis les influences de différents paramètres étudiés sont présentées à l'aide de simulation et de mesures CDM réalisées. Enfin, après analyse des résultats et de la compréhension de chaque phénomène, leur criticité ainsi que leur probabilité d'occurrence sont évaluées et des recommandations sont données pour optimiser le niveau de robustesse CDM en minimisant le nombre de protections CDM secondaires employées.

5.1 Grille connectée à une entrée-sortie (GTP)

L'apparition de défauts à la suite d'une décharge CDM est aussi souvent observée au niveau des transistors dont la grille est directement connectée à une entrée sortie. Une forte différence de potentielle peut apparaître entre la grille du transistor qui sera reliée à la masse au moment de la décharge et la source du transistor qui n'est pas encore au même potentiel. Cela peut alors engendrer une casse de l'oxyde de grille de ce transistor.

5.1.1 État de l'art

Plusieurs études ont été réalisées afin de déterminer comment protéger les circuits GTP lors des décharges de type CDM. Dans l'article [Mor09], les auteurs ont élaboré plusieurs circuits de test afin de déterminer quelles protections ESD primaires et secondaires permettent d'améliorer la robustesse CDM de leur circuit.

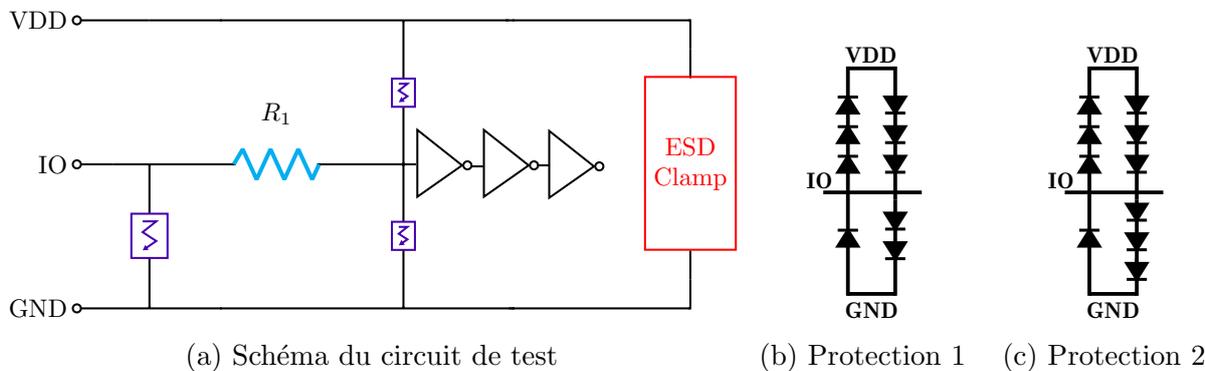


Figure 5.1 : Circuit de test et les protections secondaires CDM employées dans [Mor09]

Trois protections primaires ont été testées : deux SCR (Silicon Controlled Rectifier) et un enfilement de diodes. Les dimensions des protections sont équivalentes afin de pouvoir comparer leur performances CDM relatives. Deux protections CDM secondaires ont aussi été utilisées (cf. Figure 5.1b et Figure 5.1c). Le schéma des circuits de test développé pour cette étude est présenté sur la Figure 5.1a. Des mesures CDM avec une décharge négative et des tests VF-TLP positifs entre l'IO et GND (sur le schéma de la Figure 5.1) ont été conduites afin d'évaluer la meilleure combinaison de protection. Les auteurs ont observé que l'utilisation de la protection avec les diodes empilées et la protection CDM donnée sur la Figure 5.1b augmente la robustesse CDM du circuit.

L'objectif de l'étude, présentée dans l'article [Ols11], est de déterminer l'impact de l'utilisation de puces empilées (ou "stacked die" en anglais) sur la robustesse CDM des composants électroniques. Ce procédé permet de rattacher deux circuits intégrés (ou plus) ensemble et de mettre l'ensemble dans un même boîtier et ainsi réduire la taille de la carte électronique finale. Pour cela, les auteurs ont développé une puce électronique de test composée de deux circuits intégrés empilés. Ces derniers comportent différentes configurations de type interdomaine et GTP. La topologie des circuits de types GTP est présentée sur la Figure 5.2.

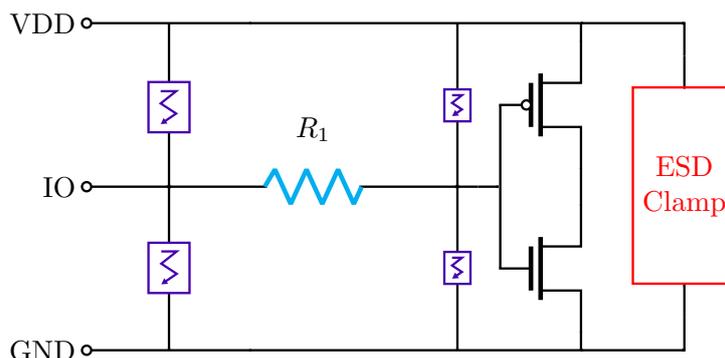


Figure 5.2 : Schéma de principe du circuit de test utilisé dans [Ols11]

Plusieurs variations de ce circuit ont été réalisées. Les protections ESD primaires utilisées sont soit des diodes STI, des diodes Gated ou de des DTSCR (Diode triggered SCR). Des circuits ont une résistance série de 25Ω . Des protections secondaire CDM (diodes STI) peuvent aussi être employées. Des tests de qualification CDM ont été conduits sur les différents circuits de test développés, pour des tensions de charge allant jusqu'à 2000V, la tension de charge maximale du testeur. Les auteurs ont seulement pu dégrader les configurations qui n'avaient pas de protections CDM secondaires. L'utilisation de protections secondaires ESD locales permet donc d'améliorer les performances CDM d'un circuit de type GTP.

L'article [Zho13] s'intéresse à l'impact de l'ajout d'une résistance en série au niveau de la grille des transistors à risque dans les circuits GTP.

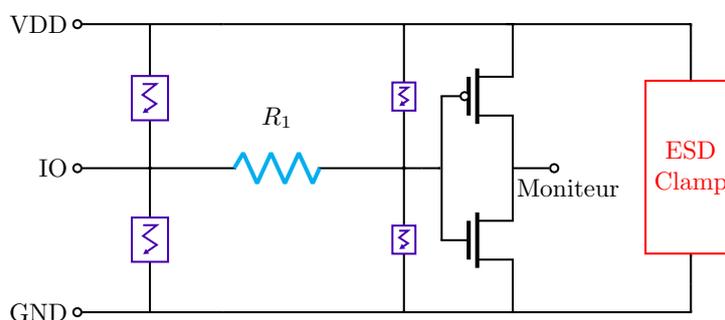


Figure 5.3 : Schéma de principe du circuit de test utilisé dans [Zho13]

Le circuit de test qu'ils ont utilisé est présenté sur la Figure 5.3. Plusieurs circuits de test avec différentes valeurs de résistances et tailles de transistors à protéger ont été développés. Les auteurs ont trouvé que l'ajout d'une résistance permettait de diminuer la tension de grille des transistors à risque. L'impact de la résistance dépend cependant de la taille des MOSFETs. En effet les transistors peuvent être modélisés par une capacité. L'ensemble résistance série et transistor forme donc un circuit RC. L'analyse a montré que pour que la résistance est une influence significative sur la robustesse CDM, il fallait que la constante RC soit au moins du même ordre de grandeur que celle du temps de montée de la décharge CDM (au minimum quelques dizaines de picosecondes).

Ces articles ont montré l'intérêt porté sur l'étude des circuits de type GTP lors d'une décharge CDM. Les auteurs ont étudié plusieurs paramètres tels que le type de protections primaires et secondaires utilisées, l'ajout d'une résistance série. La topologie privilégiée

pour protéger les transistors à risque semble être une topologie en H : deux protections primaires entre le signal IO et VDD, et entre IO et GND, une résistance série et deux protections secondaire entre grille et VDD, et grille et GND près des transistors à protéger ainsi qu'un clamp ESD entre VDD et GND comme présenté sur les Figures 5.3 et 5.2. Cette stratégie de protection sera reprise par la suite dans les circuits de tests développés pour étudier de manière exhaustive ce phénomène.

5.1.2 Circuits de test

La Figure 5.4 illustre une situation GTP simplifiée avec les protections CDM secondaires recommandées. Les diodes primaires et le clamp ESD font partie des protections utilisées dans le cadre de la stratégie de protection ESD HBM mise en place dans les circuits intégrés afin de prévenir les défauts dans les circuits de coeur. Les transistors M_0 et M_1 forment l'inverseur à protéger (grille de transistors directement connectée à une entrée sortie). Les résistances rx_1 et rx_2 modélisent les résistances parasites des rails d'alimentation entre l'inverseur et le clamp ESD. La capacité C_1 représente la taille du circuit situé entre l'inverseur et le clamp.

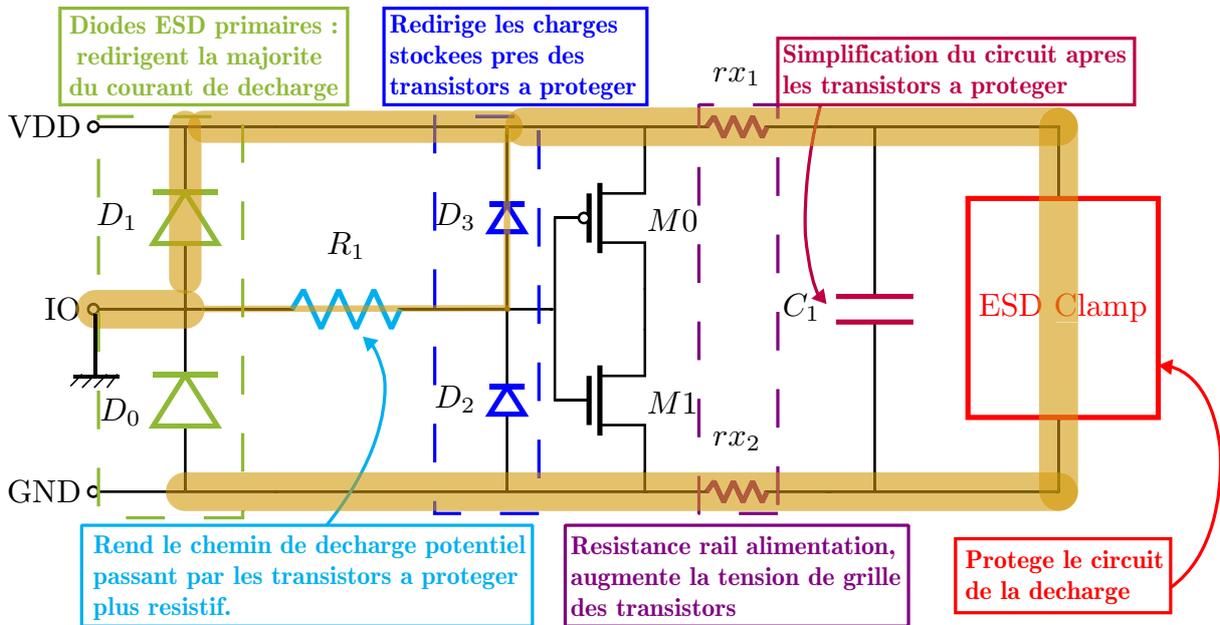


Figure 5.4 : Schéma de principe d'un circuit GTP avec protection CDM secondaire

Lors de la décharge CDM, les charges sont évacuées par les chemins les moins résistifs possibles, c'est pourquoi l'utilisation d'une résistance en série permet de réduire la quantité de charges passant par l'inverseur. L'ajout de diodes CDM D_2 et D_3 très près des transistors à protéger constitue un chemin de décharge favorable alternatif pour les charges stockées à proximité de l'inverseur. L'emploi combiné d'une résistance en série et de protection CDM secondaires près des transistors à risque diminue leur tension grille/source. L'utilisation d'une résistance en série n'est cependant pas toujours possible et l'ajout de ces protections secondaires augmentent l'aire du circuit. Il est donc important de mieux comprendre l'impact des différents composants d'un circuit de type GTP sur sa robustesse vis-à-vis d'un événement CDM.

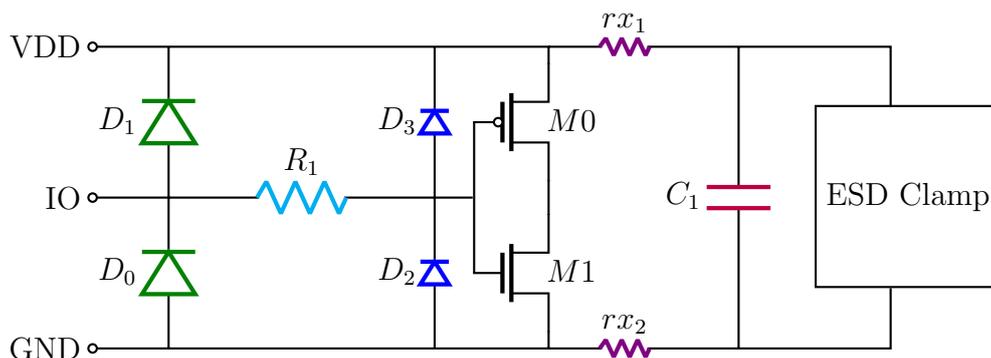


Figure 5.5 : Schéma des circuits de tests développés. Les éléments de couleur sont les composants élémentaires qui sont modifiés d'une version de circuit de tests à une autre.

Afin de faciliter l'analyse de l'impact de chaque paramètre sur la robustesse CDM d'un circuit, il a été choisi de centrer l'étude sur une situation GTP simplifiée.

La Figure 5.5 présente le schéma du circuit étudié. Une première version a été réalisée en utilisant des diodes primaires ESD de type STI (D_0 et D_1), une résistance R_1 de 300Ω , des diodes STI de petites tailles comme protections secondaires CDM, une capacité C_1 de 1.08pF représentant la capacité parasite générée par le reste du circuit. Le dessin du circuit a été réalisé de façon à minimiser la valeur des résistances de rail rx . Ce circuit est appelé circuit témoin. D'autres variations ont ensuite été élaborées afin d'analyser l'impact du type de protection ESD primaire, de l'impédance série R_1 , des protections secondaires, de la résistance du rail d'alimentation, et de la valeur de C_1 .

La Table 5.2 récapitule les différentes variations du circuit témoin réalisées. La configuration 2 permet de voir si le fonctionnement de la diode D_2 en avalanche protège les transistors. Le circuit 3 mesure l'impact de C_1 . Les configurations 4, 5, 8 et 14 servent à évaluer l'impact de l'impédance série en modifiant la valeur de la résistance ou son type (capacité de 313fF pour 4 et 5, cela correspond à une impédance de 300Ω à 10GHz). Les circuits 6, 7, 12, 14 et 15 mesurent l'influence de la protection secondaire CDM sur la robustesse d'un composant lors d'une décharge. Les configurations 9 à 11 permettent d'étudier l'influence de la résistance parasite des rails d'alimentation sur la tension de grille des transistors. Et enfin 12 et 13 montrent les différences de robustesse CDM en fonction du type de protection primaire ESD employée.

L'ensemble des circuits ont été fabriqués dans la technologie 28FDSOI de STMicroelectronics et mis dans un boîtier LGA65 (Land Grid Array). Une fois les circuits fabriqués, des tests de qualification CDM ont été conduits selon le protocole de test présenté dans le Chapitre 4. Pour chaque circuit de test, six puces ont été soumises à des décharges CDM. Trois pour les décharges positives et trois pour les négatives. Les circuits intégrés ont été stressés de 250V jusqu'à leur casse avec des incréments de 250V . La courbe de courant est enregistrée pour chaque décharge.

Des simulations ont aussi été conduites suivant le flot de simulation présenté dans le Chapitre 3. Cela permet de mieux comprendre le fonctionnement du circuit lors de la décharge CDM.

ID	Nom	Protection ESD primaire	Protection CDM secondaire	Impédance série (R_1)	Résistance bus d'alimentation	Capacité (C_1)
1	Témoin	Diodes STI	2 diodes STI CDM	300Ω	r	$1.08pF$
2	1 diode	Diodes STI	1 diode STI CDM (D_2)	300Ω	r	$1.08pF$
3	$C_1=262fF$	Diodes STI	2 diodes STI CDM	300Ω	r	$262fF$
4	$R_1=313fF$	Diodes STI	2 diodes STI CDM	$313fF$	r	$1.08pF$
5	$R_1=313fF$ sans prot. CDM	Diodes STI	abs.	$313fF$	r	$1.08pF$
6	Aire x2 diodes CDM	Diodes STI	2 diodes STI CDM (aire x2)	300Ω	r	$1.08pF$
7	Aire x4 diodes CDM	Diodes STI	2 diodes STI CDM (aire x4)	300Ω	r	$1.08pF$
8	$R_1=100\Omega$	Diodes STI	2 diodes STI CDM	100Ω	r	$1.08pF$
9	Res. parasite x2	Diodes STI	2 diodes STI CDM	300Ω	r x2	$1.08pF$
10	Res. parasite x2 sans prot. CDM	Diodes STI	abs.	abs.	r x2	$1.08pF$
11	Res. parasite x3 sans prot. CDM	Diodes STI	abs.	abs.	r x3	$1.08pF$
12	Sans prot. CDM	Diodes STI	abs.	abs.	r	$1.08pF$
13	Sans prot. CDM (diodes Gated)	Diodes Gated	abs.	abs.	r	$1.08pF$
14	$R_1=0$	Diodes STI	2 diodes STI CDM	abs.	r	$1.08pF$
15	prot. CDM. ggNMOS	Diodes STI	2 ggNMOS CDM	300Ω	r	$1.08pF$

Table 5.2: Récapitulatif des configurations de test réalisées pour étudier le cas GTP

5.1.3 Résultats

Les différents résultats de mesure et de simulation sont présentés dans cette partie. La Table 5.1 récapitule les différences entre les mesures CDM et les simulations réalisées pour toutes les configurations GTP étudiées. Elle donne aussi la cause de la casse estimée lors des simulations. La Figure 5.7 illustre les paramètres surveillés lors de simulations CDM. L'exemple choisi est la simulation du circuit 15. La tension grille-source des transistors est autour de 4V en-dessous de la tension de casse de l'oxyde GO2 en 28FDSOI de 6.7V. Le courant à travers les ggNMOS de protection secondaire est de 25mA (le courant de casse des ggNMOS est autour des 10mA). Les protections ggNMOS sont donc l'origine de la dégradation probable du circuit.

ID	Décharge tension positive		Décharge tension négative	
	Comp. simu. vs mes.	Cause	Comp. simu. vs mes.	Cause
1	OK	Oxyde	OK	Oxyde
2	OK	Oxyde	OK	Oxyde
3	OK	Diodes CDM	OK	Oxyde
4	OK	Diodes CDM	OK	Diodes CDM
5	OK	Oxyde	OK	Oxyde
6	OK	Diodes CDM	OK	Diodes CDM
7	OK	Diodes CDM	OK	Diodes CDM
8	OK	Diodes CDM	OK	Diodes CDM
9	OK	Diodes CDM	OK	Oxyde
10	OK	Oxyde	OK	Oxyde
11	OK	Oxyde	OK	Oxyde
12	OK	Oxyde	OK	Oxyde
13	OK	Oxyde	OK	Oxyde
14	OK	Diodes CDM	OK	Diodes CDM
15	OK	ggNMOS	OK	ggNMOS

Table 5.1: Comparaison entre les résultats de mesure et de simulation. L'origine de la défaillance observée durant les simulations est aussi donnée

Des mesures CC-TLP effectuées sur certains circuits de test (4, 8 et 15) présentées dans le Chapitre 4 privilégie l'hypothèse d'une dégradation d'une protection CDM par rapport une casse d'oxyde. Le paramètre de corrélation entre le CC-TLP et le CDM trouvé est l'énergie et non le courant. Cela indique une casse de diode et non d'un oxyde.

La comparaison entre les mesures et les simulations montrent que ces dernières corrélient très bien. Il est donc possible d'utiliser les simulations pour mieux comprendre le fonctionnement des circuits de test lors d'une décharge CDM. La défaillance d'une protection secondaire CDM est souvent l'origine des défaillances de circuits (lorsqu'elles sont employées) d'après les simulations.

Pour faciliter l'analyse des circuits GTP étudiés, les résultats sont regroupés par paramètre d'intérêt.

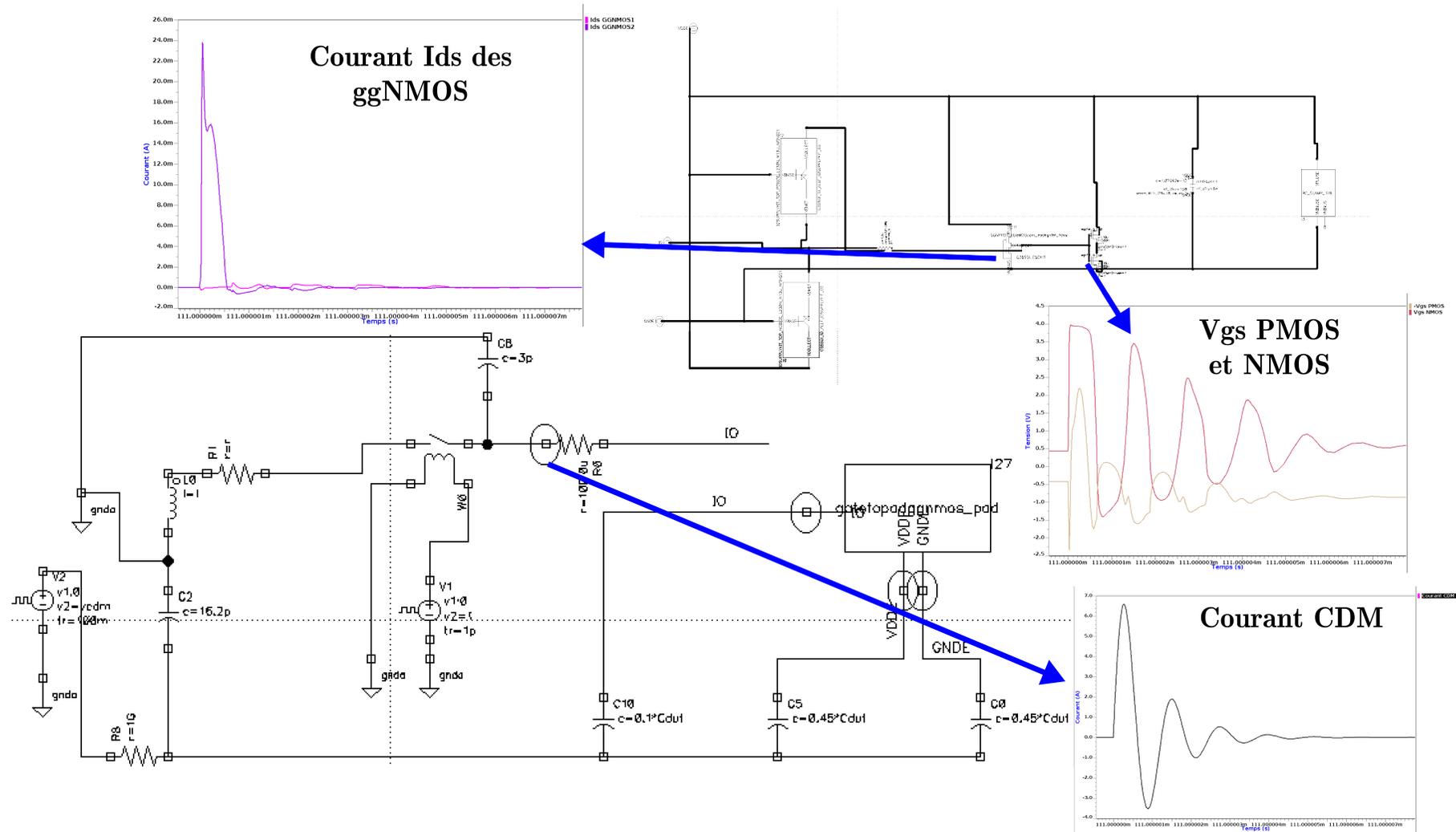
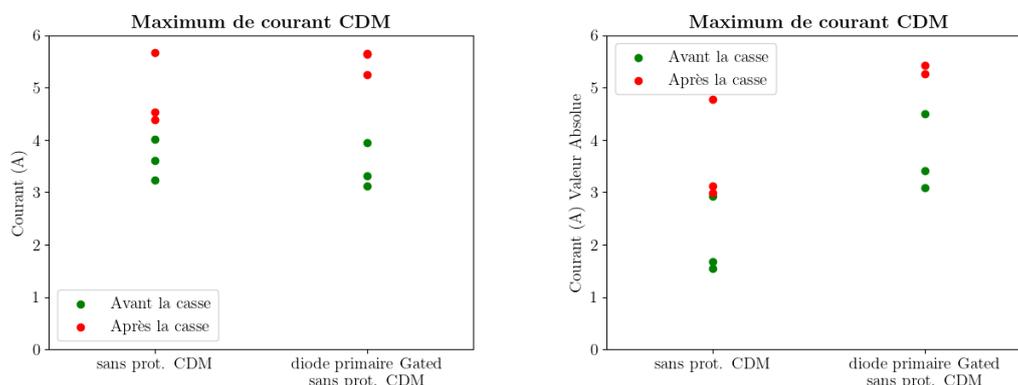


Figure 5.7 : Procédure de détermination de résultat de simulation CDM réalisé sur la configuration 15.

5.1.3.1 Impact du type de diodes primaires utilisées

Comme montré dans le Chapitre 4, une surtension peut être mesurée aux bornes des diodes de type STI lorsque le courant qui les traversent à un temps de montée très court (autour de 100ps). Cette surtension diminue avec l'augmentation de ce paramètre. Lors d'un événement CDM, le temps de montée d'une décharge CDM varie de quelques dizaines à quelques centaines de picosecondes. Cette surtension peut doubler la tension observée aux bornes de la diode et ainsi causer la casse d'oxyde. En revanche, le comportement des diodes Gated est indépendant du temps de montée du courant sur le domaine de temps des décharges CDM et ne génère aucune surtension.



(a) Mesures CDM avec une tension de charge positive (b) Mesures CDM avec une tension de charge négative

Figure 5.6 : Comparaison de la robustesse CDM entre les configuration 12 (Diodes primaires STI sans prot. CDM) et 13 (Diodes primaires Gated sans prot. CDM) afin d'observer l'impact du type de diodes ESD primaire utilisé

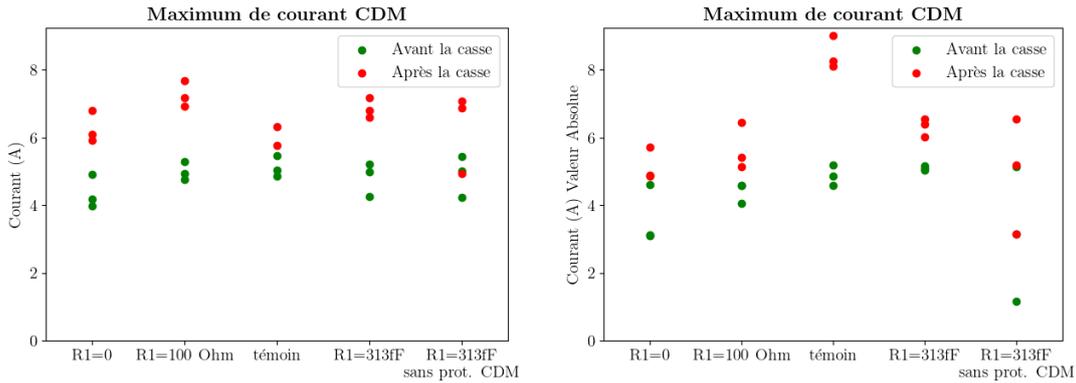
Les mesures de courant pics des configurations 12 (Diodes primaires STI sans protection CDM) et 13 (Diodes primaires Gated sans protection CDM) sont présentées sur la Figure 5.6.

Les mesures CDM effectuées avec une tension de charge positive (Figure 5.6a) ne montrent pas de différences entre les deux configurations. En revanche les données issues des décharges avec une tension de charge négative mettent en évidence que la configuration 12 est moins robuste que la 13. Les performances CDM de la configuration 12 varient suivant les décharges CDM. Elles utilisent des diodes STI sensibles au temps de montée du courant. Les mesures CDM avec une tension de charge négative avaient un temps de montée moyen de 100-130 ps (forte surtension aux bornes des diodes STI). Les mesures avec une tension de charge positive avaient des temps de montée autour de 150ps (faible surtension aux bornes des diodes STI, performances similaires aux diodes Gated).

La robustesse CDM des circuits GTP utilisant des diodes STI comme diodes ESD primaires dépend donc fortement de la forme d'onde du courant et peut donc varier d'une décharge à l'autre. L'emploi de diodes ESD primaire Gated permet de prévenir ce problème.

5.1.3.2 Impact de l'impédance série (R_1)

La résistance série R_1 augmente la résistivité des chemins de décharge passant par les transistors à protéger dans les circuits de type GTP. Trois valeurs de résistance ont été choisies (0, 100 et 300 Ω). Dans les circuits RF, la résistance R_1 peut être remplacée par une capacité. Elle permet de protéger le circuit en filtrant les basse fréquences. La valeur de 313fF a donc été choisie pour étudier ce cas. Cela correspond à une impédance de 300 Ω à 10GHz. Les configurations 1, 4, 8, 14 ont des protections CDM secondaires tandis que 5 n'a qu'une impédance série.



(a) Mesures CDM avec une tension de charge positive (b) Mesures CDM avec une tension de charge négative

Figure 5.8 : Comparaison de la robustesse CDM entre les configurations 1 (Témoin, $R_1=300\Omega$), 4 ($R_1=313\text{fF}$), 5 ($R_1=313\text{fF}$ sans prot. CDM), 8 ($R_1=100\Omega$) et 14 ($R_1=0\Omega$) afin d'observer l'impact de l'impédance série utilisé

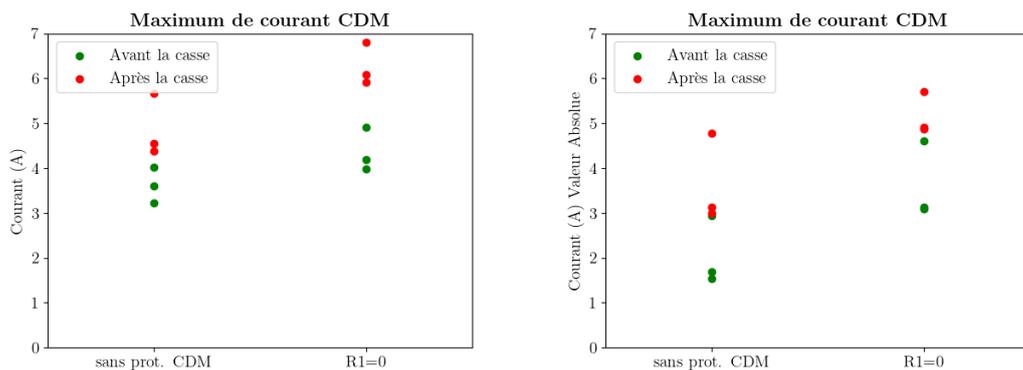
Les mesures de courant pic des configurations 1 (Témoin, $R_1=300\Omega$), 4 ($R_1=313\text{fF}$), 5 ($R_1=313\text{fF}$ sans protection CDM), 8 ($R_1=100\Omega$) et 14 ($R_1=0\Omega$) sont présentées sur la Figure 5.8. L'amplitude de courant entre un test qui passe et un test qui casse est trop important sur la Figure 5.8a pour tirer des résultats probants. En revanche, la Figure 5.8b montre que l'utilisation conjuguée d'une impédance série et de protections CDM secondaires permet d'améliorer la robustesse CDM des circuits. Plus la résistance est grande, plus le courant de casse de CDM mesuré est important. L'emploi d'une capacité série à la place d'une résistance ne modifie pas les performances CDM d'un circuit.

5.1.3.3 Impact des protections secondaires

Les protections CDM secondaires sont généralement des ggNMOS ou de diodes STI (cf. Chapitre 1). À STMicroelectronics, elles sont de petites tailles. Leur courant de casse est souvent de l'ordre de quelques dizaines de milli Ampères.

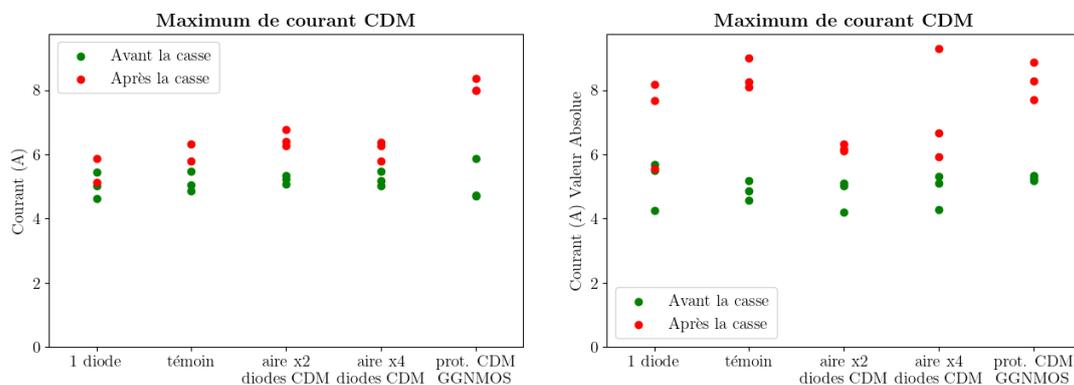
Dans un premier temps, les configurations 12 (Sans prot. CDM) et 14 ($R_1=0$) montrent que l'ajout de protection CDM secondaire permet d'augmenter le courant de casse et cela même sans impédance série (cf. Figure 5.9).

L'utilisation de protections CDM secondaire améliore la robustesse CDM des circuits GTP. Afin de définir quel type de protection est à favoriser et l'impact de leur taille, les mesures CDM des circuits de test 1 (Témoin), 2 (1 diode), 6 (Aire x2 diodes CDM), 7



(a) Mesures CDM avec une tension de charge positive (b) Mesures CDM avec une tension de charge négative

Figure 5.9 : Comparaison de la robustesse CDM entre les configurations 12 (Sans prot. CDM) et 14 ($R_1=0$) afin d'observer l'impact de la présence de protection secondaire



(a) Mesures CDM avec une tension de charge positive (b) Mesures CDM avec une tension de charge négative

Figure 5.10 : Comparaison de la robustesse CDM entre les configurations 1 (Témoin), 2 (1 diode), 6 (Aire x2 diodes CDM), 7 (Aire x4 diodes CDM) et 15 (protection CDM ggNMOS) afin d'observer l'impact du type et de la valeur de l'impédance série utilisée

(Aire x4 diodes CDM) et 15 (protection CDM ggNMOS) ont été comparées et les résultats sont présentés sur la Figure 5.10.

La configuration 1 diode a un courant de casse inférieur à celui du circuit Témoin. Les mesures ne permettent pas de voir une dissymétrie entre les décharges positives et négatives. Les simulations indiquent que lors d'une décharge négative, les transistors ne sont pas protégés par la diode secondaire. Cependant le temps de montée des décharges négatives (150-200ps) était plus important que pour les décharges positives (130ps). Cela explique l'absence de différence entre les deux séries de mesure. Les autres variations du circuit Témoin ont des performances CDM similaires. Plusieurs facteurs expliquent ces résultats.

En effet les protections ggNMOS permettent de maintenir la tension de grille des transistors autour de 4V pendant le courant de casse de la protection est très faible, ce

qui engendre une apparition de défaillance entre 5 et 7A. Pour les circuits de test avec des diodes CDM de tailles supérieures, les mesures VF-TLP ont mis en évidence que la résistance dynamique des diodes diminuait avec l'augmentation de leur aire (cf. Figure 5.11). Les simulations montrent que cela permet de diminuer la tension de grille des transistors. Cependant un courant plus important de décharge passe à travers les diodes ce qui est à l'origine de la dégradation des circuits.

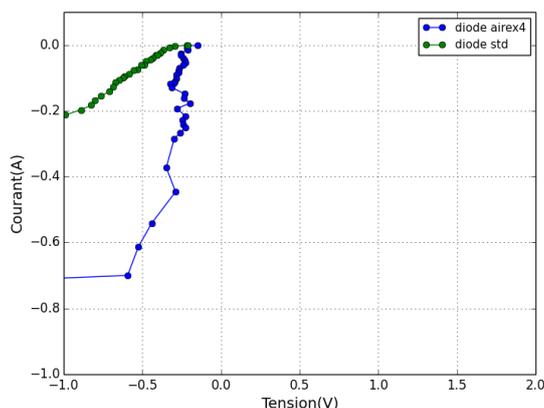


Figure 5.11 : Caractéristique d'une diode avec un aire standard et d'une diode avec une aire multipliée par 4

5.1.3.4 Impact de la résistance du rail d'alimentation (rx)

Les résistances parasites entre les transistors à protéger et les clamps ESD peuvent augmenter la tension de grille des transistors. Les configurations 1 (Témoin), 9 (Résistance parasite x2), 10 (Résistance parasite x2 sans protection CDM), 11 (Résistance parasite x3 sans protection CDM) et 12 (Sans protection CDM) permettent de déterminer l'influence de ce paramètre sur les performances CDM du circuit de test GTP.

La Figure 5.12 montre les résultats de l'étude de l'impact de la résistance parasite des rails d'alimentation sur la robustesse CDM des circuits de tests.

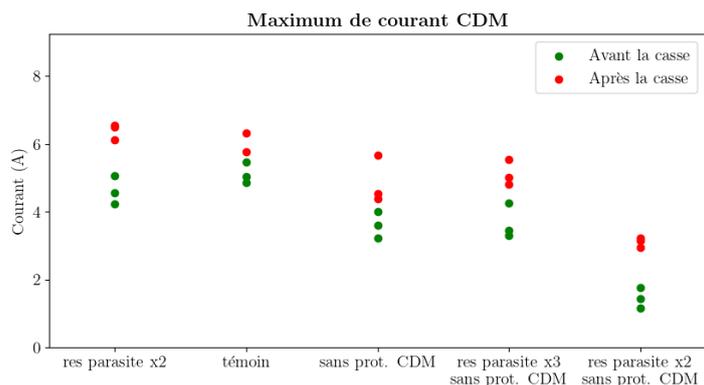
Pour les décharges négatives, les courants de casse des configurations 10, 11 et 12 sont similaires. Pour les décharges positives, la configuration 12 est plus robuste que la configuration 10 (résistance parasite x2). Cependant, la configuration 11 (résistance parasite x3) a un courant de casse similaire à celui de la configuration 12. Cela peut s'expliquer par le temps de montée des décharges positives CDM mesurées pour la configuration 11 qui étaient entre 140 et 200ps tandis que ceux de configuration 10 et 11 se trouvaient entre 100 et 120ps.

Dans le cas des configurations 1 et 9, l'effet de l'augmentation de la résistance parasite est visible, surtout pour les données de décharge négative.

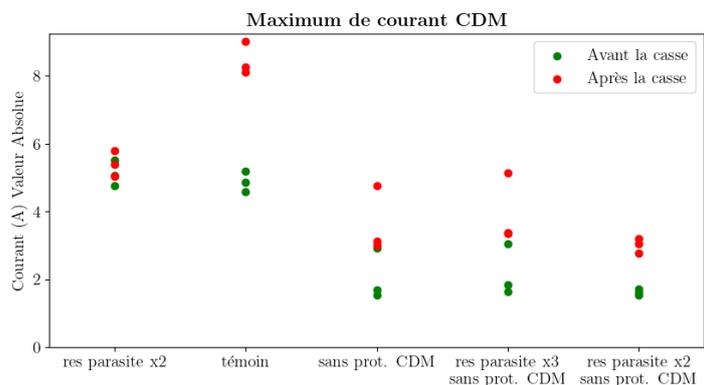
L'augmentation de la résistance parasite des rails d'alimentation augmente la tension de grille des transistors à protéger.

5.1.3.5 Impact de la taille du circuit (C_1)

Le dernier paramètre étudié est l'impact de la taille du circuit après les transistors à protéger sur la robustesse d'un circuit GTP. Cette partie du circuit peut être simplifiée



(a) Mesures CDM avec une tension de charge positive



(b) Mesures CDM avec une tension de charge négative

Figure 5.12 : Comparaison de la robustesse CDM entre les configurations 1 (Témoin), 9 (Res. parasite x2), 10 (Res. parasite x2 sans prot. CDM), 11 (Res. parasite x3 sans prot. CDM) et 12 (Sans prot. CDM) afin d'observer l'impact des résistances parasites des rails d'alimentation

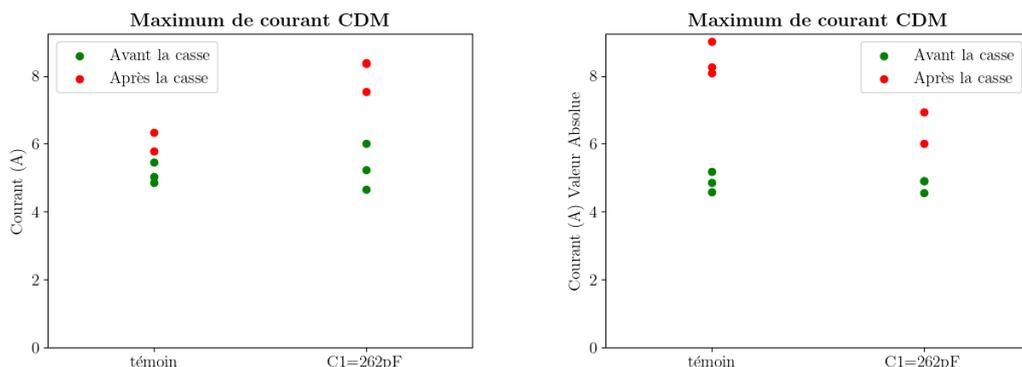
par une capacité parasite entre l'alimentation et la masse du circuit. Pour étudier cela, les mesures CDM des circuits 1 (Témoin) et 3 ($C_1=262\text{fF}$) sont comparées (cf. Figure 5.13).

Les données montrent que la diminution de la capacité C_1 , et donc de la taille du circuit, augmente la valeur du courant de casse.

5.1.4 Recommandations

L'étude des différentes configurations de circuits GTP réalisées a permis de déterminer l'influence des paramètres sélectionnés sur la robustesse d'un circuit. Des recommandations ont pu être déduites. Elles sont données en fonction de leur impact sur les performances CDM d'un circuit GTP :

- Mimiser la résistance parasite des rails d'alimentation
- Utiliser des diodes primaires Gated quand cela est possible,
- Utiliser des protections secondaires placées près des transistors à protéger,
- Rajouter une impédance série.



(a) Mesures CDM avec une tension de charge positive (b) Mesures CDM avec une tension de charge négative

Figure 5.13 : Comparaison de la robustesse CDM entre les configurations 1 (Témoin) et 3 ($C_1=262\text{fF}$) afin d'observer l'impact de la taille du circuit

Le comportement des circuits de type GTP lors d'un événement CDM a été étudié de manière systématique. Une autre configuration à risque est à l'origine d'un nombre significatif de défaillance à la suite d'une décharge CDM : les inter-domaines.

5.2 Inter-domaine

La complexification croissante des circuits intégrés a conduit à l'augmentation du nombre de domaines d'alimentation dans les puces électroniques. Cela permet de réduire le nombre de composants sur les cartes électroniques et donc de diminuer leur taille. Les interconnexions entre les domaines de puissances se sont donc multipliées dans les circuits. Ces cas de figure représentent une importante part des défauts observés à l'issue d'une décharge CDM.

5.2.1 État de l'art

Plusieurs études ont été réalisées pour augmenter la robustesse CDM de ce type de circuits.

Dans [Lee03] et [Lee00], les auteurs étudient l'impact de la taille des domaines d'alimentation sur les performances CDM d'une puce électronique. Ils utilisent un produit réel avec plusieurs domaines de puissance de tailles très différentes. Plus un domaine occupe une surface importante, plus sa capacité parasite entre son alimentation et sa masse sera importante. L'analyse des mesures et des simulations CDM réalisées a montré que les domaines de petites tailles avec des interconnexions aux autres domaines très longues avaient une robustesse CDM plus faibles. Des casses étaient observées au niveau des interconnexions avec les domaines de tailles très supérieures. La taille des domaines d'alimentation est donc un facteur qui influence le comportement des circuits de type I-D lors d'une décharge CDM.

Paramètre	Observation
la résistivité du substrat	une faible résistivité améliore les performances CDM
l'ajout de capacité de découplage C	Augmentation de C diminue la tension grille-source au niveau de l'I-D.
la présence de clamp au niveau de l'inter-domaine	utile pour diminuer la tension de grille si la résistance parasite entre les transistors et le clamp est minimisée
l'ajout de diodes têtes-bêches locales (en présence d'une capacité de découplage)	Amélioration la robustesse CDM. (Résistance parasite de layout doit être petite)
la présence de résistances en série sur l'interconnexion entre les deux domaines	diminue la tension grille-source

Table 5.3: Récapitulatif de l'étude du contexte I-D effectuée dans [Shu10]

Dans [Shu10], les auteurs utilisent une puce de test, composée de deux domaines de puissance. Elle a deux domaines de tailles très différentes. Ils s'intéressent, à travers ces circuits de test, à l'impact de plusieurs paramètres. Les conclusions de l'étude sont présentées dans la Table 5.3.

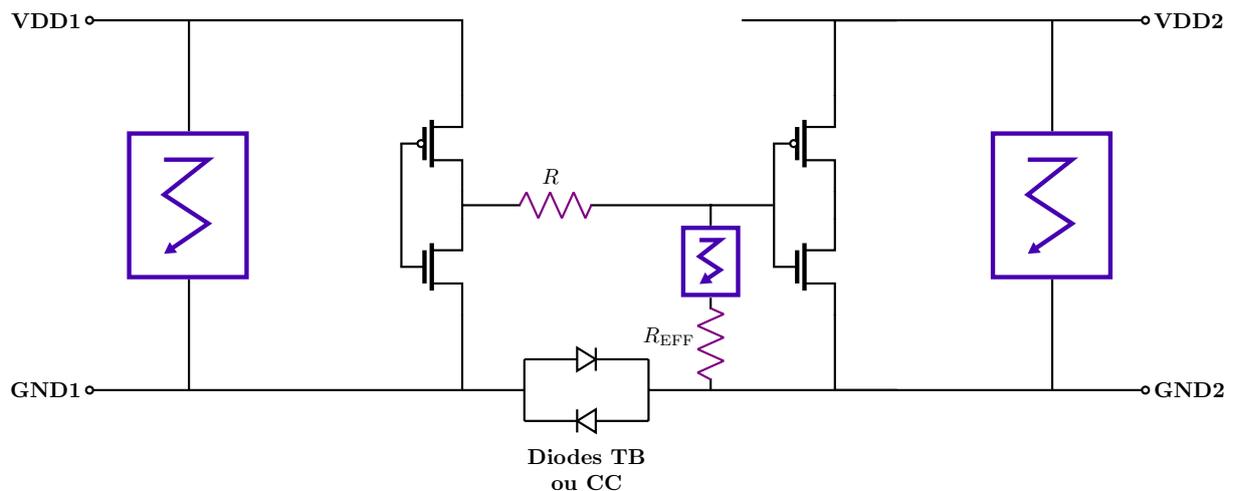


Figure 5.14 : Schéma de principe des circuits de test utilisés dans [Abe15].

Dans [Abe15], les auteurs s'intéressent à l'impact de la distance entre la protection CDM secondaire et la masse sur la robustesse d'un circuit de type I-D. Une puce de test a été réalisée. Elle intègre plusieurs variations du circuit de test présenté sur la Figure 5.14. La résistance R_{EFF} représente la distance entre le clamp local utilisé pour protéger les transistors à risque et la masse du domaine dans lequel ils se trouvent. Les tests CDM sont réalisés sur les broches VDD1. Les mesures mettent en évidence que plus R_{EFF} est petite, plus la robustesse CDM est grande, et que la taille du domaine de puissance influe de manière importante sur les performances CDM d'un circuit.

Les études réalisées sur la robustesse CDM des configurations de type I-D mettent en évidence plusieurs points. La surface des domaines de puissance semble être un facteur

déterminant des performances CDM d'un circuit, une résistance série peut diminuer la tension de grille ainsi que la présence d'un clamp ESD à proximité des transistors à risque. L'ajout de protections CDM secondaires en plus des éléments de protection ESD classique améliore aussi les performances CDM des circuits.

5.2.2 Circuits de test

Afin d'étudier le comportement des circuits de type I-D lors d'un événement CDM, un circuit de test a été conçu. Cela correspond à une configuration I-D simplifiée.

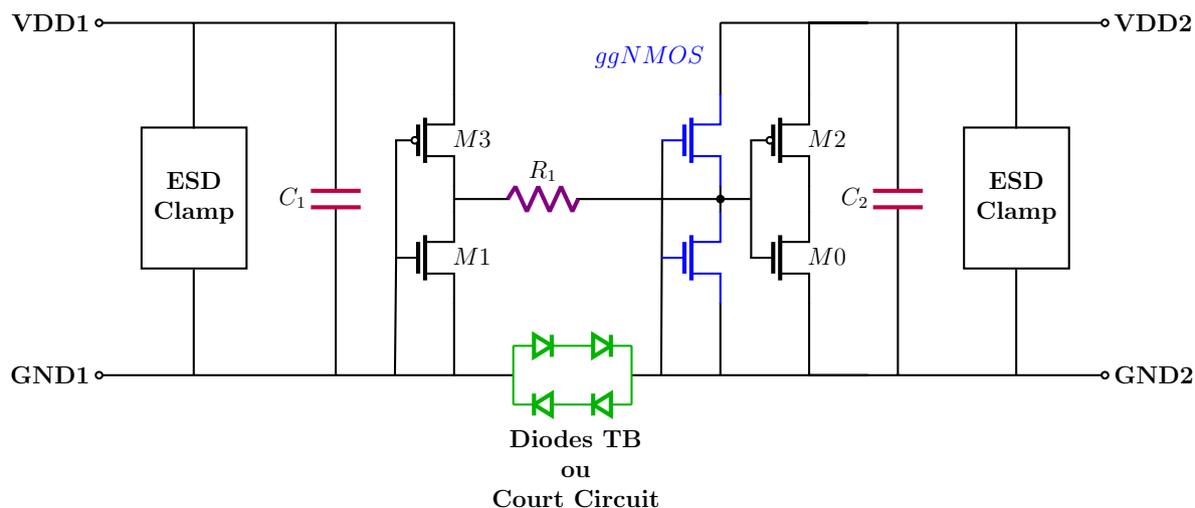


Figure 5.15 : Schéma de principe des circuits de test réalisés

Les circuits sont composés, chacun, de deux domaines de puissance. Chaque domaine comporte un inverseur, un clamp ESD et une capacité. La capacité représente la capacité parasite du circuit de chaque domaine, elle dépend de la taille du circuit et de son dessin. Les masses des domaines peuvent être soit communes soit connectées par des diodes dites têtes-bêches. Des ggNMOS utilisés comme protection CDM secondaire peuvent être ajoutées au niveau des transistors M_0 et M_2 à protéger. Une résistance en série R_1 peut aussi être employée.

Plusieurs séries de circuit de test ont été conçues et réalisées afin d'étudier les paramètres suivants : la taille des domaines de puissance, le type de connexion entre les masses et l'utilisation d'une résistance en série. Toutes les configurations analysées sont toutes dérivées du schéma présenté sur la Figure 5.15.

Taille des circuits :

Afin d'estimer l'impact de la taille des domaines de puissance sur les performances CDM des circuits de type I-D, plusieurs circuits de test ont été élaborés. Dans un premier temps, il a été choisi d'avoir une valeur de C_1 fixe à 0 et plusieurs valeurs de C_2 allant de 4pF à 1nF. Cela permet d'observer le comportement des circuits d'I-D entre deux domaines de taille très différente. Les différentes configurations réalisées sont présentées dans la Table 5.4.

ID	Nom	Connexion masses	Protections CDM	Valeur de C_1	Valeur de C_2	Résistance série
1.1	$C_2=4\text{pF}$	diodes STI TB	Abs.	0	4pF	0
1.2	$C_2=40\text{pF}$	diodes STI TB	Abs.	0	40pF	0
1.3	$C_2=130\text{pF}$	diodes STI TB	Abs.	0	130pF	0
1.4	$C_2=220\text{pF}$	diodes STI TB	Abs.	0	220pF	0
1.5	$C_2=1\text{nF}$	diodes STI TB	Abs.	0	1nF	0

Table 5.4: Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2

ID	Nom	Connexion masses	Protections CDM	Valeur de C_1	Valeur de C_2	Résistance série
2.1	$C_1=4\text{pF}$, $C_2=130\text{pF}$	2 diodes Gated TB en série	Abs.	4pF	130pF	0
2.2	$C_1=40\text{pF}$, $C_2=130\text{pF}$	2 diodes Gated TB en série	Abs.	40pF	130pF	0
2.3	$C_1=130\text{pF}$, $C_2=130\text{pF}$	2 diodes Gated TB en série	Abs.	130pF	130pF	0
2.4	$C_1=220\text{pF}$, $C_2=130\text{pF}$	2 diodes Gated TB en série	Abs.	220pF	130pF	0
2.5	$C_1=1\text{nF}$, $C_2=130\text{pF}$	2 diodes Gated TB en série	Abs.	1nF	130pF	0
2.6	$C_1=4\text{pF}$, $C_2=220\text{pF}$	2 diodes Gated TB en série	Abs.	4pF	220pF	0
2.7	$C_1=40\text{pF}$, $C_2=220\text{pF}$	2 diodes Gated TB en série	Abs.	40pF	220pF	0
2.8	$C_1=130\text{pF}$, $C_2=220\text{pF}$	2 diodes Gated TB en série	Abs.	130pF	220pF	0
2.9	$C_1=220\text{pF}$, $C_2=220\text{pF}$	2 diodes Gated TB en série	Abs.	220pF	220pF	0
2.10	$C_1=1\text{nF}$, $C_2=220\text{pF}$	2 diodes Gated TB en série	Abs.	1nF	220pF	0

Table 5.5: Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2

Ces circuits ont été réalisés dans la technologie BICMOS55 et mis dans un boîtier SBGA304 (Super Ball Grid Array).

Puis des circuits avec différentes valeurs de C_1 et C_2 ont été réalisés. Pour réduire le nombre de configurations, deux valeurs de C_2 ont été sélectionnées : 130pF et 220pF. Elles ont été choisies pour minimiser la taille des circuits tout en s'assurant de ne pas avoir des circuits trop peu robustes. La Table 5.5 résume les différents circuits de test conçus.

Les circuits ont été réalisés en BICMOS55 et mis dans un boîtier PBGA304 (Plastic Ball Grid Arra), ainsi qu'en 28FDSOI et dans un boîtier LGA65.

Type de connexion entre les masses :

Certains domaines d'alimentation partagent une masse. Lorsque les masses ne sont pas communes, elles sont en générales connectées par des diodes tête-bêches (TB) qui permettent la circulation du courant de décharge. Des diodes STI ou Gated peuvent être utilisées. Afin d'établir l'impact de ces différences sur la robustesse CDM des circuits de type I-D, des configurations de plusieurs types de connexion entre les masses ont été réalisées. La Table 5.6 récapitule les configurations conçues pour étudier l'impact du type de connexion entre les masses.

ID	Nom	Connexion masses	Protections CDM	Valeur de C_1	Valeur de C_2	Résistance série
3_1	Gated	2 diodes Gated TB en série	Abs.	0	220pF	0
3_2	STI	2 diodes STI TB en série	Abs.	0	220pF	0
3_3	CC	CC	Abs.	0	220pF	0
3_4	Gated + ggNMOS	2 diodes Gated TB en série	ggNMOS	0	220pF	0
3_5	STI + ggNMOS	2 diodes STI TB en série	ggNMOS	0	220pF	0
3_6	CC + ggNMOS	CC	ggNMOS	0	220pF	0
3_7	STI + ggNMOSx2	2 diodes STI TB en série	ggNMOS x2	0	220pF	0

Table 5.6: Récapitulatif des configurations utilisées pour étudier l'impact de la connexion entre les masses

Sept variations ont été développées : trois sans protection secondaire CDM avec des diodes TB Gated ou STI ou soit un court-circuit (CC) reliant les masses, trois autres identiques mais avec des protections secondaires dédiées au CDM (ggNMOS) et une dernière variante avec les mêmes diodes STI mais des ggNMOS deux fois plus larges que ceux précédemment utilisés. Afin de simplifier l'étude, les autres paramètres, tels que les capacités parasites des domaines de puissance des circuits, restent identiques. Ces configurations ont été réalisées à la fois dans la technologie BICMOS55 et dans la technologie 28FDSOI. Cela permet de confirmer que les observations ne dépendent pas du procédé de fabrication employé. Les circuits de test en BICMOS55 ont été mis dans un boîtier CDIP24 (Ceramic Dual In Package) tandis que les circuits en 28FDSOI utilisent un boîtier LGA65.

Résistance série :

ID	Nom	Connection masses	Protections CDM	Valeur de C_1	Valeur de C_2	Résistance série
4.1	$R_1=100\Omega$	2 diodes Gated TB en série	Abs.	0	272pF	100 Ω
4.2	$R_1=300\Omega$	2 diodes Gated TB en série	Abs.	0	272pF	300 Ω
4.3	$R_1=5k\Omega$	2 diodes Gated TB en série	Abs.	0	272pF	5k Ω

Table 5.7: Récapitulatif des configurations utilisées pour étudier l'impact de la taille du domaine 2

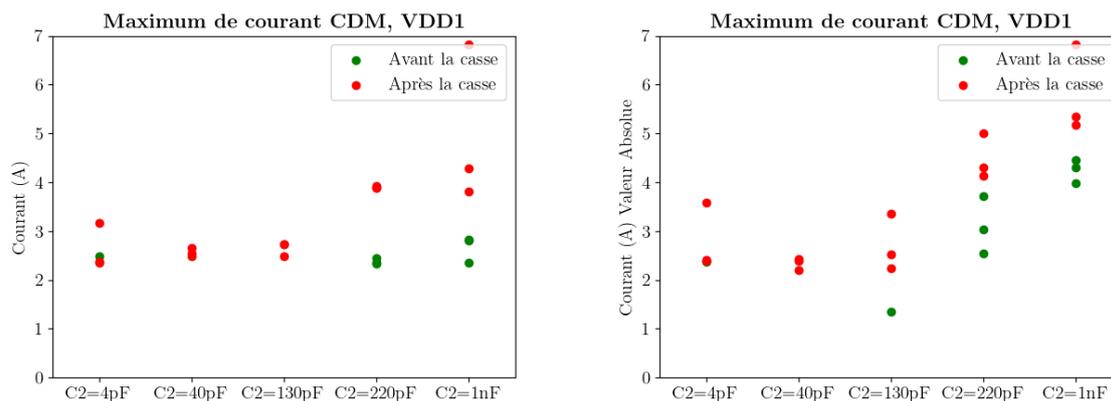
L'utilisation de résistance en série sur l'interconnexion peut permettre de réduire la tension de grille des transistors. Afin de vérifier cela, des circuits de test, présentés sur la Table 5.7, ont été fabriqués dans la technologie 28FDSOI et mis dans un boîtier LGA65.

5.2.3 Résultats

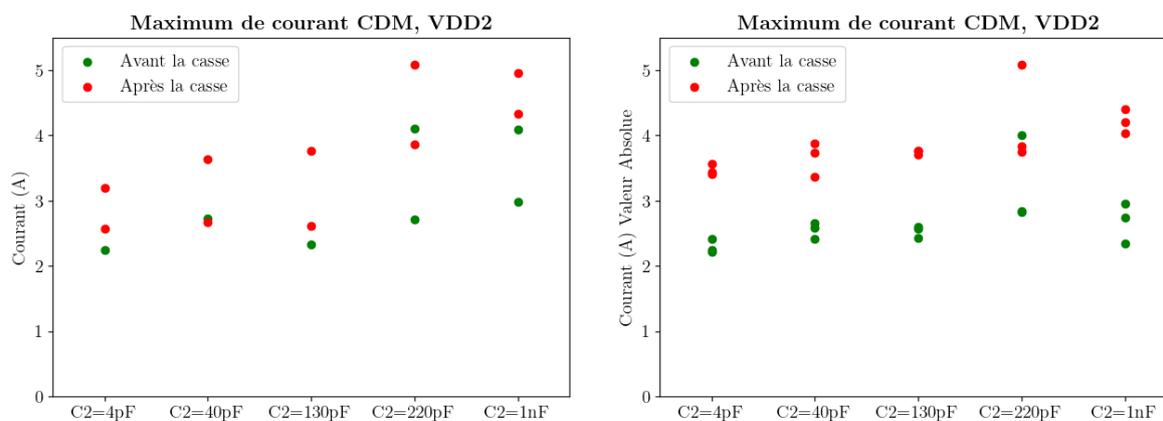
Toutes les variations présentées précédemment ont été testées et simulées selon les procédés présentés dans les Chapitre 3 et 4. L'étude de la casse d'oxyde lors d'une décharge CDM effectuée dans le Chapitre 2 a permis d'établir que la tension de casse des oxydes utilisés est de 7V pour les transistors en BICMOS55 et de 4V pour les transistors en 28FDSOI. Les tests CDM ont été réalisés sur les broches VDD1 et VDD2 des circuits de tests. Cela correspond au pire cas, les circuits étant soumis à des décharges positives et négatives. Les plans GND des circuits étant légèrement moins résistifs que les plans VDD.

5.2.3.1 Taille des circuits

La Figure 5.16 montre les résultats des mesures CDM effectuées sur les circuits présentés sur la Table 5.4.



(a) Mesures CDM sur VDD1 avec une tension de charge positive (b) Mesures CDM sur VDD1 avec une tension de charge négative



(c) Mesures CDM sur VDD2 avec une tension de charge positive (d) Mesures CDM sur VDD2 avec une tension de charge négative

Figure 5.16 : Impact de la taille du domaine 2 sur la robustesse CDM, lorsque le domaine 1 est très petit

Les mesures montrent qu'en cas de décharge de la broche VDD1, l'augmentation de la capacité C_2 augmente la valeur du courant de casse. La Figure 5.18 illustre la tension grille-source du PMOS de l'inverseur du domaine 2 pour les configurations présentées dans la Table 5.4. Les cinq configurations sont soumises à la même décharge CDM. Les simulations montrent que pour un courant de décharge identique, la tension grille source du PMOS dépend de la valeur de C_2 : plus C_2 est grande, plus la tension aux bornes de l'oxyde diminue. Cela confirme les résultats observés lors des mesures CDM. La capacité C_2 de découplage sert de clamp ESD lors de la décharge CDM et permet de diminuer la différence de potentiel à l'interconnexion des domaines.

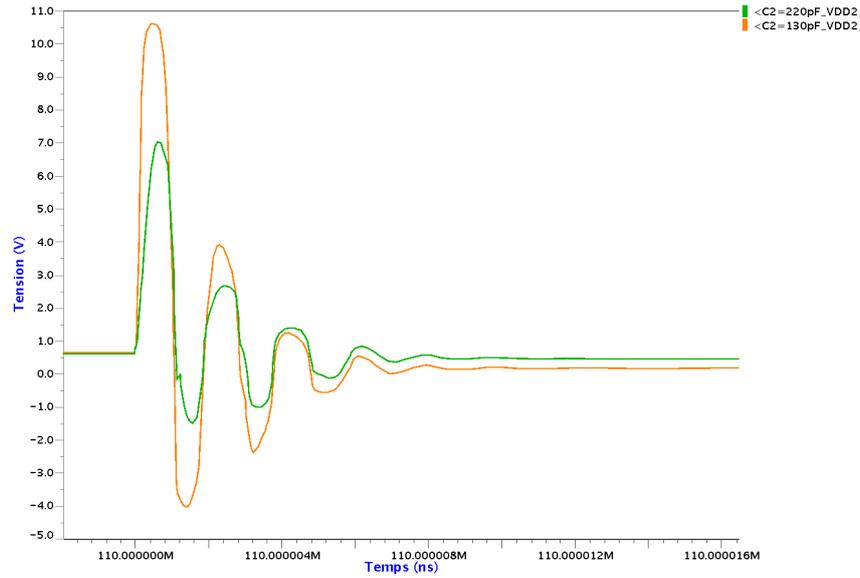


Figure 5.17 : Tension grille-source du transistor M_2 obtenue par simulation en BICMOS55. Décharge de la pin VDD2 avec un courant de décharge CDM de $-4A$.

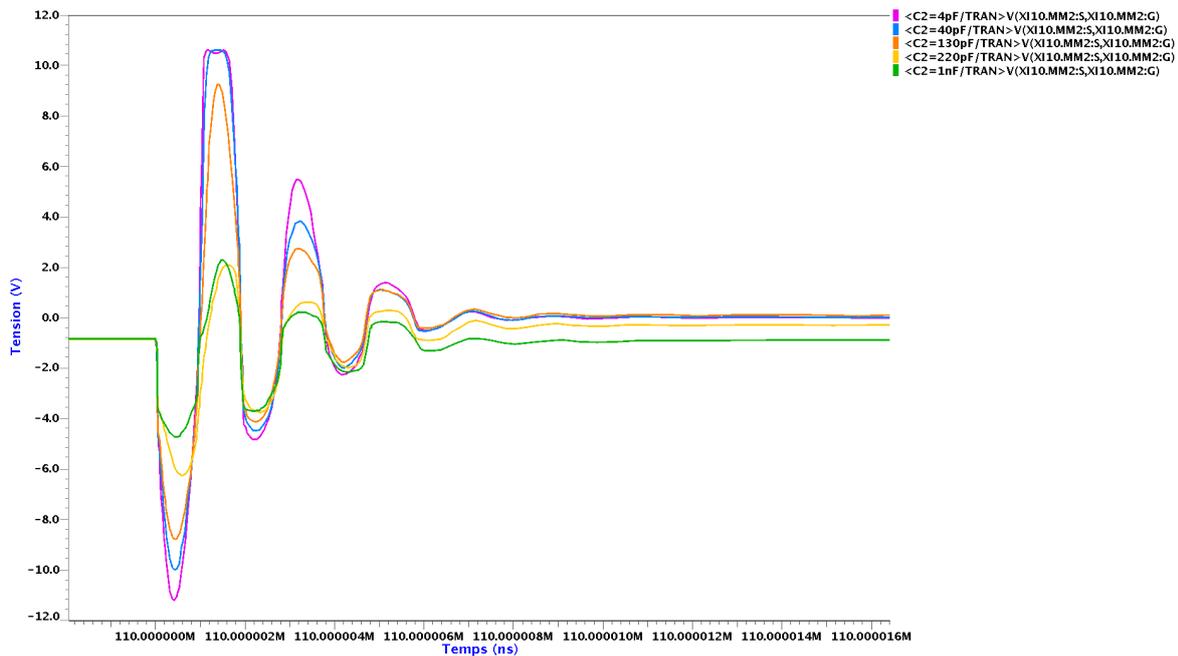
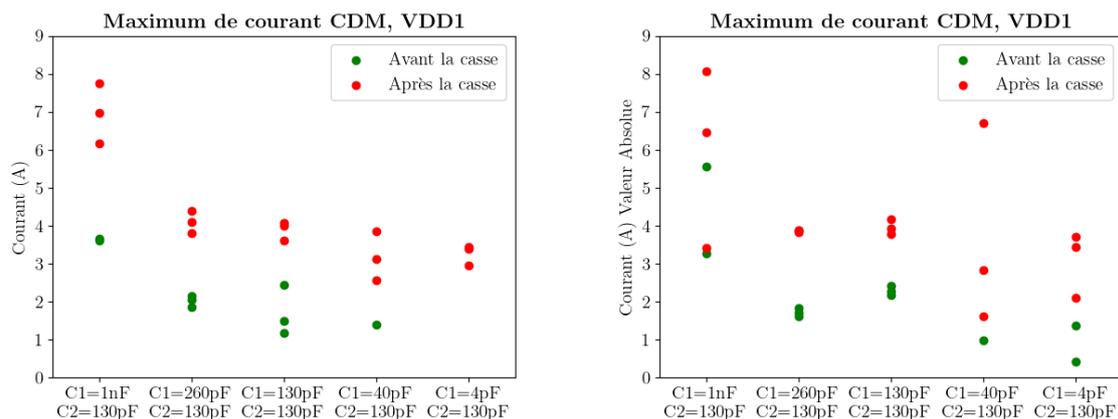


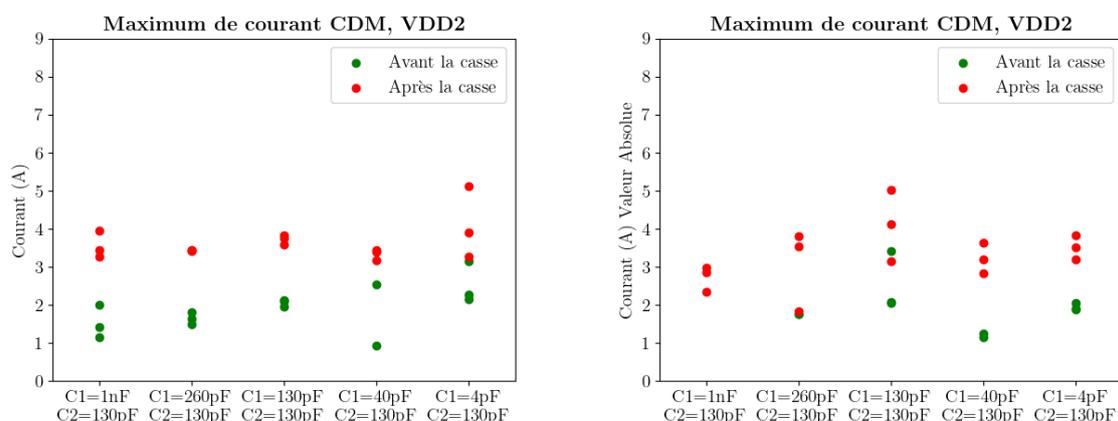
Figure 5.18 : Tension grille-source du transistor M_2 obtenue par simulation en 28FDSOI. Décharge de la pin VDD1 avec un courant de décharge CDM de $-4A$.

Dans le cas d'une décharge de VDD2, l'augmentation de C_2 entraîne aussi une amélioration des performances CDM comme le montre les mesures et les simulations (cf. Figure 5.17).



(a) Mesures CDM sur VDD1 avec une tension de charge positive

(b) Mesures CDM sur VDD1 avec une tension de charge négative



(c) Mesures CDM sur VDD2 avec une tension de charge positive

(d) Mesures CDM sur VDD2 avec une tension de charge négative

 Figure 5.19 : Impact de la variation de C_1 sur la robustesse CDM pour les circuits réalisés en 28FDSOI

La Figure 5.19 montre les résultats des mesures effectués sur les configurations présentées sur la Table 5.5. La valeur de la capacité C_1 a un impact sur la robustesse CDM dans le cas d'une décharge par VDD1.

La Figure 5.20 représente la tension grille-source du PMOS M_2 , lors d'une décharge CDM générant un courant de -2A sur VDD1, des configurations 2.1, 2.2, 2.3, 2.4 et 2.5. L'augmentation de C_1 entraîne effectivement une diminution de la différence de potentiel aux bornes de l'oxyde du transistor.

Pour les décharges par VDD2, les mesures effectuées (cf Figures 5.19c et 5.19d) montrent que les performances CDM des différents circuits sont similaires. L'influence de la valeur de C_1 est donc moindre.

Les mesures et simulations CDM ont montré que la taille du domaine, dans lequel le pin déchargée se trouvait, avait un impact sur le courant de casse de la puce testée.

La taille des domaines d'alimentation a donc bien un impact sur les performances CDM d'un circuit de type I-D. Plus un domaine est grand, plus sa capacité parasite est importante. Cette capacité parasite joue le rôle de capacité de découplage et permet de

protéger le circuit.

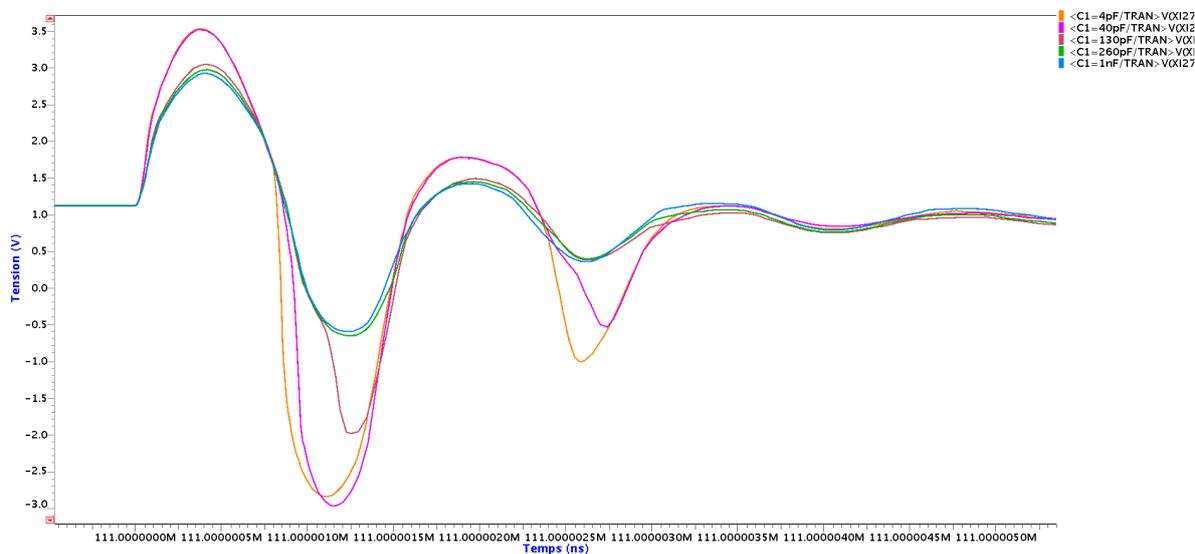
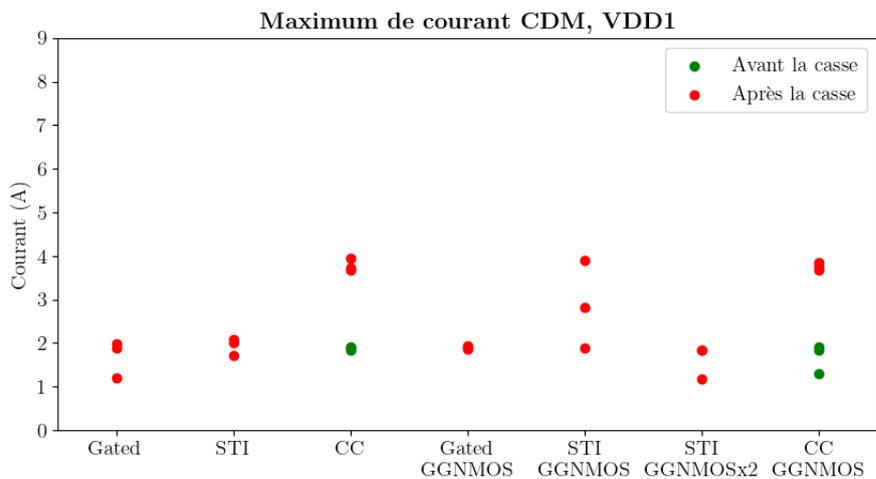
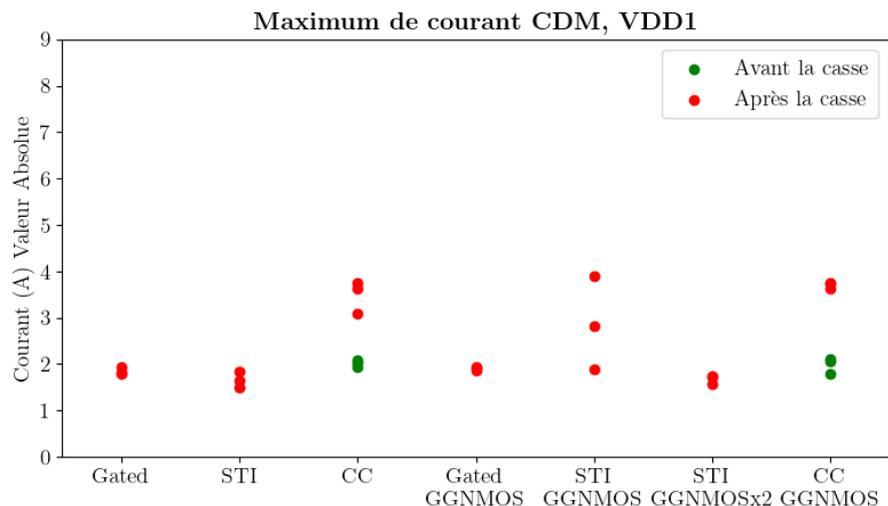


Figure 5.20 : Tension grille-source du transistor M_2 obtenue par simulation en 28FDSOI. Décharge par la pin VDD1 avec un courant de décharge CDM de -2A.

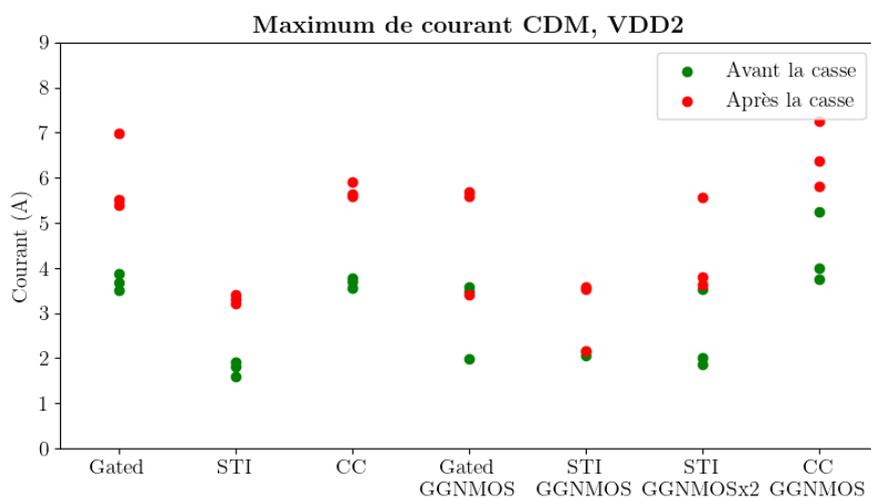
5.2.3.2 Type de connexion entre les masses



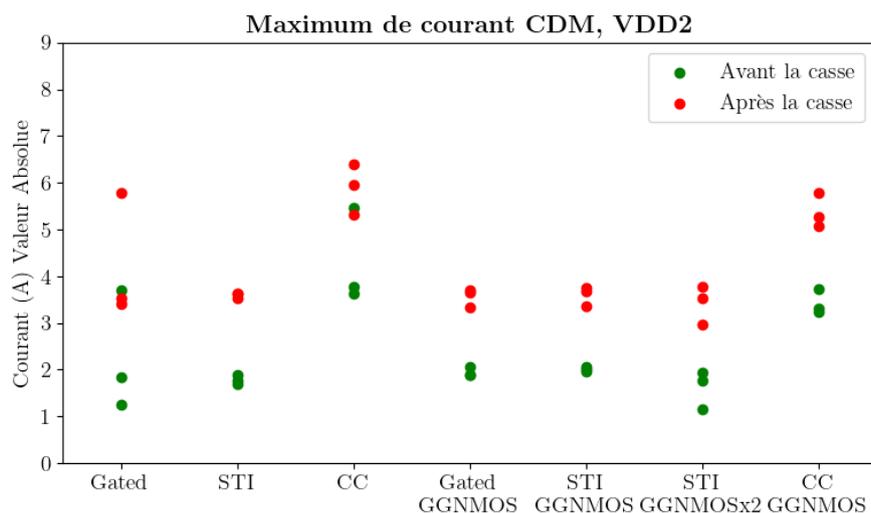
(a) Mesures CDM sur VDD1 avec une tension de charge positive



(b) Mesures CDM sur VDD1 avec une tension de charge négative



(c) Mesures CDM sur VDD2 avec une tension de charge positive



(d) Mesures CDM sur VDD2 avec une tension de charge négative

Figure 5.21 : Impact du type de connexion entre les masse sur la robustesse CDM

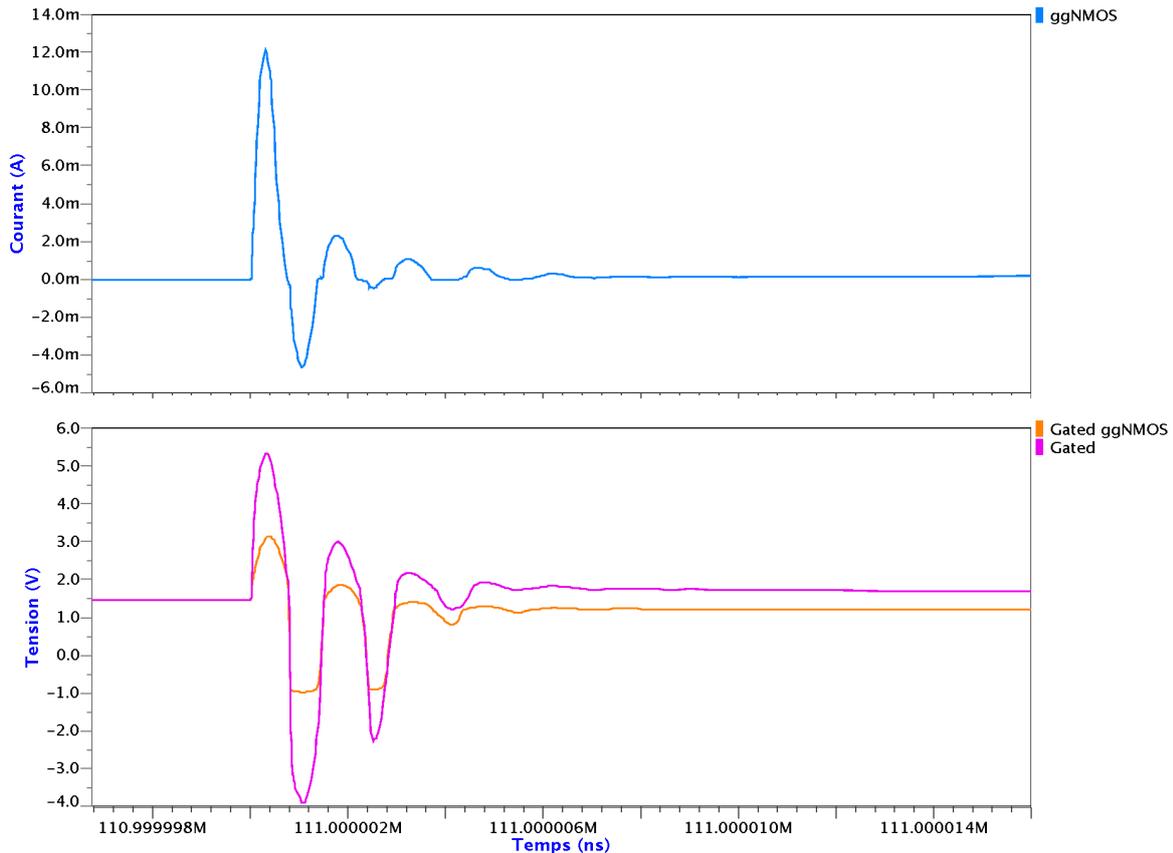


Figure 5.22 : Tension grille-source du transistor M_2 obtenue par simulation en 28FDSOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -2A.

Les résultats de l'étude de la connexion entre les masses en BICMOS55 ont été présentés en partie dans le Chapitre 3 et dans l'article [Tro20].

La Figure 5.21 illustre le courant CDM maximum mesuré pour les configurations en 28FDSOI de la Table 5.6.

Comme pour les mesures effectuées en BICMOS55, les configurations de type masse commune (CC) ont un courant de casse plus élevé que les autres. En effet lors d'un événement CDM, dans un circuit I-D de type CC, la masse constitue un chemin de décharge avec une très faible résistivité, diminuant les différences de potentiel observées entre les deux domaines de puissance. La robustesse CDM relative entre des configurations avec des diodes TB Gated ou STI dépend du temps de montée de la décharge. Pour des temps de montée supérieur à 150ps, les performances CDM seront équivalentes. En revanche pour des temps plus courts, les circuits I-D avec des diodes Gated auront un courant de casse plus élevés, comme le montre la Figure 5.21c.

L'ajout de protection CDM secondaire permet de diminuer la tension grille-source des transistors. Cependant, ces protections secondaires sont de très petites tailles. Elles ont donc souvent un courant de casse très faible. Par exemple, les ggNMOS utilisés en 28FDSOI ont un courant de casse d'environ 10mA. Les mesures montrent que le courant de casse des configurations Gated sont similaires avec ou sans protection CDM secondaire. Des simulations réalisées (cf. Figure 5.22) sur ces configurations ont permis d'observer que

la présence de protection secondaire entraîne effectivement une baisse de la tension aux bornes de l'oxyde à un niveau inférieur à la tension de casse (5V en 28FDSOI). Cependant le courant à travers le ggNMOS de protection est supérieur à 10mA, il est donc dégradé.

Dans le cas des configurations avec des diodes STI, l'ajout d'une protection secondaire CDM comportant des ggNMOS de taille standard entraîne une baisse du courant de casse. Cela est dû au fait que le courant à travers la protection est supérieur à son courant de casse.

Une analyse de casse a permis de confirmer la dégradation de la protection secondaire CDM en BICMOS55 pour la configuration 3_5. La photographie est présentée sur la Figure 5.23

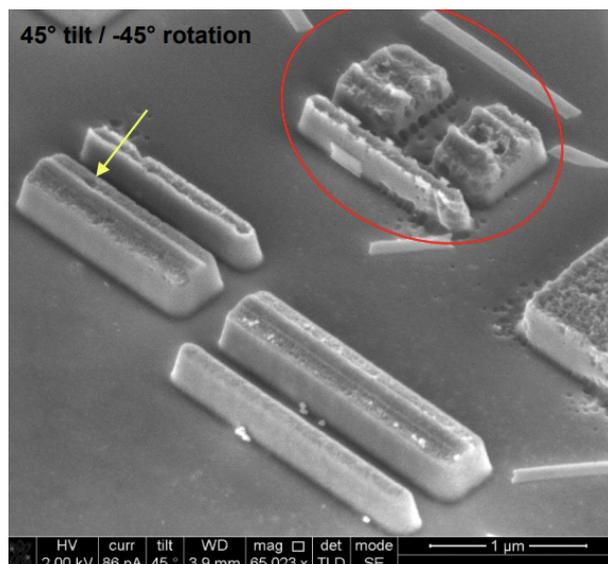


Figure 5.23 : Photographie des ggNMOS (entouré en rouge) dégradés à la suite d'une décharge CDM (+750V sur VDD2) sur le circuit 1_5

Augmenter la taille de la protection CDM utilisée améliore les performances CDM comme le montre le courant de casse de la configuration STI ggNMOSx2, le courant maximum de la protection secondaire étant plus élevé.

Les performances CDM des circuits sont similaires pour des décharges positives et négatives. Cependant, les décharges sur la broche VDD1 engendrent des courants de casse plus faibles que pour celles sur VDD2. Cela s'explique par le fait que le domaine 1 a une capacité C_1 très faible, formée uniquement par les parasites formés par le dessin du circuit contrairement au domaine 2 qui a une capacité C_2 de 220pF.

L'emploi de diodes Gated permet aussi d'augmenter la robustesse CDM par rapport aux diodes STI.

Pour toutes les configurations réalisées, les résistances parasites entre les transistors à protéger et les clamps ESD ont été minimisées. La valeurs des ces résistances est importante car elle impacte les tensions aux bornes des oxydes, comme le montre la Figure 5.24.

L'étude de l'impact du type de connexion entre les masses montre que les cas avec des masses communes diminuent considérablement la tension aux bornes des oxydes à protéger. L'utilisation de diodes tête-bêches Gated est préférable aux diodes STI. L'emploi de protection CDM secondaire permet de faire décroître la tension de grille-source, à

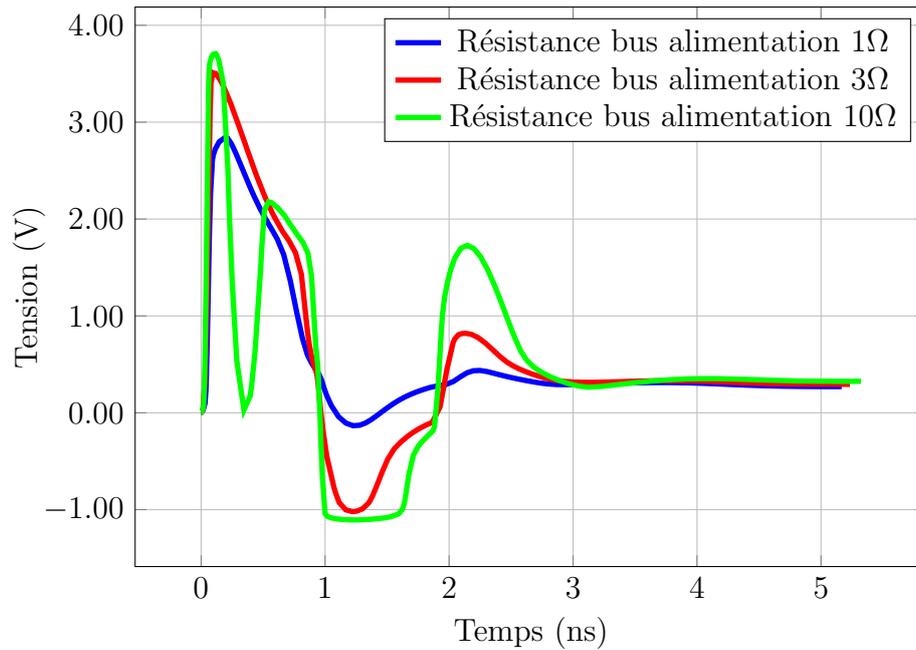
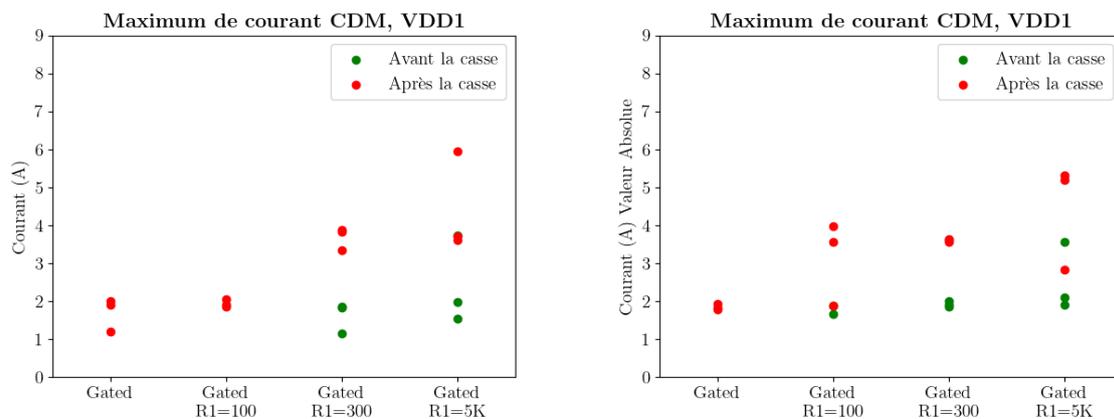


Figure 5.24 : Variation de la tension de grille du NMOS M_0 en fonction de la résistance des bus d'alimentation. Obtenue par simulation de la configuration CC en BICMOS55 pour une tension de charge de 500V.

condition d'être bien dimensionnée pour ne pas causer une casse prématurée des circuits (courant trop important dans la protection secondaire).

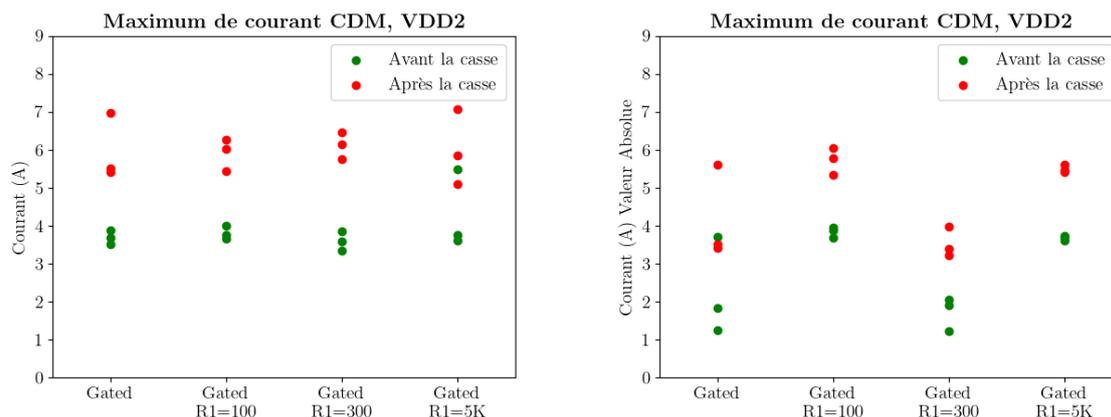
5.2.3.3 Résistance série

L'influence de l'ajout d'une résistance série de grille de transistor à protéger est analysée dans cette partie. La Figure 5.25 montre les résultats des mesures CDM effectuées sur les configurations présentées sur la Table 5.7.



(a) Mesures CDM sur VDD1 avec une tension de charge positive

(b) Mesures CDM sur VDD1 avec une tension de charge négative



(c) Mesures CDM sur VDD2 avec une tension de charge positive

(d) Mesures CDM sur VDD2 avec une tension de charge négative

Figure 5.25 : Impact de la variation de C_1 sur la robustesse CDM pour les circuits réalisés en 28FDSOI

Pour rappel, chacune de ces configurations a des capacités C_1 et C_2 respectivement égales à 0 et 272pF. Les mesures montrent que dans le cas d'une décharge de VDD1, l'ajout d'une résistance augmente la robustesse CDM et l'augmentation de cette valeur de résistance améliore les performances CDM.

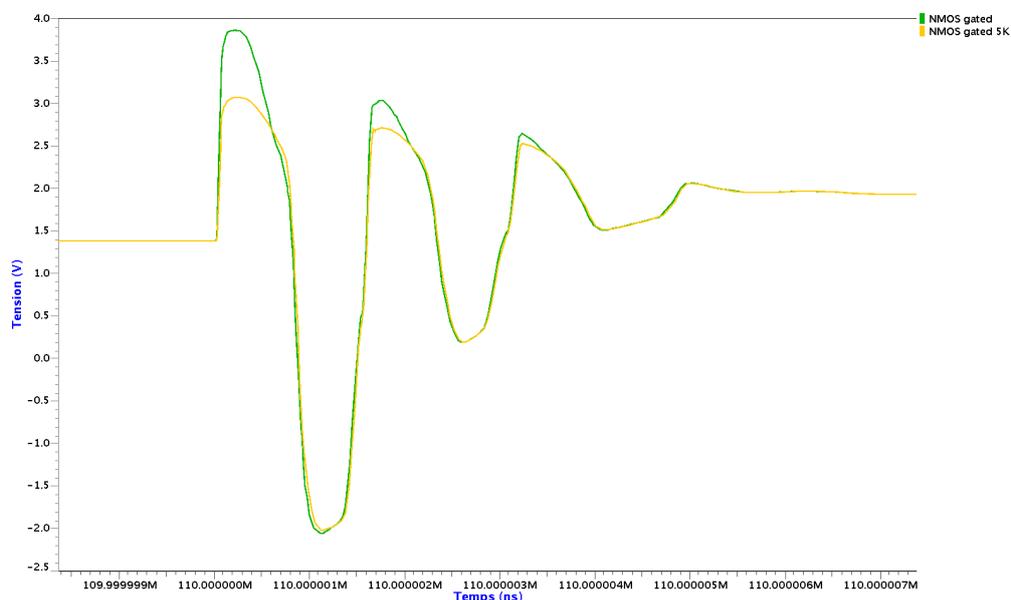


Figure 5.26 : Tension grille-source du transistor M_0 obtenue par simulation en 28FDSOI. Décharge de la pin VDD1 avec un courant de décharge CDM de -1.6A.

Les simulations réalisées et présentées sur la Figure 5.26 confirment les résultats observés sur les mesures.

Dans le cas d'une décharge par VDD2, les courants de casse mesurés sont similaires pour toutes les configurations étudiées.

En résumé l'emploi d'une résistance en série permet d'accroître la robustesse CDM en limitant la tension aux bornes du transistor à protéger lors d'une configuration de type inter-domaine.

L'étude des circuits de type I-D s'est intéressée à l'influence de la taille des circuits, du type de connexion entre les masses et des résistances en série de l'interconnexion. Les transistors utilisés étaient de même taille et avec une seule taille d'oxyde. Pour la suite de ses travaux, il serait pertinent d'évaluer l'impact de l'épaisseur de oxyde sur la robustesse CDM, avec par exemple des I-D GO1 vers GO2 et GO2 vers GO1. Il serait aussi intéressant d'évaluer l'influence du placement de la protection secondaire.

5.2.4 Recommandations

L'analyse des circuits de type I-D a permis d'établir les recommandations suivantes :

- Dans le cas de configurations I-D avec une masse commune (résistance parasite sur GND entre les deux inverseurs faible), l'ajout de protection secondaire CDM n'est pas nécessaire,
- Privilégier l'utilisation des diodes TB Gated lorsqu'il n'est pas possible d'avoir une masse commune,
- Ajouter des protections aux interconnexions pour des domaines de puissance de petite taille,
- Minimiser la résistance parasite entre les protections ESD et les transistors à protéger,
- Rajouter une impédance série.

Le contexte de faiblesse CDM de type I-D a été analysé. Cela a été réalisé grâce à l'étude de circuits de test illustrant des situations d'I-D simplifiées étudiant l'impact de certains paramètres tels que la taille des domaines d'alimentation ou le type de connexion entre les masses sur la robustesse CDM des configurations.

Après s'être intéressé aux contextes de faiblesse CDM les plus courants, le reste du chapitre est centré sur l'étude des trois types de configuration restant. Ils sont à l'origine d'une part moins importants de défauts à la suite d'une décharge CDM. Ils seront étudiés par fréquence d'apparition. Il n'a pas été possible de trouver d'étude pour ces trois catégories de circuit.

5.3 Grille à porte passante

Les transistors à porte passante permettent d'isoler deux parties de circuit. Ils peuvent être utilisés entre un plot d'entrée-sortie et un inverseur. Ils jouent le rôle d'interrupteur. Les transistors PG sont en général commandés en tension par un circuit logique situé dans un autre domaine d'alimentation. Le transistor PG est donc une interconnexion entre deux domaines d'alimentation ainsi qu'une connexion à un plot d'entrée-sortie. La Figure 5.27 illustre une situation de type PG simplifiée.

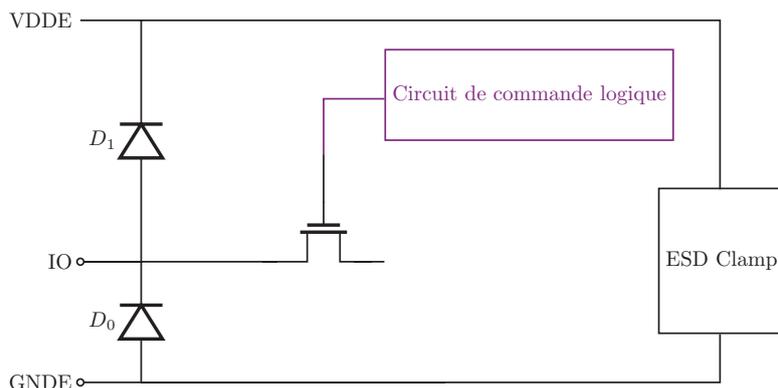


Figure 5.27 : Schéma de principe d'une configuration PG

Lors d'une décharge CDM de la pin IO sur la Figure 5.27, la source du transistor PG est connectée à la masse, tandis que la grille du transistor est reliée à un autre domaine d'alimentation encore chargé. Une différence de potentiel importante peut donc apparaître entre la grille et la source du transistor, entraînant la dégradation de l'oxyde et donc du circuit.

5.3.1 Circuit de test

Afin d'étudier le comportement de ce type de circuit lors d'un événement CDM, des circuits de test ont été réalisés. Pour réduire le nombre de configurations conçues, il a été choisi de ne s'intéresser qu'à l'impact du type de transistor PG utilisé et au nombre de protections secondaires CDM employées. Tous les transistors PG ont la même dimension. La Figure 5.28 illustre le schéma des configurations fabriquées.

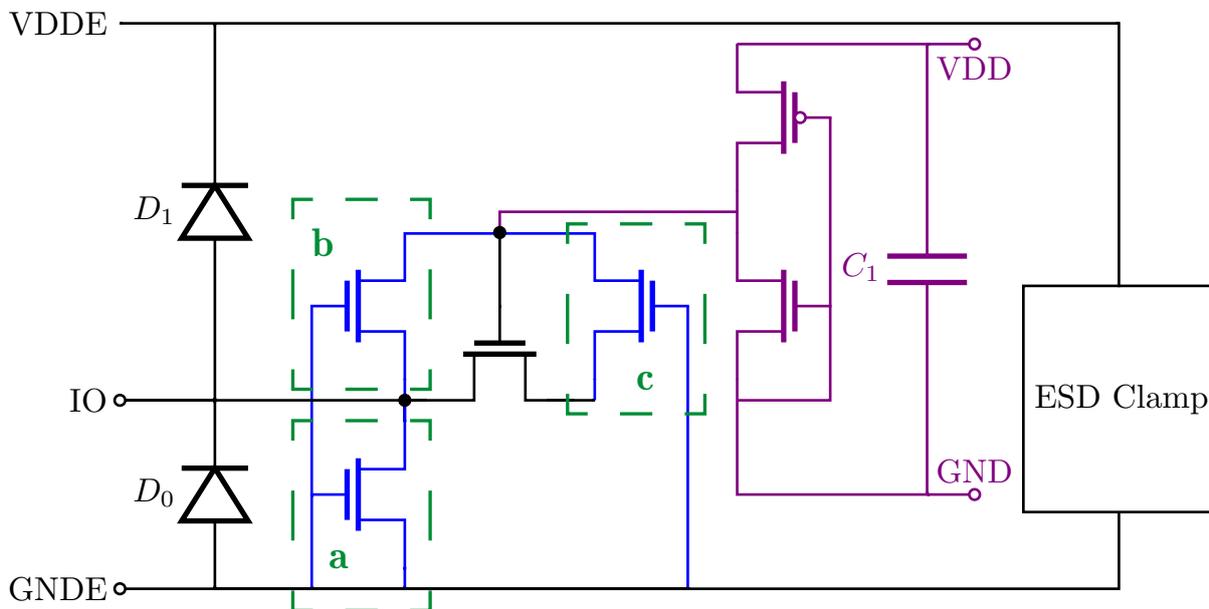


Figure 5.28 : Schéma de principe d'un circuit PG avec protection CDM secondaire

Tous les circuits de test sont composés de protections ESD primaires : deux diodes STI D_0 et D_1 et d'un clamp ESD, d'un transistor PG, d'un inverseur dans un second domaine

de puissance pour le contrôle de la grille, et d'une capacité de découplage C_1 pour émuler le reste du domaine digital. Des protections CDM secondaires (ggNMOS) notée a, b et c peuvent être ajoutées au circuit. Des diodes TB (non représentées sur le schéma) relient les masses des deux domaines d'alimentation.

La Table 5.8 récapitule les circuits de test réalisés pour l'étude CDM de ce type de configuration considérée à risque.

ID	Nom	Taille Oxyde	Transistor	CDM a	CDM b	CDM c
1	Témoin	GO1	N	X	X	X
2	Témoin GO2	GO2	N	X	X	X
3	AB	GO1	N	X	X	Abs.
4	AB GO2	GO2	N	X	X	Abs.
5	AC	GO1	N	X	Abs.	X
6	AC GO2	GO2	N	X	Abs.	X
7	BC	GO1	N	Abs.	X	X
8	BC GO2	GO2	N	Abs.	X	X
9	A	GO1	N	X	Abs.	Abs.
10	A GO2	GO2	N	X	Abs.	Abs.
11	B	GO1	N	Abs.	X	Abs.
12	B GO2	GO2	N	Abs.	X	Abs.
13	C	GO1	N	Abs.	Abs.	X
14	C GO2	GO2	N	Abs.	Abs.	X
15	Sans CDM	GO1	N	Abs.	Abs.	Abs.
16	Sans CDM GO2	GO2	N	Abs.	Abs.	Abs.
17	P	GO1	P	Abs.	Abs.	Abs.
18	P GO2	GO2	P	Abs.	Abs.	Abs.
19	NP	GO1	N et P	Abs.	Abs.	Abs.
20	NP GO2	GO2	N et P	Abs.	Abs.	Abs.

Table 5.8: Récapitulatif des configurations de type porte passante

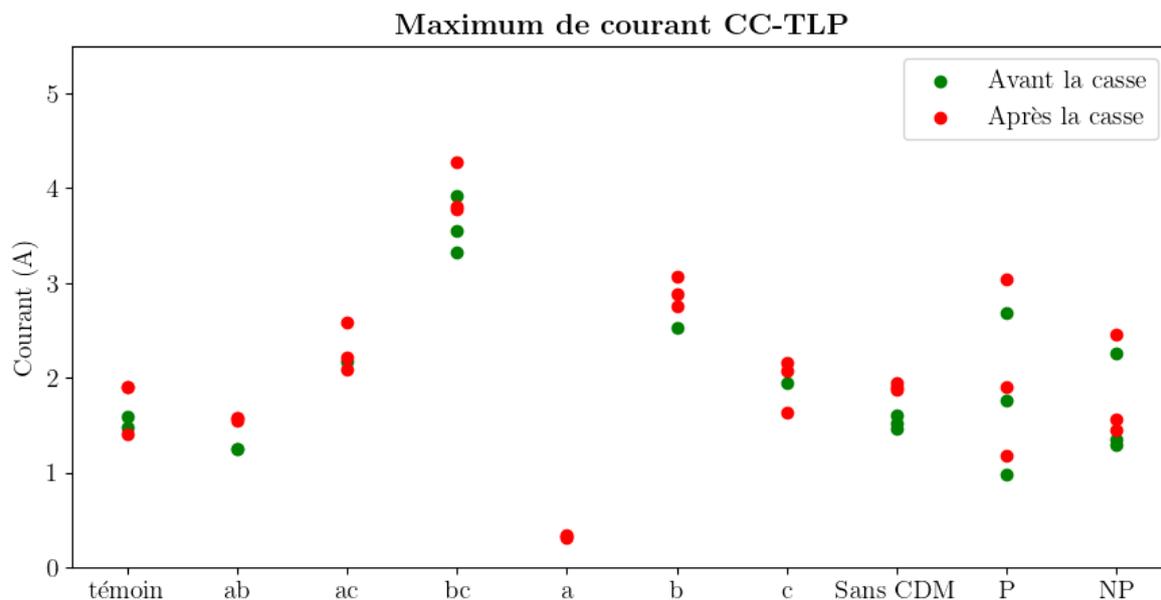
Tous les circuits ont été conçus avec des transistors GO1 (oxyde fin) et GO2 (oxyde plus épais). Le premier paramètre d'étude est le nombre de protections secondaires employées. Toutes les combinaisons des protection a, b et c possibles ont été implémentées. Puis l'impact du type de transistor PG (NMOS, PMOS ou NMOS et PMOS) a été étudié. Dans le cas de la version NMOS et PMOS, un second inverseur est ajouté au circuit de logique pour commander le PMOS et le NMOS simultanément.

Tous les circuits ont été faits dans la technologie CMOS40. Afin de réduire le temps de fabrication, les tests ont été réalisés directement sur plaque de silicium grâce au banc de test CC-TLP sur plaque de silicium. Le protocole de test utilisé est celui décrit dans le Chapitre 4. Le temps de montée choisi est de 100ps afin de voir l'impact de la surtension lié au déclenchement des diodes STI.

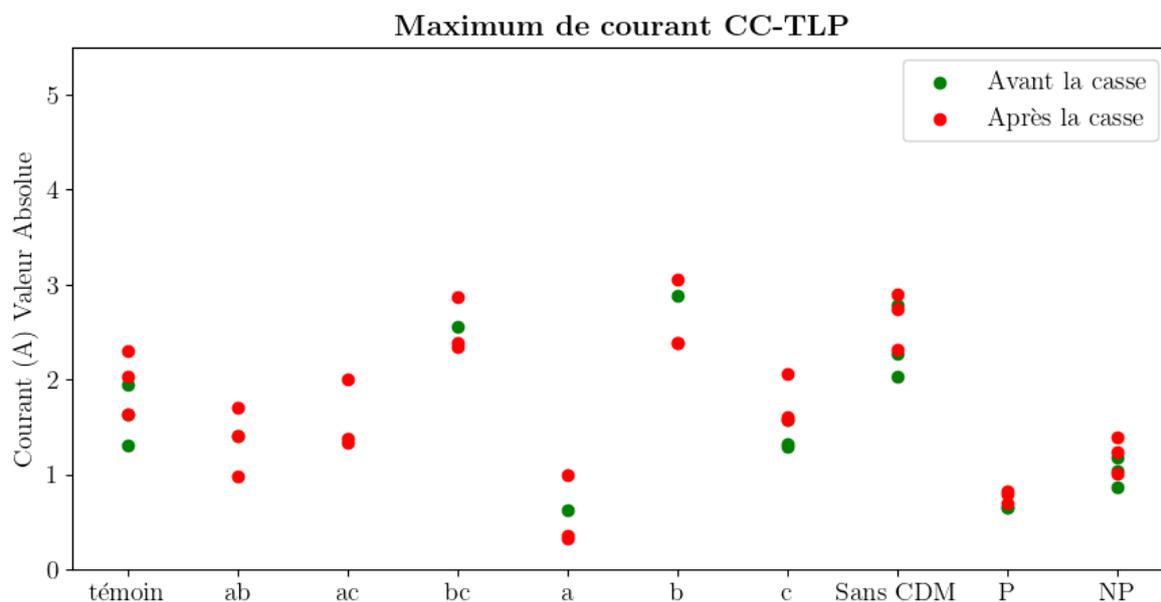
5.3.2 Résultats

Les résultats des mesures CC-TLP sont présentés sur la Figure 5.29 pour les configurations GO1.

Il n'est pas possible d'observer de différence entre les performances CDM des circuits CDM GO1 et GO2.

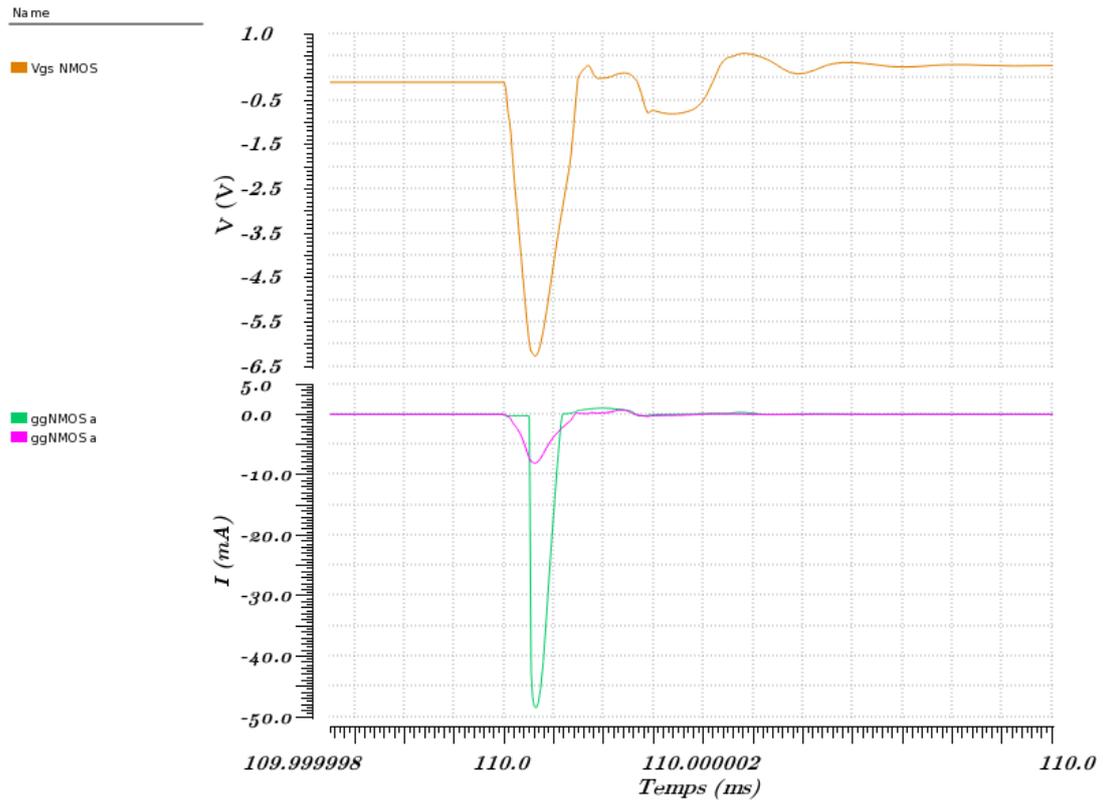


(a) Mesures CC-TP sur IO avec une tension de charge positive



(b) Mesures CC-TLP sur IO avec une tension de charge négative

Figure 5.29 : Résultats des mesures CC-TLP effectuées sur les configurations de test PG en GO1.



(a) Configuration ab

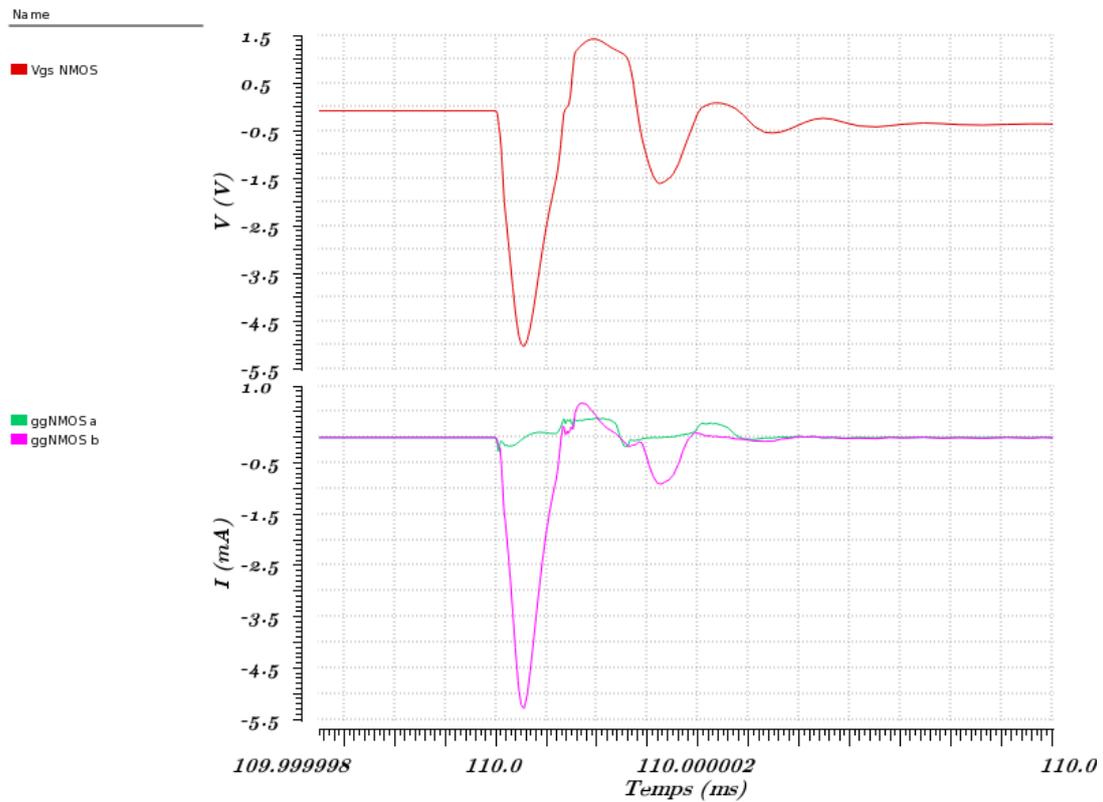
(b) Configuration ab avec une résistance série de 300Ω

Figure 5.30 : Simulation du courant à travers les protections CDM ggNMOS a et b de la configuration ab, avec ou sans résistance série, courant de décharge de -900mA sur IO.

Les mesures de courant de casse montrent que les configurations de test comportant la protection CDM secondaire a sont moins robustes que les autres. Cela est dû à la dégradation du ggNMOS. Comme le montre les simulations effectuées sur la Figure 5.30a, le courant à travers la protection a est supérieur au courant de casse du ggNMOS (40mA). L'ajout d'une résistance en série ou l'utilisation d'un ggNMOS de plus grande taille permettrait d'améliorer la robustesse de ces configurations (cf Figure 5.30b). Les configurations nommées BC et B ont les meilleures performances CDM suivi des configurations C. L'ajout de protection entre la source ou le drain et la grille du transistor PG permet d'améliorer les performances CDM. Les simulations montrent que les protections CDM secondaires permettent de diminuer la tension aux bornes de l'oxyde du PG.

Le type de transistor ne semblent pas impacter les performances CDM des circuits étudiés. Les protections CDM secondaires utilisées ont le même courant de casse de 40mA.

Durant cette étude des circuits de test PG, plusieurs aspects n'ont pas été traités, comme l'impact du circuit relié au drain du PG. Les circuits PG étudiés correspondaient à la fois à un I-D et GTP. Il serait pertinent d'observer le comportement des circuits lorsque le circuit de commande de la grille du PG est dans le même domaine que le PG, ou dans le cas où le PG n'est pas directement connecté à une entrée-sortie. Il serait intéressant dans le futur de développer de nouveaux circuits de test permettant d'analyser l'influence de ces configurations sur les performances CDM des circuits.

5.3.3 Recommandations

L'analyse des circuits de type PG a permis d'établir les recommandations suivantes :

- L'utilisation de ggNMOS entre la grille et la source et entre la grille augmente la robustesse CDM
- Il faut impérativement ajouter une résistance en série si un ggNMOS est placé entre la source et le rail de masse

Le contexte de robustesse faible CDM de type PG a été étudié, cela a permis de mettre en évidence l'importance de l'utilisation de protection CDM secondaire adaptée dans ce type de circuit. Le prochain contexte de défaut à analyser est le contexte Longue Ligne.

5.4 Longue ligne

Le quatrième type de configuration considérée à risque est appelé longue ligne ou LL. Il apparait lorsqu'il existe une longue connexion entre deux parties, par exemple deux inverseurs, d'un même domaine de puissance. Cette longue connexion ou longue ligne constitue une ligne de retard parasite qui peut entraîner une casse d'oxyde.

La ligne de retard peut être modélisée par un circuit RLC, avec R la résistance parasite de la ligne, L son inductance et C la capacité parasite formée entre la ligne et le plateau de charge du testeur CDM ou CC-TLP.

Les valeurs des parasites de cette LL vont influencer la différence de potentiel observée aux bornes des oxydes au bout de la connexion.

5.4.1 Circuit de test

Pour étudier le comportement de ce type de circuit lors d'un événement CDM, des circuits de tests ont été réalisés. Il a été choisi d'étudier plusieurs paramètres : le nombre de clamps ESD utilisés ainsi que leurs positions, la présence de protections CDM et leur taille, la longueur de la ligne ainsi que son placement au sein du circuit. Le schéma des circuits de test utilisé est présenté sur la Figure 5.31.

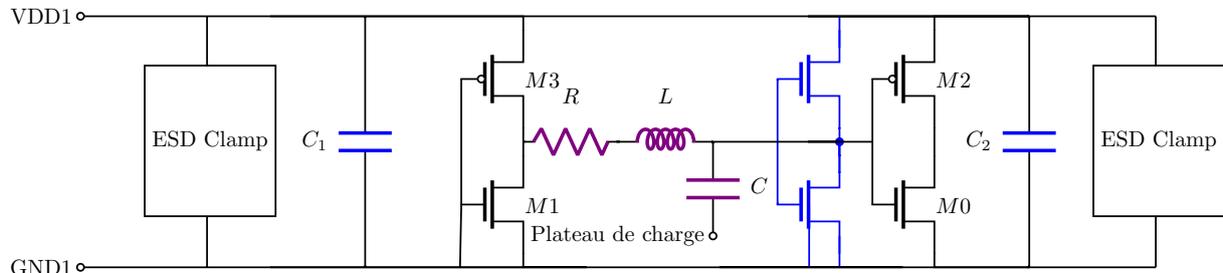


Figure 5.31 : Schéma de principe standard (STD) d'un circuit LL avec protection CDM secondaire

Les circuits ont été réalisés dans la technologie CMOS40. Les tensions de casse d'oxyde des transistors utilisées sont autour de 5.5-6V (cf Chapitre 2). Des simulations préliminaires ont été réalisées pour déterminer une taille de ligne permettant d'obtenir une casse d'oxyde des transistors. La longueur trouvée est 12mm ce qui correspond à une longueur de ligne très grande.

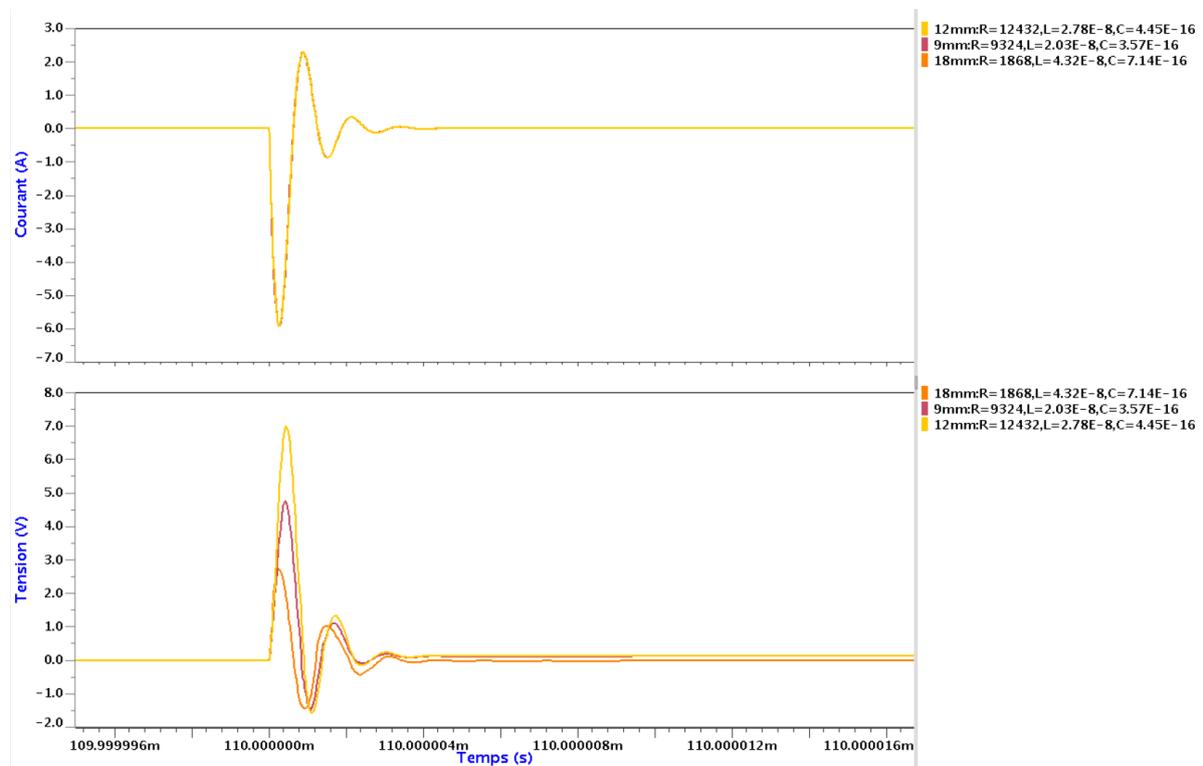


Figure 5.32 : Simulation préliminaire LL réalisée sur un circuit de test sans protection CDM secondaire.

La Figure 5.32 illustre les simulations réalisées pour plusieurs tailles de lignes : 9.6mm, 12mm et 18mm. Pour réaliser les simulations, les parasites de la ligne ont été estimés en tenant compte des spécificités de la technologie CMOS40. Les valeurs de R sont respectivement : $9.3\text{k}\Omega$, $12.4\text{k}\Omega$ et $18.6\text{k}\Omega$, de L : 20.3nH , 27.8nH , 43.2nH , et de C : 0.357fF , 0.445fF et 0.714fF . La valeur de C dépend de la distance avec le plateau de charge et des matériaux de la technologie et du boîtier. Elle est néanmoins proportionnelle à la surface métallique de la ligne. Les simulations montrent que la tension de grille du transistor M_0 est la plus élevée pour la configuration 12mm. Cela peut s'expliquer par le fait que le gain du filtre passe bas formé par le circuit RLC est plus grand pour la valeur 12mm que pour les autres valeurs.

La Table 5.9 résume les circuits de test fabriqués et leurs caractéristiques, selon les paramètres de lignes trouvés ci-dessus.

Tous les circuits développés ont une version avec et sans protection secondaire CDM. L'impact du nombre de clamps ESD et de leur placement est analysé grâce aux configurations 1 à 6. La configuration 7 permet d'analyser l'influence de la taille de la protection sur la robustesse CDM. Les configurations 8 et 9 permettent de confirmer les résultats trouvés par simulation sur l'impact de la taille de la LL. Les configurations 10 et 11 servent à mettre en évidence l'influence du lieu de la LL sur les performances CDM. Pour cela, la capacité C_2 et le clamp ESD (à droite sur le schéma) sont remplacés par des diodes STI primaires entre la sortie de l'inverseur et VDD1 et entre la sortie de l'inverseur et le GND1 (cf. Figure 5.33).

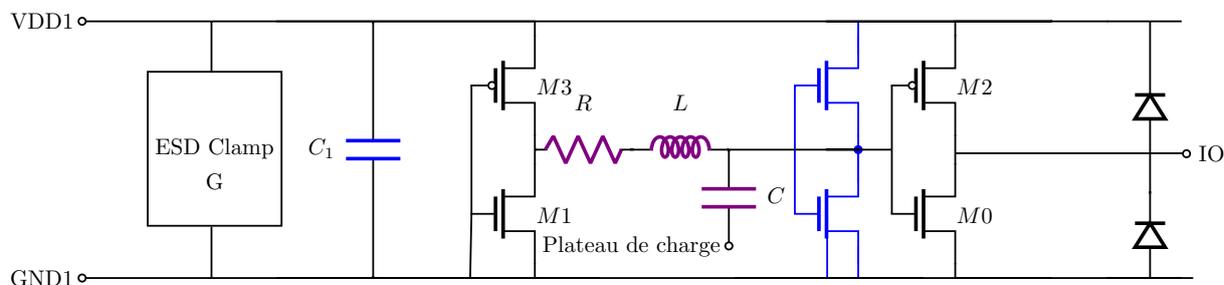


Figure 5.33 : Schéma de principe Entrée-Sortie (E/S) d'un circuit LL avec protection CDM secondaire

ID	Nom	Clamps	Protection CDM	Longueur ligne	Disposition
1	Deux clamps	2	Abs.	12mm	STD
2	Deux clamps + prot. CDM	2	GGNMOS	12mm	STD
3	Clamp G	Gauche	Abs.	12mm	STD
4	Clamp G + prot. CDM	Gauche	GGNMOS	12mm	STD
5	Clamp D	Droit	Abs.	12mm	STD
6	Clamp D + prot. CDM	Droit	GGNMOS	12mm	STD
7	Deux clamps + prot CDM grande	2	GGNMOS, largeur x4	12mm	STD
8	Deux clamps x=0.8	2	Abs.	9.6mm	STD
9	Deux clamps x=1.5	2	Abs.	18mm	STD
10	E/S	1	Abs.	12mm	E/S
11	E/S + prot CDM	1	GGNMOS	12mm	E/S

Table 5.9: Récapitulatif des configurations de type longue ligne

Les circuits de test ont été conçus et fabriqués dans la technologie CMOS40. Comme lors de l'étude des circuits PG, les tests ont été réalisés sur un banc de test CC-TLP directement sur la plaque de silicium. Les mesures ont été réalisées suivant le protocole présenté dans le Chapitre 3.

Toutes les configurations conçues ont une résistance parasite sur les lignes d'alimentation très faibles. Lorsque ces résistances parasites sont élevées, la chute de tension sur ces lignes transforme les configurations LL en configuration de type I-D.

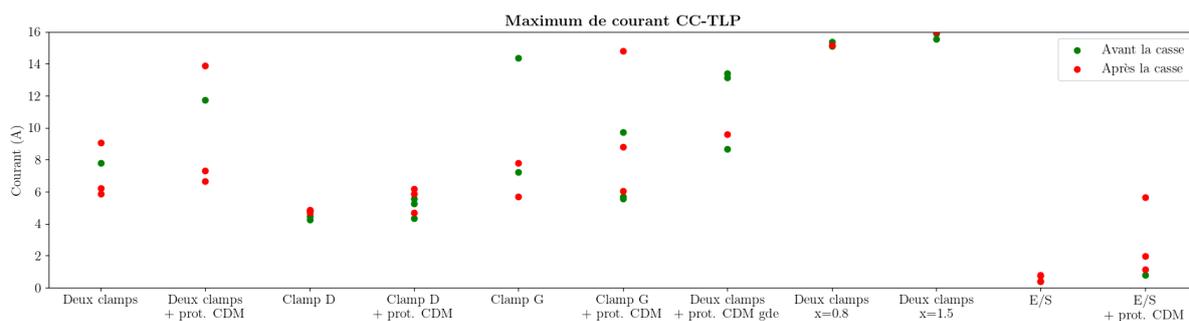
5.4.2 Résultats

La Figure 5.34 présente les courants de casse mesurés lors des tests CC-TLP.

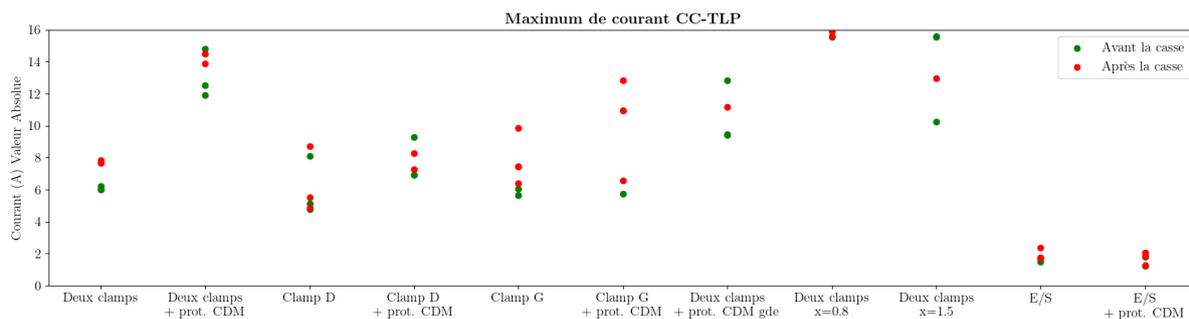
Le placement et le nombre de clamps ESD sans protection CDM secondaire n'impactent pas la robustesse CDM des circuits. En effet, la résistance parasite des rails d'alimentation est faible. Cela est confirmé par les résultats de simulation présentés sur la Figure 5.35.

Les résultats montrent que l'ajout d'une protection CDM secondaire permet d'améliorer les performances CDM. Le nombre de clamps utilisé et leur positionnement n'impacte pas la robustesse CDM des circuits. Cela est dû au fait que pour toutes les configurations utilisées, la résistance parasite sur les plans VDD1 et GND1 est très faible.

L'utilisation d'une protection CDM de plus grande taille augmente le courant de casse CDM il passe de 6A (Configuration 1) à 10A (Configuration 7).



(a) Mesures CC-TLP sur VDD avec une tension de charge positive



(b) Mesures CC-TLP sur VDD avec une tension de charge négative

Figure 5.34 : Résultats des mesures CC-TLP effectuées sur les configurations de test LL.

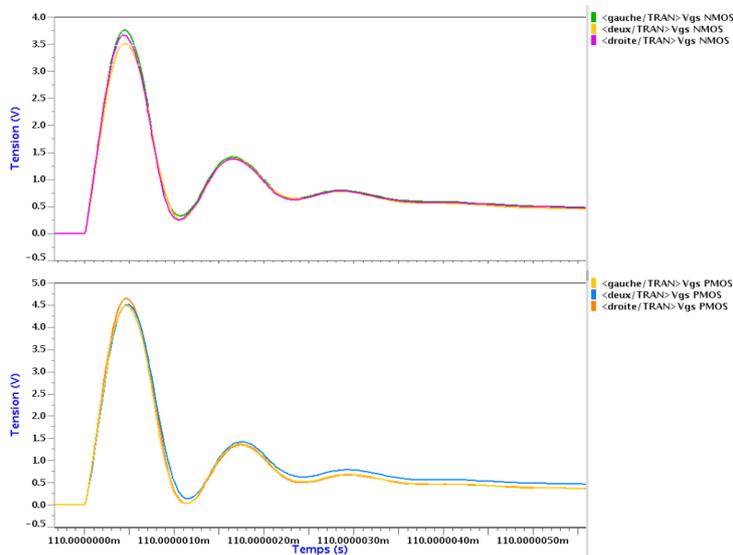


Figure 5.35 : Simulation de la tension grille-source des transistors M_2 et M_0 pour une décharge CDM de 4A des configurations 1, 3 et 5

Il est difficile de déterminer l'influence de la longueur de la ligne sur la robustesse CDM. En effet la configuration avec une ligne de 9mm a un courant de casse plus élevé (15A vs 6A) mais la configuration avec une ligne de 18mm a aussi un courant de casse plus élevé (13A vs 6A). La valeur du courant de casse dépend de la capacité parasite formée entre la longue ligne et le bras CC-TLP (cf. Figure 5.32). Il serait intéressant de modifier cette

capacité parasite pour vérifier son impact sur la robustesse CDM des circuits, ainsi que le placement du bras CC-TLP par rapport au circuit (trou dans la plaque pour la pointe comme le montre la Figure 5.36). Des études complémentaires sont en cours.

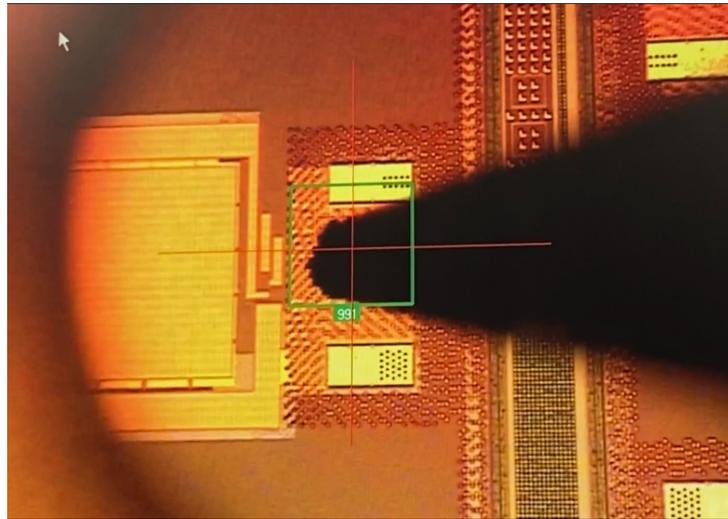


Figure 5.36 : Photographie du trou dans la plaque du bras CC-TLP

5.4.3 Recommandations

L'analyse des résultats obtenus a permis d'établir les recommandations suivantes :

- la longueur de ligne nécessaire pour observer une défaillance CDM est très grande
- un seul clamp ESD est nécessaire, si la résistance parasite des rails d'alimentation est faible
- l'ajout de protection secondaire CDM augmente les performances CDM.

L'étude des configurations de type LL a permis de mettre en évidence que l'apparition dans ce type de circuit à la suite d'une décharge CDM nécessite une longueur d'interconnexion de quelques millimètres. Ce cas est très rare dans la pratique.

Ce type de configuration est donc peu probable dans un circuit ce qui explique le fait que peu de publications scientifiques en parlent. Il existe une dernière localisation sensible qui n'est reporté que par STMicroelectronics. Il s'agit des îlots capacitifs. Cette étude est réalisée dans le paragraphe ci-dessous.

5.5 Ilot capacitif

La Figure 5.37 illustre un circuit de type Ilot Capacitif (ICap). Dans un circuit où deux transistors de même type sont mis en série, il peut exister un point mémoire. Dans le cas où la connexion entre les deux NMOS M_1 et M_3 est très grande, une capacité parasite avec le plan de masse du circuit peut-être formée. Le schéma est présenté dans la Figure 5.37 et montre également des diodes parasites formées par les jonctions PN des transistors. Les prises substrat des transistors sont reliées à GND. Lors d'une décharge CDM positive, les charges stockées par la capacité métallique peuvent être évacuées du circuit puisque

les diodes parasites sont passantes. En revanche lors d'une décharge négative, les charges emmagasinées sont piégées par ces mêmes diodes qui sont bloquées. La tension au borne du transistor M_3 augmente jusqu'au déclenchement du transistor bipolaire parasite de M_3 . Si la quantité de charge stockée est trop importante, cela peut entraîner la dégradation du transistor supérieur puisque son courant de casse sera atteint.

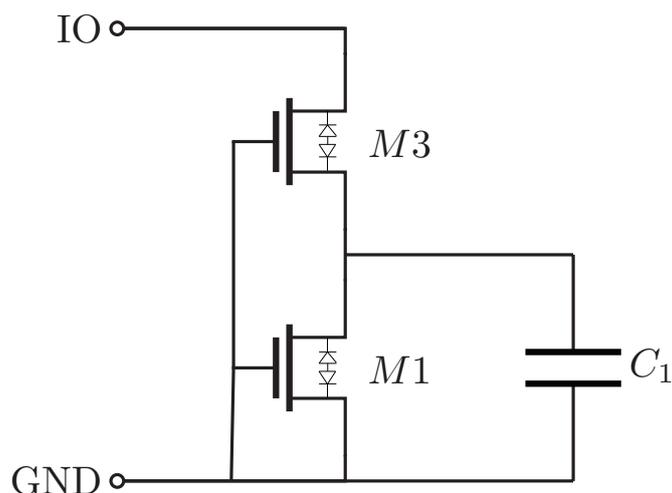


Figure 5.37 : Schéma de principe d'une capacité isolée

Très peu d'articles mettent en évidence ce type de défaut à la suite d'un événement CDM [Gal10]. Il est donc nécessaire de déterminer s'il est pertinent de protéger les circuits comportant ce type de configuration.

5.5.1 Circuit de test

La Figure 5.38 présente les schémas des circuits de test développés pour étudier les configurations de type ICap.

ID	Nom	Capacité	Protection ESD
1	Cap	34.8pF	Abs.
2	Cap + Prot.	34.8pF	Clamp ESD + Diode CDM
3	Cap x2	69.6pF	Abs.
4	Cap x2 + Prot.	69.6pF	Clamp ESD + Diode CDM

Table 5.10: Récapitulatif des configurations de type capacité isolée

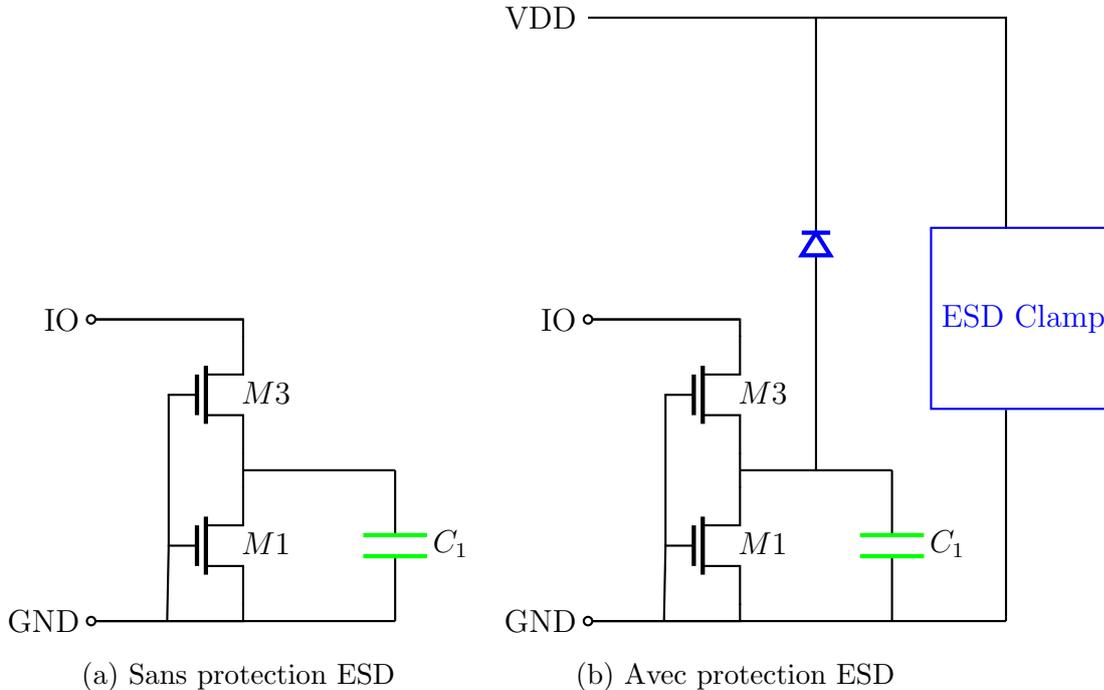


Figure 5.38 : Schéma de principe des circuits de test de type ICap développés

Tous les circuits de tests sont composés de deux NMOS cascodés (prises substrat à GND) avec une capacité C_1 en parallèle pour émuler la capacité parasite entre cette longue interconnexion et le plan de masse. Certains circuits sont aussi équipés de protection ESD, avec un clamp ESD et des diodes CDM secondaires pour enlever le piège de charges.

La Table 5.10 résume les circuits de test fabriqués pour évaluer la robustesse CDM de ce type de circuit.

Les circuits ont été fabriqués dans la technologie BICMOS55 et mis dans un boîtier PGA304. Les transistors NMOS choisis sont ceux utilisés dans les protections ggNMOS employées précédemment car leur courant de casse drain-source (16.6mA) est connu. Cela a permis de déterminer la valeur capacité C_1 à utiliser (3.4pF) pour une décharge d'une durée de 1ns.

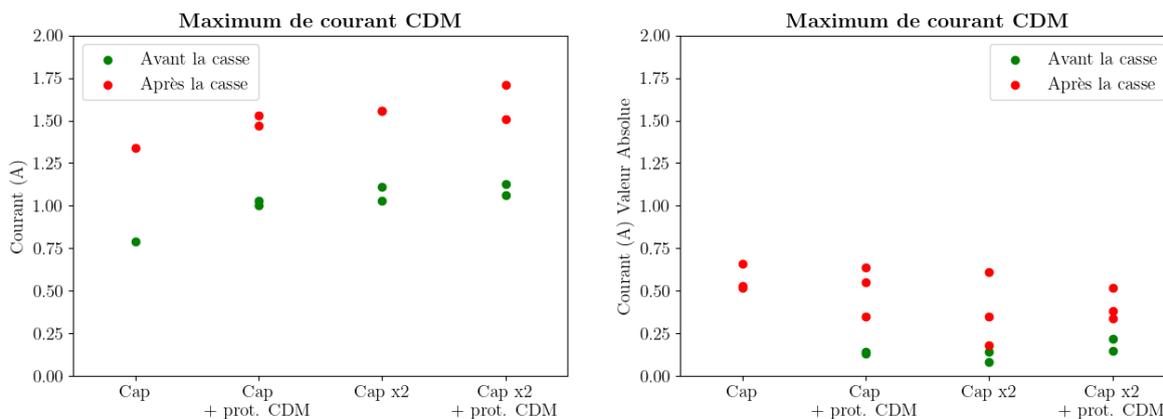
La taille de la capacité théorique nécessaire est donc très grande par rapport à la taille des transistors utilisés.

Afin de rendre les circuits de test plus robuste, il a été choisi de mettre en parallèle dix circuits de tests par configuration. Le courant de casse est donc autour de 166mA et la taille de C_1 a été multipliée par 10 pour atteindre 34pF.

Des variantes de ces circuits de test avec C_1 deux fois plus grande ont aussi été réalisées afin d'étudier l'impact de la valeur de C_1 .

5.5.2 Résultats

La Figure 5.39 illustre les résultats des mesures CDM réalisées sur les configurations ICap.



(a) Mesures CDM sur IO avec une tension de charge positive (b) Mesures CDM sur IO avec une tension de charge négative

Figure 5.39 : Résultats des mesures CDM effectuées sur les configurations de test ICap.

La valeur du courant de casse d’une décharge positive est très supérieure à celle d’une décharge négative. Cela semble confirmer donc l’existence du piège de charge lors d’une décharge CDM négative. Les données montrent que l’ajout de protection ESD améliore très légèrement la robustesse CDM du circuit, particulièrement dans le cas où la taille de la capacité est multipliée par deux. Cependant, il était très difficile d’obtenir des mesures de casse CDM répétibles au vue de la tension de charge utilisée ($< 100V$). Des mesures CC-TLP positive (en CC-TLP la polarité de la tension de charge est inversée par rapport au CDM, cf. Chapitre 4) ont été réalisées. La Figure 5.40 présente la comparaison des courants de casse mesurés en CC-TLP et en CDM avec une tension de charge négative.

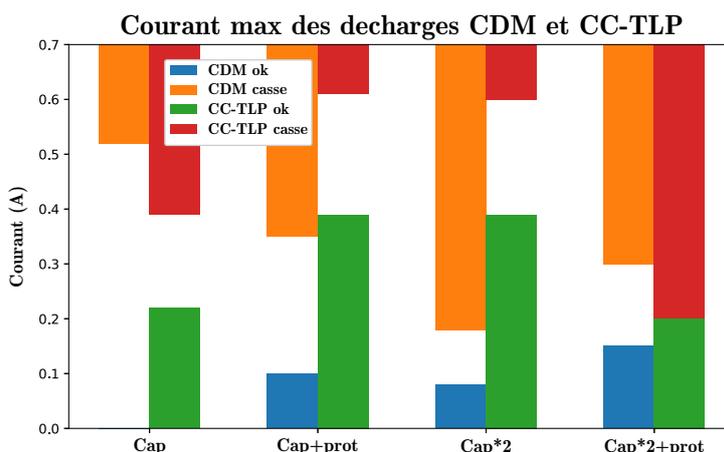


Figure 5.40 : Mesures de courant de casse sur les différents circuits de tests - ICap.

Il n’est pas possible d’établir l’impact de l’utilisation de protections ESD ou de la taille de C_1 . Les temps de montée des mesures CDM et CC-TLP étaient très différents, 300ps

pour le CDM et 100ps pour le CC-TLP. La casse étant liée à un retournement du transistor, il est normal, que les niveaux de courant de casse CDM et CC-TLP ne correspondent pas.

La Figure 5.41 illustre l'énergie des différentes décharges CC-TLP effectuées. Il n'est pas possible encore une fois de conclure sur l'impact des différents paramètres.

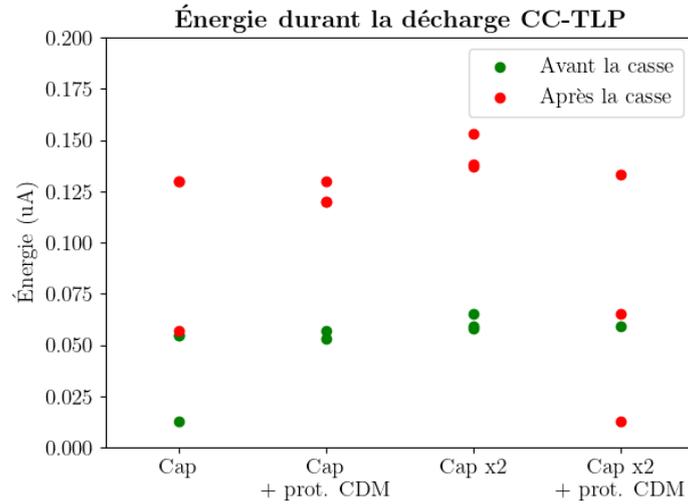


Figure 5.41 : Mesures CC-TLP sur IO avec une tension de charge positive

Les Figures 5.42 et 5.43 montrent les résultats des analyses de défaillance effectuées sur les configurations ICap. Elles confirment le fait que les transistors NMOS M_1 sont dégradés.

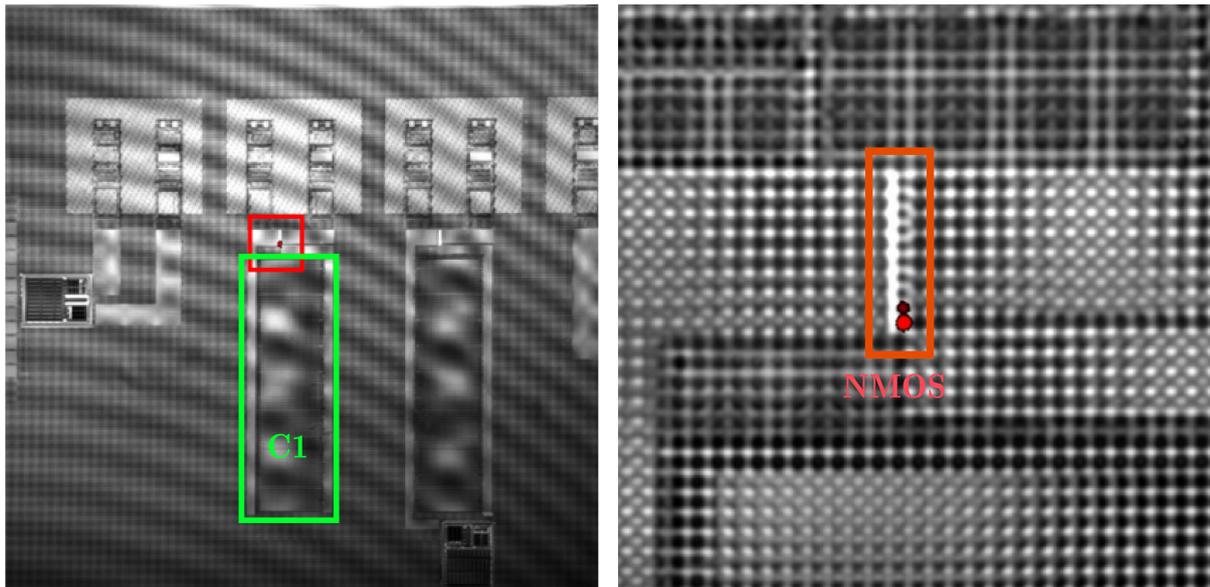


Figure 5.42 : Photographie de l'analyse de défaillance réalisée sur la configuration Cap x2

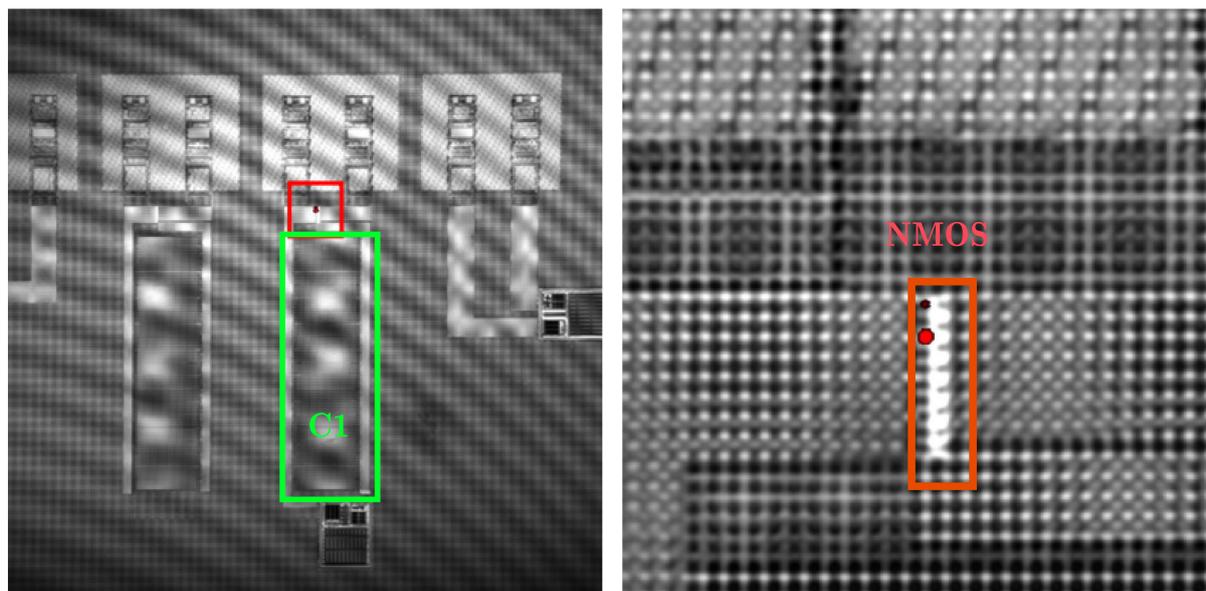


Figure 5.43 : Photographie de l'analyse de défaillance réalisée sur la configuration Cap x2 + Prot.

Les Figures 5.42 et 5.43 illustrent le fait que les capacités (en vert sur les photographies) sont très grandes. Elles sont réalisées sur 5 niveaux de métaux différents. Les transistors NMOS sont dans les carrés rouges. Il faudrait vérifier dans une future analyse, l'impact de la capacité sur la robustesse CDM, notamment en réalisant des configurations sans la capacité C_1 et avec des valeurs de C_1 plus proches des cas de figure réels. Les circuits de test développés dans le cadre de l'étude des configurations de type îlot capacitif ont permis de mettre en évidence l'existence du piège des charges. Cependant les circuits utilisés ne représentent pas une situation réelle. Il faudra réaliser de nouveaux circuits de test intégrant cette situation plus proche de la réalité, c'est-à-dire dans un circuit comportant des éléments de protection ESD classique tel que des diodes au niveau des entrées-sorties et des clamps. Il serait aussi intéressant d'observer l'impact du type de transistor et de leur taille sur les performances CDM.

5.5.3 Recommandations

L'étude de ce type de configuration à risque lors d'un événement CDM, a montré que la taille de la capacité nécessaire pour casser un transistor était très grande par rapport à la taille des transistors utilisés. Il est peu probable d'avoir un circuit réel avec des dimensions similaires et donc que les situations de type ICap soient à l'origine de défaillance lors d'une décharge CDM.

5.6 Conclusion

L'étude des cinq contextes de défauts CDM identifiés à STMicroelectronics a été réalisé dans ce chapitre. Pour chaque contexte de défauts, des circuits de test ont été utilisés afin d'identifier les facteurs impactant les performances CDM d'un circuit. Des mesures CDM et CC-TLP ont permis de quantifier la robustesse CDM de chaque circuit.

Les simulations réalisées grâce au flot présenté dans le Chapitre 3 et les données obtenues sur les tensions de casse des oxydes dans le domaine de temps CDM ont été exploitées pour comprendre mais également anticiper le fonctionnement de ces configurations de test lors des décharges CDM subies.

Il a été possible d'établir pour tous les contextes de faiblesse des recommandations à employer pour améliorer les performances CDM des circuits.

Le premier contexte étudié était les situations GTP. À travers l'analyse des mesures et des simulations, il a été montré que la résistance parasite des rails d'alimentation et le type de diodes ESD primaires ont un fort impact sur les performances CDM. L'ajout de protection secondaire et d'une impédance série permet aussi d'améliorer la robustesse.

Ensuite, les situations d'I-D ont été traitées. L'étude était centrée sur l'influence de la taille des circuits, du type de connexion entre les masses et l'utilisation d'une résistance série au niveau de l'interconnexion. Les résultats ont montré que la taille des domaines avaient un impact sur les performances CDM, en particulier la taille du domaine de la broche où a lieu la décharge. Le niveau du courant de casse augmente avec la taille du domaine dans lequel se trouve la pin stressée. L'analyse des types de connexion entre les masses a montré que les configurations de type masse commune sont particulièrement robustes lors des décharges CDM. L'ajout d'une résistance série permet aussi de diminuer la tension aux bornes des oxydes. Cependant ces mesures et simulations ont aussi mis en évidence l'importance du dimensionnement des protections secondaires CDM. Certains circuits de test avec des protections secondaires avaient des performances similaires ou pires par rapport à leur équivalent sans protection. Les simulations et l'analyse de défaillance réalisées ont permis de montrer que dans ces circuits, le courant à travers ces protections était plus élevé que leur courant de casse, entraînant la casse prématurée des circuits. L'augmentation de la taille des protections a résolu ce problème.

Après s'être intéressé aux deux configurations à l'origine des défauts CDM observés (GTP et I-D), le chapitre s'est tourné vers l'étude du contexte de faiblesse PG, qui est un mélange de ces deux configurations. Les circuits de test ont permis de montrer l'impact des protections CDM sur la robustesse CDM des circuits de test ainsi que leur placement. Les mesures et les simulations ont illustré l'importance de l'ajout et du placement de ces protections. Les circuits avec des protections situées entre le signal et la masse directement reliées à l'entrée-sortie avaient des casses prématurées, par rapport à une configuration sans, dû à la dégradation de la protection. C'est pourquoi il est privilégié de placer les protections entre le drain et la grille et entre la source et la grille du passe-gate. Les simulations ont montré que l'ajout d'une résistance en série entre la protection secondaire et le signal d'entrée permettait de réduire le courant traversant la protection secondaire.

Le quatrième contexte étudié était le LL. Les simulations ont permis de déterminer la longueur de ligne à utiliser pour évaluer ce type de circuit (12mm). Les mesures ont montré que l'utilisation d'un seul clamp était nécessaire et que l'ajout de protection secondaire permettait d'améliorer les performances CDM. Les courants de casse mesurés étaient souvent très élevés et la longueur de ligne était très grande. Il est donc peu probable que les situations de longue ligne soient responsables de défaillance liée à un événement CDM.

Enfin le contexte de défaut ICap a été traité. Les mesures CDM ont permis de montrer que ce contexte de défaillance existe bien cependant la taille de l'interconnexion nécessaire pour que le défaut apparaisse la rend peu probable.

L'étude systématique de chaque contexte de défaut dans ce chapitre a donc permis de mieux comprendre leur fonctionnement lors des décharges CDM ainsi que d'établir une

série de recommandations pour chaque type de configuration.

Références

- [Shu13] Vrashank Shukla. *Predictive transient circuit simulations of charged device model ESD events in system in package chips*. Tech. rep. University of Illinois at Urbana-Champaign, 2013.
- [Ols11] Nicholas Olson et al. “CDM-ESD induced damage in components using stacked-die packaging”. In: *2011 IEEE Custom Integrated Circuits Conference (CICC)*. 2011, pp. 1–4. DOI: 10.1109/CICC.2011.6055359.
- [Huh05] Yoon Huh et al. “ESD-induced internal core device failure: new failure modes in system-on-chip (SOC) designs”. In: *Fifth International Workshop on System-on-Chip for Real-Time Applications (IWSOC’05)*. Fifth International Workshop on System-on-Chip for Real-Time Applications (IWSOC’05). July 2005, pp. 47–53. DOI: 10.1109/IWSOC.2005.58.
- [Vol15] Steven H. Voldman. *ESD: circuits and devices*. John Wiley & Sons, 2015.
- [Gal10] Ph Galy et al. “Inventory of silicon signatures induced by CDM event on deep sub-micronic CMOS–BICMOS technologies”. In: *Microelectronics Reliability* 50 (2010), pp. 1388–1392.
- [Lee03] Jaesik Lee et al. “Chip-level charged-device modeling and simulation in CMOS integrated circuits”. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 22.1 (2003), pp. 67–81. DOI: 10.1109/TCAD.2002.805720.
- [Shu10] Vrashank Shukla, Nathan Jack, and Elyse Rosenbaum. “Predictive simulation of CDM events to study effects of package, substrate resistivity and placement of ESD protection circuits on reliability of integrated circuits”. In: *2010 IEEE International Reliability Physics Symposium*. 2010, pp. 485–493. DOI: 10.1109/IRPS.2010.5488782.
- [Mor09] Yasuyuki Morishita et al. “An investigation of input protection for CDM robustness in 40nm CMOS technology”. In: *2009 31st EOS/ESD Symposium*. 2009, pp. 1–6.
- [Zho13] Yuanzhong Zhou, Alan W. Richter, and Jean-Jacques Hajjar. “Investigation on effectiveness of series gate resistor in CDM ESD protection designs”. In: *2013 IEEE 10th International Conference on ASIC*. 2013, pp. 1–4. DOI: 10.1109/ASICON.2013.6811976.
- [Lee00] Jeasik Lee et al. “Chip-level simulation for CDM failures in multi-power ICs”. In: *Electrical Overstress/Electrostatic Discharge Symposium Proceedings 2000 (IEEE Cat. No.00TH8476)*. 2000, pp. 456–464. DOI: 10.1109/EOSESD.2000.890116.
- [Abe15] Dolphin Abessolo-Bidzo, Theo Smedes, and Peter C. de Jong. “A study of the effect of remote CDM clamps in integrated circuits”. In: *2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. 2015, pp. 1–8. DOI: 10.1109/EOSESD.2015.7314787.

- [Tro20] Chloé Troussier et al. “Study of Inter-Power Domain Failures during a CDM Event”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. 2020, pp. 1–5.

Conclusion

L'objectif de cette thèse était d'étudier les décharges électrostatiques de type modèle de composant chargé dans les circuits intégrés. Avec la diminution de la taille des transistors, la complexité grandissante des puces électroniques et l'augmentation de l'automatisation des lignes de production et d'assemblage ont rendu les composants électroniques plus sensibles aux décharges électrostatiques et plus particulièrement aux décharges CDM.

Tout d'abord, une présentation du phénomène CDM dans les nœuds de technologies avancées a été donnée. Dans un premier temps, des généralités sur les ESD dans les circuits intégrés ont été introduites : les différents modèles de décharge, les stratégies et les éléments de protection ESD et les procédés de caractérisation. Une seconde partie a présenté le modèle du composant chargé. Après avoir décrit le procédé utilisé pour qualifier la robustesse CDM des puces électroniques, le chapitre s'est intéressé aux types de défaut observés lors d'une décharge et aux protections utilisées pour prévenir les casses. Et enfin les technologies utilisées pour étudier le phénomène CDM ont été décrites.

La casse des oxydes est un phénomène statistique. La tension de casse dépend d'un certain nombre de facteurs tels que l'épaisseur, le type et la surface de l'oxyde, la durée du stress... Les études de fiabilité effectuées habituellement ne sont pas réalisées pour les domaines de temps ESD en particulier celui du CDM (1ns). Une étude statistique de la casse des oxydes dans le domaine de temps de la nanoseconde a donc été conduite pour toutes les technologies utilisées par la suite pour l'analyse des contextes de faiblesse, à savoir les technologies BICMOS55, CMOS40 et 28FDSOI de STMicroelectronics. Les résultats ont montré que les modèles de fiabilité classiques des oxydes sont aussi valables pour les domaines de temps très courts (1ns). L'impact de plusieurs paramètres sur la tension de casse des oxydes a été investigué comme la surface, le procédé technologique, le type de transistor, l'ajout de résistance en série, l'épaisseur et la surface d'oxyde. Il a été possible d'estimer les tensions de casse à 1ns pour toutes les technologies d'intérêt en utilisant les bancs de mesure de caractérisation TLP et VF-TLP. L'emploi combiné de ces deux types de mesure a réduit le nombre de données requises pour établir les différentes lois statistiques et empiriques régissant la casse des oxydes dans le domaine de temps CDM.

Le troisième chapitre de la thèse a été consacré à l'élaboration d'un flot de simulation CDM. Toutes capacités et résistances parasites d'une puce électronique correspondent respectivement à un possible endroit de stockage de charges et chemin de décharge lors d'un événement CDM. Des charges peuvent être emmagasinées dans le circuit, le substrat et le boîtier. Il a donc été nécessaire de développer un flot de simulation capable d'incorporer tous ces éléments. De plus les protections ESD et en particulier les protections secondaires

CDM, ont un fonctionnement particulier lors de la décharge. Il a donc fallu s'assurer que les modèles utilisés lors des simulations correspondaient bien à leur comportement lors des événements CDM. La réutilisation de données de casse d'oxyde établies précédemment ainsi que les données mesurées de courant de casse des protections ont permis de déterminer les résultats des simulations effectuées. Une étude de cas a permis de confirmer la bonne corrélation entre les simulations et les mesures CDM effectuées. Les simulations ont donc pu être employées pour aider à comprendre le comportement des circuits lors des décharges CDM.

Pour effectuer des mesures de qualification, il est nécessaire que le composant soit sur boîtier. De plus, les mesures CDM ne sont pas toujours répétables et elles sont difficiles à réaliser pour des tensions de charge faibles. Le quatrième chapitre s'intéresse donc à un moyen alternatif de quantifier la robustesse CDM d'un composant : le CC-TLP. Dans un premier temps, une comparaison entre le procédé de mesure CDM et CC-TLP a été effectuée. Puis une étude de corrélation entre ces deux types de mesure a été conduite. Plusieurs types de circuit ont été testés avec des mesures CDM et CC-TLP (sur boîtier et plaque de silicium) avec divers temps de montée (100ps et 200ps). Les mesures ont montré qu'il n'était pas toujours possible de corréler directement le courant de casse CDM et CC-TLP. Cela dépendait des éléments de protection ESD employés ainsi que de l'origine de la casse. Ainsi pour des circuits avec une casse d'oxyde et des éléments ESD dont le comportement ne dépend pas du temps de montée du courant, la corrélation par le courant de casse était possible. Dans le cas de circuit avec une casse d'oxyde et des éléments ESD sensibles aux temps de montée, il a fallu adapter les temps de montée de la décharge CC-TLP pour avoir une corrélation. Enfin pour les circuits de test avec des casses autres que des dégradations d'oxyde, l'énergie s'est révélée être un bon paramètre de corrélation entre les procédés des mesures CDM et CC-TLP.

Le cinquième et dernier chapitre est consacré à l'étude systématique des contextes de défaut CDM. Il est composé de cinq parties. Pour chaque type de configuration des circuits de test ont été conçus, simulés, fabriqués et testés. Empiriquement, les contextes de défaut les plus courants sont les circuits GTP et I-D. L'étude des circuits de type GTP a montré l'importance du placement des protections ESD et du type de diodes primaires employées. L'ajout de protections secondaires spécifiques telles qu'une impédance série et des ggNMOS près des transistors à protéger améliore aussi la robustesse CDM des circuits. L'analyse des circuits de test de type I-D a mis en évidence l'impact de la taille des domaines de puissance sur la tension de grille des transistors d'interconnexion, du type de connexion entre les masses. Ajouter des protections secondaires et une résistance sur l'interconnexion et optimiser le placement des protections ESD participent aussi à l'amélioration des performances CDM d'un circuit. L'étude du contexte PG a permis de montrer que des événements de type CDM pouvaient engendrer des dégradations sur ce type de circuit. Le placement des protections CDM secondaires est très important pour ces configurations. Un mauvais placement peut engendrer une casse prématurée. L'analyse des contextes de défauts LL et ICap a mis en évidence qu'il était possible d'observer une casse après une décharge CDM. Cependant le cas de test utilisé et nécessaire pour observer des défauts n'était pas réaliste et impliquait des dessins de circuits improbables (ligne de connexion de plusieurs centimètres).

Pour conclure, l'étude du phénomène CDM a été conduite durant cette thèse à travers l'étude systématique des contextes de faiblesse CDM établis empiriquement au sein de STMicroelectronics. L'analyse a mis évidence la pertinence de la prise en compte de trois

types de configurations à risque : grille connectée à une entrée-sortie, inter-domaine et transistor à porte passante. De plus, le flot de simulation développé est capable de prédire le comportement des circuits lors d'un événement CDM. L'étude empirique a permis de relever l'importance du dimensionnement des protections CDM dans la stratégie de protection CDM. Le courant de casse faible peut engendrer une casse prématurée des circuits et rendre leur utilisation peu utile.

L'étude du comportement des circuits avec des configurations à risque lors d'un événement CDM a permis d'identifier certains paramètres influençant la robustesse des composants. Cependant il n'a pas été possible d'analyser tous les cas de figure possibles. Il serait intéressant de réaliser des nouvelles structures de test pour observer l'impact de nouveaux paramètres :

- GTP : étude des circuits d'entrée RF, type de protections ESD, etc...
- I-D : type de transistors utilisés à l'interconnexion, circuits de changement de tension ("level shifter" en anglais), etc...
- PG : influence du circuit après le PG (inverseur, circuit d'entrée,...), domaine du circuit de commande de la grille, placement du PG, etc...
- LL : influence de la capacité parasite entre la ligne et le plateau de charge, rajout de protection secondaire pour les configurations de type E/S, etc...
- ICap : rajout de protection ESD primaire et placement dans un circuit plus complexe

Grâce au flot de simulation développé, il sera possible d'évaluer la robustesse CDM de ces futures circuits sans nécessairement avoir besoin de les fabriquer. De plus, il n'a pas été possible d'analyser l'influence du type de boîtier et du temps de montée sur les performances CDM. Il serait pertinent dans le futur des réaliser à la fois des mesures CDM sur plusieurs circuits de tests mis dans plusieurs boîtiers différents ainsi que des mesures CC-TLP sur boîtier et sur plaque de silicium avec divers temps de montée.

Il serait aussi intéressant de réaliser une étude statistique sur le courant de casse CDM en effectuant des mesures CDM sur un échantillon de mesure plus large que trois (30-40 échantillons) pour observer la répétabilité et l'étalement des valeurs obtenues.

Bibliographie

- [Tip10] RF Tech Tip. “The “real” cost of ESD damage”. In: (2010).
- [ESD21] Industry Council on ESD Target Levels. “White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements, Revision 3”. In: (2021).
- [Ass17] Incorporated EOS/E. S. D. Association. *ANSI/ESDA/JEDEC JS-001-2017 - ESDA/JEDEC Joint Standard for Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) - Component Level*. EOS/ESD Association, Incorporated, 2017. URL: <https://books.google.fr/books?id=uvbljwEACAAJ>.
- [Goë05] Cédric Goëau. “Etude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS”. PhD thesis. Lyon, INSA, 2005.
- [Vol03] Steven H. Voldman et al. “Standardization of the transmission line pulse (TLP) methodology for electrostatic discharge (ESD)”. In: *2003 Electrical Overstress/Electrostatic Discharge Symposium*. 2003, pp. 1–10.
- [Gie98] Horst Gieser and Markus Haunschild. “Very fast transmission line pulsing of integrated structures and the charged device model”. In: *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part C* 21 (1998), pp. 278–285.
- [Gie07] Horst A. Gieser and Heinrich Wolf. “Survey on very fast TLP and ultra fast repetitive pulsing for characterization in the CDM-domain”. In: *Reliability physics symposium, 2007. proceedings. 45th annual. ieee international*. Reliability physics symposium, 2007. proceedings. 45th annual. ieee international. 2007, pp. 324–333.
- [Wol03] H. Wolf et al. “Capacitively coupled transmission line pulsing CC-TLP – A traceable and reproducible stress method in the CDM-domain”. In: *2003 Electrical Overstress/Electrostatic Discharge Symposium*. 2003 Electrical Overstress / Electrostatic Discharge Symposium. Sept. 2003, pp. 1–8.
- [Wol09] Heinrich Wolf et al. “Capacitive coupled TLP (CC-TLP) and the correlation with the CDM”. In: *2009 31st EOS/ESD Symposium*. 2009, pp. 1–8.
- [Web17] J. Weber et al. “Correlation study of different CDM testers and CC-TLP”. In: *2017 39th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. Sept. 2017, pp. 1–10. DOI: 10.23919/EOS/ESD.2017.8073446.

- [Ass18] Incorporated EOS/E. S. D. Association. *ANSI/ESDA/JEDEC JS-002-2018 - ESDA/JEDEC Joint Standard for Electrostatic Discharge Sensitivity Testing - Charged Device Model (CDM) - Component Level*. EOS/ESD Association, Incorporated, 2018.
- [Cou19] Automotive Electronics Council. *AEC - Q100-011 Rev-D CHARGED DEVICE MODEL (CDM) ELECTROSTATIC DISCHARGE (ESD) TEST*. 2019.
- [Shu13] Vrashank Shukla. *Predictive transient circuit simulations of charged device model ESD events in system in package chips*. Tech. rep. University of Illinois at Urbana-Champaign, 2013.
- [Ols11] Nicholas Olson et al. “CDM-ESD induced damage in components using stacked-die packaging”. In: *2011 IEEE Custom Integrated Circuits Conference (CICC)*. 2011, pp. 1–4. DOI: 10.1109/CICC.2011.6055359.
- [Huh05] Yoon Huh et al. “ESD-induced internal core device failure: new failure modes in system-on-chip (SOC) designs”. In: *Fifth International Workshop on System-on-Chip for Real-Time Applications (IWSOC'05)*. Fifth International Workshop on System-on-Chip for Real-Time Applications (IWSOC'05). July 2005, pp. 47–53. DOI: 10.1109/IWSOC.2005.58.
- [Vol15] Steven H. Voldman. *ESD: circuits and devices*. John Wiley & Sons, 2015.
- [Gal10] Ph Galy et al. “Inventory of silicon signatures induced by CDM event on deep sub-micronic CMOS–BICMOS technologies”. In: *Microelectronics Reliability* 50 (2010), pp. 1388–1392.
- [Deg98] R. Degraeve et al. “New insights in the relation between electron trap generation and the statistical properties of oxide breakdown”. In: *IEEE Transactions on Electron Devices* 45.4 (1998), pp. 904–911. DOI: 10.1109/16.662800.
- [Che86] IC Chen et al. “Substrate hole current and oxide breakdown”. In: *Applied physics letters* 49.11 (1986), pp. 669–671.
- [Avn88] E Avni and J Shappir. “A model for silicon-oxide breakdown under high field and current stress”. In: *Journal of Applied Physics* 64.2 (1988), pp. 743–748.
- [Col05] J-P Colinge and Cynthia A Colinge. *Physics of semiconductor devices*. Springer Science & Business Media, 2005.
- [Wu09a] Ernest Y. Wu and Jordi Sune. “On Voltage Acceleration Models of Time to Breakdown—Part I: Experimental and Analysis Methodologies”. In: *IEEE Transactions on Electron Devices* 56.7 (2009), pp. 1433–1441. DOI: 10.1109/TED.2009.2021721.
- [Ent07] Robert Entner. “Modeling and simulation of negative bias temperature instability”. PhD thesis. 2007.
- [Wu09b] Ernest Y. Wu and Jordi Sune. “On Voltage Acceleration Models of Time to Breakdown—Part II: Experimental Results and Voltage Dependence of Weibull Slope in the FN Regime”. In: *IEEE Transactions on Electron Devices* 56.7 (2009), pp. 1442–1450. DOI: 10.1109/TED.2009.2021725.
- [Ill06] A. Ille et al. “Ultra-thin gate oxide reliability in the ESD time domain”. In: *2006 Electrical Overstress/Electrostatic Discharge Symposium*. 2006, pp. 285–294.

- [Mal08] Slavica Malobabic et al. “Gate oxide evaluation under very fast transmission line pulse (VFTLP) CDM-type stress”. In: *2008 7th International Caribbean Conference on Devices, Circuits and Systems*. 2008, pp. 1–8. DOI: 10.1109/ICDCS.2008.4542669.
- [Ell09] David F. Ellis et al. “Prediction of Gate Dielectric Breakdown in the CDM timescale utilizing very fast transmission line pulsing”. In: *2009 IEEE International Reliability Physics Symposium*. 2009, pp. 585–593. DOI: 10.1109/IRPS.2009.5173315.
- [Van20] Simon Van Beek et al. “Ultrafast RVS as an Efficient Method to Measure Oxide Breakdown in the EOS and ESD Time Domain”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. 2020, pp. 1–8.
- [Pyt20] Python. *Python*. 2020. URL: <https://www.python.org>.
- [Tro21] Chloe Troussier et al. “Estimation of Oxide Breakdown Voltage During a CDM Event Using Very Fast Transmission Line Pulse and Transmission Line Pulse Measurements”. In: *2021 IEEE International Reliability Physics Symposium (IRPS)*. 2021, pp. 1–5. DOI: 10.1109/IRPS46558.2021.9405110.
- [Sar14] J. P. Di Sarro, B. Reynolds, and R. Gauthier. “Influence of Package Trace Properties on CDM Stress”. In: *IEEE Transactions on Device and Materials Reliability* 14 (Sept. 2014), pp. 810–817. DOI: 10.1109/TDMR.2014.2329552.
- [Kar08] James Karp et al. “Effect of flip-chip package parameters on CDM discharge”. In: *EOS/ESD 2008 - 2008 30th Electrical Overstress/Electrostatic Discharge Symposium*. 2008, pp. 1–5.
- [Lee03] Jaesik Lee et al. “Chip-level charged-device modeling and simulation in CMOS integrated circuits”. In: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 22.1 (2003), pp. 67–81. DOI: 10.1109/TCAD.2002.805720.
- [Sow05] MSB Sowariraj et al. “A 3-D Circuit Model to evaluate CDM performance of ICs”. In: *Microelectronics reliability* 45.9-11 (2005), pp. 1425–1429.
- [Shu10] Vrashank Shukla, Nathan Jack, and Elyse Rosenbaum. “Predictive simulation of CDM events to study effects of package, substrate resistivity and placement of ESD protection circuits on reliability of integrated circuits”. In: *2010 IEEE International Reliability Physics Symposium*. 2010, pp. 485–493. DOI: 10.1109/IRPS.2010.5488782.
- [Ans] Ansys. *Ansys HFSS*. URL: https://www.cadence.com/en_US/home/tools/digital-design-and-signoff/silicon-signoff/quantus-extraction-solution.html.
- [Keya] Keysight. *RFPro*. URL: <https://edadocs.software.keysight.com/kkbopen/rfpro-em-applications-589305842.html>.
- [Abe12] Dolphin Abessolo-Bidzo, Theo Smedes, and Albert Jan Huitsing. “CDM simulation based on tester, package and full integrated circuit modeling: case study”. In: *IEEE transactions on electron devices* 59.11 (2012), pp. 2869–2875.

- [Cada] Cadence. *Cadence QRC*. URL: https://www.cadence.com/en_US/home/tools/digital-design-and-signoff/silicon-signoff/%20quantus-extraction-solution.html.
- [Shu14] Vrashank Shukla et al. “Prediction of charged device model peak discharge current for microelectronic components”. In: *IEEE Transactions on Device and Materials Reliability* 14.3 (2014), pp. 801–809.
- [Zho05] Yuanzhong Zhou et al. “Modeling MOS snapback for circuit-level ESD simulation using BSIM3 and VBIC models”. In: *Sixth international symposium on quality electronic design (isqed’05)*. IEEE. 2005, pp. 476–481.
- [Wil04] J Willemen et al. “Characterization and modeling of transient device behavior under CDM ESD stress”. In: *Journal of electrostatics* 62.2-3 (2004), pp. 133–153.
- [Pan14] Zhihao Pan et al. “Understanding and modeling of diode voltage overshoots during fast transient ESD events”. In: *IEEE transactions on Electron Devices* 61.8 (2014), pp. 2682–2689.
- [Cadb] Cadence. *Virtuoso Layout Suite*. URL: https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/layout-design/virtuoso-layout-suite.html.
- [Keyb] Keysight. *EMPro*. URL: <https://www.keysight.com/fr/en/products/software/pathwave-design-software/pathwave-em-design-software.html>.
- [Keyc] Keysight. *GoldenGate*. URL: <https://www.keysight.com/fr/en/lib/resources/software-releases/pathwave-rfic-design-goldengate-2020-update-10.html>.
- [Esm15] Kai Esmark et al. “Using CC-TLP to get a CDM robustness value”. In: *2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. IEEE. 2015, pp. 1–10.
- [Wol07] Heinrich Wolf, Horst Gieser, and Dirk Walter. “Investigating the CDM susceptibility of IC’s at package and wafer level by capacitive coupled TLP”. In: *2007 29th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. IEEE. 2007, 5A–4.
- [Abe20] Dolphin Abessolo-Bidzo et al. “Charged Device Model (CDM) and Capacitive Coupled Transmission Line Pulsing (CC-TLP) Stress Severity Study on RF IC’s”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. IEEE. 2020, pp. 1–9.
- [Di 20] Leonardo Di Biccari et al. “Impact of Alternative CDM Methods on HV ESD Protections Behavior”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. IEEE. 2020, pp. 1–10.
- [Web19] Johannes Weber. “Pulsed high current characterization of highly integrated circuits and systems”. PhD thesis. Universitätsbibliothek der Universität der Bundeswehr München, 2019.
- [Sta13] JEDEC Standard. “Field-Induced Charged-Device Model Test Method for Electrostatic Discharge Withstand Thresholds of Microelectronic Components”. In: *JESD22-C101F, October* (2013).

-
- [Mor09] Yasuyuki Morishita et al. “An investigation of input protection for CDM robustness in 40nm CMOS technology”. In: *2009 31st EOS/ESD Symposium*. 2009, pp. 1–6.
- [Zho13] Yuanzhong Zhou, Alan W. Richter, and Jean-Jacques Hajjar. “Investigation on effectiveness of series gate resistor in CDM ESD protection designs”. In: *2013 IEEE 10th International Conference on ASIC*. 2013, pp. 1–4. DOI: 10.1109/ASICON.2013.6811976.
- [Lee00] Jeasik Lee et al. “Chip-level simulation for CDM failures in multi-power ICs”. In: *Electrical Overstress/Electrostatic Discharge Symposium Proceedings 2000 (IEEE Cat. No.00TH8476)*. 2000, pp. 456–464. DOI: 10.1109/E0SESD.2000.890116.
- [Abe15] Dolphin Abessolo-Bidzo, Theo Smedes, and Peter C. de Jong. “A study of the effect of remote CDM clamps in integrated circuits”. In: *2015 37th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*. 2015, pp. 1–8. DOI: 10.1109/E0SESD.2015.7314787.
- [Tro20] Chloé Troussier et al. “Study of Inter-Power Domain Failures during a CDM Event”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. 2020, pp. 1–5.

Liste des publications

- [Tro21] Chloe Troussier et al. “Estimation of Oxide Breakdown Voltage During a CDM Event Using Very Fast Transmission Line Pulse and Transmission Line Pulse Measurements”. In: *2021 IEEE International Reliability Physics Symposium (IRPS)*. 2021, pp. 1–5. DOI: 10.1109/IRPS46558.2021.9405110.
- [Tro20] Chloé Troussier et al. “Study of Inter-Power Domain Failures during a CDM Event”. In: *2020 42nd Annual EOS/ESD Symposium (EOS/ESD)*. 2020, pp. 1–5.

