



HAL
open science

Conception et implémentation technologique de convertisseurs de puissance à partir d'un packaging 3D avec refroidissement intégré

Wendpanga Bikinga

► **To cite this version:**

Wendpanga Bikinga. Conception et implémentation technologique de convertisseurs de puissance à partir d'un packaging 3D avec refroidissement intégré. Energie électrique. Université Grenoble Alpes [2020-..], 2022. Français. NNT : 2022GRALT037 . tel-03828488

HAL Id: tel-03828488

<https://theses.hal.science/tel-03828488>

Submitted on 25 Oct 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTÉ UNIVERSITÉ GRENOBLE ALPES

Spécialité : **Génie Electrique**

Arrêté ministériel : 25 mai 2016

Présentée par

Wendpanga Abdoul Fadel Salim BIKINGA

Thèse dirigée par **Yvan AVENAS**

préparée au sein du **Laboratoire de Génie Electrique de
Grenoble (G2Elab)**
dans l'**École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal (EEATS)**

Conception et implémentation technologique de convertisseurs de puissance à partir d'un packaging 3D avec refroidissement intégré

Thèse soutenue publiquement le **19 Mai 2022**
devant le jury composé de :

M. Cyril BUTTAY

Directeur de recherche, CNRS, Rapporteur

M. Denis LABROUSSE

Maître de conférences, CNAM Paris, Rapporteur

M. James ROUDET

Professeur, Université Grenoble Alpes, Membre

M. Eric LABOURÉ

Professeur, Université Paris-Saclay, Président

M. Vincent BLEY

Maître de conférences, Université Paul Sabatier, Membre

M. Yvan AVENAS

Maître de conférences, Grenoble INP-UGA, Directeur de thèse

M. Jean-Michel GUICHON

Maître de conférences, Université Grenoble Alpes, Invité



Bangr Bôob ya teng tôor kend zéngu raogo (langue Mooré)

Auteur : S. BIKINGA

La recherche du savoir est la fondation pour bâtir une nation.

Remerciements

Cette première partie du manuscrit bien que non scientifique est généralement la plus lue et nécessite déjà une petite gymnastique intellectuelle. En effet, il faut pouvoir se souvenir de toutes les personnes qui ont contribué à la réussite de cette thèse et de ma formation en général. Je m'excuse déjà auprès de ceux et celles que je ne citerais pas non pas parce qu'ils ne me sont pas chers mais simplement par oubli.

Je commencerai par remercier M. Cyril BUTTAY et M. Denis LABROUSSE pour le temps et l'énergie consacrés à l'évaluation de mes travaux. J'adresse également mes remerciements à M. Éric LABOURÉ, M. Vincent BLEY, M. James ROUDET et M. Jean-Michel GUICHON qui m'ont fait l'honneur de siéger dans mon jury de thèse. Merci pour les discussions, commentaires et remarques constructives.

Ces travaux de thèse ont été menés au sein du Laboratoire de Génie Electrique de Grenoble (G2Elab) et financés par un contrat doctoral (salaire) et par la Société d'Accélération de Transfert Technologique (SATT) LINKSIUM par le biais d'un projet de maturation technologique dénommé TAPIR. J'aimerais ici remercier LINKSIUM pour le financement des prototypes et le G2Elab pour l'accueil et le cadre de travail agréable. Ce cadre de travail n'aurait pas été si agréable sans les personnes qui le composent. Je pense en premier à mon directeur de thèse Yvan AVENAS doté d'excellentes qualités scientifiques et humaines. Ce fut vraiment un plaisir d'apprendre à ses côtés. J'ai également eu la chance de travailler avec Jean-Michel GUICHON sur la modélisation électromagnétique. Je lui témoigne ma profonde gratitude pour sa disponibilité et sa constante bonne humeur durant nos réunions de travail.

À propos de modélisation électromagnétique, je pense également à Kouceila ALKAMA (affectueusement surnommé le maître de Java) dont j'ai utilisé les résultats de thèse intégrés dans l'outil MIPSE. Je lui suis reconnaissant d'avoir souvent joué le rôle du service assistance technique MIPSE et également pour nos discussions scientifiques, toujours dans la bonne ambiance. Je remercie par la même occasion toute l'équipe MIPSE (Gérard, Bertrand ...).

Cette thèse a été très expérimentale et a nécessité la mobilisation de moyens humains et matériels. J'aimerais ici remercier le pôle technique et informatique du G2ELAB et plus particulièrement l'atelier mécanique (Florian et Sebastian) et les services mécatronique et instrumentation (Alexis, Benoît, Daniel, Roland, Enzo, Cédric). Je ne pourrai finir les

remerciements des entités du laboratoire sans remercier le pôle administratif pour les inscriptions aux conférences, les différentes commandes de matériels et prestations.

Dans le cadre des prestations, j'ai eu la chance de réaliser plusieurs prototypes (principalement des PCBs) auprès de différentes entreprises. Je tiens à remercier SCHWEIZER, CIMULEC, CIBEL, CIRLY, DEEP Concept de m'avoir permis de mieux comprendre les contraintes de fabrication des PCB et l'intégration de puissance. Je remercie CENTUM T&S d'avoir bien voulu parrainer le projet TAPIR dans le cadre du plan de relance et pour le partage de la vision industrielle et des applications possibles.

Dans le cadre du projet de maturation TAPIR j'ai travaillé avec Bachir MEZRAG, ingénieur de recherche qui a réalisé le choix des dissipateurs et leurs assemblages. Je lui témoigne ma gratitude. Je suis également reconnaissant envers les stagiaires Eloane et Walid qui ont travaillé sur le projet.

Ces 3 années de thèses se sont également bien passées grâce à la bonne ambiance de travail et sociale avec les autres doctorants. J'aimerais remercier les doctorants et stagiaires de l'équipe électronique de puissance depuis mon arrivée au laboratoire avec qui j'ai partagé des moments conviviaux rythmés de discussions scientifiques et autres. Je pense notamment à Nicolas, Fatme, Goulven, Clément, Bakr, Glauber, Lucas, Damien, Antoine, Hugot, Emmanuel, Nassim, Adrien, Uyen, Nasreddine, André, Luciano, Nisith, Souleman, Pawel, Faycal, Sabine (oui, je valide ton entrée dans l'équipe EP 😊).

J'ai également partagé de bons moments avec des doctorants d'autres équipes. Je suis reconnaissant envers Iréna (merci pour l'accueil mon premier jour de stage), Pedro, Heitor, Baoling, Yousra, Saad, Ildar, Jean-Pierre, Pierre, Anh, Athar, Simon, Mamadou et Zié. Merci d'avoir rendu agréable la vie au G2Elab. Je remercie également tous les enseignants chercheurs du laboratoire qui ont sans doute contribué à ma formation durant ces années de thèse que ce soit à travers des discussions directes ou des questions durant les séminaires ou autres activités.

Côté formation, je témoigne ma reconnaissance à tous les enseignants qui m'ont formé jusque-là. Je pense aussi à certains camarades et amis de l'école d'ingénieur qui m'ont facilité l'adaptation au système universitaire français. Grand merci à Guillaume, Alexandre, Lucas, Babacar, Abdoulaye et Drissa. J'en profite également pour remercier ma famille grenobloise qui a rendu la vie agréable à Grenoble. Merci à Bouba, Mohamed (merci encore pour le coaching avant la soutenance), Alfred, Linda Phoébé, Idada, Eugède, Stan, Ido, Emile, Clément,

Moussine, Chriss, Bris, Faouzia. Aziz, Denis, Sayouba, Levy Aubin. Je pourrais remplir des lignes tellement il y'en a, mais je vais m'en arrêter là et ceux que je n'ai pas cités se reconnaîtront dans le titre 😊.

Il paraît que nous sommes la moyenne des personnes qui nous entourent. J'aimerais ici remercier mes amis de longue date qui sont maintenant des frères, Ismael (Dr mon ami 😊), Arnaud (mon nigga), Thomas (mon Lieut), Halidou, Abass et Alex qui ne cessent de m'encourager et soutenir. Je pense également à Moustapha Zouanga (mon expert en télémétrie), un de mes anciens professeurs devenu aujourd'hui un mentor, un ami et qui m'a beaucoup encouragé à poursuivre en doctorat.

J'ai gardé bien sûr le meilleur pour la fin. Un grand merci à ma famille (biologique et alliés) qui est ma source d'inspiration et de motivation intarissable. Je ne citerai pas de noms parce que les biens les plus précieux sont les plus cachés et protégés 😊. J'ai vraiment une énorme chance de vous avoir. Je dédie cette thèse à mon père (auteur du proverbe au début du manuscrit) qui aurait aimé faire de longues études. Ce doctorat est le vôtre.

SOMMAIRE

INTRODUCTION GENERALE ----- 11

CHAPITRE I :_PROPOSITION TECHNOLOGIQUE POUR REDUIRE LA MASSE ET LE VOLUME DES CONVERTISSEURS----- 17

| | |
|--|----|
| 1. INTRODUCTION ----- | 19 |
| 2. INTERETS DE REDUIRE LE VOLUME ET LA MASSE DES CONVERTISSEURS DANS LES VEHICULES ELECTRIFIES----- | 20 |
| 2.1. Voitures hybrides auto-rechargeables de type LV Mild hybrid BSG ----- | 21 |
| 2.2. Voitures électriques rechargeables/BEV (voitures électriques à batterie)----- | 22 |
| 3. SOLUTIONS POUR AMELIORER LA COMPACTITE DES CONVERTISSEURS----- | 24 |
| 3.1. Utilisation des composants à grand gap ----- | 24 |
| 3.2. Meilleure utilisation du système de refroidissement ----- | 28 |
| 4. PRESENTATION DE LA SOLUTION D’INTEGRATION ETUDIEE ----- | 31 |
| 4.1. La cellule de commutation ----- | 31 |
| 4.2. Etat de l’art----- | 33 |
| 4.3. Concept de la solution TAPIR ----- | 41 |
| 5. MISE EN ŒUVRE DE LA TECHNOLOGIE TAPIR ----- | 43 |
| 5.1. Fabrication et test d’une première cellule de commutation----- | 44 |
| 5.2. Challenges à surmonter pour la mise en œuvre de la technologie ----- | 53 |
| 6. CONCLUSION----- | 56 |

CHAPITRE II: MISE EN ŒUVRE ET CARACTERISATION DE CELLULES DE COMMUTATION TAPIR----- 59

| | |
|--|----|
| 1. INTRODUCTION ----- | 61 |
| 2. TECHNOLOGIES D’ASSEMBLAGE EN ELECTRONIQUE DE PUISSANCE : FOCUS SUR L’ARCHITECTURE 3D ----- | 61 |
| 2.1. Technologies « classiques » d’attache de puce ----- | 62 |
| 2.2. Technologies d’assemblage 3D ----- | 66 |

| | | |
|-----------|---|------------|
| 2.3. | <i>Bilan des technologies d'assemblage 3D</i> | 73 |
| 2.4. | <i>Technologie PCB : enfouissement des puces semi-conductrices</i> | 75 |
| 2.5. | <i>Conditionnement des puces semi-conductrice pour une intégration 3D</i> | 79 |
| 3. | LES DIFFERENTES CELLULES DE COMMUTATION REALISEES | 82 |
| 3.1. | <i>Choix technologiques et justifications de la mise en œuvre des différentes cellules de commutation</i> | 83 |
| 3.2. | <i>Cellule de commutation avec composants packagés : CPB2</i> | 86 |
| 3.3. | <i>Cellule de commutation avec PCB et bumps : PNBuB</i> | 88 |
| 3.4. | <i>Cellules de commutation avec enfouissement PCB</i> | 90 |
| 4. | CARACTERISATIONS ELECTRIQUES | 99 |
| 4.1. | <i>Résistance à l'état passant R_{Dson}</i> | 99 |
| 4.2. | <i>Inductance parasite</i> | 102 |
| 5. | CARACTERISATIONS THERMIQUES | 104 |
| 5.1. | <i>Méthode et outils</i> | 104 |
| 5.2. | <i>Résultats des mesures thermiques</i> | 106 |
| 5.3. | <i>Comparaison avec une solution existante</i> | 108 |
| 6. | CONCLUSION | 108 |

CHAPITRE III: ANALYSE DE L'INDUCTANCE PARASITE DES CELLULES DE COMMUTATION----- 111

| | | |
|-----------|---|------------|
| 1. | INTRODUCTION | 113 |
| 2. | VALIDATION DE L'OUTIL DE SIMULATION MIPSE | 114 |
| 2.1. | <i>Géométries et modélisation</i> | 115 |
| 2.2. | <i>Validation de la formulation surfacique</i> | 120 |
| 2.3. | <i>Comparaison Flux^{3D} et MIPSE avec variation de paramètres géométriques</i> | 121 |
| 3. | ETUDE DE L'INFLUENCE D'UNE PLAQUE INTERNE ET MESURE DE COURANT DANS CETTE DERNIERE | 123 |
| 3.1. | <i>Influence d'une plaque interne sur l'inductance de la cellule de commutation</i> | 124 |
| 3.2. | <i>Mesure du courant dans les plaques internes</i> | 125 |
| 4. | ETUDE DES CONDENSATEURS DE DECOUPLAGE | 125 |
| 4.1. | <i>Etude de l'emplacement des condensateurs de découplage</i> | 126 |
| 4.2. | <i>Etude de la matrice de condensateurs</i> | 133 |

| | |
|---|------------|
| 5. VERIFICATION DES MESURES EXPERIMENTALES D'INDUCTANCES GRACE A DES SIMULATIONS ----- | 140 |
| 5.1. <i>Géométries simulées et modélisations</i> ----- | 140 |
| 5.2. <i>Conditions expérimentales et allures des tensions V_{DS}</i> ----- | 142 |
| 5.3. <i>Résultats et discussions</i> ----- | 144 |
| 6. CONCLUSION ----- | 145 |
| | |
| CHAPITRE IV: DE LA CELLULE DE COMMUTATION AU CONVERTISSEUR ----- | 147 |
| | |
| 1. INTRODUCTION ----- | 149 |
| 2. EXEMPLES D'ARCHITECTURES DE MISE EN ŒUVRE DE CONVERTISSEURS TAPIR - | 150 |
| 2.1. <i>Exemples conceptuels</i> ----- | 150 |
| 2.2. <i>Démonstrateur : onduleur triphasé avec architecture série hydraulique</i> ----- | 161 |
| 3. INTERACTIONS ELECTROMAGNETIQUES ENTRE CELLULES DE COMMUTATION ---- | 166 |
| 3.1. <i>Effet de la proximité de cellules de commutation voisines sur l'inductance</i> ---- | 167 |
| 3.2. <i>Mise en parallèle de cellules de commutation</i> ----- | 169 |
| 4. ESTIMATION DES DENSITES VOLUMIQUE ET MASSIQUE DE PUISSANCE ----- | 172 |
| 4.1. <i>Interactions/couplages thermiques</i> ----- | 173 |
| 4.2. <i>Modèle thermique et simulations</i> ----- | 176 |
| 4.3. <i>Analyse des résultats de simulation</i> ----- | 178 |
| 4.4. <i>Estimation des densités de puissance</i> ----- | 179 |
| 5. CONCLUSION ----- | 181 |
| | |
| CONCLUSION GENERALE ET PERSPECTIVES ----- | 183 |
| ANNEXES ----- | 193 |
| BIBLIOGRAPHIE ----- | 219 |

Introduction générale

La transition énergétique est aujourd'hui une nécessité au vu de l'urgence climatique. De profonds changements dans les moyens de production d'énergie doivent être entrepris en intégrant de plus en plus de sources à base d'énergies renouvelables. De même, la réduction de l'utilisation des énergies fossiles par l'augmentation de la part du vecteur électrique dans la consommation énergétique finale est aussi de mise.

Les convertisseurs statiques sont au cœur de cette transition énergétique en permettant d'adapter les formes ou niveaux de courant et tension entre sources et récepteurs. Les domaines d'application des convertisseurs statiques sont très nombreux et vont du numérique (chargeurs de téléphones et d'ordinateurs, alimentations de datacenters, etc..) à l'énergie (smart grids, solaire photovoltaïque, éolien, etc.) en passant par les transports (véhicules électriques et hybrides, avions plus électriques, petites mobilités électriques, etc..).

L'adaptation des formes ou niveaux de courant et tension en électronique de puissance est basée sur l'utilisation d'interrupteurs à semi-conducteurs commandés ou non. Ces composants sont encapsulés dans des boîtiers appelés modules de puissances. Ces derniers assurent la connexion électrique des puces semi-conductrices avec les autres composants du convertisseur, facilitent l'évacuation des pertes et offrent une protection mécanique des puces et une isolation électrique. L'élément de base des convertisseurs statiques est la cellule de commutation qui est composée d'au moins deux interrupteurs. En général, une ou plusieurs cellules de commutation sont assemblées dans un module de puissance afin de répondre aux applications visées. Suivant les applications, les contraintes et défis sur les convertisseurs statiques varient, mais s'articulent principalement autour de l'amélioration du rendement, de la fiabilité, de l'économie de matière et de l'augmentation de la densité volumique et/ou massique.

Le domaine de la recherche est sollicité pour répondre à ces nombreux challenges en faisant évoluer ou en proposant de nouvelles technologies ou nouveaux matériaux. Ainsi, les composants de puissance à semi-conducteurs à grand gap (carbure de silicium, nitrure de gallium) ont fait leur apparition il y a une vingtaine d'années et offrent aujourd'hui des avantages certains par rapport à leurs homologues en silicium. En effet, de par la possibilité de commuter beaucoup plus vite, ils permettent la réduction de la taille des composants passifs, améliorant ainsi la compacité du convertisseur, ou l'amélioration du rendement en réduisant les pertes. Cette dernière possibilité, associée à un fonctionnement à plus haute température, permet de réduire le volume et la masse du système de refroidissement. Toutefois, ces composants à grand gap apportent de nouveaux challenges aux concepteurs de systèmes de puissance. Par

exemple, la conception d'un module de puissance doit prendre en compte deux problématiques importantes en plus des aspects de tenue en tension et de fiabilité : les éléments parasites (inductance de boucle de commutation, capacités parasites, etc.) et la gestion thermique (capacité à évacuer les pertes). Pour réduire l'inductance de la boucle de commutation, il faut rapprocher au maximum les puces de la même cellule de commutation. Cependant, cette proximité crée un couplage thermique entre les puces qui dégrade les performances thermiques du module. Il y a donc un compromis à faire entre la réduction des éléments parasites et l'amélioration des performances thermiques que l'on appelle souvent « compromis CEM (compatibilité électromagnétique) / thermique ». Les composants à grand gap rendent ce compromis beaucoup plus difficile à tenir. En effet, à cause de leur possibilité de commuter très vite, ils sont plus sensibles à leur environnement électrique et électromagnétique que les composants en silicium. Aussi, la taille des puces semi-conductrices est réduite ce qui augmente de manière drastique la densité de chaleur à évacuer. Les technologies de modules de puissance classiques, dites « 2D », deviennent alors limitantes si l'on veut tirer le maximum de bénéfices de ces composants. Des technologies d'encapsulation dite « 3D » existent aussi bien dans le monde de la recherche que de l'industrie. Ces technologies permettent en général d'améliorer le compromis énoncé plus haut, et peuvent être adaptées à l'intégration des semi-conducteurs à grand gap.

Ces travaux de thèse visent à évaluer une nouvelle technologie d'encapsulation « 3D » permettant d'améliorer le compromis CEM/thermique. Cette technologie a également pour but de réduire drastiquement la masse et le volume de l'ensemble module de puissance et système de refroidissement et, in fine, de rendre les convertisseurs encore plus compacts et légers. Son originalité réside dans la répartition des sources de chaleur (interrupteurs à semi-conducteurs) dans le volume du dissipateur, tout en réduisant considérablement l'influence des interfaces thermiques, afin de repousser les limites du refroidissement à air forcé tout en permettant l'utilisation de composants verticaux à forte vitesse de commutation.

Cette innovation, qui fait l'objet de plusieurs brevets [1], [2], est accompagnée par la SATT (Société d'Accélération de Transfert Technologique) LINKSIUM à travers un projet de valorisation dénommé TAPIR, aujourd'hui en phase d'incubation. L'objectif principal est le développement de la technologie afin de la transférer très prochainement à la future Startup TAPIR-Powermodules. C'est dans ce contexte particulier que s'inscrivent ces travaux de thèse.

Le premier chapitre démontrera la pertinence d'améliorer la compacité des convertisseurs statiques. Pour ce faire, le domaine du transport sera choisi comme cas d'étude. Les propriétés physiques des composants à grand gap seront ensuite rappelées. La technologie TAPIR sera alors présentée ainsi que la mise en œuvre d'une première cellule de commutation qui permettra d'évaluer les performances que pourrait atteindre cette technologie. Les principaux challenges techniques pour la mettre en œuvre seront enfin détaillés.

Le second chapitre fera une synthèse des différentes technologies pouvant être utilisées pour développer la technologie TAPIR. Les différentes cellules de commutation développées dans ces travaux de thèse seront présentées ainsi que les méthodes de tests mises en œuvre pour les caractériser. Les résultats obtenus viendront refermer ce chapitre.

Dans le troisième chapitre, des méthodes de conception électromagnétique des cellules de commutation à partir de simulations électromagnétiques seront présentées. Certaines simulations seront comparées à des mesures pratiques afin de valider les méthodes d'étude.

Enfin, le dernier chapitre présentera une étude de l'agencement des cellules de commutation pour réaliser un convertisseur. Le cas d'étude sera un onduleur triphasé. Il permettra d'estimer les densités volumique et massique atteignables avec cette technologie.

Une conclusion sur ces travaux ainsi que des perspectives viendront clôturer ce travail.

Chapitre I

Proposition technologique pour réduire la masse et le volume des convertisseurs

1. Introduction

La transition énergétique implique un changement profond des modes de production et de consommation d'énergie, et implique une augmentation de l'électrification des systèmes. Selon l'U.S. Advanced Research Projects Agency-Energy (ARPA-E), plus de 80 % de l'énergie électrique aux États-Unis utilisera des convertisseurs statiques d'ici 2030 [3]. Les enjeux pour ces convertisseurs de demain sont liés pour partie à l'amélioration du packaging des semi-conducteurs [4], [5]. Les nouveaux modules de puissance sont conçus pour réduire les perturbations électriques et électromagnétiques afin d'être utilisés avec des dispositifs à haute vitesse de commutation [6]. Dans sa feuille de route de 2017, le département de l'énergie (DOE) des USA a montré une ambition d'atteindre une densité volumique de 13,4 kW/L pour l'onduleur de traction des véhicules électriques légers et 100 kW/L pour celui des poids lourds d'ici 2025 [7]. Cet objectif n'est atteignable qu'en utilisant les composants à grand gap [7], [8]. L'optimisation du système de gestion thermique est également un enjeu majeur pour réduire la masse et le volume des convertisseurs et répondre aux besoins de mobilité électrique : par exemple, Delhommis et al. [9] proposent une optimisation globale d'une cellule de commutation SiC et montrent qu'environ 25 % de la masse est due au dissipateur thermique et au ventilateur. Pour une cellule de commutation Si, ils montrent que 38 % de la masse est due au système de refroidissement, car les pertes sont plus élevées.

Afin d'inscrire la thèse dans ce contexte, ce chapitre traitera, dans un premier temps, de l'importance de la réduction de la masse et du volume des convertisseurs statiques. L'application choisie est le véhicule électrifié (hybride ou électrique) qui est en plein essor et dont les parts de marché ne font qu'augmenter [10]. Ensuite, deux solutions permettant la réduction du volume des convertisseurs seront présentées. La première consiste en l'utilisation des composants à grand gap dont les propriétés physiques seront rappelées afin d'explicitier les principaux intérêts de ces derniers dans les systèmes de conversion d'énergie, en particulier dans le cadre des véhicules électrifiés. La seconde manière consiste à améliorer le refroidissement à travers un refroidissement 3D. Quelques architectures de packaging 3D seront présentées et discutées. Puis, la technologie TAPIR sera introduite et une cellule de commutation sera présentée afin d'évaluer les performances attendues. La présentation des challenges techniques liés à cette technologie viendra refermer le chapitre.

2. Intérêts de réduire le volume et la masse des convertisseurs dans les véhicules électrifiés

Plusieurs états ont pris conscience de la nécessité de réduire la consommation d'énergies fossiles, et in fine réduire les émissions de gaz à effet de serre (principalement CO₂). Des mesures sont alors prises et le secteur du transport, représentant plus de 28% de la consommation totale d'énergie des USA en 2018, est particulièrement ciblé [11]. À titre d'exemple, les règles actuelles du gouvernement américain pour le programme Corporate Average Fuel Economy, ou CAFE, exigent une moyenne d'environ 54,5 mpg soit 4,35 L/100km pour les modèles produits à partir de 2025 [12], [13]. La France, avec la stratégie nationale bas carbone (SNBC), a pour objectif de fixer une consommation inférieure à 4 L/100km pour les véhicules thermiques neufs vendus à partir de 2030 [14]. Sachant qu'actuellement une voiture thermique consomme en moyenne 7 L/100 km, cela revient à réduire de près de moitié la consommation. Quant aux émissions de CO₂, l'Union Européenne avec son plan « fit for 55 », exige une réduction de 55% (par rapport à 1990) des émissions de CO₂ au kilomètre d'ici 2030 avant un bannissement du moteur thermique en 2035 [15], [16]. Les normes actuelles obligent d'être en dessous de 95g de CO₂/km [15].

Selon Michel Forissier, directeur de l'ingénierie de Valeo, « sans l'assistance d'un moteur électrique, un moteur thermique ne peut pas descendre en dessous des 110 grammes de CO₂ au kilomètre » [15]. Les objectifs de réduction de consommation et d'émission de CO₂ ne sont donc atteignables qu'en électrifiant les véhicules [13], [15]. Le Tableau I. 1 présente les différentes économies de carburant réalisables suivant le niveau d'hybridation. Les voitures « mild hybrid » permettent d'économiser jusqu'à 15% de carburant pendant que les « full hybrid » permettent une économie pouvant atteindre 50%. Les voitures hybrides rechargeables permettent d'atteindre 80% d'économie de carburant. De plus, il existe principalement deux niveaux de tension pour ces technologies de véhicules : la basse tension (LV) avec des tensions inférieures à 60V et la forte tension avec des tensions allant de 100 V à 400 V. Pour comprendre les challenges et les évolutions futures des convertisseurs, nous allons étudier ci-dessous deux exemples très différents en termes de niveau de tension et de type de recharge : les voitures hybrides auto-rechargeables et les voitures électriques.

| Technologies de voitures électrifiées | % de réduction de consommation de carburant |
|---------------------------------------|---|
| 12V Stop/Start | 2-5 |
| 12V micro hybrid | 3-10 |
| LV mild hybrid/BSG | 8-15 |
| HV mild hybrid | 10-16 |
| Full hybrid | 20-50 |
| Plug-in hybrid | 40-80 |
| BEV | 100 |

Tableau I. 1 : Economies de carburant en fonction du niveau d'hybridation [13]

2.1. Voitures hybrides auto-rechargeables de type LV Mild hybrid BSG

Les voitures « mild hybrid » (ou « hybride léger ») à basse tension sont équipées d'un moteur électrique à courroie (Belt-driven Starter Generator : BSG) qui remplace l'alternateur des voitures thermiques et fournit du couple d'entraînement dans certaines situations. Cela permet une réduction de consommation de carburant pouvant atteindre 15% voire plus dans certains cas. Par exemple, l'Audi A3, qui fait partie des plus performantes, affiche une économie de carburant de 24% [17]. Le BSG, d'une puissance comprise entre 5 et 10 kW [13], [18] est alimenté par une batterie de 48V à travers un onduleur triphasé. Les principaux challenges de ces onduleurs restent le coût, la masse et surtout le volume [13], [18]–[20]. En effet, ce système 48V vient se rajouter au moteur thermique sous le capot où il y a déjà très peu de place. Aussi, l'onduleur qui est souvent refroidi à air [18], [21] se doit d'avoir un système de refroidissement performant du fait de sa proximité avec le moteur thermique sous le capot où la température ambiante peut atteindre 80°C.

Le convertisseur DC/DC servant à alimenter le bus 48V et à charger la batterie 12V fait face pratiquement aux mêmes contraintes que celles de l'onduleur triphasé du BSG. Il doit être léger, compact et avec un coût réduit tout en étant fiable et avec un bon rendement.

2.2. Voitures électriques rechargeables/BEV (voitures électriques à batterie)

L'architecture d'un véhicule électrique à batterie est présentée sur la Figure I. 1. Le moteur électrique a une puissance comprise entre 100 kW et 200 kW avec un refroidissement liquide. La batterie HV a une tension d'environ 400V dans les modèles commercialisés aujourd'hui (Nissan leaf-345V, Tesla modèle S-375V, Tesla modèle 3-375/400V [22]), mais cette tension est amenée à évoluer. Porsche et Fisker ont annoncé des architectures de batterie à 800V pour réduire le temps de charge [23], [24].

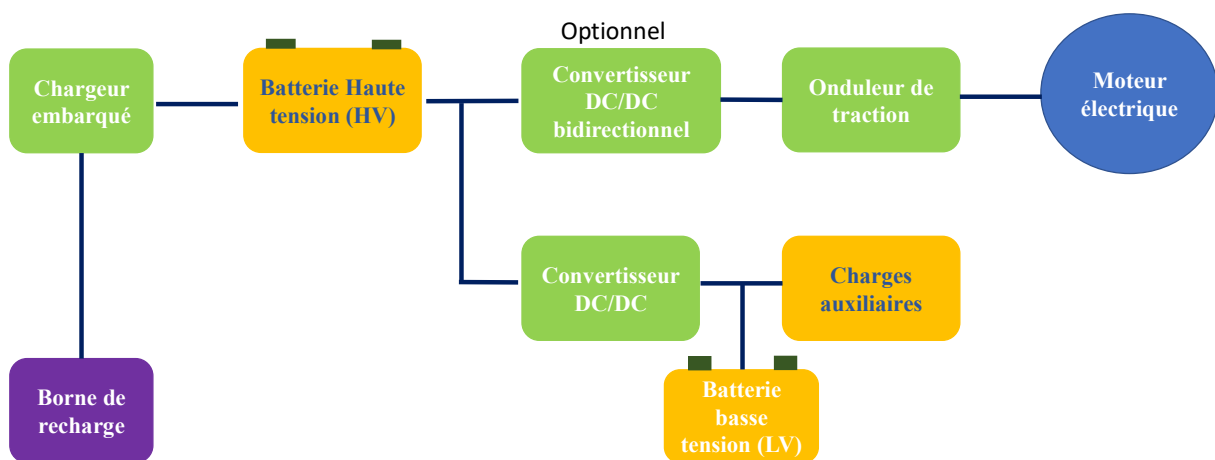


Figure I. 1 : Architecture des véhicules électriques à batterie (BEV)

Le temps de charge étant l'un des points bloquants, le chargeur devient un élément clé. Il en existe de deux types : le chargeur hors du véhicule et le chargeur embarqué. Ce dernier est surtout limité par des contraintes de masse, de volume et de coût [25]–[29]. Sachant que le temps de charge est inversement proportionnel à la puissance [30], la puissance des chargeurs est amenée à évoluer. En 2020, la majorité des chargeurs embarqués avait une puissance comprise entre 6 kW et 10 kW à l'exception de celui de la Renault Zoe (22 kW) [28]. Les chargeurs embarqués doivent donc avoir des rendements et des densités volumiques de puissance élevés. La meilleure densité volumique de puissance des chargeurs embarqués actuels est de 3,3 kW/L avec un rendement de 97%. Le Tableau I. 2 présente les objectifs de la DOE pour 2025. Les densités volumique et massique devront atteindre respectivement 4,6 kW/L et 4 kW/kg pour un rendement de 98% [20]. Cela implique une réduction du volume de près de 40% par rapport au meilleur de l'état de l'art actuel. Cette réduction de volume entraîne encore plus de contraintes sur le module de puissance et le système de refroidissement étant donné que

les fréquences de commutation, et donc les pertes, sont en général augmentées afin d'atteindre cet objectif [30].

| Chargeur embarqué | Données actuelles | Objectif DOE 2025 | Améliorations |
|---|-------------------|-------------------|---------------|
| Coût, \$/kW | – | 35 | – |
| Densité massique de puissance, kW/kg | – | 4 | – |
| Densité volumique de puissance, kW/L | 3,3 | 4,6 | 39% |
| Rendement | 97% | 98% | 1% |

Tableau I. 2 : Objectifs pour les chargeurs embarqués horizon 2025 [7]

Les attentes sur les onduleurs de traction sont encore plus élevées, car contrairement aux chargeurs qui peuvent être embarqués ou à l'extérieur, ces équipements sont indispensables à tout véhicule électrique. Les objectifs de la DOE pour 2025 sont rappelés sur le Tableau I. 3. En termes de compacité, le département américain de l'énergie recommande une densité volumique de 100 kW/L d'ici 2025 [7]. Actuellement la meilleure densité volumique de puissance atteinte pour un onduleur de traction avec un refroidissement liquide est de 30,1 kW/L et revient à la Tesla modèle S 70D sortis en 2015 [31]. Une réduction de 70% du volume de l'onduleur est donc espérée d'ici trois ans. Il faut tout de même noter que la densité volumique de l'onduleur de traction de la Tesla modèle 3 qui utilise des MOSFETs en carbure de silicium n'est pas connue.

| Onduleur de traction | Données actuelles | Objectif DOE 2025 | Améliorations |
|---|-------------------|-------------------|---------------|
| Coût, \$/kW | – | 2,7 | – |
| Densité massique de puissance, kW/kg | – | > 14,1 | – |
| Densité volumique de puissance, kW/L | 30,1 | 100 | 70% |
| Rendement | – | > 93% | – |

Tableau I. 3 : Objectifs DOE pour les onduleurs de traction d'ici 2025 [7]

Avec les exemples illustrés plus haut, nous pouvons conclure que les convertisseurs de demain devront être plus efficaces (meilleur rendement), plus fiables, plus légers et plus compacts, ces derniers points étant au centre de ce travail de thèse. Pour satisfaire à toutes ces exigences, et

plus principalement à celles de densité volumique et massique de puissance, plusieurs solutions peuvent être implémentées. Nous nous intéresserons à deux principales solutions dans la partie suivante, la première concernant l'utilisation de composants à grand gap et la seconde l'amélioration de la compacité du système de refroidissement. En fonction de l'architecture du packaging, ces deux solutions peuvent être combinées pour pousser plus loin les limites des densités de puissance atteignables.

3. Solutions pour améliorer la compacité des convertisseurs

3.1. Utilisation des composants à grand gap

En électronique de puissance, la recherche d'amélioration du rendement des convertisseurs statiques, de la réduction de la masse et du volume de ces derniers, a fait grandir la nécessité de commuter plus vite, de réduire les pertes et de pouvoir fonctionner à plus haute température. Cela est rendu possible par l'arrivée sur le marché des semi-conducteurs à grand gap en carbure de silicium (SiC) et nitrure de gallium (GaN) et, dans le domaine de la recherche à plus long terme, par le développement des semi-conducteurs à ultra grand gap (Ga_2O_3 , AlN, diamant) [32]–[34]. Dans les paragraphes qui suivent, nous nous intéresserons particulièrement aux composants en SiC et GaN dont la maturité est la plus avancée, avec un focus particulier sur le composant MOSFET SiC qui nous semble le plus adapté à la technologie proposée dans ce manuscrit.

3.1.1. Propriétés physiques des matériaux semi-conducteurs à grand gap (SiC et GaN)

Le Tableau I. 4 compare les propriétés électriques et thermiques du silicium (Si), du carbure de silicium (SiC) et du nitrure de gallium (GaN) [35], [36]. Grâce à leur large bande interdite, le SiC et le GaN permettent de fabriquer des composants fonctionnant à plus haute température. En effet, l'élévation de la température fournit de l'énergie aux électrons leur permettant, au-delà d'une certaine limite de franchir la bande interdite indépendamment du dopage intrinsèque, faisant perdre au matériau ses propriétés semi-conductrices. Ainsi, les composants silicium 600 V peuvent fonctionner jusqu'à 175°C tandis que ceux en carbure de silicium de calibre en tension équivalent peuvent théoriquement fonctionner au-delà de 600°C [37]. Dans la pratique, tout dépendra du design ou du type de composant, et de son packaging.

La conductivité thermique, paramètre important pour faciliter l'évacuation des pertes, est environ 2 fois plus importante pour le carbure de silicium que pour le silicium. Le champ de

claquage est 10 fois plus élevé dans le carbure de silicium et le nitrure de gallium par rapport au silicium. L'épaisseur de la zone de drift étant inversement proportionnelle à ce champ de claquage, celle des puces semi-conductrices à grand gap à structure verticale est réduite pour le même niveau de tension. Aussi, la résistance à l'état passant est réduite pour une même surface de composant. Ainsi, les 3 propriétés précédentes (champ de claquage élevé, conductivité thermique élevée et plus grande bande interdite) permettent de réduire la taille des puces. La vitesse de saturation 2 fois plus grande des composants en carbure de silicium indique la rapidité de commutation des interrupteurs de puissance, réduisant ainsi les pertes par commutation.

| Propriétés | Si | 4H-SiC | GaN |
|--|------|--------|------|
| Largeur de bande interdite E_g (eV) | 1,12 | 3,6 | 3,39 |
| Conductivité thermique λ (W/cm.K) | 1,5 | 3,8 | 1,3 |
| Champ de claquage E_c (Mv/cm) | 0,23 | 2,2 | 3,3 |
| Vitesse de saturation des électrons V_{sat} (10^7 cm/s) | 1 | 2 | 2,5 |
| Mobilité des porteurs de charges μ_n ($cm^2/V.s$) | 1400 | 950 | 800 |

Tableau I. 4 : Propriétés des matériaux semi-conducteur Si, SiC et GaN

En résumé, pour des calibres en courant et en tension identiques, les propriétés physiques des matériaux à grand gap permettent aux interrupteurs de l'électronique de puissance de commuter plus rapidement, donc de réduire les pertes, et de fonctionner à plus haute température. Ainsi, via une étude bibliographique, le paragraphe suivant nous permettra de mettre en évidence l'intérêt de remplacer les IGBTs Si par des transistors en SiC.

3.1.2. Les avantages de l'utilisation des transistors en SiC pour l'électronique de puissance

Les composants à grand gap, et notamment en SiC, ont montré des avantages certains dans plusieurs domaines d'application. De nombreux travaux de la littérature comparent les bénéfices apportés par ces derniers à l'échelle du convertisseur, voire sur des systèmes plus complets. Nous en présenterons certains ci-dessous afin de montrer l'apport de ces composants pour l'augmentation de la densité de puissance.

À l'échelle du convertisseur, plusieurs travaux ont montré l'amélioration du rendement qu'apportent les composants à base de carbure de silicium. [38] présente un onduleur triphasé

de puissance 500 kW réalisé avec des MOSFETs SiC permettant d'atteindre un rendement de 98,74%. Ce rendement n'a pas encore pu être atteint avec des composants IGBTs pour ce niveau de puissance. Dans [39], une comparaison a été faite entre un onduleur d'entraînement de machine synchrone à aimants permanents de 1 kW réalisé avec des IGBTs Si et un autre avec des MOSFETs SiC. Les résultats ont montré une amélioration de 1% du rendement avec le prototype utilisant les MOSFETs SiC. Le point commun des études précédentes est qu'elles utilisent toutes des modules de puissance ou composants discrets du commerce ce qui peut encore limiter les performances. Les travaux de Zhu et coll. [40] ont mis en avant un onduleur de traction de 30 kW avec un rendement de pointe de 99,5% en utilisant des MOSFETs SiC intégrés dans un packaging dédié. Force est de constater que peu d'informations sur le packaging des puces existent ; cependant, on peut constater que de meilleurs rendements peuvent être atteints en améliorant le packaging.

Certaines études comme celle présentée par Rujas et coll. [41] s'intéressent à la réduction du volume que peut offrir l'utilisation des composants SiC. Dans cette étude, l'exemple d'application est un convertisseur DC/DC de 22 kW pour le ferroviaire. Comme dans les études précédentes, un convertisseur réalisé avec des composants SiC est comparé avec un autre utilisant des IGBTs Si. L'étude montre que l'augmentation de la fréquence de 10 kHz à 20 kHz permet une réduction de 73% du volume des inductances dans le convertisseur en SiC. L'ensemble module de puissance et système de refroidissement est réduit de 40% en volume. Dans son ensemble, le volume du convertisseur est réduit de 30%.

Plusieurs travaux ont analysé les avantages de ces composants d'un point de vue plus global comme par exemple les conséquences sur les coûts d'exploitation. Dans [42], un onduleur de traction ferroviaire utilisant des MOSFETs SiC de 3,3 kV a été comparé en simulation à un autre utilisant des IGBTs Si de même calibre en tension et en courant, et ayant le même boîtier (LV100). Les résultats ont montré une réduction des pertes de 59% dans l'onduleur utilisant le module de puissance en SiC. L'étude a ainsi estimé que 1,49 MWh étaient économisés par an et par module de puissance dans ces conditions ce qui représentait une économie de 186 € [43].

Les travaux de Zhang et coll. [44] se sont intéressés aux avantages d'intégrer des composants JFET SiC dans un onduleur de traction de véhicule hybride et hybride rechargeable. Des simulations ont été réalisées sur PSAT, une boîte à outils de MATLAB, permettant de quantifier l'influence de l'architecture de la chaîne de traction sur les véhicules hybrides [45]. Ces simulations comparent deux onduleurs. Le premier est fait d'IGBTs Si et de diodes Si, et le

second de JFET SiC et de diodes Schottky SiC. Le modèle de véhicule hybride est la Toyota Prius 2004. Les résultats de simulations sont présentés sur le Tableau I. 5. On remarque alors une réduction des pertes de 81,7% dans l'onduleur utilisant les composants SiC. Cet onduleur permet de récupérer 20,3% de plus d'énergie lors du freinage et une réduction de 11,1% des émissions de CO₂.

| | Description | Si | SiC | Amélioration % |
|-----------------------|--|------|------|----------------|
| A l'échelle composant | Température moyenne de jonction (°C) JFETs/IGBTs | 95 | 58 | - |
| | Température moyenne de jonction (°C) Diodes | 93 | 58 | - |
| | Pertes moyennes de l'onduleur (W) | 633 | 116 | 81,7 |
| | Rendement moyen de l'onduleur (%) | 74,3 | 89,1 | 19,9 |
| A l'échelle système | Consommation de carburant (L/100km) | 3,94 | 3,36 | 14,7 |
| | Emissions de CO ₂ (g/m) | 0,09 | 0,08 | 11,1 |
| | Pourcentage d'énergie récupérée (%) | 65,4 | 78,7 | 20,3 |
| | Rendement du système (%) | 32,9 | 37,7 | 14,6 |

Tableau I. 5 : Résumé des impacts du SiC sur les performances de la Toyota Prius 2004 [44]

Les composants SiC n'ont donc plus rien à prouver niveau performance et contribution dans l'amélioration des convertisseurs et systèmes dans lesquels ils sont intégrés. En effet, ils permettent une augmentation de la densité volumique de puissance des convertisseurs en réduisant le volume des éléments passifs et du système de refroidissement. Cela de par leur possibilité de commuter plus vite, la diminution des pertes et la possibilité de fonctionner à haute température. Cependant, cela ne supprime pas la nécessité de refroidir ces composants [46]–[48]. Une solution supplémentaire pour réduire le volume du convertisseur réside dans une meilleure utilisation du système de refroidissement. Elle sera discutée dans la partie suivante.

3.2. Meilleure utilisation du système de refroidissement

3.2.1. Mise en œuvre classique des composants semi-conducteurs

Trois principaux types de refroidissement sont utilisés en électronique de puissance suivant la quantité et la densité de chaleur à évacuer. On trouve ainsi le refroidissement passif ou naturel, le refroidissement à air forcé et le refroidissement liquide. Nous allons nous intéresser au refroidissement à air forcé d'une part parce qu'il est le type de refroidissement le plus courant et aussi parce que la technologie que nous présenterons par la suite l'utilise. Avant cela, nous présentons brièvement la structure classique d'un module de puissance.

Les puces semi-conductrices sont assemblées dans des boîtiers permettant leur protection mécanique et chimique, leur connexion électrique avec les autres puces et le reste des composants du convertisseur, l'évacuation de la chaleur et éventuellement l'isolation électrique des puces entre elles et avec le dissipateur. Il existe principalement deux types de boîtiers : les composants discrets qui contiennent généralement une seule puce, et les modules de puissance qui en contiennent plusieurs. Ces boîtiers sont disposés sur un ou plusieurs dissipateurs pour évacuer le flux de chaleur. La Figure I. 2 présente une coupe transversale d'un module de puissance classique sur un dissipateur. La puce semi-conductrice, en bleu sur la Figure I. 2 est brasée en face arrière sur un substrat céramique métallisé qui est lui-même brasé sur une semelle souvent en cuivre. En face supérieure, la puce est connectée par des fils de bonding. Des terminaux de connexion permettent une connexion électrique entre les puces et le reste du convertisseur. Un gel diélectrique est présent pour assurer la tenue en tension des composants. Le module de puissance est fixé sur un dissipateur thermique en utilisant un matériau d'interface thermique (TIM). On peut alors mettre en évidence les principales limitations de cet assemblage au niveau thermique : les multiples matériaux et interfaces thermiques entre la puce et le fluide environnant, la proximité des puces semi-conductrices entre elles (couplages thermiques) et le refroidissement qui n'est effectué que sur une seule face.

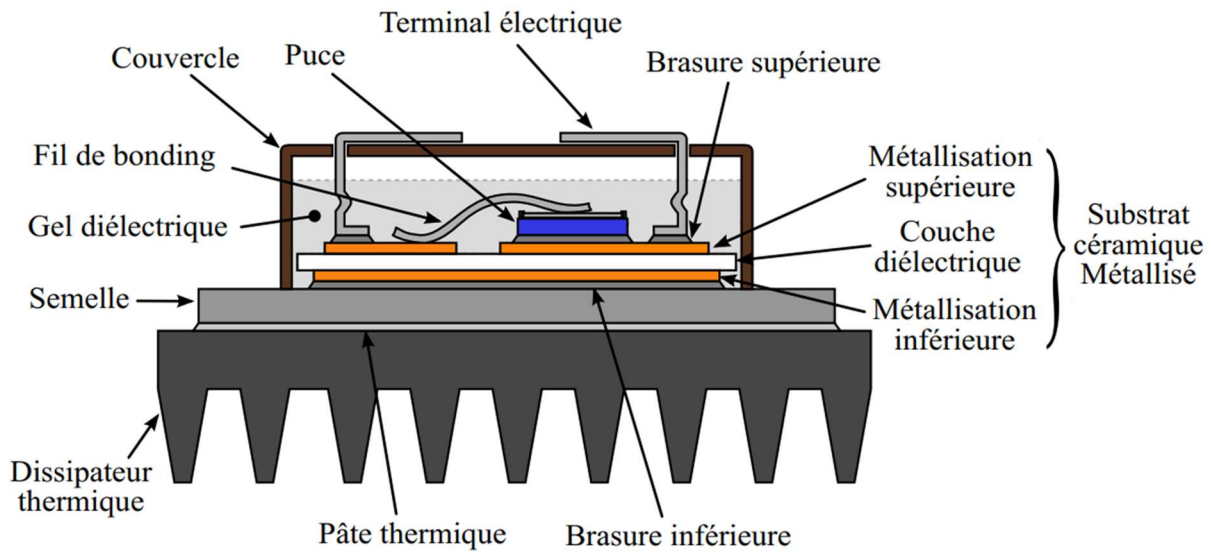


Figure I. 2 : Vue en coupe d'un module de puissance classique [49]

Dans les lignes suivantes, nous allons donc voir quel serait le système idéal de refroidissement des composants en électronique de puissance permettant de réduire le volume du système de refroidissement.

3.2.2. Vers une réduction du volume du système de refroidissement

Au vu des limites présentées dans le paragraphe précédent, la Figure I. 3 expose de manière qualitative les différentes étapes permettant, idéalement, la réduction du volume du refroidisseur tout en conservant les mêmes performances thermiques. La Figure I. 3.a présente une vue simplifiée d'un module de puissance assemblé sur un dissipateur. Une première amélioration possible (Figure I. 3.b) serait de disposer les puces directement sur le dissipateur pour limiter le nombre d'interfaces thermiques, et de les répartir uniformément sur la surface afin de limiter les couplages thermiques. La possibilité de refroidir sur les deux faces (Figure I. 3.c) permettrait de diminuer la densité de flux de chaleur à évacuer et donc de réduire encore un peu plus le volume. Enfin, une intégration des puces en 3 dimensions dans le volume global du dissipateur (Figure I. 3.c) permettrait de limiter les couplages thermiques entre puces et, possiblement, d'optimiser les performances thermo-hydrauliques (résistance thermique versus pertes de charge du système).

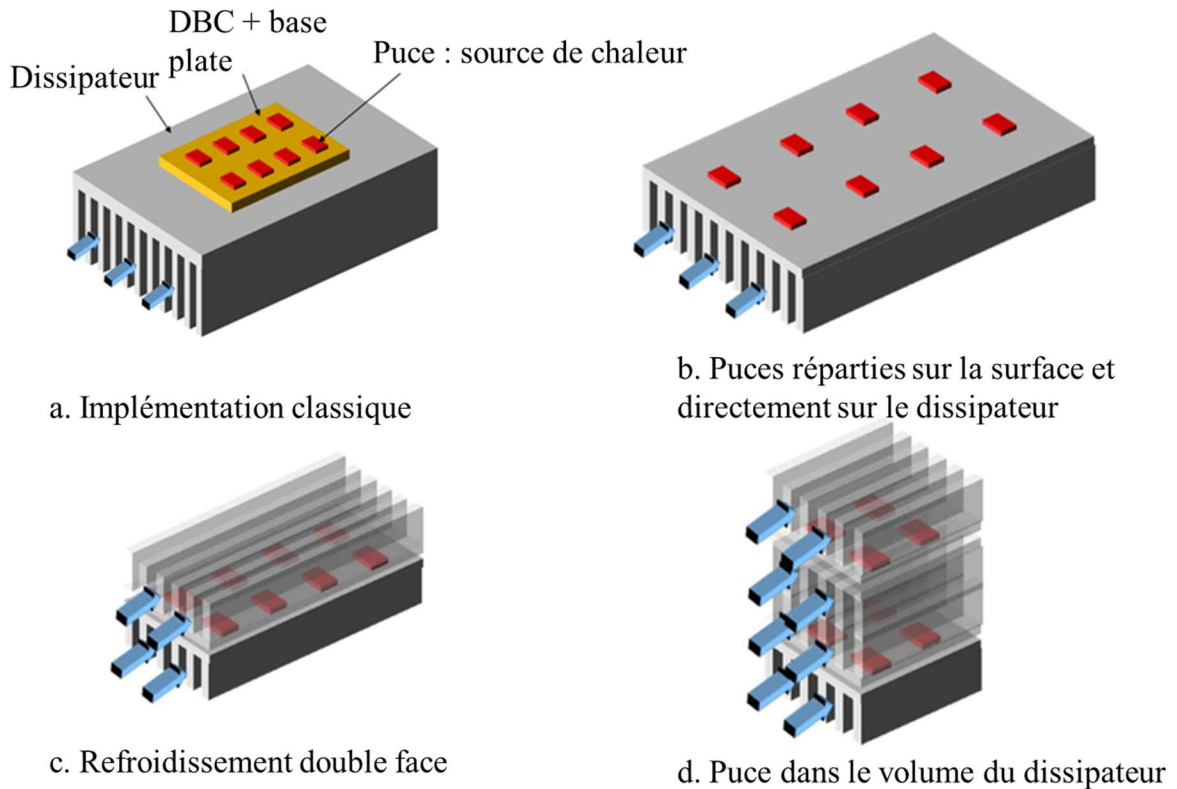


Figure I. 3 : Diminution du volume du dissipateur dans un cas idéal

Cependant, cette représentation, idéale d'un point de vue thermique, est trop simplifiée et ne tient pas compte des contraintes d'isolation électrique nécessaires pour la mise en place d'un convertisseur statique. Par ailleurs, les puces ne peuvent pas être trop éloignées les unes des autres afin de limiter les inductances parasites. De manière plus générale, les éléments parasites (inductances et capacités) doivent être optimisés pour permettre la mise en œuvre de composants rapides et limiter la génération de perturbations électromagnétiques. La partie suivante nous permettra de présenter la solution retenue pour se rapprocher du cas idéal présenté sur la Figure I. 3.d tout en tenant compte des contraintes d'intégration nécessaires à la mise en œuvre des composants semi-conducteurs. Pour ce faire, nous commencerons par parler de la cellule de commutation, élément cœur des convertisseurs, puis nous verrons quelques exemples de la littérature visant à améliorer à la fois les performances thermiques et électromagnétiques des modules de puissance.

4. Présentation de la solution d'intégration étudiée

4.1. La cellule de commutation

La cellule de commutation est l'élément de base de nombreux convertisseurs d'électronique de puissance. Elle est souvent représentée par un interrupteur commandé, une diode, une source de courant, et une capacité de découplage. Dans certaines applications, il est nécessaire d'avoir une structure réversible. Dans ce cas, la cellule de commutation est constituée de deux interrupteurs réversibles en courant (MOSFET ou IGBT avec diode en antiparallèle). La Figure I. 4 montre une cellule de commutation composée de deux MOSFETs ainsi que ses principaux éléments parasites. Les éléments parasites sur le circuit de grille ne sont pas représentés.

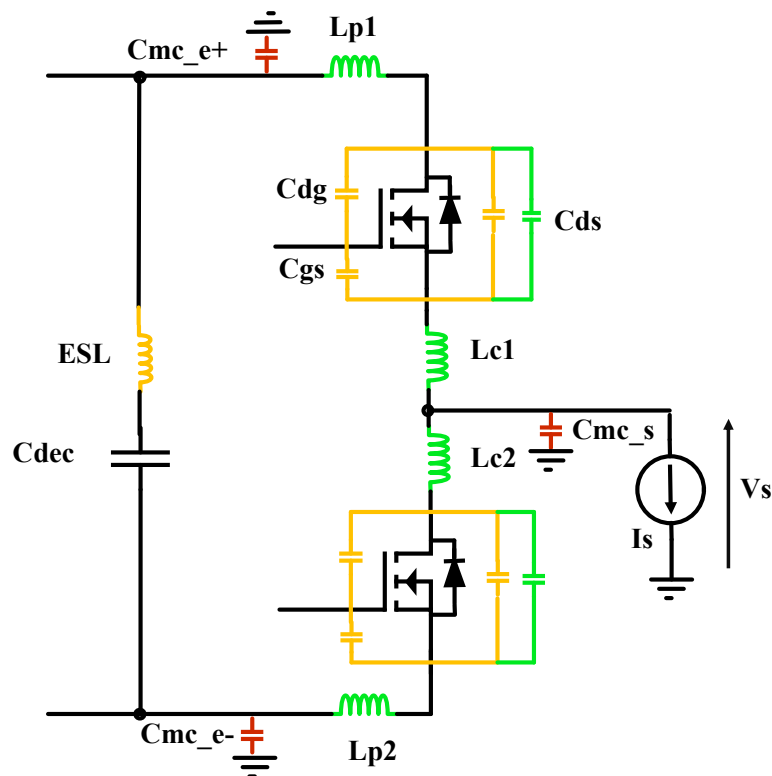


Figure I. 4 : Cellule de commutation MOS-MOS et éléments parasites (les couplages magnétiques entre inductances ne sont pas représentés)

En fonction de leur origine, les éléments parasites peuvent être répartis en trois grands groupes. Il y a les éléments parasites intrinsèques aux composants (puces semi-conductrices, condensateur de découplage, driver) représentés en orange ; les éléments parasites provenant de l'assemblage (packaging) représentés en vert ; et enfin les éléments parasites provenant de l'agencement des modules de puissance pour réaliser le convertisseur, représentés en rouge.

- Éléments parasites intrinsèques des composants

Les éléments parasites intrinsèques des puces sont principalement constitués des capacités. Les condensateurs eux contiennent plutôt des inductances et résistances parasites. Le concepteur de modules de puissance ou de convertisseurs n'a pas de marge de manœuvre sur ces éléments si ce n'est lors du choix de la technologie employée pour chaque composant.

- Les éléments parasites provenant de l'encapsulation et/ou de l'assemblage des puces

Les éléments parasites provenant du packaging contiennent à la fois des éléments inductifs, capacitifs et résistifs. Nous allons nous intéresser seulement aux éléments capacitifs et inductifs qui sont prépondérant comparé aux éléments résistifs lors des commutations. Les éléments inductifs proviennent de l'inductance des pistes ou fils présents dans le boîtier. L'inductance de la maille de commutation dépend des inductances L_{p1} , L_{p2} , L_{c1} , L_{c2} et l'ESL de la capacité de découplage ainsi que des couplages magnétiques qui existent entre ces différents éléments. Sans rentrer dans le détail des phases de commutation, on peut retenir que cette inductance est responsable des surtensions lors de l'ouverture des composants [49]. Les surtensions sont encore plus importantes pour des cellules de commutation intégrant des composants à grand gap puisque ces derniers commutent avec des di/dt plus grands. La surtension est l'une des raisons pour lesquelles les composants de puissance sont utilisés avec une tension de bus bien inférieure à celle indiquée dans la documentation du constructeur des composants.

L'encapsulation des composants de puissance rajoute des capacités parasites en plus de celles déjà comprises dans la puce. Ces capacités peuvent ralentir les commutations et donc augmenter les pertes et in fine dégrader le rendement du convertisseur ce qui est l'inverse de ce qui est recherché quand on utilise des composants à grand gap.

- Les éléments parasites de l'assemblage des modules de puissance

Certains éléments parasites aussi bien inductifs que capacitifs proviennent de l'assemblage des modules de puissance au sein du convertisseur. Dans les modules de puissance classiques, les condensateurs de découplage ne se situent pas dans le module de puissance. Cela oblige à soigner toute la connectique entre le module et les condensateurs afin de limiter les inductances parasites.

Les éléments capacitifs sont constitués des capacités de mode commun qui sont responsables des perturbations CEM. Ces perturbations sont d'autant plus grandes que les vitesses de commutation (dV/dt) sont élevées comme dans le cas des composants à grands gap. Il existe des normes CEM que doit respecter chaque convertisseur suivant le domaine d'application. Cela demande l'installation de filtres CEM qui peuvent être volumineux et par conséquent faire perdre l'utilité de réduire le volume des composants passifs. Les capacités parasites doivent alors être adaptées : faible C_{mc_s} , forts C_{mc_e+} et C_{mc_e-} pour limiter la génération de courants de mode commun. Par ailleurs, C_{mc_e+} et C_{mc_e-} ont idéalement des valeurs identiques pour limiter le couplage de mode [50].

Au regard des deux dernières sections, on comprend qu'il y a un compromis entre performances thermiques et impédances parasites, ou encore comportement CEM. Les concepteurs de modules de puissance essaient alors d'optimiser une partie tout en ne dégradant pas l'autre, voire en l'améliorant. Dans ce contexte, la littérature propose de nombreuses solutions dont nous citerons quelques exemples dans le paragraphe suivant.

4.2. Etat de l'art

Dans cet état de l'art, nous nous intéresserons particulièrement aux structures dites 3D qui permettent d'avoir de bonnes performances électriques et thermiques et surtout d'augmenter la densité volumique de puissance de la partie active du convertisseur. Afin de gagner en clarté, nous ferons un focus sur les architectures sans nous attarder trop longtemps sur les technologies de réalisation mises en œuvre.

- Module 3D avec fils de bonding

L'ORNL (Oak Ridge National Laboratory) aux USA a proposé un module puissance 3D avec des fils de bonding comme on peut le voir sur la Figure I. 5 [51]. Les fils de bonding permettent de connecter les puces aux terminaux de puissance et aussi au circuit de commande qui n'est pas représenté sur cette figure. Les puces sont brasées sur des substrats et les capacités de découplage sont situées très proches de la cellule de commutation. Le principal avantage de cette architecture est la suppression du couplage thermique entre puces de la même cellule de commutation, et la réduction de l'inductance parasite de la boucle de commutation à travers la position des condensateurs de découplage et la géométrie de la boucle de commutation. Cela permet une amélioration de la densité volumique de puissance par rapport à une structure classique en 2D. En effet, un onduleur triphasé de 50 kW composé de MOSFETs SiC et refroidi

à air a été mis en œuvre et affiche une amélioration de densité volumique de 3,5 fois comparée à un onduleur solaire classique. Il est à noter que les valeurs d'inductance parasite de la cellule de commutation ni de la résistance thermique ne sont pas données par les auteurs. Malgré tout, les limites de cette architecture sont entre autres l'utilisation des fils de bonding qui empêchent une réduction importante de l'inductance parasite. D'un point de vue thermique, l'utilisation de substrats isolés détériore la capacité à refroidir, avec en plus une extraction de la chaleur sur une seule face.

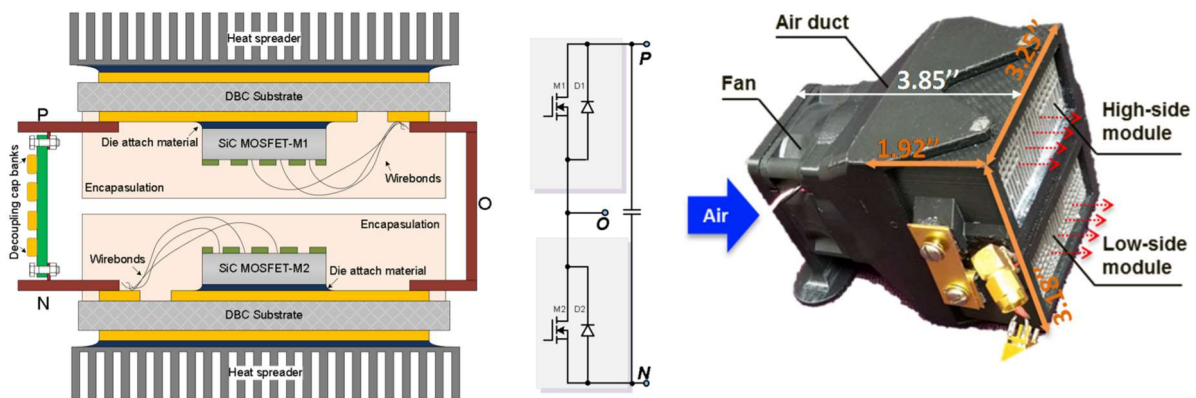


Figure I. 5 : Module de puissance ORNL [52]

- Module de puissance 3D empilé

Un peu comme ce qui est fait dans les modules press-pack IGBT pour la forte puissance [52], l'université d'Arkansas a développé un module de puissance 3D empilé qui est présenté sur la Figure I. 6 [53]–[55]. Dans cette architecture, le bras d'onduleur est constitué de deux modules élémentaires que l'on assemble à l'aide de connecteurs à ressort contenus dans une céramique cofrittée à basse température (LTCC). Chaque module est composé de deux IGBTs et de deux diodes en antiparallèle. Une méthode est utilisée pour réaliser du flip chip, supprimant ainsi l'utilisation des fils de bonding. Les puces dans un module sont contenues entre deux substrats DBC et une pince permet de ramener le potentiel émetteur ou collecteur sur la face du DBC n'étant pas connectée aux composants afin de réaliser la connexion avec le second module (Figure I. 6.b).

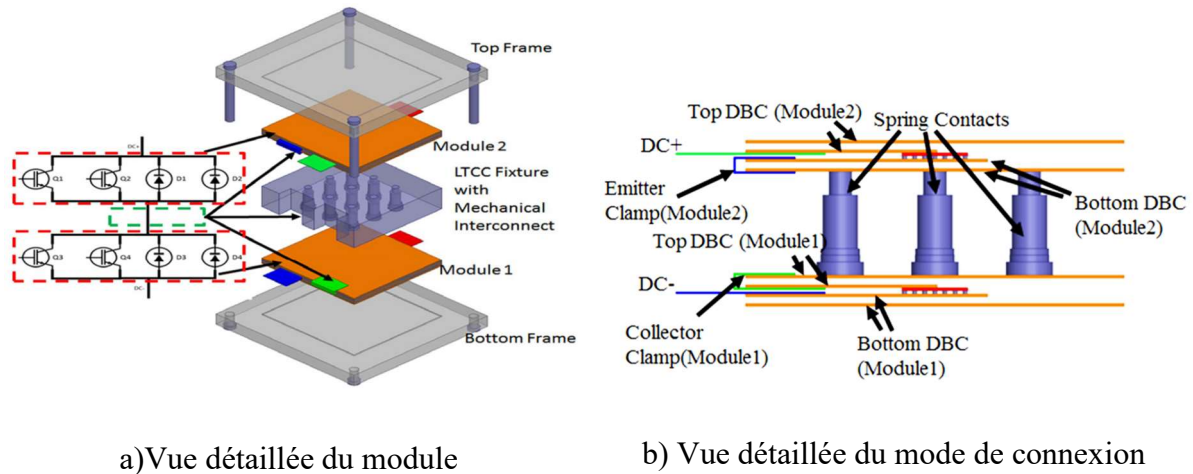


Figure I. 6 : Module 3D empilé [56]

Les avantages d'une telle architecture sont, entre autres, la suppression des fils de bonding permettant de réduire l'inductance de la maille de commutation. Une inductance parasite comprise entre 5,8 nH et 3 nH en fonction de la fréquence est obtenue par simulation [53]. Aussi, l'utilisation des ressorts pour connecter les deux modules permet d'amortir les différences de CTE (Coefficient de dilatation thermique) des différents matériaux et donc allonger la durée de vie du module en comparaison au module de puissance 2D avec fils de bonding. Bien que les performances thermiques de cette architecture n'aient pas été étudiées par les auteurs, elles ne semblent pas optimales. En effet, le flux de chaleur provenant des puces voit plusieurs interfaces. À cela s'ajoute le fait que la chaleur n'est toujours extraite que sur une seule face du composant.

- Module de puissance à refroidissement double face avec DBC

Une manière de réaliser un assemblage 3D est de reporter le même substrat que celui utilisé en face arrière des puces sur leur face avant. Dès le début des années 2000, Gillot et coll. [56] ont proposé une architecture, présentée sur la Figure I. 7, dans laquelle les composants sont pris en sandwich entre deux DBC utilisant du nitrure d'aluminium comme céramique [56]. Les fils de bonding sont remplacés par des billes de brasure. De nombreuses autres solutions ont ensuite été présentées dans la littérature pour effectuer la connexion électrique en face avant. Elles sont détaillées dans [57]. Les dissipateurs thermiques faits de micro canaux sont brasés directement sur les DBC, réduisant ainsi le nombre d'interfaces thermiques (base plate, TIM, brasure) par rapport à une solution classique.

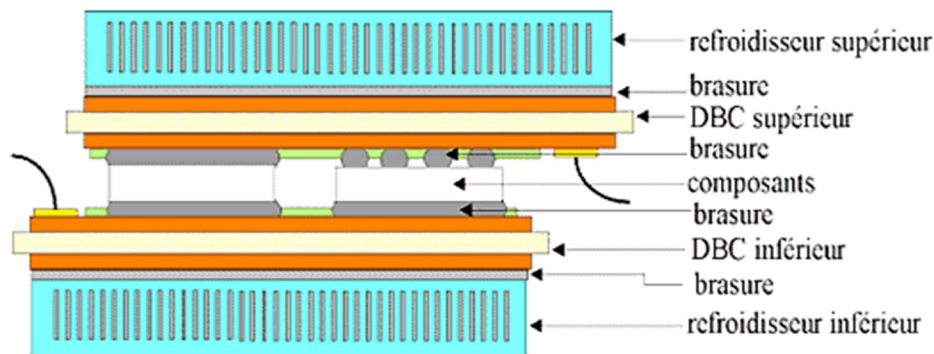
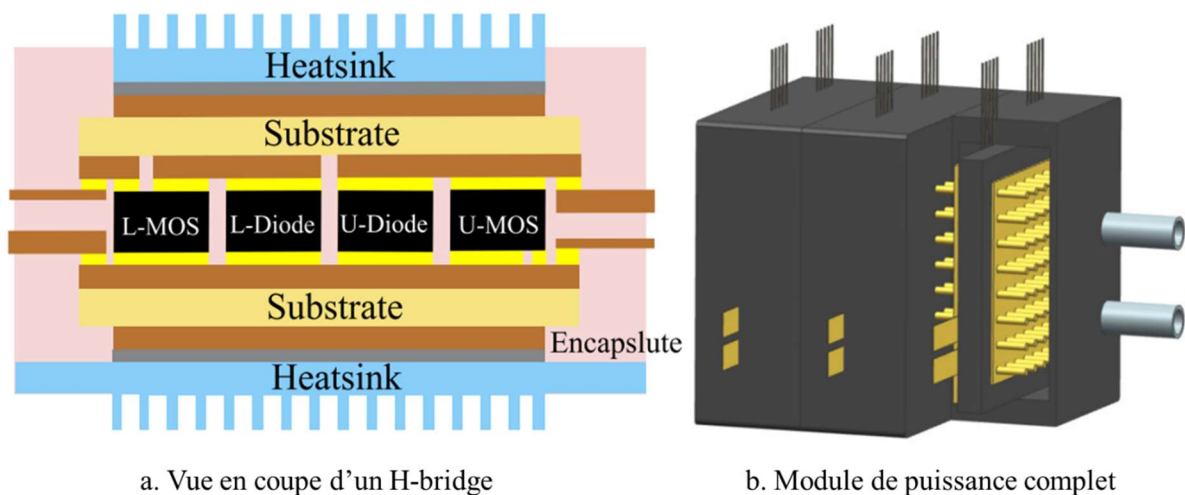


Figure I. 7 : Refroidissement 3D liquide double face [57]

Une architecture très similaire est présentée par Liang et coll. [58]. La Figure I. 8 montre une vue en coupe et un assemblage de cette architecture de module de puissance [58]. Le module de puissance élémentaire est composé d'un bras d'onduleur. Cela permet de réduire la longueur de la boucle de commutation afin de réduire l'inductance parasite.



a. Vue en coupe d'un H-bridge

b. Module de puissance complet

Figure I. 8 : PBA architecture [58], [59]

Le principal intérêt de ce type d'architecture est qu'elle permet de réduire l'inductance de la boucle de commutation tout en réduisant de manière importante la résistance thermique. Dans [58], une inductance parasite de 13,58 nH a été mesurée et une résistance thermique spécifique d'environ $0,33\text{cm}^2\cdot\text{C}/\text{W}$. Cette résistance thermique est plus faible de 38% par rapport à un module 2D classique. Dans [56], une résistance thermique jonction fluide inférieur à 0,1 K/W a été mesurée pour un débit de 8 L/min.

Les limites de cette architecture sont entre autres le fait que la maille de commutation dépende fortement de l'emplacement des capacités de découplage ou des capacités de bus. Aussi, le fait

que le flux de chaleur passe par deux substrats isolés peut limiter les performances du refroidissement en fonction des caractéristiques de la céramique utilisée.

- Modules de puissance 3D sans substrat isolé

Des exemples de modules de puissance refroidis sur les deux faces et sans substrat isolé sont proposés par HITACHI et TOYOTA/DENSO. Le module de puissance proposé par Hitachi est utilisé par plusieurs équipementiers automobiles. C'est le cas par exemple pour les voitures hybrides rechargeables Cadillac CT6 et les modèles S500 et S550 respectivement de General Motors et de Mercedes Benz [60], [61]. Aussi, les onduleurs de traction dans le modèle Audi e-tron 2019 sont équipés de ces modules de puissance, permettant une amélioration de la densité de puissance de 160% comparé à la précédente version [62]. Ce module de puissance qui est illustré sur la Figure I. 9 est refroidi sur les deux faces. La coupe transversale sur la Figure I. 9.b montre que la puce (IGBT) dont les électrodes sont métallisées, est brasée en face arrière sur une plaque de cuivre et en face avant sur une entretoise qui est en suite brasée sur une autre plaque de cuivre. Cette entretoise permet la connexion de la grille par fil de bonding. Cet ensemble est pris en sandwich entre deux dissipateurs à picots et moulé dans de la résine. Il n'y a pas de céramique dans l'assemblage. L'isolation est assurée par une feuille isolante électrique et conductrice thermique. Le module est alors immergé dans le passage du liquide de refroidissement.

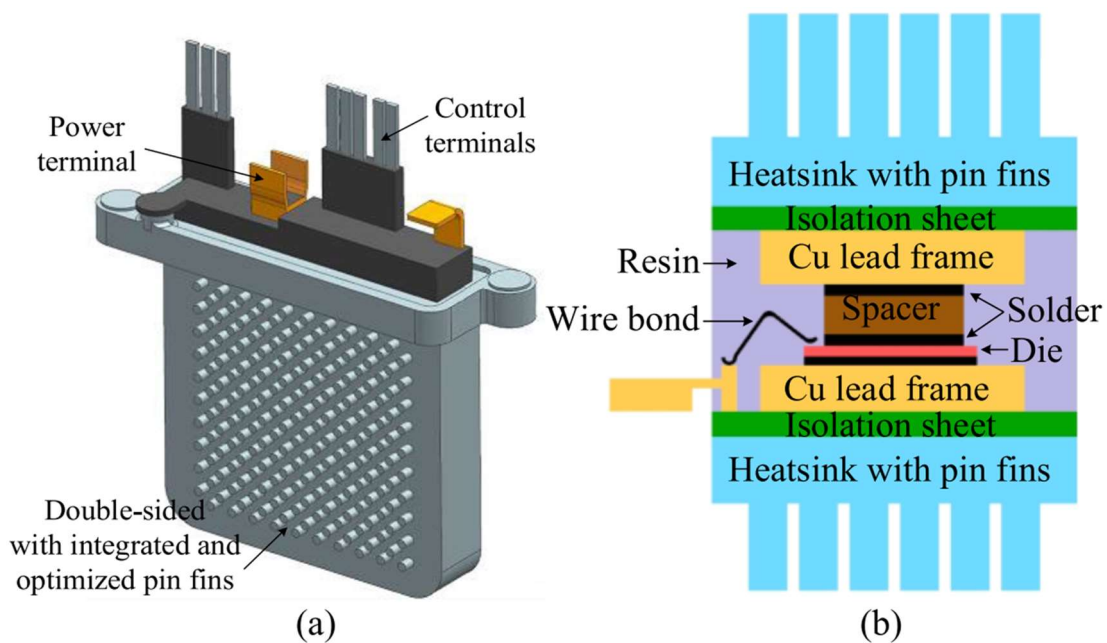


Figure I. 9 : Module 3D Hitachi [59], [60]

En collaboration avec DENSO, TOYOTA a développé un module de puissance dont le package et la coupe transversale sont présentés sur la Figure I. 10 [63], [64]. Chaque module est composé de deux IGBTs et de deux diodes pour réaliser un bras d'onduleur. Sur la coupe transversale (Figure I. 10.b), on peut voir qu'une électrode en Nickel permet de connecter la face avant de la puce à un bloc de cuivre en passant par une entretoise dont le rôle est probablement de compenser les différences de CTE.

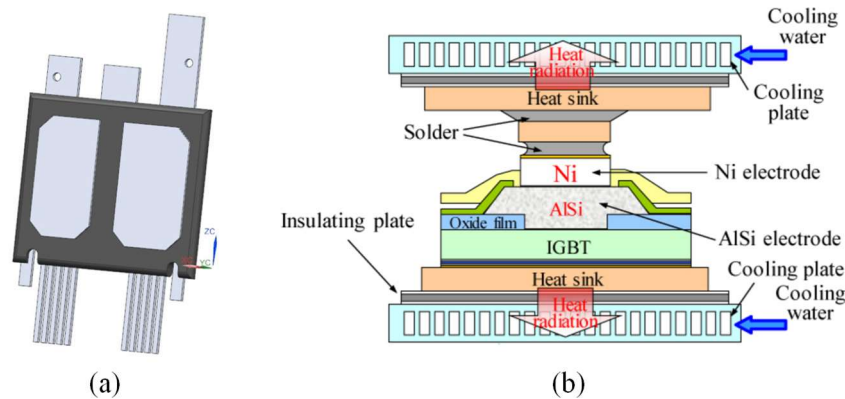


Figure I. 10 : Module de puissance TOYOTA/DENSO [64]

Plusieurs modules de puissance sont alors empilés entre des plaques froides afin d'augmenter la densité volumique de puissance (Figure I. 11).

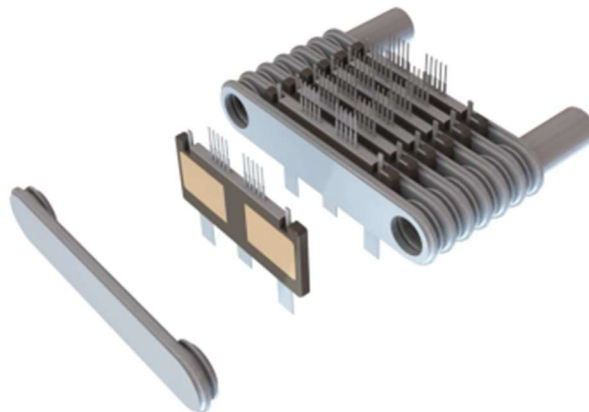


Figure I. 11 : Modules de puissance entre les plaques froides

Tout comme l'architecture précédente, celle-ci permet la réduction de l'inductance parasite de la maille de commutation même si encore une fois elle dépend de l'emplacement des capacités de découplage. Dans les travaux d'HITACHI, il est indiqué que le module 3D présenté permet une réduction de 25% de l'inductance parasite comparée à une version antérieure en 2D [64]. L'introduction d'une plaque isolante entre les semi-conducteurs et le système de

refroidissement limite très certainement les gains en termes de performances thermiques mais cela n'est pas indiqué par les auteurs. Toutefois, ce choix a sûrement un impact positif au niveau fiabilité par rapport aux équivalents réalisés avec des substrats céramiques isolés.

- Modules de puissance 3D avec dissipateurs au potentiel

Xu et al [65] proposent un module de puissance basé sur une architecture PCoB (Power Chip on Bus) dans laquelle une ou plusieurs puces semi-conductrice sont prises en sandwich par le busbar. Cette architecture est présentée sur la Figure I. 12. La puce est connectée au busbar d'un côté par brasure et de l'autre à l'aide d'une couche tampon conductrice. Des dissipateurs thermiques sont brasés directement sur les busbars, il est donc nécessaire d'utiliser un fluide isolant pour refroidir ce système. Dans ce cas, les auteurs utilisent de l'air. Cette architecture permet d'avoir de bonnes performances thermiques vu que les interfaces thermiques sont fortement réduites. Une résistance thermique jonction-air de $0,5^{\circ}\text{C}/\text{W}$ est mesurée pour un débit de $25 \text{ m}^3/\text{h}$. L'inductance parasite (8 nH) est aussi réduite du fait de l'assemblage des puces directement sur le busbar même si la valeur reste relativement importante à cause de la technique employée pour relier les modules élémentaires entre eux.

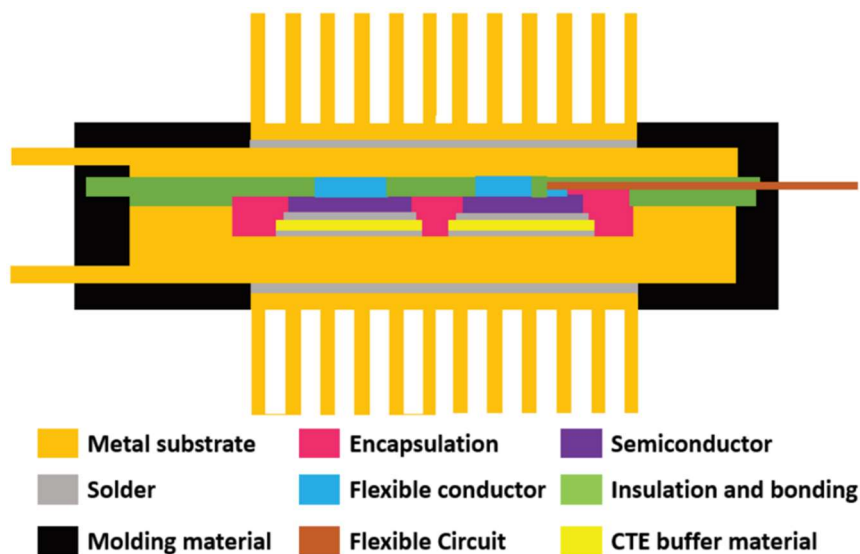


Figure I. 12 : Module 3D PCOB [65]

- Modules de puissance 3D avec puces empilées

L'architecture précédente (PCOB) est optimisée d'un point de vue thermique, mais reste bien améliorable d'un point de vue inductance parasite. Une architecture proposée par le G2Elab [6], [49], [66], dénommée PCoC (Power Chip on Chip) est présentée sur la Figure I. 13. Comme

son nom l'indique, dans cette architecture les puces sont superposées les unes sur les autres à travers une plaque conductrice ce qui permet de réduire la taille de la boucle de commutation et les capacités de mode commun entre le potentiel flottant et la terre. Une des particularités de cette architecture est que la capacité de découplage est sur la tranche et au plus proche de la cellule de commutation, réduisant ainsi l'inductance parasite. Une inductance parasite de moins de 0,5 nH est estimée [49].

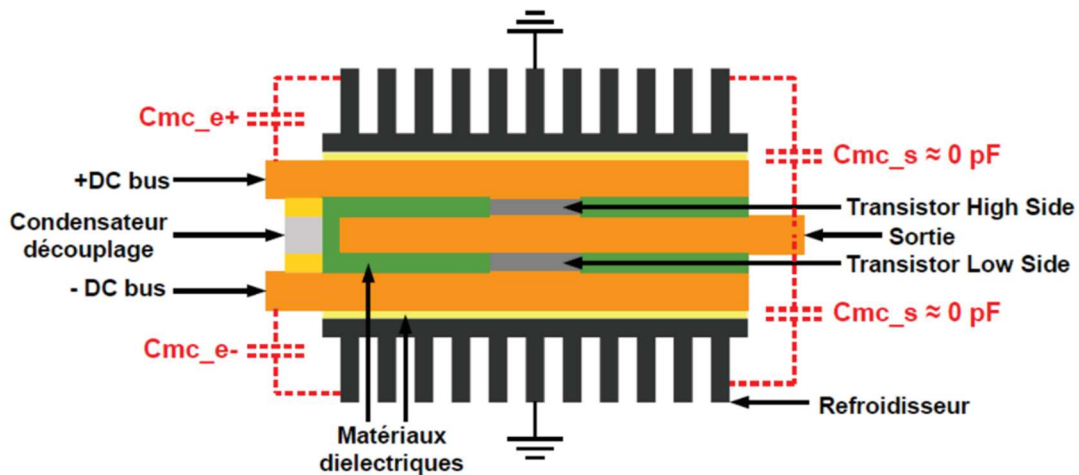


Figure I. 13 : Module PCoC [49]

La gestion thermique reste le point faible de cette architecture. En effet, le flux de chaleur est majoritairement extrait sur une seule face de chaque puce. Le couplage thermique est assez fort entre puces et l'évacuation de la chaleur dépend de la conductivité thermique du matériau diélectrique utilisé. Une solution pour améliorer cette gestion thermique serait de rajouter des dissipateurs entre les puces comme ce qui est présenté sur la Figure I. 14 [67].

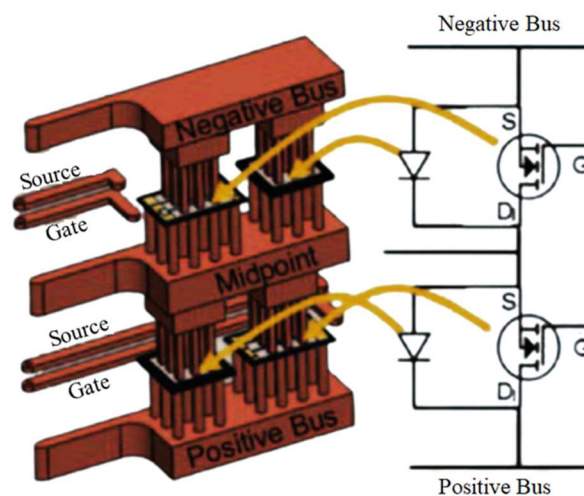


Figure I. 14 : PCoC avec dissipateurs intégrés [67]

Cette architecture comporte des composants empilés comme présenté en début de cette section. Les dissipateurs sont aux potentiels des faces des composants et un fluide diélectrique permet d'évacuer le flux de chaleur. La résistance thermique spécifique du package est de $0,25 \text{ K-cm}^2/\text{W}$ pour un débit massique de $0,1 \text{ kg/s}$. A l'inverse du module PCoC proposé par le G2Elab, ce module devrait avoir une inductance parasite plus élevée du fait de la taille de la cellule de commutation plus grande et de l'éloignement des capacités de découplage.

À travers ces différentes architectures et plus précisément les deux dernières, on voit qu'il existe un compromis entre optimisation des performances thermiques et réduction de l'inductance parasite. La technologie TAPIR qui sera proposée et présentée dans la section suivante a pour objectif d'améliorer ce compromis pour avoir une cellule de commutation avec de bonnes performances thermiques et une faible inductance de maille de commutation.

4.3. Concept de la solution TAPIR

La solution TAPIR vise à se rapprocher le plus fortement des conditions de refroidissement idéales présentées dans la section 3.2.2 tout en limitant au maximum l'inductance parasite de la maille de commutation afin de proposer une solution compatible avec la mise en œuvre des composants à grand gap.

La brique de base de la technologie proposée est une puce semi-conductrice entre deux radiateurs en aluminium (voir Figure I. 15.a). La partie amplificateur de puissance (buffer) du circuit de commande de grille peut également être contenue entre ces deux radiateurs pour être au plus près de la puce afin de réduire les perturbations sur le circuit de grille (Figure I. 15.b). Idéalement, la puce peut être connectée (brasée ou frittée à l'argent) directement à un dissipateur pour réduire le nombre d'interfaces thermiques ce qui n'est toutefois pas possible sur la face avant d'un transistor. Il y a alors différentes possibilités pour intégrer la puce comme par exemple l'utilisation d'un PCB comme cela est montré sur la Figure I. 15.

Il faut noter qu'un traitement de surface des dissipateurs en aluminium est nécessaire pour effectuer le processus d'assemblage. Il n'y a pas de matière céramique dans cette brique, assurant ainsi une bonne conduction électrique et thermique mais nécessitant l'utilisation d'un fluide de refroidissement isolant, de l'air dans notre cas.

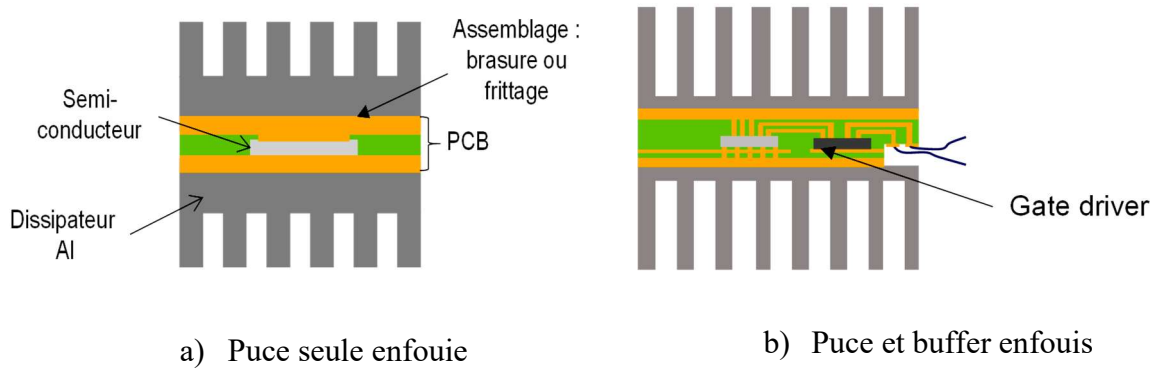


Figure I. 15 : Concept brique élémentaire TAPIR

La brique élémentaire de la Figure I. 15 peut être connectée à une autre en ajoutant une capacité de découplage entre les potentiels +DC et -DC et une plaque conductrice électrique entre les deux dissipateurs de phase pour réaliser une cellule de commutation élémentaire (Figure I. 16). Sur la Figure I. 16, les dissipateurs sont en gris, le condensateur de découplage en bleu et la plaque conductrice en orange. Les dissipateurs sont représentés avec des ailettes droites, mais ils pourraient être réalisés en utilisant différentes technologies (mousses, ailettes à picots...) pour optimiser l'efficacité du refroidissement.

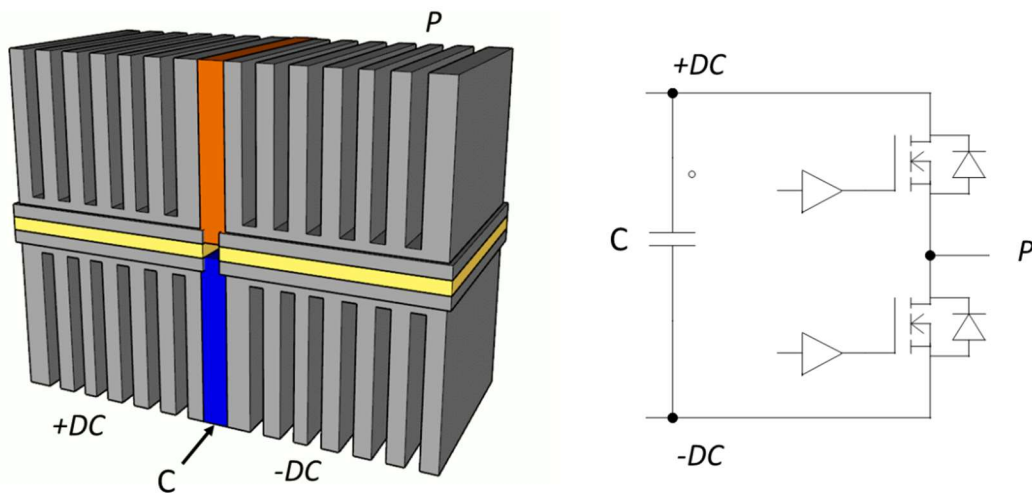


Figure I. 16 : Concept cellule de commutation TAPIR

Plusieurs cellules de commutation peuvent être assemblées en série ou en parallèle pour construire différents types de convertisseurs. À titre d'exemple, la Figure I. 17 présente une implémentation possible d'un convertisseur polyphasé à quatre bras. En orange, il y a des plaques métalliques pour connecter les dissipateurs les uns aux autres. Les parties vertes sont des matériaux isolants électrique qui peuvent être fabriqués en plastique ou en polymère. La

partie bleue est le condensateur de découplage. À noter qu'une enceinte entourant le système (non représentée sur la Figure I. 17) est nécessaire pour isoler les dissipateurs thermiques de l'extérieur et/ou gérer les champs électromagnétiques conduits et rayonnés.

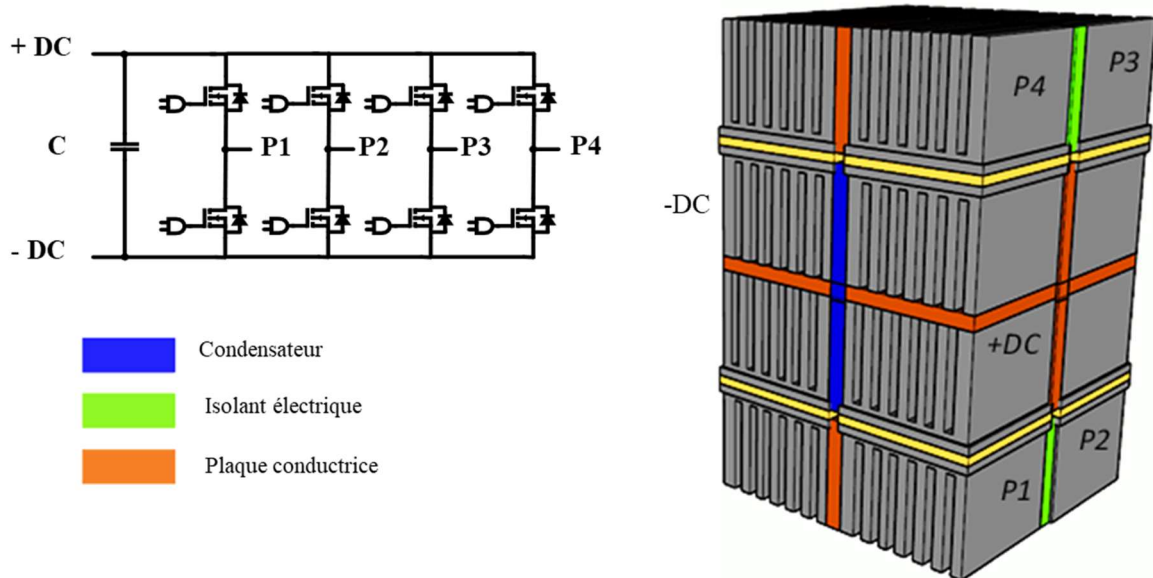


Figure I. 17 : Exemple de convertisseur polyphasé

Comme on peut le voir sur les Figure I. 16 et Figure I. 17, cette technologie a pour premier avantage de répartir les sources de chaleur (puces semi-conductrices) dans tout le volume du système de refroidissement, ce qui nous rapproche de la solution de refroidissement optimale présentée précédemment. En effet, en plus du fait que les sources de chaleur soient bien distribuées dans le volume (refroidissement bifacial), cette solution ne contient pas de substrat métallique et très peu d'interfaces thermiques séparent la puce du refroidisseur. De plus, la forme compacte de la cellule de commutation avec condensateur de découplage intégré peut permettre d'envisager des valeurs d'inductances parasites relativement faibles, typiquement quelques nH. Afin de mieux quantifier les performances que l'on peut attendre de cette technologie et d'identifier les challenges auxquels il faudra faire face pour son développement, la partie suivante est consacrée à une étude préliminaire d'une cellule de commutation mise en œuvre par des moyens de fabrication simplifiés.

5. Mise en œuvre de la technologie TAPIR

Dans cette partie, la technologie est mise en œuvre à travers une cellule de commutation permettant une étude préliminaire des performances. Pour ce faire, certains choix sont effectués

afin de fabriquer cette cellule de commutation assez rapidement : des MOSFETs intégrés dans des boîtiers avec des potentiels accessibles sur les deux faces sont utilisés au lieu de puces nues, et des dissipateurs du commerce sont choisis.

5.1. Fabrication et test d'une première cellule de commutation

5.1.1. Le MOSFET de puissance

Le MOSFET TPW1R306PL (60 V, 100 A) de Toshiba, adapté au refroidissement double face, avec les électrodes de puissance (drain et source) accessibles de part et d'autre du package (Figure I. 18.a) a été choisi. La résistance à l'état passant est de l'ordre de 1 m Ω et la capacité de sortie C_{oss} de l'ordre de 1nF. La résistance thermique entre jonction et boîtier est inférieure à 1 K/W (0,88 K/W côté drain et 0,93 K/W côté source) [68]. La coupe métallographique présentée sur la Figure I. 18.b permet de confirmer le fait que ce composant est bien adapté pour faire transiter du courant de manière verticale entre les deux dissipateurs puisqu'il n'y a pas d'isolant électrique entre la puce et les deux faces externes du boîtier.

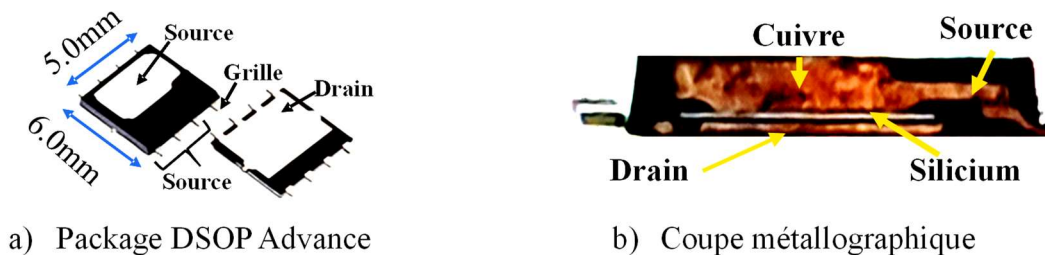


Figure I. 18 : MOSFET TPW1R306PL (60V-100A)

5.1.2. Le PCB de puissance

La vue de dessus du PCB de puissance est présentée sur la Figure I. 19. Ce dispositif a été réalisé par l'entreprise CIBEL. Le MOSFET de puissance et le buffer du circuit de commande sont assemblés sur celui-ci afin de limiter les perturbations sur le circuit de grille. L'électrode de drain du MOSFET est brasée sur une couche interne du PCB et la source est directement accessible sur le dessus du PCB à travers une cavité.

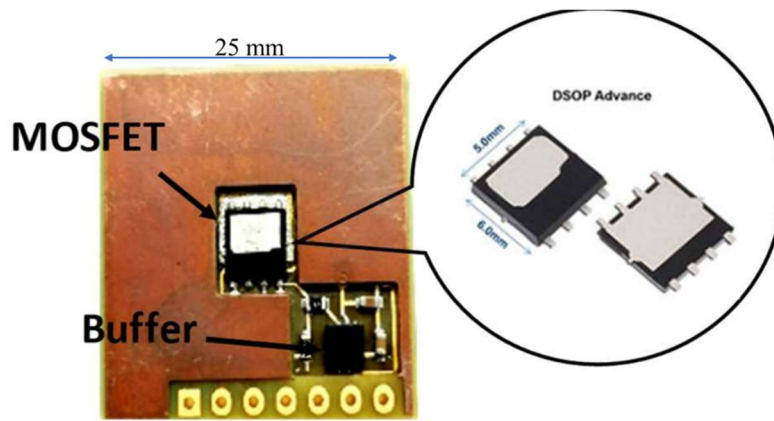


Figure I. 19 : PCB de puissance CIBEL avec circuit de commande rapproché

La Figure I. 20 montre une vue schématique de l'architecture interne du PCB et l'épaisseur des différentes couches. Il s'agit d'un PCB 4 couches qui dispose d'une cavité entre les couches 1 et 3. Les composants sont brasés dans la cavité et sur la couche 3. L'électrode de drain est accessible sur la couche 4 à travers un pilier de cuivre avec comme base la couche 4 du PCB. Cette technologie de PCB, basée sur l'utilisation de piliers de cuivre, est une des spécialités de l'entreprise CIBEL et permet de limiter le nombre d'interfaces thermiques par rapport à l'utilisation d'un insert en cuivre, et d'améliorer largement la conductivité thermique du substrat par rapport à un réseau de microvias en cuivre.

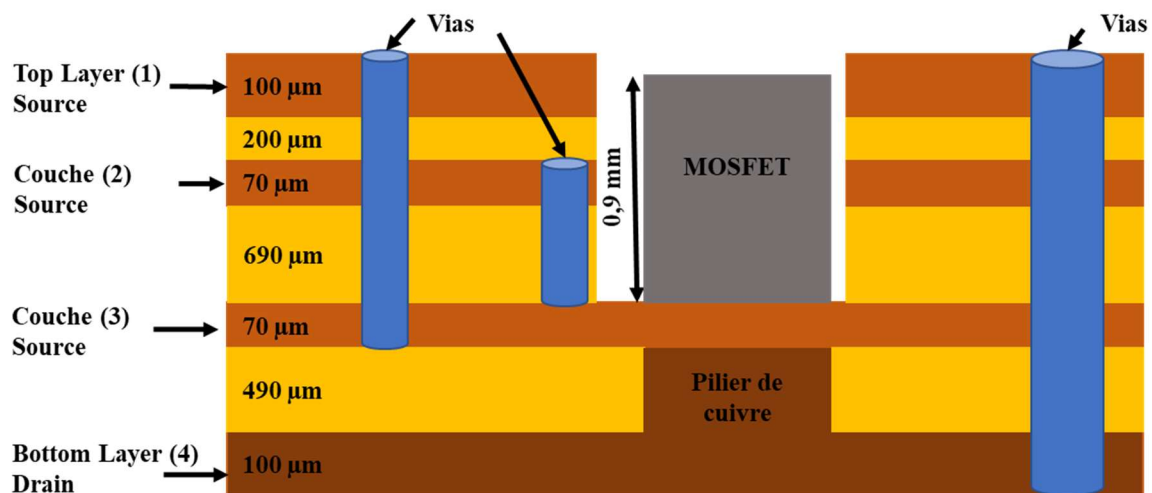


Figure I. 20 : Architecture interne du PCB de puissance CIBEL

La couche 1 est au potentiel de source car brasée au dissipateur thermique dans l'assemblage final. La couche 2 et une partie de la couche 3 sont également au potentiel de source à travers des vias comme on peut le voir en bleu sur le côté gauche de la Figure I. 20. Cette architecture permet de réduire la distance entre les potentiels de source et de drain afin de réduire

l'inductance parasite. L'inductance parasite est aussi liée aux épaisseurs d'isolant (ici principalement à l'épaisseur entre les couches 3 et 4). Nous reviendrons en détail sur ce point dans le troisième chapitre. L'épaisseur de 490 μm a été proposée par le fabricant pour faciliter le processus de fabrication. La couche 4 du PCB est épaisse (205 μm) pour une meilleure diffusion de la chaleur afin de minimiser la résistance thermique de l'assemblage. Le via de droite représente de manière très schématique les trous du connecteur qui est traversant. En effet, ce connecteur permet de récupérer les potentiels des différentes couches, en particulier de gérer les signaux d'entrée du driver (tension V_{GS} avec Kelvin source – couche 3) et également de récupérer les signaux de drain (couche 4) et de source (couche 3) au plus près du composant pour mesurer la tension V_{DS} en régimes statique et dynamique. La couche 3 de ce PCB est présentée dans l'annexe 1.

5.1.3. La cellule de commutation

Le PCB présenté ci-dessus est pris en sandwich entre deux dissipateurs thermiques en aluminium préalablement recouverts de 5 μm de nickel utilisé comme barrière de diffusion et 5 μm d'étain pour faciliter l'étape d'assemblage. Pour cette première cellule, des dissipateurs à picots (ICKS 25*25*18.5) sont choisis pour leur faible résistance thermique, leur faible masse (environ 7g) et leur disponibilité dans le commerce. Les dimensions (longueur 25 mm, largeur 25 mm) du dissipateur ont orienté le choix des dimensions du PCB présenté au-dessus.

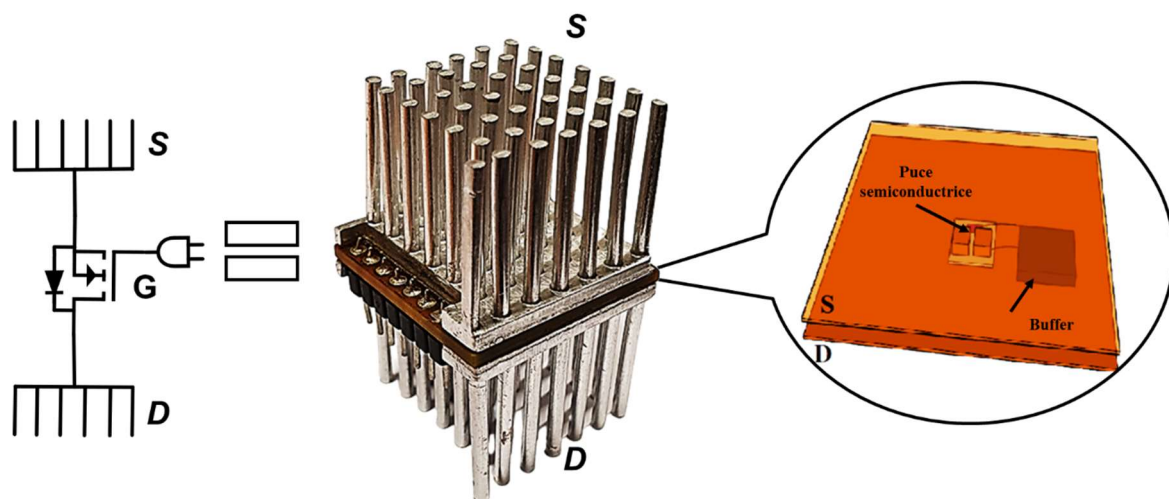


Figure I. 21 : Brique élémentaire TAPIR-CIBEL

Une pâte à braser sans plomb (SAC305) est utilisée pour assembler les composants à l'intérieur de la cavité et assembler les dissipateurs thermiques avec les PCBs. Toutes les brasures sont

alors réalisées à la même température. On obtient finalement la brique élémentaire présentée sur la Figure I. 21.

Deux briques élémentaires sont ensuite assemblées pour obtenir la cellule de commutation présentée sur la Figure I. 22. Cet assemblage est réalisé à l'aide d'une brasure faite avec un alliage au plomb qui a une température de fusion plus basse que celui utilisé pour assembler chaque brique élémentaire. La Figure I. 22 montre que trois plaques d'aluminium ont également été brasées aux dissipateurs thermiques pour permettre les connexions électriques de la cellule de commutation avec une alimentation et une charge. Elle montre également qu'un élément capacitif, noté C est inclus dans ce montage. Il est réalisé par la mise en parallèle de 63 condensateurs CMS (0803) de $10\ \mu\text{F}$ dans un autre PCB. Cet élément capacitif, situé au cœur même de la structure, permet de réduire l'inductance parasite globale.

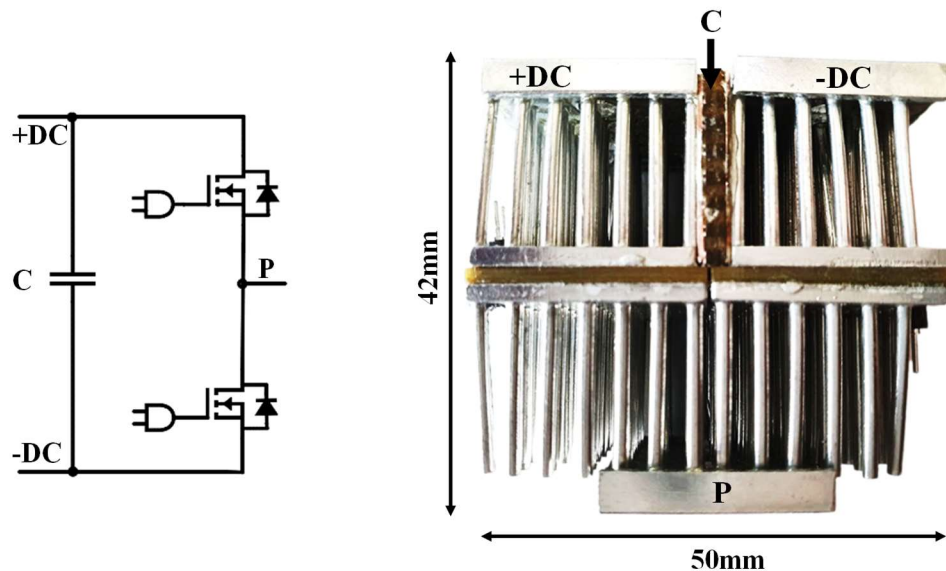


Figure I. 22 : Cellule de commutation TAPIR-CIBEL

5.1.4. Résultats de caractérisation de la cellule de commutation

La cellule de commutation est caractérisée afin de mesurer certains paramètres électriques et thermiques permettant d'estimer les performances que l'on pourrait attendre de cette technologie. Dans cette section, les résultats seront présentés sans trop s'attarder sur le détail des méthodes de caractérisation utilisées. Elles seront en effet présentées de manière plus approfondie dans le second chapitre. Des explications sont également données dans l'article [69].

- Résistance à l'état passant du MOSFET

Les différents éléments de l'assemblage (dissipateurs, PCB, brasures) rajoutent nécessairement une résistance supplémentaire par rapport à celle du boîtier choisi, notamment car ce composant a une résistance à l'état passant très faible de l'ordre du milliohm. Ainsi, les résistances à l'état passant des MOSFETs de 3 cellules de commutation ont été mesurées au niveau des dissipateurs à l'aide de mesures 4 fils dans l'objectif de vérifier dans un premier temps la fonctionnalité du PCB puis la qualité de l'assemblage.

Les résistances R_{DSon} mesurées entre chaque dissipateur sont comprises entre **0,92 et 0,94 mΩ** pour une tension de commande V_{GS} de 15V en sortie de driver. La résistance R_{DSon} typique donnée par la documentation du fabricant étant de 0,95 mΩ pour une tension de V_{GS} de 10V, l'assemblage semble s'être bien passé, car la valeur reste assez proche de celle annoncée même si les conditions de tests sont différentes.

- Comportement électrique dynamique de la cellule de commutation

Le test de double impulsion est utilisé pour déterminer la valeur de l'inductance de la boucle de commutation. La valeur de cette inductance est extraite en mesurant la tension V_{DS} juste après l'ouverture du transistor, la fréquence d'oscillation de ce signal étant très proche de la fréquence de résonance entre l'inductance parasite de la maille de commutation et la capacité C_{oss} du MOSFET[70], [71]. Vu que l'assemblage proposé rajoute une capacité parasite, cette dernière est estimée de manière analytique à partir de la connaissance la géométrie du PCB. Elle a une valeur d'environ 50 pF. Dans cette architecture et avec ces composants, la capacité que rajoute le packaging est négligeable devant la capacité C_{oss} du MOSFET qui est d'environ 1600 pF à la tension de mesure (30V).

Le test a été réalisé avec une tension de bus de 25V et un courant de charge de 50A. La Figure I. 23 montre l'oscillation de la tension V_{DS} aux bornes du MOSFET, mesure prise au plus proche du MOSFET.

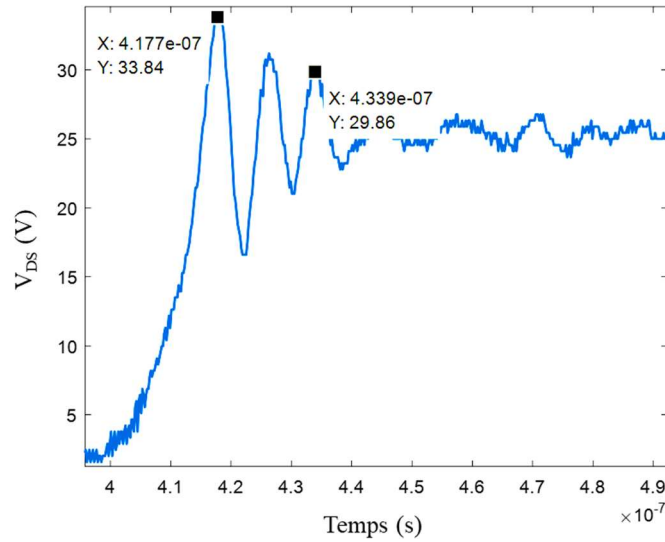


Figure I. 23 : Tension V_{DS} à la fermeture 25V, 50A

La fréquence d'oscillation mesurée est d'environ 100 MHz ce qui correspond à une inductance parasite inférieure à **2 nH**. Cette faible valeur d'inductance, obtenue sur un dispositif non optimisé, montre que la technologie proposée est sans doute une bonne candidate pour la mise en œuvre des composants semiconducteurs à grand gap.

- Comportement thermique

Le but de cette section est d'évaluer la résistance thermique entre la jonction de chaque MOSFET et l'air ambiant. Pour cette mesure, la cellule de commutation est refroidie par convection forcée comme présenté sur la Figure I. 24 avec un ventilateur AFB0612DH de Delta Electronics [72] alimenté à tension nominale (12V).

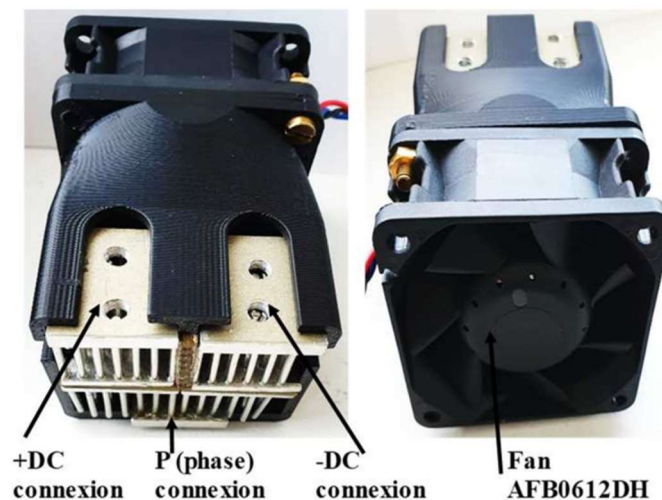


Figure I. 24 : Vue d'ensemble de la cellule de commutation TAPIR refroidie

La mesure de la résistance thermique est effectuée à l'aide de paramètres électriques thermosensibles (PETS) [73]. Dans le cas des MOSFETs de puissance, la tension V_{SD} sous faible courant de polarisation de la diode intrinsèque peut être utilisée comme indicateur de température de chaque MOSFET de la cellule de commutation. Un courant de puissance I_p est injecté dans le MOSFET high side (HS) et un courant de mesure I_m permet la mesure de la tension V_{SD} dans les deux MOSFETs (HS et LS). La résistance thermique jonction – air du MOSFET HS ($R_{th_{HS,HS}}$) est calculée à travers l'équation (I.1) et la résistance thermique de couplage ($R_{th_{HS,LS}}$) représentant le couplage thermique entre les deux MOSFETs est obtenue avec l'équation (I.2).

$$R_{th_{HS,HS}} = \frac{T_{j_{HS}} - T_a}{P_{HS}} \quad (I.1)$$

$$R_{th_{HS,LS}} = \frac{T_{j_{LS}} - T_a}{P_{HS}} \quad (I.2)$$

avec $T_{j_{HS}}$ la température de jonction du MOSFET HS, $T_{j_{LS}}$ la température de jonction du MOSFET LS, T_a la température ambiante (mesurée avec le PETS) et P_{HS} la puissance dissipée dans le MOSFET HS.

Pour un courant de drain (I_p) de 100 A, la puissance dissipée (P_{HS}) est de 73W. Dans ces conditions, la température de jonction estimée du MOSFET HS est de 119°C. La température de jonction du MOSFET LS est de 37,5°C. La résistance thermique $R_{th_{HS,HS}}$ entre la jonction du MOSFET HS et l'air ambiant est donc proche de **1,30 K/W**. La résistance thermique de couplage ($R_{th_{HS,LS}}$) est de **0,2 K/W**. La relativement faible résistance thermique pour un refroidissement à air témoigne de la performance de la technologie mise en œuvre à travers le PCB avec le pilier de cuivre. Il faut noter que cette valeur de résistance pourrait être inférieure à 1 K/W avec l'utilisation de puces nues. En effet, la valeur de résistance thermique contient la résistance thermique jonction-boîtier du composant packagé qui est d'environ 0,45 K/W en considérant que le flux thermique est le même des deux côtés du dispositif. Le faible couplage thermique témoigne de la bonne disposition des puces dans le volume du dissipateur pour ce coefficient d'échange.

Grâce à une comparaison avec des résultats de simulation, ces mesures nous ont permis d'estimer le coefficient d'échange convectif équivalent existant entre la base du dissipateur et

l'air. Il est de l'ordre de $1300 \text{ W/m}^2/\text{K}$ [69]. Grâce à cette valeur, nous avons pu ensuite évaluer les potentialités de la technologie proposée vis-à-vis de solutions déjà industrialisées. Il s'agit de l'objet du prochain paragraphe.

- Comparaison de la solution proposée à une solution de refroidissement classique 2D

Dans cette section, une étude théorique est réalisée pour estimer les gains potentiels de la technologie TAPIR par rapport aux approches classiques en termes de masse et d'efficacité thermique - l'inductance parasite et les problèmes électromagnétiques ne seront pas étudiés. La masse comprend uniquement celle des parties semi-conductrices et du système de gestion thermique (ventilateur + dissipateurs).

Le cas d'étude est un onduleur triphasé avec une tension de bus de 600V et un courant de sortie de 40A. La fréquence de découpage est de 15 kHz. Pour cette étude, nous utilisons l'outil de calcul en ligne SemiSel de SEMIKRON pour choisir les modules de puissance adaptés à l'application, calculer les pertes et choisir le système de refroidissement adapté proposé par ce fabricant. Une simulation thermique est alors réalisée en injectant les pertes trouvées dans l'architecture de refroidissement TAPIR pour déterminer la température de jonction des puces semi-conductrices. Ces températures de jonction sont ensuite comparées à celles obtenues en utilisant les composants proposés par le logiciel SemiSel. Les masses des systèmes de refroidissement dans les deux cas sont également comparées. Pour faciliter la lecture du présent document, les détails des simulations ne sont pas présentés dans ce paragraphe. Le lecteur pourra se référer à l'annexe 2 ou encore à l'article [69].

Pour répondre au cahier des charges, SemiSel propose de réaliser l'onduleur triphasé avec trois modules de puissance SKM50GB12T4 comprenant chacun 2 IGBTs, 2 diodes et un substrat DBC incluant de l'alumine. Dans ces conditions, les pertes estimées sont de 96W dans chaque IGBT et 22W dans chaque diode. Avec le dissipateur refroidi à air forcé P3-180 (0,120 K/W) proposé par SemiSel et une température ambiante de 22°C , la température de jonction des IGBTs est de 169°C . La masse de l'ensemble, modules de puissance, dissipateur et ventilateur est d'environ 4,1 kg. En remplaçant le dissipateur à air par la plaque à eau WP16-280, la température de jonction des IGBTs est de 83°C pendant que la masse de l'ensemble est ramenée à 2 kg.

Les performances de la solution TAPIR sont estimées grâce à des simulations sur le logiciel FL₀THERM en considérant les mêmes puces semi-conductrices que celles contenues dans le

module de puissance SKM50GB12T4. Le coefficient d'échange obtenu expérimentalement étant de $1300 \text{ W/m}^2/\text{K}$, les simulations thermiques ont été faites ici pour des coefficients d'échange variant entre $500 \text{ W/m}^2/\text{K}$ et $1500 \text{ W/m}^2/\text{K}$. Cela permet d'étudier l'influence de ce paramètre sur les performances et ainsi évaluer différents scénarii de refroidissement plus ou moins favorables pouvant être obtenus en modifiant la vitesse de l'air ou en optimisant la géométrie du dissipateur. Pour un coefficient d'échange $h=1500 \text{ W/m}^2/\text{K}$, la température de jonction de l'IGBT le plus chaud est de 88°C ce qui constitue une réduction importante par rapport à la solution industrielle refroidie à air (169°C) et même par rapport à la solution refroidie à eau (83°C).

La Figure I. 25 compare l'élévation de la température entre la jonction et l'ambient (T_j-T_a) obtenue pour plusieurs configurations : solution TAPIR avec différents coefficients d'échange, solution classique refroidie à air, solution classique refroidie à eau et solution classique refroidie à eau en utilisant un substrat DBC ayant une meilleure conductivité thermique (céramique AlN). Le dernier cas est évalué par calcul théorique et n'a pas été fourni par le logiciel SemiSel puisque ce module de puissance n'existe pas. Cette figure compare aussi les masses des différentes configurations. La masse de la solution TAPIR ($0,7 \text{ kg}$) est estimée en prenant en compte la masse des dissipateurs thermiques, des PCBs contenant les composants (Figure I. 19), du ventilateur et de la boîte en plastique (Figure I. 24) présentés au-dessus. Il faut noter que cette masse n'inclut pas certains éléments comme le busbar.

On observe alors que la température de jonction des IGBTs avec la solution TAPIR ($h=1500 \text{ W/m}^2/\text{K}$) est proche de celle de la solution classique refroidie à eau avec un substrat DBC en alumine. Elle est plus de 60% plus faible que dans le cas d'un refroidissement à air classique. La masse de la solution TAPIR est 80% plus faible que dans le cas d'un refroidissement à air et plus de 60% plus faible que dans un refroidissement liquide classique. Même si la comparaison brute est difficile à ce stade, nous pouvons tout de même conclure que la technologie TAPIR pourrait permettre effectivement une réduction de la masse et du volume des convertisseurs d'électronique de puissance.

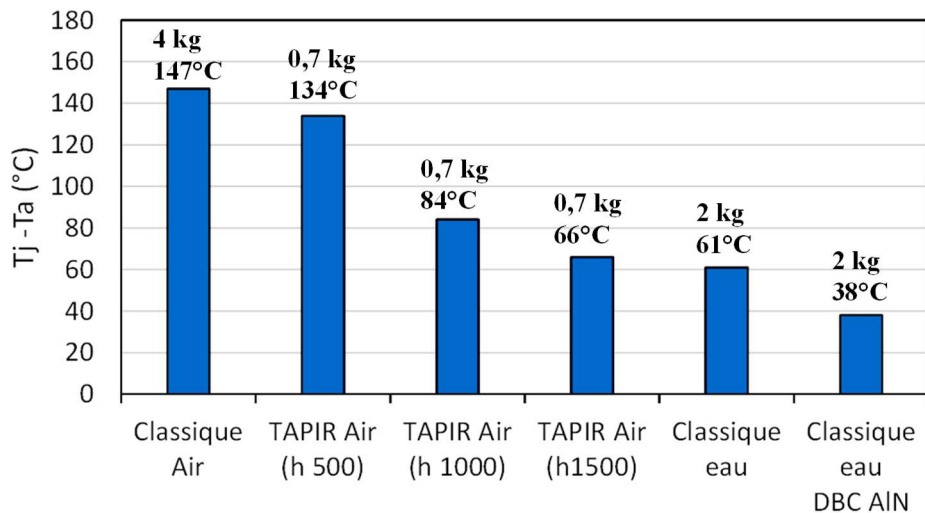


Figure I. 25 : Elévation de température des IGBTs pour différentes technologies de refroidissement

Toutefois, cette technologie qui semble assez prometteuse doit relever de nombreux défis pour une mise en œuvre permettant d'en tirer tous les bénéfices. Ils seront présentés dans la partie suivante.

5.2. Challenges à surmonter pour la mise en œuvre de la technologie

5.2.1. Intégration des puces semi-conductrices entre les dissipateurs

Le procédé d'intégration de la puce entre les dissipateurs a un impact considérable sur la qualité des interconnexions électro-thermo-mécaniques entre la puce et les autres composants du module/convertisseur. La mise en œuvre précédente a été simplifiée par l'utilisation de composants en boîtiers qui ne sont toutefois disponibles que pour la basse tension (< 100 V). Ce niveau de tension n'étant pas majoritaire pour les applications visées dans le cadre de ces travaux, il est nécessaire de trouver d'autres manières de faire. Aussi, la résistance thermique jonction boîtier ainsi que les éléments parasites de ces composants en boîtier limitent les performances de la technologie proposée. Il semble ainsi préférable d'étudier des solutions d'intégration directe des puces au plus proche des dissipateurs.

5.2.2. Inductance parasite et comportement électromagnétique

Comme nous l'avons déjà évoqué, l'inductance parasite est l'un des paramètres les plus importants à prendre en compte lors de la conception des modules de puissance pour des composants rapides. Pour ce faire, des simulations électromagnétiques sont nécessaires et doivent être effectuées avec des outils adaptés aux géométries mises en œuvre. La méthode

PEEC (Partial Element Equivalent Circuit) [74] est couramment utilisée en électronique de puissance classique dans laquelle les conducteurs sont très peu épais (courants en 2D). Elle n'est donc pas adaptée à la technologie proposée qui repose sur l'utilisation de conducteurs massifs. Une autre solution serait d'utiliser la méthode des éléments finis qui est plus adaptée à la géométrie. Cependant, la précision de cette méthode dépend fortement du maillage ce qui nécessite une étude du maillage pour chaque géométrie dans le cas d'une étude paramétrique. Ainsi, nous avons choisi d'utiliser le logiciel MIPSE développé au G2Elab et basé sur des méthodes intégrales avec compression matricielle et maillage adaptatif automatique [75], [76].

Comme nous l'avons vu plus tôt, l'architecture proposée, du fait des surfaces de dissipateur beaucoup plus grandes que celles de la puce, induit une augmentation de la capacité parasite entre le drain et la source. Cela peut ralentir les vitesses de commutation et augmenter les pertes par commutation. Il est alors nécessaire de soigner la conception de l'assemblage pour limiter cette capacité parasite additionnelle.

Aussi, la Figure I. 23 montre une oscillation importante de la tension V_{DS} après l'ouverture de l'interrupteur (MOSFET) qui peut engendrer des pertes supplémentaires et des perturbations électromagnétiques. Pour réduire ces oscillations, il est possible d'introduire une résistance en série avec les condensateurs de découplage afin d'augmenter le facteur d'amortissement [77].

Les capacités de mode commun et de mode différentiel (cf. section 3.2.2) sont aussi à prendre en compte dans le cas de cette architecture. En particulier, la capacité parasite entre le point milieu et la terre peut être grande du fait que les dissipateurs soient au potentiel. Il faut donc trouver un moyen de blindage pour limiter les perturbations de mode commun sans augmenter de manière importante la masse du dispositif. Ce blindage peut aussi être utile pour contenir les perturbations électromagnétiques rayonnées.

Enfin, la connectique électrique du circuit de commande doit être conçue afin de limiter les inductances parasites et les couplages puissance/commande.

5.2.3. Comportement thermique et fiabilité

Les performances thermiques dépendent de la technologie d'assemblage utilisée et de la performance des dissipateurs thermiques. L'optimisation de ces derniers est également un point crucial pour la réduction de la masse et du volume de la cellule de commutation et de son coût.

Dans le cas d'un refroidissement par air forcé, le dissipateur thermique optimal est celui qui a la résistance thermique et les pertes de charge les plus petites.

Un autre point critique dans les modules de puissance concerne la fiabilité. Les modes de défaillance les plus couramment rapportés dans la littérature sont le décollement ou la rupture des fils de bonding, et la dégradation dans les différentes brasures de l'assemblage [78]–[81] [82], [83]. La suppression des fils de bonding et la réduction du nombre de brasures laissent envisager une amélioration de la fiabilité dans le cas de la technologie TAPIR. Cependant, l'intégration de la puce entre les dissipateurs en aluminium nécessite d'assembler des matériaux hétérogènes avec des coefficients de dilatation très différents ce qui implique des contraintes thermomécaniques sévères au sein des dispositifs lorsqu'ils fonctionnent. Une étude est donc nécessaire pour choisir les bons matériaux afin de limiter ces contraintes, puis pour mettre en place des procédés d'assemblage adaptés.

5.2.4. Intégration mécatronique des cellules de commutation

Pour réaliser la partie active d'un convertisseur, il est nécessaire d'interconnecter des composants entre eux ou des cellules de commutation entre elles. Pour réaliser ces connexions, la connexion par plaques d'aluminium brasées sur les dissipateurs (Figure I. 25) est assez fastidieuse. Aussi, la structure mécanique de la cellule de commutation n'est pas très solide. Pour ce faire, nous avons choisi d'utiliser des dissipateurs avec une géométrie permettant de braser une face sur le PCB et de visser les connectiques de puissance sur les 3 autres faces. La Figure I. 26 présente la cellule de commutation proposée avec les dissipateurs à ailettes fermées qui seront utilisés dans la suite de ces travaux.

La mise en parallèle des cellules de commutation TAPIR nécessite de prendre de nombreuses précautions. Dans le cas des MOSFETs basse tension, la résistance R_{DSon} est très petite (0,9 m Ω), obligeant d'avoir une connectique entre cellules ayant une résistance très inférieure à cette valeur pour ne pas avoir de déséquilibre dans la répartition du courant. Les aspects inductifs et liés à la gestion de la commande rapprochée sont également un verrou pour la mise en parallèle des cellules de commutation. Au-delà de l'impédance de la connectique, les cellules de commutation doivent être le plus identiques possible.

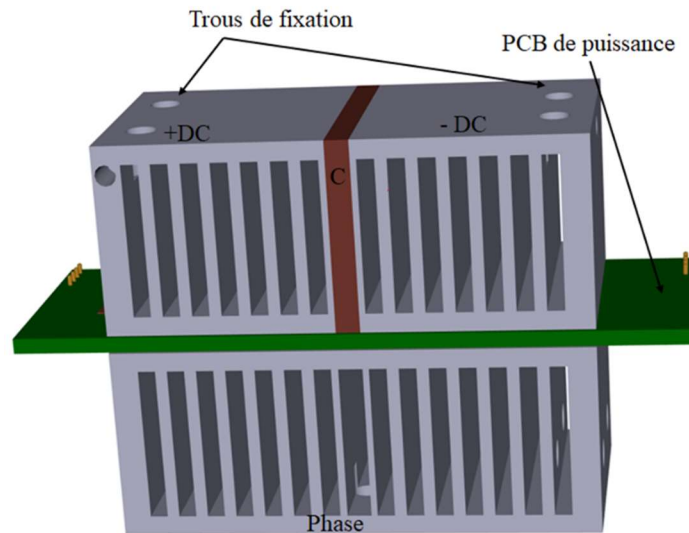


Figure I. 26 : Cellule de commutation avec dissipateur fermés

Un autre facteur pouvant compromettre une bonne répartition du courant dans le cas de la mise en parallèle est la position des cellules par rapport à l'écoulement d'air. Elle peut en effet entraîner un déséquilibre de température entre elles, et donc une variation de leurs propriétés électriques qui peut tendre à déséquilibrer la répartition du courant. Il faut donc disposer d'un modèle électrothermique global de l'assemblage afin d'étudier ces phénomènes.

L'intégration mécatronique doit aussi tenir compte de l'isolement afin d'assurer la tenue en tension. À cela s'ajoute le fait que cette tenue en tension peut être détériorée du fait de dépôt de particules ou d'humidité sur les dissipateurs. Cette étude de tenue en tension est surtout pertinente pour l'utilisation des composants à tension plus élevée (600 V, 1200V etc..). Une solution pourrait être de recouvrir les dissipateurs d'une couche isolante électrique et assez bonne conductrice thermique.

6. Conclusion

L'électronique de puissance, discipline centrale de la transition énergétique doit répondre à de nombreuses contraintes dont fait partie la réduction de la masse et du volume des convertisseurs de puissance, en particulier pour les applications embarquées. Les objectifs fixés par des organismes gouvernementaux sont une amélioration de plus de 70% de la compacité pour les onduleurs de traction dans les voitures électriques. Pour répondre à cette problématique, l'utilisation des composants à grand gap s'avère être très pertinente. Effectivement, plusieurs études ont permis de montrer que ces composants permettaient de réduire considérablement le

volume des convertisseurs en réduisant surtout la taille des composants passifs mais aussi celle des dissipateurs thermiques.

Ces travaux de thèse proposent une solution complémentaire d'amélioration de la compacité des convertisseurs en réduisant le volume du système de refroidissement. Selon les études proposées en dessus, la technologie TAPIR permettrait une réduction de plus de 70% de la masse du système de refroidissement pour un refroidissement à air forcé. De plus, une inductance parasite d'une cellule de commutation d'environ 2 nH a été mesurée. Cette faible valeur montre que cette technologie pourrait être utilisée avec des composants à grand gap.

Cependant, la mise en œuvre de cette technologie doit relever certains défis qui sont entre autres l'intégration de puces entre les dissipateurs, la mise en parallèle de cellules de commutation, la gestion de la tenue en tension, la fiabilité et l'intégration électromécanique pour optimiser le volume et aussi assurer un bon refroidissement des composants. Plusieurs de ces défis seront traités dans les chapitres suivants. En particulier, le chapitre II présentera différentes technologies candidates pour la mise en œuvre de cellules de commutation à partir de puces nues. Les cellules de commutations développées seront présentées ainsi que les méthodes de caractérisation utilisées pour les tester. Le chapitre III proposera une analyse de l'inductance parasite des cellules de commutation à travers des travaux de simulations et des résultats de caractérisation. Le chapitre IV traitera de l'agencement des cellules de commutations. Des simulations électromagnétiques seront réalisées ainsi que des caractérisations thermiques. Des architectures d'intégration seront présentée et discutées. Les autres challenges constitueront des perspectives à ces travaux de thèse qui seront présentées en conclusion générale du manuscrit.

Chapitre II

Mise en œuvre et caractérisation de cellules de commutation TAPIR

1. Introduction

Le packaging 3D permet de mieux refroidir les composants de puissance tout en offrant la possibilité d'avoir des inductances de maille de commutation réduites. Il semble donc adapté à la fabrication de convertisseurs à forte densité de puissance. Cependant, sa mise en œuvre n'est pas si simple du fait que les technologies actuelles, et en particulier les puces, sont surtout adaptées aux modules refroidis sur une seule face. Dans le cas de la technologie TAPIR introduite dans le chapitre I, les dissipateurs sont de plus connectés électriquement aux puces (Figure II. 1). Il faut alors assurer la connexion électrique et thermique des plots de puissance (drain et source) de ces dernières aux dissipateurs tout en assurant une isolation électrique avec la grille. Il faut aussi trouver un moyen de connecter la grille au circuit de commande.

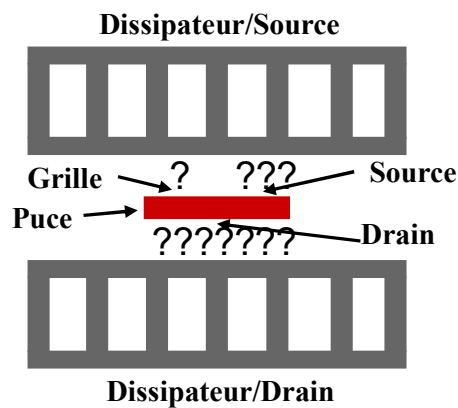


Figure II. 1 : Schéma de principe packaging 3D TAPIR

Dans ce chapitre, nous allons présenter les principales technologies utilisées en packaging 3D ce qui nous permettra ensuite de justifier les choix effectués pour la réalisation des cellules de commutation TAPIR. L'adaptation des méthodes et moyens de caractérisations électriques et thermiques à ces cellules sera ensuite présentée ainsi que des résultats obtenus sur plusieurs dispositifs.

2. Technologies d'assemblage en électronique de puissance : focus sur l'architecture 3D

Cette partie a pour but d'identifier les technologies intéressantes pour la réalisation de l'architecture TAPIR. Nous ne ferons donc pas un état de l'art complet de toutes les technologies possibles et imaginables d'assemblage. Nous présenterons et discuterons dans un premier temps des principales technologies d'attache de puce utilisées en électronique de puissance. La spécificité de la connexion de la face avant des puces sera ensuite introduite et

certaines technologies permettant de surmonter ce challenge seront présentées et discutées. L'enfouissement PCB, qui utilise certaines de ces technologies d'assemblage à travers un procédé facilement industrialisable fera l'objet de la troisième sous partie. Pour la mise en œuvre des différentes technologies d'assemblage, il est souvent nécessaire de post-traiter la puce afin de faciliter ou permettre l'assemblage. Ce dernier point viendra refermer cette partie.

2.1. Technologies « classiques » d'attache de puce

Dans la grande majorité des cas, l'attache de puce en électronique de puissance a pour mission d'assurer un bon contact électro-thermo-mécanique entre une puce et un substrat. C'est par exemple le cas dans les modules de puissance 2D classiques, dans lesquels l'attache en face arrière des puces voit transiter simultanément un flux de chaleur et un courant électrique tout en permettant le maintien des puces sur un substrat céramique métallisé. Une attache de qualité est alors caractérisée par une bonne conductivité électrique, une bonne conductivité thermique, une bonne tenue mécanique, un CTE proche des éléments assemblés et bien sûr un coût raisonnable. Dans cette sous partie nous présenterons quelques méthodes d'attache en analysant surtout le procédé et la qualité de l'attache.

2.1.1. La brasure

La brasure est la principale technique d'assemblage utilisée dans les modules de puissance. Un alliage placé entre deux éléments à assembler est porté à plus ou moins haute température. La température est choisie pour permettre d'atteindre la température de fusion de l'alliage sans endommager les composants électroniques. Durant le procédé d'assemblage qui ne dure que quelques minutes, cet alliage (à l'état liquide ou solide) forme un nouvel alliage avec les matériaux à assembler ou des intermétalliques [84]. Après refroidissement, l'alliage durcit pour former une liaison mécanique solide.

En électronique, les brasures au plomb sont historiquement utilisées pour leur comportement stable [85]. Dans les modules de puissance, il est classique de faire deux étapes de brasure. Par exemple, si les puces sont brasées sur le substrat à l'aide d'un alliage à forte teneur en plomb (90 à 99%), avec un point de fusion autour de 300 °C [57], [86], un autre alliage de type SAC (Sn-Ag-Cu) peut être utilisé pour assembler la semelle et le substrat avec une température de fusion d'environ 200°C [87]. On remarque une différence de température de fusion entre les deux brasures afin d'éviter que la première ne passe en phase liquide durant le second procédé, d'autant plus que la température de refusion est plus basse que celle de fusion [88]. Dans la

pratique, il est recommandé d'utiliser des alliages ayant une différence de température de fusion d'au moins 40 °C [87].

Aujourd'hui, le plomb considéré comme substance dangereuse est interdit d'usage dans les équipements électroniques (directive RoHS) [89]. Ceci réduit considérablement le choix des alliages ayant des températures de fusion élevées. Les principaux candidats sont des alliages à forte teneur (plus de 80%) en or avec des coûts relativement élevés. En plus de la contrainte de coût, ces alliages de substitution aux alliages en plomb sont plus complexes à mettre en œuvre et peuvent former des intermétalliques fragiles et/ou des « vacuoles » si le procédé n'est pas maîtrisé [86].

Les alliages les plus souvent utilisés pour l'assemblage des modules de puissance sont visibles sur le Tableau II. 1.

| Pâte à braser | | Point de fusion (°C) | Conductivité thermique (W/m/K) | Conductivité électrique ($\cdot 10^6$ S/m) | Coefficient de dilatation thermique (K^{-1}) | Module de Young (GPa) |
|-------------------|--------------|----------------------|--------------------------------|---|--|-----------------------|
| Basse température | | | | | | |
| Avec plomb | Sn63Pb37 | 183 | 50,9 | 6 | 21 - 24 | 30,2 |
| Sans plomb | SnAg3,0Cu0.5 | 217 - 220 | 63,2 | 8 | 21 | 50 |
| | Sn96,5Ag3.5 | 221 | 78 | 8 | 22,2 | 50 - 56 |
| Haute température | | | | | | |
| Avec plomb | Sn5Pb95 | 305-314 | 33 | - | 28,7 | 33 |
| Sans plomb | Au80Sn20 | 280 | 57 | 6,3 | 16 | 68 |
| | Au88Ge12 | 356 | 44 | - | 12 | 74 |

Tableau II. 1 : Les alliages les plus couramment utilisés dans l'assemblage des modules de puissance [90], [91]

Les propriétés physiques des matériaux sont données à une température de 25°C et avant assemblage. Dans la pratique, les conductivités électrique et thermique dépendront de la qualité du procédé d'assemblage : plus il y a de vacuoles, plus elles seront faibles. Afin de limiter ces derniers et améliorer la durée de vie de l'assemblage, les brasures doivent être faites à atmosphère contrôlée. Il existe également des préformes avec des matrices métalliques (Figure II. 2 [92], [93]) qui permettent d'avoir des joints de brasure à épaisseur contrôlée et homogène.

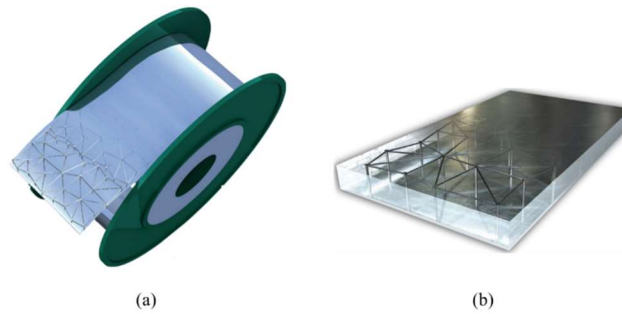


Figure II. 2 : Préforme avec matrice métallique InFORMS [93]

On remarque sur le Tableau II. 1 que les températures maximales de fusion des brasures haute température sont de l'ordre de 300°C. Dans certains domaines d'applications de l'électronique de puissance tels que l'aéronautique, le spatial et le forage profond, les températures ambiantes peuvent atteindre 200°C, voire 400°C [57], limitant ainsi l'utilisation des brasures, même pour les températures de fonctionnement de 200°C. En effet, la tenue mécanique de la brasure et plus généralement des matériaux diminue avec l'augmentation de leur température homologue (rapport $T_{\text{fonctionnement}}/T_{\text{fusion}}$, avec les températures en Kelvin) [57]. Dans la littérature, certains estiment que cette température homologue doit être inférieure à 0,67 [94], même si des températures homologues de 0,85 sont souvent rencontrés. Une limite arbitraire de 0,8 est souvent admise [95]. Des alternatives à la brasure sont donc nécessaires.

2.1.2. L'attache de puce par diffusion sous phase liquide

Comme la brasure, la technique appelée TLPB (Transient Liquid Phase Bonding) est un procédé d'assemblage basé sur l'ajout d'un métal d'apport. La différence avec la brasure est que dans ce procédé, la liaison électro thermomécanique solide est obtenue à travers une diffusion en phase liquide entre les matériaux (Figure II. 3). Pour cela, le métal d'apport doit avoir un point de fusion inférieur aux éléments à assembler. Ce procédé nécessite souvent l'application d'une pression entre 100 et 300 kPa et une température contrôlée (entre 200°C et 300°C) [96]. Les métaux d'apport couramment utilisés sont l'étain [97] (conductivité thermique 66,6 W/m.K, conductivité électrique $9,17 \cdot 10^6$ S/m) et l'indium [98] (conductivité thermique 81,6 W/m.K, conductivité électrique $11,6 \cdot 10^6$ S/m). Un profil d'assemblage cuivre sur cuivre avec l'étain comme matériau d'apport est visible sur la Figure II. 3. On peut remarquer que la qualité (homogénéisation) du joint dépend du temps. Ceci est également vrai pour d'autres types de matériaux tel que le cuivre étamé [99]. Le procédé d'assemblage peut aller d'une dizaine de minutes à quelques heures en fonction de la nature des matériaux à assembler, de la température et de la pression appliquée. Contrairement à la brasure pour laquelle la température de refusion

est proche de la température de fusion, le procédé TLPB permet d'obtenir des attaches pouvant supporter 400 à 900°C à partir d'un procédé à 200-300°C [100].

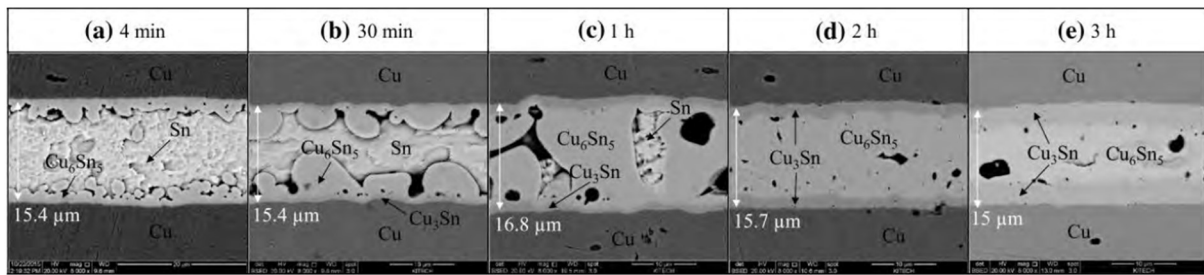


Figure II. 3 : Profil d'un assemblage TLPB cuivre à cuivre par diffusion avec de l'étain comme matériaux d'apport, à 300°C en fonction du temps [101]

2.1.3. Le frittage

Pour ce procédé, le matériau d'apport est sous forme de pâte et la diffusion est faite ici en phase solide. Les pâtes sont généralement constituées de particules d'argent de dimensions micrométriques ou nanométriques [102], [103].

Il existe principalement deux types de procédés de frittage. Le frittage avec pression ou LTJT (Low Temperature Joining Technique) [104], [105] et le frittage sans pression ou LTPST (Low Temperature and Pressureless Sintering Technology) [106]. Dans le premier procédé (LTJT), une poudre avec des microparticules est utilisée, la température est d'environ 250°C et une pression entre 30 et 40 MPa est appliquée, le tout dans une atmosphère contrôlée [95]. La réduction de la pression est recherchée afin de réduire les contraintes sur l'assemblage. Le fabricant Heraeus propose (à travers sa gamme mAgic) une pâte qui offre de bonnes performances électriques et thermiques en appliquant une pression inférieure à 20MPa, voire 1MPa [96], [107]. Dans le second procédé, aucune pression n'est appliquée, les microparticules peuvent être remplacées par des nanoparticules et la température de frittage est autour de 280 °C [106]. Malgré la nature poreuse du joint d'attache après assemblage, les performances électriques et thermiques sont bonnes. Dans le cas de la LTJT, une conductivité électrique de $40 \cdot 10^6$ S/m et une conductivité thermique de 250 W/m.K ont été mesurées [105], [108]. Un autre intérêt de cette technique est que le joint fritté à moins de 300°C est capable de résister jusqu'à 900°C (température de fusion de l'argent).

Le Tableau II. 2 compare les propriétés physiques des différentes méthodes d'assemblage présentées. La diffusion (TLPB) et le frittage de particules d'argent permettent d'obtenir des joints avec de bonnes performances électriques et thermiques comparées à la brasure. La

différence entre la température de fusion et celle de fonctionnement est plus grande avec ces solutions. Cependant, ces méthodes d'assemblage (frittage et diffusion) nécessitent beaucoup plus de précautions : réglage de la pression, de la température, de la quantité de dépôt etc. Aussi, ces méthodes nécessitent des temps de process beaucoup plus élevés ce qui constitue un inconvénient majeur pour leur mise en œuvre industrielle.

| Méthodes d'assemblage | Température du procédé (°C) | Durée du cycle d'assemblage | Température maximale d'utilisation (°C) | Conductivité thermique (W/m.K) | Conductivité électrique ($\cdot 10^6$ S/m) |
|---------------------------|-----------------------------|-----------------------------|---|--------------------------------|---|
| Brasure basse température | 220 | 5-10min | < 200 | 50-78 | 8 |
| Brasure haute température | 350 | 5-10min | < 350 | 33-57 | 8 |
| Diffusion LTPB | 200-300 | 1-3h | 400-900 | 66-81 | 9-11 |
| Frittage LTJT | 250 | < 1h | 900 | 250 | 40 |
| Frittage LTPST | 280 | ~ 1h | 900 | - | - |

Tableau II. 2 : Comparaison des propriétés de la brasure, de la diffusion sous phase liquide et du frittage d'argent [90], [91], [105], [106], [108]

Une fois les technologies d'attache de puces présentées, nous allons dans les prochains paragraphes introduire quelques technologies classiques d'assemblage 3D.

2.2. Technologies d'assemblage 3D

Dans cette section nous présenterons différentes possibilités technologiques dont nous pouvons nous inspirer pour réaliser le packaging 3D adapté à la technologie TAPIR. Ces technologies de mise en œuvre concernent en particulier les composants commandés. Nous insisterons sur la connexion de la face avant qui présente une certaine spécificité. La problématique réside principalement dans la gestion de l'isolation entre la grille et la source et dans la gestion de la tenue en tension au niveau de la zone périphérique. Elle est d'autant plus grande avec les composants à grand gap dont les tailles sont réduites. Dans ce cas, la distance entre le plot de grille et celui/ceux de source peut être d'une centaine de micromètres seulement [109].

2.2.1. Interconnexion directe

Les technologies d'attaches présentées précédemment sont surtout utilisées pour l'attache de la puce sur le substrat dans le cas des modules de puissance 2D. Pour un ensemble 3D vertical, ces attaches peuvent aussi être utilisées pour assembler la face avant de la puce. Dans ce cadre, Botter et coll. [110] ont développé un module 3D présenté sur la Figure II. 4 dont les faces arrière et avant sont assemblées par frittage d'argent sur des plaques à eau en céramique. Dans les travaux [58], [111], la puce est prise en sandwich entre deux substrats par des brasures.

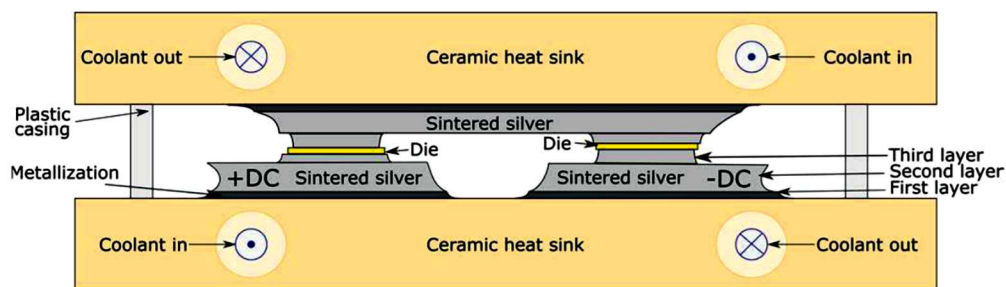


Figure II. 4 : Module 3D avec frittage d'argent sur plaque à eau céramique [109]

Cette technique d'assemblage permet de connecter toutes les surfaces métalliques de la puce en vue généralement de faire un refroidissement sur les deux faces du composant. Cela impose tout de même des précautions dans la mise en œuvre. En effet, les zones de dépôt des joints en face supérieure doivent être adaptés afin d'éviter la dégradation de la tenue en tension du composant. Dans le souci de respecter cette tenue en tension, il est possible de réaliser une gravure sur les substrats comme montré sur la Figure II. 5 [112]. Une des limites de cette technologie, surtout dans les cas où il n'y a qu'un seul joint de part et d'autre de la puce est la fiabilité. La différence de CTE entre les différents matériaux (Cu 17,8 ppm/°C – Si 2,6 ppm/°C – brasure SAC 21 ppm/°C) utilisés dans l'empilement peut créer des fissures au niveau des attaches entre la puce et les substrats et dégrader la fiabilité du module [112]. Ainsi, d'autres solutions d'accroche de la face avant sont présentées dans les paragraphes suivants.

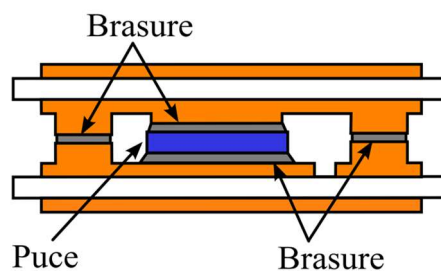


Figure II. 5 : Connexion directe par brasure et gravure des substrats [112]

2.2.2. Interconnexions par billes et poteaux

Une alternative pour réaliser la connexion de la face avant consiste à utiliser des éléments qui permettent d'avoir une certaine distance entre la puce et le substrat. Les technologies « solder bump interconnection », « bump interconnection » et « metal post interconnection » peuvent être citées en exemple et sont présentées sur la Figure II. 6. Dans la première (Figure II. 6.a), des billes de brasure sont utilisées pour réaliser la connexion électrique et thermique. Un seul cycle de brasage permet de réaliser la connexion de la face avant. Cette technologie a le mérite d'être relativement simple à mettre en œuvre mais les résistances électriques et thermiques peuvent être élevées du fait des faibles conductivités électrique et thermique de la brasure, associées à une réduction de la surface de contact. Les travaux de Bai et coll. [114] ont montré que la température de jonction des puces était plus faible lorsque la connexion était directe comparé à une connexion par billes de brasure. Cependant, la connexion par billes de brasure permet de réduire les contraintes thermomécaniques à l'interface entre puce semi-conductrice et brasure. Leur ajout permet aussi d'améliorer la tenue en tension en augmentant l'espacement entre substrats [115].

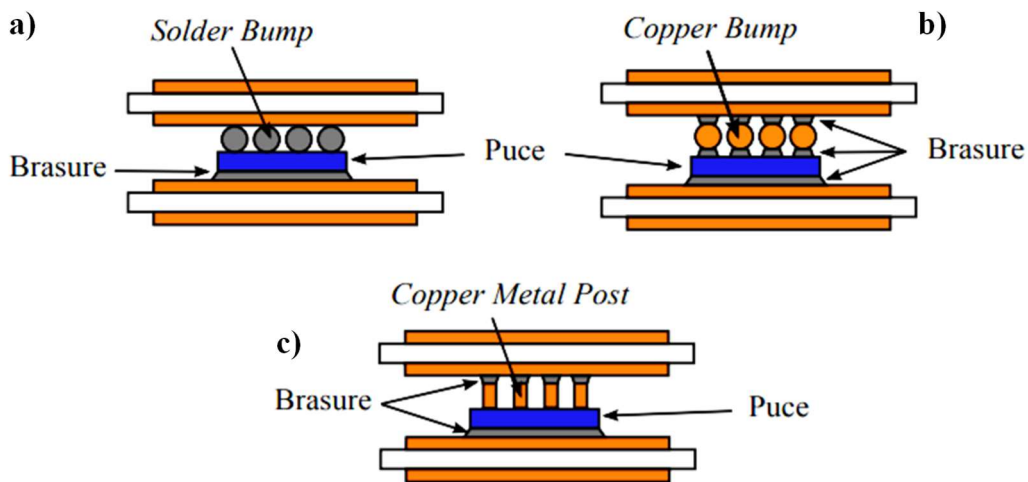


Figure II. 6 : Exemples de technologies d'interconnexion sur la face avant : a) solder bump, b) copper bump, c) copper metal post [49]

Dans le but de transiter plus de courant et d'améliorer les performances thermiques, des billes ou cylindres en cuivre peuvent être utilisées comme le montre la Figure II. 6.b. Cela permet de profiter de la meilleure conductivité électrique et thermique du cuivre comparé à la brasure. Les performances électriques et thermiques dépendront principalement de la densité des billes et de la qualité des interfaces de brasure. Ces dernières peuvent être le siège de fissures dues aux contraintes thermomécaniques.

Avec les billes (brasure ou cuivre), la surface de contact est réduite. Afin de se rapprocher d'une surface de contact totale (connexion directe), tout en assurant une distance d'isolation entre substrats, il est possible d'utiliser des poteaux en cuivre (Figure II. 6.c). Deux principales technologies existent suivant leur mode de connexion. La première consiste à brasier des plots massifs (1mm d'épaisseur) de cuivre entre la puce et le substrat [116], [117]. Cela permet de garantir une distance d'isolation entre les substrats, mais présente deux interfaces brasées qui limitent les performances thermiques et surtout la fiabilité. La seconde technologie consiste à graver le cuivre sur le DBC [112], [118] et réaliser une seule étape de brasure ou frittage sur la puce (Figure II. 5) ou encore faire une croissance de cuivre sur la puce et brasier les poteaux sur le substrat (Figure II. 6.c). Cette dernière technologie a l'avantage de réduire le nombre d'interfaces mais réduit également la distance d'isolation du fait de la plus faible épaisseur des poteaux. Cependant, une interface brasée existe toujours et peut donc limiter la durée de vie de l'assemblage. Pour pallier cela, les travaux de Ludovic Ménager [119] et Bassem Mouawad [120] proposent un assemblage entre face avant de la puce et substrat sans brasure. Dans le premier cas, la connexion entre poteaux de cuivre et substrat est réalisée à travers une interdiffusion d'étain comme présenté sur la Figure II. 7. Dans le second, un collage cuivre à cuivre sans ajout de matière est effectué par la technique de Spark Plasma Sintering (SPS) [120]. Ces deux procédés qui pourraient permettre d'améliorer la fiabilité nécessitent une montée en maturité avant une utilisation industrielle.

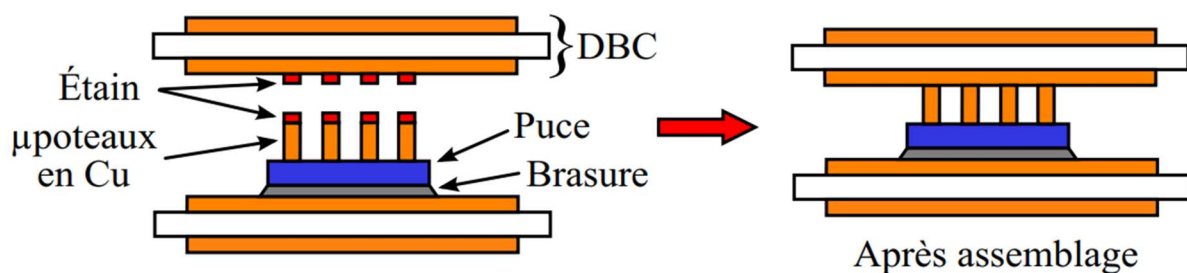


Figure II. 7 : Technique d'interconnexion 3D proposée par Ménager [119]

2.2.3. Interconnexion par électrodéposition : microvias

Dans les technologies d'interconnexions par poteaux de cuivre présentées dans le paragraphe précédent, nous avons pointé du doigt l'importance de supprimer la ou les couches de brasures. Les méthodes de collage cuivre à cuivre nécessitent des étapes de traitement préalable et ou un procédé complexe d'assemblage dans lequel une température et une pression contrôlée sont appliquées [119]–[122]. Dans la littérature, certaines technologies permettent de réaliser par électrodéposition l'interconnexion de la face avant de la puce en supprimant l'étape de brasage

et/ou de collage cuivre à cuivre. Deux principales ont retenu notre attention. Dans ces technologies visibles sur les Figure II. 8 (Power Overlay) et Figure II. 9 (Embedded Power) [123], [124], les puces sont brasées en face arrière sur un substrat DBC. Dans la technologie « Embedded Power », l'isolation entre drain et source et la tenue mécanique est gérée par une céramique, tandis que pour la technologie « Power Overlay », un diélectrique chargé d'époxy (underfill) maintient les puces et permet l'isolation. Un film adhésif et une couche de polyimide permettent d'isoler la face avant de la puce de la couche de cuivre. Des microvias sont réalisés par perçage laser et remplis de cuivre par électrodéposition après pulvérisation d'une fine couche barrière en titane et d'une fine couche d'accroche en cuivre.

Ces technologies permettent ainsi de réaliser l'interconnexion de la face avant sans aucune brasure tout en réduisant la complexité du procédé. La fiabilité devrait être ainsi améliorée par la suppression des joints d'attache. Par contre, la surface de contact sur la puce est réduite et la résistance thermique dépend fortement de la densité de microvias. La surface de contact peut être augmentée en utilisant une entretoise sur toute la surface du plot de la puce.

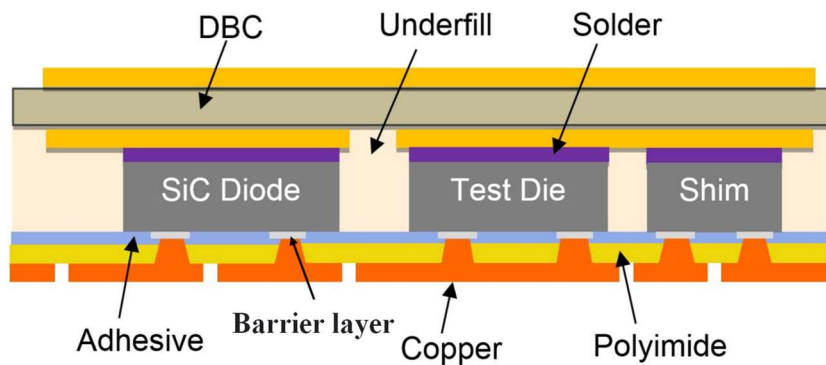


Figure II. 8 : Architecture de la technologie Power Overlay [125]

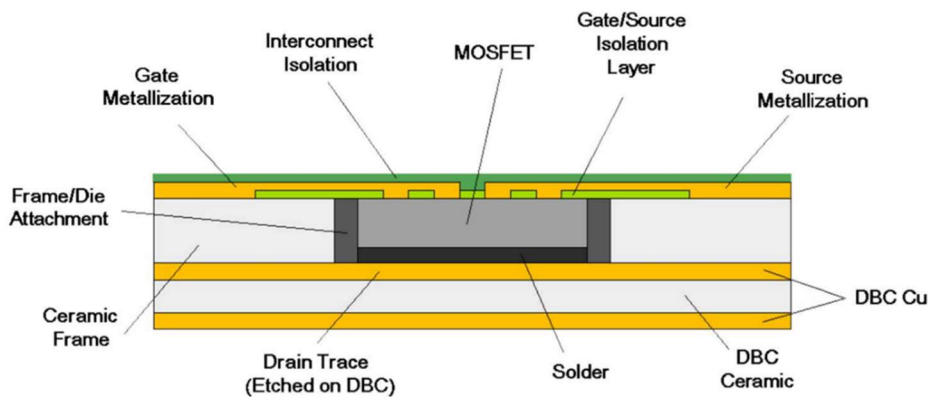


Figure II. 9 : Architecture de la technologie Embedded Power [124]

2.2.4. Interconnexion par entretoise

La connexion de la face avant peut être faite directement sur un matériau conducteur électrique et thermique comme montre la Figure II. 10. Une entretoise en cuivre est souvent utilisée et ressemble donc à la technologie d'interconnexion par poteaux présenté précédemment [63]. Cao et coll. [126], ont montré les limites de l'utilisation d'une entretoise en cuivre d'un point de vue fiabilité de l'assemblage. Pour réduire les contraintes thermomécaniques sur les interfaces, le molybdène (Mo) est souvent utilisé comme entretoise [127], [128]. Ce matériau a un CTE (4,2 ppm/K) plus proche de celui des matériaux semi-conducteurs (2,6 ppm/K pour le silicium et 3,7 ppm/K pour le carbure de silicium) que le cuivre (17 ppm/K). Cependant, il est moins bon conducteur thermique que le cuivre et nécessite une étape de métallisation (par exemple Ti/Ni/Ag) pour l'adapter au procédé de brasage ou de frittage. Pour pallier cet inconvénient, les travaux de Ding et coll. [129] (Figure II. 11) se sont intéressés à l'étude d'une entretoise réalisée en argent fritté. Ce procédé d'assemblage allie bonne conductivité thermique et faibles contraintes thermomécaniques (diminution du module d'Young de l'entretoise par rapport à un matériau massif).

Dans ces technologies d'interconnexion de la face avant, la commande est souvent connectée par un fil de bonding [60], [63], [128] (Figure I. 9, Figure II. 11) car ce dernier voit un courant très faible et est donc peu contraint au niveau thermique.

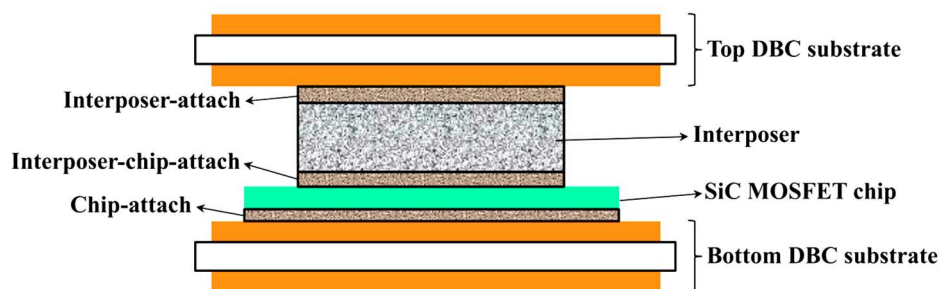


Figure II. 10 : Architecture interconnexion par entretoise en argent [129]

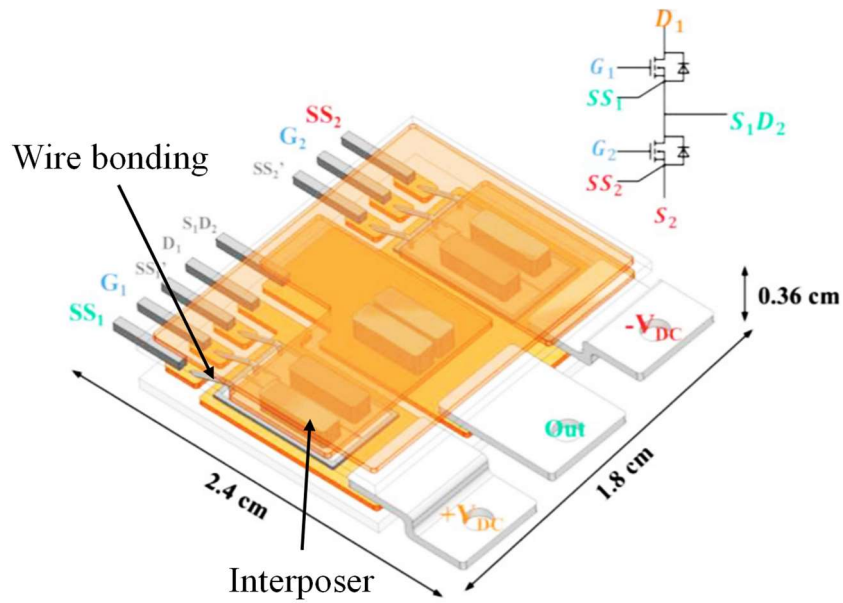


Figure II. 11 : Module 3D avec entretoise en frittage d'argent et connexion de commande par fils de bonding [128]

2.2.5. Contact pressé

Une alternative à la brasure, au frittage et à l'électrodéposition dans l'objectif de réaliser les interconnexions des composants est le contact pressé. Les matériaux sont assemblés en appliquant une pression de part et d'autre. Cette technologie d'assemblage par pression est mise en œuvre dans le cas des boîtiers press-pack. La Figure II. 12 présente un exemple de boîtier press-pack développé par ABB [130]. Les puces semi-conductrices sont prises en sandwich entre deux plaques de cuivre précédées d'entretoises en molybdène (Mo) pour les raisons de fiabilité évoquées précédemment. Un fil de bonding est utilisé pour connecter la gâchette au circuit de commande.

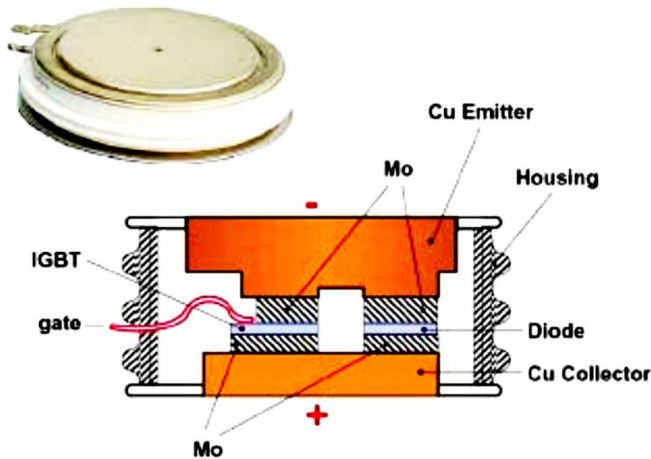


Figure II. 12: Boitier Press-pack (Photographie ABB) [130]

La Figure II. 13 montre une technologie de contact pressé réalisée avec des ressorts fins en cuivre au béryllium et recouverts d'or [131]. Ces ressorts viennent être pressés sur la face avant de la puce à travers une céramique basse température. Dans ces technologies à contact pressé, les résistances électriques et thermiques dépendent fortement de la pression appliquée. Une faible pression conduit à des résistances de contacts élevées pendant qu'une forte peut endommager la puce semi-conductrice. Le procédé d'assemblage nécessite beaucoup de précautions et a un coût de mise en œuvre plus important comparé à des assemblages réalisés par brasure dont le procédé est mieux maîtrisé.

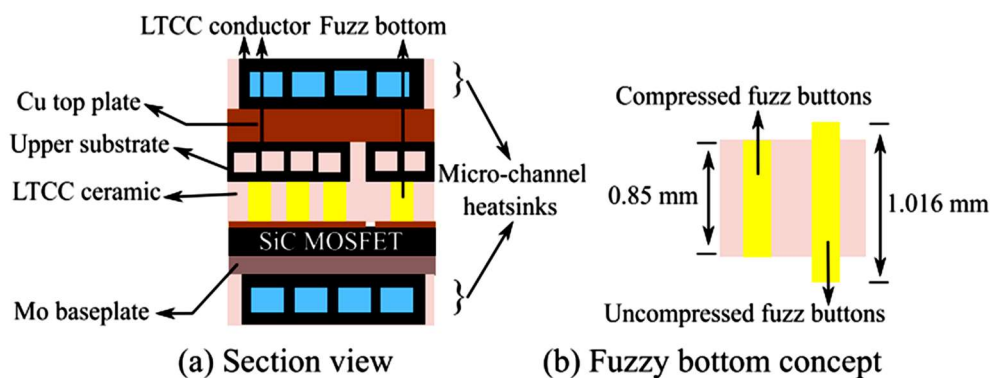


Figure II. 13: Module de puissance avec contacts pressés et fuzz buttons [131]

2.3. Bilan des technologies d'assemblage 3D

Les technologies d'attaches utilisées en électronique de puissance ont pour principale mission d'assurer un bon contact électro-thermo-mécanique. Dans le but d'une industrialisation, le procédé d'assemblage doit être assez simple à mettre en œuvre et peu coûteux. La brasure ou

le frittage direct sur les deux faces permet d'avoir une bonne conductivité électrique et thermique, mais pourrait dégrader la tenue en tension périphérique. Le procédé de brasure (direct sur les deux faces) peut être simple à mettre en œuvre, mais serait difficilement répétable.

L'utilisation de billes (brasure ou cuivre), permet de supprimer la contrainte sur la tenue en tension périphérique mais dégrade les performances électriques et thermiques en ne couvrant pas toute la surface des plots de la puce. Cela est d'autant plus accentué avec les puces SiC qui sont de tailles réduites. Le procédé est simple à mettre en œuvre mais les contraintes thermomécaniques sur la bille de brasure ou à l'interface (pour les billes en cuivre) peuvent limiter la durée de vie du module.

L'interconnexion par électrodéposition ou par microvias permet de supprimer les différentes contraintes dues aux attaches. Cependant, les performances électriques et thermiques dépendent fortement du rapport entre la surface de cuivre et celle du plot de la puce (densité de microvias). Cette densité de microvias est aujourd'hui limitée par des contraintes technologiques même si le procédé est maîtrisé. L'utilisation de poteaux ou encore d'entretoises brasées permet d'augmenter la surface de contact et ainsi d'améliorer les performances électriques et thermiques. La fiabilité peut être impactée suivant le matériau de l'entretoise. Il y a un compromis entre performances électriques/thermiques et fiabilité (CTE adapté). En effet, le cuivre qui est bon conducteur électrique et thermique pose des problèmes de fiabilité dû à un CTE distant des autres matériaux de l'assemblage. L'utilisation du molybdène comme entretoise permet d'améliorer la fiabilité mais réduit la conductivité électrique et thermique comparé au cuivre. Toutefois, cette connexion par entretoise semble l'une des plus fiables, simple à mettre en œuvre et peu coûteuse. En effet, les modules de puissance avec interconnexion par entretoise développés par Hitachi [60] sont aujourd'hui intégrés dans des onduleurs de traction automobile [60]–[62], secteur d'application exigeant en termes de fiabilité et de coût. Les auteurs ne communiquent cependant pas sur le matériau de l'entretoise utilisé.

L'interconnexion par pression est surtout utilisée pour la fiabilité et dans des applications à forte puissance. Par contre, la conductivité électrique et thermique dépendent fortement de la rugosité des surfaces en contact, et de la pression appliquée. Elle peut être moins bonne que dans le cas d'une attache par brasure ou frittage.

On retient donc qu'il n'y a finalement pas de solution incontestablement bonne et que tout est question de compromis. Ces différentes technologies peuvent être mises en œuvre en utilisant

la technologie de circuit imprimé ou PCB (Printed Circuit Board) qui pourrait simplifier certains procédés. Cette technologie sera présentée dans le prochain paragraphe.

2.4. Technologie PCB : enfouissement des puces semi-conductrices

Le circuit imprimé utilisé principalement en microélectronique peut offrir des avantages en électronique de puissance. La technologie d'enfouissement PCB, encore appelé « chip in polymer » proposée par Fraunhofer IZM et TU-Berlin depuis 2002 [132], [133] permet de réaliser des convertisseurs d'électronique de puissance ayant une meilleure densité de puissance. Une des principales forces de la technologie PCB est qu'elle repose sur un procédé de fabrication facilement industrialisable et très versatile. Les coûts de production peuvent alors être réduits par rapport à des solutions de packaging classiques 2D avec fils de bonding. La principale limite est la fiabilité pour des applications de fortes puissances (> 50 kW) [59]. Aussi, l'isolant utilisé dans le PCB (appelé pré imprégné ou prepeg) est moins bon conducteur thermique (FR4 : $0,3$ W/m.K) qu'une céramique utilisée dans les substrats DBC (Al_2O_3 : 20 - 30 W/m.K) des modules de puissance classiques. Par contre, la possibilité d'utiliser des isolants très fin (< 50 μm) du fait de la meilleure tenue diélectrique du FR4 (20 kV/mm) comparé la céramique (Al_2O_3 : 12 kV/mm) permet de limiter cet inconvénient (en rappel l'épaisseur de la céramique dans les substrats est d'environ 600 μm qui a également un rôle de tenue mécanique). Nous pouvons également parler de la température de transition vitreuse du prepeg (Fr4 : 130 - 180 °C) qui empêche pour le moment l'utilisation du PCB dans des applications haute température (> 200 °C). Aussi, le caractère anisotrope du prepeg (CTE différent suivant les directions) peut imposer des contraintes sur les connexions en face avant de la puce et dégrader la fiabilité [134].

Dans les lignes qui suivent, nous présenterons des technologies de mise en œuvre utilisées pour l'enfouissement de composants actifs. Les avantages, les contraintes et les limites de chaque technologie seront discutés.

Dans la technologie d'intégration proposée par Sharma et coll. [135] visible sur la Figure II. 14, la puce est brasée en face arrière sur substrat tandis que la face avant est brasée sur une entretoise en cuivre. Des vias remplis de cuivre permettent de connecter l'entretoise à la couche supérieure du PCB. Cet assemblage a la particularité de réduire la résistance thermique grâce à l'entretoise brasée en face avant. En effet, cette dernière permet la répartition du flux de chaleur sur la toute la surface des plots. Elle permet également de simplifier le procédé d'assemblage

par la réalisation de vias mécaniques en lieu et place de ceux en laser que nous présenterons par la suite. Cependant, la présence de deux joints brasés et d'une entretoise en cuivre peut poser des problèmes de fiabilité.

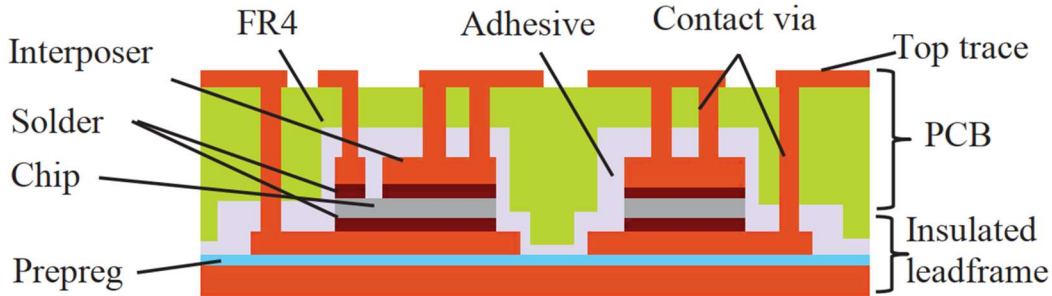


Figure II. 14 : Enfouissement PCB avec brasure sur les deux faces de la puce[135]

Le PCB développé dans le cadre du projet « HI-LEVEL » (Integration of Power Electronics in High Current PCBs for Electric Vehicle Application) est visible sur la Figure II. 15 [136], [137]. Cette fois, la puce est frittée en face arrière sur un substrat avec cuivre épais sur lequel une fine couche d'argent a été déposée pour faciliter le frittage. La face avant est connectée par électrodéposition de cuivre à travers des microvias percés au laser. Comparé à la technologie présentée sur la Figure II. 14, celle-ci semble plus fiable. En effet, le seul joint présent sur l'assemblage est fritté en argent, plus fiable qu'un joint de brasure. La couche de cuivre sur la puce qui sera d'une épaisseur comprise entre 5 et 8 μm (Figure II. 15), associé aux 400 μm de cuivre sur la face arrière devront permettre d'avoir une faible résistance thermique. L'Institut Vedecom développe en partenariat avec Elvia PCB une technologie d'enfouissement dans laquelle les puces semi-conductrices sont frittées à l'argent sur des blocs de cuivre épais sur les deux faces [138]. Cela permettrait d'améliorer la fiabilité de l'assemblage tout en ayant une faible résistance thermique.

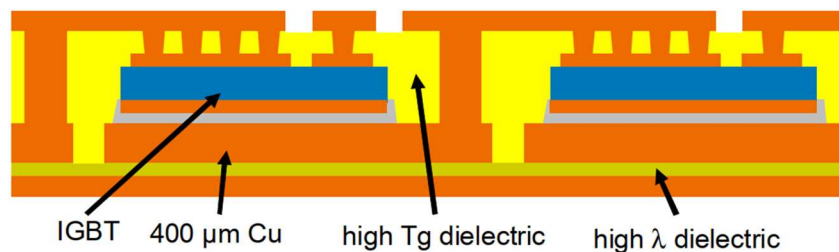


Figure II. 15 : Enfouissement PCB avec frittage Ag en face arrière et microvias en face avant [136]

Dans la technologie proposée par Caillaud et coll. [139] et visible sur la Figure II. 16, des microvias relient les faces avant et arrière de la puce aux surfaces externes du PCB. Il n'y a aucun joint d'assemblage. Comparée à une architecture avec couches de cuivre épais frittées de part et d'autre de la puce, cette technique d'interconnexion aura normalement une plus grande résistance thermique.

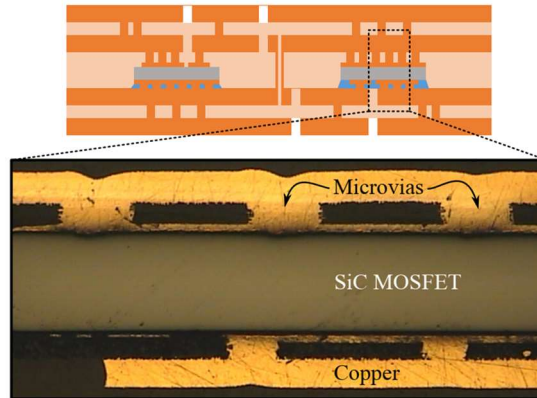


Figure II. 16 : Interconnexion par microvias sur les deux faces de la puce [139]

Une technologie d'interconnexion par électrodéposition très proche de celle par microvias est proposée et brevetée par l'Université Paul Sabatier [140]. L'interconnexion est réalisée par des nano fils en cuivre d'une longueur pouvant atteindre $60\mu\text{m}$, un diamètre de 200 nm et une densité comprise entre 30 et 40% [141], [142]. Une membrane est utilisée comme matrice pour la réalisation de l'électrodéposition des nano fils à travers celle-ci qui est ensuite retirée. Dans un procédé d'intégration PCB, il est possible de réaliser les nano fils sur les deux faces de la puce et sur les couches du PCB (structure bilatérale) comme le montre la Figure II. 17.a et ensuite assembler les parties en appliquant une pression. Cette première méthode permet probablement d'améliorer la densité de nano fils pour améliorer les performances électriques et thermiques, mais est assez complexe. Pour simplifier le procédé, il est possible de ne réaliser les nano fils que sur une des deux surfaces à connecter [96].

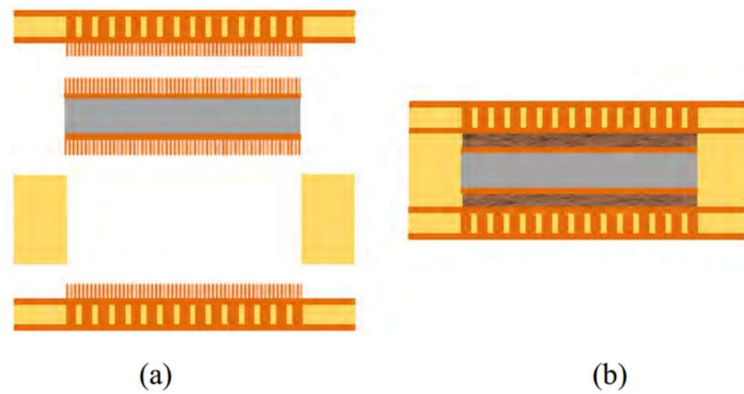


Figure II. 17 : Enfouissement PCB avec interconnexion par nano structures bilatérales

L'interconnexion par entretoise présentée dans la section 2.2.4 de chapitre peut également être utilisée pour enfouir la puce dans le PCB. Une technologie d'interconnexion par entretoise particulièrement adaptée à la technologie de fabrication PCB est proposée par le laboratoire SATIE [143], [144]. La Figure II. 18 montre les étapes de réalisation de cet assemblage. La puce semi-conductrice est brasée sur un PCB double-face. Un masque en kapton assurant l'isolation entre grille et source et la tenue en tension périphérique est posé sur la puce. Ce masque permet d'avoir des entretoises plus grandes que les plots de sources et grille, favorisant ainsi l'évacuation de la chaleur. Les entretoises en mousse de nickel sont ensuite posées sur la puce. Des prepreg sont alors découpés aux dimensions de la puce et empilés. Un autre PCB double-face vient fermer l'assemblage et l'étape de lamination est réalisée.

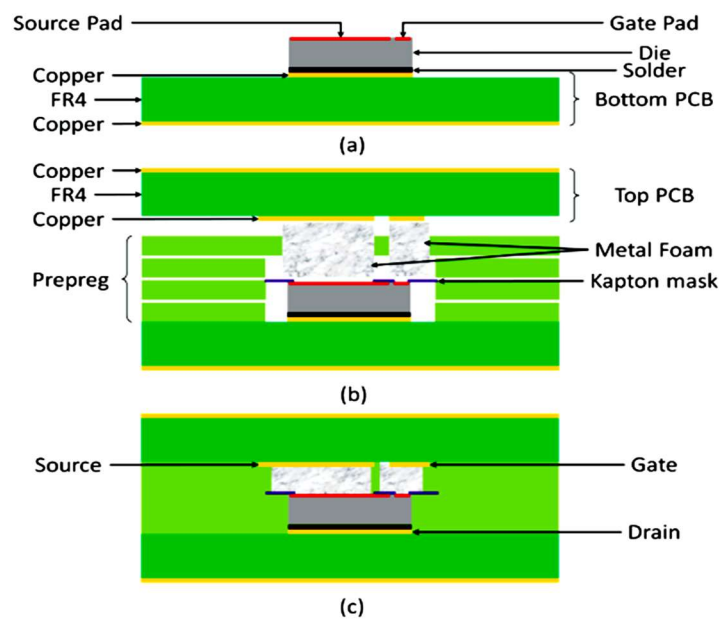


Figure II. 18 : Enfouissement PCB avec mousse métallique [144]

Cette technologie simple à mettre en œuvre utilise des matériaux à des coefficients de dilatation thermique proches, ce qui pourrait améliorer la durée de vie de l'assemblage. Aussi, l'utilisation de l'entretoise pourrait permettre une meilleure évacuation de chaleur comparée à la technologie des microvias. Cependant, cela dépend fortement de la qualité des interfaces entre les métallisations de la puce et l'entretoise et entre ce dernier et le PCB supérieur.

Dans les technologies utilisant l'enfouissement PCB ou encore celles présentées plus haut, nous avons passé sous silence l'impact de la nature de la métallisation des puces semi-conductrices. En réalité, chaque technologie d'interconnexion requiert certaines finitions de surface sur la puce. Il est également possible de pré-packager la puce avant de l'intégrer. Le conditionnement des puces pour l'intégration 3D sera donc l'objet de la prochaine section.

2.5. Conditionnement des puces semi-conductrice pour une intégration 3D

Les puces semi-conductrices utilisées en électronique de puissance ont le plus souvent une finition argent en face arrière et une finition aluminium en face avant [109]. Ces différentes métallisations sont adaptées à la technologie de réalisation 2D des modules de puissances : la face arrière de la puce (drain) est brasée sur un substrat alors que les fils de bonding en aluminium sont connectés en face avant par soudure par ultrasons. La face avant n'est ainsi pas adaptée aux procédés classiques d'accroche (brasure et frittage). On peut cependant citer les travaux de Barrière et coll. [145] qui présentent une méthode de frittage sur aluminium en utilisant une pâte d'argent. En attendant la montée en maturité de cette technique d'assemblage, il reste nécessaire d'adapter les métallisations des puces semiconductrices pour faire de l'intégration 3D.

2.5.1. Métallisation des puces semi-conductrices

Au vu de l'intérêt grandissant d'utiliser des structures de module de puissance 3D surtout pour les composants à grand gap, certains fabricants de puces semi-conductrices proposent d'autres types de métallisations sur certains MOSFETs SiC. Des finitions Ni/Au, Ni/Pd/Au, et Ag en face avant et/ou face arrière sont proposées [146], [147]. Ces métallisations sont surtout adaptées à la brasure et/ou au frittage d'argent. Les technologies d'assemblage par électrodéposition de cuivre telles que les microvias ou les poteaux nécessitent plutôt des finitions en cuivre. Le perçage laser des microvias exige une épaisseur de cuivre d'au moins 5 μ m afin de stopper le faisceau laser pour éviter d'endommager la puce. Dans le but de transiter

des courants plus importants, des fils de bonding en cuivre sont utilisés par certains fabricants de modules de puissance. Pour ce faire, les puces ont des finitions Cu en face avant. On peut citer les modules de puissance avec puces IGBT d'Infineon [148], [149].

Pour la mise en place de travaux de recherche dans ce domaine, une étape de traitement surfacique des puces classiques est souvent nécessaire. Cette étape de métallisation peut être réalisée sur des puces unitaires ou des wafers suivant le procédé utilisé. Dans les travaux présentés par REGNAT [49], un dépôt de cuivre de 1 μm est effectué par pulvérisation sur des puces unitaires à travers un masque. L'IMB-CNM (CSIC) de Barcelone possède une technologie brevetée [150] qui permet la métallisation Cu (quelques μm) sur des puces unitaires. Certains laboratoires de recherche et industriels réalisent la métallisation sur des wafers complets. C'est le cas par exemple de Fraunhofer IZM [151] ou encore Pactech [152]. Au-delà de réaliser des dépôts de cuivre sur la puce, il est aussi possible d'assembler des blocs de cuivre plus épais (pré-package) avant d'intégrer l'ensemble dans le module.

2.5.2. Utilisation de composants pré-packagé

Dans le but d'adapter la puce aux différentes technologies d'assemblage, il est possible de réaliser un pré-package qui sera ensuite intégré dans une architecture de module de puissance. La mission principale ce pré-package est de faciliter l'intégration de la puce tout en garantissant une bonne évacuation du flux de chaleur, un faible apport d'éléments parasites ou une faible dégradation des performances intrinsèques (tenue en tension, capacités parasites etc..) et une bonne fiabilité.

Un exemple de composant pré-packagé qui est proposé par NXP (fabricant de puces semi-conductrices) et visible sur la Figure II. 19 [153] est basé sur la technologie d'enfouissement PCB. La puce (MOSFET) est brasée en face arrière sur une feuille de cuivre, puis suis une étape de dépôt d'un prepeg découpé aux dimensions de la puce et le laminage après rajout d'une feuille de cuivre sur le prepeg. Les microvias sont réalisés par perçage laser et ensuite remplis de cuivre.

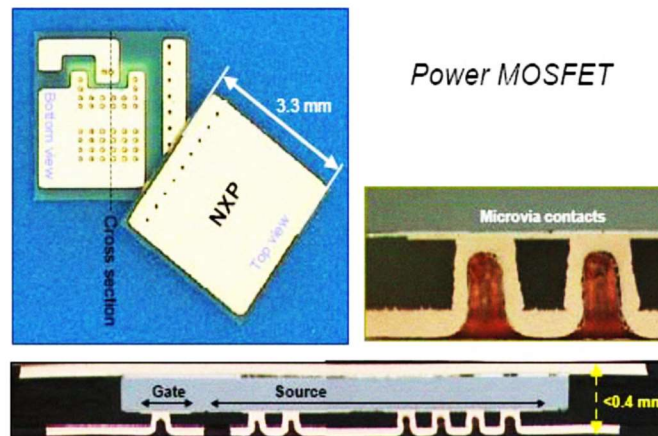


Figure II. 19 : Composant pré-packagé de NXP [153]

Dans le pré-package proposé par Thomas et coll. [134] visible sur la Figure II. 20 , la puce est frittée en face arrière sur un bloc de cuivre pour maximiser l'évacuation de la chaleur ou sur céramique avec des vias en cuivre afin d'améliorer la fiabilité au détriment de la résistance thermique [154]. La face avant est également frittée sur un bloc de cuivre ou sur une matrice en cuivre pour des raisons de fiabilité. L'isolation ainsi que la tenue mécanique sont assurées par une résine moulée comme dans les boîtiers TO220, QFN, DSOP etc. La résine utilisée est isotrope afin de réduire les contraintes sur les contacts en face avant et améliorer la fiabilité. En rappel, le composant TPW1R306PL en boîtier DSOP (Figure I. 18) utilisé pour réaliser la toute première cellule de commutation (TAPIR_CIBEL) présentée dans le chapitre I, peut être considéré comme un pré-package pour notre technologie.

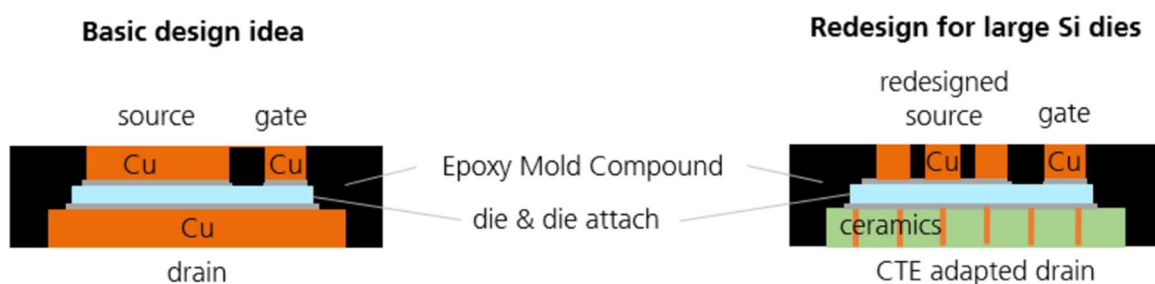


Figure II. 20: Vue en coupe d'un composant pré-packagé réalisé avec moulage résine [134]

La technologie P²-Pack (P2P) développée par Schweizer en partenariat avec Infineon et présentée sur la Figure II. 21 est un autre exemple de composant pré-packagé avant enfouissement dans le PCB [155], [156]. Dans cette technologie, la puce est frittée sur un bloc de cuivre de plus de 2 fois la surface de la puce et de plus d'un millimètre d'épaisseur. La puce

pré-packagée est ensuite enfouie dans le PCB. Des microvias assurent la connexion de la face avant de la puce et du bloc de cuivre en face arrière de la puce. L'assemblage sur le bloc de cuivre permet d'améliorer considérablement la résistance thermique et joue également dans la répartition des contraintes afin d'améliorer la fiabilité. Cette technologie est l'une des premières à passer les normes de qualification automobile AEC-Q-101. Un contrat est signé avec Continental/Vitesco pour équiper les onduleurs 48V des véhicules hybrides légers [157].

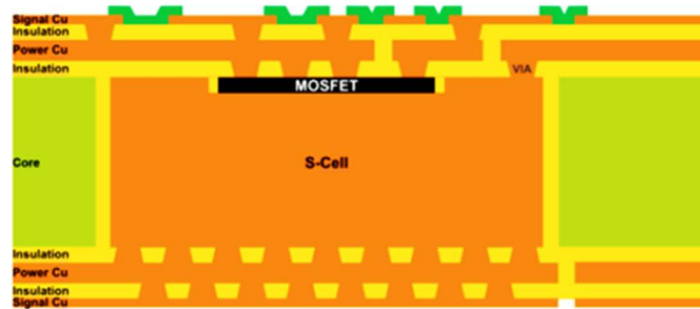


Figure II. 21 : Technologie P²-Pack de SCHWEIZER [156]

Les différentes technologies d'intégration verticale 3D énumérées (de façon non exhaustive) et discutées, nous allons maintenant présenter les différentes cellules de commutations que nous avons réalisées en utilisant certaines de ces technologies d'intégration. Pour faciliter la lecture, nous présenterons dans un premier temps les technologies utilisées dans chaque cellule de commutation et les raisons pour lesquelles nous avons jugé utile de réaliser ses prototypes.

3. Les différentes cellules de commutation réalisées

Dans le cadre de ces travaux de thèse nous avons réalisé et caractérisé plusieurs cellules de commutation, l'objectif étant d'arriver à réaliser deux convertisseurs de puissance. Un onduleur triphasé 48V pour une application automobile intégrant des MOSFETs en silicium, et un hacheur 600V intégrant des composants SiC. Le but du second prototype était de valider le fait que cette technologie (TAPIR) soit bien adaptée au packaging des composants à grand gap.

Pour rappel, ces travaux s'inscrivaient dans le cadre d'un projet de maturation technologique visant à démontrer les performances de la solution proposée afin de transférer cette technologie à l'industrie. Pour cela, il fallait proposer des prototypes fonctionnels et convaincants sur une durée d'environ 24 mois. D'où les différents choix de mise en œuvre qui seront présentés dans le prochain paragraphe. Dans les paragraphes suivants, nous allons présenter les technologies utilisées pour réaliser ces cellules de commutation, les difficultés rencontrées et les enseignements tirés.

3.1. Choix technologiques et justifications de la mise en œuvre des différentes cellules de commutation

La technologie PCB est utilisée pour la mise en œuvre de toutes les cellules de commutation que nous présenterons car elle est relativement mature, elle est bien adaptée au prototypage tout en gardant un coût abordable. Plusieurs technologies présentées dans la section 2 de ce chapitre permettent la réalisation de ces cellules de commutation. La désignation des différentes cellules de commutation, les composants et les technologies utilisées ainsi que les motivations de leur mise en œuvre sont résumées dans le Tableau II. 3.

La première cellule de commutation (**TAPIR_CIBEL**) qui a été introduite dans le chapitre I a été réalisée pour mettre en œuvre assez rapidement la technologie et pour en dégager les caractéristiques et les principaux verrous technologiques. La commande et le traitement des puces nues pouvant prendre quelques mois, nous avons utilisé des composants packagés adaptés à l'architecture TAPIR. Cette cellule de commutation étant déjà présentée, nous ne reviendrons plus sur les technologies mise en œuvre. On rappelle cependant que l'architecture du PCB a nécessité quelques semaines (4-8 semaines) de réalisation et complexifiait l'assemblage.

La seconde cellule nommée **CPB2** est réalisée, d'une part pour simplifier le PCB et le procédé d'assemblage de la cellule précédente et d'autre part pour avoir une distance entre les dissipateurs DC et Phase plus petite afin d'évaluer l'impact de ce paramètre sur l'inductance parasite. Pour cela, le même composant packagé est utilisé.

La troisième cellule **PNBuB** est mise en œuvre avec des puces nues en SiC. Les puces sont prises en sandwich entre 2 substrats et l'isolation est effectuée avec du gel comme cela est proposé sur la Figure II. 6. Pour les substrats, l'utilisation du PCB est préférée au DBC pour faciliter la connexion aux dissipateurs qui sont reliés aux potentiels électriques.

La quatrième cellule de commutation (**PNB2**) est réalisée principalement pour évaluer une intégration PCB permettant un report direct de la face arrière de la puce sur le dissipateur. Nous avons ainsi voulu tester une solution d'enfouissement peu documentée, mais qui semblait offrir de bonnes performances thermiques.

Cet essai ayant été infructueux, nous avons réalisé la cellule de commutation **PNCBE** dans laquelle la puce (MOSFET SiC) est totalement enfouie dans le PCB. Une méthode d'interconnexion originale de la puce par croissance de piliers de cuivre est proposée pour

obtenir potentiellement de bonnes performances thermiques par rapport à une solution basée sur des microvias.

La dernière cellule de commutation **PM2E** intègre des puces nues en silicium dans un PCB à partir de la technologie P²-pack de Schweizer. L'originalité de cette cellule de commutation par rapport à ce que fait couramment le fabricant est l'intégration de deux MOSFETs orientés différemment dans le même PCB de puissance.

Les différentes cellules de commutation seront détaillées à la suite de cette partie. Les différentes couches des PCB sont visibles sur l'annexe 1. Dans le cadre de ces travaux de thèse, les cellules de commutation n'ont pas été pensées en tenant compte de la fiabilité. Nous n'avons par exemple pas étudié la répartition des contraintes avant de réaliser les PCB. Aussi, la réalisation des PCB étant sous-traitée, nous ne rentrerons pas dans le détail des méthodes de mise en œuvre (type de prepeg, pressions et température appliquée, durée du procédé etc...). Les méthodes d'assemblages des dissipateurs ne seront pas non plus abordées dans ces travaux. Nous précisons juste que tous les dissipateurs ont été métallisés (nickel-étain) avant l'assemblage pour permettre la brasure de ces derniers sur les puces ou les PCB fabriqués.

| Désignation | Caractéristiques MOSFET | Technologies d'interconnexion | Motivations /Objectifs |
|--------------------|------------------------------------|--|---|
| TAPIR_CIBEL | Composant packagé Si 60V, 100A | <ul style="list-style-type: none"> - Brasure face arrière sur pilier de cuivre - Brasure face avant sur dissipateur - Intégration PCB 4 couches | <ul style="list-style-type: none"> - Mise en œuvre initiale - Intégration commande - 2 PCBs unitaires composent la cellule de commutation - |
| CPB2 | Composant Packagé Si 60V, 100A, | <ul style="list-style-type: none"> - Brasure face arrière sur dissipateur - Brasure face avant sur dissipateur - PCB double face avec cavité traversante | <ul style="list-style-type: none"> - Simplifier la mise en œuvre - Minimiser la distance entre dissipateurs DC et Phase - Comparer inductance parasite à celle de TAPIR_CIBEL - 2 PCBs unitaires composent la cellule de commutation |
| PNBuB | Puce Nue SiC 1200V, 36A, 80mΩ | <ul style="list-style-type: none"> - Brasure Bumps en cuivre en face avant - Brasure face arrière sur pilier de cuivre - 2 PCB double face avec pilier de cuivre - Isolation électrique par gel | <ul style="list-style-type: none"> - Se débarrasser des éléments parasites du package - Mise en œuvre rapide - Intégration commande - 2 PCBs prennent en sandwich les puces pour former la cellule de commutation - |
| PNB2 | Puce Nue SiC 1200V, 36A, 80mΩ | <ul style="list-style-type: none"> - Brasure face arrière sur dissipateur - Brasure face avant (source) sur pilier de cuivre - PCB 4 couches, face arrière de la puce effleurant | <ul style="list-style-type: none"> - Se débarrasser des éléments parasites du package - Essayer une architecture 'd'enfouissement' PCB peu documentée - Minimiser la résistance thermique - Intégration commande |
| PNCBE | Puce Nue SiC 1200V, 36A, 80mΩ | <ul style="list-style-type: none"> - Croissance de cuivre face arrière - Brasure face avant - Enfouissement puce dans un PCB 4 couches | <ul style="list-style-type: none"> - Se débarrasser des éléments parasites du package - Essayer une nouvelle technologie d'enfouissement PCB - Minimiser la résistance thermique |
| PM2E | Puce Pré-packagée 80V, 460A, 0,9mΩ | <ul style="list-style-type: none"> - Microvias face arrière du composant pré-packagé - Microvias face avant de la puce - Enfouissement PCB - Technologie P²-pack | <ul style="list-style-type: none"> - Cellule de commutation sur un seul PCB - Se rapprocher d'un prototype industriel fiable - Minimiser la résistance thermique et l'inductance parasite - Rapprocher la commande - Réaliser un onduleur triphasé 48V pour l'automobile |

Tableau II. 3 : Récapitulatif des différentes cellules de commutation réalisées

3.2. Cellule de commutation avec composants packagés : CPB2

Le PCB de puissance de la cellule de commutation TAPIR-CIBEL présenté sur la Figure I. 19 était complexe et intégrait la commande rapprochée. L'assemblage des dissipateurs nécessitait aussi des précautions. Dans cette cellule de commutation, les PCBs de puissance sont simplifiés.

3.2.1. Le concept

Dans la nouvelle architecture de cellule de commutation visible en coupe sur la Figure II. 22, la connexion de la face avant qui était gérée par un PCB complexe dans la cellule TAPIR_CIBEL est reportée sur les dissipateurs que l'on peut facilement usiner. Pour ce faire, des rainures et piliers sont réalisés sur les dissipateurs afin de connecter respectivement la source et le drain des MOSFETs packagés au travers d'un PCB que l'on présentera à la suite. La réalisation de l'assemblage est facilitée par le fait d'avoir des piliers sur les dissipateurs qui viennent dans les cavités du PCB. Cela permet de réduire les problématiques d'alignement.

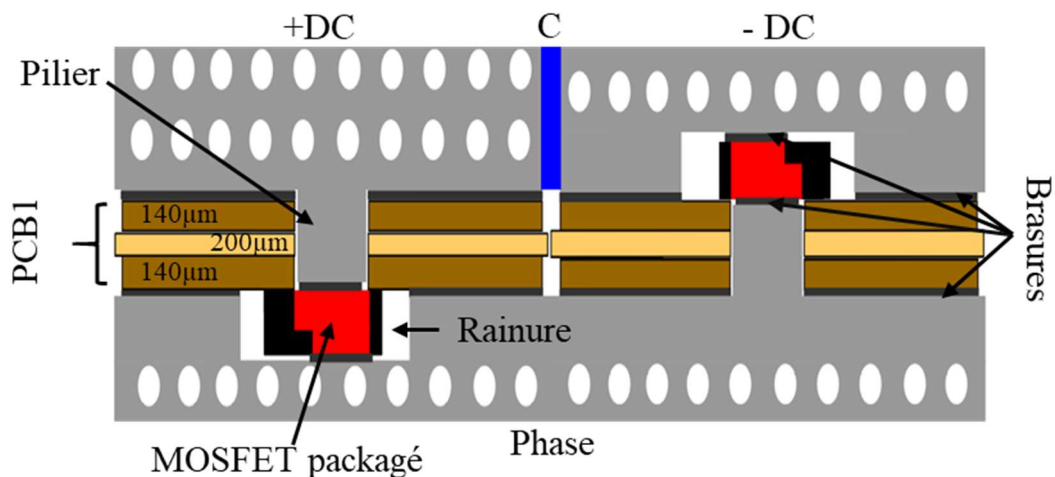


Figure II. 22 : Architecture de la cellule de commutation CPB2

Un PCB double-face avec une cavité traversante a été réalisé pour connecter le MOSFET de puissance avec les dissipateurs et le circuit de commande rapprochée. Contrairement au design précédent, le PCB ne contient aucun élément de la commande rapprochée. Le connecteur visible sur la Figure II. 23 comprend des broches (G et S) permettant de commander le MOSFET et également des broches pour réaliser des mesures de potentiels de drain et de source (K_D et K_S). L'isolant du PCB est très peu épais (200 μm) pour minimiser la surface de la boucle de commutation et donc l'inductance parasite. Dans le chapitre III, une étude paramétrique

permettra de voir l'influence de la distance entre les potentiels de drain et source sur l'inductance parasite de la cellule de commutation.

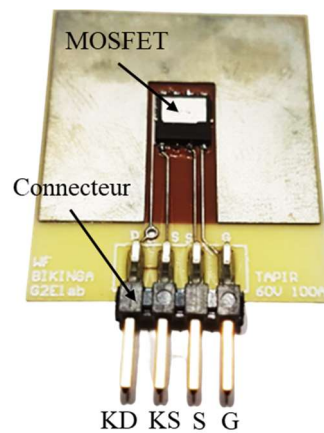


Figure II. 23 : PCB cellule de commutation CPB2

3.2.2. Réalisation de la cellule de commutation

La cellule de commutation est réalisée avec deux PCBs de puissance. Les dissipateurs sont maintenant fermés pour faciliter l'assemblage sur un busbar. Des dissipateurs à trous comme présentés sur la Figure II. 24 sont utilisés pour des raisons de simplicité de réalisation (fabrication au laboratoire) et aussi parce que ces derniers ont des résistances thermiques inférieures à 2 K/W. Les deux PCBs comportant déjà les composants packagés et les connecteurs brasés (avec une brasure SAC305), sont pris en sandwich par les dissipateurs. Une brasure plus basse température au plomb est utilisée pour l'assemblage des dissipateurs. Une matrice de condensateurs (63 condensateurs de 10 μ F chacun) est brasée entre les dissipateurs +DC et -DC en même temps que les dissipateurs. L'assemblage est pour le moment réalisé dans un four sous air au laboratoire. Cela réduit la qualité de la brasure qui présente des vacuoles (manque de brasure). Des caractérisations électriques et thermiques seront toutefois introduites dans les sections 4 et 5 de ce chapitre afin d'évaluer les performances même en présence de « défauts » dans l'assemblage.

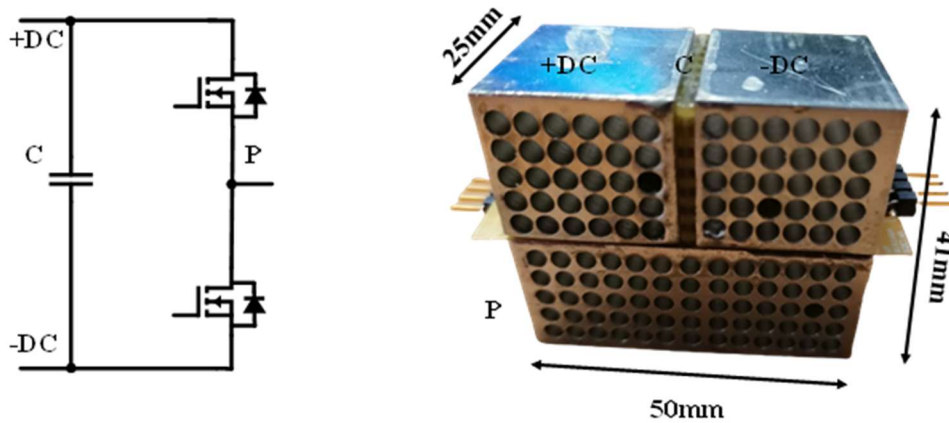


Figure II. 24 : Cellule de commutation CPB2

3.3. Cellule de commutation avec PCB et bumps : PNBuB

Cette cellule de commutation est réalisée avec des puces nues (CPM2_1200_0080b) en SiC de 1200V-36A [109]. Dans cette cellule de commutation, la technologie de bumps permet de relier les puces aux deux PCBs de puissance.

3.3.1. Le concept

Les puces semi-conductrices sont prises en sandwich entre deux PCBs réalisés par l'entreprise Cibel. Des piliers de cuivre permettent de relier les faces arrière des puces et les sources aux dissipateurs. La Figure II. 25 montre une coupe transversale de cette architecture de module de puissance. Le détail des couches de cuivre des deux PCBs utilisés dans cet assemblage sont visibles sur l'annexe 1. Des vias relient les faces des PCBs par endroits pour diminuer le chemin du courant et ainsi l'inductance parasite de la cellule de commutation. Des billes de cuivre (Bump Cu 2) plus grandes que celles utilisées sur les puces, permettent de garantir l'espacement entre les deux PCBs et d'assurer la tenue mécanique de l'assemblage. Un gel diélectrique est inséré entre les deux PCBs pour garantir la tenue en tension. Les dissipateurs prennent en sandwich cet assemblage et une capacité de découplage est insérée entre les potentiels +DC et -DC.

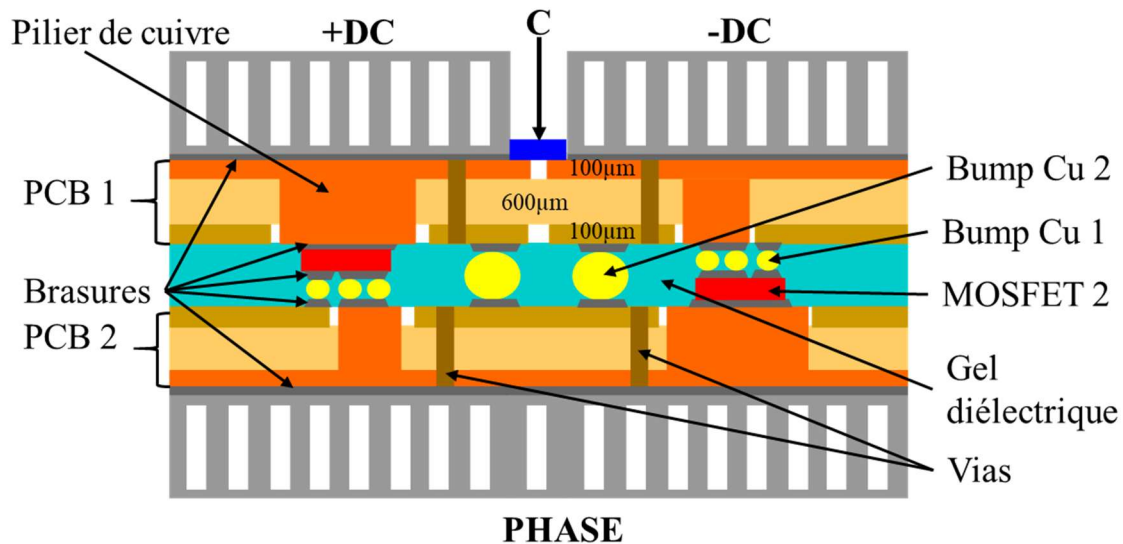


Figure II. 25 : Vue en coupe de la cellule de commutation PNBuB

3.3.2. Mise en œuvre

Les PCB ont des couches de cuivre recouvertes d'une fine couche de Ni-Au pour faciliter les étapes de brasage. Pour la même raison, une métallisation Ni-Au est également déposée sur la face avant des puces. Les empreintes des puces semi-conductrices sont sérigraphiées sur les couches du PCB afin de faciliter le positionnement. L'assemblage des deux PCBs avec les puces semi-conductrices a été effectué par l'entreprise DEEP Concept. Le drain du MOSFET 1 est brasé sur le PCB 1 ainsi que les billes de cuivre sur la puce et sur le PCB (pour la tenue mécanique). Le drain du MOSFET 2 est brasé sur le PCB 2 ainsi que les billes de cuivre. Les deux PCBs avec les puces et bumps sont alors brasés ensemble pour réaliser la cellule de commutation. Un gel diélectrique est coulé entre les deux PCBs après avoir réalisé une barrière aux extrémités avec un gel silicone épais. Les dissipateurs sont alors brasés sur les PCBs.

La réalisation de cet assemblage fait face à de nombreux challenges, le premier étant l'alignement des différentes empreintes lors de l'assemblage des deux PCBs. Cela a été surmonté grâce à des butées judicieusement positionnées. Le second point de vigilance est la connexion effective des différents bumps. Cela est d'autant plus critique avec les différents cycles de brasage que subissent les bumps et les puces. Le fait de brasier les dissipateurs oblige de brasier les puces et bumps avec des brasures plus hautes températures. Initialement, la brasure Au80Sn20 (dont les propriétés physiques sont présentées sur le Tableau II. 1) ayant une température de fusion de 280°C était prévue pour l'attache des puces et des bumps et une brasure SAC305 (SnAg3,0Cu0,5 sur le Tableau II. 1) avec une température de fusion de 217°C

pour l'assemblage des dissipateurs. Le cycle de brasage du Au80Sn20 provoquait un brunissement et un gauchissement important des PCBs. La brasure SAC305 a alors été utilisée pour l'assemblage des PCBs et une brasure au plomb (Sn63Pb37) pour celui des dissipateurs. Avec la brasure SAC305, le gauchissement est moins important, mais existe toujours. Cela a eu pour conséquence le fait que certains bumps ne soient pas connectés. Sur la Figure II. 26 , on peut apercevoir une zone sur laquelle les bumps n'ont pas été brasés.

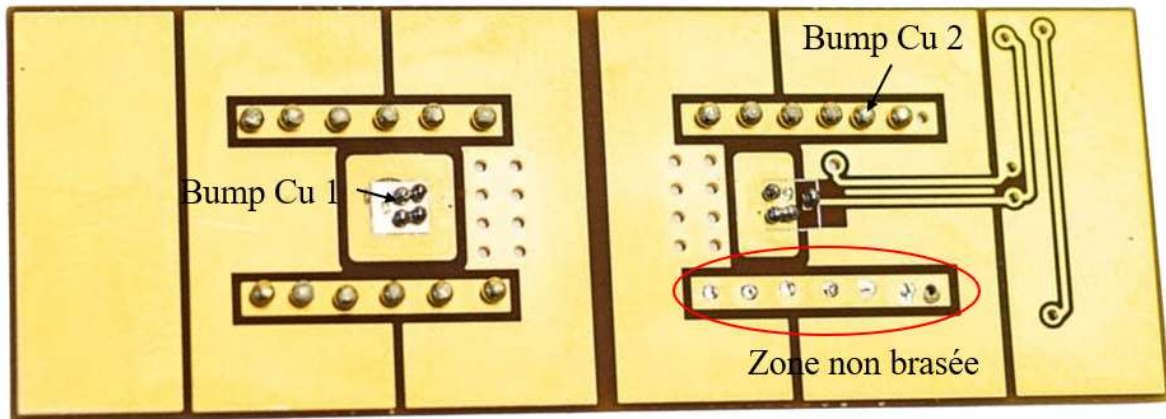


Figure II. 26 : PCB avec bumps mal brasés

Ainsi, sur 5 cellules de commutations réalisées, une seule semblait être bien assemblée. Après le cycle de brasage des dissipateurs, un seul MOSFET sur les deux de la cellule de commutation était bien connecté. Il n'a donc pas été possible de caractériser ces cellules de commutation. Les causes possibles du gauchissement des PCBs sont les épaisseurs de couches de cuivre et d'isolants réduits et aussi les propriétés physiques (T_g , CTE, etc...) de l'isolant du PCB (FR4 classique). Si cet assemblage était à refaire, le choix d'un isolant avec une température de transition vitreuse plus importante devrait être fait, ainsi qu'une étude thermomécanique de l'influence des cycles de brasures sur le PCB afin de bien dimensionner les épaisseurs des différents éléments.

3.4. Cellules de commutation avec enfouissement PCB

Dans cette partie, nous avons tenté des mises en œuvre différentes de ce qui est fait habituellement et qui est bien maîtrisé aujourd'hui (microvias en particulier) afin d'évaluer des solutions pour améliorer l'évacuation de la chaleur. Ainsi des risques ont été pris ici. L'idée était aussi de proposer des méthodes dans lesquelles le dépôt de cuivre épais pouvait être éliminé car contraignant voire limité à la face arrière qui est plus facile à gérer.

3.4.1. Cellule PNB2 : puce brasée face avant, affleurante face arrière

La cellule de commutation est construite avec les mêmes MOSFETs SiC que ceux mis en œuvre dans la cellule de commutation précédente. Un PCB 4 couches a été conçu pour connecter le MOSFET au circuit de commande de grille, mais aussi pour assurer une connexion directe de la puce aux dissipateurs thermiques (Figure II. 27 et Figure II. 28).

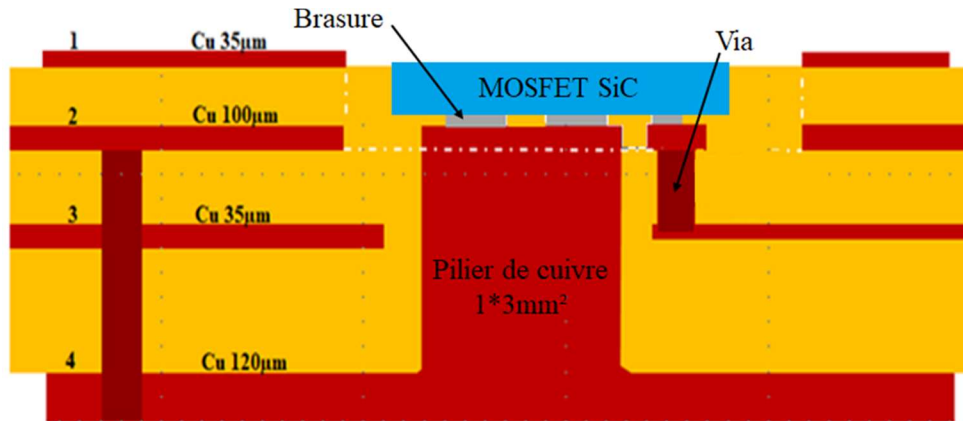


Figure II. 27 : Architecture du PCB de la cellule de commutation PNB2

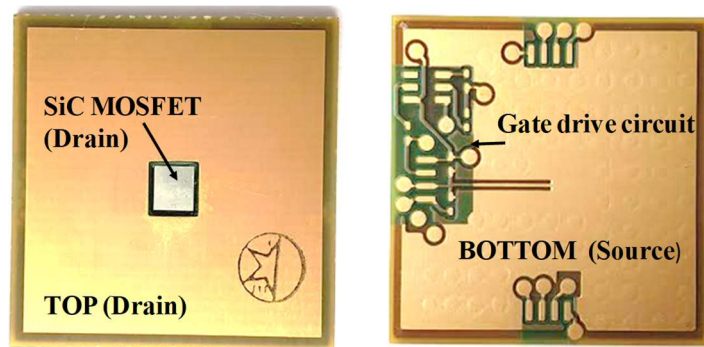


Figure II. 28 : PCB de la cellule de commutation PNB2

Sur la Figure II. 27, on peut voir que les plots de source et de grille de la puce sont brasés sur la couche 2 du PCB. Comme pour la cellule précédente, un revêtement nickel-or a été réalisé sur les métallisations de grille et de source. Sous chaque électrode de source de la puce, un pilier de cuivre permet de relier la source de la puce à la couche 4 du PCB. La couche 1 est découpée de manière à ce que le drain soit accessible depuis la surface du PCB par un trou (Figure II. 27 et Figure II. 28).

Cette implémentation présente plusieurs avantages en ce qui concerne la gestion thermique. Un dissipateur peut être connecté directement au drain de la puce alors que peu d'interfaces séparent la source du second dissipateur.

Le circuit de commande de grille (partie amplificateur de puissance) est situé sur la couche 4 du PCB et des vias assurent les connexions électriques entre les signaux de commande et la puce. La couche 1 est peu épaisse ($35\mu\text{m}$) pour minimiser la distance entre la puce et le haut du PCB afin d'avoir une épaisseur de brasure fine et d'assurer une bonne conductivité électrique et thermique. La couche 3 est utilisée pour connecter la grille au circuit de commande en évitant les anneaux de garde. L'épaisseur de la couche 4 est de $120\mu\text{m}$ pour permettre la diffusion du flux de chaleur et ainsi réduire la résistance thermique de la brasure entre le PCB et le dissipateur. Les détails de cette couche sont présentés sur l'annexe 1.

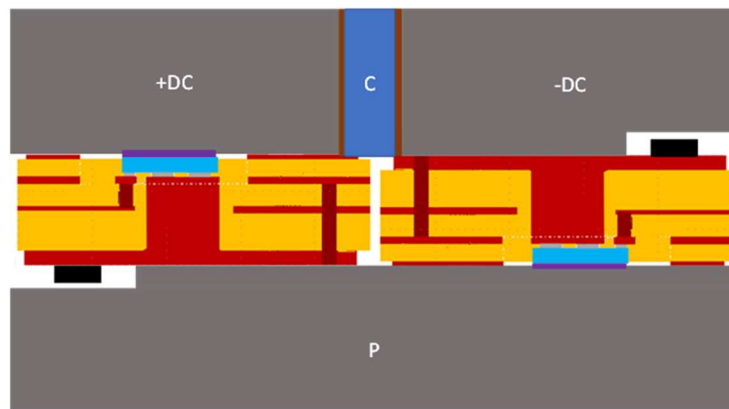


Figure II. 29 : Architecture de la cellule de commutation PNB2

Pour réaliser la cellule de commutation, les dissipateurs sont usinés (Figure II. 29) afin d'éviter tout contact électrique avec les composants du circuit de commande de grille sur la carte PCB. Le composant le plus épais est l'amplificateur du circuit de grille qui a une hauteur inférieure à 2 mm. Ce choix est fait afin de ne pas trop dégrader les performances thermiques en améliorant les performances électromagnétiques. Cela a ainsi obligé à choisir des connecteurs très petits. La recherche de miniaturisation a augmenté la complexité de mise en œuvre, allant jusqu'à entraver le bon fonctionnement de la cellule de commutation. Il était très difficile de s'assurer que les signaux d'alimentation et de commande parvenaient au circuit de grille. Cela n'a pas permis d'effectuer les tests sur les deux cellules de commutations réalisées qui ont été dégradées avant d'obtenir des résultats exploitables. Cette aventure nous a permis de réaliser que ce n'était pas une bonne idée de vouloir intégrer de suite la commande rapprochée sous le dissipateur. La prochaine cellule de commutation a donc été conçue en enlevant cette partie.

3.4.2. Cellule PNCBE : Puce brasée face avant, croissance de cuivre face arrière

3.4.2.1. Le concept du PCB

Le même MOSFET SiC est utilisé pour cette cellule de commutation. La Figure II. 30 présente l'architecture du PCB. La puce est enfouie dans un PCB 4 couches. Elle est brasée en face avant sur la couche 2 tandis que, sur la face arrière, le drain est reporté sur la face supérieure (top layer) du PCB par un dépôt chimique puis électrolytique de cuivre. La source est connectée à la couche 4 du PCB par le même procédé. Entre la couche 2 et 3, la croissance de cuivre est faite seulement sous les pads de source de la puce et, entre les couche 3 et 4, la zone de cuivre est plus grande afin de favoriser une meilleure évacuation de la chaleur. La grille est connectée sur la couche 3 pour éviter les anneaux de garde de la puce. Elle rejoint ensuite le connecteur situé sur la couche 4 à travers un via plein cuivre. Ce connecteur comprend la source pour la commande, la grille et une mesure Kelvin du potentiel de source. Un autre connecteur sur la couche 1 du PCB est relié au drain par des microvias pleins cuivre afin de réaliser une mesure Kelvin du potentiel de drain.

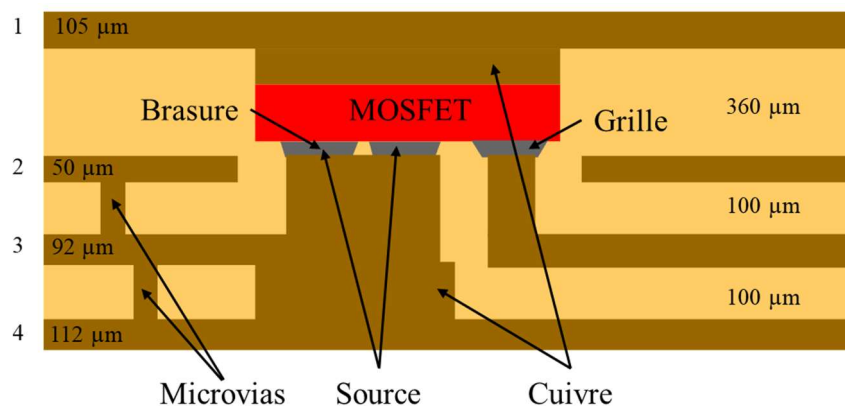


Figure II. 30 : Architecture du PCB de la cellule de commutation PNCBE

Pour réduire l'inductance parasite de la boucle de commutation, des microvias plein cuivre relient les couches 2, 3 et 4 (Figure II. 30). Cela permet de réduire la surface de la boucle de commutation en créant une mutuelle inductance entre les couches 1 et 2 du PCB qui sont respectivement au drain et à la source. L'inductance parasite de la cellule de commutation est alors réduite. Une simulation électromagnétique validant cette affirmation sera présentée dans le chapitre III.

Le fait de reporter le potentiel de source sur la couche 2 n'a pas que des avantages. En effet, cela réduit l'épaisseur d'isolant entre les couches aux potentiels différents augmentant ainsi la capacité parasite du dispositif en parallèle de la capacité C_{OSS} du MOSFET. Pour réduire cette capacité parasite, les couches internes ne sont pas connectées sur toute la surface du PCB. L'annexe 1 présente les couches 2 et 3 du PCB.

3.4.2.2. La réalisation

Le PCB a été conçu en respectant les règles de fabrication du sous-traitant. Malgré tout, la réalisation de ce PCB est assez complexe et a dû surmonter certains défis. L'isolation entre grille et source est un point critique, d'autant plus que, pour la puce utilisée, une distance de seulement 100 μm les sépare. Pour être enfouie, la puce semi-conductrice est recouverte en face arrière de 100 nm de titane et 9 μm de cuivre afin de permettre la connexion par croissance de cuivre. La face avant est recouverte de Ti-Ni-Au (Ti 100nm / Ni 200nm / Au 50nm) pour permettre l'attache par brasure. Ces métallisations ont été réalisées par le CNM de Barcelone.

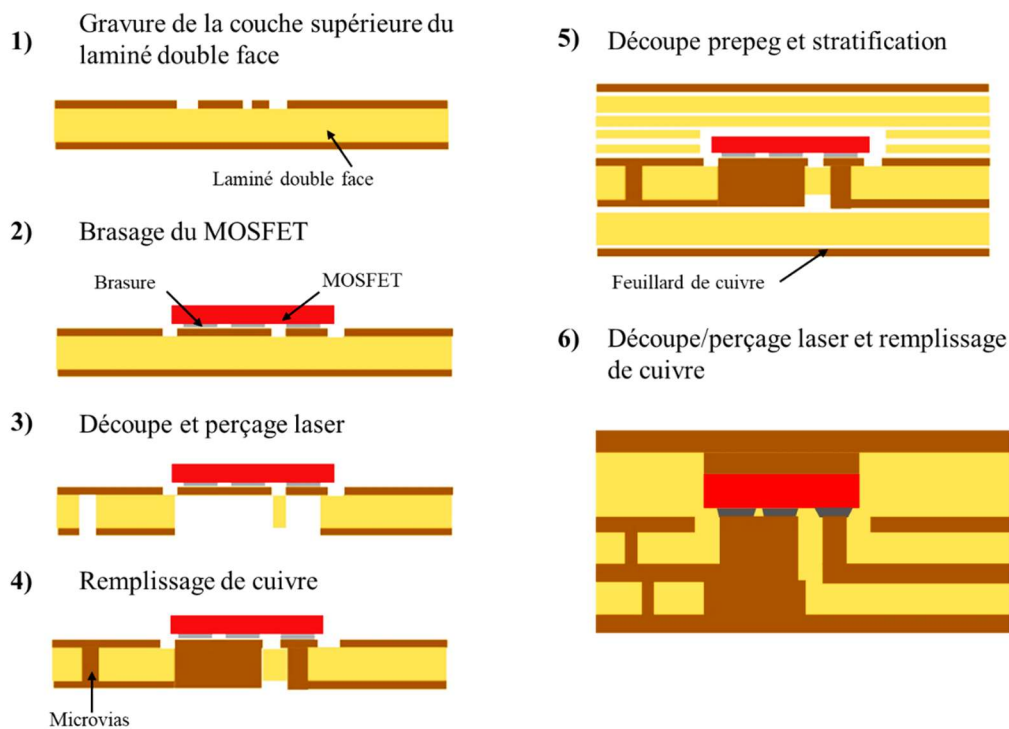


Figure II. 31 : Etape de réalisation enfouissement PCB avec brasure en face avant et croissance de cuivre en face arrière

Les étapes de réalisation du PCB de puissance sont illustrées sur la Figure II. 31. Une gravure avec l'empreinte de la puce est réalisée sur un laminé double-face. La puce est ensuite brasée sur ce laminé. L'étape suivante consiste à retirer par photolithographie une partie de la couche

de cuivre sous la puce puis à y réaliser une découpe laser. Par le même procédé, des microvias sont réalisés. Une croissance de cuivre chimique puis électrolytique vient boucher les microvias et cavités. Des prepegs sont alors découpés et empilés de part et d'autre du laminé avec la puce. Des feuillards de cuivre recouvrent l'ensemble qui est ensuite stratifié. Une étape de découpe laser et de remplissage de cuivre vient compléter les étapes de réalisation du PCB.

La métallisation de la puce ainsi que les étapes de fabrication du PCB présentées ci-dessus ne sont pas toujours évidentes. En effet, la Figure II. 32 montre des décollements de métallisation sur la face arrière de certaines puces. Cela a pour effet de dégrader les caractéristiques électriques et thermiques de l'assemblage. Il est difficile de déterminer la cause exacte de ce décollement. Les hypothèses possibles seraient le cycle de brasage de la puce sur la couche interne, la stratification (étape chaude) et/ou la chaleur créée par les tirs lasers pour retirer le prepeg sur la puce. Le cuivre au-dessus qui se décollait sur certaines puces a été totalement retiré à la pince. Il restait cependant une fine couche de cuivre resté solidaire à la puce. Un passage au plasma a permis l'activation de cette couche de cuivre restée solidaire et la croissance de cuivre par dépôt électrolytique a pu se faire.

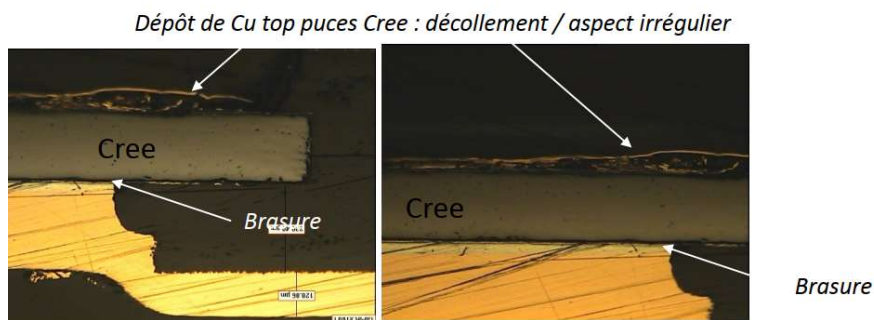


Figure II. 32 : Décollement de la métallisation sur la face arrière de la puce

Cette croissance de cuivre ne s'est par contre pas déroulée comme prévu. En effet, l'objectif était d'aboutir à des surfaces externes les plus planes possibles, mais le procédé de recharge électrolytique prévu et mis en œuvre n'a pas été capable de combler complètement les cavités. Il reste des creux de l'ordre de 100 μ m de profondeur. La raison principale est que le choix du procédé de recharge de cuivre a été effectué en pleine surface avec un procédé (électrolyte et conditions de courant de recharge) qui favorisent normalement le dépôt dans les creux et les trous (ce type de procédé est couramment utilisé dans l'industrie du circuit imprimé pour remplir les microvias de cuivre). Mais le creux était ici trop important pour que ce procédé de remplissage puisse fonctionner correctement. Il aurait fallu poursuivre jusqu'à des épaisseurs

très élevées de dépôt pour arriver à combler, ce qui aurait ensuite rendu impossible la gravure (la finesse de gravure chimique du cuivre est directement liée à l'épaisseur du cuivre à graver). On a donc décidé de stopper le dépôt lorsque l'épaisseur en couche externe était atteinte, malgré le creux au niveau de la jonction avec la puce. Une alternative aurait consisté à déposer sélectivement du cuivre dans la cavité (par masquage), mais cela aurait demandé plusieurs essais de mise au point, non compatibles avec le planning du projet.

Les cavités n'ont donc pas été totalement remplies de cuivre laissant ainsi apparaître des creux en surfaces supérieure et inférieure du PCB comme on peut le voir sur les Figure II. 33 et Figure II. 34. La profondeur de ces creux est d'environ 100 μ m chacun. Le parti pris a été de combler ces creux de brasure lors de la réalisation de la cellule de commutation malgré de fait que les performances thermiques soient dégradées.

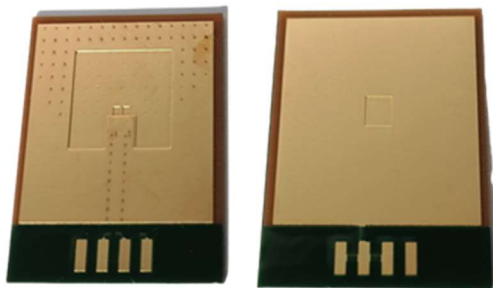


Figure II. 33 : PCB de la cellule PNCBE

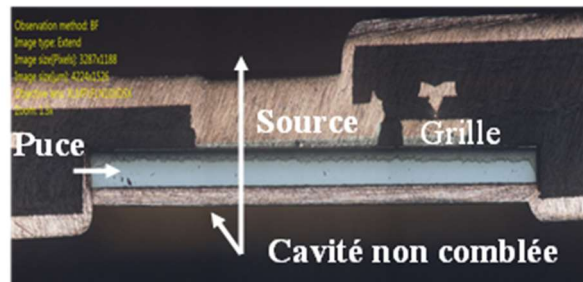


Figure II. 34 : Coupe métallographique PCB de la cellule PNCBE

La cellule de commutation est réalisée en assemblant deux PCBs avec les dissipateurs et une matrice de 63 condensateurs de 4,7nF chacun. La Figure II. 35 montre la cellule de commutation réalisée. Des dissipateurs à ailettes fermés sont désormais utilisés. Ils sont choisis pour leur faible coût et la facilité de réalisation (extrusion).

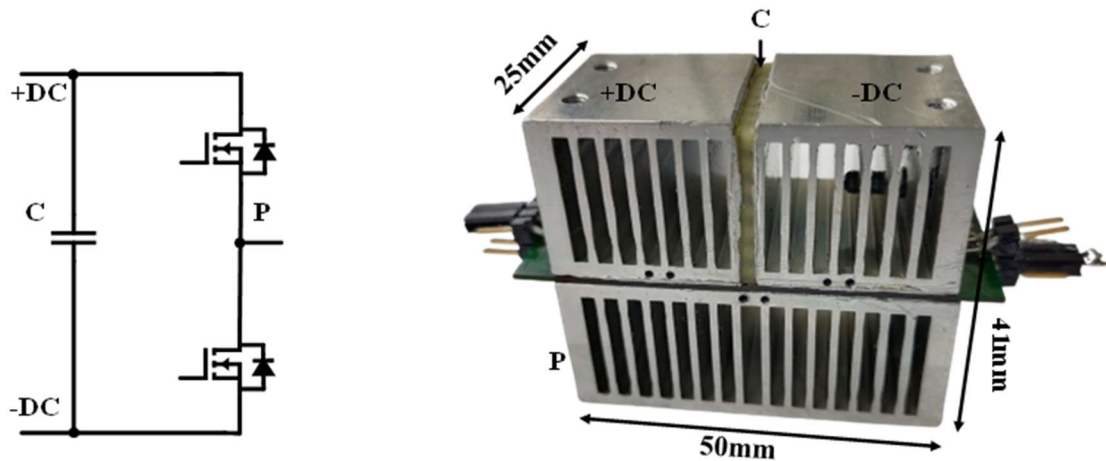


Figure II. 35 : Cellule de commutation PNCBE

Nous avons dû faire face à un problème lors de l'étape de brasage des dissipateurs puisque des contraintes thermomécaniques ont provoqué la casse de la puce comme présenté sur la Figure II. 36. Ce phénomène est probablement aggravé par le fait que les cavités ne soient pas comblées. Une étude du cycle de brasage est nécessaire pour garantir le bon assemblage. Cette étude ne pourra pas être menée dans le cadre de ces travaux. Néanmoins quelques cellules de commutation ont pu être testées en commutation.



Figure II. 36 : MOSFET brisé à l'intérieur du PCB après assemblage sur les dissipateurs

3.4.3. Cellule PM2E : pré-packaging et microvias

La technologie P²-pack présentée dans la section 2.5.2 est utilisée pour réaliser cette cellule de commutation. La puce est un MOSFET Si (80V-460A-0,9 mΩ) produit par Infineon. Un PCB 6 couches est utilisé pour permettre de rapporter les potentiels de drain et source de chaque MOSFET sur les couches externes du PCB tout en permettant la commande. Une partie du circuit de commande rapprochée est routée sur le PCB de puissance comme on peut le voir sur la Figure II. 37. Aussi, les condensateurs de découplages peuvent aussi être directement montés sur le PCB.

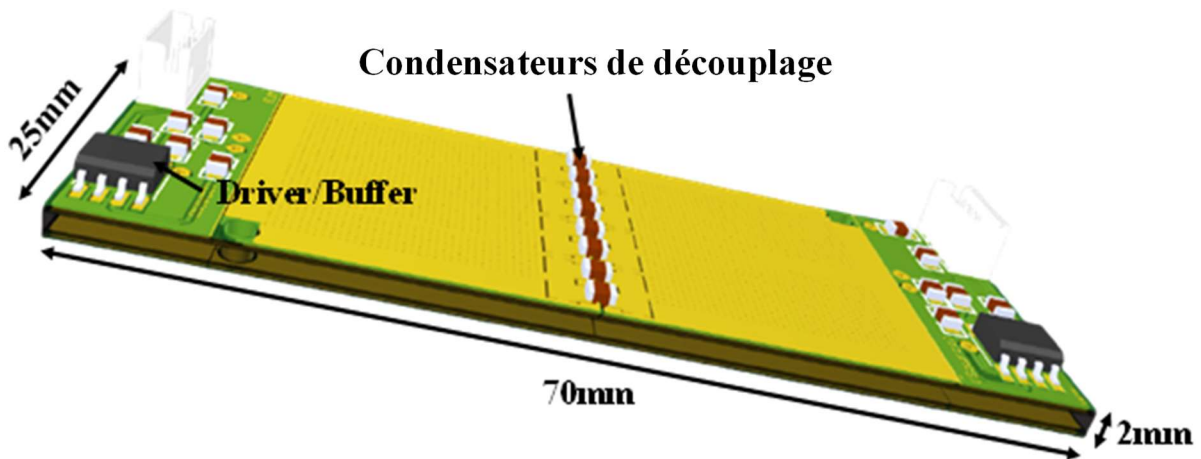


Figure II. 37 : Vue 3D du PCB de puissance de la cellule PM2E

La Figure II. 38 montre une coupe métallographique du PCB. On peut alors remarquer que les puces en noir sont montées en flip chip. Le fait d'avoir la cellule de commutation sur un seul PCB permet de réduire la surface de la boucle de commutation (les courants ne passent plus par le dissipateur de phase), de mieux gérer l'isolation électrique et de faciliter l'assemblage. Les composants de puissance sont montés entre les couches 3 et 4. Les microvias sont agencés de sorte à respecter les contraintes de fabrication du sous-traitant tout en ayant le maximum de cuivre possible. Les couches internes 2 et 5 sont épaisses de $180\mu\text{m}$. Cette épaisseur a été imposée par le fabricant pour favoriser l'étalement de la chaleur et pour diverses raisons spécifiques à la technologie. Les autres couches de cuivre du PCB sont épaisses de $35\mu\text{m}$. Le détail des épaisseurs des couches d'isolant, l'optimisation de l'emplacement des microvias ainsi que les règles de fabrication ne seront pas présentés pour des raisons de confidentialité. Néanmoins, les couches externes du PCB sont présentées sur l'annexe 1.

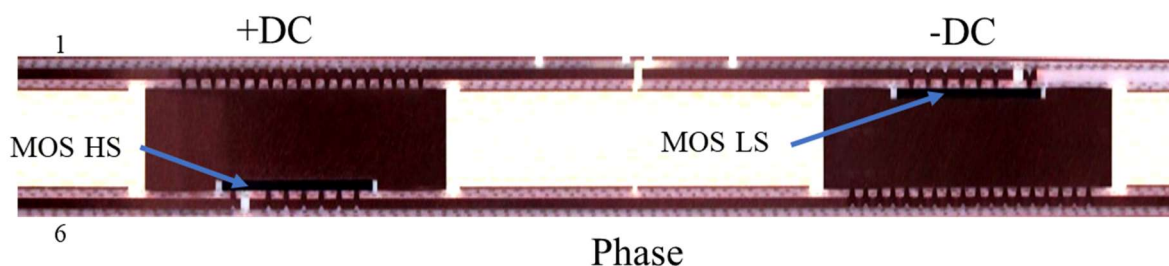


Figure II. 38 : Coupe métallographique du PCB de la cellule PM2E

Un petit bémol de ce PCB d'un point de vue expérimental est qu'il ne comporte pas de mesure Kelvin de la tension Drain-Source. La cellule de commutation est obtenue en brasant les dissipateurs à ailettes fermées (Figure II. 35) et toujours avec la matrice de capacité dans un premier temps. L'épaisseur du PCB est la plus grande de tous les PCBs réalisés (2 mm). Aussi,

avec l'expérience acquise sur l'assemblage des autres cellules de commutation, cet assemblage est mieux réalisé avec un contrôle de l'épaisseur de la brasure. L'amélioration de la qualité de l'assemblage devrait permettre d'améliorer la résistance thermique pendant que l'épaisseur du PCB rajoutera peu de capacité à la capacité de sortie C_{OSS} qui reste par ailleurs très élevée (2nF) pour ces composants silicium et fort calibre en courant. La résistance à l'état passant devrait être très proche de celle du MOSFET non intégré dans le PCB.

Les différentes cellules de commutation étant décrites, la section suivante présentera les outils développés pour mesurer la résistance à l'état passant des MOSFETs ainsi que l'inductance parasite de ces cellules. Quelques résultats expérimentaux illustreront les méthodes de mesure utilisées.

4. Caractérisations électriques

La cellule de commutation présentée dans la section 4.1 du chapitre I est caractérisée par certains paramètres électriques comme les résistances à l'état passant des MOSFETs (R_{DSon}), les capacités parasites notamment celle de sortie C_{OSS} et l'inductance de la maille de commutation (L_s). Des méthodes et outils de caractérisation permettent de mesurer de façon assez précise ces paramètres dans le cas des modules de puissance classiques. Dans les lignes qui suivent, nous allons présenter des moyens d'adapter ces méthodes de test pour la mesure de R_{DSon} et L_s des cellules de commutation TAPIR pendant que C_{OSS} sera estimée par simulations et calculs théoriques. Nous donnerons également quelques résultats de mesures.

4.1. Résistance à l'état passant R_{DSon}

4.1.1. Méthode de caractérisation

La résistance à l'état passant est généralement mesurée à travers une mesure 4 points afin de séparer puissance et mesure pour plus de précision. Le traceur de caractéristiques KEYSIGHT B1505A est utilisé pour réaliser les mesures sur nos cellules de commutation. L'appareil trace la courbe $I_D(V_{DS})$ pour différentes tensions V_{GS} . Les impulsions dans notre cas dureraient 1ms sur une période de 100ms afin de laisser le temps au composant de refroidir entre chaque mesure et limiter l'auto-échauffement de ce dernier lors des injections de courant.

Une carte électronique a été conçue pour faciliter les connexions entre le dispositif à tester et l'appareil KEYSIGHT. Cette carte électronique avec la cellule de commutation à tester est présentée sur la Figure II. 39. La cellule de commutation CPB2 est choisie pour mettre au point

cette méthode de caractérisation. Pour rappel, sur cette cellule de commutation, les commandes de grille et les mesures de drain et source sont directement accessibles via le connecteur (Figure II. 23). La mesure de R_{DSon} est effectuée sur différents points (Figure II. 39) afin de quantifier les résistances de différents éléments (MOSFET, brasures, dissipateurs) de la cellule de commutation.

- Les points « a » connectés aux bornes de la puce et connectés sur le PCB de puissance permettront d’avoir la mesure de R_{DSon} du composant uniquement.
- Les points « b » situés dans la base des dissipateurs, juste après la brasure, ont pour objectif d’évaluer la qualité de la brasure au niveau conduction électrique.
- Les points « c », situés en haut des dissipateurs, permettront d’avoir la résistance de l’assemble de la brique élémentaire TAPIR.
- Les points « d », situés après les connectiques de branchement de la cellule permettront d’avoir une idée sur la résistance apportée par les contacts par vis.

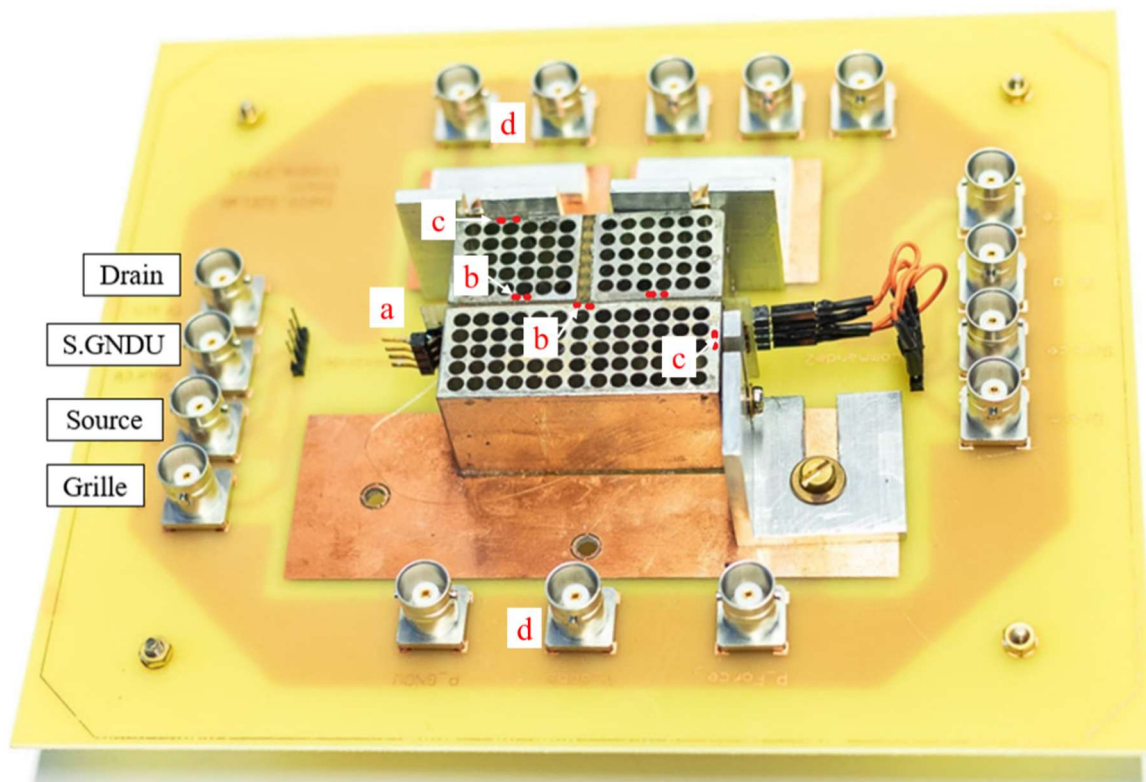


Figure II. 39 : Carte de mesure de R_{DSon}

4.1.2. Résultats

Les mesures de résistance à l’état passant des MOSFETs ont été effectuées par Eloane de Vanssay dans le cadre de son projet de fin d’étude [158]. Les mesures ont été faites sur 6

MOSFETs de 3 cellules de commutation différentes afin de vérifier la répétabilité de la mesure et aussi comparer ces mesures à celles données par le constructeur. Les résultats sont présentés sur la Figure II. 40. La résistance mesurée sur les pattes du composant (point_a) est très proche de celle donnée par la datasheet (0,9 mΩ). Il est difficile d’extraire une valeur de résistance due à la brasure entre PCB et dissipateur. Moins de 0,1 mΩ de différences est mesurée en moyenne soit moins de 10% de la résistance à l’état passant du composant. Cette augmentation est due entre autres au processus de brasure qui n’est pas maîtrisé. Le procédé est également peu répétable induisant des écarts de R_{DSon} même pour des MOSFETs d’une même cellule de commutation (MOSFET 1 et 2 par exemple sur la Figure II. 40). On peut cependant noter que le pourcentage d’augmentation du R_{DSon} dû à l’assemblage sera plus faible avec les composants SiC utilisés car ils ont une plus grande résistance à l’état passant.

La résistance R_{DSon} mesurée sur les « point_c » est quasiment identique à celle sur le « point_b », traduisant ainsi la faible résistance électrique des dissipateurs. La résistance à l’état passant mesurée sur les « point_d » est trois fois plus grande que celle des MOSFETs uniquement. Cela prend en compte la résistance des équerres, des pistes de cuivre sur le PCB et aussi des vis et des résistances de contact. Ce dernier point met en évidence la nécessité de soigner les connexions électriques dans les futures réalisations de convertisseurs basés sur la technologie TAPIR. Cela pourrait avoir un impact non négligeable sur le rendement mais aussi induire une mauvaise répartition des courants dans des cellules connectées en parallèle.

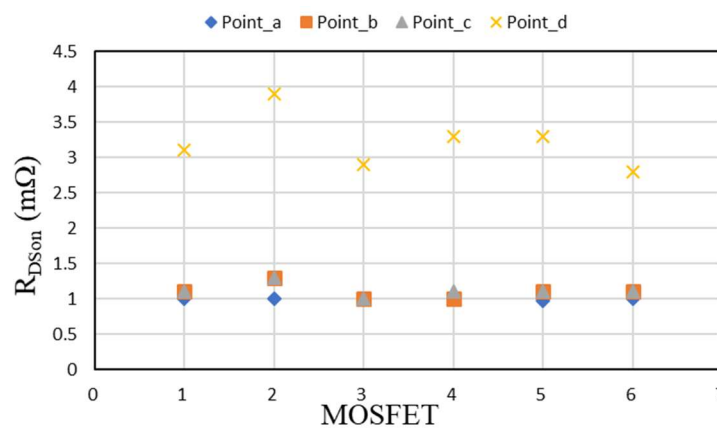


Figure II. 40 : R_{DSon} de plusieurs cellules de commutation avec composants packagés ($V_{GS}=10\text{ V}$, $I_D=20\text{ A}$)

4.2. Inductance parasite

4.2.1. Méthode de caractérisation

Le test de double impulsion est utilisé pour déterminer la valeur de l'inductance de la boucle de commutation. Le schéma du test est présenté sur la Figure II. 41. Le MOSFET high-side (HS) est commandé tandis que celui du bas (LS) est bloqué et utilisé comme une diode. La tension aux bornes du MOSFET HS est mesurée juste après l'ouverture de ce dernier. Cette tension oscille alors à une fréquence f_r correspondant à la fréquence de résonance entre l'inductance parasite de la cellule de commutation et la capacité C_{OSS} du MOSFET HS. Connaissant C_{OSS} à partir de la documentation du constructeur, on en déduit l'inductance parasite. Toutefois cette capacité parasite dépend de la tension V_{DS} et est non linéaire. Pour faciliter le calcul, nous allons considérer que sa valeur ne change pas durant les oscillations. Aussi, comme présenté dans la section 4.1 du chapitre 1, le packaging augmente cette capacité parasite. Pour déterminer l'inductance parasite nous considérons donc la capacité parasite donnée par le constructeur majorée par celle du package. La capacité rajoutée par le packaging est déterminée par calcul théorique et par simulations sur Q3D. Une mesure pratique a permis de valider pour un cas simple (cellule CPB2) que les valeurs théoriques et simulées étaient très proches.

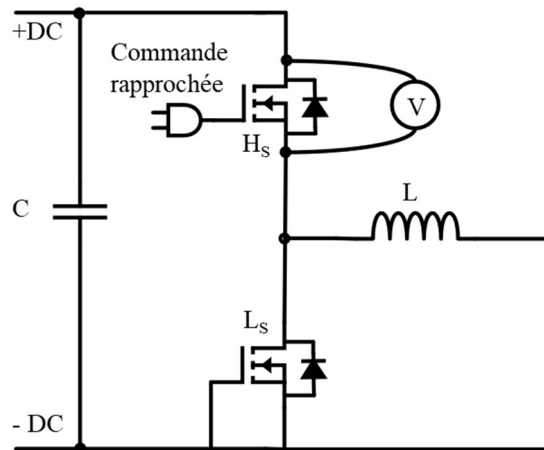


Figure II. 41 : Schéma du test double impulsion

Un PCB est réalisé pour faciliter les connexions avec le dispositif de caractérisation et aussi pour recueillir les mesures. La Figure II. 42 montre ce PCB ainsi que le banc de caractérisation. Il s'agit d'un PCB double-face sur lequel sont connectées des barres en aluminium en forme de « L » pour relier les potentiels +DC, -DC et Phase. Un busbar peut être directement connecté sur les barres aux potentiels +/-DC comme on peut le voir sur la Figure II. 42. La mesure est prise sur le PCB via un connecteur PKOO7 de Lecroy permettant de connecter la sonde. Les

pistes sur le PCB connectées au +DC, -DC et à la Phase sont larges pour permettre de minimiser l'inductance parasite. La tension V_{SD} et non V_{DS} est mesurée pour éviter de mettre la masse de l'oscilloscope au potentiel fluctuant. La boucle de mesure V_{SD} est très petite afin de limiter le bruit CEM que peut capter les boucles de mesure. Aussi, une seule sonde est utilisée sur le banc de caractérisation afin de limiter de possibles couplages par la masse de l'oscilloscope. Un oscilloscope Lecroy Wavepro 7000 avec une fréquence d'échantillonnage pouvant atteindre 1Ghz est utilisé. Une pince ampèremétrique Lecroy 0412 est utilisée pour mesurer le courant dans la charge L.

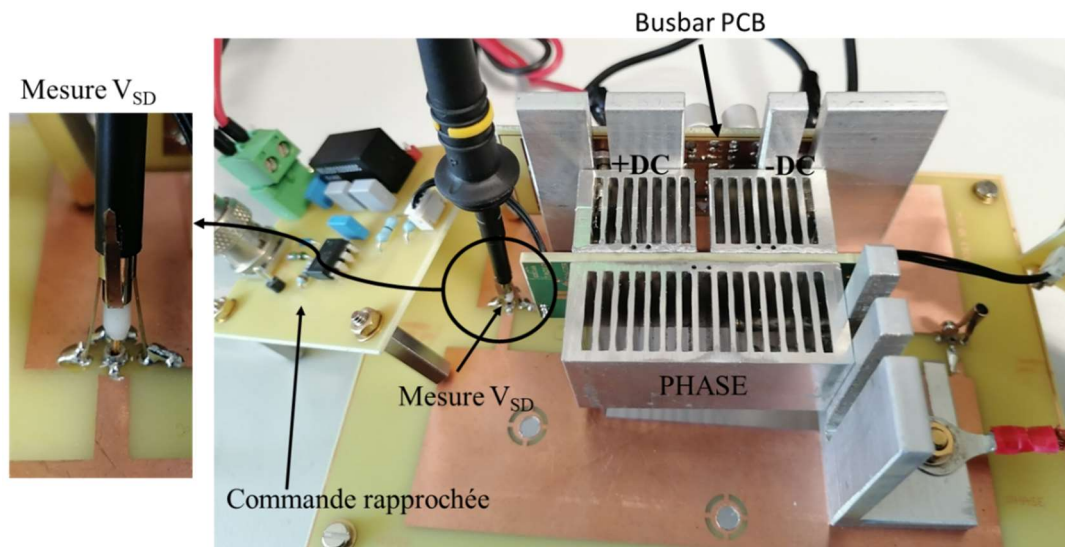


Figure II. 42 : Banc de caractérisation de l'inductance parasite

4.2.2. Résultats

Les tests de double impulsion ont été réalisés sur plusieurs cellules de commutation. La Figure II. 43 montre l'allure de la tension V_{DS} lors de l'ouverture pour une tension de 30V et un courant de 40 A pour la cellule de commutation CPB2 (Tableau II. 3). La fréquence de résonance mesurée est d'environ 130 MHz. Le C_{OSS} estimé (datasheet : 1160 pF et package : 140 pF) est de 1300 pF à 30V. L'inductance parasite de la cellule de commutation est alors d'environ 1,2 nH. Comme attendu, cette inductance parasite est plus petite que celle de la cellule TAPIR_CIBEL (2 nH) présentée dans le premier chapitre qui utilisait les mêmes composants packagés (Figure I. 19). Cela est dû au fait que l'épaisseur du PCB et donc la distance entre les potentiels de drain et source est réduite.

La Figure II. 44 présente l'allure de la tension V_{DS} durant l'ouverture pour une tension de 48V et un courant de 50 A pour la cellule de commutation PM2E (Tableau II. 3). La capacité donnée

par la datasheet pour une tension de 40V est comprise entre 2066 pF et 2685 pF. Le package rajoute moins de 4 pF. La fréquence de résonance est d'environ 117 MHz. L'inductance parasite est donc comprise entre 0,7 nH et 0,9 nH. Cette valeur semble faible vu que le PCB est assez épais (2 mm) et les potentiels de drain et source assez distants. Cette valeur sera vérifiée en simulation dans le chapitre III.

Afin de compléter les caractérisations des cellules de commutation, des mesures de résistance thermique doivent être effectuées. La prochaine partie présentera le banc expérimental mis en place.

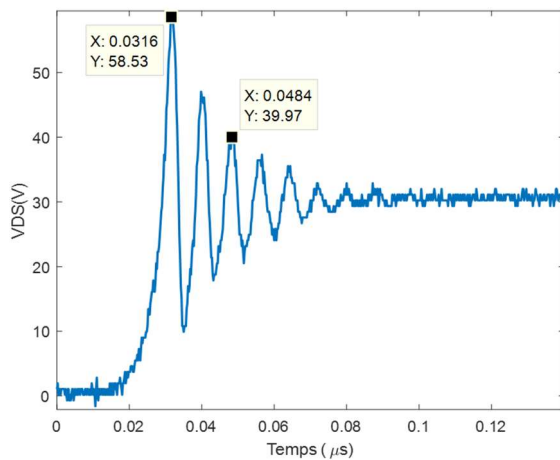


Figure II. 43 : Tension V_{DS} à l'ouverture cellule CPB2 $V_{DS}=30V$, $I_D=40 A$

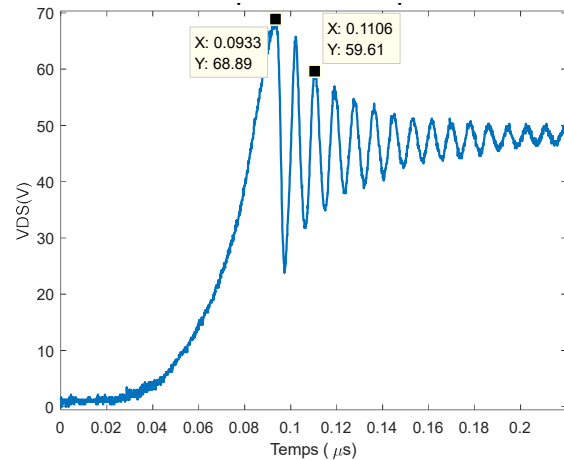


Figure II. 44 : Tension V_{DS} à l'ouverture cellule PM2E, $V_{DS}=48V$, $I_D=50 A$

5. Caractérisations thermiques

Dans cette section, la résistance thermique entre la jonction des MOSFETs et l'air sera mesurée et discutée. Contrairement aux mesures thermiques réalisées dans le chapitre I, ces mesures thermiques seront réalisées en fonction de la vitesse d'air. Les pertes de charge des dissipateurs seront aussi évaluées. Dans les lignes qui suivent les méthodes ainsi que les spécificités de mesure imposées par TAPIR seront présentées, suivies de résultats expérimentaux. Une comparaison sera enfin réalisée avec des dispositifs industriels utilisant les mêmes composants qu'une des cellules de commutation réalisées.

5.1. Méthode et outils

La mesure de température par paramètres thermosensibles (PETS) présentée dans la section 5.1.4 du chapitre I est utilisée pour déterminer la résistance thermique. La Figure II. 45 montre

le banc de mesure thermique réalisé. Il a pour principales fonctions la mesure de résistances thermiques en fonction de la vitesse d'air, la mesure des pertes de charges dans les dissipateurs des cellules de commutation et aussi l'évaluation des pertes (puissances) par mesure calorimétrique. Il est alors composé des équipements suivants :

- Un ventilateur de type blower (souffleur) [159].
- Une unité de mesure de vitesse composée de deux capteurs de vitesse à hélice permettant d'obtenir des mesures précises avec moins de 5% d'erreur sur la plage de mesure [0 – 12m/s]. Le premier capteur est un MC20 de Schiltknecht qui permet d'atteindre des vitesses de 3m/s sur la cellule. Le second capteur est un C.A 1227 de Chauvin Arnoux qui sera utilisé pour les vitesses d'air de 3 à 10m/s dans la cellule.
- Un capteur de pression différentielle Testo 512.
- Deux capteurs de température de type Pt100 de précision.

Le banc est conçu pour permettre d'intégrer tous ces équipements de façon efficace en conservant une facilité de changement de dispositif de test et des capteurs de vitesse. Pour réduire l'hétérogénéité de la vitesse en sortie du souffleur, un canal de 10 cm de long est placé et contient deux points de mesure de température et/ou de pression. La partie contenant le capteur fait suite à ce canal. Cette partie est faite pour s'adapter aux diamètres des hélices des capteurs. Une pièce contenant un point de mesure est prévue avant la partie contenant la cellule de commutation (dispositif à tester). Après le dispositif à tester vient un mélangeur d'air composé d'un petit ventilateur qui n'est pas alimenté. Il sert à homogénéiser la température d'air avant la mesure de température en sortie du dispositif pour être en mesure de déduire les pertes.

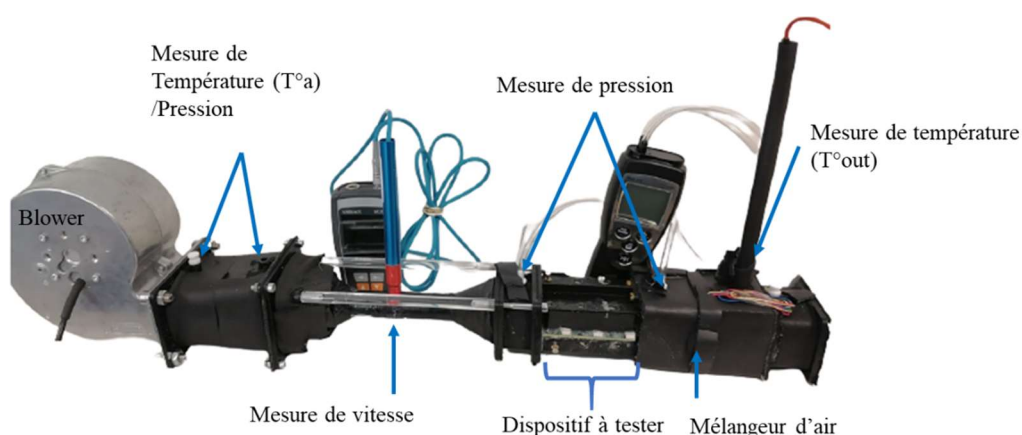


Figure II. 45 : Banc de mesure de résistance thermique

La structure du banc est réalisée en impression 3D pour des raisons de simplicité. Cependant, des problèmes de porosité de matériau nous ont conduit à recouvrir la structure par un vernis et une mousse isolante. La partie contenant le dispositif de test comprend quelques ouvertures pour laisser passer les connecteurs pour la commande rapprochée et aussi pour visser les câbles des sources de courant et de mesure. Un gel silicone haute température est utilisé pour boucher ces différentes ouvertures une fois que le dispositif est en place. La vérification de l'étanchéité est systématique après chaque changement de dispositif.

5.2. Résultats des mesures thermiques

Les résultats de mesure des résistances thermiques de la cellule de commutation CPB2 sont présentés sur la Figure II. 46. On peut alors remarquer que les résistances thermiques jonction-air $R_{th_{HS,HS}}$ et $R_{th_{LS,LS}}$ (eq (I.1)) sont inférieures à 1,2 K/W pour une vitesse d'air de 11m/s. Pour une vitesse d'air de 3,6m/s la résistance thermique est d'environ 1,3 K/W. La résistance thermique diminue de moins de 8% entre les vitesses de 3.6m/s et 11m/s. Le couplage thermique ($R_{th_{HS,LS}}$ et $R_{th_{LS,HS}}$, eq (I.2)) est inférieur à 0,2 K/W à partir d'une vitesse d'air de 3,6m/s.

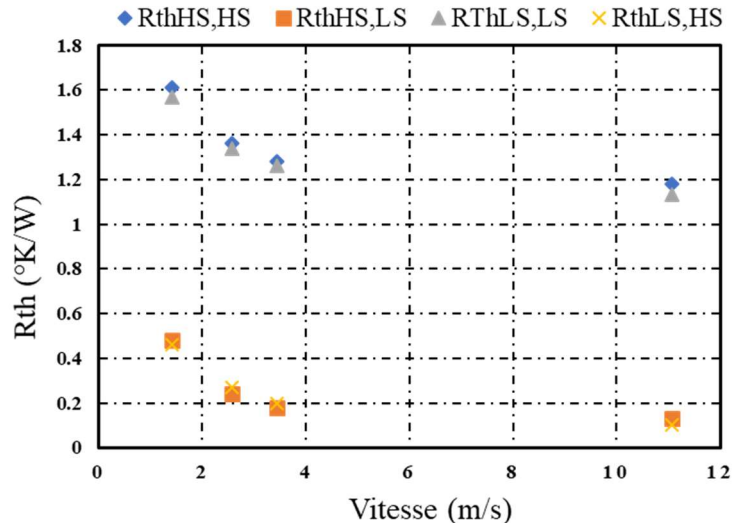


Figure II. 46 : Résistance thermique en fonction de la vitesse d'air pour la cellule CPB2

Ces résistances thermiques pourraient encore être réduites en utilisant une puce nue enfouie dans le PCB au lieu d'un composant packagé qui comporte des résistances thermiques entre la jonction et le boîtier. La cellule de commutation avec les puces pré packagées et enfouies dans le PCB (PM2E) est alors caractérisée. La résistance thermique en fonction de la vitesse d'air est présentée sur la Figure II. 47. Elle est d'environ 1 K/W pour une vitesse d'air de 3,3 m/s et

de seulement 0,8 K/W pour une vitesse d'air de 10,3 m/s. Le couplage thermique est inférieur à 0,2 K/W à partir d'une vitesse d'air de 3,3 m/s.

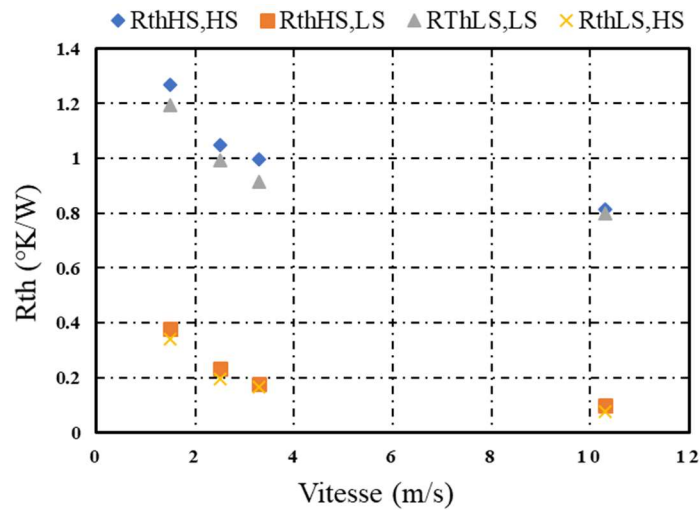


Figure II. 47 : Résistances thermiques en fonction de la vitesse d'air pour la cellule PM2E

La Figure II. 48 montre l'évolution des pertes de charge en fonction de la vitesse pour les deux cellules de commutation testées. Les pertes de charge sont d'environ 220 Pa pour une vitesse d'air de plus de 10 m/s et de 17 Pa à une vitesse de 3,5 m/s. On peut alors constater que l'augmentation de la vitesse d'air qui améliorerait de moins de 20% la résistance thermique multiplie par 12 les pertes de charge. Il y a donc un compromis à faire entre la résistance thermique et la puissance hydraulique/électrique nécessaire pour refroidir la cellule de commutation.

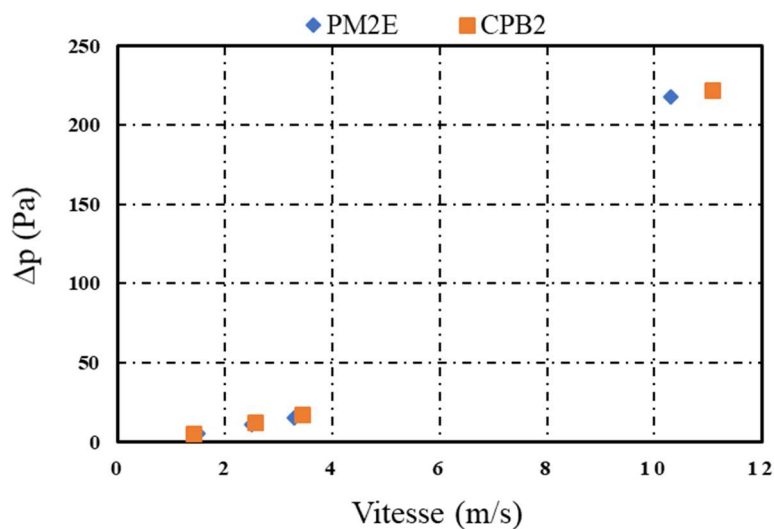


Figure II. 48 : Pertes de charges dans les cellules de commutation CPB2 et PM2E en fonction de la vitesse d'air

5.3. Comparaison avec une solution existante

La Figure II. 49 montre des résistances thermiques obtenues avec la technologie P²-pack pour un refroidissement sur une face, les résultats étant fournis par le fabricant de PCB. L'image de gauche présente le cas d'un refroidissement à air et celle de droite un refroidissement à eau. La résistance thermique pour un refroidissement à air est de 3 K/W. Bien que les informations sur les dissipateurs utilisés ainsi que la vitesse d'air ne soient pas disponibles, nous pouvons avoir une idée des performances de refroidissement. La résistance thermique pour le refroidissement à eau est de 2 K/W. Cela montre bien que les performances de refroidissement de la solution TAPIR peuvent dans certaines conditions être meilleures que celles d'un refroidissement à eau sur une face. L'écart de résistance thermique entre la solution de refroidissement proposée et celles classiques dans le cas des PCBs enfouis P²-pack s'explique par deux raisons. La première est le refroidissement sur les deux faces et la second la suppression des interfaces thermiques entre la puce pré-packagée et le dissipateur. En effet, la résistance thermique est plus élevée dans les cas classiques de Schweizer à cause de la faible conductivité thermique du prepeg vu que contrairement à la Figure II. 21, la face arrière de la puce (ou du composant pré-packagé) est isolée de la couche externe du PCB.

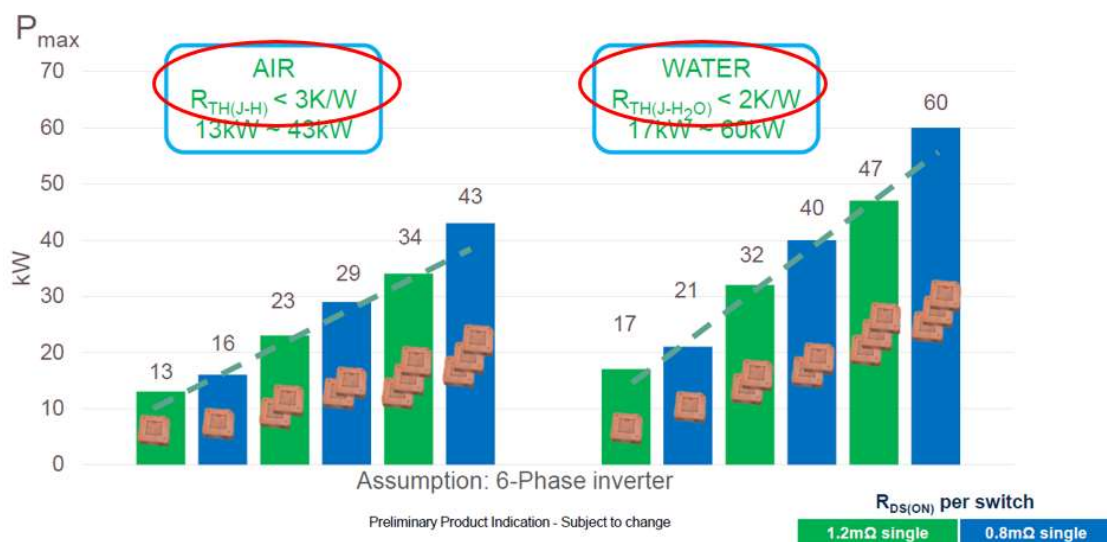


Figure II. 49 : Résistances thermiques pour la technologie P2-pack de Schweizer (aimable autorisation de Schweizer)

6. Conclusion

Les technologies de packaging 3D gagnent de plus en plus de terrain avec la recherche permanente d'augmentation de la densité volumique des convertisseurs. Dans ce chapitre,

plusieurs technologies ont été présentées et discutées. Certaines de ces technologies ont été utilisées pour mettre en œuvre la technologie TAPIR. L'enfouissement PCB qui présente un intérêt certain pour l'électronique de puissance et plus précisément les technologies de packaging 3D a été principalement utilisé. Plusieurs méthodes d'enfouissement ont été mises en œuvre avec un objectif commun : avoir une bonne conductivité électrique et thermique entre les puces semi-conductrices et les dissipateurs. Certaines de ces techniques se sont avérées assez complexes à mettre en œuvre, allant jusqu'à entraver la fonctionnalité des cellules de commutation. Les difficultés ont fini par être surmontées pour réaliser des cellules de commutations fonctionnelles.

La caractérisation des cellules de commutation réalisées a fait l'objet d'études afin de déterminer les méthodes de caractérisation et de construire les bancs adaptés aux cellules 3D TAPIR. Des mesures de résistances à l'état passant et d'inductances parasites à travers des tests de double impulsion ont été menées. Un banc de mesure a été conçu pour permettre la mesure de résistances thermiques en utilisant les paramètres électriques thermosensibles (PETS) des MOSFETs. Ces différentes caractérisations ont permis de confirmer les performances que l'on envisageait après la réalisation et la caractérisation de la première cellule de commutation présentée dans le chapitre I. Une inductance de moins de 1 nH a été mesurée et une résistance thermique de moins de 1 K/W. Cette valeur d'inductance place la solution TAPIR comme une excellente candidate pour le packaging des composants à grand gap, même s'il est nécessaire de soigner le routage du PCB pour limiter la capacité de sortie C_{OSS} . La valeur de résistance thermique a été comparée à une solution refroidie sur une face et utilisant la même technologie P²-pack de Schweizer. Une résistance thermique de 3 K/W a été estimée pour un refroidissement à air et 2 K/W pour un refroidissement liquide ce qui montre bien que, dans certains cas, la technologie de refroidissement TAPIR peut-être meilleure qu'un refroidissement liquide grâce à la diminution de l'impact des interfaces thermique et refroidissement double face.

Les faibles valeurs d'inductances parasites mesurées doivent être confirmées par des simulations du fait de l'approximation faite sur le C_{OSS} et aussi l'absence de mesure du courant dans la cellule de commutation. Ces simulations feront l'objet du chapitre III. Ce chapitre présentera également une étude paramétrique d'aide à la conception et analysera l'impact des condensateurs de découplage sur l'inductance parasite de la cellule de commutation.

Chapitre III

Analyse de l'inductance parasite des cellules de commutation

1. Introduction

En électronique de puissance comme dans de nombreux domaines de l'ingénierie, la modélisation est incontournable dans le but de simuler l'évolution de grandeurs difficilement mesurables mais aussi pour accélérer et simplifier la conception en réduisant le nombre de prototypes. Dans ces travaux, l'inductance de la cellule de commutation est étudiée à travers une modélisation des courants de Foucault en basse fréquence (jusqu'à quelques centaines de Mégahertz). Une modélisation harmonique est effectuée sur des matériaux conducteurs linéaires dans le but de vérifier les valeurs d'inductances parasites mesurées dans le chapitre II, valider les choix de conception effectués (matrice de condensateur, plaques internes reliées aux potentiels, etc.) et aussi donner une amorce de règles de conception à travers une étude paramétrique géométrique.

Plusieurs outils logiciels et méthodes de résolution permettent de modéliser les courants de Foucault aux basses fréquences. La méthode PEEC (Partial Element Equivalent Circuits) [160], [161] a été largement développée par le passé au G2Elab et ces travaux sont aujourd'hui valorisés à travers le logiciel Flux^{PEEC} commercialisé par la société ALTAIR. Il s'agit d'un logiciel dédié à la modélisation des connexions électriques dans le domaine de l'électronique de puissance. La méthode PEEC repose sur une méthode intégrale semi-analytique et permet la détermination des éléments d'un schéma électrique équivalent (RL ou RLC) à l'aide de constantes localisées. Cette méthode est bien adaptée pour la modélisation des régions minces conductrices de type filaire (fils de bonding par exemple) [160]. Cependant, la méthode PEEC standard n'est pas adaptée à la modélisation de conducteurs volumiques (déplacement des courants en 3D dans le volume du conducteur) donc à nos travaux pour lesquels les dissipateurs sont utilisés comme connecteurs de puissance.

La méthode des éléments finis (FEM : Finite Element Method) implémentée dans le logiciel Flux^{3D} est reconnue comme un outil efficace pour le calcul des champs dans les systèmes électromagnétiques, en particulier dans le cas du calcul tridimensionnel des courants induits [162]. Toutefois, cette méthode de résolution est très sensible au maillage qui détermine la précision de la solution. Le maillage de l'air autour des conducteurs peut être préjudiciable en temps de calcul et en espace mémoire. De plus la nécessité de mailler finement et surtout de s'assurer de la qualité du maillage est chronophage pour le modélisateur surtout dans le cas d'une étude paramétrique géométrique. Il est nécessaire de réétudier le maillage à chaque changement de paramètre géométrique ce qui est long et laborieux.

Puisque notre géométrie comportait des conducteurs massifs et puisque nous souhaitions faire de nombreuses études paramétriques, nous nous sommes tournés vers un autre outil de simulation. Il s'agit du logiciel MIPSE (Modeling of Interconnected Power SystEms) [163] développé au G2Elab au sein de l'équipe MAGE. Il utilise des méthodes intégrales (PEEC non structuré) [75], [164] avec des méthodes de compression matricielle pour limiter les temps de calcul et la place mémoire nécessaire. Les travaux de Alkama et coll. [165] permettant de réaliser un maillage automatique pour les méthodes PEEC non structuré sont intégrés dans cet outil ce qui permet un gain de temps considérable par rapport à l'utilisation de Flux^{3D}, en particulier dans le cas d'études paramétriques géométriques. Une des particularités de ces méthodes intégrales, et qui en font leur force, est le fait de n'avoir qu'à mailler les parties conductrices et non pas l'air autour. Elles sont également peu sensibles à la qualité du maillage.

Dans le but de valider l'outil interne MIPSE, une comparaison entre cet outil et Flux^{3D} sera présentée. Cette comparaison est faite sur une géométrie simple et à travers la variation de certains paramètres géométriques. L'impact des plaques internes dans le PCB ainsi que la contribution des condensateurs de découplage sur la réduction de l'inductance parasite seront ensuite étudiés. Pour finir, des simulations utilisant des géométries très proches de la réalité seront effectuées afin de les comparer aux mesures expérimentales d'inductances parasites.

2. Validation de l'outil de simulation MIPSE

Le but de cette section est de se rassurer sur le fait que le logiciel MIPSE soit bien adapté pour la modélisation de l'inductance parasite dans la cellule de commutation TAPIR. Dans ce logiciel, deux principales formulations sont utilisées. Une approche basée sur des intégrales volumiques [166], [167] applicable pour toutes les géométries et fréquences, et une autre basée sur des intégrales surfaciques (impédance de surface) qui sont utilisables seulement pour des fréquences pour lesquelles le courant circule principalement dans l'épaisseur de peau. Naturellement cette seconde méthode conduit à un nombre d'éléments plus faible car seules les surfaces ont besoin d'être maillées. Les conditions d'application de cette approche surfacique sont décrites dans [168]. Les formulations de type intégrale volumique ont le mérite d'être précises dans tous les cas. Cependant, pour des fréquences de plusieurs dizaines de MHz, afin d'accélérer les temps de résolutions il est nécessaire d'employer des préconditionneurs. Dans le cas où le problème contient un grand nombre d'éléments, la construction de ces préconditionneurs peut être couteuse en temps et en mémoire. Ainsi il peut être judicieux pour les fréquences élevées d'employer une approche par impédance de surface afin de réduire le

nombre d'éléments. Pour ces fréquences « élevées », les formulations de types intégrale surfacique sont adaptées tant que l'épaisseur de peau est très petite devant l'épaisseur des conducteurs. Nous allons donc dans un premier temps vérifier que les conditions d'utilisation de ces formulations surfaciques sont vérifiées. Pour une géométrie donnée, nous ferons varier la fréquence et comparerons les résultats obtenus entre Flux^{3D} et MIPSE. La formulation surfacique est utilisée sur toute la plage de fréquence alors que celle volumique n'est appliquée que pour les faibles fréquences (inférieures à 100 kHz). Au-delà de 100 kHz, la résolution en volumique n'était pas possible pour notre cas d'étude. Pour rappel, la fréquence d'intérêt (fréquence d'oscillation mesurée en pratique sur les dispositifs après l'ouverture du composant) est de l'ordre de 100 MHz. Une fois la résolution surfacique validée, elle sera utilisée pour réaliser la comparaison entre Flux^{3D} et MIPSE à travers la simulation de quelques géométries ne nécessitant pas de réaliser une étude du maillage dans Flux^{3D} à chaque changement de paramètre. Mais avant de rentrer dans la comparaison entre logiciels, il est nécessaire de présenter les géométries, les conditions limites ainsi que les hypothèses et considérations retenues pour les simulations.

2.1. Géométries et modélisation

2.1.1. Géométries et conditions aux limites

Dans un premier temps, la cellule de commutation TAPIR présentée par exemple sur la Figure I. 22 est simplifiée. Cette géométrie simplifiée sera nommée géométrie de base par la suite. Elle est présentée sur la Figure III. 1. Les dissipateurs +DC en rouge, -DC en bleu et Phase en vert font seulement 2 mm d'épaisseur (H_D) au lieu de 20 mm comme dans les cellules de commutation réelles. Les couches internes du PCB ne sont pas représentées. Les puces semi-conductrices ainsi que les piliers de cuivre sont représentés en jaune sur la Figure III. 1 comme un bloc conducteur de 5mm*5mm*2mm. Ces blocs sont centrés par rapport aux dissipateurs DC et une distance D_{EP} de 20mm les sépare.

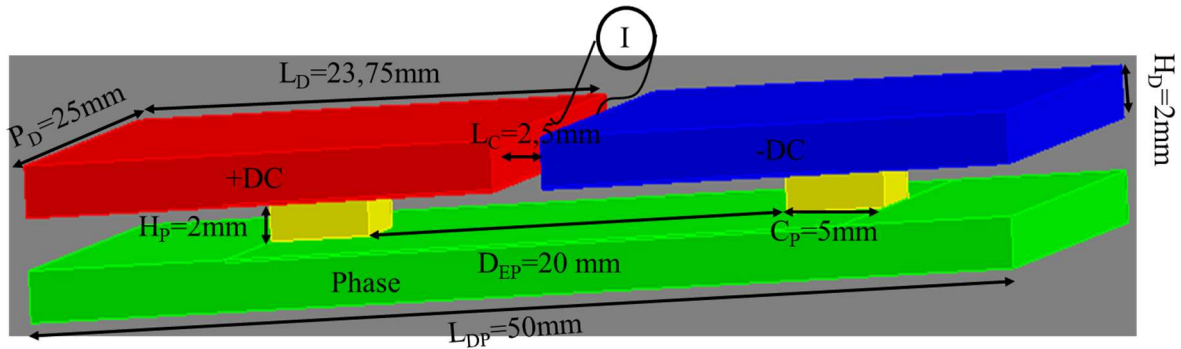


Figure III. 1 : Géométrie de base de la cellule de commutation simulée

La capacité de découplage est représentée par une injection de courant uniforme sur les surfaces internes des dissipateurs rouge et bleu. Pour déterminer l'inductance de la maille de commutation, nous mesurons la tension entre ces deux équipotentielles.

2.1.2. Modélisation sur Flux^{3D}

Comme dit en introduction, les méthodes éléments finis (MEF) sont sensibles à la qualité du maillage. Pour ce faire il est nécessaire d'avoir au moins une maille dans l'épaisseur de peau. L'épaisseur de peau δ est calculée à l'aide de l'équation (III.1).

$$\delta = \sqrt{\frac{2}{\omega * \sigma * \mu}} \quad \text{(III.1)}$$

avec :

ω : Pulsation (rad/s) ($\omega = 2\pi f$) ; σ : Conductivité électrique du matériau ($S.m^{-1}$) ; μ : Perméabilité magnétique du matériau (H/m) ; f : Fréquence (Hz)

Si l'on considère que la fréquence est de 100 MHz et que tous les conducteurs sont en aluminium, l'épaisseur de peau est de moins de 10 μm . Cette faible valeur rend difficile le respect de la règle précédente qui est d'avoir au moins un élément de maillage dans cette épaisseur. En effet, avec les méthodes de maillage sur Flux^{3D} (discrétisation de lignes et de points), le ratio entre l'épaisseur de peau et l'épaisseur du dissipateur (2 mm) augmente drastiquement le nombre de mailles et rend ainsi la résolution impossible. Pour pallier ce problème, nous avons dans un premier temps déterminé les zones à fortes densités de courant (circulation du courant dans la cellule de commutation) en mesurant cette densité de courant

suivant les axes (x, y et z). Ensuite, des plaques fines sont insérées dans les volumes des dissipateurs comme présenté en jaune sur la Figure III. 2. L'objectif de ces plaques fines est de contrôler localement le maillage afin d'augmenter le nombre d'éléments seulement aux endroits les plus utiles. Le choix de l'épaisseur de ces plaques doit être fait suivant un compromis entre maillage de l'épaisseur de peau et explosion du maillage, voir impossibilité de résolution. Dans notre cas, des plaques de 100 μm d'épaisseur ont été choisies pour permettre la résolution avec un nombre de mailles acceptable. L'insertion de ces plaques donne un degré de liberté supplémentaire pour le maillage. La discrétisation est effectuée sur l'épaisseur des plaques fines et sur le reste de l'épaisseur des dissipateurs. Comme on peut le constater sur la Figure III. 2, les plaques fines ne sont insérées que dans la zone de forte densité de courant.

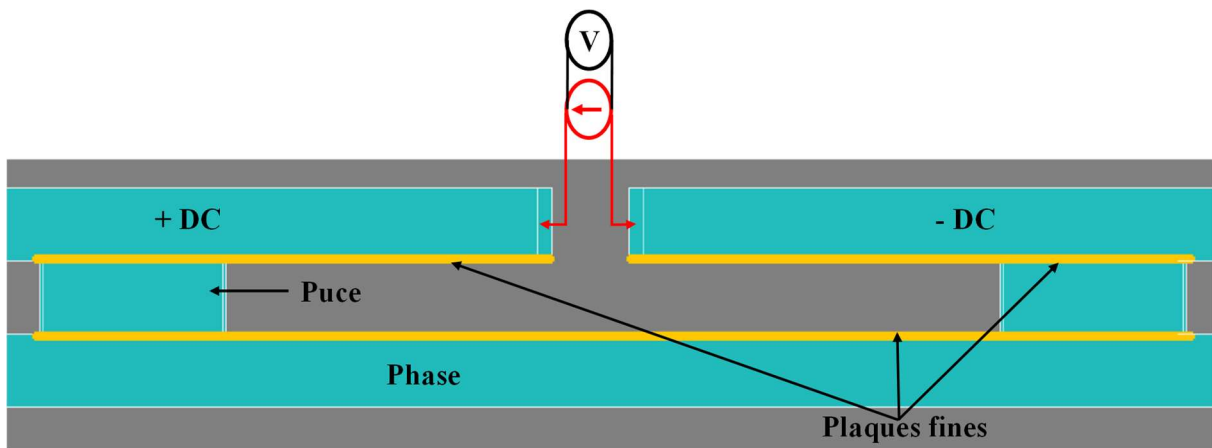


Figure III. 2 : Plaques fines pour adaptation du maillage sur Flux^{3D}

Plusieurs simulations avec différentes méthodes de maillage ont été réalisées en observant les changements sur les résultats (densité de courant et inductance parasite). La Figure III. 3 présente le maillage retenu qui comporte plus de 400 000 nœuds. Avec un maillage plus dense, la valeur d'inductance ne changeait plus. Comme on le constate sur la Figure III. 3, le maillage est très dense dans les zones de fortes densités de courant c'est-à-dire à la surface des dissipateurs et dans les puces.

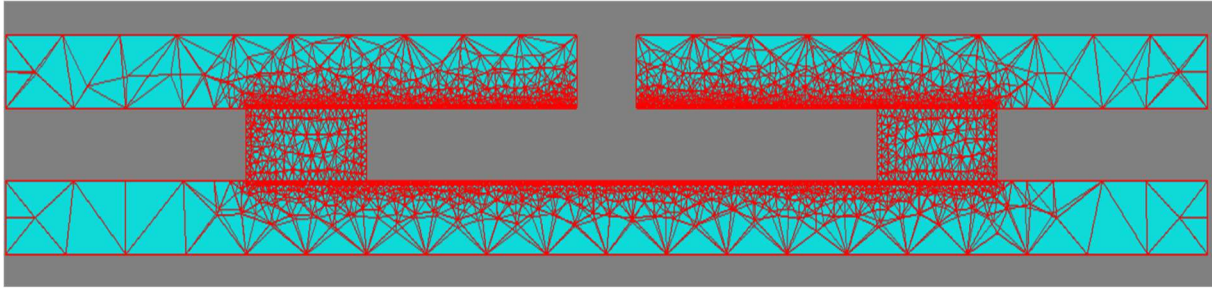


Figure III. 3 : Maillage géométrie de base pour une résolution sur Flux3D

Le maillage de l'air dans les méthodes à éléments finis implique qu'il est nécessaire de circonscrire le domaine d'étude dans un cadre appelé boîte infinie. Il est conseillé de choisir une boîte infinie qui fait au moins 2 fois les dimensions du dispositif à simuler. La boîte infinie utilisée dans notre cas est présentée sur la Figure III. 4. Une boîte avec des dimensions plus importantes ne changeait pas les résultats mais augmentait les temps de maillage et de calcul.

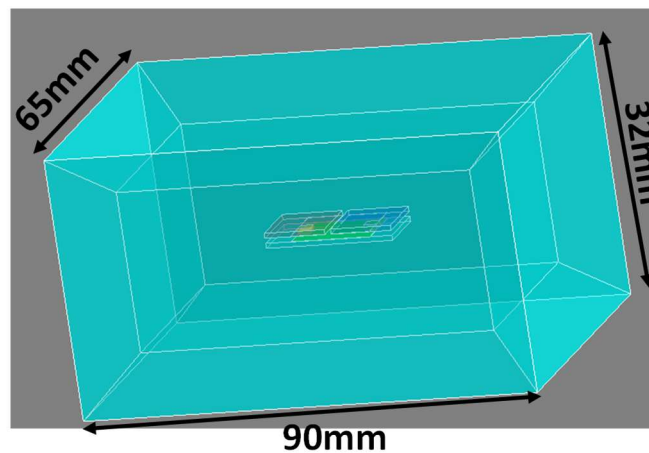


Figure III. 4 : Boîte infinie pour la géométrie de base

2.1.3. Modélisation sur MIPSE

Le logiciel MIPSE peut être vu comme un outil de calcul dans lequel sont implémentées différentes méthodes intégrales, de compression matricielle etc... Il ne possède pas de mailleur ni d'outil de définition de la géométrie. La procédure de simulation en utilisant MIPSE est présentée sur la Figure III. 5. La géométrie est réalisée ou importée dans Flux^{3D}, et la physique (régions volumiques et surfaciques) du problème y est définie. Ensuite, un maillage très simple est réalisé. La Figure III. 6 présente le maillage par défaut réalisé sur la géométrie de base. Un export est alors effectué vers un fichier PF3 qui contient le maillage et les régions volumiques et surfaciques. Ce fichier PF3 est alors inséré dans MIPSE et ensuite les conditions aux limites sont définies et le scénario de résolution est paramétré en spécifiant la fréquence de résolution,

le choix du type de formulation : volumique ou surfacique, la stratégie de pré conditionnement et le type de préconditionneur etc... Des captures d'écran du logiciel avec le paramétrage pour une résolution de la géométrie de base sont présentées dans l'annexe 3.

La résolution est ensuite lancée sur MIPSE. Le solveur de MIPSE compare l'erreur d'estimation des pertes joules au critère d'arrêt défini. Tant que l'erreur est plus grande que celle désirée, MIPSE effectue un remaillage dans le logiciel Flux^{3D}. L'estimateur d'erreur utilisé dans MIPSE est détaillé dans les travaux de thèse de Alkama [169].

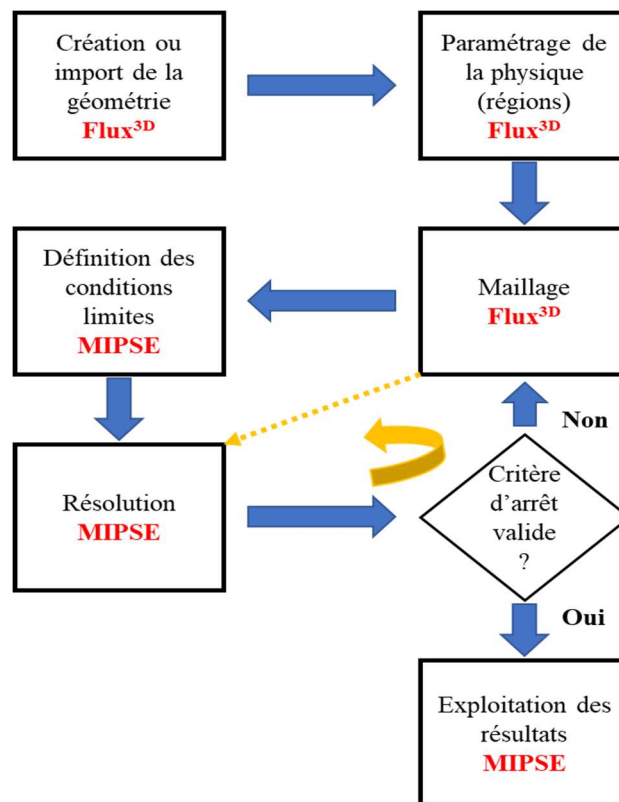


Figure III. 5 : Procédure de résolution avec MIPSE

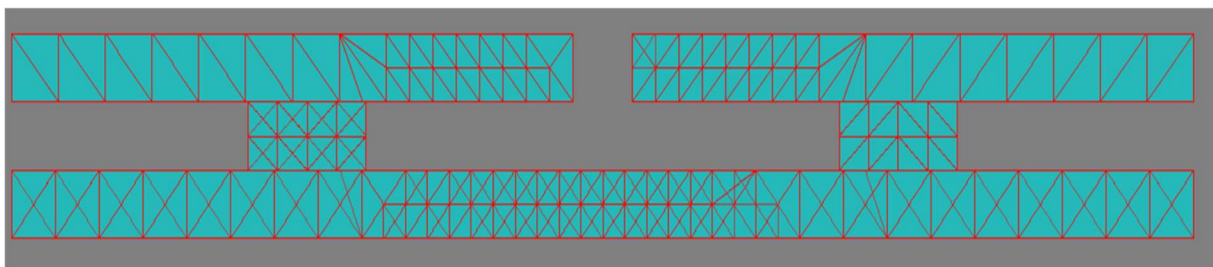


Figure III. 6 : Maillage initiale de la géométrie de base pour une résolution sur MIPSE

Vu que le maillage n'a pas besoin d'être très fin pour une résolution dans MIPSE, les plaques fines (Figure III. 2) ont été supprimées et la géométrie de base est simulée sur MIPSE. La Figure

III. 7 présente le maillage obtenu après deux itérations de remaillage à partir du maillage présenté sur la Figure III. 6. On peut remarquer que le maillage est légèrement dense au même endroit qu'avec Flux^{3D}. Il est cependant bien moins dense que celui de Flux^{3D} présenté sur la Figure III. 3, avec moins de 10 000 noeuds contrairement aux 400 000 noeuds avec Flux^{3D}. Nous verrons dans les paragraphes suivants si les résultats sont proches avec les deux logiciels ce qui confirmerait bien le fait que les méthodes intégrales soient moins sensibles au maillage.

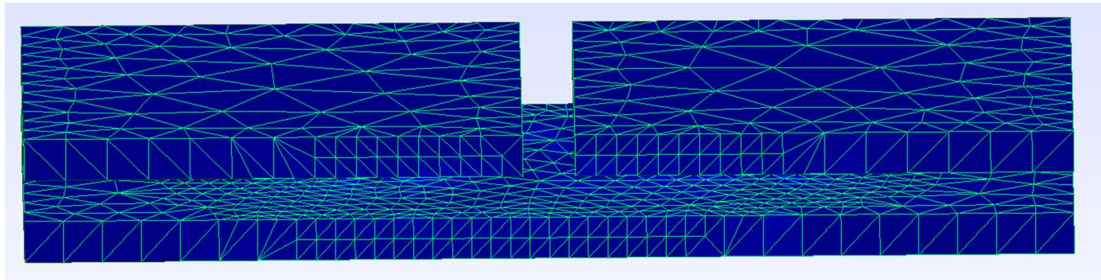


Figure III. 7 : Maillage final résolu dans MIPSE

2.2. Validation de la formulation surfacique

L'objectif principal de ce paragraphe est de déterminer le domaine fréquentiel de validité de la formulation surfacique sur MIPSE dans le cas des cellules de commutation TAPIR. Pour ce faire, une comparaison entre les résultats d'inductance parasite donnés par Flux^{3D} et MIPSE_Surfacique est réalisée pour des fréquences allant de 10 kHz à 300 MHz. Autour de 10 kHz, une majorité du courant circule dans le volume des dissipateurs et rend la résolution en surfacique inadaptée. Une formulation MIPSE_Volumique est utilisée pour les fréquences de 10 kHz et 100 kHz et les résultats seront comparés à ceux de Flux^{3D} et de MIPSE_Surfacique. La formulation en volumique ne pouvait être utilisée dans notre cas au-delà de 100 kHz.

Pour réaliser cette étude, la géométrie de base présentée sur la Figure III. 1 et les modélisations sont effectuées comme présenté dans les deux paragraphes précédents. On peut alors remarquer sur la Figure III. 8 que l'inductance parasite de la cellule de commutation simulée avec MIPSE_Surfacique est identique à celle simulée avec Flux^{3D} à partir d'une fréquence de 10 MHz. Cela valide bien l'utilisation de la formulation surfacique de MIPSE pour les simulations à 100 MHz. L'inductance de la cellule de commutation est d'environ 2,5 nH. On remarque en outre que l'inductance diminue quand la fréquence augmente. Cela s'explique par l'effet de peau : à basse fréquence les courants circulent dans le volume des dissipateurs, augmentant ainsi la surface de la boucle de commutation. A partir d'une certaine fréquence, les lignes de courants restent identiques et l'inductance aussi. Pour les cellules TAPIR, la fréquence à

laquelle les lignes de courant restent identiques se situe autour de 1MHz ce qui permet de valider le choix de la formulation surfacique qui est adaptée pour notre cas d'étude.

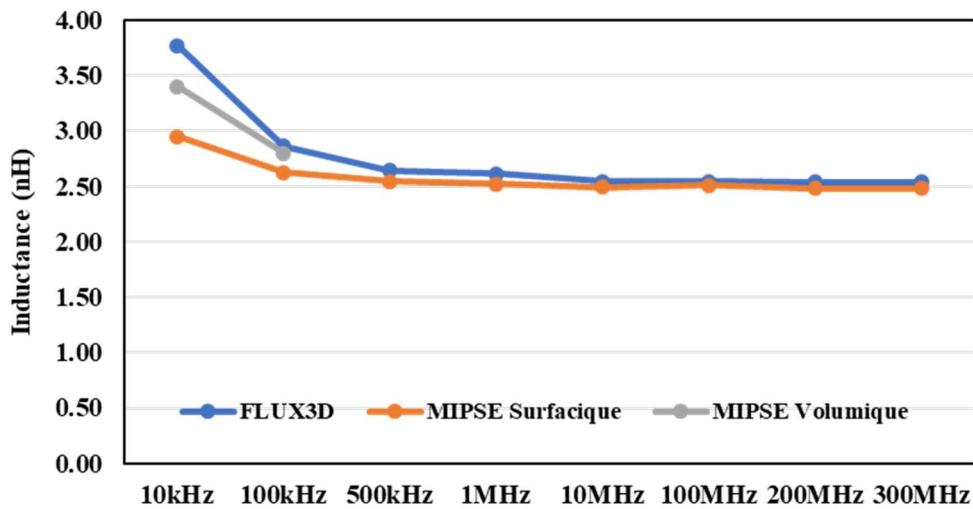


Figure III. 8 : Comparaison MIPSE et Flux3D en fonction de la fréquence

En dessous de 1MHz, la formulation surfaccique semble ne pas être adaptée (Figure III. 8). En effet, à 100 kHz un écart de 8% entre les valeurs d'inductances données par MIPSE_Surfaccique et Flux^{3D} est constatée. A 10 kHz, cet écart est de plus de 20%. Toujours à cette fréquence, une différence de moins de 10% existe entre la résolution avec MIPSE en volumique (qui devrait être aussi précise que Flux^{3D}) et Flux^{3D}. Précisons que la résolution avec MIPSE en volumique pour les fréquences de 10 kHz et 100 kHz s'était arrêtée avant le respect du critère d'arrêt par manque d'espace mémoire ce qui pourrait justifier l'écart de moins de 10% entre les deux. Toutefois, vu que nous ne cherchons pas dans un premier temps à obtenir des valeurs d'inductances exactes mais plutôt des tendances, nous jugeons cet écart de moins de 10% acceptable. Aussi, dans la majorité des simulations que nous réaliserons la fréquence sera de 100 MHz et donc la formulation surfaccique sera utilisée.

Nous utiliserons cette formulation surfaccique pour réaliser une étude paramétrique géométrique en comparant les résultats de MIPSE et Flux^{3D}.

2.3. Comparaison Flux^{3D} et MIPSE avec variation de paramètres géométriques

Dans ce paragraphe, nous comparons les résultats obtenus avec Flux^{3D} et MIPSE en changeant certains paramètres géométriques qui ne nécessitent pas de réétudier le maillage sur Flux3D. Le but est d'avoir une idée de l'évolution de l'inductance parasite lorsque certains paramètres

géométriques changent afin de guider la conception des cellules de commutation. Cette étude paramétrique permettra de valider définitivement le choix de MIPSE comme outil de simulation pour la suite.

Le premier paramètre géométrique étudié est l'espacement (noté H_p sur la Figure III. 1) entre les dissipateurs DC et celui de Phase. Il représente en pratique l'épaisseur de la puce semi-conductrice et l'épaisseur des différents matériaux en face supérieure et inférieure de la puce permettant d'assurer la connexion avec les dissipateurs. Ce paramètre (H_p) varie entre 0,5 mm et 3 mm, la géométrie de base présentée sur la Figure III. 1 ainsi que les modélisations présentées sur les paragraphes 2.1.2 et 2.1.3 sont repris. La Figure III. 9 présente l'inductance parasite en fonction de ce paramètre. On remarque que l'inductance parasite est faible (moins de 0,8 nH) lorsque ce paramètre est réduit (0,5 mm). Cela s'explique d'une part par le fait que le chemin du courant est réduit et d'autre part parce que la proximité des dissipateurs crée des mutuelles inductances négatives. Cette inductance augmente logiquement avec l'espacement. On constate également que les résultats obtenus avec MIPSE sont très proches de ceux de Flux^{3D} avec un écart moyen de moins de 2%.

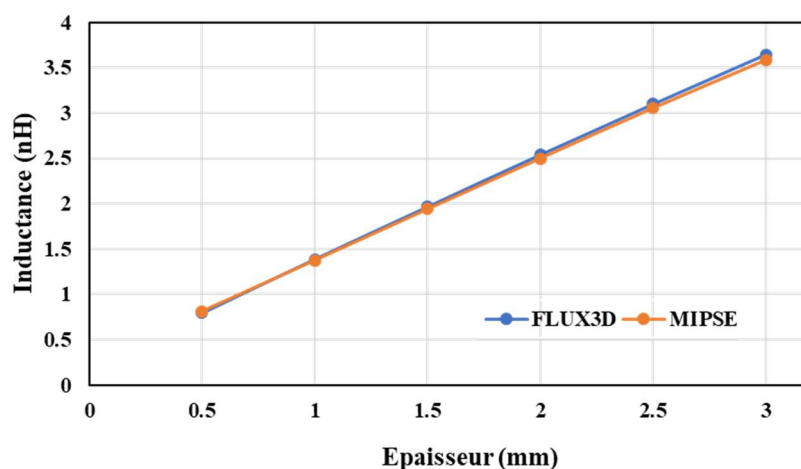


Figure III. 9 : Inductance en fonction de l'espacement entre les dissipateurs

L'impact de la distance entre les puces (noté D_{EP} sur la Figure III. 1) sur la valeur de l'inductance est ensuite étudié. Le paramètre D_{EP} varie de 5 mm à 37mm, pendant que les autres paramètres restent identiques à ceux présentés sur la Figure III. 1. Les résultats sont présentés sur la Figure III. 10. On peut déjà remarquer que les valeurs sont très proches entre Flux^{3D} et MIPSE avec un écart moyen de moins de 2%. Aussi, sans grande surprise, on remarque que l'éloignement des puces augmente la valeur d'inductance. Lorsque les puces sont très proches (5mm), l'inductance est de seulement 1nH et, à l'inverse, quand elles sont distantes (37mm),

l'inductance est de 4nH, valeur qui reste relativement acceptable pour la mise en œuvre de composants en carbure de silicium.

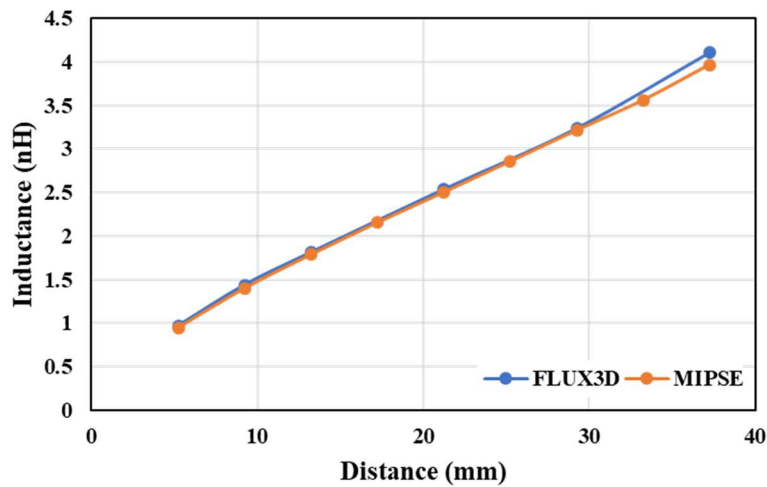


Figure III. 10 : Inductance parasite en fonction de la distance entre puces semi-conductrices

Pour déterminer la position idéale des puces en fonction de l'application, une étude couplée « thermique / inductance parasite » en fonction de l'espacement des puces pourra être effectuée dans l'avenir, mais cela ne faisait pas partie des objectifs de ces travaux. Les simulations en fonction de la fréquence et celles avec variation de paramètres géométriques nous ont permis de valider le choix de MIPSE comme outil de simulation pour la suite de notre étude. Après avoir présenté des études conceptuelles, nous allons maintenant nous rapprocher de plus en plus de la géométrie exacte de la cellule de commutation TAPIR. Dans la prochaine section nous étudierons l'impact de l'ajout d'une plaque interne entre les dissipateurs DC et Phase sur la valeur de l'inductance de la cellule de commutation et nous discuterons d'éléments permettant de dimensionner cette plaque.

3. Etude de l'influence d'une plaque interne et mesure de courant dans cette dernière

L'utilisation de couches internes dans les PCBs permet de rapprocher certains potentiels électriques et ainsi de modifier la valeur des éléments parasites (inductances et capacités). Des exemples de réalisation faites dans cet objectif ont été donnés dans le chapitre précédent. Afin d'illustrer cela de manière théorique, nous étudierons dans les prochains paragraphes l'influence de plaques internes sur la valeur de l'inductance de la cellule de commutation. Nous en profiterons pour étudier la répartition du courant entre ces plaques internes et les dissipateurs afin de donner des pistes quant à leur dimensionnement.

3.1. Influence d'une plaque interne sur l'inductance de la cellule de commutation

Dans les technologies d'enfouissement PCB, l'ajout de plaques internes peut se faire assez facilement en utilisant les couches internes du PCB et en réalisant la connexion par des vias. La Figure III. 11 présente la géométrie simulée sur MIPSE dans laquelle deux plaques internes (en noir) sont rajoutées afin de diminuer l'espace existant entre les potentiels +DC et Phase et les potentiels -DC et Phase. Les dimensions des plaques internes sont 8,5mm*25mm*0,1mm. Une distance de 0,5mm est laissée entre la puce et la plaque. Les plaques internes sont connectées à la source de chaque puce à travers deux lignes de microvias représentées comme des barres (bleues) de 0,7mm*25mm*0,5mm. La distance entre ces barres est choisie arbitrairement. Dans la réalité (exemple annexe 1), beaucoup plus que 2 lignes de microvias permettent de connecter ces plaques internes. On peut remarquer sur la Figure III. 11 que seule la partie des plaques internes contenue dans la boucle de commutation est modélisée. Le courant est injecté sur les surfaces internes des dissipateurs et la fréquence de résolution est de 100 MHz.

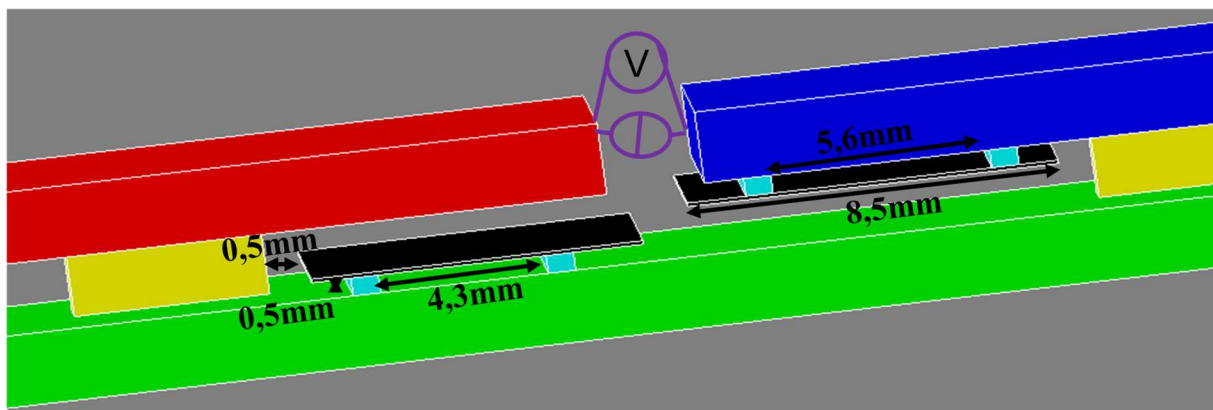


Figure III. 11 : Géométrie de base avec plaques internes

Une inductance de 2,2 nH a été mesurée pour la cellule de commutation qui contient les plaques internes contre 2,5 nH dans la cellule de commutation sans les plaques internes. L'ajout des plaques internes permet donc de réduire d'environ 12% la valeur de l'inductance de la cellule de commutation dans cet exemple. L'utilisation des couches internes du PCB semble donc intéressante en vue de diminuer les inductances parasites des cellules de commutation TAPIR.

Toutefois, si l'inductance diminue, cela signifie qu'un courant circule dans les plaques internes. La valeur de ce dernier peut alors avoir un impact sur le choix des épaisseurs de cuivre à mettre en œuvre. Le paragraphe suivant permettra de mettre en évidence cette problématique.

3.2. Mesure du courant dans les plaques internes

Pour mesurer le courant dans les plaques internes, une fente traversant la plaque interne est insérée au milieu de cette dernière pour s'assurer que les courants sont bien perpendiculaires aux surfaces de connexion de l'ampèremètre (Figure III. 12). Cette ouverture est de seulement $50\mu\text{m}$, cette distance a été choisie afin qu'elle impacte peu les mesures. Nous avons mesuré le courant dans la plaque à 100 MHz puis à 10 kHz. Pour cette dernière fréquence, la simulation est faite en utilisant la formulation volumique de MIPSE car les conditions d'application de la formulation surfacique ne sont plus vérifiées.

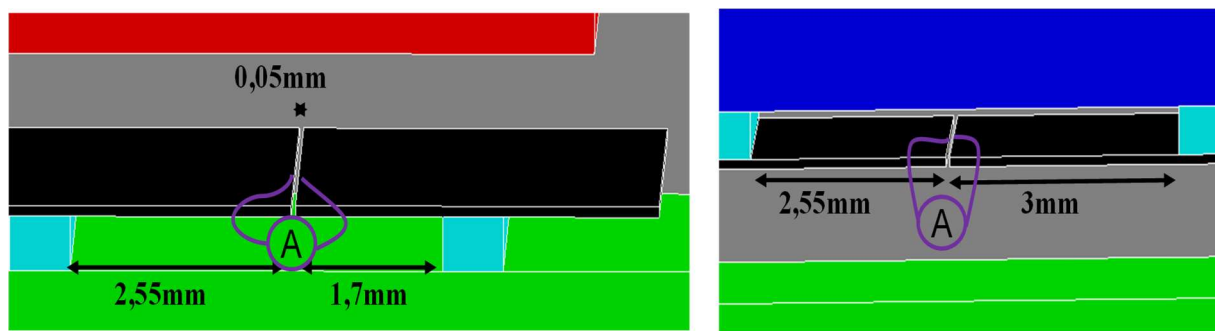


Figure III. 12 : Modélisation pour la mesure de courant dans les plaques internes

Nous avons alors pu constater que 93% du courant injecté circulait dans la plaque interne à 100 MHz ce qui vient expliquer pourquoi cette plaque permet de réduire la valeur de l'inductance. A 10 kHz, seulement 30% du courant circule dans la plaque interne. Cette fréquence (10 kHz) peut être la fréquence de découpage du convertisseur donnant lieu à des harmoniques importantes. Ainsi, bien que le pourcentage de courant circulant dans la plaque soit plus faible qu'en haute fréquence, le courant efficace résultant pourrait suffire à créer un échauffement de la plaque interne et augmenter les pertes. L'épaisseur de cette plaque interne doit donc être dimensionnée en conséquence.

Afin de se rapprocher de la géométrie réelle, nous étudierons maintenant l'impact des condensateurs de découplage représentés jusqu'ici comme un seul condensateur avec une large surface équipotentielle.

4. Etude des condensateurs de découplage

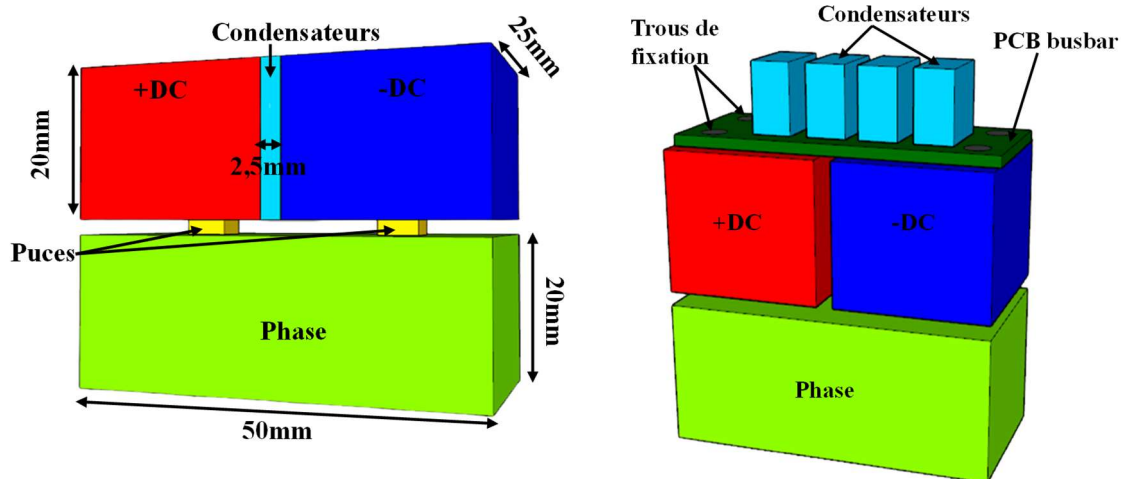
Dans cette partie, les dissipateurs seront représentés avec leurs dimensions telles que présentées dans le chapitre précédent (20 mm d'épaisseur). Les simulations proposées nous permettront d'étudier dans un premier temps l'impact de l'emplacement de la capacité de découplage. Par

défaut elle avait été placée entre les dissipateurs +DC et -DC dans les exemples pratiques présentés plus tôt dans le manuscrit. Nous verrons ici l'impact de la positionner ailleurs. Dans un second temps, nous discuterons de la pertinence de l'insertion d'une matrice de condensateurs entre les dissipateurs. Cette analyse sera effectuée à travers une étude de la contribution des différents condensateurs de la matrice durant la phase de commutation.

4.1. Etude de l'emplacement des condensateurs de découplage

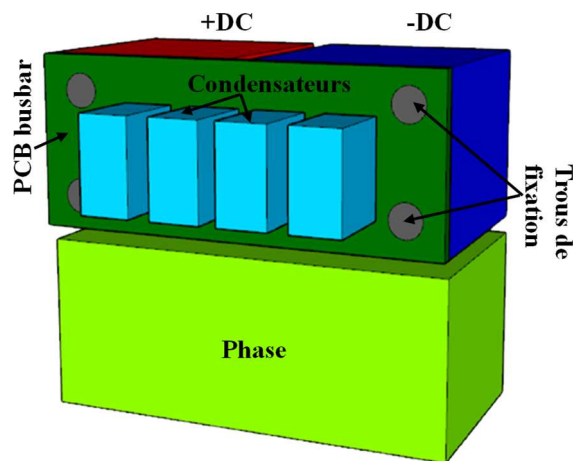
4.1.1. Emplacements possibles du/des condensateurs de découplage

L'architecture de la cellule de commutation TAPIR offre plusieurs possibilités de positionnement des condensateurs de découplage et/ou du bus DC. Les différents positionnements possibles sont présentés sur la Figure III. 13.



a) Condensateurs entre les dissipateurs

b) Condensateurs sur les dissipateurs



c) Condensateurs sur le côté des dissipateurs

Figure III. 13 : Emplacements possible de la capacité de découplage

La première option est d'insérer une matrice de condensateurs céramiques entre les dissipateurs +DC et -DC comme le montre la Figure III. 13.a et comme proposé dans les chapitres 1 et 2. Cela rajoute une complexité d'intégration, mais permettrait sans doute de réduire la boucle de commutation et donc l'inductance parasite. Cependant, cette intégration de la capacité peut réduire sa valeur (dérive en température importante pour les céramiques classiques X7R ou X5R) ainsi que la durée de vie de la cellule de commutation car son environnement peut être chaud. De plus, le faible espacement ne permet pas d'obtenir des valeurs très importantes de capacité : une capacité de bus DC devra normalement lui être ajoutée afin d'assurer un stockage d'énergie suffisant pour le fonctionnement du convertisseur.

Une autre possibilité est de placer un busbar avec les condensateurs de bus DC directement au-dessus des dissipateurs comme présenté sur la Figure III. 13.b. Cette position des condensateurs a l'avantage d'être plus simple à mettre en œuvre et découple la durée de vie du module de celle des condensateurs. Toujours dans cette logique, une autre possibilité est de placer le busbar sur le côté comme le montre la Figure III. 13.c. Cependant, cette position bloque l'écoulement d'air et oblige à repenser l'architecture de la cellule de commutation ou celle du busbar (on pourrait par exemple utiliser un busbar strié).

4.1.2. Simulations paramétriques suivant l'emplacement du condensateur

Avec la position des condensateurs de découplage entre les dissipateurs, l'espacement entre ces derniers est fonction de la taille des condensateurs contenus dans la matrice. En changeant la position des condensateurs au niveau des emplacements b et c comme présenté sur la Figure III. 13, l'espacement entre dissipateurs peut être redimensionné. L'injection de courant se fait aux emplacements b et c et sur toute la surface du dissipateur comme présenté sur la Figure III. 14. Cette hypothèse de répartition uniforme du courant sur toute la surface du dissipateur n'est pas complètement réaliste car le courant serait seulement injecté au niveau des trous de fixation présentés sur la Figure III. 13.b dans un cadre expérimental. Néanmoins elle nous permettra de comparer les différentes possibilités présentées ci-dessus.

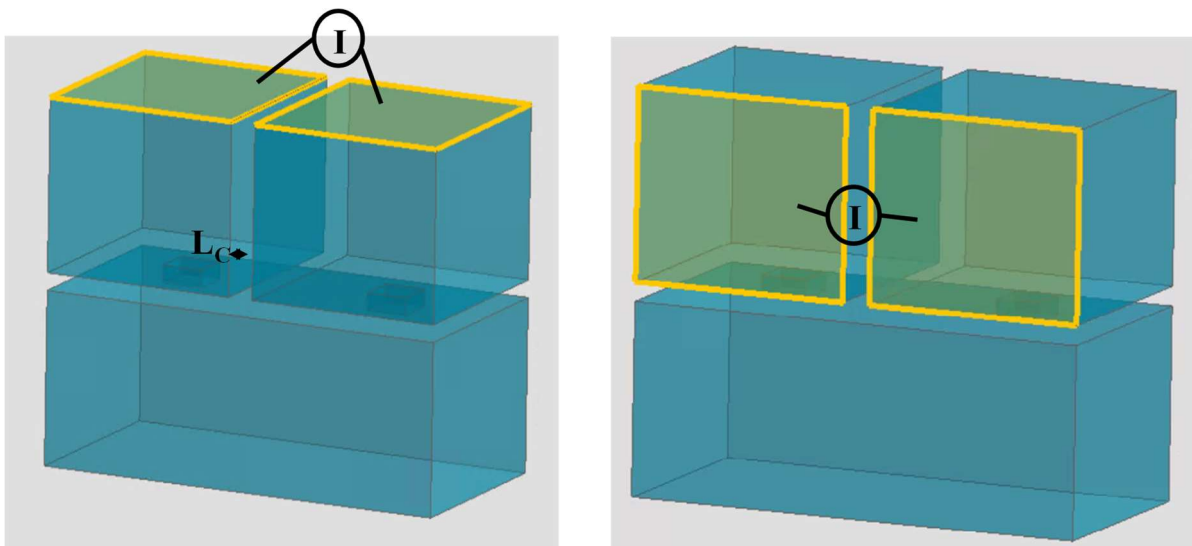


Figure III. 14 : Point d'injection de courant, emplacement b et c

La Figure III. 15 montre la variation de l'inductance parasite en fonction de la distance (L_c) entre les deux dissipateurs +DC et -DC. On peut remarquer qu'une distance de 0,2 mm entre

ces deux dissipateurs permet de diminuer l'inductance à 2,5 nH quel que soit l'emplacement des condensateurs entre les dissipateurs. Cette valeur correspond à l'inductance qui était obtenue avec la géométrie de base et représenté en gris sur la Figure III. 15. Cela permet donc de pouvoir envisager un placement des condensateurs aux emplacements b et c. Il faut tout de même remarquer que, dans la réalité, l'inductance pour les emplacements b et c pourrait être beaucoup plus grande à cause de l'impédance de la connectique entre les condensateurs et les dissipateurs.

De manière logique, l'inductance augmente lorsque les dissipateurs deviennent distants. Malgré tout, une inductance de seulement 4,5 nH a été obtenue pour un espacement de 3 mm entre les dissipateurs lorsque le busbar se situe au-dessus des dissipateurs. On constate aussi (Figure III. 15) que la position du busbar obstruant le flux d'air (Figure III. 13.c), permet d'avoir une plus faible inductance comparée à l'injection sur le dessus (Figure III. 13.b), surtout quand l'espace entre dissipateurs augmente.

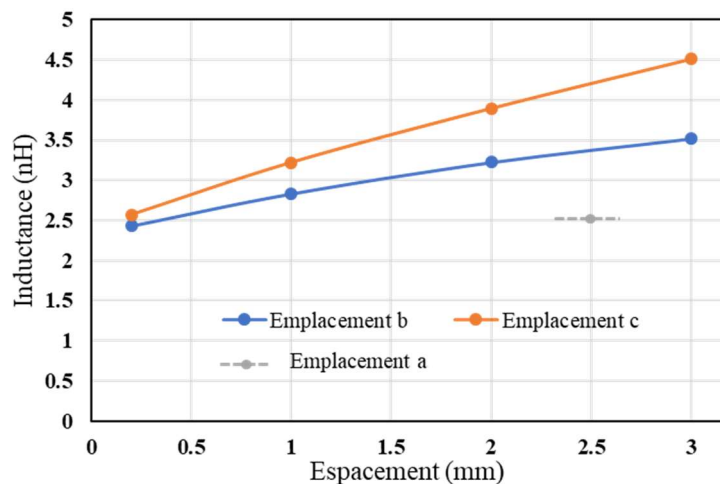


Figure III. 15 : Inductance parasite en fonction de l'emplacement du condensateur et de l'espacement entre dissipateurs +DC et -DC

Des simulations supplémentaires ont été effectuées en faisant varier la hauteur du dissipateur dans le cas de la Figure III. 13.b, valeur initialement fixée à 20mm. En effet, ce paramètre peut être amené à changer en fonction des pertes à évacuer et l'on conçoit aisément qu'il a un impact direct sur la valeur de l'inductance parasite de la cellule de commutation. Nous avons simulé la variation de la hauteur des dissipateurs +DC et -DC pour deux valeurs de L_C (2,5mm et 0,2mm). La Figure III. 16 montre les résultats obtenus. Nous pouvons remarquer que, lorsque l'espacement entre dissipateurs est de 2,5mm, la hauteur des dissipateurs a un impact plus important sur la valeur d'inductance. Cette inductance est de moins de 3nH pour des

dissipateurs de 5mm et d'un peu plus de 5nH pour des dissipateurs de 30mm. Par contre pour un espacement entre les dissipateurs de 0,2mm, la hauteur de ces derniers n'a quasiment aucune influence sur la valeur d'inductance. Comme nous pouvons le voir en orange sur la Figure III. 16, l'inductance varie entre 2,4 et 2,7 nH quand la hauteur du dissipateur varie entre 5 et 30mm. Cela s'explique par le fait qu'une partie de l'inductance ne dépend que de la disposition des puces (géométrie et distance entre elles) et a une valeur proche de 2,5nH. La seconde partie de l'inductance qui dépend de la taille des dissipateurs est réduite lorsque les dissipateurs sont proches (phénomène de mutuelles inductances).

Il est donc envisageable de mettre les condensateurs au-dessus des dissipateurs et de les rapprocher pour conserver une faible inductance de maille. Notons tout de même que l'espacement entre les dissipateurs est lié à la tenue en tension globale que doit assurer la cellule de commutation. Cette problématique importante n'a pas été étudiée dans ce travail mais constitue une perspective importante.

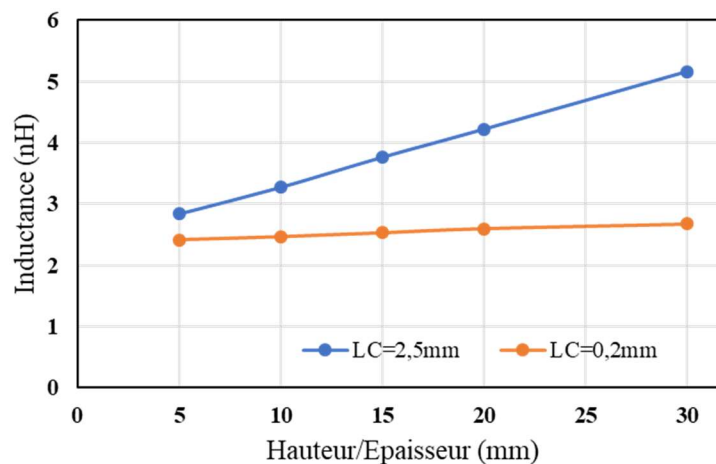


Figure III. 16 : Inductance en fonction de la hauteur des dissipateurs pour deux valeurs d'espacement entre dissipateurs

4.1.3. Vérification expérimentale de l'impact de l'emplacement des condensateurs de découplage

Les simulations effectuées ont surtout permis d'avoir un ordre de grandeur de l'évolution de l'inductance en fonction de l'emplacement du condensateur de découplage. Pour avoir des valeurs plus représentatives de la réalité, des mesures expérimentales sont menées. L'inductance de la cellule de commutation est mesurée en utilisant la méthode de double impulsion et à l'aide du banc expérimental présenté dans le chapitre II et rappelé sur la Figure III. 17.

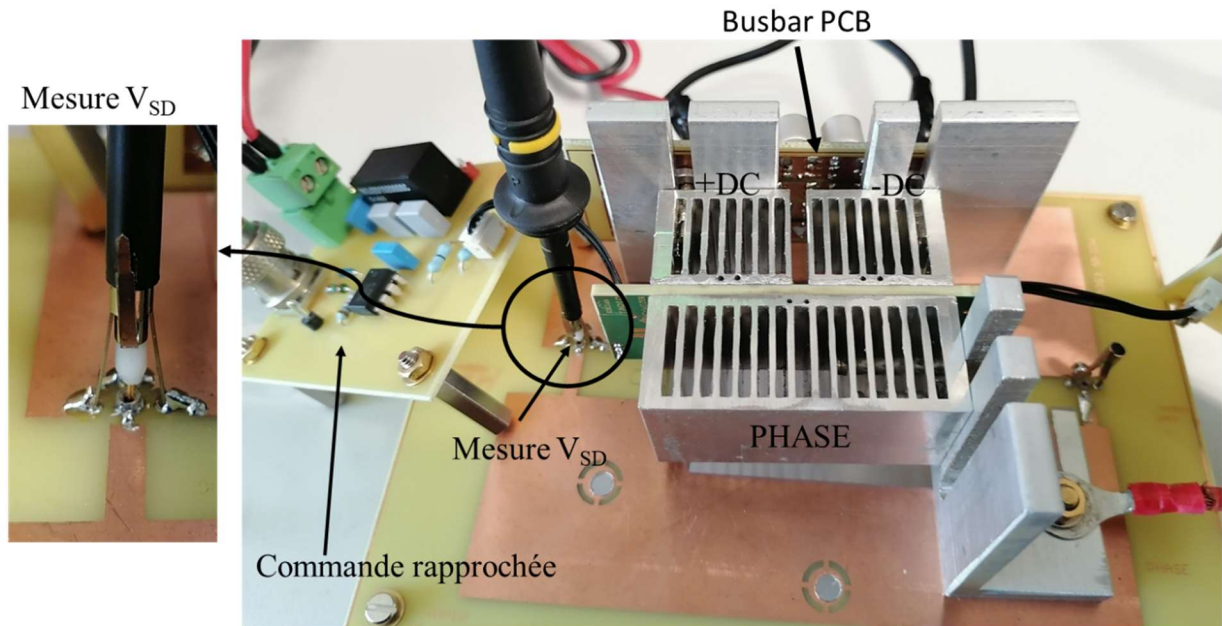


Figure III. 17 : Banc de mesure de l'inductance parasite

La cellule de commutation intégrant la technologie P²-pack et présentée dans la partie 3.4.3 du chapitre II est utilisée pour cette étude. L'inductance parasite est mesurée sur une cellule de commutation avec la matrice de condensateurs intégrée (Figure III. 18) et sur une autre sans les condensateurs intégrés (Figure III. 19) mais plutôt avec un busbar placé au-dessus de la cellule de commutation (Figure III. 13.b et Figure III. 17), l'objectif étant de comparer les valeurs d'inductances dans les deux cas. Le busbar situé au-dessus de la cellule de commutation dans les deux cas (Figure III. 18 et Figure III. 19) est composé d'une dizaine de condensateurs électrolytiques CMS de 150 μ F chacun [170]. Il est conçu avec un PCB deux couches de sorte à réduire l'inductance parasite qu'il apporte. Ce PCB busbar est présenté à l'annexe 4.



Figure III. 18 : Cellule de commutation avec condensateur de découplage intégré



Figure III. 19 : Cellule de commutation sans condensateur intégré

La Figure III. 20 présente les tensions V_{DS} à l'ouverture pour les deux cellules de commutation : la surtension est beaucoup plus importante lorsque que les condensateurs ne sont pas placés entre les dissipateurs. L'inductance parasite mesurée dans ce cas est d'environ 9,3 nH contre 1,3 nH lorsque les condensateurs sont entre les dissipateurs (emplacement a).

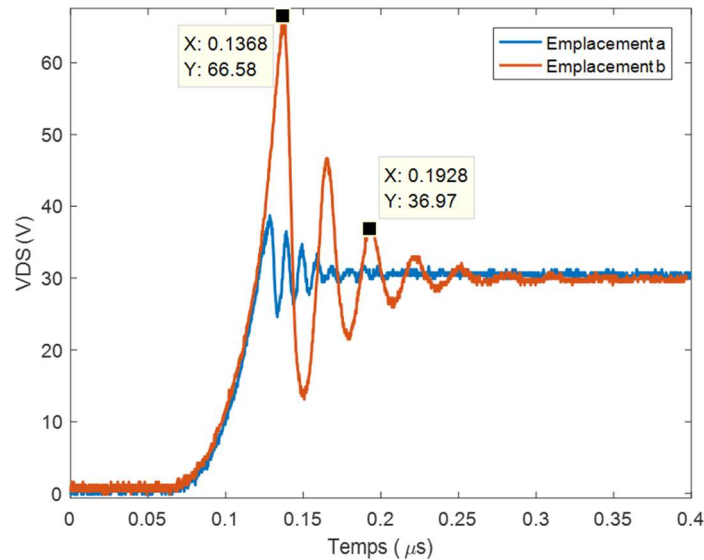


Figure III. 20 : Tension V_{DS} à l'ouverture pour deux emplacements du condensateur

Pour rappel, l'inductance obtenue par simulation pour un espacement des dissipateurs correspondant à l'épaisseur de la matrice de condensateurs (2,5mm), était d'environ 4,3 nH. La mesure pratique est plus de deux fois supérieure à cette valeur. Cela est surtout dû aux hypothèses simplificatrices faites pour la simulation : injection équipotentielle sur la surface du dissipateur, non prise en compte de l'impédance de la connectique et de l'inductance série des condensateurs. Aussi, le banc de caractérisation a plus d'impact sur l'inductance lors de la mesure avec le busbar sur les dissipateurs que lorsque les condensateurs sont insérés entre les dissipateurs. On peut malgré tout retenir que, pour cette hauteur de dissipateur (20mm) et cet espacement (2,5mm), l'inductance parasite de la cellule de commutation est plus de 7 fois plus petite lorsqu'on insère les condensateurs de découplage entre les dissipateurs. Un autre point intéressant est de vérifier si l'emploi d'une matrice de condensateur apporte une réduction significative ou non de l'inductance par rapport à une solution qui réduirait le nombre de condensateurs de découplage. Ce sera l'objet du prochain paragraphe.

4.2. Etude de la matrice de condensateurs

4.2.1. Problématique de l'étude de la matrice de condensateur

Dans les simulations précédentes, nous avons considéré le condensateur de découplage comme étant un seul bloc. Dans la réalité, ce condensateur de découplage est constitué d'une matrice de condensateurs. Cette matrice est composée de 7 lignes comme montre la Figure III. 21 et chaque ligne comprend 9 condensateurs de $10\mu\text{F}$ en boîtier 0805. Nous pouvons constater que les lignes de condensateurs ne voient pas la même impédance. L'inductance de la boucle de commutation semble de plus en plus grande quand on passe de la ligne 1 à la 7. Nous allons étudier quelle est l'influence du nombre de lignes sur la valeur de l'inductance parasite. Pour ce faire, la contribution des lignes de condensateurs sera évaluée en étudiant la répartition de courant entre elles.

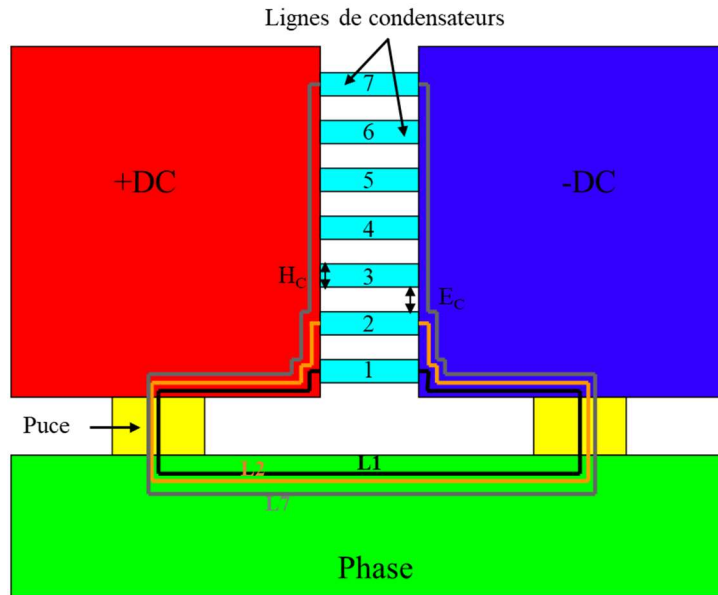


Figure III. 21 : Vue en coupe de la cellule de commutation TAPIR avec le détail des condensateurs de découplage (pas à l'échelle)

Dans les modélisations utilisées jusqu'ici, la source de courant était injectée au niveau du condensateur. Vu que l'on désire maintenant étudier la répartition du courant dans les condensateurs, l'injection du courant ne peut plus se faire à ce niveau. Aussi, la surface de l'équipotentielle considérée pour l'injection de courant dont la hauteur est notée H_C sur la Figure III. 21 aura un impact sur la répartition de courant. Elle doit être très petite afin de traduire assez fidèlement le comportement physique vu que l'impédance de cette équipotentielle est nulle. Dans un premier temps l'étude de la répartition du courant sera faite à travers des simulations

MIPSE. Ces simulations permettront de construire un modèle type circuit afin de simplifier l'intégration de cette cellule dans un système plus complexe. Des mesures expérimentales seront ensuite conduites pour comparer l'inductance d'une cellule de commutation avec une matrice de 7 lignes de condensateurs et une autre avec une seule ligne de condensateurs.

4.2.2. Simulations

4.2.2.1. Simulations MIPSE

Pour étudier l'impact du nombre de lignes de condensateurs, la géométrie entière avec les hauteurs de dissipateur de 20 mm est utilisée (Figure III. 13.a). Une fente est réalisée au milieu de la puce semi-conductrice Figure III. 22 pour réaliser l'injection de courant. Cette fente fait 100 μm pour limiter l'intrusion de la mesure. Elle est insérée au milieu de la puce pour s'assurer d'avoir des surfaces équipotentielles (lignes de courant perpendiculaires à la surface). Des mesures d'inductance ont été effectuées sur la géométrie simple avec l'injection de courant dans la puce afin de valider qu'on obtient bien la même valeur qu'avec l'injection entre les dissipateurs.

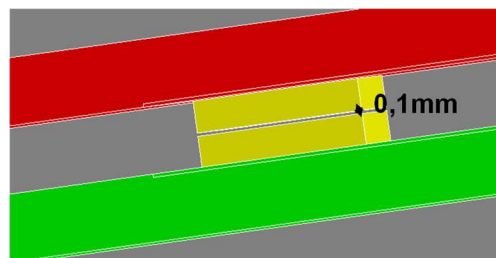


Figure III. 22 : Injection de courant dans la puce semi-conductrice

Le condensateur de découplage n'est plus représenté comme un seul gros bloc, mais plutôt 7 lignes de condensateurs comme le montre la Figure III. 21. La modélisation faite sur MIPSE est visible sur la Figure III. 23. La longueur de la ligne de condensateur est supposée s'étendre sur toute la largeur du dissipateur, la largeur (H_C) de la surface d'injection est de 0,2 mm et la distance (E_C) entre lignes de condensateurs de 2,2 mm.

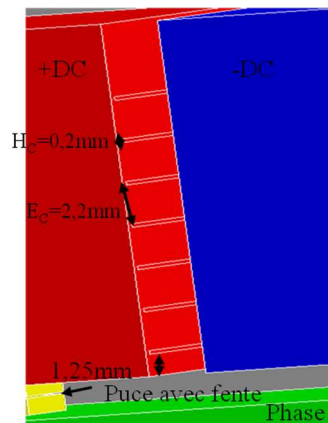


Figure III. 23 : Modélisation de la matrice de condensateurs sur MIPSE

Dans le but d'étudier la répartition de courant entre ces différentes lignes de condensateurs, le modèle équivalent d'un condensateur est inséré entre les dissipateurs (+DC et -DC) et sur chaque ligne comme le montre la Figure III. 24. Ce modèle équivalent est composé d'une capacité C_{Eq} de $90 \mu\text{F}$ (correspondant aux 9 condensateurs de $10\mu\text{F}$ sur chaque ligne) en série avec une résistance série équivalente ESR_{Eq} de $1,1 \text{ m}\Omega$ (9 résistances de $10 \text{ m}\Omega$ en parallèle) et une inductance série équivalente ESL_{Eq} de $0,11 \text{ nH}$ (9 inductances de 1nH en parallèle). Un ampèremètre est également inséré en série pour la mesure du courant dans chaque condensateur. Le modèle inductif choisi pour représenter les condensateurs néglige les couplages magnétiques. Il aurait été nécessaire de représenter géométriquement chaque condensateur dans MIPSE afin de prendre en considération ces couplages.

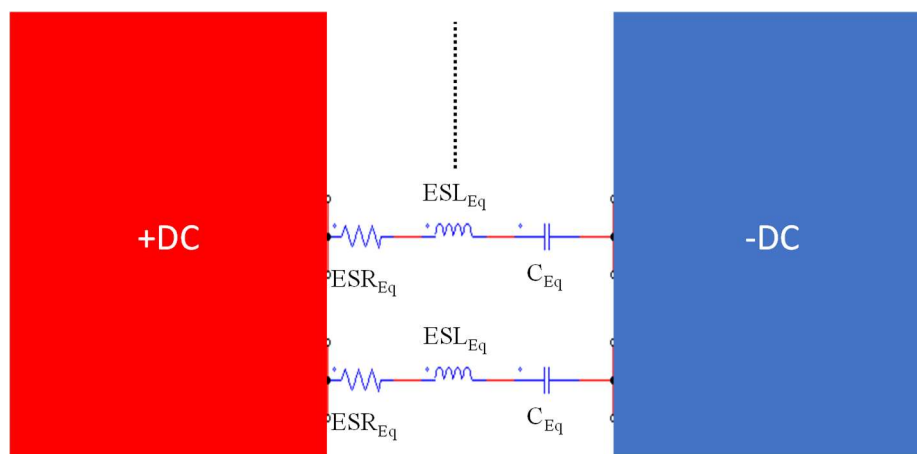


Figure III. 24 : Modélisation des lignes de condensateurs

La répartition du courant dans les différentes lignes de condensateurs est présentée sur la Figure III. 25. On peut alors remarquer que près de 66% du courant circule dans la première ligne de condensateurs, contre seulement 24% et 6% respectivement dans la deuxième et la troisième

ligne. La quatrième ligne voit moins de 2% de courant pendant que moins de 1% du courant circule dans l'ensemble des lignes 5, 6 et 7.

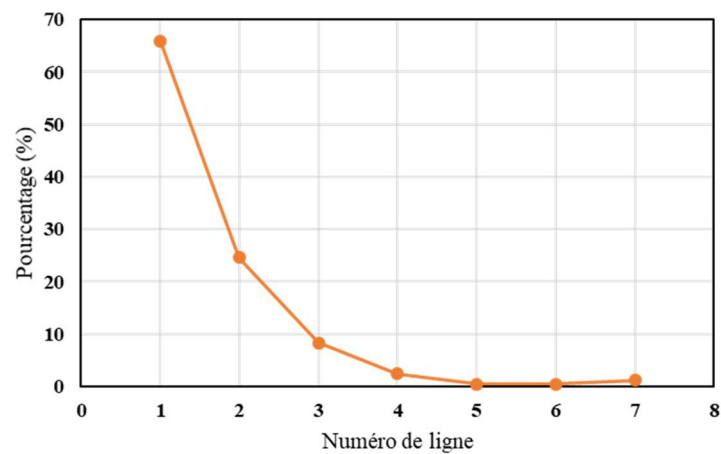


Figure III. 25 : Répartition du courant dans les lignes de condensateur (simulation MIPSE)

Nous allons maintenant extraire les valeurs d'inductances pour permettre de réaliser l'étude de la répartition du courant à travers une simulation de type circuit sur PSIM. Pour cela, les inductances L_1, L_2, \dots, L_7 (Figure III. 21) correspondant aux inductances vues des lignes de condensateurs 1 à 7 sont identifiées. Pour ce faire, seule la ligne de condensateur dont on cherche l'inductance est connectée en court-circuitant simplement les faces équipotentielles concernées. L'inductance parasite mesurée suivant la ligne connectée est présentée sur la Figure III. 26. Lorsque la première ligne de condensateurs est connectée, l'inductance de la cellule de commutation est proche de celle mesurée pour la géométrie de base présentée en début de chapitre. Logiquement, plus la ligne connectée est éloignée de la puce et plus l'inductance augmente. L'inductance partielle entre deux lignes de condensateurs est obtenue en faisant la différence entre deux inductances de boucles successives (exemple $L_{2-1}=L_2-L_1$ sur les Figure III. 21 et Figure III. 26).

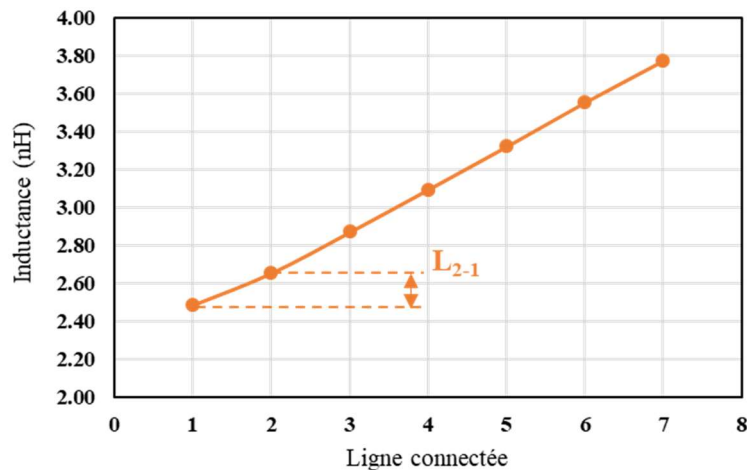


Figure III. 26 : Inductance en fonction de la ligne de condensateur connectée

4.2.2.2. Simulations PSIM

La simulation sur PSIM est paramétrée à partir des valeurs d'inductance de boucle et d'inductances partielles obtenues précédemment (Figure III. 21 et Figure III. 26). La Figure III. 27 montre le schéma de simulation. Une source de courant sinusoïdale de 1A efficace et d'une fréquence de 100 MHz alimente un circuit électrique composé des modèles électriques des 7 lignes de condensateurs en parallèle. L'inductance L_1 de la première boucle de commutation ainsi que les inductances partielles (L_{2-1} , L_{3-2} , ..., L_{7-6}) sont renseignées. La simulation est faite et le courant dans chaque ligne de condensateurs est mesuré.

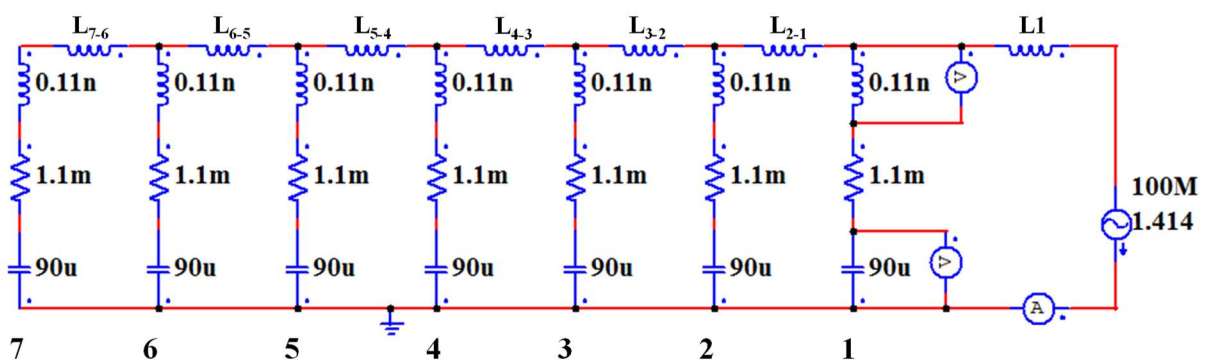


Figure III. 27 : Schéma de simulation pour l'étude de la répartition du courant dans la matrice de condensateur

La Figure III. 28 présente la répartition du courant (en pourcentage) dans les différentes lignes de condensateurs pour la simulation faite sur MIPSE et sur PSIM. On peut alors remarquer que la répartition du courant est quasiment la même entre la simulation PSIM et MIPSE. Ce qui valide donc la possibilité d'utiliser le modèle circuit pour l'étude de la répartition du courant.

Ce type de modèle pourra à terme être intégré dans un circuit plus complexe avec plusieurs cellules de commutation en parallèle et prenant en compte les interactions entre elles et avec le busbar etc... Cela permettra de réduire le temps de simulation et de pouvoir étudier par exemple le comportement temporelle ou fréquentielle de l'ensemble. Avec la récente acquisition de Powersim (PSIM) par Altair [171], on peut s'attendre à un logiciel qui intègre modélisation physique et de type circuit permettant de faire ce que nous avons fait à la main de façon plus automatique. En attendant, on peut retenir que le courant se répartit principalement dans les 3 premières lignes de condensateurs. A cette fréquence, la répartition du courant est surtout imposée par l'impédance du circuit. On peut alors conclure qu'il n'est pas nécessaire d'avoir plus de 3 lignes de condensateurs dans le but de fournir du courant durant la commutation

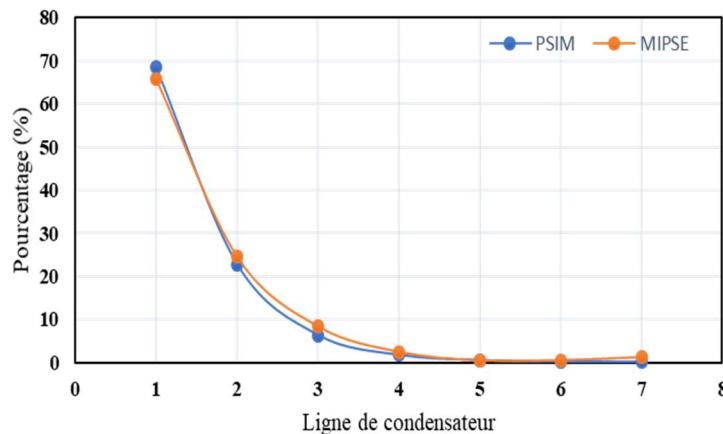


Figure III. 28 : Répartition du courant dans les condensateurs

Après avoir tiré comme conclusion à partir de la simulation que seules les premières lignes de condensateurs interviennent durant la commutation, nous allons maintenant vérifier par l'expérience qu'elle est la valeur d'inductance que l'on a suivant que le condensateur de découplage soit une seule ligne ou une matrice complète.

4.2.3. Vérification expérimentale

Afin de vérifier s'il est judicieux d'utiliser une seule ligne de condensateurs au lieu de la matrice, nous comparons les inductances parasites ainsi que les formes d'ondes de tension de deux cellules de commutation utilisant la technologie P²-pack. La première cellule de commutation est celle avec la matrice de condensateurs (Figure III. 18) et la seconde comprend une ligne de 8 condensateurs directement brasés sur le PCB de puissance (Figure III. 29).

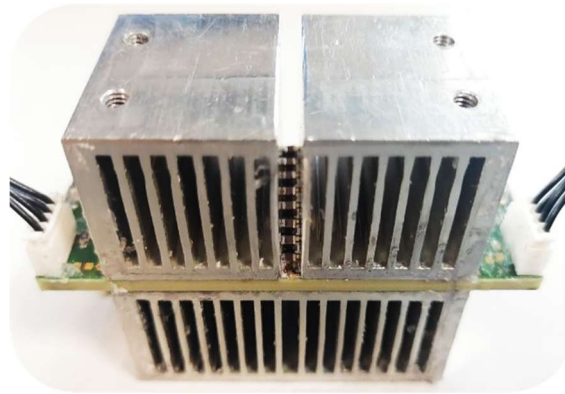


Figure III. 29 : Cellule de commutation avec une seule ligne de condensateurs

Les formes d'onde de tension lors de la commutation des deux cellules sont présentées sur la Figure III. 30. On constate qu'elles se superposent parfaitement comme s'il s'agissait d'une même cellule de commutation. L'inductance parasite mesurée est d'environ 0,9 nH dans les deux cas. La solution avec une seule ligne de condensateurs semble donc plus indiquée : elle permet d'avoir le même comportement dynamique avec moins de composants et est plus simple à mettre en œuvre.

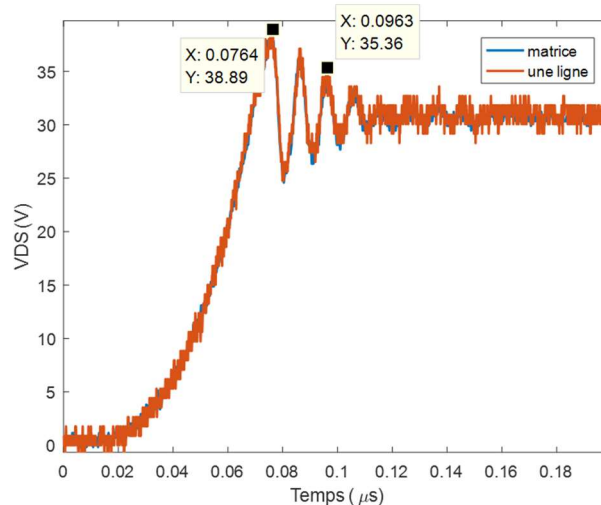


Figure III. 30 : V_{DS} à l'ouverture pour deux cellules de commutations ; avec une ligne et une matrice de condensateurs

A travers les simulations et l'expérimentation, nous avons pu remarquer que la matrice de condensateurs n'était pas nécessaire pour le comportement dynamique de la cellule de commutation. Plusieurs lignes de condensateurs de cette matrice ne participent pas à la commutation. Par contre à l'échelle de la fréquence de commutation (20 kHz par exemple) toutes les lignes de la matrice fournissent du courant. Il pourrait être intéressant d'intégrer le condensateur de découplage pour augmenter la densité volumique. Mais, selon les applications,

la valeur élevée de capacité et surtout le courant que doit fournir cette dernière oblige de rajouter des condensateurs de bus DC.

Après être partis d'une représentation simplifiée de la cellule de commutation, nous avons progressivement analysé le détail de la cellule de commutation à travers l'étude de l'influence des plaques internes et de la matrice de condensateurs. Nous allons maintenant simuler de manière assez représentative (dimensions des composants, représentation des plaques internes et des matrices ou lignes de condensateurs) quelques cellules de commutation et nous allons comparer les résultats à ceux obtenus en pratique.

5. Vérification des mesures expérimentales d'inductances grâce à des simulations

Dans le chapitre II nous avons présenté et critiqué la méthode de double impulsion utilisée pour déterminer l'inductance parasite des cellules de commutation TAPIR. La difficulté de mesure du courant dans la cellule de commutation, l'hypothèse de linéarité de la capacité de sortie C_{oss} et les limites (plage de mesure et précision des appareils, impédances additionnelles etc...) du banc de caractérisation font qu'il est difficile de s'assurer de l'exactitude de la mesure, surtout pour les faibles valeurs d'inductances que présentent les cellules TAPIR. Des simulations électromagnétiques sont alors faites sur 3 cellules de commutation afin de vérifier les résultats obtenus par expérimentation. Pour ce faire, des géométries très proches de la réalité sont simulées à une fréquence de 100 MHz et en utilisant la formulation surfacique sur MIPSE. En rappel, les désignations des cellules de commutation ainsi que les différentes technologies les composant avaient été résumé sur le Tableau II. 3.

5.1. Géométries simulées et modélisations

5.1.1. Cellule de commutation avec composants packagés : CPB2

La cellule de commutation utilisant les composants packagés (CPB2) présentée sur la Figure II. 24 est simulée avec deux architectures de dissipateurs différentes afin de déterminer si l'architecture (ailettes, trous etc..) avait un impact sur la valeur d'inductance calculée. Une simulation a donc été faite en utilisant les dissipateurs à trous (Figure III. 31.a) et une autre en utilisant des blocs entiers (sans trous) de mêmes dimensions que les dissipateurs à trous. Dans les deux cas, les dimensions et singularités (rainures et piliers présentés sur la Figure III. 31.b) des dissipateurs sont prises en compte.

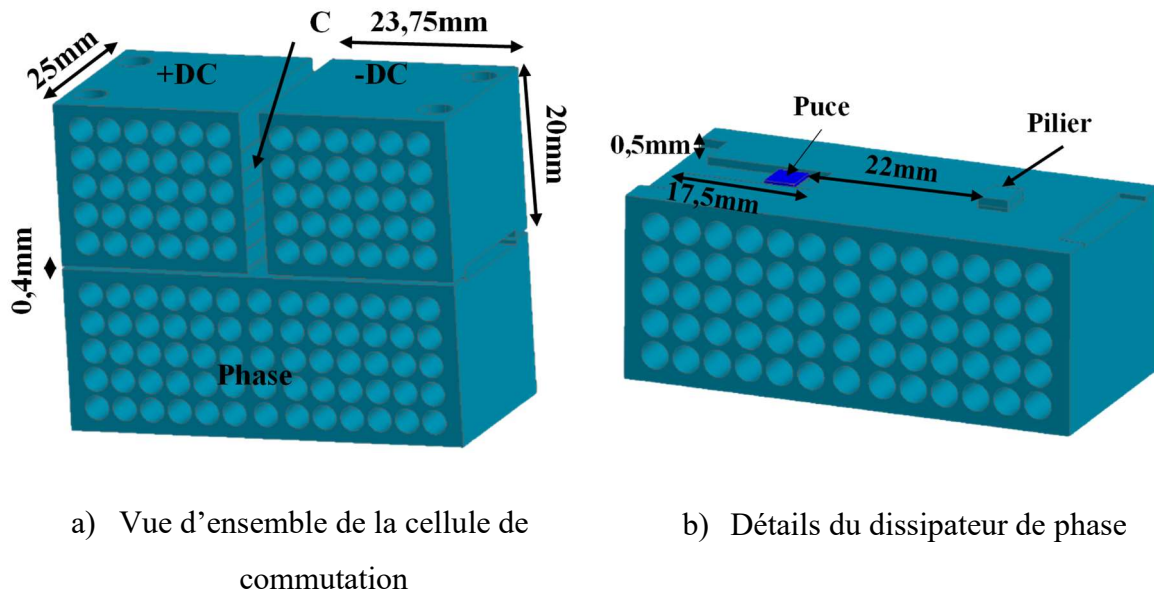


Figure III. 31 : Géométrie simulée de la cellule de commutation avec composants packagés

L'injection de courant est faite dans le composant packagé avec une fente de hauteur $50\mu\text{m}$. Les dimensions du composant packagé sont de $3,4\text{mm} \times 4,2\text{mm} \times 0,9\text{mm}$. Le pilier qui relie la puce au dissipateur possède les mêmes dimensions surfaciques que le composant et a une épaisseur de $0,4\text{mm}$. La matrice de condensateurs est modélisée comme présenté sur la Figure III. 23 et toutes les lignes de condensateurs sont connectées comme sur la Figure III. 24.

5.1.2. Cellule de commutation avec puce enfouie brasée sur une face et avec croissance de cuivre de l'autre : PNCBE

La Figure II. 30 montre la cellule de commutation en question et l'architecture détaillée du PCB est présentée sur la Figure A1. 6 de l'annexe 1. La Figure III. 32 montre la modélisation sur MIPSE avec un zoom autour la boucle de commutation. Les couches externes du PCB étant directement brasées sur les dissipateurs, elles ne sont pas représentées afin d'alléger la simulation. Une seule couche interne (la couche 3) est représentée afin de simplifier la simulation tout en prenant en compte l'effet de la plaque interne. Les lignes de microvias sont considérées comme des blocs de $0,7\text{mm} \times 25\text{mm} \times 0,2\text{mm}$. La puce, le cuivre en face arrière et la brasure en face avant sont considérés comme un bloc unique de $3\text{mm} \times 3\text{mm} \times 0,42\text{mm}$ que l'on appellera toujours puce dans la suite des explications. L'injection de courant se fait au centre d'une des deux puces. Le cuivre en face avant possède les mêmes dimensions surfaciques que les deux plots de source ($1\text{mm} \times 3\text{mm}$) et une épaisseur de $0,58\text{mm}$. La matrice de condensateurs est représentée comme indiqué sur la Figure III. 23.

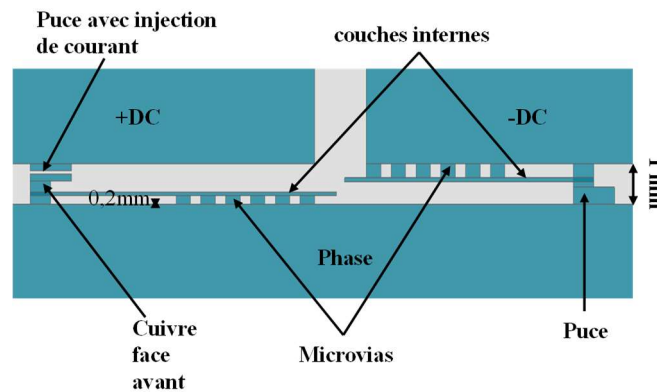


Figure III. 32 : Géométrie simulée de la cellule de commutation avec puce enfouie brasée sur une face et avec croissance de cuivre de l'autre

5.1.3. Cellule de commutation avec puce pré-packagée enfouie dans le PCB : PM2E

Une coupe métallographique du PCB de puissance a été présentée sur la Figure II. 38. La simulation est réalisée sur une géométrie très proche de la réalité comme le montre la Figure III. 33. La couche 1 du PCB est modélisée afin de permettre l'injection de la source de courant à la place des condensateurs (Figure II. 37 et Figure III. 33) vu qu'il n'y a qu'une seule ligne de condensateurs. Les couches 2 et 5 sont représentées car ce sont principalement elles qui transitent le courant vu l'épaisseur de ces couches comparées aux autres couches du PCB. Les matrices de microvias situées entre les couches 1 et 2 et les couches 5 et 6 sont considérées comme des blocs entiers sur toute la surface qu'occupe ces microvias. Pour des raisons de confidentialité, les épaisseurs des couches et les dimensions de la puce ainsi que le cuivre en face arrière ne sont pas indiqués.

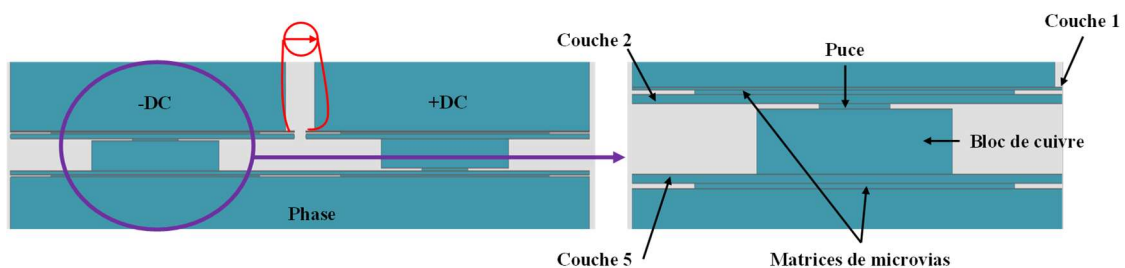


Figure III. 33 : Géométrie simulée de la cellule de commutation PM2E

5.2. Conditions expérimentales et allures des tensions V_{DS}

La caractérisation des cellules de commutation CPB2 et PM2E a été présentée dans la section 4.2 du chapitre II. Nous allons rappeler succinctement les conditions de tests ainsi que l'allure

des tensions V_{DS} . La cellule de commutation CPB2 a été testée sous une tension de bus de 30V et un courant de 40A dans la charge. La cellule de commutation PM2E a été testée sous 48V de tension de bus et 50A dans la charge. Les allures des tensions V_{DS} pour ces deux cellules sont rappelées sur les Figure III. 34 et Figure III. 35.

Malgré les difficultés de réalisation de la cellule de commutation avec des puces SiC enfouies (PNCBE), une cellule de commutation a pu être réalisée et caractérisée avant qu'elle ne soit plus opérationnelle. L'expérience a été faite avec une tension de bus (100 V) beaucoup plus petite que le calibre en tension des puces et un faible courant (22 A) dans la charge. La Figure III. 36 montre l'allure de la tension V_{DS} à l'ouverture. On peut remarquer une très faible surtension pouvant indiquer une faible valeur d'inductance parasite. Par contre il est assez difficile de mesurer correctement la fréquence d'oscillation. Nous avons estimé grossièrement une fréquence de 300 MHz. La capacité de sortie C_{OSS} du MOSFET est d'environ 200 pF (à 100V) [109].

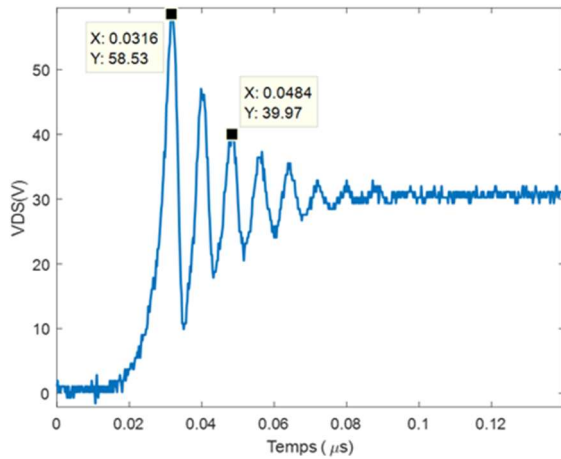


Figure III. 34 : Tension V_{DS} à l'ouverture cellule CPB2 $V_{DS}=30V$, $I_D=40 A$

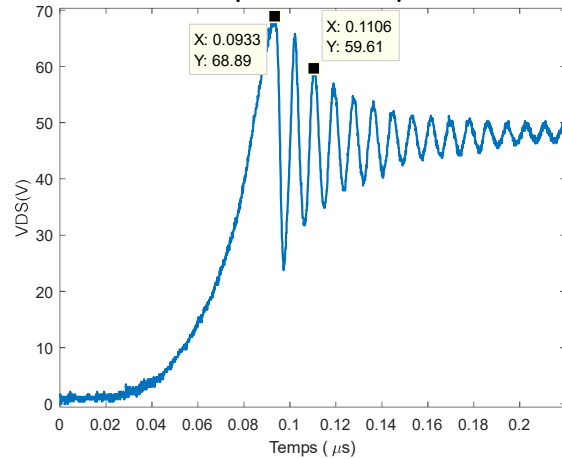


Figure III. 35 : Tension V_{DS} à l'ouverture cellule PM2E, $V_{DS}=48V$, $I_D=50 A$

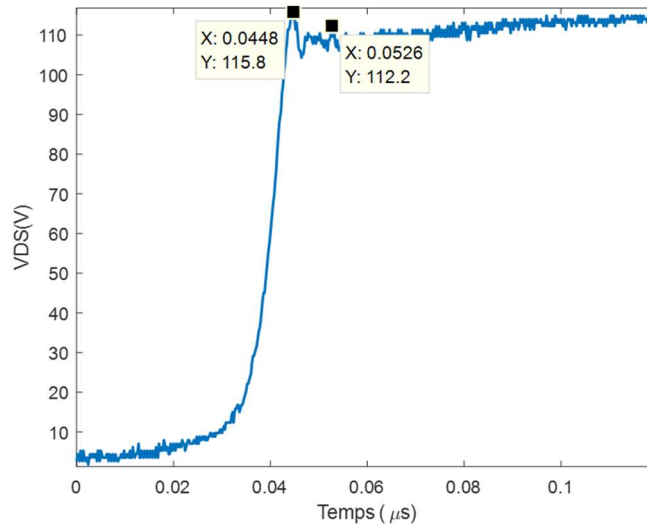


Figure III. 36 : V_{DS} à l'ouverture pour une cellule de commutation PNCBE

5.3. Résultats et discussions

Les comparaisons entre résultats de simulation et expérimentaux sont présentées sur le Tableau III. 1. On peut tout d'abord remarquer que l'inductance de la cellule de commutation CPB2 est inchangée suivant que l'on modélise ou pas les trous dans les dissipateurs. Ce résultat était attendu car aux fréquences considérées (100 MHz) les courants circulent essentiellement en surface. Sachant que la modélisation des trous allonge le temps de simulation, des dissipateurs simplifiés (sans trous ou ailettes) ont été utilisés dans les modélisations suivantes (Figure III. 32 et Figure III. 33).

Les inductances parasites obtenues par simulation sont relativement proches de celles obtenues par mesures expérimentales. Dans le cas de la cellule de commutation PNCBE, une erreur de seulement 14% existe entre la simulation et l'expérience. Vu que la mesure de la fréquence d'oscillation n'était pas évidente, il est difficile de tirer une conclusion sur cet écart entre simulation et expérimentation. Plus de 35% et 22% de différence entre les résultats de simulations et expériences ont été observés respectivement pour les cellules de commutation CPB2 et PM2E. Pour la cellule CPB2, la différence pourrait s'expliquer par le fait que dans la simulation nous ne prenons pas en compte les éléments parasites intrinsèques entre la puce et le boîtier du composant. Par contre pour la cellule PM2E cette différence entre simulation et expérience est difficilement explicable, si non par le fait que la mesure manque de précision. En effet, de par le plus grand espacement entre les potentiels de drain et de source sur chaque composant, nous devrions obtenir une valeur d'inductance supérieure à celle obtenue sur les autres cellules de commutation. Les résultats obtenus en simulation semblent plus cohérents.

| Cellules de commutation | | Résultats de simulations | Résultats de mesures expérimentales | Ecart par rapport à la simulation |
|-------------------------|-------------------------|--------------------------|-------------------------------------|-----------------------------------|
| Cellule CPB2 | Dissipateur à trous | 0,91 nH | 1,23 nH | +35% |
| | Dissipateurs sans trous | 0,92 nH | | |
| Cellule PNCBE | | 1,17 nH | 1,33 nH | +14% |
| Cellule PM2E | | 1,15 nH | 0,90 nH | -22% |

Tableau III. 1 : Inductance parasite : simulations vs expérimentation

Dans tous les cas, vu que les résultats de simulation sont proches des résultats expérimentaux, on peut valider le fait que l'inductance parasite des cellules de commutation TAPIR soit inférieure à 1,5 nH.

6. Conclusion

Dans ce chapitre, un outil de simulation basé sur des méthodes intégrales et développé au G2Elab a été comparé avec le logiciel Flux^{3D} basé sur les méthodes de résolution par éléments finis. Ce logiciel interne au laboratoire intègre des méthodes de maillage automatique qui permettent de gagner du temps par rapport à une modélisation sur Flux^{3D} qui est sensible au

maillage et nécessite une étude de maillage afin de garantir une certaine précision. Les résultats obtenus avec le logiciel MIPSE étaient identiques à ceux de Flux^{3D}, validant ainsi que ce logiciel était adapté pour la modélisation des courants de Foucault dans le cas de cellules de commutation 3D comme celles de TAPIR.

Une étude paramétrique géométrique a permis de voir l'évolution de l'inductance parasite. Ainsi les principaux paramètres qui jouent sur la valeur de l'inductance sont la distance entre les puces semi-conductrices et aussi l'espacement entre dissipateurs DC et phase. L'ajout d'une plaque interne dans cet espacement permet de réduire (environ 12% dans notre cas) l'inductance parasite de la boucle de commutation mais impose de bien dimensionner cette plaque interne. En effet, environ 30% du courant basse fréquence circule par cette dernière. La technologie d'enfouissement de composants dans le PCB permettant assez facilement d'avoir cette plaque interne présente un intérêt certain dans la réduction de l'inductance parasite de la boucle de commutation.

L'étude de la contribution des condensateurs de découplage contenu dans la matrice de condensateurs a montré que seules les 3 premières lignes participaient à la commutation dans le cas présenté. Les mesures expérimentales ont montré que l'inductance de la cellule de commutation était la même suivant qu'on ait une ligne de condensateurs ou une matrice de 7 lignes de condensateurs. Par contre ne pas avoir de condensateurs intégrés (entre dissipateurs +DC et -DC) augmente l'inductance de la cellule de commutation. Avec un busbar sur les dissipateurs, l'inductance était 7 fois plus importante dans l'exemple proposé.

Enfin des simulations de 3 géométries de cellules de commutation ont permis de constater que les inductances étaient relativement proches de celles mesurées en pratique. Malgré les écarts rencontrés entre mesure et simulation, nous pouvons valider le fait que la technologie TAPIR permet de réaliser des cellules de commutations ayant potentiellement des inductances parasites inférieures à 2 nH ce qui la rend adaptée pour l'intégration des MOSFETs SiC.

Jusque-là, nous nous sommes intéressés seulement à la cellule de commutation élémentaire. Pour réaliser des convertisseurs de puissance, il peut être nécessaire d'utiliser plusieurs cellules de commutation. Dans le prochain chapitre nous allons donc analyser l'interaction entre cellules d'un point de vue électromagnétique et thermique.

CHAPITRE IV

De la cellule de commutation au convertisseur

1. Introduction

Les chapitres précédents ont présenté des études sur la cellule de commutation élémentaire. Cependant, la mise en œuvre de certaines architectures de convertisseurs, l'augmentation de la puissance ou encore simplement l'amélioration du rendement nécessitent la mise à contribution de plusieurs cellules de commutation. Dans ce chapitre nous allons présenter des méthodes permettant d'étudier les interactions entre cellules de commutation et la prise en compte de ces dernières (interactions) dans la conception d'un convertisseur statique.

Dans un premier temps, quelques exemples d'architectures de mise en œuvre de convertisseurs statiques intégrant la technologie TAPIR seront présentés. Les contraintes de mise en œuvre de chaque architecture ainsi que les avantages et les limites d'un point de vue thermique et électromagnétique seront discutés. Un démonstrateur sera alors proposé à partir d'une des architectures présentées, d'une part pour valider le concept et d'autre part pour permettre une estimation préliminaire de la densité volumique et massique de puissance de la technologie. Ce démonstrateur sera testé afin de valider le bon fonctionnement.

Nous proposerons des méthodes permettant d'analyser les interactions électromagnétiques entre cellules de commutation d'un convertisseur. Pour cela, les inductances des cellules de commutation seront mesurées lorsque deux ou trois cellules sont à proximité. Les mutuelles seront mesurées et les inductances dans des cellules en parallèle seront évaluées. Ces grandeurs seront mesurées en fonction de la distance entre les cellules afin d'avoir un ordre de grandeur de l'évolution des interactions entre cellules.

À partir du volume et de la masse du démonstrateur réalisé, les densités volumiques et massiques de puissance ainsi que les températures de jonction seront estimées pour plusieurs conditions. Pour cela les interactions thermiques entre cellules de commutation du démonstrateur seront évaluées à travers des mesures de résistances thermiques utilisant les paramètres thermosensibles des MOSFETs comme présenté dans les chapitres I et II. Cette étude est proposée afin de pouvoir établir un modèle thermique permettant d'estimer les températures de jonction des puces pour le démonstrateur réalisé. Le logiciel PSIM sera utilisé pour déterminer les pertes ainsi que les températures de jonction en intégrant le modèle thermique issu des mesures.

Une conclusion présentant les différentes méthodes, quelques résultats ainsi que les limites de notre travail dans la généralisation à l'étude de tous types de convertisseurs statiques refermera ce chapitre.

2. Exemples d'architectures de mise en œuvre de convertisseurs TAPIR

Dans cette section, nous allons dans un premier temps présenter des architectures d'agencement de cellules de commutation afin de réaliser des convertisseurs statiques. Nous nous intéresserons principalement à la disposition des cellules de commutation, l'emplacement de la ou des cartes de commandes rapprochées et/ou éloignées et du busbar. Le fait d'avoir les dissipateurs aux potentiels pouvant rajouter des contraintes CEM (capacités de mode commun, rayonnement électromagnétique) par rapport aux modules de puissance classiques, nous proposerons quelques astuces pour réduire ces perturbations. La canalisation de l'air ainsi que l'isolation électrique entre cellules et la protection des personnes seront également prises en compte dans ces architectures. Les éléments passifs, les filtres CEM, ainsi que l'intégration complète du convertisseur ne seront pas présentés.

2.1. Exemples conceptuels

Nous allons présenter des exemples d'architectures permettant la mise en parallèle de cellules de commutation ainsi que la réalisation d'onduleurs de tension monophasé et triphasé. Notons que les architectures proposées sont loin d'être exhaustives et de nombreuses autres peuvent être imaginées. Elles ont toutefois fait l'objet du dépôt de brevet n°FR20/09856 [2]. Les architectures que nous avons choisi de présenter seront discutées en considérant les contraintes de mise en œuvre, la compacité ainsi que les performances électromagnétiques et thermiques.

2.1.1. Cellules de commutation en parallèle

Nous présentons dans ce paragraphe deux architectures de réalisation d'un bras de pont 2 niveaux avec 4 cellules de commutation en parallèle comme présenté sur la Figure IV. 1.

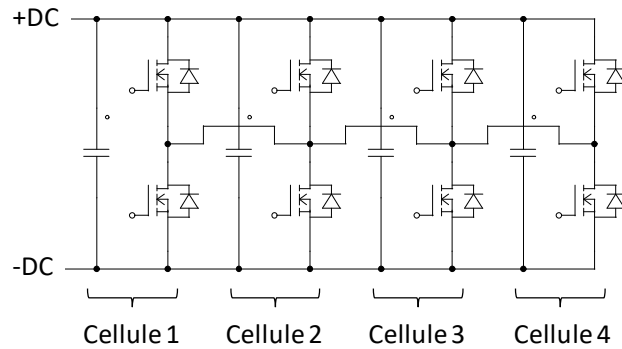


Figure IV. 1: Schéma de la mise en parallèle de 4 cellules de commutation élémentaires

2.1.1.1. Architecture en série hydraulique

Une architecture assez intuitive de mise en parallèle des cellules de commutation consiste à les aligner les unes derrière les autres (Figure IV. 2). Les cellules élémentaires sont alors en série hydraulique (traversées par le même flux d'air). Un busbar assure la connexion électrique +DC/-DC et assure aussi un maintien mécanique. Ce busbar peut être de plusieurs types : plaques, busbar laminé ou PCB par exemple. Une plaque conductrice permet de relier électriquement les potentiels de phase des différentes cellules, d'assurer la connexion avec le reste du convertisseur et permet également un maintien mécanique. La connexion électrique entre les plaques métalliques / busbar et les cellules élémentaires peut être faite de différentes manières : vis, soudure, brasure, colle conductrice électrique et thermique, frittage, TLPS... Le contact vissé facilite le démontage pour des opérations de maintenance (remplacement d'une cellule défectueuse) ou de recyclage, permettant de profiter de l'aspect modulaire de cette technologie. Les autres techniques d'attache (brasure, frittage, TLPS) présentées dans la section 2.1 du chapitre II complexifient cette opération de maintenance et ou de recyclage mais permettent d'améliorer le contact électrique. Idéalement, les connexions au bus continu et celles au point milieu (phase) se situent de manière opposée par rapport à l'écoulement d'air comme présenté sur la Figure IV. 2. Cela permet une meilleure répartition du courant entre les cellules élémentaires. Ces dernières peuvent être en contact ou espacées entre elles.

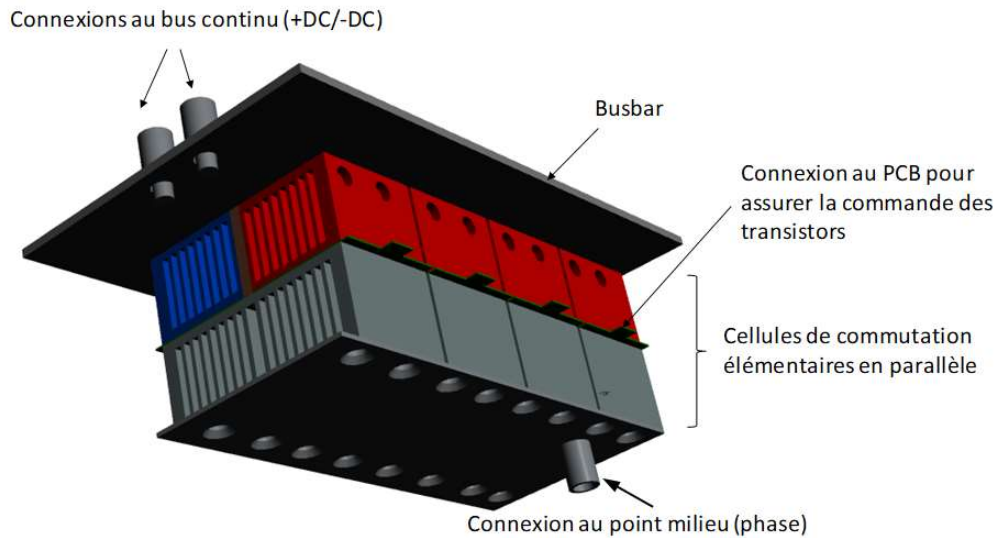


Figure IV. 2 : Cellules en parallèle avec architecture en série hydraulique (V1)

Une variante de cette mise en parallèle consiste à alterner les dissipateurs +DC et -DC comme le montre la Figure IV. 3. Cela peut complexifier la réalisation du busbar mais devrait permettre de diminuer l'inductance parasite des cellules de commutation en créant des champs magnétiques opposés. Dans ce cas, une isolation électrique est maintenant nécessaire entre cellules élémentaires. Cela peut être fait en espaçant simplement les cellules et/ou en insérant un matériau isolant. Plus loin dans ce chapitre, nous allons étudier l'impact de la distance entre cellules sur la valeur de l'inductance de ces dernières. Cela sera fait pour les deux versions présentées et permettra de vérifier la réduction d'inductance annoncée pour la version V2 (Figure IV. 3) par rapport à la V1 (Figure IV. 2).

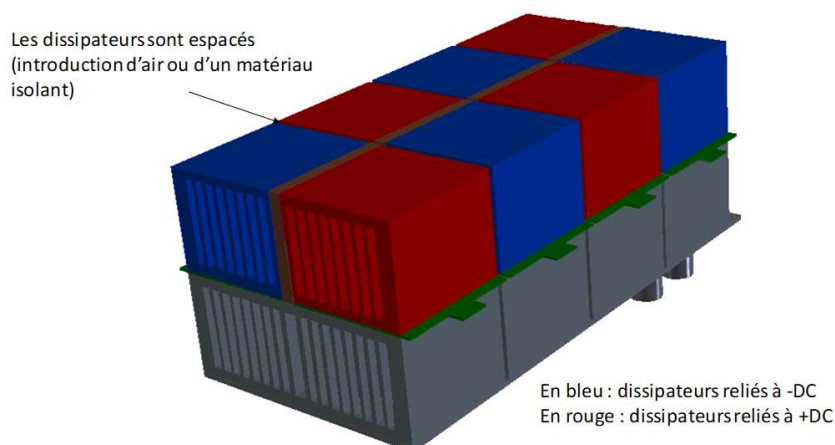


Figure IV. 3 : Cellules en parallèle avec architecture en série hydraulique et potentiels +DC et -DC alternés (V2)

La Figure IV. 4 présente des éléments indispensables au convertisseur qui peuvent être rajoutés autour des cellules de commutation élémentaires. Tout d’abord, une boîte conductrice ou isolante peut être rajoutée pour canaliser l’air dans les dissipateurs des cellules élémentaires afin de gagner en performance de refroidissement (Figure IV. 4 - en haut à gauche). Sur l’exemple présenté ici, la boîte est isolante électrique afin d’être directement collée aux dissipateurs et assurer une protection des personnes. Dans ce cas, elle peut être réalisée de différentes façons : impression 3D, usinage, injection plastique ou résine... Comme on peut le remarquer sur la Figure IV. 4 (en haut à gauche), cette boîte peut contenir une rainure permettant de ramener les signaux de commande. Une mousse isolante ou tout autre matière pouvant assurer l’étanchéité peut être utilisée. Le ventilateur peut être monté directement sur cette boîte. Un inconvénient de cette configuration série hydraulique est que les cellules les plus proches du flux d’air sont plus froides que les autres. Cela peut déséquilibrer la répartition de courant entre cellules si la différence de température est trop grande.

Afin de limiter le rayonnement électromagnétique et limiter la génération de courants de mode commun due aux fortes surfaces de dissipateurs soumis à des forts dV/dt , il est possible de mettre des conducteurs à des potentiels fixes en face des dissipateurs reliés au potentiel de phase. Sur l’image en haut à droite de la Figure IV. 4, des conducteurs sont placés aux potentiels +DC et -DC autour des dissipateurs. Ces conducteurs peuvent être de différents types : plaques, films, toiles métalliques... Il est également possible d’utiliser des PCBs car la masse est assez faible et il est alors possible de « fonctionnaliser » ces conducteurs afin d’y appliquer par exemple plusieurs potentiels. On peut également envisager de réaliser les circuits de commande des transistors sur ces PCBs. Ce sera notamment le cas dans le démonstrateur que nous présenterons dans la section 2.2 de ce chapitre.

Pour limiter encore le rayonnement électromagnétique, un écran peut être placé en face de la sortie et/ou de l’entrée d’air (Figure IV. 4 – en bas à gauche). Cet écran peut être texturé afin de laisser passer le fluide de refroidissement. Il doit être également à un potentiel fixe +DC, -DC, voire à la terre. Ces conducteurs (plaques et écrans) doivent essentiellement recouvrir au maximum les dissipateurs raccordés au potentiel de phase car c’est le potentiel qui varie le plus en fonction du temps. Des trous présents sur ces plaques permettent de relier les dissipateurs à celles-ci et de récupérer les signaux de commande. Enfin, des cartes de commandes reliées aux cellules de commutation peuvent être ajoutées si nécessaire (par exemple lorsque la plaque écran n’est pas fonctionnalisée) ainsi que des condensateurs de découplage au niveau du busbar (Figure IV. 4 – en bas à droite). Un filtre à air (non représenté sur la Figure IV. 4) peut être

rajouté pour limiter l'encrassement sur les dissipateurs et réduire ainsi les risques de claquage diélectrique tout à gardant de bonnes performances électriques et thermiques. Ce filtre doit être choisi de sorte à imposer le moins de pertes de charge possible.

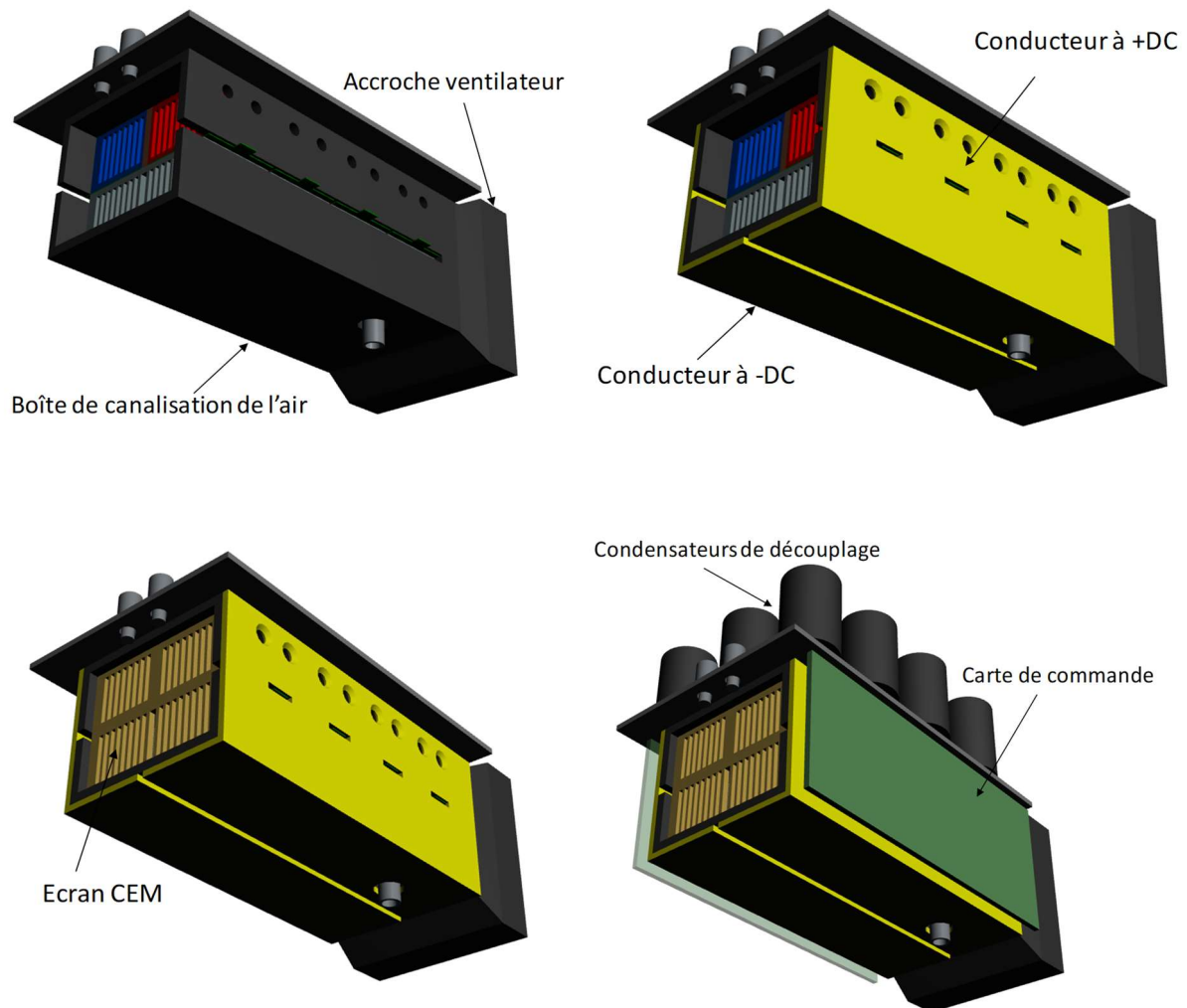


Figure IV. 4 : Mode de réalisation avec architecture série hydraulique

La Figure IV. 5 présente une vue en coupe de l'implémentation proposée. Elle permet de voir les connexions électriques entre les dissipateurs et les plaques à +DC/-DC permettant de réduire les courants de mode commun. Elle montre également la connexion entre les cartes de commande et les cellules élémentaires.

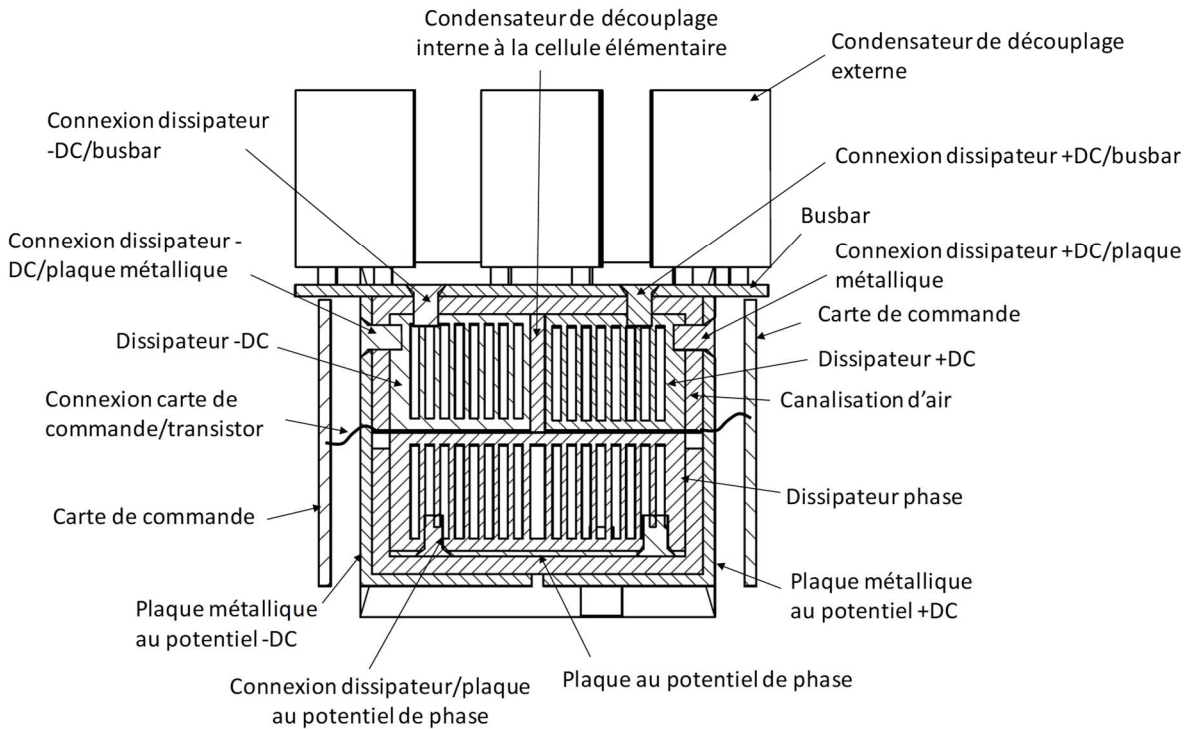


Figure IV. 5 : Vue en coupe au niveau d'une cellule de commutation ; architecture série hydraulique

2.1.1.2. Architecture en série/parallèle hydraulique

Le second mode de réalisation est proposé sur la Figure IV. 6 dans lequel le flux d'air provenant du ou des ventilateurs ne traverse que 2 cellules élémentaires au lieu de 4 comme dans le cas précédent. Les pertes de charges sont alors réduites et le refroidissement des cellules pourrait être amélioré moyennant une étude thermo-hydraulique. La connexion aux potentiels est cependant plus complexe. Des plaques reliées aux potentiels +DC et -DC passent entre les deux blocs de cellules élémentaires pour permettre une connexion avec le busbar. Les dissipateurs reliés à la phase se retrouvent alors espacés et il est nécessaire d'introduire un matériau conducteur (noté « Raccord phase » sur l'image de gauche de la Figure IV. 6) permettant de les relier entre eux. On retrouve également les plaques conductrices (en jaune sur l'image de droite de la Figure IV. 6) reliées aux potentiels fixes +DC et -DC pour assurer le rôle d'écran CEM.

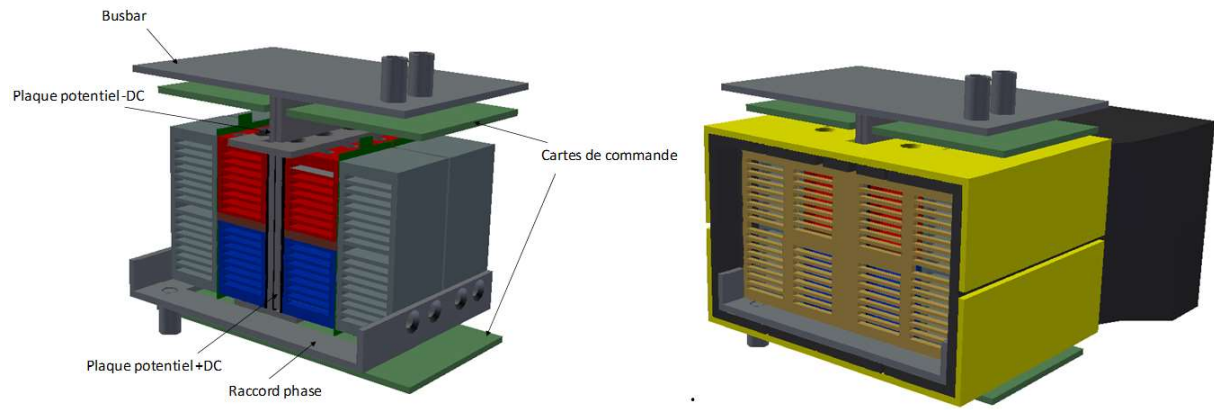


Figure IV. 6 : Architecture série/parallèle – vue interne (gauche) et vue globale (droite)

La vue en coupe de ce dispositif (Figure IV. 7) montre comment les plaques +DC et -DC au centre dispositif peuvent raccorder le busbar aux dissipateurs. L'intérêt de les introduire de la sorte (plaques parallèles sur toute leur longueur) permet de réduire au maximum l'inductance entre le busbar et les cellules de commutation. De nombreuses pièces du dispositif (éléments pour la canalisation d'air) ne sont pas représentés sur la coupe afin de simplifier sa lecture. Cette vue en coupe montre les connexions électriques entre les dissipateurs et les plaques à +DC et -DC. Ces connexions sont représentées par des vis mais elles pourraient être faites de manières diverses.

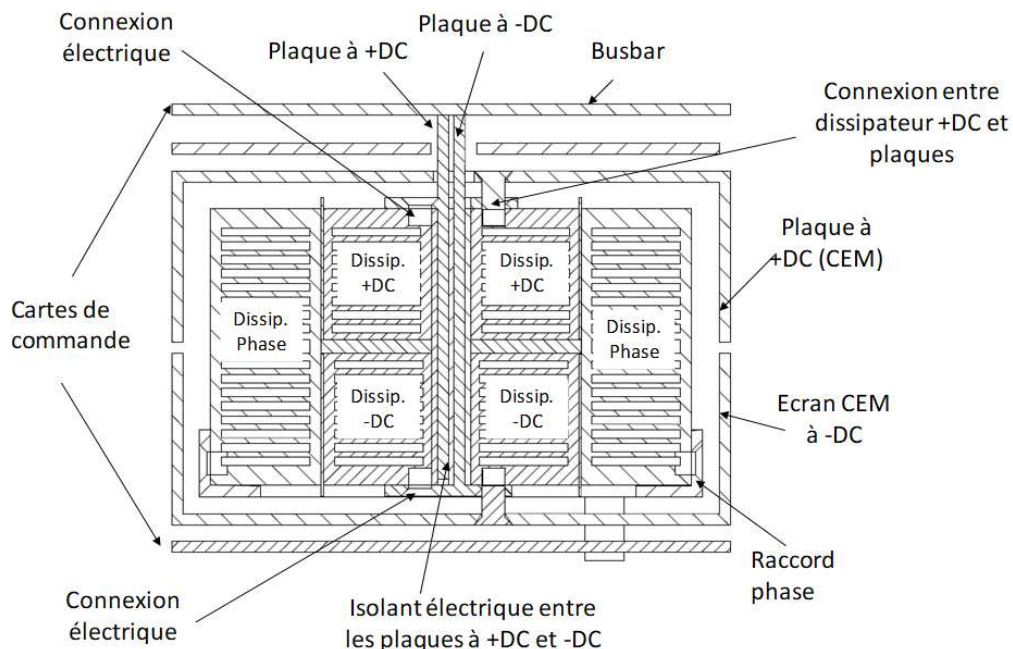


Figure IV. 7 : Vue en coupe de l'architecture série/parallèle

Dans ces différentes architectures présentées, le passage de cellules en parallèle à une structure Buck entrelacée se fait simplement en rajoutant un isolant entre les dissipateurs de phase ou en

supprimant le raccord de phase. C'est également le cas pour réaliser un onduleur monophasé. Dans les lignes suivantes, nous présenterons maintenant des architectures d'onduleurs monophasés et triphasés basés sur d'autres possibilités de mises en œuvre.

2.1.2. Onduleurs de tension 2 niveaux

2.1.2.1. Onduleur monophasé

Le schéma de l'onduleur que l'on désire réaliser est proposé sur la Figure IV. 8. Il s'agit d'un onduleur de tension monophasé dont chaque interrupteur comporte deux transistors en parallèle.

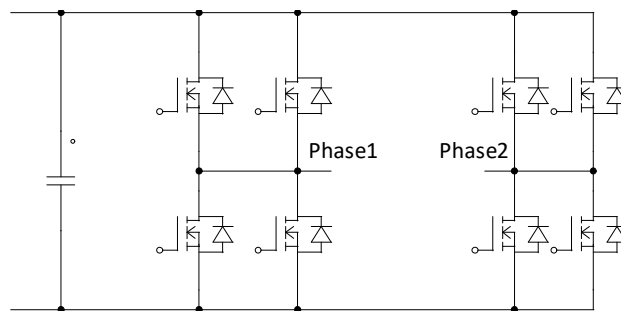


Figure IV. 8 : Onduleur de tension monophasé 2 niveaux avec deux transistors en parallèle pour chaque interrupteur

Un exemple d'architecture est donné sur la Figure IV. 9. Les dissipateurs de phase se font face contrairement au cas présenté sur la Figure IV. 6. Cela permet de contenir une partie des perturbations CEM à l'intérieur du convertisseur. Il est toutefois nécessaire d'isoler les dissipateurs qui ne sont pas au même potentiel en rajoutant par exemple un matériau isolant électrique entre eux comme cela est également représenté sur la Figure IV. 9. Le busbar est scindé en deux parties : un en haut et un en bas. Ces busbars doivent être raccordés entre eux par des pièces conductrices notées Raccord +DC et Raccord -DC. Comme dans le cas série/parallèle présenté précédemment, le flux d'air ne traverse que deux cellules élémentaires. Notons aussi que l'avantage de cette architecture est le rajout assez simple d'autres cellules élémentaires en parallèle devant ou derrière les cellules déjà présentes. Les cartes de commandes rapprochées ainsi que les écrans CEM viennent compléter l'architecture.

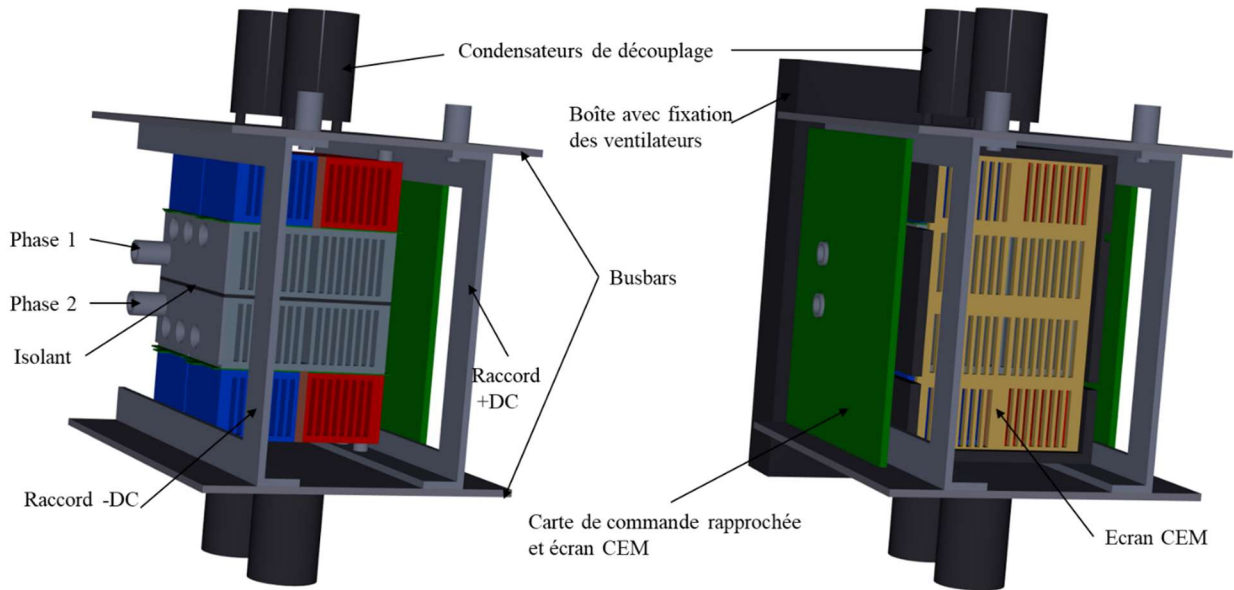


Figure IV. 9 : Onduleur monophasé - vue interne (gauche) et vue globale (droite)

2.1.2.2. Onduleur triphasé

Nous présentons ici un exemple de réalisation d'un onduleur triphasé 2 niveaux. Celui-ci comporte 8 transistors par interrupteur (Figure IV. 10). La Figure IV. 11 montre comment il peut être réalisé. On voit le système complet sur la Figure IV. 11.c. La Figure IV. 11.b présente l'architecture avec la carte de commande située perpendiculairement à l'écoulement d'air mais sans la canalisation d'air. Il faut noter que le busbar qui est perpendiculaire à l'écoulement d'air doit comporter 5 potentiels (+DC, -DC et les trois phases). Ce busbar peut être strié (Figure IV. 11.a) pour laisser passer l'air ou un peu distant des cellules pour permettre à l'air de s'évacuer. Le flux d'air passe par deux cellules comme dans les deux cas précédents. Deux niveaux de cartes de commande rapprochées sont nécessaires. Une première qui est située entre les cellules et sur les côtés extérieurs et qui contient au moins le circuit amplificateur (buffer, condensateurs et résistances de grille). La seconde carte peut contenir le reste du circuit de commande rapprochée (alimentations, optocoupleurs, ...) et aussi la commande éloignée. Cette carte peut être placée au-dessous ou au-dessus des cellules élémentaires si plusieurs cellules sont en série hydraulique ou encore dans le flux d'air comme montré sur la Figure IV. 11.b. Dans ce dernier cas, elle peut également (comme le busbar) être striée pour limiter les pertes de charges. Les cartes de commande ainsi que le busbar peuvent être également utilisés comme écran CEM si les PCBs sont conçus pour cela. Cette architecture complexifie le busbar ainsi que la carte de commande éloignée. De plus, elle nécessite une étude aéraulique importante pour limiter les pertes de charge. Cependant, elle pourrait permettre d'avoir un convertisseur compact et léger.

La Figure IV. 12 présente une coupe du même système où l'on voit les connexions entre les cartes de commande et les cellules élémentaires. On voit également les plaques qui relient le busbar aux dissipateurs.

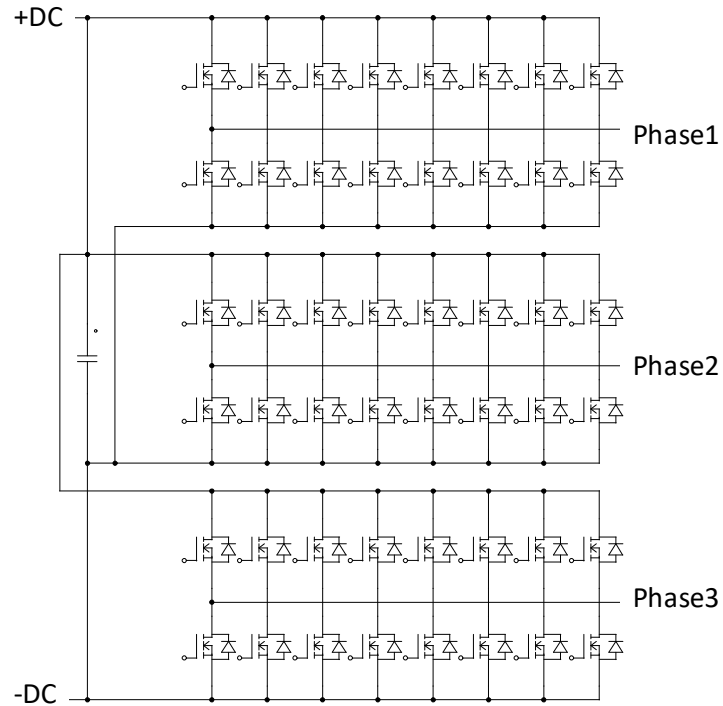


Figure IV. 10 : Schéma d'un onduleur triphasé 2 niveaux avec interrupteurs comprenant 8 transistors en parallèle

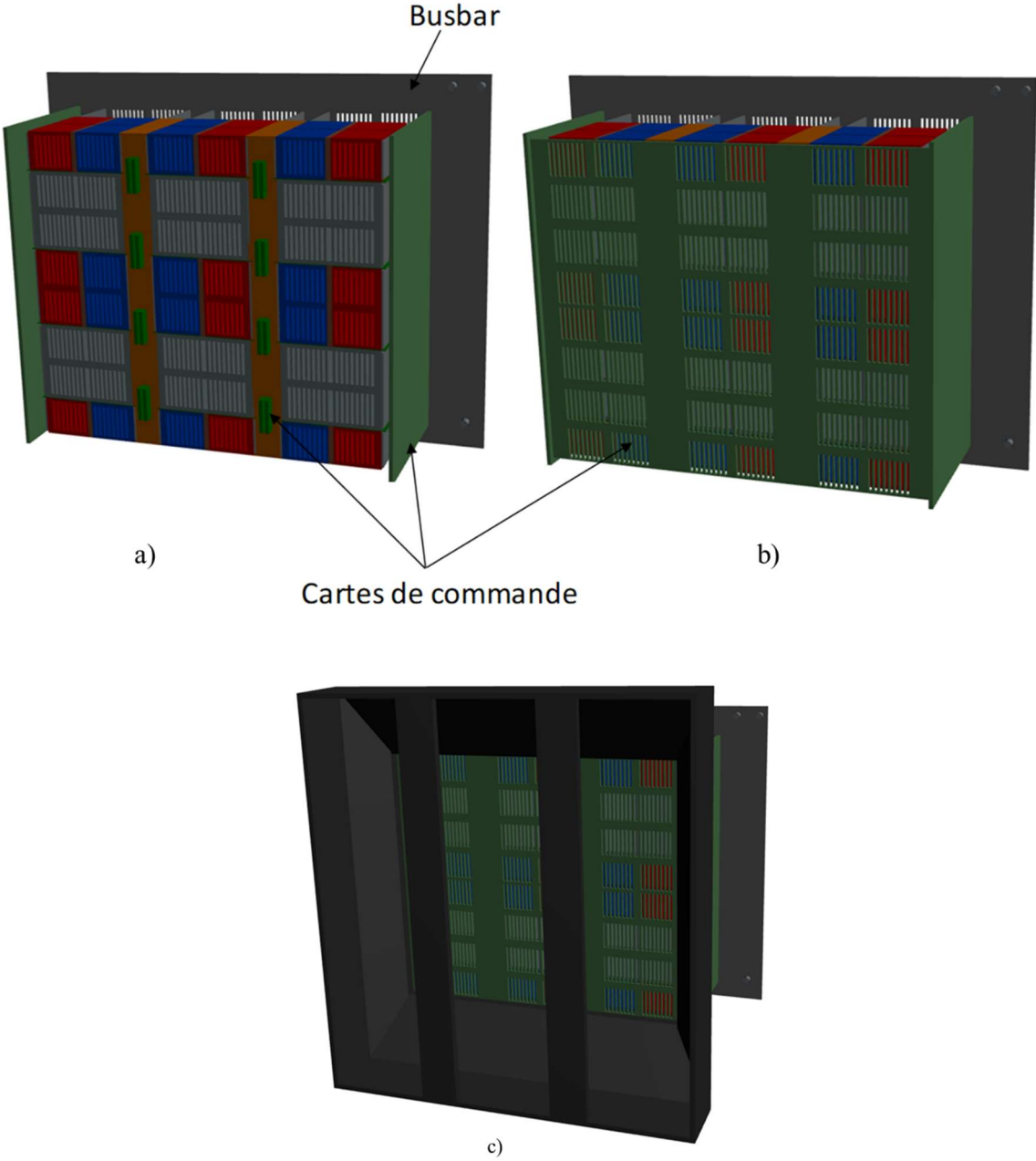


Figure IV. 11 : Exemple de mode de réalisation d'un onduleur triphasé

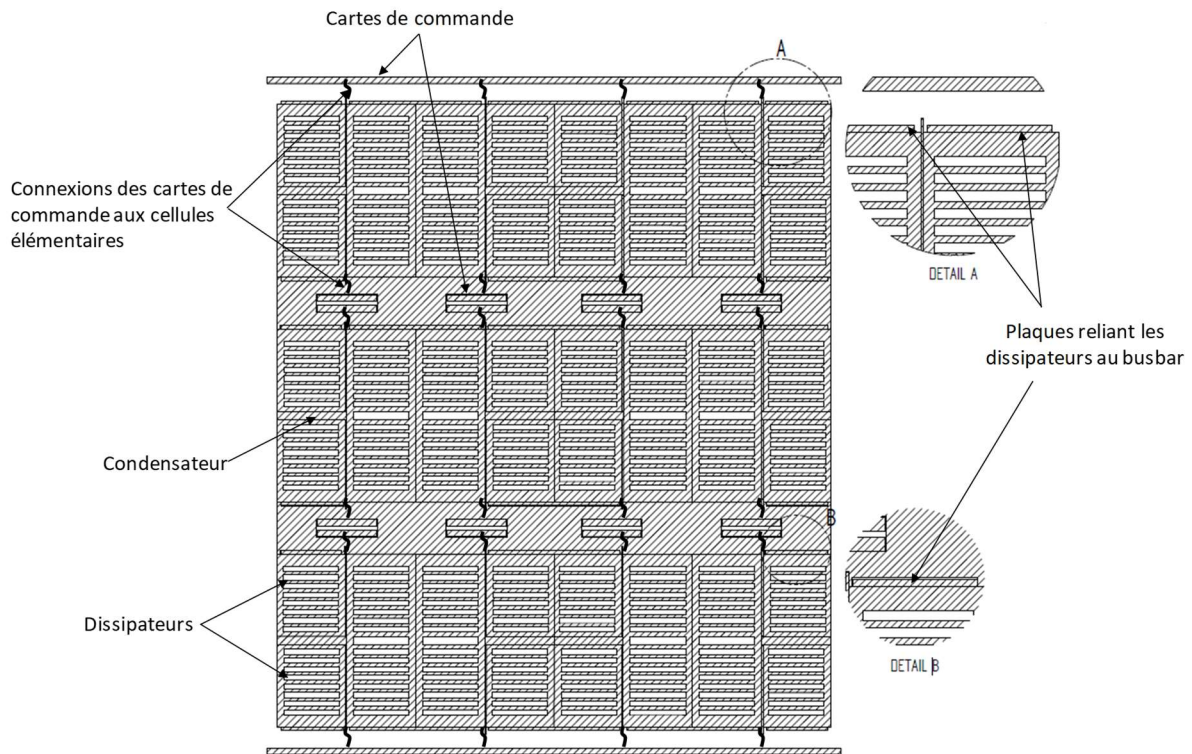


Figure IV. 12 : Vue en coupe du mode de réalisation de l'onduleur triphasé

Les architectures proposées sont surtout adaptées à une mise en parallèle des cellules de commutation. Cependant, certaines topologies et applications de convertisseurs nécessitent la mise en série des MOSFETs ce qui limite donc l'approche de réalisation de convertisseurs à partir de cellules de commutation modulaires. L'architecture est alors à repenser dans ce contexte. Afin d'illustrer des solutions adaptées à ce type d'application, nous proposons deux architectures de mise en série de MOSFETs dans l'annexe 5. A la suite de ce paragraphe, nous présenterons un démonstrateur réalisé en utilisant une des architectures présentées précédemment.

2.2. Démonstrateur : onduleur triphasé avec architecture série hydraulique

Le démonstrateur choisi est un onduleur triphasé 48V alimentant un alternodémarrreur entraîné par courroie (Belt-driven Starter-Generator : BSG) utilisé comme moteur dans les véhicules hybrides légers. Le BSG agit dans plusieurs systèmes d'aide à la conduite comme dans la fonction start and stop, l'assistance au couple, le freinage récupératif ou encore la direction assistée électrique. Il agit également dans les systèmes automobiles auxiliaires tels que les compresseurs de climatisation, etc... [172].

Nous présenterons dans un premier temps l'architecture mise en œuvre, puis par la suite les tests et des résultats fonctionnels.

2.2.1. Présentation

Inspiré de la mise en œuvre série hydraulique présentée sur les Figure IV. 2 et Figure IV. 4, l'onduleur triphasé est réalisé avec 3 cellules de commutation PM2E (cellules de commutation avec puces enfouies et basées sur la technologie P²-Pack - Figure II. 37) comme le montre la Figure IV. 13. La phase 1 de l'onduleur est celle qui est la plus proche du ventilateur (première à voir le flux d'air). Une isolation est maintenant requise entre les cellules de commutation. Un espacement de 1mm est assuré entre cellules à travers l'insertion de cales en plastique. Une mousse isolante insérée entre les cellules et le busbar permet d'améliorer l'étanchéité en comblant (au plus près) les espaces entre cellules. Les potentiels des phases sont récupérés du côté opposé au busbar, d'où le support blanc sur l'image de droite de la Figure IV. 13.

Le busbar est réalisé avec un PCB double-face ayant des couches de cuivre d'épaisseur 245 μ m chacune. Les connecteurs de puissance (74610998 - Wurth Elektronik) [173] sont utilisés pour les alimentations +DC et -DC et sont montés par press fit. Ce busbar contient 10 condensateurs électrolytiques de 620 μ F [174] dimensionnés pour permettre une ondulation de la tension d'entrée de moins de 3% pour une puissance de sortie d'environ 5 kW.

Deux cartes de commande rapprochée sont placées de chaque côté des cellules. Il s'agit de PCBs double face dont une face (celle proche de la boîte) est un plan de cuivre relié au potentiel +DC ou -DC (suivant le côté) pour confiner les perturbations CEM à l'intérieur du module. Cela permet également de limiter les perturbations sur le circuit de commande de grille qui se trouve sur le PCB de puissance (Figure II. 37). La seconde face du PCB comprend le routage de la commande rapprochée avec la majorité des composants montés en surface exceptés les alimentations et connecteurs.

Les écrans CEM en entrée et sortie de l'écoulement d'air sont réalisés avec des PCBs simple-face avec 35 μ m d'épaisseur de cuivre. Ces PCB sont usinés de sorte que les ouvertures soient alignées avec celles des dissipateurs de la cellule de commutation afin de réduire les pertes de charge. Les couches de cuivre des PCBs sont reliées aux potentiels +DC d'un côté et -DC de l'autre.

La boîte réalisée par impression 3D permet d'assurer la tenue mécanique de l'ensemble : cellules de commutation, busbar, cartes de commande rapprochée, écrans CEM et fixation du ventilateur. Elle joue également un rôle dans la canalisation du flux d'air et l'isolation électrique (protection des personnes). Le design 3D ainsi que l'intégration mécatronique ont été réalisés par Bachir Mezrag, ingénieur de recherche, et le pôle technique du G2Elab.

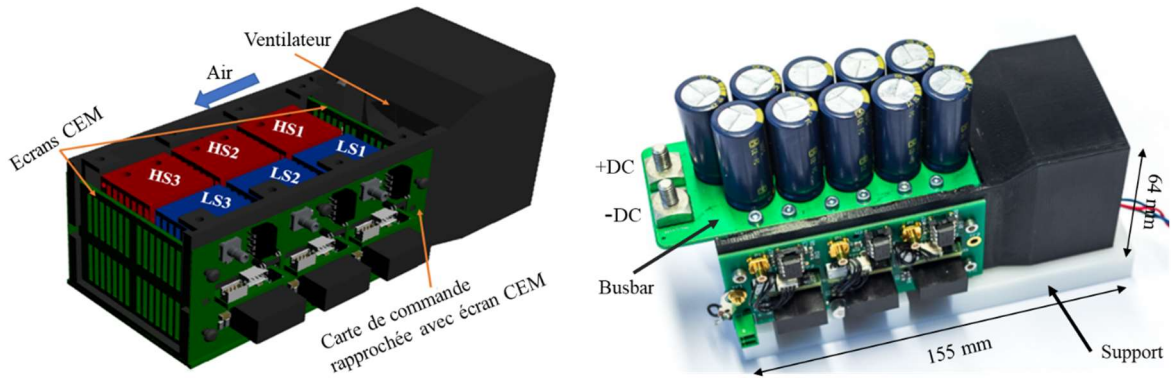


Figure IV. 13 : Onduleur triphasé (sans la charge) - vue 3D interne (gauche) ; vue globale (droite)

Ce démonstrateur a été conçu avec pour objectif d'avoir une bonne compacité. La partie condensateur de bus DC aurait pu être optimisée pour réduire le volume mais nous n'avons pas voulu passer du temps sur cette problématique pour une première version. Nous avons surtout travaillé sur l'intégration. La réduction des dimensions des composants et espaces au strict nécessaire n'a pas permis d'instrumenter le démonstrateur pour les tests. En effet, des thermocouples ne sont par exemple pas insérés pour permettre d'évaluer la température des composants, il en est de même pour le capteur de vitesse d'air ou encore la mesure de pression. Nous avons donc principalement effectué des tests fonctionnels qui seront présentés dans le prochain paragraphe.

2.2.2. Banc de test et résultats

Le démonstrateur est testé à l'aide du banc dont le schéma est présenté sur la Figure IV. 14. La fréquence de commutation est de 20 kHz. Pour les tests on considère une fréquence fixe de la modulante de 50Hz qui n'est pas celle de l'application. La tension d'entrée de l'onduleur triphasé est de 48V et l'on désire pouvoir fonctionner avec une puissance de l'ordre de 5 kW. Notons que cette puissance est imposée par la charge et surtout le calibre en courant des inductances dont nous disposons. Comme il sera démontré plus loin dans ce chapitre, les

cellules de commutations elles-mêmes pourraient permettre de fonctionner à des puissances bien plus importantes.

Ne disposant pas d'une alimentation pouvant fournir plus de 100A avec une tension d'au moins 48V, un convertisseur DC/DC a été inséré entre l'alimentation disponible et le dispositif à tester afin de fournir la tension et le courant désirés. Ce convertisseur DC/DC encerclé en rouge sur la Figure IV. 15 est un hacheur entrelacé de 3 bras dont les inductances sont couplées. En réalité, ces inductances sont les enroulements d'un moteur qui est visible sur la Figure IV. 15. Ce convertisseur DC/DC a été réalisé par Alexis Derbey, ingénieur d'étude permanent du pôle technique.

La charge de l'onduleur triphasé est composée de 3 inductances identiques de 40μH-100A chacune. La puissance de sortie que nous pouvons atteindre ainsi que la charge résistive sont calculées à travers les équations (IV.1), (IV.2) et (IV.3) en considérant d'un déphasage nul entre courant et tension et avec une charge couplée en étoile.

$$U = \frac{E}{2} * r * \frac{\sqrt{3}}{\sqrt{2}} \quad (\text{IV.1})$$

$$P = \sqrt{3} * U * I \quad (\text{IV.2})$$

$$R = \frac{U}{\sqrt{3} * I} \quad (\text{IV.3})$$

avec U la tension efficace entre phases, E la tension d'entrée DC (48V), r le rapport de modulation (0,9), R la résistance d'une branche, I le courant efficace sur une branche et P la puissance de sortie de l'onduleur.

La tension U est alors d'environ 26,5V et la puissance de sortie de 4590 W. La résistance d'une branche est de 0,15 Ω.

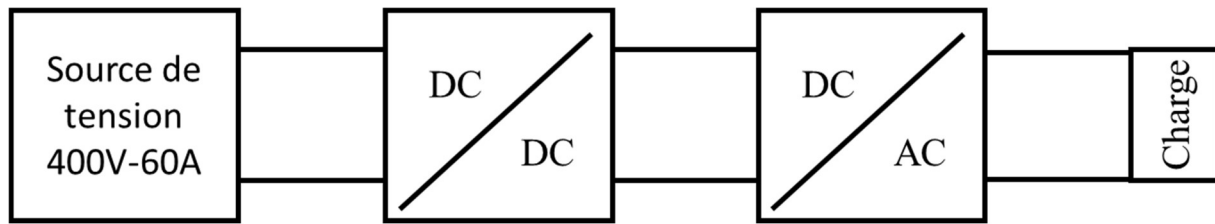


Figure IV. 14 : Schéma du banc de test

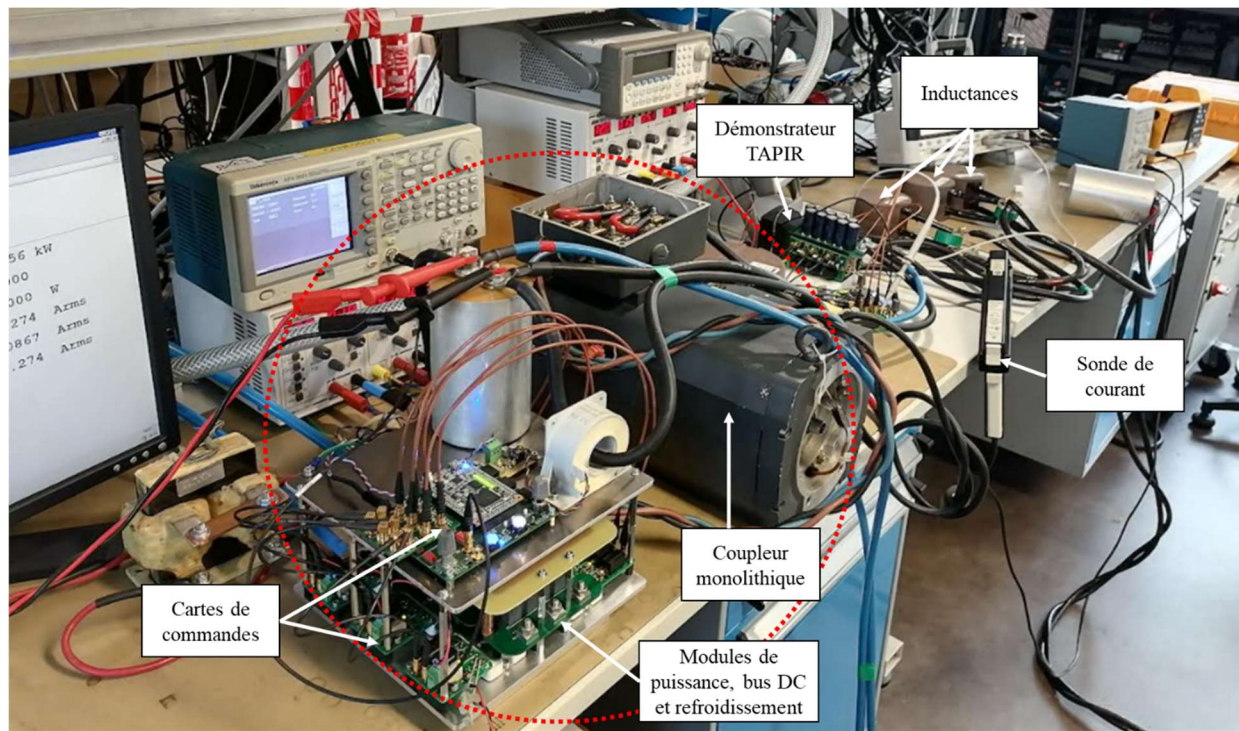


Figure IV. 15 : Banc de test du démonstrateur TAPIR

Nous avons mis en route le banc de test proposé sur la Figure IV. 15 et laissé tourner en continu pendant plus de 3h pour atteindre un état thermique stationnaire et s'assurer que le convertisseur ne cassait pas. Le système a été testé sans problème plusieurs fois pour des durées identiques.

Le courant dans chaque phase est mesuré à l'aide d'une sonde de courant, et les formes d'ondes de ces courants sont présentées sur la Figure IV. 16. On retrouve bien une allure sinusoïdale à 50 Hz avec un déphasage de 120° entre phases. On note également que la valeur maximale est d'environ 150A, soit une valeur efficace de 106 A ce qui est supérieur à la limite de courant annoncée par le constructeur des inductances. À cette valeur de courant, nous n'avons pas encore de saturation du circuit magnétique ni d'élévation excessive de la température des inductances (vérification faite à l'aide d'une caméra thermique). Nous ne sommes cependant pas allés plus haut en puissance. La puissance maximale de sortie atteinte a été de 4865 W. On peut remarquer un léger déséquilibre entre les courants présentés sur la Figure IV. 16 qui est dû

au déséquilibre de la charge. Cette charge triphasée était réalisée avec plusieurs résistances monophasées.

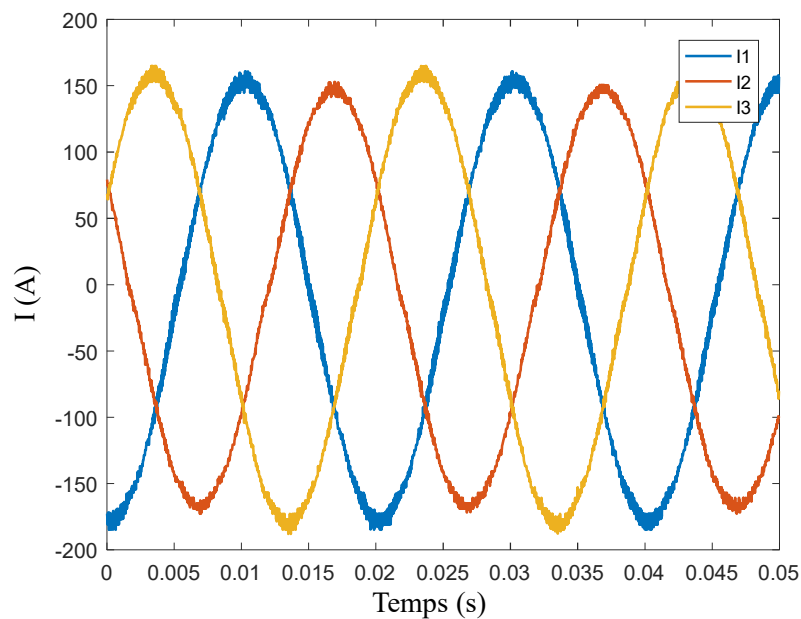


Figure IV. 16 : Courants des trois phases de l'onduleur réalisé

Après avoir présenté des exemples d'architectures et réalisé un démonstrateur basé sur un de ces exemples, nous allons maintenant proposer une étude sur les interactions électromagnétiques et thermiques entre cellules de commutation pouvant exister dans un convertisseur. La prochaine section est dédiée aux interactions électromagnétiques pouvant exister entre les cellules de commutation lorsque celles-ci sont proches les unes des autres.

3. Interactions électromagnétiques entre cellules de commutation

Dans cette section, nous allons proposer une méthode permettant de quantifier (par simulations) l'inductance parasite d'une cellule de commutation lorsque dans un premier temps une autre cellule est à proximité et ensuite lorsqu'elle est à proximité ou placée entre deux autres cellules. Par la même occasion, la ou les mutuelles inductances entre cellules seront estimées. L'impact de ces mutuelles sera ensuite évalué lorsque deux et ensuite trois cellules sont électriquement en parallèle dans une configuration série hydraulique. Nous pourrons ainsi comparer l'agencement en version V1 (potentiels successifs) présenté sur la Figure IV. 2 à la version V2 (potentiels alternés) visible sur la Figure IV. 3.

3.1. Effet de la proximité de cellules de commutation voisines sur l'inductance

3.1.1. Effet de la proximité d'une cellule de commutation

L'inductance d'une cellule de commutation est estimée lorsqu'une cellule est à proximité et en fonction de la distance les séparant. Le principe de la modélisation faite sur MIPSE est présenté sur la Figure IV. 17. Le courant est injecté dans une cellule et la tension est mesurée sur les deux afin d'obtenir l'inductance propre d'une cellule et la mutuelle entre une cellule et sa voisine. L'espacement entre cellules noté E_{sp} varie entre 0,5mm et 3mm. La simulation est effectuée à 100 MHz et ce sera le cas pour toutes les prochaines simulations que nous présenterons.

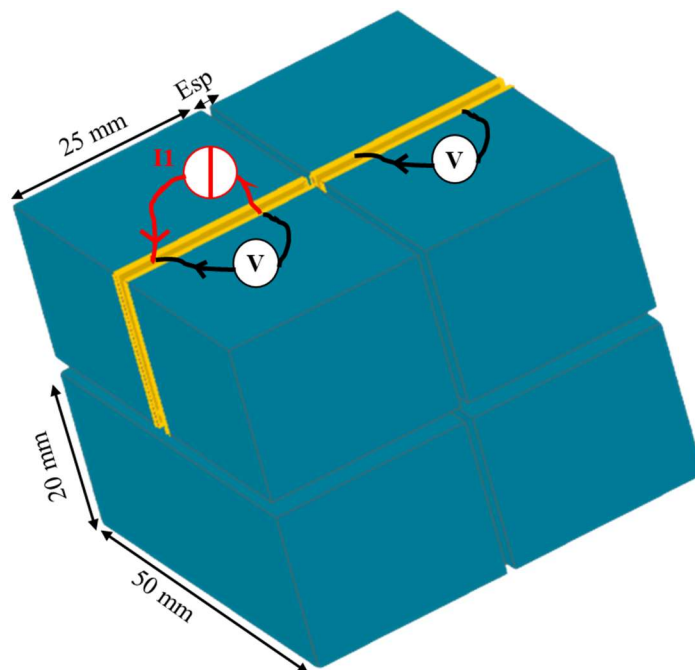


Figure IV. 17 : Modélisation MIPSE de l'interaction entre deux cellules

La courbe en bleu sur la Figure IV. 18 montre l'évolution de l'inductance dans la première cellule notée L_{S1} en fonction de la distance la séparant de la seconde. Cette inductance est plus faible que l'inductance d'une cellule de commutation isolée (L_S) représentée en vert, surtout lorsque les cellules sont proches ($E_{sp}=0,5\text{mm}$). Cela est dû aux courants induits générés dans la cellule à proximité qui diminuent le flux total produit par la cellule dans lequel le courant circule. Avec cette géométrie, l'inductance dans la cellule est réduite d'environ 14% (par rapport à une cellule isolée) lorsque la seconde cellule est à 0,5mm. La mutuelle inductance entre les deux cellules notée $M_{1,2}$ est représentée en orange sur la Figure IV. 18. Elle décroît

lorsque l'espacement entre cellules augmente et l'inductance L_{S1} tend à se rapprocher de celle d'une cellule isolée.

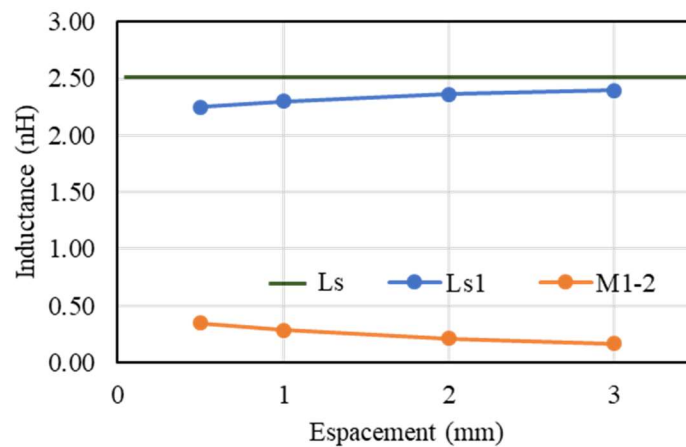


Figure IV. 18 : Inductances de la première cellule et mutuelle avec l'autre

Regardons maintenant l'influence sur l'inductance lorsque la cellule alimentée est à proximité ou entre deux cellules de commutation.

3.1.2. Effet de la proximité de deux cellules de commutation

L'étude est réalisée avec trois cellules de commutation en série hydraulique. Dans un premier temps, seule la première cellule est alimentée et on mesure les tensions dans toutes les trois. La valeur de l'inductance de cette cellule, représentée en bleu sur la Figure IV. 19, évolue de manière quasiment identique que dans le cas avec une seule cellule à proximité (Figure IV. 18). Il en est de même pour l'inductance mutuelle avec la seconde cellule. La mutuelle avec la troisième cellule est très faible. Lorsque cette cellule est à 0,5mm de la seconde, une mutuelle de moins de 3% de l'inductance d'une cellule isolée est mesurée. Cependant, dépendant de la valeur du courant commuté et de sa vitesse de variation, les tensions induites peuvent être non négligeables.

Lorsque seule la cellule du milieu est alimentée, son inductance, visible en orange sur la Figure IV. 20, peut être 20% plus faible que celle d'une cellule isolée lorsque la distance entre cellules vaut 0,5mm ce qui s'explique aisément par la présence de courants induits dans les deux cellules adjacentes. Sur la Figure IV. 20, les courbes d'évolution des mutuelles (M_{2-1} et M_{2-3}) avec ces cellules sont superposées. Pour un espacement de 0,5mm entre cellules, elles valent chacune 12% de l'inductance d'une cellule isolée.

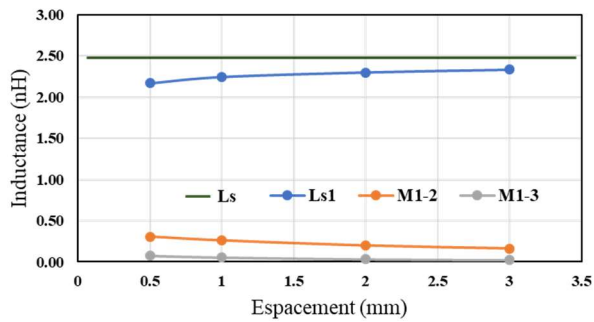


Figure IV. 19 : Inductances - alimentation unique de la première cellule

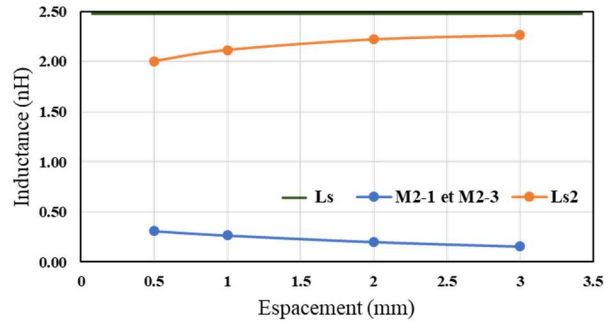


Figure IV. 20 : Inductances - alimentation unique de la cellule du milieu

Dans ces deux derniers paragraphes, nous avons pu observer que les interactions électromagnétiques sont importantes lorsque les cellules de commutations sont rapprochées. Les mutuelles peuvent représenter 12 à 14% de la valeur d'une inductance de cellule de commutation isolée. Lorsque les cellules sont mises en parallèles ces mutuelles viendront s'additionner ou se soustraire à l'inductance d'une cellule suivant l'agencement des potentiels. C'est ce que nous présenterons dans la prochaine section.

3.2. Mise en parallèle de cellules de commutation

Pour l'étude des inductances des cellules de commutation lorsque celles-ci sont en parallèle, nous faisons l'hypothèse d'une répartition identique du courant dans ces cellules. Nous quantifierons les inductances de deux puis de trois cellules en parallèles.

3.2.1. Mise en parallèle de deux cellules de commutation

Cette étude concerne l'évaluation de l'inductance parasite de deux cellules en parallèle dans deux configurations. La géométrie modélisée est identique à celle présentée sur la Figure IV. 17. Dans la première configuration, les potentiels DC sont alignés (Figure IV. 2) et dans la seconde ils sont alternés (Figure IV. 3). Le courant est injecté dans les deux cellules (dans le même sens pour le premier cas, puis en sens opposés dans le second) et l'inductance de chaque cellule est déterminée en fonction de la distance entre elles.

On note alors à travers la Figure IV. 21 (mise en parallèle avec potentiels successifs) que l'inductance dans la première cellule (L_{s1}) qui est identique à la seconde cellule (L_{s2}) est légèrement (4 % pour un espacement $Esp=0,5mm$) supérieure à celle d'une cellule unique rappelée en vert. Cette légère augmentation est due à la mutuelle inductance positive qui

s'ajoute du fait de la proximité des cellules. On retrouve bien la valeur de l'inductance dans les cellules en parallèle en additionnant l'inductance d'une cellule de commutation à proximité d'une autre avec la mutuelle mesurée sur la seconde (Figure IV. 18). Ainsi, lorsque les potentiels +DC et -DC sont alternés d'une cellule à l'autre, la mutuelle devient négative et l'inductance de chaque cellule s'obtient en soustrayant la mutuelle. C'est ce que l'on constate effectivement sur la Figure IV. 22. Par exemple, pour un espacement de 0,5mm l'inductance dans une cellule en parallèle est réduite de 24% comparée à l'inductance d'une cellule isolée.

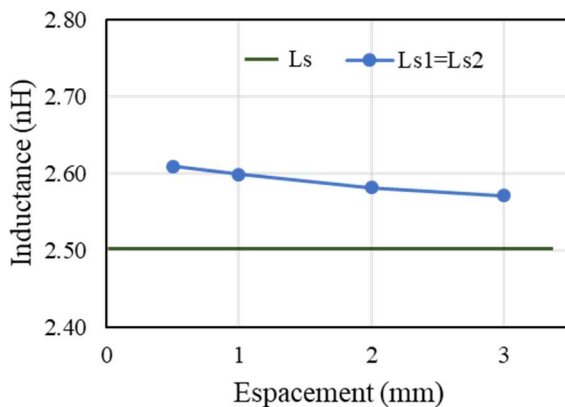


Figure IV. 21 : Inductances de deux cellules de commutation en parallèle – potentiels successifs

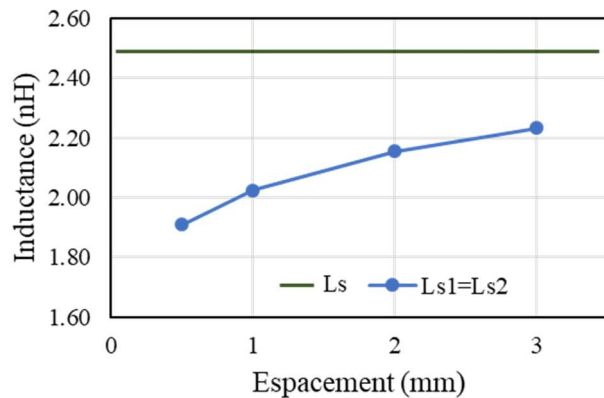


Figure IV. 22 : Inductances de deux cellules de commutation en parallèle – potentiels alternés

3.2.2. Mise en parallèle de trois cellules de commutation

La modélisation est faite maintenant avec trois cellules de commutation en parallèle électriquement et en série hydraulique. Les potentiels +DC et -DC sont dans un premier temps représentés les uns à la suite des autres (Figure IV. 2) puis ensuite de manière alternée (Figure IV. 3). La modélisation de la simulation pour les potentiels alternés est visible sur la Figure IV. 23. Par soucis de clarté, les voltmètres ne sont pas représentés. La source de courant de la cellule du milieu est inversée par rapport aux deux autres en extrémité.

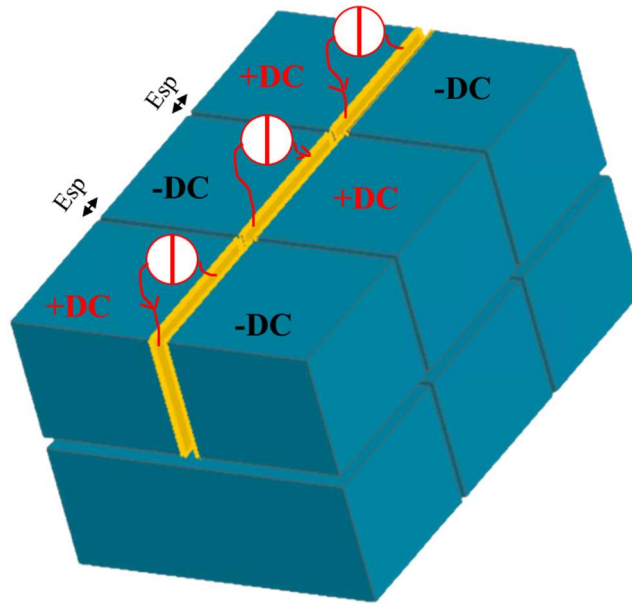


Figure IV. 23 : Modélisation MIPSE de trois cellules en parallèle - potentiels alternés

La Figure IV. 24 montre les inductances des cellules de commutation lorsque celles-ci sont en parallèle et avec les potentiels alignés. On remarque que les inductances des cellules aux extrémités (L_{s1} et L_{s3}) sont identiques par effet de symétrie et les points de leurs évolutions sont superposés. Cette inductance est moins de 3% plus élevée qu'avec une cellule isolée pour un espacement entre cellules de 0,5mm et 1mm. L'inductance de la cellule du milieu est légèrement plus grande que celles des cellules des extrémités. Elle est plus de 5% plus élevée que pour une cellule unique avec un espacement de 0,5mm et diminue avec l'augmentation de ce dernier.

Lorsque les potentiels sont alternés, les répercussions sur les inductances sont importantes. On constate sur la Figure IV. 25 que l'inductance des cellules aux extrémités est réduite de plus de 20% par rapport à une cellule unique lorsque la distance entre cellules est de 0,5mm. Sur la cellule du milieu, avec l'espacement de 0,5 mm on observe une réduction de 44% de l'inductance comparée à une cellule isolée et une valeur 28% inférieure à celles des inductances des deux cellules aux extrémités.

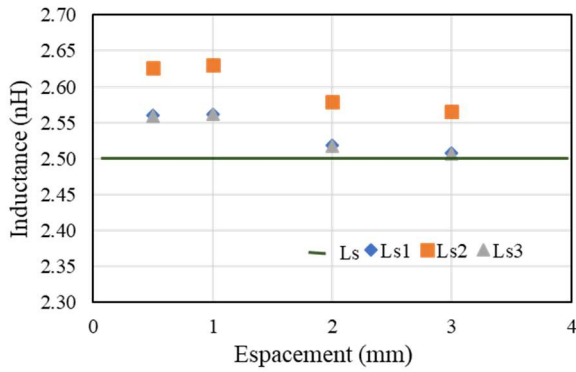


Figure IV. 24 : Inductances dans les 3 cellules - potentiels successifs

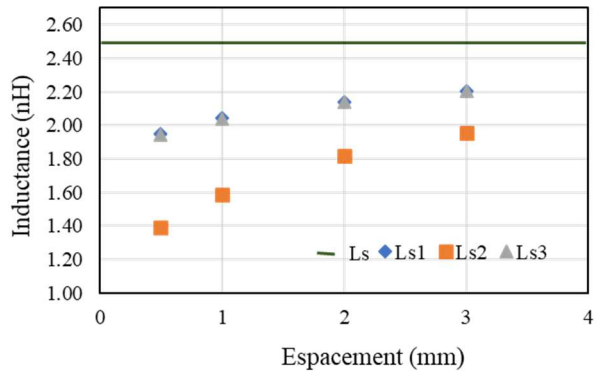


Figure IV. 25 : Inductances dans les 3 cellules - potentiels alternés

La méthode de modélisation proposée permet de quantifier les interactions électromagnétiques entre cellules et d'obtenir ainsi des tendances d'évolution des inductances et des mutuelles entre cellules à proximité. Comme on pouvait s'y attendre, les interactions mutuelles diminuent avec la distance. Nous avons également pu observer qu'alterner les potentiels permettait de réduire de manière significative l'inductance de chaque cellule de commutation surtout lorsqu'une cellule est entourée de deux autres. Notons tout de même que la différence d'inductance entre cellules de commutation en parallèle pourrait induire une mauvaise répartition du courant et/ou complexifier la commande rapprochée.

Nous allons dans la section suivante estimer la densité volumique de puissance que l'on pourrait atteindre avec l'architecture de refroidissement TAPIR en étudiant au passage les interactions thermiques entre cellules de commutation.

4. Estimation des densités volumique et massique de puissance

Dans le but de donner un ordre de grandeur des densités volumique et massique de puissance pouvant être obtenues avec la technologie TAPIR, nous prenons l'exemple du démonstrateur réalisé et présenté dans le paragraphe 2.2.1 de ce chapitre et visible sur la Figure IV. 13. Nous allons donc mesurer les résistances thermiques sur chaque cellule ainsi que les couplages thermiques existant entre cellules puis nous établirons un modèle thermique pour ensuite réaliser des simulations permettant de déterminer les pertes dans les transistors ainsi que leurs températures de jonction. Ainsi, connaissant le volume du démonstrateur, nous pourrons déduire la densité volumique en imposant certaines conditions de refroidissement. Les densités de puissance qui seront données ne seront sans doute pas les meilleures que l'on puisse atteindre

vu que les dissipateurs ne sont pas dimensionnés ni optimisés pour cette application précise. Cela permettra néanmoins d'obtenir un ordre de grandeur.

4.1. Interactions/couplages thermiques

Les mesures de résistances thermiques sont effectuées avec le banc de caractérisation présenté sur la Figure II. 45, qui, pour rappel, permet la mesure des résistances thermiques (à travers les paramètres thermosensibles des MOSFETs) en fonction de la vitesse d'air avec également une mesure des pertes de charges dans le dispositif à tester. Ce banc inclut cette fois 3 cellules de commutation en série hydraulique avec un espacement entre cellules de 1mm comme dans le cas du démonstrateur visible sur la Figure IV. 13. Les composants HS1 et LS1 sont respectivement les MOSFETs « high side » et « Low Side » de la cellule de commutation la plus proche de l'entrée d'air, HS3 et LS3 sont les deux MOSFETs de la cellule la plus proche de la sortie, et HS2 et LS2 sont les deux MOSFETs de la cellule du milieu.

La Figure IV. 26 présente le schéma électrique expliquant la procédure de mesure des résistances thermiques propres et de couplage en prenant l'exemple du MOSFET HS1. Un fort courant DC I_p (50 à 95A) est injecté dans HS1, et un faible courant I_m (10 mA) injecté dans chacun des autres MOSFETs permet la mesure de l'élévation de la température de ceux-ci due à l'injection de courant dans HS1. La résistance thermique jonction-air du MOSFET HS1 est calculée à travers l'équation (IV.4), et l'équation (IV.5) permet de déterminer le couplage thermique entre le MOSFET HS1 et tous les autres.

$$Rth_{HS1,HS1} = \frac{T_{j_{HS1}} - T_a}{P_{HS1}} \quad (IV.4)$$

$$Rth_{HS,y} = \frac{T_{j_y} - T_a}{P_{HS1}} \quad (IV.5)$$

avec $T_{j_{HS1}}$ la température de jonction du MOSFET HS1 lorsque l'état stationnaire est atteint, T_{j_y} la température de jonction du MOSFET y dans les mêmes conditions, T_a la température de l'air en entrée du dispositif à tester et P_{HS1} la puissance dissipée dans HS1.

En injectant le fort courant I_p successivement dans les autres MOSFETs, il est ensuite possible de déterminer la matrice de résistances thermiques jonction-air intégrant les couplages entre tous les composants. Chaque élément de cette matrice est obtenu par l'équation (IV.6).

$$R_{th_{x,y}} = \frac{T_{j_y} - T_a}{P_x} \quad (IV.6)$$

avec T_{j_y} la température de jonction du MOSFET y quand l'état stationnaire est atteint, et P_x la puissance dissipée dans le MOSFET x . x représente le numéro de ligne et y celui de la colonne de la matrice.

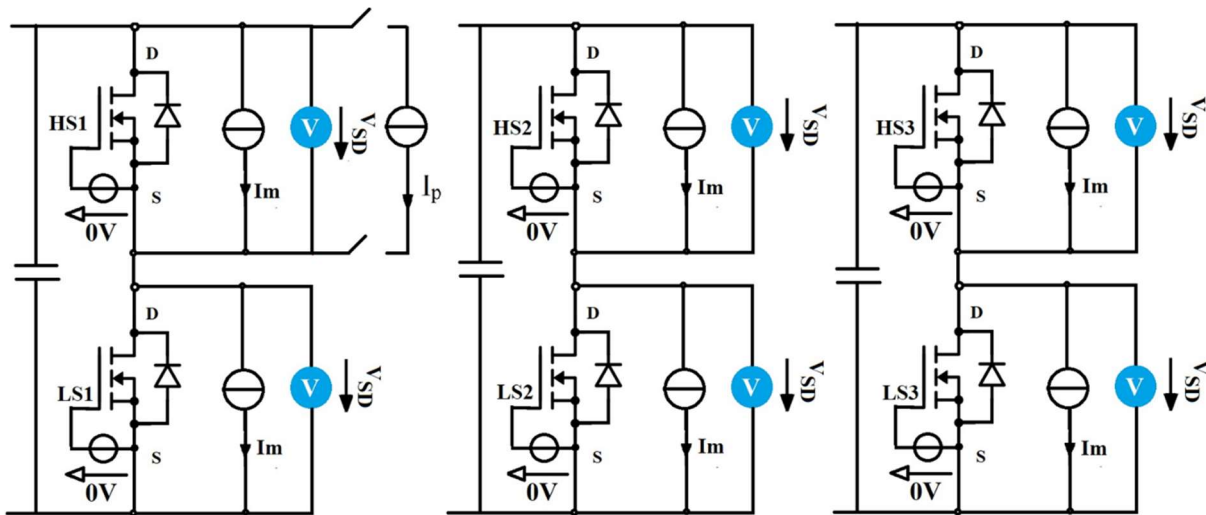


Figure IV. 26 : Schéma électrique de la caractérisation thermique des cellules du démonstrateur (cas de la mesure avec dissipation de puissance dans HS1)

Les matrices des résistances thermiques ont été construites pour 3 vitesses d'air et sont visibles sur le Tableau IV. 1. Vu que la puce est enfouie dans le PCB et la connectique réalisée sur les dissipateurs (réduction de la précision dans l'évaluation de la puissance transisant dans le MOSFET), nous ne considérons qu'un chiffre significatif après la virgule.

Les résistances thermiques contenues dans les diagonales de ces matrices diminuent avec la vitesse d'air. Lorsque la vitesse est faible (Tableau IV. 1.a), on note une différence de résistance thermique entre les MOSFETs « high side (HS) » et « low side (LS) » due à la géométrie interne de la cellule (le drain de LS est relié au dissipateur de phase). On note à grande vitesse (10 m/s) une résistance thermique dans les 3 cellules de commutation égales à celle qu'on avait trouvée avec une cellule isolée (Figure II. 47). Cependant, les résistances thermiques des deux

MOSFETs de la cellule en entrée du flux d'air est plus grande que les autres. Cela est probablement dû à une différence intrinsèque (qualité de la brasure par exemple) de cette dernière. En effet, en changeant la position de cette dernière, la même valeur de résistance thermique a été mesurée.

On peut constater que la partie inférieure de toutes les matrices est remplie de 0 parce que la chaleur est transportée suivant le sens de l'écoulement d'air : les cellules en aval ne créent pas d'échauffement de celles en amont. Le couplage thermique est plus important entre MOSFETs de la même cellule de commutation qu'entre cellules de commutation adjacentes (surtout pour les vitesses élevées Tableau IV. 1.c). Il reste relativement faible (0,2 K/W en moyenne) lorsque la vitesse est supérieure à 5m/s.

Les pertes de charge quant à elles évoluent considérablement en fonction de la vitesse d'air. La puissance hydraulique/électrique du ventilateur augmente alors qu'au-delà d'une certaine vitesse la résistance thermique diminue très peu. A titre d'exemple, les résistances thermiques des cellules diminuent de moins de 30% entre une vitesse de 5m/s (Tableau IV. 1.b) et 10m/s (Tableau IV. 1.c) pendant que les pertes de charges sont pratiquement doublées. Une étude thermo-hydraulique à travers des simulations aérauliques permettrait de choisir judicieusement la vitesse d'air.

| Rthja (K/W) | HS 1 | LS 1 | HS 2 | LS 2 | HS 3 | LS 3 |
|-------------|------------|------------|------------|------------|------------|------------|
| HS 1 | 1.4 | 0.4 | 0.4 | 0.3 | 0.3 | 0.3 |
| LS 1 | 0.4 | 1.3 | 0.3 | 0.4 | 0.3 | 0.3 |
| HS 2 | 0.0 | 0.0 | 1.4 | 0.5 | 0.4 | 0.3 |
| LS 2 | 0.0 | 0.0 | 0.4 | 1.3 | 0.3 | 0.4 |
| HS 3 | 0.0 | 0.0 | 0.0 | 0.0 | 1.4 | 0.5 |
| LS 3 | 0.0 | 0.0 | 0.0 | 0.0 | 0.5 | 1.3 |

a) $V=1\text{m/s}$, $\Delta p=15\text{ Pa}$

| Rthja (K/W) | HS 1 | LS 1 | HS 2 | LS 2 | HS 3 | LS 3 |
|-------------|------------|------------|------------|------------|------------|------------|
| HS 1 | 1.1 | 0.3 | 0.2 | 0.2 | 0.2 | 0.2 |
| LS 1 | 0.3 | 1.1 | 0.2 | 0.2 | 0.2 | 0.2 |
| HS 2 | 0.0 | 0.0 | 1.1 | 0.3 | 0.2 | 0.2 |
| LS 2 | 0.0 | 0.0 | 0.3 | 1.1 | 0.2 | 0.2 |
| HS 3 | 0.0 | 0.0 | 0.0 | 0.0 | 1.1 | 0.3 |
| LS 3 | 0.0 | 0.0 | 0.0 | 0.0 | 0.3 | 1.1 |

b) $V=5\text{m/s}$, $\Delta p=145\text{ Pa}$

| Rthja (K/W) | HS 1 | LS 1 | HS 2 | LS 2 | HS 3 | LS 3 |
|-------------|------------|------------|------------|------------|------------|------------|
| HS 1 | 0.9 | 0.2 | 0.1 | 0.05 | 0.1 | 0.05 |
| LS 1 | 0.1 | 0.9 | 0.05 | 0.1 | 0.05 | 0.1 |
| HS 2 | 0.0 | 0.0 | 0.8 | 0.2 | 0.1 | 0.05 |
| LS 2 | 0.0 | 0.0 | 0.1 | 0.8 | 0.05 | 0.1 |
| HS 3 | 0.0 | 0.0 | 0.0 | 0.0 | 0.8 | 0.1 |
| LS 3 | 0.0 | 0.0 | 0.0 | 0.0 | 0.1 | 0.8 |

c) $V=10\text{m/s}$, $\Delta p=270\text{ Pa}$

Tableau IV. 1 : Matrices de résistances thermiques pour différentes vitesses d'air V

Après avoir déterminé ces matrices de résistances thermiques, nous allons maintenant établir un modèle thermique nous permettant d'évaluer les pertes dans les MOSFETs ainsi que leurs températures de jonction afin d'évaluer la densité volumique atteignable avec le démonstrateur, cela en considérant la puissance hydraulique du ventilateur intégré à ce dernier.

4.2. Modèle thermique et simulations

La matrice de résistances thermiques obtenue à partir de l'équation (IV.6) nous permet de retrouver les températures de jonction des MOSFETs à travers l'équation (IV.7).

$$T_{jy} = R_{thy}P_y + \sum_x R_{th_{x,y}}P_x + T_a \quad (IV.7)$$

avec T_{jy} la température de jonction du MOSFET y , P_y la puissance dissipée dans le MOSFET y , $\sum R_{th_{x,y}}P_x$ la somme des interactions/couplages thermiques sur le MOSFET y pour x différent de y , et T_a la température d'entrée du flux d'air.

L'évaluation des températures de jonction est faite grâce au logiciel PSIM qui permet de calculer les pertes partant des données présentes dans la documentation du constructeur des composants : caractéristiques statiques (courant, tension, R_{DSon} , $V_{GS(th)}$, etc..), caractéristiques dynamiques (capacités parasites, temps de montées et de descente), caractéristiques de charge de grille... Les pertes dans les composants sont calculées par le logiciel à partir du courant instantané qui les traverse, et les températures de jonction sont déterminées en représentant schématiquement l'équation (IV.7). Le principe du schéma simulé sur PSIM est présenté sur la Figure IV. 27. On remarque une partie électrique représentée en noir qui correspond à une simulation classique d'onduleur triphasé de type circuit. La partie thermique est représentée en rouge. On y retrouve la résistance thermique jonction-air de chaque MOSFET, une source de tension commandée correspondant au terme $\sum R_{th_{x,y}} * P_x$ de l'équation (IV.7) et une source de tension représentant la température ambiante. Le schéma de la simulation réalisée, le détail du modèle du MOSFET ainsi que le paramétrage de la simulation et quelques courbes sont présentés sur l'annexe 7.

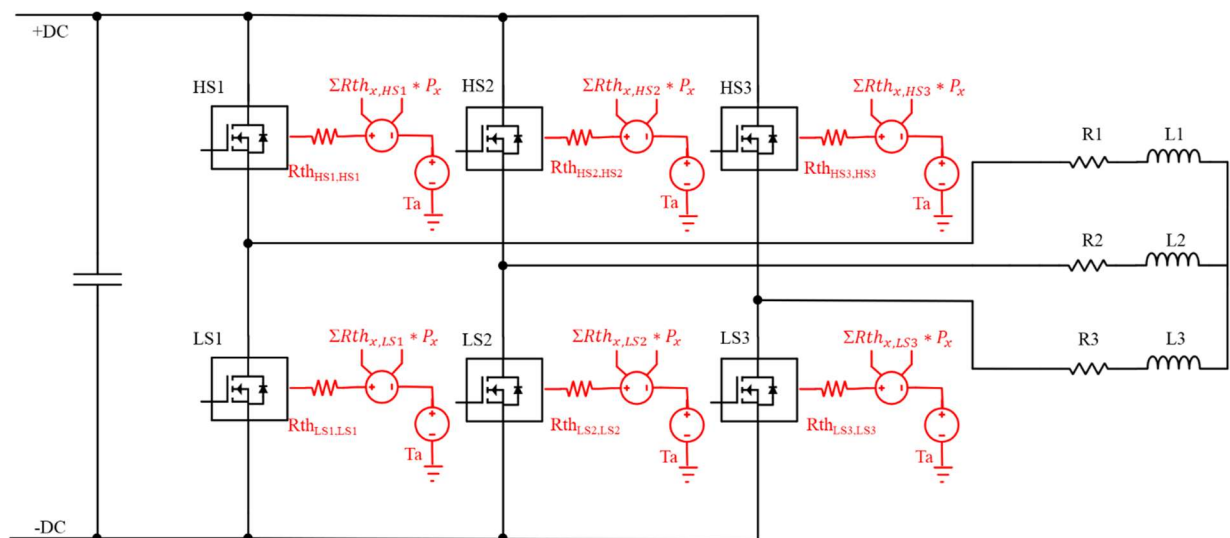


Figure IV. 27 : Schéma du modèle thermique du démonstrateur

Pour déterminer la ou les matrices à considérer pour cette simulation, nous avons croisé la courbe des pertes de charge mesurées à la caractéristique du ventilateur donnée par la documentation du fournisseur [175]. La matrice Tableau IV. 1.b est la plus proche de l'intersection des deux courbes. Les éléments de cette matrice seront alors utilisés dans la simulation.

4.3. Analyse des résultats de simulation

La puissance que l'on peut atteindre dépend fortement des conditions de refroidissement (vitesse d'air, et résistance thermique), du milieu (température ambiante) et aussi de la température de jonction que l'on autorise. Dans notre cas, nous considérons une température de jonction maximale de 155°C soit une marge de 20°C par rapport à la température maximale (175°C) annoncée par la documentation du constructeur. Trois températures ambiantes sont considérées : 25°C pour un fonctionnement dans un espace à température contrôlée (exemple : alimentation de datacenter dans une salle serveur refroidie), 40°C traduisant un fonctionnement dans un environnement industriel classique et 80°C pour un fonctionnement embarqué (onduleur BSG). Plusieurs simulations sont alors réalisées en augmentant la puissance avec pour critère d'arrêt la température de jonction du MOSFET le plus chaud. Le modèle thermique étant seulement obtenu dans un cas stationnaire et n'incluant donc pas les capacités thermiques, les pertes dans les transistors ainsi que les températures de jonction sont des valeurs moyennées sur la basse fréquence (50Hz ici). L'ondulation de température existante sur une période de 50 Hz n'est donc pas prise en compte et implique une légère sous-estimation de la température de jonction réelle (d'où la marge prise par rapport à la température de jonction admissible).

Dans le but d'analyser les résultats, nous nous intéressons au cas avec une température ambiante de 40°C. A cette température, une puissance de sortie de 10,9 kW est atteinte avec un courant par phase de 242 A. Les pertes dans les MOSFETS et leurs températures de jonction sont présentées sur la Figure IV. 28. Les pertes les plus importantes (54W) sont mesurées sur les transistors (HS3, LS3) en sortie de l'écoulement d'air avec une température de jonction maximale de 154°C. On peut noter une différence de pertes entre les MOSFETs (HS1, LS1) en entrée de l'écoulement d'air et ceux en sortie (HS3, LS3) d'environ 7W et une différence de température de 48°C, traduisant l'importance du couplage thermique entre cellules dans cette architecture série hydraulique et pour ces conditions de refroidissement. Une architecture parallèle dans laquelle chaque cellule (bras d'onduleur) serait refroidie par son ventilateur aurait permis de supprimer le couplage thermique et d'augmenter la puissance. La différence de

température (48°C) de jonction entre les MOSFETs en entrée et en sortie du flux d'air peut déséquilibrer la répartition du courant dans le cas de composants en parallèle. L'étude de la répartition du courant qui n'a pas été étudiée dans ces travaux constitue une perspective importante. Un modèle électrothermique intégrant les paramètres électriques des MOSFETs, les inductances parasites des cellules de commutation et les mutuelles, les composants de la commande rapprochée ainsi que les éléments parasites, et les résistances thermiques et couplage devrait permettre de réaliser cette étude pour obtenir une bonne répartition du courant.

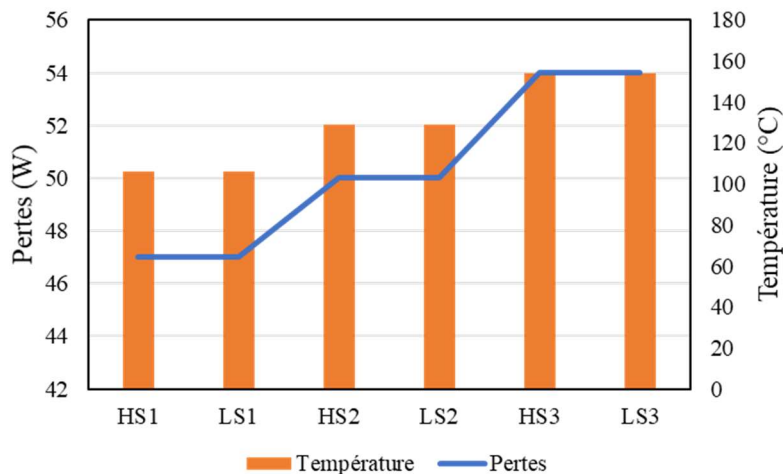


Figure IV. 28 : Pertes et température dans les différents MOSFETs pour une température ambiante de 40°C

4.4. Estimation des densités de puissance

Un volume d'environ 1 litre peut contenir le démonstrateur (Figure IV. 13). Ce volume est obtenu en considérant les cotes extérieures, en incluant les condensateurs du bus DC (hauteur 30mm) et les alimentations des cartes de commande rapprochée. En suivant la singularité de la géométrie de ce démonstrateur, un volume d'environ 0,7 L a été mesuré. Ce dernier volume sera considéré pour évaluer la densité volumique de puissance. L'ensemble du démonstrateur pèse environ 0,8 kg.

Les résultats de simulation des pertes ainsi que des densités volumiques et massiques sont contenus dans le Tableau IV. 2. T_a désigne la température ambiante considérée, P la puissance de sortie de l'onduleur triphasé, I le courant efficace par bras et $Pertes$ représente la somme des pertes dans l'ensemble des transistors. Ces dernières sont d'environ 342 W avec une moyenne de 57 W par MOSFET lorsque la température ambiante est de 25°C, la puissance de sortie 11,7 kW et le courant par phase de 260 A. La densité volumique est d'alors 16,7 kW/L et la densité

massique de 14,6 kW/kg. Dans l'automobile (température ambiante de 80°C), application visée par ce démonstrateur, la puissance de sortie est de 8,6 kW, pour un courant par bras de 190 A et des pertes dans les transistors de 200 W. La densité volumique est de 12 kW/L et la densité massique de 10,6 kW/kg. Ces valeurs de densité sont faibles par rapport à celles souvent rencontrées dans la littérature. Cela d'une part parce que les valeurs de la littérature sont souvent pour un refroidissement à eau. Aussi, dans notre cas, ni les dissipateurs ni les condensateurs de découplage ne sont optimisés pour l'application. A tout ceci s'ajoute l'effet néfaste du couplage thermique.

| T_a (°C) | P (kW) | I(A) | Pertes (W) | Densité volumique (kW/L) | Densité massique (kW/kg) |
|---------------------------|---------------|-------------|-------------------|---------------------------------|---------------------------------|
| 25 | 11,7 | 260 | 344 | 16,7 | 14,6 |
| 40 | 10,9 | 242 | 302 | 15,5 | 13,6 |
| 80 | 8,6 | 190 | 200 | 12 | 10,6 |

Tableau IV. 2: Récapitulatif des résultats de simulation de pertes et des densités volumiques et massiques pour une température de jonction maximale de 155°C

Notons également que les densités volumiques et massiques présentées dans le Tableau IV. 2 sont données pour une puissance transitoire en continu dans l'onduleur. Pour le cas du BSG qui est surtout sollicité durant les phases de démarrage (appel de courant important), la puissance pourrait être bien plus grande et donner une densité volumique de puissance beaucoup plus importante. Pour réaliser cette étude, il faudrait remplacer le modèle thermique stationnaire (résistances thermiques) par un modèle instationnaire (impédances thermiques) comme présenté dans les travaux de Dbeiss [176]. Notons tout de même que le calcul des densités volumique et massique fait l'hypothèse que le volume et la masse des condensateurs du bus DC resteront inchangés avec l'augmentation de la puissance de l'onduleur alors que leur dimensionnement dépend du niveau de courant efficace les traversant ainsi que de la température ambiante.

5. Conclusion

Dans ce chapitre nous avons dans un premier temps proposé des architectures de mise en parallèle de cellules de commutation et de réalisation d'onduleurs de tension monophasé et triphasé. Ces architectures ont été critiquées suivant trois critères que sont les performances électriques (électromagnétiques) et thermiques, la densité volumique et la facilité de mise en œuvre. Une de ces architectures a été utilisée pour réaliser un onduleur triphasé afin de valider le concept et estimer une densité volumique de puissance.

Une méthode de modélisation a permis l'étude des interactions électromagnétiques entre cellules de commutation lorsque celles-ci sont en série hydraulique. Dans cette architecture, les interactions électromagnétiques sont importantes. Une mutuelle de plus de 14% de la valeur d'inductance d'une cellule isolée peut être atteinte lorsque deux cellules sont distantes de moins de 0,5mm. Ainsi, les inductances des cellules de commutation dans deux configurations de mise en parallèle introduites lors de la présentation des architectures ont été évaluées. La première avec les potentiels +DC et -DC alignés les uns derrière les autres et la seconde avec les potentiels alternés. Nous avons pu observer que la seconde configuration permettait de réduire considérablement (environ 40% dans notre cas) l'inductance de certaines cellule de commutation, mais complexifie le busbar et l'isolation électrique entre cellules.

Les densités volumique et massique de puissance ont ensuite été estimées à travers le démonstrateur réalisé. Pour cela, les résistances thermiques jonction-air des différentes cellules ainsi que les interactions/couplages thermiques entre elles ont été mesurés. Le couplage thermique entre cellules de commutation bien que relativement faible (en moyenne inférieur à 0,2 K/W) pour une vitesse d'air supérieure à 5m/s est à considérer dans le modèle thermique d'estimation des pertes. Des simulations PSIM permettant d'estimer les pertes en considérant le modèle électrique des MOSFETs ainsi que le modèle thermique (résistances thermiques et couplages) ont permis de déterminer la puissance qu'il était possible de fournir avec le démonstrateur en fonction de la température ambiante. Une densité volumique de plus de 16 kW/L et une densité massique de plus de 14 kW/kg pourraient être atteintes avec ce démonstrateur pour une température ambiante de 25°C. Cette densité volumique peut encore être améliorée en optimisant les dissipateurs pour l'application, en dimensionnant plus précisément les condensateurs du bus DC et en améliorant l'intégration. À titre d'exemple la carte de commande rapprochée et le busbar (avec les condensateurs) représentent près de 30%

du volume du démonstrateur. Notons tout de même la nécessité de vérifier expérimentalement le modèle de perte pour valider les densités estimées.

Nous avons proposé dans ce chapitre une approche d'étude des convertisseurs. Elle reste cependant limitée et devrait être complétée pour permettre de réaliser tous les types de convertisseurs avec des niveaux de tensions et puissances plus élevés. L'étude du champ électrique (tenue en tension entre cellules), l'analyse de la répartition de courant entre cellules de commutation en parallèle et in fine la réalisation d'un modèle électrothermique généralisé constituent des perspectives importantes de ces travaux. Une perspective plus long terme serait par exemple la réalisation d'un outil logiciel qui intégrerait le modèle électrothermique généralisé, un modèle d'optimisation de la géométrie des dissipateurs, et partant des objectifs de puissance, des contraintes de volume et de masse et les conditions de refroidissement proposerait la meilleure architecture, le nombre de cellules à paralléliser et la géométrie des dissipateurs à utiliser.

Conclusion générale et perspectives

La première partie de ce manuscrit a fait ressortir l'intérêt ou la nécessité de réduire la masse et/ou le volume des convertisseurs statiques. Cette problématique est accrue dans les applications embarquées où la masse est corrélée à la consommation énergétique. Aussi, l'hybridation des véhicules légers requiert l'ajout de convertisseurs sous le capot qui est déjà assez bien rempli dans les voitures thermiques. La réduction de volume en plus d'être pertinente est imposée par des objectifs ambitieux d'organismes gouvernementaux. À titre d'exemple, une amélioration de plus de 70% de compacité des onduleurs de traction des voitures électriques est attendue d'ici 2025. Plusieurs études ont permis de montrer la pertinence de l'utilisation des composants à grand gap pour réduire considérablement le volume des convertisseurs en réduisant surtout la taille des composants passifs, mais aussi celle des dissipateurs thermiques.

Ces travaux de thèse ont proposé une solution complémentaire d'amélioration de la compacité des convertisseurs en réduisant le volume du système de refroidissement à travers une répartition « optimale » des sources de chaleur (puces) dans le volume du dissipateur, permettant ainsi un refroidissement bifacial et une diminution du nombre d'interfaces thermiques. Une mise en œuvre simplifiée de la technologie a permis d'une part d'estimer les performances envisageables et d'autre part de dégager les principaux challenges pour une réalisation industrielle de la technologie. Il a ainsi été démontré que cette technologie permettrait la réduction de plus de 70% de la masse du système de refroidissement comparé à une solution classique refroidie sur une face. Les challenges sont entre autres l'intégration de la puce entre les dissipateurs, la gestion de la tenue en tension au sein d'une cellule de commutation et entre cellules de commutation, la gestion des capacités de mode commun et différentiel (comportement CEM) du convertisseur intégrant cette technologie, la fiabilité, l'intégration mécatronique des cellules dans un convertisseur, l'optimisation des dissipateurs et bien d'autres. L'identification de ces principaux challenges a conduit à explorer la littérature afin de trouver des technologies candidates. La technologie PCB a été principalement utilisée pour la versatilité et la relative facilité de mise en œuvre qu'elle offre. Plusieurs cellules de commutations ont alors été réalisées, certaines avec des technologies présentées dans la littérature et d'autres avec des technologies alternatives que nous avons voulu tester.

La caractérisation des cellules de commutation réalisées a fait l'objet d'études afin de déterminer les méthodes de caractérisation et de construire les bancs adaptés aux cellules 3D TAPIR. La résistance à l'état passant des MOSFETs a été mesurée ainsi que l'inductance de la boucle de commutation. La mesure de résistances thermiques a été effectuée en utilisant les paramètres électriques thermosensibles (PETS) des MOSFETs. Ces différentes caractérisations

ont permis d'une part d'évaluer la fonctionnalité ou non de certaines technologies utilisées et de confirmer les performances que l'on envisageait après la réalisation et caractérisation de la première cellule de commutation présentée dans le chapitre I. Ainsi, avec la technologie P²-pack de Schweizer, une inductance parasite de la cellule de commutation de moins de **1 nH** a été mesurée et une résistance thermique de moins de **1 K/W**. Cette valeur d'inductance place la solution TAPIR comme une excellente candidate pour le packaging des composants à grand gap, même s'il est nécessaire de soigner le routage du PCB pour limiter la capacité de sortie C_{OSS} . La valeur de la résistance thermique obtenue a été comparée à une solution refroidie sur une face et utilisant la même technologie (P²-pack) pour laquelle des résistances thermiques de respectivement 3 K/W et 2 K/W ont été données pour un refroidissement à air et un refroidissement liquide.

Ensuite, une méthode de modélisation électromagnétique basée sur l'utilisation du logiciel MIPSE a été proposée pour quantifier la valeur de l'inductance parasite de la cellule de commutation et tirer des règles de conception. Cela a permis d'analyser l'évolution de cette inductance en fonction de paramètres géométriques comme l'espacement entre puces ou l'espacement entre dissipateurs, mais aussi en fonction de certains choix de conception comme l'ajout d'une plaque interne dans la boucle de commutation ou la variation du nombre de lignes de condensateurs de découplage. Cette méthode de modélisation électromagnétique a été validée par des mesures expérimentales.

Après avoir présenté et analysé les cellules de commutation élémentaires, l'étude a porté sur les possibilités de réalisation de convertisseurs intégrant ces cellules. Des architectures de mise en parallèle des cellules ainsi que de réalisation d'onduleurs de tension monophasé et triphasé ont été présentées. L'analyse des interactions électromagnétiques dans le cas d'une des architectures proposées est réalisée grâce à une modélisation électromagnétique. On note que les interactions (mutuelles) sont importantes (14% d'une inductance de boucle) lorsque les cellules sont rapprochées (0,5mm d'espacement par exemple). Dans le cas d'une mise en parallèle, ces mutuelles peuvent augmenter la valeur d'inductance vue par une cellule ou la réduire selon l'agencement des potentiels +DC et -DC. Avec ces potentiels alternés, une réduction de plus de 40% de l'inductance peut être observée sur la cellule interne lorsque 3 cellules sont en parallèle. Un élément intéressant à noter au passage est le fait que la mise en parallèle (en série hydraulique) des cellules de commutation TAPIR augmente très peu la valeur de l'inductance vue par chacune d'elles et peut même la réduire.

Une des architectures présentées a été mise en œuvre à travers un onduleur triphasé afin d'estimer la densité volumique et massique de la technologie. Ce démonstrateur a été testé pour valider la fonctionnalité et une puissance de sortie de près de **5 kW** a été mesurée, puissance limitée par la charge dont nous disposions. L'estimation de la densité de puissance atteignable a été faite en analysant dans un premier temps les interactions thermiques entre cellules. Le couplage thermique entre cellules bien que relativement faible (en moyenne 0,2 K/W) pour une vitesse d'air supérieur à 5m/s est à considérer dans le modèle thermique. À travers des simulations PSIM, les pertes dans les MOSFETs ainsi que leurs températures de jonction ont été estimées en intégrant les valeurs de résistances thermiques et de couplages thermiques précédemment identifiées. On trouve alors qu'une densité volumique de plus de **16 kW/L** et une densité massique de plus de **14 kW/kg** pourraient être atteintes avec ce démonstrateur pour une température ambiante de 25°C. Cette densité volumique pourrait encore être améliorée en optimisant les dissipateurs pour l'application, en dimensionnant plus précisément les condensateurs du bus DC et en améliorant l'intégration. Aussi, ces valeurs de densité sont données pour un fonctionnement en continu.

Ces travaux de thèse sont les premiers à explorer la mise en œuvre de cette technologie de rupture. Ainsi dans le temps imparti il n'a pas été possible d'explorer toutes les pistes intéressantes. Nous allons donc proposer dans les lignes suivantes des perspectives de recherche pour les prochains chercheurs qui auront la chance de travailler sur le sujet. Ces dernières étant multiples, nous les présenterons dans 2 parties distinctes. La première concernera les perspectives sur la conception et la modélisation, et la seconde traitera des perspectives technologiques.

1) Conception et modélisation

Une grande absente de ces travaux de thèse est l'étude de **la fiabilité**. Les cellules de commutation ont été conçues en pensant surtout aux performances électromagnétiques (inductance de boucle) et thermiques (résistance thermique). A l'avenir, il faudra prendre en compte la fiabilité dans le procédé de conception et de validation expérimentale. Cela pourra passer par une étude des contraintes mécaniques et thermo-mécanique en fonction des matériaux et architectures des cellules élémentaires et de l'agencement entre elles. Il pourra aussi s'avérer utile de trouver de nouveaux indicateurs de vieillissement et d'identifier les mécanismes de défaillance propres à cette technologie. Les protocoles de test ainsi que la ou les normes à respecter seront également à définir.

La technologie a principalement été mise en œuvre à travers une cellule de commutation basse tension (composants 80V) car les essais d'intégration de composants SiC (1200V) n'ont pas donné satisfaction suite aux choix technologiques effectués. Afin de couvrir un large spectre d'applications, la montée en tension est toutefois nécessaire. Pour ce faire, l'**isolation électrique** doit être étudiée et intégrée à la conception à plusieurs niveaux. Tout d'abord à l'échelle de la cellule de commutation, l'isolation entre grille et source doit être mieux gérée que ce soit dans le cas de l'enfouissement PCB ou avec une autre technologie d'intégration. Il en est de même pour l'isolation entre les dissipateurs aux potentiels différents (drain-source par exemple), cette dernière isolation pouvant être dégradée par des dépôts de poussière ou par l'humidité du milieu. Ensuite, vient l'isolation entre cellules de commutation dans un convertisseur qui est également sensible au milieu. Pour l'étude de l'isolation, une première étape consisterait à réaliser des simulations permettant de déterminer les zones de concentration et les valeurs du champ électrique pour ensuite vérifier cela expérimentalement et définir les caractéristiques de l'isolation à appliquer. On peut imaginer recouvrir les dissipateurs par un matériau isolant électrique (parylène par exemple) de faible épaisseur afin de ne pas dégrader les performances thermiques.

Dans ces travaux, les dissipateurs ont été dimensionnés (par Bachir Mezrag) pour extraire 50 W de pertes avec une résistance thermique inférieure à 2 K/W. Il faudra aller plus loin et réaliser une **étude thermique** plus complète. Cela passera par exemple par la construction d'un modèle thermique du dissipateur pour permettre une optimisation du volume en fonction de l'application et pour quantifier les dégradations de performances liées au dépôt d'un matériau isolant. Un travail important de modélisation thermo-hydraulique sera nécessaire pour déterminer judicieusement le nombre de cellules à mettre en série ou parallèle hydraulique suivant l'application et les caractéristiques du ventilateur. Toutes ces études devront également être couplées à l'étude de l'isolation électrique qui aura probablement une influence sur la forme des dissipateurs et l'espacement entre cellules (couplage thermique).

La méthode de modélisation de l'inductance parasite présentée dans ce manuscrit devra être élargie à l'architecture du convertisseur complet. Au-delà de la cellule de commutation, il sera intéressant de modéliser la connexion avec le busbar. Une **étude CEM** globale pourra intégrer l'étude des éléments parasites de la commande rapprochée, l'analyse du couplage entre commande et puissance. Les dissipateurs étant reliés aux potentiels (particulièrement celui qui est flottant), les capacités de mode commun sont à quantifier et gérer. Nous avons proposé des écrans CEM partant de perceptions et sans pour autant valider vraiment la fonctionnalité ou

l'utilité. Les dissipateurs peuvent (pour certaines fréquences de commutation) jouer le rôle d'antenne pour le rayonnement du champ électromagnétique. Il sera donc intéressant de réaliser une modélisation CEM qui intègre les inductances parasites de cellules de commutation (avec perturbations sur circuit de grille et connexion avec le busbar), les couplages électromagnétiques entre cellules, les capacités de mode commun et différentielles dans le but d'optimiser certains paramètres. Pour réaliser cette optimisation, la modélisation CEM devra être couplée aux études thermiques et d'isolation électrique. Le modèle électro-thermo-magnétique pourra ainsi par la suite guider la conception.

Pour terminer sur les aspects de conception, la perspective ultime est le développement d'un logiciel pour faciliter le pré design et le prototypage. Partant d'un cahier des charges précisant des contraintes de masse et de volume à respecter, le logiciel pourrait par exemple donner la géométrie et les dimensions des dissipateurs et de la cellule de commutation, proposer la meilleure architecture (agencement de cellules) en précisant le nombre de cellules en série hydraulique ou parallèle et également l'intégration mécatronique des différents éléments connexes comme les cartes de commande rapprochée, le busbar etc. Cela devra bien sûr tenir compte des technologies disponibles et discutées dans le paragraphe suivant.

2) Technologies

L'intégration de la puce entre les dissipateurs est une des étapes cruciales pour la fabrication de convertisseurs TAPIR. La technologie PCB a été principalement utilisée avec les MOSFETs enterrés. Cela permet d'obtenir de bonnes performances électriques et thermiques et d'améliorer la compacité des convertisseurs. Pour encore améliorer les performances et la compacité il est peut-être intéressant d'intégrer une partie de la commande rapprochée dans le PCB. Ici, contrairement à ce qui a été présenté dans le manuscrit, l'idée est d'enfourer directement les puces nues de commande et non des composants packagés. Cela a le mérite de minimiser les perturbations sur le circuit de grille et d'améliorer la compacité. Aussi, l'intégration de capteurs, comme des capteurs de courant par exemple, dans le PCB pourrait permettre de mieux caractériser les cellules de commutation et serait également utile en phase de fonctionnement du convertisseur (boucle de contrôle commande ou alarmes).

La technologie PCB n'étant pour le moment pas adaptée pour des applications haute température, une piste d'intégration intéressante pourrait être l'utilisation d'entretoise comme dans les modules Hitachi [60]. Dans ce cas pour assurer la fiabilité, les contraintes

thermomécaniques doivent être étudiées pour orienter le choix des matériaux et la technologie d'assemblage. Aussi, de par la modularité, les cellules de commutation avec refroidissement intégré peuvent être écoconçues de manière standard et assemblées pour réaliser les architectures de convertisseurs voulues.

La modélisation électromagnétique réalisée dans le chapitre 3 nous a permis de constater que seulement quelques lignes de condensateurs étaient utiles durant la phase de commutation. Cela est entre autres dû à l'utilisation de condensateurs céramiques en matrice. Concevoir et fabriquer un condensateur de découplage dédié à insérer entre les dissipateurs pourrait permettre d'améliorer la valeur de la capacité et améliorer le comportement dynamique de la cellule de commutation.

Au-delà des technologies pour la mise en œuvre de la cellule de commutation, il reste encore des travaux à effectuer, notamment sur l'interconnexion des cellules entre elles et avec les différents éléments comme le busbar, les cartes de commandes, les connecteurs de puissance... Nous avons présenté un assemblage par vis qui est assez simple à mettre en œuvre mais présente quelques points faibles. En particulier, le maintien des cellules par des vis dans les dissipateurs génère très probablement de très fortes contraintes mécaniques qui pourraient limiter la durée de vie du système. Il est donc nécessaire de continuer les travaux sur l'agencement mécanique de la solution.

Les perspectives présentées sont surtout centrées autour du refroidissement à air forcé. Il peut également être intéressant d'explorer le chemin du refroidissement passif ou du refroidissement liquide (isolant). La thèse de Clément Hugon en cours au G2Elab vise à répondre à cette problématique à travers deux phases. Une première sur le refroidissement par immersion avec changement de phase liquide-vapeur, et une seconde sur le refroidissement par convection naturelle. Ce dernier type de refroidissement est apprécié dans le secteur automobile pour le refroidissement des convertisseurs DC/DC de puissance inférieure à 2 kW. Le refroidissement à changement de phase (diphase) beaucoup utilisé pour le refroidissement des datacenters pourrait être aussi efficace en électronique de puissance. En intégrant la technologie TAPIR, le refroidissement par immersion (diphase) devrait permettre d'améliorer la compacité des convertisseurs refroidis à eau grâce à la répartition des sources de chaleur dans le bain. Développer ces différentes méthodes de refroidissement élargit le champ d'application de la technologie TAPIR à quasiment tous les domaines de l'électronique de puissance.

Une perspective serait de réaliser une étude économique-environnementale sur les bénéfices de recyclabilité et de maintenance qu'offrent la technologie TAPIR. Ainsi, une analyse de cycle vie pourrait indiquer l'économie de CO₂ réalisée sur les systèmes intégrant cette technologie (de par la réduction de masse et de volume, la recyclabilité et la maintenance). Cette économie de CO₂ est corrélée à une économie d'argent à travers les taxes carbone, l'économie de carburant (de par la réduction de masse dans les systèmes embarqués), etc.

Les perspectives sont nombreuses et il reste encore du chemin avant que les industriels n'adoptent cette solution. Plusieurs de ces perspectives telles que l'étude de la fiabilité, de l'isolation électrique ainsi que l'étude thermique et CEM (sans bien sûr la partie logiciel) et les perspectives technologiques seront traitées dans le cadre des projets ANR DESTINI et Pack Ambition Recherche (financement Région Auvergne-Rhône-Alpes) à travers 3 thèses et un CDD de recherche. Le projet ANR fédèrera l'expertise de plusieurs grands laboratoires Français tels que le G2ELAB, le COSYS/SATIE, le LAPLACE et Ampère.

ANNEXE 1 : Détails des couches internes des différents PCBs réalisés

Le but de cette annexe est de fournir des détails sur certaines couches des PCBs réalisées. Afin de faciliter la compréhension et peut-être donner des inspirations à certains concepteurs. Elle montre également les détails dans le but de comprendre les simplifications réalisées pour les simulations présentées dans le Chapitre III.

→ PCB de puissance CIBEL

Il s'agit du PCB présenté dans le chapitre I à la Figure I. 19 et dont l'architecture est montrée sur la Figure I. 20. La Figure A1. 1 présente la couche 3 du PCB sur laquelle sont brasés les composants. Le Plan de cuivre de la couche 3 est présenté en bleu pendant que la couche 1 du PCB est visible en rouge. Les vias indiqués sur la Figure A1. 1 permettent de connecter les couches 2,3 et 4 au drain. La couche 1 du PCB est connectée à la source.

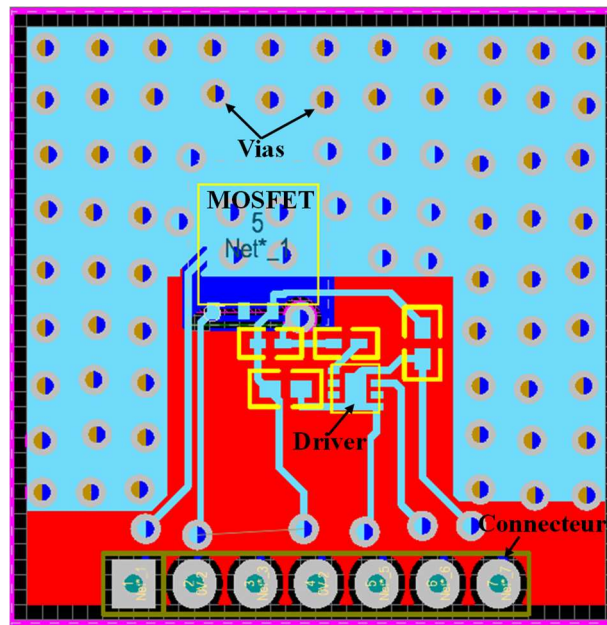


Figure A1. 1 : Couche 3 du PCB de puissance CIBEL

→ Cellule de commutation avec PCB et bumps

La cellule de commutation concernée a été présentée dans la section 3.2 et le concept sur la Figure II. 22. Les deux PCBs qui composent cette cellule de commutation sont montrés sur les Figure A1. 2 et Figure A1. 3. On peut alors voir que les puces sont bien au centre des PCBs pour des raisons thermiques. Les vias indiqués sur la Figure A1. 2 permettent de ramener les potentiels sur les couches en regard afin d'augmenter les mutuelles inductances et réduire l'inductance de la boucle de commutation.

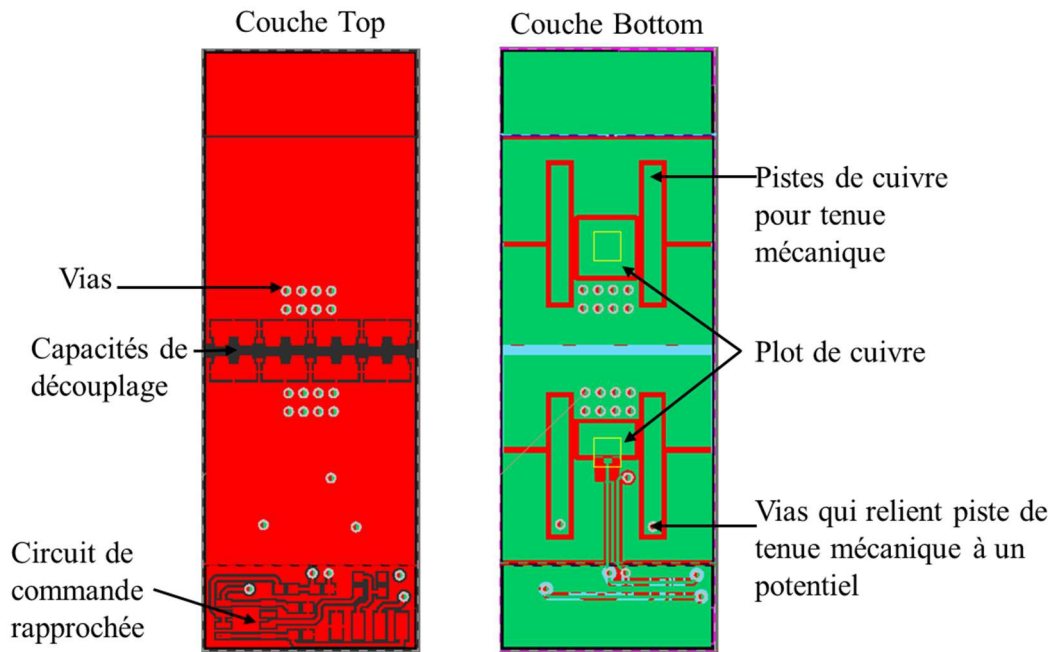


Figure A1. 2 : PCB 1 cellule de commutation avec PCB et bumps

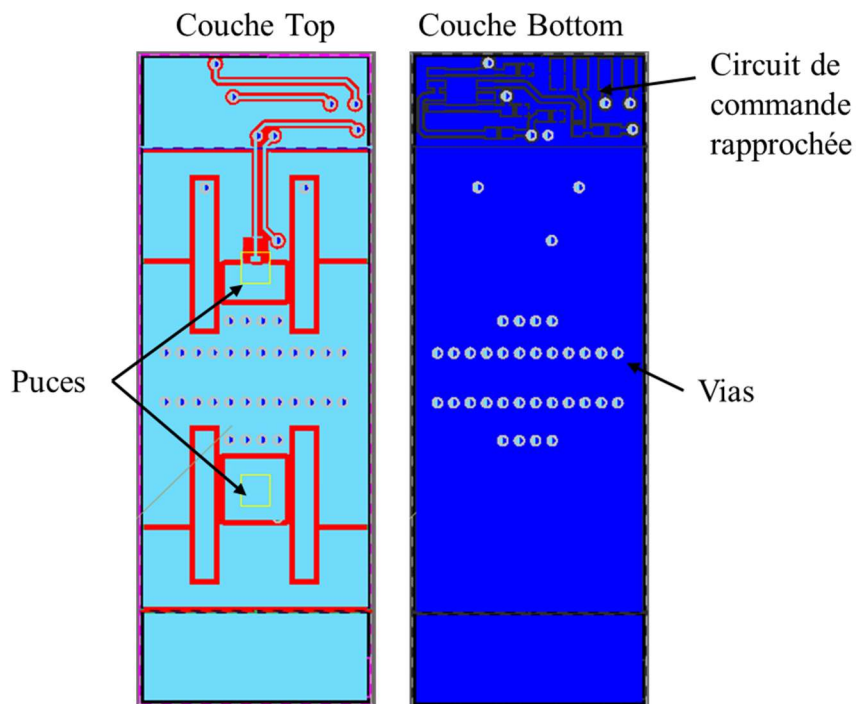
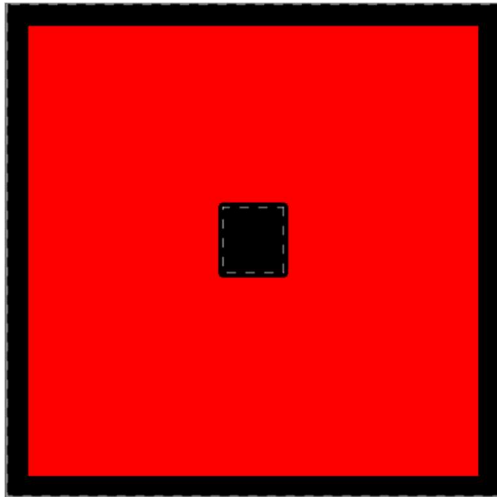


Figure A1. 3 : PCB 2 cellule de commutation avec PCB et bumps

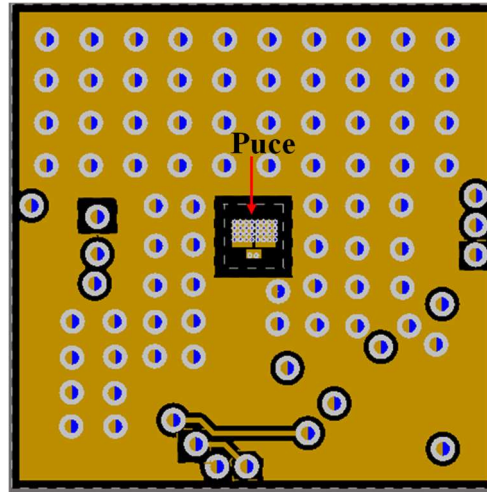
➔ **PCB avec puce brasée en face avant et effleurant face arrière**

Dans ce PCB de 4 couches qui est présenté sur la Figure A1. 4 on peut constater l'ouverture réalisée sur la couche 1 pour permettre l'accès à la face arrière de la puce. La puce est brasée

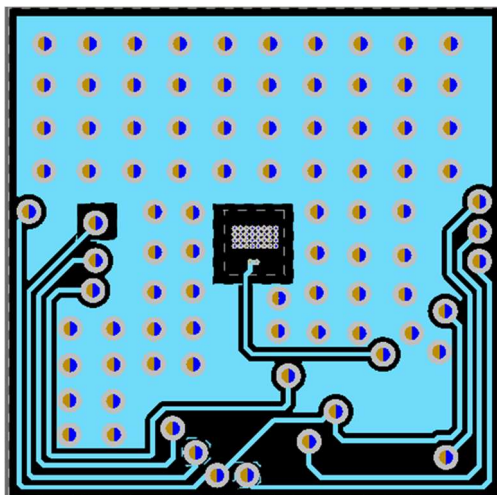
au centre de la couche 2 et des vias permettent de connecter les couches 2, 3 et 4 au potentiel de source. Toute la surface du PCB est utilisée comme potentiel. Cela a pour inconvénient d'augmenter la capacité de sortie. La connexion de la grille est effectuée à travers la couche 3 qui permet aussi de répartir les signaux aux 4 connecteurs présents sur les 3 cotés du PCB afin de donner des faciliter d'agencement. Le circuit de grille et les connecteurs sont montés sur la couche 4 du PCB.



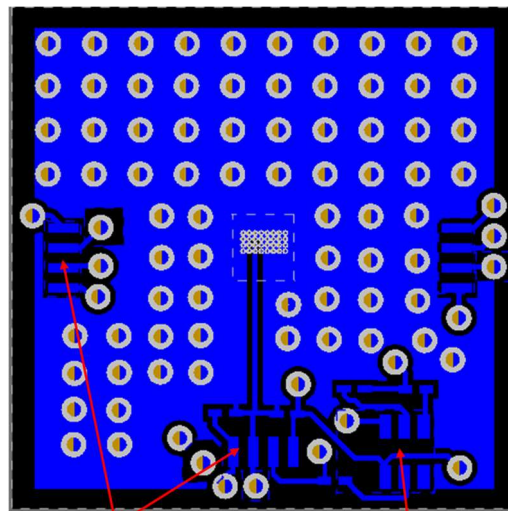
a) Couche 1



b) Couche 2



c) Couche 3



Connecteurs Driver

d) Couche 4

Figure A1. 4 : Couches du PCB avec puce brasée face avant et effleurant face arrière

→ **Cellule de commutation avec puce enfouie. Brasée en face avant et croissance de cuivre en face arrière**

Les couches 2 et 3 du PCB de puissance sont présentées sur la Figure A1. 5. On peut remarquer que le potentiel de source ne recouvre pas toute la surface du PCB. Cela pour limiter l'augmentation de la capacité de sortie. Les microvias permettent de connecter les couches 2,3 et 4 au potentiel de source. La grille ainsi que la Kelvin source sont connectées à travers la couche 3. La mesure de source est aussi prise sur cette couche. On peut remarquer que la grille est entre deux sources et une couche de source située sur la couche 2 est connectée aussi à la source. Ce qui constitue un blindage autour de la grille afin de limiter les perturbations sur cette dernière.

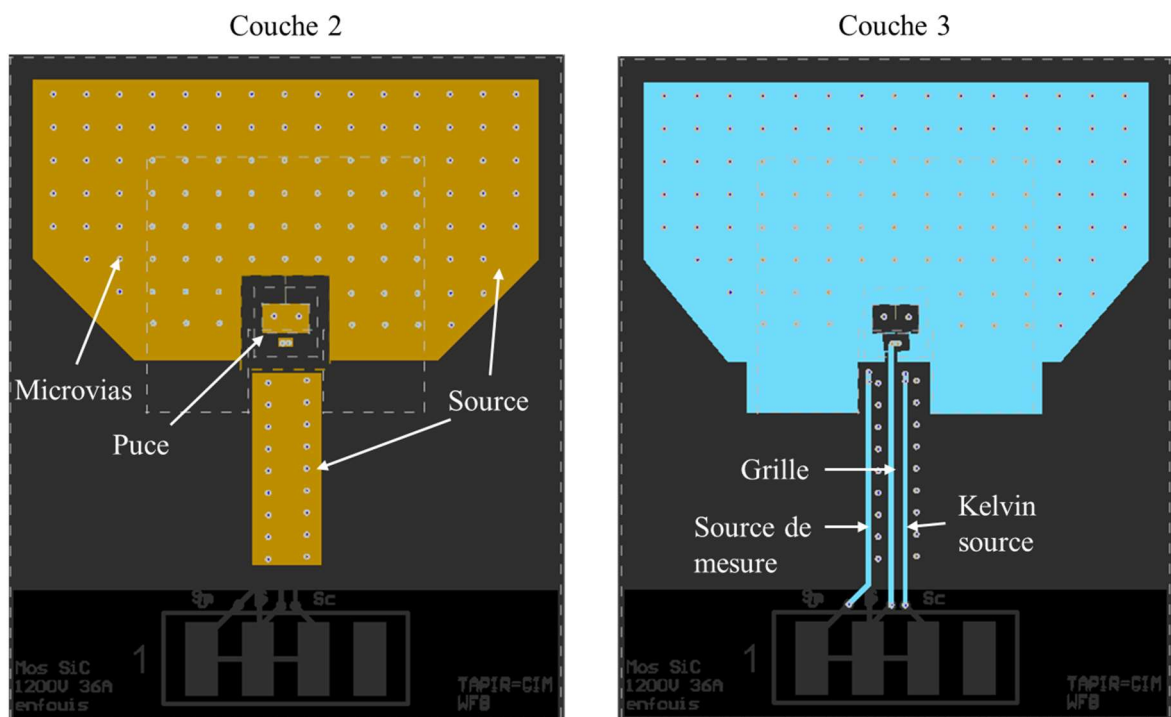


Figure A1. 5 : Couches du PCB avec puce enfouie, brasée sur une face et avec croissance de cuivre en face arrière

Le détail de l'architecture du PCB tel que proposé et réalisé par le fabricant de PCB CIMULEC est présenté sur la Figure A1. 6.

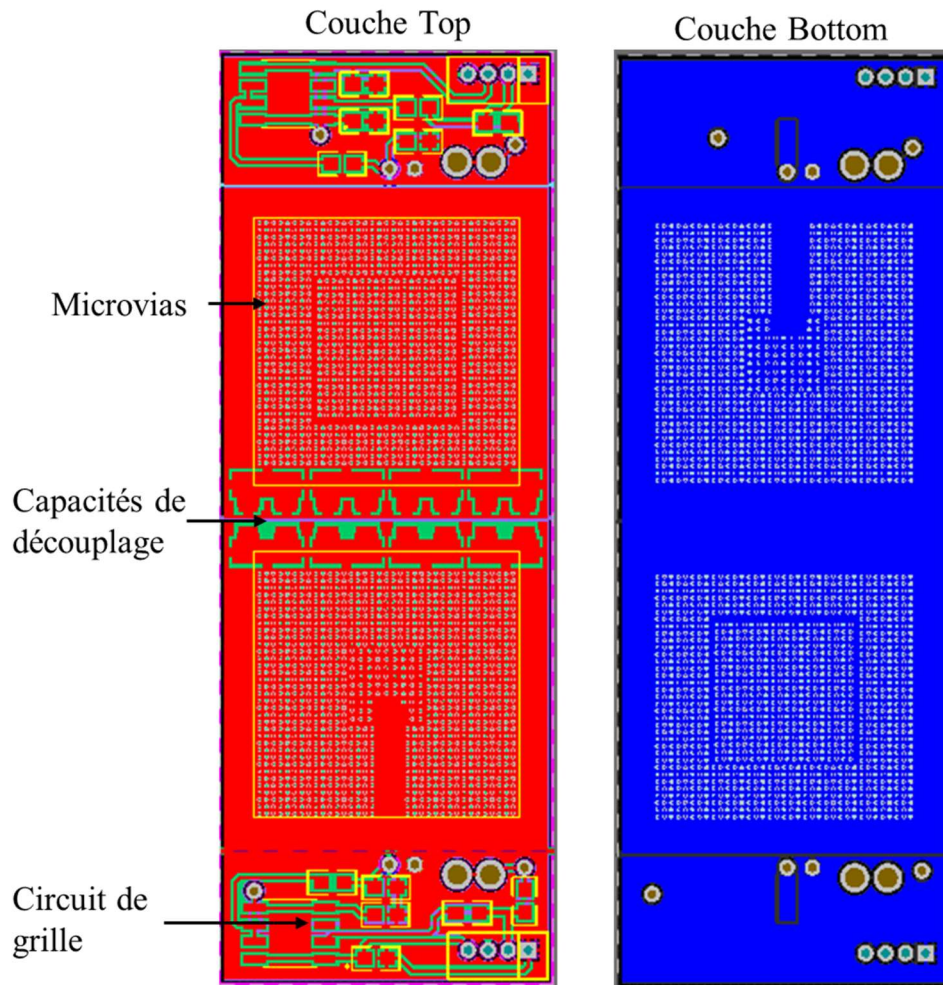


Figure A1.7 : PCB avec puce prépackagée enfouie

ANNEXE 2 : Simulations thermiques pour la comparaison de la solution TAPIR à une solution classique

L'objectif de cette annexe est de présenter les détails des simulations thermiques réalisées pour comparer la masse et les performances de refroidissement de la solution TAPIR à une solution de refroidissement classique 2D.

La Figure A2. 1 présente une coupe transversale de la simulation pour un IGBT. Elle est très similaire dans le cas d'une diode à la différence des dimensions de cette dernière qui sont $5,7*5,7*0,4 \text{ mm}^3$. On peut remarquer sur la Figure A2. 1 les différentes couches utilisées dans la simulation. Les dimensions des différents éléments sont données en millimètre (mm). Seule la semelle du dissipateur est représentée et le coefficient d'échange est appliqué sur la surface de cette dernière. Le tableau A1.1 présente les conductivités thermiques des différents matériaux utilisés dans la simulation.

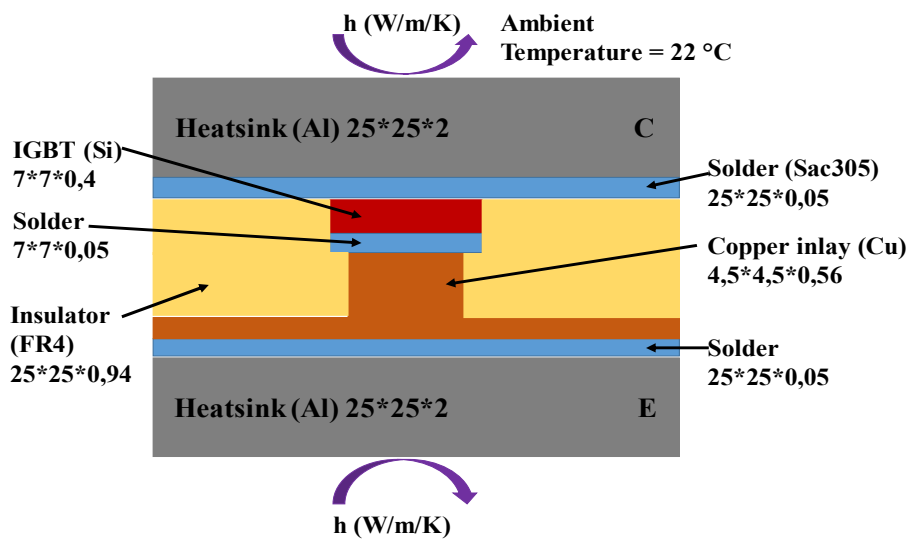


Figure A2. 1 : Coupe transversale de la simulation pour un IGBT [69]

| Matériaux | Conductivité thermique $\text{W.m}^{-1} \cdot \text{K}^{-1}$ |
|------------------|---|
| Aluminium | 201 |
| Silicium | 117,5 |
| Cuivre | 385 |
| Brasure (SAC305) | 58,7 |
| FR4 | 0,5 |

Tableau A1. 1 : Conductivité thermique des différents matériaux

La Figure A2. 2 présente une coupe transversale de la cellule de commutation simulée. La capacité de découplage est représentée par un bloc de FR4.

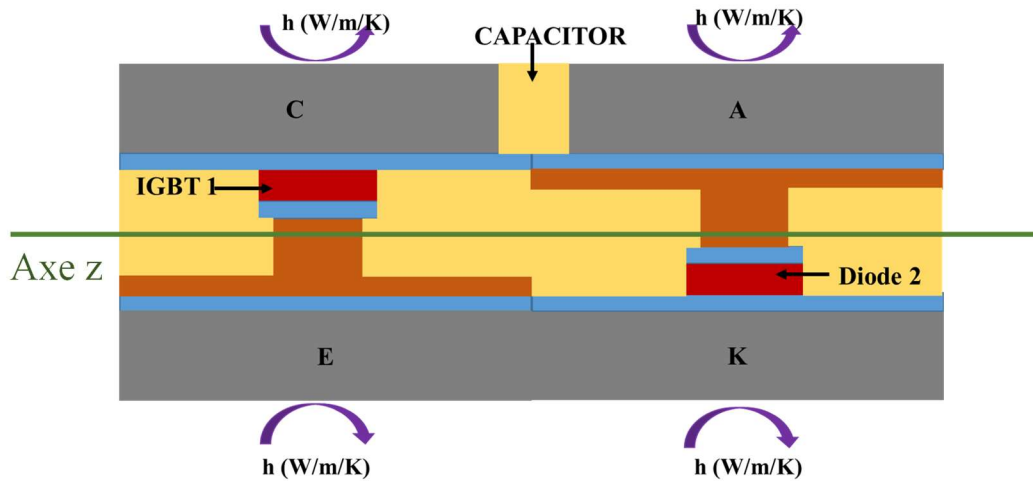


Figure A2. 2 : Coupe transversale cellule de commutation

La Figure A2. 3 présente la répartition de la température sur une coupe suivant l'axe z présentée sur la Figure A2. 2.

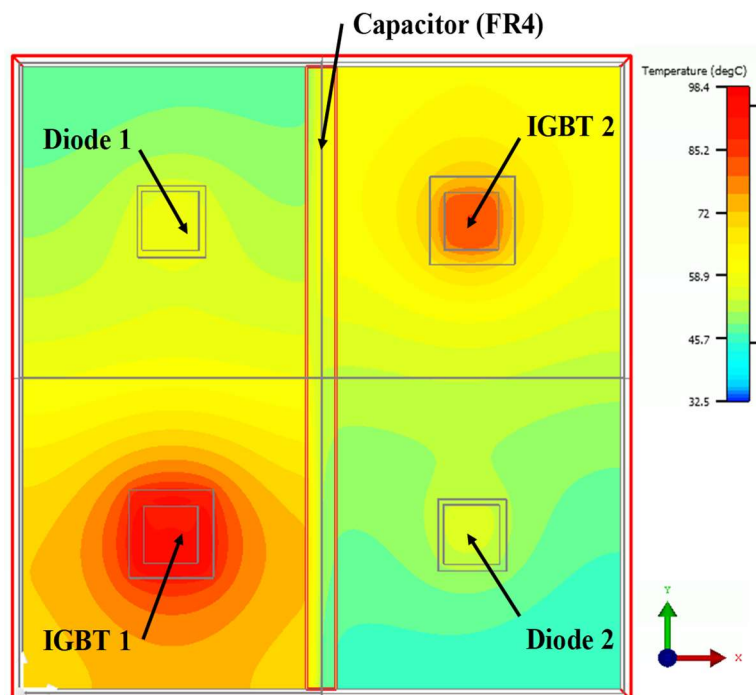


Figure A2. 3 : Répartition de la température sur une coupe du bras d'onduleur suivant l'axe z

La simulation thermique est faite sur un seul bras d'onduleur. Cette simplification est possible parce que chaque bras d'onduleur est refroidi par un ventilateur comme on peut le voir sur la Figure A2. 4.

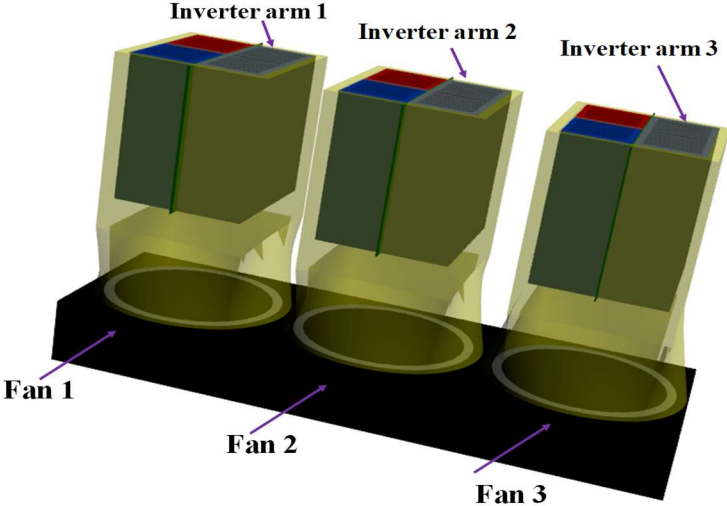


Figure A2. 4 : Schéma 3D de l'onduleur triphasé TAPIR

ANNEXE 3 : Exemple de paramétrage de MIPSE

L'objectif de cette annexe est de donner au lecteur plus de détails sur le paramétrage utilisé dans MIPSE. Afin qu'il puisse s'en inspirer au cas où il pourrait avoir accès à MIPSE avant qu'il ne soit déployé comme un logiciel ou intégré dans la suite Altair. Plusieurs paramètres sont laissés par défaut excepté le paramétrage de la fréquence (Figure A3. 1), le choix de la résolution : surfacique ou volumique (Figure A3. 4), le paramétrage des régions (Figure A3. 6 et Figure A3. 7) et la définition du circuit électrique (Figure A3. 8).

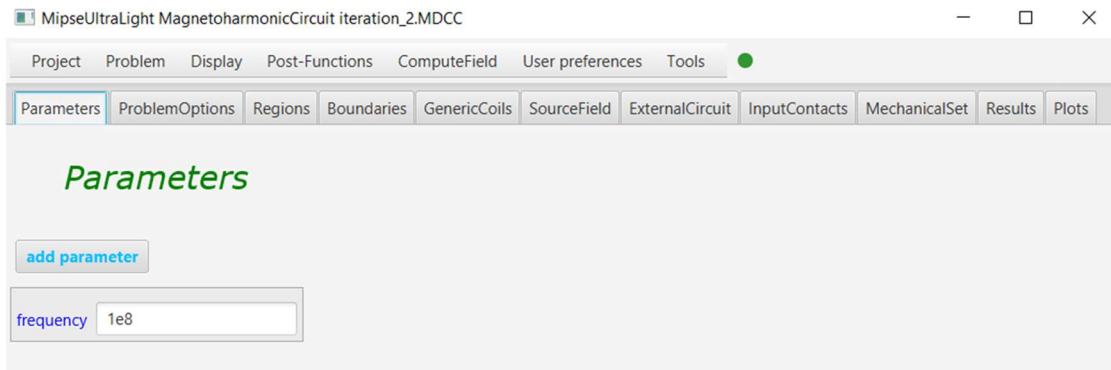


Figure A3. 1 : Paramétrage de la fréquence

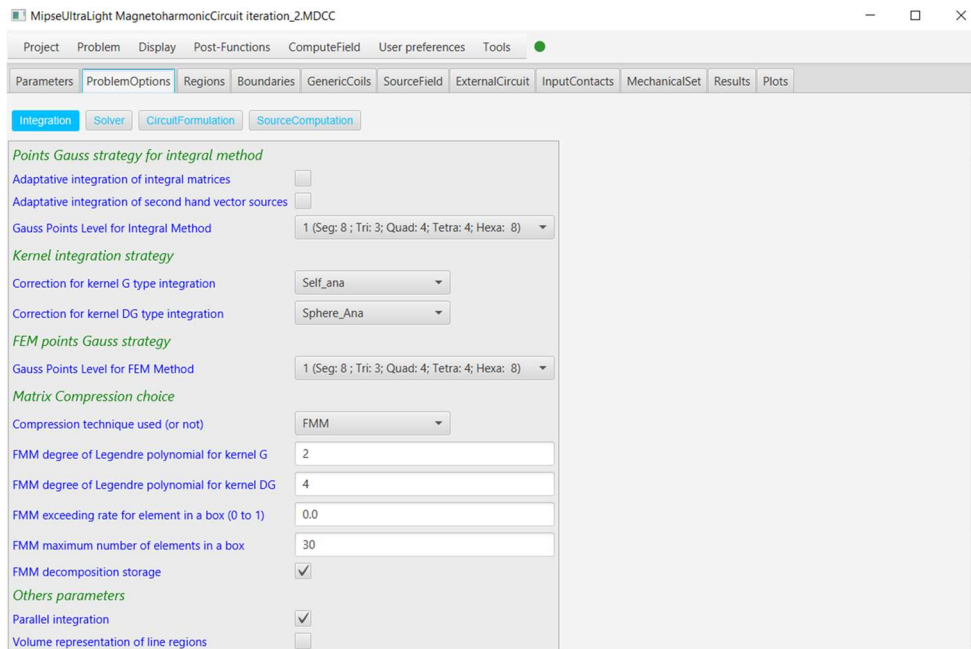


Figure A3. 2 : Paramètre d'intégration

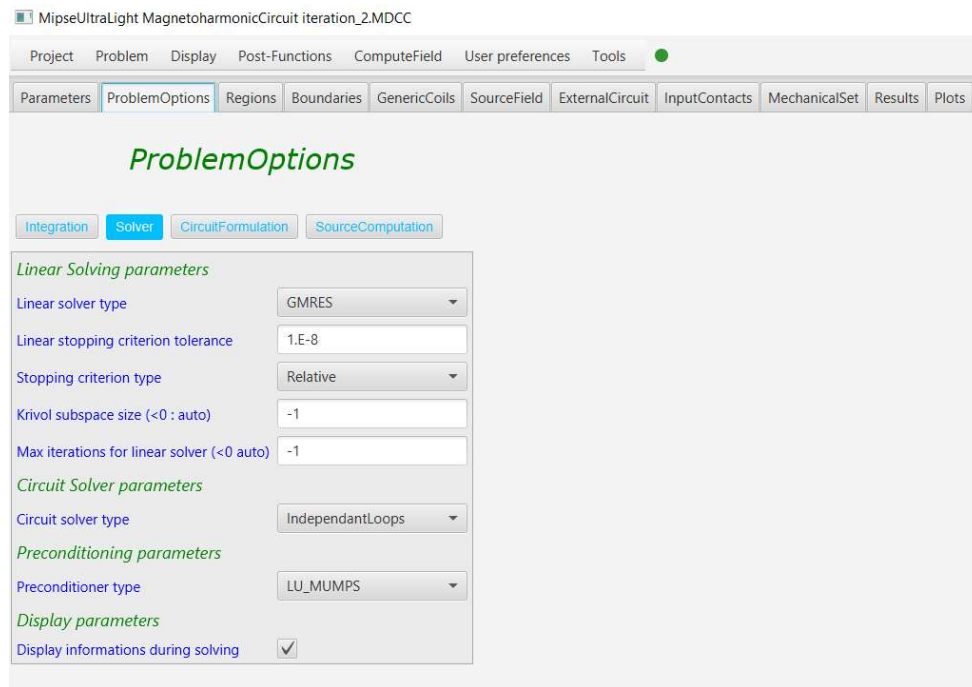


Figure A3. 3 : Paramétrage du solveur – choix du type de préconditionneur

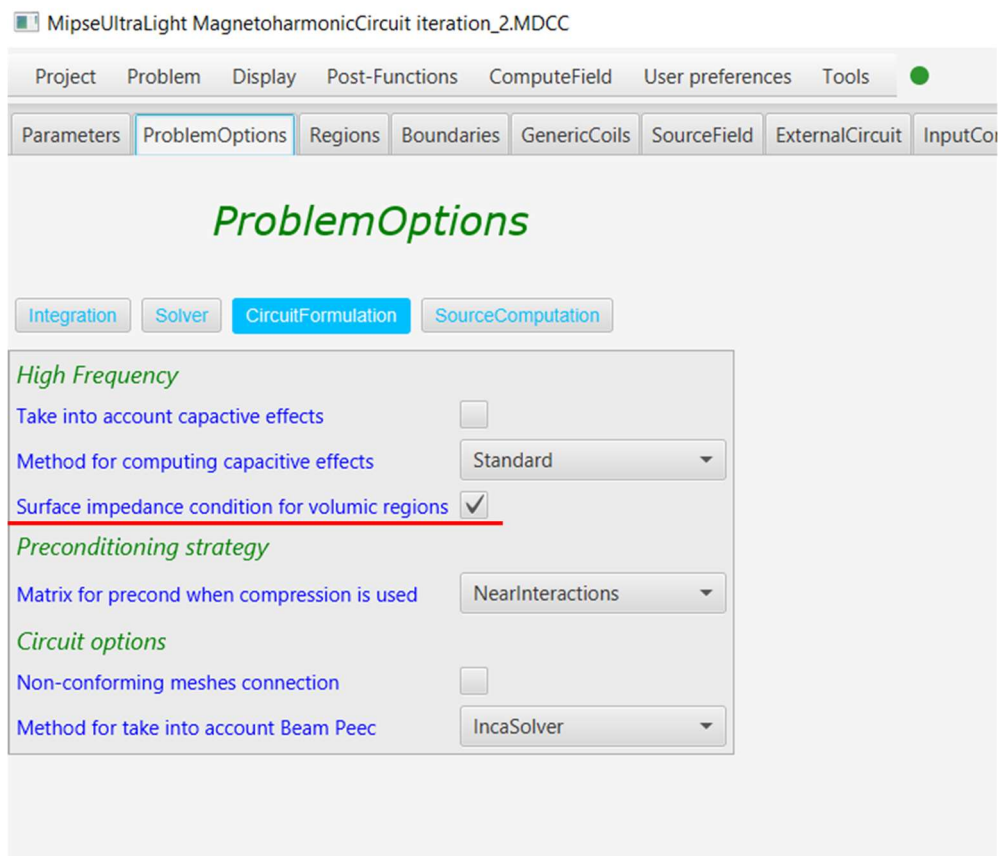


Figure A3. 4 : Paramétrage du circuit - choix de la résolution en surfacique

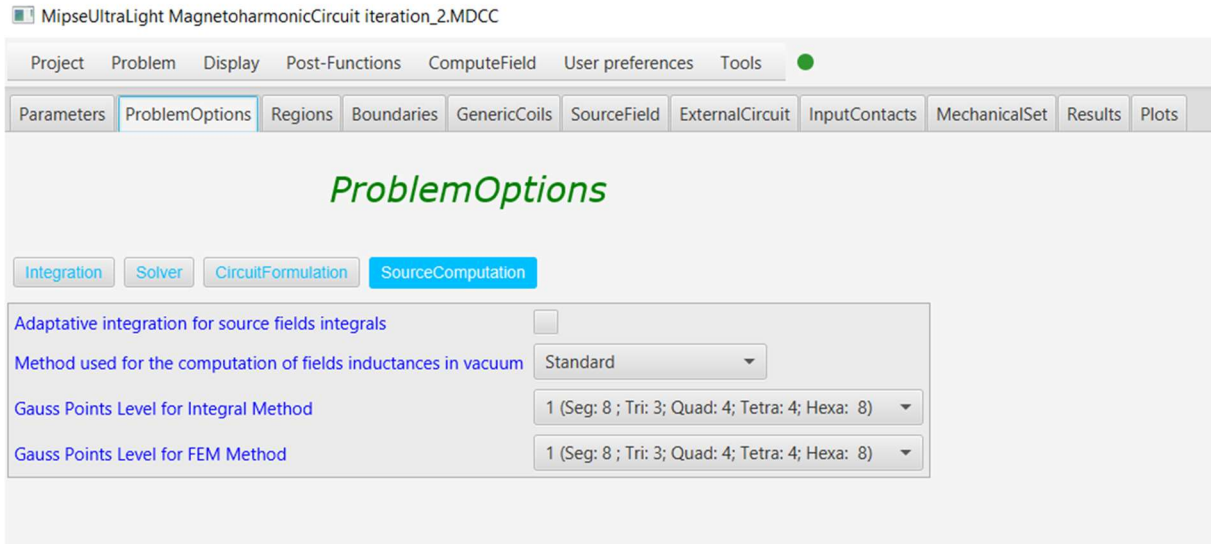


Figure A3. 5 : Paramétrage SourceComputation – paramètres par défaut

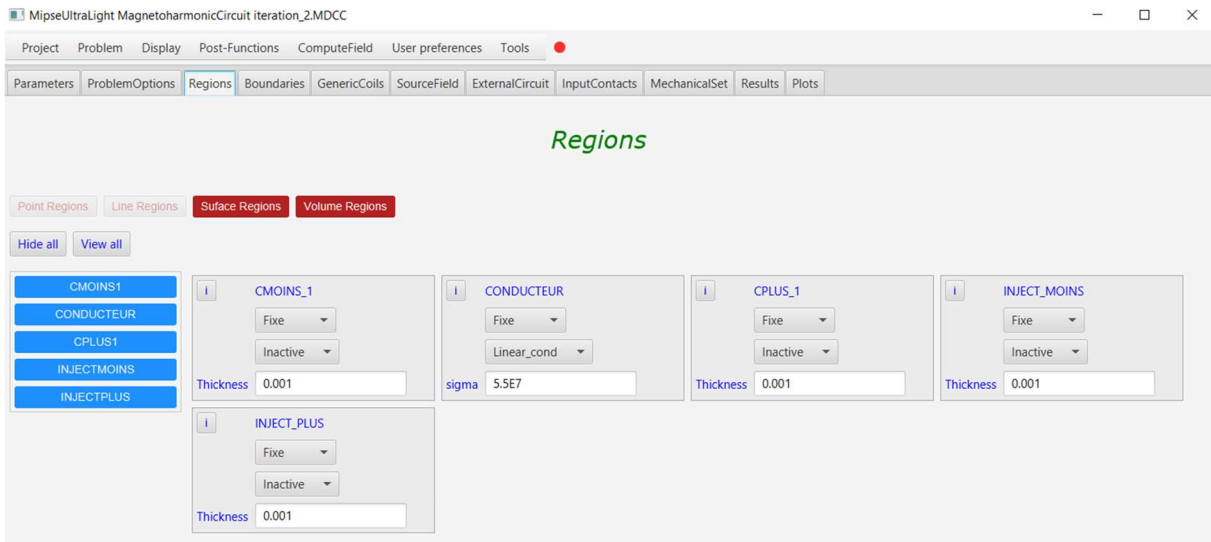


Figure A3. 6 : Paramétrage des régions - définition de la région volumique

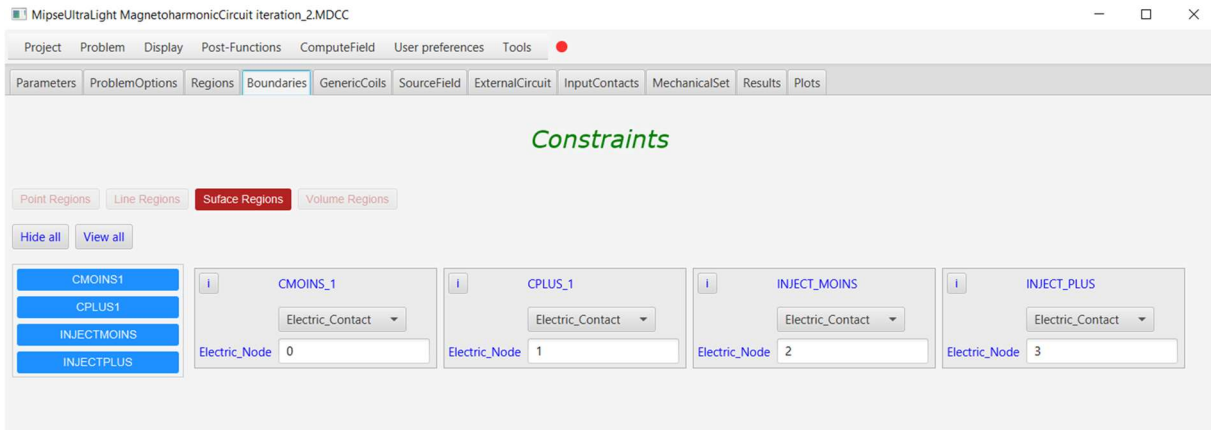


Figure A3. 7 : Conditions limites - définition des bornes électriques

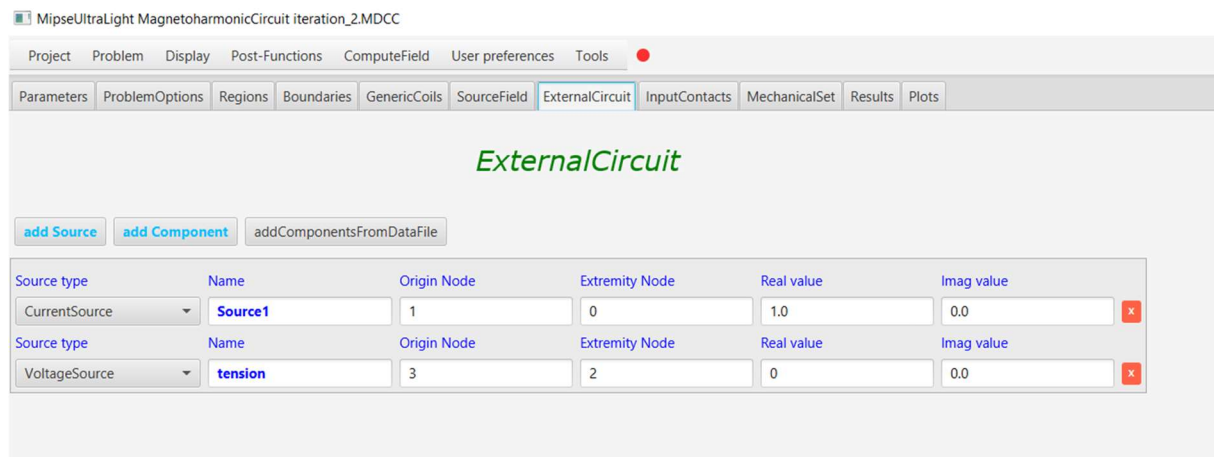


Figure A3. 8 : Connexion du circuit externe - sources et charges

ANNEXE 4 : PCB busbar

Cette annexe présente le PCB busbar réalisé afin de limiter l'inductance parasite entre les condensateurs du bus DC et les cellules de commutation. Les deux couches de ce PCB sont présentées sur la Figure A4. 1.

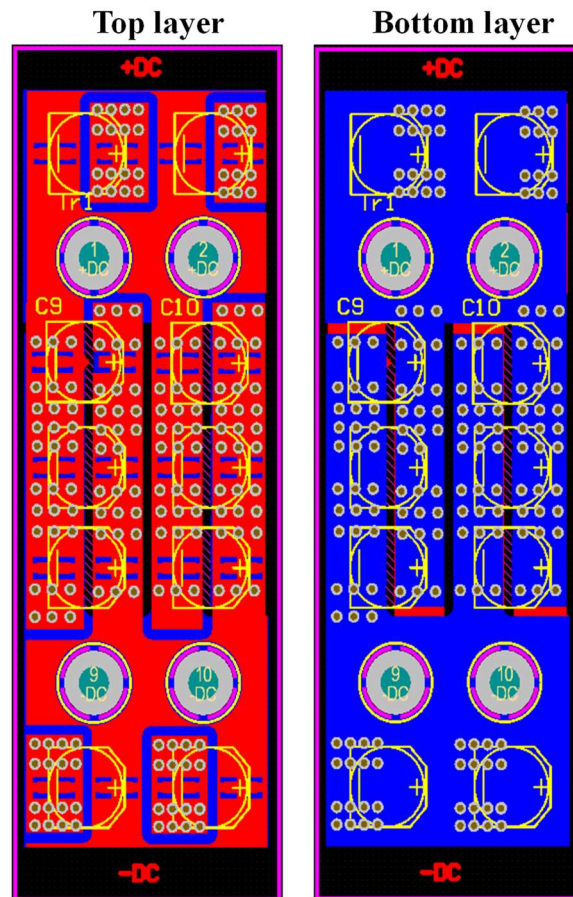


Figure A4. 1 : PCB busbar

ANNEXE 5 : Exemple d'architecture de mise en série

Les architectures de mise en série de composants qui seront présentées concernent la réalisation d'une cellule de commutation avec 4 MOSFETs en série par interrupteur comme sur la Figure A5. 1. On retrouve sur cette cellule de commutation les potentiels +DC, -DC et phase plus les potentiels intermédiaires notés V1 à V6. Ces derniers nous permettront de comprendre la connexion des dissipateurs.

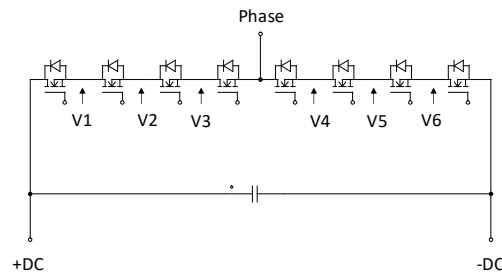


Figure A5. 1: Schéma d'une cellule de commutation avec 4 interrupteurs en série par switch

Dans la première architecture présentée sur la Figure A5. 2, la mise en série est effectuée par empilement verticale de deux composants. Avec les potentiels V1, V3, V4 et V6 réalisés avec des dissipateurs plus hauts que les autres afin de garder la même surface d'échange. La tenue en tension doit être bien étudiée pour définir les caractéristiques des isolants entre les potentiels.

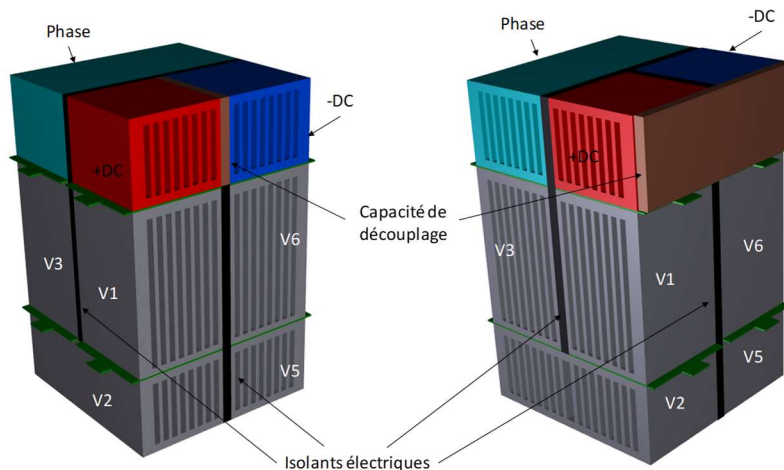


Figure A5. 2 : Empilement vertical de deux composants élémentaires

Une autre possibilité consiste à disposer les dissipateurs sur le même plan afin de garder la hauteur d'une cellule élémentaire. Deux exemples d'une première version sont présentés sur la Figure A5. 3. L'exemple de droite permet de limiter les pertes de charge que l'autre.

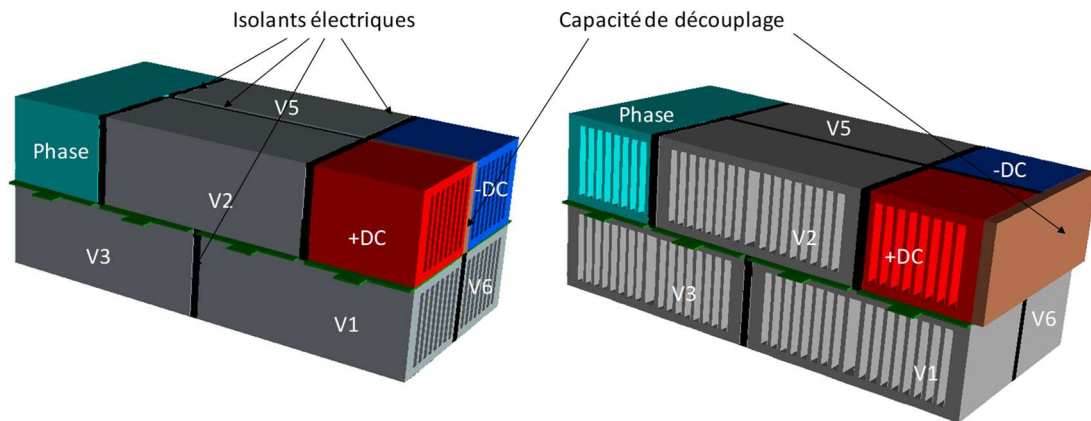


Figure A5.3 : Mise en série dans le même plan V1

La Figure A5.4 (en haut) présente deux autres exemples d'assemblage des composants élémentaires dans le même plan. Les capacités et inductances parasites au sein de la cellule de commutation sont modifiées par rapport aux deux exemples précédents ce qui peut avoir des répercussions sur le comportement lors des commutations. L'exemple de gauche limite les pertes de charge par rapport à celui de droite.

En bas de la Figure A5.4, on peut voir l'architecture en haut à gauche complétée par la boîte d'isolation et les différents éléments présentés dans le chapitre IV.

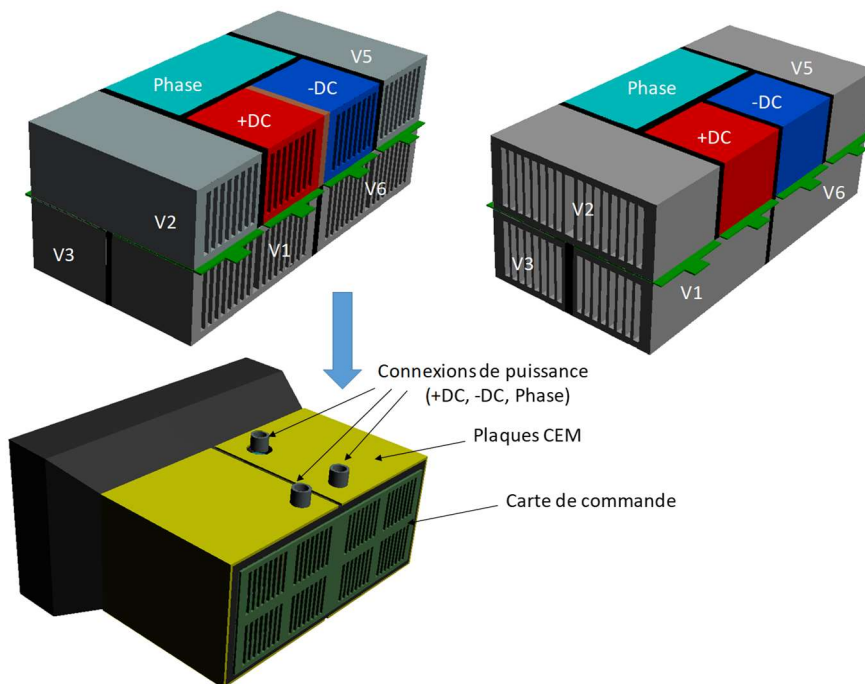
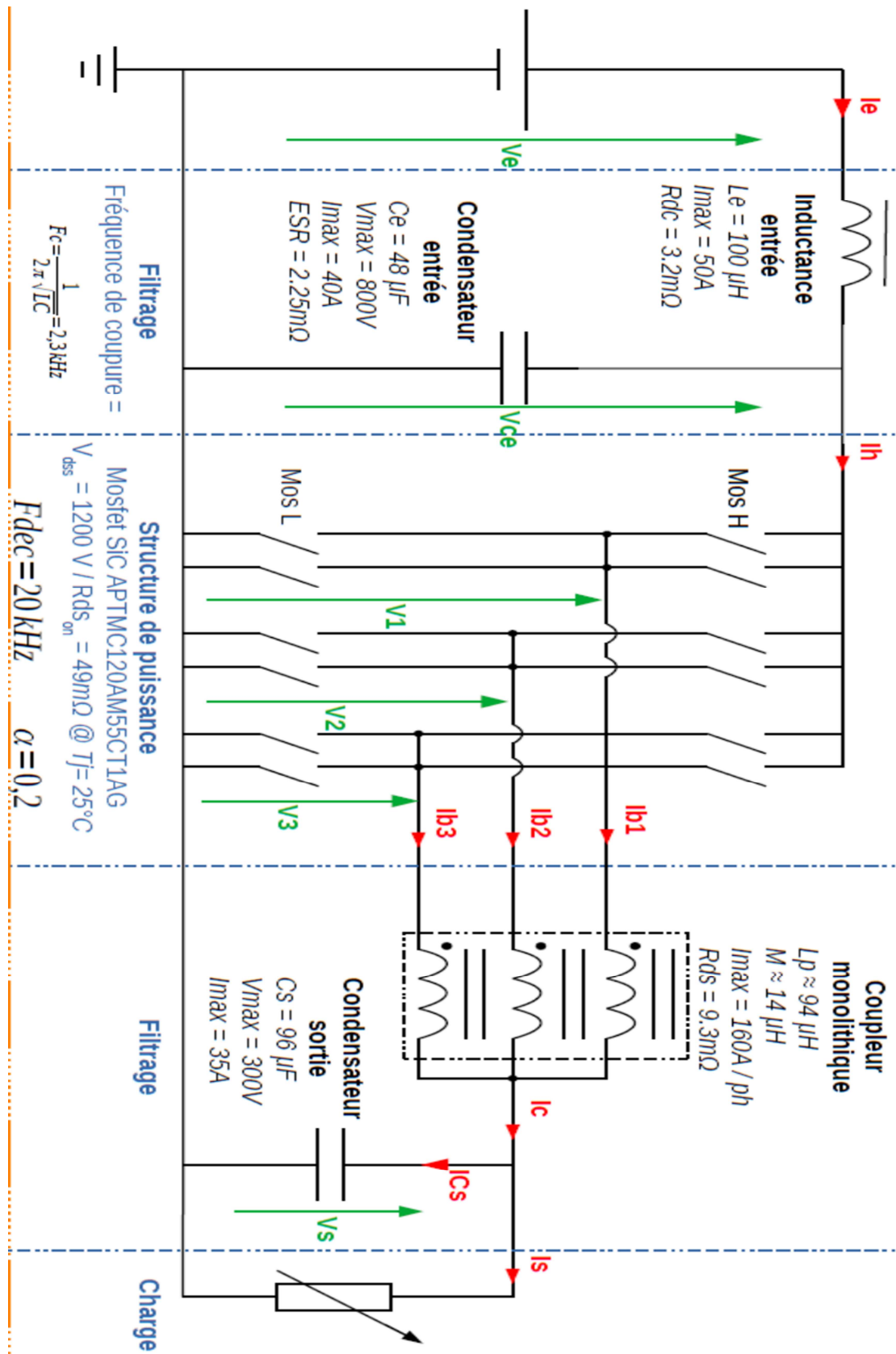


Figure A5.4 : Mise en série dans le même plan V2

ANNEXE 6 : Carte de commande rapprochée



ANNEXE 7 : Simulations PSIM pour l'estimation des pertes et des températures de jonction

Le schéma simulé sur PSIM est présenté sur la Figure A7. 1. On peut alors distinguer 3 parties. Une partie commande basée sur la modulation de largeur d'impulsion (MLI), une partie puissance qui comprend d'un coté les bras d'onduleurs et la charge triphasée couplée en étoile de l'autre. La partie modèle thermique comprend les résistances thermiques et les différents couplages thermiques représentés comme des sources de tension commandée par les pertes dans les transistors qui créent ce couplage.

Les paramètres constituant le modèle électrique du MOSFET sont visibles sur la Figure A7. 2. Ces paramètres sont principalement issus de la datasheet à l'exception de la résistance à l'état passant qui est la valeur mesurée en pratique. La caractéristique $V_d(i_F)$ de la diode n'est pas renseignée, car n'est pas fourni dans la documentation technique.

La Figure A7. 3 montre le paramétrage du MOSFET dans la simulation. La fréquence correspond à la fréquence à laquelle on désire moyennner les pertes. Dans notre cas, nous avons voulu observer les pertes sur la basse fréquence 50 Hz. Les tensions de commande doivent être indiquées de même que la ou les résistances de grille. Il est également possible d'appliquer des facteurs de correction après calibration sur certains paramètres.

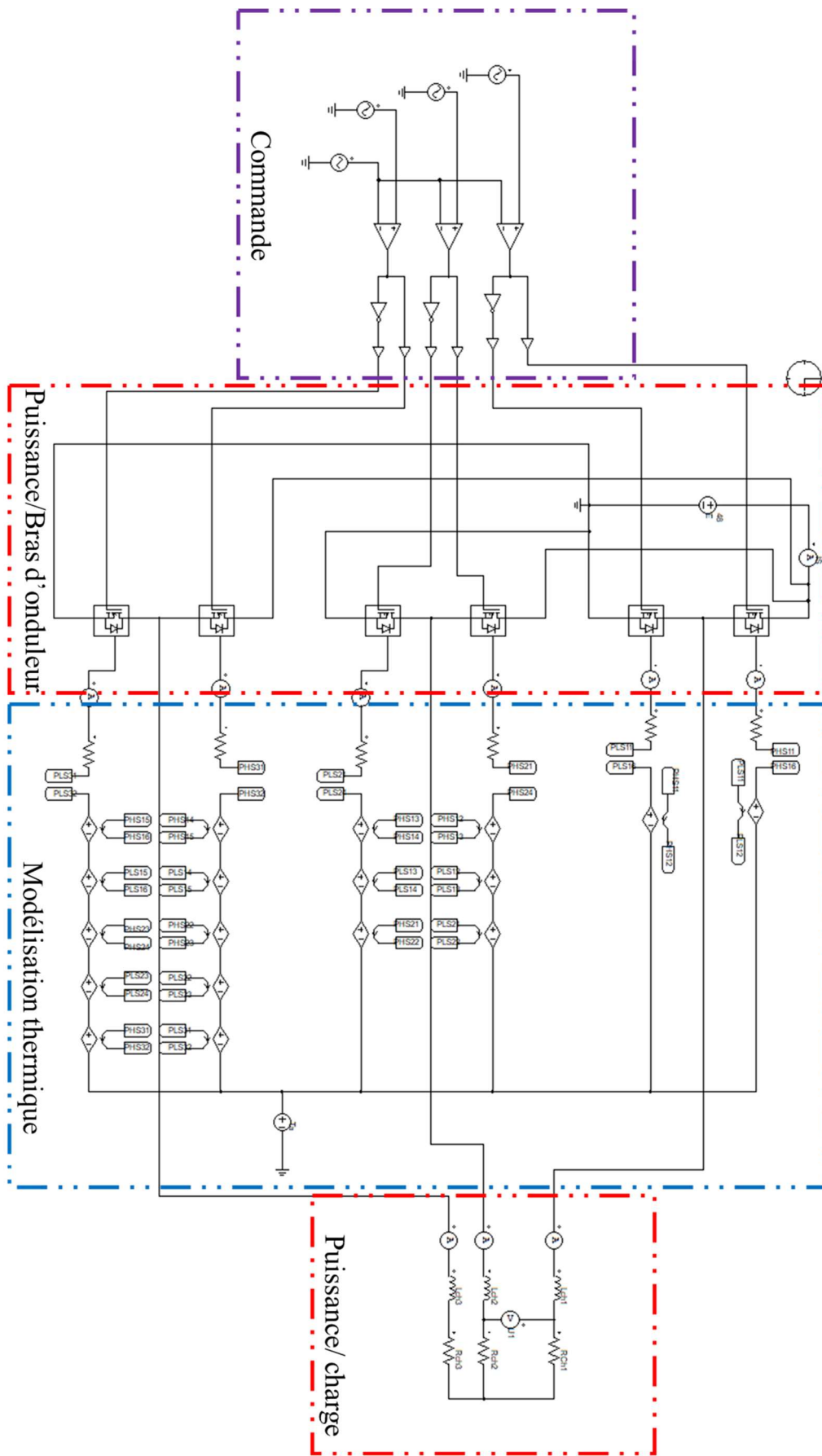


Figure A7. 1 : Schéma de simulation PSIM de mesure de perte

Manufacturer: Infineon Part Number: Schweizer48V

Package: Discrete (n channel) Style: Puce enfouie

Absolute Maximum Ratings
 VDS,max (V): 80 ID,max (A): 460 TJ,max (oC): 175

Electrical Characteristics - Transistor

| Test Conditions: | | Test Conditions: | |
|--------------------------------|--------------|---|----------------|
| RDS(on): 0.0011 | TJ: 25 | Qg (nC): 241 | VDS: 40 |
| Temperature Coefficient: 0.005 | VGS: 10 | Qgs (nC): 69 | VGS: 10 |
| | ID: 100 | Qgd (nC): 69 | ID: 100 |
| VGS(th): 3.8 | ID: 0.000273 | Ciss (pF): 15372 | VDS: 40 |
| gfs (S): | VDS: | Coss (pF): 2685 | VGS: 0 |
| | ID: | Crss (pF): 130 | Freq. (MHz): 1 |
| tr (ns): 17 | VDS: 40 | Note: All voltages are in V, currents in A, and resistances in Ohm. | |
| tf (ns): 35 | ID: 100 | | |
| | RG: 3.5 | | |

Electrical Characteristics - Diode

Vd vs. IF

| Test Conditions: | |
|------------------|-------------------|
| trr (ns): 73 | IF (A): 50 |
| Qrr (uC): 0.117 | di/dt (A/us): 100 |
| | TJ (oC): |

Thermal Characteristics

Type: Cauer No. of Stages: 0

Transistor

There are no items to show.

Dimensions and Weight

Length (mm):
 Height (mm):
 Width (mm):
 Weight (g):

Figure A7. 2 : Modèle électrique du MOSFET

MOSFET (database) : HS1

Parameters | Color

MOSFET (database)

| Name | Value | Display |
|----------------------------|--------------|---|
| Name | HS1 | <input type="checkbox"/> |
| Device | Schweizer48V | <input type="checkbox"/> <input type="button" value="..."/> |
| Number of Parallel Devices | 1 | <input type="checkbox"/> |
| Frequency | 50 | <input type="checkbox"/> |
| VGG+ (upper level) | 15 | <input type="checkbox"/> |
| VGG- (lower level) | -5 | <input type="checkbox"/> |
| Rg_on (turn-on) | 6.7 | <input type="checkbox"/> |
| Rg_off (turn-off) | 6.7 | <input type="checkbox"/> |
| RDS(on) Calibration Factor | 1 | <input type="checkbox"/> |
| gfs Calibration Factor | 1 | <input type="checkbox"/> |
| Pcond_Q Calibration Factor | 1 | <input type="checkbox"/> |
| Psw_Q Calibration Factor | 1 | <input type="checkbox"/> |
| Pcond_D Calibration Factor | 1 | <input type="checkbox"/> |
| Psw_D Calibration Factor | 1 | <input type="checkbox"/> |
| Initial Tj | 30 | <input type="checkbox"/> |
| Initial Ploss | 0 | <input type="checkbox"/> |
| Tj Flag | 1 | <input type="checkbox"/> |
| Ploss Flag | 1 | <input type="checkbox"/> |
| Current Flag | 0 | <input type="checkbox"/> |
| Voltage Flag | 0 | <input type="checkbox"/> |

Figure A7. 3 : Paramétrage du MOSFET - application de facteurs de correction

- [1] Y. Avenas, « Système électronique de puissance ». French patent n°FR18/60229, Published in 2019.
- [2] W. Bikinga, B. Mezrag, et Y. Avenas, « Système électronique de puissance ». French patent n°FR20/09856, Deposit in 2020.
- [3] J. Broughton, V. Smet, R. R. Tummala, et Y. K. Joshi, « Review of Thermal Packaging Technologies for Automotive Power Electronics for Traction Purposes », *Journal of Electronic Packaging*, vol. 140, n° 4, p. 040801, déc. 2018, doi: 10.1115/1.4040828.
- [4] J. D. van Wyk et F. C. Lee, « On a Future for Power Electronics », *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 1, n° 2, p. 59-72, juin 2013, doi: 10.1109/JESTPE.2013.2271499.
- [5] S. Sayan et M. Homer Alan, « High performance silicon carbide power packaging—past trends, present practices, and future directions », *Energies*, vol. 10, n° 3, 2017.
- [6] G. Regnat, P.-O. Jeannin, D. Frey, J. Ewanchuk, S. V. Mollov, et J.-P. Ferrieux, « Optimized Power Modules for Silicon Carbide MOSFET », *IEEE Trans. on Ind. Applicat.*, vol. 54, n° 2, p. 1634-1644, mars 2018, doi: 10.1109/TIA.2017.2784802.
- [7] « Office of Energy Efficiency & Renewable Energy, 2017, "Electrical and Electronics Technical Team Roadmap," ». U.S. DRIVE, Driving Research and Innovation for Vehicle Efficiency and Energy Sustainability, Washington, DC.
- [8] M.-C. Lu, « Comparative Study on Power Module Architectures for Modularity and Scalability », *Journal of Electronic Packaging*, vol. 142, n° 4, p. 040801, déc. 2020, doi: 10.1115/1.4047472.
- [9] M. Delhommais, G. Dadanema, Y. Avenas, J. L. Schanen, F. Costa, et C. Vollaïre, « Using design by optimization for reducing the weight of a SiC switching cell », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, USA, sept. 2016, p. 1-8. doi: 10.1109/ECCE.2016.7855545.
- [10] « Association des Constructeurs Européens d'Automobiles; Part de marchés des Véhicules électrifiés en Europe ». [En ligne]. Disponible sur: <https://www.acea.auto/fuel-pc/fuel-types-of-new-cars-battery-electric-7-5-hybrid-19-3-petrol-41-8-market-share-in-q2-2021/>
- [11] « Office of Energy Statistics, 2019, "Monthly Energy Review," U.S. Energy Information Administration, Office of Energy Statistics, U.S. DOE, Washington, DC, Report No. DOE/EIA 0035 ». 2019.
- [12] K. Rajashekara, « Present Status and Future Trends in Electric Vehicle Propulsion Technologies », *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 1, n° 1, p. 3-10, mars 2013, doi: 10.1109/JESTPE.2013.2259614.
- [13] A. Emadi, *Advanced Electric Drive Vehicles*. CRC Press, 2015. [En ligne]. Disponible sur: https://www.academia.edu/42039730/Advanced_Electric_Drive_Vehicles

- [14] « Stratégie Nationale Bas Carbone (SNBC) révisée complète ». avril 2020. [En ligne]. Disponible sur: https://www.ecologie.gouv.fr/sites/default/files/2020-03-25_MTES_SNBC2.pdf
- [15] J.-M. Normand, « Journal Le Monde : Dans l'automobile, la douloureuse transition de l'hybride ». juillet 2021. [En ligne]. Disponible sur: https://www.lemonde.fr/economie/article/2021/07/22/dans-l-automobile-la-douloureuse-transition-de-l-hybride_6089181_3234.html
- [16] « Fin du moteur thermique : toutes les dates et les annonces des constructeurs ». [En ligne]. Disponible sur: <https://www.automobile-magazine.fr/voitures-electriques/article/31206-fin-du-moteur-thermique-toutes-les-dates-et-les-annonces-des-constructeurs>
- [17] « 2022 Audi A3 now on sale in US with standard 48V MHEV; 24% better combined fuel economy in A3 40 TFSI quattro ». octobre 2021. Consulté le: 2 novembre 2021. [En ligne]. Disponible sur: <https://www.greencarcongress.com/2021/10/20211013-a3.html>
- [18] Zhihong Liang et Lei Li, « HybridPACK2 - advanced cooling concept and package technology for Hybrid Electric Vehicles », in *2008 IEEE Vehicle Power and Propulsion Conference*, Harbin, Hei Longjiang, China, sept. 2008, p. 1-5. doi: 10.1109/VPPC.2008.4677722.
- [19] K. Hussein, A. Fujita, et K. Sato, « Trend in power devices for electric and hybrid electric vehicles », in *The 20th Asia and South Pacific Design Automation Conference*, Chiba, Japan, janv. 2015, p. 416-416. doi: 10.1109/ASPDAC.2015.7059041.
- [20] « “U.S. DRIVE electrical and electronics technical team roadmap,” U.S. Department of Energy, Washington, DC, USA ». octobre 2017. [En ligne]. Disponible sur: <https://www.energy.gov/sites/default/files/2017/11/f39/EETT%20Roadmap%2010-27-17.pdf>
- [21] « Vitesco : 48V BSG air cooled ». Consulté le: 16 novembre 2021. [En ligne]. Disponible sur: <https://www.vitesco-technologies.com/en-us/products/48-v-bsg-air-cooled>
- [22] I. Husain *et al.*, « Electric Drive Technology Trends, Challenges, and Opportunities for Future Electric Vehicles », *Proc. IEEE*, vol. 109, n° 6, p. 1039-1059, juin 2021, doi: 10.1109/JPROC.2020.3046112.
- [23] V. Reber, « E-power: New possibilities with 800-volt charging ». *Porsche Eng. Mag.*, 2016. Consulté le: 30 octobre 2021. [En ligne]. Disponible sur: <https://www.porscheengineering.com/peg/en/about/magazine/>
- [24] « Fisker Inc. chooses Ricardo to support integration of state-of-the-art 800V electric powertrain ». octobre 2017. [En ligne]. Disponible sur: <https://d1v9sz08rbysvx.cloudfront.net/ricardo/media/media/other%20download%20files/fisker-ricardo-release-final-draft.pdf>
- [25] T. Thiringer, M. Grenier, et M. G. H. Aghdam, « Design of on-board charger for plug-in hybrid electric vehicle », in *5th IET International Conference on Power Electronics, Machines and Drives (PEMD 2010)*, Brighton, UK, 2010, p. 152-152. doi: 10.1049/cp.2010.0101.

- [26] S. Haghbin *et al.*, « Integrated chargers for EV's and PHEV's: examples and new solutions », in *The XIX International Conference on Electrical Machines - ICEM 2010*, Rome, Italy, sept. 2010, p. 1-6. doi: 10.1109/ICELMACH.2010.5608152.
- [27] M. Yilmaz et P. T. Krein, « Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles », *IEEE Trans. Power Electron.*, vol. 28, n° 5, p. 2151-2169, mai 2013, doi: 10.1109/TPEL.2012.2212917.
- [28] J. Yuan, L. Dorn-Gomba, A. D. Callegaro, J. Reimers, et A. Emadi, « A Review of Bidirectional On-Board Chargers for Electric Vehicles », *IEEE Access*, vol. 9, p. 51501-51518, 2021, doi: 10.1109/ACCESS.2021.3069448.
- [29] « Contemporary trends in power electronics converters for charging solutions of electric vehicles », *CSEE JPES*, 2020, doi: 10.17775/CSEEJPES.2019.02700.
- [30] K. Gupta *et al.*, « Thermal Management Strategies for a High-Frequency, Bi-Directional, On-Board Electric Vehicle Charger », in *2018 17th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*, San Diego, CA, mai 2018, p. 935-943. doi: 10.1109/ITHERM.2018.8419580.
- [31] J. Reimers, L. Dorn-Gomba, C. Mak, et A. Emadi, « Automotive Traction Inverters: Current Status and Future Trends », *IEEE Trans. Veh. Technol.*, vol. 68, n° 4, p. 3337-3350, avr. 2019, doi: 10.1109/TVT.2019.2897899.
- [32] A. Maréchal *et al.*, « Model implementation towards the prediction of J(V) characteristics in diamond bipolar device simulations », *Diamond and Related Materials*, vol. 43, p. 34-42, mars 2014, doi: 10.1016/j.diamond.2014.01.009.
- [33] H. Zhang *et al.*, « Progress of Ultra-Wide Bandgap Ga₂O₃ Semiconductor Materials in Power MOSFETs », *IEEE Trans. Power Electron.*, vol. 35, n° 5, p. 5157-5179, mai 2020, doi: 10.1109/TPEL.2019.2946367.
- [34] P. H. Carey *et al.*, « Extreme Temperature Operation of Ultra-Wide Bandgap AlGaN High Electron Mobility Transistors », *IEEE Trans. Semicond. Manufact.*, vol. 32, n° 4, p. 473-477, nov. 2019, doi: 10.1109/TSM.2019.2932074.
- [35] F. Nallet, « SiC pour l'électronique de puissance du futur ». *Tech. Ing.*, vol. RE3, 2002.
- [36] D. TOURNIER, « Composants de puissance en SiC - Technologie ». *Tech. Ing.* D3120 V2, 2007.
- [37] B. J. Baliga, *Silicon Carbide Power Devices*. WORLD SCIENTIFIC, 2006. doi: 10.1142/5986.
- [38] Y. Li *et al.*, « A 500kW Forced-air-cooled Silicon Carbide (SiC) 3-Phase DC/AC Converter with a Power Density of 1.246MW/m³ and Efficiency >98.5% », in *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, Detroit, MI, USA, oct. 2020, p. 209-216. doi: 10.1109/ECCE44975.2020.9236074.
- [39] Qin Haihong, Xie Haotian, Zhu Ziyue, Nie Xin, Xu Huajuan, et Fu Dafeng, « Comparisons of SiC and Si devices for PMSM drives », in *2016 IEEE 8th International*

- Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, Hefei, China, mai 2016, p. 891-896. doi: 10.1109/IPEMC.2016.7512404.
- [40] J. Zhu, H. Kim, H. Chen, R. Erickson, et D. Maksimovic, « High efficiency SiC traction inverter for electric vehicle applications », in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, San Antonio, TX, mars 2018, p. 1428-1433. doi: 10.1109/APEC.2018.8341204.
- [41] A. Rujas, V. M. Lopez, A. Garcia-Bediaga, A. Berasategi, et T. Nieva, « Influence of SiC technology in a railway traction DC-DC converter design evolution », in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, Cincinnati, OH, oct. 2017, p. 931-938. doi: 10.1109/ECCE.2017.8095885.
- [42] N. Soltau, E. Wiesner, E. Stumpf, S. Idaka, et K. Hatori, « Electric-Energy Savings using 3.3 kV Full-SiC Power-Modules in Traction Applications », in *2020 Fifteenth International Conference on Ecological Vehicles and Renewable Energies (EVER)*, Monte-Carlo, Monaco, sept. 2020, p. 1-5. doi: 10.1109/EVER48776.2020.9242996.
- [43] J. Homann, « “Taetigkeitsbericht Eisenbahnen 2013,” Bundesnetzagentur, Germany ». avril 2014. [En ligne]. Disponible sur: https://www.bundesnetzagentur.de/SharedDocs/Downloads/DE/Allgemeines/Bundesnetzagentur/Publikationen/Berichte/2015/150323_TaetigkeitsberichtBahn2013.pdf?__blob=publicationFile&v=2
- [44] H. Zhang, L. M. Tolbert, et B. Ozpineci, « Impact of SiC Devices on Hybrid Electric and Plug-In Hybrid Electric Vehicles », *IEEE Trans. on Ind. Applicat.*, vol. 47, n° 2, p. 912-921, mars 2011, doi: 10.1109/TIA.2010.2102734.
- [45] « Powertrain System Analysis Toolkit (PSAT) Advanced Features, Argonne Nat. Lab. Argonne, IL. »
- [46] C. Buttay, C. Raynaud, H. Morel, G. Civrac, M.-L. Locatelli, et F. Morel, « Thermal Stability of Silicon Carbide Power Diodes », *IEEE Trans. Electron Devices*, vol. 59, n° 3, p. 761-769, mars 2012, doi: 10.1109/TED.2011.2181390.
- [47] S. Pyo et K. Sheng, « Junction temperature dynamics of power MOSFET and SiC diode », in *2009 IEEE 6th International Power Electronics and Motion Control Conference*, Wuhan, mai 2009, p. 269-273. doi: 10.1109/IPEMC.2009.5157397.
- [48] K. Sheng, « Maximum Junction Temperatures of SiC Power Devices », *IEEE Trans. Electron Devices*, vol. 56, n° 2, p. 337-342, févr. 2009, doi: 10.1109/TED.2008.2010605.
- [49] G. Regnat, « Onduleur à forte intégration utilisant des semi-conducteurs à grand gap », 2016.
- [50] J.-L. SCHANEN et P.-O. Jeannin, « Integration solutions for clean and safe switching of high speed devices ». CIPS 2018; 10th International Conference on Integrated Power Electronics Systems,, 2018.
- [51] M. Chinthavali, Z. J. Wang, S. Campbell, T. Wu, et B. Ozpineci, « 50-kW 1kV DC bus air-cooled inverter with 1.7 kV SiC MOSFETs and 3D-printed novel power module packaging structure for grid applications », in *2018 IEEE Applied Power Electronics*
-

- Conference and Exposition (APEC)*, San Antonio, TX, USA, mars 2018, p. 133-140. doi: 10.1109/APEC.2018.8340999.
- [52] O. S. Senturk, L. Helle, S. Munk-Nielsen, P. Rodriguez, et R. Teodorescu, « Converter Structure-Based Power Loss and Static Thermal Modeling of The Press-Pack IGBT Three-Level ANPC VSC Applied to Multi-MW Wind Turbines », *IEEE Trans. on Ind. Applicat.*, vol. 47, n° 6, p. 2505-2515, nov. 2011, doi: 10.1109/TIA.2011.2168557.
- [53] A. Dutta et S. S. Ang, « A 3-D stacked wire bondless silicon carbide power module », in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Fayetteville, AR, USA, nov. 2016, p. 11-16. doi: 10.1109/WiPDA.2016.7799902.
- [54] A. Dutta et S. S. Ang, « A Module-Level Spring-Interconnected Stack Power Module », *IEEE Trans. Compon., Packag. Manufact. Technol.*, vol. 9, n° 1, p. 88-95, janv. 2019, doi: 10.1109/TCPMT.2018.2823708.
- [55] H. A. Mantooth et S. S. Ang, « Packaging Architectures for Silicon Carbide Power Electronic Modules », in *2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*, Niigata, mai 2018, p. 153-156. doi: 10.23919/IPEC.2018.8507779.
- [56] C. Gillot, C. Schaeffer, C. Massit, et L. Meysenc, « Double-sided cooling for high power IGBT modules using flip chip technology », *IEEE Trans. Comp. Packag. Technol.*, vol. 24, n° 4, p. 698-704, déc. 2001, doi: 10.1109/6144.974963.
- [57] C. Buttay, « Le Packaging en électronique de puissance ». Sciences de l'ingénieur [physics]. INSA de Lyon, 2015. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-01267363>
- [58] Z. Liang, « Integrated double sided cooling packaging of planar SiC power modules », in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, Canada, sept. 2015, p. 4907-4912. doi: 10.1109/ECCE.2015.7310352.
- [59] Y. Yang, L. Dorn-Gomba, R. Rodriguez, C. Mak, et A. Emadi, « Automotive Power Module Packaging: Current Status and Future Trends », *IEEE Access*, vol. 8, p. 160126-160144, 2020, doi: 10.1109/ACCESS.2020.3019775.
- [60] M. Anwar, M. Teimor, P. Savagian, R. Saito, et T. Matsuo, « Compact and high power inverter for the Cadillac CT6 rear wheel drive PHEV », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, USA, sept. 2016, p. 1-7. doi: 10.1109/ECCE.2016.7854931.
- [61] « Hitachi. (2014). Hitachi Automotive Systems Delivers Compact, High-Output Inverters and DC/DC Converters for the First Plug-in Hybrid From Mercedes Benz. » [En ligne]. Disponible sur: www.hitachi.com/New/cnews/month/2014/12/141203c.html
- [62] « Hitachi(2019) Hitachi Automotive Systems' EV Inverter Adopted for the e-tron, Audi's First Mass Production Electric Vehicle ». mai 2019. Consulté le: 20 novembre 2021. [En ligne]. Disponible sur: <https://www.hitachi.eu/en/press/hitachi-automotive-systems-ev-inverter-adopted-e-tron-audis-first-mass-production-electric>

- [63] O. Kitazawa, T. Kikuchi, M. Nakashima, Y. Tomita, H. Kosugi, et T. Kaneko, « Development of Power Control Unit for Compact-Class Vehicle », *SAE Int. J. Alt. Power.*, vol. 5, n° 2, p. 278-285, avr. 2016, doi: 10.4271/2016-01-1227.
- [64] K. Kimura *et al.*, « Development of New IGBT to Reduce Electrical Power Losses and Size of Power Control Unit for Hybrid Vehicles », *SAE Int. J. Alt. Power.*, vol. 6, n° 2, p. 303-308, mars 2017, doi: 10.4271/2017-01-1244.
- [65] Y. Xu, I. Husain, H. West, W. Yu, et D. Hopkins, « Development of an ultra-high density Power Chip on Bus (PCoB) module », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, USA, sept. 2016, p. 1-7. doi: 10.1109/ECCE.2016.7855040.
- [66] E. Vagnon, P.-O. Jeannin, J.-C. Crebier, et Y. Avenas, « A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration », *IEEE Trans. on Ind. Applicat.*, vol. 46, n° 5, p. 2046-2055, sept. 2010, doi: 10.1109/TIA.2010.2057401.
- [67] L. M. Boteler, V. A. Niemann, D. P. Urciuoli, et S. M. Miner, « Stacked power module with integrated thermal management », in *2017 IEEE International Workshop On Integrated Power Packaging (IWIPP)*, Delft, Netherlands, avr. 2017, p. 1-5. doi: 10.1109/IWIPP.2017.7936764.
- [68] « TOSHIBA corporation, "Datasheet-TPW1R306PL-Power MOSFET" ». 2015.
- [69] W. F. Bikinga, W. Deffous, B. Mezrag, et A. Derby, « Low voltage switching cell for high density and modular 3D power module with integrated air-cooling », *CIPS 2020; 11th International Conference on Integrated Power Electronics Systems*, p. 1-6, 24 mars 2020.
- [70] Z. Wang, J. Zhang, X. Wu, et K. Sheng, « Analysis of stray inductance's influence on SiC MOSFET switching performance », in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, Pittsburgh, PA, USA, sept. 2014, p. 2838-2843. doi: 10.1109/ECCE.2014.6953783.
- [71] « Rohde & Schwarz | Application Note Tips & Tricks on Double Pulse testing ». [En ligne]. Disponible sur: https://scdn.rohde-schwarz.com/ur/pws/dl_downloads/dl_application/application_notes/gfm347/GFM347_1_e_Double_Pulse_Testing.pdf
- [72] « Delta Electronics, "Datasheet-AFB0612DH" ».
- [73] Y. Avenas, L. Dupont, et Z. Khatir, « Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters—A Review », *IEEE Trans. Power Electron.*, vol. 27, n° 6, p. 3081-3092, juin 2012, doi: 10.1109/TPEL.2011.2178433.
- [74] V. Ardon, J. Aime, O. Chadebec, E. Clavel, J.-M. Guichon, et E. Vialardi, « EMC Modeling of an Industrial Variable Speed Drive With an Adapted PEEC Method », *IEEE Trans. Magn.*, vol. 46, n° 8, p. 2892-2898, août 2010, doi: 10.1109/TMAG.2010.2043420.
- [75] J. Siau, G. Meunier, O. Chadebec, J.-M. Guichon, et R. Perrin-Bit, « Volume Integral Formulation Using Face Elements for Electromagnetic Problem Considering Conductors

- and Dielectrics », *IEEE Trans. Electromagn. Compat.*, vol. 58, n° 5, p. 1587-1594, oct. 2016, doi: 10.1109/TEMPC.2016.2559801.
- [76] K. Alkama *et al.*, « Computational Strategies Improvement For The Unstructured Inductive PEEC Method », in *2020 IEEE 19th Biennial Conference on Electromagnetic Field Computation (CEFC)*, Pisa, Italy, nov. 2020, p. 1-4. doi: 10.1109/CEFC46938.2020.9451292.
- [77] M. Guacci, « Analysis and Design of a 1200 V All-SiC Planar Interconnection Power Module for Next Generation More Electrical Aircraft Power Electronic Building Blocks », *CPSS TPEA*, vol. 2, n° 4, p. 320-330, déc. 2017, doi: 10.24295/CPSSTPEA.2017.00029.
- [78] J. Onuki, M. Koizumi, et M. Suwa, « Reliability of thick Al wire bonds in IGBT modules for traction motor drives », *IEEE Trans. Adv. Packag.*, vol. 23, n° 1, p. 108-112, févr. 2000, doi: 10.1109/6040.826768.
- [79] Wuchen Wu, M. Held, P. Jacob, P. Scacco, et A. Birolini, « Investigation on the long term reliability of power IGBT modules », in *Proceedings of International Symposium on Power Semiconductor Devices and IC's: ISPSD '95*, Yokohama, Japan, 1995, p. 443-448. doi: 10.1109/ISPSD.1995.515079.
- [80] V. Smet *et al.*, « Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling », *IEEE Trans. Ind. Electron.*, vol. 58, n° 10, p. 4931-4941, oct. 2011, doi: 10.1109/TIE.2011.2114313.
- [81] L. Dupont, Z. Khatir, S. Lefebvre, R. Meuret, B. Parmentier, et S. Bontemps, « Electrical characterizations and evaluation of thermo-mechanical stresses of a power module dedicated to high temperature applications », in *2005 European Conference on Power Electronics and Applications*, Dresden, Germany, 2005, p. 11 pp.-P.11. doi: 10.1109/EPE.2005.219580.
- [82] S. H. Tran, L. Dupont, et Z. Khatir, « Electrothermal Evaluation of Single and Multiple Solder Void Effects on Low-Voltage Si MOSFET Behavior in Forward Bias Conditions », *IEEE Trans. Compon., Packag. Manufact. Technol.*, vol. 7, n° 3, p. 396-404, mars 2017, doi: 10.1109/TCPMT.2016.2633582.
- [83] L. Biswal, A. Krishna, et D. Sprunger, « Effect of Solder Voids on Thermal Performance of a High Power Electronic Module », in *2005 7th Electronic Packaging Technology Conference*, Singapore, 2005, vol. 2, p. 526-531. doi: 10.1109/EPTC.2005.1614460.
- [84] A. Olson, « What are Intermetallics and How Can We Overcome the Failures Associated with Them? » *STI Electron.*, vol. 35758, no. 256, 2009.
- [85] M. Barrière, « Assemblages de puissance innovants haute température - haute tension pour composants Si dédiés aux applications embarquées aéronautiques, automobiles et ferroviaires », Université de Bordeaux, 2017.
- [86] V. R. Manikam et Kuan Yew Cheong, « Die Attach Materials for High Temperature Applications: A Review », *IEEE Trans. Compon., Packag. Manufact. Technol.*, vol. 1, n° 4, p. 457-478, avr. 2011, doi: 10.1109/TCPMT.2010.2100432.

- [87] W. W. Sheng et R. P. Colino, *Power Electronic Modules : Design and Manufacture*, 0 éd. CRC Press, 2004. doi: 10.1201/9780203507308.
- [88] L. Ménager, B. Allard, et V. Bley, « Conditionnement des modules de puissance ». *Techniques de l'Ingénieur*, mai 2010.
- [89] F. De Baillenx, « Equipements électriques et électroniques Directive ROHS: les échéances du 22 juillet 2019 », janvier 2019.
- [90] A. Syed-khaja, « Diffusion Soldering for Hightemperature Packaging of Power Electronics ». 2018.
- [91] « AMETEC, data Sheet: 95 Lead-5Tin ». [En ligne]. Disponible sur: <https://www.ametek-ecp.com>
- [92] T. Jensen, S. Neoh, et A. Murling, « Reinforced solder preforms for high-reliability and low voiding ». *IEEE-Pan Pacific Microelectronics Symposium (Pan Pacific)*, 2017.
- [93] « INDIUM: InFORMS datasheet ». [En ligne]. Disponible sur: <http://www.indium.com/sds>
- [94] C. Buttay, D. Planson, B. Allard, D. Bergogne, et P. Bevilacqua, « State of the art of High Temperature Power Electronics ». *HAL*, septembre 2009. [En ligne]. Disponible sur: <https://hal.archives-ouvertes.fr/hal-00413349/document>
- [95] L. Dupont, « Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude. », *École Normale Supérieure de Cachan*, 2006.
- [96] B. DJURIC, « Contribution à l'interconnexion de composants actifs intégrés dans des substrats laminés : apport des interfaces micro ou nano-structurées », *Université Toulouse 3 - Paul Sabatier*, 2020.
- [97] N. S. Nobeen *et al.*, « Transient liquid phase (TLP) bonding using Sn/Ag multilayers for high temperature applications », in *2013 IEEE 15th Electronics Packaging Technology Conference (EPTC 2013)*, Singapore, déc. 2013, p. 647-652. doi: 10.1109/EPTC.2013.6745799.
- [98] B. J. Grummel, Z. J. Shen, H. A. Mustain, et A. R. Hefner, « Thermo-Mechanical Characterization of Au-In Transient Liquid Phase Bonding Die-Attach », *IEEE Trans. Compon., Packag. Manufact. Technol.*, vol. 3, n° 5, p. 716-723, mai 2013, doi: 10.1109/TCPMT.2013.2239702.
- [99] J. Wang, X. Liu, F. Huo, K. Kariya, N. Masago, et H. Nishikawa, « Novel transient liquid phase bonding method using In-coated Cu sheet for high-temperature die attach », *Materials Research Bulletin*, vol. 149, p. 111713, mai 2022, doi: 10.1016/j.materresbull.2021.111713.
- [100] S. W. Yoon, M. D. Glover, et K. Shiozaki, « Nickel–Tin Transient Liquid Phase Bonding Toward High-Temperature Operational Power Electronics in Electrified Vehicles », *IEEE Trans. Power Electron.*, vol. 28, n° 5, p. 2448-2456, mai 2013, doi: 10.1109/TPEL.2012.2212211.

- [101] B.-S. Lee, S.-K. Hyun, et J.-W. Yoon, « Cu–Sn and Ni–Sn transient liquid phase bonding for die-attach technology applications in high-temperature power electronics packaging », *J Mater Sci: Mater Electron*, vol. 28, n° 11, p. 7827-7833, juin 2017, doi: 10.1007/s10854-017-6479-4.
- [102] A. Masson *et al.*, « Die attach using silver sintering. Practical implementation and analysis ». HAL, octobre 2013. [En ligne]. Disponible sur: <https://hal.archives-ouvertes.fr/hal-00874465/document>
- [103] F. Le Henaff, « Contribution à l'étude, la mise en oeuvre et à l'évaluation d'une solution de report de puce de puissance par procédé de frittage de pâte d'argent à haute pression et basse température », UNIVERSITÉ BORDEAUX, 2014. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-01198670/document>
- [104] H. Schwarzbauer et R. Kuhnert, « Novel large area joining technique for improved power device performance », *IEEE Trans. on Ind. Applicat.*, vol. 27, n° 1, p. 93-95, févr. 1991, doi: 10.1109/28.67536.
- [105] R. Amro, J. Lutz, J. Rudzki, M. Thoben, et A. Lindemann, « Double-sided low-temperature joining technique for power cycling capability at high temperature », in *2005 European Conference on Power Electronics and Applications*, Dresden, Germany, 2005, p. 10 pp.-P.10. doi: 10.1109/EPE.2005.219523.
- [106] G.-Q. Lu, J. N. Calata, G. Lei, et X. Chen, « Low-temperature and Pressureless Sintering Technology for High-performance and High-temperature Interconnection of Semiconductor Devices », in *2007 International Conference on Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems. EuroSime 2007*, London, UK, 2007, p. 1-5. doi: 10.1109/ESIME.2007.360066.
- [107] « Heraeus, mAgic® PE338: Pressure Ag Sinter Paste for Power Electronics Applications ». [En ligne]. Disponible sur: https://www.heraeus.com/en/het/products_and_solutions_het/sinter_materials/magic_pe338/pe338.html
- [108] C. Mertens, J. Rudzki, et R. Sittig, « Top-side chip contacts with low temperature joining technique (LTJT) », in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, Aachen, Germany, 2004, p. 4178-4182. doi: 10.1109/PESC.2004.1354738.
- [109] « CREE, "Datasheet - CPM2-1200-0080B." » 2015.
- [110] N. Botter, Y. Avenas, J.-M. Missiaen, D. Bouvard, et R. Khazaka, « Thermal Analysis of Power Module with Double Sided Direct Cooling using Ceramic Heat Sinks ». CIPS 2020; 11th International Conference on Integrated Power Electronics Systems, mars 2022.
- [111] M. Schneider-Ramelow, T. Baumann, et E. Hoene, « Double-side cooled semiconductors for automotive applications ».
- [112] C. Buttay *et al.*, « Compact Inverter Designed for High-Temperature Operation », in *2007 IEEE Power Electronics Specialists Conference*, Orlando, FL, USA, 2007, p. 2241-2247. doi: 10.1109/PESC.2007.4342357.

- [113] J. N. Calata, J. G. Bai, Xingsheng Liu, Sihua Wen, et Guo-Quan Lu, « Three-dimensional packaging for power semiconductor devices and modules », *IEEE Trans. Adv. Packag.*, vol. 28, n° 3, p. 404-412, août 2005, doi: 10.1109/TADVP.2005.852837.
- [114] J. G. Bai, J. N. Calata, et Guo-Quan Lu, « Comparative thermal and thermomechanical analyses of solder-bump and direct-solder bonded power device packages having double-sided cooling capability », in *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04.*, Anaheim, CA, USA, 2004, vol. 2, p. 1240-1246. doi: 10.1109/APEC.2004.1295981.
- [115] M. Mermet-Guyennet, « New structure of power integrated module ». 4th International Conference on Integrated Power Systems, juin 2006.
- [116] S. Haque *et al.*, « An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structures », *IEEE Trans. Adv. Packag.*, vol. 22, n° 2, p. 136-144, mai 1999, doi: 10.1109/6040.763184.
- [117] K. Siddabattula, Zhou Chen, et D. Boroyevich, « Evaluation of metal post interconnected parallel plate structure for power electronic building blocks », in *APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058)*, New Orleans, LA, USA, 2000, vol. 1, p. 271-276. doi: 10.1109/APEC.2000.826115.
- [118] C. Buttay, B. Allard, et R. Riva, « Silver sintering for power electronics integration », in *2015 International Conference on Electronic Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, Kyoto, Japan, avr. 2015, p. 554-558. doi: 10.1109/ICEP-IAAC.2015.7111076.
- [119] L. Ménager, « Contribution à l'intégration des convertisseurs de puissance en 3D », Institut National des Sciences Appliquées de Lyon, 2008.
- [120] B. Mouawad, « Assemblages innovants en électronique de puissance utilisant la technique de Spark Plasma Sintering », INSA de Lyon, 2013.
- [121] V. Dubey *et al.*, « Surface Treatment to Enable Low Temperature and Pressure Copper Direct Bonding », in *2016 IEEE 66th Electronic Components and Technology Conference (ECTC)*, Las Vegas, NV, USA, mai 2016, p. 2435-2441. doi: 10.1109/ECTC.2016.235.
- [122] Y. A. Li, R. W. Bower, et I. Bencuya, « Low Temperature Copper to Copper Direct Bonding », *Jpn. J. Appl. Phys.*, vol. 37, n° Part 2, No. 9A/B, p. L1068-L1069, sept. 1998, doi: 10.1143/JJAP.37.L1068.
- [123] Z. Liang, J. D. vanWyk, et F. C. Lee, « Embedded Power: A 3-D MCM Integration Technology for IPDM Packaging Application », *IEEE Trans. Adv. Packag.*, vol. 29, n° 3, p. 504-512, août 2006, doi: 10.1109/TADVP.2006.879496.
- [124] B. C. Charboneau *et al.*, « Double-Sided Liquid Cooling for Power Semiconductor Devices Using Embedded Power Packaging », *IEEE Trans. on Ind. Applicat.*, vol. 44, n° 5, p. 1645-1655, sept. 2008, doi: 10.1109/TIA.2008.2002270.

- [125] L. Yin *et al.*, « POL-kw Modules for High Power Applications », in *2017 IEEE 67th Electronic Components and Technology Conference (ECTC)*, Orlando, FL, mai 2017, p. 1497-1503. doi: 10.1109/ECTC.2017.317.
- [126] X. Cao, G.-Q. Lu, et K. D. T. Ngo, « Planar Power Module With Low Thermal Impedance and Low Thermomechanical Stress », *IEEE Trans. Compon., Packag. Manuf. Technol.*, vol. 2, n° 8, p. 1247-1259, août 2012, doi: 10.1109/TCPMT.2012.2196799.
- [127] M. Wang *et al.*, « Reliability Improvement of a Double-Sided IGBT Module by Lowering Stress Gradient Using Molybdenum Buffers », *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 7, n° 3, p. 1637-1648, sept. 2019, doi: 10.1109/JESTPE.2019.2920254.
- [128] C. DiMarino *et al.*, « Design and Experimental Validation of a Wire-Bond-Less 10-kV SiC MOSFET Power Module », *IEEE J. Emerg. Sel. Topics Power Electron.*, vol. 8, n° 1, p. 381-394, mars 2020, doi: 10.1109/JESTPE.2019.2944138.
- [129] C. Ding, H. Liu, K. D. T. Ngo, R. Burgos, et G.-Q. Lu, « A Double-Side Cooled SiC MOSFET Power Module With Sintered-Silver Interposers: I-Design, Simulation, Fabrication, and Performance Characterization », *IEEE Trans. Power Electron.*, vol. 36, n° 10, p. 11672-11680, oct. 2021, doi: 10.1109/TPEL.2021.3070326.
- [130] F. Richardeau et Lefebvre, « Technologies des composants semi-conducteurs pour l'électronique de puissance : Etat de l'art ». Rapport FIDUCOHT, 2005.
- [131] N. Zhu, H. A. Mantooh, D. Xu, M. Chen, et M. D. Glover, « A Solution to Press-Pack Packaging of SiC MOSFETS », *IEEE Trans. Ind. Electron.*, vol. 64, n° 10, p. 8224-8234, oct. 2017, doi: 10.1109/TIE.2017.2686365.
- [132] A. Ostmann *et al.*, « Integration of passive and active components into build-up layers », in *4th Electronics Packaging Technology Conference, 2002.*, Singapore, 2002, p. 223-228. doi: 10.1109/EPTC.2002.1185672.
- [133] J. -p. Sommer, B. Michel, et A. Ostmann, « Electronic Assemblies with Hidden Dies - Design Support by Means of FE Analysis », in *2006 1st Electronic Systemintegration Technology Conference*, Dresden, Germany, 2006, p. 1088-1095. doi: 10.1109/ESTC.2006.280145.
- [134] T. Thomas, O. Ramer, T. D. Nguyen, E. Hoene, et T. Braun, « Presentation of a Reliable Molded Power-PrePackage ». IEEE : CIPS - International Conference on Integrated Power Electronics Systems, mars 2022.
- [135] A. B. Sharma *et al.*, « PCB embedded power package with reinforced top-side chip contacts », in *2016 6th Electronic System-Integration Technology Conference (ESTC)*, Grenoble, France, sept. 2016, p. 1-5. doi: 10.1109/ESTC.2016.7764706.
- [136] A. Ostmann, L. Boettcher, D. Manassis, S. Karaszkiwicz, et K.-D. Lang, « Power Modules with Embedded Components ». IEEE : European Microelectronics Packaging Conference (EMPC), 2013.
- [137] L. Boettcher, S. Karaszkiwicz, D. Manassis, et A. Ostmann, « Development of embedded power electronics modules », in *2012 4th Electronic System-Integration*

- Technology Conference*, Amsterdam, Netherlands, sept. 2012, p. 1-6. doi: 10.1109/ESTC.2012.6542167.
- [138] A. Tablati, N. Alayli, T. Youssef, O. Belnoue, L. Theolier, et E. Woïrgard, « New power module concept in PCB-embedded technology with silver sintering die attach », *Microelectronics Reliability*, vol. 114, p. 113891, nov. 2020, doi: 10.1016/j.microrel.2020.113891.
- [139] R. Caillaud *et al.*, « Evaluation of the PCB-embedding technology for a 3.3 kW converter », in *2019 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, Toulouse, France, avr. 2019, p. 1-6. doi: 10.1109/IWIPP.2019.8799080.
- [140] P. Simon, Taberna, T. . Lebey, et Cambronne, « Method for making an electrically conducting mechanical interconnection member ».
- [141] V. H. Nguyen, « Etude et caractérisation d'une nouvelle connectique adaptée à l'intégration tridimensionnelle pour l'électronique de puissance, ».
- [142] Q. H. Luan, « Etude et mise en oeuvre de techniques d'assemblages hybrides pour l'intégration tridimensionnelle en électronique de puissance », 2010.
- [143] Y. Pascal, A. Abdedaim, D. Labrousse, M. Petit, S. Lefebvre, et F. Costa, « Using Laminated Metal Foam as the Top-Side Contact of a PCB-Embedded Power Die », *IEEE Electron Device Lett.*, vol. 38, n° 10, p. 1453-1456, oct. 2017, doi: 10.1109/LED.2017.2748223.
- [144] Y. Pascal, D. Labrousse, M. Petit, S. Lefebvre, et F. Costa, « PCB-Embedding of Power Dies Using Pressed Metal Foam ». PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, 2018.
- [145] M. Barriere *et al.*, « Silver sintered double-sided cooling power package process for controlled Si power semiconductor devices with aluminum top-metallization », in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, Chicago, IL, USA, mai 2015, p. 103-106. doi: 10.1109/IWIPP.2015.7295989.
- [146] « Wolfspeed : Catalogue MOSFET SiC ». Consulté le: 8 novembre 2021. [En ligne]. Disponible sur: <https://www.wolfspeed.com/products/power/sic-bare-die-mosfets/1200v-automotive-qualified-bare-die-silicon-carbide-mosfets-gen-3>
- [147] « Inventchip : Catalogue MOSFET SiC ». [En ligne]. Disponible sur: <https://www.inventchip.com.cn/en/index/Lists/index/catid/5.html>
- [148] R. Roth *et al.*, « Power Cu metallization for future power devices — Process integration concept and reliability », in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Prague, Czech Republic, juin 2016, p. 195-198. doi: 10.1109/ISPSD.2016.7520811.
- [149] « Datasheet FF1200R12IE5P ». Consulté le: 5 décembre 2021. [En ligne]. Disponible sur: <https://docs.rs-online.com/7243/A700000007700186.pdf>

- [150] X. Jordà, X. Perpiñà, M. Vellvehi, D. Sanchez, et P. Godignon, « European Patent EP 2 239 769 B1 : SELF-ALIGNED METAL MASK ASSEMBLY FOR SELECTIVELY DEPOSITING THIN FILMS ON MICROELECTRONIC SUBSTRATES AND DEVICES, AND METHOD OF USE. » 6 novembre 2019.
- [151] « Fraunhofer IZM : Métallisation CU sur wafers ». Consulté le: 8 décembre 2021. [En ligne]. Disponible sur: https://www.izm.fraunhofer.de/en/abteilungen/wafer-level-system-integration/leistungsangebot/hd_redistribution.html
- [152] « Pactech : métallisation CU sur wafer ». Consulté le: 8 décembre 2021. [En ligne]. Disponible sur: <https://www.pactech.com/wlp-services/wafer-level-ubm-plating-electroplating/>
- [153] Daoguo Yang, M. Kengen, W. G. M. Peels, D. Heyes, et W. D. van Driel, « Reliability modeling on a MOSFET power package based on embedded die technology », in *EuroSimE 2009 - 10th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems*, Delft, The Netherlands, avr. 2009, p. 1-6. doi: 10.1109/ESIME.2009.4938472.
- [154] N. Pavliček,, et, « Thermomechanical stress optimization of power semiconductor pre-packages ». CIPS 2022 - 12th International Conference on Integrated Power Electronics Systems, 2022.
- [155] D. J. Kearney, S. Kicin, E. Bianda, et A. Krivda, « PCB Embedded Semiconductors for Low-Voltage Power Electronic Applications », *IEEE Trans. Compon., Packag. Manufact. Technol.*, vol. 7, n° 3, p. 387-395, mars 2017, doi: 10.1109/TCPMT.2017.2651646.
- [156] « P2-Pack technology ». <https://schweizer.ag/en/technologies-solutions/pcb-technologies/semiconductor-embedding-systems/p2-pack>
- [157] C. Hammerschmidt, « Embedded power chips make electric cars more reliable ». 2019. Consulté le: 13 octobre 2021. [En ligne]. Disponible sur: <https://www.eenewsanalog.com/news/embedded-power-chips-make-electric-cars-more-reliable>
- [158] E. de Vanssay, « Caractérisation de cellules de commutation tridimensionnelle », ENSE3, 2021.
- [159] « Ebmpast, “Datasheet G1G108-AB17-02” ». 2016.
- [160] A. E. Ruehli, « Equivalent Circuit Models for Three-Dimensional Multiconductor Systems », *IEEE Trans. Microwave Theory Techn.*, vol. 22, n° 3, p. 216-221, mars 1974, doi: 10.1109/TMTT.1974.1128204.
- [161] J. ROUDET, É. CLAVEL, ean-M. GUICHON, et J.-L. SCHANEN, « Modélisation PEEC des connexions dans les convertisseurs de puissance », p. 12, mai 2004.
- [162] T. T. Nguyen, « Méthode PEEC inductive par élément de facette pour la modélisation des régions conductrices volumiques et minces ».

- [163] « Logiciel MIPSE G2Elab ». Consulté le: 20 janvier 2022. [En ligne]. Disponible sur: <https://g2elab.grenoble-inp.fr/en/platforms/mipse-modeling-of-interconnected-power-systems-1>
- [164] G. Meunier, Q.-A. Phan, O. Chadebec, J.-M. Guichon, et B. Bannwarth, « Unstructured - PEEC Method with the use of Surface Impedance Condition », in *2019 19th International Symposium on Electromagnetic Fields in Mechatronics, Electrical and Electronic Engineering (ISEF)*, Nancy, France, août 2019, p. 1-2. doi: 10.1109/ISEF45929.2019.9096998.
- [165] K. Alkama *et al.*, « ERROR ESTIMATION AND ADAPTIVE MESH REFINEMENT FOR THE UNSTRUCTURED INDUCTIVE PEEC FORMULATION », *IEEE Trans. Magn.*, p. 1-1, 2021, doi: 10.1109/TMAG.2021.3137657.
- [166] R. Torchio, F. Moro, G. Meunier, J.-M. Guichon, et O. Chadebec, « An Extension of Unstructured-PEEC Method to Magnetic Media », *IEEE Trans. Magn.*, vol. 55, n° 6, p. 1-4, juin 2019, doi: 10.1109/TMAG.2018.2889435.
- [167] G. Meunier, O. Chadebec, et J.-M. Guichon, « A Magnetic Flux–Electric Current Volume Integral Formulation Based on Facet Elements for Solving Electromagnetic Problems », *IEEE Trans. Magn.*, vol. 51, n° 3, p. 1-4, mars 2015, doi: 10.1109/TMAG.2014.2365500.
- [168] S. Yuferev et L. Di Rienzo, « Surface Impedance Boundary Conditions in Terms of Various Formalisms », *IEEE Trans. Magn.*, vol. 46, n° 9, p. 3617-3628, sept. 2010, doi: 10.1109/TMAG.2010.2049363.
- [169] K. Alkama, « Modélisation électromagnétique 3D des dispositifs d'électronique de puissance dans le respect des standards CEM », Université Grenoble Alpes, University of Teheran, 2022.
- [170] « Panasonic condensateur électrolytique CMS EEEFN1H151UP ».
- [171] « Aquisition de Powersim par Altair ». Consulté le: 10 mars 2022. [En ligne]. Disponible sur: <https://www.altair.com/newsroom/news-releases/altair-expands-electronic-system-design-technology-with-acquisition-of-powersim/>
- [172] Y. Si, Y. Liu, C. Liu, Z. Zhang, M. Wang, et Q. Lei, « A High Current High Power Density Motor Drive for a 48-Volt Belt-Driven Starter Generator (BSG) System », *IEEE Open J. Ind. Applicat.*, p. 1-1, 2021, doi: 10.1109/OJIA.2021.3102972.
- [173] « Würth Elektronik : 7461098 datasheet ». Consulté le: 20 février 2022. [En ligne]. Disponible sur: <https://www.mouser.fr/datasheet/2/445/7461098-1723469.pdf>
- [174] « United Chemi-Con : EGPD101ELL621MM30H datasheet ». Consulté le: 20 février 2022. [En ligne]. Disponible sur: <https://www.chemi-con.co.jp/products/relatedfiles/capacitor/catalog/GPDLL-e.PDF>
- [175] « DELTA : AFB0612DH-TP11 datasheet ». septembre 2008.

- [176] M. Dbeiss, « Mission Profile-Based Accelerated Ageing Tests of SiC MOSFET and Si IGBT Power Modules in DC/AC Photovoltaic Inverters », 2018. [En ligne]. Disponible sur: <https://www.theses.fr/2018GREAT020>