



HAL
open science

Commande décentralisée et modulaire des convertisseurs MMC intégrée au coeur des gate-drivers

Corentin Darbas

► To cite this version:

Corentin Darbas. Commande décentralisée et modulaire des convertisseurs MMC intégrée au coeur des gate-drivers. Energie électrique. Nantes Université, 2022. Français. NNT : 2022NANU4028 . tel-03847978v2

HAL Id: tel-03847978

<https://theses.hal.science/tel-03847978v2>

Submitted on 10 Nov 2022

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE DE DOCTORAT DE

NANTES UNIVERSITE

ECOLE DOCTORALE N° 601

Mathématiques et Sciences et Technologies

de l'Information et de la Communication

Spécialité : *Génie Électrique*

Par

Corentin Darbas

Commande Décentralisée et Modulaire des Convertisseurs MMC Intégrée au Cœur des Gate-Drivers

Thèse présentée et soutenue à Nantes, le 20 Juin 2022

Unité de recherche : IETR UMR 6164 – IREENA UR 4642

Rapporteurs avant soutenance :

Marc COUSINEAU Maître de Conférences/HDR, INP Toulouse
Eric MONMASSON Professeur des universités, Université de Cergy Pontoise

Composition du Jury :

Président :	François COSTA	Professeur des universités, Université Paris Est Créteil
Examineurs :	Marc COUSINEAU	Maître de Conférences/HDR, INP Toulouse
	Eric MONMASSON	Professeur des universités, Université de Cergy Pontoise
Directeur de thèse :	Nicolas GINOT	Professeur des universités, Nantes Université
Co-directeur de thèse :	Jean-Christophe OLIVIER	Maître de Conférences/HDR, Nantes Université

Invité

Frédéric POITIERS Maître de Conférences, Nantes Université

Les travaux de cette thèse ont été réalisés dans le cadre du projet MMCSiC sélectionné par le RFI WISE avec le soutien financier de la Région des Pays de la Loire.

Remerciements

Je dédie ces lignes à toutes les personnes qui m'ont soutenu durant ces années intenses de préparation de mon doctorat.

A l'époque où j'ai postulé pour l'offre de thèse, je ne m'attendais pas à vivre une si grande aventure. Pour cela, merci tout d'abord à Jean-Christophe Olivier, co-directeur de ces travaux, qui a diffusé l'offre de thèse et qui a accepté ma candidature. Nous avons passé deux années très agréables à travailler ensemble à l'IREENA, à Saint-Nazaire. Tu as durablement marqué ma vie professionnelle, j'ai énormément appris à tes côtés. Ta vivacité d'esprit, tes connaissances dans tous les domaines, et tes idées géniales m'ont été très profitables. Mais aussi, ton humour et ta joie de vivre. Tu as toujours été présent dans les moments difficiles, lorsque je manquais de motivation et de confiance en moi. Je n'aurais pas pu aller jusqu'au bout sans tes conseils et ta bienveillance.

Un très grand merci également à mon directeur de thèse Nicolas Ginot, que j'ai eu la chance de rencontrer à l'IETR, à Nantes, au début de ce projet. Tu m'as toujours impressionné par tes connaissances infinies dans les domaines de l'énergie et de la mécanique, et particulièrement en électronique. Je suis devenu un bien meilleur ingénieur depuis que j'ai commencé à travailler avec toi. Merci beaucoup pour ta confiance en mes travaux. Tu n'as jamais douté que j'arriverais au bout de cette thèse. Tu respectes énormément tes doctorants, dont tu cherches à apprendre autant qu'ils apprennent de toi. Merci pour cette dimension humaine indispensable.

Je suis sincère lorsque je clame que j'ai bénéficié du meilleur encadrement qu'un thésard aurait pu imaginer avoir, et je suis très fier d'avoir eu la chance de travailler avec vous. Merci infiniment à tous les deux, on s'est bien marré !

Ces travaux de thèse n'auraient jamais abouti sans la participation active d'un très grand nombre de personnes. Je pense tout d'abord à mes rapporteurs de thèse, ainsi qu'aux membres de mon jury de soutenance et de mon Comité de Suivi Individuel. Merci à toi, Marc Cousineau, tout d'abord. Tu as suivi mes travaux avec grand intérêt en tant que membre CSI, et toujours donné des conseils très pertinents. Tu as relu ma thèse avec soin et apporté un grand nombre de remarques constructives au manuscrit et lors de la soutenance. Je suis content d'avoir fait ta connaissance, et j'aimerais beaucoup avoir l'opportunité de travailler avec toi dans le futur. Merci également à Guillaume Wasselynck, second membre du CSI, pour sa bienveillance et ses encouragements. Merci à Eric Monmasson, qui a également rapporté mes travaux de thèse et donné de nombreuses clefs concernant la valorisation de mes travaux. Enfin, merci à François Costa, directeur du jury, qui a pris le temps d'apprécier mes travaux, et m'a offert un retour très flatteur. Je suis flatté que mes travaux aient suscité votre intérêt à tous les trois.

Merci à toutes les personnes présentes lors de ma soutenance. J'ai été heureux de fêter mes premiers instants en tant que Docteur de Nantes Université à vos côtés. Merci au programme RFI WISE qui a permis le financement de ces travaux, sans quoi rien n'aurait été possible.

Je tiens également à remercier Christophe Batard, qui a été extrêmement présent pour moi lors de ma première année d'ATER passée à l'IUT GEII de Nantes. Il s'est arrangé pour me permettre d'avoir le plus de temps possible afin de terminer la rédaction de mes travaux. Merci pour ton temps, ton

humour, nos longues discussions, et tes délicieux légumes ! Merci aussi pour ton implication croissante dans mes travaux de recherche. Merci à Anne-Sophie Descamps qui a également été très présente durant cette dernière année. J'ai beaucoup apprécié de co-encadrer des stages avec toi. Enfin merci à Frédéric Poitiers, qui a suivi ma thèse à distance, et qui a été très présent également cette année. J'apprécie toujours autant nos discussions. J'ai été très fier de travailler au sein de cette équipe nantaise de haute volée.

Ayant eu la chance de travailler au sein de deux laboratoires différents, j'ai pu côtoyer un grand nombre de personnes et faire de très belles rencontres. Merci tout d'abord aux membres de l'IREENA pour leur accueil. En particulier, merci à Franck Judic et Christine Brohan, pour leur investissement intense dans la vie du laboratoire. Sans votre aide permanente, le bâtiment s'effondrerait. Bravo à Lorette qui s'occupe vaillamment de l'accueil du CRTT. Merci à tous les membres permanents du laboratoire, vous êtes trop nombreux pour être tous cités : Mourad, Nadia, Fouad, Azeddine, Salvy, Nicolas, François, Mohammed, ... Un remerciement particulier à Luc Moreau et Didier Trichet qui m'ont permis de découvrir le Génie électrique durant le « projet skateboard » en PEIP, en 2015.

Je remercie évidemment toute l'équipe de doctorants et de stagiaires de l'IREENA. Il s'agit là aussi d'une grande famille, dont j'oublie sûrement certains membres : Quentin, Ryad, Anthony, Nidhal, Sarra, Jean-Marie, Océane, Zhuo, Christophe, Sidlawendé, Ousmane, ... Merci également aux membres du GEPEA. De nombreuses bières furent bues pendant ces deux années. Merci à Banda pour son aide en tant que jeune ATER, et merci à la boulangerie Ange pour les repas quotidiens. J'espère avoir l'occasion de tous vous revoir dans le futur, au moins durant le prochain barbecue.

Je remercie également les membres de mon deuxième foyer, l'IETR. Je suis arrivé lors de la pandémie de Covid, et j'ai été très bien accueilli par tous les enseignants-chercheurs comme Anne, Sébastien, Andrea, Jean-François, ... En particulier, je souhaite remercier Sandrine Charlier pour sa gestion administrative irréprochable, et Marc Brunet pour son support technique et son investissement. Il a été mon premier professeur de soudure durant la pandémie. Grâce à lui et à Nicolas, je suis désormais un soudeur aguerri, en témoigne le bout de mes doigts devenu totalement insensible aux stimuli externes.

Je remercie toutes les personnes avec qui j'ai partagé cafés et pauses méridiennes. Merci au Coco et au CROUS pour ces dernières. Merci à Antoine, qui a été mon compagnon de solitude pendant les confinements sanitaires. On a mangé beaucoup de sandwiches ensemble tout en parlant d'électronique, c'était un plaisir. Merci à Loreine pour son sourire et son soutien, et bravo à elle pour son doctorat ! Merci à Quentin et Safouane pour leur temps à l'IETR. On a passé de bons moments ensemble. Merci à Alexis pour ses discussions FPGA, merci à Guillaume, Gourav, Tamar, May, Roua, et à tous ceux que j'ai oubliés ! Il faudrait que je pense à vous rembourser les barbecues que je vous dois.

Enfin, merci à mes jeunes stagiaires, que j'ai pris beaucoup de plaisir à encadrer : Ludovic, Mohammed et Benjamin. Je vous ai enseigné mes techniques les plus ancestrales, et j'espère que vous vous souviendrez de moi lorsque vous rédigerez vos thèses respectives... Force à vous trois pour la suite !

J'aimerais également remercier tous mes collègues de l'IUT de Nantes pour leur accueil au sein de l'équipe GEII. En particulier, un grand merci à Bruno, mon collègue de bureau, pour son humour, son franc-parler, et sa bienveillance. Merci à David, bientôt papa, Benoit, Éric, et tous les autres.

Je remercie aussi mes amis Rochefortais dispersés aux quatre coins de la France et de l'Europe. Waredd vaincra. Un merci particulier à Alex Sind Sainderichin, qui me supporte tous les jours dans sa colocation. Merci également à la bande rencontrée durant mes plus belles années, Manu, Quentin, Megg, Rémi (bravo à toi Doc !), et tous les autres. Merci enfin aux amis rencontrés à Saint-Nazaire, notamment Clément et Thomas, pour les bons moments.

Une petite mention spéciale au Docteur Johan Le Lesle grâce à qui j'ai fait mes premiers pas dans la recherche. J'espère qu'on se recroisera en conférence ! Merci également à Bryan pour ton offre imbattable sur la machine me permettant de passer de douces soirées.

Merci aux membres de ma famille qui m'ont toujours soutenu. En particulier, mon père et ma mère pour leur soutien moral et financier indéfectible, jusqu'au dernier jour. Merci pour vos encouragements, votre maison est un havre de paix dans lequel je me sens reposé. Je sais que vous êtes fiers de moi. Et en particulier, merci à toi maman pour l'organisation irréprochable du buffet de thèse, qui a eu un succès fou, ainsi pour que tes relectures d'articles scientifiques incompréhensibles. Merci à mes grands-parents pour leurs pensées bienveillantes et leurs encouragements toujours réconfortants. Merci à Lucas, mon frère, pour ces 26 années de soutien et de patience, et pour ton humour constant. On a bien profité. Maintenant, c'est à ton tour.

Enfin, j'aimerais terminer ces pages en remerciant Marie, qui m'a tenu la main tendrement durant toutes ces années, qui m'a accompagné et aimé du fond de son cœur et sans qui je ne serais jamais arrivé au bout de ce projet. Tu prends une place de plus en plus importante dans ma vie, et j'ai hâte de vivre toujours plus de nouvelles choses à tes côtés. Tu seras une grande chercheuse, car tu es une personne investie dans ce que tu fais, et une travailleuse acharnée. J'ai vraiment hâte de refaire du kayak avec toi, et de déguster des spiritueux de qualité en ta compagnie. Je suis immensément fier de t'avoir à mes côtés et j'espère avoir la chance de toujours conserver ton affection.

Table des matières

TABLE DES FIGURES :	7
NOMENCLATURE	10
INTRODUCTION GENERALE :	13
CONTEXTE DES TRAVAUX :	13
RESUME GENERAL DE LA CONTRIBUTION :	13
CHAPITRE 1 : LES ENJEUX ET LA MISE EN ŒUVRE DE LA CONVERSION STATIQUE D'ENERGIE ELECTRIQUE	16
1. LA CONVERSION D'ENERGIE STATIQUE POUR LE TRANSPORT D'ENERGIE FORTE PUISSANCE	16
1.I. <i>Une nécessité économique, environnementale et sociétale</i>	16
1.II. <i>Les réseaux et technologies High-Voltage Direct-Current (HVDC)</i>	19
1.III. <i>Les limites de la conversion d'énergie 2 niveaux</i>	22
2. LA CONVERTISSEURS STATIQUES MULTINIVEAUX	24
2.I. <i>Principes et enjeux de la conversion multiniveau</i>	24
2.II. <i>Topologies multiniveaux usuelles</i>	26
2.II.a. Le convertisseur Neutral-Point-Clamped (NPC)	26
2.II.b. Le convertisseur Flying Capacitor (FLC ou FC)	28
2.II.c. Les convertisseurs cascades	29
3. RESUME DES CARACTERISTIQUES DES CONVERTISSEURS MULTINIVEAUX USUELS	31
4. LE CONVERTISSEUR MODULAIRE MULTINIVEAU (MMC)	32
4.I. <i>Présentation et étude simple du convertisseur</i>	32
4.II. <i>Analyse dynamique et équations caractéristiques du MMC</i>	36
4.II.a. Découplage des variables internes et externes.....	36
4.II.b. Etude de la puissance et du courant des bras de convertisseur	38
4.II.c. Etude de l'énergie énergie stockée dans les bras.....	39
4.III. <i>Discussion sur les sous-modules</i>	41
4.IV. <i>Supériorité du convertisseur</i>	43
5. STRUCTURE DE COMMANDE DU CONVERTISSEUR	44
5.I. <i>Présentation des structures de contrôle d'un MMC</i>	44
5.II. <i>Structures de contrôle centralisées</i>	45
5.II.a. Commandes avec algorithme d'équilibrage intégré	45
5.II.b. Commandes centralisées avec algorithme d'équilibrage indépendant	47
5.II.c. Algorithmes d'équilibrage indépendants pour la commande centralisée.....	50
5.III. <i>Structures de contrôle décentralisées</i>	53
CONCLUSION	56
BIBLIOGRAPHIE.....	57
CHAPITRE 2 : INTEGRATION DE SMART GATE-DRIVERS DANS LES STRUCTURES MULTINIVEAUX.....	64
1. ÉLECTRONIQUE DE COMMANDE RAPPROCHEE DES CONVERTISSEURS.....	64
1.I. <i>Généralités sur les gate-drivers</i>	64
1.II. <i>Discussion sur les besoins en isolation galvanique</i>	66
1.III. <i>Pilotes de grille intelligents : Smart Gate-drivers</i>	69
1.III.a. Pilotage de grille actif.....	69
1.III.b. Surveillance de l'état des composants et communication avancée	70

2. STRUCTURE MULTINIVEAUX A ISOLATION GALVANIQUE DISTRIBUEE	71
2.I. Structure de gate-drivers conventionnelle des convertisseurs cascades	71
2.II. Structure gate-driver à Isolation Galvanique Répartie	73
2.II.a. Présentation générale	73
2.II.b. Avantages de la structure IGR	74
2.II.c. Limites de la structure IGR et propositions d'améliorations	76
3. ALGORITHME D'ÉQUILIBRAGE DES TENSIONS INTEGRE A LA CHAINE DE GATE-DRIVERS	78
3.I. Chaîne de commande MMC-IGR	78
3.II. Présentation de l'algorithme via une étude de cas	79
3.III. Étude des compteurs	84
3.III.a. Définitions des critères	84
3.III.b. Valeur maximale du compteur de priorité	85
3.III.c. Valeur maximale du compteur de synchronisation	86
3.IV. Organigramme et détails de l'algorithme	88
3.IV.a. Définition des registres et des signaux d'entrée/sortie	88
3.IV.b. Organigrammes concourants	88
CONCLUSION	90
BIBLIOGRAPHIE.....	92

CHAPITRE 3 : SIMULATION DE LA CHAINE DE GATE-DRIVERS ET MODULATIONS HYBRIDES INNOVANTES 94

1. METHODES DE MODULATIONS USUELLES DU CONVERTISSEUR MMC	94
1.I. Généralités sur les méthodes de modulations multiniveaux	94
1.II. Modulations hautes fréquences	95
1.II.a. MLI multiniveaux basée sur des porteuses	95
1.II.b. MLI vectorielle	97
1.III. Modulations basse fréquence.....	97
1.III.a. Modulation type « Nearest Level Control » (NLM)	97
1.III.b. Modulation pré calculées.....	99
1.IV. Modulations « hybrides ».....	100
2. MODELE DE SIMULATION D'UN MMC VIA MATLAB/SIMULINK	101
2.I. Modèle du convertisseur et de la chaîne de gate-drivers	101
2.I.a. Modèle de la chaîne de gate-drivers.....	101
2.I.b. Commande du convertisseur	101
2.II. Résultats de simulation	105
2.II.a. Simulation de la chaîne de gate-drivers	105
2.II.b. Etude statique du convertisseur	106
2.II.c. Etude dynamique du convertisseur	109
2.III. Résultats de simulation de l'algorithme : Limites.....	110
2.III.a. Slew Rate et distorsions	110
2.III.b. Modulations basses fréquences et algorithme RSF	111
3. MODULATIONS HYBRIDES INNOVANTES COMPATIBLES AVEC L'ALGORITHME RSF	113
3.I. Porteuses statiques pour les modulations basses fréquences.....	113
3.II. LCPWM	115
3.III. ELCPWM	117
3.IV. Simulation des modulations hybrides proposées	118

CONCLUSION	122
BIBLIOGRAPHIE.....	123
CHAPITRE 4 : MISE EN ŒUVRE D'UNE CHAÎNE DE SMART GATE-DRIVERS ET VALIDATION DES LOIS DE	
COMMANDES.....	126
1. PRESENTATION DU SMART GATE-DRIVER.....	126
1.I. <i>Présentation générale</i>	126
1.II. <i>Cartes filles</i>	128
1.III. <i>Fonctions de communications intégrées au gate-driver</i>	129
1.III.a. Canaux inter-drivers.....	129
1.III.b. Canaux intra-driver : Canal synchrone	130
1.III.c. Canaux intra-driver : Canal asynchrone	131
2. CHAINAGE DES GATE-DRIVERS FLOTTANTS	133
2.I. <i>Carte de communication auxiliaire</i>	133
2.II. <i>Carte d'alimentation isolée</i>	134
3. PRESENTATION DE LA PROCEDURE DE SELECTION	136
3.I. <i>Signaux intra-drivers</i>	136
3.I.a. Description générale et conditions de mesure	136
3.I.b. Séquence d'initialisation	138
3.I.c. Déroulement global de la procédure	139
3.II. <i>Mesure au secondaire BOT</i>	140
3.III. <i>Gestion du compteur de priorité et échange de jeton</i>	142
3.IV. <i>Chaîne de gate-drivers et signaux inter-drivers</i>	144
3.V. <i>Compteur de synchronisation</i>	147
4. VALIDATION DES LOIS DE COMMANDE	148
DISCUSSION SUR LES CHOIX MATERIELS ET LOGICIELS DE CES TRAVAUX	152
CONCLUSION	154
BIBLIOGRAPHIE.....	155
CONCLUSION GENERALE ET PERSPECTIVES	156

Table des figures :

Figure 1. Comparaison des coûts d'installation des systèmes de transmission AC et DC [8]	18
Figure 2. Redresseur triphasé à base de valves de thyristors	19
Figure 3. Valves à thyristors d'un convertisseur HVDC triphasé 500kV [12]	20
Figure 4. Redresseur triphasé à base de valves de transistors	21
Figure 5. Comparaison des calibres tension et courant des différents semi-conducteurs [16]	22
Figure 6. Mise en parallèle (a) et série (b) des semi-conducteurs	23
Figure 7. Exemples de tension de sortie avant et après filtrage des convertisseurs multiniveaux : 3-niveaux (MLI) (a), et 7 niveaux (b)	25
Figure 8. Schéma d'un NPC monophasé 3 niveaux	26
Figure 9. Schéma d'un NPC monophasé 5 niveaux	27
Figure 10. Schéma d'un FLC 3 niveaux (a) et N+1 niveaux (b)	28
Figure 11. Schéma d'un "Cascaded H-Bridge" N + 1 niveaux	30
Figure 12. Le "Modular Multilevel Converter" (MMC) triphasé et un « Sous-Module » (SM) en demi-pont	32
Figure 13. Convertisseur MMC interfacé avec un réseau AC	33
Figure 14. Découplage des grandeurs : coté AC (a) et coté DC (b) [53]	37
Figure 15. Topologies de sous-modules : Diode Clamped (a) Five level cross connected (b) et resonant switching (c)	42
Figure 16. Schémas de contrôle du convertisseur MMC	44
Figure 17. Structure de contrôle MMC : Commande centralisée avec algorithme d'équilibrage intégré	45
Figure 18. Structure de contrôle MMC : Commande centralisée avec AET externe	47
Figure 19. Organigramme proposé dans [52]	50
Figure 20. Organigramme proposé dans [95]	52
Figure 21. Structure de contrôle MMC : Commande décentralisée	54
Figure 22. Différentes structures de connexion pour la commande décentralisée : étoile (a), anneau (b), chaîne (« Daisy-chain ») (c)	54
Figure 23. Transistors de puissance : IGBT (a) et MOSFET (b)	64
Figure 24. Synoptique simple d'un gate-driver de demi-pont	65
Figure 25. Gate-driver 2SD316EI (Power Integrations) connecté à un module EconoDUAL IGBT	66
Figure 26. Electronique de commande rapproche autoalimentée	68
Figure 27. Structure gate-driver conventionnelle d'un bras de MMC	72
Figure 28. Structure gate-driver à Isolation Galvanique Répartie d'un bras de MMC	73
Figure 29. Tension présente aux bornes de l'isolation galvanique d'un gate-driver avec la structure conventionnelle (a) et la DGI (b)	74
Figure 30. Structure de gate-driver IGR-Redondante (a), structure de gate-driver IGR-Fast (b) ..	77
Figure 31. Structure de contrôle MMC-IGR et AET intégré	78

Figure 32. Structure gate-driver complète d'une phase d'un MMC-IGR avec algorithme d'équilibrage intégré	80
Figure 33. Etapes de fonctionnement de l'AET	81
Figure 34. Chronogrammes correspondants à l'exemple de fonctionnement	81
Figure 35. Chronogramme du cas dans lequel le temps de sélection est maximale	86
Figure 36. Organigrammes concourants de la procédure proposée	89
Figure 37. Classification des méthodes de modulations appliquées au MMC	95
Figure 38. Référence et porteuses multiniveaux : PDPWM (a) et PSPWM (b)	95
Figure 39. Représentation du vecteur d'état dans un plan 2D.....	97
Figure 40. Forme d'onde NLM.....	98
Figure 41. Schéma d'implémentation d'un gate-driver	102
Figure 42. Grandeurs de commande du convertisseur MMC.....	102
Figure 43. Commande vectorielle mise en œuvre dans le convertisseur simulé	103
Figure 44. Schéma de contrôle du régulateur de courant de circulation du MMC simulé	104
Figure 45. Schéma de commande globale du MMC simulé.....	104
Figure 46. Chronogrammes simulés des différents signaux inter-drivers et intra-drivers.....	106
Figure 47. Tensions et courants triphasés de sortie du convertisseur simulé	107
Figure 48. Courants de circulation triphasés du convertisseur simulé dans les repères (abc) et (dq0) ₂	107
Figure 49. Comparaison des algorithmes : Tensions aux bornes des 60 condensateurs de la phase a	108
Figure 50. Nombre de sous-modules insérés du bras U de la phase a et sa référence.....	108
Figure 51. Résultat de simulation de l'impact de charge : Tensions et courants de sortie triphasés (haut), Puissances fournis au réseau (milieu), tensions aux bornes des condensateurs de la phase a (bas).....	109
Figure 52. Etude dynamique du nombre de sous-modules insérés du bras U de la phase a et sa référence	110
Figure 53. Tensions aux bornes des 60 condensateurs d'une phase du MMC simulé avec la modulation NLM et l'algorithme RSF	111
Figure 54. Courants de régime libre d'un bras de MMC avec la modulation NLM et l'algorithme RSF	112
Figure 55. Nearest Level Modulation (NLM) à partir de porteuses statiques	113
Figure 56. LCPWM avec N = 5 sous modules par bras (a) et N = 6 sous modules par bras (b) .	115
Figure 57. Génération de l'indice d'insertion de la LCPWM à l'aide de porteuses statiques modifiées.	116
Figure 58. Différentes modulation ELCPWM avec N = 8 :2 - ELCPWM (haut) et 4 - ELCPWM (bas)	118
Figure 59. Tensions et courants de sorties du convertisseur MMC simulé avec 5 modulations différentes	119
Figure 60. Tensions aux bornes des condensateurs de sous-modules d'une phase du convertisseur MMC simulé avec 5 modulations différentes.....	120
Figure 61. Carte mère du gate-driver présenté dans [1] vue du dessus	126

Figure 62. Vue du smart gate-driver de la carte mère et ses trois cartes filles.	127
Figure 63. Tensions d'alimentations présentes aux secondaires du gate-driver	127
Figure 64. Carte fille embarquée sur le smart gate-driver vu du dessus (a) et vue du dessous (b)	129
Figure 65. Canaux de communications implémentés sur la carte mère du gate-driver	130
Figure 66. Circuit du canal « synchrone » pour l'envoi d'information primaire-secondaire [1][4]	131
Figure 67. Circuit du canal « asynchrone » pour l'envoi d'information secondaire- primaire [1][5]	131
Figure 68. Tension vue au secondaire de l'alimentation communicante : Rapport cyclique constant (haut) et codage Manchester (bas) [1][5].....	132
Figure 69. Chronogrammes des différents signaux de l'alimentation communicante [1][5]	132
Figure 70. Ensemble gate-driver et carte de communication	134
Figure 71. Carte d'alimentation isolée et sa batterie	135
Figure 72. Schéma complet d'un gate-driver et ses cartes additionnelles dans la chaîne de gate- drivers	136
Figure 73. Signaux intra-drivers et inter-drivers, et localisation des tâches liées à l'exécution de la procédure de sélection	137
Figure 74. Conditions de mesures des signaux intra-drivers	137
Figure 75. Signaux mesurés lors de l'initialisation dans le cas d'une requête d'insertion (a) et de retrait (b).....	138
Figure 76. Signaux de commande mesurés lors de la fin de la procédure dans le cas d'un changement d'état (a) et d'un maintien de l'état précédent (b)	139
Figure 77. Requête de mesure au secondaire BOT.....	141
Figure 78. Mesures sur une chaîne de 2 gate-drivers communicants	143
Figure 79. Signaux mesurés lors de l'échange de jetons	144
Figure 80. Schéma de la chaîne de gate-driver présentée dans ces travaux.....	144
Figure 81. Chaîne de cinq smart gate-drivers cascades	145
Figure 82. Propagation de la trame d'initialisation au sein de la chaîne de gate-drivers : requête d'insertion (a) et requête de retrait (b).....	145
Figure 83. Echange de jeton entre deux maillons de la chaîne de gate-driver.....	146
Figure 84. Signaux émis et reçus par le drive 1 dans le cas le plus défavorable	148
Figure 85. Tensions aux bornes des condensateurs et tension du bras up obtenus en simulation	149

Nomenclature

i	Bras du convertisseur MMC ($i = up, low$)
j	Phase d'un convertisseur ($j = a, b, c$)
V_{DC}	Tension du bus DC
I_{DC}	Courant du bus DC
$I_{out,j}, I_{s,j}$	Courant de mode commun d'une phase j (Courant de sortie)
$V_{out,j}, V_{JN}$	Tension de sortie d'une phase j , tension entre les points J (Phase) et N (Neutre convertisseur)
V_{JO}	Tension entre les points J (Phase) et O (Neutre réseau)
V_{ON}	Tension entre les points O (Neutre réseau) et N (Neutre Convertisseur)
N	Nombre de sous-module dans un bras de MMC
L_{bras}	Inductance de bras
L_{filtre}	Inductance de filtrage côté réseau AC
V_{grid}	Tension du réseau AC
I_{grid}	Courant du réseau AC
S_{grid}	Puissance apparante du réseau AC
$V_{Ci,j}^k$	Tension aux bornes du condensateur d'un sous-module k du bras i de la phase j
$m_{i,j}^k(t)$	Indice d'insertion d'un sous-module k du bras i de la phase j
$n_{i,j}(t)$	Indice d'insertion du bras i de la phase j
$V_{SMi,j}^k(t)$	Tension de sortie d'un sous-module k du bras i de la phase j
$U_{i,j}$	Tension totale insérée dans un bras i de la phase j
$U_{i,j}^{\Sigma}$	Tension totale disponible dans un bras i de la phase j
U_j^{Δ}	Différence de tension entre les deux bras d'une phase j
$I_{i,j}, I_{bras}$	Courant circulant dans le bras i de la phase j
k	Indice de modulation
$V_{s,j}$	Tension à l'origine de $I_{s,j}$ d'une phase j (Tension de sortie, aux chutes de tension dans les inductances de bras prêt)

$I_{c,j}, I_{circ}$	Courant de mode différentiel circulant dans la phase j (courant de circulation)
$V_{c,j}, V_{diff}$	Tension responsable du courant de circulation
I_{cDC}	Valeur moyenne du courant de circulation
P_{DC}	Puissance côté DC
P_{AC}	Puissance côté AC
$p_{i,j}$	Puissance instantanée du bras i de la phase j
C	Valeur de la capacité des condensateurs de sous-module
$W_{i,j}$	Energie stockée dans bras i de la phase j
W_j^Σ	Energie totale stockée dans la phase j
W_j^Δ	Différence d'énergie stockée dans les deux bras d'une phase j
f_{grid}	Fréquence du réseau AC
ω	Pulsation du réseau AC
ϕ	Phase du courant de sortie d'une phase par rapport à la tension du réseau.
N_{ON}	Nombre de sous-module insérés dans un bras
N_{ON_OLD}	Nombre de sous-module insérés dans un bras à l'instant $t-1$
N_{OFF}	Nombre de sous-module retirés dans un bras
N_{OFF_OLD}	Nombre de sous-module retirés dans un bras à l'instant $t-1$
ΔN_{ON}	Différence entre N_{ON} et N_{ON_OLD}
$V_{GSTOP,BOT}$	Tension entre la grille et la source du composant MOSFET de la voie TOP, BOT
V_{DS}	Tension entre le Drain et la Source d'un MOSFET
SM_p	$p^{\text{ème}}$ sous-module d'un bras
D_p	Gate-driver associé au $p^{\text{ème}}$ sous-module d'un bras SM_p
S_{old}	Signaux de commande d'un bras à l'instant $t-1$
S_{new}	Signaux de commande d'un bras à l'instant t
M_{prio}	Valeur maximale du compteur de priorité
$M_{prioMin,Max}$	Valeur minimale, maximale prise pas M_{prio}

t_{prio}	Durée du compteur de priorité
$t_{prioMin,Max}$	Valeur minimale, maximale prise pas t_{prio}
$V_{CMin,Max}$	Valeur minimale, maximale prise pas les tension V_C
q	Résolution en tension du compteur de priorité
$t_{synchro}$	Durée du compteur de synchronisation
f_{clk}	Fréquence d'horloge des composants programmables
$N_{carrier}$	Nombre de porteuses statiques intersectées par la modulante durant une période
N_{switch}	Nombre de commutations par période engendrées par une modulation
p_{max}	Rang le plus élevé des porteuses intersectées par la modulante
D_p	Droite associée à une porteuse p (dans l'espace normalisé)
t_{cond}	Durée minimale de conduction des semi-conducteurs d'une modulation donnée
ΔV_C	Plage de valeur prises par les tensions V_C
$t_{propagUP}$	Temps de propagation d'un message inter-driver montant
$t_{propagDN}$	Temps de propagation d'un message inter-driver descendant
$V_{outTOP,BOT}$	Signal envoyé du primaire vers le secondaire TOP, BOT au travers du canal synchrone
V_{sec}	Tension aux bornes du transformateur d'alimentation au primaire (canal asynchrone)
$V_{inSEC, RxD}$	Signal reçu au primaire en sortie du canal asynchrone
$V_{UP(p,p+1)}$	Signal montant envoyé d'un gate-driver p au gate-driver $p + 1$
$V_{DN(p,p-1)}$	Signal descendant envoyé d'un gate-driver p au gate-driver $p - 1$

Introduction Générale :

Contexte des travaux :

Ces travaux de thèse de Nantes Université sont le fruit d'une collaboration étroite entre l'Institut de Recherche en Energie Electrique de Nantes Atlantique (IREENA), Saint-Nazaire, et l'Institut d'Electronique et des Technologies du numéRique (IETR), école Polytech'Nantes. Les compétences apportées par le premier laboratoire sont notamment l'informatique industrielle, la programmation et l'algorithmique, ainsi que la commande des convertisseurs de puissance. Elles furent très profitables à l'équipe, notamment durant la première moitié du doctorat.

Le laboratoire IETR a permis d'apporter un support technique de haute qualité. Les compétences en matière de conception de circuit, design de carte électronique (PCB) et d'électronique de puissance, ainsi que le matériel présent dans les locaux ont permis la mise en œuvre des concepts élaborés au laboratoire IREENA durant la seconde moitié du doctorat.

Ces travaux de recherche ont été financés dans le cadre d'un projet régionale RFI (Recherche, Formation, Innovation), et plus particulièrement dans le cadre du projet West Intelligent Systems & Electronics (WISE). Ce financement a notamment permis de réaliser plusieurs commandes de composants et de cartes électroniques onéreuses. L'équipe de recherche a pu participer à des conférences et des congrès scientifiques internationaux, et les frais liés à la publication d'un article de revue ont également été couverts grâce à ce financement.

Des cartes électroniques ont été réalisés durant ces travaux. Les empilements complexes ainsi que le foisonnement de composants sur ces cartes ont poussé l'équipe de recherche à faire appel à l'entreprise du bassin Atlantique SEICO pour leur production. L'entreprise SEICO entretient une collaboration étroite de longue date avec le laboratoire IETR. Cela donne de la valeur à nos travaux, tout en permettant de développer le tissu industriel local et les partenariats entre l'industrie et la recherche universitaire.

Enfin, il est à noter que ces travaux ont été réalisés durant la crise sanitaire, qui a débuté en mars 2020. Les règles de travail à distance imposées par le gouvernement ont fortement impacté les travaux de réalisation prévus dans cette thèse. Les différents confinements ainsi que les mesures sanitaires concernant les établissements de l'enseignement supérieur ont occupé beaucoup de temps des différents collaborateurs de cette thèse. Ainsi, un report officiel de la thèse de 4 mois a été accordé pour ces travaux.

Résumé général de la contribution :

Ces travaux s'intéressent au Convertisseur Modulaire Multiniveau (MMC), et plus particulièrement à sa commande et à sa structure de gate-drivers. L'augmentation croissante des niveaux de puissances des systèmes électriques et souvent accompagnée d'une augmentation des niveaux de tensions. Les semi-conducteurs de puissance bénéficient quant à eux d'une augmentation limitée concernant leurs calibres tensions. La solution la plus prometteuse à l'heure actuelle pour l'intégration

de transistors dans les structures de puissance reste donc l'utilisation de topologies de conversion dites multiniveaux.

Le MMC est un convertisseur modulaire. Il est constitué de chaînes de cellules de commutation élémentaires mises en séries, appelées « sous-modules ». La commande rapprochée et les fonctions de protection des composants de puissance des cellules de commutation sont assurées par une carte « gate-driver ». La structure de gate-drivers couramment utilisée consiste à relier chaque gate-driver au contrôle/commande via une liaison. Les potentiels électriques dangereux du MMC ne devant en aucun cas être accessibles par un opérateur humain, une isolation galvanique est nécessaire afin de séparer l'étage de puissance et l'étage de commande.

Or, l'augmentation du nombre de modules d'un convertisseur s'accompagne d'une augmentation des niveaux de tensions des différents bus d'énergie (notamment DC), et donc des tensions présentes aux bornes des isolations galvaniques. Le dimensionnement d'une isolation galvanique étant tributaire de cette tension, toutes les barrières d'isolation devront être redimensionnées. La structure de gate-drivers du convertisseur souffre donc de problèmes de modularité. L'extension du nombre de sous-modules impose des contraintes fortes sur les isolations galvaniques, qui doivent être dimensionnées à nouveau.

La contribution principale de ces travaux repose sur une nouvelle structure de gate-drivers, dite à « Isolation Galvanique Répartie » (IGR). Le principe est basé sur la mise en série des isolations galvaniques, en connectant les gate-drivers en cascade. La tension aux bornes des isolations galvaniques est alors égale à la tension de la cellule de commutation, qui est elle-même une fraction de la tension de bus DC du convertisseur. Le stress électrique causé par les tensions d'isolations est donc divisé d'un facteur important (égale au nombre de sous-modules du MMC). La chaîne de gate-drivers communique alors par une liaison série (daisy-chain).

Cette nouvelle structure impose une refonte des lois de commande établies pour le convertisseur. En effet, les niveaux de tensions d'isolations galvaniques offerts par la structure IGR permettent l'intégration de « smart gate-drivers » dans les MMC. Ces cartes de commande avancées sont notamment capables d'exécuter des algorithmes, et d'envoyer des messages détaillés aux travers de leurs barrières d'isolation galvanique. Une étude bibliographique démontre les possibilités multiples que peuvent offrir ces composants en terme de fiabilité et de gestion des composants de puissance, et donc de sûreté de fonctionnement du convertisseur. Ce manuscrit explore quelques possibilités offertes par ces cartes pour la commande du MMC.

En particulier, un algorithme d'équilibrage des tensions aux bornes des condensateurs de sous-modules est proposé. Il est directement intégré au cœur des gate-drivers de la chaîne. Il s'agit d'une procédure de sélection basée sur un algorithme existant dans la littérature, qui est ici décentralisé. L'algorithme est exécuté localement par chaque gate-driver. La décentralisation des lois de commande permet d'alléger la charge de calcul imposée au contrôle/commande. De plus, la structure de gate-driver IGR permet de drastiquement réduire le nombre d'entrées-sorties gérés par le contrôle commande. Ces caractéristiques sont des améliorations critiques pour l'augmentation du nombre de niveaux des

convertisseurs MMC, qui permettent d'envisager de nouvelles perspectives pour les convertisseurs forte puissance et haute tension.

La procédure de sélection décentralisée proposée dans ces travaux est éprouvée en simulation dans un second temps. L'outil de simulation modulaire mis en œuvre permet de réaliser une étude détaillée du comportement d'un convertisseur à 30 niveaux en statique et en dynamique. La fiabilité de l'algorithme est ainsi démontrée, tout comme ses limites. L'étude en simulation permet également de soulever un problème de compatibilité naturel entre certaines modulations basses fréquences et notre algorithme. L'origine de cette instabilité est identifiée, et des critères de compatibilités entre les modulations et l'algorithme sont dégagés. Ces critères permettent de proposer des modulations adéquates pour un usage conjoint avec la procédure de sélection intégrée.

La modulation Long Conduction time Pulse Width Modulation (LCPWM) est introduite à cet effet. Il s'agit d'une modulation aux caractéristiques hybrides, possédant des avantages de modulations basses fréquences et de modulations de type Modulation de Largeur d'Impulsion (MLI) basée sur des porteuses. La LCPWM est générée à partir d'un jeu de porteuses « statiques » innovantes très peu gourmandes en espaces mémoires et en calculs. En plus de sa génération très simplifiée par rapport aux autres modulations basées sur des porteuses, la LCPWM est parfaitement compatible avec la procédure de sélection décentralisée proposée dans ces travaux. De plus, elle maximise les temps de conduction des semi-conducteurs. Elles évitent ainsi l'écueil des MLI classiques qui génèrent aléatoirement des impulsions de commande courtes dangereuses pour les semi-conducteurs. Le principal désavantage de la LCPWM est sa fréquence de commutation très élevée, ce qui augmente les pertes dans les semi-conducteurs.

Afin de réduire le nombre de commutations produites par la LCPWM, la T-Enhanced Long Conduction time Pulse Width Modulation (T-ELCPWM) est introduite. Elle est générée à partir du même jeu de porteuse que la LCPWM, mais possède un paramètre T permettant d'ajuster sa fréquence de commutation. Ce paramètre permet de trouver un compromis viable entre plusieurs critères, notamment les durées de conduction, et la qualité de l'équilibrage lorsqu'utilisée avec notre algorithme. Les performances des modulations proposées sont comparées avec celles des modulations existantes afin d'en identifier les points forts et points faibles.

La dernière partie de ces travaux s'intéresse à la mise en œuvre d'une chaîne de smart gate-drivers sur un démonstrateur réel. Un smart gate-driver réalisé à l'IETR durant de précédents travaux est sélectionné comme maillon de la chaîne. Il embarque plusieurs composants programmables (FGPA) capable d'exécuter l'algorithme décentralisé. L'étude des différents signaux émis et reçus par les gate-drivers lors de la procédure confirme la théorie introduite dans ce manuscrit. La validation expérimentale du concept consiste à comparer les résultats obtenus par la chaîne de gate-drivers avec ceux d'une simulation. Les signaux de grille produits par la chaîne de gate-drivers sont parfaitement conformes au modèle décrit dans ces travaux et aux résultats de simulation. Les perspectives ouvertes par ces travaux sont multiples et sont discutées à la fin de ce manuscrit.

Chapitre 1 : Les enjeux et la mise en œuvre de la conversion statique d'énergie électrique

1. La conversion d'énergie statique pour le transport d'énergie forte puissance

1.1. Une nécessité économique, environnementale et sociétale

En France, en Europe et dans le monde entier, des objectifs de réduction de gaz à effet de serre sont fixés à des horizons proches [1][2]. On peut citer les fameux Protocole de Kyoto et Accords de Paris. Parallèlement, les sources d'énergies fossiles atteignent peu à peu leurs limites. En effet, leur disponibilité diminue de plus en plus rapidement du fait de la consommation croissante des industries et de la population mondiale.

Leur impact écologique est avéré, et des rapports alarmants comme ceux du GIEC (Groupe d'experts Intergouvernemental sur l'Evolution du Climat), paru en octobre 2018 [3] et aout 2021 [4], ou de l'IPBES (Intergovernmental Science-Policy Platform on Biodiversity and Ecosystem Service) d'avril 2019 [5], alertent sur la nécessité et l'urgence de changer de modes de production et de consommation d'énergie. Il est nécessaire de trouver des alternatives aux énergies fossiles pour le futur énergétique de la planète.

La réduction de la part des énergies fossiles dans la production mondiale passera par l'intégration des énergies renouvelables aux réseaux d'énergies, ainsi que la réduction des coûts liés aux réseaux de transport eux-mêmes. L'intégration des énergies renouvelables aux réseaux de distribution grandes échelles implique une transformation profonde de la production d'énergie traditionnelle. En effet, leur nature intermittente ne permet pas de génération d'énergie en continue. Elles doivent nécessairement être couplées à des systèmes de stockage, ainsi qu'à d'autres moyens de production afin de subvenir aux besoins des consommateurs. Cela implique forcément une gestion énergétique précise et efficace.

L'électronique de puissance apparait comme étant la solution technologique la plus appropriée, puisqu'elle permet justement d'interfacer les moyens de productions énergétiques, les éléments de stockages, les réseaux traditionnels et les consommateurs. Les rendements des conversions énergétiques sont majoritairement supérieurs à 90%, et les techniques de contrôle avancées actuelles permettent une gestion optimale des flux énergétiques entre les différentes parties, ainsi que des tolérances aux défauts élevées, assurant une fiabilité importante.

Dans le domaine du génie électrique, on distingue deux formes d'énergie. L'énergie dite alternative (AC) prend la forme d'un signal qui alterne entre des valeurs positives et négatives périodiquement. C'est le cas du signal sinusoïdal. L'énergie dite continue (DC) est, par opposition, une énergie qui ne change pas de signe. La conversion d'énergie a toujours été nécessaire en énergie électrique, ne serait-ce que pour son transport.

En effet, les pertes thermiques (effet Joule) le long des câbles doivent être limitées au maximum dans un souci économique et écologique. Pour ce faire, il est nécessaire de réduire le courant qui traverse les lignes de transmission. En régime sinusoïdal, l'équation générale de la puissance apparente S aux bornes d'un dipôle connecté à un réseau est donnée dans (1.1) :

$$S = \underline{U} \underline{I}^* = P + jQ \quad (1.1)$$

où \underline{U} est le nombre complexe associée à la tension aux bornes du dipôle (généralement imposée par le réseau), \underline{I} est le nombre complexe associée au courant circulant dans la charge et donc dans les lignes de transports (\underline{I}^* étant son conjugué complexe). P est la puissance active et Q est la puissance réactive.

La puissance active fournie à une charge électrique est directement consommée par la charge. Elle résulte d'un travail des grandeurs électriques et peut prendre de nombreuses formes en sortie :

- Mécanique (Moteur et autres actionneurs)
- Chimique (Electrolyseurs)
- Thermique (Radiateur, four)
- ...

La puissance réactive est quant à elle nécessaire aux éléments passifs constituant la charge électrique. Elle permet la mise en place de champs électriques (condensateurs) et magnétiques (self-inductances et inductances mutuelles). Elle n'est pas transformée par la charge électrique (consommateurs), mais est nécessaire à son fonctionnement. Les pertes en ligne sont proportionnelles au carré du courant qui les traverse ($P_j = R I^2$ où R est la résistance des câbles).

Pour transférer de l'énergie d'un point A à un point B, il est donc intéressant de réduire les courants présents sur la ligne. Pour maintenir la valeur de la puissance apparente délivrée aux consommateurs, tout en diminuant le courant circulant dans les lignes de transmission, le transport d'énergie doit être réalisé à tension élevée.

C'est pour cette raison que l'invention du transformateur a profondément révolutionné la production d'énergie électrique [6]. Le transformateur permet en effet de transformer une énergie sous la forme d'une tension faible et d'un courant fort (souvent la forme privilégiée par les consommateurs et les producteurs d'énergie) en une énergie haute tension et faible courant, tout en assurant un rendement très élevé, un faible bruit, une isolation galvanique et aucune partie mouvante. La seule condition d'utilisation est que l'énergie électrique soit sous forme alternative. Il s'agit d'une des raisons qui ont orienté le choix des réseaux continentaux vers le courant alternatif.

Or, le transport d'énergie sous forme AC engendre certaines problématiques. D'une part, l'interconnexion des réseaux alternatifs est complexe. Pour coupler deux réseaux de tension, il faut que ces tensions soient exactement les mêmes afin d'éviter l'apparition de courants de circulation entre ces réseaux. Ainsi non seulement les amplitudes des tensions devront être égales, mais également leurs fréquences et leurs phases.

D'autre part, le caractère majoritairement inductif des lignes de transmission aériennes (ou capacitif pour les lignes enterrées) leur confère une impédance non négligeable et donc des chutes de tension en lignes. Enfin, pour produire une même puissance P , les tensions AC ont des valeurs maximales plus élevées que les tensions DC. La valeur efficace (« Root Mean Square » (RMS)) d'un signal alternatif, qui permet de calculer la puissance contenue dans celui-ci, est plus faible que sa valeur maximale d'un facteur $\sqrt{2}$.

Les câbles de ligne de transmission DC ont de ce fait un meilleur rendement. Ils ne sont pas sensibles à l'effet de peau ni aux courants réactifs parasites qui surchargent les lignes alternatives. Il devient économiquement rentable d'utiliser des lignes hautes tensions DC plutôt que des lignes AC sur des distances suffisamment élevées [7][8] (plus de 50 km pour les lignes sous-marines, dont les capacités parasites sont élevées, et environ 600 km pour les lignes aériennes traditionnelles), comme illustré par la Figure 1.

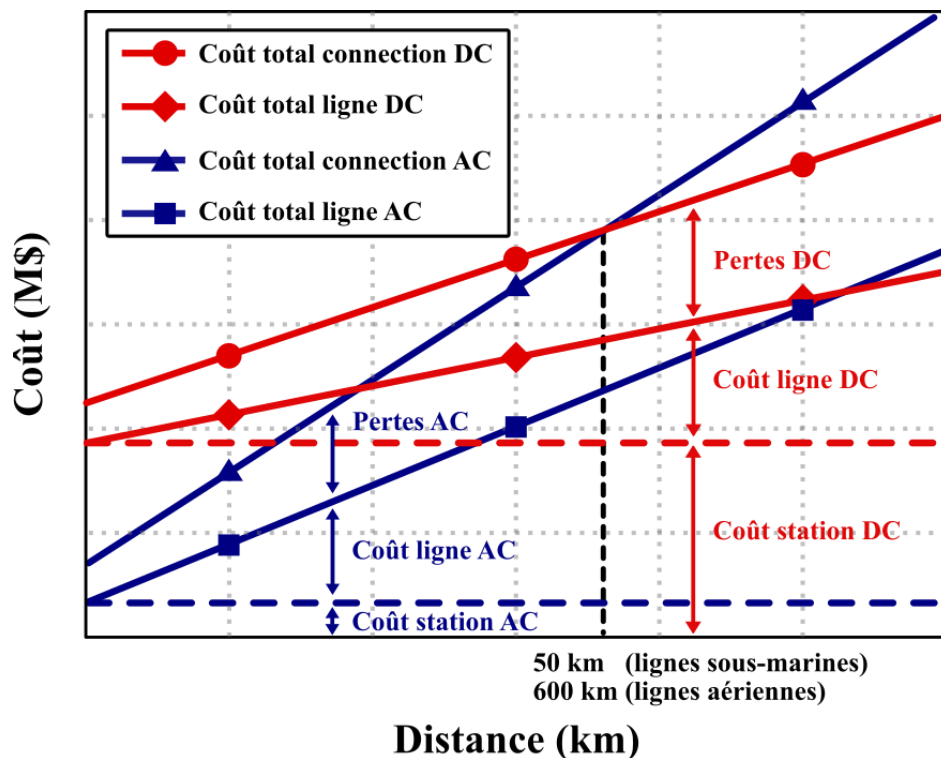


Figure 1. Comparaison des coûts d'installation des systèmes de transmission AC et DC [8]

Certaines sources d'énergie renouvelable sont de nature DC, comme l'énergie produite par des panneaux solaires. De même, l'énergie éolienne ne fonctionnant pas à fréquence constante, sa liaison aux réseaux continentaux sans interface particulière pose problème. L'intégration des énergies renouvelables aux réseaux AC traditionnels est alors très complexe. L'électronique de puissance est l'alternative parfaite pour jouer ce rôle. La connexion entre le réseau et l'équipement éolien est réalisée par l'intermédiaire d'un bus de tension continue. Cela permet d'interfacier efficacement des sources d'énergie intermittentes.

1.II. Les réseaux et technologies High-Voltage Direct-Current (HVDC)

On distingue usuellement quatre types de conversion d'énergie électrique : AC/AC, AC/DC, DC/DC, DC/AC. Les convertisseurs de puissance associés sont respectivement les gradateurs et cycloconvertisseurs, les redresseurs, les hacheurs et les onduleurs.

Ainsi, les réseaux de transports continentaux et offshore tendent de plus en plus à changer de nature. Les technologies DC sont prometteuses et les nouveaux réseaux dit « High-Voltage Direct Current » (HVDC) sont mis en œuvre de plus en plus fréquemment. Historiquement et encore de nos jours, le principal frein à la réalisation de convertisseurs très hautes tensions DC provient du calibre des composants de puissance (transistors, diodes), c'est-à-dire leur tenue en tension et courant limitée.

En effet, la première ligne HVDC commercialisée dans le monde fut la liaison à courant continu de Gotland, en Suède. Mise en service en 1954 par ASEA, elle relie l'île de Gotland avec le continent et est basée sur une technologie de convertisseur à valve à vapeur de mercure. La liaison atteignait 100 kV et permettaient de transporter 20 MW sur 96 km [9].

Il faut attendre la maturation des technologies à semi-conducteurs, et notamment des thyristors, pour mettre en œuvre la première station de conversion intégralement équipée de ces technologies en 1972. Cette station de la rivière Eel permet de faire la liaison entre deux réseaux alternatifs du Québec et du Nouveau-Brunswick, sous une tension de ± 80 kV et une puissance nominale de 320 MW. Sa mise en place est considérée comme une étape technologique importante par IEEE (« IEEE Milestone ») [10]. Les convertisseurs à thyristors sont des « convertisseurs commutés par les lignes » (LCC), ou convertisseurs source de courant. Un redresseur triphasé à base de thyristors est représenté Figure 2.

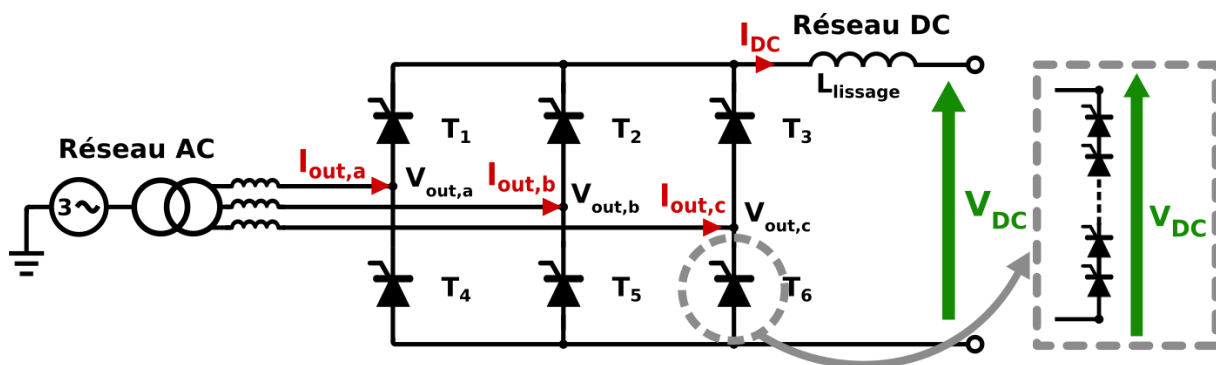


Figure 2. Redresseur triphasé à base de valves de thyristors

La tension du bus DC V_{DC} du convertisseur peut être extrêmement élevée dans les applications HVDC et Ultra HVDC (UHVDC). Elle atteint par exemple 800 kV sur la ligne Jinping-Sunan en Chine [11]. Des courants supérieurs au kilo-ampère circulent sur ces lignes. Ainsi, les convertisseurs HVDC utilisent des « valves » de commutation (T_1 à T_6 sur la Figure 2) composées d'une mise en série de thyristors dont le calibre en tension est inférieur à V_{DC} .

Plusieurs de ces chaînes de thyristors en série peuvent être mises en parallèle afin d'atteindre les niveaux de courant de l'installation, tout en diminuant la résistance équivalente de la valve. De telles stations de conversion occupent alors des volumes très importants. Les valves à thyristor d'un redresseur triphasé avec $V_{DC} = 500$ kV sont présentés à la Figure 3 [12].



Figure 3. Valves à thyristors d'un convertisseur HVDC triphasé 500kV [12]

Les convertisseurs de type LCC dépendent des réseaux auxquels ils sont interconnectés, puisque les thyristors ne peuvent être amorcés que lorsque la tension entre leur anode et leur cathode est positive. De plus, ils absorbent de la puissance réactive durant leur fonctionnement. Ces convertisseurs nécessitent donc des installations supplémentaires pour démarrer (compensateurs synchrones ou condensateurs en plus des alimentations de secours) si le réseau AC auquel ils sont connectés n'est pas énergisé (« Black start ») [13]. Ils doivent être connectés à des réseaux AC « forts » équipés d'alternateurs pour pouvoir fonctionner.

De plus, un convertisseur équipé de thyristors ne peut conduire le courant que dans un seul sens. Dans le cas où le flux de puissance doit être inversé entre deux stations, la polarité du bus DC doit être inversée. Cela peut causer des stress électriques importants sur les composants de puissance et les câbles des lignes de transport d'énergie [14]. La technologie Voltage Source Controlled (VSC) permet de pallier ces problèmes.

Cette dernière est basée sur l'intégration de transistors dans les convertisseurs de puissance, qui sont des composants commandables à l'amorçage et au blocage, indépendamment du courant commuté. Ils remplacent les thyristors dans les topologies usuelles et peuvent être commandés sans être nécessairement connectés à un réseau AC fort. Ils sont capables de démarrer même après une coupure du réseau. De tels convertisseurs offrent également la possibilité de fonctionner dans les quatre quadrants de puissance.

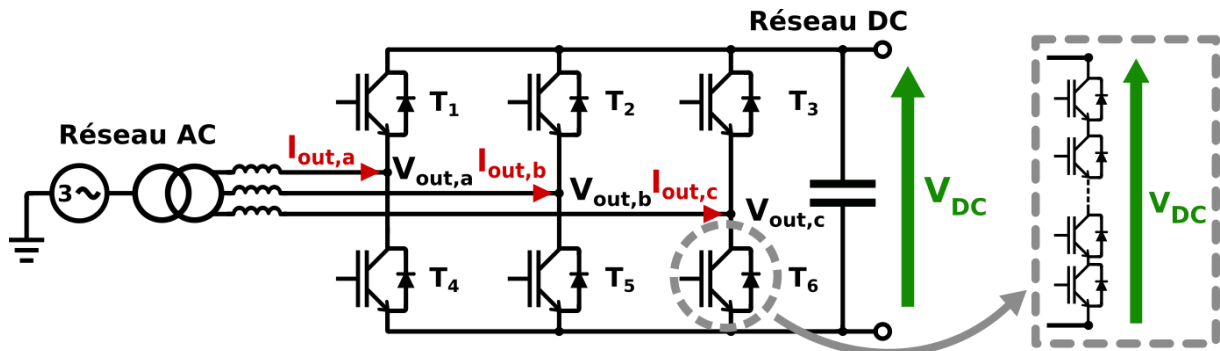


Figure 4. Redresseur triphasé à base de valves de transistors

Les flux de puissances actives et réactives peuvent alors être contrôlés indépendamment dans les deux sens (le convertisseur peut fonctionner en tant que source ou récepteur de puissance). Cela permet de fortement réduire le besoin en installation visant à compenser la puissance réactive, tout en offrant une plus grande stabilité aux réseaux. La première ligne VSC – HVDC est commercialisée en 1997 à nouveau sur l’île de Gotland par ABB [14]. Un redresseur triphasé constitué de valves d’Insulated Gate Bipolar Transistors (IGBT) est proposé à la Figure 4.

Les technologies VSC sont prometteuses. Les composants transistors équipent désormais la majorité des convertisseurs de puissance. Cependant, concernant les réseaux HVDC et la conversion d’énergie très haute puissance, les convertisseurs à base de thyristors et leurs améliorations, les Gate-Turn-Off Thyristors (GTO) et les Integrated Gate-Commutated Thyristors (IGCT), sont encore majoritairement utilisés [14].

Cela s’explique principalement par trois raisons. La première concerne l’ancienneté des stations HVDC à thyristors. La technologie VSC est encore trop récente pour pouvoir prendre le dessus sur les anciennes stations à base de LCC.

De plus, les rendements des convertisseurs VSC est souvent plus faible que ceux atteints par les LCC [15]. En effet, chaque commutation d’un composant de puissance en présence de tension de courant produit des pertes. Or, les méthodes de modulation utilisées pour la commande de convertisseurs à base de transistors, comme la Modulation de Largeur d’Impulsion (MLI), génèrent des fréquences de commutation élevées (typiquement quelques dizaines de kilohertz). Les pertes en commutation des convertisseurs à base de transistors sont alors plus élevées que celles des convertisseurs à base de thyristors. Le rendement est souvent déterminant dans le choix de la technologie utilisée puisqu’il s’agit d’un paramètre critique pour les installations forte puissance.

Enfin, les calibres courant et tension des GTO, IGCT et Thyristors restent actuellement très supérieurs à ceux des IGBT et autres transistors, comme présenté sur la Figure 5 [16]. Pour une même tension de fonctionnement, le nombre de composants en série par valves de conversion d’un convertisseur est supérieur avec des IGBT. Cela augmente la résistance de la valve, et complique sa commande. Le volume et le prix du convertisseur sont également plus importants.

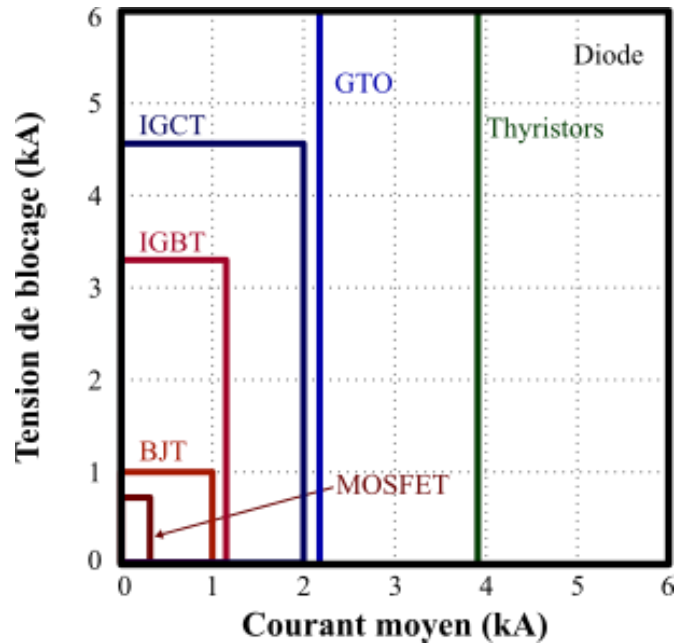


Figure 5. Comparaison des calibres tension et courant des différents semi-conducteurs [16]

Les calibres tensions et courants des composants de puissance sont en constante augmentation, simplifiant leur intégration dans les convertisseurs haute tension, et permettant d'augmenter les tensions de fonctionnement de ces convertisseurs. De nombreux projets de transports HVDC ont vu le jour grâce aux progrès de l'électronique de puissance et de la physique du composant. Les difficultés liées à la montée en tension des calibres des composants de puissances sont présentées dans la section suivante.

Cette première partie a permis de présenter l'importance de l'électronique de puissance à travers des considérations comme le rendement dans des installations fortes puissances. Les réseaux de transports électriques sont contraints d'intégrer des convertisseurs de puissance afin d'optimiser la production d'énergie et d'assurer la transition énergétique. La mise en œuvre des technologies VSC très prometteuses est limitée par les calibres des composants transistors. Ces travaux portent sur les convertisseurs statiques dit « multiniveaux », qui permet une intégration maîtrisée de transistors dans des structures de puissance haute tension. Dans la suite de ce chapitre, la problématique liée à la conversion d'énergie haute tension dite « 2-niveaux » est détaillée.

1.III. Les limites de la conversion d'énergie 2 niveaux

Comme exposé précédemment, les niveaux de tensions et de courants des applications haute puissance comme la commande de moteur et les réseaux (Flexible Alternating Current Transmission System (FACTS) et HVDC) atteignent des niveaux de plus en plus élevés. Les composants du convertisseur doivent donc être capables de faire passer ces très forts courants et de supporter des tensions de blocage très élevées.

Or, la conception et l'industrialisation de semi-conducteurs capables d'opérer à des puissances de l'ordre de la dizaine voir de la centaine de MW paraît être un défi irréaliste dans un futur proche. L'industrie du semi-conducteur progresse cependant rapidement, et de nouvelles technologies de semi-

conducteurs dits « Grand-gap », comme le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN), permettent des tenues en champ électrique plus élevées que les composants actuels au Silicium (Si). Les tensions de claquage de ces composants sont plus élevées pour un même volume, offrant des densités de puissance importantes.

Pour permettre la montée en tension des convertisseurs de puissance, l'association de composants en série et/ou en parallèle sous la forme d'une valve est régulièrement mise en œuvre [17]. La mise en parallèle de transistors est assez largement utilisée, car elle permet de répondre à des besoins en courant élevés, tout en posant peu de problèmes de mise en œuvre (Figure 6 (a)).

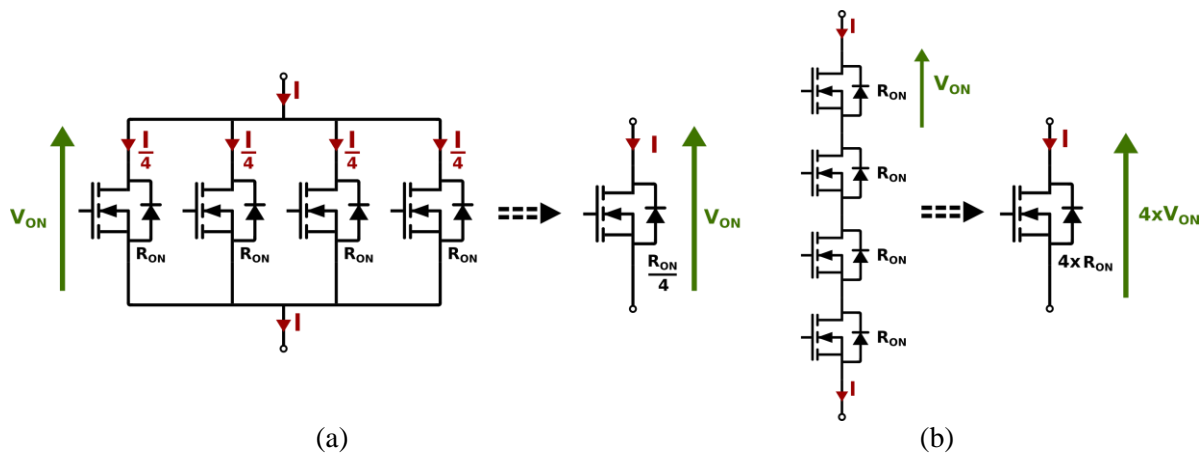


Figure 6. Mise en parallèle (a) et série (b) des semi-conducteurs

En effet les instants de commutations des composants peuvent être légèrement désynchronisés car le courant maximum instantané acceptable d'un semi-conducteur est souvent très supérieur à son courant nominal. De plus, la mise en parallèle de composants permet de réduire les pertes en conduction du convertisseur, et ainsi le stress thermique des composants, puisque la résistance équivalente de la valve diminue.

En revanche, la mise en série des composants est plus délicate (Figure 6 (b)). Cette méthode permet de diviser la tension du convertisseur entre les composants de puissance. Par exemple un bus DC à 10 kV aux bornes de 4 transistors en série permet de réduire la tension vue par chaque module à 2.5 kV. Cela permet d'utiliser des composants de calibres inférieurs. Cependant, la résistance équivalente de la valve augmente avec le nombre de composants en série. Les pertes en conduction dans la valve augmentent, ce qui implique des contraintes thermiques plus importantes.

D'autre part, elle demande une parfaite synchronisation des modules à l'ouverture et à la fermeture puisque des surtensions aux bornes des composants, même très brèves, peuvent drastiquement réduire leur longévité. Ceux-ci sont donc souvent équipés de Circuit d'Aide à La Commutation (CALC) et/ou leurs électroniques de commande utilisent diverses méthodes de retour d'état pour synchroniser les sous-modules (gestion de délais, de la tension de commande, ...) [17]. La complexité de la mise en série de modules de puissance est activement étudié [18][19]. Des applications HVDC « 2 niveaux » on quand

même été rendues possibles dans le domaine HVDC avec ces méthodes jusqu'à des tensions de l'ordre de ± 300 kV et des puissances de l'ordre du GW [20].

La difficulté des constructeurs à réaliser des modules de puissance haute tension (rarement supérieurs à 15 kV pour les modules industrialisés) et la sensibilité des modules aux surtensions rend complexe la mise en œuvre de convertisseurs conventionnels 2 niveaux dans les applications très haute tension. Pour remédier à ce problème, une méthode consiste à partager la tension du bus sur plusieurs cellules de commutation. On obtient alors des topologies plus complexes, nécessitant souvent un grand nombre de semi-conducteurs, mais qui permettent en contrepartie d'augmenter le nombre de niveaux de tensions disponibles en sortie, tout en limitant la tension aux bornes des composants de puissance. Ce sont les convertisseurs multiniveaux introduits dans la partie suivante.

2. La convertisseurs statiques multiniveaux

2.1. Principes et enjeux de la conversion multiniveau

Les structures traditionnelles comme présentées sur la Figure 4 sont bidirectionnelles et peuvent être utilisées en mode redresseur (AC/DC) ou en mode inverseur (DC/AC). Les tensions de sortie du convertisseur $V_{out,a}$, $V_{out,b}$ et $V_{out,c}$ de chaque phase ne prennent que 2 valeurs (V_{DC} ou 0 V). Ainsi, même avec des commandes avancées, la tension de sortie du convertisseur possèdera un contenu harmonique important. Filtrer des hautes tensions et des courants forts nécessite des composants réactifs très volumineux et couteux. Le volume des filtres de sortie des convertisseurs représente généralement une bonne partie du volume total du convertisseur.

De plus, de très fortes variations de potentiel (dv/dt) et de courant (di/dt) apparaissent à ces points. Plus les composants de puissance sont rapides pour effectuer des commutations, plus les fronts de tensions produits seront raides, et plus la pollution électromagnétique sera importante. Le convertisseur produit alors des perturbations électromagnétiques conduites et rayonnées.

Le principe de la conversion multiniveaux est basé sur la génération d'une onde de sortie à plusieurs niveaux de tension. Un exemple de tension de sortie V_{AN} à trois niveaux générée par MLI avant (en bleu) et après filtrage (en rouge) est donné Figure 7 (a). De manière générale, un convertisseur multiniveau utilise des sources de tension flottantes et/ou un bus DC fractionné afin de générer des niveaux de tensions intermédiaires. Les sources de tensions sont ajoutées successivement les unes aux autres pour augmenter la tension de sortie. Ces sources de tensions peuvent être des condensateurs chargés, dont la charge doit être asservie pour assurer le bon fonctionnement du convertisseur.

Le nombre de source de tension N définit le nombre de valeurs que peut prendre la tension de sortie du convertisseur. Un exemple d'onde de tension à 7 niveaux est présenté à la Figure 7 (b). Ici, la MLI n'est pas utilisée puisque la qualité de l'onde de sortie augmente avec le nombre de niveaux, ce qui est un des nombreux avantages de ces topologies.

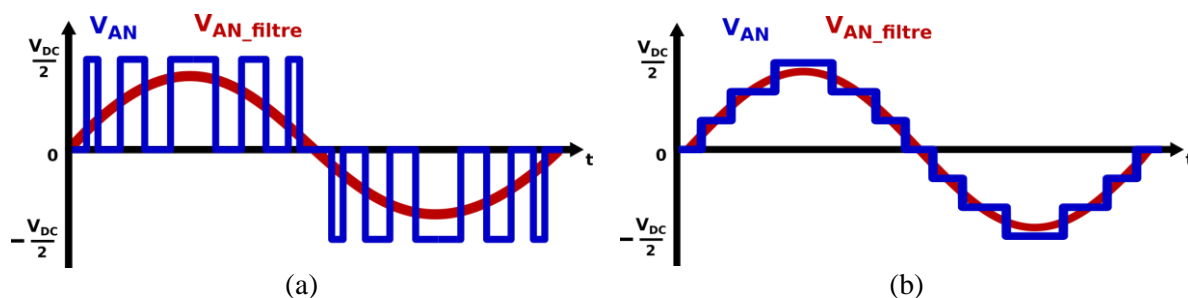


Figure 7. Exemples de tension de sortie avant et après filtrage des convertisseurs multiniveaux : 3-niveaux (MLI) (a), et 7 niveaux (b)

Les avantages des structures multiniveaux par rapport aux topologies classiques sont nombreux, et les plus importants sont listés ci-après [21] :

- Comme exposé précédemment, ces structures génèrent des formes d'ondes nettement moins chargées en harmoniques. Plus le nombre de niveaux augmente, plus la qualité de l'onde est élevée. Dans certains cas, le besoin en filtrage est si faible qu'il est assuré par les impédances de lignes, sans nécessiter de composants passifs additionnels. Les modulations hautes fréquences comme la MLI ne sont alors plus nécessaires.
- Le stress électromagnétique généré lors des commutations des composants de puissance est également réduit, puisque les tensions à commuter ne représentent qu'une fraction du bus DC (Egales à V_{DC}/N pour les convertisseurs dit « symétriques »). Les variations de potentiels produites par le convertisseur sont ainsi relativement faibles et la pollution électromagnétique (Interférences Electromagnétiques, EMI) est grandement réduite.
- L'usage de composants de puissance de calibres en tension plus faible est rendu possible, évitant une mise en série de ces composants.
- La fréquence de découpage de l'onde de sortie du convertisseur est N fois plus élevée que la fréquence de commutation effective des composants de puissances du convertisseur. Cela est due à l'entrelacement des commandes des cellules de conversion, ce qui réduit fortement les pertes par commutation de chaque module de puissance. Cela impacte positivement la mise en œuvre des systèmes de refroidissements associés aux semi-conducteurs.
- Ces structures possèdent généralement une forte redondance, ainsi que de nombreux degrés de libertés. Cela permet ainsi une bonne tolérance aux défauts, et la possibilité de fonctionner en mode dégradé.
- Pour certaines structures, une bonne modularité des convertisseurs permet d'augmenter simplement les tensions et courants du convertisseur en augmentant le nombre de cellules de commutation N .

Les principaux défauts de ces structures sont dus à leurs grands nombres de composants de puissance et de composants passifs, notamment de condensateurs pour les bus intermédiaires. Cela augmente leur coût et leur volume. De plus, la commande des interrupteurs de puissance dans les structures multiniveaux est bien plus complexe que celle des composants des convertisseurs 2 niveaux. Une autre problématique récurrente de ces topologies concerne l'équilibrage des charges contenues dans les différentes sources de tension capacitives flottantes [22].

Un article de 2001 proposé par Peng [23] introduit une famille très générale de convertisseur multiniveaux dont les charges de condensateurs sont auto-équilibrés. Cette topologie de convertisseur nécessite un nombre de composants semi-conducteurs et de condensateurs bien trop élevé, et qui augmente quadratiquement avec le nombre de niveaux. Elle n'est donc pas réalisable en pratique.

De cette structure peuvent être déduites les topologies usuelles présentées dans la partie suivante. Mais l'équilibre des charges de condensateurs n'est alors plus garanti. Ces topologies émergentes ont recours à des lois de commande plus ou moins complexes afin, notamment, de palier le problème de l'équilibrage des charges de condensateurs. Ce problème d'équilibrage est au centre des travaux présentés dans ce manuscrit et sera adressé dans le chapitre suivante.

2.II. Topologies multiniveaux usuelles

2.II.a. Le convertisseur Neutral-Point-Clamped (NPC)

Une des premières topologies de convertisseur multiniveaux proposée est le convertisseur « Neutral-Point-Clamped (NPC) » ou « Diode Point Clamped », introduite en 1981 [24]. La version originellement présentée comporte trois phases et trois niveaux. La Figure 8 présente un NPC monophasé.

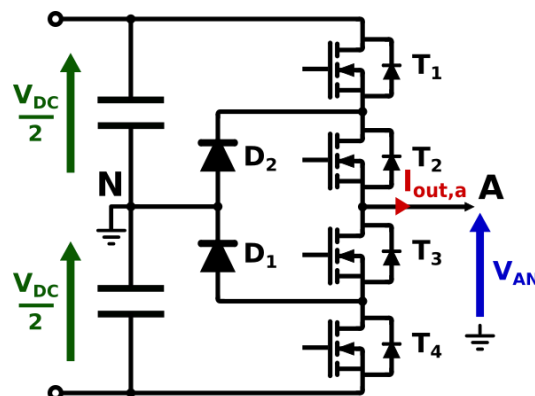


Figure 8. Schéma d'un NPC monophasé 3 niveaux

Le bus DC du convertisseur est fractionné. Le neutre du convertisseur est le point milieu N d'un pont diviseur capacitif. Ainsi la tension V_{AN} appliquée entre les points A et N peut prendre trois valeurs. Les séquences de conductions et les niveaux de tensions associés sont donnés dans le Tableau 1.

Tableau 1. Séquence de conduction d'un NPC monophasé

T_1	T_2	T_3	T_4	Tension V_{AN}
1	1	0	0	$V_{DC}/2$
0	1	1	0	0
0	0	1	1	$-V_{DC}/2$

Cette topologie fait appel à 4 transistors montés en « série » (contrairement à un pont complet), ce qui permet de répartir la tension du bus plus efficacement. La tension maximale apparaissant aux bornes des semi-conducteurs vaut $V_{DC}/2$, ce qui est deux fois plus faible qu'avec un convertisseur 2 niveaux

classique. Cette structure de conversion peut être généralisée à un nombre de niveaux $N+1$. La tension de sortie V_{AN} prend alors des valeurs entre $-\frac{V_{DC}}{2}$ et $+\frac{V_{DC}}{2}$ par pas de $\frac{V_{DC}}{N}$. La version à 5 niveaux est présentée sur la Figure 9.

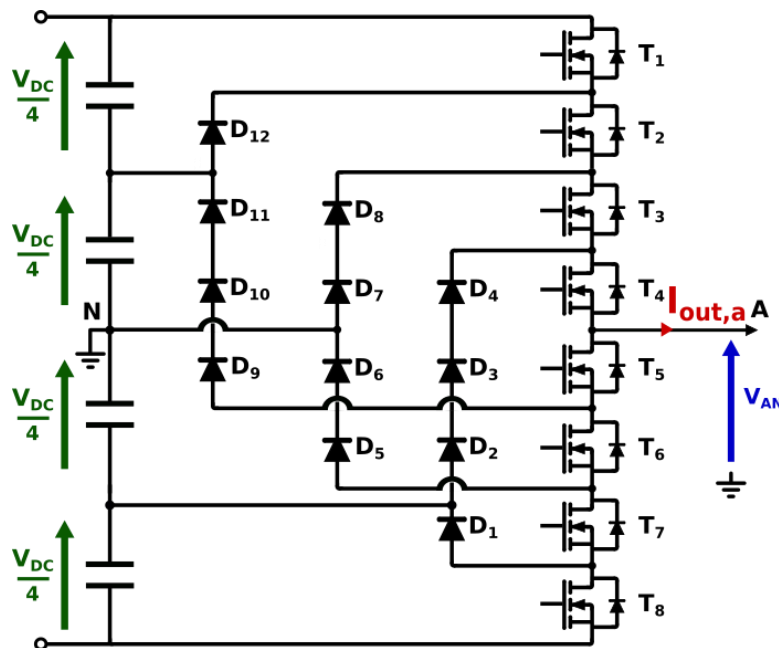


Figure 9. Schéma d'un NPC monophasé 5 niveaux

Une méthode proposée dans [25] permet de construire des convertisseurs NPC à partir d'une méthode graphique «flow graph» (FG). Ces convertisseurs aux topologies hybrides diverses et variées sont appelés FG-NPC. Le convertisseur NPC possède deux défauts structurels.

D'un part, les diodes du convertisseur (dite de « clamping ») ne sont pas toutes soumises aux mêmes tensions inverses. La tension aux bornes de D_1 vaut $V_{DC}/4$ tandis que l'ensemble D_2, D_3, D_4 voit une tension égale à $3V_{DC}/4$. Si toutes les diodes ont le même calibre que D_1 , il sera nécessaire d'en connecter plusieurs en série entre certains points comme sur la Figure 9. Ainsi, si le nombre de condensateur du bus DC N_{Cbus} de bus augmente linéairement avec le nombre de niveaux ($N_{Cbus} = N - 1$), le nombre de semi-conducteur N_{Dclamp} augmente quant à lui quadratiquement comme dans l'équation (1.2) [26]. Les déséquilibres entre les pertes dans les semi-conducteurs conduisent à des différences au niveau des températures de jonction [27], ce qui pose un problème de fiabilité majeur.

$$N_{Dclamp} = N_{Cbus} (N - 2) = (N - 1)(N - 2) \quad (1.2)$$

D'autre part, les tensions aux bornes des condensateurs de bus ont tendance à se déséquilibrer dans le temps. Différentes méthodes peuvent être employées, nécessitant souvent d'ajouter des circuits auxiliaires au montage. C'est le cas dans [28], où un système de 2 NPC triphasés connectés en « Back-to-back » est étudié pour la génération d'énergie électrique par une turbine éolienne. Il est montré que les déséquilibres de charge des condensateurs de bus posent des problèmes de stabilité. Un circuit externe simple de décharge des condensateurs est mis en œuvre, permettant l'équilibrage du pont capacitif au prix de pertes supplémentaires.

L'équilibrage des charges dans les condensateurs de bus d'un 3-NPC est obtenue à l'aide d'un contrôle par hystérésis et d'une MLI vectorielle dans [29]. La structure globale de contrôle du 3-NPC pour la commande d'un moteur asynchrone utilise le « Finite State Predictive Torque Control (FS-PTC) ». Ce schéma de contrôle complexe, gourmand en temps de calcul et ressources informatiques, permet la commande du moteur tout en assurant un équilibrage du point milieu du convertisseur.

2.II.b. Le convertisseur Flying Capacitor (FLC ou FC)

Une autre structure de conversion multiniveaux très répandue utilise le principe des condensateurs flottants. Le convertisseur « Flying Capacitor » (FLC ou FC) est introduit en 1992 par Meynard et Foch du Laboratoire d'Electrotechnique et d'Electronique Industrielle de Toulouse [30]. Des condensateurs chargés à des fractions du bus DC sont insérés en série les uns avec les autres. La composition de leurs tensions permet de générer une onde à plusieurs niveaux en sortie. Les versions 3 niveaux et $N+1$ niveaux sont présentées respectivement sur les Figure 10 (a) et Figure 10 (b).

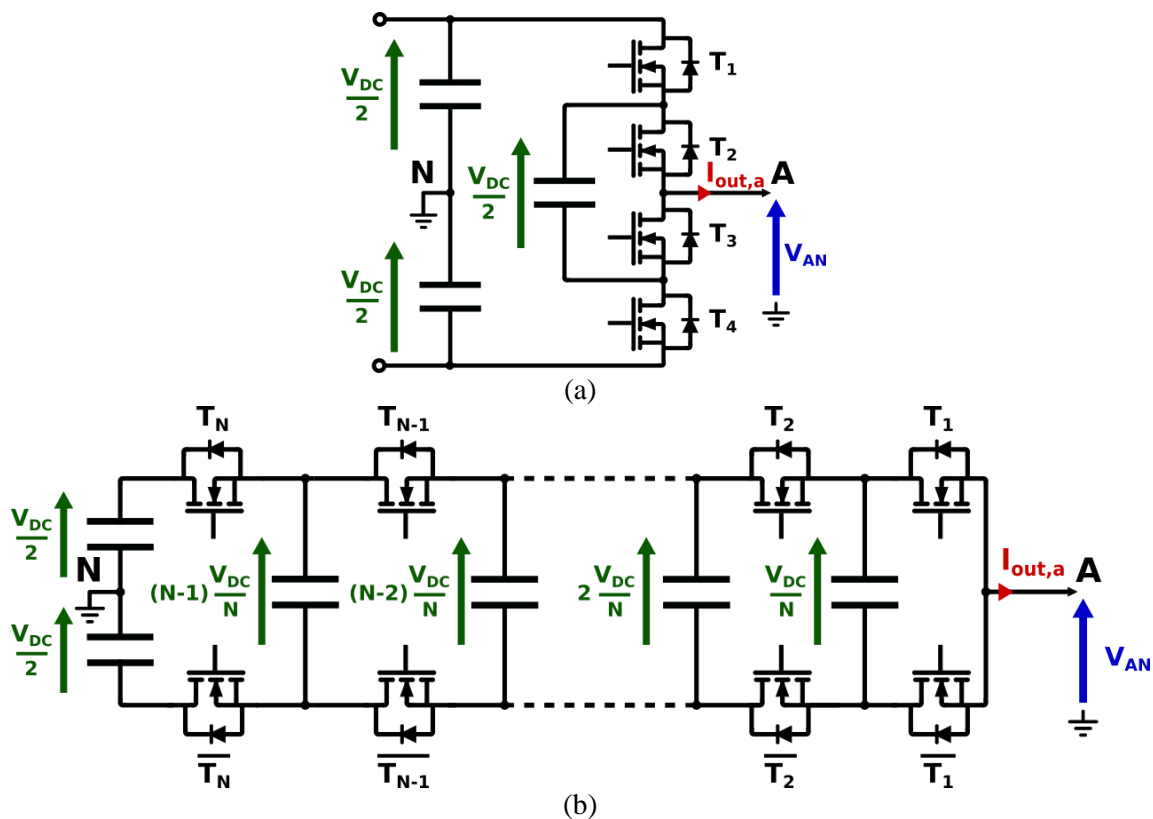


Figure 10. Schéma d'un FLC 3 niveaux (a) et $N+1$ niveaux (b)

La séquence de conduction pour le FC 3 niveaux est présentée dans le Tableau 2. Contrairement au NPC à diodes, cette topologie possède des états redondants. C'est cette caractéristique importante qui rend possible l'équilibrage des charges stockées dans les condensateurs sans nécessiter de circuits auxiliaires. Un autre avantage de la structure est de limiter la tension aux bornes des semi-conducteurs à V_{DC}/N . Cette structure est également plus modulaire et tolère mieux les défauts que la précédente.

Tableau 2. Séquence de conduction du FC 3 niveaux

T_1	T_2	T_3	T_4	Tension V_{AN}
1	1	0	0	$V_{DC}/2$
1	0	1	0	$V_{DC}/2 - V_{DC}/2 = 0$
0	1	0	1	$-V_{DC}/2 + V_{DC}/2 = 0$
0	0	1	1	$-V_{DC}/2$

Il n'y a pas de diodes de clamping dans cette structure, et le nombre de transistors N_{T_o} est égale à celui d'un NPC ($N_{T_o} = 2N$). En revanche, le nombre de condensateurs total N_{CFC} du convertisseur FC augmente quadratiquement, comme dans (1.3) [31]. La relation (1.3) fait l'hypothèse que chaque condensateur est chargé à une tension V_{DC}/N . Les différents niveaux de tension iV_{DC}/N , $i \in [1 ; N-1]$, de la Figure 10 (b) sont obtenus en connectant en série i condensateurs.

$$N_{CFC} = 1 + 2 + \dots + (N - 1) = N(N - 1)/2 \quad (1.3)$$

Le grand nombre d'état redondants du convertisseur complexifie sa commande. La tension de sortie du convertisseur est générée par la mise en série de condensateurs chargés à différentes tensions. La capacité effective du convertisseur varie donc avec la valeur de la tension de sortie. La commande du convertisseur doit donc pouvoir équilibrer différents condensateurs à différents niveaux de charge, présentant une capacité variable vue du bus DC [32].

L'équilibrage des tensions aux bornes des condensateurs doit être assuré par l'organe de contrôle du convertisseur, ou un filtre RLC série placé en sortie. Un schéma de contrôle par prédiction de modèle est par exemple mis en œuvre sur un convertisseur à base de cellules de conversion de type FLC dans [33]. Le principe de cette commande est de minimiser une fonction coût. Les commandes des transistors sont déterminées afin de commander à la fois la puissance et le courant de sortie (AC), mais également la tension de bus (DC) et les déséquilibres de charge entre les condensateurs flottants. Ce type de commande à prédiction de modèle est souvent très efficace mais demande des calculs volumineux et complexes.

De manière générale, dans ces structures, l'équilibrage des tensions devient très complexe lorsque le nombre de condensateurs augmente. Une hybridation des convertisseurs NPC et FLC, appelé Active Neutral Point Clamp (A-NPC), a été proposée dans [34].

2.II.c. Les convertisseurs cascades

La troisième famille de convertisseur multiniveaux, introduite initialement pour la commande de moteur par P.W. Hammond [35], est basée sur la mise en cascade de N cellules de commutation élémentaires. La cellule de commutation la plus répandue est le pont complet, ou pont-H. Les convertisseurs basés sur ces cellules sont dénommés « Cascaded H-Bridge » (CHB), comme présenté sur la Figure 11.

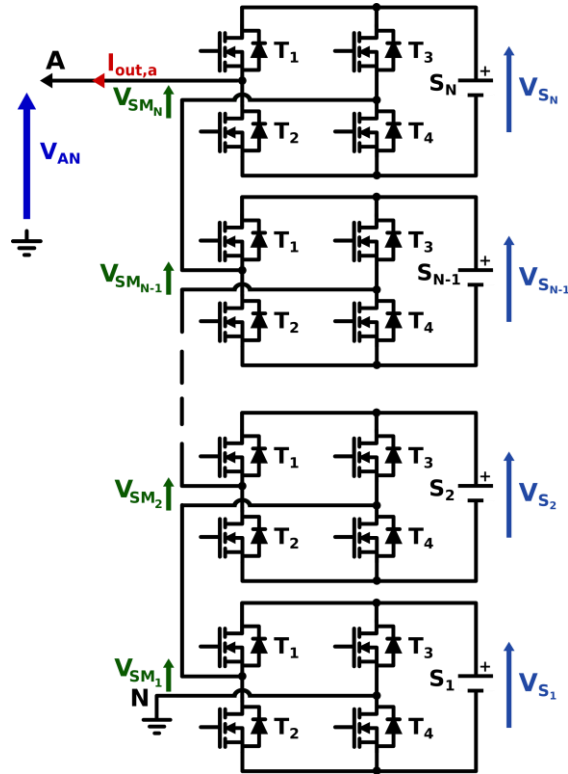


Figure 11. Schéma d'un "Cascaded H-Bridge" $N + 1$ niveaux

La tension de sortie V_{SMi} d'une cellule i ($1 \leq i \leq N$) d'un CHB est donnée dans le Tableau 3.

Tableau 3. Tensions de sortie d'une cellule de commutation élémentaire d'un CHB

T_1	T_2	T_3	T_4	Tension V_{SMi}
1	0	0	1	V_{Si}
0	1	1	0	$-V_{Si}$
1	1	0	0	0
0	0	1	1	0

La tension V_{Si} d'une cellule i est fournie par une source de tension externe S_i . Chaque cellule prend trois niveaux de tension de sortie. La tension V_{AN} peut alors prendre $2N+1$ valeurs entre $\pm V_{outmax}$, avec V_{outmax} définie dans (1.4).

$$V_{outmax} = \sum_{i=0}^N V_{Si} \quad (1.4)$$

Ce convertisseur possède une structure hautement modulaire. En augmentant le nombre N de cellules du convertisseur, la valeur maximale de la tension de sortie V_{AN} augmente. Il est donc théoriquement possible d'ajouter un nombre illimité de cellules pour atteindre n'importe quel niveau de tension de sortie. En pratique, la montée en tension est limitée par plusieurs facteurs, notamment la complexité grandissante de la commande du convertisseur, ainsi que les niveaux de tensions d'isolation élevés. Les convertisseurs cascades possèdent une redondance structurelle importante, ce qui leur permet notamment de fonctionner en mode dégradé avec une bonne tolérance aux défauts [36].

Diverses variantes de convertisseurs cascades existent, comme étudié dans [37]. Une cellule en pont H du convertisseur est remplacé par un NPC, ce qui permet d'augmenter le nombre de niveaux de tension de sortie du convertisseur à $4N+1$. Une topologie plus compacte et moins gourmande en semi-conducteurs est proposée dans [38]. Elle possède le désavantage de nécessiter des sources de tensions de valeurs différentes (topologie dite « asymétrique »), et n'est pas modulaire comme les convertisseurs cascades.

Le défaut majeur de cette structure est la nécessité d'utiliser des sources de tensions DC séparées. Le convertisseur ne peut fonctionner avec un unique bus DC. Elle est donc parfaitement adaptée au stockage et à la gestion d'énergie dans des batteries, parfois en les associant à d'autres convertisseurs comme dans [39]. Elle est également très utilisée dans la conversion d'énergie solaire, associée à des cellules photovoltaïques (PV) [40][41], ou à un fonctionnement sur un réseau alternatif en STATCOM [42][43] (STATic COMPensator : Application typiquement liée aux FACTS qui consiste à améliorer la qualité énergétique et la stabilité d'un réseau via la compensation d'énergie réactive ou l'injection d'harmoniques par exemple [44]).

La nature des sources de tensions S_i dépend donc de l'application. Elles peuvent être par exemple des batteries, ou des condensateurs chargés par d'autres convertisseurs. Un seul bus DC est utilisé dans [45] pour générer toutes les tensions V_{Si} à l'aide de convertisseurs à résonance isolés. Cette solution augmente la complexité et le coût du convertisseur et impacte sa fiabilité.

Les structures de conversion multiniveaux élémentaires ont été présentées dans cette section. Elles constituent une base de réflexion pour la mise en place de topologies multiniveaux plus complexes. Avant de présenter le convertisseur autour duquel ces travaux de thèse s'orientent, une courte section résume les différentes forces et faiblesses des NPC, FC et convertisseurs cascades.

3. Résumé des caractéristiques des convertisseurs multiniveaux usuels

Les principaux avantages et inconvénients des trois structures de puissance présentées précédemment sont listés dans le Tableau 4 [31][46][47].

Tableau 4. Avantages et inconvénients des structures multiniveaux usuelles

Structures	Avantages	Inconvénients
NPC	<ul style="list-style-type: none"> ▪ Design simple et nécessitant une seule source de tension DC isolée ▪ Produit peu d'harmoniques et permet de réguler le réactif 	<ul style="list-style-type: none"> ▪ Le nombre de semi-conducteurs augmente quadratiquement ▪ Difficulté de régulation des tensions des capacités, notamment pour des transferts de puissance actives pures [48] ▪ Aucune redondance donc vulnérabilité aux défauts

FC	<ul style="list-style-type: none"> Le convertisseur avec le moins de composants actifs Bonne redondance, ce qui permet d'équilibrer les capacités, et la tolérance aux défauts 	<ul style="list-style-type: none"> Le nombre de condensateurs augmente quadratiquement Plus couteux et volumineux que les NPC Complexité de la commande quand N augmente
CHB	<ul style="list-style-type: none"> Chaque cellule rajoute deux niveaux de tensions supplémentaires au lieu d'un seul Très forte modularité et redondance Le moins cher et volumineux dû à son faible nombre de composants 	<ul style="list-style-type: none"> Nécessité d'utiliser des sources de tensions isolées entre elles (absence de bus DC) ce qui contraint l'usage du convertisseur (cellules PV par exemple)

De nombreuses structures hybrides de convertisseurs multiniveaux qui allient les points forts des technologies précédentes ont été proposés dans la littérature ([26][49][50][51]). La topologie étudiée dans cette thèse dite *Modulaire Multiniveaux* est une variante bien spécifique des convertisseurs cascades comme le CHB. Il possède des caractéristiques très attractives qui en font un candidat adéquat pour les applications haute tension.

4. Le Convertisseur Modulaire Multiniveau (MMC)

4.1. Présentation et étude simple du convertisseur

Le « Modular Multilevel Converter » (MMC) est une structure introduite par Lesnicar et Marquardt [52] qui utilise le principe des cellules de commutation cascades, comme présenté sur la Figure 12.

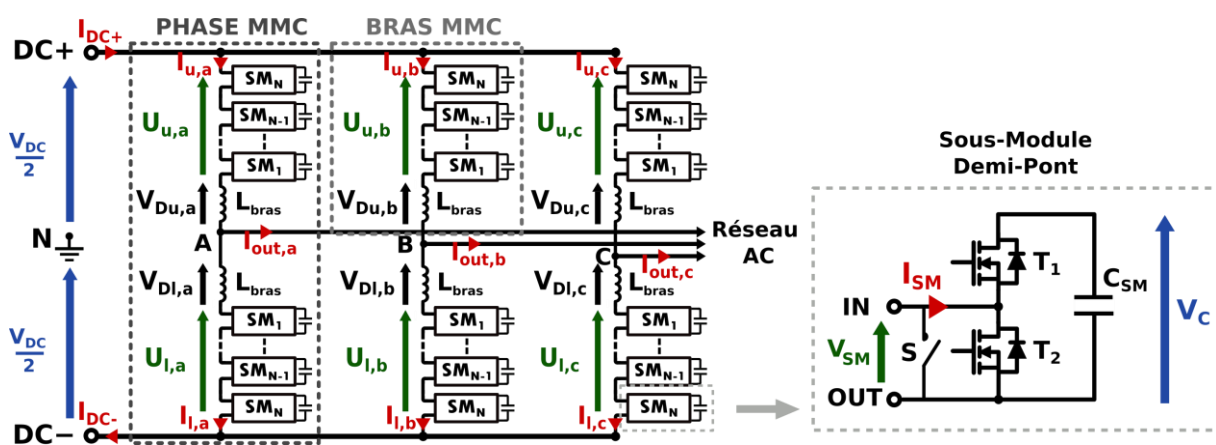


Figure 12. Le « Modular Multilevel Converter » (MMC) triphasé et un « Sous-Module » (SM) en demi-pont

Chaque phase du convertisseur (parfois dénommée « jambe » du MMC) est formée de deux chaînes symétriques appelées « bras » de convertisseur. Chaque bras est constitué de N cellules de commutation, plus souvent appelées « Sous-modules » (SM), connectées en série avec une inductance L_{bras} .

Le bras u (« up ») d'une phase j est connecté entre le rail positif du bus DC (DC+) et le point milieu J (A, B ou C) de la phase j (a , b ou c). Le bras l (« low ») d'une phase j est quant à lui connecté entre le rail négatif du bus DC (DC-) et le point milieu J de la phase j . Les deux bras de chaque phase a , b et c sont donc connectés entre eux aux points A, B et C respectivement. Les tensions de sortie de chaque

phase V_{AN} , V_{BN} et V_{CN} sont générées entre les points A, B et C, et le point milieu N du bus DC. Les tensions de sorties sont plus couramment appelées $V_{out,a}$, $V_{out,b}$ et $V_{out,c}$.

Le convertisseur a originellement été présenté avec des sous-modules en demi-ponts comme présenté sur la Figure 12. Les indices et exposants utilisés dans ce manuscrit permettent d'identifier les grandeurs $X_{i,j}^k(t)$ au sein du MMC. L'indice j indique la phase ($j = a, b$ ou c), l'indice i indique le bras ($i = u$ ou l), et l'exposant k indique la position du sous-module dans le bras ($1 < k < N$). Cette notation est un peu lourde mais permet des calculs rigoureux. Elle sera abandonnée plus loin dans ce manuscrit.

Ces travaux s'intéressent notamment aux applications réseaux. Un schéma du convertisseur MMC alimentant un réseau AC est donné Figure 13. Le réseau de tension AC de valeur maximale V_{grid} est couplée au convertisseur via une inductance de filtrage L_{filtre} . Les neutres côté DC (point N) et côté AC (point 0) ne sont pas systématiquement reliés.

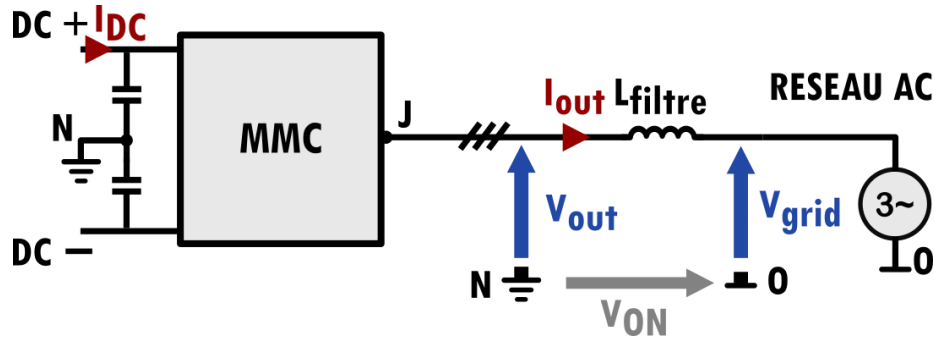


Figure 13. Convertisseur MMC interfacé avec un réseau AC

Une tension V_{ON} peut alors exister entre ces neutres. La tension de sortie d'une phase $V_{out,j} = V_{JN}$ entre le point milieu d'une phase du convertisseur ($J = A, B$ ou C) et le neutre N du bus DC est égale à la somme de la tension V_{JO} (tension entre le point J et le neutre coté AC) et la tension V_{ON} comme dans la relation (1.5).

$$V_{out,j} = V_{JN} = V_{JO} + V_{ON} \quad (1.5)$$

Chaque sous-module est équipé d'un condensateur chargé à une tension $V_{Ci,j}^k(t)$. La tension de sortie $V_{SMi,j}^k(t)$ du $k^{ème}$ sous-module du bras i de la phase j vaut 0 V lorsque T_2 est ON et vaut $V_{Ci,j}^k(t)$ lorsque T_1 est ON. Les commandes des deux transistors T_1 et T_2 sont complémentaires. Un interrupteur S en parallèle de T_2 permet de court-circuiter le sous-module en cas de défaut, ou le protéger d'une surintensité par exemple. L'indice d'insertion d'un sous-module $m_{i,j}^k(t)$ est alors défini comme une valeur binaire indiquant l'état d'un sous-module, d'après (1.6) :

$$\begin{cases} m_{i,j}^k(t) = 0 \rightarrow V_{SMi,j}^k(t) = 0 \\ m_{i,j}^k(t) = 1 \rightarrow V_{SMi,j}^k(t) = V_{Ci,j}^k(t) \end{cases} \quad (1.6)$$

Le sous-module k du bras i de la phase j peut être dans deux états. Si T_1 est ON ($m_{i,j}^k(t) = 1$), le sous-module est dit « inséré » dans le bras. Si T_2 est ON ($m_{i,j}^k(t) = 0$), le sous-module est dit « retiré » du bras. La tension de sortie d'un sous-module $V_{SMi,j}^k(t)$ peut alors être écrite comme dans (1.7).

$$V_{SMi,j}^k(t) = V_{Ci,j}^k(t) m_{i,j}^k(t) \quad (1.7)$$

La tension $U_{i,j}(t)$ (Figure 12) est dénommée « tension de bras » [53]. Elle est égale à la somme des tensions de sous-modules insérés dans un bras du convertisseur. La valeur de $U_{i,j}(t)$ est donnée dans (1.8), d'après l'équation (1.7) :

$$U_{i,j}(t) = \sum_k V_{SMi,j}^k(t) = \sum_k V_{Ci,j}^k(t) m_{i,j}^k(t) \quad (1.8)$$

Pour poursuivre l'étude du convertisseur, il est nécessaire de procéder à une simplification importante. Les tensions aux bornes des condensateurs de chaque sous-module seront considérées égales entre elles, comme dans (1.9). Il sera montré dans la suite que le convertisseur peut être commandé pour assurer cette égalité, quelles que soient les valeurs de condensateur et de tension choisies.

$$V_{Ci,j}^k(t) = V_c(t) \quad (1.9)$$

Les grandeurs suivantes sont introduites :

- La somme des tensions aux bornes des condensateurs dans le bras (tension totale disponible), définie dans l'équation (1.10) :

$$U_{i,j}^\Sigma(t) = \sum_k V_{Ci,j}^k(t) = N V_c(t) \quad (1.10)$$

- L'indice d'insertion d'un bras (somme des indices d'insertion des sous-modules d'un bras divisé par le nombre de sous-modules par bras), défini dans l'équation (1.11) :

$$n_{i,j}(t) = \frac{1}{N} \sum_k m_{i,j}^k(t) \quad (1.11)$$

La valeur de $U_{i,j}(t)$ est obtenue à partir des deux relations précédentes, et s'écrit alors comme dans l'équation (1.12). Chaque tension de bras $U_{i,j}(t)$ est contrôlée indépendamment via l'indice d'insertion $n_{i,j}(t)$ qui prend des valeurs entre 0 et 1.

$$U_{i,j}(t) = \sum_k V_c(t) m_{i,j}^k(t) = U_{i,j}^\Sigma(t) \frac{1}{N} \sum_k m_{i,j}^k(t) = U_{i,j}^\Sigma(t) n_{i,j}(t) \quad (1.12)$$

Une première simplification permet de comprendre le fonctionnement d'un bras. Elle consiste à fixer les valeurs de tension aux bornes des condensateurs de sous-modules à une fraction du bus DC comme dans la relation (1.13). Cela est équivalent à supposer que $U_{i,j}^\Sigma(t) = V_{DC}$.

$$V_c(t) = \frac{V_{DC}}{N} \quad (1.13)$$

Après injection de la nouvelle expression de $U_{ij}^{\Sigma}(t)$ dans (1.12), la relation (1.14) est obtenue :

$$U_{ij}(t) = U_{ij}^{\Sigma}(t) n_{ij}(t) = V_{DC} n_{ij}(t) \quad (1.14)$$

Même avec une telle approximation, cette expression de la tension de bras est complexe, puisque $n_{ij}(t)$ n'est pas une fonction continue dérivable sur t , mais possède une forme en « escalier » entre 0 et 1 par palier de $1/N$. Les tensions de bras prennent donc des valeurs entre 0 et V_{DC} par paliers de V_{DC}/N .

Une simplification usuelle consiste à considérer l'indice d'insertion non plus comme une grandeur discrète, mais continue. Cette approximation est envisageable dès lors que les paliers de tension V_{DC}/N sont faibles, soit lorsque N est suffisamment élevé. C'est le cas pour des convertisseurs haute puissance, où le nombre de sous-modules par bras peut être de plusieurs centaines [54]. Les indices d'insertion peuvent alors être considérés sinusoïdaux, ce qui permet d'écrire le modèle moyen du convertisseur. Pour des valeurs de N suffisamment élevées, les tensions de bras sont presque continues, et chaque bras peut être considéré comme une source de tension parfaite AC + DC.

Le principe de commande du convertisseur le plus simple est dérivé de cette approximation. Les chutes de tensions $V_{Di,j}$ aux bornes des inductances de bras L_{bras} sont négligées. Les trois équations aux mailles (1.15), (1.16) et (1.17) peuvent être obtenues d'après la Figure 12 :

$$V_{iN}(t) = V_{out,j}(t) = \frac{V_{DC}}{2} - U_{uj}(t) \quad (1.15)$$

$$V_{out,j}(t) = U_{ij}(t) - \frac{V_{DC}}{2} \quad (1.16)$$

$$V_{DC} = U_{ij}(t) + U_{uj}(t) \quad (1.17)$$

Ainsi, la tension de sortie $V_{out,j}$ d'une phase j est obtenue en sommant les expressions (1.15) et (1.16), comme dans la relation (1.18).

$$V_{out,j}(t) = \frac{U_{ij}(t) - U_{uj}(t)}{2} \quad (1.18)$$

La relation (1.18) indique que la tension de sortie d'une phase est due à la différence des tensions de bras. D'autre part, la tension de bus DC est due à la somme des tensions de bras d'après la relation (1.17). Les commandes de ces deux grandeurs peuvent donc être découplées si chaque bras est commandé indépendamment de l'autre. Une commande simple du convertisseur impose des tensions de bras de références $U_{uref,j}$ et $U_{lref,j}$ définie dans (1.19) :

$$\begin{cases} U_{uref,j}(t) = \frac{V_{DC}}{2} - k \frac{V_{DC}}{2} \sin(\omega t) \\ U_{lref,j}(t) = \frac{V_{DC}}{2} + k \frac{V_{DC}}{2} \sin(\omega t) \end{cases} \quad (1.19)$$

L'indice de modulation k est définie dans (1.20). Il correspond à l'amplitude de la tension de sortie \hat{V}_{out} normalisée par la tension de sortie maximale $V_{DC}/2$.

$$0 < k = \frac{\hat{V}_{out}}{V_{DC}/2} < 1 \quad (1.20)$$

La tension de sortie $V_{out,j}$ est donc une sinusoïde d'amplitude maximale \hat{V}_{out} , et de pulsation ω . La tension de bus DC est maintenue à une valeur V_{DC} . Le schéma de contrôle ne tient pas compte de la dynamique interne du MMC ni des inductances de bras. Les équations du convertisseur sont étudiées plus en détail dans la suite, ce qui mettra en lumière sa dynamique particulière et ses points faibles.

4.II. Analyse dynamique et équations caractéristiques du MMC

4.II.a. Découplage des variables internes et externes

La première partie de ce chapitre a permis d'écrire les équations élémentaires du convertisseur afin d'en comprendre le fonctionnement. Un modèle plus réaliste qui tient compte des inductances de bras L_{bras} est présenté ci-après. Il permet de comprendre les problématiques spécifiques du convertisseur liées à l'énergie stockée dans les condensateurs de bras.

Dans la suite, les variables et les équations dépendantes du temps ne seront plus suivies de l'indice « (t) » afin de simplifier les écritures. Pour chaque phase j , les relations (1.21) sont posées [55]. Les grandeurs X_s correspondent aux tensions et courants de sorties (AC) du convertisseur. Les grandeurs X_c sont quant à elles des grandeurs invisibles du côté AC. Ce sont les grandeurs « internes » au convertisseur.

$$V_{s,j} = \frac{U_{l,j} - U_{u,j}}{2} \quad V_{c,j} = \frac{U_{u,j} + U_{l,j}}{2} \quad I_{s,j} = I_{u,j} - I_{l,j} \quad I_{c,j} = \frac{I_{u,j} + I_{l,j}}{2} \quad (1.21)$$

Le courant de sortie $I_{out,j}$ de chaque phase j est sinusoïdal d'amplitude maximale $\hat{I}_{out,j}$, de pulsation ω et de phase φ . L'expression de $I_{s,j}$ est donnée dans (1.22) d'après la loi des nœuds au point J :

$$I_{s,j} = I_{out,j} = \hat{I}_{out,j} \sin(\omega t - \varphi) \quad (1.22)$$

Le courant I_c est le courant dit de « circulation ». Il s'écoule dans les phases du convertisseur et le bus DC mais ne circule pas à l'extérieur du convertisseur (coté AC). Un courant DC I_{DC} circule nécessairement du bus DC vers les phases du convertisseur afin d'assurer l'échange de puissance entre le coté DC et le coté AC, comme le montre les équations (1.23).

$$P_{DC} = P_{AC}$$

$$V_{DC} I_{DC} = \frac{3}{2} \hat{V}_{out} \hat{I}_{out} \cos(\varphi)$$

$$I_{DC} = \frac{3}{2} \frac{\hat{V}_{out}}{V_{DC}} \hat{I}_{out} \cos(\varphi) = \frac{3}{4} k \hat{I}_{out} \cos(\varphi) \quad (1.23)$$

La puissance étant équitablement réparti sur les trois phases, un courant continue de valeur égale à $I_{DC}/3$ circule dans celles-ci. En pratique, le courant de circulation $I_{c,j}$ possède également des composantes harmoniques, comme il sera démontré plus tard. Trois équations aux mailles non simplifiées sont données dans (1.24) d'après la Figure 12.

$$\begin{cases} V_{out,j} = \frac{V_{DC}}{2} - U_{u,j} - L_{bras} \frac{dI_{u,j}}{dt} \\ V_{out,j} = U_{l,j} - \frac{V_{DC}}{2} + L_{bras} \frac{dI_{l,j}}{dt} \\ V_{DC} = U_{u,j} + U_{l,j} + L_{bras} \frac{dI_{l,j}}{dt} + L_{bras} \frac{dI_{u,j}}{dt} \end{cases} \quad (1.24)$$

Les deux bras sont considérés comme possédant la même impédance, et la résistance d'un bras R_{bras} est négligée. Deux équations peuvent être déduites des équations (1.24). La première est obtenue en sommant les deux premières équations de (1.24), et la seconde est une simple réécriture de la troisième équation de (1.24). Ces équations données en (1.25) utilisent les notations posées dans (1.21).

$$\begin{cases} V_{s,j} = \frac{L_{bras}}{2} \frac{dI_{s,j}}{dt} + V_{out,j} \\ V_{c,j} = \frac{V_{DC}}{2} - L_{bras} \frac{dI_{c,j}}{dt} \end{cases} \quad (1.25)$$

Il apparait dans (1.25) que les grandeurs de sortie X_s du convertisseur peuvent être découplées des grandeurs internes X_c . Les schémas équivalents liés à ces grandeurs respectives obtenus à partir des deux équations (1.25) sont présentés Figure 14 (a) et Figure 14 (b) [53].

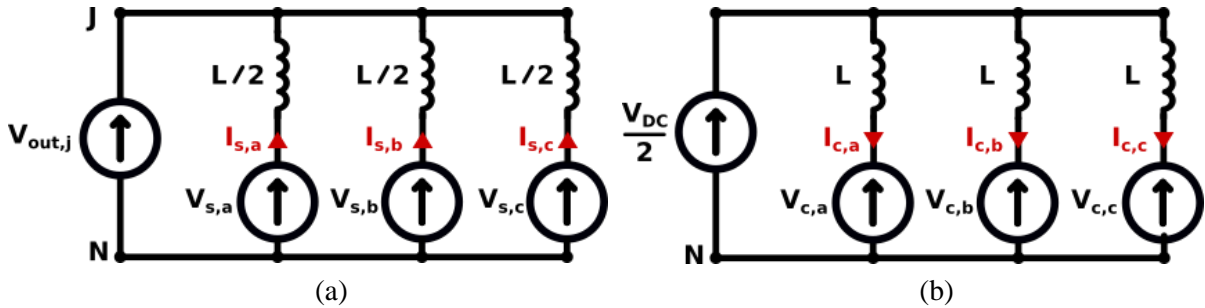


Figure 14. Découplage des grandeurs : côté AC (a) et côté DC (b) [53]

Concrètement, les variables de commande $V_{s,j}$ permettent de contrôler la tension et le courant de sortie du convertisseur. Les variables de commande $V_{c,j}$ permettent de contrôler les courants de circulation du convertisseur. Les tensions de bras sont commandées à l'aide des indices d'insertions en inversant les relations (1.21), d'après la relation (1.26).

$$\begin{cases} U_{u,j} = V_{c,j} - V_{s,j} \\ U_{l,j} = V_{c,j} + V_{s,j} \end{cases} \quad (1.26)$$

Les résultats précédents indiquent que le courant de mode différentiel vu du bus DC ne circule pas dans le réseau AC. Il circule dans la phase pour compenser l'énergie envoyée coté AC. Le courant de charge est un courant de mode commun vu du bus DC, qui circule depuis le coté DC vers le coté AC sur les deux bornes du bus. C'est une des raisons pour lesquelles l'inductance de jambe est répartie équitablement sur chaque bras. Il faut que les deux bras de chaque phase soient symétriques et possèdent la même impédance de mode commun afin de répartir au mieux la puissance sur les bras.

4.11.b. Etude de la puissance et du courant des bras de convertisseur

La conversion DC/AC se produit au sein même du convertisseur, et les grandeurs coté DC sont continues, tandis que les grandeurs AC sont sinusoïdales. Les condensateurs des bras alimentent la partie AC avec du courant alternatif et sont rechargés par du courant continu provenant du bus DC. Les calculs qui suivent permettent de mieux comprendre l'effet de la conversion sur les grandeurs internes du convertisseur. Le modèle précédent supposait que les tensions aux bornes des condensateurs de sous-modules étaient toutes constantes et égales à V_{DC}/N . Cependant, le calcul de la puissance échangée dans les bras mené ci-dessous montre que ces tensions ne peuvent être constantes.

Seuls le fondamental du courant et de la tension de sortie sont étudiés (ce qui est une approximation très acceptable pour N suffisamment grand). Le courant de circulation $I_{c,j}$ est supposé purement DC ($I_{c,j} = I_{DC}/3$) [55] et l'impédance du bras est considérée comme négligeable (i.e $V_{Di,j} = 0$). La puissance instantanée $p_{u,a}$ du bras u de la phase a est obtenue par le produit du courant et de la tension de bras comme dans (1.27), à partir des équations (1.15) et (1.21).

$$p_{u,a} = U_{u,a} I_{u,a}$$

$$p_{u,a} = \left(\frac{V_{DC}}{2} - V_s \right) \left(I_c + \frac{I_s}{2} \right)$$

$$p_{u,a} = \left(\frac{V_{DC}}{2} - k \frac{V_{DC}}{2} \sin(\omega t) \right) \left(\frac{k}{4} \hat{I}_{out,a} \cos(\varphi) + \frac{\hat{I}_{out,a}}{2} \sin(\omega t - \varphi) \right) \quad (1.27)$$

Un calcul similaire est menée pour le bras inférieur. On obtient finalement les relations (1.28) après développement et simplification [53].

$$\begin{cases} p_{u,a} = \frac{1}{8} \hat{I}_{out,a} (2 \sin(\omega t - \varphi) - k^2 \sin(\omega t) \cos(\varphi) - k \cos(2(\omega t) - \varphi)) \\ p_{l,a} = -\frac{1}{8} V_{DC} \hat{I}_{out,a} (2 \sin(\omega t - \varphi) - k^2 \sin(\omega t) \cos(\varphi) - k \cos(2(\omega t) - \varphi)) \end{cases} \quad (1.28)$$

Ce résultat indique que la valeur moyenne de la puissance échangée dans un bras est nulle, ce qui implique la stabilité des tensions du convertisseur en opération normale. Un deuxième constat est qu'une composante à la fréquence fondamentale existe et est opposée dans chaque bras : de l'énergie est échangée entre les bras à la fréquence fondamentale.

Enfin, la composante à deux fois la fréquence fondamentale, inhérente à la conversion d'énergie monophasée, est du même signe dans les deux bras. Ces pulsations ne s'annulent donc pas entre elles et les condensateurs des bras doivent absorber cette puissance fluctuante. Un des désavantages majeurs du MMC est donc que les condensateurs doivent être dimensionnés afin d'absorber plus d'énergie qu'un convertisseur deux niveaux équivalent.

En pratique, des méthodes de contrôle doivent être employées pour réduire cette double pulsation (en particulier pour des applications basses fréquences comme la commande de moteurs [56][57][58]). Des calculs plus approfondis et leurs implications sur les courants et les énergies stockées dans les bras sont détaillés dans [59] et [60] et les résultats analytiques permettent de modéliser efficacement le convertisseur.

Une étude du courant des bras $I_{u,j}(t)$ et $I_{i,j}(t)$ est réalisée dans [61] pour un nombre infini de sous-modules. L'inductance de bras est négligée, et les résultats sont donnés dans (1.29).

$$\begin{cases} I_{u,j} = k \frac{I_{s,j}}{4} \cos(\varphi) + \frac{I_{s,j}}{2} \cos(\omega t + \varphi) + k \frac{I_{s,j}}{4} \cos(2\omega t + \varphi) \\ I_{i,j} = k \frac{I_{s,j}}{4} \cos(\varphi) - \frac{I_{s,j}}{2} \cos(\omega t + \varphi) + k \frac{I_{s,j}}{4} \cos(2\omega t + \varphi) \end{cases} \quad (1.29)$$

Ce résultat confirme que le courant de charge est de mode commun et que le courant de circulation dans le convertisseur possède une composante DC inhérente au transfert de puissance AC/DC (ou DC/AC), ainsi qu'une composante à deux fois la pulsation du réseau, également caractéristique de la conversion d'énergie.

4.11.c. Etude de l'énergie stockée dans les bras

Les calculs précédents indiquent que les tensions aux bornes des condensateurs ne peuvent être constantes. Tous les condensateurs du montage ont la même capacité C . Le courant $I_{i,j}(t)$ traverse le condensateur k lorsque $m_{i,j}^k(t) = 1$. L'équation de la tension $V_{C_{i,j}}^k(t)$ du condensateur k du bras i de la phase j est donnée dans (1.30).

$$C \frac{dV_{C_{i,j}}^k}{dt} = m_{i,j}^k I_{i,j} \quad (1.30)$$

Chaque condensateur du convertisseur est régi par la même équation. Le problème devient alors très complexe à traiter, du fait du grand nombre de sous-modules dans les convertisseurs forte puissance. La méthode souvent rencontrée pour simplifier le problème consiste à étudier la somme de toutes les tensions d'un bras, donnée dans l'équation (1.31) :

$$C \sum \frac{dV_{C_{i,j}}^k}{dt} = C \frac{dU_{i,j}^\Sigma}{dt} = \sum m_{i,j}^k I_{i,j} = I_{i,j} \sum m_{i,j}^k = N n_{i,j} I_{i,j} \quad (1.31)$$

D'où, pour chaque bras respectivement, et d'après (1.21) et (1.31), les équations (1.32) sont obtenues :

$$\begin{cases} \frac{C}{N} \frac{dU_{u,j}^\Sigma}{dt} = n_{u,j} \left(I_{c,j} + \frac{I_{s,j}}{2} \right) \\ \frac{C}{N} \frac{dU_{l,j}^\Sigma}{dt} = n_{l,j} \left(I_{c,j} - \frac{I_{s,j}}{2} \right) \end{cases} \quad (1.32)$$

Ces quantités sont propres à chaque bras. Le courant de charge (variable généralement imposée) et le courant de circulation (variable de commande) influent sur la charge des condensateurs des bras. La relation est fortement non linéaire car les indices d'insertion sont également des variables de commande.

Le calcul de la puissance montre que des oscillations de tensions à valeur moyenne nulle apparaissent dans les condensateurs. Pour les quantifier, il est pratique d'utiliser les relations précédentes et d'introduire les énergies stockées dans les bras $W_{u,j}$ et $W_{l,j}$ respectivement (relation (1.33)), ainsi que leur somme W_j^Σ et différence W_j^Δ (relation (1.34)) :

$$\begin{cases} W_{u,j} = \frac{1}{2} C U_{u,j}^{\Sigma,2} \\ W_{l,j} = \frac{1}{2} C U_{l,j}^{\Sigma,2} \end{cases} \quad (1.33)$$

$$\begin{cases} W_j^\Sigma = W_{u,j} + W_{l,j} \\ W_j^\Delta = W_{u,j} - W_{l,j} \end{cases} \quad (1.34)$$

Les indices d'insertion sont exprimés en fonction des tensions du montage d'après (1.12) et (1.21) dans les équations (1.35) :

$$\begin{aligned} V_{s,j} &= \frac{U_{l,j} - U_{u,j}}{2} & V_{c,j} &= \frac{U_{u,j} + U_{l,j}}{2} \\ V_{s,j} &= \frac{n_{l,j} U_{l,j}^\Sigma - n_{u,j} U_{u,j}^\Sigma}{2} & V_{c,j} &= \frac{n_{l,j} U_{l,j}^\Sigma + n_{u,j} U_{u,j}^\Sigma}{2} \\ n_{u,j} &= \frac{V_{c,j} - V_{s,j}}{U_{u,j}^\Sigma} & n_{l,j} &= \frac{V_{c,j} + V_{s,j}}{U_{l,j}^\Sigma} \end{aligned} \quad (1.35)$$

Après injection de (1.35) dans (1.32) et identification de $2 U_{u,j}^\Sigma \frac{dU_{u,j}^\Sigma}{dt} = \frac{d(U_{u,j}^\Sigma)^2}{dt}$, les relations (1.36) sont obtenues :

$$\begin{cases} U_{u,j}^\Sigma \frac{C}{N} \frac{dU_{u,j}^\Sigma}{dt} = (V_{c,j} - V_{s,j}) \left(I_{c,j} + \frac{I_{s,j}}{2} \right) \\ U_{l,j}^\Sigma \frac{C}{N} \frac{dU_{l,j}^\Sigma}{dt} = (V_{c,j} + V_{s,j}) \left(I_{c,j} + \frac{I_{s,j}}{2} \right) \end{cases}$$

$$\begin{cases} \frac{C}{2N} \frac{d(U_{u,j}^\Sigma)^2}{dt} = (V_{c,j} - V_{s,j}) \left(I_{c,j} + \frac{I_{s,j}}{2} \right) \\ \frac{C}{2N} \frac{d(U_{l,j}^\Sigma)^2}{dt} = (V_{c,j} + V_{s,j}) \left(I_{c,j} + \frac{I_{s,j}}{2} \right) \end{cases} \quad (1.36)$$

On a finalement fait apparaître les dérivées de $W_{u,j}$ et $W_{l,j}$. En utilisant les définitions de (1.34), les deux relations (1.37) et (1.38) sont obtenues :

$$\frac{dW_j^\Sigma}{dt} = 2 V_{c,j} I_{c,j} - V_{s,j} I_{s,j} = V_{DC} I_c - \frac{\hat{V}_{out,j} \hat{I}_{out,j}}{2} \cos(\varphi) - \frac{\hat{V}_{out,j} \hat{I}_{out,j}}{2} \cos(2\omega t - \varphi) \quad (1.37)$$

$$\frac{dW_j^\Delta}{dt} = V_{c,j} I_{c,j} - 2 V_{s,j} I_{c,j} = \frac{V_{DC}}{2} \hat{I}_{out,j} \cos(\omega t - \varphi) - 2 \hat{V}_{out,j} I_c \cos(\omega t) \quad (1.38)$$

Ces deux équations confirment les analyses précédemment effectuées :

- Le terme $\frac{\hat{V}_{out,j} \hat{I}_{out,j}}{2} \cos(\varphi) - \frac{\hat{V}_{out,j} \hat{I}_{out,j}}{2} \cos(2\omega t - \varphi)$ dans (1.37) correspond à la puissance transmise côté AC. Il apparaît comme une perturbation dans les énergies des condensateurs. Une fluctuation des tensions V_C à la pulsation 2ω est donc inévitable, car intrinsèque au transfert de puissance.
- Pour assurer la stabilité du convertisseur, il est nécessaire que la valeur moyenne de $\frac{dW_j^\Sigma}{dt}$ soit nulle. Il vient alors que le courant de circulation doit avoir une composante DC telle que $I_{cDC} = \frac{P_{moy}}{3*V_{DC}}$. Cette condition confirme le résultat obtenu dans l'équation (1.23). Les variables de contrôle étant $V_{c,j}$ et $I_{c,j}$, il est possible de contrôler l'énergie totale stockée dans les phases du convertisseur.
- Les termes à droite de l'équation (1.38) sont à valeur moyenne nulle pour toutes les valeurs d'harmoniques du courant de circulation $I_{c,j}$ sauf à la fréquence du fondamental du réseau. Il est possible de transférer de l'énergie d'un bras à l'autre en ajoutant une composante fondamentale au courant de circulation.

Cette première partie a permis d'introduire la topologie MMC ainsi que les équations fondamentales qui régissent sa dynamique interne. Celles-ci, relativement complexes, nécessitent certaines simplifications pour être étudiées et rendre le système commandable. Le modèle moyen du convertisseur a été introduit à cet effet. La suite de ce chapitre porte sur une rapide discussion concernant les sous-modules du convertisseur, puis sur un résumé des avantages et limites de la topologie.

4.III. Discussion sur les sous-modules

L'étude réalisée dans cet état de l'art met en avant la structure parfois dénommée Double Star – Chopper Cell (DSCC) [62]. La dénomination « Double étoile » fait référence à la structure particulière du MMC et s'oppose à la « Simple étoile » et au « Simple triangle » qui fait référence au CHB connecté en étoile ou triangle. La dénomination fait également référence à l'usage de demi-ponts (« chopper »).

Les intérêts principaux du demi-pont sont sa simplicité de commande ainsi que son nombre réduit de composants. Il permet des rendements élevés puisque le courant ne traverse qu'un semi-conducteur par sous-module. Son coût et son volume sont réduits par rapport aux autres cellules de commutation.

Un pont complet a en revanche l'avantage de doubler la tension maximale en sortie du convertisseur (puisque les tensions de bras peuvent être négatives) et donc de réduire le nombre de sous-modules total contenu dans un bras. Les sous-modules en pont complets et demi-ponts sont comparés dans [63].

Les MMC équipés de sous- modules en demi-ponts ne sont pas capables de gérer les courts-circuits du bus DC. Il existe toujours un chemin au travers des diodes antiparallèles de T_1 et T_2 pour le courant de court-circuit, dont la montée n'est limitée que par les inductances L_{filtre} et L_{bras} . Ce n'est pas le cas du sous-module en pont complets, qui est souvent préféré des industriels pour cette raison malgré son rendement plus faible que le demi-pont.

Des topologies hybrides dont la moitié des sous-modules sont des ponts complets peuvent également être adoptées pour limiter ce problème [64]. Les sous-modules incapables de gérer les courts-circuits sont souvent équipés de protections de type thyristors en parallèle [65], [66] (interrupteur S sur la Figure 12) pour leur capacité à supporter de très forts pics de courants, et leur allumage rapide. Les convertisseurs possèdent également des procédures de détection et de gestion de courts-circuits ainsi que des disjoncteurs coté AC et DC. La gestion des courts-circuits dans les convertisseurs ne sera pas plus détaillée dans cet état de l'art.

Une grande variété de sous-modules a été proposé dans la littérature [67]. On peut citer certaines cellules remarquables comme celles proposées ci-après et illustrées sur la Figure 15.

- Le « diode-clamped sub module » [68] : similaire au demi-pont mais capable de bloquer les courts circuits du bus DC en forçant le passage du courant de court-circuit par au moins un condensateur, et n'ajoutant qu'un semi-conducteur pour le passage du courant nominal (Figure 15 (a))
- Le « Five level cross-connected submodule » [69] : possède 5 états de sorties ($-2 V_c$, $-V_c$, 0 , V_c et $2 V_c$) ce qui offre plus de redondance et donc plus de degrés de libertés pour le contrôle. Le courant traverse cependant 3 semi-conducteurs. Il est également capable de gérer les courts-circuits.
- Le « Soft-switching submodule » : son utilisation dans les convertisseurs de puissance est détaillée dans [70] et [71] mais l'idée originale date de la fin des années 80 [72]. Comme son nom l'indique, il permet de limiter les pertes en commutation en assurant des commutations douces.

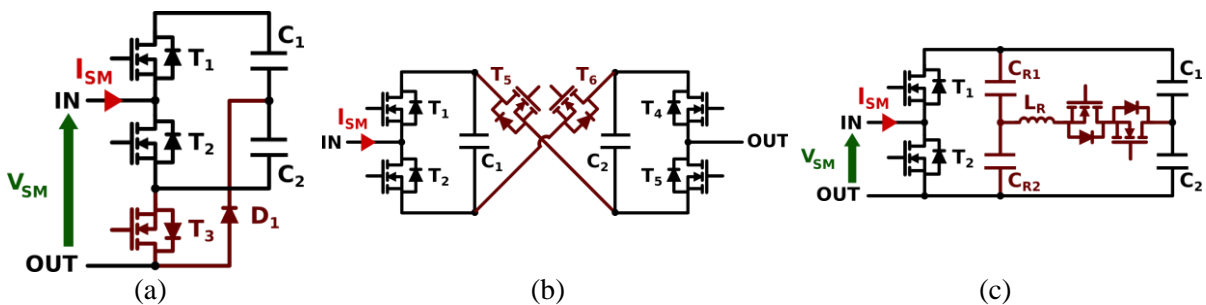


Figure 15. Topologies de sous-modules : Diode Clamped (a) Five level cross connected (b) et resonant switching (c)

4.IV. Supériorité du convertisseur

Le premier projet impliquant l'usage d'un MMC dans la transmission HVDC a été le Trans-Bay Cable [73]. La ligne de transmission, inaugurée en Novembre 2010 et mise en place par Siemens, passe au fond de la baie de San Francisco et lie les stations de Pittsburg et de la ville de San Francisco. Le dernier en date est le North-Sea Link (NSL), une ligne haute tension HVDC sous-marine qui lie Blyth, Angleterre, et Kvittdal, Norvège [74]. La station est inaugurée le 1^{er} Octobre 2021 et possède une capacité de 700 MW, et qui atteindra 1400 MW trois mois après sa mise en place. La très grande dynamique du convertisseur notamment en cas de défauts, sa très faible fréquence de commutation, menant à une augmentation drastique du rendement, et le contenu harmonique négligeable des signaux de sortie en font le candidat idéal pour ce type d'application.

De nombreux exemples d'application récentes forte puissance des convertisseurs MMC sont présentés dans [75]. Elles concernent principalement les réseaux HVDC ainsi que les raccordements de réseaux éoliens offshore. Les applications du convertisseur sont également nombreuses dans la moyenne tension. Des exemples sont donnés dans [76] comme la gestion du réseau embarqué d'un navire et la commande de ses turbines. Les applications STATCOM déjà présentées dans ce chapitre existent également. L'intégration de ce genre de convertisseur dans les véhicule électrique est également prometteuse [77]. Des convertisseurs MMC sont vendus pour des applications industrielles par des entreprises comme Siemens. Différents convertisseurs basés sur les topologies MMC sont par exemple proposés pour la commande de moteur (Synamics Perfect Harmony GH150 de Siemens [78]).

Un résumé des avantages de cette topologie [79], [80] permet de bien comprendre pourquoi elle est déjà largement utilisée pour des applications très hautes tensions et pourquoi les recherches sur le convertisseur sont extrêmement actives.

C'est le premier convertisseur véritablement modulaire qui permet une conversion AC/DC. En effet, contrairement au convertisseur CHB, également modulaire, le bus DC n'est pas fractionné. La capacité à monter en tension évite l'usage d'un transformateur. La qualité de l'onde de sortie est excellente, le filtrage du côté AC n'est généralement pas nécessaire et le convertisseur peut fonctionner dans les quatre cadrans de puissance sans restriction (fournir ou absorber de la puissance active et/ou réactive).

Son rendement est également très élevé puisque les fréquences de commutations réelles des interrupteurs de puissance sont très faibles et que le nombre de composants total (actif + passif) est le plus faible parmi les autres topologies discutées jusqu'à présent. Le courant de charge s'écoule en mode commun, ce qui implique que chaque transistor de bras ne transporte que la moitié du courant de charge. Cela permet de limiter les calibres en courants des semi-conducteurs.

Les chemins de commutations du courant sont internes au convertisseur et les tensions commutées sont celles des condensateurs, soit V_{DC}/N , ce qui minimise les problèmes de CEM ($\frac{dv}{dt}$ et $\frac{di}{dt}$ réduits). Le courant de charge n'est pas découpé, et s'écoule en continu dans les bras. Les courants commutent au sein du sous-module et les inductances parasites sont donc plus faibles. Il n'y a pas de surtensions aux

bornes des inductances de bras pendant les commutations. C'est un avantage certain pour la fiabilité des composants, qui ne sont pas soumis à de forts pics de tensions durant les commutations.

Deux contraintes majeures du convertisseur sont liées à l'apparition de déséquilibres des tensions aux bornes des condensateurs de sous-modules, et au passage d'un courant de circulations parasite au sein des phases. La commande du convertisseur est complexe et nécessite un grand nombre de capteurs. En effet les harmoniques présents dans le courant de circulation (notamment le 2nd) peuvent atteindre des amplitudes élevées et dégrader le rendement du convertisseur. Il est nécessaire de les réduire. De plus, l'oscillation des tensions aux bornes des condensateurs dégrade à la fois le rendement et la qualité de l'onde de sortie.

Le contrôle du convertisseur est pour cette raison un sujet largement étudié. La structure offre en effet beaucoup de degrés de liberté qui permettent diverses possibilités de contrôle. Les variables d'état du système sont très nombreuses (Tensions aux bornes des condensateurs V_C ($2 \times N \times 3$) et courants de bras I_{ij} (2×3)). Il est souvent judicieux d'utiliser les énergies contenues dans les bras pour réduire le nombre de variables à contrôler, et laisser un algorithme indépendant gérer l'équilibrage des tensions. La suite de ce chapitre présente certaines lois de commandes du convertisseur parmi les très nombreuses ayant été développées durant ces 20 dernières années.

5. Structure de commande du convertisseur

5.1. Présentation des structures de contrôle d'un MMC

Il a été montré précédemment que le contrôle classique des variables de sorties n'est pas suffisant pour assurer le bon fonctionnement du convertisseur. Il est également nécessaire de contrôler le courant de circulation ainsi que les tensions aux bornes des condensateurs de sous-module de chaque bras. Deux grands schémas de contrôle ont été introduit à cet effet, comme indiqué sur la Figure 16.

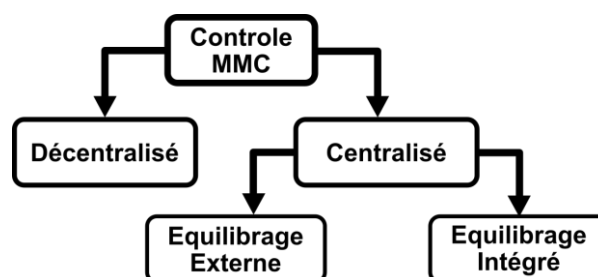


Figure 16. Schémas de contrôle du convertisseur MMC

La commande dite « centralisée » du convertisseur utilise un unique organe de contrôle pour commander l'intégralité des sous-modules du convertisseur. Cet organe doit donc pouvoir gérer toutes les entrées/sorties, ainsi que les lois de commande à appliquer au convertisseur. Le superviseur peut être utilisé conjointement avec un organe « d'accélération matérielle » afin notamment de déléguer le contrôle des charges de condensateurs à des composants dédiés. Parmi les schémas de contrôle centralisés, l'équilibrage des tensions aux bornes des condensateurs de sous-modules peut donc être intégré à la commande au sein de l'organe de contrôle principale (équilibrage intégré), ou être réalisé par une carte dédiée (équilibrage externe).

Par opposition, la commande « décentralisée » utilise un superviseur général et plusieurs organes de contrôle indépendants dans un schéma « maître-esclave ». Il peut y avoir autant d’esclaves que de sous-modules. Ce type de commande allège le superviseur et est généralement modulaire. Ces structures seront décrites dans la suite.

5.II. Structures de contrôle centralisées

5.II.a. Commandes avec algorithme d’équilibrage intégré

Cette partie se concentre sur les commandes centralisées sans accélération matérielle. Elles permettent de calculer directement les indices d’insertion $m_{i,j}^k$ propres à chaque sous-module à partir des entrées du système. Une telle structure est illustrée sur la Figure 17. Les ordres de commandes produits par le superviseur « maître » sont envoyés directement aux pilotes de grille (« gate-drivers ») des sous-modules. Les grandeurs nécessaires au contrôle du convertisseur sont échantillonnées par un convertisseur analogique/numérique (A/N).

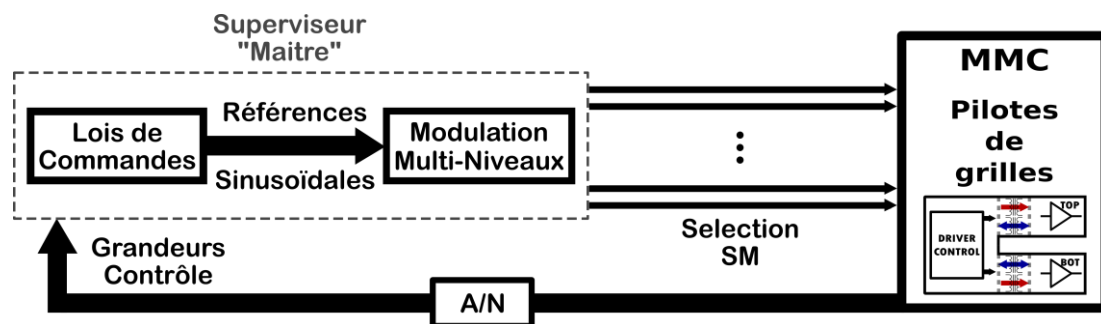


Figure 17. Structure de contrôle MMC : Commande centralisée avec algorithme d’équilibrage intégré

Dans la majorité des cas, des références sinusoïdales sont générées puis envoyées vers un étage de modulation. Des méthodes dites « d’injection de l’harmonique de rang 3 » existent pour le convertisseur MMC [81]. La faisabilité de cette méthode a déjà été étudiée dans la littérature, par exemple pour les applications éoliennes [82]. Elles permettent d’accroître la valeur efficace de la tension de sortie. Dans la suite, les références de tensions seront considérées sinusoïdales.

Cette commande possède l’avantage de limiter le nombre d’équipement (hardware) nécessaire. En revanche, sa complexité augmente souvent avec le nombre de sous-modules à commander. Un bon exemple de ce type de structure de contrôle est le contrôle par prédiction de modèle, ou contrôle prédictif (Modèle Predictive Control « MPC »), déjà introduit précédemment pour la commande du FLC. Il consiste à discrétiser les équations du convertisseur via une approximation temporelle simple telle que l’approximation d’Euler.

La dérivée temporelle d’une variable $x(t)$ est approximée en fonction de la période d’échantillonnage T_s d’après l’équation (1.39) :

$$\frac{dx(t)}{dt} \sim \frac{x(k+1) - x(k)}{T_s} \quad (1.39)$$

Il est possible de déterminer l'état des variables à l'instant $k+1$ en fonction de l'état des variables à l'instant k . Cette méthode est originellement proposée dans [83]. Elle est basée sur l'évaluation des différents états possible du convertisseur à l'instant $k+1$ en évaluant toutes les combinaisons d'indice d'insertion $m_{i,j}^k(t)$ possible. Une fonction coût est associée à l'état futur du convertisseur, basée sur différents critères à optimiser, notamment la minimisation de la déviation des grandeurs par rapport à leurs références. L'objectif de la commande par contrôle prédictif est de minimiser cette fonction coût.

Le contrôle prédictif offre une très bonne dynamique au convertisseur ainsi qu'une grande stabilité mais requiert des temps d'échantillonnage très faibles. De plus, la complexité d'optimisation de la fonction de coût croît avec le nombre de sous-modules.

Les commandes qui n'utilisent pas le modèle moyen du convertisseur font généralement face à des problèmes de modularité, c'est-à-dire qu'augmenter le nombre de sous-modules affecte les performances de la commande. La détermination de tous les indices d'insertion des sous-modules $m_{i,j}^k(t)$ dépend de toutes les tensions aux bornes des condensateurs de sous-module $V_{Ci,j}^k(t)$. Lorsque la valeur de N est importante, les calculs deviennent trop lourds à effectuer dans des temps courts.

Un autre exemple populaire de contrôle avec équilibrage des tensions intégré est proposé par Akagi et al. dans [84]. Une commande à l'aide des traditionnels correcteurs Proportionnel-Intégral (PI) en cascades. Trois étages de commandes différents sont proposés. Le premier permet de déterminer la tension de sortie d'une phase du convertisseur $V_{out,j}$, ou « équilibrage moyen ». Cette partie du contrôle dépend de la charge à alimenter et peut prendre diverses formes. Elle n'est pas spécifique au MMC.

La seconde composante du schéma de contrôle assure « l'équilibrage des bras » d'une phase. Les tensions des deux bras $V_{u,j}$ et $V_{l,j}$ d'une phase j sont comparés l'une à l'autre. Une boucle de régulation à l'aide d'un correcteur Proportionnel (P) permet d'assurer que ces tensions soient égales entre elles.

La dernière partie de ce contrôle est « l'équilibrage individuel » des sous-modules. La tension de chaque sous-module est comparée avec la référence $V_{ref,j}$, et un correcteur P permet de générer une tension de commande $V_{i,j}^k$ locale à chaque sous-module k . Cela permet d'assurer que les tensions de condensateurs sont toutes égales à $V_{ref,j}$. Les signaux de commande des sous-modules sont obtenus par composition de ces tensions de références.

Dans [85], cette commande est améliorée par l'introduction de régulateurs de type Proportionnel-Résonant (PR) afin de réguler le courant de circulation. Ce type de régulateur vise à obtenir des performances similaires à celles des régulateurs PI pour des fréquences non nulles. Ce sont des régulateurs « accordés » à des fréquences précises. Plusieurs régulateurs PR sont placés en parallèle et accordés aux multiples de la fréquence de l'onde de sortie afin de réguler les harmoniques contenues dans le courant de circulation.

L'implémentation des PR dans les systèmes numériques est discutée dans [86]. Une autre amélioration suivant ce principe est proposée dans [87], ou un unique « régulateur répétitif » est utilisé pour remplacer l'ensemble des PR en parallèle. Il a toutefois été montré récemment dans [88] qu'un régulateur répétitif ne filtrant que les harmoniques pairs est plus efficace étant donné que le courant de circulation n'a pas d'harmonique impairs.

Cette commande a été mise en œuvre à l'aide d'un DSP et d'un FPGA dans [89]. La modulation des références ainsi que la génération des signaux de grilles sont effectuées par le FPGA. L'algorithme d'équilibrage des tensions aux bornes des condensateurs de sous-modules est réalisé par le DSP. Il s'agit d'une commande centralisée mais cette méthode se prête bien à la décentralisation.

5.II.b. Commandes centralisées avec algorithme d'équilibrage indépendant

La faisabilité des commandes présentées précédemment est souvent limitée par le nombre N de sous-modules dans le convertisseur. Dans la grande majorité des cas, le superviseur principal délègue une partie de la commande à un organe externe rapide. Le type d'accélération matériel le plus répandu est l'utilisation de composants FPGA dédiés à l'exécution de « l'Algorithme d'Equilibrage des Tensions » (AET) aux bornes des condensateurs. Cette structure de contrôle est illustrée sur la Figure 18 et était déjà proposée par Marquardt et Lesnicar dans [52].

L'organe de contrôle principal est en charge de la génération des références de tension de bras et de la modulation de ces références. Les grandeurs de sortie du superviseur sont les indices d'insertion $n_{i,j}$. Ils correspondent au nombre de sous-modules à insérer dans le bras i de la phase j . La sélection des sous-modules à insérer est réalisée par l'AET. De nombreux algorithmes d'équilibrage ont été présentés dans la littérature et feront l'objet d'une autre section. Ils nécessitent généralement beaucoup de calculs en parallèles, et sont couramment exécutés par des FPGA pour cette raison.

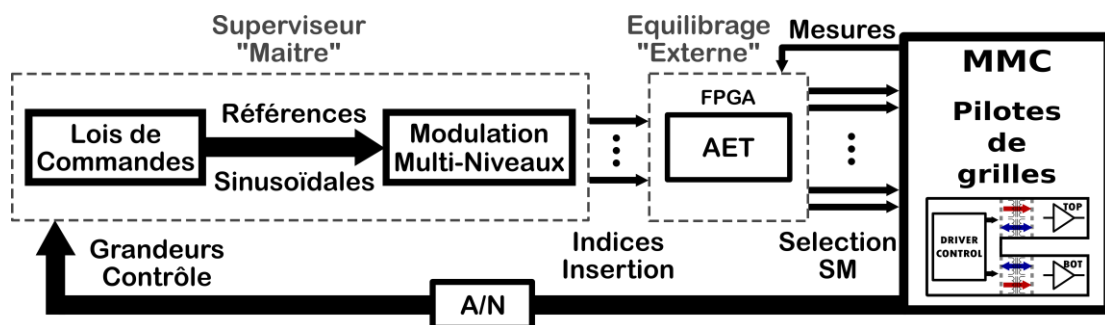


Figure 18. Structure de contrôle MMC : Commande centralisée avec AET externe

L'usage d'AET externes simplifie grandement le travail du superviseur principal. De très nombreuses approches ont été présentées pour la détermination des indices d'insertion du convertisseur en parallèle des travaux sur les AET eux-mêmes. Les indices d'insertion peuvent être calculés comme dans (1.35). Les variables $V_{c,j}$ et $V_{s,j}$ sont les variables permettant de commander le courant de circulation et le courant de sortie respectivement. Elles font généralement l'objet d'un contrôle indépendant. Plusieurs méthodes ont été introduites pour déterminer $n_{i,j}$ à partir de la valeur de $U_{i,j}^{\Sigma}$, dont les plus importantes sont listés ci-après :

- Modulation directe : La valeur de $U_{i,j}^{\Sigma}$ est assimilée à sa valeur théorique V_{DC} . Cette méthode ne tient pas compte des fluctuations d'énergie stockée dans les condensateurs de sous-module. Elle possède donc des erreurs de suivi de consigne inhérentes. Elle est en revanche simple à mettre en œuvre. D'autre part cette méthode est asymptotiquement stable comme démontré dans [55].

- Contrôle en boucle fermé : Méthode introduite par Antonopoulos et al. dans [90]. Elle consiste à mesurer la valeur exacte de U_{ij}^Σ . Elle prend en compte l'état réel du convertisseur mais conduit à de fortes instabilités. Il est alors nécessaire d'introduire deux régulateurs permettant de contrôler l'énergie stockée dans les bras W_j^Σ et W_j^Δ . Cela pose des problèmes de mise en œuvre puisque ces grandeurs ne sont ni continues, ni sinusoïdales.
- Contrôle hybride : Un schéma hybride consiste à approximer U_{ij}^Σ et U_{ij}^Δ comme dans (1.40). Un filtrage passe-bande des grandeurs U_{ij}^Σ et U_{ij}^Δ permet d'en déterminer les composantes en $\omega \Delta U_{c,ij}^\Delta$ et en $2\omega \Delta U_{c,ij}^\Sigma$:

$$\begin{cases} U_{ij}^\Sigma = V_{DC} + \Delta U_{c,ij}^\Sigma \\ U_{ij}^\Delta = 0 + \Delta U_{c,ij}^\Delta \end{cases} \quad (1.40)$$

- Contrôle en boucle ouverte : Méthode basée sur l'estimation des variations d'énergie ΔW_j^Σ et ΔW_j^Δ proposée dans [91]. La stabilité asymptotique de ce schéma est démontrée dans [92]. Cette commande obtient des résultats très satisfaisant et ne nécessite pas de régulateurs pour les énergies. En revanche, certains calculs non-linéaires doivent être réalisés par le superviseur principal pour déterminer les indices d'insertion.

Ces méthodes ont inspiré un grand nombre de schéma de commande pour le convertisseur. Ce ne sont pas les seules approches qui ont été proposées dans la littérature.

Les structures de commande basées sur des AET dédiés peuvent utiliser un modèle moyen du convertisseur, dans lequel toutes les tensions aux bornes des condensateurs de sous-modules sont considérés égales entre elles. Les équations du convertisseur sont alors grandement simplifiées et des schémas de commande simples peuvent être mis en œuvre. Un schéma de contrôle de type « feed-forward » est présenté par G.Bergna-Diaz et J.H.Viva dans [93]. Ses performances ne rivalisent cependant pas avec des commandes en boucle fermée.

Toutes les grandeurs du convertisseur étant sinusoïdales, l'usage de PI conventionnels est souvent proscrit sans une transformation préalable. Un résultat fondamental obtenu par Tu et al. dans [94] indique que les courants de circulation dans un MMC triphasé en régime stationnaire possèdent principalement une composante DC et une composante en 2ω en système inverse (ω est la fréquence de l'onde de sortie du convertisseur).

Les mêmes auteurs ont proposé dans [95] un schéma de commande vectorielle désormais très populaire baptisé Circulating Current Suppression Control (CCSC). Le CCSC utilise une Boucle à Verrouillage de Phase (PLL) pour se placer dans le repère tournant -2ω . Les courants de circulation sont continus dans ce repère. Une régulation classique à l'aide de PI permet d'annuler la composante alternative des courants de circulation. Ce schéma de contrôle est très simple à mettre en œuvre puisqu'une PLL est déjà utilisée pour la régulation des grandeurs de sortie dans la majorité des convertisseurs. Il donne des résultats très satisfaisants.

L'inconvénient principal du CCSC réside dans le fait qu'il est incapable de réguler les courants de circulation phase par phase. De plus, l'algorithme est sensible à la qualité du courant, ce qui peut impliquer un besoin de filtrage via l'augmentation de l'inductance de bras, et ne fonctionne pas en régime transitoire où lors d'un défaut. G.Bergna-Diaz et al. proposent une amélioration du CCSC dans [96] à partir des résultats de [90]. Les énergies W_j^S et W_j^A sont commandées par le schéma en boucle fermée, et le CCSC est appliqué pour supprimer les oscillations résiduelles observables dans [90].

L'usage de correcteurs PR est souvent pertinent pour réguler les harmoniques du courant de circulation sans nécessiter de transformations particulières. C'est la méthode utilisée dans [97] afin de supprimer les harmoniques du courant de circulation dans les bras du convertisseur. Plusieurs PR sont placés en parallèle, chacun en charge de la régulation d'un harmonique du courant, comme dans [85]. Ces régulateurs fonctionnent également en mode dégradé, c'est-à-dire lors d'un défaut de sous-module du convertisseur, comme démontré dans [98].

Les commandes récentes de type MPC font pratiquement toutes usage d'AET externes. Dans [99], un « Unified Power Flow Controller » (UPFC) basé sur deux MMC en back-to-back est proposé. Le terme UPFC désigne les convertisseurs FACTS les plus sophistiqués [100]. Les convertisseurs sont commandés par MPC, et un bloc dédié à l'équilibrage des tensions et à la modulation est présent à la fin de la chaîne de régulation. Dans [101], un AET spécifique est proposé pour un contrôle à base de MPC. Ses performances dynamiques sont très largement supérieures aux méthodes conventionnelles et la complexité des calculs par rapport au nombre de sous-modules augmente très peu.

De nombreuses autres méthodes ont été proposées dans la littérature autour de cette structure. Certaines d'entre-elles sont brièvement évoquées dans cet état de l'art. On peut par exemple citer les travaux sur les méthodes dites « d'injection d'harmoniques ». Picas et al. proposent dans [102] de contrôler le second harmonique du courant de circulation pour réduire la fluctuation des tensions aux bornes des condensateurs de sous-modules. Les mêmes auteurs proposent d'ajouter un harmonique de rang 4 au courant de circulation afin d'améliorer les résultats précédent dans [103]. Ilves et al. proposent dans [104] une méthode de contrôle de la phase et de l'amplitude du second harmonique du courant de circulation pour optimiser l'oscillation des tensions aux bornes des condensateurs de bras et obtenir une plage de tension de sortie maximale.

Il existe également des méthodes basées sur la redondance du convertisseur. Dans [105], un groupe de M sous-modules redondants est utilisé pour la commande du convertisseur, notamment la réduction des oscillations de tensions aux bornes des condensateurs de sous-module. La redondance naturelle du convertisseur est également utilisée dans une méthode originale proposée dans [106].

Cet état de l'art des commandes centralisés ne peut être exhaustif tant leur diversité est importante. La section suivante présente certains exemples d'algorithmes d'équilibrage des tensions aux bornes des condensateurs de sous-module proposés dans la littérature.

5.II.c. Algorithmes d'équilibrage indépendants pour la commande centralisée

L'objectif de l'algorithme d'équilibrage est de faire en sorte que les tensions aux bornes des condensateurs de sous-module d'un même bras soient proches les unes des autres. Généralement, il n'est utilisé que pour sélectionner les modules à insérer dans le convertisseur afin de respecter l'indice d'insertion imposé par le contrôle/commande. Utilisé conjointement avec une régulation de l'énergie d'un bras ($U_{i,j}^{\Sigma}$ ou W_j^{Σ}), il permet d'assurer que les condensateurs sont chargés à leur valeur de référence (en moyenne).

Le nombre de sous-modules insérés à chaque instant N_{ON} est obtenue comme dans (1.41), d'après la définition de l'indice d'insertion n donnée dans (1.11). Pour faciliter les écritures, les indices i et j ne sont pas réécrits.

$$N_{ON} = N \times n \quad (1.41)$$

Un organigramme est donné à la Figure 19 afin de détailler le fonctionnement de l'algorithme proposé dans [52]. Le courant de bras sera désormais simplement noté I_{bras} puisque les indices i et j sont abandonnés.

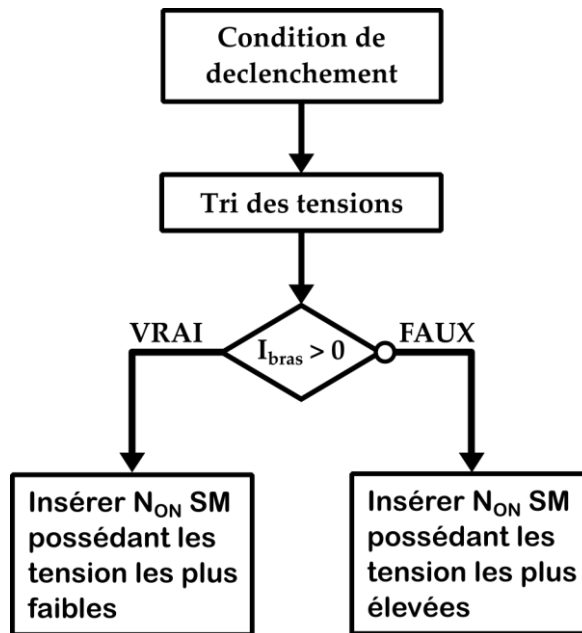


Figure 19. Organigramme proposé dans [52]

Le principe de l'algorithme repose sur le fait que le courant de bras charge ou décharge les condensateurs qu'il traverse en fonction de son signe. L'algorithme proposé originellement dans [52] est décrit ci-après :

- Les tensions de bras sont triées par ordre croissant
- Si le courant est négatif, les N_{ON} sous-modules insérés sont les premiers dans la liste (tensions les plus élevées)
- Si le courant est positif, les N_{ON} sous-modules insérés sont les derniers dans la liste (tensions les plus faibles)

L'AET nécessite un organe de contrôle externe (FPGA), ainsi que la mesure du courant de bras et la mesure de toutes les tensions aux bornes des condensateurs de bras. L'équipe de Hu et al. propose de réaliser l'équilibrage des tensions sans capteur de courant dans [107] à l'aide d'un observateur d'état. La structure de l'algorithme est la même que proposée dans [52].

L'efficacité de l'AET dépend directement de sa fréquence d'exécution. Plus celle-ci est élevée, plus les tensions aux bornes des condensateurs de bras seront proches, et inversement. Cependant, plus la fréquence d'exécution est élevée, plus le nombre de commutation est important, ce qui accroît les pertes et le stress thermique des composants. La condition de déclenchement varie en fonction des algorithmes afin de trouver un compromis entre ces deux critères.

Par exemple, une idée brevetée par Dommaschk et al. propose une régulation de type hystérésis [108]. L'algorithme n'est activé que lorsque la différence entre la tension la plus élevée ($V_{C_{i,j}Max}$) et la tension la plus faible ($V_{C_{i,j}Min}$) est supérieure à une certaine valeur. Le compromis entre la déviation autorisée par la largeur de l'hystérésis et la fréquence de commutation des semi-conducteurs peut cependant être difficile à évaluer.

Une autre méthode simple est proposée dans [109] pour réduire l'impact de l'algorithme d'équilibrage sur la fréquence de commutation du convertisseur. Elle consiste à réduire la fréquence d'échantillonnage de la mesure des tensions $V_{C_{i,j}}^k$. Les auteurs proposent de sélectionner la fréquence d'échantillonnage comme un sous multiple de la fréquence de MLI. Ainsi les tensions reçues par l'algorithme d'équilibrage sont constantes durant M périodes de MLI (l'algorithme est alors inhibé).

Pour réduire la fréquence de commutation induite par l'usage des AET, une variante est proposée par Tu et al. dans [95] nommé « Reduced Switching Frequency Voltage Balancing Algorithm » (RSF). Son organigramme est présenté à sur la Figure 20. D'après (1.41), N_{ON} est le nombre de sous-module insérés à l'instant t . De la même façon, N_{OFF} est le nombre de sous-modules non-insérés à l'instant t . N_{OFF} est obtenue via l'équation (1.42) :

$$N_{OFF} = N - N_{ON} \quad (1.42)$$

Le nombre de sous-modules insérés et non-insérés à l'instant $t - I$ sont respectivement N_{ON_OLD} et N_{OFF_OLD} . L'algorithme est actif uniquement aux instants où la différence entre N_{ON} et N_{ON_OLD} , dénommée ΔN_{ON} , est différente de 0 :

- Si $\Delta N_{ON} > 0$, seuls ΔN_{ON} sous-modules commuteront parmi les N_{OFF_OLD} sous-modules à l'état OFF.
- Si $\Delta N_{ON} < 0$, seuls $|\Delta N_{ON}|$ sous-modules commuteront parmi les N_{ON_OLD} sous-modules à l'état ON.
- Si $\Delta N_{ON} = 0$, aucune commutation n'est générée.

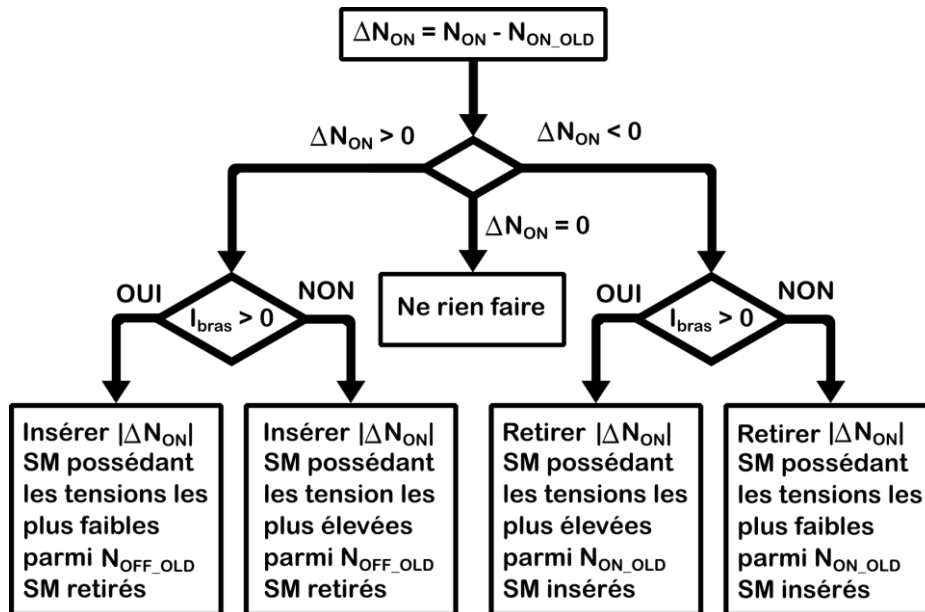


Figure 20. Organigramme proposé dans [95]

Cet algorithme a la particularité de n'autoriser aucune commutation intempestive. La fréquence de commutation des composants est exactement celle imposée par l'étage de modulation puisque le nombre de commutation est toujours égale à $|\Delta N_{ON}|$. Cela limite les pertes dans le convertisseur. Il a cependant plus de difficultés à maintenir un écart faible entre les tensions du fait de sa faible fréquence de rafraîchissement. L'algorithme présenté dans [110] utilise à la fois le principe d'hystérésis proposé dans [108] et l'algorithme RSF.

Trois méthodes utilisant le concept de régulation par hystérésis (« tolerance band ») sont introduites et comparées dans [111] par Hassanpoor et al. Le principe est que les tensions aux bornes des condensateurs ne sont pas remises à jour à chaque cycle :

- La méthode dite « CTBSort » compare à chaque instant la tension de chaque condensateur avec une valeur maximale V_{Cmax} et une valeur minimale V_{Cmin} . Tant qu'aucune tension n'est en dehors de cet intervalle, la liste utilisée reste inchangée.
- La méthode dite « ATBSort » compare chaque tension de condensateur à la valeur moyenne de référence U_{ij}^S/N .
- La méthode dite « CTBSequence » utilise des listes préétablies dont les indices sont échangés cycliquement, ou lorsqu'une tension sort de la bande de tolérance. Cette méthode n'est utilisable qu'en régime établi car elle repose sur des cycles.

A la suite des travaux sur la régulation par hystérésis, Hassanpoor et al. proposent une représentation temporelle et matricielle du problème d'équilibrage des tensions à optimiser [112]. Il s'agit de prédéterminer à chaque période fondamentale une matrice contenant les indices d'insertion de tous les sous-modules (N colonnes) à tous les instants (p lignes, p étant le nombre d'intervalle de temps après discrétisation d'une période du fondamental). Les critères à optimiser sont la fréquence de commutation et les pertes en commutation, tout en assurant que les tensions restent dans un certain intervalle.

La solution heuristique proposée dans l'article ne résout pas le système proposé mais consiste à réserver les commutations pendant les périodes de soft switching (courant de bras nul). Elle est testée sur un logiciel temps-réel pour un MMC à 500 modules et équilibre efficacement les condensateurs tout en limitant les pertes en commutation.

Une comparaison des algorithmes précédents est réalisée par les mêmes auteurs dans [113]. Elle introduit également l'algorithme CTBOptimized, une version améliorée de CTB. Une simulation sur le logiciel PSCAD/EMTDC est réalisée pour des puissances réalistes et la comparaison porte sur les pertes en conduction et en commutation des semi-conducteurs. La supériorité de « CTBOptimized » est démontrée.

D'autres méthodes d'équilibrages originales ont été proposées dans la littérature. Elles peuvent par exemple reposer sur l'assignation d'ordre de commutation à des sous-modules fictifs de manière cyclique, comme le « Loop Bias Mapping » [114]. D'autres méthodes proposent d'assigner des ordres de commande aux sous-modules à l'aide de certaines modulations de type « Phase-Shifted PWM » (PSPWM), qui ne sera pas détaillée dans cette partie [115].

Il existe également des solutions utilisant des dispositifs physiques permettant de maintenir la tension aux bornes des condensateurs à une valeur donnée [116]. Ces méthodes très variées peuvent être plus ou moins complexes et ont l'avantage, pour la plupart d'entre elles, d'être compatibles avec n'importe quel type de contrôle proposé dans la section précédente.

Dans la suite, les schémas de commande dits décentralisés sont présentés. Ils ne font généralement pas appel à ce type d'algorithme d'équilibrage externe sur une carte unique d'accélération matérielle, mais délocalisent la commande à plusieurs organes de contrôle proches des sous-modules.

5.III. Structures de contrôle décentralisées

Le nombre de sous-modules par bras des convertisseurs MMC atteignent des valeurs de plus en plus importantes. Par exemple, un convertisseur MMC est utilisé pour relier deux stations 500 kV – AC au sud de la Chine. Le nombre de sous-modules par bras du convertisseur est $N = 470$ [117]. Il est évident qu'un tel nombre de cellules devient très complexe à gérer par un unique superviseur central. De plus, la rigidité d'une telle installation limite beaucoup la modularité du convertisseur. Une solution à ce problème consiste à délocaliser une partie des tâches usuellement effectuées par le contrôle/commande sur des superviseurs externes.

A cet effet, le contrôle décentralisé utilise un schéma « Maître-Esclave ». Le superviseur « Maître » est toujours en charge de réaliser le contrôle du convertisseur. Un groupe de m contrôleurs locaux « Esclave » est utilisé pour réaliser des tâches dédiées telles que l'équilibrage des charges de condensateur ou la modulation des ordres de commandes. Le nombre d'esclaves m peut être égale à N (chaque superviseur est dédié à un sous-module), ou inférieur (les superviseurs sont assignés à un groupe de sous-modules). Ces unités de commande possèdent généralement des fonctions de communication leur permettant de dialoguer entre eux. Un schéma général de cette structure est présenté sur la Figure 21.

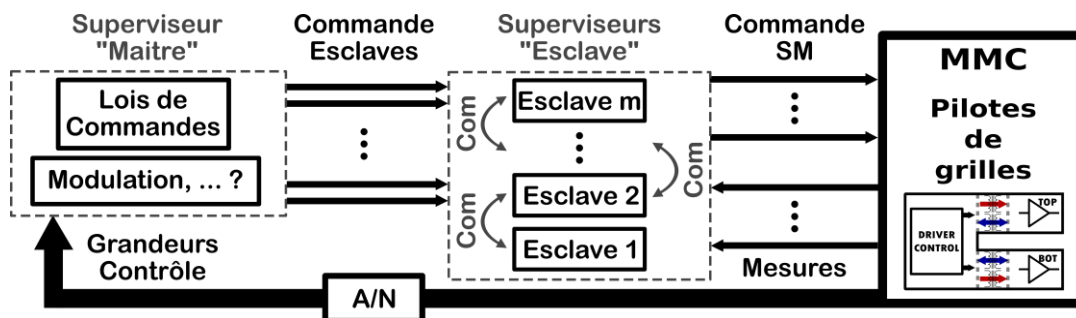


Figure 21. Structure de contrôle MMC : Commande décentralisée

Ce type de contrôle intéresse de plus en plus les recherches sur la commande des MMC. Ils permettent de décharger l'unité de contrôle/commande principal, et divise les calculs entre plusieurs superviseurs. La robustesse et la modularité du système sont augmentées. Plusieurs approches permettent d'envisager le contrôle décentralisé. Certains articles proposent des commandes complètement décentralisées, ne nécessitant pas de superviseur « Maitre ». Les bus de communication entre les superviseurs esclaves eux-mêmes et le reste de l'environnement (convertisseur, contrôle/commande) peuvent prendre diverses configurations, dont les principales sont présentées sur la Figure 22.

La connexion en étoile permet une communication directe entre le contrôle/commande principal et les différents superviseurs esclaves. La structure en anneau connecte seulement le « premier » et/ou le « dernier » superviseur esclave au superviseur maitre. Ces deux superviseurs sont également connectés entre eux. Chaque superviseur esclave communique avec ses deux proches « voisins ». La structure chaînée (ou « Daisy-chain ») est similaire à la structure en anneau mais seul un des superviseurs esclave est connecté au contrôle/commande principal.

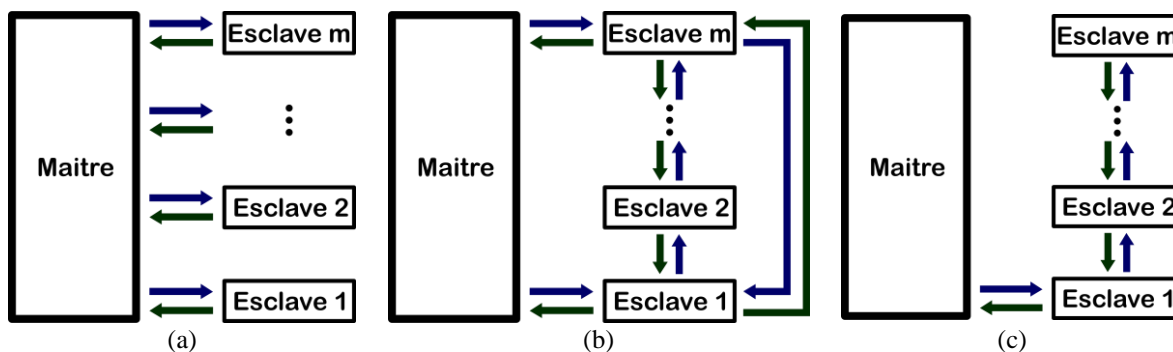


Figure 22. Différentes structures de connexion pour la commande décentralisée : étoile (a), anneau (b), chaîne (« Daisy-chain ») (c)

Une structure de commande en étoile est proposée dans [118]. L'unité de calcul principale est en charge du contrôle du courant de circulation et de la puissance de sortie. L'équilibrage des tensions aux bornes des condensateurs est réalisé localement par les superviseurs esclaves correspondants. L'algorithme utilisé est similaire à celui proposé dans [84]. Une structure en étoile particulière est proposée dans [119]. Pour des convertisseurs possédant un très grand nombre de sous-modules, les auteurs introduisent des superviseurs intermédiaires entre le maitre et les esclaves.

Ces superviseurs intermédiaires communiquent avec le contrôle/commande à l'aide d'une structure en étoile. Ils sont eux-mêmes en charge d'un groupe de m superviseurs esclaves connectés en étoile. Le nombre d'entrée/sortie par unité de commande est ainsi réduit, ce qui autorise une grande modularité. Chaque module esclave réalise l'équilibrage local de son condensateur. Les superviseurs intermédiaires sont en charge de l'équilibrage global des tensions aux bornes des condensateurs du groupe de m sous-module, ainsi que de l'équilibrage des fréquences de commutation du groupe.

Dans [120], chaque sous-module est associé à un superviseur en charge de l'équilibrage de tension local, la protection du module, et la modulation (MLI). Les bus de communication entre les différents organes de commande utilisent le protocole EtherCAT. L'article détaille le processus de synchronisation des instants de commutation entre les superviseurs.

Un schéma de contrôle distribué est proposé dans [121] pour un convertisseur cascadié triphasé. La communication en anneaux impose des échanges d'information entre les superviseurs esclaves. Les erreurs de gestion due à des erreurs de mesure des capteurs de courant locaux sont étudiées et corrigées. Le convertisseur ainsi commandé suit efficacement sa consigne.

Une contribution importante dans l'étude des structures décentralisées est apportée par les équipes du laboratoire LAPLACE (Toulouse, France). Le contrôle décentralisé sans unité de contrôle/commande principal (« masterless control ») est d'abord appliqué aux convertisseurs parallèles dans [122][123]. Les superviseurs locaux de chaque branche de convertisseur communiquent à l'aide d'une structure en anneau. Chaque superviseur local est capable d'assurer l'équilibrage local de son courant, mais également de générer sa propre porteuse déphasée. Les porteuses sont alignées et déphasées localement. Ce type de contrôle est reconfigurable, donc modulaire. En cas de défaut d'une branche du convertisseur, les courants et les porteuses sont recalculés en ligne.

Ce schéma de commande est appliqué au MMC dans [124]. Le superviseur maître est connecté en étoile aux superviseurs esclaves, eux même connectés en anneau entre eux. La méthode MPC est utilisée par le contrôle/commande principal pour produire les références de tension envoyées aux esclaves. La faisabilité du contrôle décentralisé du convertisseur avec auto gestion de l'entrelacement des porteuses et équilibrage des charges de bras à partir des informations disponibles des superviseurs proches est démontrée. L'accent est mis sur les possibilités d'auto-reconfiguration du convertisseur en cas de défaut d'un sous-module.

L'implémentation numérique de tels organes de contrôle pour les structures multiniveaux est discutée dans [125]. Une autre implémentation est proposée dans [126] autour d'un bus CAN pour un convertisseur cascadié. La synchronisation des porteuses assignées à chaque module est réalisée à l'aide de la fonction d'interruption de communication propre au bus CAN.

Conclusion

Ce chapitre a permis dans un premier temps de définir la problématique liée au transport d'énergie et à la place de l'électronique de puissance dans les réseaux de demain. La technologie HVDC est présentée comme une manière efficace de transporter l'énergie entre des stations éloignées. Les limites inhérentes à la conversion d'énergie 2-niveaux sont alors étudiées. D'une part, les topologies de conversion nécessitent des semi-conducteurs dont les calibres en puissance sont limités, et d'autre part, elles génèrent des perturbations électromagnétiques liés aux valeurs de tension et courant mis en œuvre. Elles possèdent d'autres désavantages tels qu'une qualité énergétique faible, entraînant un besoin fort en filtrage.

La conversion multiniveau a alors été introduite pour pallier les problèmes des générations de convertisseur précédentes. Plusieurs convertisseurs ont été présentés à cet effet. Il a été montré que parmi tous les candidats à la conversion multiniveau, le MMC possède les caractéristiques les plus intéressantes. Sa structure hautement modulaire s'organise autour d'un unique bus DC. La montée en puissance est théoriquement infinie. L'étude dynamique théorique du convertisseur indique que le courant de circulation ainsi que les tensions aux bornes des condensateurs de sous-modules doivent être régulés, en plus des grandeurs de sortie (tension, courant) habituelles.

Les structures de commande principales associées aux convertisseur MMC ont alors été introduites dans la dernière section de cet état de l'art. Les structures « centralisés » font généralement appel à de l'accélération matérielle pour réaliser l'équilibrage des tensions aux bornes des condensateurs de sous-module. Il est effectivement montré qu'un unique organe de commande ne peut assurer l'intégralité du contrôle du convertisseur, au vu du nombre élevé de variables à contrôler. Les structures centralisées sont peu tolérantes aux reconfigurations. Les structures décentralisées permettent quant à elles une plus grande flexibilité et accroissent la modularité du convertisseur. Elles font appels à divers bus de communication entre de nombreux organes de commande et permettent de répartir la charge de calcul nécessaire à la commande du convertisseur.

Ces travaux s'intéressent particulièrement au contrôle décentralisé du convertisseur, qui semble être une option privilégiée pour la commande de MMC forte puissance/ haute tension. L'originalité de cette thèse réside dans l'implémentation de lois de commande décentralisées directement sur les pilotes de grille, ou gate-drivers, du convertisseur MMC. Le chapitre suivant introduit les principaux concepts développés dans cette thèse. Il sera précédé par un bref état de l'art des technologies de pilotes de grille existant dans la littérature.

Bibliographie

- [1] “Paris Agreement | Climate Action.” [Online]. Available: https://ec.europa.eu/clima/policies/international/negotiations/paris_en (accessed Apr. 18, 2019).
- [2] J. M. Barroso, “Climate and energy priorities for Europe : The way forward- A presentation of J.M. Barroso,” no. March, 2014, [Online]. Available: http://ec.europa.eu/clima/policies/2030/docs/climate_energy_priorities_en.pdf. (accessed Apr. 18, 2019)
- [3] M. Allen and M. Babiker, “Global Warming of 1.5°C,” 2018. [Online]. Available: https://www.climat.be/files/4115/3900/0027/181008_IPCC_sr15_spm.pdf. (accessed Apr. 23, 2022).
- [4] IPCC, “Climate Change 2021: The Physical Science Basis,” 2021, [Online]. Available: <https://www.ipcc.ch/report/ar6/wg1/>.(accessed Apr. 23, 2022).
- [5] “Media Release: Nature’s Dangerous Decline ‘Unprecedented’; Species Extinction Rates ‘Accelerating’ | IPBES,” 2019. <https://www.ipbes.net/news/Media-Release-Global-Assessment> (accessed May 13, 2019).
- [6] J. W. Coltman, “The transformer [historical overview],” *IEEE Ind. Appl. Mag.*, vol. 8, no. 1, pp. 8–15, 2002, doi: 10.1109/2943.974352.
- [7] N. G. Hingorani, “High-voltage dc transmission: A power electronics workhorse,” *IEEE Spectr.*, vol. 33, no. 4, pp. 63–72, 1996, doi: 10.1109/6.486634.
- [8] N. R. Watson and J. D. Watson, “An overview of HVDC technology,” *Energies*, vol. 13, no. 17, 2020, doi: 10.3390/en13174342.
- [9] ABB, “History of ABB - ABB Group,” 2020. <https://global.abb/group/en/about/history> (accessed Sep. 30, 2021).
- [10] ETWH, “IEEE Milestone: Eel River High Voltage Direct Current Converter Station, 1972,” 2016. https://ethw.org/Milestones:Eel_River_High_Voltage_Direct_Current_Converter_Station,_1972 (accessed Sep. 30, 2021).
- [11] Z. Cuixia and Z. Liuchun, “Insulation Coordination Optimization Study for ±800kV UHVDC Project with Increased Transmission Capacity,” 2013, doi: 10.1109/PESMG.2013.6672903.
- [12] H. Huang and M. Uder, “Application of high power thyristors in HVDC and FACTS systems,” *17th Conf. Electr. Power Supply Ind.*, 2008, [Online]. Available: http://www.ptd.siemens.de/080731_Paper262_cepsi08_valve_final.pdf. (accessed Oct. 23, 2021).
- [13] M. Bahrman and P. E. Bjorklund, “The new black start: System restoration with help from voltage-sourced converters,” *IEEE Power Energy Mag.*, vol. 12, no. 1, pp. 44–53, 2014, doi: 10.1109/MPE.2013.2285592.
- [14] A. Alassi, S. Bañales, O. Ellabban, G. Adam, and C. MacIver, “HVDC Transmission: Technology Review, Market Trends and Future Outlook,” *Renew. Sustain. Energy Rev.*, vol. 112, no. April, pp. 530–554, 2019, doi: 10.1016/j.rser.2019.04.062.
- [15] T. Keim and A. Bindra, “Recent advances in HVDC and UHVDC transmission,” *IEEE Power Electron. Mag.*, vol. 4, no. 4, pp. 12–18, 2017, doi: 10.1109/MPEL.2017.2760110.
- [16] J. Arrillaga, Y. H. Liu, N. R. Watson, and N. J. Murray, *Self-Commutating Converters For High Power Applications*. 2009.
- [17] N. Y. A. Shammas, R. Withanage, D. Chamund, and Abstract:, “Review of series and parallel connection of IGBTs,” *IEE Proc. - Circuits, Devices Syst.*, vol. 153, no. 1, pp. 35–39, 2006, doi: 10.1049/ip-cds.
- [18] S. Ji, T. Lu, Z. Zhao, H. Yu, and L. Yuan, “Series-Connected HV-IGBTs Using Active Voltage Balancing Control with Status Feedback Circuit,” *IEEE Trans. Power Electron.*, vol. 30, no. 8, pp. 4165–4174, 2015, doi: 10.1109/TPEL.2014.2360189.
- [19] A. F. Guerrero-Guerrero, A. J. Ustariz-Farfan, H. E. Tacca, and E. A. Cano-Plata, “IGBT Series Connection with Soft Switching and Power Recovery in Driver Power Supply,” *IEEE Trans. Power Electron.*, vol. 34, no. 12, pp. 11679–11691, 2019, doi: 10.1109/TPEL.2019.2907084.

- [20] B. Jacobson, Y. Jiang-Hafner, P. Rey, and G. Asplund, "HVDC with voltage source converters and extruded cables for up to ± 300 kV and 1000 MW," *Cigré*, no. June 2014, pp. B4-105, 2006.
- [21] A. Salem, H. Van Khang, K. G. Robbersmyr, M. Norambuena, and J. Rodriguez, "Voltage Source Multilevel Inverters with Reduced Device Count: Topological Review and Novel Comparative Factors," *IEEE Trans. Power Electron.*, vol. 36, no. 3, pp. 2720–2747, 2021, doi: 10.1109/TPEL.2020.3011908.
- [22] N. Islam, K. Mohammad, R. A. Khan, Z. Sarwer, and A. Sarwar, "Symmetrical and asymmetrical multilevel inverter topologies with reduced device count: A review," *2021 2nd Int. Conf. Emerg. Technol. INCET 2021*, pp. 1–6, 2021, doi: 10.1109/INCET51464.2021.9456047.
- [23] F. Z. Peng, "A generalized multilevel inverter topology with self voltage balancing," *IEEE Trans. Ind. Appl.*, vol. 37, no. 2, pp. 611–618, 2001, doi: 10.1109/28.913728.
- [24] A. Nabae, I. Takahshi, and H. Akagi, "A new Neutral Point Clamped PWM Inverter," vol. 1, no. 5, pp. 518–523, 1981.
- [25] H. Wang, Y. F. Liu, and P. C. Sen, "A neutral point clamped multilevel topology flow graph and space NPC multilevel topology," *2015 IEEE Energy Convers. Congr. Expo. ECCE 2015*, pp. 3615–3621, 2015, doi: 10.1109/ECCE.2015.7310171.
- [26] M. Barghi Latran and A. Teke, "Investigation of multilevel multifunctional grid connected inverter topologies and control strategies used in photovoltaic systems," *Renew. Sustain. Energy Rev.*, vol. 42, pp. 361–376, 2015, doi: 10.1016/j.rser.2014.10.030.
- [27] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A survey on neutral-point-clamped inverters," *IEEE Trans. Ind. Electron.*, vol. 57, no. 7, pp. 2219–2230, 2010, doi: 10.1109/TIE.2009.2032430.
- [28] F. Merahi and E. M. Berkouk, "Back-to-back five-level converters for wind energy conversion system with DC-bus imbalance minimization," *Renew. Energy*, vol. 60, pp. 137–149, 2013, doi: 10.1016/j.renene.2013.05.001.
- [29] N. H. Viet and N. Paraschiv, "Finite State Predictive Torque Control with Switching Table for Induction Motor Drive," *2019 6th Int. Symp. Electr. Electron. Eng. ISEEE 2019*, pp. 73–78, 2019, doi: 10.1109/ISEEE48094.2019.9136136.
- [30] T. A. Meynard and H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters," 1992, doi: 10.1109/pesc.1992.254717.
- [31] N. S. Hasan, N. Rosmin, D. A. A. Osman, and A. H. Musta'amal Jamal, "Reviews on multilevel converter and modulation techniques," *Renew. Sustain. Energy Rev.*, vol. 80, no. September 2016, pp. 163–174, 2017, doi: 10.1016/j.rser.2017.05.163.
- [32] D. W. D.-W. Kang, B.-K. B. K. Lee, J. H. J.-H. Jeon, T. J. T.-J. Kim, and D. S. D.-S. Hyun, "A symmetric carrier technique of CRPWM for voltage balance method of flying-capacitor multilevel inverter," *IEEE Trans. Ind. Electron.*, vol. 52, no. 3, pp. 879–888, 2005, doi: 10.1109/TIE.2005.847574.
- [33] Y. H. Jang, S. H. Kim, and R. Y. Kim, "Model Predictive Control for Cascaded Flying Capacitor Cell Multilevel Converter," *2018 Asian Conf. Energy, Power Transp. Electrification ACEPT 2018*, no. 20184010201710, pp. 0–4, 2019, doi: 10.1109/ACEPT.2018.8610690.
- [34] P. Barbosa, P. Steimer, J. Steinke, M. Winkelkemper, and N. Celanovic, "Active-Neutral-Point-Clamped (ANPC) multilevel converter technology," *2005 Eur. Conf. Power Electron. Appl.*, vol. 2005, 2005, doi: 10.1109/epe.2005.219713.
- [35] P. W. Hammond, "A new approach to enhance power quality for medium voltage AC drives," *IEEE Trans. Ind. Appl.*, vol. 33, no. 1, pp. 202–208, 1997, doi: 10.1109/28.567113.
- [36] S. Pany and S. B. Karanki, "Algorithm for Fault-Tolerant Operation of Cascaded H-Bridge Multilevel Inverter," *Proc. Energy Convers. Congr. Expo. - Asia, ECCE Asia 2021*, no. 3, pp. 926–931, 2021, doi: 10.1109/ECCE-Asia49820.2021.9478988.
- [37] I. Sarkar and B. G. Fernandes, "A Hybrid Symmetric Cascaded H-Bridge Multilevel Converter Topology," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 6777, no. c, pp. 1–1, 2021, doi: 10.1109/jestpe.2021.3104222.
- [38] H. Hashim and I. Abdel-Qader, "A new reduced-switch-count cascaded multicell converter," *IEEE Int. Conf. Electro Inf. Technol.*, pp. 525–529, 2017, doi: 10.1109/EIT.2017.8053418.
- [39] I. Trintis, S. Munk-Nielsen, and R. Teodorescu, "Cascaded H-bridge with bidirectional boost converters for energy storage," *Proc. 2011 14th Eur. Conf. Power Electron. Appl.*, pp. 1–9, 2011.

- [40] K. Wang, R. Zhu, C. Wei, F. Liu, X. Wu, and M. Liserre, "Cascaded multilevel converter topology for large-scale photovoltaic system with balanced operation," in *IEEE Transactions on Industrial Electronics*, 2019, vol. 66, no. 10, pp. 7694–7705, doi: 10.1109/TIE.2018.2885739.
- [41] K. Wang, L. Zhu, W. Wu, Y. Ko, and R. Zhu, "Cascaded H-bridge Converter-based Large-Scale Photovoltaic Systems : Power Imbalance and Topology Derivation," in *Proceedings of the Energy Conversion Congress and Exposition - Asia, ECCE Asia 2021*, 2021, pp. 730–735, doi: 10.1109/ECCE-Asia49820.2021.9479315.
- [42] H. Akagi, S. Inoue, and T. Yoshii, "Control and performance of a transformerless cascade PWM STATCOM with star configuration," *IEEE Trans. Ind. Appl.*, vol. 43, no. 4, pp. 1041–1049, 2007, doi: 10.1109/TIA.2007.900487.
- [43] F. Yang *et al.*, "Optimized DC Capacitor Voltage Control Strategy of Cascaded Multilevel H-bridge Converter Based STATCOM," *Proc. Energy Convers. Congr. Expo. - Asia, ECCE Asia 2021*, pp. 137–142, 2021, doi: 10.1109/ECCE-Asia49820.2021.9479390.
- [44] S. Suresh Kumar, V. Subbiah, A. Kandaswaray, G. Dinesh Kumar, R. Sujay, and S. Manoharan, "A state of the art STATCON for instantaneous VAr compensation and harmonic suppression to enhance power quality," *CIGRE/IEEE PES Int. Symp. Qual. Secur. Electr. Power Deliv. Syst. CIGRE/PES 2003*, pp. 86–90, 2003, doi: 10.1109/QSEPDS.2003.159801.
- [45] R. Schwendemann, F. Sommer, and M. Hiller, "A resonant supplied cascaded H-Bridge Cell for a Series Hybrid Cascaded H-Bridge Converter used as a Power Hardware in the Loop Emulator," *2020 IEEE 21st Work. Control Model. Power Electron. COMPEL 2020*, 2020, doi: 10.1109/COMPEL49091.2020.9265686.
- [46] J. M. Kharade and N. G. Savagave, "A Review of HVDC Converter Topologies," no. March, pp. 1822–1830, 2017, doi: 10.15680/IJRSET.2017.0602054.
- [47] M. H. Rashid, *Power Electronics Handbook*. 2017.
- [48] M. Saeedifard, R. Irvani, and J. Pou, "Analysis and control of DC-capacitor-voltage-drift phenomenon of a passive front-end five-level converter," *IEEE Trans. Ind. Electron.*, vol. 54, no. 6, pp. 3255–3266, 2007, doi: 10.1109/TIE.2007.905967.
- [49] A. D. Roy and C. Umayal, "A review of various multilevel inverter topologies with reduced component count," *Proc. IEEE Int. Conf. & Recent Trends Electr. Control Commun. RTECC 2018*, pp. 234–239, 2019, doi: 10.1109/RTECC.2018.8625691.
- [50] M. Narimani, B. Wu, and N. R. Zargari, "A novel five-level voltage source inverter with sinusoidal pulse width modulator for medium-voltage applications," *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 1959–1967, 2016, doi: 10.1109/TPEL.2015.2440656.
- [51] I. Colak, E. Kabalcı, and R. Bayindir, "Review of multilevel voltage source inverter topologies and control schemes," *Energy Convers. Manag.*, vol. 52, no. 2, pp. 1114–1128, 2011, doi: 10.1016/j.enconman.2010.09.006.
- [52] A. Lesnicar and R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," *2003 IEEE Bol. PowerTech - Conf. Proc.*, vol. 3, pp. 272–277, 2003, doi: 10.1109/PTC.2003.1304403.
- [53] K. Sharifabadi, L. Harnefors, H.-P. Nee, S. Norrga, and R. Teodorescu, *Design, Control and Application of Modular Multilevel Converters for HVDC Transmission Systems*. Wiley - IEEE Press, 2016.
- [54] P. Delarue, F. Gruson, and X. Guillaud, "Energetic macroscopic representation and inversion based control of a modular multilevel converter," *2013 15th Eur. Conf. Power Electron. Appl. EPE 2013*, pp. 1–10, 2013, doi: 10.1109/EPE.2013.6631859.
- [55] L. Harnefors, A. Antonopoulos, S. Norrga, L. Angquist, and H. P. Nee, "Dynamic analysis of modular multilevel converters," *IEEE Trans. Ind. Electron.*, vol. 60, no. 7, pp. 2526–2537, 2013, doi: 10.1109/TIE.2012.2194974.
- [56] M. Hagiwara, N. Kazutoshi, and H. Akagi, "A Medium-Voltage Motor Drive With a Modular Multilevel PWM Inverter," *IEEE Trans. Power Electron.*, vol. 25, no. 7, pp. 1786–1799, 2010.
- [57] A. J. Korn, M. Winkelnkemper, and P. Steimer, "Low output frequency operation of the Modular Multi-Level Converter," *2010 IEEE Energy Convers. Congr. Expo. ECCE 2010 - Proc.*, pp. 3993–3997, 2010, doi: 10.1109/ECCE.2010.5617802.
- [58] M. Noushak, A. Hadizadeh, H. Iman-Eini, S. Farhangi, and D. Frey, "Reduction of capacitor voltage ripple in a modular multilevel converter employed in adjustable speed drive application,"

- 8th Power Electron. Drive Syst. Technol. Conf. PEDSTC 2017, no. Pedstc, pp. 317–322, 2017, doi: 10.1109/PEDSTC.2017.7910345.
- [59] K. Ilves, S. Member, S. Norrga, L. Harnefors, and S. Member, “On Energy Storage Requirements in Modular Multilevel Converters,” *IEEE Trans. Power Electron.*, vol. 29, no. 1, pp. 77–88, 2014, doi: 10.1109/TPEL.2013.2254129.
- [60] K. Ilves, A. Antonopoulos, S. Norrga, and H. P. Nee, “Steady-state analysis of interaction between harmonic components of arm and line quantities of modular multilevel converters,” *IEEE Trans. Power Electron.*, vol. 27, no. 1, pp. 57–68, 2012, doi: 10.1109/TPEL.2011.2159809.
- [61] S. Ceballos, J. Pou, S. Choi, M. Saeedifard, and V. Agelidis, “Analysis of voltage balancing limits in modular multilevel converters,” *IECON Proc. (Industrial Electron. Conf.)*, no. 1, pp. 4397–4402, 2011, doi: 10.1109/IECON.2011.6120032.
- [62] H. Akagi, “Classification, terminology, and application of the modular multilevel cascade converter (MMCC),” *IEEE Trans. Power Electron.*, vol. 26, no. 11, pp. 3119–3130, 2011, doi: 10.1109/TPEL.2011.2143431.
- [63] T. Jonsson, P. Lundberg, S. Maiti, and Y. Jiang-Häfner, “Converter Technologies and Functional Requirements for Reliable and Economical HVDC Grid Design,” *Cigre*, 2013.
- [64] S. Cui and S. K. Sul, “A Comprehensive DC Short-Circuit Fault Ride Through Strategy of Hybrid Modular Multilevel Converters (MMCs) for Overhead Line Transmission,” *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7780–7796, 2016, doi: 10.1109/TPEL.2015.2513426.
- [65] X. Li, Q. Song, W. Liu, H. Rao, S. Xu, and L. Li, “Protection of nonpermanent faults on DC overhead lines in MMC-based HVDC systems,” *IEEE Trans. Power Deliv.*, vol. 28, no. 1, pp. 483–490, 2013, doi: 10.1109/TPWRD.2012.2226249.
- [66] H. Zhang, L. Luo, L. Jia, L. Yang, and S. Yang, “An Improved Sub-Module Topology for Protecting MMC Power Devices under DC-side Short Circuit Fault,” *2018 Chinese Control Decis. Conf.*, pp. 5161–5165, 2018, doi: 10.1109/CCDC.2018.8408027.
- [67] Y. Tian, H. R. Wickramasinghe, Z. Li, and G. Konstantinou, “Modular Multilevel Converter Sub-modules for HVDC Applications,” *2020 IEEE 9th Int. Power Electron. Motion Control Conf. IPEMC 2020 ECCE Asia*, pp. 1510–1515, 2020, doi: 10.1109/IPEMC-ECCEAsia48364.2020.9368019.
- [68] X. Li, W. Liu, Q. Song, H. Rao, and S. Xu, “An enhanced MMC topology with DC fault ride-through capability,” *IECON Proc. (Industrial Electron. Conf.)*, no. 863, pp. 6182–6188, 2013, doi: 10.1109/IECON.2013.6700152.
- [69] A. Nami, L. Wang, F. Dijkhuizen, and A. Shukla, “Five level cross connected cell for cascaded converters,” *2013 15th Eur. Conf. Power Electron. Appl. EPE 2013*, pp. 1–9, 2013, doi: 10.1109/EPE.2013.6631941.
- [70] M. Heuvelmans, T. Modeer, and S. Norrga, “Soft-switching cells for high-power converters,” *IECON Proc. (Industrial Electron. Conf.)*, pp. 1806–1812, 2014, doi: 10.1109/IECON.2014.7048747.
- [71] X. Zhou, L. Lin, K. Hu, C. Xu, and W. Song, “A Predictive Submodule Choosing Algorithm for Soft-Switching Modular Multilevel Converters with Nearest Level Modulation Scheme,” *2019 IEEE Energy Convers. Congr. Expo. ECCE 2019*, pp. 6898–6904, 2019, doi: 10.1109/ECCE.2019.8912497.
- [72] W. McMurray, “Resonant snubbers with auxiliary switches,” *IEEE Trans. Ind. Appl.*, vol. 29, no. 2, pp. 355–362, 1989.
- [73] J. Dorn, H. Gambach, and J. Strauss, “Trans Bay Cable—A Breakthrough of VSC Multilevel Converters in HVDC Transmission,” *Cigré Colloquium, March*, 2012, [Online]. Available: <http://scholar.google.com/scholar?hl=en&btnG=Search&q=intitle:Trans+Bay+Cable+-+A+Breakthrough+of+VSC+Multilevel+Converters+in+HVDC+Transmission#0>. (accessed May, 14 2019)
- [74] National Grid, “National Grid powers up world’s longest subsea interconnector between the UK and Norway,” *National Grid Press Release*, 2021.
- [75] F. Martinez-Rodrigo, D. Ramirez, A. B. Rey-Boue, S. De Pablo, and L. C. Herrero-De Lucas, “Modular multilevel converters: Control and applications,” *Energies*, vol. 10, no. 11, 2017, doi: 10.3390/en10111709.

- [76] M. A. Perez, S. Ceballos, G. Konstantinou, J. Pou, and R. P. Aguilera, "Modular Multilevel Converters: Recent Achievements and Challenges," *IEEE Open J. Ind. Electron. Soc.*, vol. 2, no. March, pp. 224–239, 2021, doi: 10.1109/ojies.2021.3060791.
- [77] R. Hariri, F. Sebaaly, and H. Y. Kanaan, "A Review on Modular Multilevel Converters in Electric Vehicles," *IECON Proc. (Industrial Electron. Conf.)*, vol. 2020-October, pp. 4987–4993, 2020, doi: 10.1109/IECON43393.2020.9255037.
- [78] Siemens, "SINAMICS PERFECT HARMONY GH180 - Medium Voltage Drives," 2020. https://cache.industry.siemens.com/dl/files/720/109761720/att_994739/v1/sinamics-perfect-harmony-gh180-catalog-d17-global-2019.pdf. (accessed Jan. 25, 2022)
- [79] Bjorn Jacobson *et al.*, "VSC-HVDC Transmission with Cascaded Two-Level Converters," *Cigre*, pp. B4–B110, 2010.
- [80] S. Allebrod, R. Hamerski, and R. Marquardt, "New transformerless, scalable modular multilevel converters for HVDC-transmission," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, pp. 174–179, 2008, doi: 10.1109/PESC.2008.4591920.
- [81] M. Saeedifard and R. Iravani, "Dynamic performance of a modular multilevel back-to-back HVDC system," *IEEE Trans. Power Deliv.*, vol. 25, no. 4, pp. 2903–2912, 2010, doi: 10.1109/TPWRD.2010.2050787.
- [82] X. X. Wang, T. An, J. Yang, and C. Y. Zhao, "Conditions on optimum percentage of second-order harmonic circulating current injection based on MMC," *Proc. 2019 IEEE 3rd Inf. Technol. Networking, Electron. Autom. Control Conf. ITNEC 2019*, no. Itnec, pp. 976–981, 2019, doi: 10.1109/ITNEC.2019.8729466.
- [83] J. Qin and M. Saeedifard, "Predictive control of a modular multilevel converter for a back-to-back HVDC system," *IEEE Trans. Power Deliv.*, vol. 27, no. 3, pp. 1538–1547, 2012, doi: 10.1109/TPWRD.2012.2191577.
- [84] M. Hagiwara, R. Maeda, and H. Akagi, "Control and analysis of the modular multilevel cascade converter based on double-star chopper-cells (MMCC-DSCC)," *IEEE Trans. Power Electron.*, vol. 26, no. 6, pp. 1649–1658, 2011, doi: 10.1109/TPEL.2010.2089065.
- [85] X. She, A. Huang, X. Ni, and R. Burgos, "AC circulating currents suppression in modular multilevel converter," *IECON Proc. (Industrial Electron. Conf.)*, pp. 191–196, 2012, doi: 10.1109/IECON.2012.6388809.
- [86] L. Harnefors, "Implementation of resonant controllers and filters in fixed-point arithmetic," *IEEE Trans. Ind. Electron.*, vol. 56, no. 4, pp. 1273–1281, 2009, doi: 10.1109/TIE.2008.2008341.
- [87] M. Zhang, L. Huang, W. Yao, and Z. Lu, "Circulating harmonic current elimination of a CPS-PWM-based modular multilevel converter with a plug-in repetitive controller," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 2083–2097, 2014, doi: 10.1109/TPEL.2013.2269140.
- [88] S. Yang, P. Wang, Y. Tang, M. Zagrodnik, X. Hu, and K. J. Tseng, "Circulating Current Suppression in Modular Multilevel Converters With Even-Harmonic Repetitive Control," *IEEE Trans. Ind. Appl.*, vol. 54, no. 1, pp. 298–309, 2018, doi: 10.1109/TIA.2017.2749257.
- [89] M. Hagiwara and H. Akagi, "Control and Experiment of Pulsewidth-Modulated Modular Multilevel Converters," *IEEE Trans. Power Electron.*, vol. 24, no. 7, pp. 1737–1746, 2009, doi: 10.1109/TPEL.2009.2014236.
- [90] A. Antonopoulos, L. Angquist, and H.-P. Nee, "On dynamics and voltage control of the Modular Multilevel Converter," *EPE'09 - 13th Eur. Conf. Power Electron. Appl.*, pp. 1–10, 2009, doi: 10.1038/nature05440.
- [91] L. Ängquist, A. Antonopoulos, D. Siemaszko, K. Ilves, M. Vasiladiotis, and H. P. Nee, "Open-loop control of modular multilevel converters using estimation of stored energy," *IEEE Trans. Ind. Appl.*, vol. 47, no. 6, pp. 2516–2524, 2011, doi: 10.1109/TIA.2011.2168593.
- [92] A. Antonopoulos, L. Ängquist, L. Harnefors, K. Ilves, and H. P. Nee, "Global asymptotic stability of modular multilevel converters," *IEEE Trans. Ind. Electron.*, vol. 61, no. 2, pp. 603–612, 2014, doi: 10.1109/TIE.2013.2254100.
- [93] G. Bergna, M. Boyra, and J. H. Vivas, "Novel control strategies for modular multilevel converters (MMC) - An evaluation and comparison of control and modulation schemes," *CIGRE 2011 Bol. Symp. - Electr. Power Syst. Futur. Integr. Supergrids Microgrids*, no. September, 2011.

- [94] Q. Tu, Z. Xu, H. Huang, and J. Zhang, "Parameter design principle of the arm inductor in modular multilevel converter based HVDC," *2010 Int. Conf. Power Syst. Technol. Technol. Innov. Mak. Power Grid Smarter, POWERCON2010*, pp. 1–6, 2010, doi: 10.1109/POWERCON.2010.5666416.
- [95] Q. Tu, Z. Xu, and L. Xu, "Reduced Switching-frequency modulation and circulating current suppression for modular multilevel converters," *IEEE Trans. Power Deliv.*, vol. 26, no. 3, pp. 2009–2017, 2011, doi: 10.1109/TPWRD.2011.2115258.
- [96] G. Bergna *et al.*, "An Energy-Based Controller for HVDC Modular Multilevel Converter in Decoupled Double Synchronous Reference Frame for Voltage Oscillation Reduction," *IEEE Trans. Ind. Electron.*, vol. 60, no. 6, pp. 2360–2371, 2013, doi: 10.1109/TIE.2012.2225397.
- [97] Z. Li, P. Wang, Z. Chu, H. Zhu, Y. Luo, and Y. Li, "An Inner Current Suppressing Method for Modular Multilevel Converters," *IEEE Trans. Power Electron.*, vol. 28, no. 11, pp. 4873–4879, 2013, doi: 10.1109/TPEL.2013.2242204.
- [98] P. Hu, Z. He, S. Li, and J. M. Guerrero, "Non-Ideal Proportional Resonant Control for Modular Multilevel Converters under Sub-Module Fault Conditions," *IEEE Trans. Energy Convers.*, vol. 34, no. 4, pp. 1741–1750, 2019, doi: 10.1109/TEC.2019.2938395.
- [99] Q. Yang *et al.*, "Model predictive control of MMC-UPFC under unbalanced grid conditions," *Int. J. Electr. Power Energy Syst.*, vol. 117, no. September 2019, p. 105637, 2020, doi: 10.1016/j.ijepes.2019.105637.
- [100] M. A. Sayed and T. Takeshita, "Load voltage regulation and line loss minimization of loop distribution systems using UPFC," *2008 13th Int. Power Electron. Motion Control Conf. EPE-PEMC 2008*, vol. 48b, pp. 542–549, 2008, doi: 10.1109/EPEPEMC.2008.4635322.
- [101] P. Liu, Y. Wang, W. Cong, and W. Lei, "Grouping-Sorting-Optimized Model Predictive Control for Modular Multilevel Converter With Reduced Computational Load," *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 1896–1907, 2016, doi: 10.1109/TPEL.2015.2432767.
- [102] R. Picas, J. Pou, S. Ceballos, V. G. Agelidis, and M. Saeedifard, "Minimization of the capacitor voltage fluctuations of a modular multilevel converter by circulating current control," *IECON Proc. (Industrial Electron. Conf.)*, pp. 4985–4991, 2012, doi: 10.1109/IECON.2012.6388984.
- [103] R. Picas, J. Pou, S. Ceballos, J. Zaragoza, G. Konstantinou, and V. G. Agelidis, "Optimal injection of harmonics in circulating currents of modular multilevel converters for capacitor voltage ripple minimization," *2013 IEEE ECCE Asia Downunder - 5th IEEE Annu. Int. Energy Convers. Congr. Exhib. IEEE ECCE Asia 2013*, pp. 318–324, 2013, doi: 10.1109/ECCE-Asia.2013.6579115.
- [104] K. Ilves, A. Antonopoulos, L. Harnefors, S. Norrga, L. Ängquist, and H. P. Nee, "Capacitor voltage ripple shaping in modular multilevel converters allowing for operating region extension," *IECON Proc. (Industrial Electron. Conf.)*, no. November, pp. 4403–4408, 2011, doi: 10.1109/IECON.2011.6120033.
- [105] G. Konstantinou, J. Pou, S. Ceballos, and V. G. Agelidis, "Active redundant submodule configuration in modular multilevel converters," *IEEE Trans. Power Deliv.*, vol. 28, no. 4, pp. 2333–2341, 2013, doi: 10.1109/TPWRD.2013.2264950.
- [106] G. Konstantinou, J. Pou, S. Ceballos, R. Picas, J. Zaragoza, and V. G. Agelidis, "Control of Circulating Currents in Modular Multilevel Converters Through Redundant Voltage Levels," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7761–7769, 2016, doi: 10.1109/TPEL.2015.2512842.
- [107] P. Hu, R. Teodorescu, and J. M. Guerrero, "State observer based capacitor-voltage-balancing method for modular multilevel converters without arm-current sensors," *Int. J. Electr. Power Energy Syst.*, vol. 113, no. December 2018, pp. 188–196, 2019, doi: 10.1016/j.ijepes.2019.05.025.
- [108] M. Dommaschk and Q. Tu, "Driving of a Phase Module Branch of a Multilevel Converter," US 2010/0060235 A1, 2010.
- [109] Z. Li, Y. Li, P. Wang, H. Zhu, Z. Chu, and S. Wang, "Improving the performance of modular multilevel converter by reducing the dead time effect," *Power Electron. Appl. (EPE 2011), Proc. 2011-14th Eur. Conf.*, no. 6, pp. 1–10, 2011.
- [110] S. Huang, W. Liao, P. Liu, W. Tang, and S. Huang, "Analysis and calculation on switching frequency and switching losses of modular multilevel converter with maximum sub-module

- capacitor voltage deviation,” *IET Power Electron.*, vol. 9, no. 2, pp. 188–197, 2016, doi: 10.1049/iet-pel.2015.0418.
- [111] A. Hassanpoor, L. Ängquist, S. Norrga, K. Ilves, and H. P. Nee, “Tolerance band modulation methods for modular multilevel converters,” *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 311–326, 2015, doi: 10.1109/TPEL.2014.2305114.
- [112] A. Hassanpoor, A. Roostaei, S. Norrga, and M. Lindgren, “Optimization-based cell selection method for grid-connected modular multilevel converters,” *IEEE Trans. Power Electron.*, vol. 31, no. 4, pp. 2780–2790, 2016, doi: 10.1109/TPEL.2015.2448573.
- [113] A. Hassanpoor, S. Norrga, and A. Nami, “Loss evaluation for modular multilevel converters with different switching strategies,” *9th Int. Conf. Power Electron. - ECCE Asia "Green World with Power Electron. ICPE 2015-ECCE Asia*, pp. 1558–1563, 2015, doi: 10.1109/ICPE.2015.7167984.
- [114] J. Mei, K. Shen, B. Xiao, L. M. Tolbert, and J. Zheng, “A new selective loop bias mapping phase disposition PWM with dynamic voltage balance capability for modular multilevel converter,” *IEEE Trans. Ind. Electron.*, vol. 61, no. 2, pp. 798–807, 2014, doi: 10.1109/TIE.2013.2253069.
- [115] W. Wang, K. Ma, and X. Cai, “Efficient Capacitor Voltage Balancing Method for Modular Multilevel Converter under Carrier-Phase-Shift Pulsewidth Modulation,” *IEEE Trans. Power Electron.*, vol. 36, no. 2, pp. 1553–1562, 2021, doi: 10.1109/TPEL.2020.3009272.
- [116] L. Luo, Y. Zhang, L. Jia, N. Yang, L. Yang, and H. Zhang, “Capacitor static voltage balance based on auxiliary-power supply pulse width control for MMC,” *IET Power Electron.*, vol. 11, no. 11, pp. 1–8, 2018, doi: 10.1049/iet-pel.2017.0672.
- [117] Z. Li *et al.*, “Power Module Capacitor Voltage Balancing Method for a ± 350 -kV/1000-MW Modular Multilevel Converter,” *IEEE Trans. Power Electron.*, vol. 31, no. 6, pp. 3977–3984, 2016, doi: 10.1109/TPEL.2015.2501839.
- [118] S. Yang, Y. Tang, M. Zagrodnik, G. Amit, and P. Wang, “A novel distributed control strategy for modular multilevel converters,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 3234–3240, 2017, doi: 10.1109/APEC.2017.7931160.
- [119] B. Xia *et al.*, “Decentralized Control Method for Modular Multilevel Converters,” *IEEE Trans. Power Electron.*, vol. 34, no. 6, pp. 5117–5130, 2019, doi: 10.1109/TPEL.2018.2866258.
- [120] P. Dan Burlacu, L. Mathe, and R. Teodorescu, “Synchronization of the distributed PWM carrier waves for modular multilevel converters,” *2014 Int. Conf. Optim. Electr. Electron. Equipment, OPTIM 2014*, pp. 553–559, 2014, doi: 10.1109/OPTIM.2014.6851001.
- [121] W. Y. Kong, D. G. Holmes, and B. P. McGrath, “Decentralized control of a cascaded H-Bridge multilevel converter,” *Proc. - ISIE 2011 2011 IEEE Int. Symp. Ind. Electron.*, pp. 188–193, 2011, doi: 10.1109/ISIE.2011.5984155.
- [122] M. Cousineau, M. Le Bolloch, N. Bouhalli, E. Sarraute, and T. Meynard, “Triangular carrier self-alignment using modular approach for interleaved converter control,” *Proc. 2011 14th Eur. Conf. Power Electron. Appl. EPE 2011*, pp. 1–10, 2011.
- [123] M. Cousineau and Z. Xiao, “Fully masterless control of parallel converter,” *2013 15th Eur. Conf. Power Electron. Appl. EPE 2013*, pp. 1–10, 2013, doi: 10.1109/EPE.2013.6631848.
- [124] S. I. Seleme, L. A. Grégoire, M. Cousineau, and P. Ladoux, “Modular control with carrier auto-interleaving and capacitor-voltage balancing for MMCs,” *IET Power Electron.*, vol. 12, no. 4, pp. 817–828, 2019, doi: 10.1049/iet-pel.2018.5096.
- [125] G. Gateau, P. Q. Dung, M. Cousineau, P. U. T. Do, and H. N. Le, “Digital implementation of decentralized control for multilevel converter,” *Proc. - 2017 Int. Conf. Syst. Sci. Eng. ICSSE 2017*, pp. 558–562, 2017, doi: 10.1109/ICSSE.2017.8030937.
- [126] Y. M. Park *et al.*, “A simple and reliable PWM synchronization & phase-shift method for cascaded H-bridge multilevel inverters based on a standard serial communication protocol,” *Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)*, vol. 2, pp. 988–994, 2006, doi: 10.1109/IAS.2006.256645.

Chapitre 2 : Intégration de smart gate-drivers dans les structures multiniveaux

1. Électronique de commande rapprochée des convertisseurs 1.1. Généralités sur les gate-drivers

Les composants transistors sont désormais la norme pour la conception de nouveaux convertisseurs de puissance. Ils supplantent les thyristors de par leur commandabilité, étant capables d'ouvrir et fermer des circuits traversés par des courants forts. Ils dissipent cependant de l'énergie durant les commutations, puisque la tension à leurs bornes augmente (amorçage) ou diminue (blocage) alors que le courant qui les traverse n'est pas nul. Il est donc fondamental de réduire autant que possible le temps nécessaire à la commutation des transistors de puissance.

Actuellement, la majorité des composants de puissance utilisés dans l'industrie sont de type IGBT (Insulated Gate Bipolar Transistor). Les composants MOSFET (Metal Oxyde Semiconductor Field Effect Transistor) sont utilisés dans une moindre mesure. Il s'agit généralement de génération de transistors à base de technologie Silicium. Les nouveaux composants au carbure de Silicium (SiC) possèdent des tolérances très élevées aux densités de champs électrique, et des temps de commutation extrêmement faibles notamment. Ces propriétés leurs permettent de réduire leurs pertes et leur volume par rapport aux puces en Silicium, tout en augmentant les performances des convertisseurs [1]. Ces composants existent pour le moment sous la forme de MOSFET. Les schémas électriques usuels d'un IGBT et d'un MOSFET sont donnés sur la Figure 23.



Figure 23. Transistors de puissance : IGBT (a) et MOSFET (b)

Ces transistors utilisent une « grille » isolée de la partie puissance, symbolisée par le point G. Le courant du transistor circule entre le Collecteur (point C) et l'Émetteur (point E) dans le cas de l'IGBT, et entre le Drain (point D) et la Source (point S) dans le cas du MOSFET. Ces transistors fonctionnent grâce à des effets de champs de manière assez similaire. Le MOSFET est pris comme composant de référence dans la suite. Suivant la polarité de la grille par rapport à la source, le composant conduit ou non le courant. Typiquement, pour les MOSFET classiques à enrichissement, une tension V_{GS} positive est appliquée entre la grille et la source du composant afin de le rendre passant (entre +15 V et +20 V typiquement). À l'inverse, une tension négative est souvent appliquée entre la grille et la source pour bloquer le composant.

Certaines capacités parasites existent entre la grille et la source. Il faut charger ces capacités pour imposer une tension entre la grille et la source. La vitesse de commutation du composant dépend directement de la vitesse de charge de grille. L'électronique de commande d'un transistor doit donc être capable d'imposer des tensions très rapidement entre la grille et la source, tout en injectant une grande quantité de charges dans la grille, c'est-à-dire être capable de délivrer des courants importants en peu de temps.

Ces circuits de commande rapprochés sont absolument indispensables au fonctionnement des convertisseurs de puissance. Une électronique de commande rapprochée est associée à chaque composant de puissance. Cette électronique doit pouvoir recevoir des ordres de commutation du contrôle/commande, et exécuter ces commutations. Or, pour des raisons de sécurité évidentes, les ordres provenant du contrôle/commande sont systématiquement référencés par rapport à la terre. En revanche, la tension de commande à appliquer sur la grille du composant doit être référencée à la source du composant.

Dans la plupart des structures, la source des transistors de puissance peut être connectée à des points chauds du convertisseur. Typiquement, dans un MMC, tous les transistors de bras peuvent être reliés au bus DC (pole positif ou négatif suivant le bras). Ainsi, un potentiel très élevé par rapport à la terre peut être présent sur la source. Cela implique qu'une isolation galvanique doit exister entre les ordres envoyés par le superviseur et la commande rapprochée des composants de puissance. Un synoptique simple de ces circuits dénommés « gate-drivers » est donné Figure 24. Une carte gate-driver est généralement capable de commander deux transistors en demi-pont.

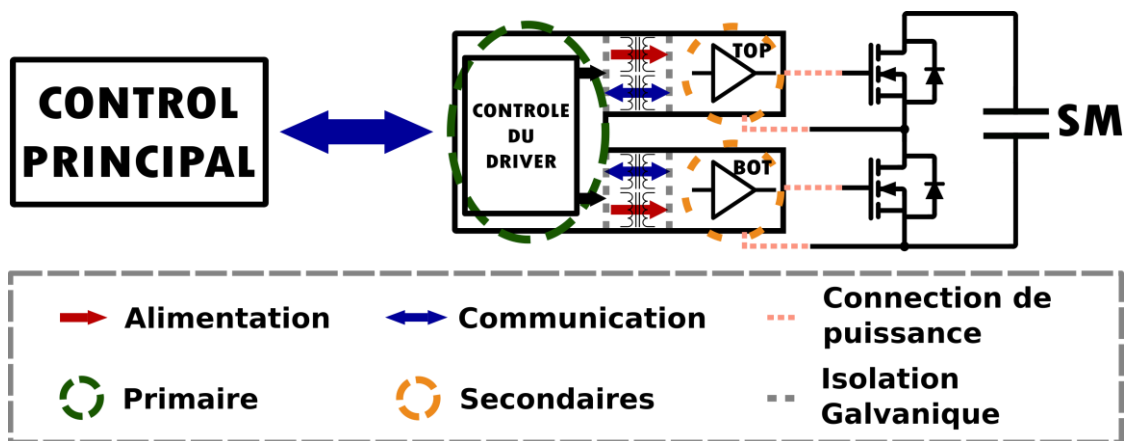


Figure 24. Synoptique simple d'un gate-driver de demi-pont

Un gate-driver associé à un demi-pont est formé d'un primaire et de deux secondaires en charge de la commande rapprochée des transistors du pont. Leur fonction principale est donc de « bufferizer » les ordres de commande envoyés du primaire. Ils sont généralement dénommés TOP (ou High) side, et BOT (ou Low) side. Le primaire du gate-driver partage sa référence avec celle du contrôle principal. Les secondaires sont référencés aux sources des transistors qu'ils commandent (technologies Silicium). En pratique, ces cartes sont équipées de nombreuses fonctions de protection avancées (détection de court-circuit, protection du pont, désaturation des transistors, « soft-switching » [2]).

Ces deux parties sont séparées par une isolation galvanique qui peut prendre diverses formes. L'isolation galvanique des gate-drivers usuels fait l'objet de la section suivante. Les secondaires sont également isolés l'un de l'autre par une distance d'isolation physique. Ce type de gate-driver est proposé par beaucoup d'industriels pour diverses valeurs de tension de module. Ils sont souvent « plug and play », c'est-à-dire qu'ils intègrent toutes les fonctions nécessaires à la commutation et la protection du pont de puissance auquel ils sont associés. Il suffit de connecter les gate-drivers au module et d'envoyer directement les ordres de commande à la carte gate-driver. Le gate-driver 2SD316EI de Power Integrations est présenté Figure 25, avec son module IGBT associé.

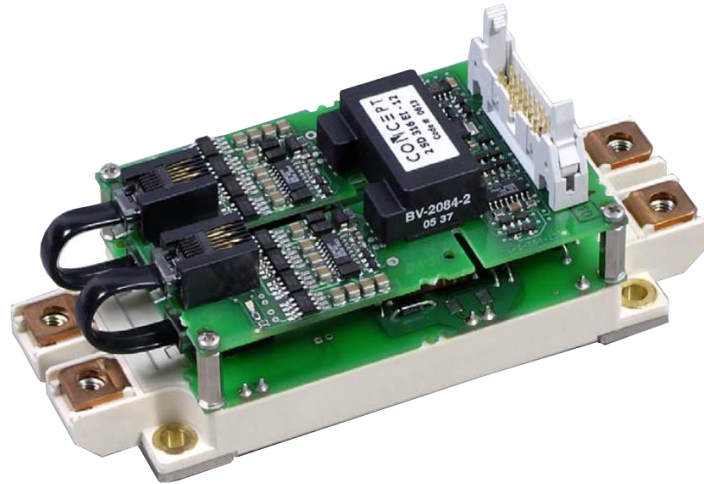


Figure 25. Gate-driver 2SD316EI (Power Integrations) connecté à un module EconoDUAL IGBT

1.II. Discussion sur les besoins en isolation galvanique

L'électronique des secondaires nécessite une alimentation capable de fournir des pics de courants instantanés élevés. Il y a donc un besoin d'isolation galvanique pour les ordres de commutation, mais également pour l'alimentation des secondaires. On trouve donc souvent 4 isolations galvaniques sur ce type de carte. Il y a également une isolation physique entre les deux secondaires.

Les principales caractéristiques qu'une isolation galvanique doit respecter sont la tenue en tension à ses bornes, l'immunité aux dv/dt , et la rapidité de transmission d'informations (bande passante). La première spécifie la tension de « claquage » de l'isolation. C'est la valeur de tension maximale admissible aux interfaces de l'isolation avant sa destruction. Cette valeur doit être plus élevée que les tensions mises en jeu dans le convertisseur.

L'immunité aux dv/dt est primordiale pour éviter la circulation de courant de mode commun. Cette caractéristique est notamment liée à la capacité parasite équivalente de la barrière d'isolation. En effet, la circulation de courant de mode commun dans ces capacités provient du fait que de très fortes tensions sont découpées par le transistor en des temps très courts (variation de tension importante aux bornes d'un condensateur). Les courants qui circulent dans la capacité parasite peuvent fortement perturber l'électronique de commande au primaire et au secondaire. Il peut apparaître des « rebonds de masses », voir des ordres de commutation parasites [3]. Enfin, la bande passante liée à l'isolation spécifie la vitesse de transmission des signaux au travers de cette isolation.

Les principales méthodes utilisées pour réaliser l'isolation sur ce type de carte sont les suivantes :

- Transformateur d'impulsion (à air ou avec ferrites)
- Fibre optique
- Optocoupleur
- Liaison capacitive

Comme expliqué plus haut, les liaisons capacitives peuvent produire des instabilités diverses. Elles sont donc majoritairement utilisées dans les applications de faibles puissances et les gate-drivers intégrés. La fibre optique est souvent un candidat intéressant puisque les tensions d'isolation sont très élevées, pour des capacités parasite quasi-nulles. Cependant, les circuits de réception optoélectroniques sont souvent complexes à mettre en œuvre pour obtenir des bandes passantes satisfaisantes. De plus, elles sont souvent la solution la plus onéreuse.

Les circuits optocoupleurs sont généralement utilisés dans les gate-drivers moyenne puissance. Ils sont généralement peu onéreux et encapsulés, mais ils nécessitent également des circuits de codage/décodage des informations optoélectroniques. De plus, ils sont extrêmement sensibles aux perturbations de mode commun, et leur intégration doit donc être particulièrement soignée. Enfin, le mode de claquage de ces éléments encapsulés n'est pas maîtrisé. L'apparition d'un court-circuit entre le primaire et l'un des secondaires doit absolument être évitée.

Les transformateurs d'impulsions avaient historiquement le principal désavantage d'être relativement volumineux. En effet, plus la tension d'isolation est élevée, plus la distance d'isolation nécessaire entre les enroulements est importante (problématique des « lignes de fuites ») [4]. A titre d'exemple, le Standard International IEC 60950-1 impose une distance minimale entre les enroulements de 40 mm pour 10 kV [5].

Cependant, les techniques d'intégration PCB récentes ont permis de drastiquement réduire l'espace occupé par ces composants sur la carte. Ils sont donc des candidats intéressants pour l'isolation galvanique d'une carte gate-driver. De plus, il s'agit de la seule technologie capable de transmettre de la puissance. C'est donc l'isolation principalement utilisée pour l'alimentation des secondaires. Les capacités parasites associées sont souvent faibles et bien maîtrisées, surtout lorsqu'elles sont utilisées avec des écrans électrostatiques [6].

Différentes références de gate-drivers sont répertoriées dans le Tableau 5 avec leurs technologies d'isolation galvanique associées [2]. La majorité des gate-drivers industriels utilisent une isolation magnétique. Au vu des difficultés d'intégration des composants magnétiques, les tensions d'isolation associées à ces gate-drivers ne dépassent généralement pas la dizaine de kilovolts [7][8]. Ces gate-drivers tout intégré et « plug-and-play » ne peuvent donc pas être utilisés dans les applications très haute tension. Les tensions de fonctionnement peuvent être tellement élevées que l'usage de composants optoélectronique est rendu obligatoire [9]. Il y a alors au moins une fibre optique entre le contrôle/commande et chacun des gate-drivers du convertisseur.

Tableau 5. Différents modèles de gate-drivers industriels avec leurs isolations galvaniques

Marques	Références	Types d'isolation
SEMIKRON	SKHI22	Transformateur
INFINEON	2EDO20I12	Transformateur coreless
WOLFSPEED/CREE	PT62SCMD17	Transformateur
POWER INTEGRATION	2SCO650P	Transformateur
TEXAS INSTRUMENT	ISO5810	Capacitive
AGILESWITCH	EDEM3	Optocoupleur et transformateur

Pour l'alimentation des secondaires, il faudrait dimensionner autant de transformateurs que de transistors, sachant que le volume et le coût des transformateurs dépend directement des tensions de l'application. Ainsi, dans la majorité des cas, les secondaires sont autoalimentés, c'est-à-dire que l'énergie nécessaire à l'électronique de commande est directement ponctionnée sur le bus DC. Dans le cas des convertisseurs multiniveaux, l'énergie est alors souvent récoltée aux bornes du condensateur de sous-module, comme indiqué sur la Figure 26. Diverses méthodes ont été introduites à cet effet [10][11].

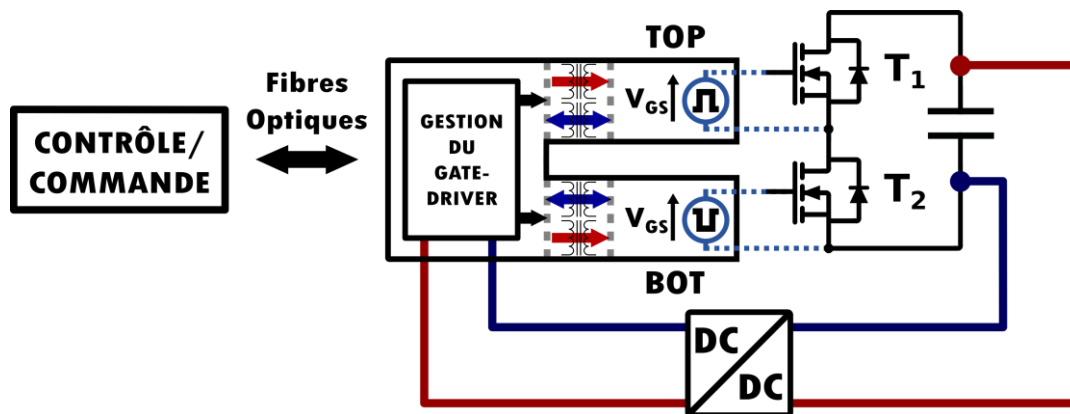


Figure 26. Electronique de commande rapproche autoalimentée

Un gate-driver est associé à un convertisseur DC/DC alimenté par le condensateur de la cellule de commutation. Le gate-driver étant relié au contrôle/commande par une liaison optique, sa référence de tension est « flottante ». Si le convertisseur DC/DC n'est pas isolé, la référence du primaire est reliée à la source du composant T2. Il s'agit de la même référence que le secondaire BOT. Les tensions présentes aux bornes des isolations galvaniques de la carte gate-driver sont relativement faibles dans cette configuration.

L'autoalimentation des gate-drivers peut poser des problèmes de fiabilité, puisque l'électronique de commande des transistors dépend de l'intégrité de fonctionnement du sous-module. En cas de défaut, si la tension aux bornes du condensateur chute, l'électronique de commande pourrait perdre son alimentation. D'autre part, ces alimentations doivent être capable d'alimenter les gate-drivers de sous-module lors du démarrage du convertisseur, durant lequel l'énergie stockée dans les condensateurs est plus faible qu'à régime nominal (typiquement, la tension au démarrage est deux fois plus faible que la tension nominale dans le cas du MMC [12]).

La partie suivante se concentre sur un type de gate-driver émergent intégrant des fonctions de gestion et de communication plus complexes que les gate-drivers usuels. Ils sont souvent dénommés « Intelligent Gate-Drivers » ou « Smart Gate-Drivers » dans la littérature.

1.III. Pilotes de grille intelligents : Smart Gate-drivers

1.III.a. Pilotage de grille actif

Ces dernières années, le sujet des Smart Gate-Drivers (SGD) a été étudié par plusieurs équipes de recherches. Ces gate-drivers sont en effet capables de réaliser des tâches complexes, comme par exemple la surveillance avancée de l'état des composants de puissance (« condition monitoring »), la détection d'erreurs avec diagnostics détaillés, ou encore le pilotage de grille actif.

Le principe du pilotage de grille actif (Active Gate Driving, AGD) repose sur la mise en forme de la tension de commande de grille des composants de puissance au moment de l'amorçage et du blocage. Cela permet par exemple de mieux contrôler les pertes en commutation, les courants de grille, ou le plateau de Miller. Ces méthodes ont déjà fait leurs preuves dans la littérature.

Dans [13], la tension d'amorçage du composant est modifiée afin d'augmenter de 8% la capacité en puissance d'un IGBT. Celle-ci est limitée par les commutations de composants de puissance, qui génèrent des surtensions aux bornes des transistors. En limitant ces surtensions, les auteurs parviennent à la fois à diminuer le stress électrique sur le composant, mais également son stress thermique, ce qui lui permet de fonctionner à des puissances plus élevées. Le schéma d'AGD proposé dans [14] permet la suppression des effets de diaphonie entre les transistors. Ces effets apparaissent lors des commutations rapides d'un composant générant d'importants dv/dt . Des courants perturbateurs peuvent circuler dans les capacités parasites d'un autre composant du pont, et déclencher des mises en conduction intempestives.

La méthode proposée dans [15] consiste à mesurer la tension aux bornes de l'inductance dite de "Bounding" du module pour connaître les di/dt au sein du composant. Il s'agit de l'inductance de connexion entre les puces des semi-conducteurs et les ports de sortie du module. Des réseaux de contre-réaction permettent de limiter les surintensités (overshoots) dues aux commutations, ainsi que de réduire les temps de commutations du composant. Des travaux similaires sont menés plus récemment dans [16]. La contre réaction est également basée sur une mesure de dv/dt . Il est montré qu'avec cette méthode, les pertes en commutation d'un IGBT de puissance sont réduites de 56 % à l'amorçage, et 31 % au blocage du composant.

Un profil de tension adaptatif est proposé dans [17] à partir de la mesure du courant émetteur et de la tension collecteur-émetteur du composant. Un FPGA est utilisé pour cette régulation. Les pertes en commutation peuvent être ajustées et asservies avec précision à l'aide de simples correcteurs PI. Un autre FPGA est intégré à la commande rapprochée des transistors dans [18]. Le FPGA peut générer une tension à 63 niveaux différents. La tension de grille est optimisée afin de limiter les overshoots de courant et les pertes en commutation. Le dispositif est utilisé sur un MOSFET SiC, et il est montré une réduction de 41% des overshoots pour 55% d'économie d'énergie en commutation. Pour un IGBT plus classique, les overshoots sont réduits de 44.5% et les pertes énergétiques en commutation sont réduites de 49%.

Les chiffres obtenus dans ces travaux sont très prometteurs. D'une part, la réduction des pertes en commutation permet d'augmenter les rendements des convertisseurs de puissance. Les dépenses énergétiques peuvent être réduites, ainsi que la taille des dissipateurs thermiques associés aux transistors de puissance. Il est également possible d'envisager d'augmenter les fréquences de commutation du convertisseur. D'autre part, la réduction du stress électrique sur les composants liés au contrôle de la tension de grille augmente leur longévité et leur fiabilité. La fiabilité des convertisseurs équipés de tels gate-drivers est donc notablement améliorée.

1.III.b. Surveillance de l'état des composants et communication avancée

La surveillance de l'état des composants de puissance (« condition monitoring » ou plus usuellement « monitoring ») consiste en la mesure de différents paramètres des composants de puissance afin de déterminer son état de vieillissement. Il est pour cela nécessaire de connaître des « précurseurs », qui sont des paramètres évoluant avec l'âge du composant, et dont la mesure indique une dégradation de ses performances. L'objectif est de pouvoir détecter le vieillissement ou un défaut d'un composant via l'observation de certains paramètres durant le fonctionnement du convertisseur (« online monitoring »).

De tels précurseurs sont étudiés dans [19], où il est montré que le courant de fuite de grille des transistor SiC est directement lié à l'usure de l'oxyde de grille du composant. Les auteurs de [20] proposent quant à eux de relier l'usure des grilles de MOSFET à la durée et à la tension à laquelle apparait le plateau de Miller (déplacement du plateau de Miller). Plusieurs composants sont artificiellement vieillis et testés afin de démontrer le lien entre les grandeurs proposées et le vieillissement du composant.

Dans [21] et [22], les auteurs proposent un circuit de détection capable de réagir rapidement en cas de défauts des composants via la mesure du plateau de Miller. Lorsqu'un composant est en court-circuit, l'effet Miller n'est quasiment plus détectable. Le smart gate-driver proposé dans [23] est capable d'estimer le courant de fuite de grille d'un composant SiC pendant son fonctionnement. La mesure est réalisée au secondaire, et peut être envoyée au primaire au travers des isolations galvaniques grâce aux fonctions de communication avancées de ce gate-driver, et les FPGA embarqués au primaire et aux secondaires. Le monitoring de la réponse thermique d'un IGBT en fonctionnement est réalisé dans [24]. L'impédance thermique du composant en fonction de la fréquence d'excitation semble être un précurseur satisfaisant. Le schéma d'évaluation du paramètre est relativement complexe mais permet d'efficacement estimer les pertes dans le composant, ainsi que sa température et son impédance.

Avec des modèles suffisamment fidèles et des méthodes de mesures suffisamment précises, il est possible de détecter un défaut ou un vieillissement d'un composant de puissance à l'aide de ce type de gate-driver. Cela est une perspective très intéressante pour l'électronique de puissance, notamment pour les convertisseurs multiniveaux, qui embarquent un très grand nombre de transistors. La détection de vieillissement permet d'effectuer des maintenances préventives, bien plus simples à planifier que des maintenances curatives, souvent synonymes de l'arrêt prématuré du convertisseur.

Le monitoring au plus proche du composant de puissance est une méthode efficace, mais la mesure réalisée au secondaire doit être remontée au primaire. Pour cette raison, certains smart gate-drivers possèdent des fonctions de communication avancées, ainsi que des composants de logique programmable comme des FPGA afin d'exécuter des tâches complexes (protocoles de communication avancés, etc). Le gate-driver présenté dans [23] est équipé de deux canaux de communication rapides et bidirectionnels entre ses primaires et ses secondaires. Le gate-driver proposé dans [25] est quant à lui capable d'échanger des données sur un bus CAN.

Dans [26], un prototype de smart gate-driver est proposé pour un MOSFET 10 kV et un IGBT 15kV. Il est équipé de protections rapides et d'AGD, ainsi que de fonctions de monitoring. De plus, il embarque des composants logiques de type CPLD. Cela permet des communications détaillées avec le contrôle/commande comme l'envoi de la valeur de la tension Drain-Source V_{DS} mesurée au secondaire. Toutes ces caractéristiques permettent d'envisager des communications entre les gate-drivers et d'autres composants, offrant des nouvelles possibilités de commande innovantes.

Pour résumer, les smart gate-drivers permettent l'augmentation de la fiabilité et du rendement du convertisseur, notamment grâce au monitoring et à certains schémas d'AGD. L'AGD permet de réduire les pertes dans les composants de puissance lors des commutations, tout en réduisant le stress thermique et électrique qu'ils subissent. Ces gate-drivers sont souvent équipés de fonctionnalités de protection avancées comme la détection de court-circuit très rapide ou l'annulation de la diaphonie. Le monitoring a déjà prouvé son efficacité. Il permet notamment de détecter des modules vieillissants afin de les remplacer avant qu'un accident n'advienne. Dans les convertisseurs à forte redondance comme le MMC, il est même possible d'isoler les sous-modules en défaut tout en assurant une continuité de service.

Les canaux de communication évolués intégrés à ces cartes permettent de détailler les erreurs et ainsi d'assurer des diagnostics de l'état des composants de puissance. Ils permettent également de communiquer avec d'autres systèmes. Ces travaux tirent parti de ces possibilités afin d'inclure les gate-drivers dans la commande des convertisseurs multiniveaux. La structure proposée dans la section suivante permet l'intégration de ces gate-drivers dans les structures multiniveaux, et ce indépendamment de la tension du bus DC.

2. Structure multiniveaux à Isolation Galvanique Distribuée

2.1. Structure de gate-drivers conventionnelle des convertisseurs cascades

La structure de commande rapprochée conventionnelle des sous-modules d'un convertisseur cascade est présentée sur la Figure 27. Dans la suite, les sous-modules sont numérotés dans l'ordre croissant de 1 à N comme sur la Figure 27. Le gate-driver 1 (DI) est définie comme étant le plus « proche » du point milieu d'une phase. Le gate-driver N (DN) donc est définie comme étant le plus « proche » du pôle DC ($DC+$ pour le bras u , $DC-$ pour le bras l). Chaque sous-module p (SMp) est alors associé à un gate-driver de numéro correspondant Dp .

Dans cette structure, tous les primaires des gate-drivers sont référencés à la « masse signal », c'est-à-dire à la référence de tension du contrôle/commande. Il s'agit généralement de la terre (via une liaison impédante ou non), représenté en noir sur la Figure 27. Les secondaires des gate-drivers sont référencés

aux sources des transistors qu'ils commandent, représentés par les références colorées sur la Figure 27. Les masses « 0VT » et « 0VB » sont associés aux secondaires TOP et BOT respectivement. Les masses de mêmes couleurs sont au même potentiel (statiques). Par exemple le 0VT de $D1$ est au même potentiel que le 0VB de $D2$. Plus généralement, les connexions entre les sous-modules imposent que la référence 0VT d'un gate-driver D_p soit la même que la référence 0VB du gate-driver suivant $D(p+1)$.

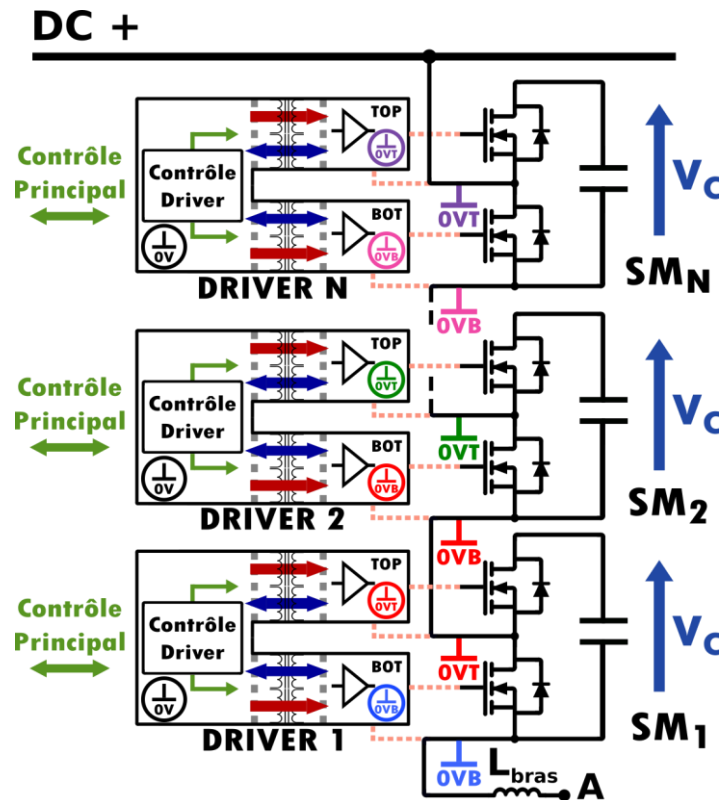


Figure 27. Structure gate-driver conventionnelle d'un bras de MMC

Comme évoqué dans la section précédente, la barrière d'isolation galvanique des gate-drivers doit pouvoir supporter la tension maximale qui peut apparaître entre le primaire et les secondaires. Côté puissance (secondaire), il existe toujours au moins une configuration dans laquelle les sources des transistors sont connectées à un pôle du bus DC (voir Figure 29 (a)). Ainsi, si le point milieu du bus DC du convertisseur est référencé par rapport à la terre, la tension maximale qui peut apparaître entre le secondaire et le primaire d'un gate-driver est $U_{DC}/2$ (détails dans la section suivante). Toutes les isolations galvaniques des gate-drivers doivent donc être dimensionnées pour supporter des tensions pouvant dépasser la centaine de kilovolts. En pratique, pour ce type d'installation, les gate-drivers sont donc autoalimentés et isolés du contrôle/commande par des liaisons optiques, comme sur la Figure 26.

Cette analyse démontre que la modularité du convertisseur est limitée. La montée en tension du bus DC impose une augmentation des tensions présentes aux bornes des différentes isolations des gate-drivers. Les gate-drivers des convertisseurs haute tension sont donc tous autoalimentés et utilisent des liaisons optiques pour dialoguer avec le contrôle/commande. Ainsi, le nombre de liaisons entre le convertisseur et les organes de commande augmente avec le nombre de sous-modules par bras, particulièrement pour les MMC triphasés. La partie hardware en charge de la commande du convertisseur devra gérer un nombre croissant d'entrées/sorties.

Par conséquent, les structures de gate-drivers conventionnelles limitent le développement des convertisseurs multiniveaux. Une structure gate-driver innovante est proposée dans ces travaux. Elle supprime les problèmes soulevés par la structure traditionnelle.

2.II. Structure gate-driver à Isolation Galvanique Répartie

2.II.a. Présentation générale

L'approche proposée dite à « Isolation Galvanique Répartie » (IGR) est présentée sur la Figure 28. Seul le bras *up* est présenté, la structure du bras *low* étant symétrique.

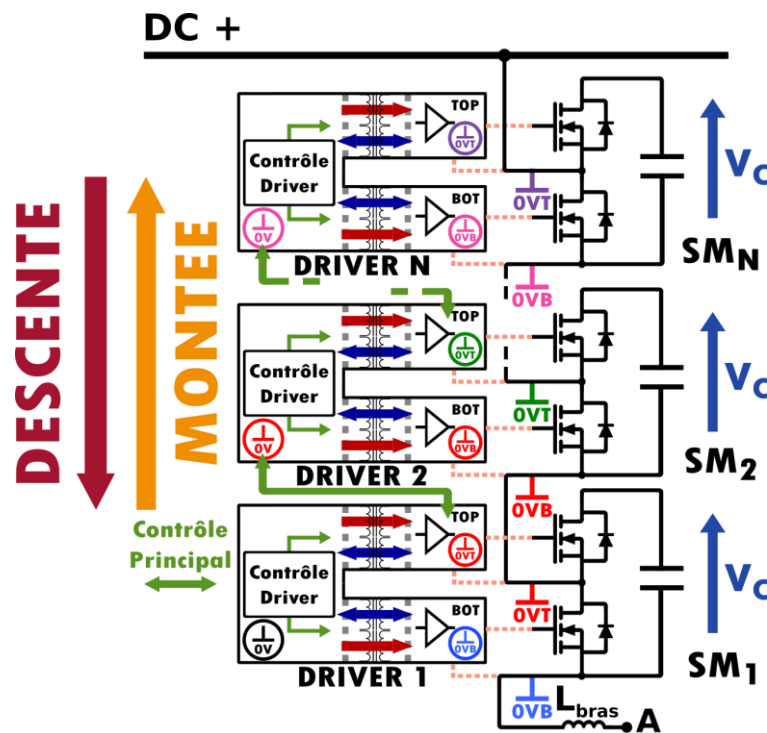


Figure 28. Structure gate-driver à Isolation Galvanique Répartie d'un bras de MMC

L'idée est de s'appuyer sur la structure MMC classique dans laquelle le point milieu d'un sous-module est relié électriquement au point bas du sous-module suivant. Autrement dit, la source du transistor TOP d'un sous-module p est connectée à la source du transistor BOT du module $p+1$.

Ainsi, en reliant uniquement le gate-driver DI avec le contrôle/commande, et en propageant cette commande d'un gate-driver à l'autre, il devient possible d'étager la barrière d'isolation entre les différents sous-modules. Les gate-drivers sont mis en cascades. La communication « inter-drivers » s'effectue alors entre le TOP du gate-driver p et le primaire du gate-driver $p+1$.

Les tensions V_{iso} aux bornes des isolations des gate-drivers sont représentées sur la Figure 29 (a) dans le cas d'une structure conventionnelle, et avec DGI sur la Figure 29 (b). Un seul sous-module est étudié, les autres étant représentés par des interrupteurs.

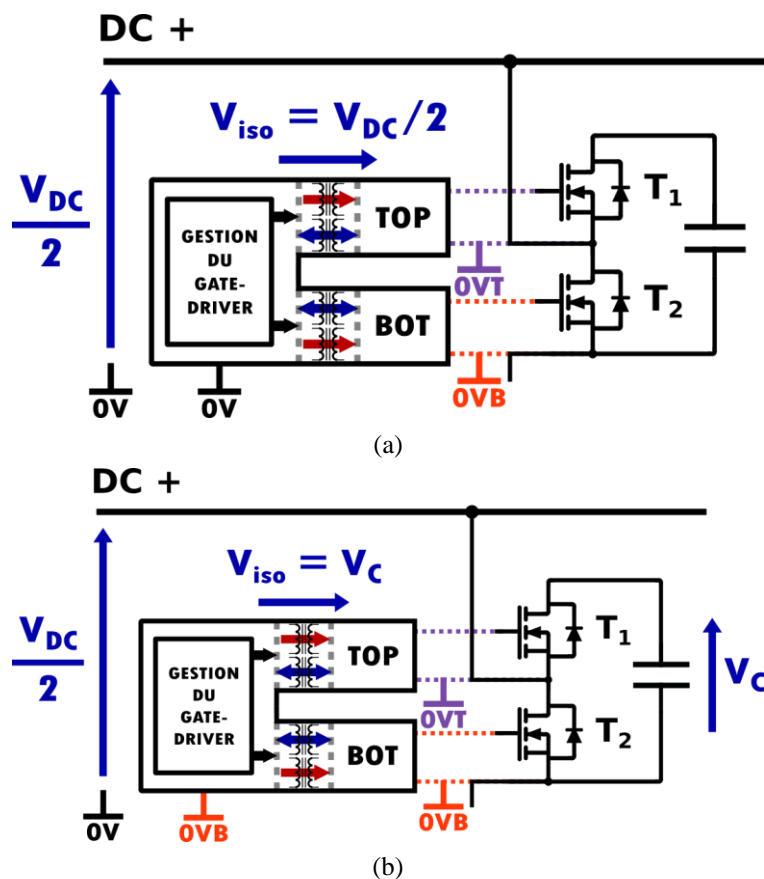


Figure 29. Tension présente aux bornes de l'isolation galvanique d'un gate-driver avec la structure conventionnelle (a) et la DGI (b)

Deux propriétés importantes des gate-drivers de la chaîne (excepté *DI*) peuvent être observées :

- Premièrement, les primaires des gate-drivers partagent la même référence de tension que leurs secondaires BOT. La tension statique V_{iso} qui existe aux bornes de l'isolation galvanique est alors nulle.
- Deuxièmement, la tension présente aux bornes de l'isolation galvanique nécessaire entre les primaires et les secondaires TOP des gate-drivers vaut V_{SM} , la tension de sortie du sous-module. Cette tension a pour valeur maximale $V_{iso} = V_C = V_{DC}/N$.

2.II.b. Avantages de la structure IGR

La solution proposée permet de répartir l'effort d'isolation sur tous les gate-drivers d'un même bras. La tension d'isolation est alors divisée par $N/2$ par rapport à la structure gate-driver classique. Cette tension est fixée à V_C et est donc indépendante du nombre de sous-modules du convertisseur. Avec cette structure, il n'y a pas de limitations liées aux barrières d'isolation lors de l'augmentation de N . Ainsi, l'intégration de smart-gate-drivers dans les bras de convertisseurs est rendue possible puisque les isolations galvaniques des gate-drivers sont souvent dimensionnées en fonction du calibre de tension du composant de puissance associés.

Les fonctionnalités avancées (surveillance des composants, diagnostics avancés, AGD, mécanismes de détection et de protection en cas de défauts, etc...) de ces cartes permettent en effet de fortement augmenter la fiabilité du convertisseur. C'est un point très important dans les convertisseurs multiniveaux, qui comptent parfois plusieurs milliers de transistors (cas des convertisseurs MMC triphasés à plusieurs centaines de sous-modules par bras).

Un autre avantage de la structure proposée est le nombre réduit de liaisons nécessaires entre les bras de convertisseur et le contrôle/commande. Il n'y a en effet plus qu'un seul gate-driver relié aux organes de commande. Soit N_{liaison} le nombre de liaisons nécessaires entre un gate-driver et le contrôle/commande. Les nombres N_{tot} et $N_{\text{tot_IGR}}$ sont le nombre de liaisons total nécessaire entre un MMC triphasé et le contrôle/commande dans le cas de la structure classique et de la structure IGR respectivement. Leurs valeurs sont calculées dans (2.1) et (2.2).

$$N_{\text{tot}} = 6 N \times N_{\text{liaison}} \quad (2.1)$$

$$N_{\text{tot_IGR}} = 6 N_{\text{liaison}} \quad (2.2)$$

Le nombre de liaison est réduit par un facteur N d'une structure à l'autre. Cela offre deux avantages majeurs. D'une part, le coût et le volume du convertisseur sont réduits suite à la réduction du nombre de câbles. D'autre part, le coût hardware et software nécessaire à la gestion des entrées/sorties des organes de commande est également largement réduit. De plus, l'ajout de sous-modules dans les bras du convertisseur ne nécessite pas de liaisons supplémentaires.

Un autre point intéressant dû au chaînage des gate-drivers est l'immunité accrue aux bruits de mode commun. Les courants de mode commun circulant dans un gate-driver sont majoritairement causés par des couplages capacitifs (souvent parasites) offrant un chemin à des courants parasites vers la terre. Ces courants s'écoulent généralement via une autre capacité parasite existant entre les connexions de puissance (sources des transistors, soumises à des dv/dt importants) et des éléments connectés à la terre (typiquement les radiateurs associés aux modules de puissance) [27].

Le levier principal pour les réduire consiste à limiter les couplages à la terre, c'est-à-dire augmenter les impédances des modes-communs [28]. Or, la structure IGR permet une mise en série naturelle des barrières d'isolation galvaniques, ce qui divise la valeur de la capacité parasite équivalente à la terre. Un seul gate-driver est référencé à la terre, ce qui offre un chemin fortement impédant pour le courant de mode commun, via les N capacités parasites en série.

Les chemins empruntés par les courants de mode commun dans des structures gate-drivers cascades ont déjà été étudiés par Nguyen et al. [29][30]. La structure IGR diffère de celle proposée dans ces travaux. Les travaux de l'équipe de Nguyen proposent de cascader les alimentations des gate-drivers. Cela a un effet positif vis-à-vis de la CEM, mais ne diminue pas les tensions d'isolations. Le MMC-IGR est bien plus modulaire, moins cher et moins volumineux que son homologue classique, tout en étant équipé de cartes gate-drivers de dernière génération afin d'en améliorer la fiabilité.

2.II.c. Limites de la structure IGR et propositions d'améliorations

La problématique principale posée par le MMC-IGR est sa liaison de communication de type série. Avec une structure classique, il est possible d'adresser directement chacun des gate-drivers du bras. Dans le cas de la structure à IGR, la mise en cascade des gate-drivers implique que les ordres de commande doivent traverser $p-1$ isolations galvaniques pour atteindre un gate-driver p . Ces canaux de transmission doivent donc posséder des bandes passantes élevées pour éviter des délais trop importants. Cela est généralement difficile à obtenir, particulièrement avec des isolations magnétiques [31].

Une approximation simple du temps nécessaire à la traversée d'une information au travers de la chaîne peut être faite. Le temps entre l'émission d'un bit par un gate-driver et la réception de celui-ci par le gate-driver suivant, noté t_{propag} , est typiquement de l'ordre de la centaine de nanosecondes. Pour un convertisseur possédant 100 sous-modules, le temps de propagation d'un seul bit le long de la chaîne (de DI à DN) vaut alors $10 \mu\text{s}$.

De tels délais de transmission doivent impérativement être pris en compte lors du dimensionnement du convertisseur. Le choix des technologies de communication est primordial afin de limiter le délai induit par la traversée des barrières d'isolations. De plus, les processus impliquant des échanges d'informations entre les gate-drivers doivent être ingénieusement conçus ; de manière à limiter le nombre de bits qui traverse la chaîne. C'est la raison pour laquelle un algorithme de communication spécifique et adapté à cette configuration doit être développé.

Une autre problématique de la structure IGR telle que proposée sur la Figure 28 concerne la fiabilité de la chaîne de communication et son manque de redondance matérielle. Chaque membre de la chaîne est en effet indispensable à la communication et en cas de défaut d'un gate-driver, ou de son alimentation, cette communication peut être interrompue. La mise en place d'un mécanisme permettant de « court-circuiter » (bypass) un gate-driver inactif permet de palier ce type de problème. Il peut prendre la forme d'une fibre optique permettant de lier directement le TOP d'un gate-driver p au primaire d'un gate-driver $p+2$. En temps normal, un sous-module en défaut peut être court-circuité [32]. Ainsi, la tension d'isolation nécessaire aux bornes de cette fibre optique est toujours égale à V_C .

Mais l'IGR peut être également généralisée et étendue afin d'augmenter la redondance et donc la fiabilité globale du système. Par exemple, deux propositions sont faites dans cet objectif. Les structures proposées nécessitent que le gate-driver $D2$ soit également relié à la masse signal (ou communiquent à l'aide de liaisons optiques avec le contrôle/commande). La redondance matérielle est basée sur le fait que le secondaire TOP d'un gate-driver Dp possède la même référence de tension que le secondaire BOT du gate-driver suivant $D(p+1)$. Ces deux secondaires peuvent donc théoriquement communiquer sans isolations.

La structure IGR-Redondante (IG2R) est présentée sur la Figure 30 (a). La chaîne est réalisée par plusieurs gate-drivers imbriqués. Le primaire d'un gate-driver Dp est accessible au travers des deux secondaires des gate-drivers $D(p-1)$ (secondaire BOT) et $D(p-2)$ (secondaire TOP). Ainsi, si un gate-driver de la chaîne se trouve en défaut, l'intégrité de la chaîne n'est pas menacée. Seule la casse de deux gate-drivers consécutifs de la chaîne peut causer des problèmes de communication.

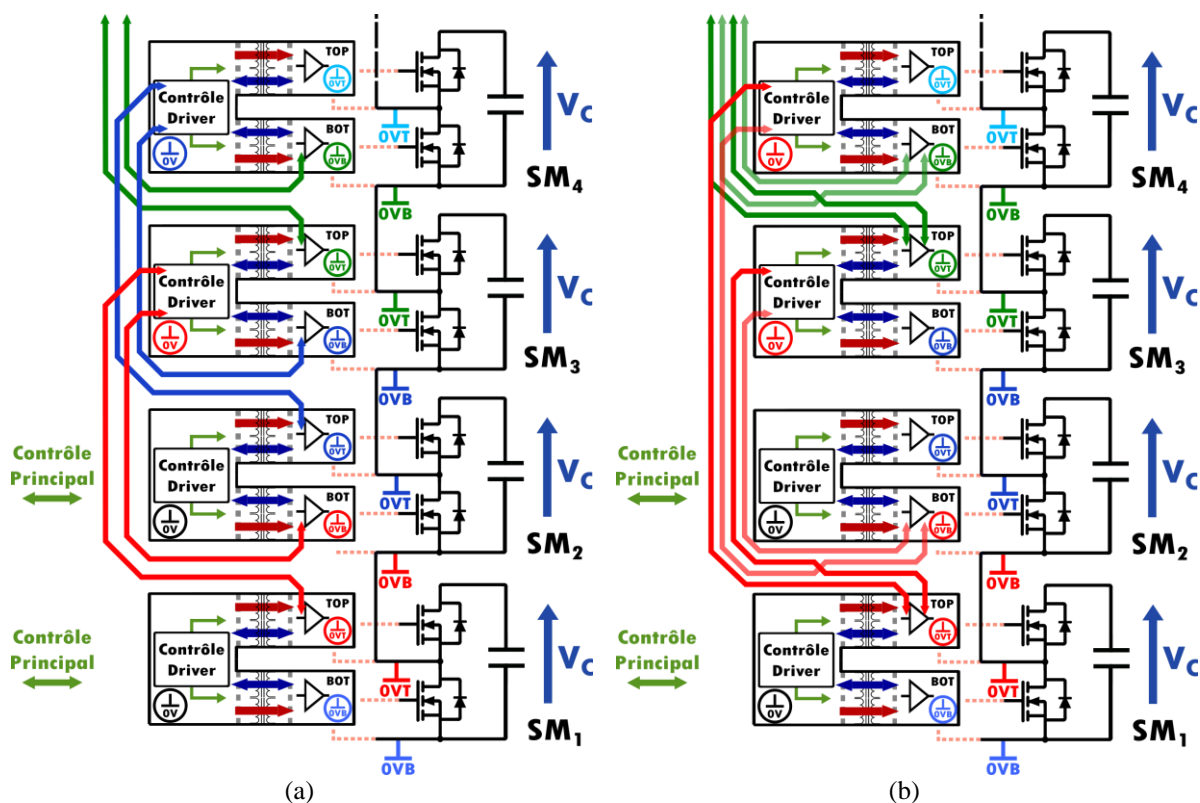


Figure 30. Structure de gate-driver IGR-Redondante (a), structure de gate-driver IGR-Fast (b)

Cette structure possède l'inconvénient de « décaler » les niveaux des références aux primaires des gate-drivers. Contrairement à IGR, le primaire d'un gate-driver D_p est référencé au secondaire BOT du gate-driver $D(p-1)$. Il apparaît alors une tension égale à V_c entre les primaires et les secondaires BOT des gate-drivers. La tension entre les primaires et les secondaires TOP devient quant à elle égale à $2V_c$. La redondance de la chaîne est donc assurée au prix d'une augmentation de la tension d'isolation des gate-drivers. Ces niveaux de tensions restent très raisonnables comparativement aux tensions d'isolation de la structure gate-driver classique.

La structure IGR-Fast (IGRF) est présentée sur la Figure 30 (b). Chaque gate-driver émet deux signaux identiques depuis l'un de ses secondaires TOP ou BOT. Ces signaux sont envoyés aux primaires de deux gate-drivers qui partagent la même référence de tension. Ainsi, chaque gate-driver communique toujours avec deux autres gate-drivers. Certains gate-drivers consécutifs deux à deux peuvent être en défaut sans briser la chaîne. Par exemple, si un défaut apparaît sur D_2 et D_3 , la chaîne n'est pas interrompue. En revanche, D_3 et D_4 ne peuvent être en défaut simultanément sans briser la chaîne de communication.

L'avantage principal de l'IGRF est sa communication parallèle entre deux gate-drivers. Cela permet de diviser par deux le temps nécessaire pour faire transiter de l'information le long de la chaîne. En revanche, la tension d'isolation entre le primaire et le secondaire TOP de la moitié des gate-drivers de la chaîne est égale à $3V_c$. La structure IGRF peut être généralisée, en augmentant le nombre de gate-drivers accessibles par deux secondaires. Cela augmente la vitesse de propagation des informations au sein de la chaîne. En contrepartie, les tensions d'isolations dans les gate-drivers augmentent par multiple de V_c .

Cette section a permis d'introduire la structure de gate-driver innovante, baptisée Isolation Galvanique Répartie. Ses avantages importants et les perspectives qu'elle permet d'ouvrir pour les convertisseurs de forte puissance ont été détaillés. Ses limites ont également été mises en lumière, et plusieurs solutions ont été proposées. Les structures redondantes de type IG2R et IGRF sont des candidates intéressantes pour pallier les problèmes de fiabilité et de redondance de IGR.

Ces travaux ont étudié la structure IGR, mais les lois de commande qui seront introduites sont parfaitement généralisables à l'IG2R et l'IGRF. La suite de ce chapitre est dédiée au cœur de ces travaux, puisqu'elle traite de la mise en place de lois de commandes d'un convertisseur MMC directement exécutées par les gate-drivers de la chaîne, sans nécessiter d'hardware externe. Un algorithme d'équilibrage des tensions aux bornes des condensateurs de sous-modules est proposé. Il tire parti des liaisons de communication bidirectionnelles entre les gate-drivers de la chaîne IGR.

3. Algorithme d'Équilibrage des Tensions intégré à la chaîne de gate-drivers

3.1. Chaîne de commande MMC-IGR

Ces travaux proposent une structure gate-driver permettant d'intégrer des smart gate-drivers dans les structures MMC. Elle impose en contrepartie une structure de communication de type série (daisy-chain) entre ces gate-drivers. La structure de contrôle du MMC-IGR est donc différente d'une structure classique décentralisée. Il n'y a pas de superviseurs esclaves puisqu'un seul gate-driver possède la possibilité de dialoguer avec le contrôle/commande. Ce sont les gate-drivers eux-mêmes qui forment une chaîne de superviseurs proches des sous-modules.

Un schéma de la chaîne de commande du MMC-IGR est proposé sur la Figure 31. Il possède des similarités avec les schémas de contrôle centralisés, dans lequel l'organe de gestion de l'algorithme d'équilibrage des tensions a été supprimé, puisque la consigne d'un bras est directement envoyée au travers du gate-driver *DI*. Il s'agit d'une hybridation des contrôles centralisé et décentralisé puisque l'exécution de l'AET est décentralisé sur les gate-drivers qui communiquent sous la forme d'une chaîne.

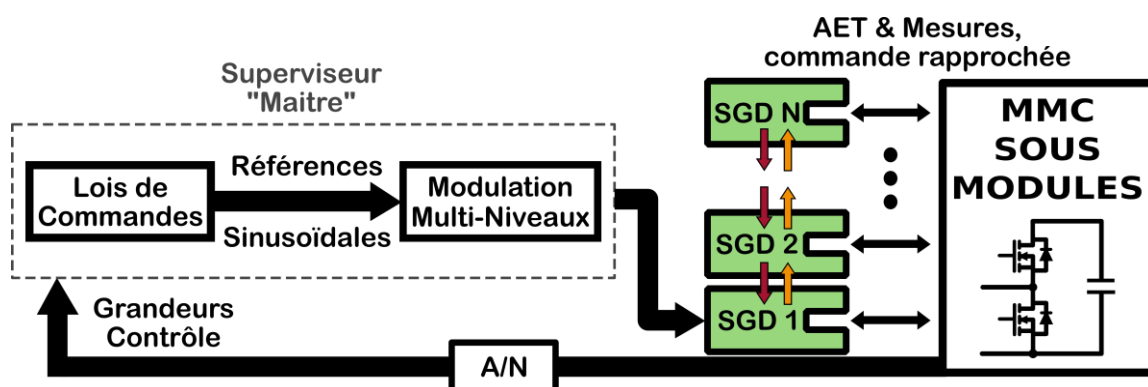


Figure 31. Structure de contrôle MMC-IGR et AET intégré

L'AET intégré proposé dans ces travaux est structurellement équivalent à l'algorithme RSF déjà décrit dans la partie précédente. Il est exécuté au primaire par des composants programmables rapides à chaque changement de N_{ON} , c'est à dire un changement d'indice d'insertion. Typiquement, le gate-driver proposé dans [33] est équipé aux secondaires et au primaire de composants FPGA. Ce genre de gate-driver est parfaitement adapté à l'implémentation de l'algorithme.

La mesure locale de la tension V_C aux bornes du condensateur de sous-module par chaque gate-driver est nécessaire. La mesure du signe du courant de bras $I_{i,j}$ par les gate-drivers, comme l'est proposé par exemple dans [34], n'est pas indispensable à l'exécution de l'algorithme mais permet de réduire le temps d'exécution de l'algorithme.

Les canaux de communication inter-drivers doivent être bidirectionnels, et pouvoir être utilisés dans les deux directions simultanément (full-duplex). Les messages envoyés d'un gate-driver D_p vers un gate-driver D_{p+1} sont dits « montants ». Ils sont représentés par la couleur orange (Figure 28 et Figure 31). De la même façon, les messages envoyés d'un gate-driver D_p vers un gate-driver D_{p-1} sont dits « descendants ». Ils sont représentés par la couleur bordeaux. Les messages sont « propagés » le long de la chaîne d'un gate-driver à l'autre.

Chaque exécution de l'algorithme aboutit à une unique commutation. La procédure permet de déterminer le module dont la tension est la plus élevée ou la plus faible suivant les conditions de sélection de l'algorithme RSF. Elle est exécutée et répétée de manière consécutive tant que $\Delta N_{ON} \neq 0$. La structure détaillée d'une phase d'un convertisseur MMC-IGR avec algorithme d'équilibrage intégré aux gate-drivers est illustrée sur la Figure 32. Le bras *low* du convertisseur est symétrique par rapport au bras *up*, l'information est cascadée via les secondaires BOT vers les primaires des gate-drivers suivants.

3.II. Présentation de l'algorithme via une étude de cas

Le principe de l'algorithme est basé sur des comparaisons de tensions aux bornes des condensateurs en simultané. L'objectif est de sélectionner le gate-driver ayant la priorité la plus élevée pour commuter. D'après l'algorithme RSF, cette priorité dépend de la tension de la capacité V_C , de l'état du sous-module (inséré, retiré), ainsi que des signes de ΔN_{ON} et du courant de bras $I_{i,j}$. La priorité à commuter d'un gate-driver D_p est associée à la durée t_{prio_p} d'un compteur interne (« compteur de priorité »). Les calculs de la valeur maximale du compteur M_{prio_p} ainsi que de sa durée t_{prio_p} seront détaillés plus loin dans ce chapitre. Plus la durée du compteur est élevée, plus la priorité à commuter du gate-driver est élevée. La valeur de M_{prio_p} est recalculée localement par chaque gate-driver au début de chaque procédure.

Les compteurs de priorité des gate-drivers sont comparés simultanément. Lorsque des gate-drivers terminent de compter avant les autres, ils entrent en sommeil (« sleep mode »). Le dernier gate-driver qui n'est pas en sommeil commutera à la fin de la procédure. Un système de jeton (« token ») est utilisé. Il est unique, et est échangé entre les gate-drivers au cours de la procédure. La perte du jeton entraîne la mise en sommeil. Un gate-driver en sommeil propage les messages montants et descendants vers les gate-drivers voisins, mais n'interagit plus avec la procédure (il ne compte plus, et ne peut plus porter le jeton). Le dernier porteur de jeton est donc le gate-driver ayant la priorité la plus élevée.

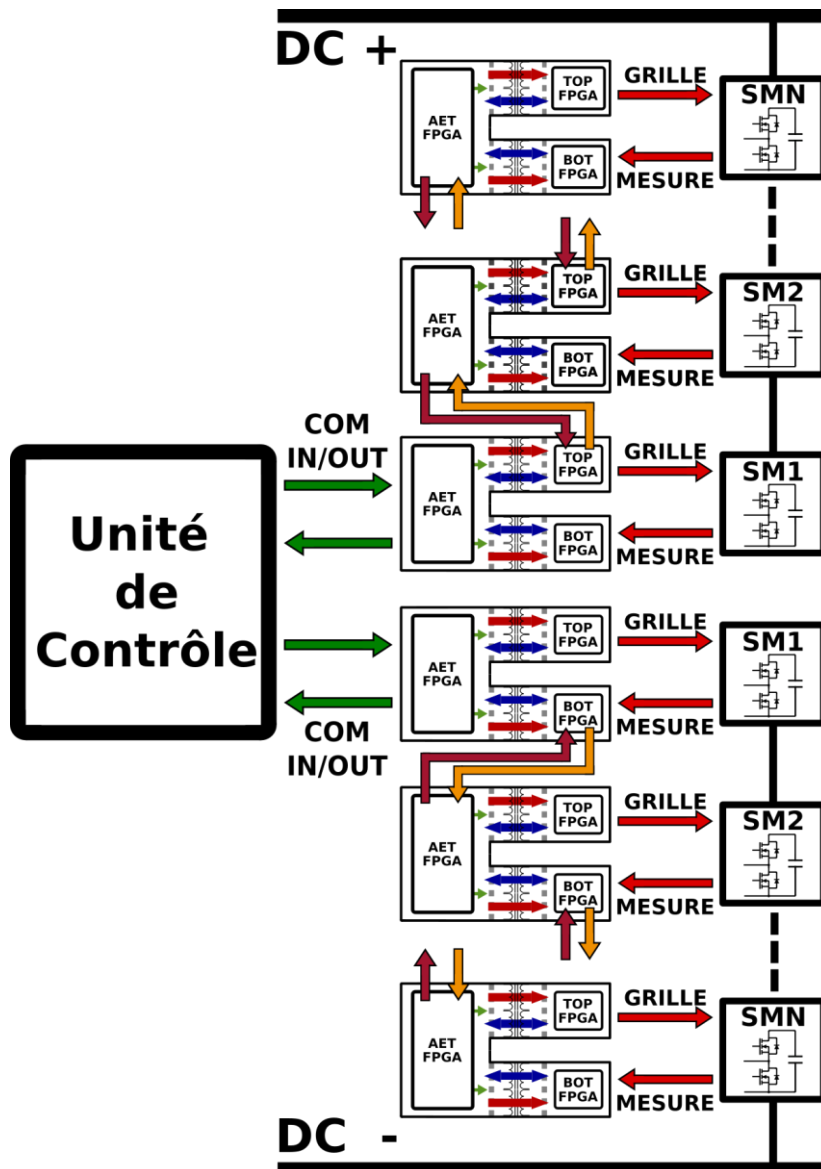


Figure 32. Structure gate-driver complète d'une phase d'un MMC-IGR avec algorithme d'équilibrage intégré

Un autre compteur interne (« compteur de synchronisation ») permet de fixer la durée d'exécution de l'algorithme. La valeur maximale atteinte par le compteur de synchronisation d'un gate-driver D_p est M_{syncho_p} et sa durée est t_{syncho_p} . Il est implémenté « en dur » dans les gate-drivers, puisque ces valeurs ne sont jamais recalculées. Les détails de calculs seront donnés dans la section suivante. Ce compteur permet de synchroniser les gate-drivers sans nécessiter de trames de synchronisation. À la fin de ce compteur, tous les gate-drivers en sommeil reprennent leur état initial, sans commuter. Le porteur de jeton commute avant de perdre le jeton.

Aucun protocole spécifique de communication n'est mis en œuvre pour la communication inter-drivers. Mis à part lors de l'initialisation (début de la procédure), aucun échange d'information complexe n'est envoyé d'un gate-driver à l'autre. Seuls des bits simples sont échangés en bande de base. Comme déjà montré dans la section précédente, le nombre de bits composant les trames qui transite le long de la chaîne doit être faible afin de réduire les temps nécessaires à leur propagation. L'AET intégré proposé dans ces travaux minimise les communications inter-drivers. Les informations nécessaires à son exécution sont peu nombreuses, et accessibles localement pour la plupart.

Un exemple d'exécution de l'algorithme est donné afin d'illustrer son fonctionnement. Il peut être divisé en 3 étapes distinctes. La configuration des gate-drivers et les différents échanges inter-drivers à chaque étape sont illustrés sur la Figure 33. Les chronogrammes correspondants sont donnés sur la Figure 34.

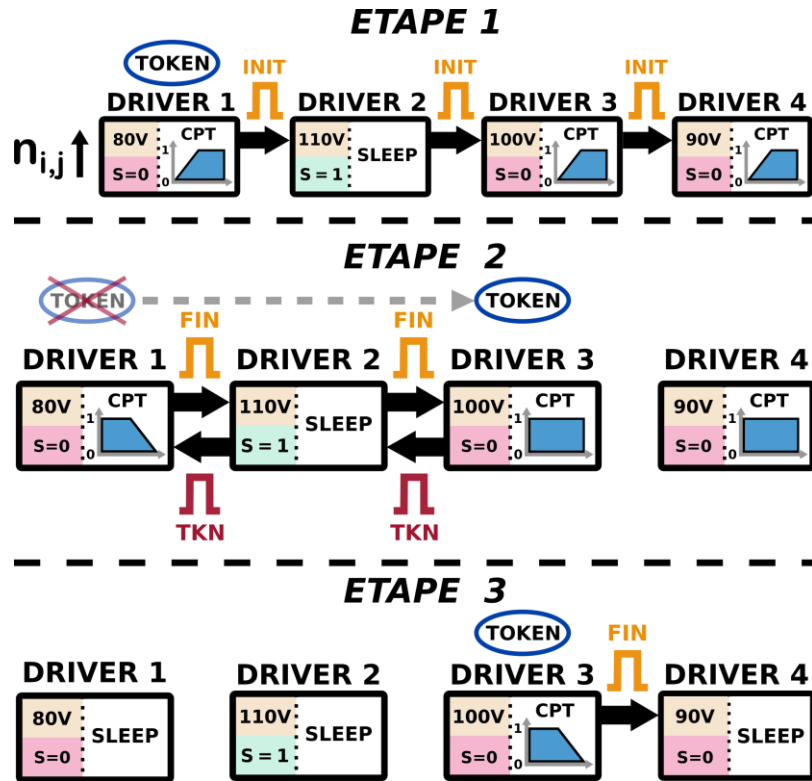


Figure 33. Etapes de fonctionnement de l'AET

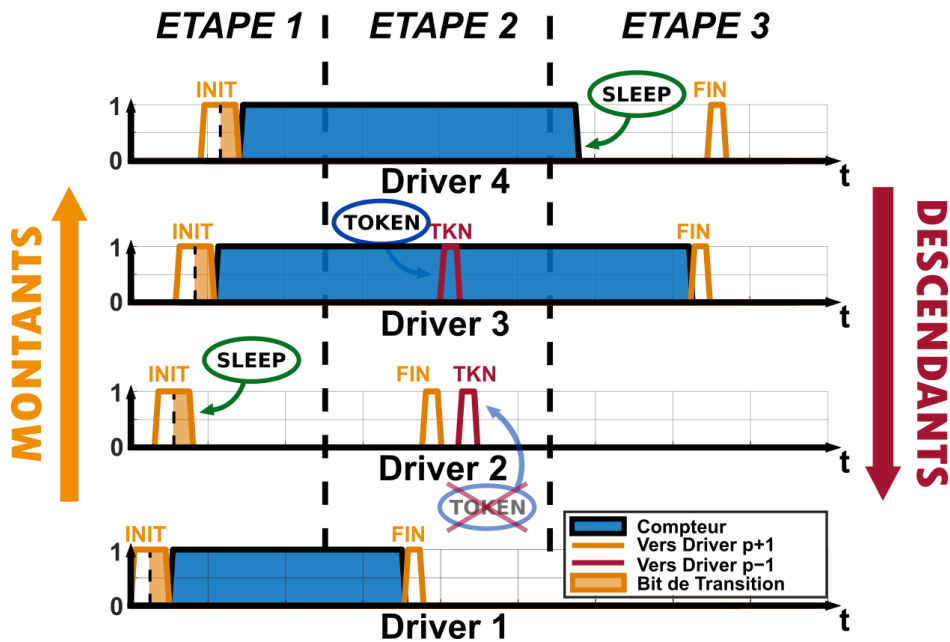


Figure 34. Chronogrammes correspondants à l'exemple de fonctionnement

L'état d'un sous-module est donné par la variable S d'après la relation (2.3). Les trames montantes sont en orange et les trames descendantes en bordeaux. Les compteurs sont symbolisés par la valeur du booléen CPT (1 si le gate-driver compte, 0 sinon). Les durées d'envoi de bits sont égales à t_{propag} .

$$\begin{aligned} S &= 1 && \text{Si le sous-module est inséré} \\ S &= 0 && \text{Sinon} \end{aligned} \quad (2.3)$$

Le nombre de gate-drivers dans la chaîne est $N = 4$. Les informations locales à chaque gate-driver nécessaires à l'exécution de RSF sont données par le Tableau 6, à savoir l'état du module (ON/OFF), et la tension V_c correspondante. Dans cet exemple, une requête d'insertion ($\Delta N_{ON} = 1$) est réalisée et le courant de bras $I_{i,j}$, mesuré localement par chaque gate-driver, est de signe négatif. Conformément à l'algorithme RSF, la procédure doit sélectionner le sous-module avec la tension V_c la plus élevée parmi les sous-modules non insérés, soit SM_3 dans cet exemple.

Tableau 6. Informations localement connues relatives aux gate-drivers et aux sous-modules correspondants

	Tension V_c	Etat
Driver 1	80 V	OFF
Driver 2	110 V	ON
Driver 3	100 V	OFF
Driver 4	90 V	OFF

La première étape est l'étape d'initialisation. Après la détection d'un changement de l'indice d'insertion, une trame d'initialisation est envoyée par $D1$ le long de la chaîne. Cette trame doit contenir les informations nécessaires à la procédure, c'est-à-dire le signe de ΔN_{ON} , noté $\text{sign}(\Delta N_{ON})$, où $\text{sign}(X)$ est définie ici comme égale à '1' si $X \geq 0$, et '0' sinon.

Dans le chronogramme donné Figure 34, la trame proposée est constituée de deux bits, dit d'initialisation et de transition. Le premier est fixé à '1', afin de signifier le début de la procédure, et le second vaut $\text{sign}(\Delta N_{ON})$, c'est-à-dire '1' si $\Delta N_{ON} > 0$, comme dans l'exemple proposé, et '0' sinon. Si le signe du courant de bras n'est pas mesurable localement par les gate-drivers, il devra être contenu dans la trame d'initialisation.

La trame d'initialisation est propagée le long de la chaîne de gate-drivers. Les gate-drivers propagent directement la trame d'initialisation aussitôt qu'ils la reçoivent. Ainsi, dans cet exemple, le délai de propagation de la trame d'initialisation est égal au délai de propagation d'un bit entre deux gate-drivers t_{propag} . L'étape d'initialisation permet aux gate-drivers de déterminer la valeur de M_{prio} , et chaque gate-driver initialise ses deux compteurs internes. Le sous-module SM_2 étant déjà inséré, le gate-driver $D2$ correspondant entre en sommeil après l'initialisation. Le jeton est porté par $D1$ par défaut au début de chaque nouvelle procédure.

La seconde étape décrit l'échange du jeton entre deux gate-drivers. Lorsque le compteur de priorité de $D1$ atteint sa valeur finale M_{prio_1} , qui, pour rappel, est à l'image de sa tension V_c , il émet un bit montant dit « bit de fin » (FIN) le long de la chaîne. Il est propagé vers $D2$, qui le propage à son tour vers $D3$ puisqu'il est en état de sommeil.

Le compteur de priorité de $D3$ n'a pas atteint sa valeur finale lors de la réception du bit de fin, car sa tension de bus V_c est supérieure. $D3$ récupère alors le jeton, et envoie un bit descendant dit « token bit » (TKN). Après sa réception, $D1$ perd le jeton, et entre en sommeil.

À la fin de l'échange de jeton, un nouveau porteur est désigné, et tous les gate-drivers qui le précèdent dans la chaîne sont en sommeil. Cette étape d'échange de jeton peut être répétée plusieurs fois

durant la procédure de sélection. Le jeton ne peut que monter le long de la chaîne. Le dernier porteur sera celui dont la valeur maximale du compteur de priorité est la plus élevée, ici *D3* puisque sa tension est la plus élevée parmi les sous-modules non insérés.

La dernière étape correspond à l'émission du bit de fin par le gate-driver 3. Le compteur de priorité de *D4* a atteint sa valeur finale avant celui de *D3*, puisque sa tension est plus faible (Figure 34). Dans ce cas de figure, *D4* n'émettra pas de bit de FIN, et entrera en sommeil lorsque son compteur atteindra sa valeur maximale. En effet, seul le porteur de jeton peut émettre un bit de fin le long de la chaîne.

Une bonne analogie consiste à visualiser la chaîne de gate-drivers comme un système « Maître-Esclave ». Le porteur de jeton est le maître et tous les autres gate-drivers sont les esclaves. Chaque gate-driver incrémente son compteur de priorité. Lorsque ce compteur atteint sa valeur maximale, le gate-driver maître émet un bit de FIN montant alors que les gate-drivers esclaves entrent en sommeil. Lorsqu'un esclave reçoit un bit de FIN alors qu'il n'est pas en état de sommeil (son compteur de priorité n'a pas atteint sa valeur maximale), il devient le nouveau maître (il récupère le jeton) et envoie un bit TKN descendant à destination du maître précédent afin qu'il entre en état de sommeil.

Le gate-driver *D3* émet un bit de fin lorsque son compteur de priorité atteint sa valeur maximale. Il ne reçoit pas de réponse puisqu'il est le dernier gate-driver actif. *D3* conserve son jeton. La procédure prend fin lorsque les compteurs synchrones atteignent leurs valeurs maximales t_{synchro_p} . L'état des gate-drivers est inchangé, sauf celui du porteur de jeton qui génère une commutation du sous-module dont il est en charge. La chaîne de gate-drivers entre en attente de la prochaine requête de commutation.

L'algorithme proposé repose ainsi sur trois phases de fonctionnement simples. Une phase d'initialisation est suivie par une ou plusieurs phases d'échange du jeton entre les gate-drivers. Le dernier porteur de jeton émet le long de la chaîne sans obtenir de réponse. Enfin, la procédure se termine lorsque les compteurs de synchronisation atteignent leur valeur maximale. La grande simplicité de cet algorithme est un atout majeur. Chaque gate-driver exécute localement la même procédure simple, qui ne dépend pas du nombre de membres de la chaîne.

En effet, comme montré dans l'exemple illustré sur la Figure 34, *D4* propage les trames montantes lorsqu'il est en sommeil, bien qu'il n'y ait que 4 gate-drivers dans la chaîne. Il exécute exactement le même code que les autres gate-drivers (excepté *D1* dont le code est légèrement modifié pour communiquer avec le contrôle/commande). Il s'agit d'une implémentation modulaire décentralisée de l'algorithme d'équilibrage des tensions aux bornes des condensateurs d'un bras de MMC dont le nombre de sous-modules peut varier.

Toutes les tensions sont comparées en même temps via les compteurs de priorité. Il n'y a pas d'informations complexes échangées entre les gate-drivers, uniquement des trames contenant un seul bit, ce qui réduit le temps d'exécution de l'algorithme. L'accès aux canaux de communication est réservé au porteur de jeton (système Maître-Esclave), supprimant tout risque de pertes d'information, et assurant la stabilité du processus. Enfin, les problèmes de synchronisation liés aux différents délais de propagation au travers d'éventuelles dissymétries entre les barrières d'isolation galvaniques sont naturellement compensés.

3.III. Étude des compteurs

3.III.a. Définitions des critères

Deux tests spécifiques sont réalisés durant cet algorithme. Ils sont appelés critères (Crit.) et correspondent à des tests sur des valeurs logiques permettant de déterminer localement la priorité d'un sous-module à commuter. Ils sont effectués à différents instants de la procédure.

Le premier test (« Crit.1 ») permet de sélectionner les sous-modules autorisés à commuter en fonction de l'indice d'insertion :

- Si une requête d'insertion est détectée, seuls les sous-modules retirés peuvent potentiellement commuter. Les sous-modules déjà insérés doivent donc être mis en sommeil au début de la procédure.
- De la même manière, lors d'une requête de retrait, les sous-modules déjà retirés doivent être mis en sommeil au début de la procédure.

Ce critère est résumé par l'expression booléenne (2.4) :

$$S \neq \text{sign}(\Delta N_{ON}) \quad (2.4)$$

Si l'état S d'un sous-module est différent du signe de ΔN_{ON} , alors ce sous-module est concerné par l'algorithme de sélection. Si Crit.1 est faux, le gate-driver entre en état de sommeil.

Le second critère booléen utilisé dans cette procédure est également lié aux lois de l'algorithme RSF. Il permet aux gate-drivers de déterminer localement si la tension à sélectionner est la plus élevée ou la plus faible. D'après l'algorithme RSF, les règles de sélection du sous-module devant commuter en fonction de la tension V_C aux bornes de son condensateur dépendent du signe de la requête ΔN_{ON} (insertion/retrait) ainsi que du signe du courant de bras. Elles sont résumées dans le Tableau 7.

Tableau 7. Règles de sélection de RSF

Signe requête ($\text{sign}(\Delta N_{ON})$)	Signe courant de bras ($\text{sign}(I_{bras})$)	Tension V_C à commuter
0	0	Plus faible
0	1	Plus élevée
1	0	Plus élevée
1	1	Plus faible

Ce critère est résumé par l'expression booléenne (2.5). Si Crit.2 est vérifié, le sous-module avec la tension V_C la plus élevée doit commuter. Sinon, le sous-module avec la tension V_C la plus faible doit commuter. Ce critère influe directement sur la détermination de la valeur de M_{prio_p} , dont le calcul est explicité dans la section suivante.

$$\text{sign}(\Delta N_{ON}) \neq \text{sign}(I_{bras}) \quad (2.5)$$

3.III.b. Valeur maximale du compteur de priorité

Différentes approches peuvent être proposées pour le calcul de M_{prio} et t_{prio} . La méthode présentée ici permet de tenir compte des valeurs réellement prises par les tensions V_c en fonctionnement normal, et introduit un paramètre permettant d'ajuster la résolution de la lecture de la tension. En effet, en fonctionnement normal du MMC, les tensions V_C aux bornes des condensateurs de bras doivent être contenues dans une certaine plage de valeur, typiquement 10% de la valeur de V_{Cref} [35]. Il existe donc une valeur maximale V_{CMax} et une valeur minimale V_{CMin} de la tension V_c . Les tensions V_C appartiennent donc à l'intervalle donné dans (2.6).

$$V_C \in [V_{\text{CMax}} ; V_{\text{CMin}}] = [0.9 V_{\text{Cref}} ; 1.1 V_{\text{Cref}}] = [0.9 U_{\text{DC}/N} ; 1.1 U_{\text{DC}/N}] \quad (2.6)$$

Un paramètre q est introduit. Il correspond à la résolution du compteur, et permet de donner un degré de liberté à l'équation de M_{prio} . Cette dernière est donnée dans (2.7) en fonction de Crit.2. Il est évident que les valeurs calculées via (2.7) sont arrondis à l'entier le plus proche.

$$\begin{aligned} M_{\text{prio}} &= \frac{V_{\text{CMax}} - V_C}{q} && \text{Si Crit.2 est vrai} \\ M_{\text{prio}} &= \frac{V_C - V_{\text{CMin}}}{q} && \text{Si Crit.2 est faux} \end{aligned} \quad (2.7)$$

La valeur de M_{prio} est donc comprise entre 0 et une valeur maximale M_{prioMax} d'après (2.8).

$$M_{\text{prio}} \in [0 ; M_{\text{prioMax}}] = [0 ; \frac{V_{\text{CMax}} - V_{\text{CMin}}}{q}] \quad (2.8)$$

La valeur de M_{prioMax} influe directement sur la durée totale de l'algorithme. Elle doit être bornée et maîtrisée afin de déterminer la valeur maximale du compteur de synchronisation. La durée de la procédure dépend directement de t_{prioMax} , le temps nécessaire pour un compteur d'atteindre la valeur M_{prioMax} . La durée t_{prio} d'un compteur en fonction de M_{prio} est donnée par la relation (2.9). La fréquence d'horloge FPGA du compteur de priorité est notée f_{clk} .

$$t_{\text{prio}} = M_{\text{prio}} \frac{1}{f_{\text{clk}}} \quad (2.9)$$

Pour des raisons d'implémentation, il ne semble pas raisonnable de laisser à '0' la valeur maximale d'un compteur. En pratique, la valeur de t_{prio} possède une valeur minimale t_{prioMin} telle que donnée dans (2.10). Plus de précisions concernant la valeur de t_{prioMin} seront données dans le chapitre portant sur la mise en œuvre de l'algorithme.

$$\begin{aligned} t_{\text{prio}} &= \frac{V_{\text{CMax}} - V_C}{q} \frac{1}{f_{\text{clk}}} + t_{\text{prioMin}} && \text{Si Crit.2 est vrai} \\ t_{\text{prio}} &= \frac{V_C - V_{\text{CMin}}}{q} \frac{1}{f_{\text{clk}}} + t_{\text{prioMin}} && \text{Si Crit.2 est faux} \end{aligned} \quad (2.10)$$

Avec cette description, la valeur de t_{prio} est incrémentée tous les « q volts ». Augmenter la valeur de q réduit l'efficacité de l'équilibrage des tensions. En effet, deux gate-drivers obtiendront la même valeur de M_{prio} si la différence entre les tensions qu'ils mesurent est inférieure à q . De la même manière, réduire la valeur de q augmente la résolution du compteur mais également la valeur de $t_{prioMax}$ et donc la durée totale de la procédure.

Le paramètre q permet donc un compromis entre efficacité de l'équilibrage et temps d'exécution de l'algorithme. Il peut être ajusté afin de remplir les contraintes liées au dimensionnement d'un MMC. La section suivante donne les équations permettant de déterminer la valeur maximale du compteur de synchronisation, c'est-à-dire la durée totale de la procédure.

3.III.c. Valeur maximale du compteur de synchronisation

L'objectif du compteur de synchronisation est de permettre à tous les gate-drivers de terminer localement la procédure sans nécessiter de trames de synchronisation inter-drivers. Lorsque ce compteur atteint sa valeur maximale, tous les gate-drivers remettent à '0' les différents registres liés à l'algorithme et le porteur du jeton commute. Les gate-drivers sont alors prêts à exécuter une nouvelle fois la procédure.

La détermination de $t_{synchro}$ est critique. La durée de l'algorithme doit être minimisée afin de ne pas créer de délais trop importants entre le contrôle/commande et le convertisseur. Cependant, elle doit être suffisamment élevée pour ne pas interférer avec l'échange du jeton au sein de la chaîne. Plus précisément, il faut s'assurer que, quel que soit la configuration, l'algorithme a permis de sélectionner le bon porteur de jeton avant que les compteurs de synchronisation n'atteignent leur valeur maximale. La durée du compteur de synchronisation peut être évaluée en estimant la durée nécessaire à la sélection du sous-module à commuter dans le cas le plus défavorable. La configuration dans laquelle le porteur de jeton est sélectionné après un temps maximal est illustrée Figure 35.

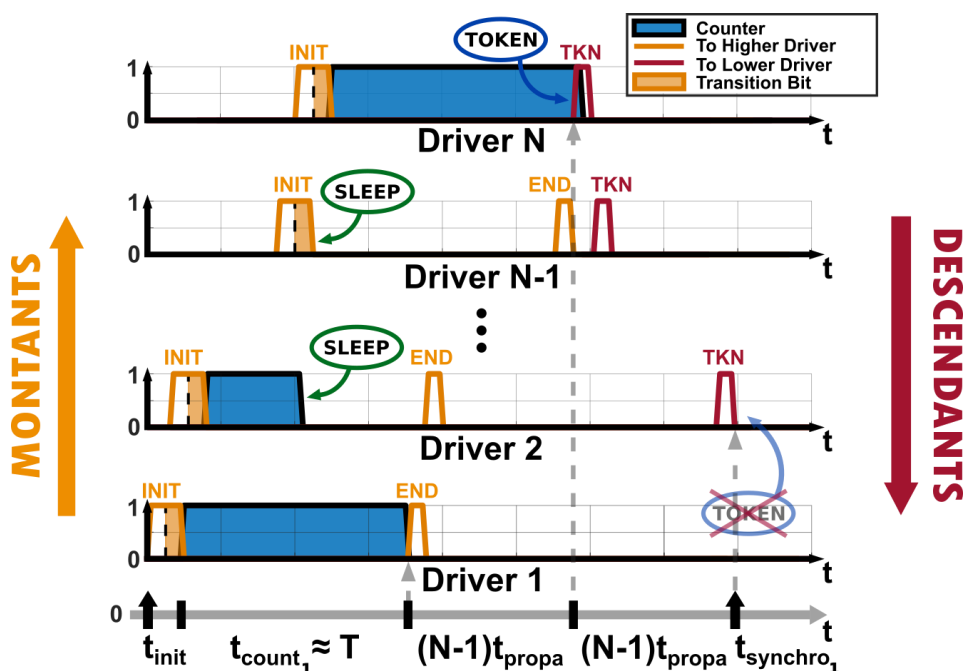


Figure 35. Chronogramme du cas dans lequel le temps de sélection est maximale

Cette situation décrit le cas dans lequel les compteurs de *DI* et *DN* ont une durée proche de $t_{\text{synchroMax}}$ telle que donnée dans (2.11) :

$$\begin{aligned} t_{\text{prio}_1} &= t_{\text{prioMax}} - 1/f_{\text{clk}} \\ t_{\text{prio}_N} &= t_{\text{prioMax}} \end{aligned} \quad (2.11)$$

Dans cette configuration, la durée du compteur de priorité de *DN* est maximale. Un bit de FIN émis par *DI* doit atteindre *DN*. De la même façon, le bit TKN émis par *DN* doit atteindre *DI* afin qu'il perde son jeton. La durée de la trame d'initialisation dépend du nombre de bits qui la constitue, ici 2, et de la valeur de t_{propag} , comme donnée dans (2.12).

$$t_{\text{init}} = 2 t_{\text{propag}} \quad (2.12)$$

Le cas étudié suppose que la trame d'initialisation est propagée à l'instant où elle est reçue (propagation du premier bit et réception du second bit simultanément, etc). La durée totale de la procédure vue par *DI* est alors donnée dans l'équation (2.13), en arrondissant t_{prio_1} par t_{prioMax} .

$$t_{\text{synchro}_1} = t_{\text{init}} + t_{\text{prioMax}} + 2(N - 1) t_{\text{propag}} = 2 N t_{\text{propag}} + t_{\text{prioMax}} \quad (2.13)$$

En pratique, la valeur de t_{synchro_1} doit prendre en compte une certaine marge de sécurité. La valeur de t_{synchro_2} est déterminée de façon à ce que *DI* et *D2* terminent la procédure simultanément, d'après (2.14).

$$t_{\text{synchro}_2} = t_{\text{synchro}_1} - t_{\text{propag}} \quad (2.14)$$

La durée des compteurs de synchronisation des autres gate-drivers est calculée de la même manière. Elle vise à ce que tous les compteurs de synchronisation se terminent en même temps, et est donnée dans la relation (2.15) :

$$t_{\text{synchro}_p} = t_{\text{synchro}_1} - (p - 1)t_{\text{propag}} \quad (2.15)$$

La valeur de ces compteurs est pré-implémentée dans les gate-drivers. La procédure possède une durée fixe $t_{\text{synchro}_1} = t_{\text{synchro}}$. Elle ne nécessite pas la circulation d'une trame de synchronisation le long de la chaîne. La valeur du compteur de synchronisation peut être facilement reprogrammée en cas d'ajout ou de retrait de sous-module dans les bras du convertisseur. La dernière section de ce chapitre formalise l'algorithme, et propose des organigrammes simples, exécutables par des composants à logique programmable.

3.IV. Organigramme et détails de l'algorithme

3.IV.a. Définition des registres et des signaux d'entrée/sortie

La procédure peut être décrite par trois organigrammes concourants. Quelques registres internes (flags) sont définis afin de décrire l'état du gate-driver lors de la procédure :

- **AET** : Indique que la procédure d'AET est en cours d'exécution. Ce registre est mis à '1' (« set ») à l'initialisation, et remis à '0' (« reset ») lorsque le compteur de synchronisation atteint sa valeur maximale, marquant la fin de la procédure.
- **CPT** : Indique que le gate-driver est en train de compter. Le registre est mis à '1' après l'initialisation, et remis à '0' lorsque le compteur de priorité atteint sa valeur maximale M_{count_p} .
- **SLEEP** : Indique que le gate-driver est en sommeil. Il est mis à '1' lorsque le gate-driver entre en sommeil et remis à '0' à la fin de la procédure, lorsque le compteur de synchronisation atteint sa valeur maximale.
- **TOKEN** : Indique que le gate-driver possède le jeton. Il est mis à '1' lorsque le gate-driver prend le jeton, et remis à '0' lorsqu'il est perdu, ou bien à la fin de la procédure, ce qui entraîne une commutation.

Seules trois trames peuvent circuler entre les gate-drivers. Deux d'entre elles ne sont constituées que d'un seul bit :

- Trame d'initialisation (**INIT**) : Cette trame est envoyée par *DI* après détection d'un changement d'indice d'insertion. Elle est propagée le long de la chaîne. Elle est constituée par un code d'initialisation (un seul bit à '1' dans l'exemple proposé plus haut), et des informations indispensables à l'algorithme comme le signe de ΔN_{ON} ou du courant si nécessaire.
- Trame de fin (**FIN**) : Prend la forme d'un unique bit montant le long de la chaîne. Il est émis par un gate-driver portant le jeton dont le compteur de priorité atteint sa valeur maximale.
- Trame de réponse (**TKN**) : Prend la forme d'un unique bit descendant le long de la chaîne. Il est émis par un gate-driver recevant FIN dans l'état CPT, c'est-à-dire dont la priorité est plus élevée.

3.IV.b. Organigrammes concourants

L'algorithme peut être modélisé par des simples tests Booléens sur les différents registres présentés, ainsi que des échanges et de traitements de trames simples. Il est décrit par les trois organigrammes présentés Figure 36. Ces organigrammes sont concourants, c'est-à-dire qu'ils sont exécutés simultanément et interagissent parfois l'un avec l'autre. Cette description est naturelle pour des composants à logique programmable, qui exécutent leurs tâches en parallèles.

L'organigramme principal (numéro '1'), ou « MAIN », est inactif tant que la procédure n'est pas initialisée (réception de la trame INIT). L'organigramme numéro 2 concerne le traitement des messages montants. Il est actif à chaque fois qu'une trame montante est détectée. De la même façon, l'organigramme numéro 3 est actif à chaque fois qu'une trame descendante est détectée.

L'organigramme numéro 2 permet de détecter la trame d'initialisation (ou d'autres processus éventuels). Si la trame INIT est détectée, le registre AET est mis à '1', et l'organigramme Main est activé. Si le registre AET est déjà actif, la trame montante est forcément un bit de FIN. Suivant l'état de CPT à la réception de la trame de FIN, le gate-driver prend le jeton, ou entre en sommeil.

L'organigramme numéro 3 gère les communications descendantes. La seule trame descendante de la procédure est le TKN bit. Elle permet de remettre à zéro le registre TOKEN (perte de jeton), ou de propager les trames descendantes en cas de sommeil.

Enfin, l'organigramme MAIN gère le cœur de la procédure. Il effectue les tests Crit.1. et Crit.2., gère la mesure de la tension V_C , et détermine la valeur de M_{prio_p} . Il gère également les compteurs de priorité et de synchronisation, ainsi que la gestion des ordres de commutation le cas échéant.

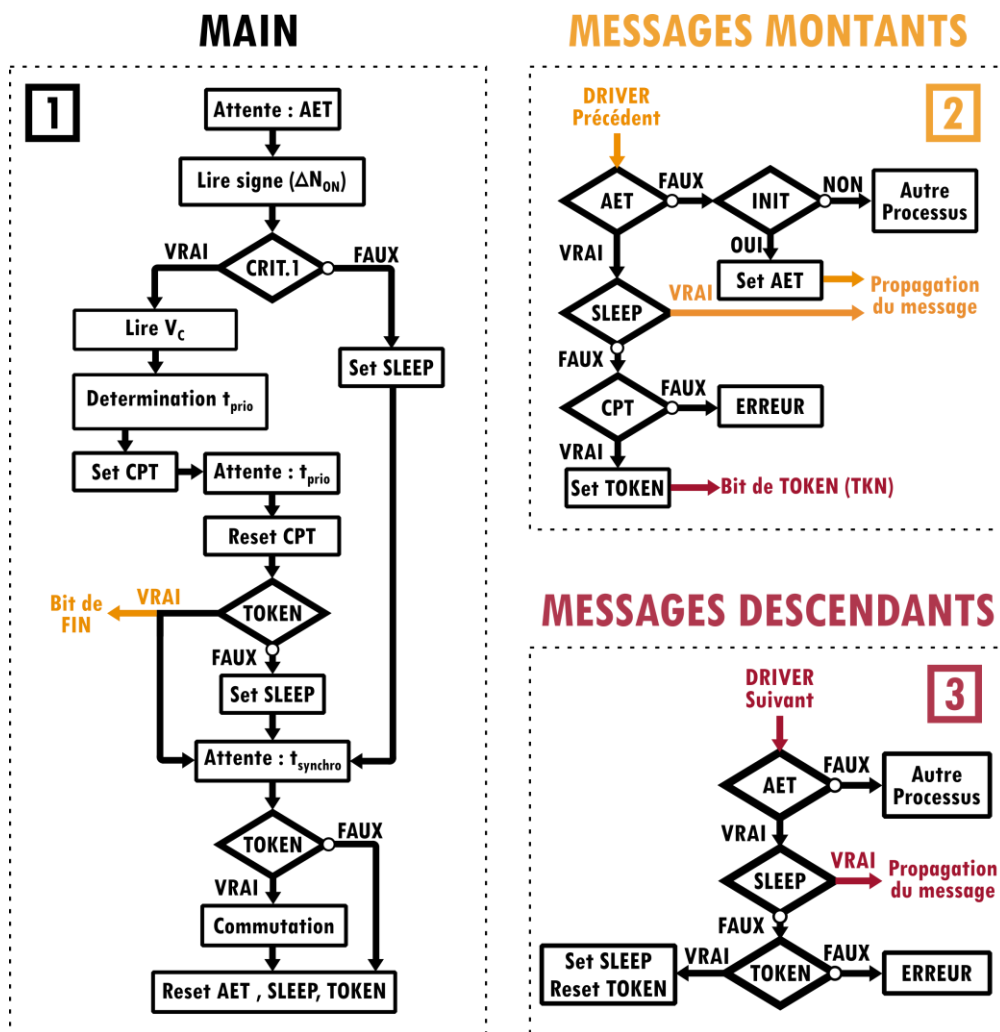


Figure 36. Organigrammes concourants de la procédure proposée

A l'aide de cette description, l'algorithme peut être implémenté sur des cibles comme des FPGA de manière directe. La simplicité de l'algorithme proposé dans ces travaux est un de ses avantages majeurs.

Conclusion

Dans ce chapitre, un état de l'art concernant les smart gate-drivers a été présenté. Il a permis de mettre en lumière les nombreux avantages que peuvent apporter de telles cartes aux convertisseurs de puissance. Notamment, les fonctions d'Active Gate-Driving (AGD) permettent de piloter les composants de puissance de façon optimale. L'AGD permet par exemple de réduire les pertes générées lors des commutations, réduisant le stress thermique et électrique subis par les composants de puissance, et donc leur durée de vie et leur fiabilité. Le monitoring des semi-conducteurs permet de détecter le vieillissement de composants au travers de mesures réalisées « online », ce qui permet d'anticiper sa défaillance. Il s'agit d'un avantage important pour les structures multicellulaires capables de fonctionner en mode dégradé. Enfin, les canaux de communication avancés intégrés à ces smart gate-drivers permettent de remonter des informations vers le contrôle/commande ou d'autres gate-drivers. Cela permet d'impliquer les gate-drivers dans la commande du convertisseur de puissance.

Une étude a permis de montrer que les structures de gate-drivers classiques limitent la modularité des convertisseurs MMC haute tension. Les tensions présentes aux bornes des isolations galvaniques des gate-drivers dépendent en effet des tensions de l'application. Le nombre de sous-modules ne peut pas être augmenté sans redimensionner ces isolations galvaniques.

Une structure de gate-driver innovante a été proposée afin de pallier ce problème de modularité. Cette structure à Isolation Galvanique Répartie (IGR) est basée sur la mise en cascade des gate-drivers de chaque bras de convertisseur. Elle repose sur les propriétés des connexions électriques des sous-modules. La structure IGR permet de diviser la tension aux bornes des isolations galvaniques par un facteur N . De plus, cette tension est égale à la tension aux bornes du condensateur de sous-module V_C quel que soit la valeur de N . Cela permet des reconfigurations du nombre de sous-modules dans les bras sans nécessiter de redimensionnements de la structure driver. De plus, le nombre de liaisons filaires entre les bras des MMC et le contrôle/commande est également réduit d'un facteur N .

Les limites structurelles du MMC-IGR ont été discutées. L'adressage direct des gate-drivers par le contrôle/commande devient impossible. La liaison série inhérente au chainage des gate-drivers nécessite une attention particulière. L'information doit circuler le long de la chaîne, ce qui introduit des délais liés à la propagation d'informations aux travers des barrières d'isolations. Des améliorations de la structure IGR ont été proposées afin notamment de réduire ces délais, et d'augmenter la redondance et la fiabilité de la chaîne de gate-drivers.

L'objectif de ces travaux est de démontrer que la chaîne de gate-drivers permet de décentraliser la commande du convertisseur de puissance, et que les gate-drivers peuvent faire partie intégrante de la commande des convertisseurs de puissance. A cet effet, la dernière partie de ce chapitre est dédiée à l'introduction d'un algorithme d'équilibrage des tensions aux bornes des condensateurs de sous-module. L'algorithme proposé dans ces travaux est innovant dans sa structure. Le même algorithme est exécuté localement au cœur des gate-drivers ce qui en fait un algorithme décentralisé parfaitement modulaire. Il minimise les échanges d'information entre les gate-drivers. D'autre part, cet algorithme est innovant dans son approche concernant la comparaison des tensions V_{cp} . Elles sont utilisées pour déterminer la valeur maximale d'un compteur. La durée des compteurs est proportionnelle à la priorité d'un gate-

driver à commuter, et les comparaisons entre les tensions sont réalisées simultanément grâce à cette méthode. Un second compteur permet de synchroniser les gate-drivers sans nécessiter de trames spécifiques.

Le prochain chapitre de cette thèse propose d'éprouver l'algorithme en simulation. Un modèle du convertisseur est construit sur Matlab/Simulink. Les limites de l'algorithme seront mises en évidence, et son incompatibilité avec certaines modulations sera démontré. Des méthodes de modulation basse fréquence innovantes sont proposées. Elles permettent de maximiser les temps de conduction des composants de puissance du convertisseur tout en étant compatibles avec l'algorithme proposé.

Bibliographie

- [1] Mauricio DallaVecchia Simon Ravyts, F. Verbelen, J. Tant, P. Sergeant, and J. Driesen, “Performance Comparison Between SiC and Si Inverter Modules in an Electrical Variable Transmission Application,” *Eur. Power Electron. Conf. EPE*, pp. 1–8, 2020.
- [2] N. Ginot, C. Batard, and P. LAHAYE, *MOSFET et IGBT : circuits de commande , sécurisation et protection du composant à semi-conducteur*, vol. 33, no. 0. 2017.
- [3] L. Zhang *et al.*, “Design considerations of high-Voltage-insulated gate drive power supply for 10 kV SiC MOSFET in medium-voltage application,” *Conference Proceedings - IEEE Applied Power Electronics Conference and Exposition - APEC*, vol. 2019-March. pp. 425–430, 2019, doi: 10.1109/APEC.2019.8721965.
- [4] A. Kadavelugu and S. Bhattacharya, “Design considerations and development of gate driver for 15 kV SiC IGBT,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 1494–1501, 2014, doi: 10.1109/APEC.2014.6803505.
- [5] IEC, “International Standard IEC 60950-1,” 2005.
- [6] L. Makki *et al.*, “Equivalent Circuit Model of a Pulse Planar Transformer and Endurance to Abrupt dv/dt ,” *IEEE Trans. Power Electron.*, vol. 8993, no. c, pp. 1–1, 2022, doi: 10.1109/tpel.2022.3160278.
- [7] T. I. Incorporated, “Automotive Dual-Channel , SiC MOSFET Gate Driver Reference Design With Two-Level Turnoff Protection,” *Design Guide: TIDA-01605*, 2018 : https://www.ti.com/lit/ug/tidue55b/tidue55b.pdf?ts=1612425912769&ref_url=https%253A%252F%252Fwww.google.com%252F (accessed Jun. 10, 2021).
- [8] PowerIntegration, “2SC0635T2A1-45 Preliminary Datasheet,” 2015. <https://gate-driver.power.com/products/scale-2-driver-cores/2sc0635t/2sc0635t2ax-45/> (accessed Dec. 08, 2020).
- [9] S. Lefebvre and B. Multon, “Composants bipolaires (thyristors, triacs, GTO, GCT et BJT) : circuits de commande,” *Tech. l'Ingénieur*, vol. 33, no. 0, 2018, [Online]. Available: <https://hal.archives-ouvertes.fr/hal-01853755>.
- [10] S. D. Joshi, M. R. Sreejith, M. C. Chandorkar, and A. Shukla, “MMC modules with control circuit powered from module capacitor voltage,” *2014 IEEE Int. Conf. Power Electron. Drives Energy Syst. PEDES 2014*, pp. 1–6, 2014, doi: 10.1109/PEDES.2014.7042031.
- [11] S. Heinig, K. Jacobs, K. Ilves, S. Norrga, and H.-P. Nee, “Auxiliary Power Supplies for High-Power Converter Submodules: State-of-the-Art and Future Prospects,” *IEEE Trans. Power Electron.*, no. in review process, 2020.
- [12] K. Shi, F. Shen, D. Lv, P. Lin, M. Chen, and D. Xu, “A novel start-up scheme for modular multilevel converter,” *2012 IEEE Energy Convers. Congr. Expo. ECCE 2012*, no. dc, pp. 4180–4187, 2012, doi: 10.1109/ECCE.2012.6342255.
- [13] G. T. Jones, Y. P. Siwakoti, and D. J. Rogers, “Active Gate Drive to Increase the Power Capacity of Hard-Switched IGBTs,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 9, no. 2, pp. 2247–2257, 2021, doi: 10.1109/JESTPE.2020.2986097.
- [14] L. Shu, J. Zhang, and S. Shao, “Crosstalk Analysis and Suppression for a Closed-Loop Active IGBT Gate Driver,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 7, no. 3, pp. 1931–1940, 2019, doi: 10.1109/JESTPE.2018.2869678.
- [15] Z. Wang, X. Shi, L. M. Tolbert, F. Wang, and B. J. Blalock, “A di/dt feedback-based active gate driver for smart switching and fast overcurrent protection of IGBT modules,” *IEEE Trans. Power Electron.*, vol. 29, no. 7, pp. 3720–3732, 2014, doi: 10.1109/TPEL.2013.2278794.
- [16] L. Shu, J. Zhang, F. Peng, and Z. Chen, “Active Current Source IGBT Gate Drive with Closed-Loop di/dt and dv/dt Control,” *IEEE Trans. Power Electron.*, vol. 32, no. 5, pp. 3787–3796, 2017, doi: 10.1109/TPEL.2016.2587340.
- [17] Y. Ling, Z. Zhao, and Y. Zhu, “A Self-Regulating Gate Driver for high Power IGBT,” *IEEE Trans. Power Electron.*, vol. 36, no. 3, pp. 3450–3461, 2021, doi: 10.1109/TPEL.2020.3015924.
- [18] K. Miyazaki *et al.*, “General-Purpose Clocked Gate Driver IC With Programmable 63-Level Drivability to Optimize Overshoot and Energy Loss in Switching by a Simulated Annealing Algorithm,” *IEEE Trans. Ind. Appl.*, vol. 53, no. 3, pp. 2350–2357, 2017, doi:

- 10.1109/TIA.2017.2674601.
- [19] R. Ouaida *et al.*, “Gate oxide degradation of SiC MOSFET in switching conditions,” *IEEE Electron Device Lett.*, vol. 35, no. 12, pp. 1284–1286, 2014, doi: 10.1109/LED.2014.2361674.
- [20] X. Ye, C. Chen, Y. Wang, G. Zhai, and G. J. Vachtsevanos, “Online Condition Monitoring of Power MOSFET Gate Oxide Degradation Based on Miller Platform Voltage,” *IEEE Trans. Power Electron.*, vol. 32, no. 6, pp. 4776–4784, 2017, doi: 10.1109/TPEL.2016.2602323.
- [21] M. A. Rodríguez, A. Claudio, D. Theilliol, L. G. Vela, U. Autónoma, and C. Carmen, “A New Fault Detection Technique for IGBT Based on Gate Voltage Monitoring,” pp. 1001–1005, 2007.
- [22] Y. Barazi, F. Boige, N. Rouger, J. Blaquiére, and F. Richardeau, “ i_{g} , v_{gs} ’ Monitoring for Fast and Robust SiC MOSFET Short-Circuit Protection with High integration Capability Keywords Behavior of SiC MOSFETs under short-circuit,” pp. 1–10, 2020.
- [23] J. Weckbrodt, N. Ginot, C. Batard, and S. Azzopardi, “Monitoring of Gate Leakage Current on SiC Power MOSFETs: An Estimation Method for Smart Gate Drivers,” *IEEE Trans. Power Electron.*, vol. 36, no. 8, pp. 8752–8760, 2021, doi: 10.1109/TPEL.2021.3056648.
- [24] C. H. Van Der Broeck, T. A. Polom, R. D. Lorenz, and R. W. De Doncker, “Real-Time Monitoring of Thermal Response and Life-Time Varying Parameters in Power Modules,” *IEEE Trans. Ind. Appl.*, vol. 56, no. 5, pp. 5279–5291, 2020, doi: 10.1109/TIA.2020.3001524.
- [25] C. Bouguet, N. Ginot, and C. Batard, “Communication Functions for a Gate Driver under High Voltage and High dv/dt ,” *IEEE Trans. Power Electron.*, vol. 33, no. 7, pp. 6137–6146, 2018, doi: 10.1109/TPEL.2017.2750744.
- [26] A. Tripathi, K. Mainali, S. Madhusoodhanan, A. Yadav, K. Vechalapu, and S. Bhattacharya, “A MV intelligent gate driver for 15kV SiC IGBT and 10kV SiC MOSFET,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 2016-May, pp. 2076–2082, 2016, doi: 10.1109/APEC.2016.7468153.
- [27] W. Meng, F. Zhang, Z. Fu, and G. Dong, “High dv/dt Noise Modeling and Reduction on Control Circuits of GaN-Based Full Bridge Inverters,” *IEEE Trans. Power Electron.*, vol. 34, no. 12, pp. 12246–12261, 2019, doi: 10.1109/TPEL.2019.2903818.
- [28] S. Bhattacharya, “Gate drivers for wide bandgap power devices,” in *Wide Bandgap Semiconductor Power Devices : Materials, Physics, Design, and Applications*, Woodhead P., B. J. Baliga, Ed. 2019, pp. 249–300.
- [29] V. S. Nguyen, L. Kerachev, P. Lefranc, and J. C. Crebier, “Characterization and Analysis of an Innovative Gate Driver and Power Supplies Architecture for HF Power Devices with High dv/dt ,” *IEEE Trans. Power Electron.*, vol. 32, no. 8, pp. 6079–6090, 2017, doi: 10.1109/TPEL.2016.2619859.
- [30] V. S. Nguyen, P. Lefranc, and J. C. Crebier, “Higher switching speed of power devices in series connection achieved by modifying the gate driver architecture,” *2017 19th Eur. Conf. Power Electron. Appl. EPE 2017 ECCE Eur.*, vol. 2017-Janua, pp. 1–10, 2017, doi: 10.23919/EPE17ECCEurope.2017.8099076.
- [31] J. Weckbrodt, N. Ginot, C. Batard, and S. Azzopardi, “Short pulse transmission for sic communicating gate driver under high dv/dt ,” *PCIM Eur. Conf. Proc.*, no. 225809, pp. 1552–1557, 2018.
- [32] J. Peralta, H. Saad, S. Denetière, J. Mahseredjian, and S. Nguéfeu, “Detailed and averaged models for a 401-level MMC-HVDC system,” *IEEE Trans. Power Deliv.*, vol. 27, no. 3, pp. 1501–1508, 2012, doi: 10.1109/TPWRD.2012.2188911.
- [33] J. Weckbrodt, N. Ginot, C. Batard, T. L. Le, and S. Azzopardi, “A bidirectional communicating power supply circuit for smart gate driver boards,” *IEEE Trans. Power Electron.*, vol. 35, no. 8, pp. 8540–8549, 2020, doi: 10.1109/TPEL.2019.2960632.
- [34] J. Wang, Z. Shen, C. Dimarino, R. Burgos, and D. Boroyevich, “Gate driver design for 1.7kV SiC MOSFET module with Rogowski current sensor for shortcircuit protection,” *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, vol. 2016-May, no. 978, pp. 516–523, 2016, doi: 10.1109/APEC.2016.7467921.
- [35] K. Sharifabadi, L. Harnefors, H.-P. Nee, S. Norrga, and R. Teodorescu, *Design, Control and Application of Modular Multilevel Converters for HVDC Transmission Systems*. Wiley - IEEE Press, 2016.

Chapitre 3 : Simulation de la chaîne de gate-drivers et modulations hybrides innovantes

1. Méthodes de modulations usuelles du convertisseur MMC

1.1. Généralités sur les méthodes de modulations multiniveaux

Dans ce chapitre, les lois de commande introduites précédemment sont implémentées sur un outil de simulation performant. Il sera montré que la structure de l'algorithme Reduced Switching Frequency (RSF) impose des limites d'utilisation. En particulier, une incompatibilité avec certaines méthodes de modulation basse fréquence est démontrée et analysée. En conséquence, ce chapitre présentera des méthodes de modulation multiniveaux hybrides innovantes compatibles avec l'algorithme RSF. Dans un premier temps, un état de l'art des différentes techniques utilisées pour la modulation des références du MMC est présenté.

Les formes d'ondes en sortie du convertisseur peuvent avoir $N + 1$ ou $2N + 1$ niveaux. Une forme d'onde à $N + 1$ niveaux est obtenue en maintenant constant le nombre total de sous-modules insérés par phase (égal à N). De cette façon, la somme des tensions V_C insérées de chaque phase est égale à la tension du bus DC en moyenne. Les commutations des transistors des bras d'une phase sont simultanées. La modulation à $2N + 1$ niveaux est détaillée dans [1]. Les ordres de commutation des bras *up* et *low* sont déphasés de $\pi/2$. La tension de sortie possède plus de niveaux, au prix d'une augmentation du courant de circulation dû à l'apparition d'une tension aux bornes des inductances de bras.

Cette modulation par entrelacement des commandes de bras permet de réduire les besoins en filtrage de sortie, puisqu'elle produit moins d'harmoniques que la modulation classique. La comparaison des deux méthodes est effectuée dans [2]. Le bus DC présente des harmoniques hautes fréquences relativement importantes lorsque l'entrelacement est utilisé. En revanche les grandeurs de sortie sont débarrassées de certaines harmoniques en raison d'un THD plus faible.

La modulation multiniveau est utilisée et étudiée depuis l'apparition des premiers convertisseurs multiniveaux, notamment la Modulation de Largeur d'Impulsions (MLI) multiniveaux [3]. Les techniques de modulation couramment utilisées dans la littérature peuvent être regroupées de diverses manières [4][5][6]. Une classification simplifiée basée sur les fréquences de commutation engendrées par ces modulations est proposée sur la Figure 37. Ces différentes familles de modulation sont brièvement détaillées dans la suite.

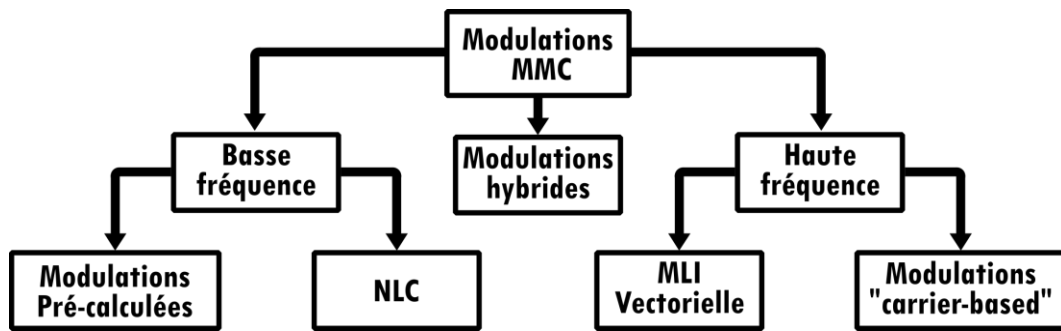


Figure 37. Classification des méthodes de modulations appliquées au MMC

1.II. Modulations hautes fréquences

1.II.a. MLI multiniveaux basée sur des porteuses

Les modulations hautes fréquences (HF) génèrent des ondes de sortie dont le spectre présente des raies à la fréquence de commutation sélectionnée. Augmenter cette fréquence de commutation permet de « décaler » les harmoniques de tension vers les hautes fréquences, simplifiant le filtrage de sortie. La MLI multiniveaux est un sujet largement étudié depuis l'introduction des convertisseurs multiniveaux. Elle est basée sur la comparaisons de multiples porteuses de fréquences élevées avec la tension de référence.

Les principaux schémas de porteuses utilisés dans la littérature sont les « porteuses superposées » (Phase Displacement, PD) et les « porteuses déphasées » (Phase Shifted, PS). La Phase Displacement Pulse Width Modulation (PDPWM) et la Phase Shifted Pulse Width Modulation (PSPWM) sont présentées sur la Figure 38 pour 4 porteuses ($N = 4$). L'indice de modulation est $k = 0.95$. Les formes d'ondes sont présentées dans l'espace normalisé $[-1;1]$, dans lequel l'amplitude de la modulante est égale à l'indice de modulation.

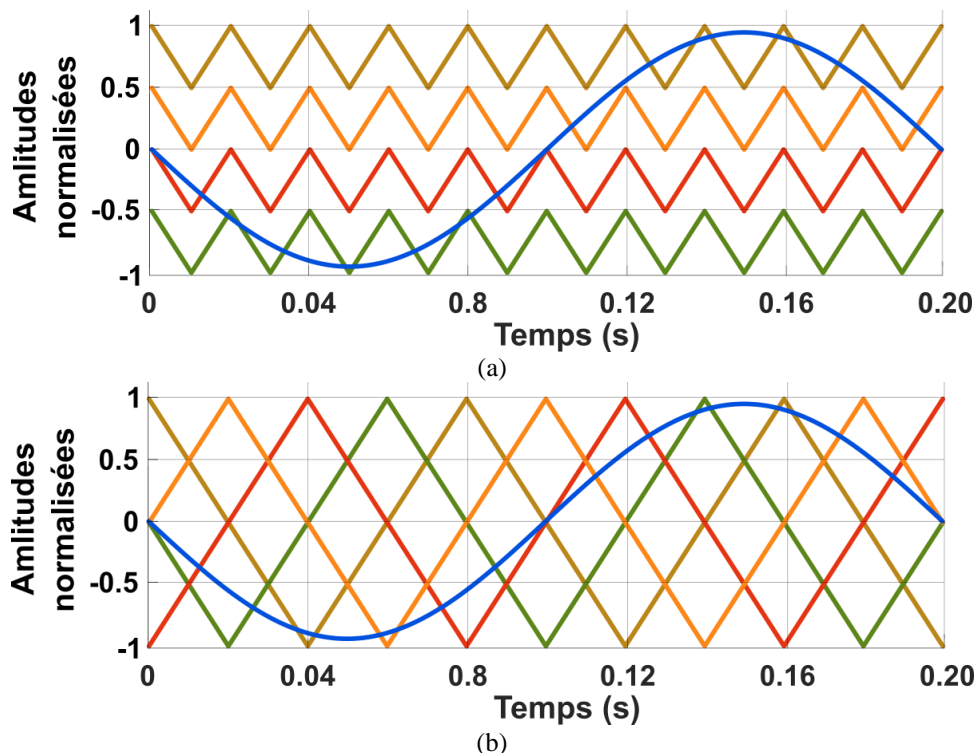


Figure 38. Référence et porteuses multiniveaux : PDPWM (a) et PSPWM (b)

De nombreuses MLI multiniveaux ont été proposées dans la littérature, reposant sur différents jeux de porteuses. On peut citer par exemple, parmi les porteuses superposées, la Phase Opposition Disposition (PODPWM), l'Alternative Phase Opposition Disposition PWM (APODPWM), ou la Phase Shifted PWM (PSPWM). Les porteuses déphasées sont généralement des triangles ou des dents de scies (Saw-Tooth PWM). Les porteuses de la Figure 38 fonctionnent sur deux principes différents :

- Pour les porteuses déphasées, chaque porteuse possède la même amplitude et est décalée d'un angle θ par rapport aux autres. Les porteuses présentées sur la Figure 38 sont déphasées d'un angle $\theta = 2\pi/N$, ce qui est une valeur courante. D'autres valeurs de déphasage sont possibles [7]. Ces techniques sont également appelées « subharmoniques » car elles permettent l'élimination des harmoniques de plus basses fréquences.
- Pour les porteuses décalées ou superposées, les N porteuses possèdent la même amplitude qui est une fraction de l'intervalle $[-1 ; 1]$ ($1/2N$). Elles sont ensuite superposées dans cet intervalle. Pour la PD, toutes les porteuses sont en phase. La POD propose de déphaser toutes les porteuses « négatives » (en dessous de 0) de 180° , et la APOD de déphaser alternativement de 0 et 180° chaque porteuse.

La fréquence des porteuses déphasées $f_{\text{porteuse_dep}}$ est N fois moins importante que celle des porteuses décalées $f_{\text{porteuse_dec}}$. Un effet de l'entrelacement des porteuses est d'augmenter la fréquence de commutation apparente de l'onde de sortie f_{sortie} :

- Pour les porteuses décalées : $f_{\text{sortie}} = f_{\text{porteuse_dec}}$
- Pour les porteuses déphasées : $f_{\text{sortie}} = N f_{\text{porteuse_dep}}$

Un avantage des porteuses déphasées est leur capacité sous certaines conditions à équilibrer naturellement les tensions aux bornes des condensateurs de sous-module, sans nécessiter d'Algorithme d'Équilibrage des Tensions (AET). Cette caractéristique est notamment étudiée dans [8]. Il est montré que les porteuses déphasées génèrent des signaux de commande déphasés de $2\pi/N$, ce qui permet d'équilibrer l'énergie des sous-modules au bout d'un temps lorsque ces ordres de commandes sont envoyés directement aux gate-drivers des sous-modules.

Les méthodes de rotation de porteuses (Modified Carrier Redistribution, MCRPWM [9] et Saw-Tooth Rotation, STRPWM [10]) sont également comparées. Les MCRPWM sont des techniques qui assurent l'équilibrage des tensions V_C sur plusieurs périodes, avec des schémas de porteuses dissymétriques. Elles produisent de meilleurs THD que les porteuses décalées mais n'équilibrent pas parfaitement les charges des condensateurs de bras. D'autres méthodes ont été proposées comme la Variable Frequency PWM (VFPWM) ou la Carrier Overlapping PWM (COPWM) [11], mais sont très peu utilisées en pratique.

Deux études comparatives [12] et [13] proposent différents critères d'évaluation des porteuses présentées plus tôt. Les études s'accordent sur le fait que les différences entre les modulations sont faibles. Leur efficacité dépend grandement des paramètres, notamment de l'indice de modulation. La PDPWM semble être la modulation qui offre les compromis les plus intéressants.

1.II.b. MLI vectorielle

Les modulations vectorielles sont bien connues, et déjà largement utilisées pour les convertisseurs 2 niveaux classiques, notamment pour la commande de moteur [14]. La modulation vectorielle est une méthode basée sur la représentation dans un plan du vecteur de tension triphasé de référence V_{ref} , après une transformation dans un espace 2D. Un tel espace est présenté sur la Figure 39, où V_{ref} est déterminé via une transformation de la référence, typiquement la transformée de Clarke. Les états possibles de la tension de sortie du convertisseur sont représentés dans ce même plan (sommet des triangles).

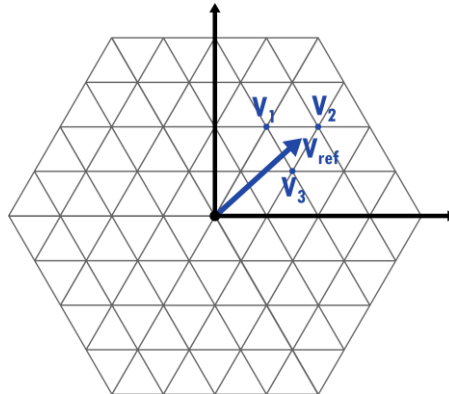


Figure 39. Représentation du vecteur d'état dans un plan 2D

Le vecteur d'état se trouve à l'intérieur d'un triangle formé par trois états V_1 , V_2 et V_3 . Durant une période d'échantillonnage T_s , la tension de sortie est répartie entre ces trois états en fonction de la distance entre le vecteur d'état et les 3 sommets. La modulation vectorielle pour le MMC est introduite par Lesnicar et Marquardt en même temps que le convertisseur lui-même. L'augmentation rapide du nombre de maille avec le nombre de niveaux rend les calculs très complexes.

La SVM peut être étendue pour contrôler les composantes homopolaires des tensions par exemple, à l'aide d'une représentation du vecteur d'état dans un espace 3D [15]. Cette méthode a fait l'objet de diverses optimisations, par exemple basées sur des redondances [16]. Une comparaison relativement récente de différentes méthodes est proposée dans [17]. L'article présente également une méthode générale d'implémentation de la SVM. L'implémentation de telles lois de commandes est étudié dans [18], [19]. Une méthode générale a été proposée dans [19] et implémentée dans un DSP. L'algorithme est capable de générer le vecteur de référence d'un MMC à 201 niveaux.

1.III. Modulations basse fréquence

1.III.a. Modulation type « Nearest Level Control » (NLM)

Les convertisseurs multiniveaux comme le MMC présentent l'avantages d'offrir des fréquences de commutation effectives réduites. En effet, la fréquence de commutation de la tension de sortie est répartie sur tous les interrupteurs car les commandes de sous-modules d'un bras sont entrelacées. La fréquence de commutation effective moyenne des transistors est alors N fois inférieure à la fréquence des porteuses MLI. De surcroit, l'augmentation du nombre de niveaux s'accompagne d'une amélioration

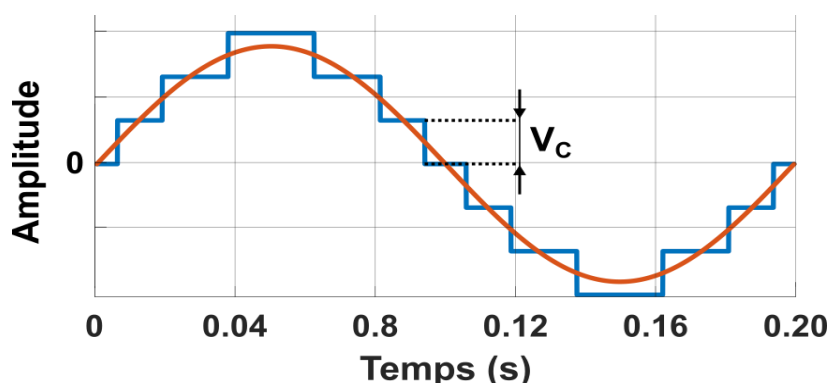
de la qualité de l'onde de sortie. L'utilisation de modulations hautes fréquences ou de filtrage de sortie n'est alors plus nécessaire.

Un autre problème de la modulation haute fréquence est la génération d'impulsions courtes (« narrow pulses »). C'est particulièrement le cas pour la MLI à base de porteuses. Des impulsions de commande de faible durée peuvent être aléatoirement générées par la méthode de comparaison avec porteuse. Le mécanisme de génération de ces impulsions est étudié dans [20] et [21]. Ces impulsions courtes sont particulièrement présentes dans les convertisseurs multiniveaux, puisqu'elles sont généralement causées par la comparaison de la référence avec les extrema des porteuses.

Elles peuvent être la cause d'échauffements locaux, conduisant à la destruction des semi-conducteurs. D'autre part, dans la majorité des applications, il existe des délais entre le calcul des ordres de commutation par le contrôle/commande et l'application effective de ces commutations. Des impulsions de commande trop courtes peuvent donc être déformées par les chaînes de commande des convertisseurs. L'impact de la modulation sur le convertisseur MMC avec algorithme d'AET intégré aux gate-drivers sera détaillé dans ce chapitre.

Des techniques de modulation dites « basses fréquences » (BF) sont présentées ci-dessous. Elles permettent de limiter le nombre de commutations des transistors de bras, tout en permettant des temps de conduction longs et maîtrisés.

La modulation dite « Nearest Level Control » (NLC) ou « Nearest Level Modulation » (NLM) produit une forme d'onde en « escalier ». Elle est généralement obtenue par l'échantillonnage du signal d'entrée. Il s'agit d'une opération de discrétisation. Une forme d'onde typique produite par la NLM est présentée sur la Figure 40, avec $N = 6$. Les paliers de tensions correspondent, en moyenne, à V_{Cref} , la tension de référence aux bornes des condensateurs de sous-module.



L'impact de la fréquence d'échantillonnage du signal a été étudié dans [22] et [23]. Lorsque cette fréquence est fixe et trop basse, elle peut produire un déphasage important entre la tension de sortie et la tension d'entrée. Il est montré qu'elle doit être contenue dans une certaine plage de fréquence afin d'optimiser la qualité de l'onde tout en limitant les calculs superflus.

De nombreuses améliorations ont été apportées à ce schéma de modulation dans la littérature. Par exemple, les instants de conduction obtenus avec la méthode NLM sont réarrangés dans [24]. Un circuit

logique simple est mis en œuvre, avec un algorithme d'équilibrage permettant d'assigner les ordres de commutation aux sous-modules. Les travaux réalisés dans [25] proposent d'ajouter une composante en 2ω directement aux modulations NLM de chaque bras. Il s'agit d'un offset périodique. De cette manière, l'onde de sortie possède $2N+1$ niveaux, et l'équilibrage des tensions aux bornes des condensateurs est assuré. Des travaux similaires ont récemment été proposés dans [26]. Une augmentation du nombre de niveau de l'onde de sortie NLM est proposé en déphasant les commandes de chaque bras entre elles.

1.III.b. Modulation pré calculées

Une autre variante de la modulation multiniveau basse fréquence concerne les modulations pré-calculées. Elles consistent majoritairement à prédéterminer des angles de commutations et/ou des patterns de conduction permettant de générer des formes d'ondes dont le contenu en harmonique est maîtrisé. Ces méthodes sont appelées Elimination d'Harmoniques Sélectionnées (SHE). Certaines méthodes pré-calculées permettent d'assurer l'équilibrage des tensions aux bornes des condensateurs par exemple. Les calculs sont généralement faits « offline », c'est-à-dire avant de mettre le convertisseur en opération.

L'implémentation des algorithmes SHE est détaillée dans [27] et [28]. Ils consistent à déterminer la décomposition en série de Fourier d'un signal multiniveaux général composé de N_1 angles de commutation entre le premier et le deuxième niveau, N_2 angles entre le deuxième et le troisième, etc. La détermination des différents angles de commutation est réalisée afin d'annuler les harmoniques ciblés. Dans [29] l'algorithme SHE est implémenté avec une méthode d'équilibrage des charges de condensateurs et d'entrelacement des commandes de bras supérieurs et inférieurs.

Un travail similaire est réalisé dans [30]. Une onde type NLM est obtenue à partir d'un ensemble de pattern de conduction. Les coefficients de Fourier de l'onde sont déterminés afin de minimiser son TDD¹. Une table des résultats obtenus en fonction de l'indice de modulation est implémentée dans le calculateur du MMC. Les patterns déphasés permettent d'équilibrer les tensions aux bornes des condensateurs de sous-modules.

Le même principe est utilisée dans [31]. Une étude est menée sur le transfert de charge effectif par le courant de bras. Il est montré qu'il existe un enchaînement d'impulsions de commande qui annule ce transfert de charge au bout d'un certain nombre de périodes. Une onde type NLM est générée sur ces principes. Cette modulation assure l'équilibre des tensions de condensateurs tout en assurant la suppression des harmoniques choisies. Un principe très similaire est exploité pour générer la modulation proposée dans [32]. Elle permet également un équilibrage des tensions.

Une comparaison sur un MMC 9 niveaux entre un signal généré à partir d'une MLI conventionnelle et d'une SHE est réalisée dans [33]. Il est montré que le THD de la SHE est de 9.86% contre 26.21% pour la MLI conventionnelle pour un indice de modulation unitaire. L'écart est encore plus important pour des indices de modulation inférieurs, ce qui prouve bien l'efficacité de cette modulation.

¹ TDD : Total Demand Distortion : Mesure le taux de distorsion d'une grandeur par rapport à la grandeur nominale et non au fondamental du spectre (THD). C'est une mesure plus appropriée pour les moteurs [30] car elle indique l'impact de la distorsion harmonique sur le système (échauffement de la machine, etc).

Ces modulations permettent d'obtenir des performances très intéressantes du point de vue de la qualité de l'onde de sortie. La problématique principale posée par ces modulations est liée à leur coût important en mémoire non volatile, en plus de représenter des calculs préalables complexes. Il faut stocker des tables de nombres permettant d'identifier chaque angle de commutation d'une forme d'onde, sachant que ces angles de commutation doivent être calculés pour l'intégralité des valeurs prises par l'indice de modulation k . Cela peut représenter une contrainte pour des convertisseurs possédant un grand nombre de niveaux. De plus, des variations à forte dynamique de la tension de sortie peuvent poser des problèmes à ces modulations.

La qualité de l'onde de sortie augmente avec le nombre de sous-module N , quel que soit la modulation sélectionnée. A partir d'un certain nombre de niveau, le gain en terme de THD obtenu par des modulations comme la SVM ou la SHE devient de plus en plus négligeable comparativement au coût logiciel qu'elles représentent.

1.IV. Modulations « hybrides »

Des modulations hybrides possédant à la fois des caractéristiques basses fréquences et hautes fréquences ont été introduites dans la littérature. Un travail proposé dans [34] introduit la « NLM améliorée », une modulation en escalier possédant des commutations supplémentaires par rapport à la NLM. Ces instants de conduction sont calculés afin d'approximer au mieux la référence. Elle génère une onde à $2N+1$ niveaux, et possède une fréquence de commutation effective deux fois plus importante que la NLM classique. Une méthode similaire est proposée dans [35]. Une onde NLM à $2N+1$ niveaux de sortie est produite et des commutations HF sont superposées entre les paliers. L'onde de sortie possède un comportement globalement haute fréquence.

Une autre modulation hybride pour un convertisseur cascadié est proposée dans [36]. Elle est obtenue en superposant une modulation NLM et une modulation PDPWM à 2 niveaux à l'aide d'un circuit logique simple. L'onde de sortie exhibe un comportement HF. La Windowed PWM est introduite dans [37]. Elle se base sur la transformation de la référence en vecteur d'espace d'état. Suivant les angles du vecteur, la modulation utilisée alterne entre NLM et PODPWM. La modulation dispose d'un paramètre permettant de trouver un compromis entre fréquence de commutation et THD.

Le travail réalisé dans [38] compare la modulation NLM améliorée, la modulation vectorielle et la modulation PSPWM sur un prototype de MMC à 5 modules. L'analyse des THD de ces modulations tend à montrer que, lorsque le nombre de niveaux de l'onde de sortie augmente, la qualité de l'onde produite par la NLM est équivalente à celle obtenue par la modulation vectorielle. Du fait de sa complexité limitée, cette modulation semble être la plus intéressante pour les applications forte puissance et haute tension.

Les modulations hybrides sont des candidates prometteuses pour le MMC. Elles possèdent les avantages des modulations basses fréquences et hautes fréquences. Elles permettent d'obtenir des ondes de bonne qualité, réduisant les besoins en filtrage, tout en limitant le nombre de commutations des transistors de bras. Lorsqu'elles ne sont pas basées sur des porteuses triangulaires, elles ne génèrent pas d'impulsions courtes et des temps de conduction maîtrisés.

La prochaine section de ce chapitre s'intéresse à la simulation du convertisseur MMC. L'objectif est de construire un modèle fidèle et modulaire nous permettant de tester les lois de commandes introduites dans le chapitre précédent. Notamment, l'accent sera mis sur l'étude statique et dynamique du convertisseur avec l'algorithme intégré à la chaîne de gate-drivers, et l'impact des lois de commande sur son fonctionnement.

2. Modèle de simulation d'un MMC via Matlab/Simulink

2.1. Modèle du convertisseur et de la chaîne de gate-drivers

2.1.a. Modèle de la chaîne de gate-drivers

Le modèle de simulation du convertisseur est construit sur Matlab/Simulink, avec la librairie de composants de puissance Simscape. L'approche acausale et l'interconnexion d'éléments actifs et passifs apportés par Simscape permettent de mettre en œuvre des modèles complexes tout en restant modulaires.

Avec cet outil, augmenter la taille du convertisseur ou en changer les paramètres est une tâche simplifiée comparativement aux approches causales classiques. Le logiciel Matlab et ses toolbox sont de plus en plus utilisés par la communauté scientifique pour les simulations de convertisseurs et de machines électriques, ainsi que des lois de commandes associées [39][40][41][42].

Un MMC triphasé connecté à un réseau alternatif fonctionnant en onduleur (DC/AC) est ici entièrement simulé. Ce modèle de simulation permettra de tester l'algorithme intégré à la chaîne de gate-drivers proposé dans le chapitre précédent, ainsi que d'éprouver sa compatibilité avec certaines méthodes de modulation. L'organe de contrôle/commande et les gate-drivers sont construits à partir de blocs simples. Les différentes fonctions de l'algorithme sont intégralement réalisées à l'aide de registres et d'opérateurs relationnels. Cette modélisation « bas-niveau » est choisie dans le but de représenter des composants FPGA/CPLD, afin de faciliter l'implémentation de l'algorithme sur une cible réelle.

Un unique modèle de gate-driver est utilisé pour l'intégralité des gate-drivers de chaque phase du convertisseur. Un schéma fonctionnel d'implémentation du simulateur est donné Figure 41. Une interface particulière est ajoutée au premier gate-driver de la chaîne afin d'assurer la communication avec l'étage de commande. Les chaînes de gate-driver composant les bras sont formées de N blocs gate-drivers comme présentés sur la Figure 41, possédant chacun 2 canaux bidirectionnels pour communiquer avec leurs deux voisins. Les mesures de la tension et du courant sont faites à l'aide de Bloqueurs d'Ordre Zero (BoZ). Le signe de l'indice d'insertion ($\text{sign}(\Delta N_{ON})$) est lu au moment de l'initialisation. L'état du module est connu à chaque instant par le gate-driver. S_{old} est l'état du sous-module avant la procédure, et S_{new} est son état actualisé à la fin de la procédure.

2.1.b. Commande du convertisseur

Comme l'a été présentée dans le chapitre précédent, la commande du convertisseur est complexe. Il est en effet nécessaire de réguler la puissance de sortie du convertisseur, mais également le courant circulant au sein des phases du MMC. Il a été démontré que ces deux commandes pouvaient être découplées.

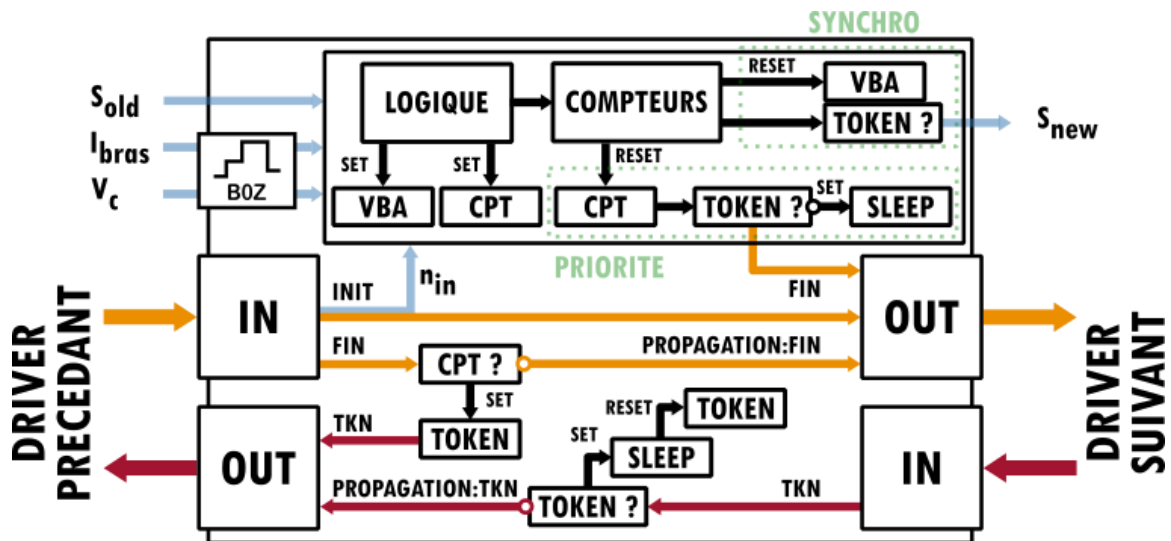


Figure 41. Schéma d'implémentation d'un gate-driver

Les différentes variables de contrôle liées au convertisseur sont données sur la Figure 42. Les grandeurs d'état internes au convertisseur sont les tensions V_C aux bornes des condensateurs de sous-modules, ainsi que les courants de bras I_{bras} . Les variables S_{old} et S_{new} sont les variables liées à la chaîne de gate-drivers. La régulation du bus DC n'est pas implémentée dans cette simulation, la tension V_{DC} est maintenue constante. Les grandeurs côté AC sont le courant I_{grid} et la tension V_{grid} de ligne, ainsi que la phase θ et la pulsation ω du réseau triphasé.

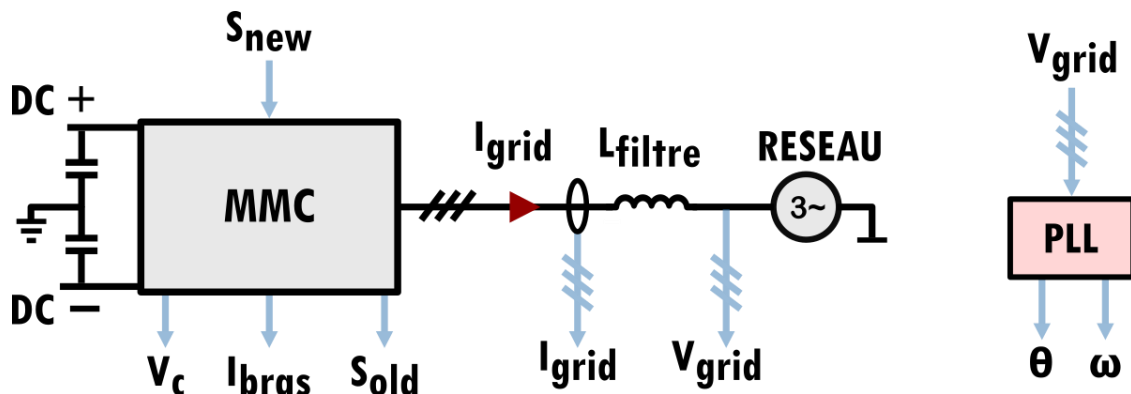


Figure 42. Grandeurs de commande du convertisseur MMC

Les grandeurs liées au réseau permettront de réaliser une régulation dans le repère de Park. Il s'agit en effet d'une méthode très efficace, nécessitant uniquement le réglage de régulateurs PI, et dont la mise en œuvre et l'implémentation sont simples. La transformée de Park permet notamment de se placer dans un repère « naturel » dans lesquels les systèmes triphasés peuvent être décrits comme la composition de deux vecteurs constants d et q . Ces vecteurs peuvent être facilement reliés aux puissances actives P et réactives Q consommées par le réseau. La commande vectorielle est donc choisie pour la régulation des grandeurs de sortie du convertisseur.

Un schéma général de la commande vectorielle appliquée dans cette simulation est présenté sur la Figure 43. Les grandeurs de références des puissances P_{ref} et Q_{ref} sont considérées comme des données. Elles ne sont pas générées via un algorithme de type « Droop Control » par exemple.

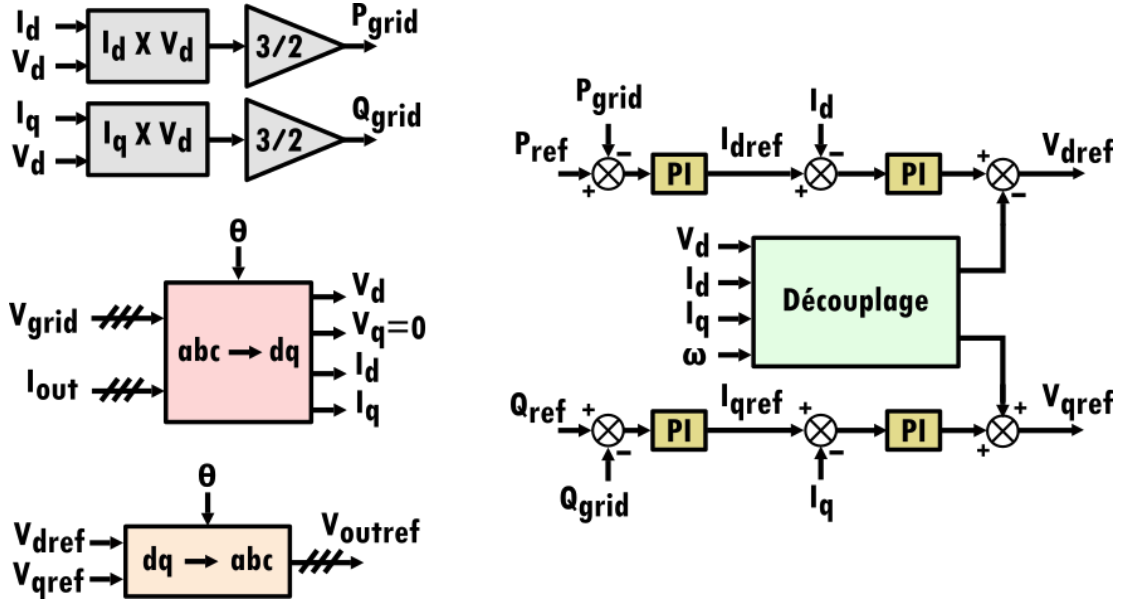


Figure 43. Commande vectorielle mise en œuvre dans le convertisseur simulé

Le régulateur associé au courant de circulation et à l'énergie stockée dans les bras est basée sur les travaux de [43], [44]. Le schéma global est appelé CCSC, comme présenté dans le chapitre 1 [43]. Il est basé sur la régulation vectorielle des courants de circulation triphasés dans leur repère naturel, en 2ω . Dans l'article original, seuls les composantes d et q du courant de circulation i_{circ_d2} et i_{circ_q2} sont traitées. Leurs références sont maintenues à zéro.

L'objet des travaux de [44] est l'analyse de la stabilité du schéma de régulation proposé dans [43]. Il est montré que la régulation de la composante continue du courant de circulation i_{circ_02} permet d'augmenter les performances du contrôle.

Le calcul de la référence $i_{\text{circ}_02_ref}$ est basé sur le contrôle de l'énergie totale stockée dans les phases du convertisseur W_j^Σ . En effet, lors des échanges de puissances du bus DC vers la charge, certains déséquilibres de charge instantanés peuvent apparaître dans les bras du convertisseur. Il en résulte des oscillations de tensions aux bornes des condensateurs de sous-modules, ainsi que des composantes harmoniques incontrôlées sur i_{circ_02} , donc sur le courant du bus DC. Cela se traduit par des pertes plus élevées dans le convertisseur.

L'énergie totale stockée dans une phase W_j^Σ est obtenue à l'aide des équations du chapitre 1. Elle est donnée dans (3.1) comme la somme du carré de toutes les tensions aux bornes de tous les k condensateurs des deux bras de la phase j $V_{C_j}^k$:

$$W_j^\Sigma = W_{u,j} + W_{l,j} = \frac{1}{2} C \sum_{k=1}^{2N} V_{C_j}^k{}^2 \quad (3.1)$$

L'équation (3.2) permet de lier le courant DC aux variations de l'énergie stockée dans une phase [43]:

$$\frac{dW_j^\Sigma}{dt} = \frac{d(W_{u,j} + W_{l,j})}{dt} \sim P_{DC} - P_{AC} \sim V_{DC} I_{DC} - P_{ACref} = 3 V_{DC} i_{\text{circ}_02} - P_{ACref} \quad (3.2)$$

Un avantage de cette régulation est qu'elle fait appel à la même PLL que celle utilisée pour le réseau, puisque la pulsation du repère tournant utilisé pour le CCSC est multiple de celle du repère tournant utilisé pour la commande des puissances. Le schéma global du CCSC implémenté en simulation, avec sa régulation de l'énergie totale stockée dans les phases, est donné sur la Figure 44. La sortie du régulateur est la tension $V_{c,j}$ présentée dans le chapitre 1. Elle est plus couramment appelée V_{diff} .

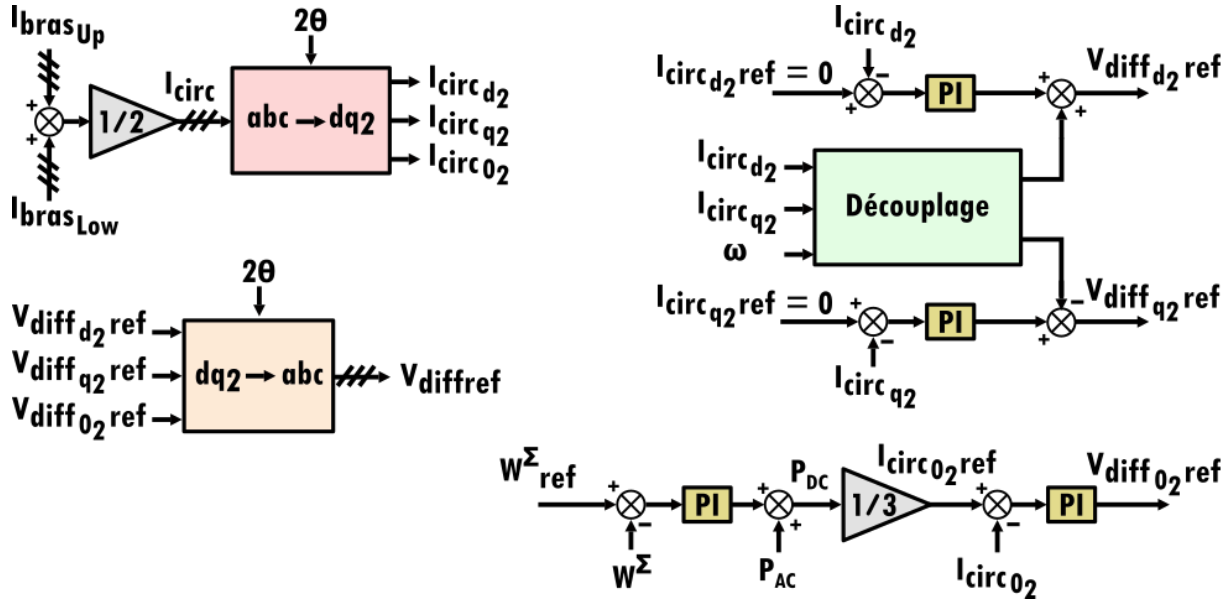


Figure 44. Schéma de contrôle du régulateur de courant de circulation du MMC simulé

La structure de commande complète mise en œuvre dans la simulation est finalement donnée Figure 45. La partie commande est composée de deux étages découplés.

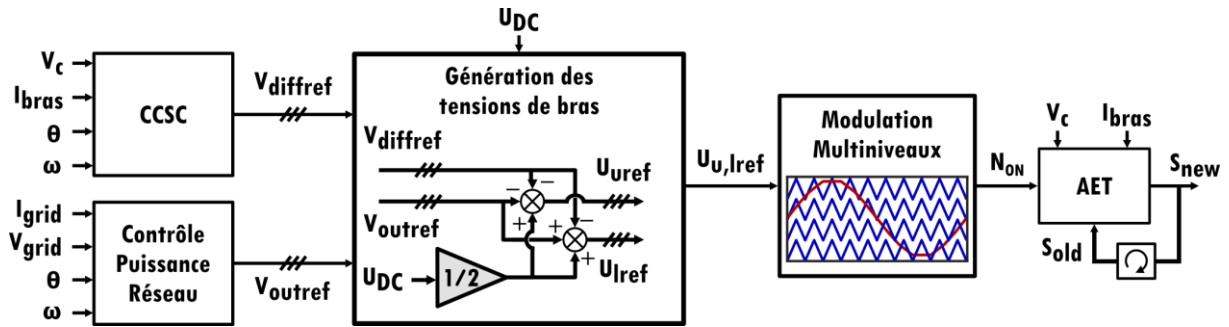


Figure 45. Schéma de commande globale du MMC simulé.

Les tensions de bras de références U_{uref} et U_{lref} sont obtenues comme dans (3.3) à partir des sorties de ces deux blocs. Ces tensions sont ensuite envoyées à un étage de modulation flexible, permettant d'évaluer l'impact de différentes modulations sur le fonctionnement du convertisseur. La sortie de l'étage de modulation est le nombre de sous-modules à insérer dans chaque bras N_{ON} .

$$\begin{aligned}
 U_{uref} &= \frac{V_{DC}}{2} - V_{outref} - V_{diffref} \\
 U_{lref} &= \frac{V_{DC}}{2} + V_{outref} - V_{diffref}
 \end{aligned} \tag{3.3}$$

Cette grandeur est envoyée à l’algorithme d’équilibrage des tensions aux bornes des condensateurs. Au même titre que le bloc de modulation, le bloc d’AET peut également être modifié. Plusieurs AET différents peuvent être testés pendant les phases de simulation. Cela permettra de comparer les performances de notre algorithme avec ceux déjà existant.

2.II. Résultats de simulation

2.II.a. Simulation de la chaîne de gate-drivers

Dans un premier temps, une simulation du comportement de la chaîne de gate-drivers est proposée. Elle permet de visualiser les signaux échangés entre les gate-drivers. La chaîne est composée de $N = 15$ gate-drivers. Dans l’exemple choisi, le courant de bras est positif ($I_{bras} > 0$), et une requête d’insertion ($\Delta N_{on} > 0$) est émise par l’organe de commande principal. Les paramètres liés à l’algorithme sont sélectionnés comme dans le Tableau 8.

Tableau 8. Paramètres de la simulation des gate-drivers

Nombre de gate-drivers	N	15
Résolution du compteur de priorité	q	3
Temps de propagation d’un gate-driver à l’autre	t_{propag}	200 ns
Fréquence d’incréméntation des compteurs	f_{clk}	10 Mhz
Tension V_C maximale théorique	V_{CMax}	1760 V
Tension V_C minimale théorique	V_{CMin}	1440 V
Durée du compteur de synchronisation	$t_{synchro}$	16.7 μ s

La valeur de $t_{synchro}$ est déterminée à partir des équations du chapitre précédent. La valeur maximale du compteur de priorité $t_{prioMax}$ est donnée dans (3.4). La valeur de $t_{synchro}$ est obtenue d’après (2.13) :

$$t_{prioMax} = \frac{V_{Cmax} - V_{Cmin}}{q} \frac{1}{f_{clk}} = 10.7 \mu s \quad (3.4)$$

Les chronogrammes correspondants sont donnés sur la Figure 46. Les gate-drivers sont présentés, de haut en bas, de $D1$ à $D15$. Les états des gate-drivers (ON/OFF) au début de la procédure sont donnés. La convention de légende est toujours conservée. Les chronogrammes présentent les trames montantes et descendantes émises par les gate-drivers à leurs voisins, les valeurs de tensions V_c ainsi que l’état des compteurs de priorité associés s’il y a lieu.

D’après les conditions initiales et les règles de l’algorithme RSF, la procédure doit sélectionner le gate-driver dont la tension V_C est la plus faible parmi ceux dans l’état OFF, soit $D14$ dans l’exemple. Les sous-modules insérés au début de la procédure ne doivent pas être sélectionnés (ici, $D7$ présente la tension la plus faible, mais se trouve déjà dans l’état ON). A $t = 0$ s, $D1$ reçoit la requête d’insertion du contrôle/commande. La trame d’initialisation est envoyée aux gate-drivers suivants. Les gate-drivers propagent cette trame avec un bit de retard, c’est-à-dire en introduisant un délai t_{propag} .

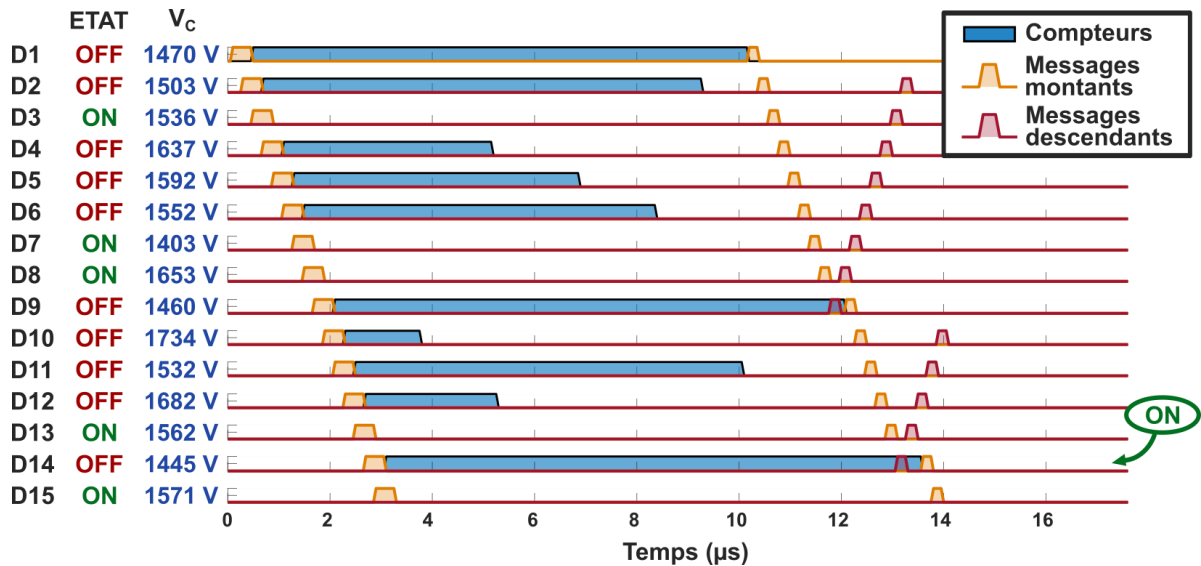


Figure 46. Chronogrammes simulés des différents signaux inter-drivers et intra-drivers

Tous les gate-drivers dans l'état OFF initient leurs compteurs de priorité. Dans la simulation, le temps éventuellement nécessaire à la mesure de V_c et I_{bras} n'est pas considéré. Lorsque le compteur de priorité de $D1$ atteint sa valeur maximale, un bit de FIN est émis. $D9$ reçoit ce bit et envoie un bit de TKN en retour. A la fin de la période de comptage de $D9$, il envoie lui-même un bit de FIN le long de la chaîne. $D14$ reçoit cette trame et répond par un bit TKN pour $D9$. La même opération se répète pour $D14$, qui n'obtient finalement pas de réponse à la suite de l'envoi de son bit de FIN. Il change donc d'état au bout de $t_{synchro_14}$, soit 16.7 μs après le début de la procédure.

Le comportement de la chaîne de gate-drivers en simulation confirme le bon fonctionnement de la procédure proposée dans le chapitre précédent. Les échanges de trames entre les gate-drivers, ainsi que les critères de sélection de l'algorithme sont conformes à ceux attendus. Cette chaîne est implémentée dans le MMC simulé dans la suite.

2.II.b. Etude statique du convertisseur

Dans un premier temps, une étude en régime établie est menée. Les paramètres du MMC triphasé simulé sont donnés dans le Tableau 9. Les tensions et courants triphasés de sortie du convertisseur sont représentés sur la Figure 47.

Les tensions de sorties présentent très peu d'harmoniques malgré l'absence de filtre, ce qui confirme bien les performances du convertisseur en terme de qualité des signaux. Les courants sont filtrés par l'inductance de liaison L_{filtre} entre le réseau et le convertisseur. La valeur maximale des courants de sortie \hat{I}_{grid} est déterminée via un calcul de puissance du réseau, d'après (3.5).

$$\hat{I}_{grid} = \frac{2 S_{grid}}{3 V_{grid}} = 333.3 \text{ A} \quad (3.5)$$

Tableau 9. Paramètres du convertisseur MMC simulé pour l'étude de l'algorithme intégré à la chaîne de gate-drivers

Paramètre de l'étage de puissance		
Sous-modules par bras	N	30
Inductance de bras	L_{bras}	1.5 mH
Capacité des condensateurs de sous-module	C	2.6 mF
Tension moyenne aux bornes des condensateurs	V_{Cref}	1.6 kV
Fréquence des porteuses PDPWM	f_{PDPWM}	5.5 kHz
Paramètres de l'étage des gate-drivers		
Résolution du compteur de priorité	q	3
Temps de propagation d'un gate-driver à l'autre	t_{propag}	200 ns
Fréquence d'incrémentación des compteurs	f_{clk}	10 Mhz
Tension V_C maximale théorique	V_{CMax}	1760 V
Tension V_C minimale théorique	V_{CMin}	1440 V
Durée du compteur de synchronisation	$t_{synchro}$	22.6 μ s
Paramètres du réseau AC		
Fréquence du réseau	f_{grid}	60 Hz
Tension maximale du réseau	V_{grid}	20 kV
Inductance de filtrage	L_{filtre}	12 mH
Puissance apparente de référence	S_{grid}	10 MVA
Facteur de puissance de référence	$\cos(\varphi)$	0.707
Paramètres du bus DC		
Tension pôle à pôle	V_{DC}	48 kV

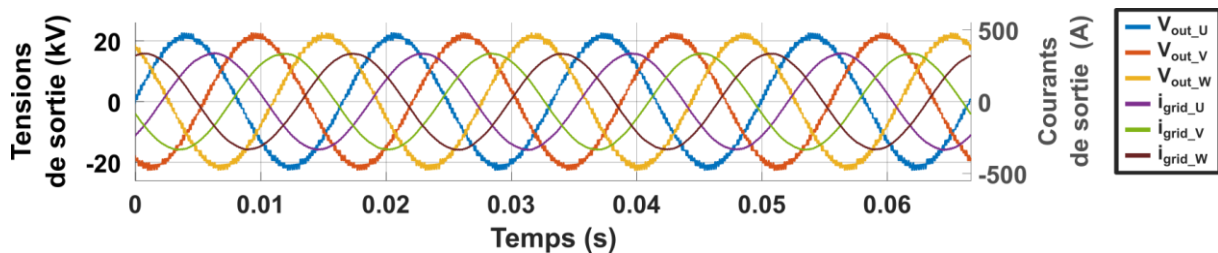


Figure 47. Tensions et courants triphasés de sortie du convertisseur simulé

La puissance de sortie du convertisseur est correctement régulée. Les formes d'ondes ne présentent pas de bruit particulier, et la présence de la chaîne de gate-drivers ne semble pas impacter le suivi de consigne. Les courants de circulations triphasés du convertisseur simulé sont présentés sur la Figure 48 dans le repère (abc) et le repère (dq0)₂.

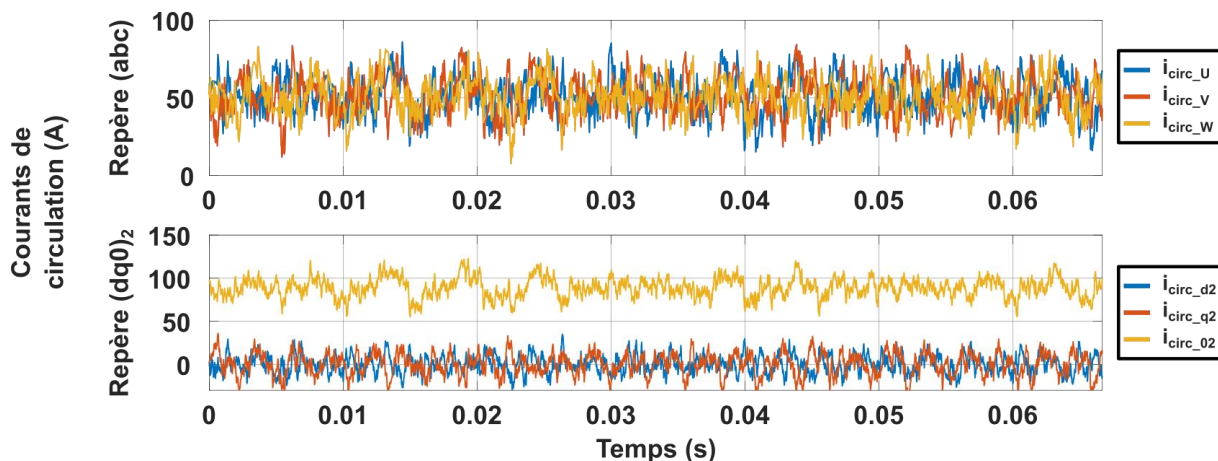


Figure 48. Courants de circulation triphasés du convertisseur simulé dans les repères (abc) et (dq0)₂

La représentation des courants de circulation dans le repère $(dq0)_2$ montre clairement que leur contenu fréquentiel ne présente plus d'harmonique de rang 2. Les composantes directe d et en quadrature q sont efficacement maintenues à 0 par le CCSC à cette fréquence. Les courants de circulation triphasés sont maintenus à une valeur constante afin d'asservir l'énergie contenue dans les bras. Le schéma de régulation sélectionné est performant. Il n'est pas impacté par l'exécution d'un algorithme d'équilibrage par la chaîne de gate-drivers.

Les tensions aux bornes des 60 condensateurs d'une phase du MMC simulé sont affichées sur la Figure 49, à gauche. Les droites horizontales noires pointillées représentent les limites de tension acceptables ($V_{\text{Cref}} \pm 10\%$). Les tensions sont bien maintenues dans cette plage de valeur. Elles sont efficacement équilibrées grâce à l'algorithme développé. Afin de démontrer les performances de la solution proposée, la même simulation est exécutée en remplaçant la chaîne de gate-drivers par l'algorithme RSF originellement proposé.

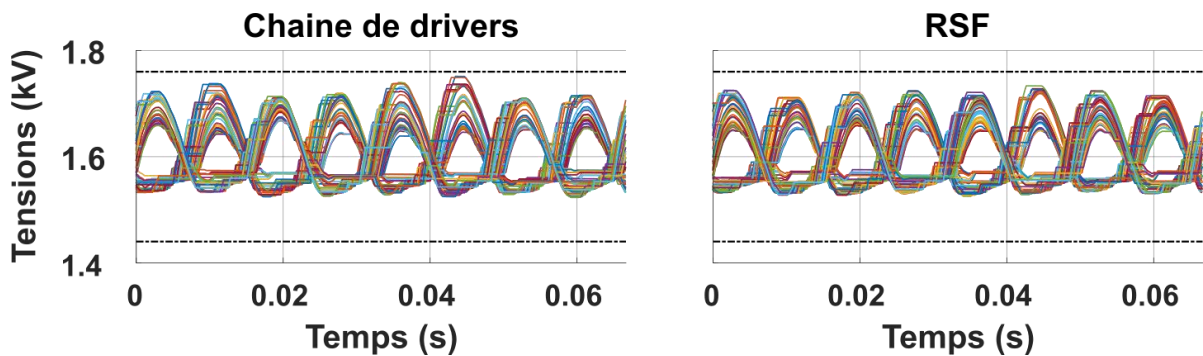


Figure 49. Comparaison des algorithmes : Tensions aux bornes des 60 condensateurs de la phase a

Les tensions aux bornes des condensateurs de bras avec l'algorithme RSF sont présentées à droite de la Figure 49. Tous les paramètres du convertisseur sont conservés, les conditions de simulation sont strictement identiques à la simulation précédente, seul le bloc AET est échangé. L'algorithme est exécuté en un seul pas de temps par le simulateur, et n'introduit donc pas de délais à la différence de l'algorithme intégré sur la chaîne de gate-drivers. Il est clair que les résultats obtenus avec les deux blocs AET sont similaires, ce qui valide le comportement de l'algorithme intégré aux gate-drivers proposé dans ces travaux.

Le nombre de sous-modules insérés à chaque instant dans le bras u de la phase a $N_{\text{ONu},a}$ est étudié dans la Figure 50. Il est comparé avec sa référence $N_{\text{ONrefu},a}$ émise par l'étage de modulation. Le délai entre les requêtes d'insertion/retrait et leurs applications effectives est dû à la présence de l'AET exécuté par les gate-drivers. Il est égal à sa durée d'exécution t_{synchro} . La valeur de $N_{\text{ONu},a}$ est maintenue pendant un durée minimale t_{synchro} quel que soit l'état de l'entrée.

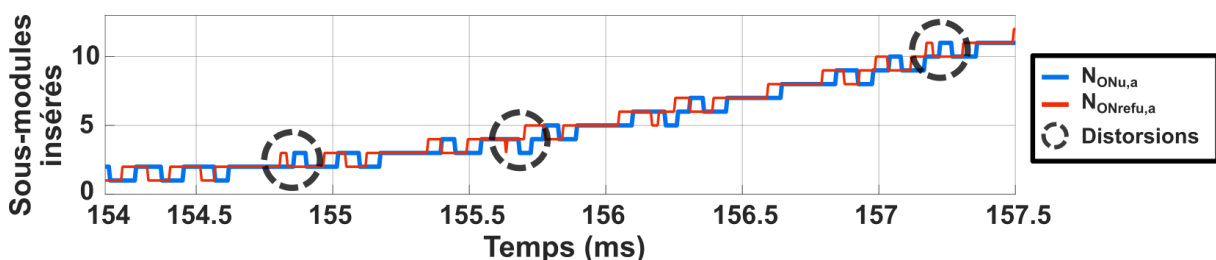


Figure 50. Nombre de sous-modules insérés du bras U de la phase a et sa référence

Des impulsions courtes sont visibles sur la Figure 50, comme attendu de la modulation PDPWM. Leur durée peut être inférieure à t_{synchro} . Il en résulte une distorsion de l'onde de sortie. De telles distorsions sont entourées sur la Figure 50. La suite de ce chapitre présente des résultats de simulation permettant d'analyser la dynamique du convertisseur avec la chaîne de gate-drivers.

2.II.c. Etude dynamique du convertisseur

Dans cette section, les performances dynamiques du convertisseur sont étudiées lors de variations fortes de son environnement. Les conditions de simulation sont identiques aux précédentes, à la différence que la consigne de puissance initiale est $S_{\text{gridref}} = 7 \text{ MVA}$. Le facteur de puissance est conservé. A $t = 0 \text{ s}$, la tension du réseau subit une diminution instantanée de 33% de sa valeur. Sa valeur maximale V_{grid} chute de 20 kV à 13.5 kV, simulant un impact de charge important. Les consignes de puissances sont maintenues constantes après l'impact. Les résultats de la simulation sont compilés sur la Figure 51. Les tensions et courants de sortie du convertisseur sont donnés en haut de la Figure 51. Les puissances actives et réactives avec leur référence sont présentées au milieu. Les 60 tensions V_c aux bornes des condensateurs de la phase a sont affichés en bas de la Figure 51.

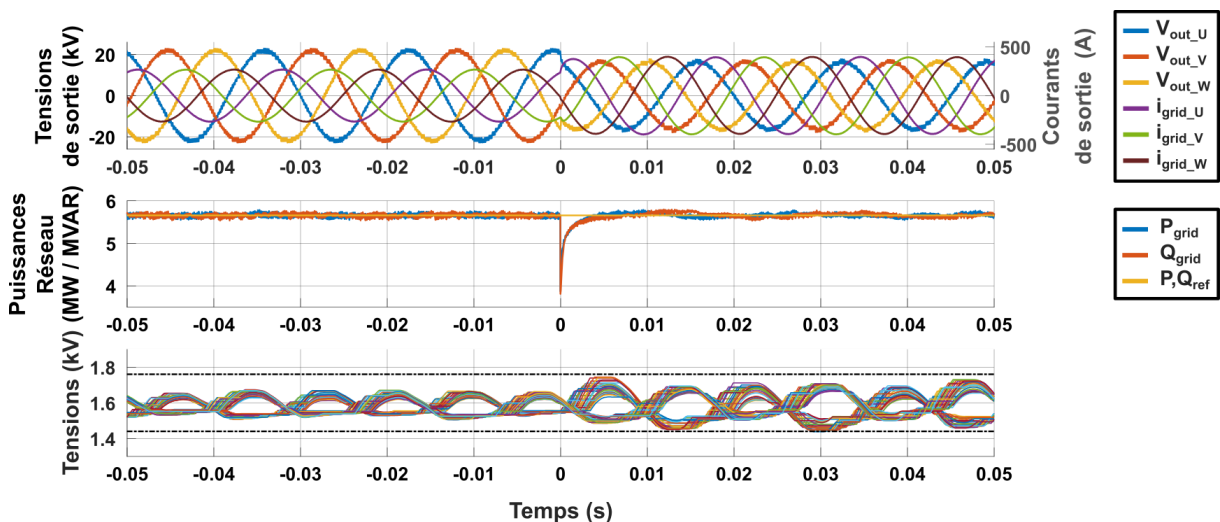


Figure 51. Résultat de simulation de l'impact de charge : Tensions et courants de sortie triphasés (haut), Puissances fournies au réseau (milieu), tensions aux bornes des condensateurs de la phase a (bas).

Les consignes de puissance sont efficacement suivies par le convertisseur. L'impact de charge entraîne une forte réduction des tensions de sortie du convertisseur et une augmentation des courants de sortie, afin de s'adapter à la chute de tension importante du réseau. Le temps de réponse de la régulation est inférieur à 5 ms. Le schéma de contrôle régule efficacement les puissances fournies au réseau. La chaîne de gate-drivers n'impacte pas la stabilité de la commande, même en cas de transition dynamiques intenses.

L'influence de l'impact de charge sur les tensions aux bornes des condensateurs peut être évaluée sur la Figure 51. Un déséquilibre momentané apparaît sur les tensions, qui restent cependant confinées dans la limite des 10% d'écart par rapport à leur référence V_{Cref} . Les tensions s'équilibrent au bout d'un certain nombre de périodes. Ces simulations ont donc permis de montrer que le schéma de contrôle proposé assure la stabilité du convertisseur, même lors d'impacts de charge importants. Le délai

intrinsèque de la chaîne de gate-drivers n'impacte pas la stabilité ou l'équilibre des tensions aux bornes des condensateurs de bras dans le cas extrême étudié. L'algorithme ne semble pas modifier le comportement des grandeurs comme les puissances, les tensions et les courants de sortie ou de circulation. Une étude fine de l'impact de la chaîne de gate-drivers sur la régulation du convertisseur est menée dans la section suivante.

2.III. Résultats de simulation de l'algorithme : Limites

2.III.a. Slew Rate et distorsions

Il a été montré sur la Figure 50 que la sortie de l'algorithme (signaux S_{new}) est maintenue pendant une durée minimale $t_{synchro}$. Certaines distorsions peuvent apparaître entre la forme d'onde de sortie de l'algorithme et sa référence lorsque les temps de conduction de l'onde (durées entre deux commutations) sont inférieurs à $t_{synchro}$. La même analyse est menée à partir de la Figure 52. Elle présente une comparaison similaire à la Figure 50 de $N_{ONu,a}$ et sa référence $N_{ONrefu,a}$ lors de l'impact de charge.

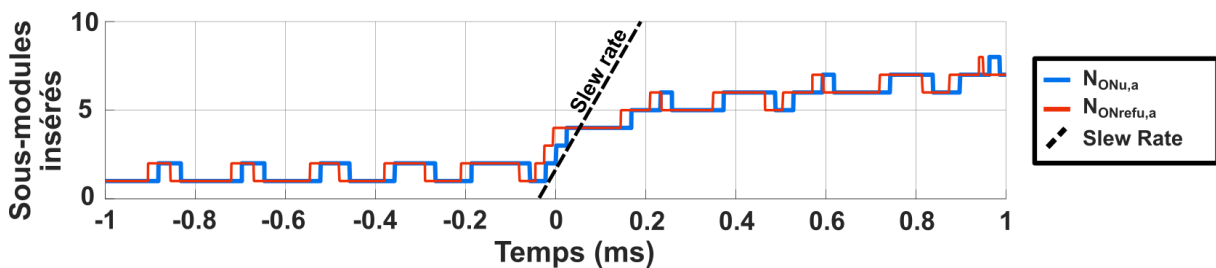


Figure 52. Étude dynamique du nombre de sous-modules insérés du bras U de la phase a et sa référence

La valeur de $N_{ONrefu,a}$ varie rapidement de 1 à 3 à $t = 0$ s. La valeur de $N_{ONu,a}$ tend à suivre cette consigne, mais sa dynamique est limitée. Il apparaît alors une « pente maximale » qui limite la rapidité des changements appliqués à l'indice d'insertion. Cette pente peut être modélisée par un effet de « slew rate », comme le montre la Figure 52. La valeur de cette pente est donnée dans (3.6).

$$\frac{dN_{ON}}{dt} = \frac{1}{t_{synchro}} \quad (3.6)$$

Malgré l'impact de charge simulé $N_{ONu,a}$ dévie relativement peu de la référence. Pour cette raison, les performances dynamiques du convertisseur ne sont pas impactées par la chaîne de gate-drivers. Cependant, la valeur de $t_{synchro}$ augmente avec le nombre de sous-modules. Il existe donc une valeur de N à partir de laquelle la stabilité du convertisseur pourrait être menacée. Cette limite dépend de la résolution de tension q , mais également des technologies de gate-drivers mises en œuvre, et notamment de la valeur de t_{propag} . Le choix des dynamiques des différents régulateurs du convertisseur doit être adapté à la présence de la chaîne de gate-drivers. Leurs paramètres dynamiques doivent être sélectionnés de manière cohérente avec les délais imposés par la modulation et la chaîne de gate-drivers.

Le problème lié aux distorsions de l'onde de sortie ne peut être adressé que sous l'angle du choix de la méthode de modulation. En effet, il a déjà été montré que les impulsions courtes sont inhérentes aux modulations MLI à porteuses. Pour s'assurer qu'aucune distorsion n'apparaisse, la modulation

sélectionnée doit assurer que les temps de conduction qu'elle produit soient supérieurs à $t_{\text{synchrono}}$. La section suivante démontre que les modulations basses fréquences usuelles sont incompatibles avec l'algorithme RSF.

2.III.b. Modulations basses fréquences et algorithme RSF

La modulation NLM est appropriée pour être utilisée conjointement avec l'algorithme présenté dans ces travaux. En effet, elle assure des temps de conduction longs contrairement aux modulations haute fréquence. Une simulation d'un MMC est réalisée dans des conditions similaires aux précédentes. L'algorithme RSF est utilisé ainsi que la modulation NLM. Le facteur de puissance $\cos(\varphi)$ est maintenu proche de 0 (transfert d'énergie purement réactif). Les tensions aux bornes des 60 condensateurs de la phase a sont présentées sur la Figure 53.

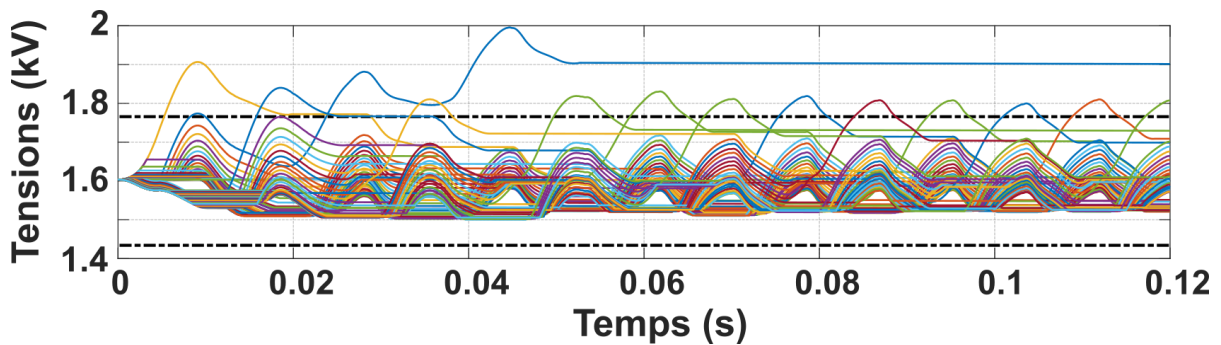


Figure 53. Tensions aux bornes des 60 condensateurs d'une phase du MMC simulé avec la modulation NLM et l'algorithme RSF

Une problématique intrinsèque à l'utilisation de RSF avec les modulations NLM est mise en évidence. Les tensions aux bornes des condensateurs subissent de fortes déviations incontrôlées. Elles dépassent le seuil maximal admissible de 1760 V (10% de V_{ref}). De plus, un des condensateurs voit sa tension dévier très largement par rapport à celles des autres, puis est retiré du bras par l'algorithme RSF de manière définitive. Il est clair que ce comportement peut mener à des instabilités. L'origine de ce phénomène est expliquée ci-après.

L'algorithme RSF maintient les signaux de grille constants tant qu'un ordre de commutation n'est pas envoyé par l'étage de modulation. La modulation NLM produit une onde en escalier pour une référence sinusoïdale. Elle n'a pas la caractéristique d'une MLI, et durant chaque demi-période de la sinusoïde de sortie, les sous-modules ne sont qu'insérés ou retirés du bras.

Précisément, tant que la référence est croissante, le nombre de sous-modules insérés dans le bras ne fait que croître. Tant que la référence est décroissante, le nombre de sous-modules insérés dans le bras ne fait que décroître. Ainsi, pour une référence de tension de bras sinusoïdale de valeur maximale \hat{U}_{ref} de la forme $U_{\text{ref}} = \hat{U}_{\text{ref}} \sin(\omega t)$, la variation du nombre de sous modules insérés dans le bras ΔN_{ON} est tel que donnée dans (3.7) :

$$\begin{cases} \omega t \in \left[-\frac{\pi}{2}; \frac{\pi}{2}\right] \rightarrow \Delta N_{\text{ON}} \geq 0 \\ \omega t \in \left[\frac{\pi}{2}; \frac{3\pi}{2}\right] \rightarrow \Delta N_{\text{ON}} \leq 0 \end{cases} \quad (3.7)$$

Ainsi, lorsque la modulation NLM est utilisée conjointement avec l'algorithme RSF, les sous-modules insérés dans le circuit ne sont pas retirés avant la prochaine demi-période. Les tensions aux bornes des condensateurs ne sont plus contrôlables, et leur évolution ne dépend que du courant de bras durant chaque demi-période du sinus de référence. Une représentation graphique du phénomène est proposée sur la Figure 54 avec $N = 10$.

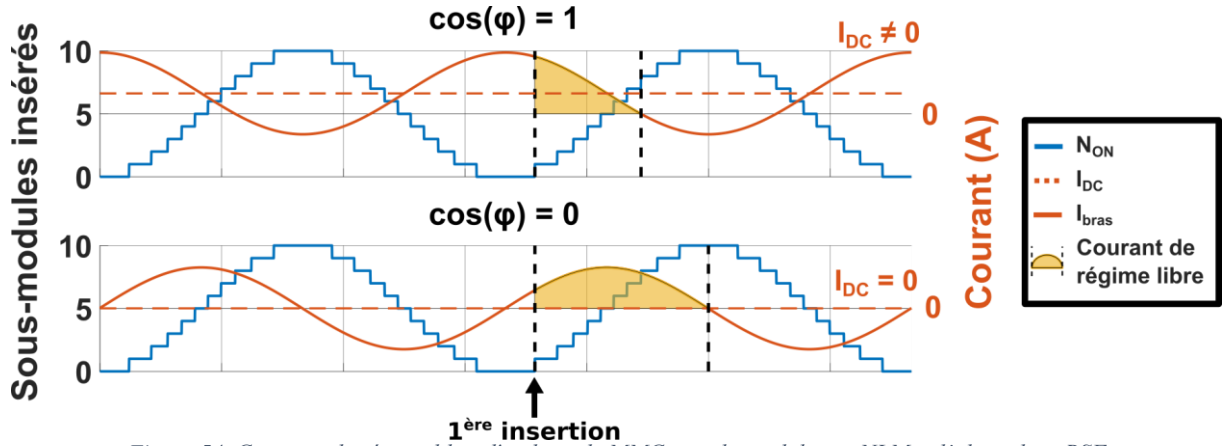


Figure 54. Courants de régime libre d'un bras de MMC avec la modulation NLM et l'algorithme RSF

La Figure 54 présente un modèle simplifié dans lequel le courant de circulation est parfaitement continu, tel que donnée dans les relations (3.8). Les résultats de simulation présentés dans la section précédente montrent que cette simplification est acceptable au vu de l'efficacité des schémas de régulation des courants de circulation.

L'étude menée dans la suite utilise les notations introduites dans le chapitre 1. D'après la Figure 54, le courant du bras *up* $I_{u,j}$ est en opposition de phase avec la tension de bras $U_{u,j}$ pour un transfert de puissance purement actif. Ce résultat apparait dans les équations (3.8), qui indiquent que $U_{u,j}$ et $I_{u,j}$ sont constitués respectivement de la tension et du courant du réseau, de signes opposés. Ce résultat est également vrai pour le bras *low*.

$$\begin{cases} U_{u,j} = \frac{V_{DC}}{2} - V_{out,j} \\ I_{u,j} = i_{c,j} + \frac{i_{out,j}}{2} = \frac{I_{DC}}{3} + \frac{i_{out,j}}{2} \end{cases} \quad (3.8)$$

La Figure 54 indique la partie du courant positif circulant dans le premier sous-module inséré. La tension aux bornes de ce condensateur augmente proportionnellement à l'intégrale de ce courant. Ce phénomène est responsable des très fortes déviations de tensions observées sur la Figure 53. Lorsque le courant change de signe, la variation change également de signe. Ainsi, une déviation en tension très élevée apparait lorsque $\cos(\varphi) = 0$, puisque le courant de bras traverse alors le condensateur du premier sous-module inséré pendant toute une demi période.

D'autre part, dans le cas présenté sur la Figure 54, le nombre de sous-modules insérés dans le bras s'annule périodiquement. Or, cela n'est pas le cas pour des indices de modulation suffisamment faibles. D'après la Figure 54, il existe des valeurs de facteurs de puissance pour lesquels le signe du courant de bras est constant durant les intervalles donnés dans (3.7). Dans ces intervalles, ΔN_{ON} ne change pas de signe.

Cela entraîne alors des instabilités conduisant l'algorithme RSF à maintenir constant l'état de certains sous-modules. Par exemple, d'après les règles de RSF, lorsque la variation d'indice d'insertion et le courant de bras sont positifs, la tension V_C la plus faible est insérée. Ainsi, dans le cas où l'indice de modulation ne s'annule pas, le cas de la Figure 53 peut apparaître. La tension la plus élevée ne sera jamais insérée.

Une incompatibilité fondamentale existe entre l'algorithme d'équilibrage RSF et la modulation NLM, notamment pour des valeurs de facteur de puissance proches de 0. D'une part, les tensions aux bornes des condensateurs subissent de fortes variations incontrôlées et proportionnelles au courant de charge. D'autre part, des instabilités peuvent apparaître dans une certaine plage de fonctionnement.

Or, ces deux méthodes restent, prises indépendamment, les plus simple à mettre en œuvre, notamment pour des architectures avec un nombre très élevé de sous-modules. Elles limitent les pertes en commutation des transistors de bras. La section suivante propose des modulations hybrides offrant des fréquences de commutation réduites, tout en étant compatibles avec RSF. La méthode de génération innovante de ces modulations augmente leur simplicité de mise en œuvre ainsi que leur déterminisme. Les temps de conductions produits par ces modulations sont parfaitement maîtrisés.

3. Modulations hybrides innovantes compatibles avec l'algorithme RSF

3.1. Porteuses statiques pour les modulations basses fréquences

Cette section présente un principe de génération de la modulation NLM basée sur des « porteuses statiques ». Le principe a parfois été évoqué dans la littérature scientifique [24], et consiste à comparer la valeur de la référence avec des porteuses de valeurs constantes. La génération d'une modulation NLM par porteuses statiques est illustrée sur la Figure 55.

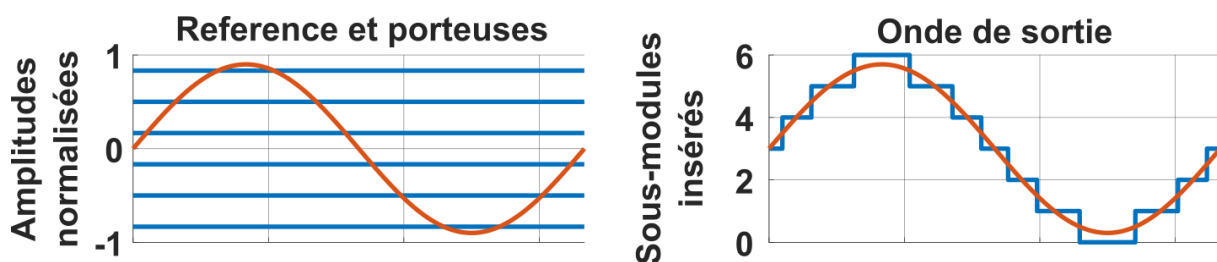


Figure 55. Nearest Level Modulation (NLM) à partir de porteuses statiques

La génération de porteuses pour un convertisseur multiniveau triphasé représente une charge de calcul importante. Il faut générer un total de $6 \times N$ porteuses pour un tel convertisseur. Ces porteuses étant triangulaires ou en dents de scie, elles nécessitent une certaine résolution pour leur génération, notamment lorsque leur nombre est important. Cela implique l'exécution de calculs « online », et l'occupation d'espaces mémoire conséquents. Les porteuses statiques ne nécessitent qu'une seule valeur à stocker en mémoire, et ne varient pas au cours du temps puisqu'elles ne dépendent que de N . La problématique de la résolution est supprimée, et l'espace mémoire nécessaire au stockage de valeurs constantes est extrêmement faible. Le système de porteuses proposé dans ces travaux assure la parité de

l'onde de sortie, et se base sur une équation très simple pour sa génération. La répartition proposée assure un écart constant entre les porteuses.

Les porteuses sont numérotées de 1 à N , la porteuse numéro 1 étant la plus proche de -1 , et la $N^{\text{ème}}$ porteuse est la plus proche de 1 . Chaque porteuse p est associée à une droite D_p dont l'équation dans l'espace normalisé $[-1;1]$ est donnée dans (3.9). Ainsi, la charge de calcul est largement réduite puisqu'il suffit de remplacer la valeur de p par toutes les valeurs entre 1 et N pour obtenir toutes les valeurs D_p .

$$D_p = \frac{2}{N}(p - 1) + \frac{1}{N} - 1 = \frac{2p - 1}{N} - 1 \quad (3.9)$$

Le nombre de commutations par période réseau produit par ces porteuses peut être déterminé à l'avance, en fonction de l'indice de modulation k . Une commutation est produite à chaque fois que la modulante croise une porteuse. Les formes d'onde étant symétriques, le nombre de commutation N_{switch} est toujours pair et est égale au nombre de porteuses intersectées par la modulante N_{carrier} multiplié par deux. La valeur de N_{carrier} dépend de la valeur de p_{max} , p_{max} étant définie comme le rang de la porteuse intersectée par la modulante dont la droite $D_{p_{\text{max}}}$ associée est la plus proche de 1 . p_{max} est alors la porteuse dont le rang est le plus élevée parmi celles satisfaisant le critère (3.10), et N_{carrier} est obtenue via la relation (3.11) :

$$m > D_{p_{\text{max}}} = \frac{2 p_{\text{max}} - 1}{N} - 1 \quad (3.10)$$

$$N_{\text{carrier}} = 2 p_{\text{max}} - N \quad (3.11)$$

Le nombre de commutations par période N_{switch} engendrées par la NLM basée sur des porteuses statiques est donnée dans (3.12). La fonction $[X]$ est la fonction « Partie Entière » d'un nombre réel X , dont le résultat est la valeur de X arrondie à l'entier inférieur.

$$N_{\text{switch}} = 4 p_{\text{max}} - 2N$$

$$N_{\text{switch}} = 4 \left\lfloor \frac{N(m+1)+1}{2} \right\rfloor - 2N \quad (3.12)$$

Les porteuses statiques sont un moyen très efficace de générer des modulations basse fréquence. Elles sont en effet très simples à générer à partir d'une simple équation. Elles permettent de prédire le nombre de commutations produites par périodes à l'aide de formules simples et offrent des temps de conduction déterministes. La suite de ce chapitre présente des modulations hybrides compatibles avec l'algorithme RSF dont la génération est basée sur des porteuses statiques modifiées.

3.II. LCPWM

L'idée présentée dans cette section repose sur le constat d'incompatibilité entre l'algorithme RSF et la modulation NLM, du fait de sa forme d'onde en « escalier ». Le signe de ΔN_{ON} doit changer régulièrement pour assurer l'équilibrage des tensions aux bornes des condensateurs. Les modulations HF basées sur des porteuses génèrent des fronts de commutations brefs, qui conduiraient à des distorsions si elles sont utilisées avec la chaîne de gate-drivers proposée.

La modulation introduite doit donc être simple à mettre en œuvre, être compatible avec l'algorithme RSF et présenter des temps de conduction longs. Elle est nommée « Long-Conduction time Pulse Width Modulation » (LCPWM) et elle est présentée sur la Figure 56 pour $N = 5$ (a) et $N = 6$ (b).

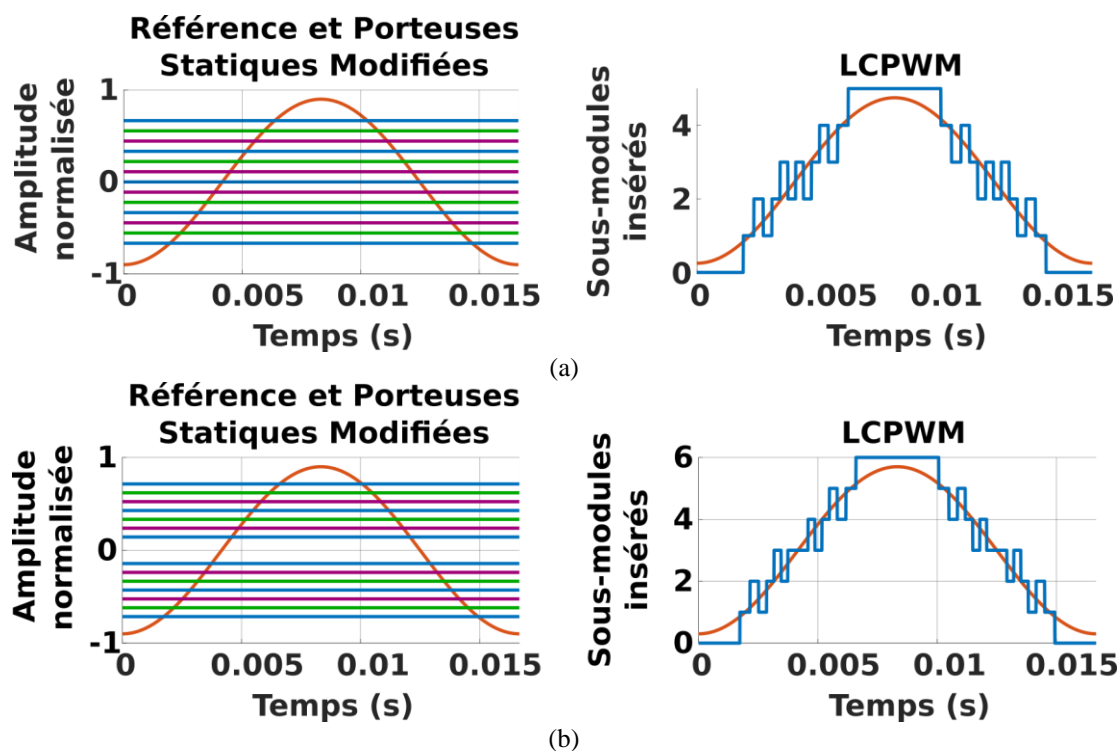


Figure 56. LCPWM avec $N = 5$ sous modules par bras (a) et $N = 6$ sous modules par bras (b)

La parité du nombre de sous modules influe en effet sur la répartition des porteuses dans l'espace normalisé. Elle est obtenue à l'aides de porteuses statiques modifiées. L'ensemble de porteuses dites « principales » est représenté en bleu. Les porteuses dites « intermédiaires », ou « secondaires », sont représentées en mauve et en vert. Elles sont ajoutées entre les porteuses principales afin d'augmenter le nombre de commutations produites par la forme d'onde. Elles génèrent 2 commutations supplémentaires à chaque niveau.

Les droites D_p associées aux p porteuses principales de la LCPWM sont générées à partir de l'équation (3.13). La forme d'onde obtenue à partir de cette équation est plus proche de la référence qu'avec des porteuses générées selon l'équation (3.13), du fait de l'introduction de porteuses supplémentaires.

$$D_p = \frac{2p}{N+1} - 1 \quad (3.13)$$

L'espace entre chaque porteuse est choisi constant afin de maximiser les temps de conduction. Ce choix est discuté à la fin de ce chapitre. La génération de l'indice d'insertion d'un bras à partir des porteuses statiques de la LCPWM est décrite sur la Figure 57. L'espace entre les porteuses principales vaut $2 / (N + 1)$. Les deux jeux de porteuses verts et mauves sont ajoutés respectivement au tiers et aux deux tiers de cet espace.

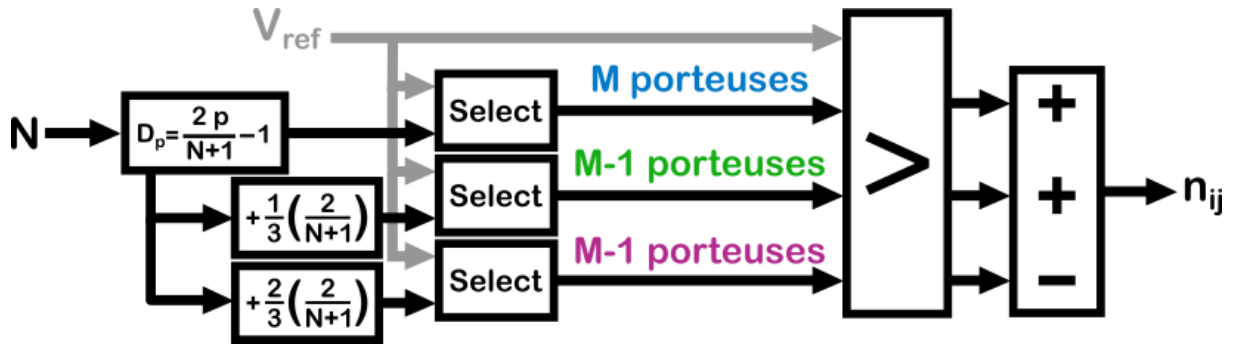


Figure 57. Génération de l'indice d'insertion de la LCPWM à l'aide de porteuses statiques modifiées.

Le jeu de porteuse principale compte N porteuses, contre $N - 1$ ou $N - 2$ porteuses intermédiaires de chaque couleur dans le cas où N est impair ou pair respectivement. La Figure 57 présente un exemple dans lequel N est impair, les porteuses intermédiaires les plus proches de '0' étant retirées pour la modulation LCPWM lorsque N est pair. Seules M porteuses sont conservées parmi les porteuses principales, et $M - 1$ ou $M - 2$ parmi les porteuses secondaires, suivant la parité de N . La sélection dépend de l'indice de modulation k . Les niveaux principaux étant définis par les porteuses statiques, il est nécessaire de supprimer toutes les porteuses secondaires éventuellement présentes aux maxima de l'onde de référence d'amplitude k .

Seules les M porteuses principales dont les droites D_p sont telles que $-k < D_p < k$ sont sélectionnées. Les porteuses secondaires sont sélectionnées de la même façon, mais la $M^{\text{ème}}$ porteuse est également supprimée. Les modulations à base de porteuses classiques déterminent N_{ON} en comparant la référence avec les porteuses. N_{ON} est alors égale au nombre de porteuses dont les valeurs sont inférieures à la référence. Les porteuses statiques modifiées se basent sur le même principe. Si N_{bleu} , N_{vert} et N_{mauve} correspondent aux nombre de porteuses respectivement bleu, vertes et mauves dont les droites D_p associées sont intersectées par la référence, alors la valeur de N_{ON} est calculée d'après la relation (3.14) :

$$N_{ON} = N_{bleu} + N_{vert} - N_{mauve} \quad (3.14)$$

Cette modulation a pour avantages de maintenir des temps de conduction de durée maximales. Elle est générée très simplement via des jeux de porteuses statiques modifiées. Elle est compatible avec RSF, comme il sera démontré plus loin dans ce chapitre. Les insertions et les retraits sont alternés, assurant un bon équilibrage par l'algorithme RSF.

En revanche, la fréquence de commutation de l'onde de sortie hybride proposée est plus élevée qu'avec des modulations NLM classiques. Le nombre de commutation N_{switch} produit par cette modulation est obtenu via un raisonnement similaire au précédent. $N_{carrier}$ est déterminé par l'équation

(3.11). La valeur de p_{\max} pour les porteuses principales de la LCPWM est donnée dans (3.15). Les commutations supplémentaires $N_{\text{switch_sup}}$ produites par les porteuses intermédiaires dépendent de la parité de N . La valeur de $N_{\text{switch_sup}}$ est donnée dans (3.16). Finalement, la valeur de N_{switch} est donnée dans (3.17) :

$$p_{\max} = \left\lfloor \frac{(N+1)(m+1)}{2} \right\rfloor \quad (3.15)$$

$$\begin{cases} N_{\text{switch_sup}} = 4 (N_{\text{carrier}} - 2) & \text{si } N \text{ est pair} \\ N_{\text{switch_sup}} = 4 (N_{\text{carrier}} - 1) & \text{si } N \text{ est impair} \end{cases} \quad (3.16)$$

$$\begin{cases} N_{\text{switch}} = 8 p_{\max} - 5N - 8 & \text{si } N \text{ est pair} \\ N_{\text{switch}} = 8 p_{\max} - 5N - 2 & \text{si } N \text{ est impair} \end{cases} \quad (3.17)$$

L'efficacité de cette modulation concernant l'équilibrage des tensions aux bornes des condensateurs de sous-modules sera démontrée plus loin dans le chapitre. La prochaine section introduit une seconde modulation basée sur les porteuses statiques modifiées. Elle permet de réduire le nombre de commutation produites par la LCPWM.

3.III. ELCPWM

La seconde modulation hybride proposée dans cette section est nommée « Enhanced-LCPWM » (ELCPWM). Elle offre un compromis entre fréquence de commutation et efficacité d'équilibrage des tensions avec l'algorithme RSF.

La génération de la ELCPWM est basée sur les porteuses statiques modifiées de la LCPWM. Certaines porteuses intermédiaires sont retirées autour du '0' de l'onde. La forme d'onde résultante possède donc une partie en escalier autour du '0', et une partie hybride aux alentours de ses extrema. Les porteuses secondaires retirés laissent des « trous » dans l'onde de sortie. Le nombre de trous T est toujours pair, afin d'assurer la parité de l'onde. La modulation ELCPWM est caractérisée par son nombre de trous, et elle est notée T - ELCPWM.

La Figure 58 propose deux modulations pour un MMC avec $N = 8$: la 2 - ELCPWM et la 4 - ELCPWM. Les porteuses sont retirées autour de la zone dans laquelle la dérivée de la référence est la plus importante. Avec les porteuses statiques, les temps de conduction sont parfaitement définis par la référence. Lorsque la dérivée de la référence est maximale, les temps de conduction sont les plus faibles.

Les raisonnements menés précédemment sont reconduits pour la T - ELCPWM. Le nombre de commutations par période engendrées par la modulation est donné dans (3.18). Il est réduit de $4 T$ par rapport à celui produit par la LCPWM.

$$\begin{cases} N_{\text{switch}} = 8 p_{\max} - 5N - 8 - 4T & \text{si } N \text{ est pair} \\ N_{\text{switch}} = 8 p_{\max} - 5N - 2 - 4T & \text{si } N \text{ est impair} \end{cases} \quad (3.18)$$

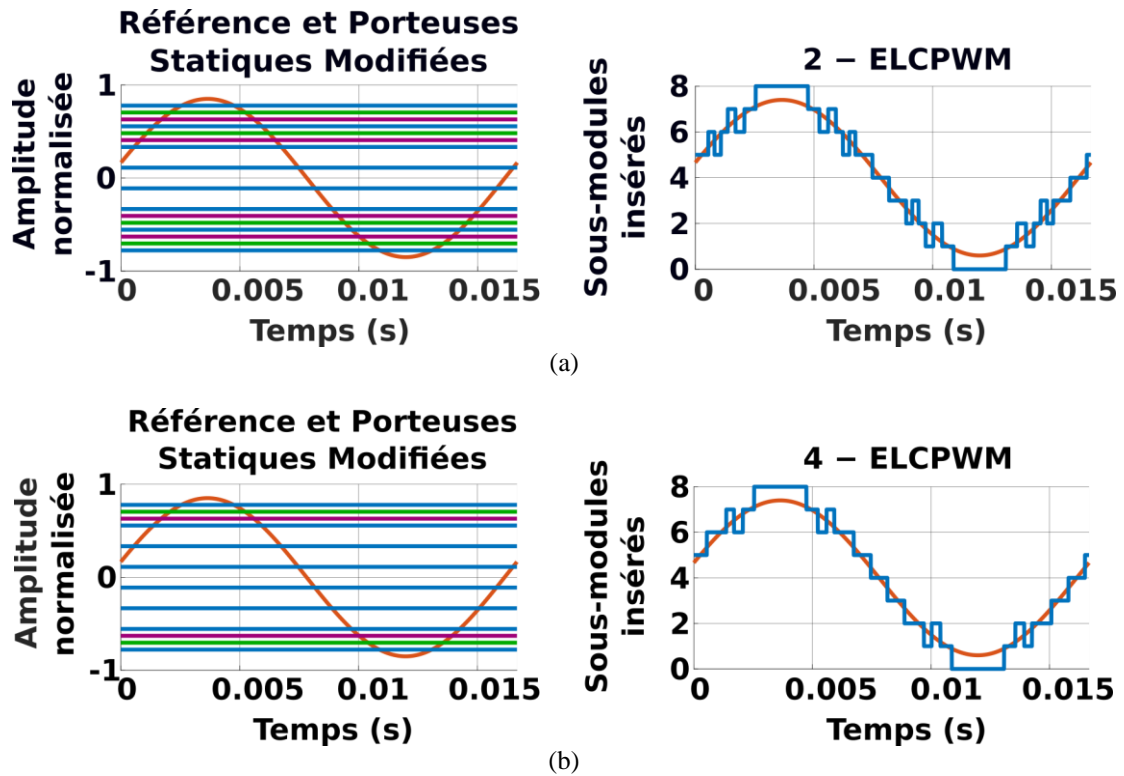


Figure 58. Différentes modulation ELCPWM avec $N = 8$: 2 - ELCPWM (haut) et 4 - ELCPWM (bas)

L'avantage de cette modulation réside notamment dans son paramètre T . Il permet en effet d'ajuster la forme d'onde de sortie afin de satisfaire les critères de l'application. La qualité de l'équilibrage des tensions, la fréquence de commutation et la durée minimale des temps de conduction peuvent être ajustés avec ce paramètre. Sa génération est aussi simple que la précédente, mais l'étape de sélection des porteuses est légèrement modifiée pour retirer les T porteuses secondaires proches de '0'.

La suite de ce chapitre propose une simulation Matlab d'un convertisseur MMC afin de comparer l'efficacité des différentes modulations introduites dans ces travaux.

3.IV. Simulation des modulations hybrides proposées

Les paramètres du convertisseur simulé dans cette partie sont donnés dans le Tableau 10. La chaîne de gate-drivers n'est pas simulée. Elle est remplacée par un bloc correspondant à l'algorithme RSF afin d'accélérer les calculs. La simulation de la chaîne de gate-drivers nécessite en effet de diminuer le pas temporel à au moins la moitié de la période d'horloge T_{clk} afin de simuler la transmission de signaux inter-drivers à débit réelle. Cela correspond, dans ce cas de figure, à diminuer le pas temporel d'un facteur 100 (50 ns pour une horloge à 10 MHz contre 5 μ s dans cette simulation).

Le convertisseur est simulé avec 5 modulations différentes. Les résultats de simulation sont donnés Figure 59 et Figure 60. Les modulations comparées dans cette campagne de simulation sont, de haut en bas, la NLM, la 16 - ELCWPM, la 10 - ELCPWM, la LCPWM et la PDPWM classique à base de porteuses triangulaires.

Tableau 10. Paramètres du convertisseur MMC simulé pour la comparaison des méthodes de modulations

Paramètre de l'étage de puissance		
Sous-modules par bras	N	30
Inductance de bras	L_{bras}	0.5 mH
Capacité des condensateurs de sous-module	C	4.1 mF
Tension moyenne aux bornes des condensateurs	V_{Cref}	1.6 kV
Fréquence des porteuses PDPWM	f_{PDPWM}	6 kHz
Paramètres du réseau AC		
Fréquence du réseau	f_{grid}	60 Hz
Tension maximale du réseau	V_{grid}	17 kV
Inductance de filtrage	L_{filtre}	19 mH
Puissance apparente de référence	S_{grid}	11.6 MVA
Facteur de puissance de référence	$\cos(\varphi)$	0.65
Paramètres du bus DC		
Tension pôle à pôle	V_{DC}	48 kV

La Figure 59 présente les courants et tensions de sortie du convertisseur pour les différentes modulations comparées. La Figure 60 présente les tensions aux bornes des condensateurs de sous-modules de la phase *a*.

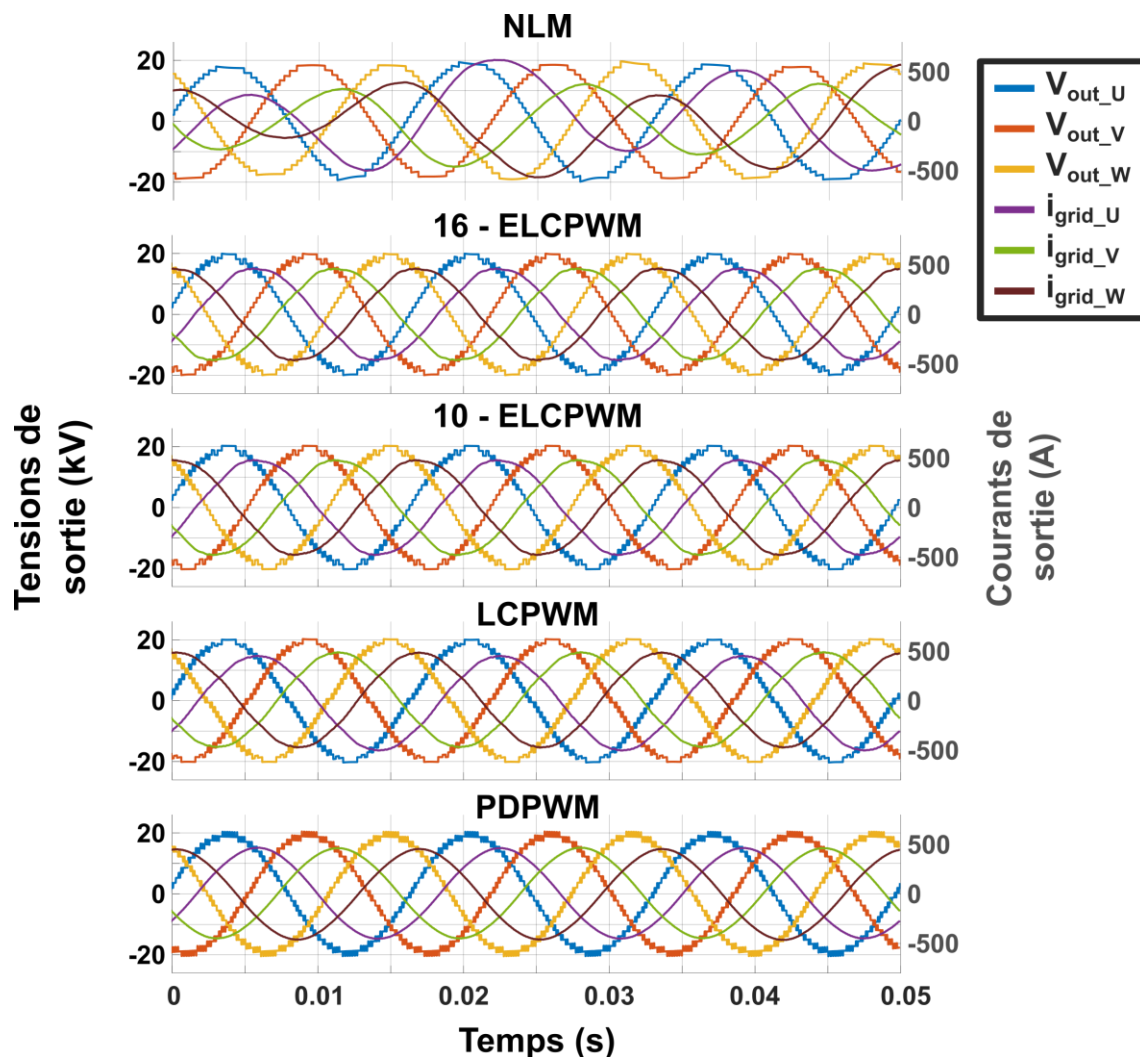


Figure 59. Tensions et courants de sorties du convertisseur MMC simulé avec 5 modulations différentes

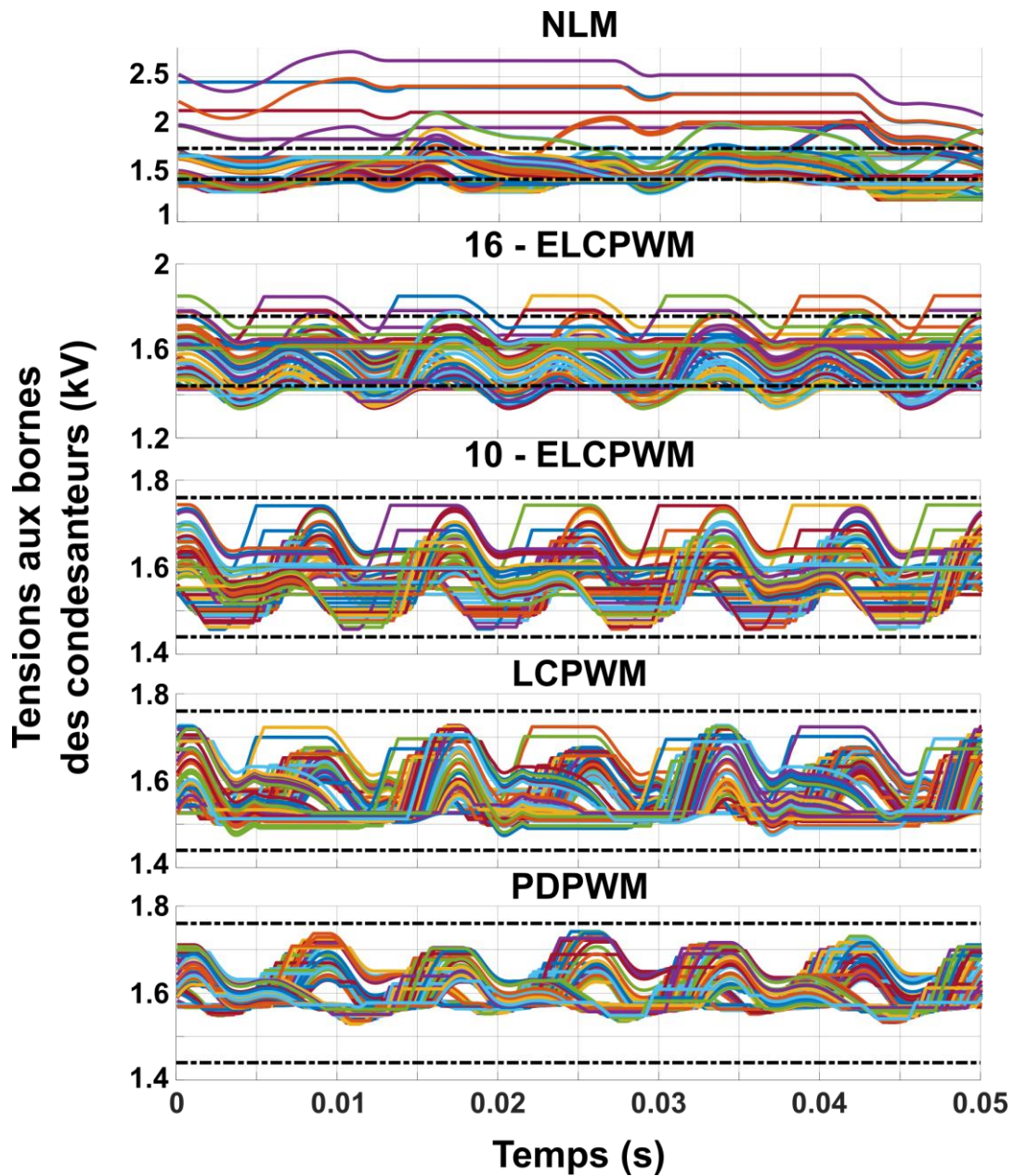


Figure 60. Tensions aux bornes des condensateurs de sous-modules d'une phase du convertisseur MMC simulé avec 5 modulations différentes

Les caractéristiques des différentes modulations sont regroupées dans le Tableau 11. Comme attendu d'après l'analyse faite dans la section 2.III.b, la modulation NLM utilisée conjointement avec l'algorithme RSF produit des erreurs d'équilibrages importantes, entraînant des déviations en tensions inacceptables (Figure 60). Les tensions et courants de sortie produits par cette modulation (Figure 59) sont donc très déséquilibrés.

Tableau 11. Caractéristiques des différentes modulations simulées

Modulations	f_{switch} (kHz)	t_{cond} (μs)	ΔV_C (V)
NLM	1.5	210	1526
16 - ELCPWM	2.6	100	519
10 - ELCPWM	3.6	70	283
LCPWM	4.7	60	225
PDPWM	6	< 5	190

Les paramètres étudiés dans le Tableau 11 sont la fréquence de commutation équivalente f_{switch} , le temps de conduction minimal t_{cond} entre deux commutations, et la plage totale de valeur prise par les tensions de bras ΔV_C . Cette valeur est égale à la différence entre la valeur maximale et la valeur minimale atteinte par les tensions, et doit donc idéalement être inférieure à 20 % de la tension $V_{C_{\text{ref}}}$, soit 320 V.

La modulation PDPWM est très efficace pour équilibrer les tensions aux bornes des condensateurs de bras. En revanche, elle possède une fréquence de commutation élevée, et produit des impulsions courtes dont les durées sont inférieures ou égales au pas de calcul de la simulation. En pratique, cela engendre des distorsions de l'onde de sortie, en particulier lors de l'usage de la chaîne de gate-drivers. La LCPWM produit une onde dont le nombre de commutations par période est inférieur à celle de la PDPWM. L'équilibrage des tensions est assuré de manière très satisfaisante. De plus, les temps de conduction minimaux produits sont largement supérieurs par rapport aux MLI classiques.

Enfin, les deux modulations ELCPWM permettent de réduire la fréquence de commutation équivalente ainsi qu'augmenter les temps de conduction minimaux. La 16 – ELCPWM ne parvient pas à maintenir les tensions V_C dans la plage de tension limite. La 10 – ELCPWM possède des caractéristiques satisfaisant les critères étudiés, et semble donc être la plus appropriée pour le convertisseur simulé.

Conclusion

Dans un premier temps, ce chapitre a permis de valider les lois de commande proposées dans le chapitre précédent. Un modèle de simulation robuste et modulaire est mis au point sur Matlab/Simulink à l'aide de la bibliothèque de composants d'électronique de puissance Simscape. Les simulations du convertisseur en statique et en dynamique ont pu mettre en lumière les performances de l'algorithme intégré à la chaîne de gate-drivers, en le comparant avec l'algorithme RSF dont il partage la structure.

Par la suite, l'outil de simulation a permis de mettre en lumière les instabilités provoquées par les modulations en « escalier » avec l'algorithme RSF. L'origine de ces phénomènes a été discutée et démontrée, et elle a permis de poser des bases pour proposer des modulations plus adaptées. De tels modulations ont été introduites dans la dernière partie de ce chapitre. La LCPWM et la T-ELCPWM sont générées par comparaison de la référence avec des porteuses statiques

Les modulations hybrides présentées dans ces travaux ont été pensées pour remplir les trois critères énumérés ci-après :

- Compatibilité avec l'algorithme RSF,
- Génération à base de porteuses statiques simples,
- Temps de conductions maximums.

Il a été montré par la simulation que ces critères ont effectivement été satisfaits par les modulations proposées. La T – ELCPWM possède un paramètre de réglage supplémentaire permettant à l'ingénieur d'ajuster la modulation aux besoins de l'application. Sa flexibilité d'utilisation, ses caractéristiques basses fréquences et sa simplicité de génération en font une modulation très prometteuse pour les applications avec la chaîne de gate-drivers introduite dans ces travaux.

Cependant, l'effet de ces modulations est négatif sur le THD du courant de sortie, comme constaté sur la Figure 59. Il semble que la répartition des porteuses statiques modifiées dans l'espace entraîne une dégradation de la qualité de l'onde de sortie du point de vue des harmoniques. Le THD ne fait en effet pas parti des critères énumérés plus haut. L'état actuel des travaux n'a pas encore permis de se pencher sur ce sujet. Les futures recherches concerneront l'optimisation multicritère de la répartition spatiale des porteuses statiques afin d'obtenir le meilleur compromis entre la durée minimale des impulsions et le THD de l'onde de sortie.

Bibliographie

- [1] Z. Li, P. Wang, H. Zhu, Z. Chu, and Y. Li, "An improved pulse width modulation method for chopper-cell-based modular multilevel converters," *IEEE Trans. Power Electron.*, vol. 27, no. 8, pp. 3472–3481, 2012, doi: 10.1109/TPEL.2012.2187800.
- [2] G. S. Konstantinou, M. Ciobotaru, and V. G. Agelidis, "Analysis of multi-carrier PWM methods for back-to-back HVDC systems based on modular multilevel converters," *IECON Proc. (Industrial Electron. Conf.)*, pp. 4391–4396, 2011, doi: 10.1109/IECON.2011.6120031.
- [3] N. S. Hasan, N. Rosmin, D. A. A. Osman, and A. H. Musta'amal Jamal, "Reviews on multilevel converter and modulation techniques," *Renew. Sustain. Energy Rev.*, vol. 80, no. September 2016, pp. 163–174, 2017, doi: 10.1016/j.rser.2017.05.163.
- [4] A. António-Ferreira, C. Collados-Rodríguez, and O. Gomis-Bellmunt, "Modulation techniques applied to medium voltage modular multilevel converters for renewable energy integration: A review," *Electr. Power Syst. Res.*, vol. 155, pp. 21–39, 2018, doi: 10.1016/j.epsr.2017.08.015.
- [5] S. Debnath, J. Qin, B. Bahrani, M. Saeedifard, and P. Barbosa, "Operation, control, and applications of the modular multilevel converter: A review," *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 37–53, 2015, doi: 10.1109/TPEL.2014.2309937.
- [6] K. K. Gupta and P. Bathnagar, "Multi Level Inverter Conventional and Emerging Topologies and their control." 2018.
- [7] K. Sharifabadi, L. Harnefors, H.-P. Nee, S. Norrga, and R. Teodorescu, *Design, Control and Application of Modular Multilevel Converters for HVDC Transmission Systems*. Wiley - IEEE Press, 2016.
- [8] G. S. Konstantinou and V. G. Agelidis, "Performance evaluation of half-bridge cascaded multilevel converters operated with multicarrier sinusoidal PWM techniques," *2009 4th IEEE Conf. Ind. Electron. Appl. ICIEA 2009*, pp. 3399–3404, 2009, doi: 10.1109/ICIEA.2009.5138833.
- [9] D.-W. Kang, B.-K. Lee, J.-H. Jeon, T.-J. Kim, and D.-S. Hyun, "A Symmetric Carrier Technique of CRPWM for Voltage Balance Method of Flying-Capacitor Multilevel Inverter," *IEEE Trans. Ind. Electron.*, vol. 52, no. 3, pp. 879–888, 2005, doi: 10.1109/TIE.2005.847574.
- [10] D. . Kang, W. . Lee, and D. . HYUN, "Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter," *IEE Proc.-Electr. Power Appl.*, vol. 151, no. 2, pp. 239–248, 2004, doi: 10.1049/ip-epa.
- [11] E. Sambath, "Performance Evaluation of Multi Carrier Based PWM Techniques for Single Phase Five Level H-Bridge Type FCMLI," *IOSR J. Eng.*, vol. 02, no. 07, pp. 82–90, 2013, doi: 10.9790/3021-02718290.
- [12] M. S. Rajan and R. Seyezhai, "Comparative study of multicarrier PWM techniques for a modular multilevel inverter," *Int. J. Eng. Technol.*, vol. 5, no. 6, pp. 4850–4865, 2013.
- [13] G. Bergna, M. Boyra, and J. Vivas, "Novel Control Strategies for Modular Multilevel Converters (MMC) - An Evaluation and Comparison of Control and Modulation Schemes," *Proc. 2011 Cigre Symp.*, no. Mmc, pp. 1–7, 2011.
- [14] J. Rodríguez, J. S. Lai, and F. Z. Peng, "Multilevel inverters: A survey of topologies, controls, and applications," *IEEE Trans. Ind. Electron.*, vol. 49, no. 4, pp. 724–738, 2002, doi: 10.1109/TIE.2002.801052.
- [15] M. M. Prats, L. G. Franquelo, J. I. León, R. Portillo, E. Galván, and J. M. Carrasco, "A SVM-3D generalized algorithm for multilevel converters," *IECON Proc. (Industrial Electron. Conf.)*, vol. 1, pp. 24–29, 2003, doi: 10.1109/IECON.2003.1279949.
- [16] Y. Deng, Y. Wang, K. H. Teo, M. Saeedifard, and R. G. Harley, "Optimized Control of the Modular Multilevel Converter Based on Space Vector Modulation," *IEEE Trans. Power Electron.*, vol. 33, no. 7, pp. 5697–5711, 2018, doi: 10.1109/TPEL.2017.2747584.
- [17] Y. Deng, K. H. Teo, C. Duan, T. G. Habetler, and R. G. Harley, "A fast and generalized space vector modulation scheme for multilevel inverters," *IEEE Trans. Power Electron.*, vol. 29, no. 10, pp. 5204–5217, 2014, doi: 10.1109/TPEL.2013.2293734.
- [18] Z. Bai, H. Chen, and H. Ma, "Implementation of Space Vector Modulation (SVM) for Modular Multilevel Converter Based on Submodule Regroup," *Proc. - 2018 IEEE Int. Power Electron.*

- Appl. Conf. Expo. PEAC 2018*, pp. 0–5, 2018, doi: 10.1109/PEAC.2018.8590423.
- [19] F. Chen and W. Qiao, “A general space vector PWM scheme for multilevel inverters,” *ECCE 2016 - IEEE Energy Convers. Congr. Expo. Proc.*, no. December, pp. 1–6, 2016, doi: 10.1109/ECCE.2016.7854687.
- [20] B. Guan and C. Wang, “A narrow pulse compensation method for neutral-point-clamped three-level converters considering neutral-point balance,” *9th International Conference on Power Electronics - ECCE Asia: “Green World with Power Electronics”, ICPE 2015-ECCE Asia*. pp. 2770–2775, 2015, doi: 10.1109/ICPE.2015.7168163.
- [21] J. Mu, Z. He, Y. Xu, X. Zhang, and Y. Long, “The Generation Mechanism and Elimination Strategy of Narrow- And Error-Pulse for Cascaded H-Bridge NL-PWM Modulation,” *IEEE Access*, vol. 9, pp. 52860–52871, 2021, doi: 10.1109/ACCESS.2021.3070661.
- [22] F. Martinez-Rodrigo, D. Ramirez, A. B. Rey-Boue, S. De Pablo, and L. C. Herrero-De Lucas, “Modular multilevel converters: Control and applications,” *Energies*, vol. 10, no. 11, 2017, doi: 10.3390/en10111709.
- [23] Q. Tu and Z. Xu, “Impact of sampling frequency on harmonic distortion for modular multilevel converter,” *IEEE Trans. Power Deliv.*, vol. 26, no. 1, pp. 298–306, 2011, doi: 10.1109/TPWRD.2010.2078837.
- [24] Y. Chen, Y. Cui, Y. Tao, Y. Kang, X. Wei, and X. Wang, “High-fundamental-frequency modulation for the DC-DC modular multilevel converter (MMC) with low switching frequency and predicted-based voltage balance strategy,” *IEEE Transportation Electrification Conference and Expo, ITEC Asia-Pacific 2014 - Conference Proceedings*. 2014, doi: 10.1109/ITEC-AP.2014.6941015.
- [25] L. Lin, Y. Lin, Z. He, Y. Chen, J. Hu, and W. Li, “Improved Nearest-Level Modulation for a Modular Multilevel Converter With a Lower Submodule Number,” *IEEE Trans. Power Electron.*, vol. 31, no. 8, pp. 5369–5377, 2016, doi: 10.1109/TPEL.2016.2521059.
- [26] S. Ali, J. B. Soomro, M. Mughal, F. A. Chachar, S. S. H. Bukhari, and J. S. Ro, “Power Quality Improvement in HVDC MMC with Modified Nearest Level Control in Real-Time HIL Based Setup,” *IEEE Access*, vol. 8, 2020, doi: 10.1109/ACCESS.2020.3043811.
- [27] G. S. Konstantinou, M. Ciobotaru, and V. G. Agelidis, “Operation of a modular multilevel converter with selective harmonic elimination PWM,” *8th Int. Conf. Power Electron. - ECCE Asia “Green World with Power Electron. ICPE 2011-ECCE Asia*, pp. 999–1004, 2011, doi: 10.1109/ICPE.2011.5944673.
- [28] G. S. Konstantinou, M. S. A. Dahidah, and V. G. Agelidis, “Solution trajectories for selective harmonic elimination pulse-width modulation for seven-level waveforms: analysis and implementation,” *IET Power Electron.*, vol. 5, no. 1, p. 22, 2012, doi: 10.1049/iet-pel.2010.0220.
- [29] G. Konstantinou, M. Ciobotaru, and V. Agelidis, “Selective Harmonic Elimination Pulse Width Modulation of Modular Multilevel Converters,” *IET Power Electron.*, vol. 6, no. 1, pp. 96–107, 2013, doi: 10.1049/iet-pel.2012.0228.
- [30] J. E. Huber and A. J. Korn, “Optimized pulse pattern modulation for modular multilevel converter high-speed drive,” *15th Int. Power Electron. Motion Control Conf. Expo. EPE-PEMC 2012 ECCE Eur.*, pp. 1–7, 2012, doi: 10.1109/EPEPEMC.2012.6397383.
- [31] K. Ilves, A. Antonopoulos, S. Norrga, and H.-P. Nee, “A new modulation method for the modular multilevel converter allowing fundamental switching frequency,” in *8th International Conference on Power Electronics - ECCE Asia*, May 2011, pp. 991–998, doi: 10.1109/ICPE.2011.5944672.
- [32] S. Du, J. Liu, and T. Liu, “Modulation and closed-loop-based DC capacitor voltage control for MMC with fundamental switching frequency,” *IEEE Trans. Power Electron.*, vol. 30, no. 1, pp. 327–338, 2015, doi: 10.1109/TPEL.2014.2301836.
- [33] Y. Sinha and A. Nampally, “Modular multilevel converter modulation using fundamental switching selective harmonic elimination method,” *2016 IEEE Int. Conf. Renew. Energy Res. Appl. ICRERA 2016*, vol. 5, pp. 736–741, 2017, doi: 10.1109/ICRERA.2016.7884431.
- [34] S. Rohner, S. Bernet, M. Hiller, and R. Sommer, “Modulation, losses, and semiconductor requirements of modular multilevel converters,” *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2633–2642, 2010, doi: 10.1109/TIE.2009.2031187.
- [35] M. Ji, Y. Wang, and C. Hu, “A Novel Modulation Method for the MMC applied to Medium

- Voltage Distribution Grids,” *IECON Proc. (Industrial Electron. Conf.)*, vol. 2019-Octob, pp. 6055–6059, 2019, doi: 10.1109/IECON.2019.8927257.
- [36] S. Mohammad Irfan *et al.*, “A Hybrid Nearest Level Combined With PWM Control Strategy: Analysis and Implementation on Cascaded H-Bridge Multilevel Inverter and its Fault Tolerant Topology,” *IEEE Access*, vol. 9, pp. 44266–44282, 2021, doi: 10.1109/ACCESS.2021.3058136.
- [37] D. De Simone, P. Tricoli, S. D’Arco, and L. Piegari, “Windowed PWM: A Configurable Modulation Scheme for Modular Multilevel Converter-Based Traction Drives,” *IEEE Trans. Power Electron.*, vol. 35, no. 9, pp. 9729–9738, 2020, doi: 10.1109/TPEL.2020.2969375.
- [38] M. Moranchel, F. Huerta, I. Sanz, E. Bueno, and F. J. Rodríguez, “A comparison of modulation techniques for modular multilevel converters,” *Energies*, vol. 9, no. 12, 2016, doi: 10.3390/en9121091.
- [39] J. Le Leslé *et al.*, “Multi-objective optimisation of a bidirectional single-phase grid connected AC/DC converter (PFC) with two different modulation principles,” *2017 IEEE Energy Convers. Congr. Expo. ECCE 2017*, vol. 2017-Janua, pp. 5298–5305, 2017, doi: 10.1109/ECCE.2017.8096889.
- [40] P. B. Steckler, J. Y. Gauthier, X. Lin-Shi, and F. Wallart, “Differential Flatness-Based, Full-Order Nonlinear Control of a Modular Multilevel Converter (MMC),” *IEEE Trans. Control Syst. Technol.*, no. Mmc, pp. 1–11, 2021, doi: 10.1109/TCST.2021.3067887.
- [41] J.-M. Guihal, F. Auger, N. Bernard, and E. Schaeffer, “Efficient Implementation of Continuous-Discrete Extended Kalman Filters for State and Parameter Estimation of Nonlinear Dynamic Systems,” *IEEE Trans. Ind. Informatics*, vol. 18, no. 5, pp. 3077–3085, 2021, doi: 10.1109/tii.2021.3109095.
- [42] A. Abdayem, J. Sawma, F. Khatounian, E. Monmasson, and R. Ghosn, “A New Arm Voltage Control Scheme for a Single Phase Modular Multilevel Converter,” *IECON Proc. (Industrial Electron. Conf.)*, vol. 2021-Octob, pp. 1–6, 2021, doi: 10.1109/IECON48115.2021.9589714.
- [43] Q. Tu, Z. Xu, and L. Xu, “Reduced Switching-frequency modulation and circulating current suppression for modular multilevel converters,” *IEEE Trans. Power Deliv.*, vol. 26, no. 3, pp. 2009–2017, 2011, doi: 10.1109/TPWRD.2011.2115258.
- [44] J. Freytes *et al.*, “Improving Small-Signal Stability of an MMC With CCSC by Control of the Internally Stored Energy,” *IEEE Trans. Power Deliv.*, vol. 33, no. 1, pp. 429–439, 2018, doi: 10.1109/TPWRD.2017.2725579.

Chapitre 4 : Mise en œuvre d'une chaîne de Smart Gate-Drivers et validation des lois de commandes

1. Présentation du Smart Gate-Driver

1.1. Présentation générale

Ce dernier chapitre a pour objectif de mettre en œuvre une chaîne de gate-drivers afin d'implémenter l'algorithme d'équilibrage distribué, intégrant la procédure de sélection proposée dans ces travaux. Cela permettra de valider les résultats obtenus en simulation. Le gate-driver proposé par Julien Weckbrodt durant ses travaux de thèse [1] est sélectionné comme maillon de la chaîne de gate-drivers. Il possède en effet toutes les caractéristiques nécessaires au chaînage d'informations. Cette première partie a pour objectif d'en présenter succinctement les caractéristiques et fonctions.

Le gate-driver est constitué d'une carte « mère » et de trois cartes « filles ». Une carte fille est présente à chaque zone importante du gate-driver, soit une au primaire, et une à chaque secondaire. La carte fille sera présentée dans la section suivante. La Figure 61 présente la carte mère seule vue du dessus, et la Figure 62 présente l'ensemble du gate-driver avec les cartes filles vu du dessous.

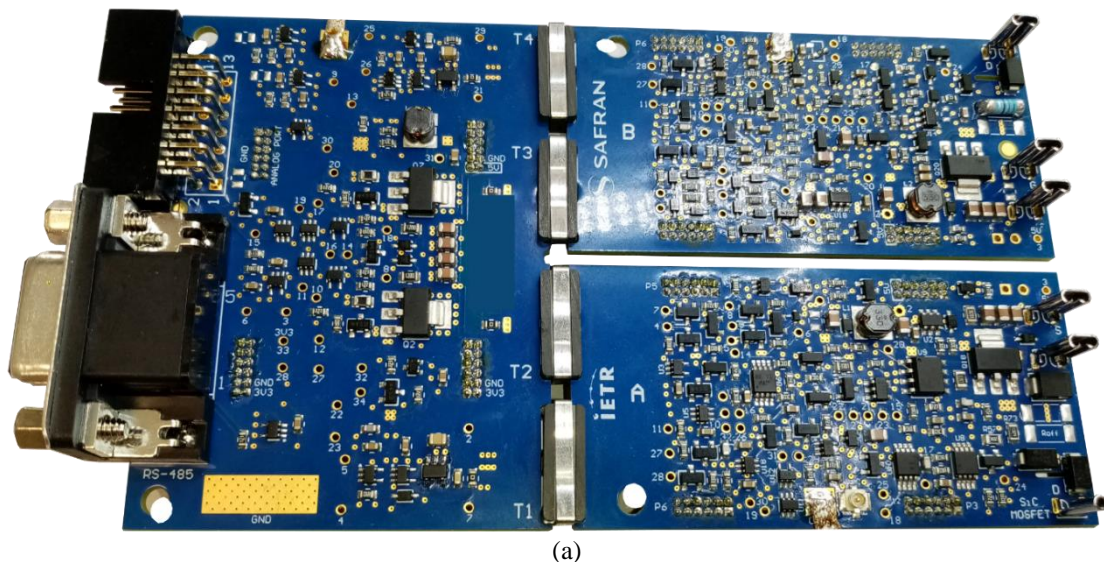


Figure 61. Carte mère du gate-driver présenté dans [1] vue du dessus

La carte mère est équipée de toutes les fonctions analogiques nécessaires à la gestion d'une cellule de commutation. Les isolations galvaniques sont réalisées par des transformateurs d'impulsions intégrés au PCB. Il y a deux transformateurs par secondaire. L'un est en charge de la transmission du primaire vers le secondaire des données et des ordres de commutation. Le second est en charge de l'alimentation du secondaire, ainsi que de l'envoi de données du secondaire vers le primaire.

Le primaire est constitué d'une interface de communication avec l'extérieur qui sera détaillée dans la suite, d'une électronique capable d'envoyer des signaux de commande et/ou des données aux travers des transformateurs d'impulsions, ainsi que de la gestion de l'alimentation communicante des deux secondaires. Les fonctions de communication embarquées sur la carte seront détaillées dans la suite. Il est alimenté sous une tension de 15 V externe.

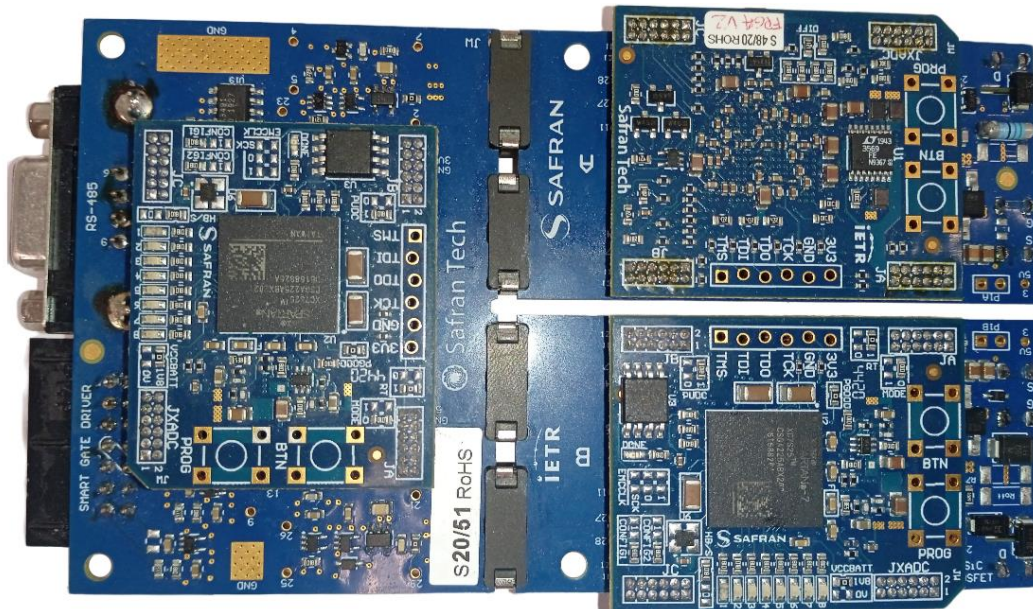


Figure 62. Vue du smart gate-driver de la carte mère et ses trois cartes filles.

Les secondaires sont symétriques. Ils sont équipés de fonctions de régulation et post-régulation d'alimentation classiques afin de générer les niveaux de tensions nécessaires à la commande du transistor de puissance. La Figure 63 présente les différents niveaux de tensions présents aux secondaires du gate-driver, conçu pour la commande de composants SiC. La tension d'alimentation totale est de 25 V.

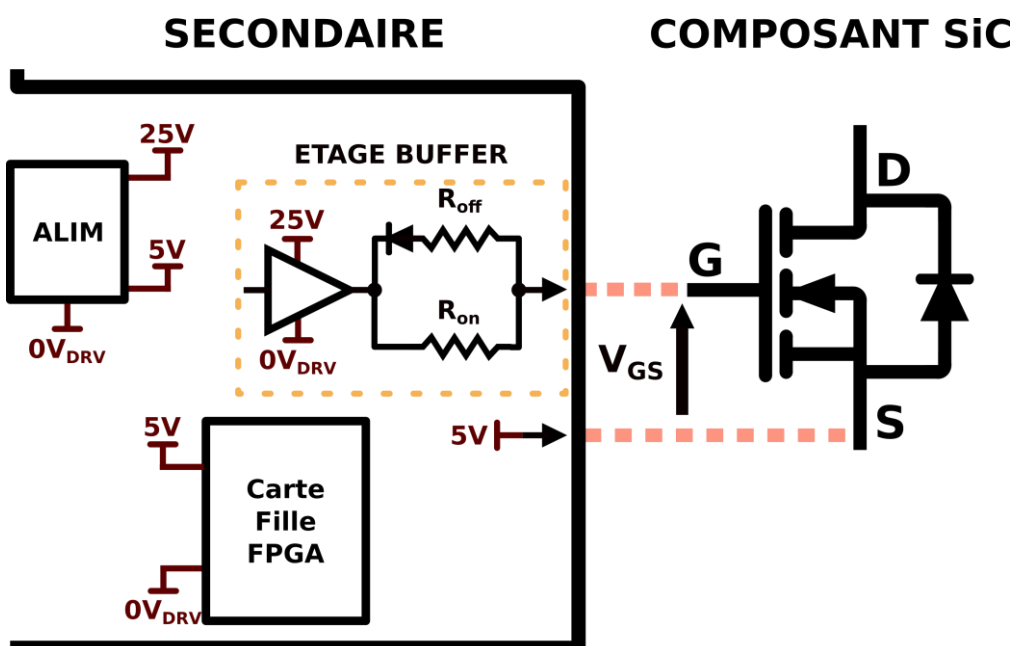


Figure 63. Tensions d'alimentations présentes aux secondaires du gate-driver

La référence de tension des secondaires est fixée à 5 V par rapport au 0 V de l'alimentation. Ainsi, si la source du composant est au même potentiel que la référence du secondaire, la tension de grille du composant V_{GS} peut être pilotée entre +20 V (amorçage) et -5 V (blocage), comme escompté pour les technologies au Carbone de Silicium. La carte fille est alimentée sous une tension de 5 V.

En plus de son alimentation et de son buffer de sortie, le gate-driver est capable de gérer les différentes erreurs et les fonctions de sécurité du secondaire. Elles comprennent notamment la fonction « Under-Voltage Lock Out » (UVLO), chargée de la supervision de l'alimentation, en particulier de la détection des sous-alimentations, ou la fonction de « désaturation », qui permet de détecter l'apparition de court-circuits et de bloquer les composants de puissance.

La fonction Soft Shut Down (SSD) assure une fermeture en douceur des composants en court-circuit, afin de les protéger des surtensions qui apparaissent en raison des fortes variations de courants (forts di/dt aux bornes des inductances parasites du module de puissance). Toutes ces fonctions de sécurité usuelles des gate-drivers, ainsi que leur mise en œuvre, sont détaillées dans [2].

Enfin, différents circuits de mesures innovants ont été implémentés au secondaire de ce gate-driver. Le gate-driver embarque des fonctions de monitoring du composant de puissance. Notamment, un circuit de mesure a été proposé pour la mesure « online » de la tension aux bornes du composant V_{DS_ON} . Cette tension est mesurée entre le drain et la source du composant lorsqu'il est passant. Ce type de mesure permet notamment d'obtenir la valeur de R_{DS_ON} , la résistance équivalente du composant à l'état passant. Il faut pour cela mesurer la valeur du courant de manière synchrone avec la mesure de V_{DS_ON} . La valeur de R_{DS_ON} est en effet un indicateur de vieillissement des composants de puissance. Pour compléter les mesures aux secondaires, le courant de fuite de grille $I_{Leakage}$ est estimé via un circuit de mesure présenté dans [3], dont il a déjà été question dans le chapitre 2. Les cartes filles et leurs composants programmables embarqués sont présentés dans la suite.

1.II. Cartes filles

Les cartes filles ont été conçues pour accueillir des composants programmables en charge de la gestion des différents organes du gate-driver. Avec ce design, le gate-driver est plus compact et plus versatile. Les avantages offerts par l'ajout de composants programmables ont déjà été largement discutés dans les chapitres précédents. Le choix du composant FPGA par rapport à d'autres composants programmables est principalement basé sur les capacités de calcul parallèle des FPGA, ce qui leur assure des temps d'exécution et de propagation faibles. Les cartes filles sont présentées sur la Figure 64. Le composant FPGA sélectionné est un SPARTAN-7 XC7S25 du fabricant Xilinx. Il est équipé d'un ADC permettant des mesures analogiques.

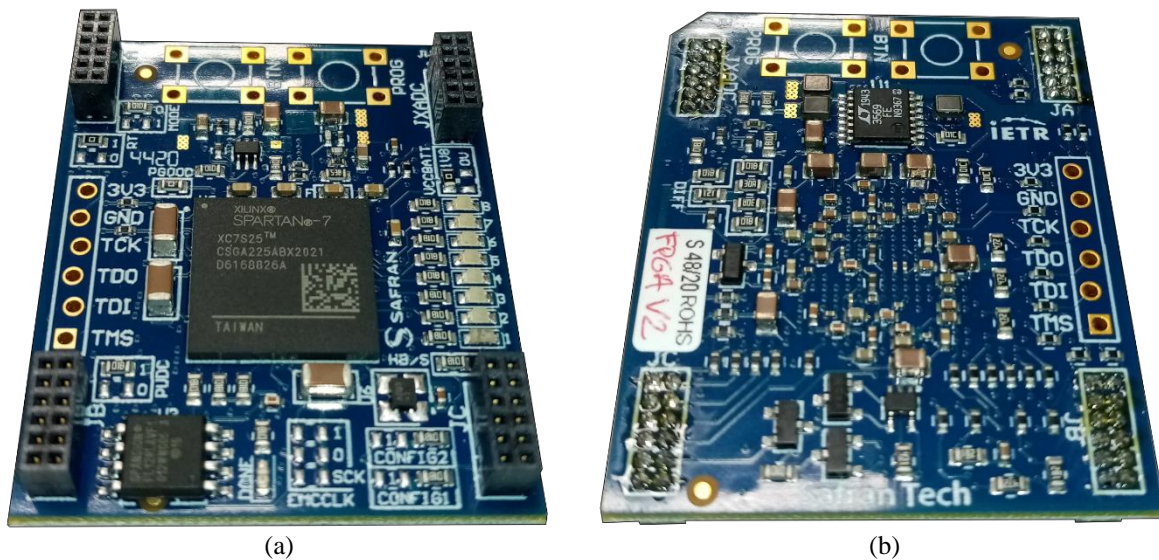


Figure 64. Carte fille embarquée sur le smart gate-driver vu du dessus (a) et vue du dessous (b)

La carte possède un circuit de gestion d'alimentation. En effet, certains circuits internes du composant nécessitent des niveaux logiques de 1V. Ces niveaux de tension faibles permettent d'obtenir des temps de propagation très réduits. Les fonctions auxiliaires du composant opèrent avec une logique 1.8 V. Enfin, les d'entrées/sorties ont des niveaux hauts à 3.3 V, fournis par la carte mère. Le FPGA est cadencé à une fréquence d'horloge de 100 MHz. Enfin, une mémoire flash est utilisée pour stocker le programme du FPGA. À chaque démarrage du gate-driver, le FPGA récupère le code contenu dans cette mémoire non volatile.

La carte fille est en charge de la gestion des signaux et des erreurs du gate-driver. La carte mère ne prend pas de décisions. Tous les signaux entrant et sortant traversent le FPGA, y compris les signaux provenant du contrôle/commande. Le composant joue le rôle de superviseur local. Diverses alarmes peuvent apparaître. Elles peuvent être liées par exemples à des tensions d'alimentation trop faibles (sous-alimentation), ou encore à des régimes de conduction dangereux du composant de puissance. Les FPGA secondaires sont capables d'inhiber les commandes de grille et de bloquer les composants de puissance, quel que soit l'état du signal de commande. Le FPGA primaire peut également bloquer les envois de commandes aux secondaires en cas de détection d'une erreur. Les fonctions de communication entre les différentes parties du gate-driver sont détaillées dans la partie suivante.

1.III. Fonctions de communications intégrées au gate-driver

1.III.a. Canaux inter-drivers

Les canaux de communications natifs au gate-driver sont au nombre de 4. Ils sont présentés sur la Figure 65. Deux liaisons filaires servent à communiquer avec l'extérieur du gate-driver depuis le primaire (liaisons inter-drivers). La liaison principale utilise un connecteur 14 pins. Elle est utilisée afin d'alimenter le primaire du gate-driver ainsi que pour envoyer les divers signaux de commandes. Un des pins sert à recevoir le signal « FAULT » en provenance du gate-driver, qui indique une erreur. Il y a 6 entrées de commandes différentes initialement prévues pour cette liaison.

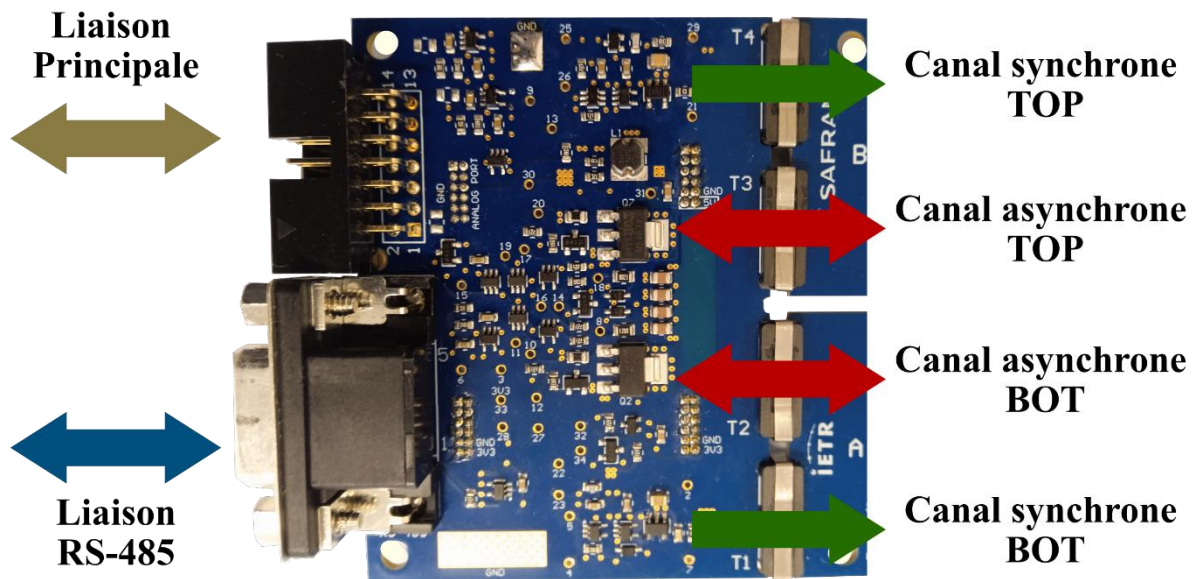


Figure 65. Canaux de communications implémentés sur la carte mère du gate-driver

Un second canal est utilisé pour envoyer/recevoir des informations différentes des signaux de commandes au primaire. Le canal est basé sur une liaison filaire de type RS-485 utilisant des connecteurs D-Sub 9 (9 pins). Elle est gérée par un driver de ligne MAX3491 permettant la réception (RxD) et l'envoi (TxD) simultané d'informations. Les câbles blindés et la transmission par paires différentielles rendent les communications immunisées à la majorité des perturbations, assurant l'intégrité des signaux transmis ainsi que des débits importants (supérieurs à 20 Mbits/secondes). C'est une liaison bidirectionnelle, et le driver de ligne est capable de gérer des communications en full-duplex.

Les deux autres canaux permettent de communiquer avec les secondaires (liaisons intra-drivers) et son décrit dans la suite. Les canaux TOP et BOT sont symétriques. Le premier est appelé « canal synchrone ». Il permet d'envoyer des informations du primaire vers le secondaire à haut débit. Le second est appelé « canal asynchrone ». Il est bidirectionnel et utilise le transformateur d'alimentation des secondaires.

1.III.b. Canaux intra-driver : Canal synchrone

Le premier canal intra-driver est appelé canal « synchrone » puisqu'il est utilisé pour envoyer des informations consécutivement aux ordres de commutation. Un ordre de commande est suivi par un train d'impulsions contenant des informations. Le schéma du circuit d'envoi et de réception des informations sur le canal synchrone est donné sur la Figure 66.

Le signal V_{in} est produit par le FPGA primaire et le signal V_{out} est réceptionné par le FPGA secondaire. Pour assurer un transfert d'informations robuste et immunisé aux dv/dt , les bits sont codés sous la forme d'impulsions positives ('1' logique) ou négatives ('0' logique) d'une durée de 25 ns et d'amplitude ± 15 V [4]. Ces impulsions sont ensuite décodées via une bascule RS au secondaire. Les impulsions positives permettent le « SET » de la bascule, et les impulsions négatives le « RESET » de la bascule.

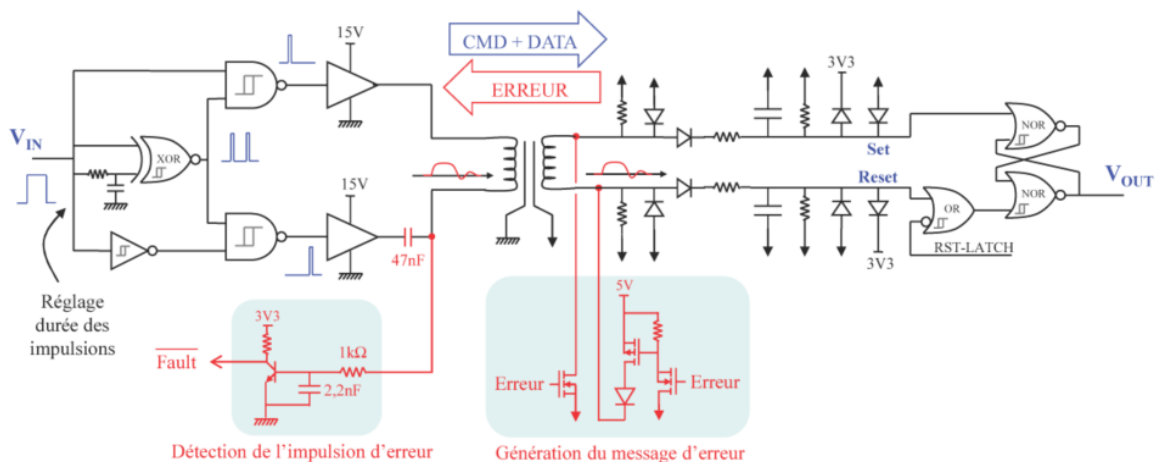


Figure 66. Circuit du canal « synchrone » pour l'envoi d'information primaire-secondaire [1][4]

Chaque bit est donc codé par 2 impulsions consécutives, ce qui porte la durée de transmission d'un bit à travers le transformateur à 50 ns. Le débit théorique de ce canal est alors de 20 Mbits par secondes. C'est ce même canal qui sert à transmettre les erreurs du secondaire vers le primaire. Une impulsion longue générée au secondaire est transmise au primaire, qui déclenche un signal d'erreur.

1.III.c. Canaux intra-driver : Canal asynchrone

Le canal « asynchrone » est basé sur le circuit d'alimentation communicante proposé dans [5] et présenté sur la Figure 67. Le transformateur d'alimentation est utilisé pour envoyer de l'énergie du primaire vers le secondaire durant la majeure partie du temps. Il utilise un circuit de type push-pull (Q_1 et Q_3) alimentant un transformateur à deux enroulements, et la tension produite au secondaire est redressée via un pont à diodes (D_1 à D_4).

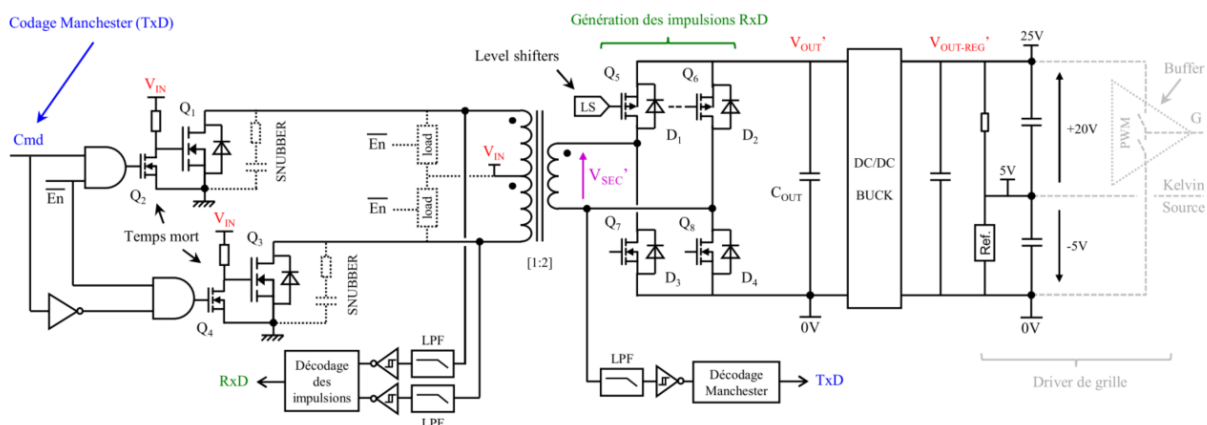


Figure 67. Circuit du canal « asynchrone » pour l'envoi d'information secondaire- primaire [1][5]

L'alimentation communicante est, en pratique, un canal de communication bidirectionnel. Elle possède deux phases de fonctionnement distinctes. Durant la phase d'alimentation, les transistors Q_1 et Q_3 appliquent la tension $\pm V_{IN}$ aux bornes du transformateur de puissance. La forme de la tension vue au secondaire V_{sec} est donnée en haut de la Figure 68 dans les cas usuels. Elle possède une forme carrée, à valeur moyenne nulle, de fréquence constante et de rapport cyclique constant égal à 0.5.

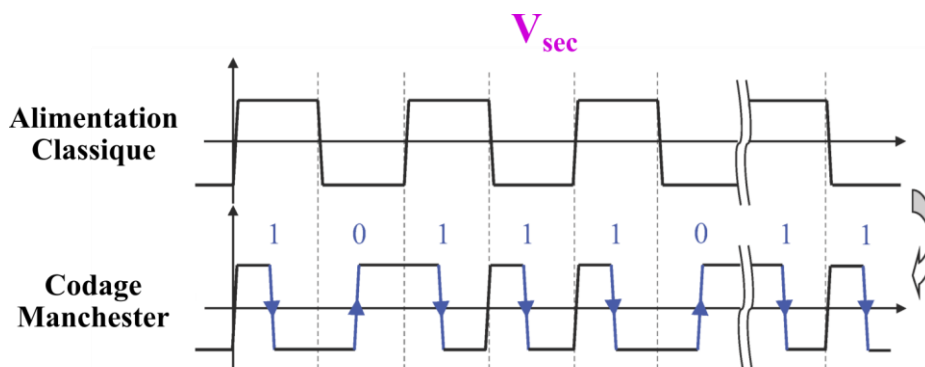


Figure 68. Tension vue au secondaire de l'alimentation communicante : Rapport cyclique constant (haut) et codage Manchester (bas) [1][5]

L'idée proposée dans [5] consiste à moduler la forme des impulsions afin d'y encoder des informations. Le codage Manchester est sélectionné, puisqu'il possède une valeur moyenne nulle, comme présenté en bas de la Figure 68. Ce codage est utilisé pour dialoguer du primaire vers le secondaire, mais ne sera pas plus détaillé car inutilisé dans ces travaux. En effet, le canal asynchrone possède un débit plus faible que le canal synchrone. Ce dernier sera donc privilégié pour l'envoi d'informations du primaire vers le secondaire. De plus, ce canal est bidirectionnel, mais « half-duplex », c'est-à-dire qu'il ne peut transmettre des informations dans les deux sens simultanément. En effet, l'envoi de données du secondaire vers le primaire nécessite l'arrêt de l'alimentation.

Le FPGA primaire peut suspendre le transfert d'énergie en bloquant les transistors Q_1 et Q_3 . Il est nécessaire de démagnétiser le transformateur d'alimentation avant de commencer la phase de réception. Pour cela, des charges résistives sont connectées au transformateur afin qu'il puisse y décharger son énergie. Les charges résistives ont été dimensionnées afin que cette phase de démagnétisation dure $2\mu s$. Le transformateur peut ensuite être utilisé pour recevoir des informations. Un chronogramme proposé Figure 69 permet de visualiser différents signaux.

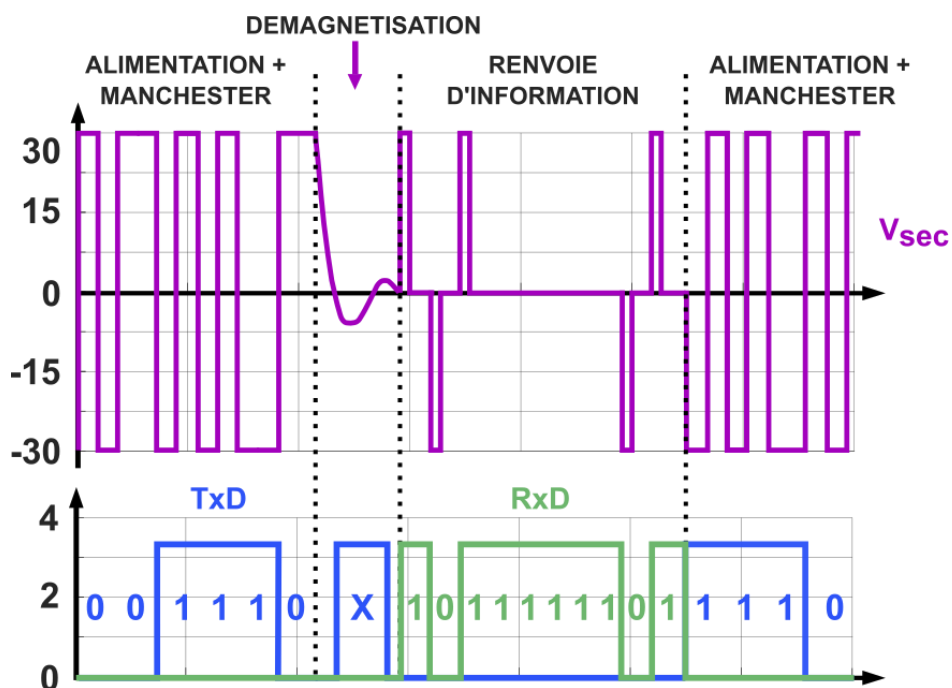


Figure 69. Chronogrammes des différents signaux de l'alimentation communicante [1][5]

Le signal V_{sec} est la tension de sortie du transformateur d'impulsions vu au secondaire. TxD est le signal au secondaire obtenu après décodage du code Manchester, et RxD est le signal au primaire après décodage des impulsions envoyées sur le transformateur d'alimentation par le secondaire. Les signaux reçus sur RxD et TxD lors de la démagnétisation ne sont pas pris en compte car leurs valeurs peuvent être aléatoires.

Le principe de renvoi d'informations est basé sur la génération d'impulsions courtes, comme pour le canal synchrone. Le pont complet formé au secondaire par les transistors Q_5 à Q_8 est commandé de façon à appliquer ces impulsions. En pratique, la commande de la cellule (Q_5 Q_7) est déphasée de 200 ns par rapport à celle de (Q_6 Q_8). La réception d'informations au primaire se fait, comme pour le canal synchrone, au travers d'une bascule RS. Les impulsions de 200 ns permettent de « SET » ou de « RESET » la bascule, dont la sortie est RxD. La durée de transmission d'un bit est de 500 ns (la valeur de RxD est lue au primaire toutes les 500 ns). Le canal asynchrone possède donc un débit 10 fois inférieur au canal synchrone.

Les informations reçues au primaire via le signal RxD peuvent provenir des deux secondaires de manière indistinguable. Il est nécessaire de s'assurer que les deux secondaires ne puissent accéder au canal asynchrone simultanément.

Cette première partie a permis de présenter la carte qui servira de maillon à la chaîne de gate-drivers. Le gate-driver a été développé durant des travaux de recherches antérieurs, il n'est donc pas initialement conçu pour l'application qui en est faite dans ce chapitre. L'implémentation de la procédure de sélection décentralisée sur cette carte est une contrainte matérielle.

Les différents signaux intra-drivers et inter-drivers seront présentés dans la suite. Ils ont été définies en fonction des différents canaux de communication disponibles. Il est clair qu'il pourra être intéressant de proposer des variantes de cette architecture, en vue d'une implémentation plus simple et efficace du protocole de communication chaîné au sein d'un smart-gate driver. Ces potentielles évolutions seront présentées en termes de perspectives de ce travail. La suite de ce chapitre présente les éléments additionnels nécessaires à la mise en cascade des gate-drivers.

2. Chainage des gate-drivers flottants

2.1. Carte de communication auxiliaire

Les canaux inter-drivers existent uniquement au primaire. L'ajout d'un canal de communication au secondaire compatible avec les canaux primaires est indispensable pour la mise en œuvre de la chaîne de gate-drivers. Ce canal doit donc être compatible avec la norme RS-485, et être accessible par la carte fille du secondaire TOP. Une carte électronique de communication additionnelle a été dimensionnée pour répondre à ce besoin.

Elle ne comporte qu'un seul composant notable, qui est le driver bidirectionnel de ligne MAX3491 pour la communication RS-485. Il s'agit du driver de ligne présent sur la carte mère du gate-driver. Sa vitesse de transmission atteint les 10 Mbits par seconde. La carte de communication est placée au-dessus de la carte gate-driver, et fixée à l'aide d'entretoises. L'ensemble gate-driver et carte de communication additionnelle est présenté sur la Figure 70.



Figure 70. Ensemble gate-driver et carte de communication

Un connecteur 4 pins est utilisé pour relier cette carte avec le FPGA du secondaire TOP. La carte fille n'a pas été conçue pour être connectée vers l'extérieur, il n'y a donc aucun connecteur natif disponible. Un banc de LED réservé aux phases de tests a donc été dérouté afin de profiter des pins de sorties FPGA disponibles. Il y a deux pins de données (TxD : Envoi, et RxD : Reception), et deux pins permettant d'inhiber les voix de communications (De : DataEnable et Re : ReadEnable).

L'alimentation de la carte est assurée par la tension 3.3 V disponible sur la carte fille. La masse de la carte fille et la tension 3.3 V sont envoyés à la carte de communication via un ensemble de connecteurs SMA. La prise de masse doit en effet être de bonne qualité afin de maintenir un équipotentiel, notamment lors des commutations des transistors de puissance. La référence de tension du secondaire TOP doit également être la même que celle du primaire avec lequel il communique. Cette référence est mise en commun via la liaison 9 fils, particulièrement via le blindage du câble.

2.II. Carte d'alimentation isolée

La problématique liée à l'alimentation des primaires des gate-drivers n'a que brièvement été abordée dans ces travaux, car elle n'en fait pas l'objet. De plus, cette question a déjà été adressée dans la littérature. Les différents primaires des gate-drivers de la chaîne n'ont pas de potentiels communs. Cela impose une contrainte sur les alimentations des gate-drivers, qui doivent être isolées les unes des autres. La solution sélectionnée pour ce démonstrateur consiste à utiliser des cartes d'alimentation alimentées par des batteries. Les potentiels des alimentations de chaque primaire sont flottants les uns par rapport aux autres. Chaque gate-driver est lié à sa propre carte d'alimentation isolée via le connecteur principal 14 pins du primaire.

La carte d'alimentation isolée est présentée sur la Figure 71 avec sa batterie. Elle assure la génération d'une tension d'alimentation de 15 V à partir d'une batterie NiMh 7.2 V. Cette tâche est réalisée par un convertisseur boost intégré du commerce. Un régulateur linéaire génère une tension de 5V qui est utilisée pour les signaux de commande de grille. Le choix de n'utiliser qu'une seule voie de communication est fait pour l'application ciblée. Les informations nécessaires à l'exécution de l'algorithme seront codées sur une seule ligne. En pratique, le contrôle commande envoie des requêtes d'insertion ou de retrait de sous-module. Cette information sera simplement contenue dans la durée de l'impulsion envoyée par le contrôle commande, comme détaillé dans la suite.



Figure 71. Carte d'alimentation isolée et sa batterie

Ce choix a été fait afin de limiter le nombre d'entrée/sortie nécessaires au contrôle du convertisseur. Des boutons poussoirs permettent d'envoyer divers signaux de commande manuellement, ce qui facilite la phase de debug. Une entrée numérique bufferisée est présente sur la carte d'alimentation afin de pouvoir recevoir des ordres depuis le contrôle/commande. Un connecteur classique BNC est utilisé pour ce signal, qui n'est pas présent sur la Figure 71. Ce type d'entrée est parfaitement adapté aux cartes d'acquisition simulation/expérimentation temps-réel comme Opal-RT ou DSpace (Hardware In the Loop). Une électronique simple permet d'adapter les niveaux logiques si nécessaire.

Le schéma de principe complet d'un gate-driver avec ses deux cartes additionnelles au sein de la chaîne est proposé sur la Figure 72.

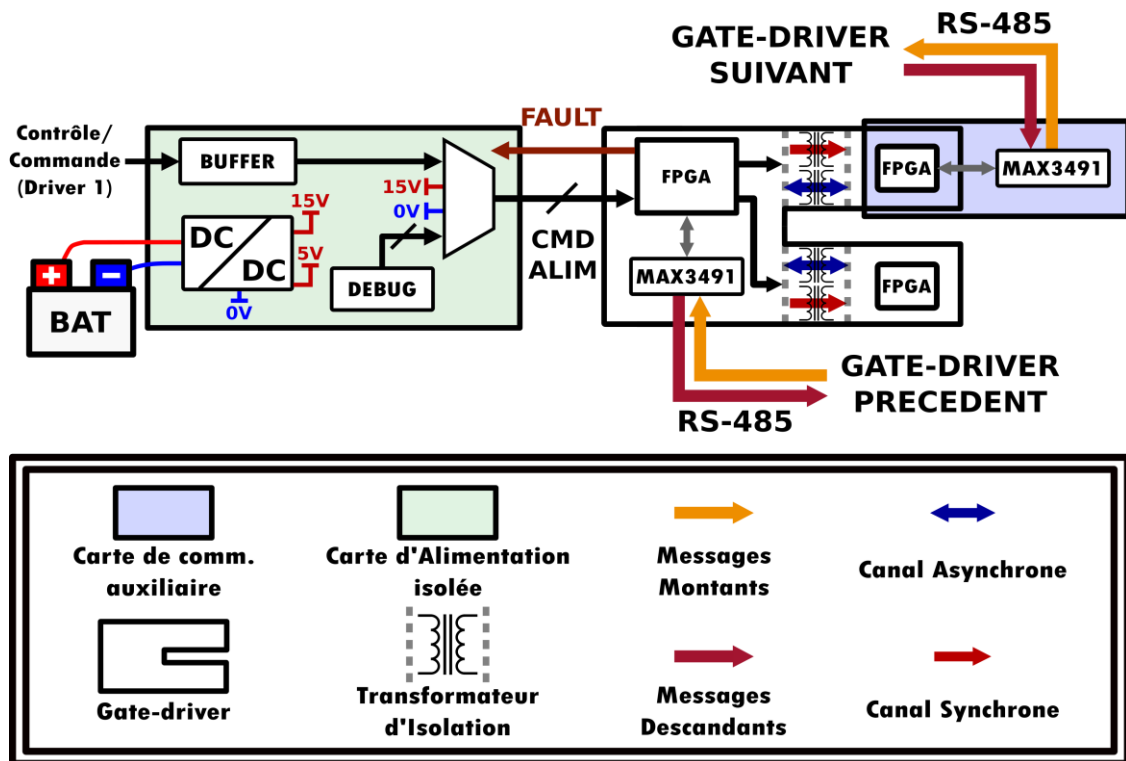


Figure 72. Schéma complet d'un gate-driver et ses cartes additionnelles dans la chaîne de gate-drivers

L'entrée de commande via le connecteur BNC de la carte d'alimentation n'est utilisée que pour communiquer avec le premier gate-driver de la chaîne *DI*. Les autres gate-drivers ne peuvent communiquer qu'avec le gate-driver précédent (message descendant) ou suivant (message montant) dans la chaîne, via les liaisons RS-485.

3. Présentation de la procédure de sélection

3.1. Signaux intra-drivers

3.1.a. Description générale et conditions de mesure

Cette section détaille les différents éléments du gate-driver liés à la procédure de sélection, ainsi que les échanges de trames entre le primaire et les secondaires. Un schéma illustrant les différents signaux échangés au sein du gate-driver *p*, ainsi que le rôle des différents composants programmables est présenté sur la Figure 73.

Les signaux propagés vers le gate-driver suivant $p + 1$ (signaux montants) sont notées V_{UP} et sont représentés en orange. Les signaux propagés vers le gate-driver précédent $p - 1$ (signaux descendants) sont notées V_{DN} et sont représentés en bordeaux. Des indices sont utilisés pour différencier les différentes trames inter-drivers sur la Figure 73.

Les signaux intra-drivers montants sont transmis du primaire vers les secondaires TOP et BOT via les canaux synchrones, et sont notés V_{outTOP} et V_{outBOT} respectivement. Les signaux intra-drivers descendants sont transmis des secondaires vers le primaire via le canal asynchrone (alimentation communicante après démagnétisation) et sont notés V_{inSEC} puisqu'ils ne peuvent être différenciés.

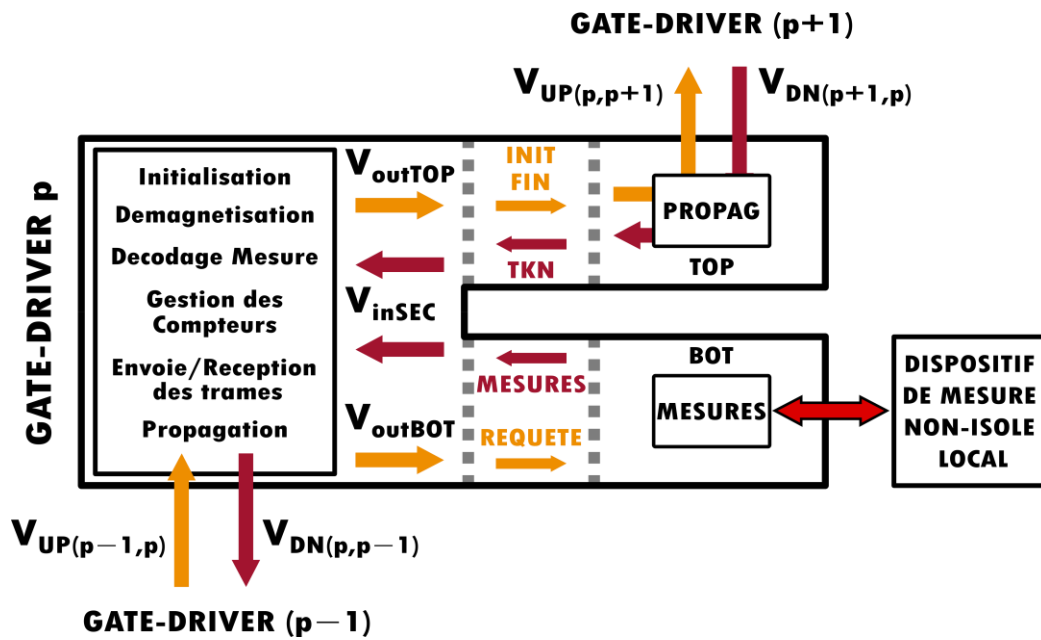


Figure 73. Signaux intra-drivers et inter-drivers, et localisation des taches liées à l'exécution de la procédure de sélection

Différents signaux sont relevés et présentés dans ce chapitre. Les conditions de mesures des signaux intra-drivers sont présentées sur la Figure 74. Les relevés seront réalisés à l'oscilloscope. Les ordres de commande traversent la carte d'alimentation isolée du gate-driver. Ils sont générés par une carte de développement Nexys4 DDR [6] de Diligent. Elle embarque un FPGA Artix-7 (Xilinx), et peut être programmée pour envoyer différents ordres de commande. Elle fera office de centre de contrôle/commande tout au long de ce chapitre. Elle émet des requêtes d'insertion ou de retrait de sous-module.

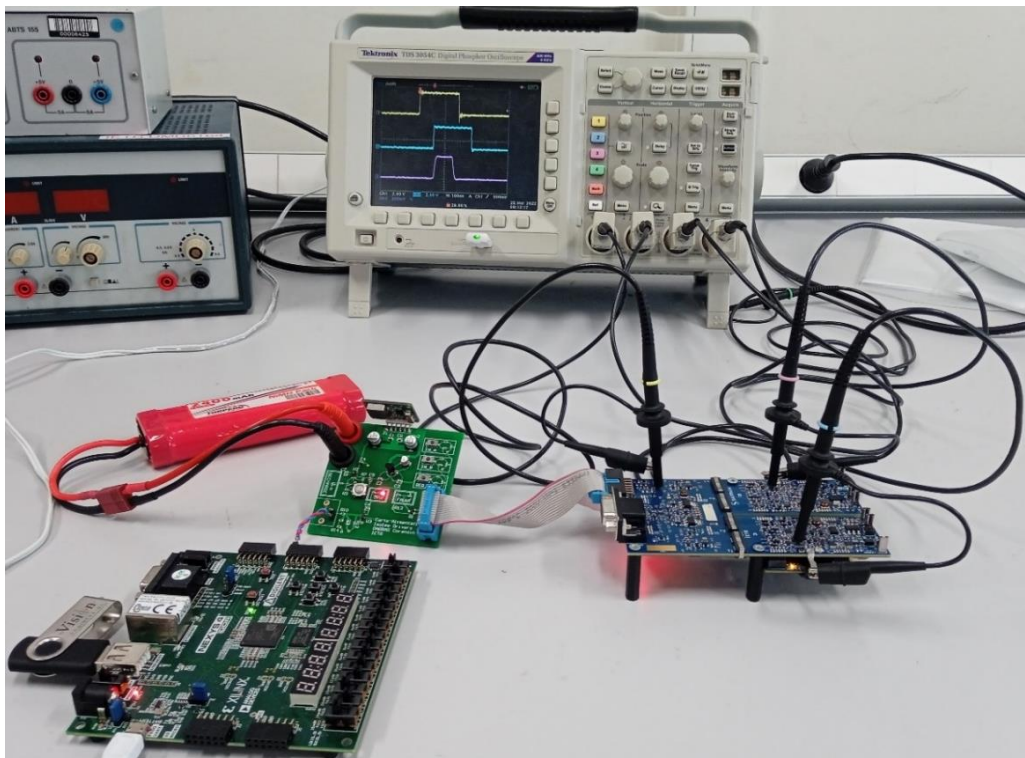


Figure 74. Conditions de mesures des signaux intra-drivers

3.1.b. Séquence d'initialisation

Le FPGA au secondaire TOP a pour unique tâche de propager les trames montantes et descendantes. Il fait l'interface entre les canaux de transmission isolés internes aux gate-drivers et la liaison RS-485. Le FPGA au BOT ne participe pas aux communications inter-drivers. En revanche, il est responsable de la mesure de la tension aux bornes du condensateur de sous-module V_C , ainsi que du signe de courant de bras I_{bras} , comme décrit plus loin dans ce chapitre. Il n'est interrogé qu'une fois au début de la procédure.

La majorité des tâches nécessaires à l'algorithme est assurée par le FPGA primaire. Il est le centre de calcul, et l'unique décideur local. Il est en charge de l'initialisation de la procédure dans un premier temps, c'est-à-dire de la réception de la trame envoyée par le gate-driver précédent et de la lecture de la valeur du signe de ΔN_{ON} contenue dans celle-ci. Simultanément, la trame d'initialisation est propagée au gate-driver suivant par la voie TOP, et une requête de mesure est envoyée au FPGA BOT.

Les signaux intra-drivers mesurés sur le gate-driver p lors de l'initialisation sont présentés sur la Figure 75. Le cas d'une requête d'insertion de sous-module est présenté sur la Figure 75 (a), et le cas d'une requête de retrait de sous-module est présenté sur la Figure 75 (b). La voie 1 présente la trame d'initialisation reçue par le FPGA au primaire $V_{UP(p-1,p)}$ (Figure 73). Il s'agit d'un message montant envoyé par le gate-driver $p - 1$ précédent (ou le contrôle/commande dans le cas de DI). La voie 2 présente le signal V_{outTOP} envoyé par le FPGA primaire vers le secondaire TOP via le canal synchrone (Figure 73). La voie 3 présente le signal V_{outBOT} envoyé par le FPGA primaire vers le secondaire BOT via le canal synchrone (Figure 73).

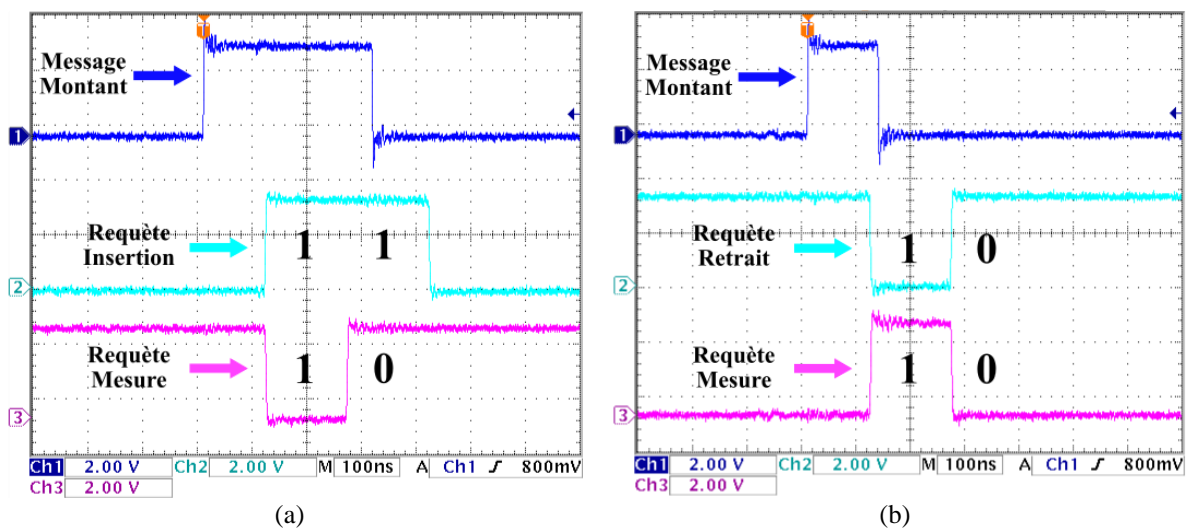


Figure 75. Signaux mesurés lors de l'initialisation dans le cas d'une requête d'insertion (a) et de retrait (b)

La trame d'initialisation est constituée de deux bits. Le premier est un « 1 » logique, suivi par l'information codant le signe ΔN_{ON} . Ce bit vaut « 1 » dans le cas d'une requête d'insertion de sous-module ($\Delta N_{ON} > 0$), et vaut « 0 » dans le cas d'une requête de retrait de sous-module ($\Delta N_{ON} < 0$). A la réception de la trame d'initialisation, le FPGA primaire envoie des trames aux deux secondaires.

Le secondaire TOP reçoit l'intégralité de la trame d'initialisation afin de la propager au gate-driver suivant. Le secondaire BOT reçoit une trame de requête de mesure. Elle est toujours constituée d'un

« 1 » logique suivi d'un « 0 » logique. Pour ce démonstrateur, la durée d'un bit est fixée à 150 ns. Celle-ci peut être grandement réduite en pratique, en tirant parti des canaux de communication rapides du gate-driver, ainsi que des fréquences d'horloges des FPGA atteignant 100 MHz.

En fonctionnement normal, le niveau logique appliqué sur V_{outTOP} et V_{outBOT} impose l'état du composant de puissance correspondant. Le composant est passant si son état logique est « 1 », et bloqué sinon. Ces deux voies sont complémentaires. Ainsi, lors de la procédure, les bits sont transmis du primaire vers les secondaires en inversant la valeur de V_{outTOP} ou V_{outBOT} . Cela est illustré sur la Figure 75 (a), qui montre le cas dans lequel le transistor BOT est passant (sous-module retiré, $V_{outBOT} = \ll 1 \gg$ au repos), ainsi que sur la Figure 75 (b), qui montre le cas dans lequel le transistor TOP est passant (sous-module inséré, $V_{outTOP} = \ll 1 \gg$ au repos).

3.1.c. Déroulement global de la procédure

Une chaîne de deux gate-drivers ($D1$ et $D2$) est étudiée. Les signaux de commande envoyés aux secondaires de $D1$ ainsi que les signaux de grille associés sont présentés sur la Figure 76. La voie de l'oscilloscope R1 présente V_{outTOP} , le signal au primaire envoyé vers le secondaire TOP, et la voie 1 présente V_{outBOT} , le signal au primaire envoyé vers le secondaire BOT. La tension de grille du transistor de puissance au TOP V_{GSTOP} est présentée sur la voie R2 (Figure 63), et la tension de grille du transistor de puissance au BOT V_{GSBOT} est présentée sur la voie « Math » (M) (Figure 63). Comme attendu, les tensions de grilles prennent les valeurs +20V et -5V, qui sont les niveaux de tensions nécessaires à la commande de la majorité des composants SiC du commerce.

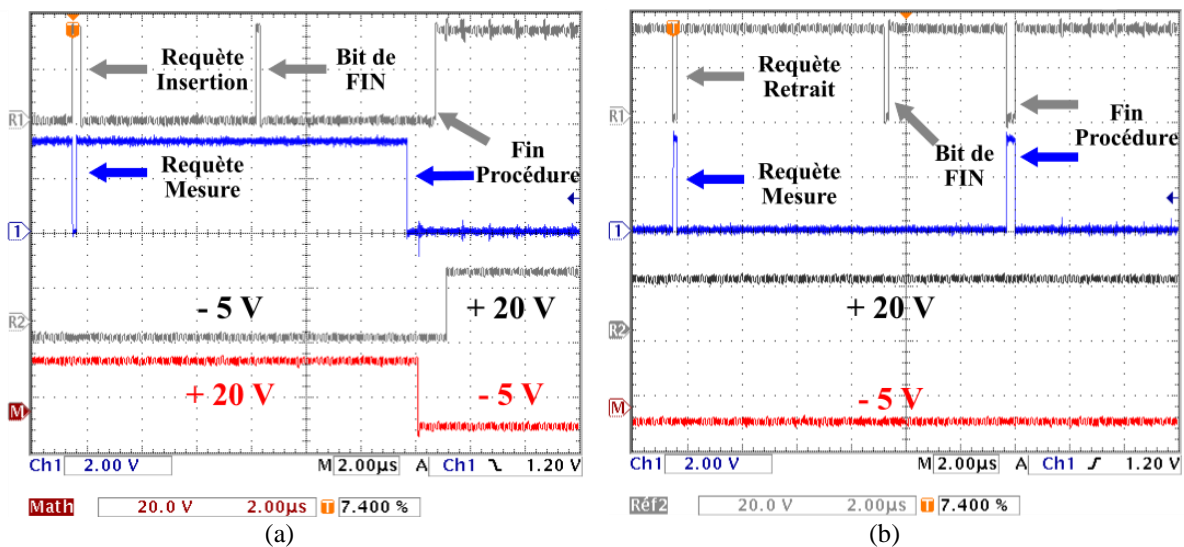


Figure 76. Signaux de commande mesurés lors de la fin de la procédure dans le cas d'un changement d'état (a) et d'un maintien de l'état précédent (b)

Suite à l'initialisation, le FPGA au primaire libère le canal asynchrone en démagnétisant les transformateurs d'alimentation des secondaires. Des messages descendants peuvent être reçus. Les informations nécessaires à la détermination des paramètres du compteur de priorité sont la tension V_C et le signe du courant de bras I_{bras} . Le processus de mesure effectué au secondaire BOT ainsi que le renvoi des informations via l'alimentation communicante seront détaillés dans la section suivante.

Après la réception des mesures, le compteur de priorité est initialisé si le gate-driver n'entre pas en sommeil suite au test booléen Crit.1. Le compteur de synchronisation est également initié. Les calculs associés aux valeurs des différents compteurs seront détaillés dans une autre section. Le FPGA primaire prend en charge la gestion du jeton et de l'état de sommeil.

Le jeton est attribué par défaut au gate-driver *DI* étudié puisqu'il est le premier membre dans la chaîne. Lorsque le compteur de priorité de *DI* atteint sa valeur maximale, un bit de FIN est émis vers le secondaire TOP (V_{outTOP} sur la Figure 76) afin d'être propagé le long de la chaîne. Si *DI* reçoit une réponse de *D2* (TKN bit), il perd son jeton. Sinon, *DI* conserve son jeton jusqu'à la fin de la procédure.

Si *DI* détient le jeton lorsque la procédure se termine, ses secondaires commutent. La Figure 76 (a) présente un cas dans lequel une requête d'insertion est émise. Le composant de puissance au BOT est initialement passant (sous-module non inséré). Les signaux de commande des deux voies changent d'état avec un temps-mort de 1 μ s. Les signaux de grilles des composants de puissance suivent ces commandes. Si *DI* ne possède pas le jeton à la fin de la procédure, les sorties ne changent pas d'état, comme le montre la Figure 76 (b). Une trame constituée de deux bits à « 1 » est envoyée sur les canaux synchrones. Ce code est interprété par les secondaires qui maintiennent leur état.

Au terme de la procédure, le primaire reprend l'alimentation des deux secondaires et attend une nouvelle requête du maillon précédent de la chaîne (contrôle/commande dans l'exemple). La section suivante présente les échanges de données intra-drivers en lien avec la requête de mesure effectuée au secondaire BOT.

3.II. Mesure au secondaire BOT

Les mesures de la tension V_C et du signe du courant de bras I_{bras} sont impératives pour le déroulement de la procédure. Ces travaux font donc l'hypothèse qu'un dispositif de mesure lié à chaque sous-module est capable d'obtenir les valeurs de V_C et du signe du courant de bras I_{bras} . Le dispositif de mesure doit communiquer ces valeurs au FPGA BOT (Figure 73). Ces circuits de mesure locaux ne nécessitent pas de capteurs isolés si les mesures sont référencées à la source de T_2 , le composant de puissance commandé par le secondaire BOT. C'est naturellement le cas de la mesure de V_C .

En pratique, la référence de tension du FPGA secondaire n'est pas exactement au même potentiel que la source de T_2 , comme décrit sur la Figure 63. Ce décalage de tension de 5 V, faible et constant, peut être compensé via l'usage de simples « level-shifters » (décalages de niveau). Cette électronique de mesure simple peut être alimentée par la carte gate-driver, ou en ponctionnant de l'énergie au condensateur de sous-module (auto-alimentation). Pour ce démonstrateur, les valeurs du signe du courant et de la tension aux bornes du condensateur sont pré-chargées dans la mémoire des FPGA BOT.

Différents signaux sont présentés sur la Figure 77. La voie « Math » (M) présente la tension aux bornes du transformateur d'alimentation au primaire. Il s'agit de la tension V_{sec} (Figure 68 et Figure 69). Cette mesure permet de visualiser les impulsions envoyées du secondaire BOT vers le primaire au travers du canal asynchrone (Figure 69). La voie 1 présente le signal de commande V_{outBOT} envoyé par le primaire vers le secondaire BOT. La voie 2 présente le signal V_{inSEC} au primaire, après décodage des impulsions envoyées par les secondaires sur le canal asynchrone (signal RxD sur la Figure 67).

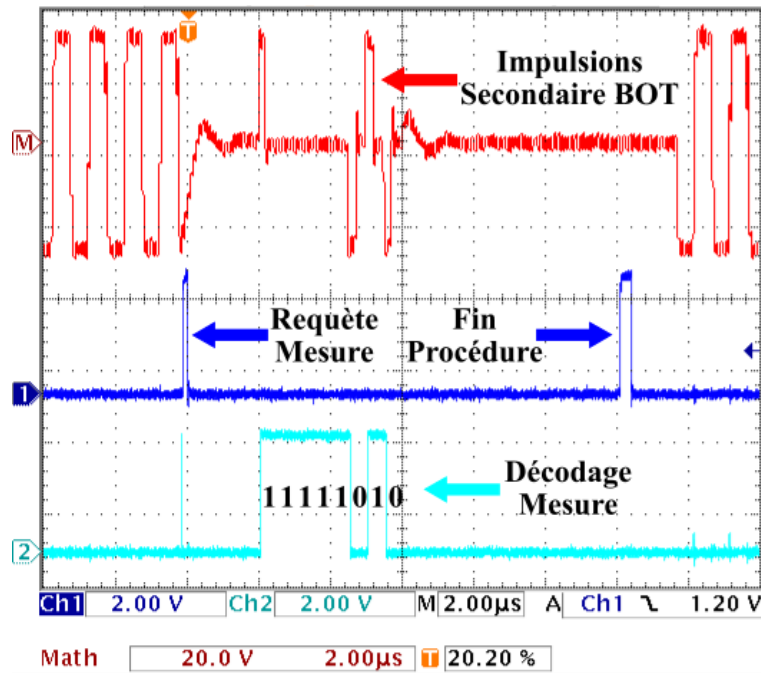


Figure 77. Requête de mesure au secondaire BOT

A la réception de la requête de mesure, le FPGA BOT attend $2 \mu\text{s}$ (temps de démagnétisation de l'alimentation) avant d'envoyer ses informations. La trame de mesure envoyée par le secondaire TOP contient plusieurs informations, résumées dans le Tableau 12.

Tableau 12. Informations contenues dans la trame de mesure du secondaire BOT

Num. bit	1	2	3	4	5	6	7	8
Informations	Signe courant	Tension : LSB	Tension : 2 nd bit	Tension : 3 ^{ème} bit	Tension : 4 ^{ème} bit	Tension : 5 ^{ème} bit	Tension : MSB	Reset RxD
Exemple	1	1	1	1	1	0	1	0

La longueur de la trame de mesure est de 8 bits, pour une durée totale de transmission de $4 \mu\text{s}$. Le signe du courant est transmis sous la forme d'un seul bit, et la tension V_C est codée sur 6 bits. Le dernier bit envoyé par le secondaire BOT est toujours un '0' logique. Cela permet de remettre à zéro la bascule RS dont la sortie est RxD (V_{inSEC}). De cette façon, le canal asynchrone est disponible pour la réception d'informations provenant du secondaire TOP, l'état de RxD étant toujours '0' à la fin de la transmission. Le FPGA secondaire BOT attend la fin de la procédure et n'émet plus sur le canal asynchrone après la transmission de la trame de mesure.

Dans l'exemple, le signe du courant est défini positif, et la tension aux bornes du condensateur de sous-module à pour valeur $V_C = 217 \text{ V}$. La tension moyenne $V_{Cref} = 200 \text{ V}$ aux bornes d'un condensateur est choisie pour ce démonstrateur. Les valeurs extrêmes acceptables que prend V_C sont donc comprises entre 220 V et 180 V , si la limite de déviation acceptable est de 10% par rapport à la valeur de référence. La génération du codage 6 bits de V_C dépend des valeurs maximales acceptables dans l'application. Pour prendre en compte certains cas extrêmes, ces tensions V_{Cmin} et V_{Cmax} sont choisies comme dans (4.1), à $\pm 15\%$ de la valeur de référence.

$$\begin{aligned} V_{CMin} &= 170 \text{ V} \\ V_{CMax} &= 230 \text{ V} \end{aligned} \quad (4.1)$$

Le calcul du mot binaire *Voltage* associé à la valeur mesurée de V_C est donc borné. Il est donné dans (4.2). Les valeurs des tensions sont considérées entières, ou arrondies à l'entier le plus proche. Une précision de mesure supérieure n'est pas nécessaire puisque le paramètre de résolution de tension q de l'algorithme limite intrinsèquement la précision de l'équilibrage des tensions.

$$\begin{aligned} \text{Voltage} &= 0 && \text{Si } V_C < V_{CMin} \\ \text{Voltage} &= V_{CMax} - V_{CMin} && \text{Si } V_C > V_{CMax} \\ \text{Voltage} &= V_C - V_{CMin} && \text{Sinon} \end{aligned} \quad (4.2)$$

De cette façon, *Voltage* est toujours compris entre 0 et 60, ce qui ne nécessite pas plus de 6 bits pour un codage binaire. Dans l'exemple proposé, $V_C = 217 \text{ V}$ et $\text{Voltage} = 47 = 32 + 8 + 4 + 2 + 1$. Le code correspondant à la tension V_C est alors « 1 1 1 1 0 1 », avec le bit de poids faible (LSB) à gauche, et le bit de poids fort (MSB) à droite, comme dans le Tableau 12.

3.III. Gestion du compteur de priorité et échange de jeton

Une fois la trame de mesure réceptionnée, le FPGA primaire peut initier son compteur de priorité. Le calcul proposé dans le chapitre 2 (équation (2.7)) est implémenté pour déterminer la valeur maximale du compteur M_{prio} . En pratique, une valeur minimale $M_{prioMin}$ est choisie afin de sécuriser les communications. La valeur de M_{prio} est déterminée comme dans (4.3).

$$\begin{aligned} M_{prio} &= \frac{V_{CMax} - V_C}{q} + M_{prioMin} && \text{Si Crit.2 est vrai} \\ M_{prio} &= \frac{V_C - V_{CMin}}{q} + M_{prioMin} && \text{Si Crit.2 est faux} \end{aligned} \quad (4.3)$$

La plage de valeurs prises par les tensions V_C du démonstrateur étant relativement restreinte, la valeur de q est choisie égale à 1. La valeur de $M_{prioMin}$ est fixée à 10. La valeur de M_{prio} est donc comprise entre $M_{prioMin}$ et une $M_{prioMax}$ tels que définis dans (4.4) :

$$M_{prio} \in [M_{prioMin} ; M_{prioMax}] = \left[10 ; \frac{V_{CMax} - V_{CMin}}{q} + M_{prioMin} \right] = [10 ; 70] \quad (4.4)$$

Une fois la valeur de M_{prio} déterminée, le compteur de priorité est initialisé, et sa valeur est incrémentée tous les 3 coups d'horloges. Ainsi, la durée totale du compteur de priorité t_{prio} ainsi que ses bornes supérieures $t_{prioMax}$ et inférieures $t_{prioMin}$ sont données dans (4.5).

$$t_{prio} = \frac{3 M_{prio}}{f_{clk}} \in [t_{prioMin} ; t_{prioMax}] = [0.3 ; 2.1] \mu\text{s} \quad (4.5)$$

Au terme du compteur de priorité, le gate-driver entre en sommeil s'il ne possède pas le jeton, ou envoie un bit de FIN montant dans le cas contraire. La réception ou non d'un bit TKN descendant déterminera s'il garde ou non le jeton.

L'étape d'échange de jeton est illustrée à l'aide de relevés effectués dans la configuration présentée sur la Figure 78. Une chaîne de deux gate-drivers est étudiée. Les relevés sont effectués au primaire du premier gate-driver de la chaîne *DI*. La carte de développement Nexys est en charge de la génération des ordres de commande envoyés au primaire de *DI*. Le signe du courant est défini positif. La tension associée au gate-driver 1 vaut $V_{C1} = 217 \text{ V}$, et la tension associée au gate-driver 2 vaut $V_{C2} = 216 \text{ V}$. Une requête d'insertion est effectuée par le contrôle/commande. Dans ces conditions, le gate-driver dont la tension est la plus faible doit commuter, c'est-à-dire le gate-driver 2 dans cet exemple.

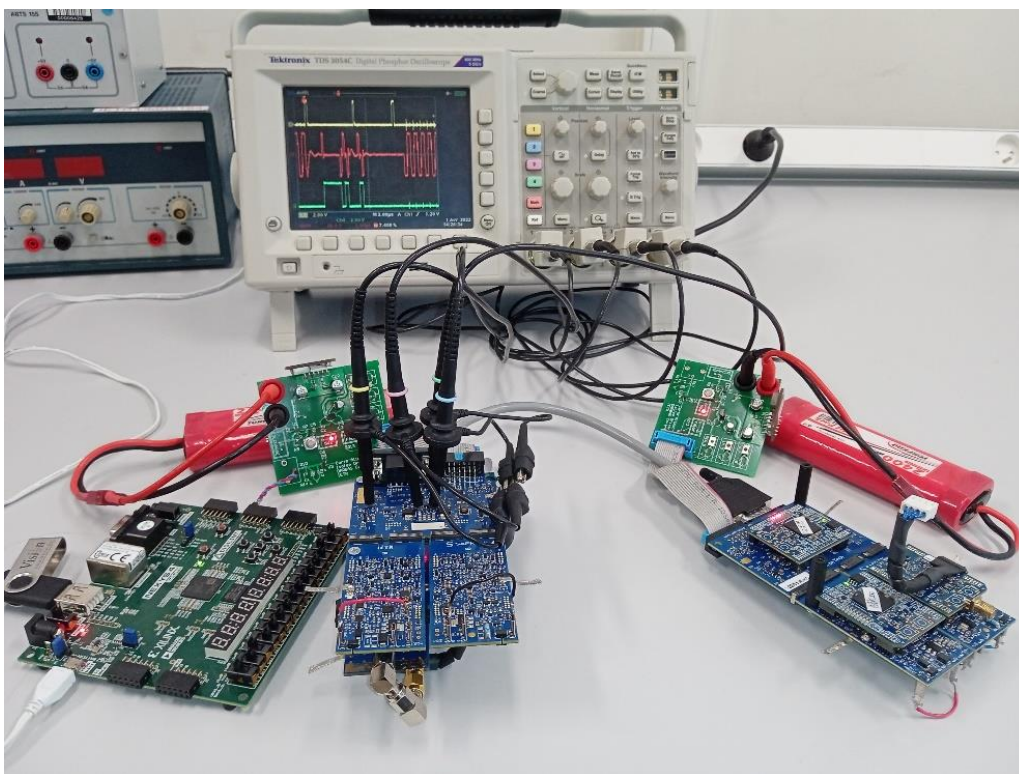


Figure 78. Mesures sur une chaîne de 2 gate-drivers communicants

Les différents signaux obtenus sont présentés sur la Figure 79. Le canal 1 présente le signal V_{outTOP} envoyé du primaire vers le secondaire TOP au travers du canal synchrone. La tension présente aux bornes des enroulements des transformateurs du canal asynchrone est affichée sur le canal « Math » (M), comme sur la Figure 77 (signal V_{sec}). Le canal 4 présente le signal de sortie du canal asynchrone après décodage des impulsions V_{inSEC} comme sur la Figure 77.

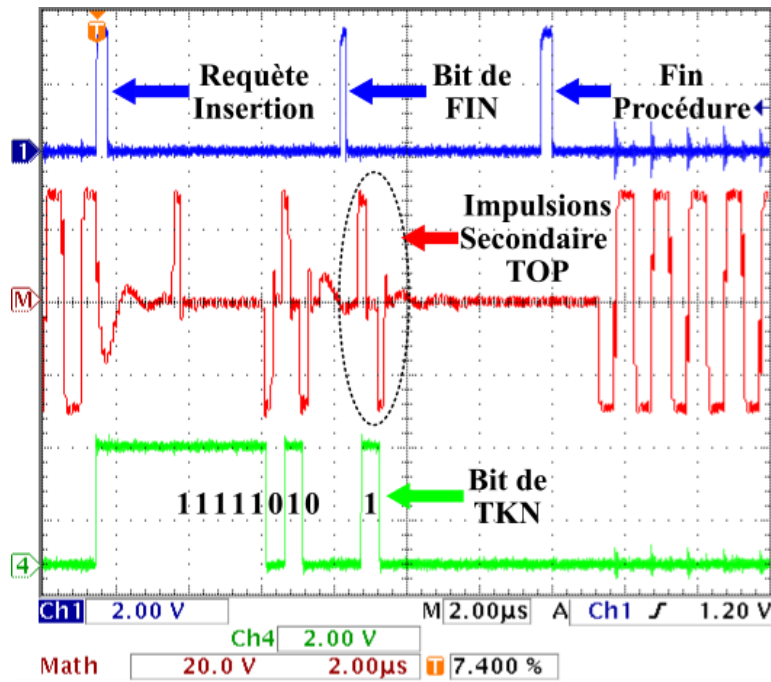


Figure 79. Signaux mesurés lors de l'échange de jetons

Après la propagation de la trame d'initialisation, le FPGA primaire reçoit la trame de mesure du secondaire BOT, comme détaillé dans la section précédente. Le compteur de priorité est alors initié, et un bit de FIN est émis lorsque sa valeur maximale est atteinte (V_{outTOP}). La réponse (TKN) du gate-driver $D2$ est reçue par le FPGA du secondaire TOP via la liaison RS-485. Le bit TKN est transmis au primaire via le canal asynchrone. Lorsque le bit de TKN est lu sur l'entrée RxD, le jeton du gate-driver 1 est perdu. A la fin de la procédure, il maintient l'état de ses sorties.

Les valeurs associées aux compteurs de synchronisations sont calculées comme dans le chapitre 2. La durée de ce compteur dépend du temps de propagation d'un message au sein de la chaîne de gate-drivers. Ce paramètre est étudié dans la section suivante.

3.IV. Chaîne de gate-drivers et signaux inter-drivers

Cette section présente la chaîne de 5 smart gate-drivers flottants mise en œuvre dans le but de valider l'algorithme décentralisé proposé dans ces travaux. Un schéma de la structure est proposé Figure 80. Il présente la nomenclature utilisée pour désigner les signaux de tension inter-drivers montants et descendants. L'organe de commande principal responsable des requêtes d'insertion ou de retrait de sous-module est la carte de développement Nexys. Elle envoie le signal CMD vers le primaire du Driver 1.

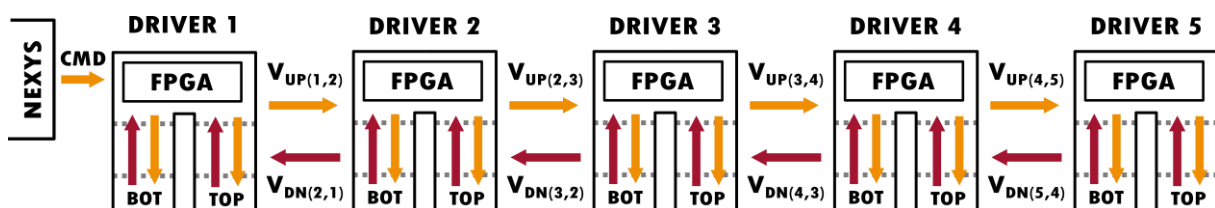


Figure 80. Schéma de la chaîne de gate-driver présentée dans ces travaux

La chaîne de gate-drivers réelle est présentée sur la Figure 81. Les primaires des gate-drivers sont liés aux secondaires TOP des gate-drivers précédents via les cartes de communication additionnelles et les liaisons RS-485.

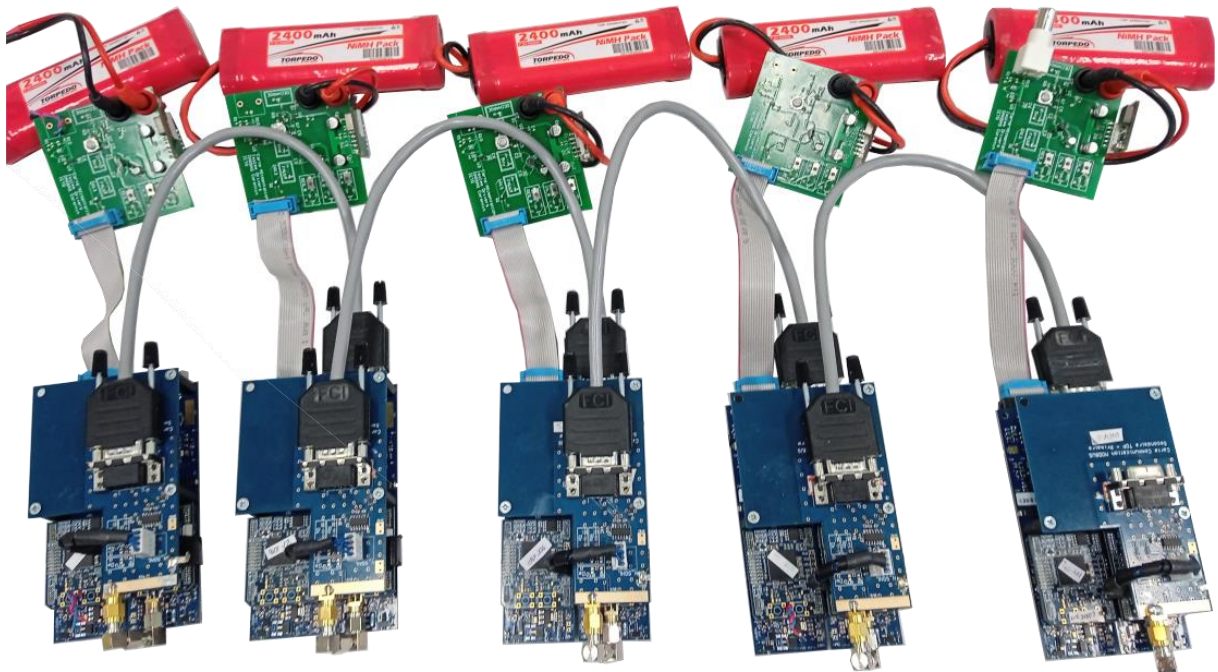


Figure 81. Chaîne de cinq smart gate-drivers cascades

Une étude de la propagation des signaux inter-drivers est réalisée sur la Figure 82. Elle présente la propagation de la trame d'initialisation dans le cas d'une requête d'insertion (Figure 82 (a)) et de retrait (Figure 82 (b)). Les canaux 1, 2, 3 et 4 présentent respectivement $V_{UP(1,2)}$, $V_{UP(2,3)}$, $V_{UP(3,4)}$, et $V_{UP(4,5)}$ (Figure 80). Comme attendu, la trame d'initialisation est constituée de deux bits d'une durée de 150 ns, et elle est propagée d'un gate-driver à l'autre via les liaisons différentielles.

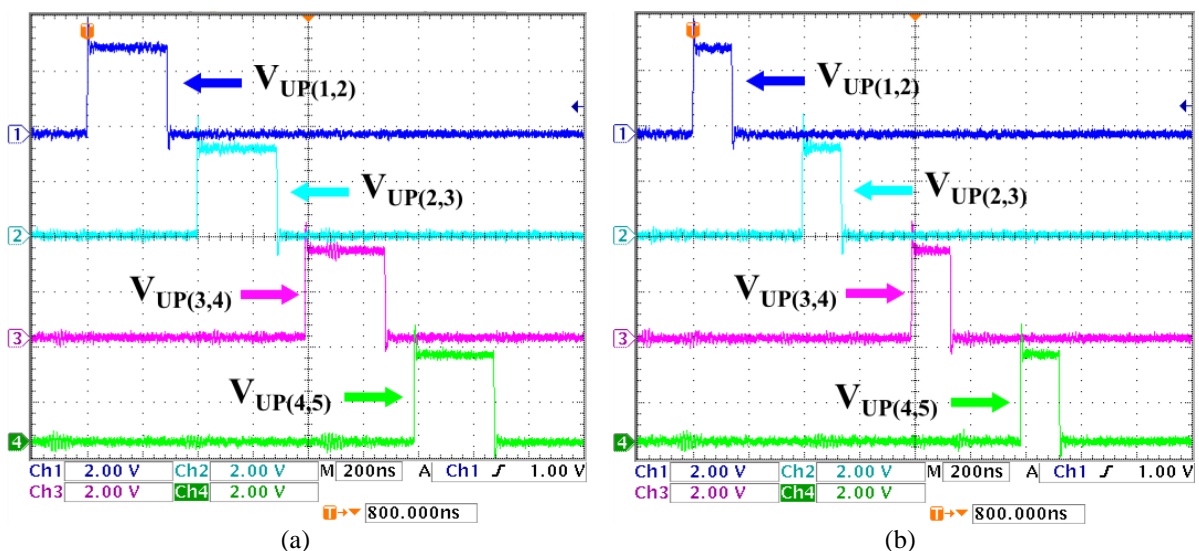


Figure 82. Propagation de la trame d'initialisation au sein de la chaîne de gate-drivers : requête d'insertion (a) et requête de retrait (b)

Le temps de propagation t_{propagUP} d'un signal montant d'un gate-driver à l'autre est légèrement variable. En effet, les communications entre les différents membres de la chaîne sont de type asynchrone. Les horloges des différents FPGA ne sont pas synchronisées entre elles, et les durées des échanges de données peuvent donc varier de quelques périodes d'horloges (soit quelques dizaines de nanosecondes). De plus, de légères différences matérielles peuvent exister d'un gate-driver à l'autre, ce qui influence également les temps de propagation. La valeur moyenne de t_{propagUP} est proche de 400 ns.

Pour étudier en détail la propagation des signaux au sein de la chaîne, les signaux mesurés lors d'un échange de jeton sont présentés sur la Figure 83. Les canaux 1, 2, 3 et 4 présentent respectivement $V_{\text{UP}(2,3)}$, $V_{\text{UP}(3,4)}$, $V_{\text{DN}(4,3)}$, et $V_{\text{DN}(3,2)}$ (Figure 80). Pour des raisons d'accessibilité de la mesure, les messages descendants sont visualisés à la sortie de la paire différentielle. Ces signaux démodulés sont donc générés par les drivers de ligne MAX3491 des cartes de communication additionnels au secondaire TOP $D(p-1)$, et non par les FPGA au primaire Dp eux-mêmes.

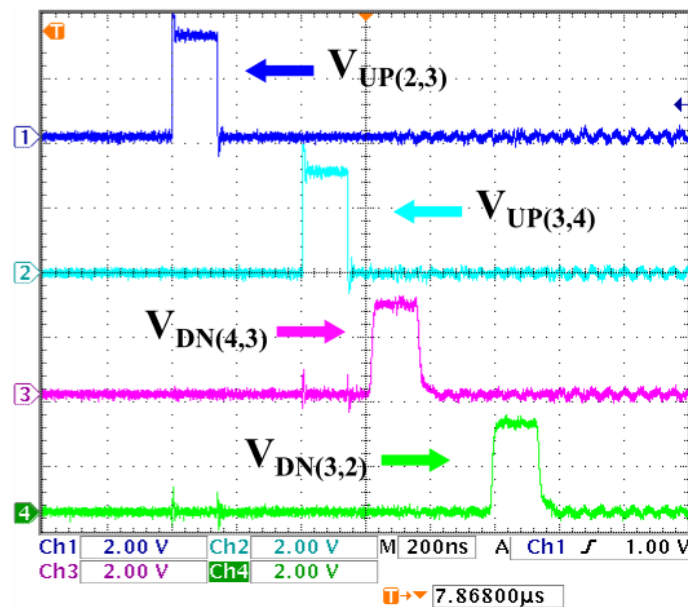


Figure 83. Echange de jeton entre deux maillons de la chaîne de gate-driver

Le temps de propagation des messages descendants t_{propagDN} est réglé pour être égal au temps de propagation des messages montants (environ 400 ns). L'état des gate-drivers lors des mesures faites sur la Figure 83 est décrit dans le Tableau 13. Une requête de mesure est émise, et tous les gate-drivers sont initialement à l'état OFF. La procédure sélectionne la tension V_C la plus faible, le gate-driver 4 doit donc détenir le jeton à la fin de celle-ci.

Tableau 13. Etat des gate-drivers de la chaîne

N°gate-driver	Driver 1	Driver 2	Driver 3	Driver 4	Driver 5
Etat	OFF	OFF	OFF	OFF	OFF
Tension V_C	217 V	200 V	210 V	187 V	190 V
Signe du courant	+	+	+	+	+

Le jeton est initialement détenu par le gate-driver 1. Dans un premier temps, le jeton est échangé avec le gate-driver 2, car c'est le prochain membre de la chaîne avec une priorité à commuter supérieure à celle du gate-driver 1 ($V_{C2} < V_{C1}$). Cet échange n'est pas représenté sur la Figure 83.

D'après le Tableau 13, le jeton est ensuite cédé au gate-driver 4 ($V_{C4} < V_{C2} < V_{C3}$). La Figure 83 présente cet échange de jeton entre les gate-drivers 2 et 4. Le gate-driver 2 émet son bit de FIN, qui est ensuite propagé au gate-driver 4 par le gate-driver 3, en état de sommeil. Le gate-driver 4 répond par l'émission d'un bit de TKN, et prend le jeton. Ce bit est envoyé vers le gate-driver 2, qui perd son jeton à sa réception.

3.V. Compteur de synchronisation

Les études précédentes permettent de déterminer la durée totale de la procédure dans le cas le plus défavorable tel que décrit dans le chapitre 2, et ainsi la valeur de t_{synchro} . A la différence de l'étude faite dans le chapitre 2, le compteur de synchronisation n'est pas initialisé à la réception de la trame d'initialisation. Pour des raisons logicielles, ce compteur démarre après la réception de la trame de mesure, en même temps que le compteur de priorité. Cela simplifie la détermination de t_{synchro} , donnée dans (4.6). La valeur de t_{prioMax} est donnée dans (4.5) et vaut $2.1 \mu\text{s}$. Le délai de propagation des bits montants t_{propagUP} est équivalent au délai de propagation des bits descendants t_{propagDN} et vaut 400 ns . La valeur de $t_{\text{securité}}$ est choisie égale à 500 ns . Elle permet de palier les différentes imperfections du système et les dissymétries des temps de propagation afin d'augmenter la fiabilité de l'algorithme.

$$t_{\text{synchro}} = t_{\text{prioMax}} + (N - 1) t_{\text{propagUP}} + (N - 1) t_{\text{propagDN}} + t_{\text{securité}}$$

$$t_{\text{synchro}} = 2.1 + 8 \times 0.4 + 0.5 = 5.8 \mu\text{s} \quad (4.6)$$

Cette valeur de t_{synchro} est implémentée dans les FPGA. Un essai est réalisé afin de tester l'algorithme dans les conditions les plus défavorables résumées dans le Tableau 14 comme décrites dans le chapitre 2.

Tableau 14. Conditions les plus défavorables de la procédure de sélection

N°gate-driver	Driver 1	Driver 2	Driver 3	Driver 4	Driver 5
Tension V_C	171 V	200 V	210 V	187 V	170 V
Signe du courant	+	+	+	+	+

Des mesures présentées sur la Figure 84 sont effectuées sur le gate-driver *DI* dans ces conditions de test. Le canal 1 présente le signal CMD (Figure 80) contenant la trame d'initialisation envoyé par la carte de développement Nexys vers *DI*. Le canal 2 présente le signal de commande V_{outTOP} envoyé au secondaire TOP de *DI*. Le canal 3 présente le signal de commande V_{outBOT} envoyé au secondaire BOT de *DI*. Le canal 4 présente le signal V_{inSEC} , qui décode les impulsions sur le canal asynchrone reçues au primaire de *DI*.

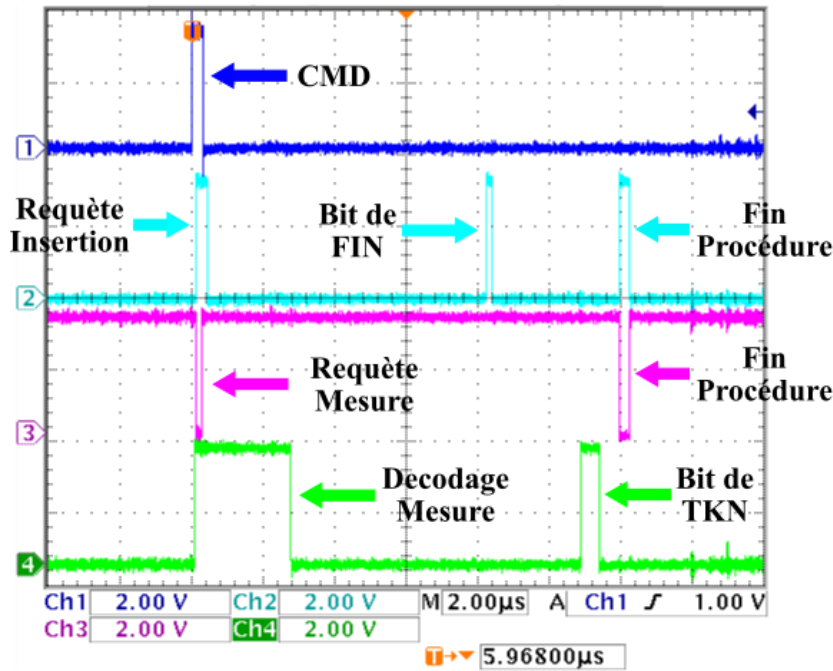


Figure 84. Signaux émis et reçus par le drive 1 dans le cas le plus défavorable

La Figure 84 confirme que *DI* ne commute pas à la fin de la procédure. Le TKN bit est reçu avant la fin du compteur de synchronisation (environ 500 ns, soit la valeur de $t_{\text{sécurité}}$). Le gate-driver 5 commute à la fin de la procédure. La durée totale de l’algorithme est proche des 12 µs.

Les relevés présentés dans ce chapitre ont permis de démontrer que le comportement de l’algorithme est en accord avec la théorie. La section finale de ce manuscrit propose de vérifier les performances de la procédure en simulant une séquence de commande sur un convertisseur MMC.

4. Validation des lois de commande

Une expérience est proposée afin de démontrer l’efficacité de l’équilibrage des tensions par la chaîne de gate-drivers en utilisant la procédure proposée dans ces travaux. Elle consiste à confronter les résultats obtenus en simulation avec ceux obtenus avec la chaîne réelle. Pour cela, l’outil de simulation modulaire implémenté dans Matlab-Simulink présenté dans le chapitre précédent est utilisé. Un convertisseur MMC triphasé à 5 modules est simulé afin de générer des stimuli qui seront fournis à la chaîne de gate-drivers, et l’étude portera sur un bras d’une des trois phases. Les paramètres du convertisseur simulé sont donnés dans le Tableau 15.

La chaîne de gate-drivers n’est pas implémentée en simulation. Elle est remplacée par l’algorithme RSF idéal comme dans la simulation portant sur l’étude statique du convertisseur du chapitre précédent. Le bloc AET est exécuté en un seul pas de temps. Les performances de l’algorithme RSF seront comparées avec celle de la chaîne de gate-drivers, afin de démontrer sa capacité à équilibrer efficacement les tensions aux bornes des condensateurs de sous-modules. La modulation utilisée est la LCPWM proposée dans le chapitre 3. La tension du bras *up* de la phase *a* est affichée sur la Figure 85 durant une période du réseau, avec les tensions aux bornes des 5 condensateurs du bras U.

Tableau 15. Paramètres du convertisseur MMC simulé pour l'étude de l'algorithme intégré à la chaîne de gate-drivers

Paramètres de l'étage de puissance		
Sous-modules par bras	N	5
Inductance de bras	L_{bras}	2 mH
Capacité des condensateurs de sous-module	C	1.1 mF
Tension moyenne aux bornes des condensateurs	V_{Cref}	200 V
Paramètres du réseau AC		
Fréquence du réseau	f_{grid}	60 Hz
Tension maximale du réseau	V_{grid}	880 V
Inductance de filtrage	L_{filtre}	3.5 mH
Puissance apparente de référence	S_{grid}	20 kVA
Facteur de puissance de référence	$\cos(\varphi)$	1
Paramètres du bus DC		
Tension pôle à pôle	V_{DC}	1000 kV

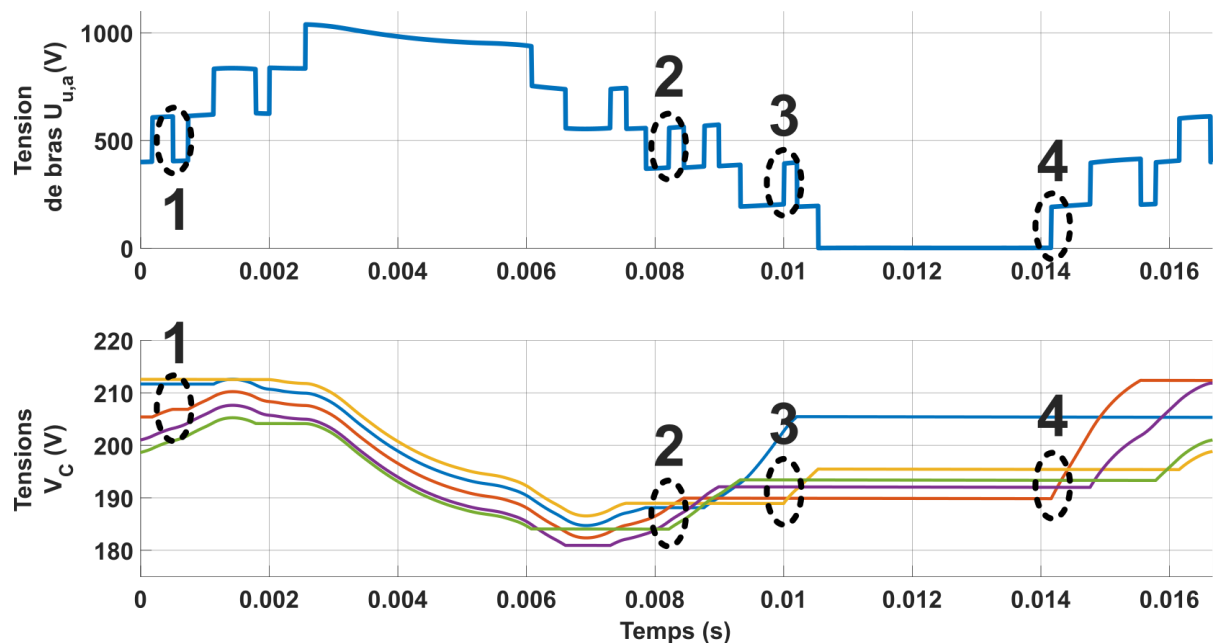


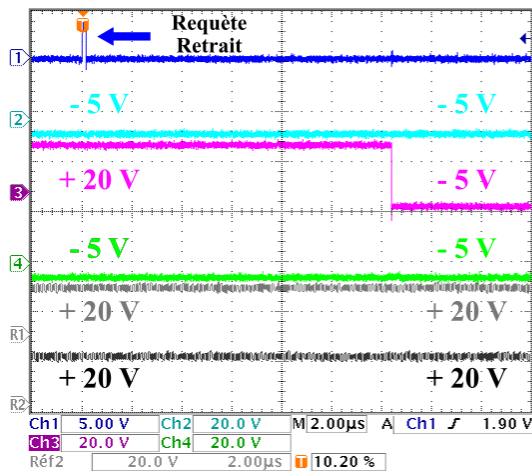
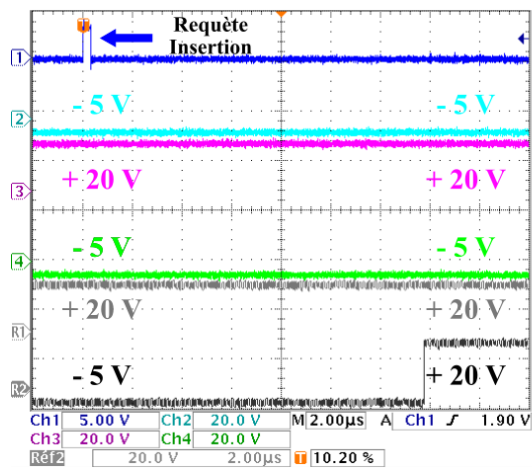
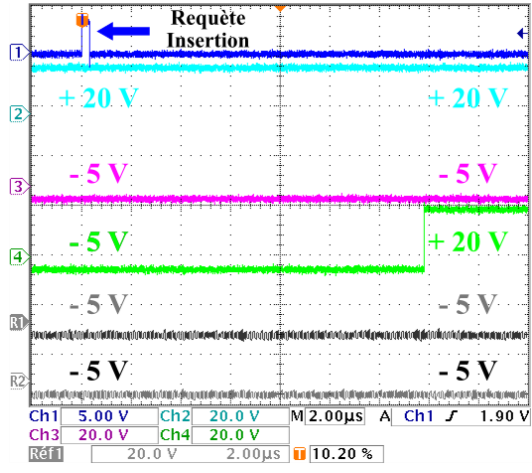
Figure 85. Tensions aux bornes des condensateurs et tension du bras up obtenus en simulation

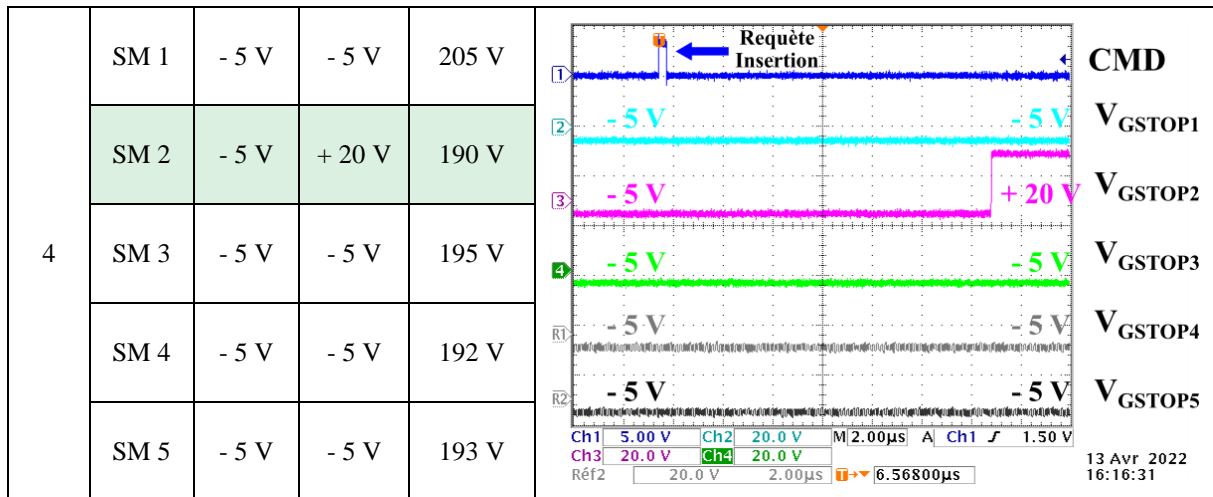
Afin de démontrer l'efficacité de l'équilibrage, certaines commutations simulées sont reproduites à l'aide de la chaîne de gate-drivers. Elles sont choisies dans la forme d'onde présentée sur la Figure 85. Les résultats de l'expérience sont consignés dans le Tableau 16.

Les résultats de simulation sont présentés dans les colonnes de gauche du tableau. Les tensions de grille des transistors TOP avant (V_{GSOLD}), et après (V_{GSNEW}) chaque commutation sont donnés avec les tensions V_C correspondantes, arrondies à l'entier le plus proche. Les signaux de grille mesurés V_{GSTOP} du transistor TOP de chaque gate-driver sont affichés dans la dernière colonne du tableau. La requête d'insertion ou de retrait émise par le contrôle/commande (signal CMD) est présentée sur la voie 1. Les signaux de grille des transistors des voies TOP des 5 gate-drivers V_{GSTOP1} , V_{GSTOP2} , V_{GSTOP3} , V_{GSTOP4} et V_{GSTOP5} sont respectivement présentés sur les voies 2, 3, 4, R1 et R2.

Les résultats expérimentaux confirment le bon fonctionnement de la procédure. Les signaux de grilles générés par la chaîne de gate-drivers sont cohérents avec ceux obtenus en simulation. L'algorithme effectue un équilibrage équivalent à celui de l'algorithme RSF. L'expérimentation permet de valider les concepts introduits dans ces travaux.

Tableau 16. Comparaison des résultats obtenus à l'aide du démonstrateur avec la simulation

Commutations simulées		V_{GSOLD}	V_{GSNEW}	Tensions V_C	Résultats d'expériences
1	SM 1	- 5 V	- 5 V	212 V	 <p>CMD V_{GSTOP1} V_{GSTOP2} V_{GSTOP3} V_{GSTOP4} V_{GSTOP5}</p>
	SM 2	+ 20 V	- 5 V	207 V	
	SM 3	- 5 V	- 5 V	213 V	
	SM 4	+ 20 V	+ 20 V	203 V	
	SM 5	+ 20 V	+ 20 V	201 V	
2	SM 1	- 5 V	- 5 V	188 V	 <p>CMD V_{GSTOP1} V_{GSTOP2} V_{GSTOP3} V_{GSTOP4} V_{GSTOP5}</p>
	SM 2	+ 20 V	+ 20 V	188 V	
	SM 3	- 5 V	- 5 V	189 V	
	SM 4	+ 20 V	+ 20 V	186 V	
	SM 5	- 5 V	+ 20 V	184 V	
3	SM 1	+ 20 V	+ 20 V	203 V	 <p>CMD V_{GSTOP1} V_{GSTOP2} V_{GSTOP3} V_{GSTOP4} V_{GSTOP5}</p>
	SM 2	- 5 V	- 5 V	190 V	
	SM 3	- 5 V	+ 20 V	189 V	
	SM 4	- 5 V	- 5 V	192 V	
	SM 5	- 5 V	- 5 V	193 V	



Discussion sur les choix matériels et logiciels de ces travaux

L'objectif de ces travaux était de démontrer la faisabilité de l'implémentation de l'algorithme d'équilibrage décentralisé sur une chaîne de gate-drivers. La conception d'un gate-driver adapté à l'exécution de cette procédure de sélection est hors du cadre de ces travaux, mais fait partie de ses perspectives. L'implémentation de la procédure sur les cartes gate-drivers réalisées au laboratoire IETR durant de précédents travaux a représenté un défi conséquent, puisqu'elles n'ont pas été conçues pour cette application. La suite de ces travaux de recherche sera donc notamment orientée vers la conception de cartes gate-drivers plus adaptées à l'implémentation d'algorithmes décentralisés.

Certaines pistes de recherche concernant les propriétés pertinentes pour l'exécution d'algorithmes décentralisés au cœur des gate-drivers peuvent être exposées en dernière partie de ce chapitre. Le gate-driver qui a servi de démonstrateur dans ces travaux est équipé d'un canal dit « asynchrone ». Il permet l'envoi d'informations des secondaires vers le primaire, mais impose de couper leurs alimentations pendant la procédure. Outre le temps-mort lié à la démagnétisation des transformateurs d'alimentation, cela pose des problèmes de fiabilité évidents. Il faut s'assurer que l'énergie distribuée aux secondaires soit suffisante pour assurer leur fonctionnement, et l'alimentation doit donc être active pendant une durée minimale. Cela limite la fréquence d'exécution de l'algorithme. La présence de canaux de communications bidirectionnels dédiés à l'échange d'information, accessibles sans limitations, et possédant des débits élevés et un prérequis à l'exécution de la procédure de sélection décentralisée.

L'intégration de canaux de communication inter-drivers au secondaire TOP évite l'ajout d'une carte de communication dédiée. Une électronique de mesure locale peut également être intégrée au secondaire BOT afin de réaliser les mesures nécessaires à l'algorithme.

La question de l'alimentation des gate-drivers dans les structures IGR n'a pas été traitée dans ces travaux. L'usage de batteries pour l'apport d'énergie aux primaires dans des convertisseurs industriels ne semble pas raisonnable pour des raisons de fiabilité et de maintenance. L'auto-alimentation des gate-drivers semble la solution la plus adéquate selon le point de vue des auteurs de ces travaux. Un petit convertisseur DC/DC isolé peut être embarqué au primaire de chaque gate-driver. La barrière d'isolation galvanique des convertisseurs DC/DC voit en effet une tension nulle à ses bornes (en statique). Cela simplifie grandement son intégration sur la carte gate-driver. Un gate-driver en charge de sa propre alimentation au primaire pourrait fortement augmenter la modularité de la chaîne de commande.

Au-delà de la problématique matérielle liée au gate-driver, une amélioration du protocole de communication utilisé pour les échanges de trames entre les maillons de la chaîne est une nécessité. Les différentes trames simplistes présentées dans ces travaux contiennent uniquement l'information nécessaire à la procédure. En pratique, les communications entre le contrôle/commande et les gate-drivers contiendront des informations détaillées. De plus, l'environnement bruité du convertisseur impose l'usage d'un protocole de communication robuste et fiable. L'envoi de simples bits entre les gate-drivers implique une absence de redondance des informations, ce qui rend impossible l'implémentation de la procédure décentralisée dans son état actuel sur un convertisseur réel.

Une autre piste d'amélioration logicielle éventuelle concerne la reconfiguration « online » des composants FPGA. Par exemple, en cas d'un changement du nombre N de sous-modules contenus dans un bras de convertisseur, la durée d'exécution de la procédure t_{synchro} doit changer. Afin d'éviter de devoir « flasher » à nouveau chaque composant FPGA, une simple trame propagée le long de la chaîne permettrait de changer la valeur de t_{synchro} . Les FPGA impliqués dans les gate-drivers de la chaîne pourraient être reconfigurés lors d'une procédure particulière, typiquement au démarrage du convertisseur.

Ces travaux sont à l'origine d'une approche très innovante de la commande modulaire des convertisseurs de puissance. Il s'agit d'une rupture avec les structures de gate-drivers classiques et la commande des convertisseurs. Les différentes pistes d'améliorations qui ont été présentées offrent des perspectives diverses pour ces travaux. Les possibilités offertes par la structure à Isolation Galvanique Répartie et l'intégration des smart gate-drivers dans les convertisseurs multiniveaux sont encore insoupçonnées et permettront des améliorations dans tous les domaines industriels dans un futur proche.

Conclusion

Dans ce dernier chapitre, l'algorithme d'équilibrage intégré aux gate-drivers a été implémenté sur des cibles réelles. Une chaîne de 5 smart gate-drivers a été mise en place. Ces gate-drivers sont capables d'exécuter des algorithmes et de transmettre des messages détaillés aux travers de leurs isolations galvaniques. Ils sont connectés en cascades, et leurs primaires sont isolés les uns des autres. Des cartes d'alimentations flottantes sont conçues à cet effet. Les sources d'énergie des gate-drivers sont des batteries. Une carte de communication a été réalisée afin d'assurer la transmission d'informations entre les gate-drivers (signaux inter-drivers). Elle permet de lier le primaire d'un gate-driver avec le secondaire TOP d'un autre, via une liaison différentielle de type RS-485. Le même code est exécuté aux primaires de chaque gate-driver, ce qui assure une grande simplicité au niveau de l'implémentation sur le démonstrateur et une modularité importante de l'application. Ajouter des gate-drivers dans la chaîne ne nécessite aucune reconfiguration des autres gate-drivers.

Les systèmes de communications ont été détaillés, et les différents signaux ont été visualisés. Une étude porte notamment sur les signaux internes (intra-drivers), qui sont échangés entre le primaire et ses secondaires. Les temps de propagation aux travers des différents canaux du gate-driver ont été visualisés. La procédure de mesure locale effectuée par le secondaire BOT a également été détaillée. Les signaux envoyés lors de l'initialisation et à la fin de la procédure ont été présentés.

L'envoi et la réception d'informations sur les différents canaux synchrones et asynchrones des gate-drivers ont été analysés, notamment grâce à l'étude de la procédure d'échange du jeton. Les signaux échangés entre les gate-drivers de la chaîne (inter-drivers) ont également été étudiés. L'étude des compteurs et des temps de propagation des signaux entre les gate-drivers a montré que les équations et modèles proposés dans les chapitres précédents étaient valides. Les résultats obtenus après l'implémentation de la procédure sont conformes à la théorie développée dans ce manuscrit.

Pour vérifier la capacité de l'algorithme à équilibrer les tensions aux bornes des condensateurs d'un bras de MMC, une simulation a été réalisée. L'état des tensions V_c et des sous-modules a pu être extrait, et certaines requêtes de commutations ont été reproduites à l'aide de la chaîne de gate-drivers. Les signaux de grilles obtenus lors de l'expérimentation sont en parfait accord avec l'algorithme RSF simulé. L'implémentation de l'algorithme sur la chaîne de gate-drivers réelle a donc permis de démontrer l'efficacité de la loi de commande proposée dans ces travaux.

Des pistes d'améliorations matérielles et logicielles ont été exposées à la fin de ce chapitre. Elles permettent notamment d'accroître la modularité de la structure de commande ainsi que sa fiabilité. Ces travaux ont ouvert des possibilités multiples pour la commande des convertisseurs multiniveaux.

Bibliographie

- [1] J. Weckbrodt, “Pilotage et surveillance de MOSFET SiC : intégration de fonctions intelligentes dans les gate drivers,” 2020.
- [2] N. Ginot, C. Batard, and P. LAHAYE, *MOSFET et IGBT : circuits de commande , sécurisation et protection du composant à semi-conducteur*, vol. 33, no. 0. 2017.
- [3] J. Weckbrodt, N. Ginot, C. Batard, and S. Azzopardi, “Monitoring of Gate Leakage Current on SiC Power MOSFETs: An Estimation Method for Smart Gate Drivers,” *IEEE Trans. Power Electron.*, vol. 36, no. 8, pp. 8752–8760, 2021, doi: 10.1109/TPEL.2021.3056648.
- [4] J. Weckbrodt, N. Ginot, C. Batard, and S. Azzopardi, “Short pulse transmission for sic communicating gate driver under high dv/dt,” *PCIM Eur. Conf. Proc.*, no. 225809, pp. 1552–1557, 2018.
- [5] J. Weckbrodt, N. Ginot, C. Batard, T. L. Le, and S. Azzopardi, “A bidirectional communicating power supply circuit for smart gate driver boards,” *IEEE Trans. Power Electron.*, vol. 35, no. 8, pp. 8540–8549, 2020, doi: 10.1109/TPEL.2019.2960632.
- [6] DigilentInc, “Nexys4 DDR TM FPGA Board Reference Manual,” *Nexys 4 DDR Artix-7 FPGA Train. Board Recomm. ECE Curric. - Digilent*, pp. 1–29, 2014, [Online]. Available: https://reference.digilentinc.com/_media/nexys4-ddr:nexys4ddr_rm.pdf.

Conclusion générale et Perspectives

La problématique de la conversion d'énergie a toujours été au centre des questions d'ingénieries modernes. L'avènement des semi-conducteurs a notamment permis des avancées considérables dans le domaine de l'électronique de puissance. Les convertisseurs statiques d'énergie électrique ont atteint des rendements de conversion très élevés, et la montée en calibres tension et courant des nouvelles générations de semi-conducteurs octroie aux convertisseurs des densités de puissances toujours plus importantes. D'autre part, les nouvelles topologies de conversion dites « multiniveaux » ont permis d'ouvrir de nouvelles possibilités pour les industries, comme le transport d'énergie haute tension en courant continu (HVDC).

Les niveaux de tensions mis en jeu dans les convertisseurs HVDC ont longtemps contraint à l'usage de composants thyristors, et donc de convertisseurs commutés par les lignes (LCC). Les convertisseurs multiniveaux sont une solution attractive pour l'introduction des convertisseurs « source de tension contrôlée » (VSC) dans ces applications. Les avantages de ces structures sont nombreux : ils n'ont pas besoin d'être connectés à des réseaux AC « forts » pour démarrer (« black start »), et permettent notamment un contrôle des puissances active et réactive plus efficace. Comme il a été démontré dans l'état de l'art, le Convertisseur Modulaire Multiniveaux (MMC) est un candidat particulièrement intéressant pour ces applications du fait de sa grande flexibilité et de sa bonne commandabilité. Sa modularité naturelle lui permet en outre une montée en tension théoriquement infinie.

Dans un premier temps, ces travaux ont proposé une étude concernant l'intégration des gate-drivers dans les MMC. La structure de commande gate-drivers classique « parallèle », dans laquelle chaque gate-driver est relié au contrôle/commande, impose des tensions extrêmement élevées aux bornes des isolations galvaniques. Les isolateurs ne peuvent dès lors plus être compacts ou intégrés au PCB, à l'exception des liaisons optiques plus contraignantes. De plus, le nombre de liaisons nécessaires entre le contrôle/commande et la chaîne de gate-drivers dépend du nombre de niveaux du convertisseur. Celui-ci pouvant atteindre plusieurs centaines, le coût et le volume occupé par ces liaisons peuvent être très importants. Pour ces raisons, les gate-drivers industriels « plug-and-play » ne peuvent être utilisés dans ce type d'application, et la commande rapprochée des semi-conducteurs est souvent assurée par des cartes gate-drivers flottantes autoalimentées.

Les fonctionnalités des « smart gate-drivers » permettent de piloter les composants de puissance dans des conditions optimales. Ces cartes embarquent en effet des fonctions avancées de surveillance de composants ou de pilotage de grille actif. De plus, elles peuvent être équipées de composants programmables afin d'exécuter des algorithmes, et/ou d'envoyer des informations entre le primaire et les secondaires au travers des canaux de communication innovants et bidirectionnels. Une étude bibliographique concernant les smart gate-drivers a permis de démontrer l'apport conséquent que de telles cartes peuvent avoir sur la fiabilité et le rendement des convertisseurs multiniveaux.

Une structure gate-driver innovante a ensuite été proposée afin de rendre possible l'intégration des smart gate-drivers dans les convertisseurs cascades comme le MMC. La structure à Isolation Galvanique Répartie (IGR) permet de limiter les tensions d'isolations à la valeur de la tension V_C aux bornes des condensateurs de sous-modules. Les gate-drivers sont connectés en « cascade », et leurs isolations galvaniques sont mises en série. La limite imposée par les tensions d'isolations des convertisseurs haute tension classiques est outrepassée en répartissant l'effort d'isolation sur chaque gate-drivers. La tension présente aux bornes de l'isolation galvanique d'un gate-driver ne dépend plus du nombre de sous-modules dans le bras, ce qui rend la structure gate-driver du convertisseur intégralement modulaire. Le nombre de sous-modules N d'un bras peut être augmenté sans nécessiter de nouveaux dimensionnements au niveau de la structure de gate-driver.

D'autre part, le nombre de liaisons nécessaires entre le contrôle/commande et le convertisseur est divisé par un facteur N . Seul un gate-driver par bras est relié au contrôle/commande, ce qui accroît encore la modularité du convertisseur. La contrepartie majeure de l'IGR est sa structure de communication série entre les gate-drivers. Des délais au niveau de la transmission d'informations peuvent apparaître. Des structures de gate-drivers dérivées de l'IGR sont également proposées afin d'en augmenter la fiabilité. De nouvelles lois de commandes doivent être mises en place pour être compatibles avec la chaîne de gate-drivers.

En particulier, les algorithmes d'équilibrages des tensions (AET) exécutés par des cartes d'accélération externes ne sont plus pertinents dans cette configuration, puisque l'adressage direct des gate-drivers est impossible. Les smart gate-drivers étant équipés de composants programmables et de canaux de communication bidirectionnels, la solution proposée dans ces travaux consiste en la décentralisation de l'AET. L'algorithme introduit se base sur la structure simple de l'algorithme Reduced Switching Frequency (RSF), et permet de sélectionner le gate-driver dont la tension V_c associée est la plus élevée ou la plus faible suivant certains critères.

Il nécessite des circuits simples de mesures locales de tension et de courant. Les informations nécessaires à son fonctionnement sont mineures, et les trames circulant entre les gate-drivers sont donc relativement succinctes. Limiter le nombre d'informations échangées entre les gate-drivers est vital. L'algorithme est basé sur des comparaisons simultanées des différentes tensions V_c . Un système de jeton est utilisé pour gérer cette simultanéité. Le dernier porteur de jeton devra changer d'état à la fin de la procédure. La durée de la procédure est déterministe. Elle ne nécessite pas de trames de fin ou de synchronisation particulière des gate-drivers. Cette durée fixe peut être assimilée à un « slew-rate », comme l'a montré l'étude en simulation. Les bonnes propriétés de l'algorithme en statique et en dynamique ont été démontrées par cette simulation.

Dans un second temps, une étude a permis de démontrer l'incompatibilité essentielle entre les modulations basses fréquences en « escalier » usuelles de type Nearest Level Modulation (NLM) et l'algorithme Reduced Switching Frequency (RSF), sur lesquels ces travaux sont fondés. Les modulations basées sur la comparaison de la référence de tension avec un jeu de porteuses triangulaires peuvent générer des impulsions très courtes, à l'origine de distorsions de l'onde de sortie. De plus, elles

présentent des fréquences de commutations élevées, générant des pertes, sans apporter de bénéfices majeurs à la qualité de l'onde de sortie lorsque N est élevé.

Un processus de génération de la NLM à partir de porteuses statiques a été détaillé dans ces travaux. Le jeu de porteuses est généré à partir d'une simple équation, et produit une onde de sortie déterministe. La charge de calcul et l'espace mémoire nécessaire à son stockage sont donc largement réduits par rapport aux porteuses triangulaires classiques. Un jeu de porteuses statiques modifiées est présenté dans une seconde partie. Il permet de générer une onde hybride appelée Long Conduction time Pulse Width Modulation (LCPWM). Cette onde présente l'avantage d'être compatible avec l'algorithme RSF tout en maximisant les temps de conduction des semi-conducteurs. Elle ne génère pas d'impulsions courtes, dangereuses pour les composants de puissance.

Finalement, la T-Enhanced Long Conduction time Pulse Width Modulation (T-ELCPWM) est introduite à partir du même jeu de porteuses modifiées. Elle possède une fréquence de commutation réduite par rapport à la LCPWM. Les différentes modulations et leur méthode de génération ont été validées par simulation. Leurs performances sont comparées avec des modulations classiques. Le choix de la valeur de T de la T-ELCPWM permet un compromis entre fréquence de commutation et efficacité d'équilibrage des tensions avec l'algorithme RSF.

Une chaîne de gate-drivers a été implémentée afin de valider les lois de commandes introduites dans ces travaux. La carte gate-driver utilisée pour le démonstrateur a été réalisée au laboratoire IETR lors de précédents travaux. Le gate-driver possède des canaux de communication bidirectionnels intégrés et rapides, et est équipé de composants logiques programmables (FPGA). L'algorithme est implémenté sur chaque gate-driver. L'avantage de la méthode proposée est qu'un unique code est utilisé pour flasher tous les gate-drivers, peu importe leur place dans la chaîne (excepté le premier gate-driver, qui nécessite une petite interface de communication supplémentaire). Les communications inter-drivers sont assurées par des cartes de communications additionnelles spécialement réalisées à cet effet. Des cartes d'alimentations isolées permettent de fournir de l'énergie aux gate-drivers à partir de batteries, tout en assurant que les primaires des gate-drivers soient isolés les uns des autres.

Les caractéristiques de la chaîne de gate-drivers ont été étudiées. Les performances de l'algorithme sont comparées à celle de RSF à l'aide de résultats de simulation. Il est montré que les ordres de commutation produits par RSF et ceux produits par la chaîne de gate-drivers sont identiques, validant ainsi l'efficacité de l'algorithme délocalisé pour l'équilibrage des tensions aux bornes des condensateurs.

Pour résumer, la structure IGR proposée, ainsi que ses dérivées, ont permis de rendre la structure gate-driver des MMC intégralement modulaire et économe en liaisons de communication. La chaîne de commande du convertisseur est drastiquement différente. Un algorithme d'équilibrage des tensions a été proposé, directement exécuté au cœur de chaque gate-driver, sur le principe de l'algorithme RSF. Il s'agit d'une des toutes premières tentatives d'implication des gate-drivers dans la commande des convertisseurs multicellulaires à cette échelle. Les limites de la chaîne ont été étudiées, et des méthodes de modulations hybrides ont été introduites dans le but d'utiliser au mieux la structure de commande innovante cascadée. Enfin, un démonstrateur a été mis en œuvre à la fin de ces travaux pour démontrer l'efficacité des lois de commande proposées, déjà validées par un outil de simulation performant.

Les perspectives offertes par ces travaux sont multiples. De nombreuses pistes d'améliorations des propriétés de la chaîne de gate-drivers ont déjà été présentées à la fin du chapitre 4. La carte gate-driver pourrait intégrer tous les canaux de communication nécessaires à la commande décentralisée sans nécessiter de carte additionnelles. De plus, elle pourrait être en charge de sa propre alimentation au primaire à l'aide de petits convertisseurs DC/DC isolés intégrés.

Des circuits de mesures intégrés au secondaire BOT rendraient totalement autonome le gate driver, qui pourrait être lié à n'importe quelle cellule de commutation (« plug-and-play »). La conception de ce gate-driver versatile dédié à des applications de chaînage de gate drivers est une perspective majeure de ces travaux. Les améliorations logicielles ont également été discutées, notamment concernant la fiabilité et la robustesse des trames échangées entre les gate-drivers, et la reconfiguration « online » des FPGA.

Un prototype de MMC est déjà en cours de réalisation afin d'implémenter les lois de commandes proposées et la chaîne de gate-drivers sur un véritable convertisseur multicellulaire. Les performances dynamiques du convertisseur seront étudiées, ce qui permettra d'identifier différents critères de faisabilité en terme de bande passante, ou de résolution des capteurs par exemple. Les variantes de la structure IGR pourront également être mises en application sur le futur convertisseur.

Concernant les modulations hybrides introduites dans ces travaux, plusieurs études seront menées, notamment sur la question de la répartition spatiale optimale des porteuses statiques modifiées. Cette répartition pourra par exemple être obtenue après une optimisation multicritère portant sur la durée minimale des temps de conduction, l'excursion en tension maximale des tensions aux bornes des condensateurs de bras avec l'algorithme RSF, la fréquence de commutation et/ou le THD de l'onde de sortie.

De nouvelles lois de commande adaptées à la chaîne de gate-drivers feront suite à ces travaux, dans le but de faciliter toujours plus l'intégration des smart gate-drivers dans les convertisseurs de puissance, tout en décentralisant au maximum les lois de commande sur ces gate-drivers. L'indéniable apport que ces cartes électroniques auront dans le domaine de l'électronique de puissance nous motive à poursuivre nos travaux.

Titre : Commande Décentralisée et Modulaire des Convertisseurs MMC Intégrée au Cœur des Gate-Drivers

Mots clés : Convertisseur Modulaire Multiniveaux (MMC), Smart Gate-Drivers (SGD), Commande Décentralisée Modulaire, Algorithme d'Équilibrage des Tensions (AET), Modulation Multiniveaux

Résumé : L'électronique de puissance est un des domaines technologiques ayant connu le plus d'innovation durant les 40 dernières années. Les avancées majeures effectuées dans les technologies de semi-conducteurs ont notamment permis le développement rapide des convertisseurs de puissance.

Les topologies usuelles « 2-niveaux » font face à des limites dans certaines applications fortes puissances et haute tension. Les convertisseurs multiniveaux, et plus particulièrement le convertisseur MMC, ont été introduit dans le but d'outrepasser ces limites. Ces travaux proposent une étude de la structure driver des convertisseurs MMC. La modularité du convertisseur est cependant limitée par cette structure en raisons des tensions importantes aux bornes des isolations galvaniques. Une nou-

velle structure driver est introduite, dans laquelle les drivers sont chaînés. Elle est parfaitement modulaire, et permet l'intégration de smart gate drivers dans les MMC. Certains smart gate-drivers sont capables d'exécuter des algorithmes plus ou moins complexes.

Un algorithme d'équilibrage des tensions aux bornes des condensateurs de sous module de bras MMC est proposé. Il est directement intégré et exécuté par la chaîne de gate-driver, et ne nécessite pas de composants supplémentaire. Des méthodes de modulations flexibles et compatibles avec l'algorithme proposé sont également introduites.

L'algorithme et les modulations proposées sont simulées dans un premier temps pour leur validation. Une chaîne de gate-drivers a également été mise en oeuvre à cet effet.

Title : Decentralized and Modular Control of MMC Converters Integrated in the Core of Gate-Drivers

Keywords : Modular Multilevel Converter (MMC), Smart Gate-Drivers (SGD), Decentralized Control, Voltage balancing Algorithm (VBA), Multilevel Modulation

Abstract : Power electronics is one of the technological fields that has experienced the most innovation over the past 40 years. The major advances made in semiconductor technologies have notably enabled the rapid development of power converters.

The usual "2-level" topologies face limitations in some high-power and high-voltage applications. Multilevel converters, and more particularly the MMC converter, have been introduced in order to overcome these limits. This work proposes a study of the gate-driver structure of MMC converters. The modularity of the converter is however limited by this structure, due to the high voltages existing across the galvanic isolations. A new gate-driver structure is introduced, in

gate-drivers are chained. It is perfectly modular, and allows the integration of smart gate-drivers in MMCs. Some smart gate-driver boards are capable of executing more or less complex algorithms.

A voltage balancing algorithm of the MMC arm sub-module capacitors is proposed. It is directly integrated and executed by the gate-driver chain, and does not require any additional hardware.

Flexible modulation methods compatible with the proposed algorithm are also introduced. The algorithm and the proposed modulations are first simulated for their validation. A chain of gate-drivers has also been implemented for this purpose.