



HAL
open science

Récupération d'énergie pour système RFID

E. Bergeret

► **To cite this version:**

E. Bergeret. Récupération d'énergie pour système RFID. Micro et nanotechnologies/Microélectronique. Aix marseille université, 2007. Français. NNT: . tel-03933601

HAL Id: tel-03933601

<https://theses.hal.science/tel-03933601v1>

Submitted on 10 Jan 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Présentée devant

l'Université d'Aix Marseille I

pour obtenir

le grade de : DOCTEUR DE L'UNIVERSITÉ D'AIX MARSEILLE I
Mention PHYSIQUE ET MODÉLISATION DES SYSTÈMES COMPLEXES

par

Emmanuel BERGERET

Équipe d'accueil : Conception de circuit intégré
École doctorale : Physique, Modélisation et Sciences pour l'Ingénieur

Titre de la thèse :

Récupération d'énergie pour système RFID

Directeur de thèse : Jean GAUBERT
Co-Directeur de thèse : Philippe PANNIER

soutenue le 5 decembre 2007 devant la commission d'examen

M. :	Rachid	BOUCHAKOUR	Président
MM. :	Yann	DEVAL	Rapporteurs
	Lionel	TORRES	
MM. :	Rachid	BOUCHAKOUR	Examineurs
	Francois	VACHERAND	
	Jean	GAUBERT	
	Philippe	PANNIER	

Le travail présenté ici a été mené dans le cadre d'un partenariat entre l'axe Micro et nano électronique du L2MP et la société ST Microelectronics. Cette thèse s'est déroulée dans les locaux du L2MP situés sur le campus de Polytech'Marseille. Je tiens tout d'abord à remercier Monsieur Rachid Bouchakour qui m'a accueilli au sein du laboratoire, ainsi que la société ST Microelectronics initiateur du projet RFID.

Mes remerciements vont ensuite à Mr Yann Deval, professeur à l'École Nationale Supérieure d'Électronique Informatique et Radiocommunications de Bordeaux (ENSEIRB) et Mr Lionel Torres, professeur à Polytech'Montpellier, de l'intérêt qu'ils ont porté sur mon travail et d'avoir accepté de rapporter sur cette thèse. Je remercie également Mr François Vacherand, directeur scientifique au CEA LETI d'avoir été examinateur de ce travail.

Je remercie particulièrement messieurs Jean Gaubert et Philippe Pannier qui m'ont encadré tout au long de ce travail. De par le soutien et l'aide qu'ils m'ont apportés lors de cette thèse, ils m'ont permis de continuer à étudier et d'approfondir un peu plus mes connaissances, ce qui était un de mes objectifs en abordant cette thèse.

Je tiens aussi à remercier les gens de ST Microelectronics : Jean Marie Gaultier, Pierre Rizzo et tous les autres pour leur accueil au sein de l'équipe, le temps qu'ils m'ont consacré et les connaissances qu'ils ont acceptés de partager.

Je remercie également tous les thésards pour l'aide et les conseils qu'ils m'ont apportés et je leur souhaite à tous bonne chance pour la suite.

Enfin je tiens particulièrement à remercier ma famille pour son soutien et principalement Mlle Gaëlle Georges pour m'avoir fait confiance, m'avoir supporté et aidé pendant toutes ces années.

Table des matières

Introduction générale	1
I Téléalimentation et RFID	5
I.1 La transmission d'énergie	6
I.1.1 Historique	6
I.2 La RFID de nos jours	9
I.2.1 Principe	10
I.2.2 Les circuits RFID basses fréquences	11
I.2.2.1 Antenne et portée	11
I.2.2.2 Le circuit	11
I.2.3 La montée en fréquence	12
I.2.4 Portée	14
I.3 Problématique de l'UHF	15
I.3.1 Communication voie montante /voie descendante	15
I.3.2 Architecture UHF	16
I.3.2.1 ESD :	17
I.3.2.2 Mémoire non volatile	17
I.3.2.3 Régulateur de tension	18
I.3.2.4 Multiplieur	18
I.4 Conclusion	19
I.5 Bibliographie	20
II Étude théorique des multiplieurs pour système RFID	23
II.1 Introduction	25
II.2 Modèles existants	26
II.3 Tension incidente	27
II.3.1 Calcul de la tension à l'interface antenne/circuit	27
II.3.2 Limitations de la surtension	30
II.3.2.1 Dans le circuit	30
II.3.2.2 Dans l'antenne	30

	II.3.2.3 Débit/Bande passante	31
II.4	Étude du multiplieur à base de diodes Schottky	31
	II.4.1 Hypotheses	32
	II.4.2 Polarisation du circuit	33
	II.4.3 Calcul du courant	34
	II.4.3.1 Composante continue	34
	II.4.4 Impédance d'entrée du circuit	35
	II.4.4.1 Résistance d'entrée parallèle	35
	II.4.4.2 Capacité d'entrée parallèle	36
	II.4.5 Résultats et validations par simulations	38
II.5	Étude du multiplieur à base de transistor MOSFET	41
	II.5.1 Hypotheses	42
	II.5.2 Calcul de V_{gs} et V_{rf} en fonction de θ	42
	II.5.3 Calcul du courant	43
	II.5.3.1 Composante continue	44
	II.5.3.2 Composantes harmoniques	44
	II.5.4 Impédance d'entrée du circuit	45
	II.5.4.1 Résistance d'entrée	45
	II.5.4.2 Capacité d'entrée	46
	II.5.5 Résultats et validations par simulations	46
II.6	Exploitation du modèle	49
	II.6.1 Puissance d'entrée et rendement	50
	II.6.2 Télé-alimentation	50
II.7	Conclusion	53
II.8	Bibliographie	54
III Rétro-modulation		57
III.1	Introduction	59
III.2	Principe et Modélisation de la rétro-modulation : utilisation du modèle du multiplieur	59
	III.2.1 Principe de la rétro-modulation	59
	III.2.2 Calcul sur la rétro-modulation	61
	III.2.3 Modélisation d'une rétro-modulation	62
	III.2.3.1 Détermination de l'amplitude des signaux	63
	III.2.3.2 Détermination de la phase des signaux	64
	III.2.3.3 Etude théorique de la liaison	64
	III.2.3.4 Critère de visibilité	65
	III.2.3.5 Isolation	65
	III.2.4 Compromis télé-alimentation / rétro-modulation	68
III.3	Etude systématique	70
	III.3.1 Cas I : modulation sur l'antenne	73
	III.3.1.1 Impact sur l'alimentation	73
	III.3.1.2 Impact sur la rétro-modulation	74
	III.3.2 Cas II : modulation par étage de multiplieur	75
	III.3.2.1 Impact sur l'alimentation	75
	III.3.2.2 Impact de la rétro-modulation	76
	III.3.3 Cas III : modulation de partie réelle ou modulation résistive	78
	III.3.3.1 Impact sur l'alimentation	78

III.3.3.2 Impact sur la rétro-modulation	79
III.3.4 Cas IV : modulation de partie imaginaire ou modulation capacitive	80
III.3.4.1 Impact sur l'alimentation	81
III.3.4.2 Impact sur la rétro-modulation	82
III.3.5 Résultats et analyse	83
III.4 Conclusion	85
III.5 Bibliographie	86
IV Conception et mesure de multiplieur pour système RFID	87
IV.1 Introduction	88
IV.2 Extraction des paramètres nécessaires au modèle	89
IV.2.1 Caractérisation des diodes Schottky	90
IV.2.1.1 Caractérisation statique	90
IV.2.1.2 Caractérisation dynamique	91
IV.2.2 Caractérisation des capacités MIM	92
IV.3 Conception et mesure	93
IV.3.1 Méthode de conception	94
IV.3.1.1 Taille des composants	94
IV.3.1.2 Détermination du nombre d'étages	96
IV.3.1.3 Adaptation à une antenne	97
IV.4 Mesure sur Wafer	99
IV.4.1 Réalisation	99
IV.4.2 Méthodologie	100
IV.4.3 Résultats et validations	101
IV.4.3.1 Mesure de prototypes	101
IV.4.3.2 Mesure de puces complètes	104
IV.5 Mesure en distance	106
IV.5.1 Réalisation	106
IV.5.2 Méthodologie	106
IV.5.3 Résultats	107
IV.6 Conclusion	108
IV.7 Bibliographie	109
V Conception de circuit de récupération d'énergie	111
V.1 Introduction	112
V.2 Structure à haut rendement	112
V.2.1 Limitations des multiplieurs actuels	112
V.2.2 Description de l'architecture	113
V.2.3 Mesures	115
V.2.4 Limitations actuelles et perspectives	117
V.2.5 Conclusion	118
V.3 Structure intégrée 24 GHz	118
V.3.1 Antenne	119
V.3.1.1 Choix de l'antenne	120
V.3.1.2 Gain	121
V.3.2 Adaptation antenne-circuit	121
V.3.2.1 facteur de qualité	122

V.3.2.2	Adaptation du circuit	124
V.3.2.3	Simulation et réalisations	126
V.3.3	Conclusion	128
V.4	Conclusion	129
V.5	Bibliographie	130
Conclusion générale		133

Introduction générale

La transmission d'énergie sans fil a toujours suscité l'intérêt des scientifiques et des industriels. Cet engouement pour la télé-alimentation a tout d'abord été appliqué à des systèmes de fortes puissances dans le but de remplacer les différents câbles électriques d'alimentation. Cependant, ce type de projet a été récemment abandonné principalement du fait des faibles rendements obtenus et de la prise de conscience du danger que représente les ondes électromagnétiques de fortes puissances.

De nos jours le besoin d'appareils autonomes dans les applications nomades est très important. La notion du sans fil est associée à une notion de liberté qui ne pourrait être complète tant que le besoin de se connecter au secteur pour recharger subsiste. Les avancées technologiques en micro-électronique, ont permis la réduction des consommations des systèmes embarqués ce qui permet d'envisager en partie leur télé-alimentation ou la recharge de batterie à distance.

Lors de cette thèse, la télé-alimentation est abordée dans le cadre des technologies RFID (pour Radio Frequency Identification) qui sont les premières puces communicantes totalement télé-alimentées. Bien que, pour l'instant, réduites à un rôle d'identification, elles intègrent de plus en plus de fonctions et une génération de SoC (System on Chip) télé-alimenté compatible avec des standards actuels (ZigBee ou UWB..) est annoncée.

Cette thèse s'est effectuée au Laboratoire Matériaux et Microélectronique de Provence (L2MP) dans le cadre d'un partenariat avec la société ST Microelectronics sur un projet de développement de systèmes d'identification radio fréquence UHF (RFID).

Ces systèmes sont constitués de tags ou marqueurs qui correspondent à un couple puce antenne, apposés sur un produit ou un ensemble de produits. Ils permettent l'identification à distance, grâce à un lecteur qui capte les informations contenues dans la puce (un numéro de série, une description sommaire ou un numéro de lot par exemple). A la différence des codes barres, les tags RFID ne nécessitent pas que le lecteur se trouve à proximité du produit pour que l'identification s'opère.

Les applications sont très nombreuses. Dans le domaine de la logistique in-

dustrielle tout d'abord, pour suivre les biens : containers, palettes, lots entre différentes sociétés ou à l'intérieur d'une usine ou d'un entrepôt. Dans la sécurité ensuite, pour l'identification des hommes (contrôle d'accès) ou des marchandises (lutte contre la contrefaçon). Mais aussi dans divers secteurs de la vie courante comme la perception des péages, le paiement des entrées dans un parc de loisirs...

Ce travail consiste en l'étude d'un élément primordial de la puce : le circuit de récupération de l'énergie. En effet, ces tags se doivent d'être passifs, leur seule source d'énergie provenant de l'onde incidente : il faut pour cela convertir une puissance radio fréquence en puissance continue.

Cette thèse a pour objectif principal de modéliser et d'optimiser les circuits et systèmes dédiés à la télé-alimentation d'applications intégrées à faible consommation et à très faible coût. Le premier chapitre, présente un bref historique de la télé-alimentation et les différentes solutions explorées jusqu'alors. Il permet ensuite de situer le travail dans le contexte des puces communicantes à très faible consommation et hautes fréquences.

Dans un deuxième chapitre, un modèle analytique des convertisseurs RF/DC (aussi appelés multiplieurs) permettant de convertir l'onde radiofréquence en une tension continue d'alimentation du circuit a été développé. Ce modèle prend en compte les non linéarités, et intègre les paramètres clefs de la conception des multiplieurs. Le concepteur dispose ainsi d'un outil rapide pour identifier les choix idéaux de conception et évaluer l'impact de chacun de ses choix sur la distance de fonctionnement des circuits finaux. Ce modèle a permis d'optimiser la conception de différents multiplieurs dans des technologies faible coût et des prototypes ont été réalisés qui confirment la validité du modèle.

L'application des structures de télé-alimentation à la RFID impose de nouvelles contraintes au multiplieur. En effet, les tags communiquent par rétro-modulation : l'impédance d'entrée du circuit est modifiée sur un intervalle de temps dans le but de réfléchir une partie de la puissance incidente et ainsi de renvoyer de l'information au lecteur. Ce mode de fonctionnement affecte directement la quantité de puissance disponible pour la puce et va entraîner une baisse de la tension régénérée. Il est intéressant de pouvoir quantifier l'influence de cette communication sur l'impédance de la puce.

Dans le troisième chapitre, le modèle de télé-alimentation a ainsi été complété pour introduire l'influence de la rétro-modulation. Plusieurs architectures de rétro-modulation ont été présentées et étudiées. Ceci a permis d'optimiser les performances d'un tag en rétro-modulation du point de vue de la communication tag-lecteur et de l'alimentation.

La conception et l'optimisation de différents circuits à l'aide des modèles sont présentés dans le chapitre IV. Plusieurs prototypes dans différentes technologies sont alors réalisés et comparés. Parallèlement à ces travaux de conception de circuits, ce travail de thèse a permis le développement et la mise en place d'outils de caractérisation de puces RFID. Ainsi un banc de caractérisation sur wafer et un banc de caractérisation à distance en chambre anéchoïque ont été mis en place au sein du laboratoire. Ces bancs ont servi à caractériser les différents prototypes réalisés.

En plus d'une aide importante à la conception, le modèle a permis une plus grande compréhension du mode de fonctionnement de ce type de circuit. Ainsi, suite à l'étude complète de ce système des limitations ont été observées et une

nouvelle architecture proposée pour améliorer les performances des circuits de télé-alimentation. Enfin dans le cadre d'un travail plus prospectif, l'étude d'un système fonctionnant à très haute fréquence (24 GHz) avec l'intégration de l'antenne dans une technologie très faible coût a été menée. Ces différentes réalisations sont alors présentées dans le chapitre V.

Chapitre I

Téléalimentation et RFID

SOMMAIRE DU CHAPITRE I

I.1 La transmission d'énergie	6
I.1.1 Historique	6
I.2 La RFID de nos jours	9
I.2.1 Principe	10
I.2.2 Les circuits RFID basses fréquences	11
I.2.2.1 Antenne et portée	11
I.2.2.2 Le circuit	11
I.2.3 La montée en fréquence	12
I.2.4 Portée	14
I.3 Problématique de l'UHF	15
I.3.1 Communication voie montante /voie descendante	15
I.3.2 Architecture UHF	16
I.3.2.1 ESD :	17
I.3.2.2 Mémoire non volatile	17
I.3.2.3 Régulateur de tension	18
I.3.2.4 Multiplieur	18
I.4 Conclusion	19
I.5 Bibliographie	20

I.1 LA TRANSMISSION D'ÉNERGIE

I.1.1 Historique

La transmission d'énergie sans contact est une idée récurrente depuis le développement des ondes radios et leur mise en évidence par H.Hertz en 1887. A l'époque, Hertz rédigea un rapport intitulé "On Electromagnetic Effects Produced by Electrical Disturbances in Insulators" dans lequel il mit en évidence un couplage inductif entre deux spirales espacées de 12 m : la transmission d'énergie était née. Si la suite de l'histoire nous montre que les ondes radio ont été plus utilisées pour la transmission d'informations que pour la télé-alimentation, de nombreux projets et expérimentations ont tout de même été menés dans ce but.

Ces expérimentations commencent en fin de XIX^e siècle. Les travaux de Nikola Tesla (figure I.1), sur les basses fréquences furent l'un des premiers développements de ce type d'applications, mais les premiers résultats significatifs sont obtenus par H.V. Noble en 1930 qui transmet plusieurs centaines de Watt entre deux dipôles espacés de 7.5 m à une fréquence de 100 MHz.

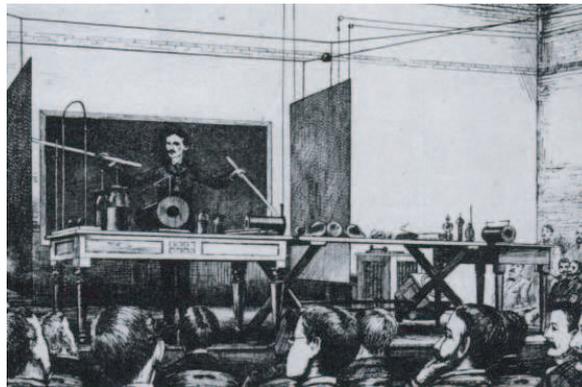


Figure I.1 : Nikola Tesla

Ce n'est qu'après la Seconde Guerre Mondiale et le développement des sources radio-fréquences de puissance et le développement du radar que les scientifiques s'intéressèrent de nouveau aux possibilités de la transmission d'énergie.

Parallèlement en 1948, Harry Stockman publia "Communication by means of reflected power", l'idée de communiquer grâce à la réflexion des ondes était née. Cependant, le transistor venant d'apparaître, le développement de circuit intégré communicant par ce biais devra attendre plusieurs années. Pendant cette période, le concept de télé-alimentation connut lui un essor important grâce à des projets phares attirant de gros investissements.

L'un des premiers projets de télé-alimentation lié au transfert d'énergie sans fil, apparut dans les années 1950. A l'époque le réseau de satellites autour de la terre n'était pas encore développé, mais le besoin en plateformes de très haute altitude pour les communications ou l'observation se faisait déjà sentir. L'utilisation de plateforme héliportée télé-alimentée semblait alors pouvoir répondre à ce besoin. Parmi les scientifiques en charge du développement de ces plateformes, William. C. Brown fut un des pionniers de la transmission d'énergie sans fil [1]. Lors d'une démonstration sur ce projet en 1963, lui et son équipe récupérèrent 100 W de puissance continue à 6 m de distance d'un émetteur de 400 W de puissance. C'est suite

à ces études, lors du développement de prototype, qu'apparaît pour la première fois le terme de rectenna (rectified-antenna). Les rectennas sont l'utilisation combinée de diodes semi-conductrices et d'antenne dipôle permettant une télé-alimentation. L'utilisation de ces rectennas en réseau permettait d'obtenir des rendements intéressants pour ce type d'application (I.1.1). Le 1er juillet 1964, le premier hélicoptère télé-alimenté par micro-ondes fut construit (fig I.2). Malgré ces succès, le projet de plateformes d'altitude télé-alimentées fut abandonné en 1965.

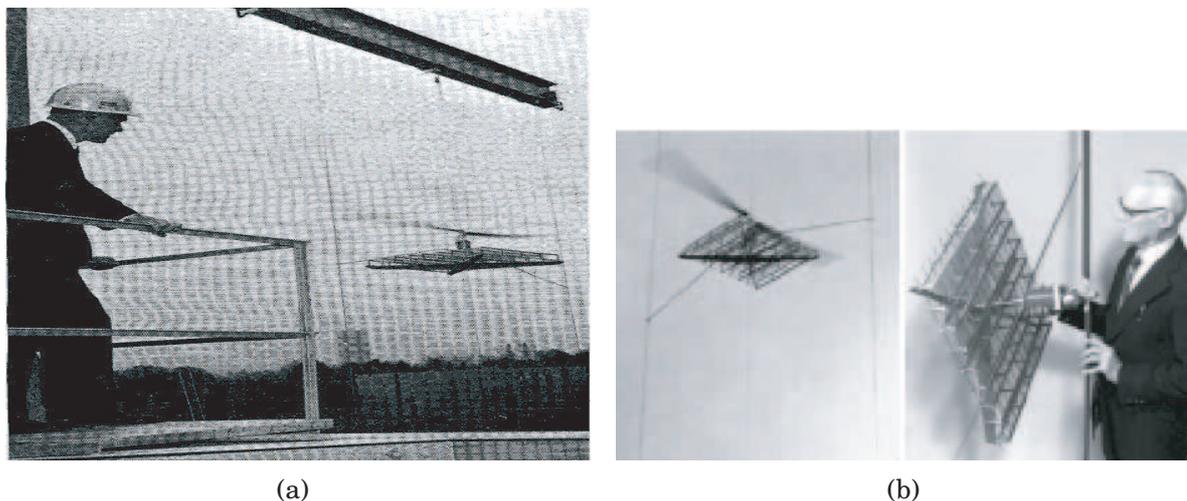


Figure I.2 : *William C. Brown et le prototype de plateforme haute altitude*

C'est en 1968 que le principe de transmission d'énergie sans fil réapparut sur le devant de la scène. En effet, un nouveau projet tout aussi ambitieux, fut proposé par le Dr Peter Glasser : le projet SPS (Solar Power Satellite) soutenu par la NASA [2] [3]. Le principe des SPS consistait à envoyer des satellites dans l'espace en orbites géostationnaires, qui grâce à des panneaux solaires devaient capter l'énergie solaire puis la renvoyer sur terre sous forme de microondes (figure I.3)

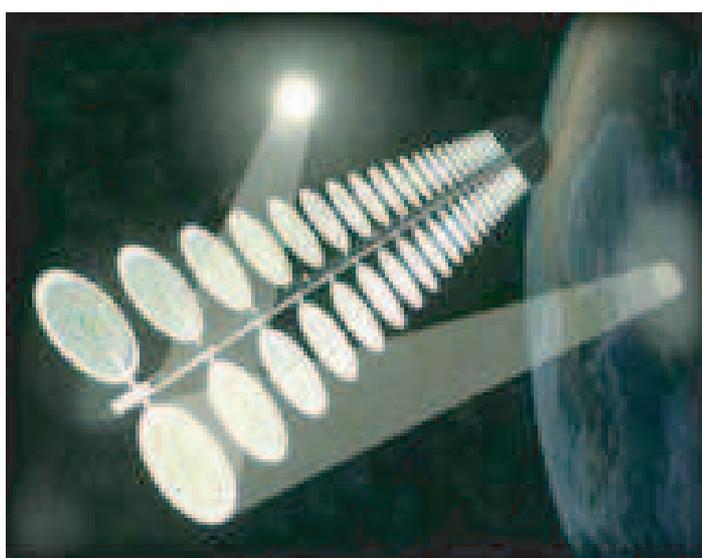


Figure I.3 : *satellite solaire*

Ce projet devait permettre de répondre au problème d'énergie en délivrant jus-

qu'à 100 W/m^2 au sol. Le programme de la NASA, qui s'est longtemps intéressée à ce concept, s'est arrêté en 1980. Cependant, encore récemment, en 1996 un projet japonais semblable, devait pouvoir fournir 10 MW par satellite. De façon générale, l'énergie produite par ce type de système s'avère trop chère par rapport aux différentes centrales actuelles.

Parallèlement à ces projets de grande envergure, les scientifiques commencent dès 1964 à utiliser les développements conjoints de la télé-alimentation et des méthodes de radars, pour les appliquer à des systèmes de communications passifs [4] [5]. Mais c'est en 1975 que commence réellement le développement de systèmes d'identification agissant par le biais d'ondes réfléchies, tels que nous les connaissons aujourd'hui [6].

Si aujourd'hui les objectifs de la télé-alimentation s'orientent vers des projets totalement différents en terme de puissance délivrée et vers des portées plus faibles, beaucoup de concepts et de méthodes développés restent transposables. Ainsi, le principe de la rectenna, utilisé pour récupérer l'énergie dans ces applications, est encore de nos jours la structure présentant les plus hauts rendements de conversion RF/DC (tableau I.1.1).

Fréquences	Densité de puissance incidente ou puissance	Rendement	Références
2-18 GHz	10^{-5} à 10^{-1} mW/cm^2	20%	[7]
5.8 GHz	1-4W	76%	[8]
2.45 GHz 5.8GHz	1-4 mW/cm^2	85% à 2.45GHz 75% à 5.8GHz	[9]
5.8GHz	50mW	82%	[10]
10 GHz 35 GHz	51 mW	39% à 35 GHz 60% à 10 GHz	[11]

Table I.1 : Résumé des résultats

Ces rectennas sont constituées d'une antenne (le plus souvent un dipôle) d'une diode et de filtres comme représentés sur la figure I.4.

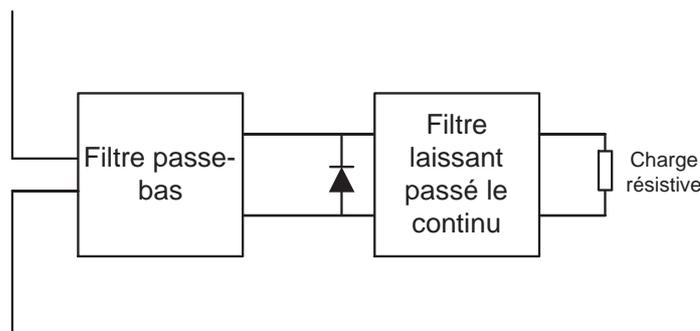


Figure I.4 : Schéma de principe d'une rectenna

Avec des rendements pouvant aller jusqu'à 85%, ces rectennas auraient pu être intéressantes dans le cadre de la télé-alimentation de puce. Cependant, il est difficilement envisageable d'intégrer de telles structures. En effet, s'il est possible d'envisager de dessiner le premier filtre sur l'antenne, le second filtre qui ne laisse

passer que la partie continue est réalisé avec une inductance de très forte valeur impossible à intégrer.

I.2 LA RFID DE NOS JOURS

Les puces RFID (Radio Fréquence IDentification) sont les héritières des traditionnels codes barres présents dans divers secteurs industriels comme la logistique ou la grande distribution. Encore un peu plus chères que ces derniers, elles offrent de nombreux avantages, il est possible d'écrire, d'effacer et de réécrire les données qu'elles contiennent un très grand nombre de fois, leur portée est de plusieurs mètres et elles peuvent comporter des capteurs afin d'envoyer des informations sur leur environnement. Le nombre d'applications pour ce type de puce ne cesse de croître. Fréquemment vendues sous forme d'étiquettes, présentes dans un premier temps en France sous forme d'antivol, on les retrouve maintenant dans les cartes de transport en commun, la logistique et dans des secteurs de plus en plus nombreux. En 2006 1,3 milliard d'étiquettes RFID ont été vendues et le nombre d'étiquettes vendues annuellement devrait être multiplié par 450 d'ici 2016 [12], car de nouveaux domaines d'applications apparaissent rapidement.

Ces systèmes sont constitués de tags (figure I.5(a)) ou marqueurs qui correspondent à un couple puce antenne, apposé sur un produit ou un ensemble de produits. Ils permettent l'identification à distance, grâce à un lecteur (figure I.5(b)) qui capte les informations contenues dans la puce (un numéro de série, une description sommaire ou un numéro de lot par exemple). A la différence des codes barres, les tags RFID ne nécessitent pas que le lecteur se trouve à proximité immédiate du produit pour que l'identification s'opère.



Figure I.5 : (a) *Puce rfid HF*,(b) *Lecteur rfid HF (INTERMEC)*

I.2.1 Principe

Le sigle RFID signifie Radio-Frequency IDentification. Il englobe tous les systèmes d'identification sans contact à base d'ondes électromagnétiques. Ils peuvent être décomposés en deux sous-systèmes représentés sur la figure I.6 :

- le transpondeur ou tag, constitué d'une antenne et d'un circuit, traite des informations qu'il transmet au lecteur
- Le lecteur : il a deux fonctions, d'une part envoyer des requêtes afin de déterminer la présence d'un transpondeur dans sa zone d'émission et d'autre part recevoir et interpréter la réponse de celui ci

Il existe deux types de tag : les tags actifs possédant une alimentation intégrée au circuit et les passifs dont la seule source d'énergie est fournie par l'onde électromagnétique incidente. Actuellement, il apparaît aussi des tags dits semi-passifs qui disposent d'une batterie pour fonctionner loin du lecteur, mais reste télé-alimenter dans les zones proches. Dans le cadre de ce travail sur la récupération d'énergie, nous allons étudier les tags dits passifs et particulièrement le circuit permettant d'obtenir une tension d'alimentation continue à partir de l'onde incidente. La RFID passive est aujourd'hui devenue l'application majeure d'utilisation de la télé-alimentation.

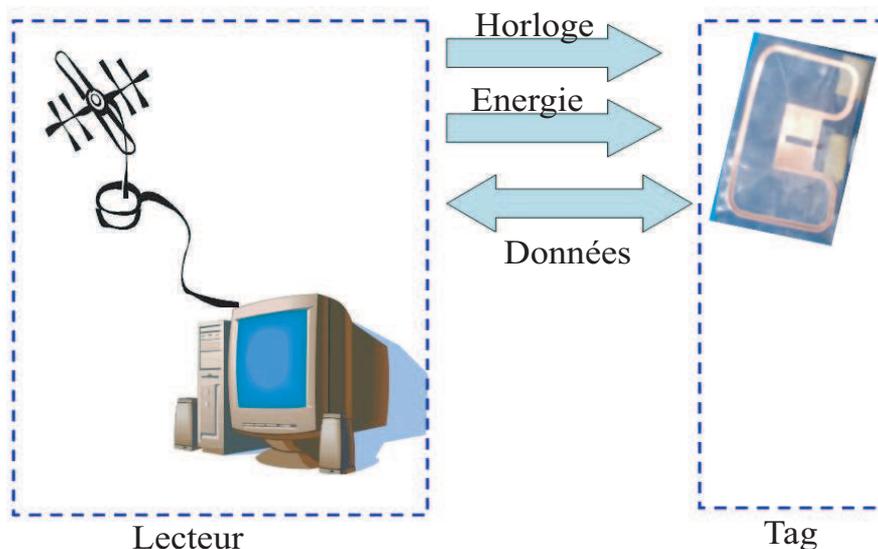


Figure I.6 : Principe d'une liaison RFID

Le processus d'identification ou d'échange des données est simple. Lorsqu'un tag est mis dans le champ d'un lecteur, celui-ci reçoit de l'énergie ce qui permet d'alimenter le tag et de le "réveiller". Le lecteur transmet ensuite une série de commandes qui permettent d'inventorier les tags présents dans le champ et de transmettre des requêtes (lecture d'un code, écriture..). Selon la demande du lecteur, le tag peut répondre aux commandes reçues. Cependant, dans la plupart des systèmes l'énergie transmise au tag ne suffit pas à alimenter une chaîne d'émission complète, le tag ne peut donc pas retransmettre les données qu'il contient. Ainsi

pour communiquer, il utilise un autre principe issu du principe du radar : il réfléchit une partie de l'onde émise par le lecteur. C'est cette onde réfléchie captée par le lecteur qui contient l'information à transmettre.

Ce système de communication et d'alimentation par ondes rend la conception du tag complexe et impose de fortes contraintes sur le système. Pour répondre à ces contraintes et aux nombreux types d'applications, plusieurs types de tag ont été développés. On distinguera notamment les circuits basses fréquences pouvant répondre à des besoins énergétiques importants, mais dont la portée reste limitée à quelques mètres, et les tags UHF dont la portée peut aller jusqu'à la dizaine de mètres, mais où la faiblesse de l'apport en énergie limite les fonctions qui peuvent être implémentées.

I.2.2 Les circuits RFID basses fréquences

Bien que ce travail se situe dans le cadre des fréquences UHF, une brève introduction des circuits existants en basses fréquences est présentée ici, afin de déterminer les points communs et les évolutions apportées par la montée en fréquence.

I.2.2.1 Antenne et portée

Il existe plusieurs normes pour les circuits basses fréquences, les plus connus sont les systèmes fonctionnant dans la bande 100-135 KHz et autour 13,56 MHz. Ces systèmes possèdent une faible portée, de l'ordre de quelques mètres, et fonctionnent principalement par couplage inductif pour communiquer. Ils utilisent des antennes bobinées permettant de récupérer l'énergie grâce aux couplages mutuels entre les inductances formées par les deux antennes. Ces systèmes fonctionnent grâce au champ magnétique prépondérant en champ dit proche. Pour les antennes bobinées la fin du champs proche peut être calculée grâce à la relation : $\frac{\lambda}{2\pi}$ [13]. Cette distance est donnée par le tableau de la figure I.2

Fréquences	Longueur d'onde (λ)	$\frac{\lambda}{2\pi}$
13.56 MHz	22,1 m	3.51 m
135 KHz	2222m	353 m

Table I.2 : Résumé des résultats

Cette distance représente une limite théorique maximale de fonctionnement pour ces produits. Cependant la décroissance importante du champ magnétique en fonction de la distance limite la portée de ces systèmes bien avant la fin du champ proche. Le tableau I.2 montre que ce type de circuit fonctionnant à 13,56 MHz, largement répandu en Europe, est limité à des applications dont la portée maximale est de l'ordre de 3,5 m.

I.2.2.2 Le circuit

Le schéma bloc d'un tag fonctionnant à 13,56 MHz est présenté dans les publications [14] [15] et a été représenté sur la figure I.7.

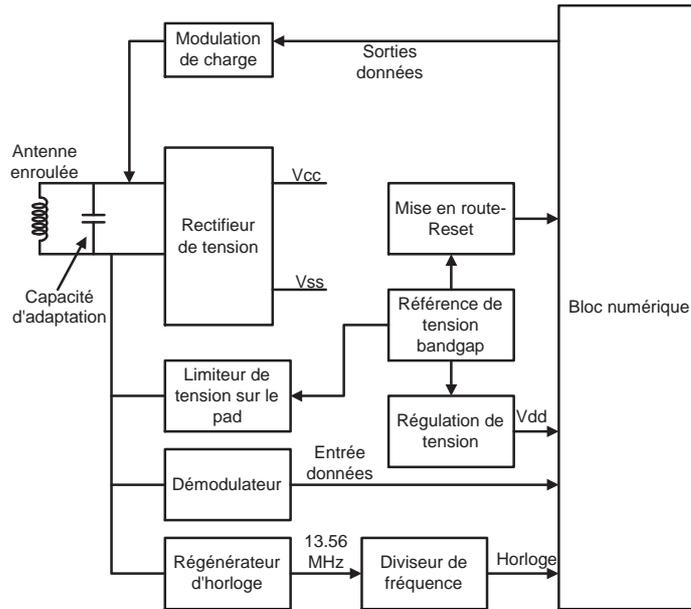


Figure I.7 : Diagramme bloc d'un circuit RFID à 13,56 MHz

L'antenne utilisée à ces fréquences est représentée par une inductance. Elle est extérieure au circuit, une capacité placée en entrée de la puce permet d'obtenir l'accord. L'alimentation de la puce est générée à l'aide d'un circuit redresseur, qui rectifie l'onde RF incidente afin d'obtenir une tension continue. Le type de circuit utilisé est représenté sur la figure I.8, la tension qu'il délivre est suffisante pour alimenter le circuit, il n'y a pas d'étage multiplicateur de tension.

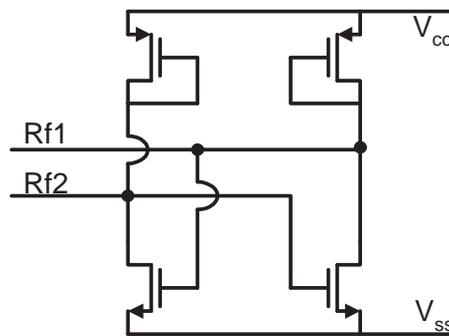


Figure I.8 : Circuit de récupération d'énergie RFID à 13.56MHz

La consommation de ce type de circuit est très variable selon l'application visée. Une comparaison de différentes puces RFID dans cette gamme de fréquences réalisée dans [13], présente des circuits dont la consommation va de 10 μ A à 10 mA pour de très faibles portées.

I.2.3 La montée en fréquence

A l'heure actuelle coexistent la génération de tags basses fréquences, présentés précédemment, et une génération développée plus récemment fonctionnant dans la bande UHF et plus précisément dans la bande 860-960 MHz. Ces tags ne fonctionnent plus par couplage inductif, mais récupèrent l'énergie du champ électrique disponible en champ lointain.

Le choix du type d'onde utilisée influence très fortement la topologie de l'antenne : si pour les couplages magnétiques l'antenne est constituée d'enroulement, pour les ondes électromagnétiques en champ lointain on utilise généralement des dipôles de longueur maximale $\frac{\lambda}{2}$, soit de l'ordre d'une dizaine de centimètres. L'objectif étant, par exemple, d'obtenir des antennes pouvant être contenues dans le format d'une carte bleue ou dans des étiquettes d'emballages.

Les systèmes basses fréquences pourraient fonctionner sur ce principe et proposeraient des distances de fonctionnement importantes, mais les antennes dipôles atteignent pour ces fréquences des dimensions rédhibitoires I.3.

Fréquences	Longueur d'onde (λ)	$\frac{\lambda}{2}$
13.56 MHz	22,1 m	11.05 m
915 MHz	32 cm	16 cm
2.45 GHz	12 cm	6 cm

Table I.3 : Résumé des résultats

La montée en fréquence des tags permet dont une utilisation en champ lointain avec des tailles d'antennes réduites.

Une des contraintes majeures de la RFID classique est l'aspect faible coût nécessaire à la production et la vente en masse de ces étiquettes. Dès lors, afin de minimiser les coûts, deux voies sont envisageables :

- diminuer le prix du silicium en utilisant des technologies faible coût et en minimisant la surface de la puce et ainsi augmenter le nombre de puces par wafer
- réduire la taille de l'antenne

La minimisation de la taille de la puce n'est pas liée à la montée en fréquence, mais la volonté d'utiliser les produits UHF sur de longues portées a conduit à une réduction de la taille de la mémoire et des fonctions logiques dans le but de diminuer la consommation. Cette volonté, associée à des technologies de tailles de plus en plus petites a conduit à des surfaces de puce de plus en plus réduites I.9.



Figure I.9 : Puce RFID UHF de Hitachi de surface 0,4x0,4mm

La montée en fréquence a cependant permis la diminution de la taille des antennes. En effet, les antennes utilisées sont le plus souvent de type dipôle de

longueur $\frac{\lambda}{2}$ (figure I.10(a)) ou moins. Ainsi plus la fréquence est élevée plus la taille de l'antenne est réduite.

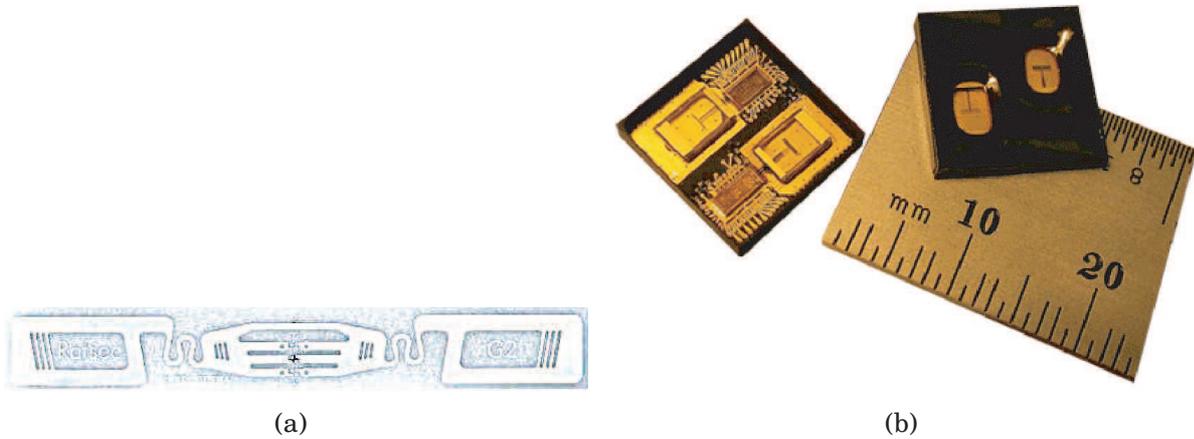


Figure I.10 : (a) tag UHF avec antenne, (b) antenne intégrée

La montée en fréquence des tags n'en est sûrement qu'à son commencement. Si aujourd'hui les tags UHF sont commercialisés, l'amélioration des technologies a déjà conduit à des prototypes fonctionnant à 2,45 GHz ou 5,2 GHz. La prochaine étape serait la bande 24 GHz qui permettra sans doute l'intégration de l'antenne sur silicium (figure I.10(b)).

I.2.4 Portée

La formule de Friis [16] permet d'évaluer la portée d'une transmission en reliant la puissance émise et celle reçue. Dans le cadre de cette thèse, nous l'utiliserons sous sa forme la plus simple I.1 qui permet d'évaluer la portée maximale d'une liaison, en faisant les hypothèses suivantes :

- les antennes d'émission et de réception sont adaptées en puissance
- les antennes ont une polarisation identique
- les antennes n'ont pas de pertes

la liaison est alors directe et l'équation de Friis s'écrit alors [17] :

$$P_{rf} = P_e G_e G_r \left(\frac{\lambda}{4\pi r} \right)^2 \quad (\text{I.1})$$

où

- P_e est la puissance émise
- G_r est le gain de l'antenne de réception
- G_e est le gain de l'antenne d'émission

Il est alors possible de déterminer la puissance reçue (P_{rf}) par le tag en fonction de la distance et de la puissance émise par le lecteur (figure III.20).

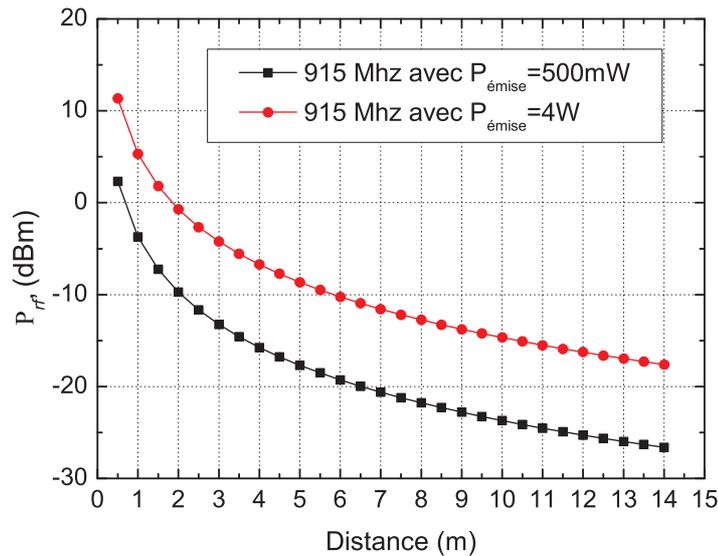


Figure I.11 : Bilan de liaison pour une antenne de réception avec 1 dB de gain

Ces résultats sont obtenus en considérant la zone entre le lecteur et le transpondeur en champ libre. Ils permettent de constater que la puissance disponible est très vite faible. Toutefois, une augmentation du gain de l'antenne de réception permet une hausse de la puissance disponible.

Actuellement pour une distance de 4 m la puissance disponible est de -15 dBm en norme européenne (émission de 500 mW) ce qui correspond à $31.6 \mu\text{W}$. Un circuit de récupération devant fournir une alimentation de 1,2 V et $4 \mu\text{A}$ soit une puissance de $4,8 \mu\text{W}$ doit donc récupérer environ 15% de la puissance disponible en entrée.

I.3 PROBLÉMATIQUE DE L'UHF

Les puces RFIDs UHF passives possèdent deux contraintes principales : les problèmes de coûts et les problèmes d'alimentation. Si le prix de la puce dépend fortement de la technologie employée et de sa surface, les problèmes d'alimentation et de consommation sont, eux, liés à la conception du circuit et au protocole.

I.3.1 Communication voie montante /voie descendante

Il existe de nos jours deux types principaux de protocole pour les puces RFID :

- Le duplex : la réponse du transpondeur s'effectue durant l'émission du lecteur. La difficulté principale liée à cette solution provient de la réponse du transpondeur qui est beaucoup plus faible que l'émission RF du lecteur. Elle est donc difficile à discerner.
- Le séquentiel : le champ émis est coupé à intervalles réguliers durant lesquels le transpondeur émet la réponse. Cette méthode possède plusieurs désavantages. La puce du transpondeur n'est plus alimentée durant toute la durée de l'émission, de plus la multiplication des blancs et leurs courtes durées limitent le débit de l'information entre le lecteur et le transpondeur.

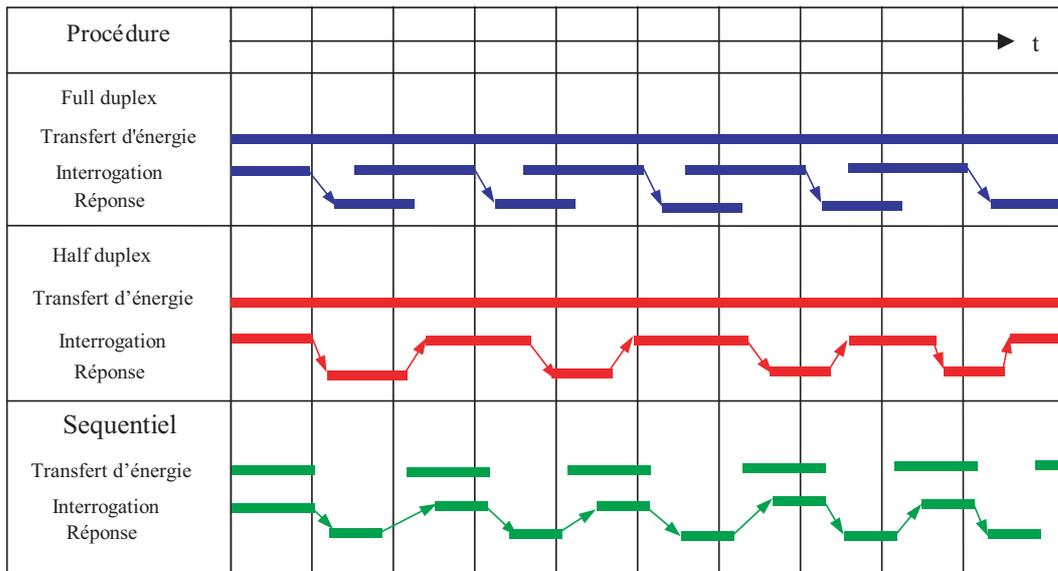


Figure I.12 : représentation de plusieurs types de liaisons ([13])

Du point de vue de la récupération d'énergie pour puces UHF, l'utilisation d'une liaison half duplex visible sur la figure I.12 est primordiale. En effet pour des distances importantes l'énergie reçue par l'antenne est très faible. Le tag fonctionne alors grâce à une conversion constante de la puissance électromagnétique, l'arrêt de l'émission entraîne l'arrêt du tag. De plus, la réponse du tag est très faible, par rapport à la puissance de l'interrogation du lecteur. Il est donc nécessaire pour améliorer la détection de la réponse de ne pas faire communiquer le tag et le lecteur en même temps.

I.3.2 Architecture UHF

Le tag est constitué de trois parties distinctes représentant chacune un tiers de la surface totale de la puce (pour les puces répondant à la norme EPC Gen2 avec un plan mémoire de 400 à 500 bits)

- la partie analogique, elle comprend le convertisseur RF/DC, le régulateur de tension avec une référence, l'oscillateur et le démodulateur, ainsi qu'un bloc permettant la mise en route et l'arrêt du circuit en fonction de la force du champ (POR : Power On Reset).
- le numérique, il gère le protocole et commande l'ensemble des fonctions du tag. Il représente 15000 portes logiques.
- Le plan mémoire, sa taille n'est pas limitée par la norme EPC, cependant les produits UHF sont pour l'instant équipés d'un petit plan mémoire. Il intègre une partie analogique haute tension nécessaire à l'écriture dans les cellules EEPROM

L'architecture du tag est représentée sur la figure I.13.

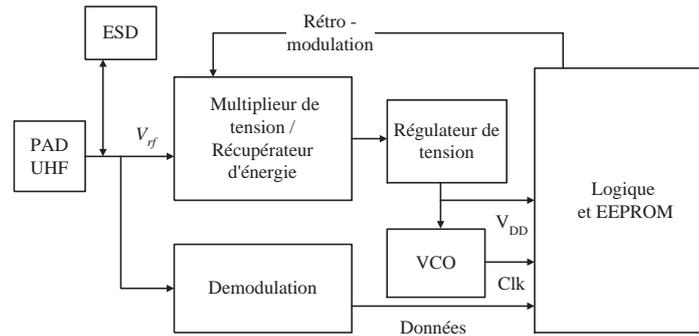


Figure I.13 : Diagramme bloc d'un tag UHF

La configuration est proche du tag HF présentée sur la figure I.7. Cependant, quelques différences importantes sont à noter :

- il n'y a pas de circuit d'adaptation dans le circuit. L'antenne est conçue pour que son impédance corresponde au conjuguée de celle de la puce, rendant ainsi tout circuit d'adaptation inutile.
- le circuit récupère la tension avec un circuit multiplicateur, en effet l'onde reçue est de très faible amplitude et un circuit rectifieur ne suffit pas à l'alimentation du circuit. Le multiplieur va alors agir en élévateur de tension.

Du fait de la faible puissance disponible sur les distances importantes, chaque bloc présent doit être optimisé du point de vue de la consommation.

I.3.2.1 ESD :

Actuellement, les puces RFID UHF ne sont pas mises en boîtier. La puce est directement en contact avec l'environnement extérieur. Lors de l'assemblage sur antenne les probabilités de dommages liées aux décharges électrostatiques sont importantes. Pour éviter la détérioration d'un nombre important de puces, les pads de connexions de la puce à l'antenne sont protégés grâce à des circuits de protection. Ces circuits sont censés ne pas consommer dans le cadre d'un fonctionnement normal de la puce, et par contre absorber beaucoup de courant dans le cas d'une forte tension liée à une décharge électrostatique sur l'entrée de la puce. L'étude présentée ici, se place dans le cas d'un fonctionnement normal où l'ESD n'est pas activé, il n'intervient donc pas sur la consommation de la puce, mais connecté sur les pads, il représente une partie non négligeable de la capacité d'entrée du circuit.

I.3.2.2 Mémoire non volatile

La mémoire est généralement constituée de cellules EEPROMs. Lors de leur fonctionnement, elles nécessitent des tensions très supérieures aux tensions d'alimentations généralement présentes dans les tags (une écriture peut nécessiter jusqu'à 16V). Ces conditions de fonctionnement nécessitent une pompe de charge pour augmenter la tension et des circuits d'écriture supportant la haute tension. Or la consommation des pompes de charges est souvent importante par rapport à la capacité d'un tag ([18]). De plus, les circuits hautes tensions ont tendance à présenter des fuites et leur consommation est donc plus importante. Des travaux sont en cours pour minimiser la consommation des plans mémoires et des pompes de charges [19] ou pour modifier la tension d'écriture nécessaire [20], mais pour l'instant la portée d'un tag lors d'une opération nécessitant d'écrire dans le plan mémoire est beaucoup plus faible (≈ 3 m) que les portées atteintes en lecture de plan mémoire (≈ 10 m). Ces problèmes de consommation sont aussi une des raisons de la

faible capacité des mémoires embarquées à l'heure actuelle, et risquent de devenir plus critiques encore avec le développement d'applications qui vont nécessiter plus de capacité mémoire.

I.3.2.3 Régulateur de tension

Le régulateur de tension permet de fournir une tension d'alimentation stable au circuit quelque soit la tension délivrée par le multiplieur. Pour cela, la tension de sortie du multiplieur est asservie par une tension de référence à l'aide d'un comparateur comme le montre la figure I.14.

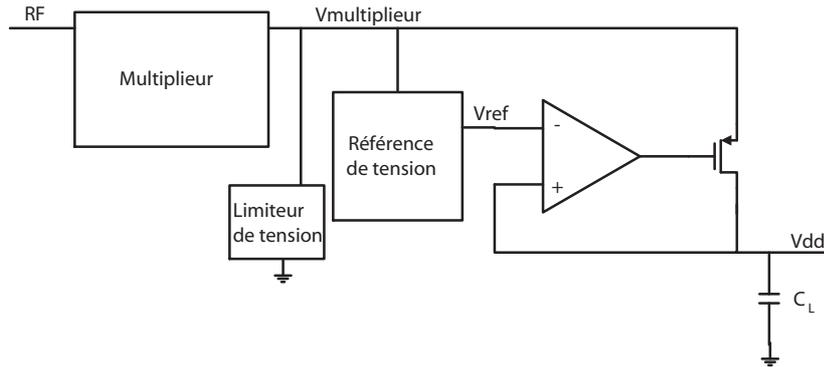


Figure I.14 : Régulateur de tension

La tension de référence est elle générée à l'aide de diodes MOS dans lesquelles circule un courant stable en température et indépendant de la tension d'alimentation . Ce courant peut être généré à l'aide de la figure I.15 [21].

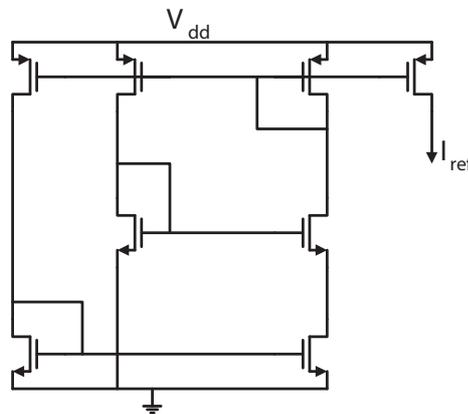


Figure I.15 : Référence de courant

L'ensemble du circuit de régulation est alimenté par la tension de sortie du multiplieur, sa consommation ne doit pas dépasser 500 à 600 nA, ce qui place de fortes contraintes sur l'ensemble des circuits présentés.

I.3.2.4 Multiplieur

Le multiplieur est l'élément qui permet de récupérer une tension continue à partir de la tension de l'onde incidente issue de l'antenne. Il a un rôle double puisqu'en plus de convertir le signal RF en tension continue, il multiplie cette tension afin d'obtenir une tension plus élevée que l'amplitude du signal incident.

Le multiplieur sert de système d'alimentation à la puce RFID, c'est donc le point crucial garant de la fonctionnalité du système. Son efficacité affecte directement la portée du système : plus faible est la puissance pour laquelle il est capable de délivrer la tension nécessaire au fonctionnement du circuit, plus la puce pourra fonctionner éloignée du lecteur (figure III.20).

Dans ce type de circuit, une architecture à base de diodes est prédominante, elle est représentée sur la figure I.16. Elle a été déclinée dans différentes topologies avec différentes variations, mais semble aujourd'hui, quelle que soit sa forme, inévitable en RFID UHF.

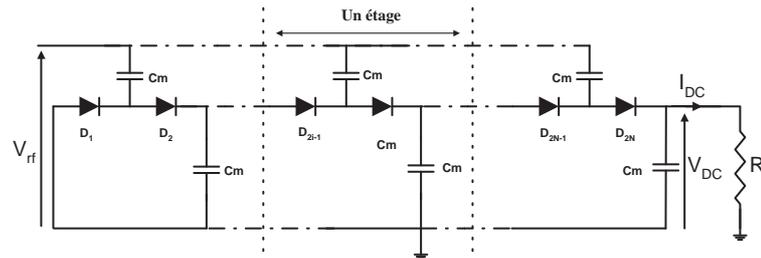


Figure I.16 : Multiplieur

La conception de ces circuits est soumise à des contraintes importantes. En effet, il a été montré précédemment qu'un rendement minimum de 15 % est nécessaire pour le fonctionnement de la puce pour des points de polarisation pourtant bas (1,2 V et 4 μ A). Paradoxalement, les paramètres de conceptions qui affectent ce rendement sont souvent mal déterminés : certains privilégient un grand nombre d'étages [22], d'autres cherchent à minimiser les pertes substrats [23].

I.4 CONCLUSION

L'historique des applications télé-alimentées montre bien à quel point le champ des applications imaginables avec ce type de technologie est vaste. De la même façon, de nos jours les possibilités qu'offrent les puces télé-alimentées ouvrent beaucoup de nouvelles perspectives dans le biomédical ou la domotique. Des puces fonctionnant sur des protocoles classiques sont adaptées pour intégrer ces nouvelles technologies (RFID-wifi, RFID-UWB).

Le choix de la montée en fréquence parait lui aussi justifié par les applications actuelles et par son intérêt sur la conception des antennes. En effet, la RFID, s'oriente de plus en plus vers des systèmes à tailles d'antennes réduites permettant non seulement de réduire les coûts, mais aussi d'incorporer plus facilement les étiquettes dans les différents produits à marquer.

C'est dans ce contexte en plein essor que cette étude sur la récupération d'énergie qui permet d'optimiser, indépendamment de l'application, le bloc de télé-alimentation, nous a paru pertinente.

I.5 BIBLIOGRAPHIE

- [1] W. C. Brown. The history of power transmission by radio waves. *IEEE Transactions on Microwave Theory and Techniques*, 1984.
- [2] P. E. Glaser. The satellite solar power station. In *Microwave Symposium Digest, G-MTT International*, volume 73, page 186, 1973.
- [3] R. H. Nansen. Wireless power transmission : the key to solar power satellites. *Aerospace and Electronic Systems Magazine, IEEE*, 11(1) :33, 1996.
- [4] R. Richardson. Remotely activated radio frequency powered devices, 1963.
- [5] J.H. Vogelman. Passive data transmission techniques using radar echoes, 1968.
- [6] A. R. Koelle, S. W. Depp, and R. W. Freyman. Short-range radio-telemetry for electronic identification, using modulated rf backscatter. *Proceedings of the IEEE*, 63(8) :1260, 1975.
- [7] J. A. Hagerty, F. B. Helmbrecht, W. H. McCalpin, R. Zane, and Z. B. Popovic. Recycling ambient microwave energy with broad-band rectenna arrays. *IEEE Transactions on Microwave Theory and Techniques*, 52(3) :1014–24, 2004.
- [8] Nobuyuki Kaya Yosiyuki Fujino. Development of a c band rectenna for microwave power transmission toward a space robot. *Acta Astronautica*, 50(5) :295–300, 2002.
- [9] Suh Young-Ho and Chang Kai. A novel dual frequency rectenna for high efficiency wireless power transmission at 2.45 and 5.8 ghz. In *Microwave Symposium Digest, 2002 IEEE MTT-S International*, volume 2, page 1297, 2002.
- [10] J. O. McSpadden, Fan Lu, and Chang Kai. Design and experiments of a high-conversion-efficiency 5.8-ghz rectenna. *Microwave Theory and Techniques, IEEE Transactions on*, 46(12) :2053, 1998.
- [11] T. W. Yoo and K. Chang. Theoretical and experimental development of 10 and 35 ghz rectennas. *Microwave Theory and Techniques, IEEE Transactions on*, 40(6) :1259, 1992.
- [12] IDTechEx. Rfid forecasts 2006 to 2016 : The latest research from idtechex. In <http://www.idtechex.com/products/en/articles/00000409.asp>, 2006.
- [13] Klaus Finkenzeller. *RFID Handbook*. John wiley and son edition, 1998.
- [14] P. Villard, C. Bour, E. Dallard, D. Lattard, J. de Pontcharra, G. Robert, and S. Roux. A low-voltage mixed-mode cmos/soi integrated circuit for 13.56 mhz rfid applications. In *SOI Conference, IEEE International 2002*, page 163, 2002.
- [15] S. Masui, E. Ishii, T. Iwawaki, Y. Sugawara, and K. Sawada. A 13.56 mhz cmos rf identification transponder integrated circuit with a dedicated cpu. In *Solid-State Circuits Conference, 1999. Digest of Technical Papers. ISSCC. 1999 IEEE International*, page 162, 1999.
- [16] H. T. Friis. A note on a simple transmission formula. *Proceedings of the Institute of Radio Engineers*, 1946. USA Journal-Paper Unspecified.
- [17] Balanis C.A. *Antenna theory : analysis and design*. WILEY, 1997.

-
- [18] Dong-Sheng Liu, Xue-Cheng Zou, Fan Zhang, and Min Deng. Embedded eeprom memory achieving lower power - new design of eeprom memory for rfid tag ic. *Circuits and Devices Magazine, IEEE*, 22(6) :53, 2006.
- [19] A. Perez H.Aziza, E. Bergeret. An efficient charge pump model to evaluate impact of design parameters on charge pump circuits performances : Application to rfid circuits. In *DTIS*, Rabat, 2007.
- [20] G. De Vita and G. Iannaccone. Ultra-low-power flash memory in standard 0.35 μm cmos for passive microwave rfid transponders. In *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, page 4 pp., 2006.
- [21] H. J. Oguey and D. Aebischer. Cmos current reference without resistance. *Solid-State Circuits, IEEE Journal of*, 32(7) :1132, 1997.
- [22] Yi Jun, Hung Ki Wing, and Ying Tsui Chi. Analysis and design strategy of uhf micro-power cmos rectifiers for micro-sensor and rfid applications. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 2007.
- [23] U. Karthaus and M. Fischer. Fully integrated passive uhf rfid transponder ic with 16.7- μW minimum rf input power. *IEEE Journal of Solid State Circuits*, 38(10) :1602–8, 2003.

Chapitre II

Étude théorique des multiplieurs pour système RFID

SOMMAIRE DU CHAPITRE II

II.1 Introduction	25
II.2 Modèles existants	26
II.3 Tension incidente	27
II.3.1 Calcul de la tension à l'interface antenne/circuit	27
II.3.2 Limitations de la surtension	30
II.3.2.1 Dans le circuit	30
II.3.2.2 Dans l'antenne	30
II.3.2.3 Débit/Bande passante	31
II.4 Étude du multiplieur à base de diodes Schottky	31
II.4.1 Hypotheses	32
II.4.2 Polarisation du circuit	33
II.4.3 Calcul du courant	34
II.4.3.1 Composante continue	34
II.4.4 Impédance d'entrée du circuit	35
II.4.4.1 Résistance d'entrée parallèle	35
II.4.4.2 Capacité d'entrée parallèle	36
II.4.5 Résultats et validations par simulations	38
II.5 Étude du multiplieur à base de transistor MOSFET	41
II.5.1 Hypotheses	42
II.5.2 Calcul de V_{gs} et V_{rf} en fonction de θ	42
II.5.3 Calcul du courant	43
II.5.3.1 Composante continue	44
II.5.3.2 Composantes harmoniques	44
II.5.4 Impédance d'entrée du circuit	45

II.5.4.1	Résistance d'entrée	45
II.5.4.2	Capacité d'entrée	46
II.5.5	Résultats et validations par simulations	46
II.6	Exploitation du modèle	49
II.6.1	Puissance d'entrée et rendement	50
II.6.2	Télé-alimentation	50
II.7	Conclusion	53
II.8	Bibliographie	54

II.1 INTRODUCTION

Traditionnellement un circuit à base de diodes Schottky est utilisé afin de convertir l'énergie de l'onde incidente en une tension d'alimentation pour le circuit RFID. Ce circuit représenté, sur la figure II.1(a), a été présenté dans la publication [1], il est actuellement largement utilisé en RFID UHF [2] [3] [4] [5]. Il s'agit d'un multiplieur de Dickson [6] qui a été modifié pour une utilisation haute fréquence. Un multiplieur identique basé sur des transistors MOS montés en diode est présenté conjointement sur la figure II.1(b).

Ce type de circuit qui permet l'élévation d'une tension a été largement utilisé dans les circuits contenant des mémoires non volatiles où une tension supérieure à l'alimentation du circuit est nécessaire lors des processus de lecture et d'écriture des cellules. Cependant, le circuit présenté ici possède de nombreuses contraintes qui rendent l'emploi des multiplieurs classiques (ou pompe de charge), utilisés dans les mémoires, impossible :

- La tension d'entrée du circuit ne possède aucune composante continue
- Aucune tension d'alimentation n'est encore présente dans le circuit, le multiplieur doit donc générer une tension d'alimentation de façon passive.
- La fréquence d'utilisation est proche du gigahertz dans les applications RFID actuelles, ce qui implique des contraintes liées à la conception RF inexistante dans les circuits mémoires actuels qui fonctionnent avec des horloges basses en fréquence.

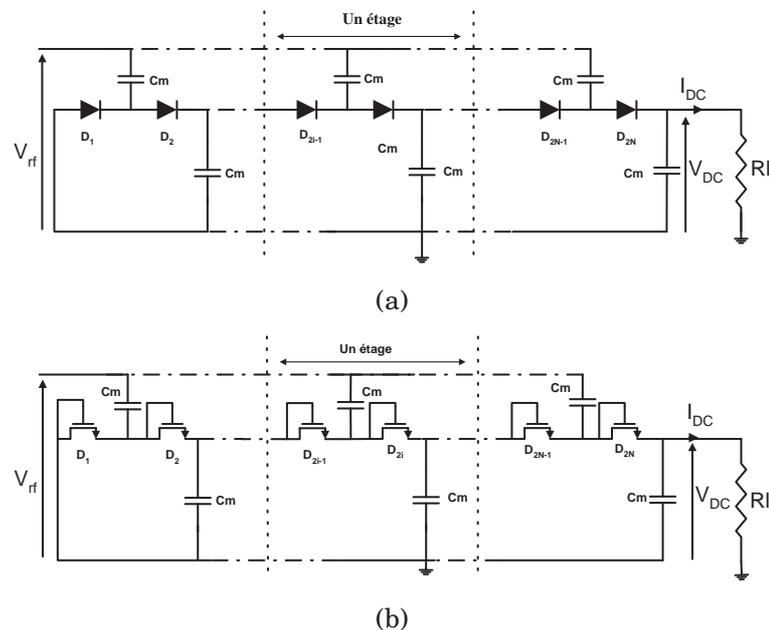


Figure II.1 : Multiplieurs utilisés : avec Schottky (a), avec des MOS (b)

Dickson, dans son étude d'un multiplieur pour circuit EEPROM (figure II.2), a proposé un modèle numérique récursif afin de déterminer la tension de sortie en fonction des éléments du circuit. Ce modèle, largement repris et amélioré [7] [8], a permis non seulement de concevoir des pompes de charges optimisées, mais a aussi apporté une compréhension du fonctionnement du circuit. Ces études ont ainsi permis le développement de nouvelles architectures [9] [10].

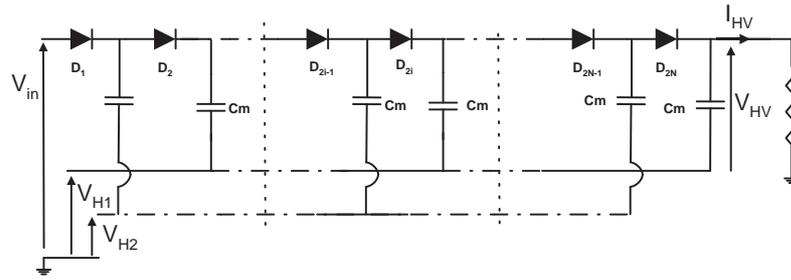


Figure II.2 : Multiplieur de Dickson

Dès l'adaptation de ce circuit à la problématique de la RFID UHF [1], plusieurs modèles ont été présentés. Certains sont basés sur les langages de descriptions hauts niveau [11] et permettent l'analyse du système complet. Mais d'autres se focalisent sur le multiplieur afin d'expliquer son comportement et d'améliorer ses performances. Les travaux [12] [2] présentent les modèles les plus complets pour des multiplieurs à base de diode, mais ne concernent pas les structures à base de transistors MOS. De plus, rares sont les modèles qui mettent en relation directe les paramètres clefs du circuit : taille des composants, point de polarisation, nombre d'étages ou pertes substrats, avec les résultats primordiaux pour le fonctionnement du circuit : impédance d'entrée, puissance minimale de fonctionnement et rendement.

Dans ce chapitre, un modèle théorique du multiplieur est présenté [13] [14]. Il permet à la fois de mieux comprendre le fonctionnement du circuit et d'en obtenir une solution optimale grâce à la détermination des paramètres de conception.

L'étude théorique présentée a permis l'optimisation du circuit à base de diodes Schottky, puis en se basant sur les mêmes principes, une étude sur le multiplieur à base de transistor MOS (figure II.1(b)) a été menée.

II.2 MODÈLES EXISTANTS

Plusieurs études sur la récupération d'énergie ont été présentées dans le chapitre I. Toutefois le domaine de la RFID UHF est spécifique et il n'est pas envisageable d'utiliser les solutions basées sur les rectennas ni celles couramment utilisées en basses fréquences. Les premiers circuits spécifiques à la RFID UHF ont été dimensionnés et optimisés en utilisant des modèles sommaires [1] [15] [16].

La référence [2] propose cependant une approche plus complète du comportement du multiplieur à base de diodes Schottky. Les auteurs prennent en compte la non linéarité des diodes et fournissent une relation permettant de déterminer le courant circulant dans le multiplieur. Cette étude permet d'obtenir l'impédance d'entrée du multiplieur en tenant compte des diodes et des pertes substrat. Une adaptation LC est proposée entre l'impédance obtenue et une antenne purement réactive, ce qui permet de s'affranchir des contraintes liées à la fabrication d'une antenne directement à l'impédance conjuguée de la puce. De plus, aucun résultat de mesure n'est présenté pour valider cette étude très complète et elle ne s'applique pas au cas d'un multiplieur basé sur des transistors MOS.

Dans la référence [12] le multiplieur à base de MOS est analysé. Les paramètres déterminants du circuit s'obtiennent de manière phénoménologique à partir

des caractéristiques mesurées ou simulées des composants du multiplieur. Le courant de sortie du multiplieur (I_{out}) est obtenu grâce au courant traversant chaque diodes MOS (i_D) selon l'équation II.1.

$$\int_0^T i_D(t) dt = I_{out} T \quad (\text{II.1})$$

Où i_D dépend de la tension statique présente sur chaque diode en régime établi et de la tension RF à l'entrée du circuit. Les auteurs proposent de tracer des abaques issus des caractéristiques d'une diode permettant de déterminer I_{out} en fonction des tensions continue et RF. Pour un courant de sortie du multiplieur désiré et avec l'amplitude de l'onde d'entrée, il est possible de lire la tension de polarisation des transistors sur l'abaque et d'en déduire celle de sortie du multiplieur. Cette méthode permet de déterminer l'impédance d'entrée du circuit. Bien que les auteurs expliquent comment en tenir compte, les pertes du substrat sont négligées dans les calculs puisqu'ils disposent d'une technologie sur substrat saphir à très faible pertes.

Le principal inconvénient de ce modèle est l'absence de résolution analytique directe et son caractère phénoménologique. Cependant, le modèle a été validé par mesure et un rendement de 37 % a été obtenu sur substrat saphir, ce rendement est très supérieur à ceux obtenus dans les technologies faibles coûts.

La référence [17] présente elle aussi une analyse des multiplieurs MOS. Ce modèle prend en compte le courant inverse des transistors MOS dans le comportement du multiplieur. Cependant les pertes substrats ne sont pas prises en comptes dans la partie théorique du modèle. Les données de la mesure sur wafer ne permettent pas de calculer le rendement, et les mesures en chambre anéchoïque sont effectuées avec une antenne de tag desadaptée. Cependant, les auteurs annoncent un rendement de 25 % pour une puissance d'entrée du multiplieur de -11 dBm, ce qui est un résultat intéressant en terme de performance.

II.3 TENSION INCIDENTE

Que ce soit pour les diodes Schottky ou pour les transistors MOS, l'utilisation des courants existants sous le seuil semble à l'heure actuelle insuffisante pour produire une alimentation au circuit. Dès lors, l'utilisation de circuit de résonance en entrée de la puce pour augmenter l'amplitude du signal d'entrée semble un des meilleurs moyens d'obtenir des tensions supérieures [18]. En effet, le coefficient de qualité de l'entrée du circuit permet de multiplier la f.e.m. fournie par l'antenne et ainsi de disposer d'une tension suffisante pour dépasser les seuils des diodes ou des transistors. Cette approche met en relief l'importance de l'impédance d'entrée du circuit, qui si elle ne dispose pas d'un coefficient de qualité suffisant rendra le tag inactif.

II.3.1 Calcul de la tension à l'interface antenne/circuit

Les antennes RFID classiques sont directement adaptées à l'impédance du circuit, afin d'éliminer tout circuit d'adaptation entre la puce et l'antenne. Les puces

étant capacitives à leur entrée, le concepteur de l'antenne doit concevoir des antennes de types inductives. Dans le contexte de la RFID, qui est un système fonctionnant avec une modulation en bande étroite, l'antenne peut être modélisée par le circuit équivalent de la figure II.3(b) [19].

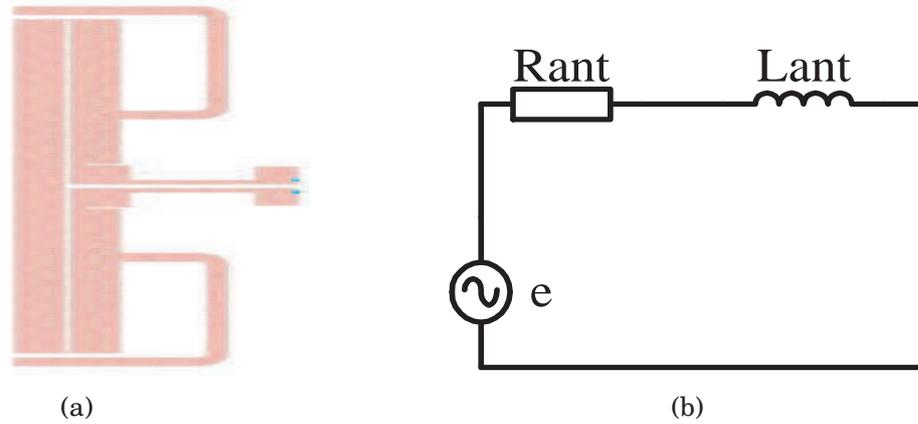


Figure II.3 : L'antenne (a) et son schéma équivalent (b)

En effet, la comparaison d'une simulation électromagnétique d'une antenne, avec la simulation électrique d'un circuit équivalent RL à 900 MHz, permet de constater que le comportement du circuit reste proche de celui de l'antenne dans la bande de fréquence 860 MHz-960MHz, comme le montrent les résultats de simulations de la figure II.4.

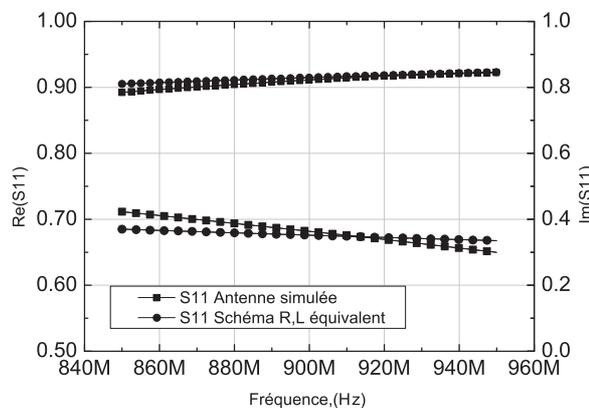


Figure II.4 : Comparaison d'une simulation électromagnétique d'antenne à une simulation électrique d'un circuit RL

Le circuit intégré est capacitif en entrée [2] et peut être modélisé par un circuit RC parallèle. Le schéma équivalent du tag complet est présenté sur la figure II.5. La tension aux bornes de la capacité sera la tension d'entrée du circuit.

A l'aide de la représentation de la figure II.5, il est possible de définir les impédances du circuit et de l'antenne :

$$Z_{ic} = \frac{R_{ic}}{1 + jR_{ic}C_{ic}\omega} \tag{II.2}$$

$$Z_{ant} = R_{ant} + jL_{ant}\omega \tag{II.3}$$

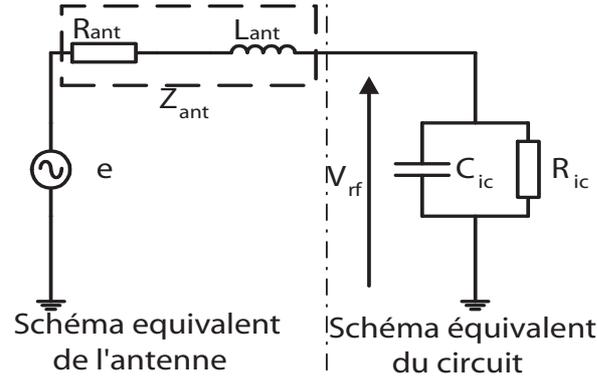


Figure II.5 : Schéma équivalent du tag

Ce schéma permet de relier la tension d'entrée du circuit V_{rf} à la f.e.m. de l'antenne e :

$$|V_{rf}| = \left| \frac{Z_{ic}}{Z_{ic} + Z_{ant}} \right| \times |e| \quad (\text{II.4})$$

La puissance consommée par la puce est alors égale à la puissance fournie par l'antenne à laquelle est soustraite la puissance réfléchie lors de la désadaptation entre le circuit et l'antenne :

$$P_{in} = (1 - |\Gamma|^2) \times P_{rf} \quad (\text{II.5})$$

$$\Rightarrow P_{rf} = \frac{P_{in}}{(1 - |\Gamma|^2)} = \frac{P_{in} \cdot |Z_{ic} + Z_{ant}|^2}{|Z_{ic} + Z_{ant}|^2 - |Z_{ic} - Z_{ant}^*|^2}$$

$$\Rightarrow P_{rf} = \frac{P_{in} |Z_{ic} + Z_{ant}|^2}{4\text{Re}(Z_{ic})\text{Re}(Z_{ant})} \quad (\text{II.6})$$

Or la puissance P_{in} s'exprime :

$$P_{in} = \frac{|V_{rf}|^2}{2} \times \text{Re}\left(\frac{1}{Z_{ic}^*}\right) \quad (\text{II.7})$$

L'équation II.7 est reportée dans II.6 :

$$P_{rf} = \frac{|Z_{ic} + Z_{ant}|^2}{4\text{Re}(Z_{ic})\text{Re}(Z_{ant})} \times \frac{|V_{rf}|^2}{2} \text{Re}\left(\frac{1}{Z_{ic}^*}\right) \quad (\text{II.8})$$

La relation II.4 permet alors d'exprimer la fem en fonction de la puissance reçue :

$$P_{rf} = \frac{|Z_{ic}|^2}{4\text{Re}(Z_{ic})\text{Re}(Z_{ant})} \frac{|e|^2}{2} \text{Re}\left(\frac{1}{Z_{ic}^*}\right) = \frac{|e|^2}{8\text{Re}(Z_{ant})} \Rightarrow |e| = \sqrt{8R_{ant}P_{rf}} \quad (\text{II.9})$$

L'amplitude en tension du générateur équivalent de l'antenne n'est dépendante que de R_{ant} et de la distance entre l'antenne et le lecteur. L'amplitude de la tension V_{rf} en sortie de l'antenne s'écrit :

$$|V_{rf}| = \left| \frac{Z_{ic}}{Z_{ic} + Z_{ant}} \right| \times \sqrt{8R_{ant}P_{rf}} \quad (\text{II.10})$$

Cette expression devient à l'adaptation :

$$|V_{rf}| = \sqrt{2\operatorname{Re}(Z_{ic})P_{rf}\left(1 + \frac{\operatorname{Im}(Z_{ic})^2}{\operatorname{Re}(Z_{ic})^2}\right)} = \sqrt{2\operatorname{Re}(Z_{ic})P_{rf}(1 + Q_{ic}^2)} \quad (\text{II.11})$$

Où Q_{ic} est le facteur de qualité du circuit. Ce résultat montre qu'il est possible d'augmenter lors de l'adaptation, la tension d'entrée du circuit, grâce à une optimisation de l'impédance d'entrée du circuit. L'obtention d'une tension suffisante au fonctionnement du multiplieur est ainsi possible pour des niveaux de puissance très faible. A noter que pour un schéma parallèle de la puce comme celui de la figure II.3(b), l'expression précédente (II.11) devient :

$$|V_{rf}| = \sqrt{2R_{ic}P_{rf}} \quad (\text{II.12})$$

Dans ce cas, il suffit d'augmenter la résistance d'entrée parallèle du circuit pour augmenter la tension d'entrée du multiplieur.

II.3.2 Limitations de la surtension

II.3.2.1 Dans le circuit

L'impédance d'entrée du circuit est représentative non seulement de la structure du circuit, mais aussi du substrat utilisé [2]. Les dispositifs sur silicium classique présentent des pertes substrat importantes, ils sont pourtant préférés aux substrats plus résistifs pour des raisons de coût. Les pertes vont faire chuter le coefficient de qualité d'entrée du circuit et dans un même temps limiter la tension d'entrée de celui-ci. Ce phénomène peut être amplifié lorsque la puce est proche du lecteur et qu'une tension de forte amplitude est appliquée à l'entrée : les jonctions sont sensibles à la tension et peuvent fuir de façon plus importante ce qui conduit à une diminution du coefficient de surtension. Ce phénomène agit comme une auto-régulation du tag à fort champ.

II.3.2.2 Dans l'antenne

L'utilisation d'un tel système impose de nouvelles contraintes sur l'antenne : toutes les valeurs de parties réelles et imaginaires ne peuvent pas aisément être obtenues [20],[19]. Or pour que les conditions optimales de transfert de puissance soient obtenues, l'antenne doit présenter l'impédance complexe conjuguée de l'impédance de la puce. Ce point marque une grosse différence entre la RFID et les puces communicantes classiques où l'impédance de l'antenne est le plus souvent réelle (typiquement 50 Ohms). La réalisation d'antenne à impédance complexe optimisée présente une des difficultés de la réalisation de tag RFID, mais procurent quelques avantages importants :

- Les coefficients de qualité obtenus sur l'antenne sont bien supérieurs à ceux des circuits d'adaptation intégrés classiques.
- La taille du circuit sur silicium est réduite grâce à l'absence de circuit d'adaptation.

Cependant, si l'on se limite à des matériaux faibles coûts, le coefficient de qualité des antennes ne peut pas être supérieur à quelques dizaines.

II.3.2.3 Débit/Bande passante

La résonance n'est obtenue que sur une bande de fréquence étroite pour maintenir un coefficient de qualité (Q) élevé, les modulations faisant intervenir des variations de fréquences trop importantes risquent de nuire au fonctionnement du système. Le débit maximal pour les tags de types UHF entrant dans la norme EPC est faible (640 Kbit/s) ce qui conduit à une faible largeur de bande de fréquence qui autorise des coefficients de qualité élevés. Cependant le protocole, prévoit des sauts de fréquence de la porteuse sur la bande 860-960 MHz, dans ces conditions le facteur de qualité doit être suffisamment faible pour pouvoir multiplier la tension incidente quelque soit la position de la porteuse dans cette bande.

II.4 ÉTUDE DU MULTIPLIEUR À BASE DE DIODES SCHOTTKY

L'étude et la conception de ce type de circuit ont longtemps été problématiques. En effet, leur simulation en mode transitoire aux fréquences avoisinant le gigahertz nécessite un pas de calcul du simulateur très inférieur à la nanoseconde. Or la tension de sortie de ces multiplieurs atteint la valeur désirée en un temps avoisinant la centaine de microsecondes dans une puce actuelle. Cette configuration temporelle peut induire des temps de simulations très longs. Ceci rend alors toutes optimisations du circuit difficiles, puisqu'elles nécessitent de nombreuses de simulations et donc des temps de calcul rédhibitoires. Les simulations fréquentielles de type harmonique balance sont plus adaptées à ce type de circuit, mais lors de la simulation l'impédance interne de la source remplaçant l'antenne est inconnue a priori. Une première simulation est par conséquent nécessaire pour calculer cette impédance qui pourra alors être pris en compte. De plus, les simulations fréquentielles nécessitent aussi un grand nombre d'itérations lors de l'optimisation. En effet pour une technologie donnée, il est nécessaire, afin d'optimiser le circuit, de déterminer plusieurs paramètres de conception fondamentaux : aire de la diode, nombre d'étages, impédance d'entrée... Il est bien entendu possible d'effectuer des simulations croisées de ces paramètres afin de trouver la meilleure configuration. Cependant, le développement d'un modèle non linéaire simple permettant de lier ces différents paramètres entre eux peut apporter une compréhension supplémentaire du circuit ainsi qu'un gain de temps important. Il permet aussi d'obtenir une conception optimale du circuit de façon sûre. Dans cette partie, le détail du développement du modèle du multiplieur est expliqué. Le synoptique du calcul est présenté sur la figure II.6. Deux types de paramètres sont nécessaires :

- Les paramètres d'entrée, qui sont liés à la technologie comme les valeurs caractéristiques de la diode, ou fixés par le cahier des charges du circuit comme le point de polarisation du circuit (V_{DC}, I_{DC}). D'autres paramètres sont nécessaires au modèle liés non plus à la technologie mais aux choix du concepteur dans le but d'optimiser le circuit : le nombre d'étage, l'aire des diodes.
- Les paramètres de sortie qui sont les éléments obtenus grâce aux modèles et qui permettent de caractériser le multiplieur et de l'optimiser en fonction de l'impédance d'entrée : rendement, impédance..

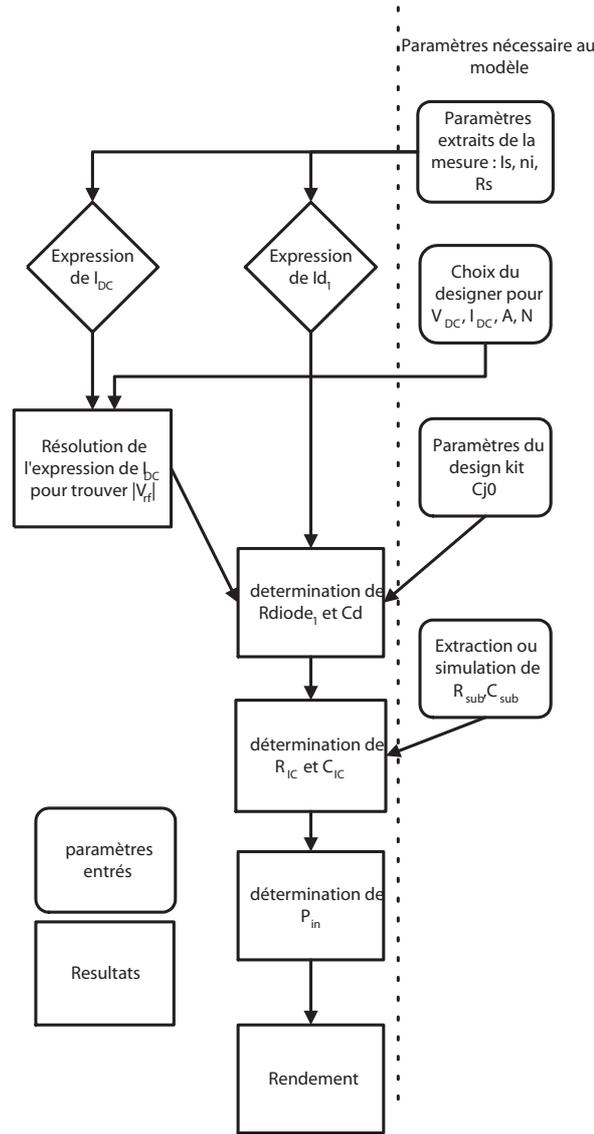


Figure II.6 : Diagramme de la méthode de conception de multiplieur Schottky

Le modèle s’articule autour de l’expression du courant. La composante continue (I_{DC}) du courant ainsi que la composante au premier harmonique (I_{d1}) sont exprimées en fonction des paramètres du circuit. L’expression de I_{DC} permet de calculer l’amplitude de la tension incidente. Cette tension connue, il est alors possible de calculer les différentes caractéristiques du circuit : impédance d’entrée, puissance d’entrée, et rendement.

II.4.1 Hypotheses

En reprenant l’architecture du circuit de nouveau présentée sur la figure II.7, il est possible de considérer certaines hypothèses.

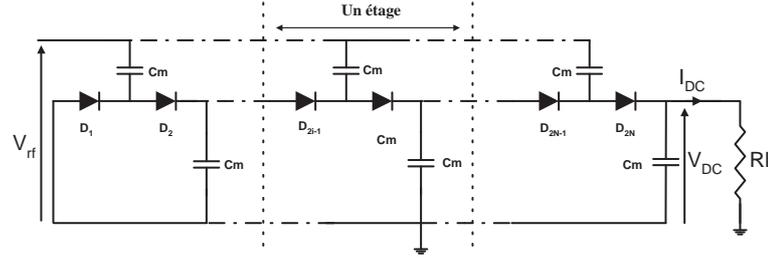


Figure II.7 : Architecture du multiplieur

Ces hypothèses permettent de simplifier la modélisation de ce circuit. En premier lieu, les capacités du multiplieur sont supposées parfaites et leurs fonctions idéales : elles laissent passer le signal UHF et bloquent le courant continu. Puis, les diodes Schottky sont modélisées par une loi exponentielle. Le courant dans les diodes s'écrit alors :

$$I_d = I_s \left(\exp\left(\frac{V_{Diode}}{n_i \cdot V_T}\right) - 1 \right) \quad (\text{II.13})$$

Dans l'expression II.13, le terme V_{Diode} représente la tension aux bornes de chaque diode, il s'écrit :

$$V_{Diode} = V_{appliquée} + V_{rf} = V_{appliquée} + |V_{rf}| \cos(\omega t) \quad (\text{II.14})$$

La tension appliquée à la diode en tenant compte de la résistance série de la diode est :

$$V_{appliquée} = V_{pola} - R_s I_{DC} \quad (\text{II.15})$$

II.4.2 Polarisation du circuit

Nous avons supposé que les capacités C_m agissent comme des capacités de découplage : elles empêchent le courant continu de circuler et affectent peu l'onde incidente d'amplitude V_{rf} .

Dans cette configuration, pour le continu, chaque diode du multiplieur est en série et traversée par le courant continu I_{DC} . Si toutes les diodes sont identiques, leur polarisation statique V_{pola} peut être calculée en considérant qu'elles forment un diviseur de tension.

$$V_{pola} = -\frac{V_{DC}}{2N} \quad (\text{II.16})$$

Du point de vue dynamique, la tension V_{rf} est appliquée à chaque diode en traversant les capacités C_m , considérées comme suffisamment importantes pour être sans effet aux fréquences d'utilisation. L'excitation de chaque diode peut alors être représentée comme sur la figure II.8.

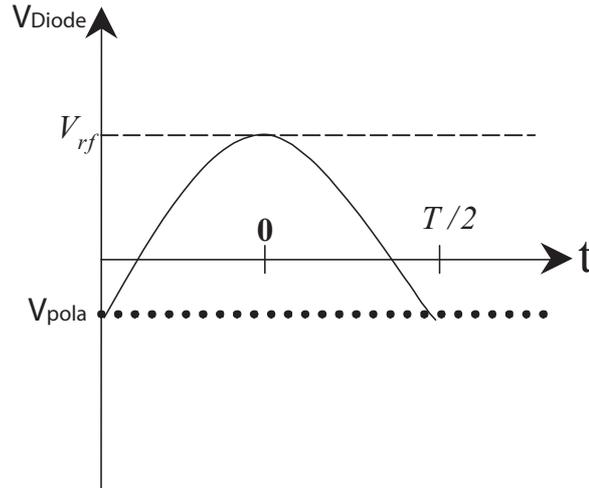


Figure II.8 : Polarisation d'une diode du multiplieur

II.4.3 Calcul du courant

II.4.3.1 Composante continue

Le calcul du courant traversant chaque diode s'effectue grâce aux fonctions de Bessel qui permettent le développement du terme exponentiel.

$$\exp(x \cos(\omega t)) = B_0(x) + 2 \sum B_n(x) \cdot \cos(n\omega t) \quad (\text{II.17})$$

Ainsi, on peut isoler le terme continu du courant traversant les diodes :

$$\begin{aligned} Id &= I_s \left[\exp\left(\frac{V_{Diode}}{niV_T}\right) - 1 \right] \\ &= I_s \left[\exp\left(\frac{V_{appliquée}}{niV_T}\right) \exp\left(\frac{|V_{rf}| \cdot \cos(\omega \cdot t)}{ni \cdot V_T}\right) - 1 \right] \\ &= I_s \left[\exp\left(\frac{V_{appliquée}}{niV_T}\right) \left[B_0\left(\frac{|V_{rf}|}{ni \cdot V_T}\right) + 2 \sum B_n\left(\frac{|V_{rf}|}{ni \cdot V_T}\right) \cdot \cos(n\omega t) \right] - 1 \right] \end{aligned} \quad (\text{II.18})$$

$$I_{DC} = I_s \left[\exp\left(\frac{V_{appliquée}}{ni \cdot V_T}\right) \cdot B_0\left(\frac{|V_{rf}|}{ni \cdot V_T}\right) - 1 \right] \quad (\text{II.19})$$

En outre, il est possible d'utiliser l'expression approchée suivante pour B_0 :

$$B_0(x) = \frac{\exp(x)}{\sqrt{2 \cdot \pi \cdot x}} \quad (\text{II.20})$$

En considérant : $x = \frac{|V_{rf}|}{ni \cdot V_T}$, l'expression du courant continu est :

$$\begin{aligned} I_{DC} &= I_s \left[\exp\left(\frac{V_{appliquée}}{ni \cdot V_T}\right) \cdot \frac{\exp(x)}{\sqrt{2 \cdot \pi \cdot x}} - 1 \right] \\ &\approx I_s \left[\exp\left(\frac{V_{appliquée}}{ni \cdot V_T}\right) \cdot \frac{\exp(x)}{\sqrt{2 \cdot \pi \cdot x}} \right] \end{aligned} \quad (\text{II.21})$$

L'équation II.21 permet d'obtenir une relation liant le point de polarisation en sortie du circuit (V_{DC}, I_{DC}) à l'amplitude de la tension incidente $|V_{rf}|$:

$$\begin{aligned}
 x &= \frac{\ln(2\pi x)}{2} + \ln\left(\frac{I_{DC}}{I_s}\right) - \frac{V_{pola}}{ni.V_T} + \frac{R_s.I_{DC}}{ni.V_T} \\
 \frac{|V_{rf}|}{ni.V_T} &= \frac{\ln\left(2\pi \frac{|V_{rf}|}{ni.V_T}\right)}{2} + \ln\left(\frac{I_{DC}}{I_s}\right) + \frac{V_{DC}}{2.N.ni.V_T} + \frac{R_s.I_{DC}}{ni.V_T} \\
 |V_{rf}| - \frac{ni.V_T.\ln\left(2\pi \frac{|V_{rf}|}{ni.V_T}\right)}{2} &= ni.V_T.\ln\left(\frac{I_{DC}}{I_s}\right) + \frac{V_{DC}}{2.N} + R_s.I_{DC}
 \end{aligned} \tag{II.22}$$

L'équation II.22 est l'expression analytique qui décrit le comportement du circuit. En effet, elle relie les paramètres de la diode et le point de polarisation du circuit (V_{DC}, I_{DC}) à l'amplitude de la tension d'entrée. La résolution de cette équation par itération numérique permet de déterminer l'amplitude de la tension V_{rf} nécessaire à l'obtention du point de polarisation désiré. C'est cette détermination de l'amplitude du signal d'entrée qui va permettre d'obtenir les autres paramètres clefs du circuit.

II.4.4 Impédance d'entrée du circuit

Lors de la modélisation du circuit, il est intéressant de se ramener à un circuit équivalent en impédance pour la fréquence du premier harmonique comme sur la figure II.3(b). Ce modèle convient bien à la topologie de l'entrée du circuit composée de différents étages en parallèle. De cette façon, la contribution sur l'impédance de chaque étage peut être calculée plus aisément. Pour mener à bien ce calcul, les parties réelles et imaginaires de l'impédance ont été calculées séparément.

II.4.4.1 Résistance d'entrée parallèle

Le développement en fonction de Bessel permet aussi de déterminer l'amplitude du premier harmonique du courant. En outre, il est possible quand x est grand, d'utiliser l'expression approchée suivante :

$$B_1(x) \approx B_0(x) \tag{II.23}$$

Le courant I_{d_1} peut s'écrire :

$$I_{d_1} = I_s \left[\exp\left(\frac{V_{appliquée}}{ni.V_T}\right) . 2.B_0\left(\frac{|V_{rf}|}{ni.V_T}\right) \cos(\omega.t) \right] \tag{II.24}$$

Il est alors possible d'exprimer la résistance équivalente au premier harmonique de chaque diode :

$$\begin{aligned}
 R_{diode_1} &= \frac{V_{rf}}{I_{d_1}} \\
 &= \frac{V_{rf}}{2I_s \exp\left(\frac{V_{appliquée}}{ni.V_T}\right) B_0(x)} \\
 &= \frac{V_{rf}}{2I_s \exp\left(\frac{V_{appliquée}}{ni.V_T} \frac{\exp(x)}{\sqrt{2\pi x}}\right)}
 \end{aligned} \tag{II.25}$$

Avec $x = \frac{|V_{rf}|}{ni.V_T}$

La tension V_{rf} ayant été déterminée grâce au point de polarisation, il est possible de déterminer la résistance d'entrée du circuit à partir de celle d'une diode en considérant que celles-ci sont toutes en parallèle comme le montre la figure II.9.

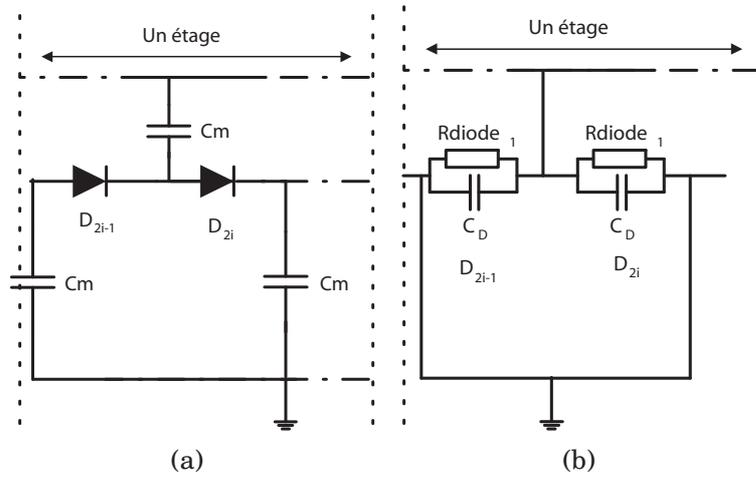


Figure II.9 : Etage d'un multiplieur à Schottky, (a) classique (b) équivalent en impédance

De plus, il est nécessaire de compléter le schéma équivalent des diodes par un sous circuit modélisant les pertes RF dans le substrat (figure II.10). Ces pertes vont se situer en parallèle des diodes sur chaque étage et doivent être considérées lors du calcul de l'impédance d'entrée du circuit.

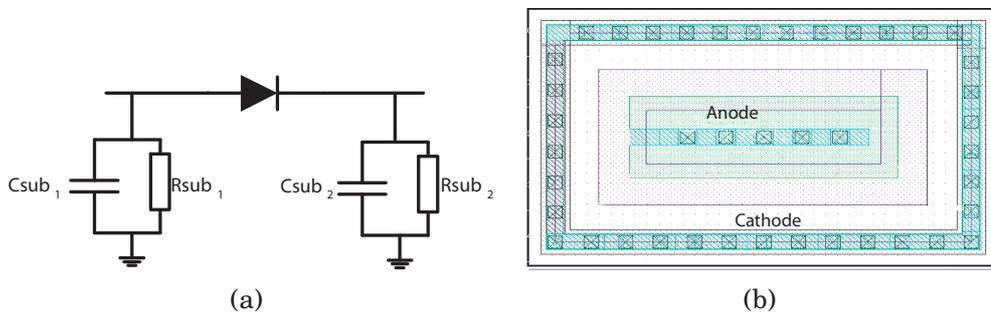


Figure II.10 : Circuit de pertes substrats des Schottky issu du layout ((b))

Dans le cas des diodes Schottky, l'anode est constitué seulement d'un contact métallique (voir figure II.10(b)), la majorité des pertes se situe dans le substrat après le contact Schottky. C'est sur la cathode que sont les pertes majoritaires, cela revient à considérer que R_{sub1} et C_{sub1} ont peu d'influence sur le circuit. Dans la suite, les pertes substrats ne sont modélisées que par $R_{sub} = R_{sub2}$.

$$R_{IC} = \frac{1}{N} \cdot \frac{R_{diode1} \cdot R_{sub}}{R_{diode1} + 2 \cdot R_{sub}} \quad (II.26)$$

II.4.4.2 Capacité d'entrée parallèle

Elle est constituée par la mise en parallèle des capacités de jonctions des diodes et des capacités du substrat. Les capacités substrats se divisent en deux parties celles liées aux diodes et celles provenant de la capacité parasite des capacités MIM. Les capacités de jonctions des diodes peuvent être calculées en fonction

de l'équation II.27[21] :

$$C_D = C_j \left[1 - \frac{V_{pola}}{V_J} \right]^{1/2} \quad \text{si } V_{pola} < FC.V_J \quad \text{(II.27)}$$

$$C_D = C_j(1 - FC)^{-3/2} \left[1 - \frac{3}{2}FC + \frac{1}{2}\frac{V_{pola}}{V_J} \right] \quad \text{si } V_{pola} > FC.V_J \quad \text{(II.28)}$$

La capacité de jonction des diodes reste faible devant celles présentées par les pads et le circuit de protection des décharges électrostatiques (ESD). Les capacités parasites des MIM dépendent fortement de la technologie utilisée et du nombre de niveaux de métaux disponible. De façon générale plus elles sont éloignées du substrat, moins elles possèdent de capacités parasites qui varient ainsi entre 1 à 5 % de la valeur nominale de la capacité. L'impact sur l'entrée du circuit peut fortement varier d'une technologie à l'autre, cependant, pour les technologies faibles coûts disposant souvent de peu de niveaux de métaux, les capacités MIM utilisées dans le multiplieur, présentent des parasites importants vers le substrat. Par conséquent, elles doivent être prises en compte sur l'entrée du multiplieur. Les contributions des différents éléments, à la capacité d'entrée est représentée sur la figure II.11 pour une technologie 0,18 μm .

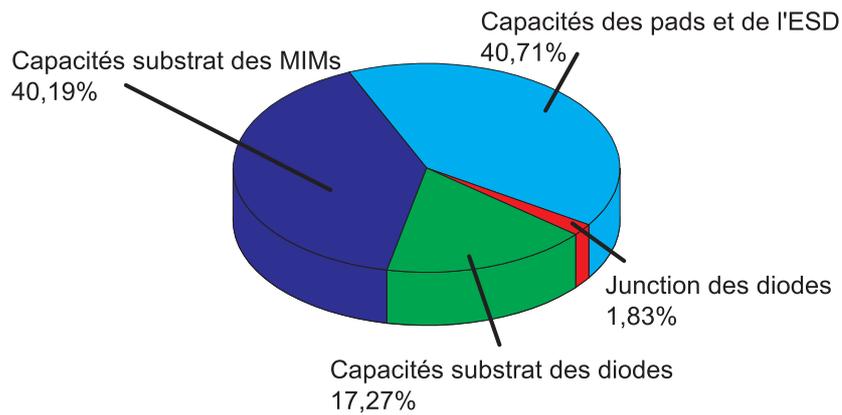


Figure II.11 : Répartition de la capacité d'entrée du multiplieur

La figure II.12 donne un modèle équivalent simplifié de la capacité MIM, la capacité parasite est notée $C_{sub_{MIM}}$. Les résistances R1 et R2 ainsi que les inductances L1 et L2 représentent les accès à la capacité MIM dont la valeur est représentée par C. Aux fréquences de travail du circuit, ces accès ont peu d'impact sur la capacité.

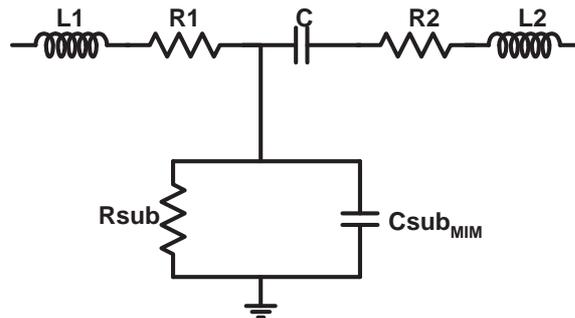


Figure II.12 : Schéma équivalent d'une capacité MIM

Sur chaque étage du multiplieur, une capacité de substrat doit être prise en compte (C_{sub}) qui représente à la fois celles liées aux diodes et aux capacités MIM :

$$C_{sub} = C_{sub1} + C_{subMIM} \quad (II.29)$$

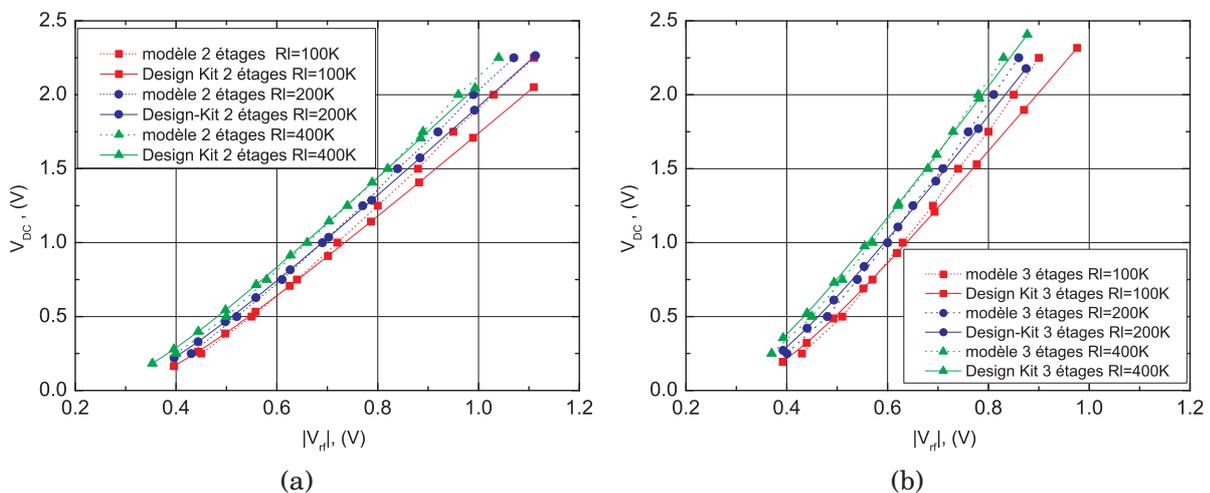
La capacité d'entrée parallèle du multiplieur est la somme de celles de chaque étage, combinées à celles liées à l'ESD et aux pads. Pour un faible nombre d'étages les capacités du pad et de l'ESD sont prépondérantes par rapport à celle du multiplieur.

$$C_{IC} = N.(2.C_D + C_{sub}) + C_{PAD} + C_{ESD} \quad (II.30)$$

II.4.5 Résultats et validations par simulations

Afin de vérifier la validité du modèle décrit précédemment, plusieurs tests ont été menés à l'aide de design kit utilisant des modèles de transistors plus complets (MM9 et BSIM3) et calibrés sur différentes technologies CMOS 0,13 μm et 0,18 μm . Dans un premier temps, ces simulations ont permis d'estimer l'erreur commise en utilisant le modèle, et ainsi valident son utilisation dans l'aide à la conception de multiplieur.

La première phase du calcul permet de déterminer la tension d'entrée nécessaire à l'obtention d'un point de polarisation en sortie, c'est la première valeur que nous avons confrontée aux simulations et ceci pour différentes configurations de multiplieurs. Les figures II.13 représentent les résultats obtenus avec des simulations avec design-kit ainsi que ceux obtenus avec le modèle pour différents nombres d'étages et de charges.



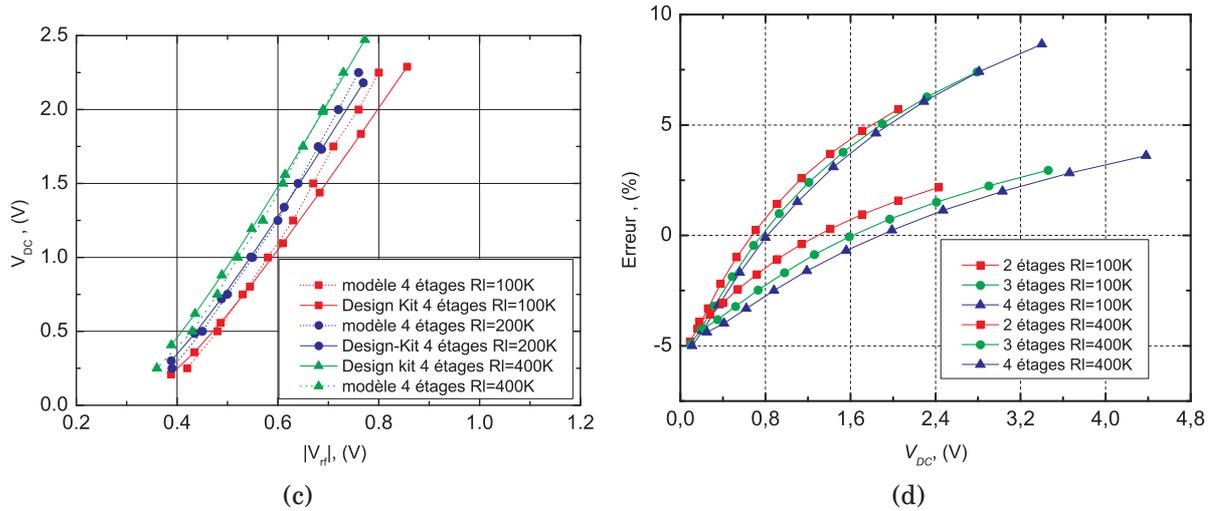
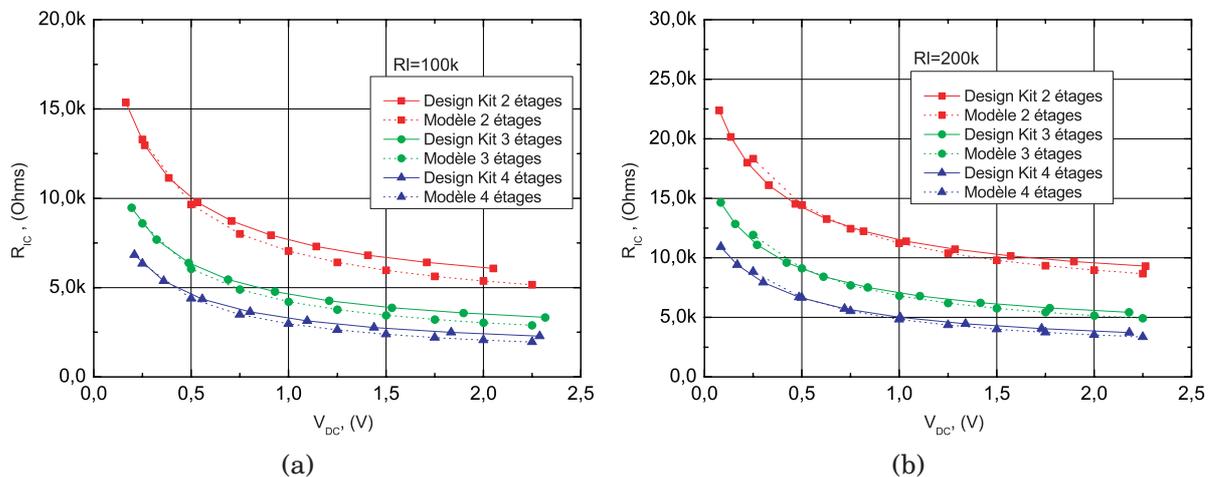


Figure II.13 : Résultats du modèle numérique et des simulations avec un Design kit, et erreur commise par le modèle (d)

La figure II.13(d) représente l'erreur entre le modèle et la simulation avec design-kit. Les résultats sont cohérents, pour une tension de polarisation donnée l'erreur commise est inférieure à 10%. Dans la gamme de fonctionnement d'alimentation classique de ce type de circuit 0-1.8V, l'erreur descend même en dessous de 5%. Le modèle permet, par conséquent, de déterminer la tension V_{rf} avec une bonne précision.

La deuxième étape consiste à valider l'impédance d'entrée du circuit. La résistance d'entrée parallèle est d'abord comparée aux résultats de simulation puis ce sont les valeurs de capacités qui sont comparées sur la figure II.14. La résistance parallèle d'entrée qui dépend à la fois de V_{rf} et du courant au premier harmonique, tout deux calculés avec le modèle, est validée dans une vaste gamme de configuration (figures II.14(a), II.14(b), II.14(c)). En revanche, la capacité d'entrée qui dépend peu de la polarisation, est surtout validée par rapport au nombre d'étages choisi (figure II.14(d)).

Le paramètre R_{IC} permet de calculer la puissance d'entrée nécessaire au multiplieur ainsi que son rendement. Une bonne précision sur ce paramètre permet ainsi de valider le reste du modèle.



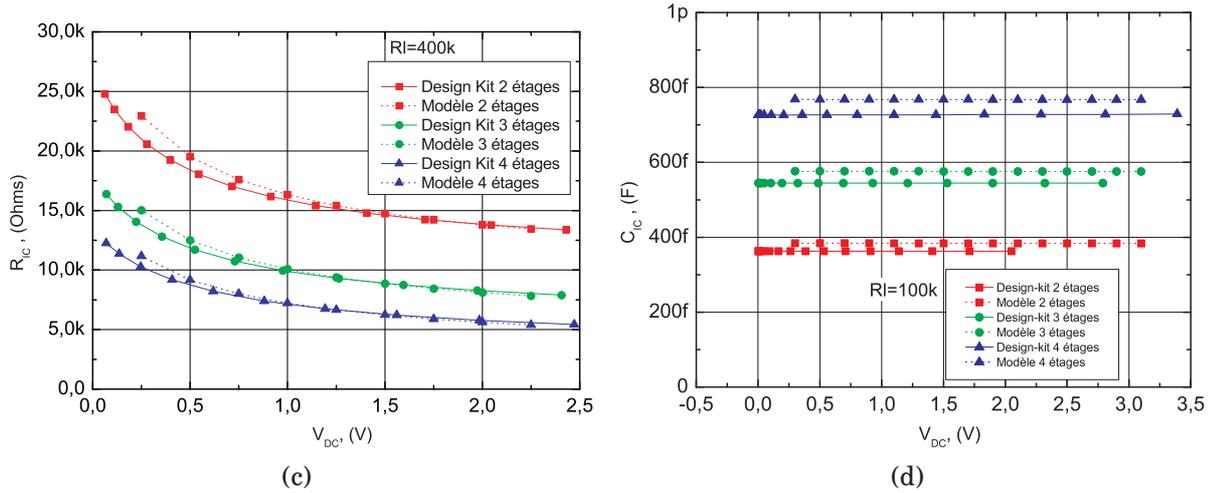


Figure II.14 : Résultats du modèle numérique et des simulations avec Design kit, (a), (b), (c) pour la résistance d'entrée, (d) pour la capacité d'entrée

La résistance d'entrée parallèle du circuit peut être prédite par le modèle analytique avec une bonne précision. Ce modèle permet d'évaluer cette résistance en fonction des paramètres de conception du circuit comme le nombre d'étages, l'aire des diodes ou le point de polarisation. Ce type de résultats s'avère très utile lors de la conception d'un multiplieur où de nombreuses contraintes entrent en jeu et où sans modèle le nombre de simulations peut vite devenir prohibitif.

II.5 ÉTUDE DU MULTIPLIEUR À BASE DE TRANSISTOR MOSFET

Le principe du calcul est identique à la méthode utilisée pour le multiplieur à base de diodes Schottky : les différents courants traversants le multiplieur sont déterminés, puis le point de polarisation en sortie du multiplieur est choisi ce qui permet de calculer la tension $V_{r,f}$ à l'entrée du circuit.

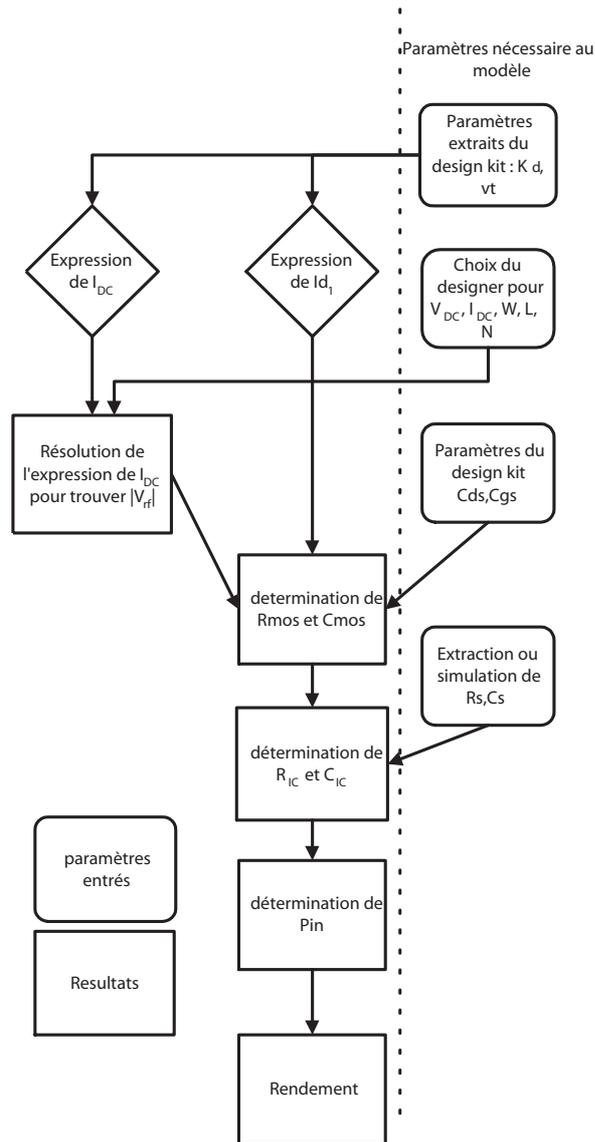


Figure II.15 : Diagramme de la méthode de conception de multiplieur MOS

Le synoptique du calcul, est présenté sur la figure II.15. Le déroulement du calcul reste semblable, seuls les paramètres d'entrées changent puisqu'il s'agit cette fois ci des paramètres caractéristiques de transistors MOS. Cependant, le calcul du courant est mené différemment que dans le cas précédent. En effet, pour arriver à une expression analytique, une méthode non linéaire proche des calculs employés pour les amplificateurs de puissance [22] est utilisée.

II.5.1 Hypotheses

L'étude de ce multiplieur est menée dans le cadre d'une polarisation de classe C. Le courant est supposé nul lorsque la tension incidente est inférieure au V_t du transistor et de forme quadratique ou linéaire lorsqu'elle est supérieure. Le temps d'ouverture T_{on} est défini comme étant le laps de temps pendant lequel la tension incidente est supérieure à V_t (figure II.16(a)). Ce temps s'écrit :

$$T_{on} = \frac{1}{\omega} \times \arccos\left(\frac{V_t - V_{pola}}{V_{rf}}\right) \quad (II.31)$$

Ce qui devient en terme d'angle de conduction (y), définit par l'instant où le transistor devient passant :

$$\begin{aligned} y &= \omega T_{on} \\ &= 2 \arccos\left(\frac{V_t - V_{pola}}{V_{rf}}\right) \\ &= \pi - 2 \arcsin\left(\frac{V_t - V_{pola}}{V_{rf}}\right) \end{aligned} \quad (II.32)$$

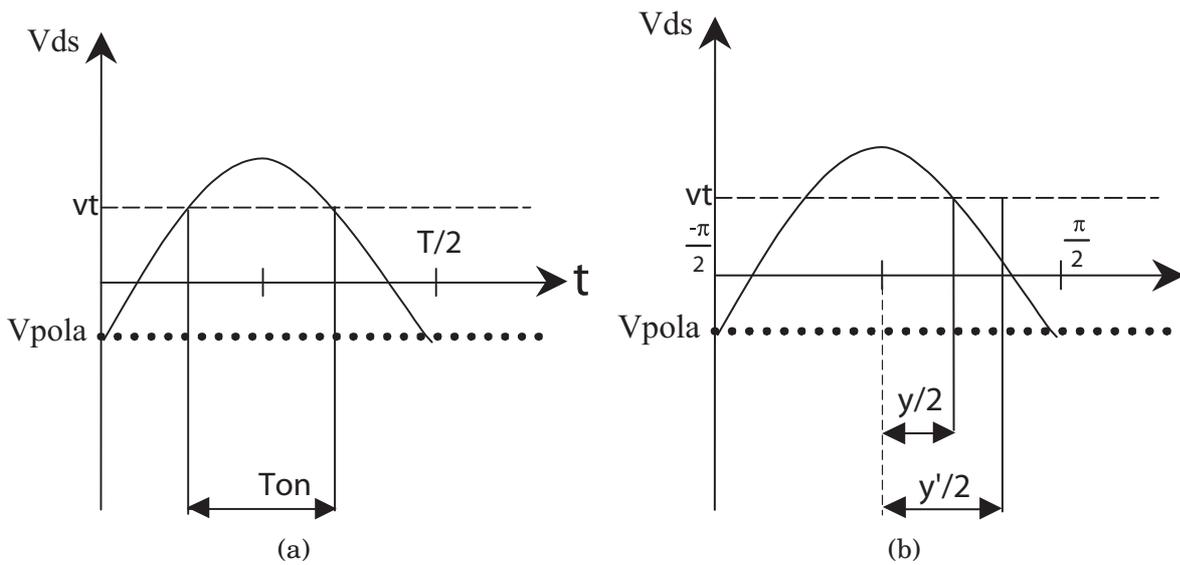


Figure II.16 : (a) représentation temporelle, (b) angle de conduction

II.5.2 Calcul de V_{gs} et V_{rf} en fonction de θ

Dans le cadre de la polarisation décrite sur la figure II.16(b), la tension V_{gs} de chaque transistor est obtenue :

$$V_{gs} = V_{pola} + |V_{rf}| \cos(\theta) \quad (II.33)$$

Il est possible d'exprimer V_{gs} en fonction de l'angle de conduction y . C'est à dire lorsque $V_{gs} = V_t$

$$\begin{aligned} V_{gs} &= V_t \\ &= V_{pola} + |V_{rf}| \cos\left(\frac{y}{2}\right) \end{aligned} \quad (II.34)$$

L'amplitude de V_{rf} peut s'écrire :

$$|V_{rf}| = \frac{(Vt - V_{pola})}{\cos(\frac{y}{2})} \quad (\text{II.35})$$

Il vient :

$$V_{pola} = Vt - |V_{rf}| \cdot \cos(\frac{y}{2}) \quad (\text{II.36})$$

Le maximum de V_{gs} est obtenu en 0 :

$$V_{gsmax} = V_{pola} + |V_{rf}| \cdot \cos(0) = V_{pola} + |V_{rf}| \quad (\text{II.37})$$

Il est possible d'obtenir les expressions de V_{pola} et V_{rf}

$$\begin{aligned} V_{pola} &= \frac{Vt - V_{gsmax} \cdot \cos(\frac{y}{2})}{1 - \cos(\frac{y}{2})} \\ |V_{rf}| &= \frac{V_{gsmax} - Vt}{1 - \cos(\frac{y}{2})} \end{aligned} \quad (\text{II.38})$$

Les équations II.38 sont reportées dans l'expression de V_{gs} II.33

$$\begin{aligned} V_{gs} &= \frac{Vt - V_{gsmax} \cdot \cos(\frac{y}{2}) + (V_{gsmax} - Vt) \cos(\theta)}{1 - \cos(\frac{y}{2})} \\ &= Vt + \frac{V_{gsmax} - Vt}{1 - \cos(\frac{y}{2})} \cdot (\cos(\theta) - \cos(\frac{y}{2})) \end{aligned} \quad (\text{II.39})$$

II.5.3 Calcul du courant

Le calcul du courant est mené à partir des équations traditionnelles du MOS reliant le courant entre source et drain et la tension V_{gs} [21]. Des relations distinctes sont considérées selon la largeur du transistor. La relation quadratique est utilisée dans le cas d'un transistor de largeur supérieure au micromètre :

$$I_{ds} = \frac{Kd}{2} \cdot \frac{W}{L} \cdot (V_{gs} - Vt)^2 \quad (\text{II.40})$$

En utilisant l'équation de V_{gs} trouvée dans le paragraphe précédent, il vient :

$$\begin{aligned} I_{ds} &= \frac{Kd \cdot W}{2 \cdot L} \cdot \left(Vt + \frac{V_{gsmax} - Vt}{1 - \cos(\frac{y}{2})} \cdot (\cos(\theta) - \cos(\frac{y}{2})) - Vt \right)^2 \\ &= \frac{Kd \cdot W}{2 \cdot L} \cdot (V_{gsmax} - Vt)^2 \cdot \left[\frac{\cos(\theta) - \cos(\frac{y}{2})}{1 - \cos(\frac{y}{2})} \right]^2 \\ &= I_{dsmax} \cdot \left[\frac{\cos(\theta) - \cos(\frac{y}{2})}{1 - \cos(\frac{y}{2})} \right]^2 \end{aligned} \quad (\text{II.41})$$

Dans le cas de transistor submicronique, une relation linéaire est utilisée, mais le développement du calcul et le modèle restent semblables.

$$I_{ds} = \frac{Kd'}{2} \cdot \frac{W}{L} \cdot (V_{gs} - Vt) \quad (\text{II.42})$$

Il est maintenant possible de décomposer ces courants en série de Fourier afin de déterminer les composantes qui nous intéressent : la composante continue et l'amplitude du premier harmonique.

II.5.3.1 Composante continue

La composante continue permet de déterminer le courant statique de sortie du multiplieur. Ce courant est celui qui servira à alimenter le circuit c'est par conséquent le paramètre utile que l'on cherchera à optimiser. L'expression précédente II.41 permet le calcul du terme continu de la série de Fourier :

$$\begin{aligned} I_{DC} &= \frac{1}{2\pi} \cdot \int_{-\frac{y}{2}}^{\frac{y}{2}} I_{ds}(\theta) d\theta \\ &= \frac{1}{2\pi} \cdot \frac{I_{dsmax}}{\left(1 - \frac{\cos(y)}{2}\right)^2} \left[y \left(1 - \cos\left(\frac{y}{2}\right)\right) - \frac{3 \sin(y)}{2} \right] \end{aligned} \quad (\text{II.43})$$

Or le paramètre y a été déterminé en fonction de V_{rf} et V_{pola} (II.32). Il est possible d'obtenir le courant I_{DC} en fonction de ces paramètres :

$$I_{DC} = \frac{Kd.W.V_{rf}^2}{4\pi L} \left[\arccos(x)(1 + 2x^2) - 3x\sqrt{1 - x^2} \right] \quad (\text{II.44})$$

Où :

$$x = \frac{Vt - V_{pola}}{V_{rf}} \quad (\text{II.45})$$

Cette expression du courant dépend, à la fois, de V_{rf} , des caractéristiques et de la géométrie des transistors et de V_{DC} .

$$I_{DC} = f(V_{rf}, V_{DC}, W, L, Kd) \quad (\text{II.46})$$

Ainsi si le point de polarisation (V_{DC}, I_{DC}) nécessaire au fonctionnement du circuit est fixé et que les caractéristiques du transistor sont connues, il est possible de résoudre numériquement :

$$I_{DC} - f(V_{rf}, V_{DC}, W, L, Kd) = 0 \quad (\text{II.47})$$

L'expression II.44 permet ainsi de déterminer l'amplitude de la tension incidente V_{rf} nécessaire à l'obtention d'un point de polarisation fixé et ceci en fonction des paramètres des transistors et du nombre d'étages du multiplieur.

II.5.3.2 Composantes harmoniques

L'expression de $I_{ds}(\theta)$ permet aussi de déterminer l'amplitude du courant aux différentes harmoniques :

$$I_{dsn} = \frac{1}{\pi} \int_{-\frac{y}{2}}^{\frac{y}{2}} I_{ds}(\theta) \cos(n\theta) d\theta \quad (\text{II.48})$$

La valeur du courant au premier harmonique peut être calculée par cette méthode :

$$\begin{aligned} I_{ds1} &= \frac{1}{\pi} \cdot \int_{-\frac{y}{2}}^{\frac{y}{2}} I_{ds}(\theta) \cos(\theta) d\theta \\ &= \frac{1}{\pi} \cdot \int_{-\frac{y}{2}}^{\frac{y}{2}} I_{dsmax} \cdot \left[\frac{\cos(\theta) - \cos\left(\frac{y}{2}\right)}{1 - \cos\left(\frac{y}{2}\right)} \right]^2 \cdot \cos(\theta) \cdot d\theta \\ &= \frac{Kd.W.V_{rf}^2}{2\pi L} \left[\sqrt{1 - x^2} \left(\frac{2x^2}{3} + \frac{4}{3} \right) - 2x \arccos(x) \right] \end{aligned} \quad (\text{II.49})$$

Le courant au premier harmonique est ainsi obtenu en fonction des paramètres du circuits et de la tension V_{rf} . Dès lors, une fois la tension V_{rf} calculée à l'aide d'un point de polarisation et des paramètres du multiplieur, il est possible de déterminer pour un point de polarisation identique le courant au premier harmonique.

II.5.4 Impédance d'entrée du circuit

II.5.4.1 Résistance d'entrée

Dans le cas d'un circuit idéal, où seules les résistances intrinsèques du MOSFET sont considérées, l'expression de la résistance d'entrée du circuit vue à la fréquence fondamentale est :

$$R_{mos} = \frac{V_{rf}}{I_{ds1}} \quad (\text{II.50})$$

Comme il a été montré dans le chapitre précédent V_{rf} peut-être déterminé numériquement II.47, il est alors possible d'obtenir de façon simple la résistance d'entrée du circuit pour chaque point de polarisation (V_{DC}, I_{DC}) désiré en sortie de multiplieur.

La détermination du courant à la fréquence fondamentale en considérant des MOS sans perte a permis l'obtention de l'impédance du circuit avec une bonne approximation. Afin d'améliorer le niveau de ce modèle théorique, il est possible de prendre en compte les diodes substrats du MOS présentes sur le drain et la source. Ces diodes, polarisées en inverses, peuvent être représentées par une capacité de jonction en série avec la résistance d'accès. Pour simplifier le calcul, cette impédance est ramenée à un modèle parallèle représentée par une résistance et une capacité, qui se retrouvent dans la topologie du circuit en parallèle des transistors (figure II.17).

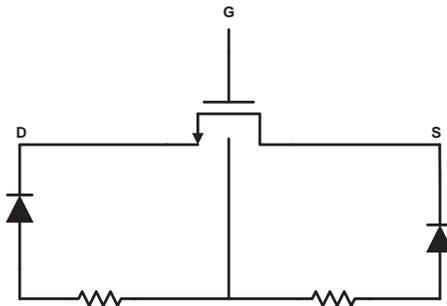


Figure II.17 : *MOS extrinsèque*

L'ajout des diodes doit être pris en compte dans le modèle théorique. Pour cela nous considérons que leurs courants inverses sont nuls, seul l'impact sur l'impédance d'entrée est pris en compte (figure II.18).

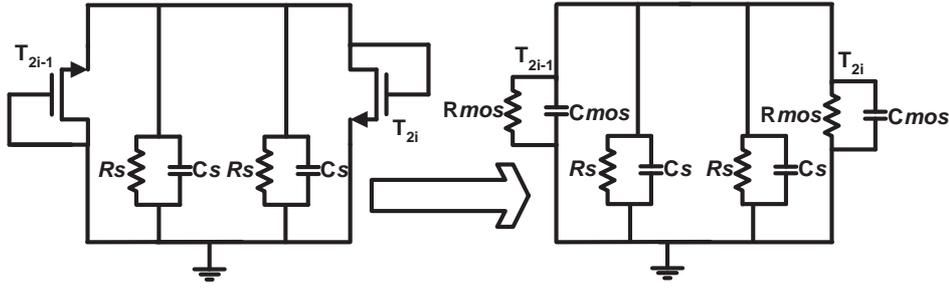


Figure II.18 : Schéma équivalent d'un étage de multiplieur

L'expression de la résistance d'entrée du circuit est :

$$R_{IC} = \frac{1}{2N} \times \frac{R_{mos}R_s}{R_{mos} + R_s} \quad (II.51)$$

II.5.4.2 Capacité d'entrée

Il est également possible de déterminer la capacité d'entrée du circuit. Celle-ci est constituée, comme pour le multiplieur à base de diodes Schottky, de la mise en parallèle du pad permettant la connexion de l'antenne, de l'ESD et du multiplieur (I.13). En ce qui concerne le multiplieur, la capacité d'entrée peut être calculée en considérant la somme des capacités entre grille et source des MOS ajoutées à celles des pertes vers le substrat appelées C_s comme le montre la figure II.18. Comme pour le multiplieur à base de Schottky il faut également tenir compte des capacités parasites des capacités MIM. Si la technologie possède peu de niveaux de métaux les capacités parasites des MIM s'avèrent alors prépondérantes dans le multiplieur.

$$\begin{aligned} C_{multiplieur} &= 2N(C_{mos} + C_s + C_{subMIM}) \\ &= 2N(C_{ds} + C_{gs} + C_s + C_{subMIM}) \\ &\approx 2N(C_{subMIM}) \end{aligned} \quad (II.52)$$

Cependant en technologie CMOS pour des technologies submicroniques les valeurs de ces capacités restent faibles et leur impact sur l'entrée du circuit est masqué par la valeur des capacités de PAD et d'ESD qui sont beaucoup plus importantes (de l'ordre de 400 fF dans une technologie faible coût). La capacité d'entrée du circuit peut ainsi s'écrire :

$$\begin{aligned} C_{IC} &= 2N(C_{mos} + C_s + C_{subMIM}) + C_{PAD} + C_{ESD} \\ &\approx 2NC_{subMIM} + C_{PAD} + C_{ESD} \end{aligned} \quad (II.53)$$

II.5.5 Résultats et validations par simulations

Afin de valider les résultats obtenus, des simulations de multiplieurs ont été effectuées à l'aide du Design Kit fournit par ST Microelectronics sur une technologie CMOS 0.18 μm .

La première validation effectuée est celle de la détermination de V_{rf} en fonction d'un point de polarisation. Pour cela, les valeurs de V_{rf} obtenues de façon théorique en fonction de tensions V_{DC} choisies sont reportées sur les figures II.19(b) et II.19(c). Puis des simulations de multiplieurs ont été effectuées pour les valeurs de

V_{rf} obtenues, les résultats en tension de sortie V_{DC} sont alors ajoutés aux figures II.19(b) et II.19(c).

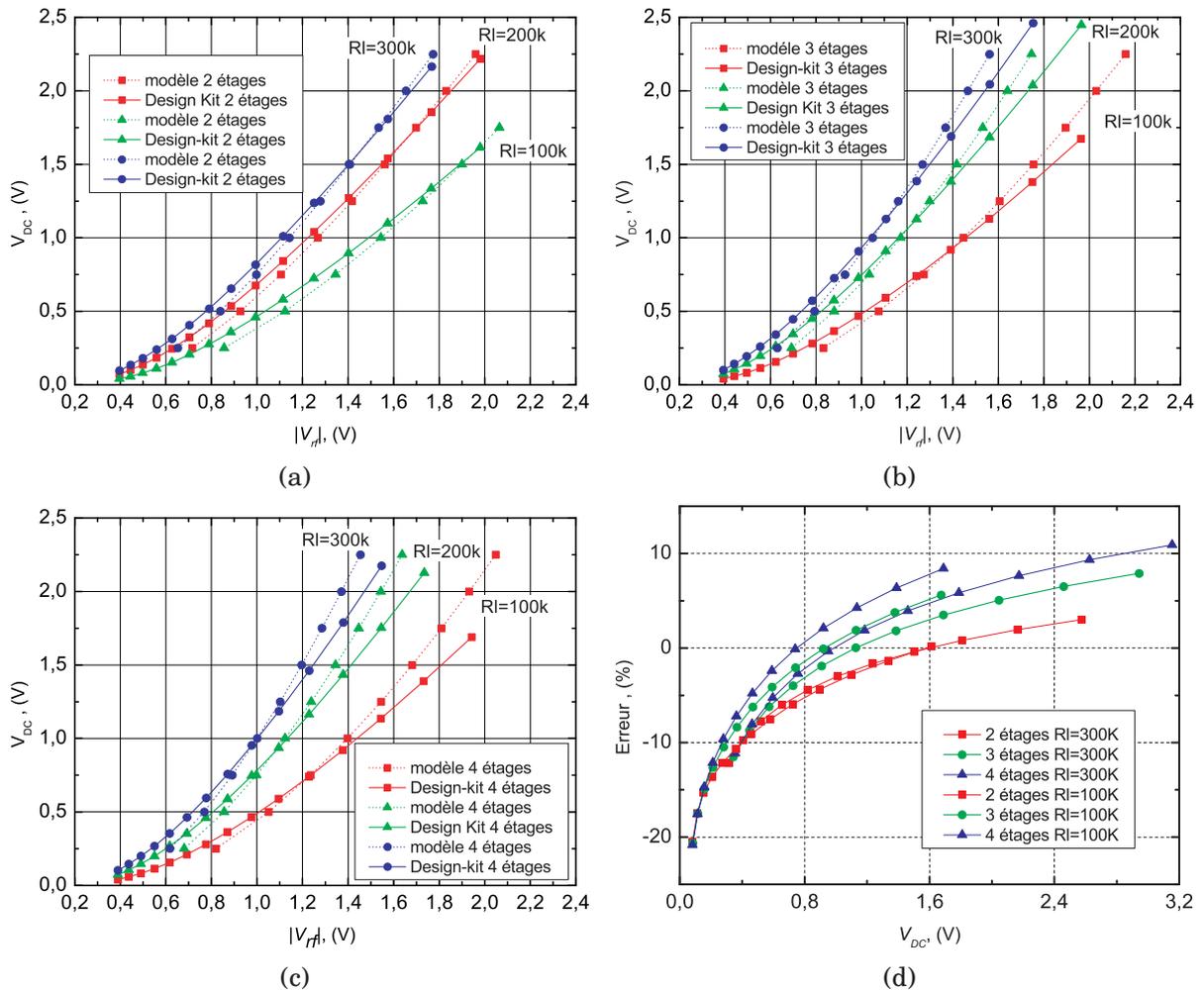


Figure II.19 : Résultats du modèle numérique et des simulations avec un design kit, (a),(b),(c) et erreur sur les résultats (d).

L'erreur entre le modèle et les résultats des simulations avec design-kit est calculée pour les cas extrêmes de charges. Ces résultats sont présentés sur la figure II.19(d). Le modèle est également comparé aux simulations dans le cas d'une variation d'aire des transistors. Les résultats sont présentés sur la figure II.20.

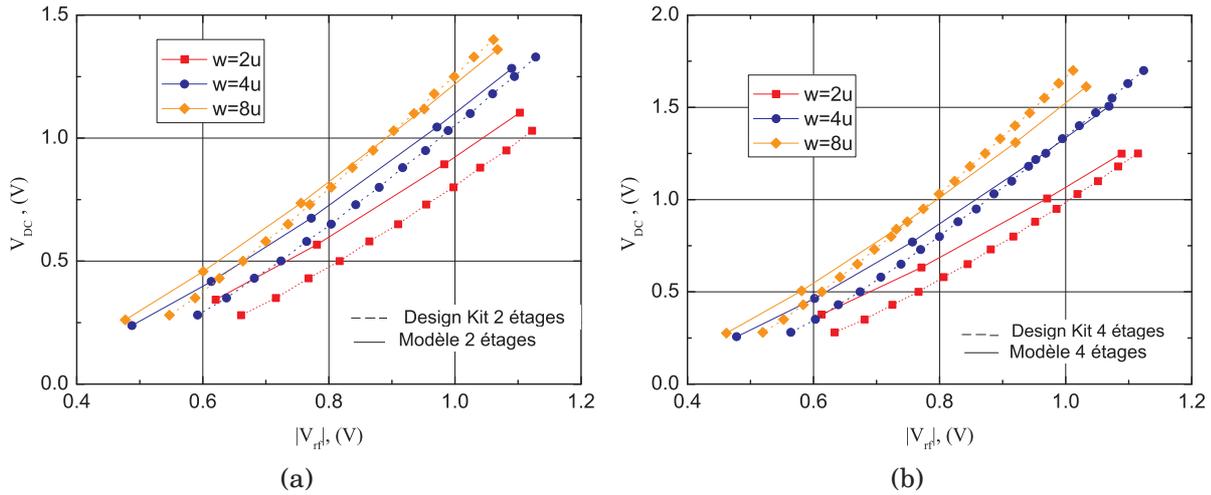


Figure II.20 : Validations du modèle pour différentes tailles de transistors

Le modèle théorique offre une bonne approximation de la tension d'entrée nécessaire au multiplieur. Le cas d'un transistor submicronique régit par une loi de courant linéaire a aussi été validé. Dans ce cas, nous avons utilisé un Design kit CMOS 0,13 μm , qui possède des transistors de faible dimension à faible seuil II.21.

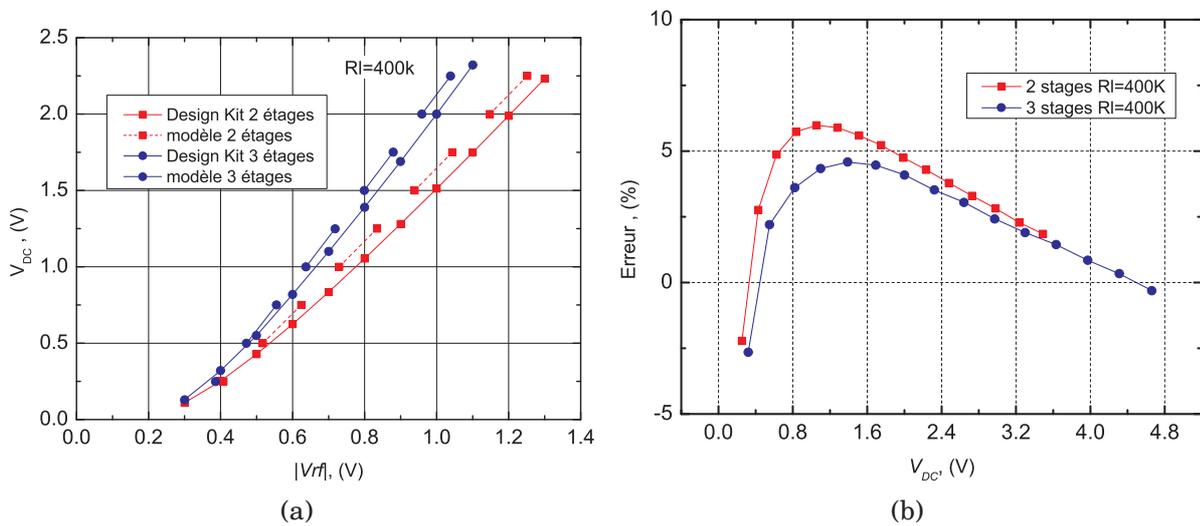


Figure II.21 : Résultats du modèle numérique et des simulations avec un design kit 0,13 μm , (a), et erreur (b).

La valeur de V_{rf} ainsi obtenue est utilisée pour déterminer l'impédance d'entrée. Les résultats sont une nouvelle fois confrontés à ceux obtenus par simulation fréquentielle.

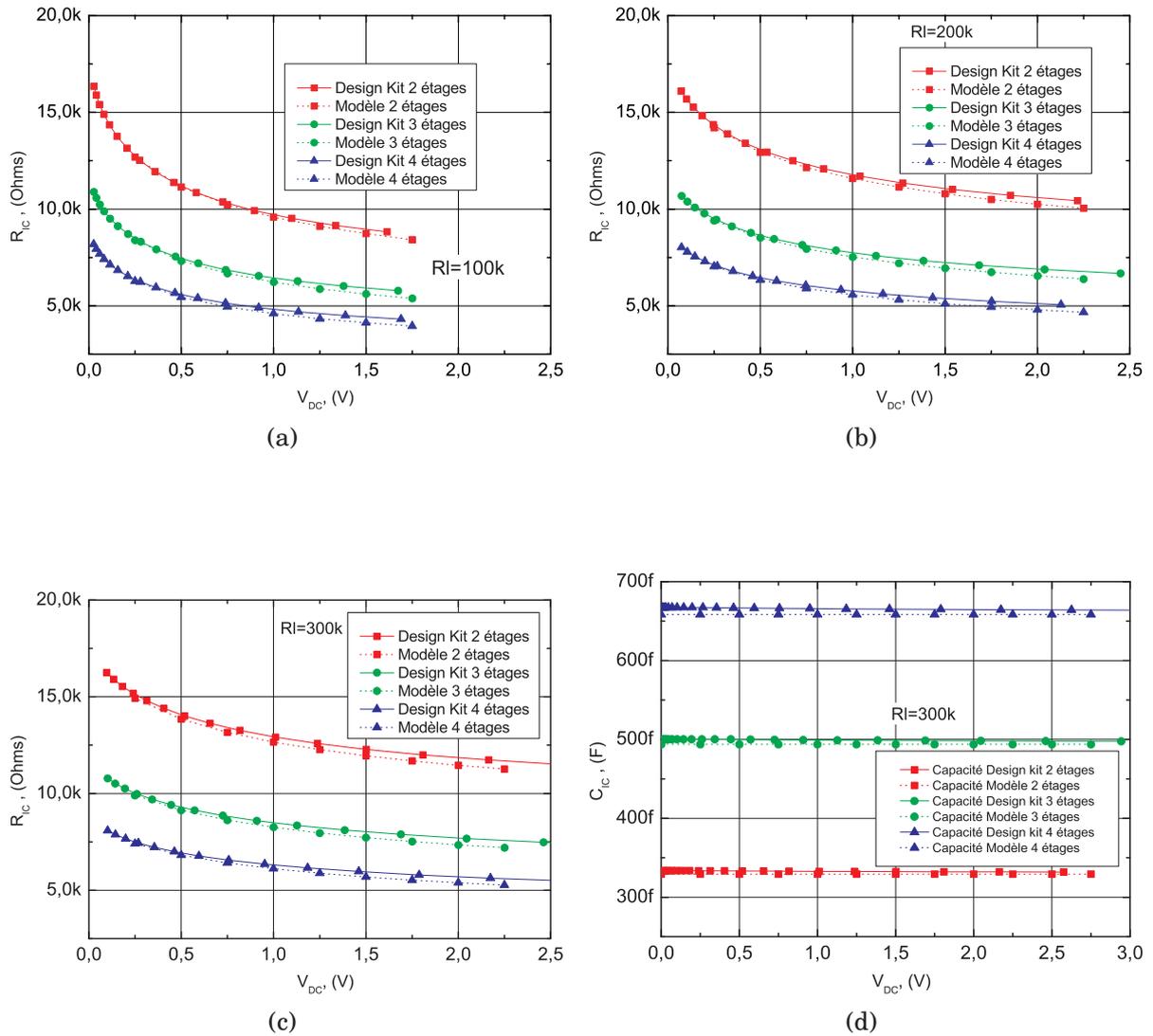


Figure II.22 : Résultats du modèle numérique et des simulations avec un design kit, (a),(b),(c) et Capacités simulées et calculées (d).

Le modèle analytique permet d'obtenir des résultats sur la tension d'entrée du circuit et son impédance avec un très faible taux d'erreur par rapport aux simulations effectuées avec un design kit. Son utilisation pour la conception d'un circuit multiplieur permettra de confronter ces résultats aux mesures.

II.6 EXPLOITATION DU MODÈLE

Le modèle précédent a permis de déterminer, pour les multiplieurs à base de Schottky comme ceux à base de MOS, la tension incidente et l'impédance d'entrée du circuit en fonction des paramètres suivants : taille des composants, point de polarisation et nombre d'étages. De plus, ce modèle tient compte du seuil des différents éléments et de leurs pertes substrat, ce qui permet d'obtenir des valeurs réalistes avec des équations simplifiées par rapport à un modèle complet de diode ou MOS.

II.6.1 Puissance d'entrée et rendement

L'obtention de la tension incidente et de la résistance d'entrée en fonction du point de polarisation de sortie du multiplieur, permet de déterminer la puissance nécessaire minimale entrante dans le circuit pour atteindre le point de polarisation choisi. Cette puissance s'exprime(II.54) :

$$P_{in} = \frac{V_{rf}^2}{2R_{IC}} \quad (\text{II.54})$$

La puissance minimale nécessaire est un critère important lors de la conception du circuit : plus cette puissance est faible plus il est possible pour le tag de fonctionner à de longue distance du lecteur. Un critère semblable est souvent employé : il s'agit du rendement du multiplieur. En effet, la puissance entrante étant déterminée pour une polarisation de sortie, il est possible d'effectuer le rapport entre la puissance entrante et celle sortante (II.55)

$$\text{Rendement} = \frac{P_{out}}{P_{in}} = \frac{V_{DC}I_{DC}2R_{IC}}{V_{rf}^2} \quad (\text{II.55})$$

Le modèle permet d'évaluer assez précisément les performances du circuit en fonction des paramètres de conception. Une conception du multiplieur rapide et optimale est possible. Une telle étude est présentée au chapitre IV.

II.6.2 Télé-alimentation

La télé-alimentation est le point clef des puces RFID passives, elle est la condition nécessaire au fonctionnement de la puce et aussi souvent le critère déterminant sur la portée du tag. La relation de Friis I.1 permet de déterminer la puissance reçue par la puce en fonction de la distance et permet ainsi d'évaluer sa portée. L'intégration de cette relation dans le modèle permet de relier directement le point de polarisation du circuit avec sa distance de fonctionnement théorique maximale.

Lors du calcul précédent, l'impédance d'entrée de la puce a été déterminée en fonction de la topologie du circuit et du choix de la polarisation. Ces variations d'impédance représentées sur la figure II.23 rendent l'adaptation d'impédance tributaire de la polarisation du circuit : l'impédance de l'antenne ne peut correspondre qu'à un seul point d'impédance choisie.

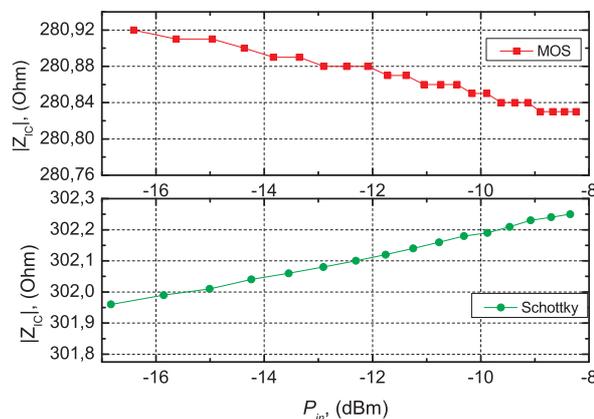


Figure II.23 : Variation de l'impédance de la puce en fonction de la puissance

D'un point de vue télé alimentation, le choix le plus judicieux pour l'impédance de l'antenne correspond au point minimal de polarisation du circuit permettant le fonctionnement de la puce (figure II.24). En effet si l'adaptation est parfaitement obtenue en ce point, le transfert de puissance sera optimal au maximum de portée de la puce.

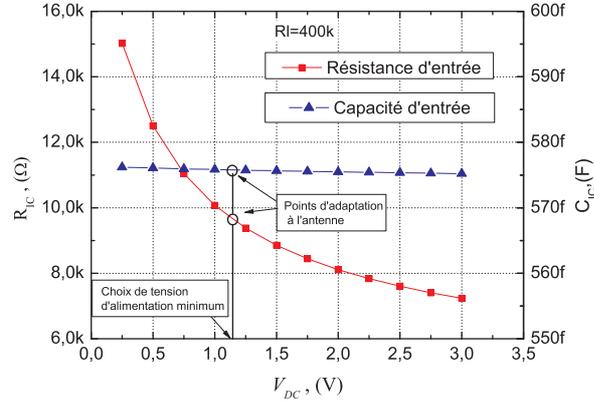


Figure II.24 : Choix de l'impédance de l'antenne

Dans cette configuration, l'effet d'un rapprochement entre le tag et le lecteur conduit à une désadaptation du circuit, qui est compensée par une augmentation de la puissance disponible sur l'antenne.

Une fois la topologie du circuit et le point de polarisation choisis, il est possible de tenir compte de la désadaptation dans le modèle analytique précédent. En effet, si l'antenne est supposée réalisable, son impédance peut être fixée comme étant le conjuguée de l'impédance du circuit calculé par le modèle (Eq. II.56).

$$Z_{ant} = Z_{IC}^* \quad (\text{II.56})$$

où Z_{IC} a été calculé pour une configuration donnée. Il vient alors :

$$|\Gamma| = \left| \frac{Z_{ant} - Z_{IC}(N, V_{DC}, I_{DC})}{Z_{IC}(N, V_{DC}, I_{DC}) + Z_{ant}} \right| \quad (\text{II.57})$$

Dans le cas d'une antenne dessinée pour une adaptation idéale autour d'une configuration, il est possible de prévoir analytiquement la désadaptation du circuit lorsque celui-ci s'éloigne de cette configuration. La figure II.25 représente, par exemple, une variation de la tension de sortie du tag et son influence sur le coefficient de réflexion.

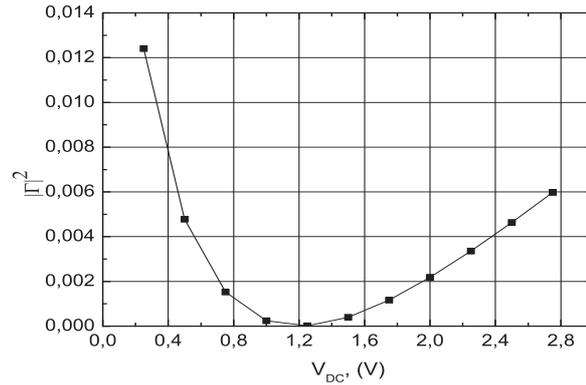


Figure II.25 : Variation du coefficient de réflexion à l'entrée du circuit pour une antenne adaptée au tag au point de polarisation vdd=1.2V et 4 μA

Il a été montré précédemment, comment calculer la puissance d'entrée (P_{in}) nécessaire à l'obtention d'un point de polarisation du circuit. Une fois l'impédance de l'antenne calculée il est aussi possible de calculer la puissance disponible sur l'antenne nécessaire à ce point de polarisation. En considérant l'équation II.5, P_{rf} s'exprime :

$$P_{rf} = \frac{P_{in}}{1 - |\Gamma|^2} \quad (II.58)$$

La relation de Friis [23], permet ensuite de relier le calcul de cette puissance à une distance de télé-alimentation théorique.

$$r = \sqrt{\frac{P_e G_e G_r}{P_{rf}} \frac{\lambda}{4\pi}} \quad (II.59)$$

où P_e est la puissance émise, G_e et G_r respectivement le gain de l'antenne émission et de réception. La norme EPC permet d'émettre aux États-Unis une puissance de 4W EIRP. Dans ces conditions et avec la relation II.58, la distance entre le tag et le lecteur peut s'écrire :

$$r = \sqrt{\frac{P_e G_e G_r (1 - |\Gamma|^2)}{P_{in}} \frac{\lambda}{4\pi}} \quad (II.60)$$

$$r = \sqrt{\frac{G_r (1 - |\Gamma|^2)}{P_{in}} \frac{\lambda}{2\pi}}$$

La relation II.60 permet le calcul de la distance de télé-alimentation pour différents points de puissance correspondant chacun à un point de polarisation de la puce. Pour une antenne de réception connue, il est ainsi possible de représenter la tension de sortie du multiplieur sur une charge choisie en fonction de la distance (figure II.26).

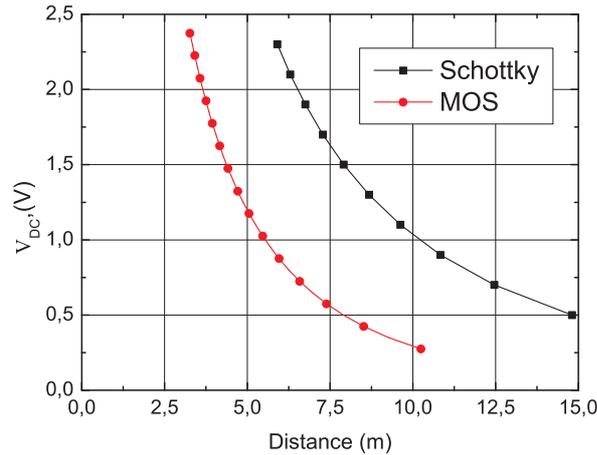


Figure II.26 : Résultats en distance obtenus pour des multiplieurs de 3 étages avec une charge de $200K\Omega$, $EIRP=4W$

II.7 CONCLUSION

Dans ce chapitre, le circuit de récupération d'énergie permettant de récupérer l'énergie d'une onde incidente a été présenté. Son rôle cruciale dans l'alimentation nécessite une attention particulière du concepteur. Toutefois, nous avons vu que les difficultés de simulations des multiplieurs RFID impliquent un temps de développement important pour ces structures.

C'est dans ce contexte et pour répondre à la problématique de conception de ces structures que le modèle du multiplieur a été présenté. Les équations ont été développées en parallèle pour des circuits basés sur des diodes Schottky ou sur des transistors MOS. En effet, pouvoir utiliser ce modèle quelque soit le choix des composants est intéressant afin notamment de tenir compte des coûts différents des éléments du circuits (diodes ou transistors), et pour donner au concepteur la possibilité de développer des multiplieurs dans plusieurs types de technologies. Dans chaque cas les performances du circuit peuvent maintenant être évaluées avec une bonne précision en fonction des choix du concepteur sur l'architecture du circuit tel que le nombre d'étages, la taille des composants ou le point de polarisation.

Dans un second temps, l'intégration au modèle de la désadaptation entre l'antenne et le circuit et de la relation de Friis, a permis d'évaluer les performances du circuit en terme de distance pour chaque topologie de mutliplieur. Grâce à ces résultats, il est maintenant possible de trouver la solution optimale pour la configuration du circuit du point de vue de la télé-alimentation.

II.8 BIBLIOGRAPHIE

- [1] U. Karthaus and M. Fischer. Fully integrated passive uhf rfid transponder ic with 16.7- μ W minimum rf input power. *IEEE Journal of Solid State Circuits*, 38(10) :1602–8, 2003.
- [2] G. De Vita and G. Iannaccone. Design criteria for the rf section of uhf and microwave passive rfid transponders. *IEEE Transactions on Microwave Theory and Techniques*, 53(9) :2978–90, 2005.
- [3] A. Navarro and J. L. Del Valle. Voltage generator for uhf rfid passive tags using schottky diodes based on a 0.5 μ m cmos technology. page 1, 2006.
- [4] Yi Jun, Hung Ki Wing, and Ying Tsui Chi. Analysis and design strategy of uhf micro-power cmos rectifiers for micro-sensor and rfid applications. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 2007.
- [5] Emmanuel Bergeret, Gaubert Jean, Pannier Philippe, and Gaultier Jean-Marie. Conception of uhf voltage multiplier for rfid circuit. page 217, 2006.
- [6] J. F. Dickson. On-chip high-voltage generation in mmos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid State Circuits*, SC-11(3) :374–8, 1976.
- [7] G. Palumbo, D. Pappalardo, and M. Gaibotti. Charge-pump circuits : power-consumption optimization. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 2002.
- [8] T. Tanzawa and T. Tanaka. A dynamic analysis of the dickson charge pump circuit. 32(8) :1231, 1997.
- [9] P. Favrat, P. Deval, and M. J. Declercq. A new high efficiency cmos voltage doubler. In *Proceedings of CICC 97 Custom Integrated Circuits Conference. Santa Clara, CA, USA. IEEE Electron Devices Soc. IEEE Solid State Circuits Soc. 5 8 May 1997*. IEEE, New York, NY, USA, 1997.
- [10] Y. Moisiadis, I. Bouras, and A. Arapoyanni. A cmos charge pump for low voltage operation. In *ISCAS 2000 Geneva. 2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings. Geneva, Switzerland. IEEE Circuits and Syst. Soc. 28 31 May 2000*. Presses Polytech. Univ. Romandes, Lausanne, Switzerland, 2000.
- [11] R. Khouri, V. Berouille, T. P. Vuong, and S. Tedjini. Uhf rfid tag-antenna matching optimization using vhdl-ams behavioral modeling. *Analog Integrated Circuits and Signal Processing*, 2007.
- [12] J. P. Curty, N. Joehl, F. Krummenacher, C. Dehollain, and M. J. Declercq. A model for μ W-power rectifier analysis and design. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 52(12) :2771–9, 2005.
- [13] E. Bergeret, J. Gaubert, and P. Pannier. Standard cmos voltage multipliers architectures for uhf rfid applications : study and implementation. In *RFID, 2007. IEEE International Conference on*, page 115, 2007.
- [14] E. Bergeret, J. Gaubert, P. Pannier, and J.M. Gaultier. Modeling and design of cmos uhf voltage multiplier for rfid in eeprom compatible process. *IEEE Transactions on Circuits and Systems II*, (10), 2007.

- [15] F.F. Dai T. Yao, Y. Shi. A novel low-power input-independent mos ac/dc charge pump. pages 380–383, 2005.
- [16] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, and S. Otaka. A 950-mhz rectifier circuit for sensor network tags with 10-m distance. *IEEE Journal of Solid State Circuits*, 41(1) :35–41, 2006.
- [17] Yi Jun, Ki Wing-Hung, and Tsui Chi-Ying. Analysis and design strategy of uhf micro-power cmos rectifiers for micro-sensor and rfid applications. 54(1) :153, 2007.
- [18] E. Bergeret, P. Pannier, and J. Gaubert. Optimization of uhf voltage multiplier circuit for rfid application. In *Proceedings. The 17th ICM 2005. 2005 International Conference on Microelectronics. Islamabad, Pakistan. 13 15 Dec. 2005.* IEEE, Piscataway, NJ, USA, 2006.
- [19] K. V. S. Rao, P. V. Nikitin, and S. F. Lam. Impedance matching concepts in rfid transponder design. In *Proceedings. Fourth IEEE Workshop on Automatic Identification Advanced Technologies. Buffalo, NY, USA. CUBS (Center for Unified Biometrics and Sensors). Ultra Scan. CUBRC. 17 18 Oct. 2005.* IEEE Comput. Soc, Los Alamitos, CA, USA, 2005.
- [20] P. V. Nikitin and K. V. S. Rao. Reply to "comments on 'antenna design for uhf rfid tags : a review and a practical application'". *IEEE Transactions on Antennas and Propagation*, 54(6) :1906–7, 2006.
- [21] Diode model equations. *Eldo Device Equations Manual v6.2*, 07 2003.
- [22] S.C. Cripps. *RF Power amplifier for wireless communications*. Boston london, artech house publishers edition, 1999.
- [23] H. T. Friis. A note on a simple transmission formula. *Proceedings of the Institute of Radio Engineers*, 1946. USA Journal-Paper Unspecified.

Chapitre III

Rétro-modulation

SOMMAIRE DU CHAPITRE III

III.1 Introduction	59
III.2 Principe et Modélisation de la rétro-modulation : utilisation du modèle du multiplieur	59
III.2.1 Principe de la rétro-modulation	59
III.2.2 Calcul sur la rétro-modulation	61
III.2.3 Modélisation d'une rétro-modulation	62
III.2.3.1 Détermination de l'amplitude des signaux	63
III.2.3.2 Détermination de la phase des signaux	64
III.2.3.3 Etude théorique de la liaison	64
III.2.3.4 Critère de visibilité	65
III.2.3.5 Isolation	65
III.2.4 Compromis télé-alimentation / rétro-modulation	68
III.3 Etude systématique	70
III.3.1 Cas I : modulation sur l'antenne	73
III.3.1.1 Impact sur l'alimentation	73
III.3.1.2 Impact sur la rétro-modulation	74
III.3.2 Cas II : modulation par étage de multiplieur	75
III.3.2.1 Impact sur l'alimentation	75
III.3.2.2 Impact de la rétro-modulation	76
III.3.3 Cas III : modulation de partie réelle ou modulation résistive	78
III.3.3.1 Impact sur l'alimentation	78
III.3.3.2 Impact sur la rétro-modulation	79
III.3.4 Cas IV : modulation de partie imaginaire ou modulation capacitive	80
III.3.4.1 Impact sur l'alimentation	81
III.3.4.2 Impact sur la rétro-modulation	82

III.3.5 Résultats et analyse	83
III.4 Conclusion	85
III.5 Bibliographie	86

III.1 INTRODUCTION

L'utilisation des circuits de récupération d'énergie n'est pas limitée aux seules applications communicantes. En effet, la télé-alimentation peut s'avérer intéressante dans de nombreux autres domaines qui nécessitent une source d'énergie embarquée comme des piles ou des batteries, il est alors envisageable de recharger cette réserve d'énergie à distance. Pour toutes ces applications, l'utilisation du multiplieur proposé peut être envisagé et le modèle précédent utilisé afin d'optimiser le transfert d'énergie. Dans le cadre des applications communicantes, plusieurs cas de figure sont envisageables : la fréquence servant à la télé-alimentation est dédiée et l'information transite sur une autre fréquence [1], ou bien, de façon plus courante en RFID, la communication se fait sur la fréquence de télé-alimentation par réflexion d'une partie de l'énergie de la porteuse. Ce principe d'onde réfléchi par le tag est appelé rétro-modulation. Si il a l'avantage de simplifier le système de communication du tag, il a aussi comme principal inconvénient de nuire à la télé-alimentation puisque une partie de l'énergie est réfléchi pour transmettre de l'information.

Dans le cadre de la récupération d'énergie pour les systèmes RFID utilisant ce principe de communication, il est primordial de tenir compte de l'influence de cette rétro-modulation sur l'alimentation. Une solution optimale, permettant à la fois une alimentation correcte de la puce et une bonne visibilité de la réponse du tag, doit être trouvée.

Plusieurs études ont été menées sur la rétro-modulation. Le plus souvent elles rapprochent son étude à celle de modulations connues comme l'ASK ou la PSK [2] [3], bien que la rétro-modulation n'entre pas tout à fait dans le cadre exact de ces modulations. De plus, les architectures de multiplieur permettant une optimisation de la liaison sont rarement présentées. Les travaux [4] montrent toutefois une rétro-modulation capacitive et une étude de la liaison en fonction du coefficient de réflexion. Dans la thèse [3], le taux d'erreur de la liaison est relié au coefficient de qualité de l'entrée du circuit, cependant aucun travail ne relie directement les paramètres de conception du multiplieur à l'efficacité de la liaison.

Dans ce chapitre, plusieurs architectures de rétro-modulation sont proposées. Dans chacune de ces configurations, une étude de la liaison dans le cas spécifique de la rétro-modulation est menée. Enfin l'efficacité de la liaison est déterminée en fonction des paramètres de conception du multiplieur.

III.2 PRINCIPE ET MODÉLISATION DE LA RÉTRO-MODULATION : UTILISATION DU MODÈLE DU MULTIPLIEUR

III.2.1 Principe de la rétro-modulation

Dans ce travail, l'étude de la rétro-modulation est placée dans le cadre d'un protocole de type EPC Gen2 [5]. Dans ce cas, les communications entre le lecteur et le tag ne sont pas simultanées (half duplex), cependant le lecteur n'arrête jamais d'émettre afin de maintenir le tag alimenté. Une porteuse émise par le lecteur est

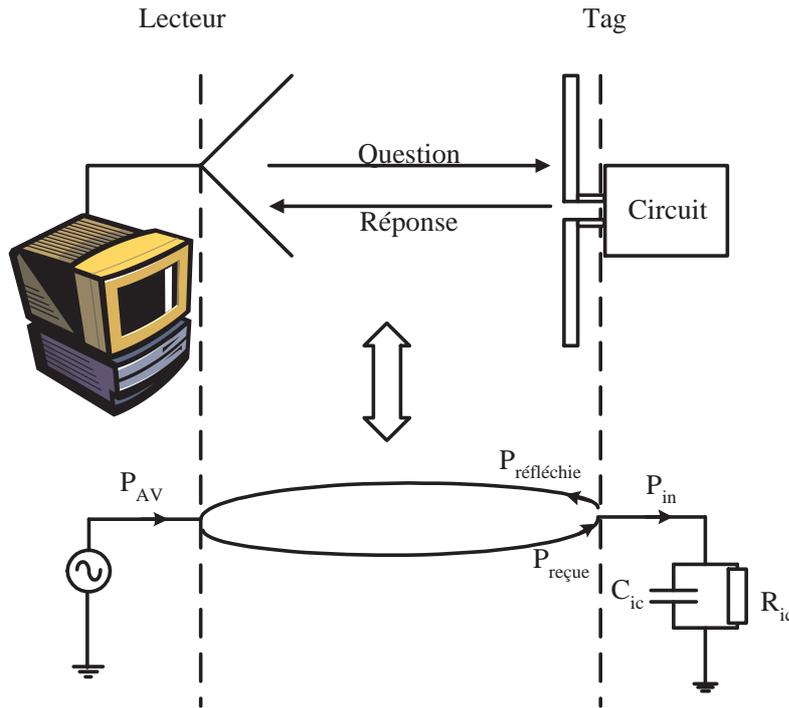


Figure III.1 : Principe de la rétro-modulation

présente durant tout le temps de communication. Celle-ci sera modulée par le lecteur lors d'une liaison du lecteur vers le tag, puis par le tag lors de la réponse. Dans cette configuration, le tag n'émet par conséquent aucun signal, il se contente de moduler la porteuse issue du lecteur. On appelle voie descendante ou interrogation la communication du lecteur vers le tag, et voie montante ou réponse la communication entre le tag et le lecteur.

Le lecteur est supposé adapté à son antenne et d'impédance 50 Ohms. De l'autre côté l'impédance de l'antenne est notée Z_{ant} . La formule de Friis I.1 permet de déterminer le rapport entre puissance émise et puissance reçue lors de la transmission :

$$\frac{P_{reçue}}{P_{AV}} = G_e G_r \left(\frac{\lambda}{4\pi r} \right)^2 \quad (III.1)$$

où $P_{reçue}$ est la puissance reçue, P_{AV} la puissance émise par le lecteur, G_e, G_r sont respectivement les gains des antennes d'émission et de réception. Si l'antenne du tag est adaptée au circuit on a $P_{in} = P_{reçue}$.

La rétro-modulation peut être abordée comme un problème d'adaptation de puissance. En effet, si l'impédance du circuit du tag (Z_{IC}) est adaptée à l'antenne du tag, le coefficient de réflexion est nul et la puissance est transmise au tag, si par contre cette impédance varie le coefficient de réflexion est non nul et une partie de la puissance est réfléchiée dans la liaison et ainsi retransmise au lecteur. L'optimisation du tag pour l'amélioration de la liaison est encore difficilement simulable face au nombre d'inconnues pouvant influencer sur la rétro-modulation. Dans ce contexte, il est intéressant d'intégrer au modèle du multiplicateur présenté au chapitre II, une représentation de la liaison et de la rétro-modulation afin de déterminer l'impact de chaque paramètre de conception sur cette liaison.

III.2.2 Calcul sur la rétro-modulation

La puissance de la rétro-modulation est donc directement liée au coefficient de réflexion entre la puce et l'antenne :

$$P_{retromod} = P_{réfléchi} = |\Gamma|^2 P_{re\grave{c}ue} \quad (\text{III.2})$$

Le coefficient de réflexion s'exprime en fonction des impédances de la puce et du tag. L'intérêt de connaître l'impédance de la puce en fonction des différents paramètres du circuit est important pour déterminer la puissance réfléchi. L'utilisation du modèle présenté au chapitre II permet de déterminer l'impédance du circuit pour une configuration donnée de multiplieur et pour un point de polarisation choisi. Lors de la rétro-modulation, la configuration du multiplieur change tant au niveau de son impédance que dans sa capacité à fournir du courant. Il faut alors modifier le modèle afin de déterminer ces nouveaux paramètres. De façon générale, l'activation de la rétro-modulation consiste à faire varier une charge en parallèle du multiplieur (figure III.2), plusieurs possibilités de circuit sont envisagées dans ce but dans la suite de ce chapitre.

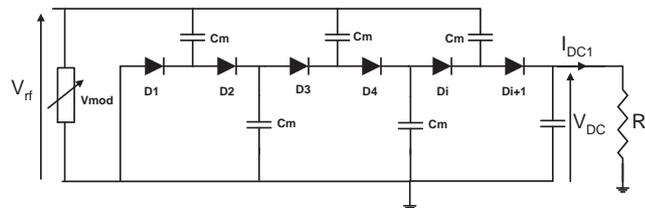


Figure III.2 : Principe de variation de l'impédance d'entrée

L'impédance du circuit est alors équivalente à la mise en parallèle d'une charge variable avec un multiplieur dont la capacité à fournir du courant est affectée par la désadaptation. Afin de caractériser l'état de ce multiplieur et pouvoir déterminer les caractéristiques du circuit lors de la rétro-modulation, il est nécessaire de calculer le courant fourni lors de cet état (appelé I_{DC1}). Pour cela, on utilise le fait que la puissance reçue par l'antenne est constante pour une distance donnée quelque soit l'état du circuit. Le courant I_{DC1} correspond alors au courant qui conduit à une puissance reçue constante, lors de l'état rétro-modulé. La figure III.3 représente l'algorithme de ce calcul.

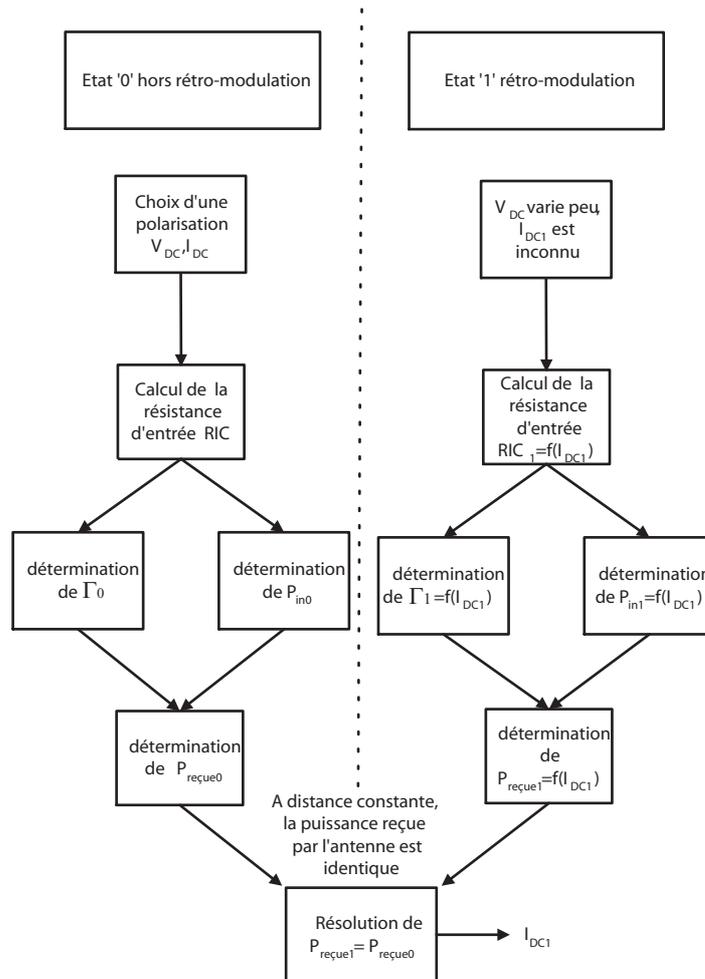


Figure III.3 : Algorithme de calcul du courant en rétro-modulation

Dans le paragraphe suivant, le circuit du multiplieur sera modifié afin de proposer des possibilités de rétro-modulation qui peuvent être intégrées au modèle. Ainsi, le modèle complété permettra d'évaluer la pertinence d'un choix de rétro-modulation par rapport à un autre ou bien par rapport à son impact sur la télé-alimentation.

III.2.3 Modélisation d'une rétro-modulation

Une rétro-modulation affecte à la fois la phase et l'amplitude du signal, il est nécessaire de conserver ces deux composantes du signal pour minimiser la perte d'information. Le modèle précédent permet de déterminer la tension renvoyée par le circuit sur l'antenne V_r (figure III.4). Il est aussi important de tenir compte de la tension V_i qui représente l'onde incidente envoyée par le lecteur. Pour notre étude il est intéressant de se placer dans le plan $x=0$ et de calculer la valeur les amplitudes reçues par le lecteur. En effet, durant la phase de rétro-modulation, la tension captée par le lecteur est la somme de ces deux composantes : tensions incidente et réfléchi. Afin de déterminer la qualité de la liaison, il est possible de calculer analytiquement l'amplitude et la phase de chacune de ces tensions.

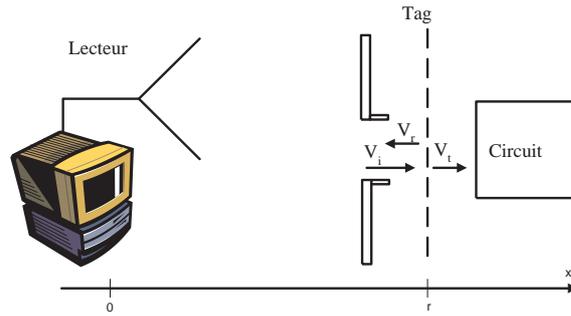


Figure III.4 : Définition des ondes de tension lors de la réflexion : V_i tension incidente, V_r tension réfléchie, V_t tension réfléchie

III.2.3.1 Détermination de l'amplitude des signaux

Le calcul est tout d'abord mené en $x=r$ afin de déterminer l'expression de l'onde réfléchie. Le lecteur émet une porteuse dont l'amplitude diminue avec la distance parcourue. Lorsqu'elle arrive sur la puce, elle est supposée de la forme :

$$V_i = A_i(r) \cos(\omega_p t) \quad (\text{III.3})$$

Dans ces conditions la tension réfléchie s'écrit :

$$\begin{aligned} V_r(t) &= A_r(r) \cos(\omega_p t + \arg(\Gamma)) \\ &= A_i(r) |\Gamma| \cos(\omega_p t + \arg(\Gamma)) \end{aligned} \quad (\text{III.4})$$

où $A_i(r)$ est l'amplitude de la porteuse non modulée. Il est possible de déterminer cette amplitude en fonction de la puissance émise par le lecteur. Si on considère la norme EPC aux USA la puissance du signal en sortie d'antenne du lecteur est de 4W EIRP (Emitted isoropic radaited power). En supposant les termes de polarisation nuls, il est possible d'écrire :

$$\frac{P_{\text{reçue}}}{\text{EIRP}} = G_r \left(\frac{\lambda}{4\pi r} \right)^2 \quad (\text{III.5})$$

Si R_{antray} est la résistance de rayonnement de l'antenne du tag :

$$\begin{aligned} P_{\text{reçue}}(r) &= \frac{A_i(r)^2}{2R_{\text{antray}}} \\ \Rightarrow A_i(r) &= \sqrt{2 \cdot \text{EIRP} \cdot G_r R_{\text{antray}} \frac{\lambda}{4\pi r}} \end{aligned} \quad (\text{III.6})$$

L'expression de V_r peut alors être explicitée :

$$V_r(t) = \sqrt{2 \cdot \text{EIRP} \cdot G_r R_{\text{antray}} \frac{\lambda}{4\pi r}} * |\Gamma| \cos(\omega_p t + \arg(\Gamma)) \quad (\text{III.7})$$

Il est maintenant intéressant de calculer la puissance réémise par le tag :

$$\begin{aligned} P_{\text{réfléchie}} &= \frac{|V_r|^2}{2R_{\text{antray}}} \\ &= |\Gamma|^2 P_{\text{reçue}}(r) \end{aligned} \quad (\text{III.8})$$

Les différentes ondes étant explicité en $\mathbf{x}=\mathbf{r}$, il est maintenant possible de déterminer, l'amplitude de l'onde incidente au niveau du lecteur en $\mathbf{x}=0$.

$$\begin{aligned}
 P_{lecteur} &= P_{réfléchie} G_{lecteur} G_r \left(\frac{\lambda}{4\pi r}\right)^2 \\
 \frac{A_r(0)^2}{2.R_{lec}} &= P_{réfléchie} G_{lecteur} G_r \left(\frac{\lambda}{4\pi r}\right)^2 \\
 \Rightarrow A_r(0) &= \sqrt{R_{lec} \frac{|V_r|^2}{R_{antray}} G_{lecteur} G_r} \frac{\lambda}{4\pi r} \\
 &= |V_r| \sqrt{\frac{R_{lec}}{R_{antray}} G_{lecteur} G_r} \frac{\lambda}{4\pi r} \\
 &= |\Gamma| \sqrt{2.EIRP.G_r R_{antray}} \frac{\lambda}{4\pi r} \sqrt{\frac{R_{lec} G_{lecteur} G_r}{R_{antray}} \frac{\lambda}{4\pi r}} \\
 &= |\Gamma| \sqrt{2.EIRP.R_{lec} G_{lecteur} G_r^2} \left(\frac{\lambda}{4\pi r}\right)^2 \tag{III.9}
 \end{aligned}$$

III.2.3.2 Détermination de la phase des signaux

Le lecteur est supposé adapté à son antenne, qui est purement résistive, l'onde incidente ne connaît alors qu'un déphasage lié à sa propagation donné par :

$$\Phi_i(r) = 2\pi \frac{r}{\lambda} \tag{III.10}$$

L'onde réfléchie est tout d'abord déphasée par la réflexion sur le tag puis subit un nouveau déphasage dans l'antenne du tag avant d'être à son tour déphasée par la propagation. La phase s'écrit dans ce cas :

$$\Phi_r = \Phi_i(r) + \arg(\Gamma) + \Phi_{ant} + 2\pi \frac{r}{\lambda} \tag{III.11}$$

où Φ_{ant} est le déphasage introduit par l'antenne du tag.

III.2.3.3 Etude théorique de la liaison

Les calculs précédents ont permis de déterminer l'onde de tension disponible reçue par le lecteur, sous la forme de la somme des ondes incidente et réfléchie. En utilisant, la notation complexe il vient :

$$S_c(r, t) = A_i(0) \exp(j\omega t) \exp(j\Phi_i(0)) + A_r \exp(j\omega t) \exp(j\Phi_r) \tag{III.12}$$

$$S(r, t) = Re [s(r, t)] \tag{III.13}$$

où S_c est le signal complexe présent dans le canal. Il est possible de décomposer le signal en fonction des composantes en phase et en quadrature :

$$s(r, t) = Re [(i(t) + jq(t)) \exp(j\omega t)] \tag{III.14}$$

On en déduit :

$$i(t) = Re [A_r \exp(j\Phi_r) + A_i \exp(j\Phi_i)] \tag{III.15}$$

$$q(t) = Im [A_r \exp(j\Phi_r) + A_i \exp(j\Phi_i)] \tag{III.16}$$

Une représentation sous forme de constellation est maintenant possible analytiquement : le signal de la liaison est d'abord calculé pour un coefficient de réflexion représentant un état '0' puis pour un état '1'. La distance euclidienne entre les deux états est définie par :

$$d_{10} = \sqrt{(i_1(t) - i_0(t))^2 + (q_1(t) - q_0(t))^2} \quad (\text{III.17})$$

III.2.3.4 Critère de visibilité

Dans le cas le plus général il est supposé que la puce n'est jamais parfaitement adaptée à l'antenne, il y a alors deux coefficients de réflexion possibles :

- le cas de non transmission (ou transmission d'un '0'), dans lequel, a priori, la puce doit être la mieux adaptée possible, ce qui conduit à un coefficient de réflexion Γ_0 faible
- le cas de transmission d'un '1', dans lequel le coefficient de réflexion est augmenté pour réfléchir plus de puissance en direction du lecteur $|\Gamma_1| > |\Gamma_0|$.

Le changement d'un coefficient de réflexion à l'autre permet la communication. Dans les différents cas précédents il est possible de déterminer le coefficient de réflexion à l'entrée du circuit du tag. Cette modélisation permet de déterminer à l'aide de l'équation III.7 la tension V_r réfléchie à l'entrée du tag. Puis grâce à la relation de Friis, il est de nouveau possible de calculer la tension à l'entrée du lecteur.

Ce calcul permet une représentation dans le plan complexe des deux états obtenus. La situation des points dans ce plan dépend de la variation d'impédance de la puce par rapport à celle de l'antenne. Chaque configuration présentée précédemment affecte différemment l'efficacité de la communication. Un critère de qualité de la liaison est la distance inter symbole c'est à dire la distance entre les points de la constellation définis par l'expression III.17. Ce critère est indépendant du bloc de réception présent dans le lecteur. Il est représentatif de la visibilité de la rétro-modulation pour un démodulateur optimal. Cependant le démodulateur le plus souvent utilisé dans les lecteurs RFID, procède à une démodulation de type IQ. Il est nécessaire de considérer les limites de visibilité liées à cette configuration réelle.

III.2.3.5 Isolation

Dans le cas général, lors d'une communication les études sur les voies montantes et descendantes sont considérées séparément. Cependant la forte différence de puissance dans le cas de la RFID entre les deux voies posent des difficultés lors de l'isolation de l'une part rapport à l'autre. Nous avons choisi dans un premier temps de représenter les résultats obtenus sans isolation. En effet, pour un récepteur idéal l'isolation n'interfère pas sur la visibilité de la liaison. Puis lors de l'étude de cas de rétro-modulation une isolation de -30 dB est appliquée, ce qui correspond à l'isolation pouvant être obtenue en mesure avec un pont directionnel. La figure III.5 représente un exemple des résultats obtenus avec une rétro-modulation. Ces résultats sont présentés en fonction de la distance entre le lecteur et le tag. Ces résultats sont obtenus pour une EIRP= 4W, ce qui est conforme avec la norme américaine.

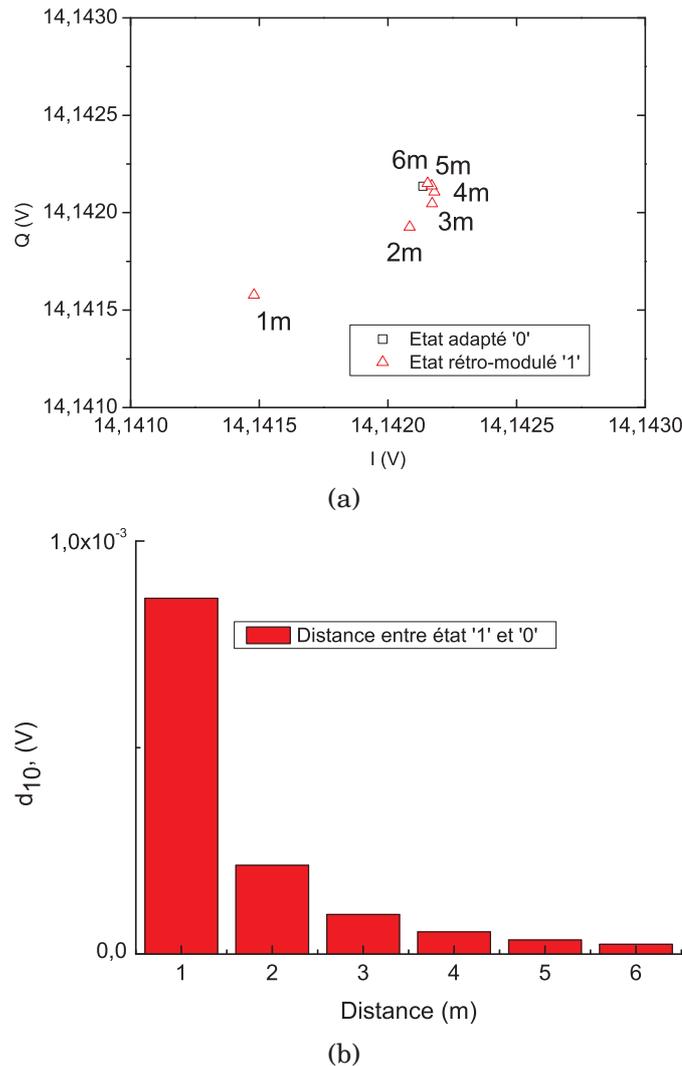


Figure III.5 : (a) Constellation dans le cas d'une rétro-modulation sur V_{DC} , (b) Distance entre les points

Plus le lecteur et le tag sont proches plus la distance inter-symboles est grande et plus la communication semble bonne comme le montre la figure III.5(b). Cependant, dans la pratique la forte puissance disponible proche du lecteur va dégrader la qualité de la liaison.

Les premiers résultats obtenus (figure III.5), bien qu'ils ne couvrent pas toute la gamme des rétro-modulations envisagées, montrent une rétro-modulation très faible : les points de constellations semblent identiques dès que la distance entre le tag et le lecteur dépasse 1m. Ces résultats soulignent un des points critiques de la RFID : il est nécessaire de détecter une réponse très faible noyée dans un signal fort venant du lecteur. Or ce phénomène peut détériorer la qualité de la liaison dans le cas d'un démodulateur réel (figure III.6).

En effet, un récepteur non idéal n'est pas seulement sensible à la distance inter-symboles, les différents niveaux de puissance présents à son entrée affectent la démodulation.

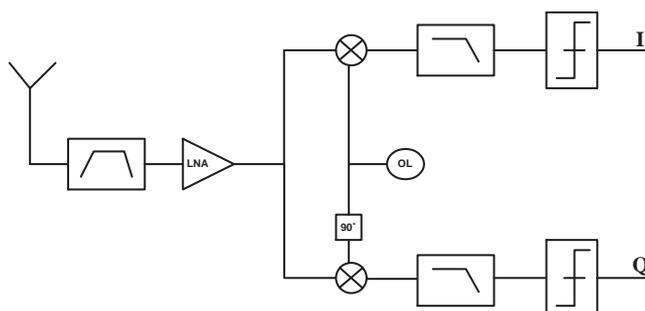


Figure III.6 : Exemple de démodulateur IQ

La figure III.7(a) représente une constellation théorique du signal tel qu'il est disponible à la sortie de l'antenne du lecteur. Les points A_0 et A_1 représentent les deux états de transmission du tag. Si le signal attaque le démodulateur dans ces conditions, celui-ci recevra deux vecteurs de fortes amplitudes \vec{V}_0 et \vec{V}_1 , des effets de non linéarité des éléments constitutifs du circuit comme le LNA ou les mélangeurs (figure III.6) peuvent alors survenir.

De plus, les seuils de décision, notés S_i et S_q , vont se retrouver par défaut loin de l'origine, ce qui peut créer des difficultés lors de la conception de certaines architectures à seuil. Dans cette configuration, il est nécessaire d'utiliser des capacités de découplage de fortes valeurs pour supprimer la composante continue et l'offset sur les seuils de décisions. Toutefois, leurs tailles importantes obligent à se tourner vers des capacités externes [6] et limitent l'intégration du lecteur.

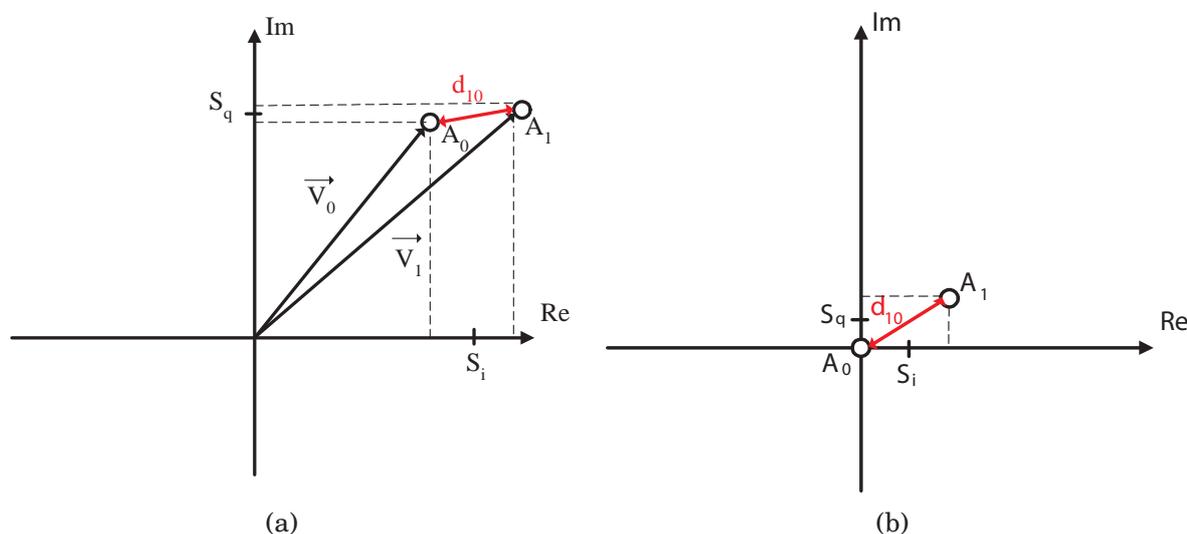


Figure III.7 : (a) Constellation en sortie l'antenne du lecteur, (b), Constellation après isolation idéale

A cause de ces différentes limitations, il est intéressant de considérer une isolation au niveau du récepteur des voies montantes et descendantes afin de rapprocher la constellation au maximum du cas idéal représenté sur la figure III.7(b). Dans la pratique, l'utilisation d'un coupleur directionnel ou la différenciation des antennes d'émission et de réception, permettent cette isolation. Une bonne isolation est toutefois difficile à obtenir surtout lors de l'implémentation d'un lecteur sur silicium [7].

Cette isolation est prise en compte dans le modèle de rétro-modulation proposé afin de s'approcher le plus possible des conditions réelles de communication. Cependant, l'impact de cette isolation entre les ondes incidente et réfléchie revient à un changement d'origine de la constellation et n'affecte pas la distance entre symboles. Cette isolation est typiquement de l'ordre de 30 dB. La figure III.8 reprend le calcul de rétro-modulation présenté sur la figure III.5(a) en intégrant cette isolation sur la voie incidente.

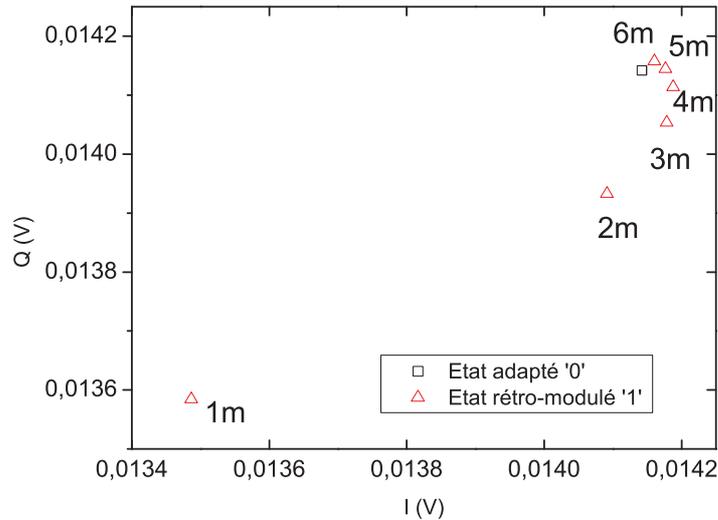


Figure III.8 : Constellation avec isolation

La représentation III.8 montre que bien que l'isolation ne soit pas idéale (seulement 30 dB) les points correspondant à un état '0' sont beaucoup plus près de l'origine, cela revient à une atténuation du vecteur \vec{V}_0 qui générerait un offset sur la constellation. Cette isolation si elle n'affecte pas le développement du tag, doit être prise en compte lors de la conception du lecteur ou du dispositif de mesure du tag.

III.2.4 Compromis télé-alimentation / rétro-modulation

Le calcul précédent, bien qu'il permet pour une architecture donnée d'améliorer les performances en visibilité de rétro-modulation, n'indique pas l'impact de la rétro-modulation sur l'alimentation. En effet, si le principe même de ce type de communication implique qu'une augmentation de la distance entre symboles entraîne une diminution de la télé-alimentation, il est intéressant de pouvoir quantifier la chute de tension d'alimentation aux bornes de la capacité de stockage. Pour cela, il est possible de simplifier le principe de l'alimentation du tag par le schéma de la figure III.9

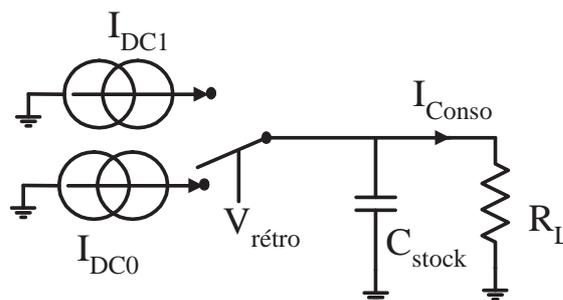


Figure III.9 : Schéma simplifié de l'alimentation du tag

En considérant la figure III.9, il est possible d'écrire l'équation de la tension aux bornes de la capacité :

$$\Delta V_{alim} = \frac{1}{C_{stock}} (I_{DC} - I_{conso}) \cdot T_{pulse} \quad (\text{III.18})$$

Le courant de sortie du multiplieur pour une topologie de multiplieur sans rétro-modulation activée peut être calculé à l'aide du modèle présenté au chapitre II (figure III.10).

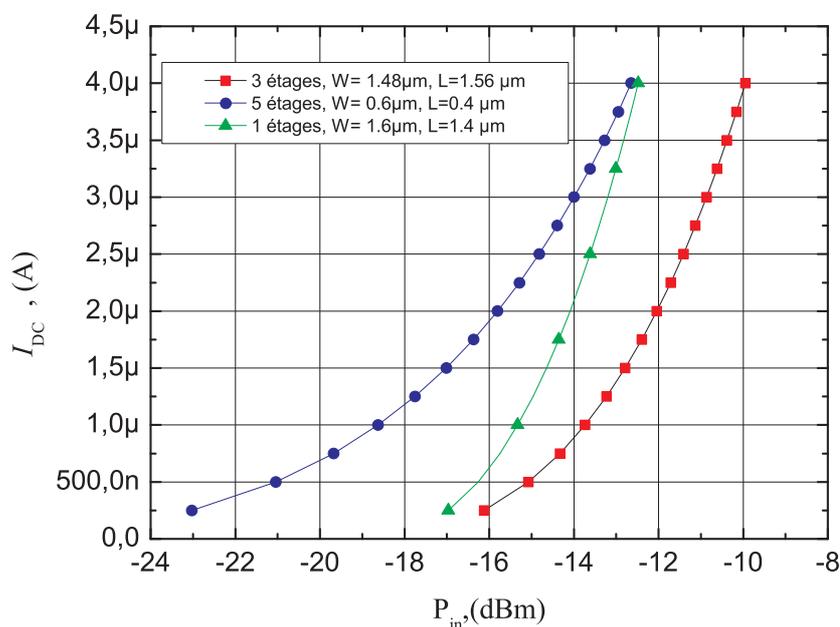


Figure III.10 : Courant issu du multiplieur pour une tension de 1.2V hors rétro-modulation

Or dans ce chapitre, nous avons vu qu'il était possible de déterminer le courant I_{DC1} obtenu lors de la rétro-modulation. Reporter ce calcul dans l'équation III.18 permet de déterminer la chute de potentiel liée à la rétro-modulation, cependant l'utilisation du modèle dans ce cadre est limité au calcul de faibles variations d'alimentation. Une forte chute de cette tension est toutefois significative de capacités de stockage trop petites.

III.3 ETUDE SYSTÉMATIQUE

Grâce à l'étude précédente, il est possible pour chaque topologie de multiplieur de comparer la constellation obtenue et ainsi déterminer la distance inter-symbole qui est un critère de visibilité de la rétro-modulation.

Plusieurs types de rétro-modulation sont possibles [5]. Celles ci sont obtenues en faisant varier l'impédance d'entrée du circuit à l'aide d'un circuit de commande.

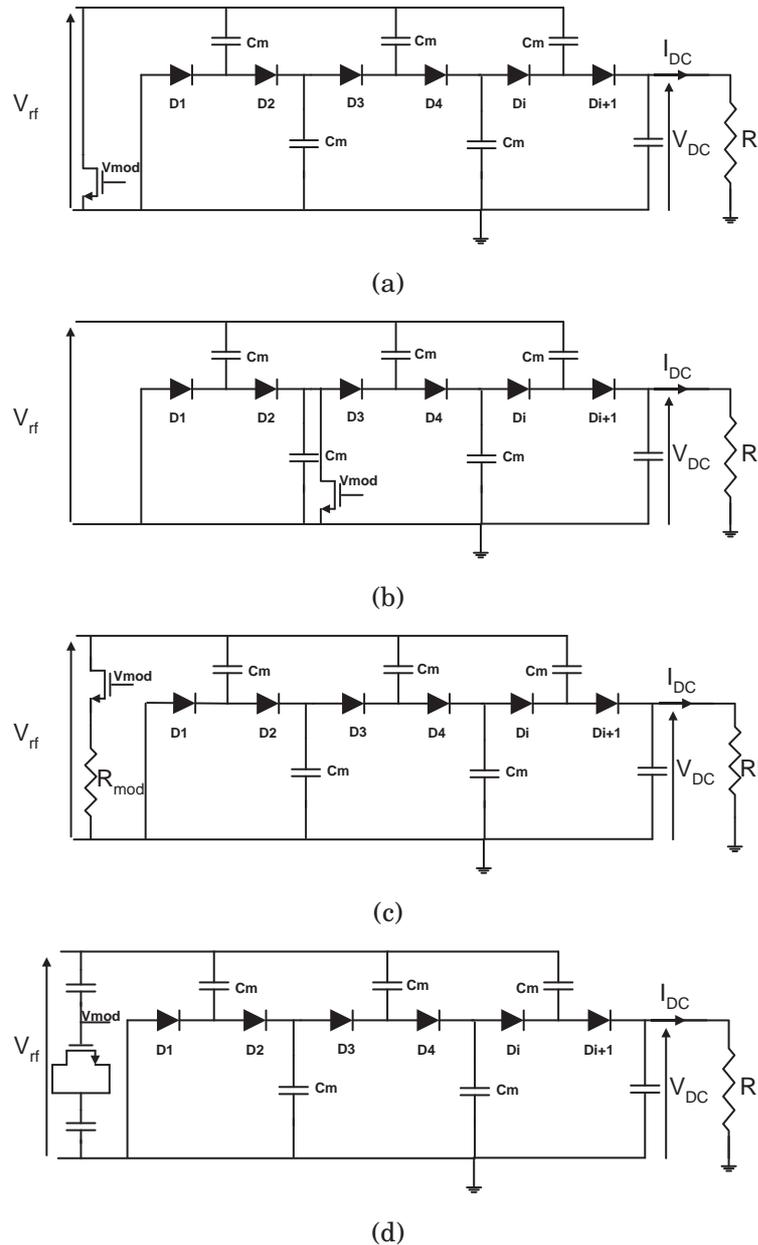


Figure III.11 : Différents choix de rétro-modulation

Dans le multiplieur étudié, il existe plusieurs possibilités de commande qui peuvent chacune faire varier l'impédance dans des plages différentes :

- commande d'un transistor entre les deux plots de l'antenne : l'entrée du tag est court-circuitée et le tag n'est plus télé-alimenté pendant la rétro-modulation

- commande d'un transistor entre deux étages d'un multiplieur : l'impédance d'entrée du circuit change en fonction du nombre d'étages court-circuités
- commande d'un transistor afin de moduler la partie réelle de l'impédance du multiplieur : un transistor avec une résistance permettent de faire varier la résistance entre les deux plots de l'antenne.
- commande d'une capacité afin de moduler la partie imaginaire de l'impédance du multiplieur : La capacité variable permet de faire varier la capacité entre les deux plots de l'antenne.

Dans cette partie les différents états du tag lors de la transmission de données sont détaillés. (les états '1' et '0' sont pris arbitrairement et peuvent être interchangés). Dans chaque cas de rétro-modulation, la transmission d'un '1' ou d'un '0' est codée par une différence d'impédance d'entrée, ce qui a pour effet de modifier la tension renvoyée par le tag (V_r). Lors de ce changement d'état, l'énergie transmise à la puce par le multiplieur peut diminuer ou s'annuler, la puce n'est alors alimentée que par l'énergie stockée dans l'état adapté.

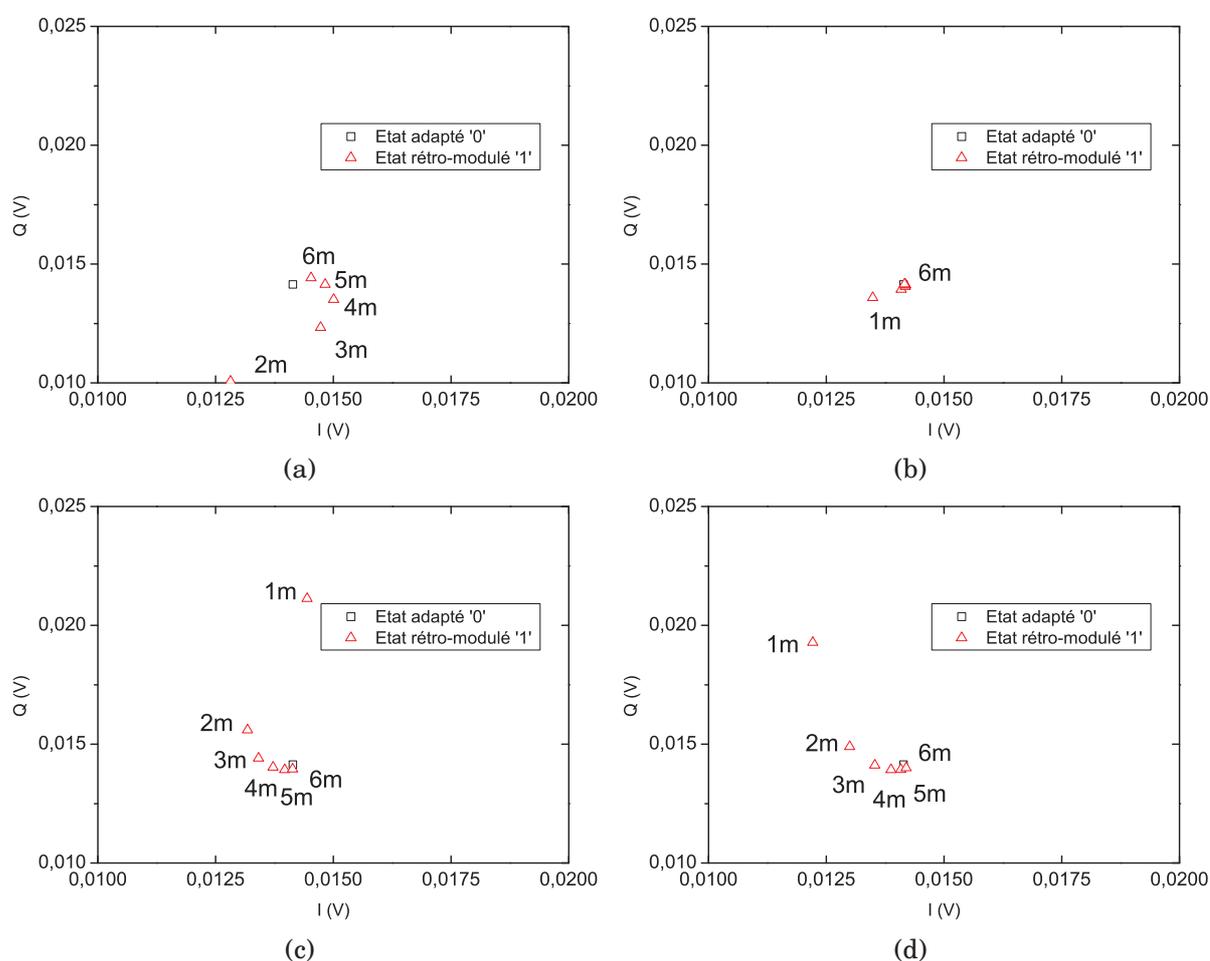


Figure III.12 : Résultats du modèle numérique (a) rétro-modulation sur antenne,(b) rétro-modulation sur un étage,(c) rétro-modulation sur la partie réelle ,(d) rétro-modulation sur la partie imaginaire.

Les différentes constellations obtenues pour un multiplieur trois étages en MOSFET, pour des tailles de transistors au minimum de la technologie, sont présentées sur la figure III.12. Ces constellations sont représentées avec la même

échelle pour chaque cas de modulation, ce qui explique que les points de faibles distances ne soient pas représentés sur la figure III.12(a).

Les constellations obtenues sont loin des figures classiques obtenues dans les modulations connues comme l'ASK ou la PSK. Dans chaque configuration, l'information est contenue dans les variations de phase et d'amplitude. Cependant chaque configuration peut être implantée en conformité avec la norme, ce qui implique un travail important sur la sensibilité du lecteur. Du côté tag, il est aussi important de tenir compte des contraintes de la liaison afin de ne pas passer en dessous de la sensibilité de ces lecteurs. Il est nécessaire de savoir que chaque choix technologique sur l'étage d'entrée du tag va influencer la constellation et la distance inter-symbole. Dans ce contexte, le modèle présenté ici, qui permet de relier directement chaque paramètre de conception du multiplieur avec la distance inter-symboles prend de l'importance pour la conception d'un système fonctionnel optimal. De plus, le modèle permet de comparer différentes architectures de rétro-modulation comme le montre la figure III.13.

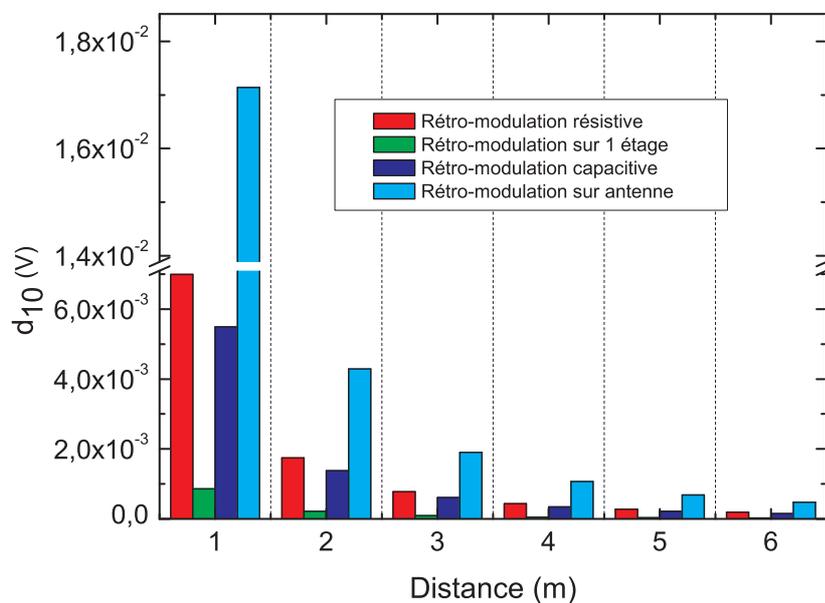


Figure III.13 : Distances intersymboles pour différentes modulations non optimisées

La modulation sur l'antenne semble la plus intéressante de ces configurations, puisque la distance entre symbole est beaucoup plus importante quelque soit la distance.

Le modèle théorique comprenant à la fois l'étude du multiplieur et l'étude de la liaison pour différents types de rétro-modulation permet une étude complète et une optimisation de la conception du multiplieur du point de vue de la rétro-modulation. Dans chaque cas, il est possible d'évaluer l'influence des paramètres sur la distance inter-symbole. Des paramètres de conception peuvent être déterminés pour les différents types de modulations envisagés. Enfin il devient possible de comparer chaque cas dans sa configuration optimale.

Il est, dans un même temps, intéressant de connaître le courant lors de la rétro-modulation afin de déterminer la chute de potentiel qu'elle entraîne. Dans le cas du court circuit de l'antenne, le courant fourni par le multiplieur est nul et la chute de potentiel est maximale. Par contre, dans les autres cas présentés, du

courant est fourni lors de la rétro-modulation (I_{DC1} est non nul), la détermination de ce courant peut être obtenue à l'aide du calcul présenté sur la figure III.3 et apporter des informations utiles lors de la recherche d'un compromis visibilité/télé-alimentation.

III.3.1 Cas I : modulation sur l'antenne

Lorsque cette rétro-modulation est activée, l'antenne est court-circuitée par le transistor, et l'impédance d'entrée du circuit est celle du transistor à l'état passant. Le circuit n'est plus alimenté que par le courant issu de la capacité de stockage d'énergie placée en sortie du multiplieur. Durant l'impulsion, l'impédance présentée par le transistor est presque nulle. Le coefficient de réflexion lors de la transmission varie donc entre l'état d'adaptation et idéalement l'état court-circuit. La transmission d'un '1' se fera donc avec le coefficient Γ_1 et la transmission d'un '0' avec Γ_0 avec :

$$\Gamma_0 = \frac{Z_{IC} - Z_{ant}}{Z_{IC} + Z_{ant}} \quad (\text{III.19})$$

$$\Gamma_1 = -1 \quad (\text{III.20})$$

III.3.1.1 Impact sur l'alimentation

Court circuiter l'entrée de la puce est le pire cas de figure parmi les modulations présentées, aucun courant n'est fourni par le multiplieur lors de la rétro-modulation. Si on suppose que la consommation de courant reste constante, la tension d'alimentation de la puce diminue en fonction de la taille de la capacité de stockage et la durée du pulse de rétro-modulation.

$$\Delta V_{alim} = \frac{1}{C_{stock}} I_{conso} \cdot T_{pulse} \quad (\text{III.21})$$

Le tableau III.3.1.1 représente la chute d'alimentation liée à la coupure de l'alimentation lors de la rétro-modulation.

Fréquence	Chute de Tension
640 KHz	31 mV
50 KHz	0.4 V

Table III.1 : Chute de tension pour une consommation de $4\mu A$ et une capacité de stockage de $200pF$

Le point de polarisation du circuit risque notamment de diminuer lors d'une trame rétro-modulée importante, ce qui de plus peut entraîner une désadaptation de l'antenne lors d'un état '0' et diminuer la recharge de la capacité. Il est par conséquent intéressant d'optimiser les paramètres de conception pour rendre l'état adapté le plus stable possible face à une variation de tension d'alimentation.

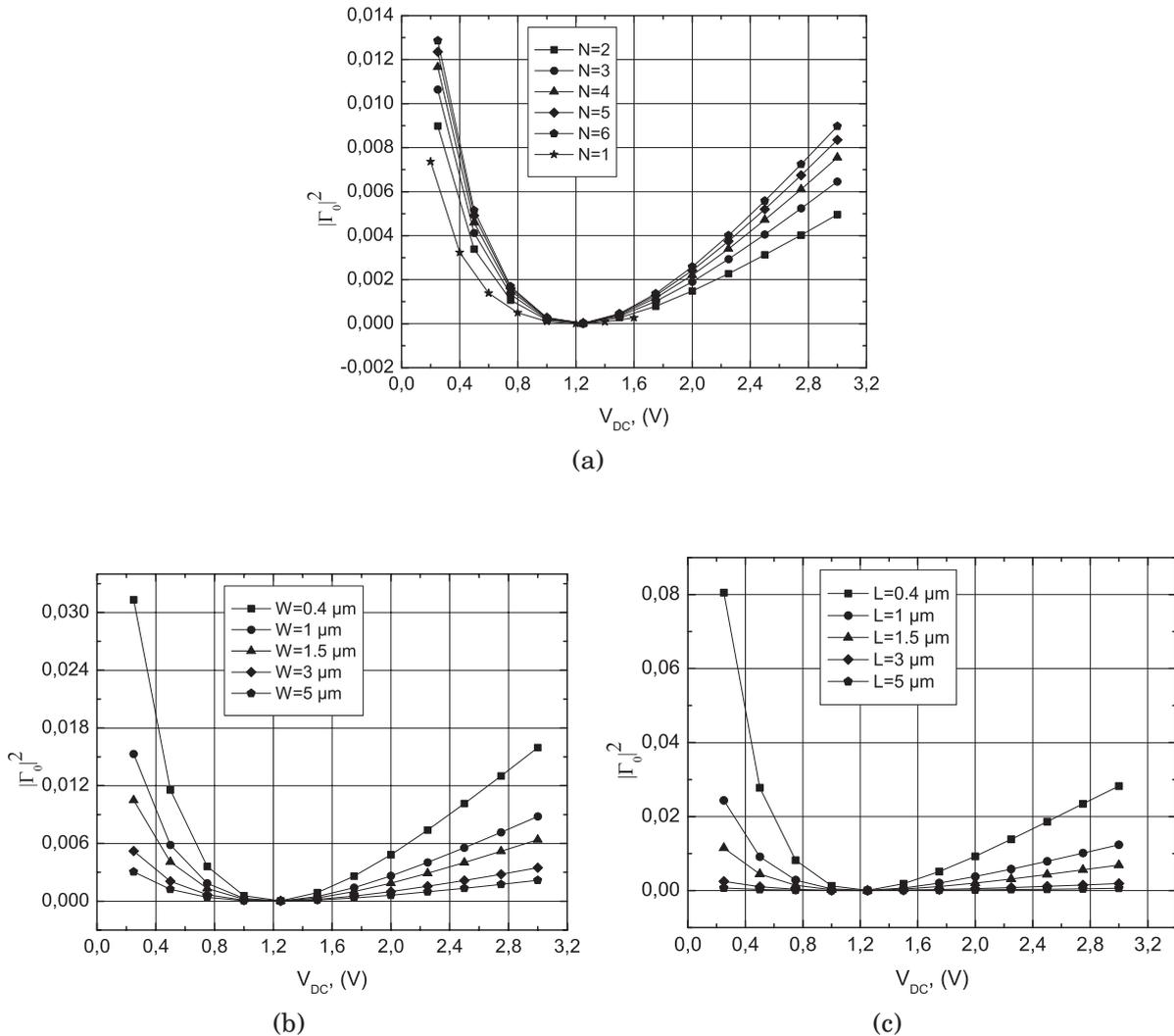


Figure III.14 : Coefficient de réflexion hors rétro-modulation en fonction : (a) du nombre d'étages, (b) (c) de la taille des transistors

D'après les résultats présentés sur la figure III.14, grossir la taille des transistors et diminuer le nombre d'étage du multiplieur permet de rendre le circuit moins sensible à la désadaptation liée à la variation de V_{DC} .

III.3.1.2 Impact sur la rétro-modulation

Dans la configuration avec rétro-modulation sur antenne, l'impédance réfléchie ne dépend pas du multiplieur. Seule l'impédance à l'état '0' peut être influencée par des modifications du circuit. La distance entre symboles varie alors très peu selon les caractéristiques du circuit. Les paramètres du circuit ont alors peu d'influence sur la visibilité de la liaison.

Cette rétro-modulation couramment utilisé, possède le désavantage de disposer d'un transistor de commande connecté sur le signal RF incident : Si le transistor est trop important, même bloqué il peut être considéré comme une résistance qui détourne une partie du signal de l'entrée du multiplieur. De plus, son impact sur l'alimentation du circuit est non négligeable puisque le courant n'alimente plus le circuit. C'est afin de palier ces inconvénients que la modulation sur les étages du multiplieur a été étudiée. En effet, cette structure permet une variation d'impédance d'entrée en laissant actif une partie du multiplieur.

III.3.2 Cas II : modulation par étage de multiplieur

Dans cette configuration, d'un point de vue statique un ou plusieurs étages du multiplieur sont supprimés. D'un point de vue dynamique, les étages court-circuités apparaissent comme un multiplieur à polarisation nulle en parallèle avec un multiplieur classique à faible nombre d'étage (figure III.15).

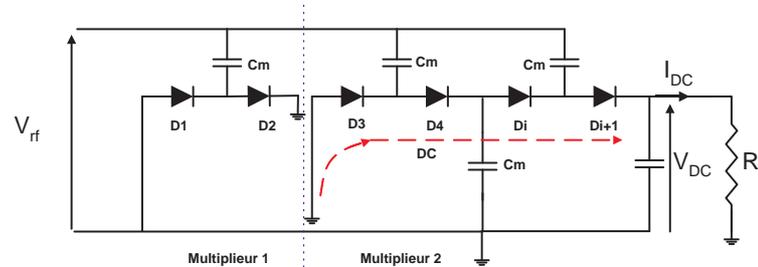


Figure III.15 : Schéma du multiplieur lorsque la rétro-modulation est activée

Le coefficient de réflexion à l'état '0' reste semblable au cas précédent. Mais, il est nécessaire de calculer l'impédance d'entrée lors de la rétro-modulation. Pour cela il faut compléter le modèle théorique de l'impédance du circuit en considérant deux multiplieurs en parallèle.

Si N est le nombre d'étages initial, et N_r le nombre d'étages court-circuités, l'impédance d'entrée total du circuit est calculée comme étant la mise en parallèle d'un multiplieur possédant N_r étages et dont la polarisation de sortie est nulle avec un multiplieur possédant $N - N_r$ étages dont la polarisation reste inchangée (si la capacité de stockage est assez grande). L'impédance lors de la rétro-modulation est appelée Z_{IC1} .

$$Z_{IC1} = \frac{Z_{ICm1} + Z_{ICm2}}{Z_{ICm1} Z_{ICm2}} \quad (\text{III.22})$$

où Z_{ICm1} et Z_{ICm2} sont respectivement l'impédance du multiplieur 1 et 2. L'impédance Z_{IC1} permet de déterminer le coefficient de réflexion lors de la rétro-modulation.

$$\Gamma_0 = \frac{Z_{IC} - Z_{ant}}{Z_{IC} + Z_{ant}} \quad (\text{III.23})$$

$$\Gamma_1 = \frac{Z_{IC1} - Z_{ant}}{Z_{IC1} + Z_{ant}} = \frac{\left(\frac{Z_{ICm1} + Z_{ICm2}}{Z_{ICm1} Z_{ICm2}} \right) - Z_{ant}}{\left(\frac{Z_{ICm1} + Z_{ICm2}}{Z_{ICm1} Z_{ICm2}} \right) + Z_{ant}} \quad (\text{III.24})$$

$$(\text{III.25})$$

Cette relation montre que la variation d'état lors de la rétro-modulation est cette fois dépendante des paramètres de conception du circuit.

III.3.2.1 Impact sur l'alimentation

L'un des avantages de cette structure est de permettre à la télé-alimentation de continuer lors de la rétro-modulation. En effet, les étages non court-circuités continuent de fournir du courant à la capacité de stockage d'énergie. Cependant, le

calcul présenté sur la figure III.16, montre que la puissance réfléchie par le circuit varie en fonction du nombre d'étages supprimés.

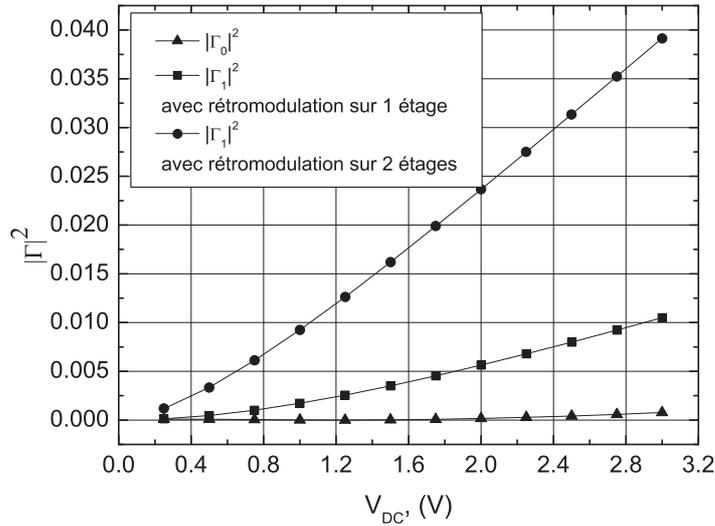


Figure III.16 : Coefficient de réflexion pour un '0' puis pour un '1' pour un multiplieur à 4 étages avec différentes rétro-modulation

En effet, au point de polarisation choisi (1.2V), la différence de puissance réfléchie entre les états de rétro-modulation augmente avec le nombre d'étages court-circuités, cela revient à dire que plus la puce est alimentée moins la rétro-modulation est forte.

III.3.2.2 Impact de la rétro-modulation

Ce type de rétro-modulation offre un degré de liberté supplémentaire sur l'optimisation du multiplieur. En effet, pour un multiplieur comportant plusieurs étages il est possible de faire varier le nombre d'étages que la modulation va court-circuiter. La figure III.17 représente à la fois l'impact de la multiplication du nombre d'étages sur la liaison, et celui du nombre d'étages court-circuités.

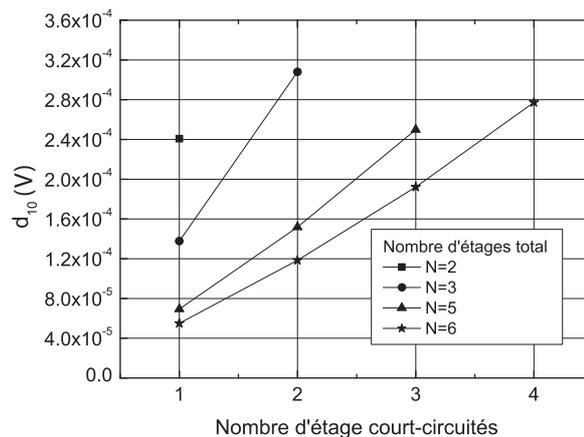


Figure III.17 : Influence du nombre d'étages total et court-circuités sur la distance inter-symboles

Les résultats de la figure III.17 montrent que la distance inter-symbole augmente avec le nombre d'étages du multiplieur et avec le nombre d'étages court-circuités. Dans chaque configuration, il est possible de déterminer, grâce à l'équation III.18, la chute de tension lors du changement d'état du multiplieur.

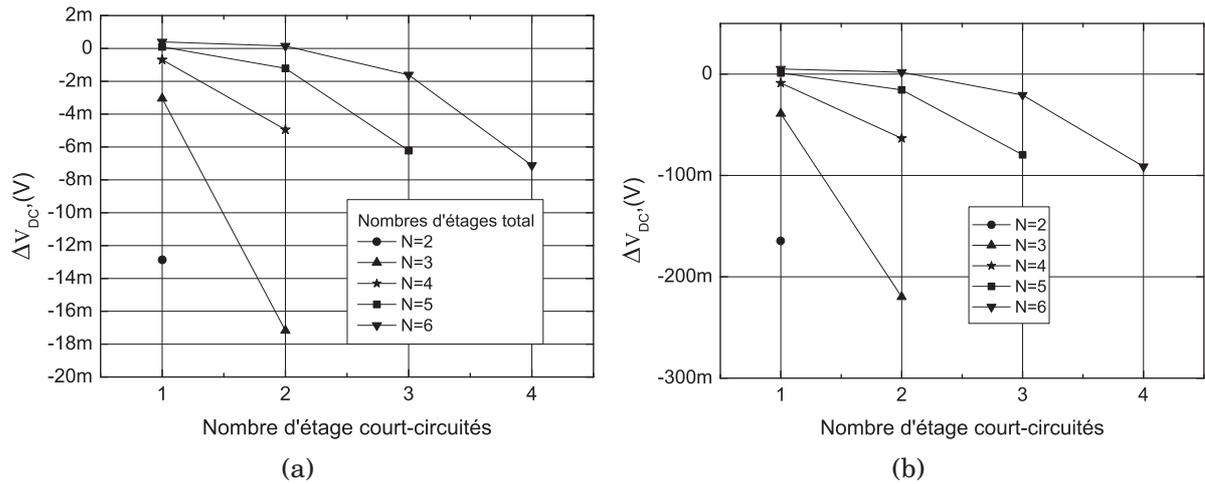
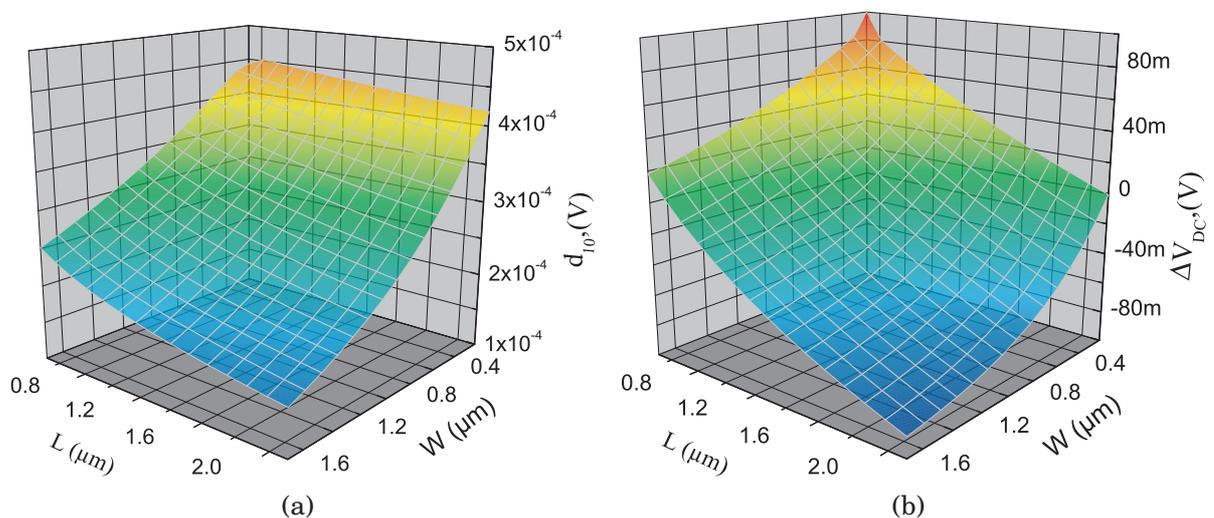


Figure III.18 : Impact du nombre d'étage total et court-circuité sur la chute d'alimentation pour $V_{DC} = 1.2V$, (a) pour une fréquence=640KHz, (b) pour une fréquence=50KHz

La figure III.18 présente les variations de l'alimentation pour une tension de 1.2V et une capacité de stockage de 200 pF. Comme prévu, ce type de rétro-modulation favorise la télé-alimentation puisque la désadaptation est faible et qu'une partie du multiplieur continue à fonctionner. La chute la plus importante est de 18 mV pour une période de rétro-modulation faible. Pour une modulation lente la chute devient importante, il est nécessaire d'augmenter la taille de la capacité de stockage.

Dans le cas d'un multiplieur mal optimisé, dans lequel le nombre d'étages est supérieur au nombre d'étages optimal, la rétro-modulation peut conduire, lors de la réduction de ce nombre, à une augmentation de la tension d'alimentation. Dans ce cas la hausse du rendement du multiplieur compense les pertes liées à la désadaptation.

La distance inter-symboles reste faible par rapport à celle obtenue dans le cas précédent. Il est toutefois possible d'optimiser cette distance en modifiant le multiplieur et dans chaque cas de visualiser la chute d'alimentation correspondante, comme le montre la figure III.19.



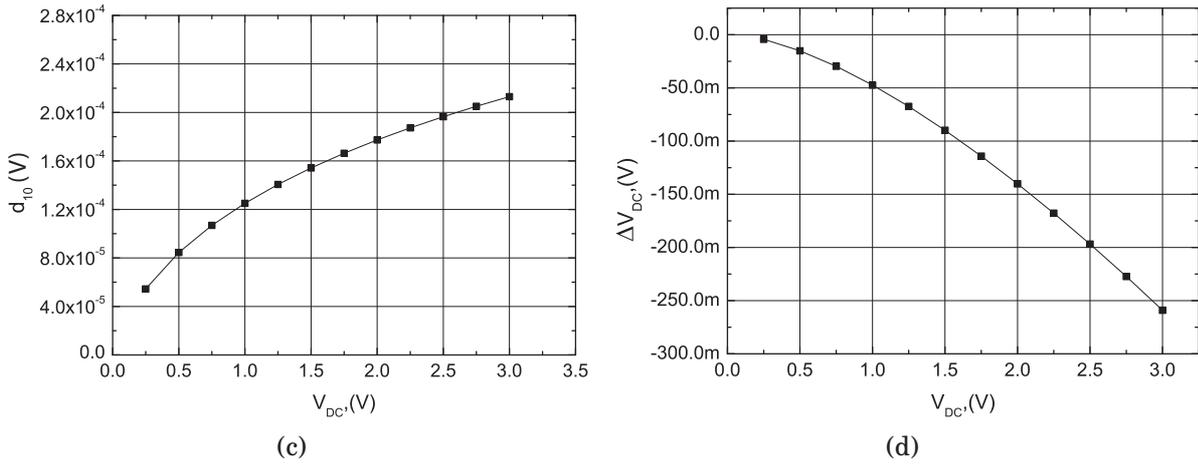


Figure III.19 : Distance inter-symboles en fonction de : la taille des transistors (a), de la tension d'alimentation (c), et variation de tension correspondante (b),(d).

Ces résultats montrent que plusieurs possibilités mènent à une amélioration des performances de la liaison dans cette configuration notamment la réduction de la taille des composants du multiplieur. Ceci est intéressant du fait de l'évolution constante des technologies vers des petits dispositifs. Il est aussi possible de choisir un point de polarisation en tension plus haut pour le circuit, mais ce choix affectera la portée de la télé-alimentation.

III.3.3 Cas III : modulation de partie réelle ou modulation résistive

Ce type de rétro-modulation est une variante du cas I. Plutôt que de réfléchir la totalité de la puissance, une résistance est introduite entre le transistor commandé et la masse. Cette configuration permet d'éviter l'état de court circuit, et ainsi de moduler le coefficient de réflexion. L'ajout des éléments de rétro-modulation peut être considéré comme la mise en parallèle d'une résistance variable et du multiplieur. Lors de l'état adapté la résistance est grande pour minimiser la puissance perdue, puis lors de l'état de rétro-modulation cette résistance est diminuée afin de changer l'impédance d'entrée du circuit. L'impédance d'entrée peut être calculée à l'aide du modèle en considérant une variation purement résistive :

$$Z_{IC0} = \frac{Z_{IC} + R_0}{Z_{IC} R_0} \quad (III.26)$$

$$Z_{IC1} = \frac{Z_{IC} + R_1}{Z_{IC} R_1} \quad (III.27)$$

$$\Gamma_0 = \frac{Z_{IC} - Z_{ant}}{Z_{IC} + Z_{ant}} \quad (III.28)$$

$$\Gamma_1 = \frac{Z_{IC1} - Z_{ant}}{Z_{IC1} + Z_{ant}} \quad (III.29)$$

III.3.3.1 Impact sur l'alimentation

Contrairement au cas I, la rétro-modulation ne coupe pas totalement l'arrivée du courant dans la capacité de stockage, le circuit peut fonctionner plus longtemps

en état de rétro-modulation. Cependant ce type de rétro-modulation affecte aussi l'état adapté puisque une partie de la puissance est perdue dans la charge résistive en parallèle du multiplieur. Cette charge constituée du transistor MOS et de la résistance peut absorber une partie de la puissance, ce qui entraîne une perte de portée de la télé-alimentation du système (figure III.20).

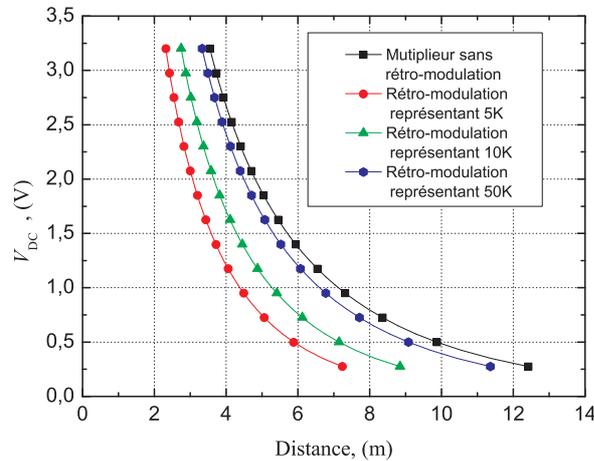
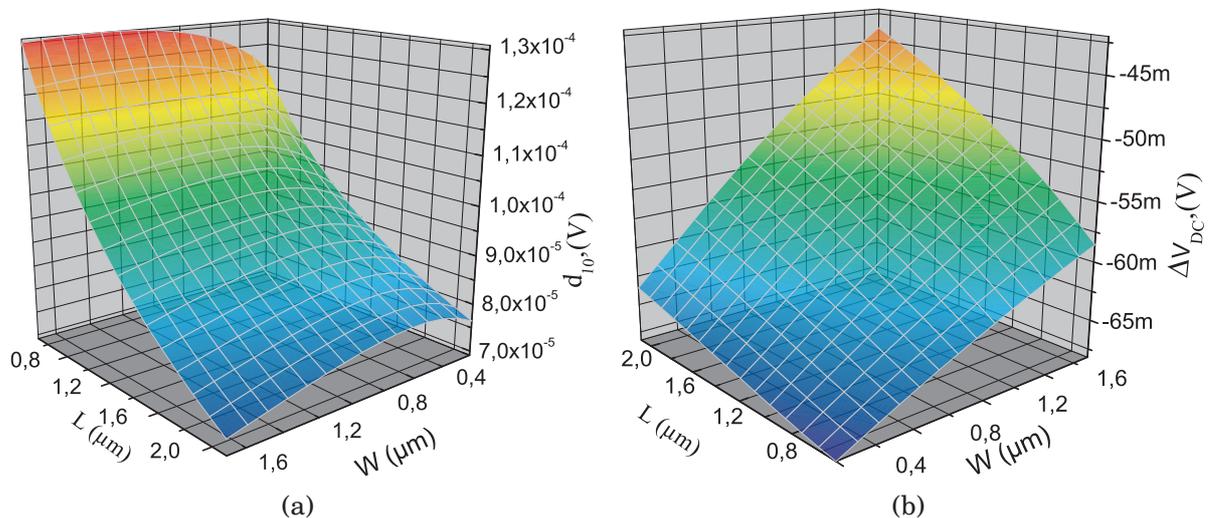


Figure III.20 : Impact de la rétro-modulation sur la portée

Les résultats de la figure III.20 montrent que le transistor à l'état bloqué et la résistance doivent représenter une résistance équivalente d'au moins 50 K Ω pour minimiser l'impact sur la portée.

III.3.3.2 Impact sur la rétro-modulation

Cette modulation représente une configuration permettant plus de possibilités de valeur de coefficient de réflexion que le cas I. Les cas étudiés sur la figure III.21 sont calculés à partir d'une résistance du circuit de rétro-modulation bloqué de 10 K Ω , ce qui permet de ne dégrader les performances en distances que faiblement. La valeur équivalente du circuit de modulation lors de son activation est nommée R_{retro} . De façon générale, la visibilité du tag est plus faible que dans le cas I.



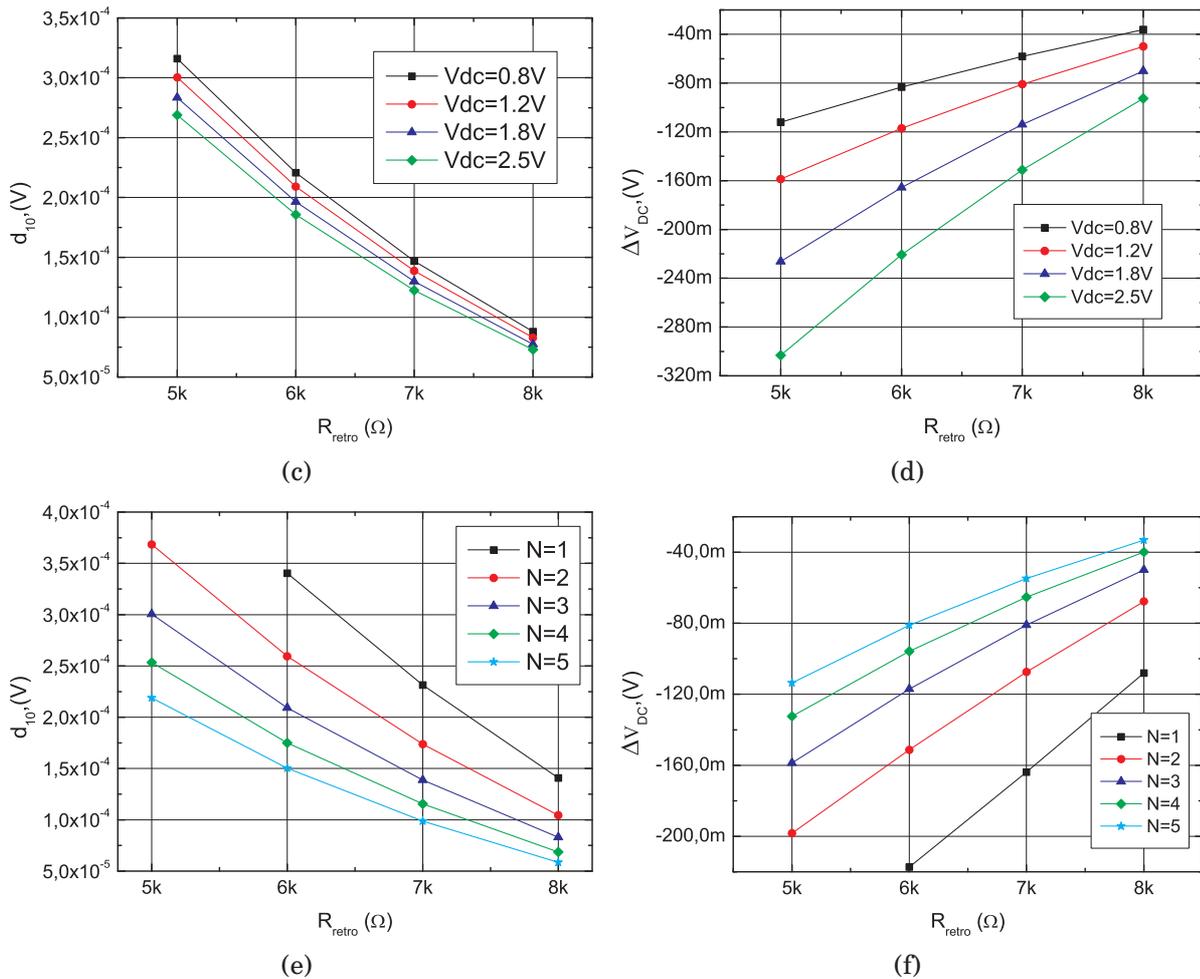


Figure III.21 : Distance inter-symboles en fonction : (a) de la taille des transistors pour une variation de $30fF$, (b) du nombre d'étages, (c) de la tension d'alimentation

L'augmentation la distance inter-symboles accroît toujours la chute d'alimentation. Un choix du concepteur sur la variation d'alimentation maximale permet cependant d'optimiser le multiplicateur au maximum de visibilité correspondant. De ce point de vue, des variations importantes de résistance sont nécessaires pour obtenir des valeurs comparables au cas II. Cette solution, bien qu'elle présente une alternative au cas de court-circuit sur l'antenne, semble affecter à la fois la portée du système par rapport au cas de rétro-modulation sur un étage, et sa visibilité par rapport aux cas I et II. Pourtant l'idée de contrôler l'intensité de la désadaptation, grâce à un élément variable contrôlable, paraît judicieuse pour diminuer les chutes d'alimentation. C'est en partant de ce principe que l'architecture du cas IV devient intéressante, d'autant plus que l'utilisation d'une capacité en parallèle ne consommera pas une partie de la puissance du tag comme dans le cas d'une résistance.

III.3.4 Cas IV : modulation de partie imaginaire ou modulation capacitive

Ce type de modulation est différente des précédentes : elle n'utilise pas un transistor afin de court-circuiter une partie du multiplicateur. En effet, on appelle modulation de partie imaginaire, une modulation qui consiste à faire varier un élé-

ment capacitif de l'impédance d'entrée du multiplieur. Un tel circuit est présenté dans la publication [4] et reprise sur la figure III.11(d). La tension de commande permet de faire varier la capacité d'entrée du circuit et ainsi de changer le coefficient de réflexion entre l'antenne et la puce.

La capacité variable est ajoutée en parallèle du multiplieur ce qui permet de déterminer la nouvelle impédance du circuit. L'adaptation de l'antenne doit aussi tenir compte de la présence de cette ajout de capacité sur l'entrée, elle est prise en compte dans le modèle sur les deux états '1' et '0'.

$$Z_{IC0} = \frac{Z_{IC} + \frac{1}{jC_0\omega}}{Z_{IC} \frac{1}{jC_0\omega}} \quad (\text{III.30})$$

$$Z_{IC1} = \frac{Z_{IC} + \frac{1}{jC_1\omega}}{Z_{IC} \frac{1}{jC_1\omega}} \quad (\text{III.31})$$

où C_0 représente la valeur initiale de la capacité, et C_1 sa valeur lors de la rétro-modulation. Dans ce cas les coefficients de réflexion s'écrivent :

$$\Gamma_0 = \frac{Z_{IC0} - Z_{ant}}{Z_{IC0} + Z_{ant}} \quad (\text{III.32})$$

$$\Gamma_1 = \frac{Z_{IC1} - Z_{ant}}{Z_{IC1} + Z_{ant}} \quad (\text{III.33})$$

III.3.4.1 Impact sur l'alimentation

En utilisant cette solution, la multiplieur n'est pas désactivé par la rétro-modulation. La désadaptation en entrée de la puce diminue fortement la puissance entrante dans l'état '1', mais lors de l'état adapté aucune puissance n'est consommée par les éléments ajoutés pour la rétro-modulation, ce qui représente un avantage par rapport au cas précédent.

L'impact sur l'alimentation n'est dépendant que de la variation du coefficient de réflexion de la puce. La figure III.22 montre que pour une variation de 35 fF autour de sa valeur nominale, il est possible de réfléchir jusqu'à un 45% de la puissance lors de la rétro modulation.

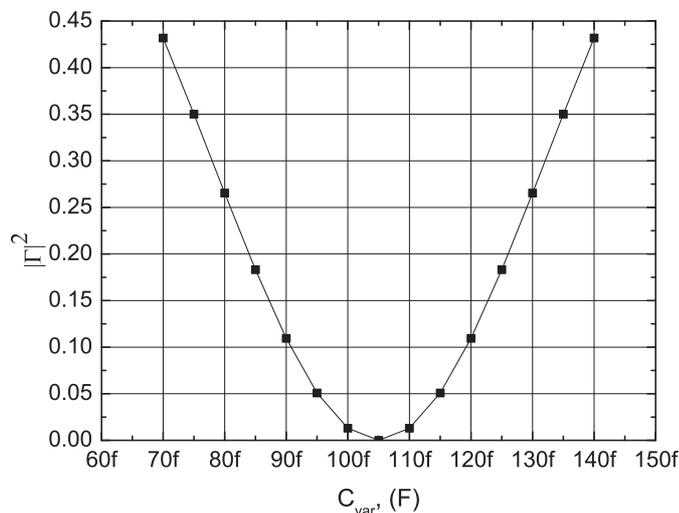


Figure III.22 : Variation du coefficient de réflexion avec une variation de la capacité d'entrée

La variation de coefficient de réflexion est beaucoup plus prononcée que dans les cas II et III, la puissance réfléchie peut devenir très importante. Il faut alors choisir pour les deux états quelles valeurs de capacités prendre. La figure III.23 représente par exemple la variation obtenue pour des variations de capacité : 15 fF puis 30 fF.

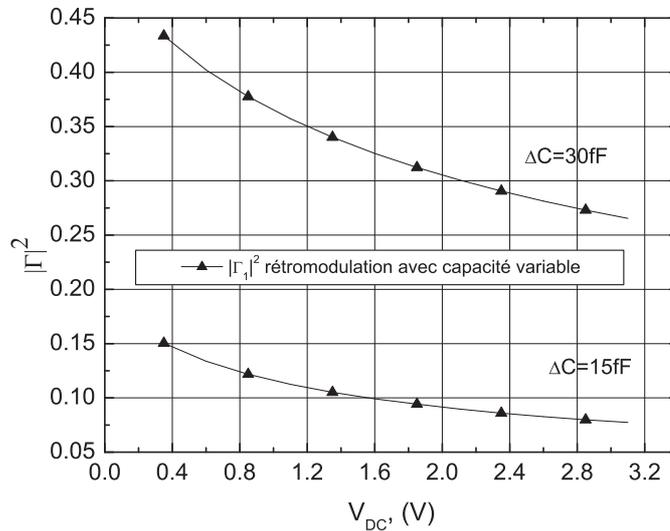
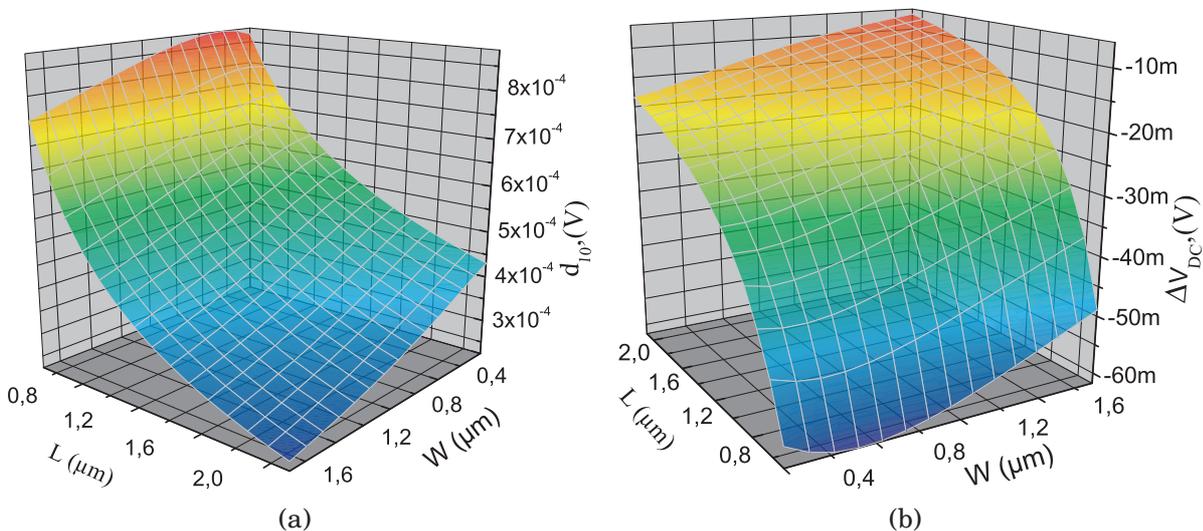


Figure III.23 : Variation du coefficient de réflexion lors de la rétro-modulation (état'1')

Cette figure permet de déterminer l'impact d'une variation de V_{DC} lors de la rétro-modulation sur ce coefficient de réflexion. Le calcul montre que plus la tension d'alimentation chute en dessous de sa valeur nominale, plus la désadaptation entre la puce et l'antenne est importante, ce qui peut encore amplifier la chute de V_{DC} . Il est important que le coefficient de réflexion lors de la rétro-modulation soit suffisamment faible afin de limiter au maximum les variations d'alimentation.

III.3.4.2 Impact sur la rétro-modulation

La figure III.24 représente la distance inter-symboles de ce type de rétro-modulation en fonction des différents paramètres du modèle.



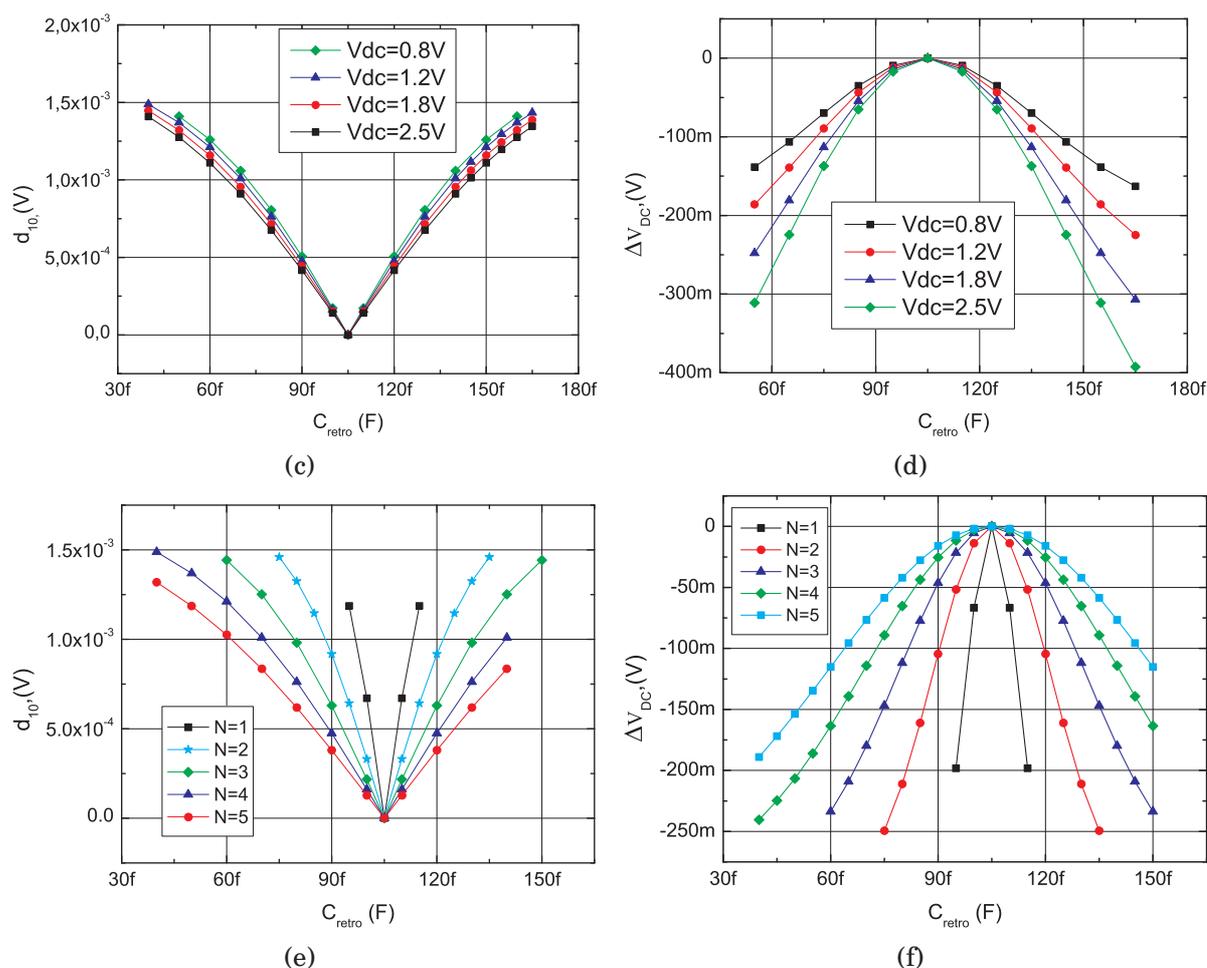


Figure III.24 : Distance inter-symboles en fonction : (a) de la taille des transistors pour une variation de 30 fF, (c) de la tension d'alimentation, (e) du nombre d'étages et variations de d'alimentation correspondante (b), (d), (f)

En considérant les résultats obtenus, il est visible que l'amplitude de la variation de capacité est un des facteurs critiques dans ce type de rétro-modulation. Celle-ci influence directement la distance inter-symboles, qui peut devenir assez importante par rapport au cas précédent.

Il est difficile d'obtenir dans les technologies actuelles des variations de plus de 30 % de la valeur nominale de la capacité. Ainsi, afin d'optimiser l'impact de la rétro-modulation, malgré ces faibles variations, il est intéressant de prendre un faible nombre d'étage pour le multiplieur III.24(b). Minimiser la largeur des transistors permet aussi d'augmenter la distance entre les points de la constellation III.24(a). En revanche, la figure III.24(c) montre que la tension d'alimentation possède peu d'influence sur la visibilité de la liaison.

Comme dans le cas précédent, les variations d'alimentation s'amplifient lors des rétro-modulations importantes, il est par conséquent nécessaire de faire un choix entre visibilité de la liaison et stabilité de l'alimentation afin de pouvoir optimiser les paramètres en conséquence.

III.3.5 Résultats et analyse

L'étude précédente permet de relier dans chaque cas les paramètres de conception du multiplieur avec la distance inter-symbole. L'impact de ces paramètres est

résumé dans le tableau III.3.5.

Paramètres	Modulation sur antenne	Modulation sur étage	Modulation sur alimentation	Modulation capacitive
Tailles des transistors	peu d'impact	d_{10} augmente si W,L diminuent	d_{10} augmente si W,L diminuent	d_{10} augmente si W,L diminuent
Nombres d'étages	peu d'impact	d_{10} augmente si N augmente	d_{10} augmente si N augmente	d_{10} <i>interessant*</i> si N diminue
Tension de polarisation	peu d'impact	d_{10} augmente si V_{DC} augmente	d_{10} augmente si V_{DC} augmente	peu d'impact

Table III.2 : Résumé des résultats

*interessant** : La distance inter-symbole n'augmente pas lorsque le nombre d'étage diminue, mais le maximum de distance est atteint avec une variation de capacité plus faible.

Pour certains types d'applications possédant des capacités de stockage d'énergie importante, il est possible de considérer la distance inter-symboles comme prioritaire. Il est alors possible de concevoir le multiplieur à l'aide des résultats du tableau III.3.5. Une fois chaque architecture optimisée du point de vue de la rétro-modulation, il est possible de comparer les meilleures performances des différentes architectures comme le montre la figure III.25.

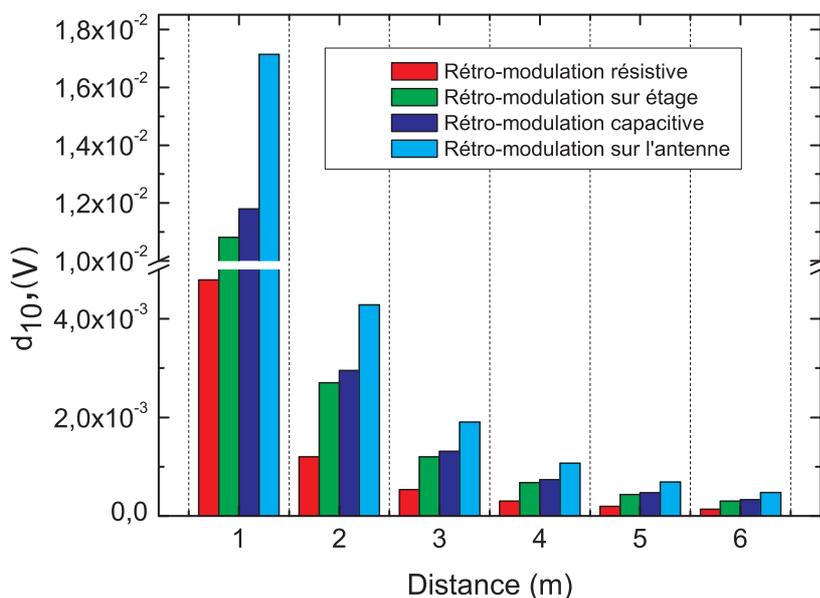


Figure III.25 : Distances intersymboles pour différentes modulations optimisées

Les résultats sont différents de ceux obtenus avant optimisation des multiplieurs pour la rétro-modulation. La rétro-modulation sur antenne qui est calculée à partir du cas du court-circuit représente toujours le maximum de visibilité sur la rétro-modulation. La modulation sur partie imaginaire est devenue plus visible, mais la puissance réfléchie représente 82 % de l'énergie reçue. Si les rétro-modulations sur l'antenne ou sur l'alimentation annule totalement la télé-alimentation, les deux autres types de rétro-modulations présentées permettent de maintenir l'arrivée d'une partie de l'énergie dans la puce. Ces configurations

sont particulièrement intéressantes dans les applications nécessitant des temps de communications important (longues réponses du tag).

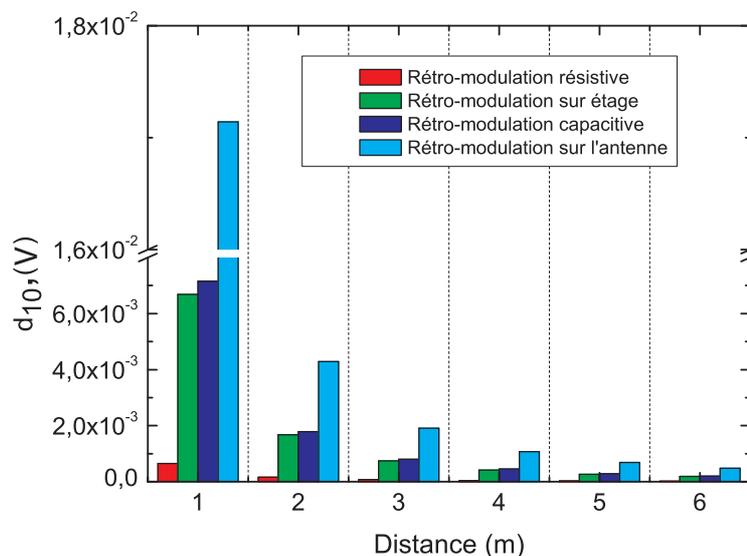


Figure III.26 : Distances inter-symboles pour différentes modulations optimisées

Pour un autre type d'application, il peut être nécessaire de limiter la chute de tension lors de la rétro-modulation. La figure III.26 représente les résultats obtenus pour une optimisation de la distance inter-symboles qui n'entraîne pas de chute d'alimentation de plus de 50 mV sur une capacité de stockage 200pF.

III.4 CONCLUSION

Dans ce chapitre, une étude de la rétro-modulation est présentée. Elle couvre plusieurs architectures de circuit et permet pour chacun d'eux une optimisation des paramètres clef d'une liaison RFID : visibilité et influence sur l'alimentation. Le nombre d'application RFID ne cessant de croître, les possibilités d'architectures des tags se diversifient. Il existe maintenant des puces actives communicantes par rétro-modulation, ou des puces communicantes standard télé-alimentées. Le modèle présenté répond à ces nouvelles exigences en permettant d'optimiser un aspect ou l'autre de la liaison.

De plus, la mise en équation des paramètres de conception du multiplieur, permet une étude rapide de leurs influences sur la liaison tag-lecteur. Il est ainsi possible de concevoir le tag en choisissant les paramètres optimaux de conception pour l'efficacité du système entier lecteur-tag. Cet aspect plus global que l'optimisation du tag pour la télé-alimentation présentée au chapitre I, permet de compléter l'étude de la récupération d'énergie. En effet, la taille de la capacité de stockage peut maintenant être optimisée en fonction du protocole et de nouvelles contraintes sur les paramètres de conception doivent être considérées.

III.5 BIBLIOGRAPHIE

- [1] C. W. Pobanz and T. Itoh. A microwave noncontact identification transponder using subharmonic interrogation. 43(7) :1673, 1995.
- [2] G. De Vita and G. Iannaccone. Design criteria for the rf section of uhf and microwave passive rfid transponders. *IEEE Transactions on Microwave Theory and Techniques*, 53(9) :2978–90, 2005.
- [3] Curty. Phd research in microelectronics. In *2005 PhD Research in Microelectronics and Electronics. Lausanne, Switzerland. 25 28 July 2005.*, 2005.
- [4] U. Karthaus and M. Fischer. Fully integrated passive uhf rfid transponder ic with 16.7- μ w minimum rf input power. *IEEE Journal of Solid State Circuits*, 38(10) :1602–8, 2003.
- [5] EPC. Specification for rfid air interface, 2004.
- [6] Pradeep B. Khannur, Xuesong Chen, Dan Lei Yan, Dan Shen, Bin Zhao, M. Kumarasamy Raja, Ye Wu, Aruna B. Ajikuttira, Wooi Gan Yeoh, and Rajinder Singh. An 860 to 960mhz rfid reader ic in cmos. In *Radio Frequency Integrated Circuits (RFIC) Symposium, IEEE*, page 269, 2007.
- [7] Jeiyoung Lee and et al. A uhf mobile rfid reader ic with self-leakage canceller. In *Radio Frequency Integrated Circuits (RFIC) Symposium, IEEE*.

Chapitre IV

Conception et mesure de multiplieur pour système RFID

SOMMAIRE DU CHAPITRE IV

IV.1 Introduction	88
IV.2 Extraction des paramètres nécessaires au modèle	89
IV.2.1 Caractérisation des diodes Schottky	90
IV.2.1.1 Caractérisation statique	90
IV.2.1.2 Caractérisation dynamique	91
IV.2.2 Caractérisation des capacités MIM	92
IV.3 Conception et mesure	93
IV.3.1 Méthode de conception	94
IV.3.1.1 Taille des composants	94
IV.3.1.2 Détermination du nombre d'étages	96
IV.3.1.3 Adaptation à une antenne	97
IV.4 Mesure sur Wafer	99
IV.4.1 Réalisation	99
IV.4.2 Méthodologie	100
IV.4.3 Résultats et validations	101
IV.4.3.1 Mesure de prototypes	101
IV.4.3.2 Mesure de puces complètes	104
IV.5 Mesure en distance	106
IV.5.1 Réalisation	106
IV.5.2 Méthodologie	106
IV.5.3 Résultats	107
IV.6 Conclusion	108
IV.7 Bibliographie	109

IV.1 INTRODUCTION

La conception de multiplieur pour les circuits RFID est un problème récurrent lors du développement de tag. En effet dans un contexte industriel et concurrentiel comme celui-ci, il vient s'ajouter aux problèmes de conception des impératifs de coûts de production qui doivent rester les plus faibles possibles. Les technologies utilisées pour ces produits doivent rester bon marché, ce qui impose des technologies sur silicium classique, et des processus de fabrication nécessitant le moins de masques possibles. Les technologies utilisées pour la conception de circuit mémoire, issues elles aussi d'un marché très concurrentiel, répondent à ces contraintes économiques. De plus leur utilisation dans la RFID facilite l'intégration de plans mémoires EEPROM. D'un point de vue technologique, elles ne sont pas conçues pour fonctionner à des fréquences proches du gigahertz, ce qui nécessite le développement et l'ajout de composants adaptés à l'UHF comme les diodes Schottky ou les capacités MIM.

Ces obligations économiques ont un impact non seulement sur le choix des technologies, mais aussi sur le temps de développement du circuit. Toutefois, le multiplieur nécessaire à l'alimentation du circuit, partie cruciale de la puce, est long à optimiser en simulation. En effet, le multiplieur étant situé à l'entrée du circuit, ses caractéristiques influencent directement l'impédance de la puce et font varier les contraintes sur l'antenne du tag : cette variation d'impédance multiplie le nombre de simulations nécessaires. L'antenne est équivalente à une source de puissance pour le circuit, et chaque simulation doit tenir compte de cette interaction tag-puce. Une adaptation en puissance entre la source et le multiplieur est ainsi nécessaire chaque fois qu'un paramètre du circuit est modifié, ceci rend très difficile l'optimisation de ce circuit par simulation.

C'est pour ces raisons que de nombreuses voies d'optimisation ont été explorées [1] [2]. Ces difficultés d'optimisation, conduisent lors de la réalisation à des résultats de mesure très différents pour des technologies semblables. Le tableau IV.1 présente différents résultats de rendements mesurés sur ces circuits.

Rendements	Technologie	Puissance de sortie	Références
37%	MOS substrat saphir	1 μ W	[3]
18%	0.5 μ m CMOS avec Schottky	2.25 μ W	[4]
36%	0.35 μ m CMOS FeRAM	inconnue	[5]
26.5%	0.18 μ m CMOS MOS à tension de seuil nulle	19 μ W	[6]
1.2%	0.3 μ m CMOS	0.6 μ W	[7]
5.2%	0.18 μ m CMOS MOS natifs	2 μ W	[8]

Table IV.1 : Résultats mesurés de multiplieurs publiés

Dans ce chapitre, une méthode de conception s'appuyant sur le modèle précédent permet le développement et l'optimisation du circuit de façon rapide et sûre

par rapport à une approche classique par simulation. La démarche utilisée est présentée sur la figure IV.1

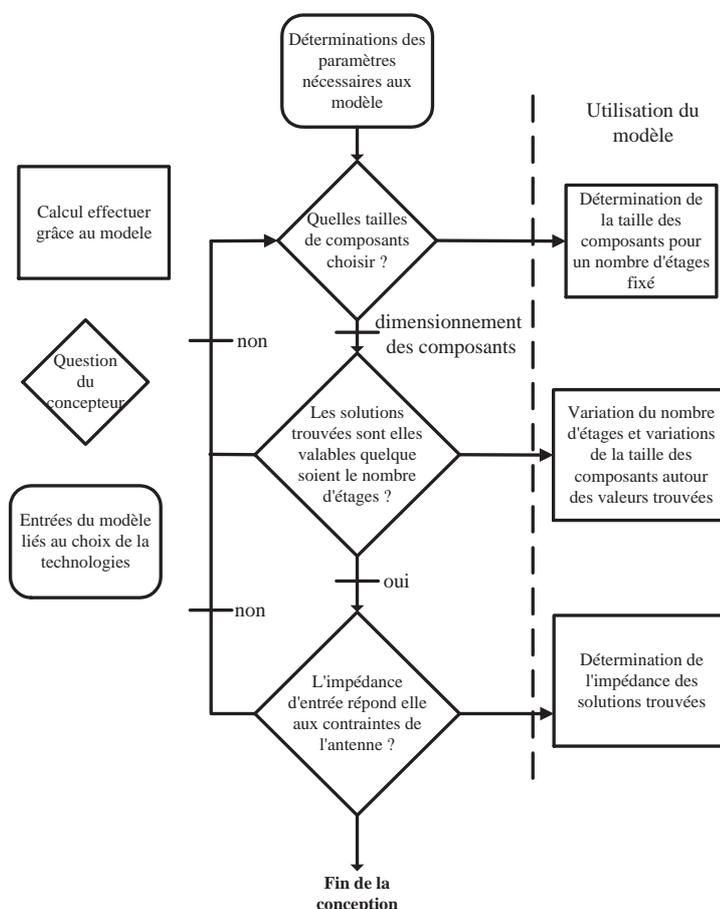


Figure IV.1 : Démarche de conception d'un multiplieur

Ce chapitre présente chaque étape de cette démarche de conception d'un multiplieur allant de la détermination des paramètres nécessaires aux modèles à l'obtention des paramètres idéaux pour répondre aux exigences du cahier des charges.

IV.2 EXTRACTION DES PARAMÈTRES NÉCESSAIRES AU MODÈLE

Afin d'utiliser le modèle précédent certains paramètres liés aux composants utilisés sont nécessaires comme le montre les algorithmes présentés sur les figures II.6 et II.15. Lors de la conception du circuit, certains de ces paramètres sont donnés par le fondeur par l'intermédiaire du design-kit, ou peuvent être extraits par simulation. Cependant certains composants UHF comme les capacités MIM ou les diodes Schottky ne sont pas toujours disponibles initialement dans les technologies faibles coûts compatibles EEPROM. L'ajout de ces composants dans le design-kit nécessite une caractérisation qui permet de déterminer les paramètres manquants.

IV.2.1 Caractérisation des diodes Schottky

La technologie choisie est une technologie compatible EEPROM qui permet l'intégration de grands plans mémoire dans le circuit. Initialement cette technologie ne comportait pas de diodes Schottky. Elles ont été développées pour l'application et le laboratoire L2MP a été chargé de caractériser et de générer une carte modèle pour ST-Microelectronics afin qu'elles soient intégrées au design-kit.

Cette phase de développement et de caractérisation d'un composant a permis d'extraire précisément les paramètres nécessaires au modèle afin que celui-ci soit le plus proche possible des résultats attendus sur silicium.

IV.2.1.1 Caractérisation statique

La première étape de l'extraction des diodes a été la caractérisation du comportement statique. Les mesures nécessaires à la création de la carte modèle ont été réalisées en direct puis en inverse. Le modèle choisi pour représenter le comportement du courant est le modèle de diode "ELDO level 2" [9] dont tous les paramètres correspondent à des phénomènes physiques qui peuvent être aisément extraits des mesures.

Les résultats de la figure IV.2 représentent les courbes obtenues pour une diode mesurée et simulée avec la carte modèle obtenue grâce à notre procédure de caractérisation.

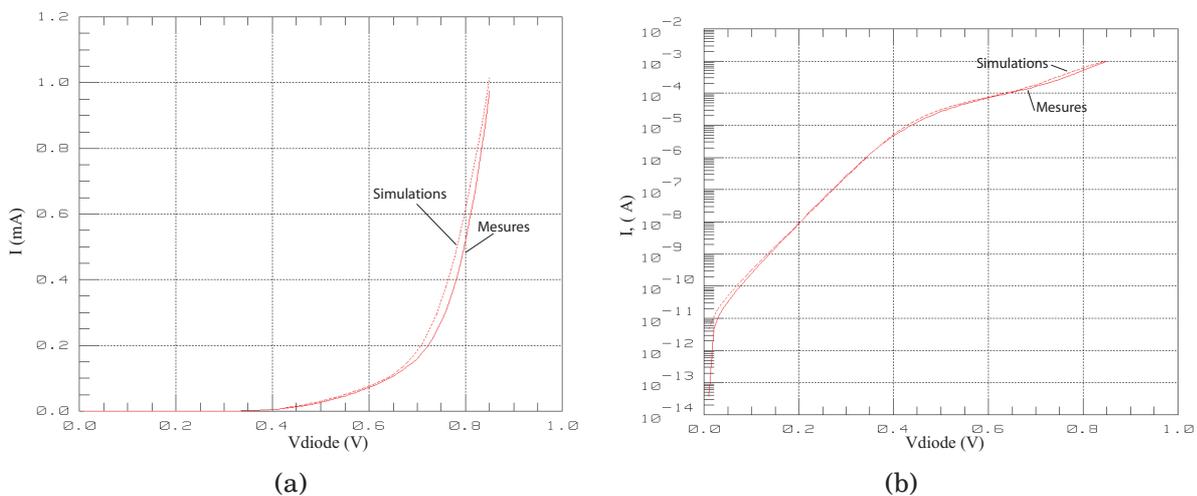
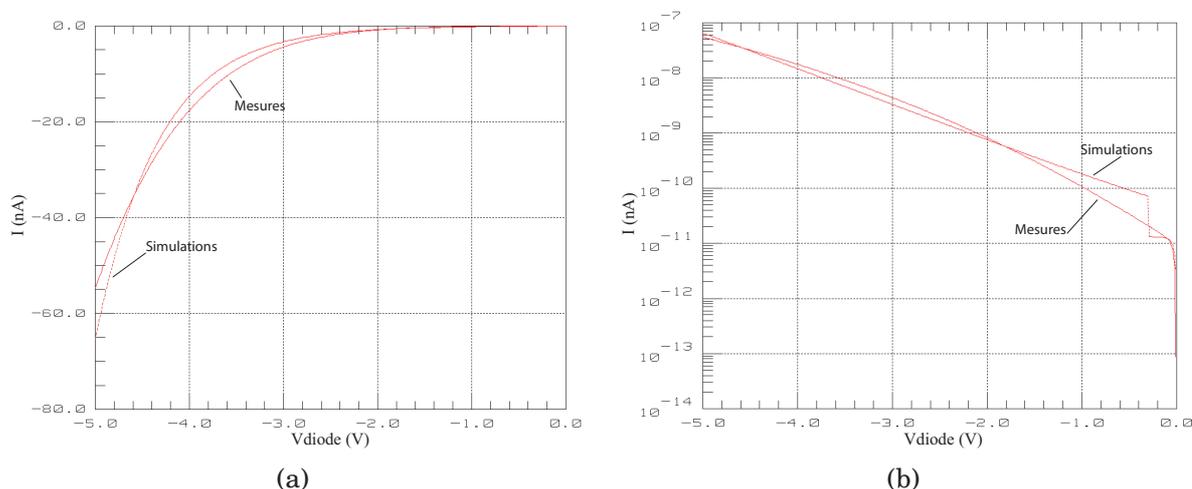


Figure IV.2 : Résultats de l'extraction des diodes en régime direct à 25° C, (a) en échelle linéaire, (b) en échelle logarithmique

Dans le modèle présenté au chapitre II seuls trois paramètres statiques de la caractéristique de la diode sont nécessaires : le courant de saturation I_s , la résistance série R_s et le coefficient d'idéalité n_i . Ces trois paramètres peuvent être extraits directement de la caractéristique directe de la diode. Leurs valeurs sont présentées dans le tableau IV.2.

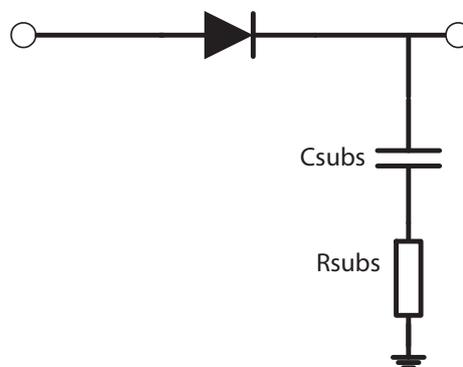
Afin de compléter la carte modèle du design-kit, les paramètres manquants doivent être déterminés sur la caractéristique inverse du courant. Les résultats de simulations de la diode intégrée au design-kit et les mesures sont comparés sur la figure IV.3.

Paramètres	Valeurs extraites
I_s	639 pA
R_s	900Ω
n_i	1.316

Table IV.2 : Valeurs des paramètres extraits incorporés au modèle

Figure IV.3 : Résultats de l'extraction des diodes en régime inverse à 25°C, (a) en échelle linéaire, (b) en échelle logarithmique

IV.2.1.2 Caractérisation dynamique

La caractérisation dynamique a été effectuée entre 100 MHz et 10 GHz à l'aide d'un analyseur réseau vectoriel (Agilent 8720ES). Des mesures d'impédance ont été réalisées sur des structures de test contenant les diodes Schottky à caractériser. Ces structures de test ont été dessinées au laboratoire et contiennent des éléments de calibration (open-short-thru). La mesure a été effectuée pour différentes polarisation de la diode, et pour chacune de ces polarisations, une procédure d'épluchage (deembedding) a été réalisée pour retrouver la matrice de paramètre S propre à une diode.


Figure IV.4 : Modèle de pertes extrait sur les diodes Schottky

La figure IV.4 montre les éléments parasites qui ont été ajoutés au modèle de la diode pour le compléter et tenir compte de l'impact des fuites vers le substrats.

Les diodes substrat supposées bloquées sont représentées par des éléments résistifs et capacitifs disposés en série. Dans le but de simplifier les calculs, ces pertes sont considérées dans le modèle analytique par un schéma parallèle équivalent en impédance à une fréquence fixe. Les résultats de l'extraction sont donnés sur le tableau IV.3

Paramètres	Valeurs extraites
C_{subs}	45 fF
R_{subs}	850Ω

Table IV.3 : Valeurs des paramètres pour la carte modèle

Les résultats des simulations de ce modèle dynamique sont comparés aux mesures sur la figure IV.5. La carte modèle complète de la diode Schottky peut être utilisée en simulation jusqu'à 10 GHz avec des résultats cohérents avec la mesure tant sur le comportement statique que dynamique.

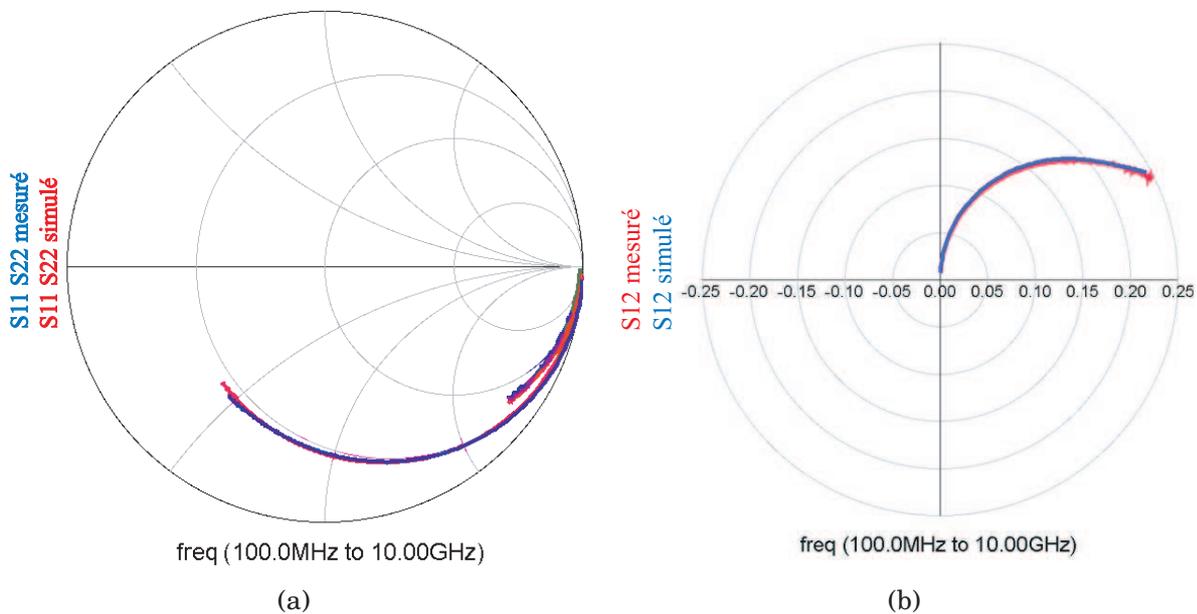


Figure IV.5 : Résultats de l'extraction des diodes à polarisation nulle

Les valeurs parallèles des parasites substrats nécessaires au modèle analytique calculées à 915 MHz sont donnés dans le tableau IV.4.

Paramètres	Valeurs extraites
C_{subp}	43 fF
R_{subp}	18,427KΩ

Table IV.4 : Paramètres du modèle équivalent parallèle des pertes à 915 MHz

IV.2.2 Caractérisation des capacités MIM

Les capacités MIM ont elles aussi été ajoutées au design-kit pour les applications UHF. Situées sur les niveaux de métaux les plus hauts, elles ont l'avantage de posséder peu de capacité parasite vers le substrat. Le modèle équivalent des

capacités MIM a été présenté au chapitre II figure II.12. C'est ce modèle qui a été extrait grâce à des mesures d'impédance sur des structures de test dessinées. Les valeurs nominales des différentes capacités extraites sont présentées sur le tableau IV.5.

Épaisseur d'oxyde	Type d'oxyde	Valeurs de la capacité mesurée
400	SiO_2	1.8 pF
300	SiO_2	2.29 pF
300	Si_3N_4	3.43 pF

Table IV.5 : *Choix de paramètres*

Certains travaux [6] déterminent la taille optimale des capacités MIM en s'appuyant sur les capacités parasites ajoutées aux circuits pour chaque grossissement de la valeur nominale de la capacité MIM. En effet, dans une technologie fixée, il est possible de considérer que la capacité parasite est proportionnelle à la surface de la capacité MIM en regard avec le substrat et par conséquent avec sa valeur. Ainsi un optimum peut être trouvé entre la valeur des capacités et la valeur maximale de capacité parasite supportée par le circuit.

Dans notre cas, des essais technologiques (IV.5) ont permis d'augmenter la valeur des capacités MIM sans changer sa surface. De cette façon la taille des capacités parasites est restée constante (environ 130 fF). La valeur des capacités a alors été plutôt optimisée par rapport à l'encombrement du circuit, puis les essais ont permis de maximiser sa valeur à encombrement constant.

IV.3 CONCEPTION ET MESURE

Les modèles précédents vont permettre une conception rapide et optimale du multiplieur du circuit en fonction du cahier des charges fixé. En effet, plusieurs points clefs pour la récupération d'énergie doivent être pris en compte lors de la conception :

- le point de polarisation désiré en sortie du multiplieur (la consommation du circuit), c'est la première contrainte : le multiplieur doit pouvoir délivrer l'alimentation nécessaire au circuit
- la portée du système, la norme EPC impose un fonctionnement minimal de trois mètres, mais la performance d'un tag est souvent évaluée par sa portée. Ainsi le multiplieur doit permettre le fonctionnement le plus loin possible du lecteur
- l'impédance d'entrée du circuit et la faisabilité d'une antenne adaptée. En effet, un coefficient de qualité important est nécessaire pour le fonctionnement du tag à longue distance. De plus, certaines impédances sont difficiles à obtenir sur les substrats d'antennes faible coût, c'est pourquoi il est nécessaire de contrôler la faisabilité de l'antenne pour chaque multiplieur.

La conception d'un circuit de récupération d'énergie pour les systèmes RFID, que ce soit en technologie MOS ou Schottky, doit répondre à des exigences sur chacun de ces points. Les contraintes étant semblables, la méthode développée ici présente parallèlement la conception des multiplieurs en transistors MOS et en diodes Schottky. Ces multiplieurs seront alors comparés lors de mesures sur wafer.

IV.3.1 Méthode de conception

Cette conception a été menée dans le cadre d'un circuit RFID UHF conforme à la norme EPC Generation 2 [10]. Le contexte industriel est important lors de la conception de ce type de circuit et si l'étude peut être menée dans un cadre général la réalisation doit tenir compte de fortes contraintes technologiques. Si l'utilisation du modèle permet de définir les meilleurs choix absolus pour la conception, dans ce contexte il permet aussi d'obtenir le meilleur parti d'une technologie fixée. Ainsi la figure IV.6 représente l'influence de variation technologique d'un MOS sur la performance d'un multiplieur.

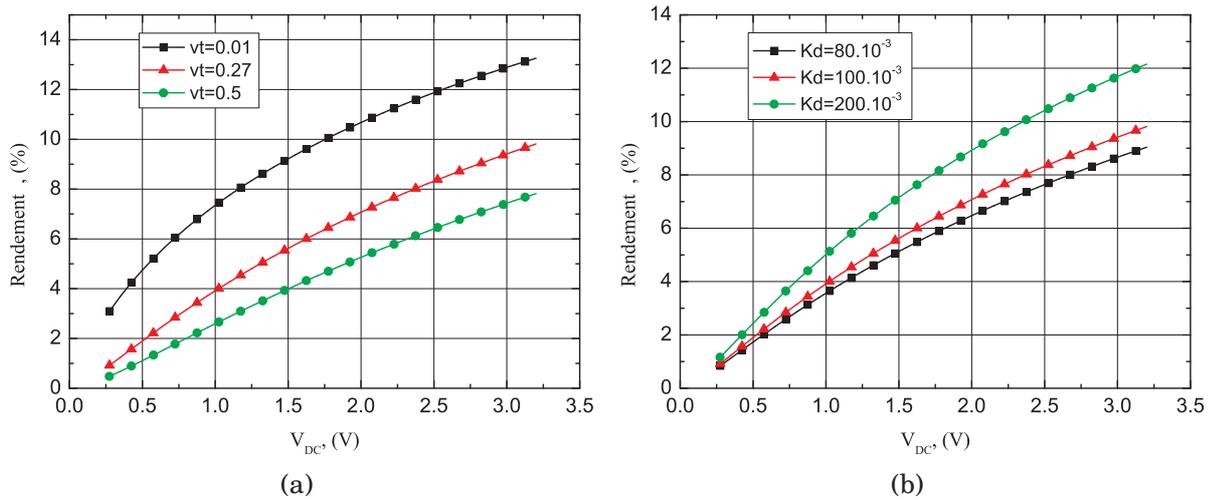


Figure IV.6 : Variation du rendement pour un multiplieur MOS, (a) pour différentes tensions de seuil, (b) pour différents K_D ($K_D = \mu_n C_{ox}$)

Ces résultats permettent d'évaluer une technologie par rapport à une autre, mais malheureusement une fois la technologie choisie ces paramètres sont figés. Le rôle du modèle sera alors de déterminer un dimensionnement idéal du circuit avec les contraintes de cette technologie.

Dans notre étude, le cahier des charges impose la technologie F8NUHF qui est une CMOS $0,18 \mu\text{m}$ à très faible coût. La consommation minimale du circuit a été fixée à $4 \mu\text{A}$ sur $1,2 \text{ V}$. Il est alors intéressant de connaître les paramètres de conception qui permettront d'obtenir ce point de polarisation avec le minimum de puissance consommée. Nous allons entrer ce choix de polarisation dans le modèle, puis faire varier les paramètres de conception afin d'obtenir le multiplieur le plus intéressant pour ce cahier des charges.

IV.3.1.1 Taille des composants

Dans le chapitre II, nous avons présenté le calcul de la puissance nécessaire à l'obtention du point de polarisation grâce à la relation (IV.1) :

$$P_{in} = \frac{V_{rf}^2}{2R_{IC}} \quad (\text{IV.1})$$

Les paramètres V_{rf} et R_{IC} étant calculés avec les méthodes analytiques en fonction des paramètres de taille des Schottky ou des MOS, il est alors possible de déterminer la configuration nécessitant le minimum de puissance dans chaque cas (figure IV.7(a)).

Dans le cas d'un circuit à base de MOS, la puissance nécessaire décroît linéairement avec la longueur du transistor. La puissance minimale consommée qui conduira à la plus grande portée du système est obtenue pour une longueur de transistor minimale. La largeur passe par un optimum de l'ordre de $0,4 \mu\text{m}$. Pour un multiplieur à base de Schottky, c'est le rapport de surface de la zone active qui varie. En effet, les paramètres largeur et longueur ne sont pas accessibles dans le modèle de la diode utilisée. Un rapport de surface unitaire, équivaut à une aire active de $7,2 \mu\text{m}^2$, un rapport de surface de 2 représente le double de cette surface.

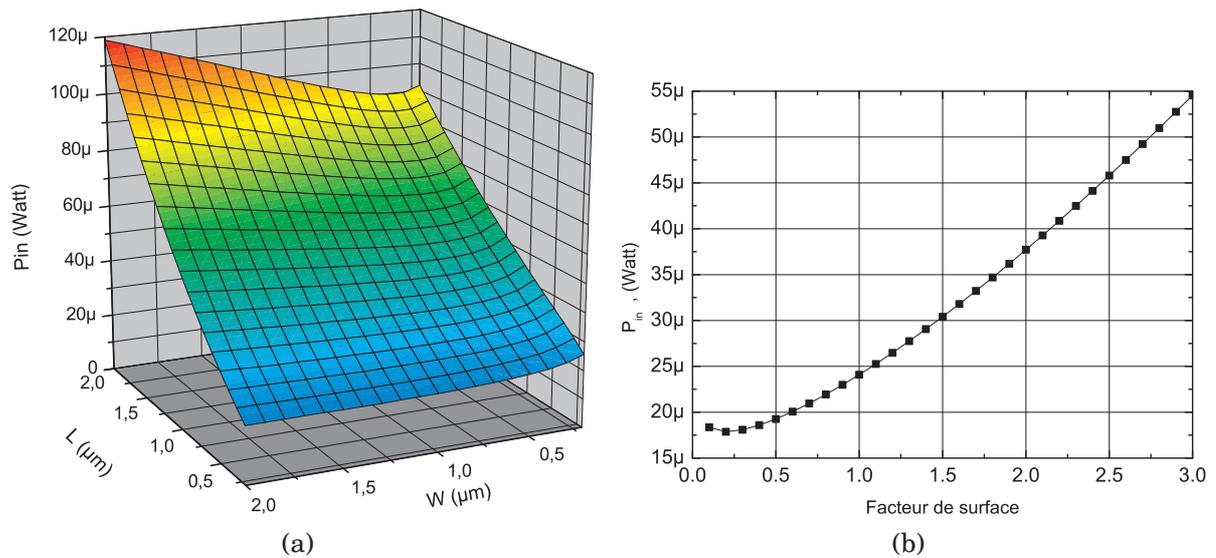


Figure IV.7 : Puissance nécessaire à l'obtention du point de polarisation fixé : $4 \mu\text{A}$ sur $1,2 \text{ V}$ (multiplieur trois étages), (a) en MOS, et (b) en Schottky.

La figure IV.7(b) montre une relation presque linéaire entre la puissance nécessaire à l'obtention du point de polarisation et la taille de la Schottky. Toutefois, une augmentation de cette puissance nécessaire est constatée pour des diodes Schottky très petites.

A l'aide des résultats obtenus avec le modèle, il est possible de déterminer la taille optimale des composants pour délivrer la tension et le courant choisis.

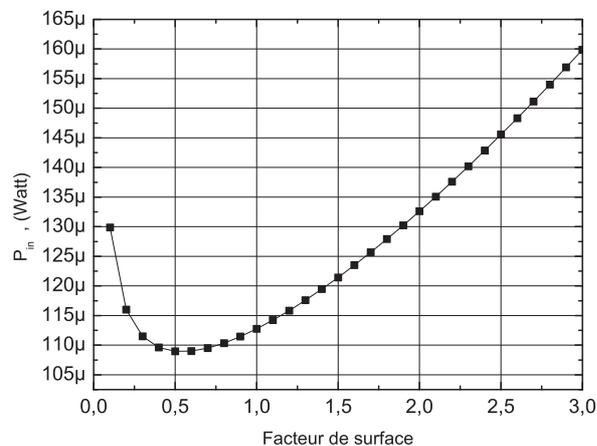


Figure IV.8 : Puissance nécessaire à l'obtention d'un point de polarisation plus important : $1,8 \text{ V}$ et $20 \mu\text{A}$

Dans le cas où la consommation est très faible, les figures IV.7 indiquent des optima pour des composants de très faibles dimensions. Toutefois ces valeurs peuvent devenir beaucoup plus importantes dans le cas de consommations plus fortes (figure IV.8).

IV.3.1.2 Détermination du nombre d'étages

Le choix du nombre d'étages est un paramètre critique pour la conception. Une première approche liée à l'utilisation classique des pompes de charges, tend à rendre la tension de sortie proportionnelle aux nombres d'étages. En effet, pour une tension d'entrée fixée, un multiplieur délivre une tension de sortie plus élevée avec un grand nombre d'étages. C'est le principe utilisé dans les générateurs de haute tension des circuits EEPROM [11] [12]. Cependant dans le cadre de la RFID, l'approche est différente. En effet, la tension d'entrée du circuit (V_{rf}) n'est pas fixe, elle est dépendante du coefficient de qualité de l'entrée (équation II.11). Or il est possible de déterminer le coefficient de qualité à l'aide des impédances déterminées précédemment :

$$\begin{aligned} Q_{ic} &= R_{ic}C_{ic}\omega \\ &= \left[\frac{1}{N} \cdot \frac{R_{diode1} \cdot R_{sub}}{R_{diode1} + 2 \cdot R_{sub}} \right] * [N \cdot (2 \cdot C_D + C_{sub}) + C_{PAD} + C_{ESD}] \omega \end{aligned} \quad (IV.2)$$

Lorsque l'antenne est adaptée au circuit, il a été montré au chapitre II, que la tension d'entrée pouvait s'écrire :

$$|V_{rf}| = \sqrt{2R_{ic}P_{rf}} \quad (IV.3)$$

Où :

$$R_{ic} = \frac{1}{N} \cdot \frac{R_{diode1} \cdot R_{sub}}{R_{diode1} + 2 \cdot R_{sub}} \quad (IV.4)$$

D'après les équations IV.2 et IV.3, augmenter le nombre d'étages conduit à une diminution du coefficient de qualité et de la tension d'entrée du multiplieur. En théorie, il est nécessaire de trouver un compromis entre le nombre d'étages et le coefficient de qualité en entrée. Dans la pratique, le gain en tension par étage d'un multiplieur ne peut pas compenser la chute de tension en entrée sur des technologies à substrat peu résistif. Minimiser le nombre d'étages afin d'obtenir la tension la plus élevée en entrée permet d'obtenir les multiplieurs avec le meilleur rendement, comme le montre la figure IV.9 obtenue grâce au modèle analytique. Sur cette figure, le calcul est effectué pour la longueur de transistor minimale dans la technologie donnée. La largeur du transistor est elle encore variable afin de choisir la valeur optimale en fonction du nombre d'étages.

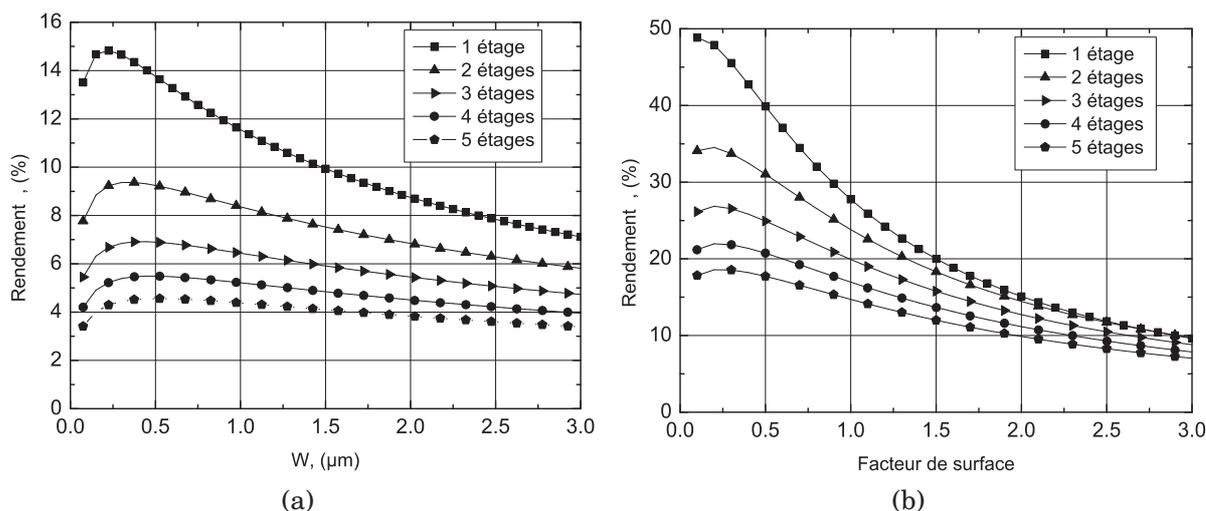


Figure IV.9 : Rendement du multiplieur pour une tension de 1,2 V et une consommation de 4 µA, (a) en MOS, et (b) en Schottky.

L'ensemble des résultats obtenus sur les figures IV.8 et IV.9 permet un premier dimensionnement du circuit dans cette technologie :

- Pour les multiplieurs à base de MOS, la longueur du transistor doit être prise au minimum de la technologie et la largeur doit alors être de l'ordre de 0.25 µm quelque soit le nombre d'étages.
- Pour les multiplieurs à base de Schottky, l'aire de la diode doit être minimale.
- Le nombre d'étage doit être le plus faible possible.

IV.3.1.3 Adaptation à une antenne

Dans les deux cas précédents, le rendement est beaucoup plus important pour un faible nombre d'étages (figure IV.9), la configuration idéale serait un multiplieur à un étage. Cependant si dans cette technologie, les performances optimales du circuit sont obtenues dans cette configuration, il est important de rappeler que les contraintes sur l'antenne sont elles aussi importantes : toutes les impédances ne sont pas réalisables. L'utilisation d'antenne sur substrat faible coût, a conduit à fixer la contrainte suivante sur l'impédance de l'antenne : la résistance d'antenne ne peut pas être trop faible, pour des inductances importantes, cela se traduit par plusieurs limitations :

$$L_{ant} \leq 60nH \text{ pour } R_{ant} \leq 20\Omega \quad (\text{IV.5})$$

$$Q_{IC} \leq 50 \quad (\text{IV.6})$$

Cette limitation est aussi intéressante d'un point de vue de la norme RFID. En effet, la bande dédiée à la RFID UHF couvre une bande de 100 MHz, le tag doit pouvoir communiquer et être alimenté sur toutes les fréquences de cette bande. Or l'utilisation d'une antenne à coefficient de qualité trop élevé peut rendre le tag trop sélectif en filtrant une partie des fréquences utilisées.

Dès lors il est important de déterminer l'impédance d'entrée du circuit, afin de valider la faisabilité de l'antenne et de respecter le cahier des charges en ce qui concerne la bande de fréquence. L'utilisation du modèle pour obtenir ces impédances permet d'étudier rapidement l'influence du nombre d'étages sur l'entrée.

Il est alors possible de calculer l'impédance de l'antenne adaptée à la puce dans chacune de ces configurations (figure IV.10).

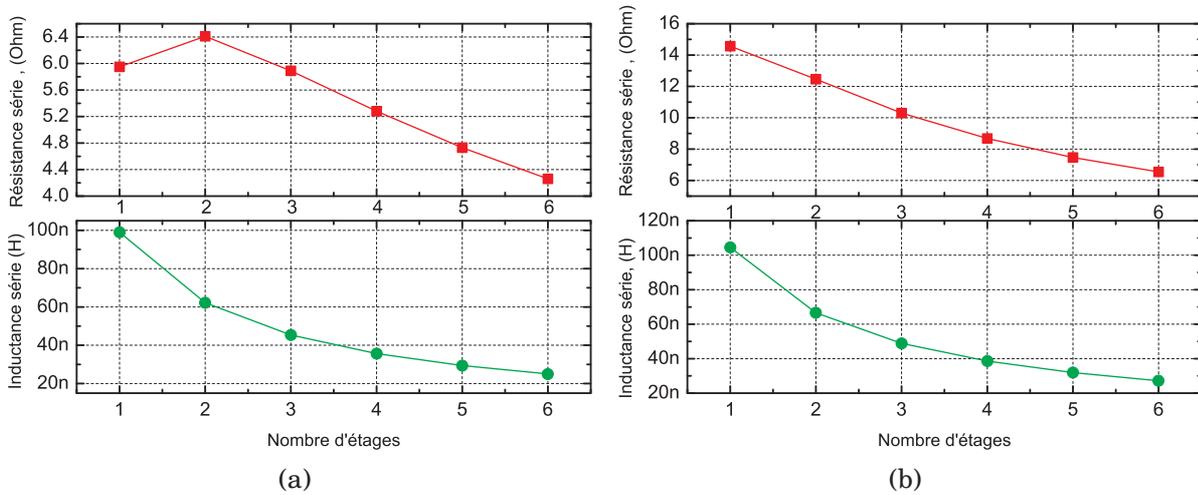


Figure IV.10 : Impédance de l'antenne adaptée à un circuit de tension d'alimentation de 1,2 V et une consommation de 4 μ A, (a) en Schottky, et en MOS (b).

Les valeurs des capacités données pour la puce correspondent à des valeurs d'inductance d'antenne allant de 100 nH pour les capacités les plus faibles à 20 nH pour les plus importantes. La résistance de l'antenne doit toujours être inférieure à 20 Ohms, ce qui rend difficile la réalisation d'antenne fortement inductive pour le concepteur d'antenne. Le facteur de qualité, représenté sur la figure IV.11, est très important pour un nombre d'étages inférieur à 3, et rend la réalisation de l'antenne sur substrat faible coût difficile.

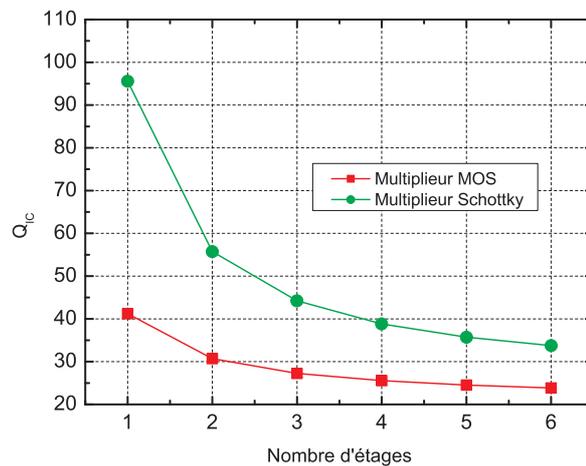


Figure IV.11 : Facteur de qualité des multiplieurs Schottky obtenu pour un dimensionnement optimal

L'utilisation du modèle a permis ici encore de déterminer le choix optimal pour le nombre d'étages du multiplieur : c'est le nombre d'étage minimal permettant d'obtenir le point de polarisation désiré et permettant la réalisation d'une antenne adaptée. Dans notre cas, en tenant des contraintes fixées (IV.5) trois étages semblent convenir. Ce choix met en relief le lien entre antenne et circuit, puisque dans ce cas il n'est pas dicté par les performances optimales du circuit, mais par

les contraintes de l'antenne. Le choix du matériau de l'antenne peut ainsi mener à d'autres contraintes, il faut alors concevoir le circuit en tenant compte de ce nouveau cahier des charges.

IV.4 MESURE SUR WAFER

Une partie de ce travail de thèse a consisté à développer des bancs de test et de mesures dédiées à la RFID. Ce travail a permis de tester les différents circuits réalisés en collaboration avec ST-Microelectronics. Dans le but de valider l'étude précédente, plusieurs multiplieurs UHF ont été réalisés .

IV.4.1 Réalisation

Des circuits de test ont été réalisés dans la technologie F8NUHF de ST-Microelectronics. Cette technologie a été complétée pour intégrer les composants UHF nécessaires à la réalisation des circuits, tels que les capacités MIM et les diodes Schottky. Cependant les MOS à faible tension de seuil nécessaires pour notre étude ne sont disponibles que dans des tailles importantes ($\geq 1\mu m$). Les choix optimaux déterminés dans le chapitre précédent ont été implémentés dans la limite des tailles disponibles dans cette technologie.

Paramètres	Choix optimal	Choix liés aux contraintes technologiques
L transistor MOS	minimum	1,48 μm
W transistor MOS	0,4 μm	1,56 μm
A Schottky	0,2	1
Nombre d'étages	3	3

Table IV.6 : Choix de paramètres

Plusieurs multiplieurs ont été dessinés dans cette technologie (figure IV.12). Parmi ces prototypes, un est à base de diodes Schottky et un autre à base de transistor MOS. Des comparaisons entre les deux configurations sont ainsi possible. La taille des multiplieurs est sensiblement identique et égale à $17600\mu m^2$. Cependant une différence de coût existe entre les deux circuits, puisque l'absence de Schottky sur le wafer permettrait de supprimer un masque lors de la conception du circuit.

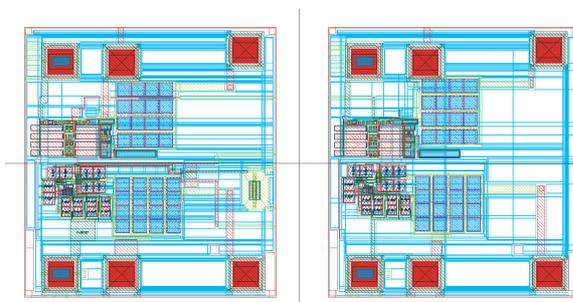


Figure IV.12 : Layout du circuit

Les deux multiplieurs sont implémentés dans deux matrices côte à côte (figure IV.13). Chaque matrice a une aire de $700\mu m \times 680\mu m$. L'espacement des plots UHF est prévu pour pouvoir utiliser des pointes RF d'écartement $150\mu m$.

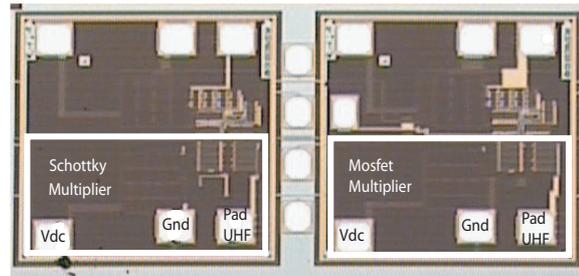


Figure IV.13 : Réalisation du circuit

Dans la configuration choisie pour ces multiplieurs, le modèle indique d'importants écarts de rendement entre les multiplieurs à base de diodes Schottky et ceux à base de transistor MOS. En effet, la figure IV.9 prévoit un rendement maximum pour un multiplieur de trois étages de 26 % avec des Schottky et 7 % avec des MOS. Ces résultats s'expliquent en grande partie par la taille des transistors employés qui reste trop importante dans cette technologie où les pertes sont importantes. Cependant afin de valider l'utilisation de MOS dans ce type d'application, d'autres circuits de test ont été réalisés dans une technologie plus récente et disposant de composants à faible tension de seuil et avec un substrat plus résistif. La technologie choisie est la HCMOS9 de ST-Microelectronics (CMOS $0.13 \mu\text{m}$), qui permet l'utilisation de transistors disposant de seuils de l'ordre de 0.25 V pour les tailles minimales de la technologie. La procédure de conception a été la même que précédemment, mais le point de polarisation choisi pour les applications dans cette technologie correspond cette fois ci à 1.2V et $3 \mu\text{A}$. Ces multiplieurs ont été dessinées (figure IV.14) puis réalisés dans cette technologie.

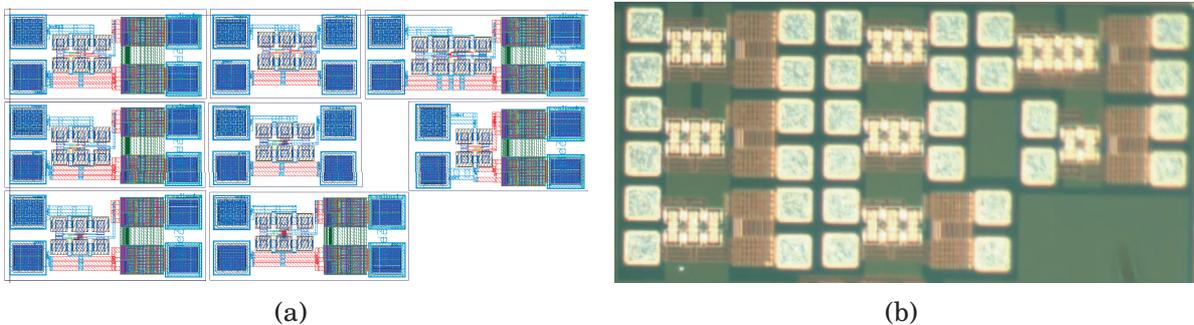


Figure IV.14 : (a) Layout des circuits CMOS $0.13\mu\text{m}$, (b) photographie

IV.4.2 Méthodologie

La méthodologie de mesure de ce type de circuit se doit de tenir compte de l'impédance spécifique de l'entrée du circuit. En effet, les appareils de mesures utilisés disposent d'une impédance de sortie de 50Ω . Or le circuit possède lui une impédance très forte. Il existe une forte désadaptation entre appareil de mesure et le dispositif à tester. La puissance délivrée par l'appareil est très différente de la puissance d'entrée dans le circuit. Or pour valider les circuits, plusieurs grandeurs sont à évaluer en fonction de la puissance :

- la tension de sortie du circuit
- l'impédance d'entrée du circuit

Il est indispensable de pouvoir déterminer la puissance entrante dans le circuit. Pour cela le dispositif présenté sur la figure IV.15 est mis en place :

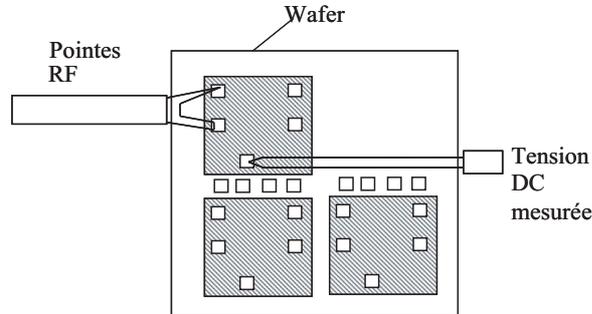


Figure IV.15 : Configuration de la mesure

Les pointes RF sont reliées à un analyseur de réseau configuré pour une seule fréquence mais dans une plage de puissance variable (mode Continuous Wave : CW). Cette plage est choisie pour disposer du maximum de puissance par rapport aux possibilités de l'analyseur réseau (5 dBm pour le Agilent 8720ES). La pointe DC est connectée à une résistance variable permettant d'émuler une charge sur le circuit, et la tension de sortie est mesurée aux bornes de cette résistance. Pour chaque point de puissance de l'analyseur réseau, la tension de sortie et l'impédance d'entrée du circuit sont relevées. Grâce à ces valeurs, il est possible de déterminer la puissance entrante dans le circuit en tenant compte de la désadaptation :

$$\begin{aligned}
 P_{in} &= (1 - |\Gamma|^2) P_{NA} \\
 &= \left(1 - \left| \frac{50 - Z_{IC}}{50 + Z_{IC}} \right|^2\right) P_{NA}
 \end{aligned}
 \tag{IV.7}$$

où P_{NA} est la puissance délivrée par l'analyseur, et Z_{IC} l'impédance mesurée. Dès lors pour chaque point la puissance entrante dans le circuit est connue.

IV.4.3 Résultats et validations

IV.4.3.1 Mesure de prototypes

Les multiplieurs conçus ont été mesurés avec la méthode précédente. Dans un premier temps, les multiplieurs intégrés seuls dans une structure, sont caractérisés pour différentes charges. La figure IV.16 présente les tensions mesurées, ainsi que celles déterminées par le modèle.

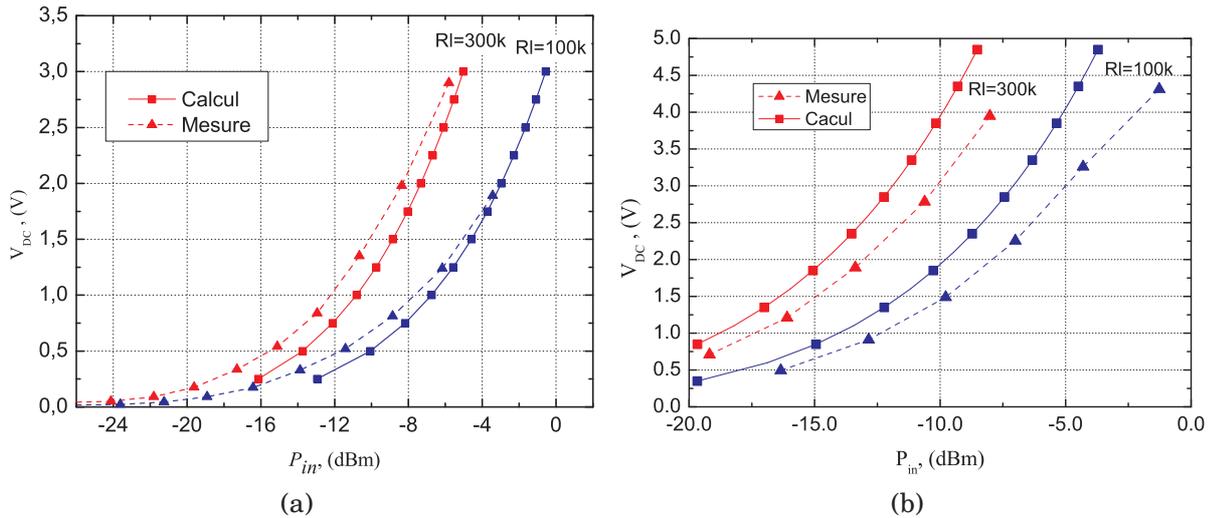


Figure IV.16 : Résultats de la mesure et du modèle : (a) en MOS, (b) en Schottky

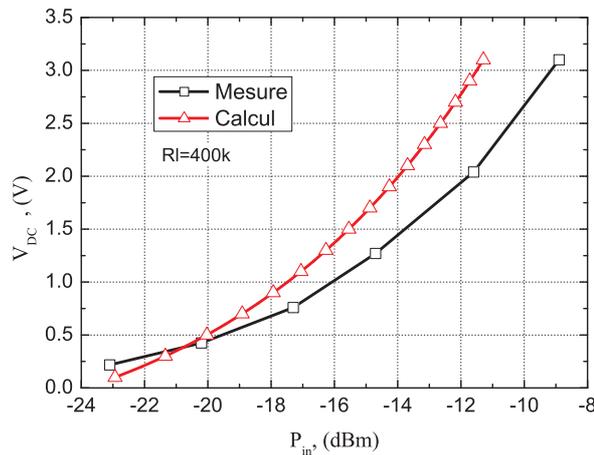


Figure IV.17 : Résultats de la mesure et du modèle pour un multiplieur MOS de 3 étages $L = 0.13\mu\text{m}$ et $W = 7\mu\text{m}$ en HCMOS9

Les mesures concordent avec les résultats attendus. Le modèle permet de prédire avec une bonne cohérence la tension obtenue avec le multiplieur. Ces résultats permettent de déterminer la puissance minimum de fonctionnement pour la tension de polarisation choisie (tableau IV.7). Le multiplieur à base de Schottky nécessite le moins de puissance d'entrée pour respecter le cahier des charges. Du point de vue des circuits à base de MOS, les résultats montrent l'importance du choix de la technologie dans ce type d'application, puisque les performances des multiplieurs sont très différentes en F8NUHF et en HCMOS9.

Puissance nécessaire	Point de polarisation	Technologie
-16 dB	1.2V et 4 μA	F8NUHF avec Schottky
-10 dB	1.2V et 4 μA	F8NUHF avec MOS
-15 dB	1.2V et 3 μA	HCMOS9 avec MOS

Table IV.7 : Résultats mesurés des mutplieurs

Les résultats en impédance d'entrée sont représentés sur la figure ??, ils sont présentés en résistance et capacité d'entrée parallèle.

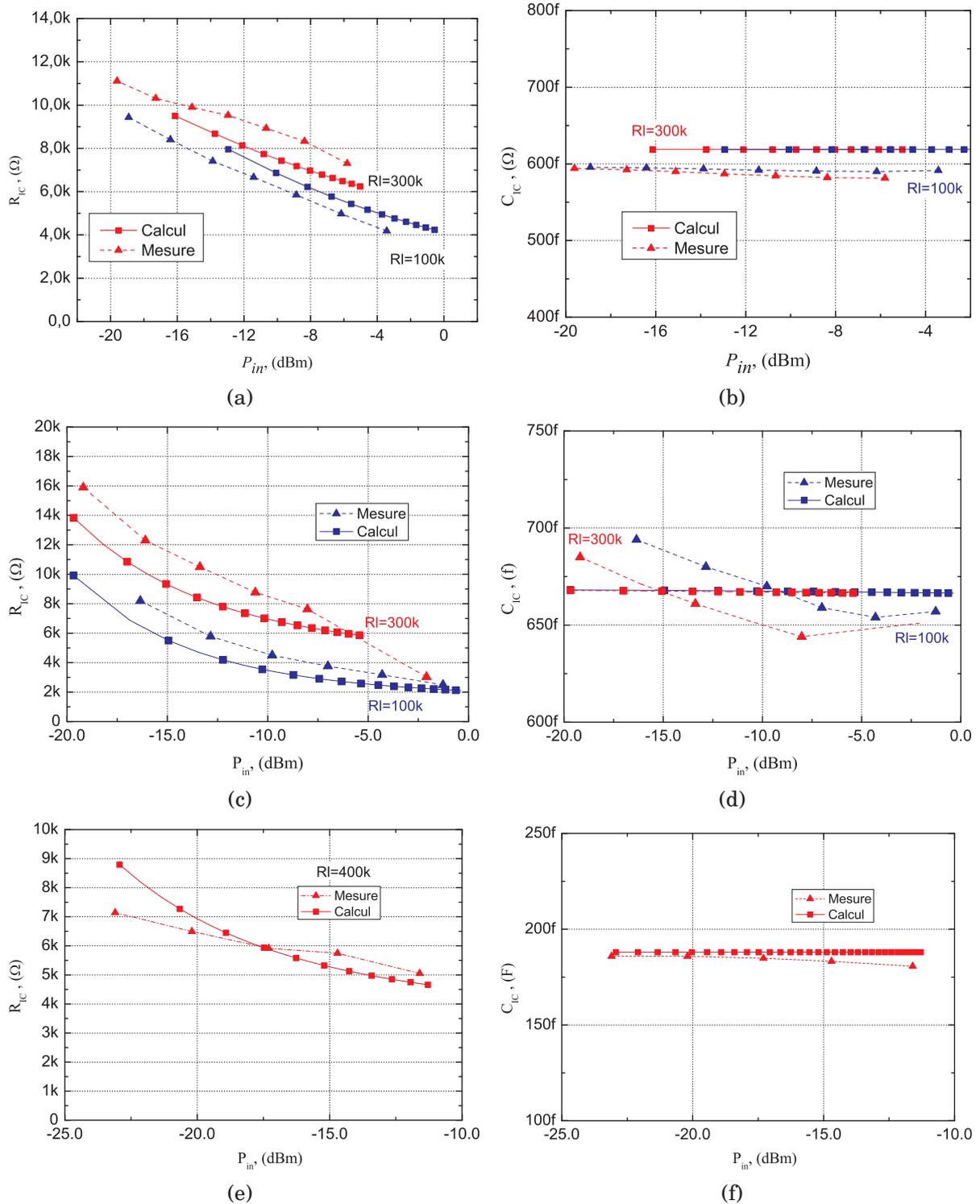


Figure IV.18 : (a), (b) Résistance d'entrée parallèle calculée et mesurée et capacité d'entrée parallèle calculée et mesurée en MOS, en Schottky : (c), (d), puis en HCMOS9 : (e), (f)

L'impédance d'entrée du circuit est grande, ce qui rend sa mesure difficile. Néanmoins, le modèle concorde avec les mesures de façon acceptable. Des résultats cohérents sur l'impédance d'entrée permettent de valider plusieurs points du

modèle puisqu'elle est calculée en fonction de la tension incidente et du courant au premier harmonique qui est également issu du modèle.

IV.4.3.2 Mesure de puces complètes

Les résultats obtenus avec un multiplieur Schottky inclus dans le tag complet sont maintenant présentés. La partie récupération d'énergie a été conçue à l'aide de la méthode précédente. Le nombre d'étages du multiplieur a été augmenté pour encore diminuer la contrainte sur le coefficient de qualité de l'antenne et faciliter sa conception.

Les mesures ont été effectuées sur une puce RFID complète. La charge n'est donc pas émulée, il s'agit de la consommation réelle du circuit. Une mesure de cette consommation est nécessaire pour différentes valeurs de tension d'alimentation. Chaque couple de résultats tension/courant est utilisé dans le modèle pour calculer qu'elle puissance d'entrée du multiplieur est nécessaire. Les résultats sont ensuite comparés à la mesure sur la figure IV.19.

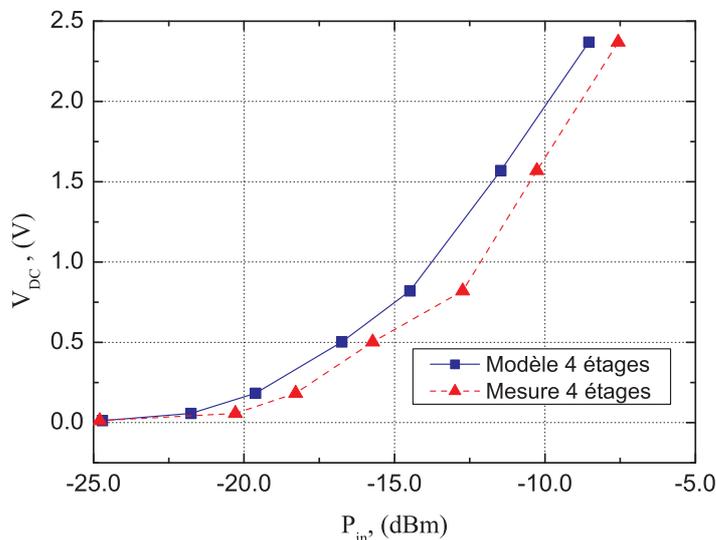


Figure IV.19 : Résultats de la mesure et du modèle pour un multiplieur Schottky

Les résultats du modèle sont conformes aux mesures sur la puce. Pour chaque point de polarisation du circuit, le modèle rend compte fidèlement du comportement du multiplieur. La comparaison des impédances d'entrée est présentée sur la figure IV.20. L'erreur commise avec l'utilisation du modèle est acceptable.

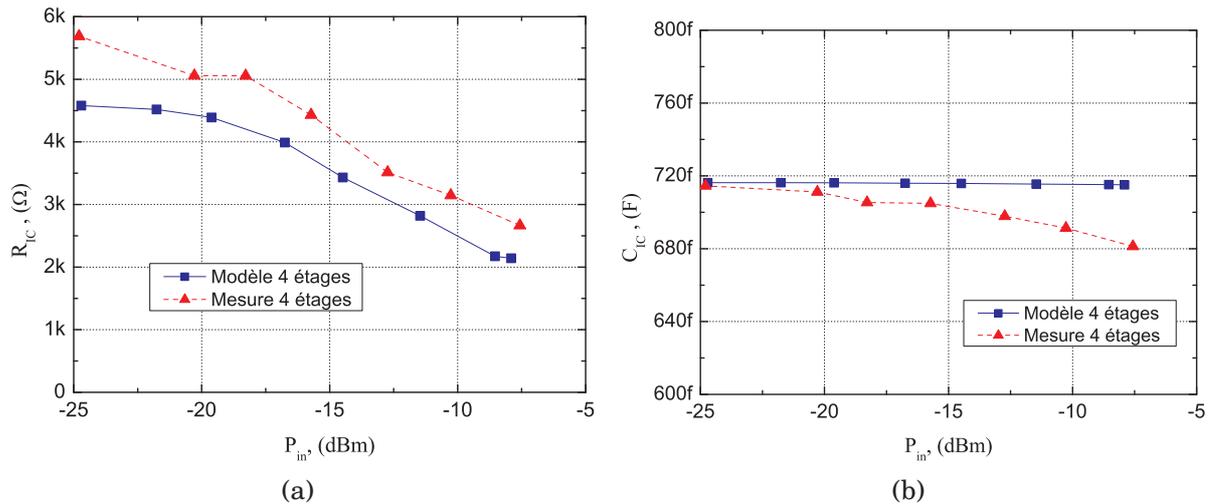


Figure IV.20 : (a) Résistance d'entrée parallèle calculée et mesurée, (b) capacité d'entrée parallèle calculée et mesurée

Les résultats précédents prouvent qu'à l'aide d'un modèle simple des multiplieurs MOS et Schottky, il est possible de déterminer leur comportement avec une bonne approximation. Il a été montré, comment la conception de circuit multiplieur fonctionnel a été simplifiée grâce aux résultats fournis par ce modèle. La figure IV.21 montre les résultats de rendement obtenus avec les multiplieurs présentés, ainsi que les résultats de la littérature présentés en introduction.

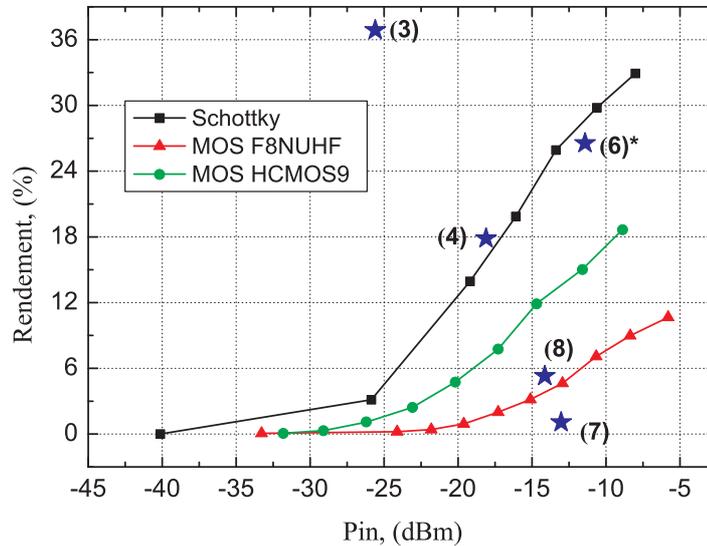


Figure IV.21 : Rendement mesuré des différents multiplieurs présentés et résultats de la littérature. (*) Dans cette référence le rendement n'est pas directement mesuré mais il est évalué sur une liaison tag-lecteur à l'aide d'un bilan de liaison.

Les résultats présentés figure IV.21 montrent l'influence importante de la technologie dans la conception de type circuit. En effet, le résultat [3] présente de loin le meilleur rendement, c'est aussi le seul résultat présenté d'un multiplieur sur substrat saphir et qui présente dès lors des pertes substrats inexistantes. L'impact du substrat est aussi visible entre les multiplieurs MOS en technologie HCMOS9 possédant peu de fuite et la technologie F8NUHF moins adaptée à la conception

haute fréquence. De plus, il est intéressant de constater qu'à technologie équivalente les solutions à base de diodes Schottky ([4]) présentent des performances plus élevées que les multiplieurs MOS.

IV.5 MESURE EN DISTANCE

Afin de valider totalement les circuits fabriqués une caractérisation en distance est nécessaire. Pour cela le laboratoire dispose d'une chambre anéchoïque permettant des mesures en champ des tags réalisés et la validation des différentes fonctionnalités des circuits.

IV.5.1 Réalisation

Après la caractérisation sur wafer et la détermination des impédances, des antennes adaptées aux multiplieurs ont été conçues au laboratoire. Les antennes et les puces correspondantes ont été assemblées dans le but d'obtenir une série de prototypes permettant de tester les multiplieurs à distance.

Les antennes ont été réalisées sur PCB. En plus de l'antenne, des plots ont été ajoutés sur la plaque afin de pouvoir connecter certains plots de la puce :

- la sortie du multiplieur, qui permet de lui connecter une charge et de mesurer la tension obtenue en distance
- la commande de la rétro-modulation, qui permet d'émuler une réponse du tag en lui connectant un générateur de signaux.

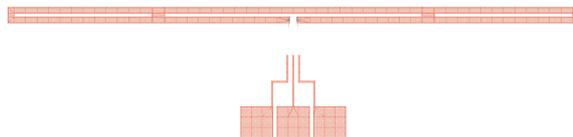


Figure IV.22 : *layout de l'antenne avec les plots*

Les prototypes ainsi réalisés permettent de vérifier les deux fonctions du multiplieur : sur une voie la télé-alimentation est mesurée et sur l'autre une réponse du tag peut être émulée.

IV.5.2 Méthodologie

Un schéma de principe de la mesure est représenté sur la figure IV.23(a). Le prototype réalisé est placé au centre de la chambre. Il est connecté d'une part à un oscilloscope pour mesurer la tension d'alimentation du circuit et d'autre part à un générateur de signaux afin de recréer une réponse du tag en continu.

Le lecteur est émulé par une antenne dipôle accordable de référence et un générateur de signaux RF, permettant d'envoyer l'énergie et les commandes. Une antenne espion est placée proche du tag et connectée à un analyseur de spectre afin de capter sa réponse.

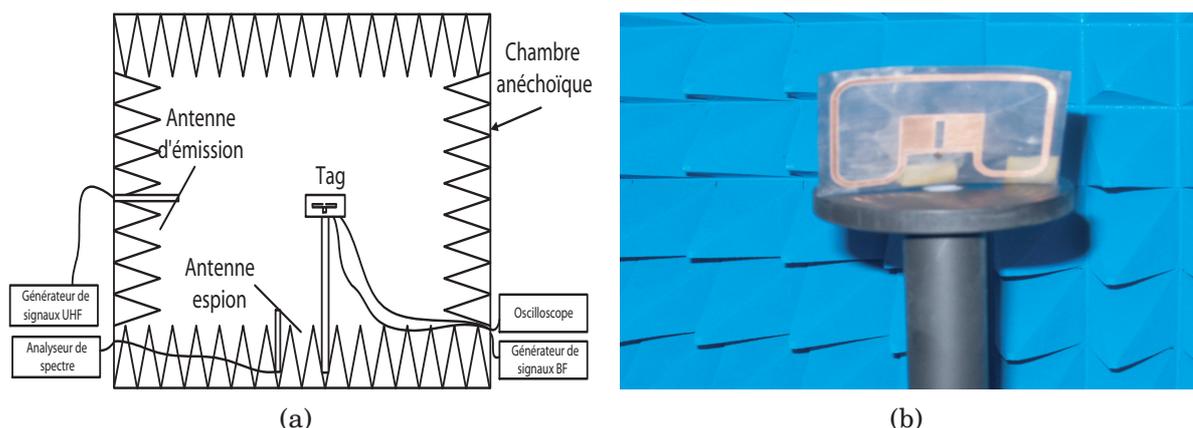


Figure IV.23 : (a) Schéma de principe de la mesure avec des MOS, (b) tag dans la chambre

Dans notre configuration, la distance entre l'antenne et le tag est fixe. Dans le but de connaître le comportement en distance du tag, la puissance émise par le générateur de signaux varie afin d'émuler un rapprochement ou un éloignement du tag. Les variations de puissance sont ensuite converties en variations de distance grâce à la formule de Friis.

IV.5.3 Résultats

La figure IV.24 présente les résultats théoriques obtenus pour des multiplieurs à base de MOS et à base de Schottky, chaque graphique présente aussi le résultat d'une mesure en chambre anéchoïde du multiplieur correspondant.

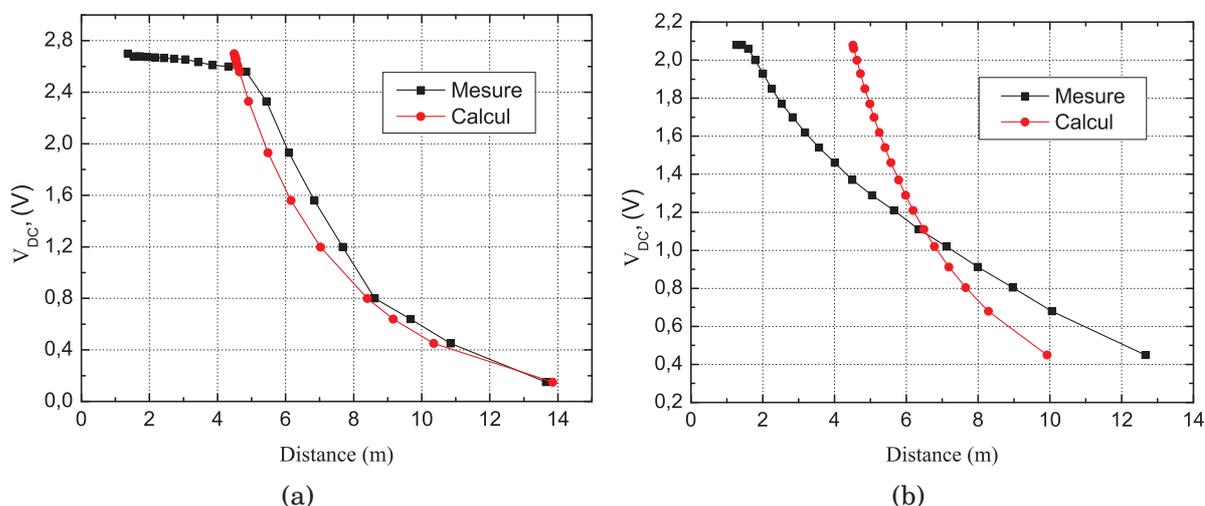


Figure IV.24 : Télé-alimentation : mesures et calcul, avec multiplieur Schottky 4 étages et la consommation réelle du tag (a), avec multiplieur MOS de 3 étages sur une charge de 360 KOhms (b)

Les résultats en distance obtenus indiquent une différence de 2 m sur la portée des deux systèmes pour une tension d'alimentation de 1,2V. Le modèle permet de déterminer avec une bonne précision la portée du tag à base de Schottky en espace libre. Cependant une différence importante apparaît entre la mesure et le modèle sur les multiplieurs MOS. Ce résultat va à l'encontre des mesures effectuées sur wafer qui montraient une bonne corrélation entre les résultats de calcul et la mesure. Toutefois la puce assemblée bien qu'issue du même lot n'a pas forcément été

testée en UHF et des disparités importantes sur les puces à base de multiplieur MOS ont été constatées. Ces variations de fabrication peuvent être à l'origine de l'écart constaté.

De façon générale, la précision obtenue sur les performances du multiplieur à partir d'un modèle très simplifié du multiplieur et de la liaison est très satisfaisante et permet ainsi de concevoir et dimensionner un système fonctionnel rapidement.

IV.6 CONCLUSION

L'étude présentée ici a, tout d'abord, permis de situer les contraintes sur circuit de récupération d'énergie principalement liées à la difficulté de simulation et au coût. En effet, ce circuit est soumis à des exigences qui jusqu'à présent imposent l'utilisation de diodes Schottky. Sa migration vers des dispositifs en MOS restait donc le principal obstacle à la réalisation de puces totalement faible coût.

L'utilisation des modèles présentés au chapitre II, a permis la réalisation d'un multiplieur optimal pour une technologie donnée. L'utilisation de diodes Schottky dans ce type de circuit permet d'atteindre des rendements importants difficilement comparables à ceux atteints en MOS. Toutefois les résultats obtenus sont très fortement liés aux dispositifs disponibles dans une technologie. Ainsi une technologie disposant de transistors de très faible taille et de seuil inférieur à 0,3 V peut permettre des rendements suffisants pour les applications RFIDs. Actuellement de telles technologies existent, mais restent trop chères pour ce type d'application. Néanmoins l'utilisation de ces technologies récentes (65 nm) dans des produits à plus fortes valeurs ajoutées devraient permettre la télé-alimentation de circuits plus complexes.

IV.7 BIBLIOGRAPHIE

- [1] J. P. Curty, N. Joehl, F. Krummenacher, C. Dehollain, and M. J. Declercq. A model for μ -power rectifier analysis and design. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 52(12) :2771–9, 2005.
- [2] Yi Jun, Ki Wing-Hung, and Tsui Chi-Ying. Analysis and design strategy of uhf micro-power cmos rectifiers for micro-sensor and rfid applications. 54(1) :153, 2007.
- [3] M. Declercq J.P Curty, C. Dehollain. Remotely powered adressable uhf rfid integrated system. *IEEE Journal of Solid State Circuits*, 40(11) :2193–01, 2005.
- [4] U. Karthaus and M. Fischer. Fully integrated passive uhf rfid transponder ic with 16.7- μ w minimum rf input power. *IEEE Journal of Solid State Circuits*, 38(10) :1602–8, 2003.
- [5] H. Nakamoto, D. Yamazaki, T. Yamamoto, H. Kurata, S. Yamada, K. Mukaida, T. Ninomiya, T. Ohkawa, S. Masui, and K. Gotoh. A passive uhf rfid tag lsi with 36.6and current-mode demodulator in 0.35 μ m feram technology. In *2006 IEEE International Solid State Circuits Conference. Digest of Technical Papers IEEE Cat. No. 06CH37754. 2006 : 10 pp.*, 2006.
- [6] Yi Jun, Hung Ki Wing, and Ying Tsui Chi. Analysis and design strategy of uhf micro-power cmos rectifiers for micro-sensor and rfid applications. *IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications*, 2007.
- [7] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, and S. Otaka. A 950-mhz rectifier circuit for sensor network tags with 10-m distance. *IEEE Journal of Solid State Circuits*, 41(1) :35–41, 2006.
- [8] A. Shameli, A. Safarian, A. Rofougaran, and Rofougaran M. Power harvester design for passive uhf rfid tag using a voltage boosting technique. *IEEE Transactions on Microwave Theory and Techniques*, 55(6) :1089–97, 2007.
- [9] Diode model equations. *Eldo Device Equations Manual v6.2*, 07 2003.
- [10] EPC. Specification for rfid air interface, 2004.
- [11] J. F. Dickson. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid State Circuits*, SC-11(3) :374–8, 1976.
- [12] P. Favrat, P. Deval, and M. J. Declercq. A high-efficiency cmos voltage doubler. *IEEE Journal of Solid State Circuits*, 33(3) :410–16, 1998.

Chapitre V

Conception de circuit de récupération d'énergie

SOMMAIRE DU CHAPITRE V

V.1	Introduction	112
V.2	Structure à haut rendement	112
V.2.1	Limitations des multiplieurs actuels	112
V.2.2	Description de l'architecture	113
V.2.3	Mesures	115
V.2.4	Limitations actuelles et perspectives	117
V.2.5	Conclusion	118
V.3	Structure intégrée 24 GHz	118
V.3.1	Antenne	119
V.3.1.1	Choix de l'antenne	120
V.3.1.2	Gain	121
V.3.2	Adaptation antenne-circuit	121
V.3.2.1	facteur de qualité	122
V.3.2.2	Adaptation du circuit	124
V.3.2.3	Simulation et réalisations	126
V.3.3	Conclusion	128
V.4	Conclusion	129
V.5	Bibliographie	130

V.1 INTRODUCTION

Dans ce chapitre, sont abordées deux voies de la télé-alimentation plus prospectives venant compléter le travail précédent : un multiplieur à haut rendement et une structure tout-intégrée à 24 GHz. En effet, la télé-alimentation des puces communicantes se développe rapidement sous des formes différentes possédant chacune des contraintes propres. Ce chapitre permet de présenter deux cas d'implémentation de circuit de récupération d'énergie qui répondent à des cahiers des charges très différents et qui illustrent bien la diversité des applications possibles.

Le premier point développé concerne les puces communicantes. Les améliorations des technologies et de la conception de ces circuits entraînent une baisse significative de la consommation. Dans ces conditions, il est possible de penser qu'une partie de ces systèmes devienne totalement ou partiellement télé-alimentée. Pour ces applications, l'étude présente ici une structure à haut rendement sans inductance autorisant la télé-alimentation de puces à la consommation plus importante que celle des circuits actuels.

Une des orientations du développement des nanotechnologies et plus généralement de l'électronique est l'introduction d'applications dans le domaine biomédical. Les puces communicantes n'échappent pas à ce phénomène, et plusieurs dispositifs et normes commencent à apparaître [1]. La RFID suit la règle, et si les puces sous-cutanées ont d'abord été envisagées dans le domaine de la sécurité et de la surveillance [2], d'autres applications telles que le monitoring cardiaque commencent à voir le jour. Dans toutes ces applications, la taille du transpondeur est un facteur primordial. Pour répondre à ces fortes contraintes, la seconde partie de ce chapitre présente une étude d'un circuit récupérateur d'énergie avec antenne intégrée fonctionnant à 24 GHz.

V.2 STRUCTURE À HAUT RENDEMENT

L'obtention de puces communicantes à longue portée passe par une diminution importante de la consommation des circuits. Or bien que cette consommation baisse grâce aux avancées technologiques, cette diminution passe souvent par une limitation des fonctions incorporées dans les puces. Pourtant, de plus en plus d'applications nécessitent des blocs supplémentaires tels que des capteurs, des mémoires plus importantes ou des circuits logiques plus développés.

V.2.1 Limitations des multiplieurs actuels

Les circuits à base de multiplieurs actuels utilisent le coefficient de surtension en entrée de la puce, afin d'augmenter la tension incidente et ainsi permettre un fonctionnement à longue portée. Pour conserver et optimiser cette surtension, le multiplieur doit présenter une résistance d'entrée parallèle importante, pour ce faire les pertes de la puce doivent être minimisées. Or les technologies faibles coûts utilisées dans les applications de type tag RFID présentent des pertes substrats importantes. Pour minimiser ces pertes sans changement technologique, il devient alors intéressant de réduire la surface du circuit en contact avec l'onde UHF et de réduire le nombre d'étages du multiplieur. Cependant si cette méthode permet

d'obtenir des tensions incidentes importantes, le gain en tension du multiplieur perd de sa valeur comme le montre la figure V.1.

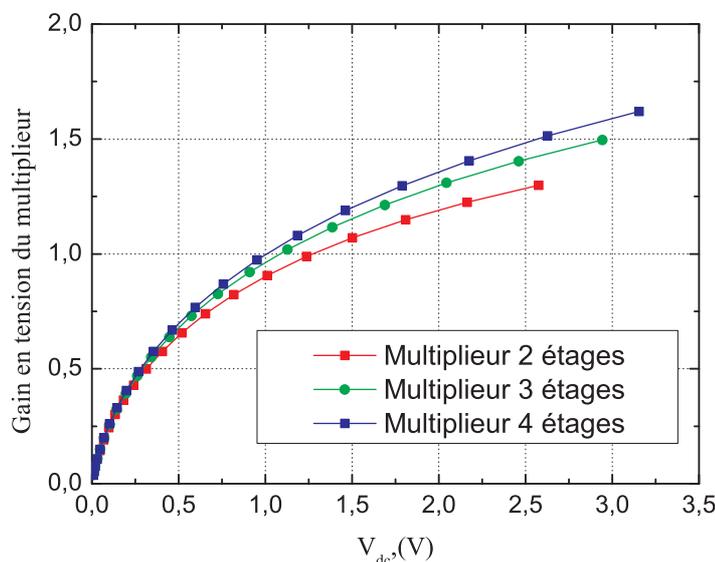


Figure V.1 : Amplification simulé du multiplieur en fonction de sa tension de sortie pour différents nombre d'étages

Ces résultats montrent que pour une même tension de sortie, un multiplieur à grand nombre d'étages possède un pouvoir multiplicatif plus fort. Cependant, nous avons montré au chapitre IV, que lors de l'augmentation du nombre d'étage le coefficient de qualité du circuit est diminué, ce qui implique que la tension en entrée possède une amplitude plus faible.

V.2.2 Description de l'architecture

En tenant compte de ces limitations une nouvelle architecture a été proposée [3] [4] afin d'améliorer le rendement et la tension de sortie du multiplieur. L'architecture traditionnelle et la nouvelle sont présentées sur la figure V.2. Dans la structure proposée, le signal est convertie en tension continue avec un multiplieur possédant le nombre d'étages le plus faible possible afin de maximiser la tension incidente à l'entrée du circuit. Ceci implique un gain en tension faible et pour les longues portées la tension obtenue est insuffisante pour alimenter le circuit. Cependant, cette tension peut suffire pour alimenter un VCO, connecté directement à la sortie du multiplieur. Ce VCO génère deux signaux en opposition de phase beaucoup plus bas en fréquence que le signal incident. Associé à un circuit de phases non - recouvrantes, le VCO permet d'utiliser une pompe de charge classique employée dans les plans mémoires des EEPROMS. Le VCO ne génère pas de consommation supplémentaire, puisque celui-ci est déjà présent dans l'architecture classique. De plus, cet élément peut fonctionner sous très faible tension [5], et l'utilisation conjointe d'une faible tension d'alimentation et d'une faible fréquence (35 MHz) permet de limiter sa consommation.

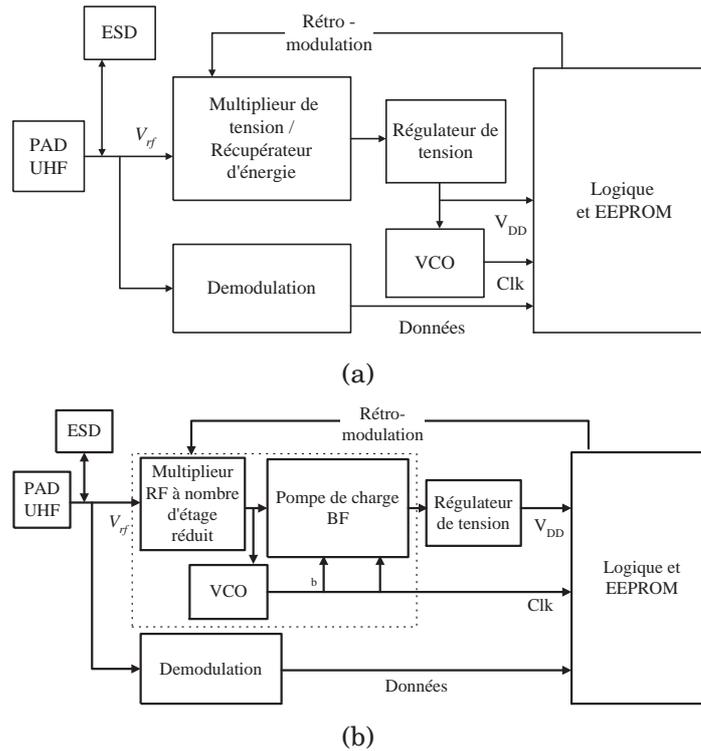


Figure V.2 : (a) Architecture RF classique, (b) Architecture proposée

De nombreuses études existent sur les pompes de charges classiques [6] [7] et des rendements importants peuvent être atteints avec ces structures. Dans le cadre d'un récupérateur d'énergie, toutes les solutions ne peuvent pas être envisagées : les signaux d'horloges sont limités en amplitude, de même la pompe de charge doit avoir un gain en tension important dès que de très faibles tensions sont présentes à son entrée. Ces restrictions ont mené au choix de la structure présentée sur la figure V.3, qui présente l'intérêt de pouvoir élever des tensions avec des facteurs multiplicatifs intéressants en partant de tensions inférieures au volt [8].

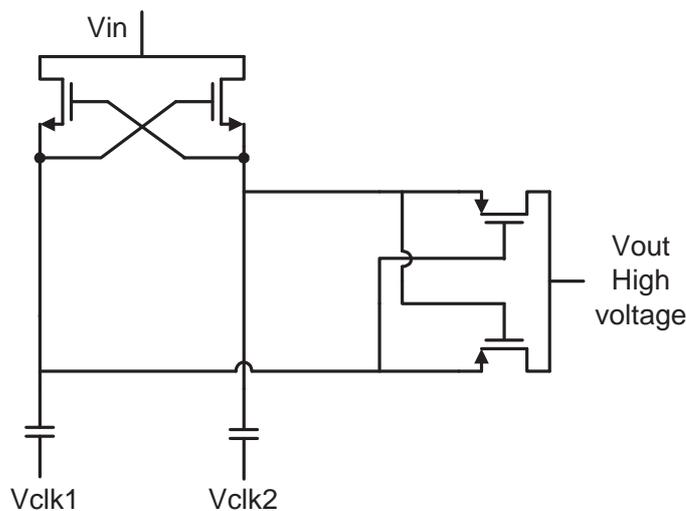


Figure V.3 : Structure présentée dans la référence [8]

Cette structure permet d'obtenir une amplification de la tension présente à

son entrée dès 0.8V (figure V.4). Elle permet par conséquent d'élever le niveau de la tension fournie par le multiplieur réduit à un nombre d'étage minimal.

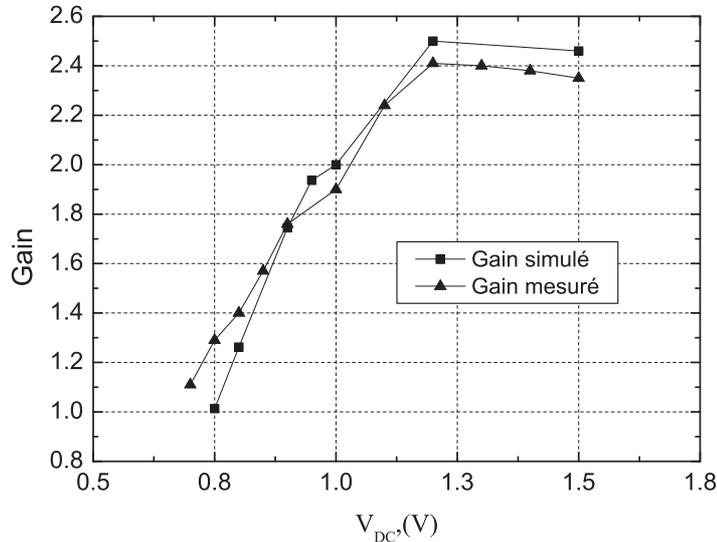


Figure V.4 : Résultats de simulation et comparaison aux mesures

Dans la nouvelle architecture, la tension délivrée par le multiplieur doit être suffisante pour enclencher le VCO et ainsi amorcer le démarrage de la pompe de charge basse fréquence. A longue distance, ceci peut retarder la mise en route du système par rapport à un système classique.

V.2.3 Mesures

Un prototype de la nouvelle architecture a été réalisé en technologie CMOS 0,18 μm . Ce multiplieur a été mesuré sur wafer en suivant la même procédure qu'au chapitre IV. La charge en sortie est constituée d'une résistance de 400K Ω en parallèle avec une capacité de stockage de 200pF. Les résultats en rendement et en tension sont comparés à ceux obtenus pour un multiplieur traditionnel de trois étages avec la même charge et dans la même technologie.

Les résultats de la figure V.5 permettent de comparer les deux structures. Le multiplieur traditionnel nécessite moins de puissance pour fournir une tension que la nouvelle architecture : aucun système d'horloge n'est nécessaire à son fonctionnement alors que l'autre structure doit attendre le déclenchement du VCO pour fonctionner. Autour de -13 dBm, la pompe de charge BF et le VCO commencent à fonctionner : la tension de sortie et le rendement du multiplieur augmentent rapidement. Dès -12 dBm la nouvelle architecture est plus performante que la précédente.

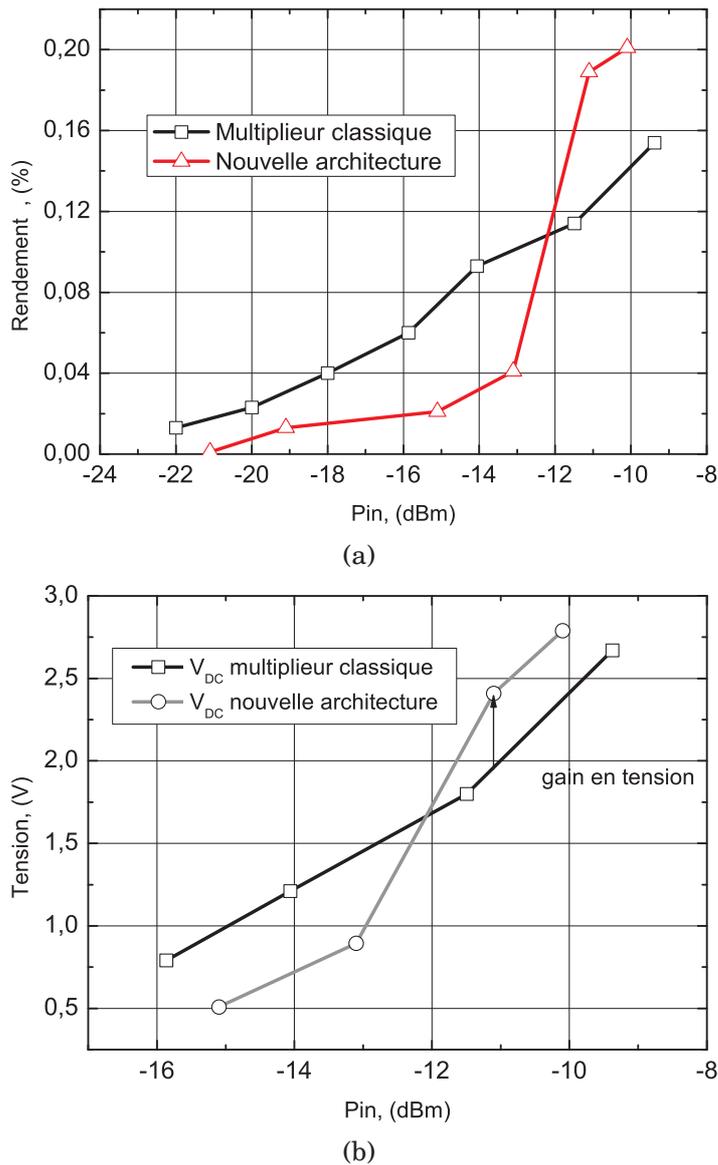


Figure V.5 : Résultats des mesures (a) sur le rendement, (b) sur la tension architecture proposée

Plusieurs résultats sont à considérer sur la figure V.5 :

- si le circuit a besoin d’une tension d’alimentation de 1.7V ou plus, la nouvelle structure est plus performante
- si le circuit a besoin d’une tension d’alimentation inférieure à 1.7V, la nouvelle structure est plus performante seulement à faible portée (jusqu’à 7 m).

De plus, lors de la mesure de la puissance disponible en sortie du multiplieur, un autre paramètre est à prendre en compte : dans la nouvelle architecture, le VCO est déjà alimenté, alors que sa consommation n’est pas prise en compte dans la mesure du multiplieur traditionnel. Le tableau V.2.3 présente les résultats en puissance disponible obtenus en fonction de la distance, pour une émission de 4W. La dernière ligne tient compte de la consommation du VCO ($1\mu\text{W}$) rajoutée sur le multiplieur classique.

Portées	9 m	8 m	7 m	6 m
Puissance de sortie disponible avec la nouvelle architecture	1.44 μW	3.9 μW	10 μW	19.5 μW
Puissance de sortie disponible avec l'architecture traditionnelle	3.9 μW	5.6 μW	7.6 μW	13 μW
Puissance de sortie disponible Avec l' architecture traditionnelle Après consommation du VCO	2.9 μW	4.6 μW	6.6 μW	12 μW

Table V.1 : Résumé des résultats pour une émission de 4W et un gain d'antenne du tag de 1dB

Ces résultats montrent l'intérêt de la nouvelle structure pour une distance allant jusqu'à 8 m. La puissance de sortie est significativement (de 60 à 65 %) augmentée dès 7 m. Cependant, pour les longues portées la structure classique permet d'obtenir plus de puissance, mais ces portées ne restent utilisables que par les systèmes à très faible consommation ($<4 \mu\text{W}$). La nouvelle architecture est par conséquent intéressante pour des applications à plus fortes consommations ou pour des systèmes de recharge de batterie sans fil.

V.2.4 Limitations actuelles et perspectives

À longue distance et faible tension d'alimentation, la structure classique s'avère sur ces mesures plus intéressante. De plus, au premier abord, avec la diminution des tensions d'alimentation nécessaires aux nouvelles technologies, les longues portées semblent réservées au multiplieur classique. Cependant, dans le système actuel le VCO et la pompe de charge entrent en fonctionnement autour de 0.75 V, or cette tension devrait, elle aussi fortement diminuer avec l'utilisation de technologies avancées. Le multiplieur optimisé atteindra des portées beaucoup plus importantes. D'autre part, le fait d'accentuer le coefficient de qualité en entrée du circuit, peut diminuer la bande passante utilisée.

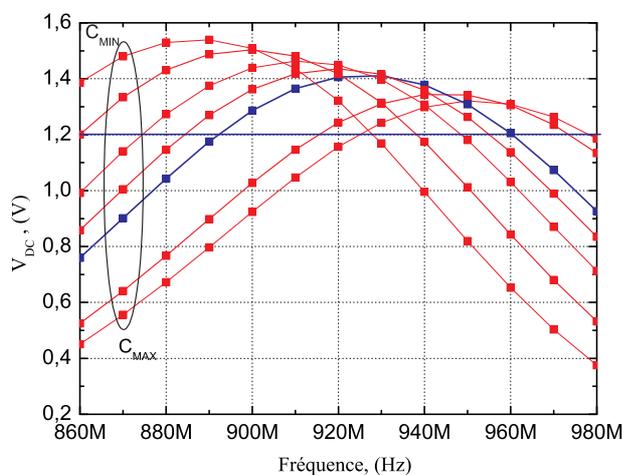


Figure V.6 : Simulation de l'influence d'une variation de la capacité d'entrée sur la bande de fréquence de fonctionnement

Ce problème récurrent à la RFID UHF peut être résolu grâce à l'utilisation d'un circuit auto-adaptatif en entrée du tag [9]. En effet, l'ajout d'une capacité commandée en entrée du circuit permet de déplacer la fréquence de résonance entre l'antenne et la puce. L'ajout d'un circuit logique de commande permettant d'asservir la capacité à sa valeur entraînant le maximum de surtension est nécessaire. Si un tel circuit est difficile à mettre en oeuvre les résultats sur la largeur de la bande d'adaptation peuvent être significatifs comme le montrent les résultats de simulations de la figure V.6. En faisant varier la capacité d'entrée il est possible de maintenir la tension de sortie du multiplieur au dessus du niveau désiré sur toute la plage de fréquence d'utilisation de la RFID.

V.2.5 Conclusion

Un multiplieur à haut rendement a été conçu et mesuré. Une augmentation de la puissance de sortie de 65 % a été constatée pour une distance de 7m. Ces résultats en font un candidat idéal pour les produits de portée moyenne ayant une consommation plus importante. De plus, cette structure ne possède pas d'inductance et reste ainsi comparable en surface occupée sur le silicium à la structure traditionnelle.

V.3 STRUCTURE INTÉGRÉE 24 GHZ

De nombreuses applications d'identification à faible portée sont aujourd'hui utilisées en 13,56 MHz. Cependant, pour les très faibles distances, il est possible d'envisager des puces très hautes fréquences, plus réduites. La fabrication de ces tags tout intégrés est encore limitée par de nombreux verrous technologiques et économiques. L'un des principaux étant l'intégration d'antenne sur silicium classique (et faible coût).

Cependant, l'intérêt pour ce type de produits ne manque pas, le développement actuel du WBAN (wireless body network area, figure V.7) offre notamment un champ d'applications intéressantes pour les tags ou les puces tout-intégrées télé-alimentées.

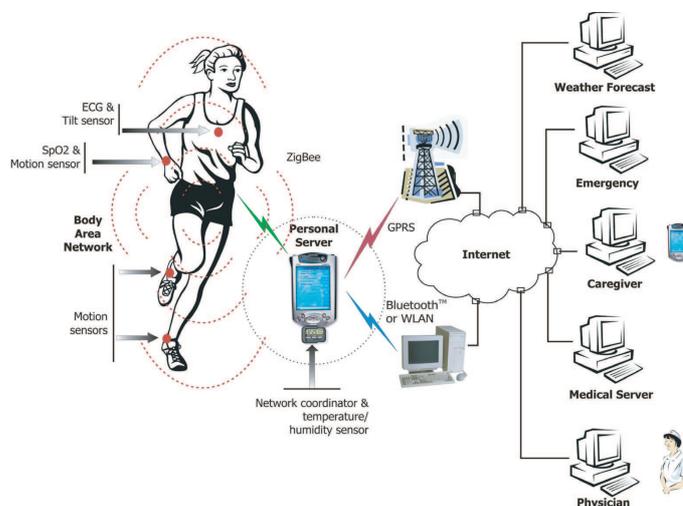


Figure V.7 : Application du WBAN [10]

Pour ces applications si la montée en fréquence permet de réduire la taille de l'antenne la portée est, elle aussi, diminuée. En effet, si on utilise la bande ISM comprise entre 24 et 24,25 GHz, l'antenne peut atteindre des dimensions intégrables mais la faible puissance d'émission imposée par la norme actuelle (500 mW [11] [12]) et la forte atténuation de l'onde à ces fréquences imposent des applications de très faibles portées. La figure V.8 représente la puissance reçue en espace libre pour une puissance d'émission conforme à la norme, puis pour une puissance supérieure à celle autorisée de nos jours.

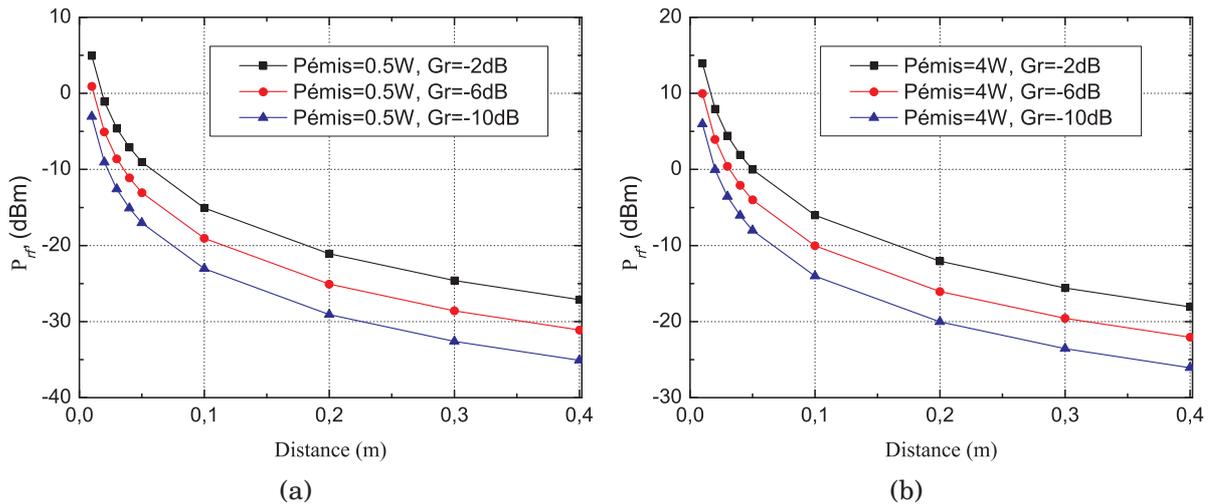


Figure V.8 : Bilan de liaison (a) avec une puissance émise de 0.5W, (b) avec une puissance émise de 4W

Les résultats précédents indiquent une portée maximale de 20 cm dans le meilleur des cas et seulement de 10 cm dans le cadre de la norme actuelle. Ces portées peuvent suffire pour l'identification ou la lecture de capteur sous cutanée et la taille du tag obtenue serait huit fois inférieure à celle du circuit actuel. En effet, un tag avec une antenne intégrée à 24 GHz nécessite une surface de 2 mm^2 ce qui représente un volume de tag de 1 mm^3 , là où actuellement les tags possèdent un volume de 8 mm^3 (figure V.9).

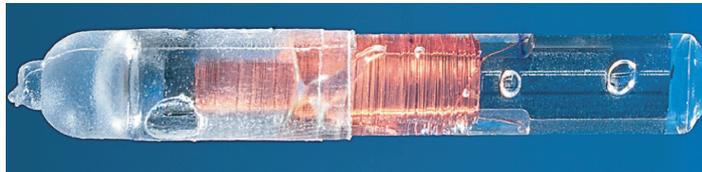


Figure V.9 : implant sous cutané RFID HF, longueur 11 mm, diamètre 1mm (issue de [2])

V.3.1 Antenne

L'intégration de l'antenne sur silicium est possible à 24 GHz [13] [14], cependant la télé-alimentation, nécessite un facteur de qualité important et la RFID un processus de fabrication très faible coût. Ces deux notions sont pourtant en complète opposition dans le cas de la conception d'antenne, en effet les technologies faibles coûts disposent d'un substrat à faible résistivité ($10 \Omega \cdot \text{cm}^{-1}$ dans notre cas) ce qui favorise les pertes dans le substrat et minimise l'efficacité de l'antenne.

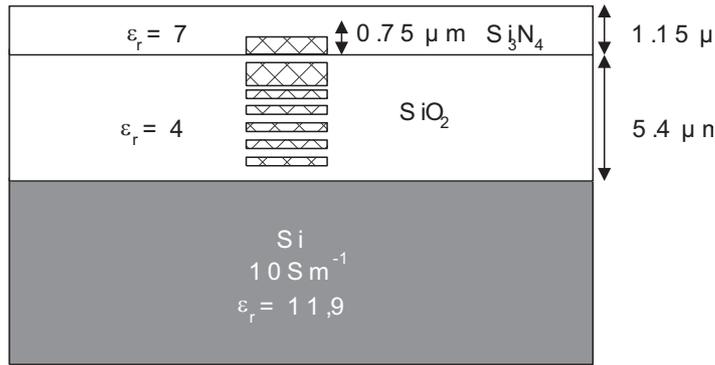


Figure V.10 : Vue en coupe de la technologie HCMOS9

Plusieurs règles technologiques liées au processus de fabrication compliquent encore l'intégration de l'antenne. La plus contraignante est celle qui interdit les grandes surfaces métalliques sur les niveaux de métaux. Cette règle rend par exemple difficile la création d'un plan de masse pour l'antenne. Des plans de masse troués sont utilisés [15] en considérant l'influence des trous comme nulle, mais pour des fréquences très élevées leur impact doit être pris en compte. Cependant la considération d'un plan de masse troué lors de l'optimisation d'une antenne par simulation électro-magnétique rend la convergence difficile et allonge énormément le temps de simulation.

Ces considérations orientent la conception vers une réalisation d'une antenne dans un seul plan. Les antennes dipôle, dipôle replié ou certaines antennes fractales permettent des réalisations sepliant à cette contrainte. Les antennes fractales permettent une miniaturisation importante de la surface occupée [16], ce qui est intéressant pour l'intégration sur silicium. Toutefois, les règles technologiques empêchent de dessiner des fractales d'ordre important sur les niveaux de métaux. Ces différentes contraintes, nous ont conduit à considérer les solutions antennes dipôles ou dipôles repliés, comme les plus intéressantes pour la réalisation d'une antenne intégrée sur silicium.

V.3.1.1 Choix de l'antenne

A 24 GHz la longueur d'onde impose une surface d'antenne beaucoup plus importante que la taille du circuit lui-même, il est alors intéressant de pouvoir inclure celui-ci dans l'espace occupé par l'antenne. Pour obtenir ce résultat l'utilisation d'antenne entourant le circuit a été proposée dans [14]. Une représentation de cette configuration est présentée sur la figure V.11

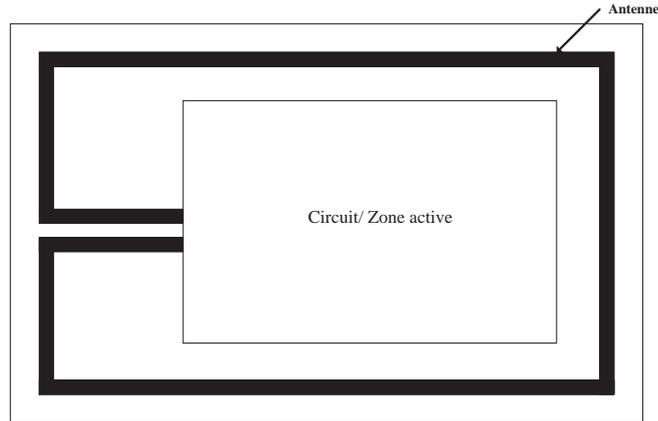


Figure V.11 : antenne et circuit

Cette configuration présente l'avantage de réduire la taille du tag à celle de l'antenne. De plus, l'antenne n'est pas disposée directement au dessus du circuit ce qui permet de pouvoir utiliser tous les niveaux de métaux disponibles pour la conception du circuit et éviter la présence de couplage avec les capacités MIM situées sur les niveaux supérieurs. Cette configuration peut être assimilée à celle d'un dipôle replié déjà largement utilisé en RFID. Elle permet un encombrement réduit et présente une impédance d'entrée qui peut être calculée analytiquement en fonction de la géométrie.

V.3.1.2 Gain

La montée en fréquence des circuits permet la miniaturisation des antennes et ainsi leur intégration sur silicium. Cependant, de nombreux problèmes persistent. L'un des premiers est le problème du gain, qui, s'il est insuffisant, peut fortement diminuer la portée du système. Comme le montre l'expression V.1 [17], le gain est limité par la taille de l'antenne, ce qui diminuera les possibilités d'intégration de l'antenne.

$$Gain < \frac{2\pi a}{\lambda} \quad (V.1)$$

Où a est la surface équivalente de l'antenne.

Pour maximiser le gain, il est nécessaire d'utiliser la plus grande surface disponible lors du dessin de l'antenne. Afin de pouvoir couvrir une grande surface sans enfreindre les règles de dessins, l'antenne ne doit pas être réalisée dans les niveaux de métaux servant aux interconnexions du circuit, il est ainsi préférable d'utiliser le niveau de métal utilisé pour créer les pads. Ce niveau est situé moins profondément que les autres dans le silicium et il peut être utilisé sur des grandes surfaces.

V.3.2 Adaptation antenne-circuit

Il a été montré dans les chapitres précédents que pour optimiser la conversion RF/DC, il est nécessaire d'obtenir un important coefficient de qualité en entrée du circuit. Or l'obtention de coefficients de qualité élevés est un problème récurrent sur silicium classique, notamment lors de la conception de composants passifs telles que les inductances. Le problème est identique avec les antennes : la résistivité du substrat est faible et les pertes substrat sont importantes. Il existe toutefois des solutions à ce problème. Il est possible de déposer une couche de diélectrique

à faible perte comme le benzocyclobutane (BCB) sur le substrat ce qui réduit les pertes. Une autre solution consiste à usiner le wafer, afin de supprimer une partie du substrat et ainsi diminuer les pertes dans le matériau. Toutefois, si ces solutions sont possibles leurs coûts est important et peu envisageable dans le cadre de puces communicantes bon marché.

V.3.2.1 facteur de qualité

Sur silicium classique faible coût, il faut par conséquent optimiser le coefficient de qualité et diminuer celui du circuit en affectant le moins possible le rendement du circuit. Cette étude peut être menée pour le circuit à l'aide du modèle présenté au chapitre II, cependant la contrainte principale étant dans ce cas liée à l'antenne il est nécessaire de connaître le comportement de son impédance.

Le comportement en fréquences des antennes dipôles RFID a été présenté dans plusieurs publications [18] [19]. Le comportement théorique de l'impédance d'entrée de ces circuits est présenté sur la figure V.12.

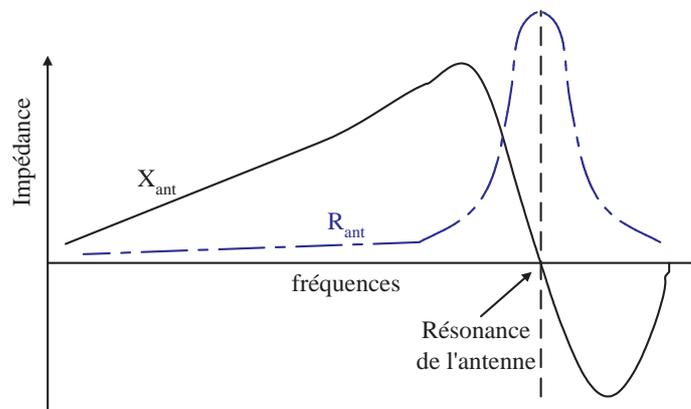


Figure V.12 : Comportement de l'impédance d'un dipôle

Pour obtenir un facteur de qualité important il semble intéressant de choisir une fréquence de résonance supérieure à la fréquence de travail du circuit. En effet dans cette zone la partie imaginaire de l'impédance est importante alors que sa partie réelle est encore faible. La dimension théorique de résonance d'une antenne dipôle est égale à $\frac{\lambda}{2}$. Par conséquent choisir une fréquence de résonance importante permet de réduire la taille du dispositif. A 24 GHz, la longueur d'onde dans le silicium est d'environ 6,25 mm. Un dipôle replié dimensionné pour résonner à 24 GHz aurait ainsi une longueur (L_d) de 3.12mm comme le montre la figure V.13.

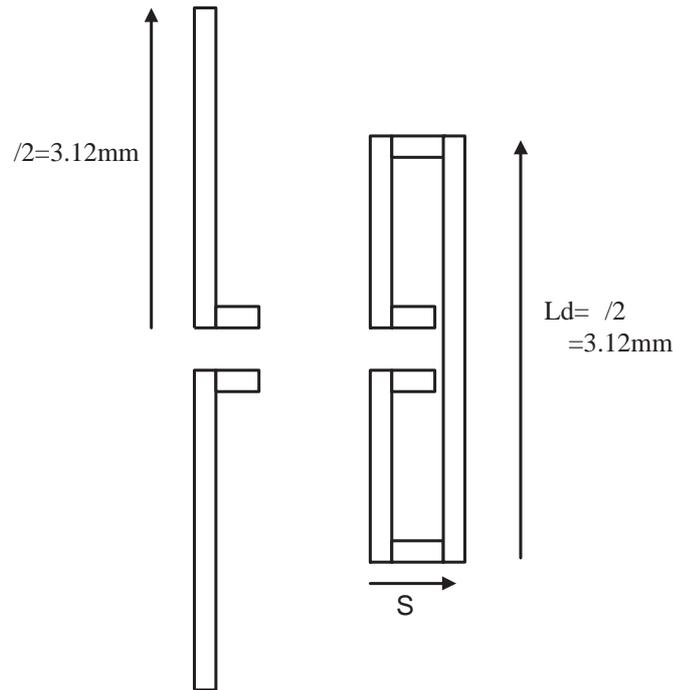


Figure V.13 : Dimension du dipôle replié

Par conséquent, une antenne de longueur inférieure à 3,12 mm sera privilégiée. Néanmoins pour un dimensionnement plus précis, il est nécessaire de déterminer l'impédance d'entrée de l'antenne et de la comparer à l'impédance du multiplieur.

Pour calculer la valeur de Z_e , la méthode utilisée est celle du modèle ligne de transmission, décrit par R. W. LAMPE [20], qui permet de prédire, l'impédance d'entrée d'un dipôle replié. D'après ce modèle, le dipôle replié est considéré comme une ligne de transmission déséquilibrée. Le courant du dipôle se décompose en deux modes distincts, le courant IT lié au mode de la ligne de transmission et le courant IA correspondant au mode de l'antenne. L'impédance d'entrée est donnée par l'expression V.2.

$$Z_{in} = \frac{2(1 + a^2)Z_d Z_x}{(1 + a^2)Z_d + 2Z_x} \quad (\text{V.2})$$

où Z_d est l'impédance du dipôle équivalent. Z_x est l'impédance du mode ligne de transmission. $(1+a)^2$ le rapport entre les courants IA et IT. Le calcul de l'impédance du dipôle équivalent est décrit par Balanis dans [17]. Ce modèle va permettre un premier dimensionnement de l'antenne. La largeur de l'antenne est fixée pour des raisons d'encombrements sur le silicium à environ 1 mm. Choisir cette valeur importante permet de garder une surface totale de l'antenne assez grande pour ne pas trop affaiblir le gain, de plus elle permet de disposer de suffisamment de place pour intégrer un circuit à l'intérieur du dipôle. Les impédances de plusieurs dipôles sont ainsi calculées pour des longueurs comprises entre 2 mm et 3 mm. Le dipôle résonne à des fréquences supérieures à 24 GHz. Les résultats sont présentés sur la figure V.14.

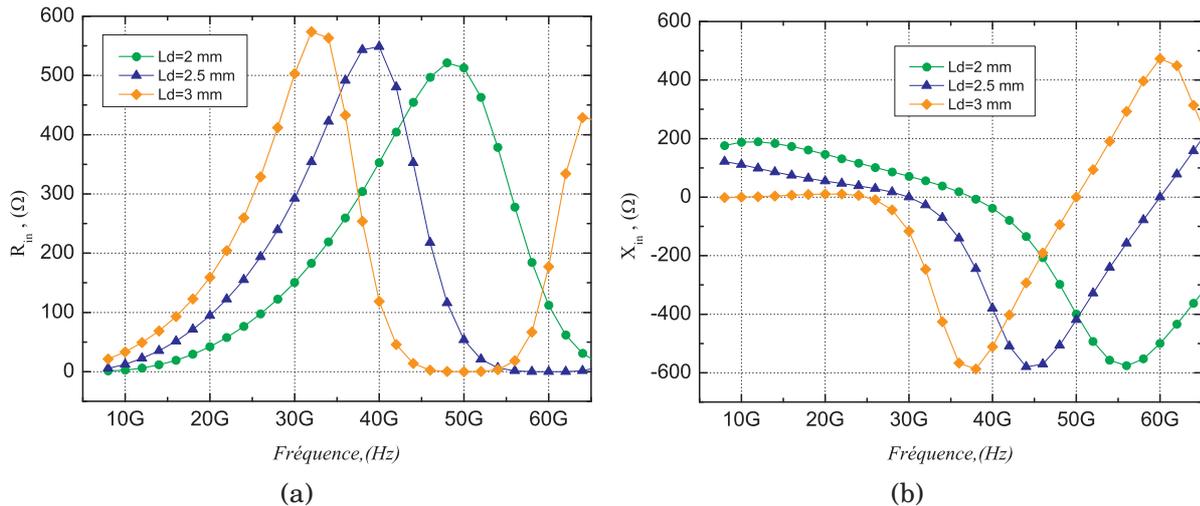


Figure V.14 : Calcul des impédances de l'antenne grâce au modèle de R. W. Lampe

Les résultats présentés sont conformes avec le comportement théorique es-compté (figure V.12). Une résonance de l'antenne proche de la fréquence de travail implique de fortes variations sur les parties réelles et imaginaires de l'antenne, même pour de faibles changements de longueur. Une longueur de 2 mm semble être un choix satisfaisant d'un point de vue de la stabilité des résultats, mais présente aussi le coefficient de qualité le plus élevé (figure V.15)

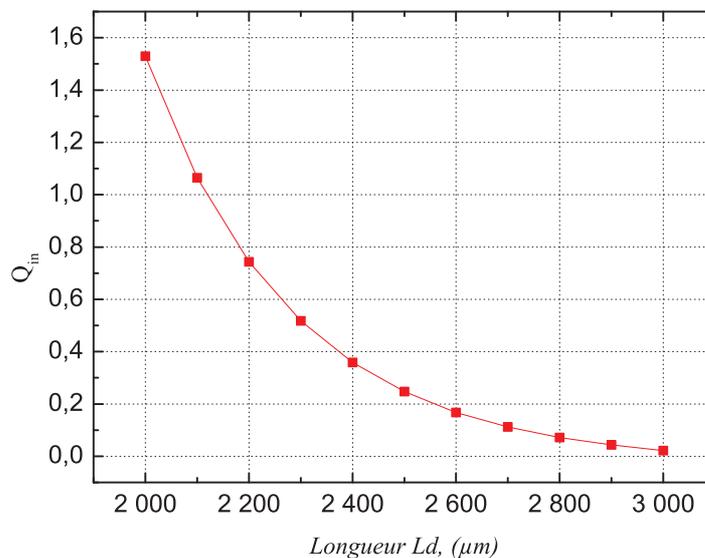


Figure V.15 : Coefficient de qualité de l'antenne

Des dipôles, encore plus réduits pourraient être envisagés cependant la surface totale de l'antenne deviendrait très faible ce qui est alors pénalisant en terme de gain.

V.3.2.2 Adaptation du circuit

Afin de concevoir le système de récupération d'énergie tout intégré, il faut concevoir le multiplieur qui s'adapte le mieux aux contraintes imposées par l'antenne. Il faut par conséquent déterminer les paramètres de conception du circuit et de l'antenne permettant d'obtenir le maximum de puissance. Pour cela le modèle

de multiplieur est utilisé conjointement aux résultats obtenus précédemment. Les résultats obtenus pour l'antenne et le multiplieur sont présentés sur la figure V.16.

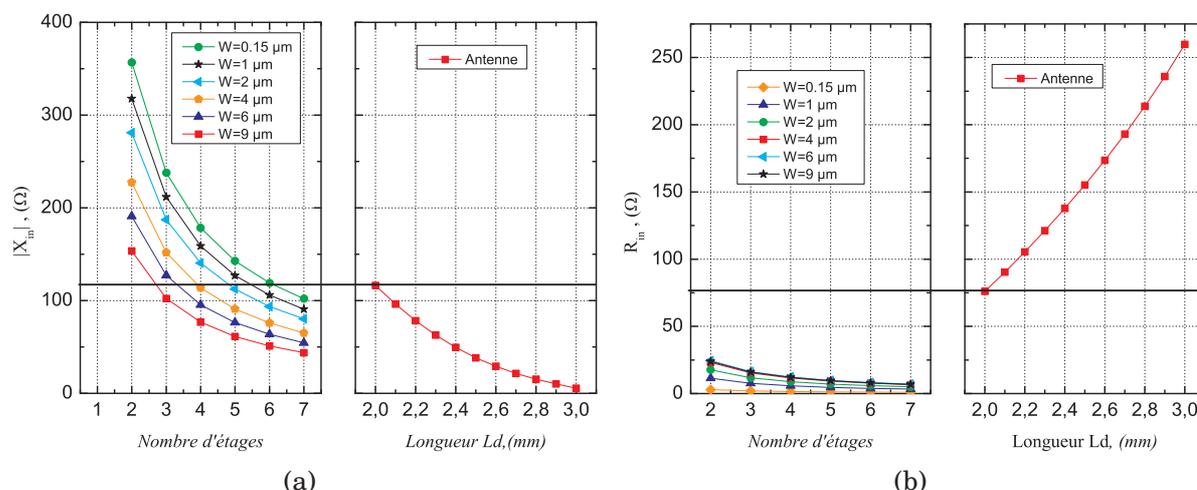


Figure V.16 : Calcul des impédances de l'antenne et du multiplieur

Pour que l'adaptation soit optimale, il faut que :

- les valeurs absolues des parties imaginaires soient identiques pour le multiplieur et l'antenne, ce qui impose un nombre d'étages supérieur à trois mais laisse plusieurs dimensions de transistors envisageables.
- Les valeurs des parties réelles soient aussi identiques : Ce qui ne semble pas possible avec cette topologie d'antenne.

Afin de préciser la configuration idéale pour le multiplieur, une étude de sensibilité du rendement du multiplieur par rapport aux configurations possibles est présenté sur la figure V.17.

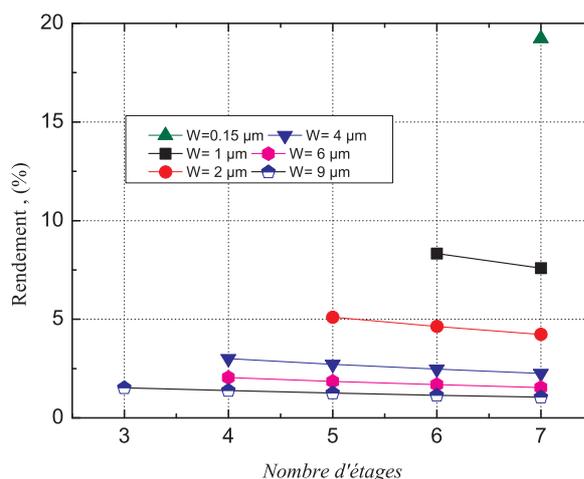


Figure V.17 : Rendement des différentes configurations adaptables

La figure V.17 montre qu'il est préférable de minimiser la taille du transistor et d'augmenter le nombre d'étages parmi les choix de multiplieurs dont la partie imaginaire correspond à une antenne. Néanmoins ce résultat est contraire aux indications apportées par la figure V.16(b) sur laquelle les faibles largeurs de transistors possèdent les parties réelles les plus éloignées de celle du circuit. La désa-

daptation du circuit peut être plus importante que le gain en rendement attendu en travaillant à taille minimale.

Pour diminuer la désadaptation, il est possible d'adapter l'antenne par simulation électromagnétique, la figure V.16(b) montre que plus l'antenne est petite plus sa partie réelle est proche de celle du circuit.

Si un compromis paraît nécessaire entre la taille des transistors et le nombre d'étages, l'étude précédente a permis d'évaluer rapidement les contraintes sur la faisabilité d'un système tout intégré. Un premier dimensionnement de l'antenne et du circuit est possible, ce qui permet de fournir une première base à la conception de ce système et limite le nombre de simulations nécessaires à sa création.

V.3.2.3 Simulation et réalisations

Afin d'optimiser et de prendre en compte tous les paramètres de la conception de ce type de circuit, il est nécessaire de simuler chaque élément séparément. Les simulations du circuit peuvent être effectuées sous ADS à l'aide du Design-Kit fourni. L'antenne est simulée à l'aide du logiciel Ansoft HFSS, les différentes couches du substrat doivent être importées afin d'obtenir précisément le comportement de l'antenne. La démarche de simulation est présentée sur la figure V.18.

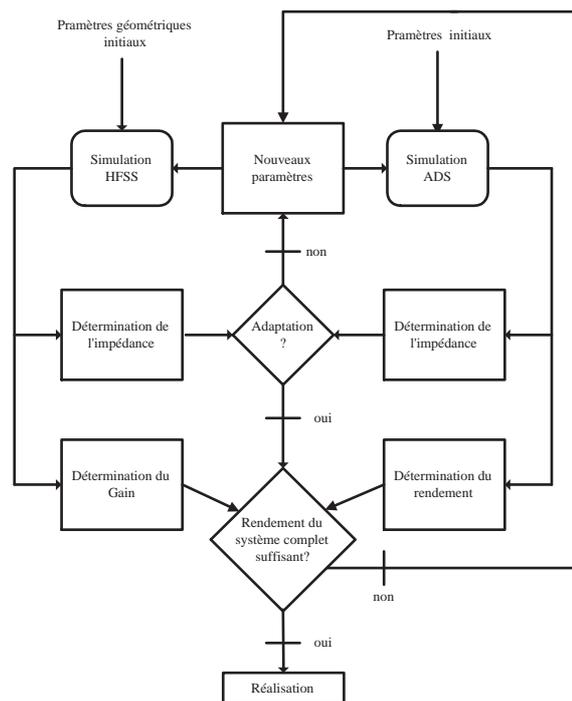


Figure V.18 : Méthode de conception

Une structure de ce type peut être très longue à optimiser, l'utilisation de l'étude précédente permet d'obtenir un système pré-dimensionné ce qui permet de diminuer fortement le nombre d'itérations.

Cette démarche a permis de dimensionner un système complet. Le dessin de l'antenne est présenté sur la figure V.19. L'antenne occupe une surface de 2,34 mm x 1.1 mm. Une grande partie de sa surface a été recouverte de métal pour optimiser le gain. L'impédance d'entrée a été optimisée à l'aide de lignes d'accès et d'une boucle sur l'entrée.

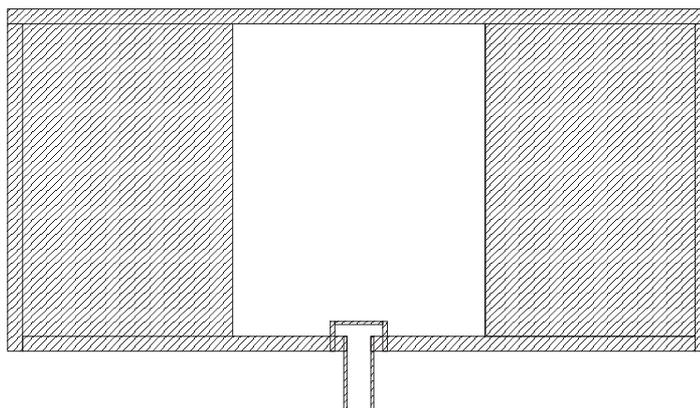
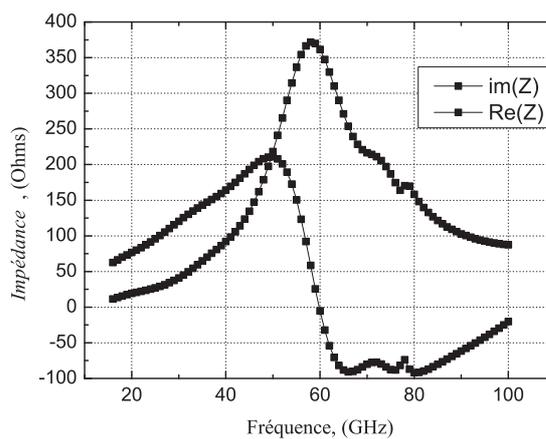
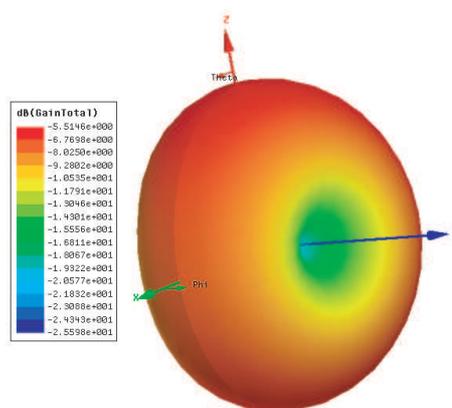


Figure V.19 : Dessin de l'antenne

La simulation de l'impédance d'entrée de cette antenne est présentée sur la figure V.20(a). La résonance de l'antenne est obtenue autour de 60 GHz. Les valeurs des parties réelles et imaginaires à 24 GHz sont du même ordre que celle obtenue sur la figure V.14.



(a)



(b)

Figure V.20 : Impédance d'entrée simulée de l'antenne et gain de l'antenne (dB)

L'impédance de l'antenne à 24 GHz est $Z_{in} = 10.3 + j71.15$. Le simulateur HFSS permet d'obtenir, le gain et le diagramme de rayonnement. Ce résultat est présenté sur la figure V.20(b).

Dans l'air, le gain maximum simulé est de -5.51 dB. Ce est qui reste faible pour fonctionner à des distances supérieures à 10 cm, pour augmenter ce résultat il est nécessaire de diminuer les pertes grâce aux méthodes évoquées précédemment. Pour estimer ce gain en terme de portée, il faut évaluer le multiplicateur dans les conditions de connexions avec l'antenne.

Le multiplicateur choisi possède 5 étages, la longueur des transistors est prise minimale ($0,13 \mu\text{m}$), et leur largeur est de $3,2 \mu\text{m}$ le nombre de doigts du transistor est pris égal à 4. Dans cette configuration l'impédance du multiplicateur est adaptée à l'antenne. Une simulation ADS est effectuée en utilisant le modèle équivalent en impédance de l'antenne. La puissance disponible dans l'antenne varie entre -15 dBm et -5 dBm, la tension de sortie obtenue est présentée sur la figure V.21.

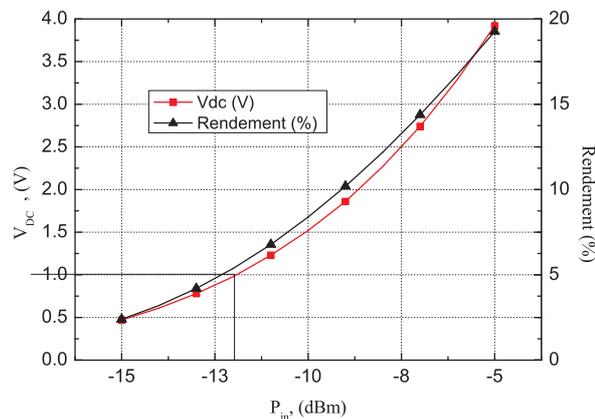


Figure V.21 : résultat de simulation du système complet

Une tension de 1 V est obtenue pour une puissance de -12 dBm sur une charge de 420 KOhms ce qui conduit à une distance de fonctionnement de quelques centimètres pour une émission de 500 mW et supérieure à 10 cm pour une émission de 4 W.

V.3.3 Conclusion

L'étude d'un système complet intégré de télé-alimentation a été effectuée. Elle met en valeur les difficultés imposées par l'utilisation de technologies faibles coûts dans des applications hautes fréquences. Cependant, les résultats démontrent la faisabilité de telles structures malgré les faibles portées obtenues. Pour valider cette faisabilité, une réalisation complète a été intégrée dans la technologie HC-MOS9 (photographie V.22) de ST-Microelectronics et devrait prochainement pouvoir être mesurée.

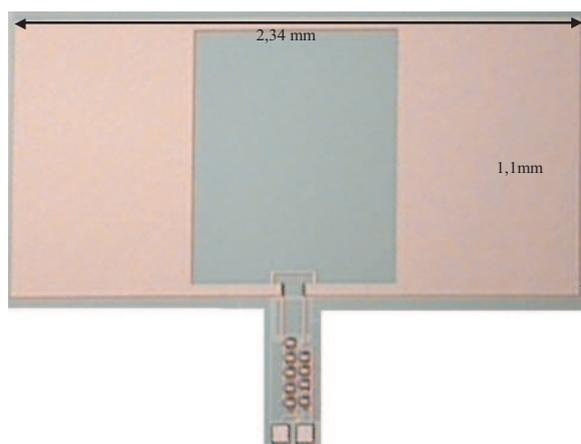


Figure V.22 : *Système de télé-alimentation intégrée*

V.4 CONCLUSION

Dans ce chapitre, deux structures de récupérations d'énergies ont été présentées. Elles sont cependant destinées à des puces très différentes et montrent bien la grande diversité des applications télé-alimentées qui devraient continuer de se multiplier.

La première structure est dédiée à des circuits longues portées, elle permet une augmentation significative du rendement du multiplieur. Elle s'appuie sur une augmentation du coefficient de qualité de l'entrée de la puce, ce qui permet de disposer de tension importante en entrée et d'augmenter le rendement du multiplieur. Cette méthode est très dépendante de la technologie utilisée pour la fabrication de la puce comme de celle de l'antenne. En effet, l'utilisation de matériaux faibles coûts imposent généralement des substrats possédant des pertes importantes et limitent de ce fait les coefficients de qualité pouvant être atteint. Toutefois, sans ce critère de coût, il existe aujourd'hui des substrats d'antenne (verre) ou de circuit (saphir) qui peuvent permettre avec les systèmes proposés des distances très importantes avec les normes actuelles d'émissions.

La seconde structure étudiée est un circuit de télé-alimentation tout intégré. L'intégration de l'antenne sur silicium nécessite de travailler à haute fréquence (24 GHz). A ces fréquences l'atténuation dans l'air est très importante diminuant alors très fortement la portée du système. D'autre part, la principale problématique de ce système est de maintenir un rendement de conversion suffisant pour alimenter un circuit. En effet, l'antenne sur silicium ne permet pas d'obtenir des coefficients de qualité importants. Le multiplieur doit alors être conçu de façon à tenir compte de ces contraintes importantes sur l'impédance d'entrée sans pour autant négliger l'optimisation de son rendement. Les résultats présentés ici ont démontré la faisabilité d'un circuit de télé-alimentation tout intégré pouvant délivrer une tension de 1 V sur une charge de 420 KOhms avec un rendement de 5 %.

V.5 BIBLIOGRAPHIE

- [1] Philips Stefan Drude. Project : Ieee p802.15 working group for wireless personal area networks. 2006.
- [2] K. R. Foster and J. Jaeger. Rfid inside. *Spectrum, IEEE*, 44(3) :24, 2007.
- [3] E. Bergeret, J. Gaubert, Pannier P., and Rizzo P. circuit integre sans contact comprenant un circuit d'alimentation électrique à haut rendement. *Brevet n 06024673.3-2210*, 22.01.07.
- [4] E. Bergeret, J. Gaubert, P. Pannier, and P. Rizzo. Power generation system for uhf passive rfid. *Electronics Letters*, 42(25) :1452, 2006.
- [5] R. Barnett and Liu Jin. A 0.8v 1.52mhz msvc relaxation oscillator with inverted mirror feedback reference for uhf rfid. In *IEEE 2006 Custom Intergrated Circuits Conference (CICC)*, page 769, 2006.
- [6] P. Favrat, P. Deval, and M. J. Declercq. A new high efficiency cmos voltage doubler. In *Proceedings of CICC 97 Custom Integrated Circuits Conference. Santa Clara, CA, USA. IEEE Electron Devices Soc. IEEE Solid State Circuits Soc. 5 8 May 1997*. IEEE, New York, NY, USA, 1997.
- [7] Cheng Kuo-Hsing, Chang Chung-Yu, and Wei Chia-Hung. A cmos charge pump for sub-2.0 v operation. In *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, volume 5, pages V–89, 2003.
- [8] Y. Moisiadis, I. Bouras, and A. Arapoyanni. A cmos charge pump for low voltage operation. In *ISCAS 2000 Geneva. 2000 IEEE International Symposium on Circuits and Systems. Emerging Technologies for the 21st Century. Proceedings. Geneva, Switzerland. IEEE Circuits and Syst. Soc. 28 31 May 2000*. Presses Polytech. Univ. Romandes, Lausanne, Switzerland, 2000.
- [9] S. Mandal and Sarpekar R. Far-field rf power extraction circuit and systems. *Patent n US 7,167,090 B1*, 23.01.07.
- [10] E. Jovanov, A. Milenkovic, C. Otto, and P.C. de Groen. A wireless body area network of intelligent motion sensors for computer assisted physical rehabilitation. *Journal of NeuroEngineering and Rehabilitation*, 2005.
- [11] Klaus Finkenzeller. *RFID Handbook*. John wiley and son edition, 1998.
- [12] European Standard (Telecommunications series). Electromagnetic compatibility and radio spectrum matters (erm); short range devices; radio equipment to be used in the 1 ghz to 40 ghz frequency range, ETSI EN 300 440 2001.
- [13] Fouad Bouchriha. *Developpement de filieres technologiques d'Ã©dies Ã l'integration de microsystÃ¨mes millimetriques sur silicium*. PhD thesis, Universite Paul Sabatier, 2005.
- [14] Erik Ojefors. *Integrated Antennas Monolithic and Hybrid approaches*. Acta Universitatis, 2006.
- [15] Egels Matthieu. *Contribution a l'etude des amplificateurs faible bruit haute frequence en technologie CMOS standard*. These de l'universite de Provence, 2006.
- [16] Bechevet Delphine. *Contribution au developpement de tag RFID, UHF et Microondes, sur materiaux plastiques*. These INPG, 2005.

- [17] Balanis C.A. *Antenna theory : analysis and design*. WILEY, 1997.
- [18] A. Margalef, P Pannier, J Gaubert, and E. Bergeret. Antennes miniatures pour systeme passifs rfid uhf. In *14 eme JournÃ©e Nationales Microonde 2005 (JNM05)*, 2005.
- [19] K. V. S. Rao, P. V. Nikitin, and S. F. Lam. Antenna design for uhf rfid tags : a review and a practical application. *IEEE Transactions on Antennas and Propagation*, 53(12) :3870–6, 2005.
- [20] R. Lampe. Design formulas for an asymmetric coplanar strip folded dipole. *Antennas and Propagation, IEEE Transactions on [legacy, pre - 1988]*, 33(9) :1028, 1985.

Conclusion générale

Le travail que nous avons présenté dans ce mémoire porte sur l'étude et l'optimisation de systèmes de télé-alimentation faible coût et faible consommation.

Les différentes modélisations des circuits utilisés pour ces applications ont permis d'aborder la conception de ces circuits de façon systématique et optimale. Nous avons ainsi pu dimensionner un système complet en fonction des différentes contraintes issues d'un cahier des charges.

Dans le cadre des applications RFID et de la rétro-modulation, le modèle a été complété pour tenir compte des différents paramètres liés à ce type de liaison. Il est ainsi possible de connaître l'influence des paramètres de conception du circuit sur la visibilité de la communication ou sur l'alimentation de la puce.

Le premier chapitre a introduit les différentes études menées sur la télé-alimentation, et les architectures utilisées pour ces applications. De plus, le contexte industriel de la RFID et des puces communicantes a été présenté.

Dans le second chapitre, nous avons présenté un modèle théorique analytique des multiplieurs de tension utilisés dans les systèmes de récupérations d'énergie. Ce modèle peut être utilisé dans le cadre de circuits à base de transistors MOS comme dans celui en diodes Schottky. Basé sur des équations simples et sur une modélisation non linéaire, il a été validé par comparaison avec des résultats de simulations obtenus avec les logiciels Cadence et ADS. Contrairement à ceux-ci, il nous a permis d'obtenir rapidement les performances et la portée du circuit dans ses différentes configurations.

Dans le troisième chapitre, l'ajout à ce modèle de paramètres tenant compte de la liaison entre le lecteur et le tag est présenté. L'intérêt a été ainsi de pouvoir analyser pour chaque choix de conception l'influence d'une modification d'un paramètre sur la qualité de la transmission et sur la télé-alimentation. En effet, si il est d'ordinaire difficile en RFID d'évaluer une liaison par rétro-modulation et son influence sur l'alimentation, nous avons vu comment l'utilisation du modèle permet d'estimer ces deux critères. Nous avons ainsi montré que les paramètres de conception du multiplieur modifient à la fois l'amplitude des variations de la tension d'alimentation lors de la rétro-modulation, mais aussi la visibilité de la réponse du tag. La détermination des relations entre ces différents paramètres a

permis lors de la conception de trouver les choix optimaux pour la liaison.

La méthode de conception utilisant le modèle est présentée dans le chapitre IV. Plusieurs multiplieurs sont ainsi conçus dans différentes technologies. Des mesures ont été effectuées et ont démontré la cohérence du modèle pour prédire le comportement du tag tant lors de la mesure sur wafer que sur des mesures de portée.

Dans le dernier chapitre, l'analyse des multiplieurs à l'aide des informations issues du modèle, a permis la conception et la mesure d'une structure à haut rendement. Nous avons lors des mesures mis en relief l'apport de cette structure par rapport aux architectures classiques pour les systèmes de portée intermédiaire. Cette solution autorise l'intégration de blocs et de fonctions plus complexes dans les circuits télé-alimentés grâce au gain de performance apporté. Enfin dans la seconde partie de ce chapitre le développement d'un circuit de récupération d'énergie tout intégré (antenne et circuit) a été présenté. Pour l'instant, l'étude a permis de concevoir un système très faible coût de faible portée. Un prototype a été réalisé afin de valider le principe et la faisabilité de ce type de circuit.

Le développement de SoC RF complexes télé-alimentés ou le développement de blocs télé-alimentés au sein d'applications embarquées semblent être un des enjeux de la conception RF dans les années à venir. L'apparition du WBAN, où l'intégration de batterie semble difficile, est l'un des exemples d'applications où la télé-alimentation sera un facteur clef. Du point de vue de la RFID, les applications se développent elles aussi vers des systèmes plus complexes intégrés aux téléphones portables (NFC) et où le besoin de modélisation et de méthodes de conception seront importants. Pour ces différents exemples, l'étude présentée est un premier pas vers le développement de ces applications.