



HAL
open science

Conception et fabrication de sélecteurs non-linéaires à base d'effet tunnel

Maxime Plourde

► **To cite this version:**

Maxime Plourde. Conception et fabrication de sélecteurs non-linéaires à base d'effet tunnel. Micro et nanotechnologies/Microélectronique. Université de Lyon; Université de Sherbrooke (Québec, Canada), 2022. Français. NNT : 2022LYSEI029 . tel-03938223

HAL Id: tel-03938223

<https://theses.hal.science/tel-03938223>

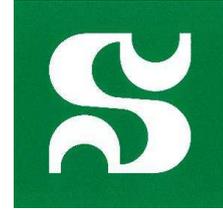
Submitted on 13 Jan 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



INSA



N° d'ordre NNT : 2022LYSEI029

THESE de DOCTORAT DE L'UNIVERSITE DE LYON

Opérée au sein de

L'Institut National des Sciences Appliquées de Lyon

En cotutelle internationale avec

L'Université de Sherbrooke

Ecole Doctorale N° 160

Electronique, Electrotechnique, Automatique de Lyon

Spécialité / discipline de doctorat :

Électronique, micro et nanoélectronique, optique et laser

Soutenue publiquement le 23/03/2022, par :

Maxime PLOURDE

Conception et fabrication de sélecteurs non-linéaires à base d'effet tunnel

Devant le jury composé de :

BOCQUET, Marc	Professeur	Université Aix-Marseille	Président
RUEDIGER, Andreas	Professeur	INRS-EMT	Rapporteur
VIANELLO, Elisa	Ingénieure	CEA-LETI	Examinatrice
JEANNOT, Simon	Ingénieur	STMicroelectronics	Invité
DROUIN, Dominique	Professeur	Université de Sherbrooke	Co-directeur de thèse
DELERUYELLE, Damien	Professeur	INSA de Lyon	Co-directeur de thèse
SOUIFI, Abdelkader	Professeur	INSA de Lyon	Directeur de thèse

Département FEDORA – INSA Lyon - Ecoles Doctorales

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	<u>CHIMIE DE LYON</u> https://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage secretariat@edchimie-lyon.fr	M. Stéphane DANIELE C2P2-CPE LYON-UMR 5265 Bâtiment F308, BP 2077 43 Boulevard du 11 novembre 1918 69616 Villeurbanne directeur@edchimie-lyon.fr
E.E.A.	<u>ÉLECTRONIQUE, ÉLECTROTECHNIQUE, AUTOMATIQUE</u> https://edeea.universite-lyon.fr Sec. : Stéphanie CAUVIN Bâtiment Direction INSA Lyon Tél : 04.72.43.71.70 secretariat.edeea@insa-lyon.fr	M. Philippe DELACHARTRE INSA LYON Laboratoire CREATIS Bâtiment Blaise Pascal, 7 avenue Jean Capelle 69621 Villeurbanne CEDEX Tél : 04.72.43.88.63 philippe.delachartre@insa-lyon.fr
E2M2	<u>ÉVOLUTION, ÉCOSYSTÈME, MICROBIOLOGIE, MODÉLISATION</u> http://e2m2.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 secretariat.e2m2@univ-lyon1.fr	M. Philippe NORMAND Université Claude Bernard Lyon 1 UMR 5557 Lab. d'Ecologie Microbienne Bâtiment Mendel 43, boulevard du 11 Novembre 1918 69 622 Villeurbanne CEDEX philippe.normand@univ-lyon1.fr
EDISS	<u>INTERDISCIPLINAIRE SCIENCES-SANTÉ</u> http://ediss.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1 Tél : 04.72.44.83.62 secretariat.ediss@univ-lyon1.fr	Mme Sylvie RICARD-BLUM Institut de Chimie et Biochimie Moléculaires et Supramoléculaires (ICBMS) - UMR 5246 CNRS - Université Lyon 1 Bâtiment Raulin - 2ème étage Nord 43 Boulevard du 11 novembre 1918 69622 Villeurbanne Cedex Tél : +33(0)4 72 44 82 32 sylvie.ricard-blum@univ-lyon1.fr
INFOMATHS	<u>INFORMATIQUE ET MATHÉMATIQUES</u> http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage Tél : 04.72.43.80.46 infomaths@univ-lyon1.fr	M. Hamamache KHEDDOUCI Université Claude Bernard Lyon 1 Bât. Nautibus 43, Boulevard du 11 novembre 1918 69 622 Villeurbanne Cedex France Tél : 04.72.44.83.69 hamamache.kheddouci@univ-lyon1.fr
Matériaux	<u>MATÉRIAUX DE LYON</u> http://ed34.universite-lyon.fr Sec. : Yann DE ORDENANA Tél : 04.72.18.62.44 yann.de-ordenana@ec-lyon.fr	M. Stéphane BENAYOUN Ecole Centrale de Lyon Laboratoire LTDS 36 avenue Guy de Collongue 69134 Ecully CEDEX Tél : 04.72.18.64.37 stephane.benayoun@ec-lyon.fr
MEGA	<u>MÉCANIQUE, ÉNERGÉTIQUE, GÉNIE CIVIL, ACOUSTIQUE</u> http://edmega.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70 Bâtiment Direction INSA Lyon mega@insa-lyon.fr	M. Jocelyn BONJOUR INSA Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique 69621 Villeurbanne CEDEX jocelyn.bonjour@insa-lyon.fr
ScSo	<u>ScSo*</u> https://edsciencessociales.universite-lyon.fr Sec. : Mélina FAVETON INSA : J.Y. TOUSSAINT Tél : 04.78.69.77.79 melina.faveton@univ-lyon2.fr	M. Christian MONTES Université Lumière Lyon 2 86 Rue Pasteur 69365 Lyon CEDEX 07 christian.montes@univ-lyon2.fr

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

RÉSUMÉ

Il est de plus en plus difficile de diminuer la taille des mémoires conventionnelles (DRAM, SRAM, FLASH). En effet, les dimensions de ces mémoires basées sur les transistors vont cesser de diminuer dans les années à venir pour des raisons physiques et économiques. Pour continuer de diminuer la taille des circuits électroniques tout en améliorant les performances, les fabricants doivent maintenant utiliser de nouvelles approches qui ont mené à un changement de paradigme dans l'industrie de la microélectronique. Une de ces approches est l'intégration 3D monolithique qui consiste à augmenter la densité surfacique de dispositif en empilant ceux-ci selon l'axe verticale et/ou en rajoutant des fonctionnalités au-delà du silicium cristallin dans une puce électronique. Par exemple, des mémoires de nouvelle génération pourraient être intégrées dans la partie des interconnexions métalliques d'une puce CMOS. Plusieurs mémoires émergentes sont développées dans le but de rajouter des fonctionnalités dans les interconnexions métalliques et sont intégrées sous forme de matrice croisée. Cependant, des problèmes de courant de fuite sont presque inhérents aux matrices croisées de grande dimension et nécessitent l'ajout de dispositif d'accès, appelé sélecteur, en série avec chaque point mémoire pour minimiser les courants de fuite. Le but de cette thèse est de concevoir et de fabriquer un sélecteur à base d'effet tunnel compatible avec les techniques de fabrications industrielles standard qui pourrait être implanté au niveau des interconnexions d'une puce CMOS. La simulation de courant à base d'effet tunnel a été effectuée afin d'optimiser les performances théoriques du sélecteur. Des sélecteurs à base d'oxyde de titane et de tantale ont été fabriqués et caractérisés en température afin de comprendre les mécanismes de conduction dominants.

Mots-clés : Dispositif de sélection, Sélecteur à base d'effet tunnel, mémoire non-volatile, non-linéarité.

ABSTRACT

Design and fabrication of non-linear tunnel-based selectors

The scaling limit of conventional memories (DRAM, SRAM, FLASH) is about to be reached. The dimensions of these memories based on transistors will stop decreasing in the years to come. To continue to reduce the size of electronic circuits while improving performance, manufacturers must now use new approaches that have led to a paradigm shift in the microelectronics industry. One of these approaches is monolithic 3D integration which consists of increasing the surface density of devices by stacking them along the vertical axis and/or by adding functionalities beyond crystalline silicon in an electronic chip. For example, next-generation memories could be integrated into the metal interconnect part of a CMOS chip. Several emerging memories are developed with the aim of adding functionalities in metallic interconnects and are integrated in the form of a crossbar array. However, leakage current problems are almost inherent to large crossbar arrays and require the addition of an access device, called a selector device, in series with each memory point to minimize leakage currents. The aim of this thesis is to design and manufacture a tunnel-based non-linear selector compatible with standard industrial manufacturing techniques which could be implemented at the level of the interconnections of a CMOS chip. Simulation based on tunnel effect was carried out in order to optimize the theoretical performances of the selector and selectors based on titanium oxide and tantalum oxide were fabricated and characterized in temperature in order to understand the dominant conduction mechanisms.

Keywords: Access device, tunneling-based selector, non-volatile memory, nonlinearity.

À ma famille.

REMERCIEMENTS

Je tiens à remercier profondément mes encadrants qui ont toujours été disponibles et d'une grande aide durant la thèse. Dominique, Serge, Damien, Kader et Simon, merci infiniment pour tout ce que vous avez fait pour moi durant toutes ces années. Même si la situation avec la cotutelle et le COVID ont créé plusieurs problèmes et défis, vous avez tous fait un excellent travail d'encadrement. Je termine ce doctorat grandi et c'est majoritairement grâce à vous. Merci à tout mes collègues de travail que j'ai pu côtoyer et apprécié durant ce parcours. J'ai fait des connaissances et tissé des liens qui vont perdurer toute ma vie, j'en suis sûr. Finalement, un énorme merci à ma famille et mes proches qui ont toujours cru en mes capacités et qui ont toujours été là pour moi. Encore une fois, un énorme merci à vous tous.

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Mise en contexte	1
1.2	Problématique	2
1.3	Question de recherche	3
1.4	Hypothèse	3
1.5	Objectifs	3
1.6	Plan du document	3
2	ÉTAT DE L'ART	5
2.1	Intégration 3D	5
2.1.1	Intégration 3D hétérogène	6
2.1.2	Intégration 3D monolithique	6
2.2	Matrice croisée	9
2.3	Mémoire	11
2.4	Sélecteur	15
2.4.1	Transistor	17
2.4.2	Diode	17
2.4.3	Sélecteur volatile	19
2.4.4	Sélecteur non linéaire	21
2.4.5	Résumé comparatif	21
3	SIMULATION DE SÉLECTEUR	25
3.1	Description et validation du modèle de simulation	25
3.1.1	Modélisation du courant tunnel	25
3.1.2	Confrontation à des données expérimentales	27
3.2	Simulation monocouche	28
3.2.1	Comparaison entre simulations FN et WKB	28
3.2.2	Influence des différents paramètres physiques	29
3.2.3	Optimisation des performances	31
3.3	Simulation de sélecteurs tunnel à doubles couches	33
3.3.1	Identification de la configuration idéale	34
3.3.2	Recherche d'une configuration optimale	38
3.3.3	Conclusion	42
4	MÉTHODOLOGIE (FABRICATION ET CARACTÉRISATION)	45
4.1	Procédé de fabrication	45
4.2	Caractérisation	48
5	CARACTÉRISATION ÉLECTRIQUE	51
5.1	Analyse TiN/TiO ₂ /TaO _x /TiN	51
5.1.1	Caractérisation électrique à basse température	54

5.2	Caractérisation monocouche	63
5.3	Caractérisation multicouche	66
5.4	Conclusion	67
6	CONCLUSION	71
6.1	Conclusion générales	71
6.2	Perspective	73
	LISTE DES RÉFÉRENCES	75

LISTE DES FIGURES

2.1	L'intégration 3D permet d'augmenter la fonctionnalité des puces microélectroniques [1]	5
2.2	Technologie FOVEROS introduit par Intel en 2019 dans leur architecture "lakefield" [2]	6
2.3	Schéma d'une vue en coupe d'un CI standard. La section FEOL correspond aux étapes de fabrication dans le semi-conducteur tandis que la section BEOL correspond aux étapes de fabrication des interconnexions métalliques. Source : Wikipedia	7
2.4	Vue en coupe d'une mémoire 3D VNAND de 32 niveaux fabriqués par Samsung. Les piliers métalliques verticaux permettent la connexion des points mémoires sur les différents niveaux. Source : techinsights	8
2.5	Vue en coupe d'une CBA de mémoire PCRAM de la technologie 3D Xpoint développé par Intel et Micron. Source : techinsights	9
2.6	Schéma d'une matrice croisé (CBA) de mémoires à deux terminaux [3]	10
2.7	3 schémas de polarisation possible d'une CBA. a) polarisation $V/2$, b) polarisation $V/3$, c) polarisation $5V/12$	11
2.8	Taxonomie des différents types de mémoire tirés du rapport Beyond CMOS de l'IRDS 2020 [4]	12
2.9	Exemple de courant de fuite (sneak path) dans une CBA [5]	16
2.10	Configuration typique 1S1R (one-selector-one-resistor) d'une mémoire et d'un sélecteur dans une CBA [6]	17
2.11	Taxonomie des différents types de sélecteurs tirés du rapport Beyond CMOS de l'IRDS 2020 [4]	18
3.1	Simulation numérique comparant la contribution Fowler-Nordheim et l'approximation WKB avec un sélecteur à base de Ta_2O_5 de 3 nm avec des électrodes de TiN tiré de la référence [7].	27
3.2	a) Comparaison de la densité de courant pour l'approximation analytique FN (ligne pointillée) et WKB (ligne pleine) à différentes tensions de polarisation et pour des épaisseurs variant de 3 à 10 nm ($m_{eff} = 0.3 m_e$ et $\phi_b = 1$ eV). b) Ratio de NL extrait des deux modèles de la figure 3.2 a)	28
3.3	a) Comparaison de la densité de courant pour l'approximation analytique FN (ligne pointillée) et WKB (ligne pleine) à différentes hauteurs de barrière ϕ_b variant de 0.5 à 2 eV ($m_{eff} = 0.3 m_e$ et $t_{ox} = 3$ nm). b) Ratio de NL extrait des deux modèles de la figure 3.3 a)	30
3.4	Tension de polarisation qui maximise le ratio de NL (V_{NLmax}) en fonction de la hauteur de barrière ϕ_b pour des épaisseurs (t_{ox}) de 3 à 10 nm. Alors que V_{NLmax} dépend directement de ϕ_b , t_{ox} a un impact très faible.	31
3.5	a) Tension qui maximise la NL en fonction de la masse effective des électrons. $\phi_b=1eV$ b) Densité de courant FN et WKB en fonction de la tension de polarisation pour différente valeur de m_{eff} . $t_{ox}=3nm$	32

3.6	Densité de courant correspondant à la tension qui maximise le ratio de NL (J_{NLmax}) en fonction de la valeur de ce ratio de NL (NL_{max}) pour des épaisseurs (t_{ox}) allant de 3 à 10 nm et des hauteurs de barrières (ϕ_b) de 0.5 à 3.0 eV.	33
3.7	Ratio du courant de polarisation d'une cellule sélectionnée sur le courant de polarisation d'une cellule adjacente non sélectionnée pour un sélecteur avec $t_{ox} = 3$ nm et $\phi_b = 1$ eV. Les lignes vertes, bleu et orange correspondent au schéma de polarisation V/2, 5V/12 et V/3 respectivement. Le symbole étoile représente le ratio de NL le plus élevé du schéma de polarisation respectif. Le ratio de NL est affiché sur le côté droit de la figure sous forme de dégradé de couleur.	34
3.8	Densité de courant (colonne de gauche) correspondant aux 6 configurations du tableau 3.1 avec le diagramme de bande d'énergie (colonne du milieu) et ratio de NL (colonne de droite) de ces mêmes configurations à des polarisations de -3 à 3V. Les lignes pointillées correspondent aux critères de densité de courant (1×10^7 A/cm ²) et de ratio de NL (1×10^4).	37
3.9	a) Densité de courant en fonction de la tension de polarisation pour différente $t_{ox}^{tot} = t_{ox}^1 + t_{ox}^2$ avec $\phi_b^1 = 1eV$, $\phi_b^2 = 2eV$, $\varepsilon_r^1 = 5$, $\varepsilon_r^2 = 15$. b) Ratio de NL en fonction de la tension de polarisation correspondant à la figure 3.9.	38
3.10	a) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction de ε_r^2 pour différente ε_r^1 . b) Ratio de NL maximum (NLmax) en fonction de ε_r^2 pour différente ε_r^1 . c) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction du ratio $\varepsilon_r^2/\varepsilon_r^1$	39
3.11	Simulation de l'effet de la hauteur de barrière. $t_{ox}^1 = T_{ox}^2 = 1.5$ nm, $\varepsilon_r^1 = 5$ et $\varepsilon_r^2 = 15$. a) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . b) Ratio de NL maximum (NLmax) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . c) Tension qui maximise le ratio de NL (V_{NLmax}) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . d) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction du ratio de NL maximum (NLmax) pour différentes valeurs de ϕ_b^1 et ϕ_b^2 . L'étoile noire correspond aux performances d'un empilement théorique de TiN/TiO ₂ /Ta ₂ O ₅ /TiN en polarisation positive avec les mêmes épaisseurs.	41
4.1	Principales étapes du procédé de fabrication de sélecteurs.	46
4.2	Schéma du dispositif. a) Vue d'ensemble de la zone d'écriture de l'échantillon de 1cm x 1cm. b) Vue rapprochée d'une cellule. c) Position de la zone active sur l'électrode.	47
4.3	Schéma de mesures.	48
5.1	Densité de courant en fonction de la tension de polarisation des deux dispositifs TiN/TiO ₂ /TaO _x /TiN pour différentes dimensions. La légende correspond au diamètre de la surface active du sélecteur. Tandis que le même dépôt de Ta à 10 nm avec 15 min d'oxydation a été effectué sur les deux dispositifs, ce qui différencie a) et b) est une épaisseur de TiO ₂ de 3 nm et 2 nm respectivement.	52

5.2	Analyse TEM des deux sélecteurs à base de $\text{TiO}_2/\text{TaO}_x$. a) et b); Vue en coupe et mesure de l'épaisseur de la couche active sur le dispositif avec 3 nm et 2 nm de TiO_2 respectivement. La direction de la flèche correspond à la vue en coupe à partir de l'électrode supérieur vers l'électrode inférieur. c) et d); Analyse EDX de la couche active sur le dispositif avec 3 nm et 2 nm de TiO_2 respectivement.	53
5.3	Densité de courant mesurée entre 77 et 300 K. a) Dispositif avec 3 nm de TiO_2 . b) Dispositif avec 2 nm de TiO_2	54
5.4	Diagramme de bande du courant Fowler-Nordheim	55
5.6	Diagramme de bande du courant Poole-Frenkel	56
5.5	Analyse Fowler Nordheim. a) Extraction de la hauteur de barrière à 77 K en polarisation négative. b) Extraction de la hauteur de barrière à 77 K en polarisation positive. c) Lissage des données avec l'équation FN en considérant la hauteur de barrière extraite en a) et b). d) Extraction de la hauteur de barrière entre 77 et 300 K en polarisation positive.	57
5.7	Analyse Pool Frenkel. a) Courbe Arrhénius entre 77 et 300 K pour différents champs électriques en polarisation négative. b) Courbe Arrhénius entre 77 et 300 K pour différents champs électriques en polarisation positive. c) Extraction de la hauteur de barrière des pièges en polarisation négative. d) Extraction de la hauteur de barrière des pièges en polarisation positive.	58
5.8	Diagramme de bande du courant tunnel assisté par piège	59
5.9	Analyse de conduction tunnel assistée par piège. a) Extraction de la distance moyenne entre les pièges entre 77 et 300K en polarisation négative. b) Extraction de la distance moyenne entre les pièges entre 77 et 300K en polarisation négative.	60
5.10	Analyse de la conduction limitée par la charge d'espace. La pente de la courbe de lissage correspond à la puissance de la variation de la tension par rapport au courant.	61
5.11	Diagramme de bande du courant Schottky	62
5.12	Analyse de conduction Schottky. a) Extraction de la hauteur de barrière en polarisation négative. b) Extraction de la hauteur de barrière en polarisation positive.	62
5.13	a) Densité de courant en fonction de la tension pour des monocouches de TiO_2 avec une épaisseur variant de 0.5 à 3.2 nm. b) Densité de courant à 0.5V et ratio de NL maximale en fonction de l'épaisseur de TiO_2	64
5.14	a) Densité de courant en fonction de la tension pour une monocouche de Ta de 5 nm avec un temps d'oxydation variant de 0 à 300 s. b) Densité de courant en fonction de la tension pour une monocouche de Ta de 7.5 nm avec un temps d'oxydation variant de 0 à 300 s. c) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour une monocouche de Ta de 5 nm. d) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour une monocouche de Ta de 7.5 nm.	65

-
- 5.15 a) Densité de courant en fonction de la tension pour un sélecteur ($\text{TiO}_2(1.3\text{nm})/\text{Ta}(5\text{nm})$) avec un temps d'oxydation variant de 0 à 60s. b) Densité de courant en fonction de la tension pour un sélecteur ($\text{TiO}_2(1\text{nm})/\text{Ta}(10\text{nm})$) avec un temps d'oxydation variant de 5 à 60s. c) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour les sélecteurs en a). d) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour les sélecteurs en b). 67

LISTE DES TABLEAUX

2.1	Comparaison des différents types de sélecteurs en fonction de leurs performances et de leurs compatibilités.	23
3.1	6 configurations de bicouche d'une épaisseur totale ($t_{ox1} + t_{ox2}$) de 4 nm avec différentes épaisseurs relatives (t_{ox1} et t_{ox2}) de 1, 2 ou 3 nm et différente ε_r de 5 ou 15. La densité de courant positive (J à 3V) et négative (J à -3V) et le ratio de NL correspondant (ratio de NL à 3V et à -3V) sont donnés selon la direction du courant à travers les deux matériaux diélectriques de hauteur de barrière $\phi_{b1} = 1eV$ et $\phi_{b2} = 2eV$	36
5.1	Comparaison des paramètres physiques extraits par l'analyse des mécanismes de conduction pour différentes monocouches de TiO_2 et de TaO_x	66
5.2	Comparaison des paramètres physiques extraits par l'analyse des mécanismes de conduction pour différents sélecteurs.	68

LISTE DES SYMBOLES

Symbole	Définition
q	charge de l'électron
m^* ou m_{eff}	masse effective des électrons
k_b	Constante de boltzmann
ϕ_b	hauteur de barrière entre l'électrode métallique et le diélectrique
\hbar	constante de planck
t_{ox}	épaisseur d'oxyde
E	champs électrique
J	densité de courant
V	tension de polarisation
NL_{max}	ratio de non linéarité maximal
V_{NLmax}	Tension qui maximise le ratio de non linéarité
J_{NLmax}	densité de courant correspondant à la tension qui maximise le ratio de non linéarité

LISTE DES ACRONYMES

Acronyme	Définition
IRDS	international roadmap for devices and systems
ReRAM	resistive random access memory
PCRAM	phase change random access memory
CBRAM	conductive bridge random access memory
FEOL	front end of line
BEOL	back end of line
CMOS	complementary metal-oxide-semiconductor
CBA	crossbar array
BL	bit line
WL	word line
AD	access device
SOC	system on chip
SIP	system in package
MEMS	micro-electromechanical systems
TSV	through-silicon via
FPGA	field-programmable gate arrays
CI	circuit intégré
WVM	writing voltage margin
HRS	high resistive state
LRS	low resistive state
ECM	electro-chemical metallization
VCM	valence change mechanism
TCM	thermo-chemical mechanism
TS	threshold switch
MS	Mott switch
OTS	ovonic threshold switch
TVS	threshold vacuum switch
ALD	atomic layer deposition
PEALD	plasma-enhanced atomic layer deposition
MIEC	mixed ionic electronic conduction
FN	Fowler-Nordheim
DT	direct tunneling
PF	Poole-Frenkel
TAT	trap assisted tunneling
SCLC	space-charge limited conduction
WKB	Wentzel-Kramers-Brillouin
NL	non linéarité
TEM	transmission electron microscopy
EDX	energy dispersive X-ray analysis

CHAPITRE 1

INTRODUCTION

1.1 Mise en contexte

D'après le rapport « Beyond CMOS » de l'IRDS de 2020 (International Roadmap for Devices and Systems) , la limite de mise à l'échelle 2D des mémoires SRAM, DRAM et FLASH va être atteinte dans les prochaines années. En effet, depuis plusieurs années, il y a eu des changements majeurs dans le domaine de la microélectronique. Puisqu'il n'est plus possible de simplement diminuer la taille des dispositifs élémentaires (transistor, diode, mémoire, etc.) dans un circuit pour augmenter les performances (puissance, consommation d'énergie, etc.) les fabricants se tournent maintenant vers d'autres approches. Une de ces approches est le '3D Power Scaling' ou la mise à l'échelle 3D qui consiste à augmenter la densité surfacique de dispositif élémentaire en les superposant verticalement. Les mémoires FLASH actuelles sont un bon exemple de mise à l'échelle 3D car elles sont intégrées de façon verticale ce qui permet d'avoir plusieurs dizaines de couches de mémoire superposées les unes sur les autres. L'intégration 3D dans le silicium cristallin est en général très complexe et très coûteuse et les mémoires FLASH sont fabriquées à base de transistors qui nécessitent d'être fabriqués dans le silicium cristallin. Il existe cependant d'autres types de mémoire émergente qui ne nécessitent pas l'utilisation de semiconducteur et qui pourraient être intégrés avec moins de contraintes de fabrication dans la partie des interconnexions métalliques d'une puce CMOS. Ceci permettrait d'augmenter les fonctionnalités d'un circuit électronique sans rajouter d'énormes contraintes au niveau de la mise à l'échelle.

Pour pouvoir remplacer ou compléter les mémoires actuelles, les mémoires émergentes devront pouvoir être à la fois rapides (temps d'écriture et de lecture comparable ou plus rapide que les mémoires FLASH) et non volatiles tout en permettant une plus grande capacité d'intégration (Intégration en $4F^2$ où F est la dimension critique d'un nœud technologique) et une faible consommation énergétique pour améliorer le compromis entre la fréquence d'horloge (clock speed) et la densité d'intégration. Les mémoires résistives à base d'oxydoréduction (ReRAM) et les mémoires à changement de phase (PCRAM) font partie des mémoires émergentes les plus prometteuses. Les particularités de ces différentes technologies seront discutées dans le chapitre 2, mais un des avantages de ces dispositifs est qu'ils sont théoriquement compatibles avec une intégration 3D monolithique qui pourrait

être intégrée dans la partie des interconnexions métallique d'une puce CMOS (BEOL : Back end of line).

1.2 Problématique

Intégrées sous forme de matrices croisées (Crossbar Array : CBA), les mémoires émergentes décrites ci-dessus pourraient être empilées les unes sur les autres dans la partie BEOL d'un procédé CMOS. Néanmoins, avec un nombre élevé de points mémoires, des courants de fuites (sneak path) peuvent nuire à l'écriture et la lecture d'un point mémoire. Ces courants de fuites peuvent par exemple engendrer une baisse de tension sur la cellule sélectionnée, engendrer des changements de résistance non désirés dans une cellules non sélectionnée et une tension de lecture trop faible qui ne suffit plus à discerner l'information. Pour diminuer les conceptions parasites, des dispositifs de sélections appelées sélecteurs (selector) ou dispositifs d'accès (Access device : AD) peuvent être introduits en série avec chaque point mémoire. Ces dispositifs non linéaires permettent de bloquer le courant à basse tension et de laisser passer le courant à forte tension.

Il existe plusieurs types de sélecteurs et ceux-ci seront décrits dans le chapitre 2. Plusieurs critères sont nécessaires pour pouvoir être compatibles avec certains types de mémoire émergentes. Pour permettre l'intégration 3D monolithique avec la technologie CMOS, le sélecteur doit être compatible avec les contraintes d'un procédé BEOL. Ceci implique que les matériaux et le procédé de fabrication utilisés pour fabriquer le sélecteur doivent être compatibles avec les procédés BEOL de l'industrie. Pour permettre la sélection de certains types de mémoire émergente comme les ReRAMs, le sélecteur doit avoir un comportement courant/tension bidirectionnel, car les mémoires ReRAMs ont généralement besoin d'être adressées dans les deux polarités. Le sélecteur ne doit pas augmenter le temps d'accès au point mémoire. Le mécanisme de conduction du sélecteur doit donc être aussi rapide ou plus rapide que le temps d'écriture ou de lecture du point mémoire (<100 ns). Évidemment, pour être efficace, le sélecteur doit avoir un grand facteur de non-linéarité ($>10^4$) et permettre une grande densité de courant (10^7 A/cm²) pour adresser correctement le point mémoire surtout pour les mémoires qui nécessitent beaucoup de courant pour fonctionner comme les PCRAMs.

Parmi les différents types de sélecteurs, les sélecteurs non-linéaire à base d'effet tunnel ont démontré des résultats intéressant [8, 9] et répondent à tout les critères mentionnés

ci-haut a l'exception de la compatibilité avec les techniques de fabrications industriel d'un procédé BEOL. En effet, ces dispositifs utilisent des électrodes de platine qui est un matériau généralement pas utilisé dans des procédés BEOL.

1.3 Question de recherche

Est-il possible de concevoir des sélecteurs non linéaire à base d'effet tunnel qui permettrait une plus grande intégration de mémoire de type PCRAM et ReRAM sous forme de matrice croisée dans la partie BEOL d'un procédé CMOS ?

1.4 Hypothèse

La simulation des mécanismes de conduction de courant par effet tunnel permettra l'optimisation des performances théoriques d'un sélecteur et servira d'outil de conception des sélecteurs. La fabrication de sélecteur sera effectuée sur un substrat de silicium et les étapes de fabrication vont respecter les contraintes imposées par les procédés de fabrication industriels en BEOL. Finalement, des caractérisations électriques en température vont permettre de mettre en évidence les mécanismes de conduction dominant afin d'améliorer la compréhension de ces dispositifs.

1.5 Objectifs

Le but de cette thèse CIFRE est de mettre au point, fabriquer et caractériser un sélecteur compatible avec des mémoires de type ReRAMs et PCRAMs. L'orientation stratégique de ce projet qui met en collaborations l'université de Sherbrooke, l'Institut National des Sciences Appliquées de Lyon (INSA de Lyon), et la compagnie STMicroelectronics, définit des contraintes pour le projet autant au niveau industriel qu'au niveau académique. Le procédé de fabrication du sélecteur doit être compatible avec les techniques de fabrication utilisées par STMicroelectronics. Des caractérisations électriques en température devront être effectuées pour déterminer les mécanismes de conduction physiques en jeu pour pouvoir comprendre et optimiser les performances du sélecteur.

1.6 Plan du document

Tout d'abord, le chapitre 2, État de l'art, établit le contexte dans lequel les sélecteurs sont nécessaires à l'intégration de matrice croisée de grande dimension. Les différents types d'intégration 3D possible, les différents types de mémoires émergentes et les différents

types de sélecteurs seront présentés et comparés. Le chapitre 3 porte sur la simulation de sélecteur à base d'effet tunnel. Le modèle utilisé sera décrit et validé par des données expérimentales. Ensuite, l'optimisation de sélecteur monocouche et bicouche sera effectuée en fonction des différentes propriétés physiques qui affectent les performances du sélecteur. Le chapitre 4, Méthodologie, présente le procédé de fabrication utilisé tout en justifiant les différentes approches utilisées. La méthode de caractérisation électrique fait aussi l'objet de ce chapitre. Le chapitre 5, caractérisation électrique, présente les résultats obtenus avec les différents dispositifs fabriqués dans le cadre de ce doctorat.

CHAPITRE 2

ÉTAT DE L'ART

2.1 Intégration 3D

Comme il a été mentionné dans le chapitre 1, l'intégration 3D est au coeur des préoccupations des fabricants de circuits intégrés [10]. L'intégration 3D permet non seulement d'augmenter le nombre de dispositifs par unité de surface sans diminuer les dimensions critiques de mise à l'échelle, elle permet aussi d'ajouter plus de fonctionnalités aux puces électroniques.

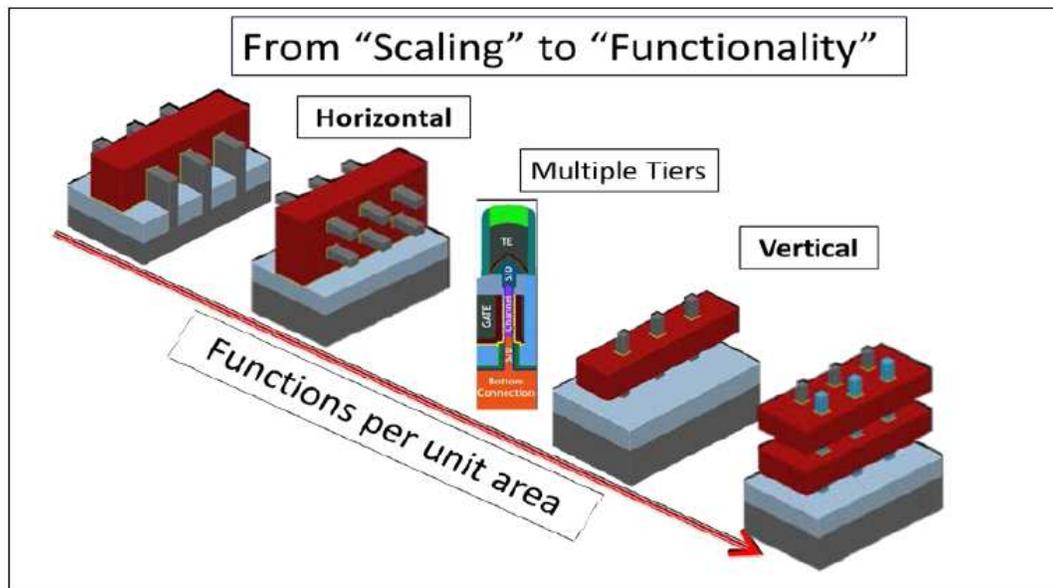


FIGURE 2.1 L'intégration 3D permet d'augmenter la fonctionnalité des puces microélectroniques [1]

Par exemple, la figure 2.1 tirée du rapport de l'IRDS 2020 illustre les principaux changements d'architecture qui ont mené à l'intégration verticale de dispositifs comme les mémoires FLASH VNAND. Il existe 2 types d'intégration 3D, l'intégration monolithique et l'intégration hétérogène. La distinction entre l'intégration monolithique ou "system on chip" (SOC) et l'intégration hétérogène ou "system in package" (SIP) n'est pas unanime dans la littérature. Pour des raisons de simplification, l'intégration monolithique (SOC)

fera référence à l'intégration où toutes les étapes de fabrication se font sur un même substrat (par exemple un MEMS fabriqué par-dessus les interconnexions métalliques d'une puce) et l'intégration hétérogène (SIP) fera référence à une intégration où les étapes de fabrication se font sur 2 ou plusieurs substrats et par la suite réunis en un seul substrat (par exemple 2 substrats interconnectés par des TSV (through-silicon via)).

2.1.1 Intégration 3D hétérogène

Ils existent plusieurs méthodes pour faire adhérer 2 ou plusieurs substrats ensemble comme par exemple le collage de tranches (wafer bonding), le brasage de puces renversées (flip-chip), via à travers le silicium (TSV), etc. L'utilisation de TSV est la méthode qui permet la plus grande densité d'intégration, car elle permet l'adhésion de plus de 2 substrats contrairement au "wafer bonding" et au "flip-chip". Cependant, cette méthode, en plus d'être très coûteuse, est limitée par des problèmes comme la dissipation de la chaleur et l'alimentation électrique [11]. L'intégration hétérogène de tranche ou de puce est essentielle pour augmenter les performances des CI [12] et les fabricants ont souvent recours à plusieurs techniques d'intégration afin d'augmenter la fonctionnalité et les performances de leur dispositif tout en minimisant les coûts et la consommation d'énergie. Par exemple, Intel a annoncé en 2019 leur technologie FOVEROS introduite dans leur architecture "Lakefield" [2]. Cette technologie utilise à la fois des TSV et des "microbumps" permettant de joindre sur une même puce la partie logique et la partie calcul, mémoire, analogue ou FPGA (Field-Programmable Gate Arrays) d'un processeur par exemple (voir figure 2.2).

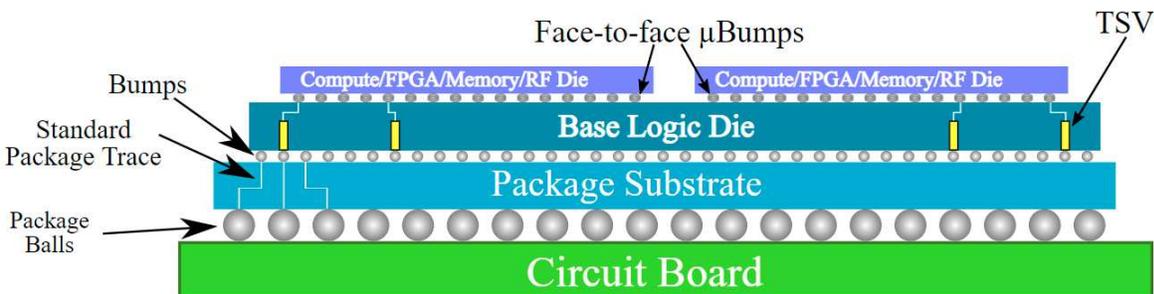


FIGURE 2.2 Technologie FOVEROS introduit par Intel en 2019 dans leur architecture "lakefield" [2]

2.1.2 Intégration 3D monolithique

L'intégration 3D monolithique se divise en deux catégories ; l'intégration 3D FEOL et BEOL. Celle-ci réfère aux différentes parties de fabrication d'un CI dans laquelle elles sont fabriquées. En général dans un CI la partie FEOL correspond à toute les étapes re-

liées à la fabrication dans le semi-conducteur tandis que la partie BEOL correspond à la fabrication des interconnexions métallique (voir figure 2.3).

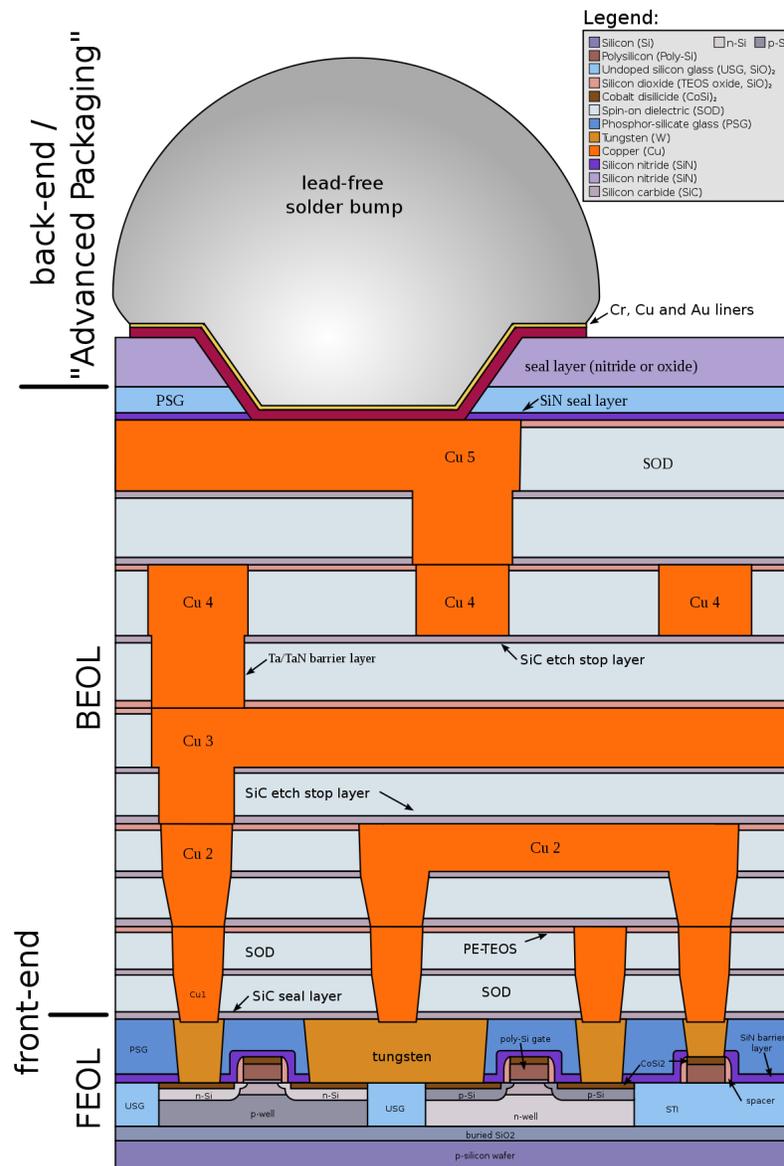


FIGURE 2.3 Schéma d'une vue en coupe d'un CI standard. La section FEOL correspond aux étapes de fabrication dans le semi-conducteur tandis que la section BEOL correspond aux étapes de fabrication des interconnexions métalliques. Source : Wikipedia

L'intégration 3D FEOL nécessite généralement la gravure de piliés métalliques afin de pouvoir empiler différents dispositifs comme la mémoire flash par exemple. La mémoire 3D NAND flash est une des applications les plus communes d'intégration 3D FEOL. En 2013, Samsung a commercialisé le premier dispositif à base de mémoire 3D NAND et aujourd'hui

la majorité des fabricants de mémoire FLASH ont adopté une technique de fabrication similaire en raison de la limite de mise à l'échelle atteinte par les mémoires planaires 2D. Un dispositif 3D NAND se compose de plusieurs niveaux ou couches, qui sont empilés puis connectés à l'aide de canaux verticaux métallique (voir figure 2.4). Un nombre plus élevé de couches dans une puce flash 3D NAND signifie une capacité de stockage plus élevée et/ou permet de diminuer l'empreinte de la puce pour une capacité de stockage donnée. Aujourd'hui, c'est plus de 100 couches de mémoires FLASH qui sont commercialement disponibles sur le marché et les fabricants comme Samsung ou Micron visent toujours à pousser plus loin cette technologie à court terme. Ces technologies deviennent cependant de plus en plus coûteuses et sont limitées par des procédés de fabrication comme la gravure.

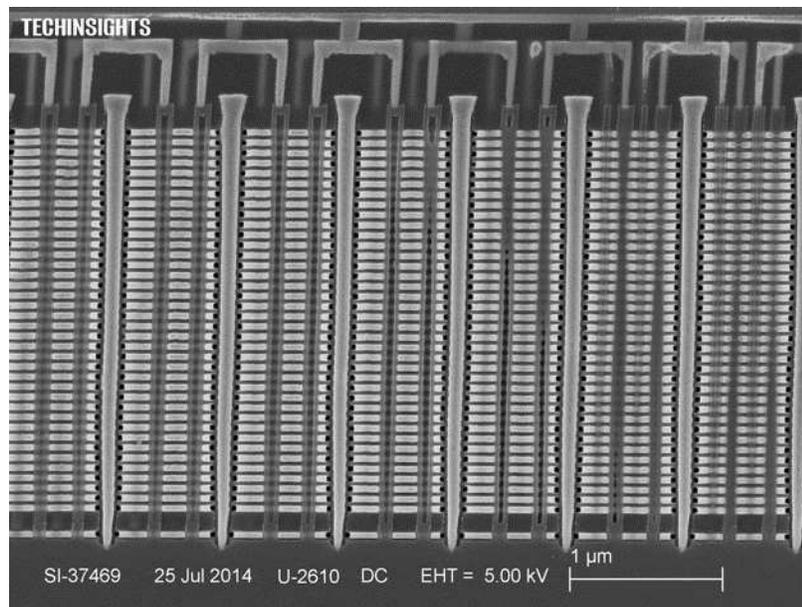


FIGURE 2.4 Vue en coupe d'une mémoire 3D VNAND de 32 niveaux fabriqués par Samsung. Les piliers métalliques verticaux permettent la connexion des points mémoires sur les différents niveaux. Source : techinsights

L'intégration 3D BEOL consiste à ajouter des dispositifs à travers les interconnexions métalliques d'un CI. Ces dispositifs ne peuvent pas être fabriqués à base de silicium cristallin et doivent respecter des contraintes de fabrication liées au procédé BEOL comme par exemple le budget thermique et la compatibilité des matériaux. Les contraintes liées aux dimensions sont moins élevées dans un procédé BEOL ce qui diminue le coût d'intégration. Un exemple d'intégration BEOL est l'ajout d'une CBA (Crossbar Array) de mémoire non volatile. Une technologie développée par Intel et Micron appelé 3D XPoint consiste à ajouter des mémoires à changement de phase (PCRAM) sous forme de CBA dans la partie BEOL d'un CI (voir figure 2.5).

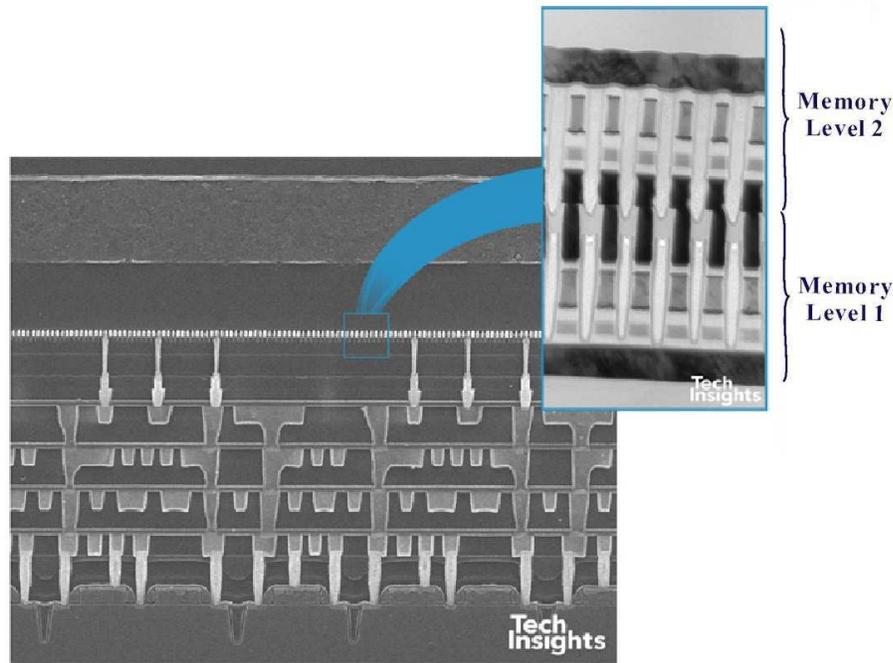


FIGURE 2.5 Vue en coupe d'une CBA de mémoire PCRAM de la technologie 3D Xpoint développé par Intel et Micron. Source : techinsights

2.2 Matrice croisée

Comme il a été discuté dans le chapitre 1, l'un des enjeux les plus importants auquel les fabricants de CI font face est la capacité d'augmenter les fonctionnalités et les performances d'une puce en minimisant la surface utilisée et l'ajout de mémoire dans la partie BEOL d'un procédé CMOS est une approche intéressante à préconiser. Il est suggéré d'intégrer les mémoires sous forme de matrice croisée (CBA) à deux terminaux, car c'est la méthode d'intégration qui permet l'agencement des mémoires plus denses. La figure 2.6 montre le schéma d'une CBA à 2 terminaux. Elle est constituée de contacts métalliques verticaux (bit line : BL) et de contacts métalliques horizontaux (word line : WL) séparés par un matériau ou un empilement de matériau qui constitue le point mémoire. Dans cette configuration, l'intersection d'un BL avec un WL constitue la cellule élémentaire d'une mémoire. Ainsi, chaque point mémoire peut être adressé en choisissant les bonnes BL et WL correspondantes. Avec cette intégration, la surface d'une cellule élémentaire d'une CBA peut atteindre $4F^2$ où F est la dimension d'un nœud technologique qui est défini par le demi-pas (half-pitch) entre deux connexions métalliques c.-à-d. le demi-pas entre 2 WL ou 2 BL.

Il existe plusieurs méthodes pour adresser une CBA et trois schémas de polarisation possibles seront décrit ici, la polarisation $V/2$, la polarisation $V/3$ et la polarisation $5V/12$.

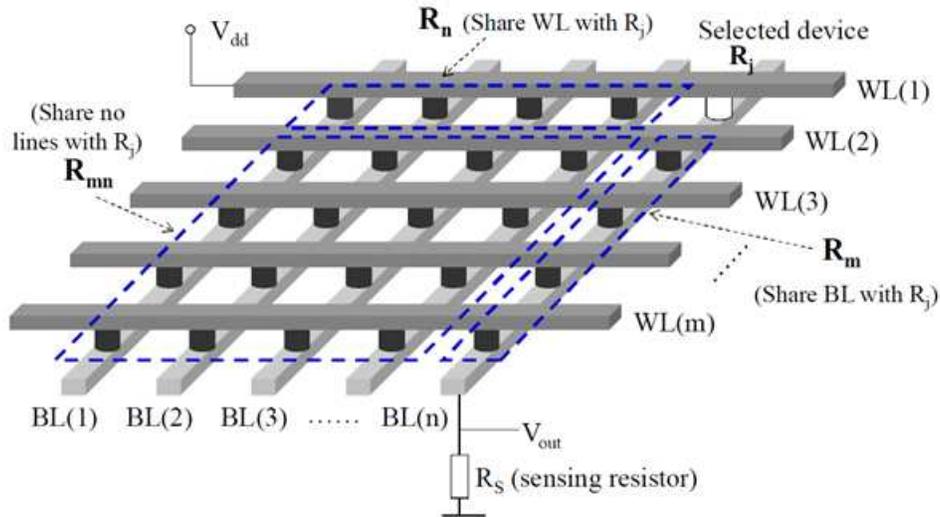


FIGURE 2.6 Schéma d'une matrice croisée (CBA) de mémoires à deux terminaux [3]

Le schéma de polarisation définit la tension à appliquer sur chaque BL et chaque WL afin de faire la lecture ou l'écriture d'un point mémoire. La notation $V/2$, $V/3$ ou $5V/12$ réfère à la tension qui sera appliquée sur chaque point mémoire sur le BL et WL de la mémoire sélectionnée comme indiqué par la ligne rouge sur les différents schémas de polarisation de la figure 2.7. Sur cette figure, la cellule sélectionnée se trouve à l'intersection des lignes rouges et la tension appliquée sur chaque BL et WL est indiquée à leur extrémité tandis que la différence de potentiel appliqué sur chaque point mémoire est indiquée dans le carré au centre des intersections. Le schéma de polarisation $V/2$ (2.7 a) est la seule configuration où aucune tension n'est appliquée sur les mémoires adjacentes aux WL et BL sélectionnés et n'est la configuration qui nécessite le moins de puissance d'opération. Cependant, le schéma de polarisation $V/3$ (2.7 b) permet une plus grande marge de tension d'écriture (writing voltage margin WVM) qui est définie par la différence entre la tension appliquée sur la cellule sélectionnée et la tension maximum appliquée sur une cellule adjacente non sélectionnée. Un WVM élevé permet de diminuer les risques de perturbation lors de l'écriture. Une polarisation $V/3$ permet donc une écriture plus robuste comparativement à la polarisation $V/2$. Le schéma de polarisation $5V/12$ est en quelque sorte un compromis entre les schémas de polarisation précédente. En effet, la tension appliquée sur les mémoires adjacentes aux WL et BL sélectionnés est deux fois plus faible que la polarisation $V/3$ et le WVM est plus élevée que la polarisation $V/2$.

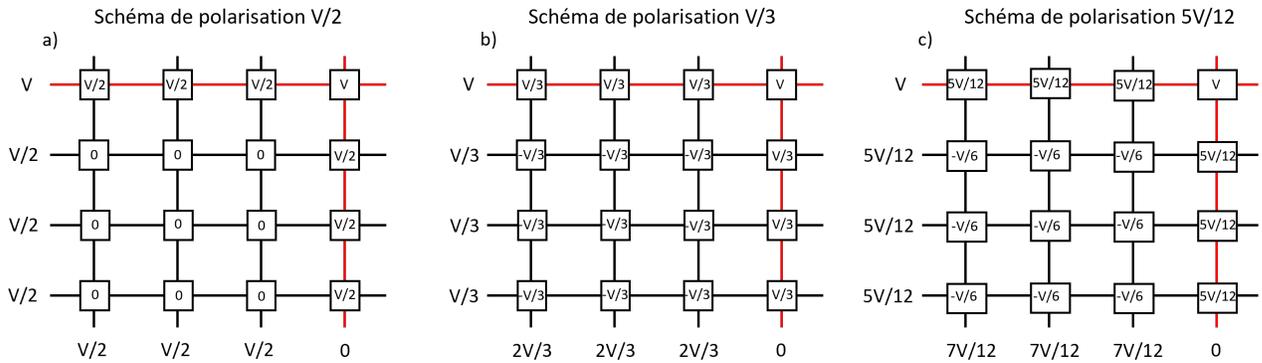


FIGURE 2.7 3 schémas de polarisation possible d'une CBA. a) polarisation $V/2$, b) polarisation $V/3$, c) polarisation $5V/12$.

2.3 Mémoire

Il existe une panoplie de technologies pouvant être utilisées comme mémoire dans un CI. La figure 2.8 montre la classification des différents types de mémoires qui se divise en deux types : les mémoires volatiles et les mémoires non volatiles. Les mémoires volatiles sont des mémoires qui ont besoin d'être constamment alimentées afin de retenir l'information. L'état dans laquelle se trouvait la mémoire ne sera pas conservé si le système ne reçoit plus d'énergie. En revanche, les mémoires non volatiles vont conserver l'état dans laquelle elle se trouvait même si le système n'est plus alimenté. Tous les types de mémoires ne sont pas intégrables dans une CBA décrite plus haut. En effet, seules les mémoires à deux terminaux peuvent être utilisées dans cette configuration. Donc, les mémoires à base de transistor comme les mémoires Flash, SRAM, DRAM et FeFET ne sont pas compatibles. Parmi les mémoires à la fois compatibles avec une CBA à deux terminaux et l'intégration 3D monolithique BEOL, les mémoires PCRAM (PCM) et RRAM (ReRAM, OxRAM et CBRAM) figurent parmi les technologies les plus prometteuses pour compléter voire remplacer les mémoires courantes. Les mémoires RRAM et PCRAM seront passées en revue dans ce chapitre.

Mémoire résistive (RRAM)

Les mémoires RRAM (Redox-based resistive Random Access Memory ou Redox induced resistive Random Acces Memory) sont des mémoires non volatiles basées sur la réaction d'oxydoréduction pour définir un état de haute résistance (HRS), de basse résistance (LRS) et des états de résistance intermédiaires. En pratique, le processus d'oxydoréduction d'une RRAM est généralement accompagné par le transport d'ions ou d'atomes. Les RRAMs peuvent être divisées en trois catégories définies par le mécanisme de conduction responsable du comportement de la cellule :

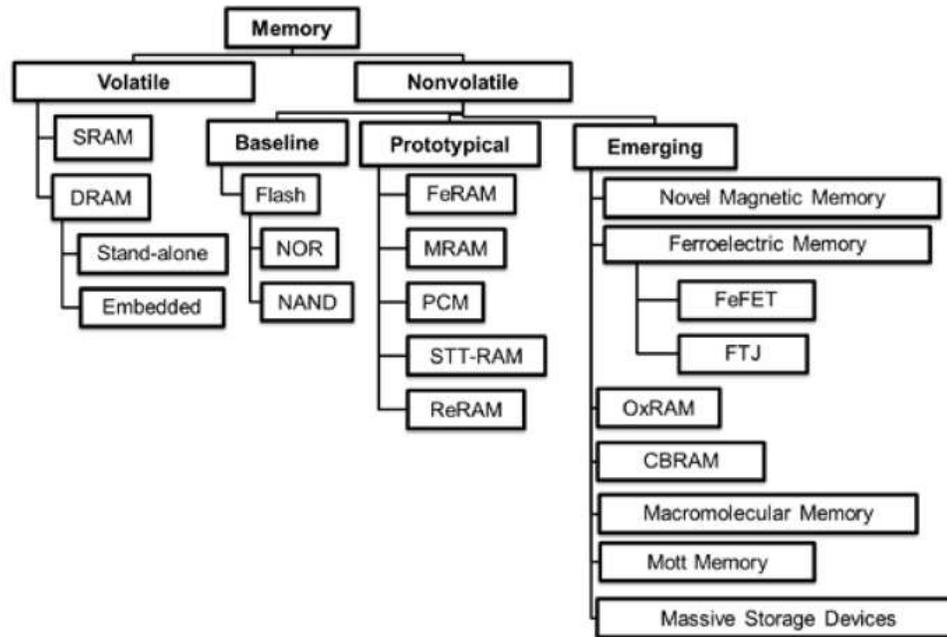


FIGURE 2.8 Taxonomie des différents types de mémoire tirés du rapport Beyond CMOS de l'IRDS 2020 [4]

- Mécanisme de métallisation électrochimique (Electro-chemical metallization : ECM)
- Mécanisme de changement de valence (Valence change mechanism : VCM)
- Mécanisme thermochimique (Thermo-chemical mechanism : TCM)

Tandis que les RRAMs de type ECM et VCM sont des mémoires bipolaires, les ReRAMs de types TCM sont des mémoires unipolaires. Cependant, la grande densité de courant (intrinsèque au mode d'opération unipolaire) nécessaire pour changer l'état des mémoires résistives font que les travaux sur les RRAMs de type TCM ont majoritairement été abandonné au profit des dispositifs bipolaires et par conséquent ne sont plus couverts par l'IRDS comme dispositif émergent et ne seront donc pas revus dans ce document.

Les RRAMs de types ECM aussi appelés conductive bridge random access memory (CBRAM) et programmable metalization cell (PMC), sont constituées d'une électrode active (Ag ou Cu), une électrode inerte (Pt, Au, W, etc.) et un isolant entre les deux qui peut être un électrolyte solide (AgI, GeS) ou un diélectrique (Ta₂O₅, TiO₂, HfO₂, SiO₂) dopé [13, 14, 15, 16, 17, 18, 19]. Le fonctionnement d'une CBRAM repose sur la croissance électrochimique et la dissolution d'un filament conducteur dans la couche isolante. Pour

effectuer l'électroformage et le "set", une tension positive est appliquée sur l'électrode active. Celle-ci s'oxyde localement par un transfert de charge et des ions positifs se dissolvent par la suite dans la couche isolante pour arriver jusqu'à l'électrode inactive. Une réaction d'oxydoréduction prend place sur l'électrode inactive et un filament de conduction se crée de l'électrode inactive jusqu'à l'électrode active. Pour effectuer le "reset", une polarisation inverse crée un échauffement local à l'endroit le plus étroit du filament (généralement près de l'électrode active) ce qui permet la dissolution des atomes dans l'isolant et la migration de ceux-ci jusqu'à l'électrode active. Ce phénomène persiste jusqu'à la dissolution complète du filament de conduction.

Les RRAMs de types VCM sont aussi constituées de deux métaux séparés par un isolant avec une électrode active et une électrode passive. Pour les VCM les états HRS et LRS sont définis par l'introduction de lacunes d'oxygène dans la couche isolante qui modifie localement la conductivité du matériau. Les RRAMs de types VCM peuvent être de nature filamentaire et non filamentaire. Dans le cas des mémoires filamentaires, l'électroformage est effectué par une différence de potentiel entre les deux électrodes qui va libérer des ions d'oxygène vers l'électrode inactive permettant la formation d'un filament de conduction de l'électrode inactive jusqu'à l'interface de l'électrode active. Un pulse de tension (beaucoup moins élevé que la tension de formage) positif ou négatif ("set" ou "reset") va permettre d'introduire ou de retirer des lacunes d'oxygène à l'interface entre le filament de conduction et l'électrode active et définir les états de basse et haute résistance.

Les mémoires RRAMs possèdent la capacité de pouvoir commuter entre plusieurs états intermédiaires entre les états HRS et LRS qui permet une approche multibits sur chaque point mémoire [19, 20, 21]. Une fois l'électroformage effectué, les ReRAMs possèdent une faible puissance d'opération comparativement au PCRAM [22, 23]. Les RRAMS ont aussi l'avantage d'avoir un temps de programmation très court. Une mémoire VCM à base de TaOx a été démontrée avec un temps de programmation de 100 ps [24] et une commutation de 85 ps a été démontrée dans un dispositif à base de nitrure [25]. Étant donnée leur compatibilité avec les procédés BEOL, les VCM et les ECM sont compatibles avec une intégration 3D monolithique. Le fonctionnement d'une matrice croisée de 16 GB de CuTe a été démontré [26]. De plus, l'intégration de VCM en matrice croisée a été effectuée par plusieurs compagnies notamment Toshiba qui a intégré 32Gb de mémoires VCM sur une technologie 24 nm [27]

De manière générale, les mémoires VCM offrent plus de modes d'opérations que les ECM pour des usages multibits tandis que les ECM possèdent une meilleure efficacité énergétique. Les ReRAMs sont d'excellents candidats pour remplacer la mémoire FLASH en raison de leur limite de mise à l'échelle très faible (plus petit que 10 nm), la vitesse de commutation, l'efficacité énergétique et l'intégration 3D monolithique. Cependant, il y a une grande variabilité des tensions de commutation qui entraîne des changements au niveau des résistances des états HRS et LRS. La variabilité de chaque point mémoire est donc un problème majeur autant pour les mémoires de types VCM que ECM.

Mémoire à changement de phase (PCRAM)

Les matériaux à changement de phase (Phase Change Material : PCM) sont caractérisés par l'aptitude de pouvoir changer rapidement d'un état amorphe à cristallin de façon réversible. Les PCMs sont principalement constituées de matériaux à base de chalcogénure (S, Se, Te) et à base d'antimoine (Ge-Sb, Ga-Sb). Le changement de l'état amorphe vers l'état cristallin s'effectue en chauffant le matériau au-dessus de la température de cristallisation suffisamment longtemps pour engendrer la cristallisation de celui-ci. Pour passer de l'état cristallin à l'état amorphe, le matériau doit être chauffé au-dessus du point de fusion et ensuite être refroidi rapidement.

Le concept permettant d'emmagasiner de l'information suivant les différentes propriétés physiques de l'état amorphes à cristallin a été inventé dans les années 60 [28]. C'est seulement vers la fin des années 1980 que des PCM ont démontré des caractéristiques de commutation suffisamment rapides pour être intéressantes comme un moyen de stockage d'information [29]. Le changement de réflectivité entre les deux phases était utilisé pour emmagasiner l'information et un laser était utilisé pour chauffer et changer la phase du matériau. Ce principe a également donné naissance aux DVD réinscriptibles et aux disques Blue Ray de 100 GB [30].

C'est au début des années 2000 que les PCRAM (Phase Change Random Access Memory) ont commencé à voir le jour [31]. Dans les PCRAM, c'est le changement de résistance entre la phase amorphe et cristalline qui est utilisé pour encoder l'information. La différence de résistance entre les deux états peut aller jusqu'à 5 ordres de grandeur [32]. Un pulse très bref de courant de forte intensité (de l'ordre de 10 ns) est nécessaire pour faire le "reset" c.-à-d. passer de l'état cristallin à l'état amorphe. Ce courant requis pour

atteindre la température du point de fusion dépend de plusieurs facteurs comme la résistivité électrique, la conductivité thermique du matériau et la structure du dispositif. Un pulse de courant plus long (généralement plus grand que 100 ns) avec une intensité plus faible est requis pour faire le "set" c.-à-d. passer de l'état amorphe à cristallin. Ce courant doit être suffisamment élevé pour atteindre des températures au-dessus de la température de cristallisation et cette température doit être maintenue suffisamment longtemps pour permettre de recuire la phase amorphe en état cristallin de faible résistance. Le courant maximal nécessaire pour faire fonctionner une PCRAM dépend donc du "reset" tandis que la vitesse de programmation est limitée par le "set".

Les PCRAM ont l'avantage de combiner des caractéristiques des mémoires DRAM comme la lecture et l'écriture rapides et une bonne endurance, mais elles possèdent aussi des caractéristiques comparables aux mémoires FLASH comme la non-volatilité et la simplicité du dispositif. Les PCRAM ont aussi l'avantage d'être unipolaires, c.-à-d. qu'il est possible de commuter l'état de la mémoire en utilisant une seule polarité (contrairement au ReRAM par exemple.). De plus, la limite de mise à l'échelle des PCRAM est attendue à être supérieure à celle des dispositifs de mémoires existants [33] (plus petit que 10 nm). Cependant, les PCRAM nécessitent des courants relativement élevés pour effectuer le "reset". Elles sont donc limitées par le dispositif d'accès nécessaire dans une matrice croisée qui doit pouvoir fournir un courant suffisamment élevé pour permettre de commuter les PCRAM. Ceci est un problème pour des applications à haute densité d'intégration et pour des nœuds technologiques avancés. La commercialisation de mémoires PCRAM a été effectuée dans un nœud 45 nm depuis 2012. Il a aussi été démontré que les PCRAM pouvaient être considérées pour le remplacement de la mémoire FLASH dans des applications embarquées [34, 35].

2.4 Sélecteur

Plus une CBA contient de points mémoires, plus la densité d'intégration est avantageuse. En effet, pour une CBA de n par m points mémoires, la quantité de connexion nécessaire est donnée par $n+m$ tandis que le nombre de points mémoire est donné par $n*m$ de sorte que pour une CBA de 1000 par 1000 points mémoires par exemple, le nombre de connexions externes nécessaires pour faire fonctionner la CBA est de 2000 pour une matrice de 1 000 000 de points mémoires. Cependant, pour une grande densité d'intégration, plusieurs problèmes majeurs peuvent nuire au fonctionnement de la CBA. Des courants de fuite (sneak path) importants peuvent circuler dans les cellules non sélectionnées (figure

2.9). Ceci peut engendrer une variation de tension sur la cellule sélectionnée qui empêche la lecture et engendrer des changements de résistance non désirés dans les cellules non sélectionnées. Aussi, plus le chemin de conduction est long, plus la résistance des BT et des WL devient importante et diminue la tension appliquée sur la mémoire sélectionnée. Dans des nœuds technologiques avancés la capacité de couplage entre 2 BL ou 2 WL devient aussi importante et peut affecter la vitesse d'opération de la CBA.

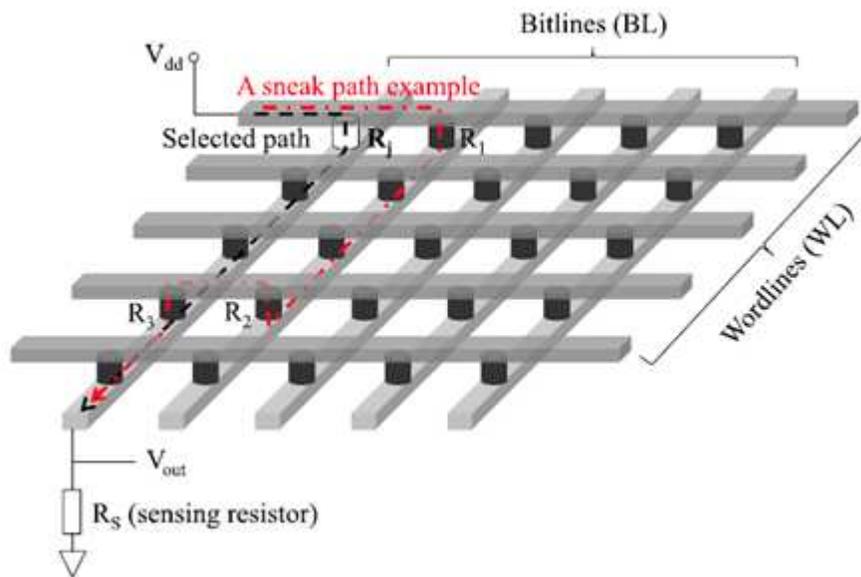


FIGURE 2.9 Exemple de courant de fuite (sneak path) dans une CBA [5]

Pour diminuer les "sneak path", des dispositifs de sélections appelées sélecteurs (selector) ou dispositifs d'accès (Access device) peuvent être introduits en série avec chaque point mémoire (voir figure 2.10). Ces dispositifs non linéaires permettent de bloquer le courant à basse tension et de laisser passer le courant à forte tension. En fonction de la nature du point mémoire, les sélecteurs peuvent être unidirectionnels, bidirectionnels, volatils, non volatils, etc. La figure 2.11 représente la taxonomie des différents types de sélecteurs existant à ce jour séparé en quatre catégories différentes : les transistors, les diodes, les sélecteurs non linéaires et les sélecteurs volatils. Ces différentes catégories seront donc discutées dans cette section. Plusieurs critères sont nécessaires pour qu'un sélecteur soit utilisé dans une architecture de mémoires à 2 terminaux avec une CBA. La densité de courant maximum que peut fournir le sélecteur doit être suffisante pour changer l'état de résistance de la mémoire. Le sélecteur doit aussi avoir le ratio de courant ON/OFF ou le ratio de non-linéarité le plus élevé possible pour être utilisé avec des CBA de grande dimension. La tension de seuil, la limite de mise à l'échelle, la polarité d'opération, la

vitesse d'opération, les températures de fabrication et d'opération sont aussi des critères importants pour définir la viabilité d'un sélecteur en fonction du type de mémoires avec lesquelles ils pourraient être utilisés.

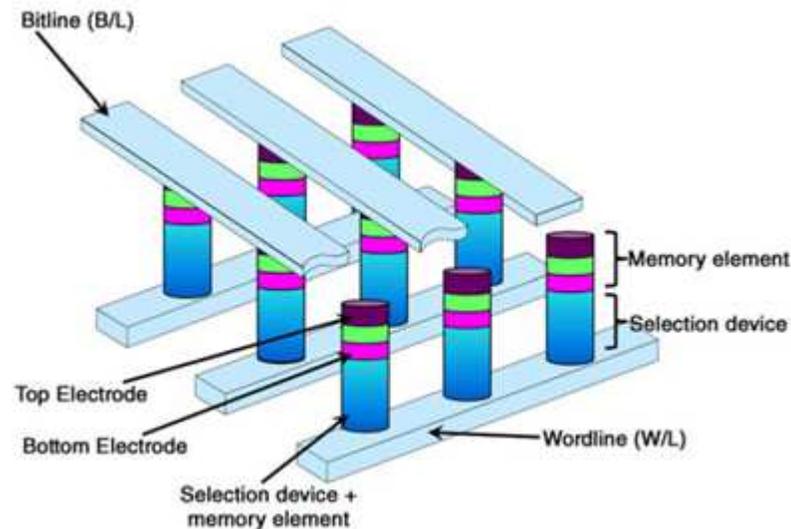


FIGURE 2.10 Configuration typique 1S1R (one-selector-one-resistor) d'une mémoire et d'un sélecteur dans une CBA [6]

2.4.1 Transistor

Les transistors sont les dispositifs de sélection offrant les meilleures performances. Ils permettent de fournir de grandes densités de courant tout en étant presque imperméables aux variations de tension à l'état bloqué. Le contrôle sur la tension de grille permet de limiter le courant afin d'avoir un excellent contrôle sur la polarisation de la cellule sélectionnée. Ceci permet entre autres d'avoir un excellent contrôle sur l'électroformage d'une mémoire ReRAM par exemple. Néanmoins, les transistors sont des dispositifs à 3 terminaux impossibles à intégrer simplement dans une architecture CBA à 2 terminaux. L'empreinte de la cellule unitaire est donc généralement plus grande que $4F^2$. De plus, les transistors sont contraints à être fabriqués dans le FEOL d'un procédé CMOS et l'intégration 3D de dispositif 1T1R (un transistor en série avec une mémoire résistive) est plus complexe. Pour ces raisons, les transistors ne constituent pas une solution intéressante comme dispositif de sélection pour les mémoires émergentes.

2.4.2 Diode

Les diodes sont des dispositifs à 2 terminaux compatibles avec une intégration en $4F^2$. Il existe deux principaux types de diodes utilisés comme sélecteur, les diodes à base de

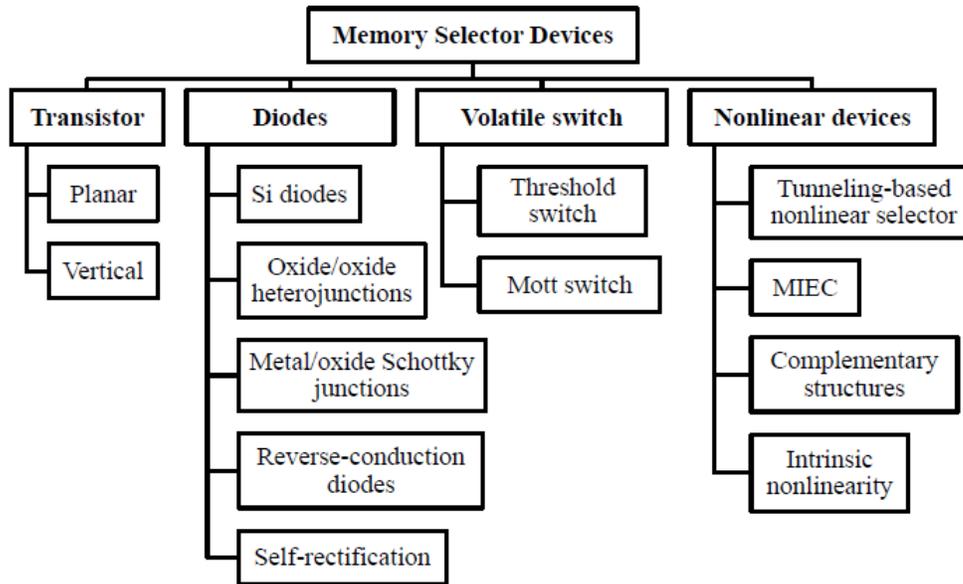


FIGURE 2.11 Taxonomie des différents types de sélecteurs tirés du rapport Beyond CMOS de l'IRDS 2020 [4]

silicium, et les diodes à base d'oxide comme les hétérojonctions et les jonctions Schottky (À ne pas confondre avec une diode Schottky).

Des diodes à base de silicium cristallin [36] ou à base de polysilicium [37, 38] ont été développées pour des mémoires PCRAM. Les diodes à base de silicium (Si) ont un comportement unipolaire et ne peuvent donc pas être utilisées pour des mémoires ReRAM par exemple. La dimension des diodes à base de Si peut être théoriquement diminuée à moins de 10 nm. Les diodes à base de silicium amorphe peuvent théoriquement être intégrées avec les procédés BEOL. Cependant, pour permettre une grande densité de courant dans l'état "ON" et une faible densité de courant dans l'état "OFF", des recuits thermiques à haute température (≈ 1000 °C) sont nécessaires pour cristalliser le Si. Ceci rend, en pratique, l'intégration de sélecteurs à base de Si cristallin incompatible avec les procédés BEOL.

Les diodes à base d'hétérojonction sont principalement composées de deux oxydes semi-conducteurs déposés à basse température (200 - 300 °C). Elles sont donc compatibles avec le budget thermique d'un procédé BEOL. Néanmoins, elles ont aussi un fonctionnement unipolaire et ont démontré de faibles densités de courant maximum (10^3 - 10^4 A/cm²). Un taux de redressement de 10^5 et une densité de courant de 5×10^3 A/cm² à 3 V a été observé dans des diodes à base de p-NiOx/n-TiOx [39]. Des diodes à base de p-CuOx/n-InZnOx

avec une densité de courant de 10^4 A/cm² ont été mesurées à 1.3V et ont été intégrées avec des mémoires ReRAM unipolaires à base de NiOx dans une CBA de 8 x 8 [40, 41]. Les diodes à base d'hétérojonction sont adaptées pour une intégration 3D monolithique tant dans le FEOL que dans le BEOL. Cependant, la densité de courant maximal est principalement limitée par les résistances de contact et la densité d'état des oxydes semi-conducteurs.

Les jonction Schottky sont principalement constituées d'un diélectrique séparé par deux métaux différents permettant d'avoir une barrière Shottky d'un côté du diélectrique et un contact ohmique de l'autre. Par exemple, une structure Ti/TiO₂/Pt [42] a démontré un taux de redressement $>10^5$ et une densité de courant maximale de 2×10^3 A/cm². Dans cette configuration, l'interface de TiO₂/Pt correspond à la barrière Schottky et l'interface Ti/TiO₂ correspond à l'interface ohmique. En raison de la différence entre les deux électrodes, les diodes Schottky ont aussi un comportement unipolaire et comme les diodes à base d'hétérojonction, les matériaux sont déposés à basse température et sont donc aussi compatibles avec les procédés BEOL. Néanmoins, même si des taux de redressement élevés ont été observés, la densité de courant maximale démontrée par ces dispositifs reste relativement faible. Une diode Schottky constituée d'Ag/ZnO/Ti/Au avec un taux de redressement de 10^7 - 10^8 et une densité de courant maximale de 10^4 A/cm² a été démontrée dans des structures de 36 μm^2 et intégrée avec des mémoires ReRAM unipolaires à base de NiO dans un CBA de 10 kbyte [43].

2.4.3 Sélecteur volatile

Les sélecteurs volatiles peuvent être séparés en deux catégories. Les sélecteurs basés sur une tension de seuil "Threshold switch" (TS) et les sélecteurs basés sur une température seuil "Mott Switch" (MS). Les sélecteurs volatiles ont un comportement bidirectionnel et sont conçus avec des procédés à basse température. Que ce soit par une activation causée par une tension de seuil (V_{th}) ou par une température critique, le changement de résistance n'est pas permanent et la celle-ci retombe dans son état initial aussitôt que la tension de maintien (V_{hold}) ou la température critique n'est plus appliquée. Deux types de TS ont été mis en évidence et peuvent être décrits par un des deux phénomènes de transition suivants, la commutation ovonique (ovonic threshold switching : OTS) et la commutation basée sur la vacuité (Threshold vacuum switch : TVS).

Pour les OTS, le fonctionnement physique de ces dispositifs est semblable au fonctionnement des mémoires PCRAM. En effet, dans un matériau à base de chalcogénure par

exemple, un changement de résistance volatile se produit avant d'atteindre un état de résistance non volatile [6]. Le principe de fonctionnement des OTS est donc basé sur les mêmes modèles qui décrivent les mémoires PCRAM. Quand la tension de seuil est appliquée, le changement de résistance de l'OTS n'est pas instantané et introduit un délai avant de commuter dans l'état de basse résistance [44]. Ceci peut donc affecter la vitesse d'opération de la mémoire. Une densité de courant de 1.1×10^7 A/cm² et une sélectivité de 10^3 et 10^8 cycles d'endurance ont été mesurés avec un sélecteur à base AsTeGeSi [45]. Un dispositif hybride à base d'oxyde de niobium a été fabriqué à la fois comme sélecteur OTS et à la fois comme mémoire ReRAM en modifiant la stœchiométrie de l'oxyde et des densités de courant maximales de 2×10^6 A/cm² ont été observés [46]. Une CBA de 4Mb de ReRAM a été réalisée avec un sélecteur appelé FAST (Field Assisted Superlinear Threshold) démontrant une densité de courant maximale de 5×10^6 A/cm² et une sélectivité de 10^{10} [47].

Les TVS sont construits avec une couche sacrificielle qui est retirée pour créer un "vide" à l'interface du sélecteur et de l'électrode. Un mécanisme basé sur la recombinaison des ions et des lacunes d'oxygène est proposé pour décrire le comportement du dispositif [48]. Ces dispositifs ont démontré la plus grande densité de courant mesuré (10^8 A/cm²) pour des dispositifs bidirectionnels compatibles dans une CBA de $4F^2$. Une sélectivité de plus de 10^5 a été observée et des tests de stress en tension continue laissent entendre une endurance de plus de 10^8 cycles de programmations.

Les sélecteurs de Mott (Mott switch) aussi appelés metal-insulator-transition (MIT) selector reposent sur le principe de transition de Mott qui est essentiellement caractérisé par un changement de comportement d'un matériau d'isolant à métallique causé par différents facteurs comme le champ électrique, la pression, le champ magnétique, la température, etc. [49]. Le changement d'isolant à métal apporte un changement de résistance du matériau de plusieurs ordres de grandeur. Ce changement de résistance fait en sorte qu'un matériau de Mott peut théoriquement être utilisé comme sélecteur. Un sélecteur à base de VO₂ a démontré une densité de courant de 10^6 A/cm² et une faible sélectivité de 50 [50]. En plus d'une faible sélectivité, la température de transition du VO₂ ($\approx 68^\circ\text{C}$) est trop faible pour que ce sélecteur puisse être utilisé en pratique où des tolérances en température de 85°C sont nécessaires [4]. Des matériaux avec une température de transition plus élevée sont donc nécessaires pour être utilisés comme sélecteur.

2.4.4 Sélecteur non linéaire

Les dispositifs non linéaires sont définis par des mécanismes de conduction non ohmique comme le transport d'électron par effet tunnel ou la combinaison de transport d'électrons et d'ions qui contribue au courant total (mixed ionic electronic conduction : MIEC). Ces dispositifs sont caractérisés par un comportement bipolaire et sont généralement composés de matériaux déposés à basse température.

Les sélecteurs à base d'effet tunnel peuvent être constitués d'une seule couche de matériau ou d'un empilement de différents oxydes/nitrures. Des densités de courant de 2×10^4 A/cm² à 2 V et 2×10^3 A/cm² à -2 V ont été observés dans un sélecteur à base d'une monocouche de TiO₂ déposée par ALD (TiN/TiO₂/Pt) [51]. Des jonctions tunnel ont aussi été optimisées à l'aide de multicouches. Un sélecteur bidirectionnel de type varistor a été fabriqué en incorporant du Tantale (Ta) dans une couche de TiO₂ [9]. L'ajout de Ta de part et d'autre de la couche de TiO₂ a pour effet de diminuer la largeur effective de la jonction tunnel à base de TiO₂ et ainsi augmenter le courant tunnel. Les résultats ont montré une densité de courant maximal élevé (10^7 A/cm²) et un grand ratio de non-linéarité (10^4). Des résultats similaires ont été démontrés avec du Ta-2O₅ stœchiométrique et une couche tunnel de TiO₂ (Pt/Ta₂O₅/TaO_x/TiO₂/Pt) [52]. Le sélecteur a été intégré dans une CBA de 1064 points mémoires à base de CBRAM de Cu/TiO₂/Pt. Les courants de fuites ont été réduits en dessous de 100 nA.

Des sélecteurs à base de Cu contenant des matériaux MIEC (Mixed Ionic Electronic Conducting Material) ont démontré des comportements très intéressants. Ces matériaux contiennent des ions mobiles de Cu qui contribuent à la conduction du matériau. Le faible courant à basse tension est causé par une jonction Schottky entre les électrodes et le matériau MIEC. Quand la tension augmente, les ions de Cu se déplacent vers l'électrode négative et les lacunes se déplacent vers l'électrode positive ce qui entraîne une augmentation du courant. Des densités de courant élevées de 5×10^7 A/cm₂ ont été observées et une intégration d'une CBA de 512 kbit a été effectuée avec des PCRAM [53].

2.4.5 Résumé comparatif

Le Tableau 2.1 est une comparaison qualitative des différents types de sélecteurs décrits dans le chapitre 2. Ce tableau sert à donner une idée générale des performances en termes de densité de courant maximale et de sélectivité des différents types de sélecteurs. En effet, pour des sélecteurs unidirectionnels et bidirectionnels, la sélectivité n'est pas toujours

définie de la même manière (taux de redressement vs ratio de non-linéarité) et les densités de courant maximales ne sont pas évaluées pour les mêmes tensions de polarisation. Néanmoins, il est possible d'avoir une idée globale des performances et des compatibilités des différents types de sélecteurs. Les transistors et les diodes à base de silicium cristallin ne permettent pas une intégration 3D monolithique. Parmi les sélecteurs bidirectionnels compatibles avec une intégration 3D monolithique, les sélecteurs à base d'effet tunnel, de matériaux MIEC, d'OTS et de TVS démontrent les meilleures performances.

Sélecteur	J_{MAX}	Sélectivité	Bipolaire	BEOL Compatible	Remarque
Transistor	+++	+++	oui	non	Incompatible avec une intégration $4F^{\{2\}}$
Diode de Si	+++	+++	non	non	Les diodes de Poly Si sont BEOL compatible, mais possède un faible J_{MAX}
Diode à base d'hétérojonction	+	++	non	oui	J_{MAX} limité par les résistances de contacts.
Diode Schottky	+	+++	non	oui	Taux de redressement élevé
Sélecteur à base d'effet tunnel	+++	+++	oui	oui	Mécanisme de conduction méconnue
Sélecteur à base de matériaux MIEC	+++	+++	oui	oui	Matériau inconnu.
Sélecteur OTS	+++	++	oui	oui	Besoin d'un bon control sur la tension de seuil
Sélecteur TVS	+++	+++	oui	oui	Complexité de fabrication
Sélecteur à base d'isolant de Mott	++	+	oui	oui	Incompatible avec les tolérances en température des applications électronique standard.

TABLEAU 2.1 Comparaison des différents types de sélecteurs en fonction de leurs performances et de leurs compatibilités.

CHAPITRE 3

SIMULATION DE SÉLECTEUR

Le chapitre 3 porte sur la simulation de sélecteurs à base d'effet tunnel. Deux mécanismes principaux ont été étudiés ; la conduction tunnel direct (ou direct-tunneling - DT) à faible champ électrique et la conduction Fowler-Nordheim (FN) à fort champ. La première section décrit le modèle utilisé lors de nos simulations ainsi que les principales approximations qui ont été utilisées. Le modèle est ensuite confronté à des résultats expérimentaux tirés de la littérature afin de valider ce dernier. La deuxième section concerne les principaux résultats obtenus pour les simulations de sélecteurs tunnels simple couche tandis que la troisième section présentera les résultats obtenus sur des sélecteurs basés sur des empilements de deux ou trois couches diélectriques (simulations multicouches). Finalement, la dernière section porte sur les différentes applications mémoires (principalement RRAM et PCRAM) où pourraient être utilisés les sélecteurs à base d'effet tunnel.

3.1 Description et validation du modèle de simulation

L'effet tunnel est un phénomène quantique où une particule peut traverser une barrière sans disposer de l'énergie requise pour traverser cette région de manière classique [54]. Chaque particule peut-être décrite par une fonction d'onde et, si la barrière est suffisamment mince, de sorte que la fonction d'onde se propage au travers de la barrière, il existe alors une probabilité non nulle que la particule puisse traverser la barrière. La fonction d'onde d'une particule peut-être décrite par l'équation de Schrödinger et le carré du module de cette fonction d'onde est directement liée à la probabilité que la particule soit à une position donnée. En considérant des électrons et une fine barrière de potentiel (par exemple un métal séparé par une fine couche de diélectrique), il est donc possible de modéliser le courant tunnel traversant la barrière.

3.1.1 Modélisation du courant tunnel

Pour évaluer le courant tunnel, seule la composante transverse aux électrodes de l'énergie de la fonction d'onde est nécessaire. L'approche développée par R. Tsu et L. Esaki [55] permet une résolution numérique de l'équation Schrödinger à une dimension et d'accéder

à la densité de courant (J_{tun}) perpendiculaire à la direction des électrodes :

$$J_{tun}(V) = \frac{4\pi q m^* k_B T}{h^3} \times \int_0^{+\infty} \theta(E_z, V) \ln \left\{ \frac{1 + \exp\left(\frac{E_F - E_z}{k_B T}\right)}{1 + \exp\left(\frac{E_F - qV - E_z}{k_B T}\right)} \right\} dE_z \quad (3.1)$$

Où q est la charge de l'électron, E_z est l'énergie cinétique des électrons dans la direction z (référencée à partir du niveau de Fermi de la cathode E_F), m^* est la masse effective des électrons dans la cathode, $k_B T$ est l'énergie thermique et V est la chute de tension à travers la barrière. L'approximation Wentzel-Kramers-Brillouin (WKB) [56] est utilisé pour calculer la probabilité qu'un électron traverse la barrière $\theta(E_z, V)$. Cette approximation néglige les possibles réflexions de la fonction d'ondes sur les barrières tunnel et fait l'hypothèse que le champ électrique varie "lentement" par rapport au mouvement des électrons [57] et permet de négliger les termes de deuxième ordre de sorte que :

$$\theta(E_z, V) = \exp \left\{ -\frac{2}{\hbar} \int_0^{x_t(V)} \sqrt{2m_{ox}^* [\phi_b - q\varphi(z) - E_z]} dz \right\} \quad (3.2)$$

Où $x_t(V)$ correspond à la largeur effective de la barrière de hauteur ϕ_b , \hbar est la constante de Plank réduite, m_{ox}^* est la masse effective des électrons dans l'oxyde et $\varphi(z)$ est le potentiel électrostatique qui a été obtenu en supposant un champ électrique uniforme dans la couche.

Pour des raisons de simplicité, nous ferons référence à ce modèle comme étant le modèle *WKB*, bien que l'approche originale ait été développée par Tsu et Esaki. Ce modèle a été implémenté sous python et les principaux paramètres de simulations utilisés sont la hauteur de barrière ϕ_b , l'épaisseur de la couche t_{ox} , la masse effective des électrons m_{ox}^* et la tension de polarisation V . Pour les simulations multicouches, ϕ_b , t_{ox} et m_{ox}^* sont considérés pour chaque couche et la permittivité du matériau est introduite pour pondérer la distribution du champ électrique à travers les différentes couches.

Lors de nos simulations, une expression analytique du courant Fowler-Nordheim [58] a également été utilisée afin de pouvoir la comparer au modèle précédent et valider l'importance de la contribution de la conduction tunnel direct pour la simulation de sélecteur à base d'effet tunnel :

$$J_{FN} = \frac{q^3}{16\pi^2\hbar\phi_b} E_{ox}^2 \exp \left[-\frac{4}{3} \frac{\sqrt{2m_{ox}^*}\phi_b^{3/2}}{\hbar q} \frac{1}{E_{ox}} \right] \quad (3.3)$$

où $E_{ox} = V/t_{ox}$ est le champ électrique dans la couche diélectrique d'une épaisseur t_{ox} . Par la suite, nous ferons référence aux simulations obtenues par cette équation comme étant les *simulations Fowler-Nordheim (FN)*.

3.1.2 Confrontation à des données expérimentales

Afin de vérifier que les simulations WKB sont capables de reproduire le courant tunnel à basse tension, celles-ci ont été comparées aux travaux de Govoreanu et al. portant sur un sélecteur tunnel monocouche à base de Ta_2O_5 avec des électrodes de TiN.[7]. Comme le montre la figure 3.1, un bon accord entre les données expérimentales et la simulation WKB est obtenu sur une épaisseur d'oxyde de 3 nm d'épaisseur avec une hauteur de barrière de 1,25 eV à partir de l'interface TiN/ Ta_2O_5 extraite par les auteurs. Cette figure montre la contribution du courant tunnel direct est nécessaire et est capable de simuler le courant tunnel à faibles champs.

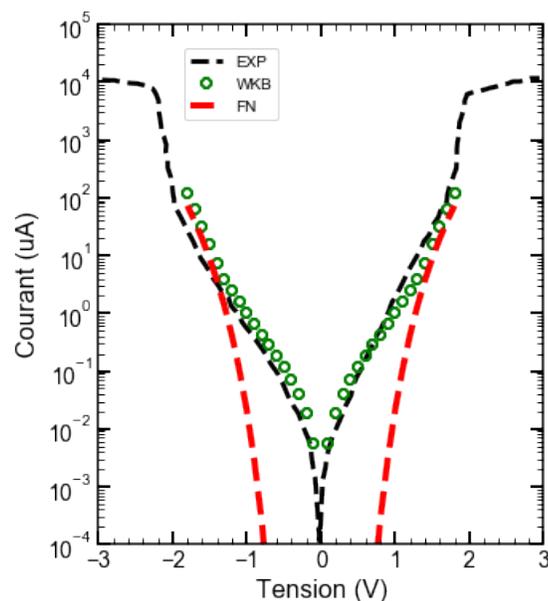


FIGURE 3.1 Simulation numérique comparant la contribution Fowler-Nordheim et l'approximation WKB avec un sélecteur à base de Ta_2O_5 de 3 nm avec des électrodes de TiN tiré de la référence [7].

3.2 Simulation monocouche

Dans cette section, les principaux critères de performance d'un sélecteur non linéaire sont étudiés en fonction de différents paramètres physiques. Ces principaux critères de performance sont : (i) la densité de courant tunnel que peut fournir le sélecteur et (ii) le ratio de non-linéarité (NL) qui est un indicateur lié à la capacité du sélecteur à bloquer le courant à faibles champs.

Le ratio de NL est défini comme le ratio de la densité de courant à une tension V divisé par la densité de courant à la tension $V/2$. L'optimisation des performances d'un sélecteur consiste donc à maximiser la densité de courant et le ratio de NL. Dans un premier temps, une comparaison entre les simulations FN et WKB est effectuée. Ensuite, une méthode permettant d'optimiser le ratio de NL est exposée ainsi qu'une étude de l'impact de différents paramètres physiques. Finalement, les meilleures performances que peut offrir un sélecteur simple couche sont extraites en fonction des différents paramètres physiques.

3.2.1 Comparaison entre simulations FN et WKB

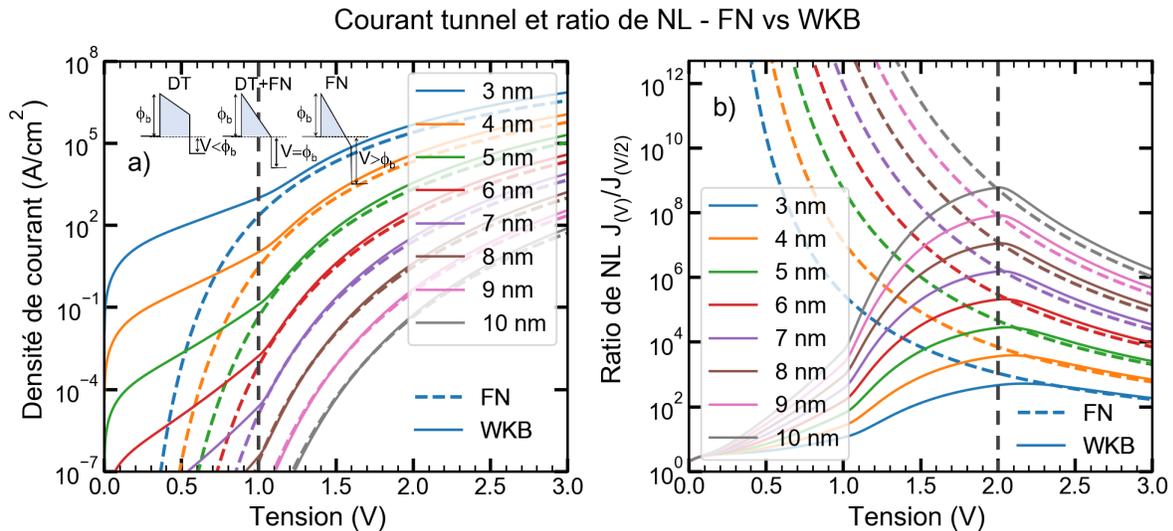


FIGURE 3.2 a) Comparaison de la densité de courant pour l'approximation analytique FN (ligne pointillée) et WKB (ligne pleine) à différentes tensions de polarisation et pour des épaisseurs variant de 3 à 10 nm ($m_{eff} = 0.3 m_e$ et $\phi_b = 1$ eV). b) Ratio de NL extrait des deux modèles de la figure 3.2 a)

La densité de courant en fonction de la tension de polarisation calculée selon les deux modèles est illustrée sur la figure 3.2 a). La hauteur de barrière (ϕ_b) et la masse effective

des électrons (m_{eff}) dans le diélectrique sont fixées respectivement à 1 eV et 0.3 m_e tandis que l'épaisseur varie de 3 à 10 nm.

Deux régimes de conduction différents aboutissent à un épaulement dans la courbe de simulation WKB (traits pleins). Cet épaulement, se produisant à une tension $V \simeq \frac{\phi_b}{q} \simeq 1$ V correspond à la transition entre le régime DT et FN tel que schématisé par les diagrammes de bande d'énergie en insert de la figure 3.2 a). Comme exposé dans la section 3.1.2, ce comportement ne peut être capturé par les simulations FN.

La figure 3.2 b) montre le rapport de NL correspondant aux données de la figure 3.2 a). Comme indiqué dans [59], en considérant uniquement la contribution de FN, il existe un compromis entre la densité de courant et le ratio de NL en raison de la diminution monotone du rapport de NL. Plus la densité de courant est élevée, plus le ratio de NL diminue. En revanche, en considérant les simulations WKB qui incluent le courant DT, il apparaît clairement qu'il existe une tension où le ratio de NL est maximal. Cette tension correspond à $V \simeq \frac{2\phi_b}{q}$ et ne semble pas dépendre de l'épaisseur du diélectrique. Bien que globalement, il existe tout de même un compromis entre une grande densité de courant et un grand ratio de NL en considérant l'approximation WKB, la tension qui maximise le ratio de NL pourrait être utilisée comme outil afin d'optimiser les performances d'un sélecteur à base d'effet tunnel.

3.2.2 Influence des différents paramètres physiques

Dans le but d'optimiser les performances (c.-à-d. obtenir la plus grande densité de courant et le plus grand ratio de NL possible dans la conception de sélecteur), une étude sur la variation des paramètres physique a été effectuée afin d'observer l'impact sur la densité de courant, le ratio de NL et aussi sur la tension qui maximise le ratio de NL.

La hauteur de barrière ϕ_b à un effet direct sur la densité de courant et le ratio de NL. La figure 3.3 a) montre encore une fois une comparaison entre l'approximation WKB et l'équation analytique du courant FN. La densité de courant est tracée en fonction de la tension de polarisation pour différentes hauteurs de barrière allant de 0.5 à 2 eV ($m_{eff} = 0.3 m_e$ et $t_{ox} = 3$ nm). La figure 3.3 b) montre le rapport de NL correspondant aux données de la figure 3.3 a). On constate que la densité de courant diminue quand ϕ_b augmente tandis que la tendance opposée est observée pour le ratio de NL.

Sur la figure 3.3 a), l'épaulement entre le régime DT et FN correspond bien à $V \simeq \frac{\phi_b}{q}$ et sur la figure 3.3 b) le ratio de NL correspondant est le plus élevée quand $V \simeq \frac{2\phi_b}{q}$ pour l'approximation WKB. Cette dépendance est encore mieux illustrée sur la figure 3.4 qui

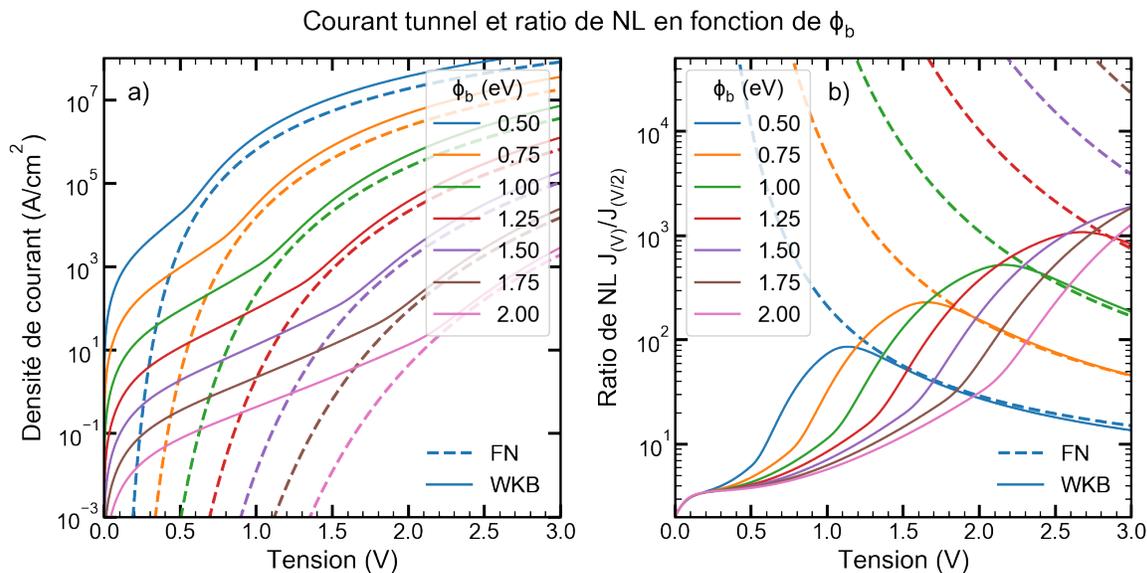


FIGURE 3.3 a) Comparaison de la densité de courant pour l’approximation analytique FN (ligne pointillée) et WKB (ligne pleine) à différentes hauteurs de barrière ϕ_b variant de 0.5 à 2 eV ($m_{eff} = 0.3 m_e$ et $t_{ox} = 3$ nm). b) Ratio de NL extrait des deux modèles de la figure 3.3 a)

montre la tension qui maximise la non-linéarité en fonction de la hauteur de barrière pour des monocouches de 3 à 10 nm d’épaisseur. Ces résultats confirment l’hypothèse que la tension qui maximise le ratio de NL (V_{NLmax}) dépend principalement de la hauteur de barrière ϕ_b . La tension qui maximise la non-linéarité V_{NLmax} dépend linéairement de ϕ_b tandis que l’épaisseur de la couche d’oxyde a très peu d’impact sur cette tension. Le courant FN dépasse le courant DT quand la tension appliquée dépasse légèrement, $\frac{\phi_b}{q}$ quelle que soit l’épaisseur de l’isolant expliquant ainsi pourquoi l’épaisseur a un effet marginal sur V_{NLmax} . Pour cette raison, un sélecteur à base d’effet tunnel doit être conçu en sélectionnant la combinaison appropriée de métal/diélectrique pour une tension d’écriture/lecture d’une mémoire afin de maximiser le ratio de NL tout en considérant le compromis entre une grande densité de courant et un grand ratio de NL.

La figure 3.5 a) montre V_{NLmax} en fonction de la masse effective des électrons (m_{eff}) pour différentes épaisseurs et une hauteur de barrière $\phi_B = 1$ eV. Les résultats montrent que m_{eff} a relativement peu d’impact sur la tension qui maximise la NL (variation de ~ 0.4 V quand m_{eff}/m_e passe de 1 à 0.1). Cette variation est même difficilement décelable lorsque $m_{eff}/m_e > 0.5$. La figure 3.5 b) montre la densité de courant en fonction de la tension de polarisation pour différentes valeurs de m_{eff}/m_e avec l’approximation WKB et l’équation FN. Comme attendu, le courant FN n’est dominant que lorsque $V > \phi_b/q$. Pour des tensions

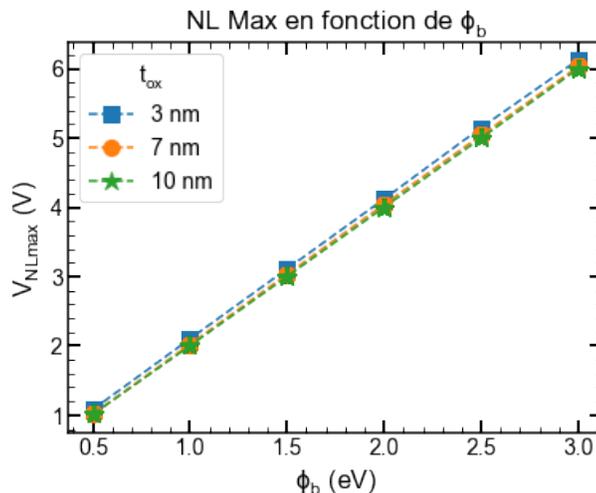


FIGURE 3.4 Tension de polarisation qui maximise le ratio de NL (V_{NLmax}) en fonction de la hauteur de barrière ϕ_b pour des épaisseurs (t_{ox}) de 3 à 10 nm. Alors que V_{NLmax} dépend directement de ϕ_b , t_{ox} a un impact très faible.

inférieures, le calcul FN néglige le courant tunnel direct et le courant FN est systématiquement plus petit que le courant de l'approximation WKB quand $V < \phi_b/q$. Néanmoins, il est attendu que le modèle WKB concorde avec l'équation FN quand $V \gg \phi_b/q$ et ce n'est pas le cas quand $m_{eff} < 0.3$. De plus, le courant WKB devient inférieur au courant FN quand $m_{eff} > 0.5$. Bien qu'il n'ait pas été possible d'expliquer la différence entre le courant FN et WKB quand $m_{eff} < 0.3$ et $m_{eff} > 0.5$ dans ces travaux, c'est pour cette raison que la masse effective a été fixée à $m_{eff} = 0.30 \cdot m_e$ dans la comparaison du courant FN et WKB de la figure 3.2.

3.2.3 Optimisation des performances

Considérant que la tension qui maximise la NL (V_{NLmax}) dépend principalement de la hauteur de barrière (ϕ_b) et que la densité de courant dépend principalement de l'épaisseur (t_{ox}) de diélectrique et (ϕ_b), il est possible de déterminer des conditions où la densité de courant est optimisée en fonction du ratio de NL maximum. Des simulations systématiques à différent t_{ox} et ϕ_b avec m_{eff} fixé à 0.3 ont été effectuées et seront présentées de façon synthétique pour voir comment les deux indicateurs de performances (J_{NLmax} et NL_{max}) évoluent. La figure 3.6 montre la densité de courant à V_{NLmax} en fonction de la valeur de NL à cette tension (NLmax). Le ratio de NL optimal et les densités de courant correspondantes ont été déterminés pour des épaisseurs allant de 3 à 10 nm et des hauteurs de barrière allant de 0.5 à 3.0 eV. En supposant que les mécanismes basés sur la conduction tunnel soient dominants (c'est-à-dire DT et FN), ce graphique représente

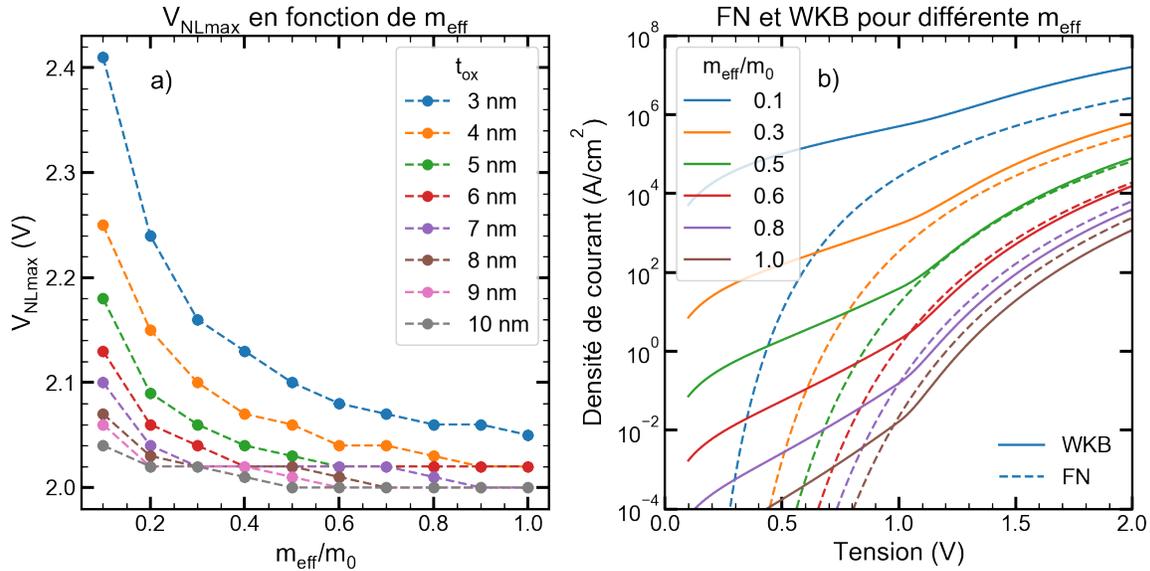


FIGURE 3.5 a) Tension qui maximise la NL en fonction de la masse effective des électrons. $\phi_b=1\text{eV}$ b) Densité de courant FN et WKB en fonction de la tension de polarisation pour différente valeur de m_{eff} . $t_{ox}=3\text{nm}$

les meilleures performances qu'un sélecteur monocouche peut atteindre en fonction de ses propriétés physiques (ϕ_b et t_{ox}). Une faible t_{ox} et une faible ϕ_b montrent des densités de courant plus élevées tandis que des t_{ox} et ϕ_b plus élevés augmentent le ratio de NL. Ces résultats peuvent servir de ligne directrice dans la conception de sélecteurs basés sur l'effet tunnel.

Comme il a été mentionné dans la section 3.2.2, il existe une tension qui maximise le ratio de NL d'après le modèle WKB et qui correspond à $V \simeq \frac{2\phi_b}{q}$. Le ratio de non-linéarité est donc maximal quand $J_{(V/2)}$ (dans la définition du ratio de NL : $NL_{ratio} = J_{(V)}/J_{(V/2)}$) correspond à une polarisation de $V = \frac{\phi_b}{q}$. La tension qui maximise la non-linéarité dépend aussi du schéma de polarisation.

Comme il a été mentionné dans le chapitre 2, il existe plusieurs schémas de polarisation possibles pour adresser une CBA. Ainsi pour un schéma de polarisation de type $V/2$, $5V/12$ ou $V/3$, la tension sur les cellules adjacentes non sélectionnées ne sera pas la même. Dans ce cas, le rapport de NL peut être défini comme le rapport entre le courant traversant une cellule sélectionnée et le courant traversant une cellule adjacente non sélectionnée. La figure 3.7 montre un graphique 2D du rapport de NL évalué pour diverses tensions de polarisation entre les cellules sélectionnées et les cellules non sélectionnées pour un sélecteur monocouche avec une hauteur de barrière de $\phi_b = 1 \text{ eV}$ et une épaisseur de 3 nm . Les va-

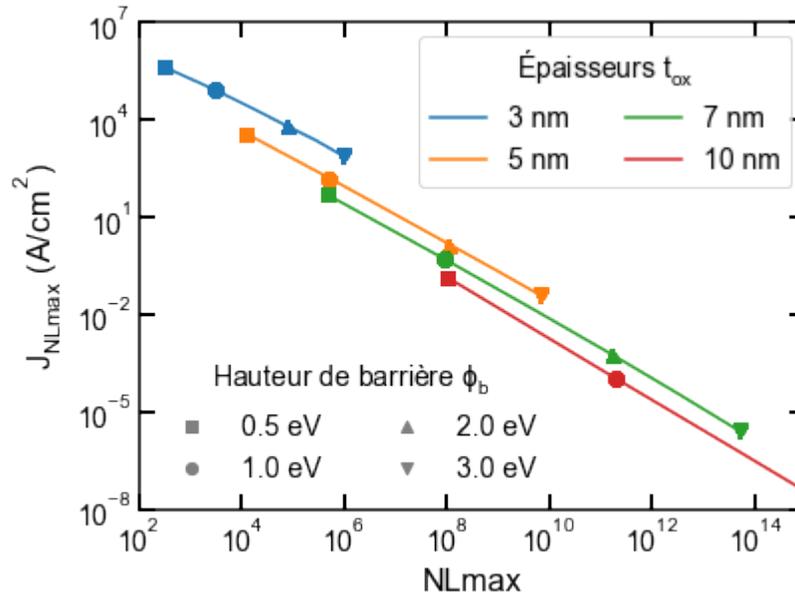


FIGURE 3.6 Densité de courant correspondant à la tension qui maximise le ratio de NL ($J_{NL_{max}}$) en fonction de la valeur de ce ratio de NL (NL_{max}) pour des épaisseurs (t_{ox}) allant de 3 à 10 nm et des hauteurs de barrières (ϕ_b) de 0.5 à 3.0 eV.

leurs situées le long des lignes de pentes $1/2$, $5/12$ et $1/3$ fournissent alors des ratios de NL pour le schéma de polarisation (bias scheme) $V/2$, $5V/12$ et $V/3$. Pour chaque schéma de polarisation, la tension de programmation de la cellule sélectionnée qui maximise le ratio de NL est représentée par une étoile. À noter que la polarisation des cellules adjacentes non sélectionnées est d'environ 1V tandis que la polarisation des cellules sélectionnées est de 2 V, 2.4 V ($12/5$ V) et 3V pour les schémas de polarisation $V/2$, $5V/12$ et $V/3$ respectivement. Ceci permet de conclure que ce modèle peut être utilisé pour optimiser les performances d'un sélecteur monocouche pour différents schémas de polarisation utilisés.

3.3 Simulation de sélecteurs tunnel à doubles couches

Dans cette section, le même modèle de simulation de la section précédente est utilisé afin de simuler le comportement théorique de sélecteur avec une composition de 2 diélectriques différents. Le but est d'optimiser à la fois la densité de courant et le ratio de non-linéarité. Pour des simulations à 2 diélectriques, en plus d'avoir les paramètres physiques de chaque couche comme levier de simulation (épaisseur, hauteur de barrière et masse effective des électrons) la permittivité relative du matériau doit être introduite afin de simuler la distribution du champ électrique à travers les différents oxydes d'un sélecteur. Afin de simplifier

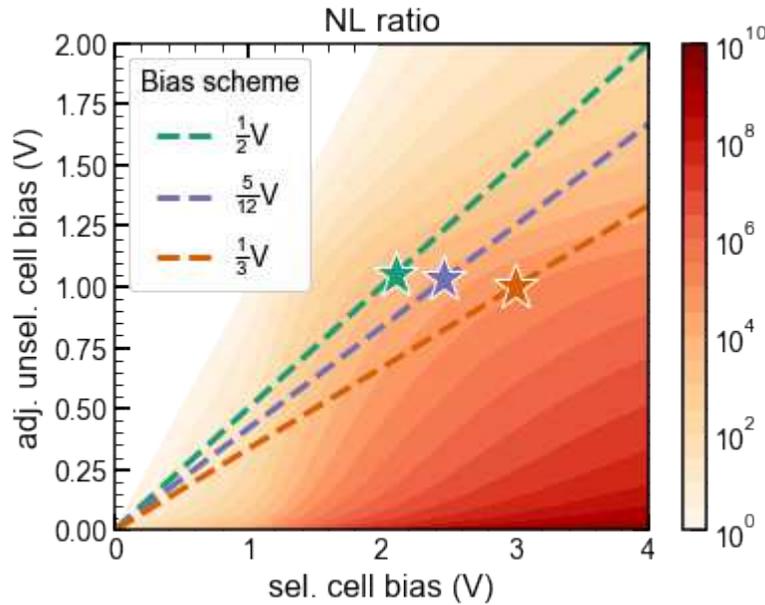


FIGURE 3.7 Ratio du courant de polarisation d’une cellule sélectionnée sur le courant de polarisation d’une cellule adjacente non sélectionnée pour un sélecteur avec $t_{ox} = 3$ nm et $\phi_b = 1$ eV. Les lignes vertes, bleu et orange correspondent au schéma de polarisation $V/2$, $5V/12$ et $V/3$ respectivement. Le symbole étoile représente le ratio de NL le plus élevé du schéma de polarisation respectif. Le ratio de NL est affiché sur le côté droit de la figure sous forme de dégradé de couleur.

l’optimisation des performances, une simulation grossière des différents paramètres sera d’abord effectuée afin d’obtenir une projection de la configuration idéale. Cette configuration fera ensuite l’objet d’une étude plus approfondie afin d’optimiser les performances au maximum. Pour des fins de simplification, la masse effective des électrons sera fixée à $m_{eff} = 0.3m_e$ pour l’ensemble de cette étude multicouche.

3.3.1 Identification de la configuration idéale

Afin d’identifier grossièrement les configurations les plus favorables en termes de densité de courant et ratio de NL, des sélecteurs d’une épaisseur totale de 4 nm ont été simulés avec différentes configurations. Pour chaque couche, 3 épaisseurs ont été envisagées ainsi que 2 valeurs de hauteurs de barrière et 2 valeurs de permittivité diélectrique. Les paramètres de simulation sont résumés dans le tableau 3.1. À noter que les deux électrodes sont identiques. Des électrodes de travaux de sortie identique étant considérées, cette symétrie permet de rapporter l’étude des 12 configurations possibles à 6 simulations effectuées pour des tensions positives et négatives.

La figure 3.8 montre les densités de courant simulées pour des tensions allant de -3 à 3 V ainsi que les diagrammes de bande extraits à 0, 3 et -3 V et le ratio de NL pour chaque configuration du tableau 3.1. La tension de polarisation a été limitée à + ou - 3V afin de rester dans des conditions d'opération réaliste. Une tension de polarisation trop élevée pourrait en pratique endommager le dispositif et ne serait pas compatible avec les différents types de mémoires émergentes. Le courant dans le cadran positif représente donc 6 cas de figure avec $\phi_b^1 = 1eV$ et $\phi_b^2 = 2eV$ et le courant dans le cadran négatif correspond à la situation inverse où $\phi_b^1 = 2eV$ et $\phi_b^2 = 1eV$ représentant les 6 cas de figure restants. À noter que dans les diagrammes de bande de la figure 3.8, la cathode se trouve à gauche lorsque $V = 3 V$ et à droite lorsque $V = -3 V$.

Analyse des résultats :

Afin de simplifier l'analyse, les différentes configurations de sélecteur tunnel à doubles couches seront notées avec un symbole + et un symbole - (exemple : a₊, b₋) correspondant à la polarisation positive ou la polarisation négative du même empilement. L'analyse des douze configurations de bicouche montre que la densité de courant la plus élevée est obtenue avec la configuration c₊ du tableau 3.1 lorsque l'épaisseur des deux couches est identique ($t_{ox1} = t_{ox2}$) et lorsque les valeurs de ϕ_b et ε_r de la première couche sont plus petites que celles de la deuxième couche. La densité de courant est élevée quand le champ électrique permet de descendre la hauteur de barrière de la 2e couche sous le niveau de Fermi de la cathode de sorte que l'injection des électrons par courant tunnel ne s'effectue qu'à travers la 1re couche. Ceci n'est pas le cas pour la configuration a₊, d₊, e₊, f₊ et b₋. Quand l'épaisseur de la 1re couche est trop élevée (comme dans la configuration b₊, e₊, a₋ et d₋) le champ électrique dans le diélectrique est plus faible et la largeur effective de la couche tunnel à une tension donnée est plus élevée. Le ratio de NL le plus élevé est obtenu dans la configuration e₋ en polarisation négative. Cependant, la densité de courant est plus faible que la configuration c₊ même si l'épaisseur de celle-ci est plus faible. En effet, la 1re couche n'est pas complètement en régime FN et l'épaisseur effective (c.a.d. l'épaisseur "perçue" par les électrons lors d'une polarisation) de cette couche à -3V est plus élevée que la configuration c₊ à 3V.

La configuration c₊ où les valeurs de ϕ_b et ε_r de la première couche sont plus petites que celles de la deuxième couche, est aussi appelé "Crested barrier" dans la littérature et est utilisé dans la mémoire FLASH [60, 61]. Les critères de performance pour les oxydes tunnel des mémoires FLASH ne sont néanmoins pas les mêmes que pour des applications de NVM à deux terminaux et la densité de courant et le ratio de non-linéarité ne sont

	t_{ox}^1 (nm)	t_{-ox}^2 (nm)	ϕ_b^1 (eV)	ϕ_b^2 (eV)	ε_r^1	ε_r^2	J à 3V (A/cm ²)	J à -3V (A/cm ²)	ratio NL à 3V	ratio NL à -3V
a)	1	3	1	2	5	15	4.1e5	2.2e0	1.9e6	6.5e1
b)	3	1	1	2	5	15	3.8e6	9.2e3	3.0e4	2.8e2
c)	2	2	1	2	5	15	1.0e7	1.1e2	1.9e6	1.3e2
d)	1	3	1	2	15	5	4.0e1	6.9e2	1.8e2	2.0e4
e)	3	1	1	2	15	5	1.0e4	2.8e6	4.8e4	8.5e7
f)	2	2	1	2	15	5	1.1e2	1.8e4	5.0e2	5.3e5

TABLEAU 3.1 6 configurations de bicouche d'une épaisseur totale ($t_{ox1} + t_{ox2}$) de 4 nm avec différentes épaisseurs relatives (t_{ox1} et t_{ox2}) de 1, 2 ou 3 nm et différente ε_r de 5 ou 15. La densité de courant positive (J à 3V) et négative (J à -3V) et le ratio de NL correspondant (ratio de NL à 3V et à -3V) sont donnés selon la direction du courant à travers les deux matériaux diélectriques de hauteur de barrière $\phi_{b1} = 1eV$ et $\phi_{b2} = 2eV$

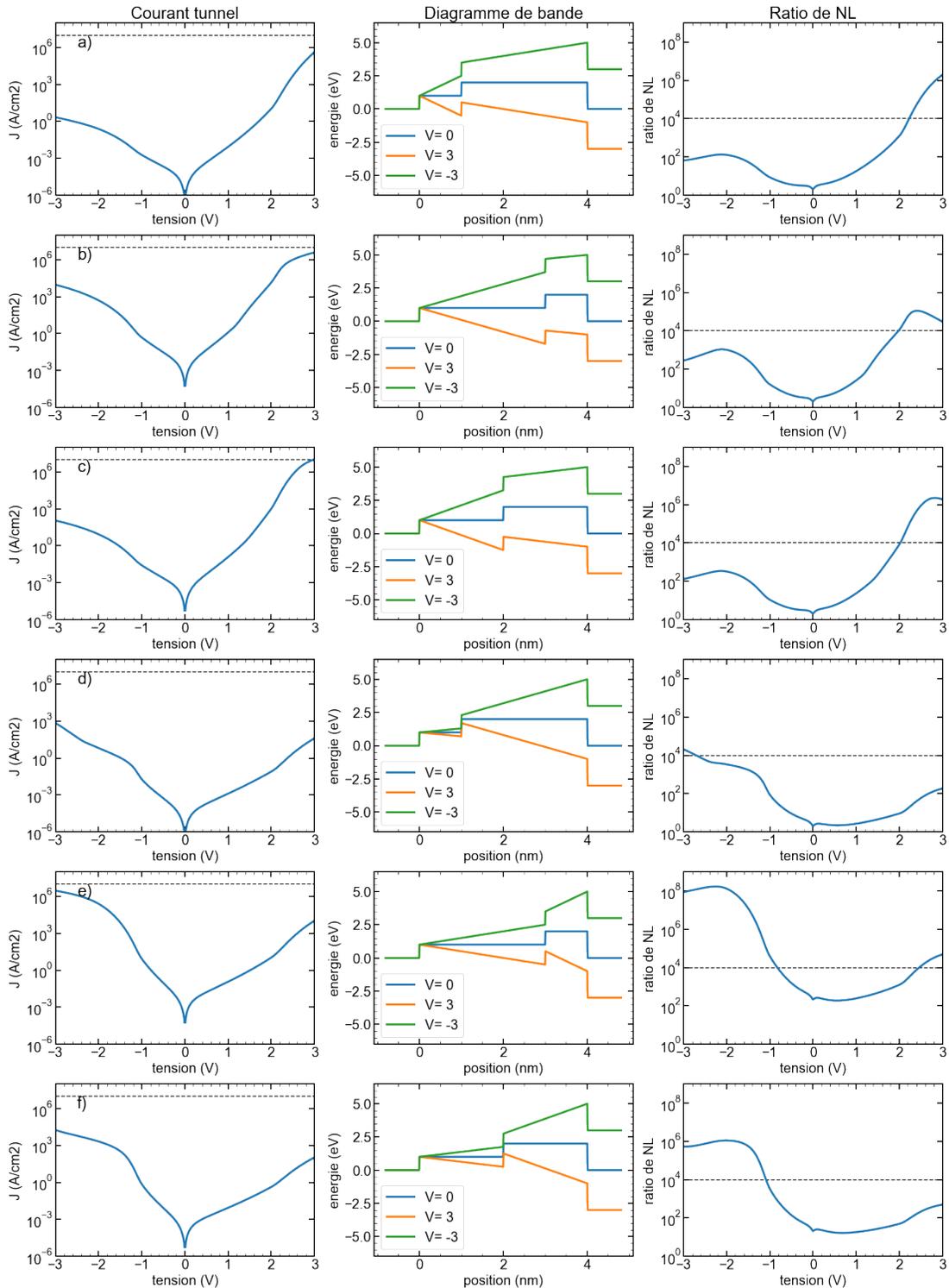


FIGURE 3.8 Densité de courant (colonne de gauche) correspondant aux 6 configurations du tableau 3.1 avec le diagramme de bande d'énergie (colonne du milieu) et ratio de NL (colonne de droite) de ces mêmes configurations à des polarisations de -3 à 3V. Les lignes pointillées correspondent aux critères de densité de courant (1×10^7 A/cm²) et de ratio de NL (1×10^4).

pas nécessairement les paramètres clés à optimiser. En effet, la réduction de la tension et du temps d'opérations et la capacité à prévenir la perte de charge pour conserver une bonne rétention des données dans la mémoire sont des critères importants qui ne sont pas nécessaires à considérer dans cette étude. Cette configuration fera donc l'objet d'une analyse plus approfondie pour des applications de sélecteurs.

3.3.2 Recherche d'une configuration optimale

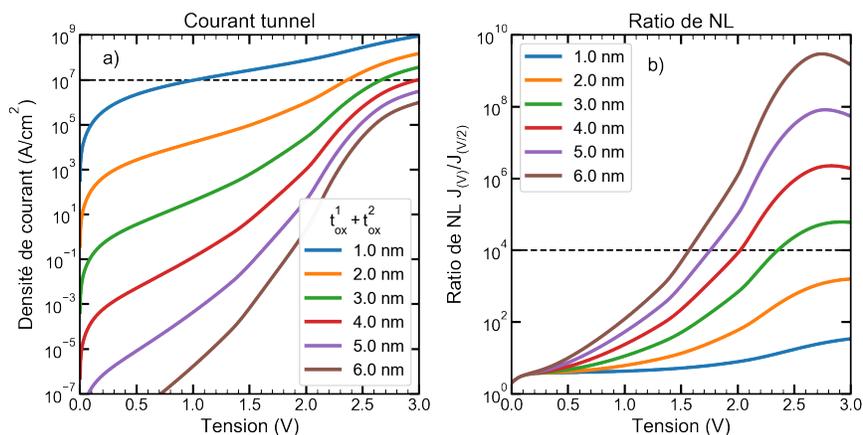


FIGURE 3.9 a) Densité de courant en fonction de la tension de polarisation pour différente $t_{ox}^{tot} = t_{ox}^1 + t_{ox}^2$ avec $\phi_b^1 = 1eV$, $\phi_b^2 = 2eV$, $\varepsilon_r^1 = 5$, $\varepsilon_r^2 = 15$. b) Ratio de NL en fonction de la tension de polarisation correspondant à la figure 3.9.

En conservant les critères de la configuration c_+ du tableau 3.1 ($t_{ox}^1 = t_{ox}^2$ et $\phi_b^1 = 1eV$, $\phi_b^2 = 2eV$, $\varepsilon_r^1 = 5$, $\varepsilon_r^2 = 15$), la figure 3.9 a) montre la densité de courant en fonction de la tension de polarisation pour des épaisseurs totales ($t_{ox}^{tot} = t_{ox}^1 = t_{ox}^2$) variant de 1 à 6 nm et la figure 3.9 b) montre le ratio de NL correspondant. À 3V, lorsque $t_{ox}^{tot} < 4$ nm, les simulations montrent qu'il est possible d'atteindre des densités de courant supérieures à 10^7 A/cm². En revanche, on voit que des ratios de NL supérieurs à 10^4 sont obtenus lorsque $t_{ox}^{tot} > 3$ nm. Ainsi, il apparait qu'une épaisseur totale de 3 nm permet de satisfaire à la fois le critère de ratio de NL supérieur à 10^4 et de densité de courant supérieure à 10^7 A/cm². Cette épaisseur sera donc utilisée pour étudier plus en détail l'effet de la permittivité et de la hauteur de barrière dans cette section. De plus, comme dans la section 3.2, il existe dans cette configuration une tension qui maximise le ratio de NL. Le ratio de NL maximum (NL_{max}), la tension qui maximise la NL (V_{NLmax}) et la densité de courant qui maximise la NL (J_{NLmax}) seront utilisés pour optimiser les performances comme dans la section 3.2.

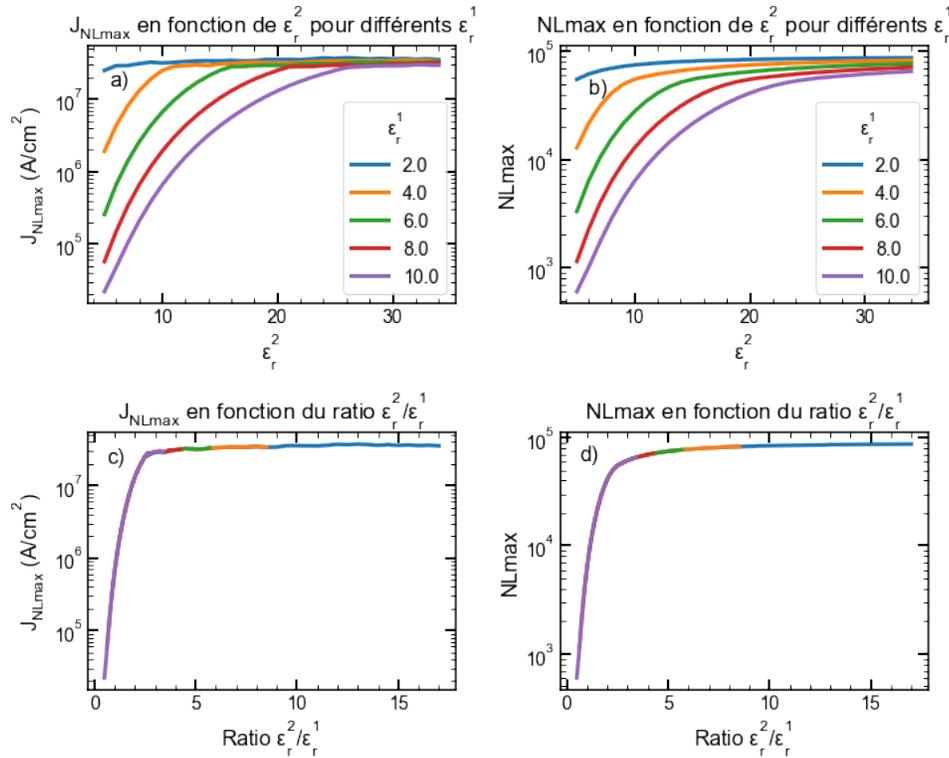


FIGURE 3.10 a) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction de ϵ_r^2 pour différentes ϵ_r^1 . b) Ratio de NL maximum (NLmax) en fonction de ϵ_r^2 pour différentes ϵ_r^1 . c) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction du ratio $\epsilon_r^2/\epsilon_r^1$.

Effet des permittivités diélectriques

L'effet de la permittivité relative des deux diélectriques a été étudié avec $t_{ox}^{tot} = 3$ nm, $\phi_b^1 = 1$ eV et $\phi_b^2 = 2$ eV. Les figures 3.10a) et b) présentent respectivement J_{NLmax} et NLmax en fonction de ϵ_r^2 pour différentes valeurs de ϵ_r^1 . Dans les deux cas, la densité de courant et le ratio de NL saturent au-delà d'une certaine valeur de ϵ_r^2 . Comme l'indique la figure 3.10 c), dès que le rapport $\epsilon_r^2/\epsilon_r^1$ devient supérieur à 2.5, J_{NLmax} devient constant. Ceci indique que le rapport des permittivités est important pour maximiser à la fois la densité de courant et le ratio NL. Il est néanmoins possible de voir sur la figure 3.10 a) et b) que la valeur de J_{NLmax} et NLmax sont légèrement plus élevés quand ϵ_r^1 est faible. Pour maximiser les performances, il est donc nécessaire d'avoir une faible permittivité relative sur la première couche et s'assurer d'avoir un rapport $\epsilon_r^2/\epsilon_r^1 > 2.5$.

Effet des hauteurs de barrière

L'effet de la hauteur de barrière des deux matériaux a été étudié avec $t_{ox}^{tot} = 3$ nm, $\epsilon_r^1 = 5$ et $\epsilon_r^2 = 15$ et les résultats sont montrés sur la figure 3.11. En a) et b), J_{NLmax} et NL_{max}

ont été tracé en fonction de ϕ_b^2 avec différents ϕ_b^1 respectivement. La densité de courant dépend fortement de ϕ_b^1 . En ce qui concerne le ratio de NL maximum, les valeurs de NLmax diminuent pour un ϕ_b^1 de 0.5 et 0.75. Cependant, pour $\phi_b^1 \geq 1eV$, les ratios de NL ont sensiblement le même comportement et la valeur de NLmax est la plus élevée quand $\phi_b^2 \approx 2.2eV$. La figure 3.11 c) montre la tension qui maximise le ratio de NL (V_{NLmax}) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . La courbe indique que V_{NLmax} dépend principalement de ϕ_b^2 tandis que ϕ_b^1 a peu d'impact. La figure 3.11 d) représente les meilleures performances pouvant être obtenues pour les différentes valeurs de hauteur de barrière quand $\varepsilon_r^1 = 5$ et $\varepsilon_r^2 = 15$. Les tracés de J_{NLmax} en fonction de NL_{max} montrent que la densité de courant est élevée quand la hauteur de barrière des deux matériaux est faible et l'inverse est observé pour le ratio de NL. ϕ_b^1 joue un rôle important sur les performances dans la mesure où une faible hauteur de barrière a un impact important sur la densité de courant. En résumé, dans une bicouche, ϕ_b^1 et ϕ_b^2 ont un impact significatif sur la densité de courant tandis que V_{NLmax} dépend principalement de ϕ_b^2 .

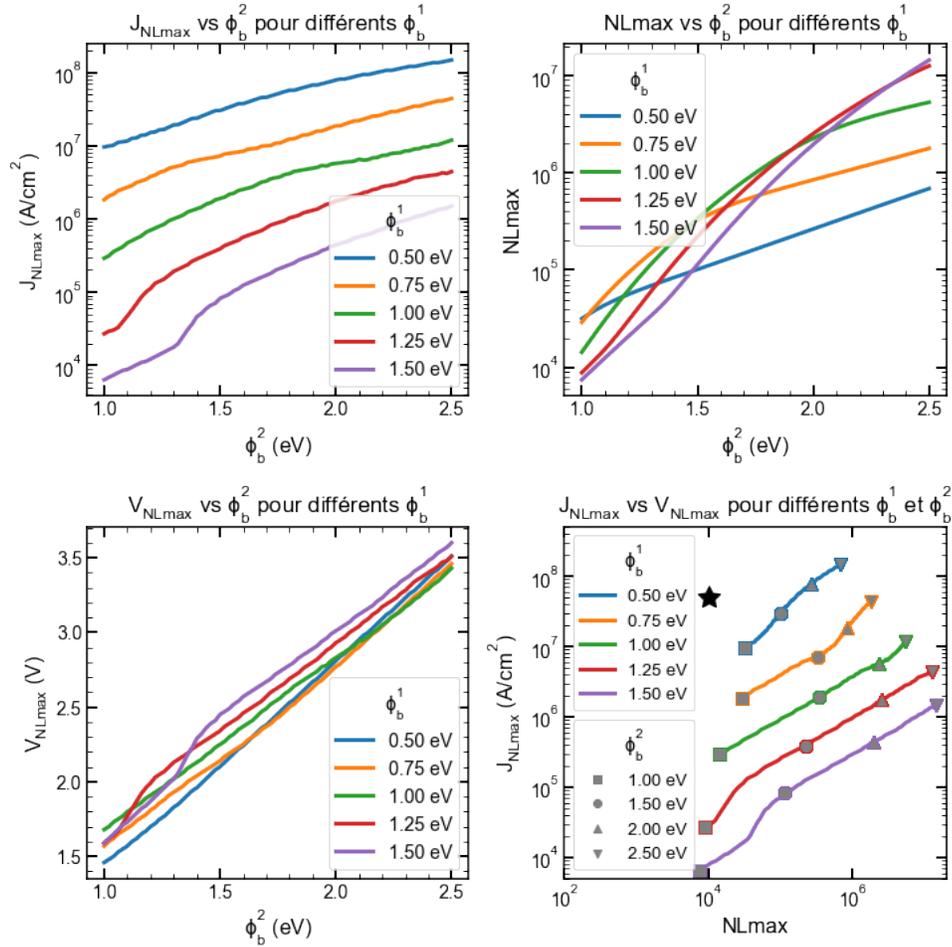


FIGURE 3.11 Simulation de l'effet de la hauteur de barrière. $t_{ox}^1 = T_{ox}^2 = 1.5$ nm, $\varepsilon_r^1 = 5$ et $\varepsilon_r^2 = 15$. a) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . b) Ratio de NL maximum (NLmax) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . c) Tension qui maximise le ratio de NL (V_{NLmax}) en fonction de ϕ_b^2 pour différentes valeurs de ϕ_b^1 . d) Densité de courant qui maximise le ratio de NL (J_{NLmax}) en fonction du ratio de NL maximum (NLmax) pour différentes valeurs de ϕ_b^1 et ϕ_b^2 . L'étoile noire correspond aux performances d'un empilement théorique de TiN/TiO₂/Ta₂O₅/TiN en polarisation positive avec les mêmes épaisseurs.

Il est possible de trouver des configurations de matériaux compatibles avec les techniques de fabrication BEOL qui répondent aux critères d'optimisation de performance décrits plus haut. L'étoile noire sur la figure 3.11 d) correspond aux performances d'un empilement théorique de TiN/TiO₂/Ta₂O₅/TiN en polarisation positive où $t_{ox}^{TiO_2} = T_{ox}^{Ta_2O_5} = 1.5$ nm, $\varepsilon_r^{TiO_2} = 2.5$ [62], $\varepsilon_r^{Ta_2O_5} = 24$ [63], $\phi_b^{TiO_2} = 0.7$ eV [64] et $\phi_b^{Ta_2O_5} = 1.5$ eV [65]. Avec une densité de courant de 5×10^7 A/cm² à 1.75 V et un ratio de NL de 10^4 , ce sélecteur théorique pourrait répondre aux exigences de l'industrie et être utilisé dans des CBA de

grande dimension.

Il existe cependant des limitations à cette approximation. En effet, ce modèle ne prend pas en compte les pièges et/ou les défauts pouvant se trouver dans la couche isolante ou à l'interface métallique et ne prend pas non plus en compte les autres mécanismes de conduction qui peuvent avoir un impact sur le comportement du sélecteur. À cet égard, le courant à basse tension pourrait être sous-estimé, ce qui signifie que le ratio de NL pourrait être inférieur.

3.3.3 Conclusion

Dans ce chapitre, un modèle de simulation de courant tunnel basé sur l'approximation WKB a été utilisé afin de comprendre et d'optimiser les performances de sélecteurs non linéaires à base d'effet tunnel. Tout d'abord, le modèle a été confronté à des données expérimentales de sélecteur à base de Ta_2O_5 et TiN et les résultats montrent que l'approximation WKB, contrairement à la contribution FN, est capable de simuler le courant tunnel à faibles champs.

Le modèle a ensuite été utilisé pour comparer la densité de courant et le ratio de NL avec l'expression analytique du courant FN pour des sélecteurs monocouches à différentes épaisseurs. Quand seule la contribution FN est considérée, il existe un compromis entre la densité de courant et le ratio de NL. Cependant, pour l'approximation WKB, il existe deux régimes différents qui aboutissent à un épaulement qui correspond à la transition entre le régime DT et FN. Ces deux régimes différents font apparaître un ratio de NL maximal à une tension qui correspond à $V \simeq \frac{2\phi_b}{q}$ et ne dépend pas de l'épaisseur du diélectrique. La tension qui maximise le ratio de NL (V_{NLmax}) a été utilisée par la suite pour déterminer des conditions où la densité de courant est optimisée en fonction du ratio de NL maximum. Ces résultats ont montré qu'un sélecteur monocouche pourrait être utilisé avec des mémoires RRAM à faible consommation et ce modèle peut servir de ligne directrice dans la conception de sélecteurs à base d'effet tunnel.

Des simulations de sélecteurs à base d'effet tunnel à doubles couches ont ensuite été effectuées avec l'objectif d'optimiser à la fois la densité de courant et le ratio de NL. Une configuration idéale des différents paramètres de simulation a été démontrée quand l'épaisseur des deux diélectrique est la même et quand les valeurs de ϕ_b et ε_r de la première couche

sont plus petites que celles de la deuxième couche. Cette configuration correspond à une "Crested barrier" et l'impacte de l'épaisseur totale de l'empilement de diélectriques, la permittivité relative et la hauteur de barrière des matériaux ont fait l'étude d'une analyse plus poussée. Les résultats de cette analyse ont montré qu'une épaisseur totale de 3 nm permet de satisfaire à la fois le critère de ratio de NL supérieur à 10^4 et de densité de courant supérieure à 10^7A/cm^2 et que la densité de courant et le ratio de NL sont maximisés quand $\varepsilon_r^2/\varepsilon_r^1 > 2.5$. Les hauteurs de barrières des matériaux ont un impacte important sur la densité de courant et ϕ_b^2 est majoritairement responsable de la tension de polarisation.

CHAPITRE 4

MÉTHODOLOGIE (FABRICATION ET CARACTÉRISATION)

Le chapitre 4 décrit la méthodologie qui a été utilisée afin de créer et étudier des sélecteurs non linéaires. Tout d'abord, le procédé de fabrication est brièvement présenté et le choix des principales étapes de fabrication est justifié. Considérant que la plupart des procédés de fabrication en salle blanche apportent leurs lots d'incertitudes et que la complexification d'un procédé augmente les chances d'avoir des dispositifs dysfonctionnels, le nombre d'étapes de fabrication a été minimisé le plus possible. Ceci permet aussi de diminuer le temps de fabrication total afin de pouvoir fabriquer le plus grand nombre de dispositifs possible dans le but de pouvoir effectuer plusieurs études paramétriques avec différents matériaux.

La méthodologie derrière les différentes étapes de caractérisation électrique sera ensuite présentées. Des caractérisations électriques à température ambiante et à basse température ont été effectuées afin d'étudier le comportement des dispositifs. Celles-ci permettent de mettre en évidence les mécanismes de conduction qui dominent et ainsi comprendre le fonctionnement de différents sélecteurs au niveau électronique.

4.1 Procédé de fabrication

Le substrat de départ est du silicium fortement dopé de sorte qu'il se comporte comme un métal. Ceci permet d'utiliser une connexion face arrière afin de connecter l'électrode inférieure du dispositif. Des couches minces de nitrure de titane (TiN) et de nitrure de silicium (SiN) sont déposées sur le substrat (voir figure 4.1 1). Le SiN sert d'isolant entre l'électrode de TiN inférieur et supérieur du dispositif et c'est à travers ce SiN que sera défini le sélecteur. Le SiN a été choisi au lieu d'un oxyde comme le SiO_2 afin d'éviter toute diffusion d'oxygène vers la couche active du sélecteur.

L'électrolithographie est utilisée pour définir l'emplacement et la taille des différentes régions active du sélecteur et est utilisée pour définir des marques d'alignement afin de

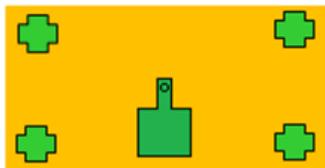
	Description	Vue en coupe	Vue du dessus
1	Substrat: Si^{++} <i>TiN (PVD) 100 nm</i> <i>SiN (PECVD) 100nm</i>	 SiN TiN Si^{++}	
2	Gravure du SiN <i>Gravure sèche à base de fluorure</i>		
3	Dépôt de la couche active <i>Dépôt ALD et/ou PVD</i>		
4	Dépôt de l'électrode supérieur <i>TiN (PVD) 30-100nm</i> <i>AL (evap) 200 nm</i>		
5	Gravure de l'électrode supérieur <i>Gravure sèche à base de chlore</i>		

FIGURE 4.1 Principales étapes du procédé de fabrication de sélecteurs.

permettre l'alignement à l'étape avec la photolithographie de l'étape 5, ensuite, une gravure sèche à base de fluorure permet de graver le SiN jusqu'à l'électrode inférieure de TiN (voir figure 4.1 2).

Les matériaux utilisés pour la couche active sont le TiO_2 et du TaO_x/Ta_2O_5 . Le TiO_2 est déposé par PEALD (plasma-enhanced atomic layer deposition) en utilisant du $TiCl_4$ et un plasma O_2 . L'oxyde de Ta est réalisé par un dépôt de Ta déposé par pulvérisation cathodique qui est ensuite oxydée dans un recuit à $300^\circ C$ sous oxygène. La combinaison et l'épaisseur des différents matériaux déposés comme couche active seront discutées en détail dans le chapitre 5 (voir figure 4.1 3). Finalement, un dernier dépôt de TiN et d'aluminium sert à créer le contact métallique sur la couche active (voir figure 4.1 4). La couche d'aluminium déposée par évaporation est ajoutée à la couche de TiN afin de permettre un

meilleur contact avec les pointes de mesures.

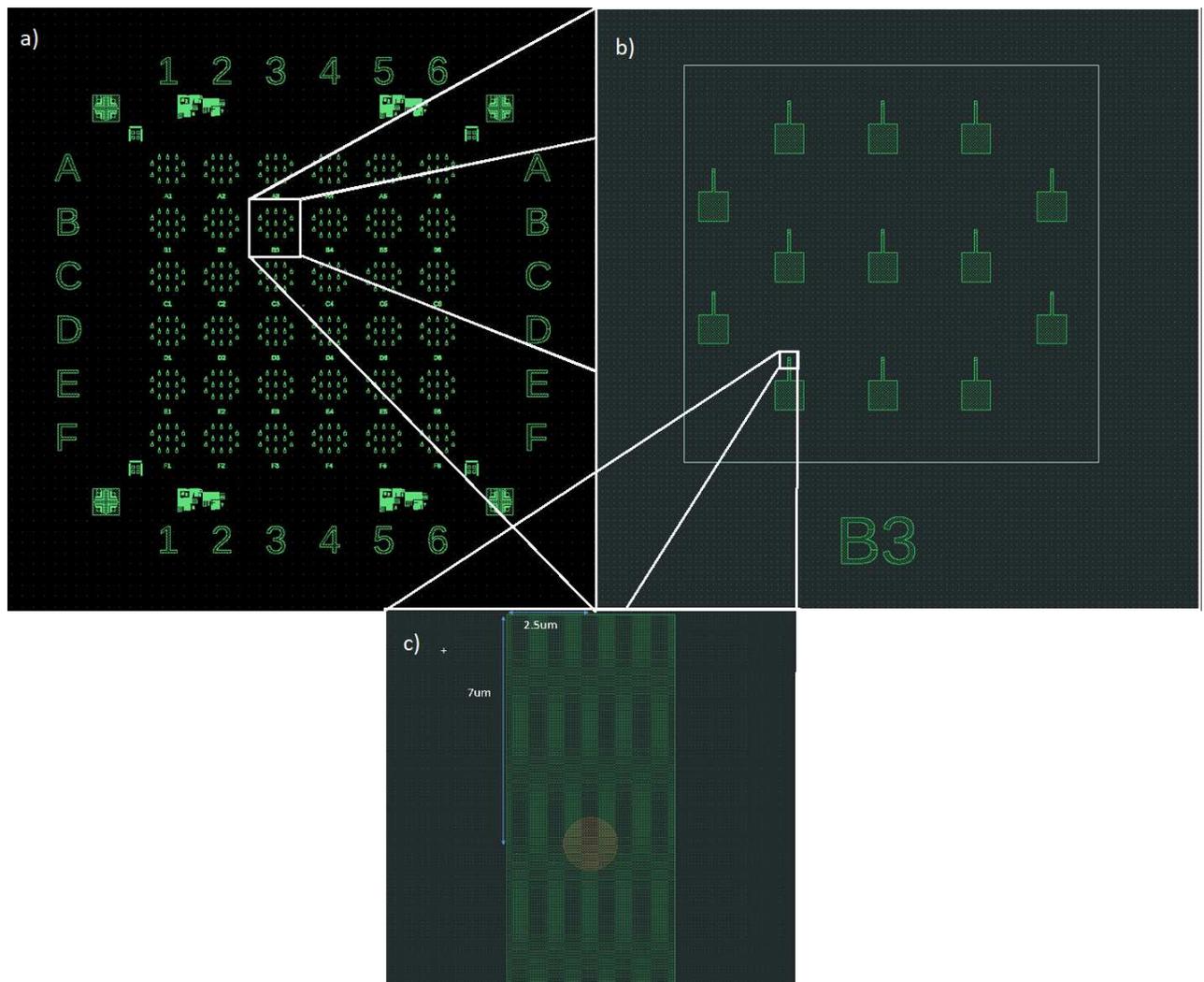


FIGURE 4.2 Schéma du dispositif. a) Vue d'ensemble de la zone d'écriture de l'échantillon de 1cm x 1cm. b) Vue rapprochée d'une cellule. c) Position de la zone active sur l'électrode.

Ensuite, les électrodes supérieures sont définies à l'aide d'une photolithographie et une gravure sèche à base de chlore. La figure 4.2 montre l'agencement des différents dispositifs. La figure 4.2 a) représente le masque utilisé lors de la photolithographie de l'électrode supérieure. L'échantillon de 1cm par 1cm est constitué de 36 cellules différentes. Sur chaque cellule (voir figure 4.2 b), la dimension du sélecteur est variée de 50 nm à 1.6 μm de diamètre. Chaque cellule est ainsi constituée de 13 dispositifs identiques et la jonction de la couche active se trouve à l'extrémité de la trace verticale comme indiqué sur la figure 4.2 c) où un plot de 1.6 μm est illustré en orange. La région carrée de chaque dispositif sert à

faire le contact électrique de l'électrode supérieure.

4.2 Caractérisation

Des rayures avec une pointe de diamant sont faites au centre de la face arrière du substrat et l'échantillon est ensuite connecté sur un morceau de cuivre à l'aide de laque d'argent. Cette méthode est utilisée afin de s'assurer d'avoir un contact ohmique avec les pointes. Une pointe directement placée sur le Si cristallin ne donnera pas un bon contact ohmique. Comme il est illustré sur la figure 4.3, une pointe connectée sur le morceau de cuivre et une pointe connectée sur l'électrode supérieure située sur la face avant permet la mesure d'un sélecteur. Cette technique de mesure a aussi l'avantage d'avoir seulement une pointe à bouger afin de mesurer différents sélecteurs sur un même échantillon. Les mesures électriques sont effectuées avec un analyseur paramétrique Keysight B1500A et une tension positive et négative est appliquée sur le SMU1 tandis que la mise à la terre est appliquée sur le SMU2 (voir figure 4.3).

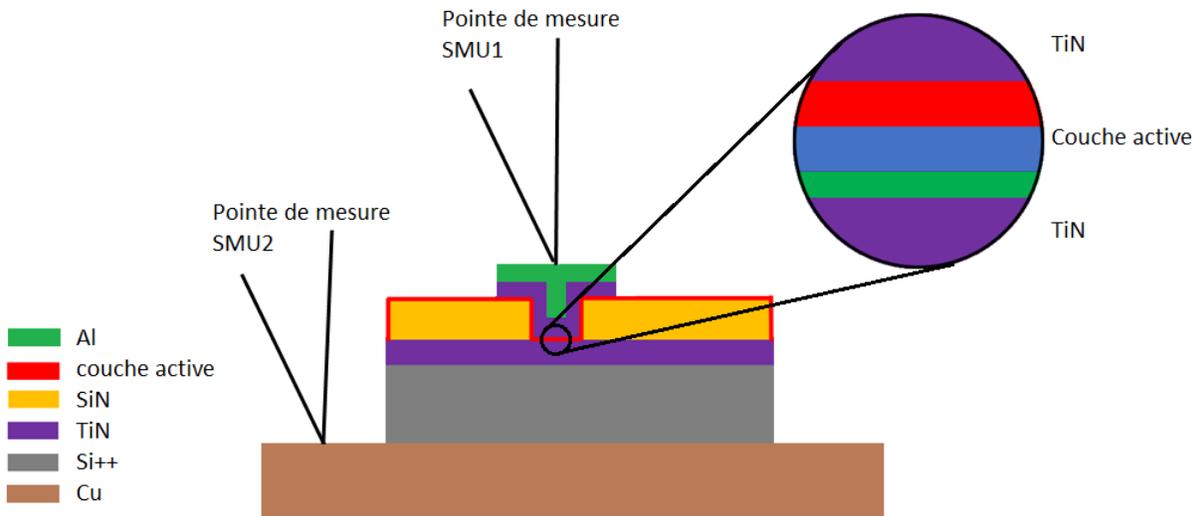


FIGURE 4.3 Schéma de mesures.

Les mesures électriques à basse température s'effectuent avec la même méthode mentionnée plus haut à l'exception que l'échantillon (toujours en contact avec une pièce de cuivre) est placé sous vide et en contact thermique avec un élément refroidi à l'azote ou l'hélium liquide. Une fois l'élément refroidi aux plus basses températures (77K dans le cas de l'azote

et 4K dans le cas de l'hélium), le contrôle du débit du liquide est ajusté et un élément pelletier couplé à des thermocouples permet un contrôle précis de la température. À noter qu'un délai d'un minimum de 10 min est ajouté au protocole de mesure entre chaque changement de température afin de s'assurer que le dispositif est bien thermalisé.

CHAPITRE 5

CARACTÉRISATION ÉLECTRIQUE

Ce chapitre porte sur la caractérisation électrique des dispositifs fabriqués durant ce doctorat. Elle porte sur l'étude de matériaux comme l'oxyde de titane et l'oxyde de tantale pour la fabrication de sélecteur à base de $\text{TiN}/\text{TiO}_2/\text{TaO}_x/\text{TiN}$. Des caractérisations électriques à température ambiante et à basse température en plus d'une étude paramétrique comme la variation de l'épaisseur d'oxyde et le temps d'oxydation ont été effectués afin d'analyser et de comprendre les mécanismes qui dominent la conduction dans les différents dispositifs.

La première section de ce chapitre montre les résultats obtenus avec deux dispositifs $\text{TiN}/\text{TiO}_2/\text{TaO}_x/\text{TiN}$ afin d'étudier l'interaction des matériaux par TEM (Transmission electron microscopy). L'analyse des performances et du comportement de ces dispositifs est ensuite effectuée à l'aide de mesure en températures. Dans le but d'augmenter la densité de courant du sélecteur, la deuxième section porte sur l'étude de monocouche de TiO_2 et TaO_x où le but est d'analyser le comportement électrique des différents oxydes indépendamment. En premier lieu, le TiO_2 déposé par ALD est étudié à différentes épaisseurs et des mesures électriques en température ont permis d'extraire les mécanismes de conduction dominants. Ensuite différentes épaisseurs de Ta ont été déposées par pulvérisation cathodique et la caractérisation électrique de ces dispositifs a été effectuée en fonction de différents temps d'oxydation. Finalement, dans la troisième section de ce chapitre, le temps d'oxydation est étudié sur des dispositifs $\text{TiN}/\text{TiO}_2/\text{TaO}_x/\text{TiN}$ avec de plus faibles épaisseurs de TiO_2 et TaO_x dans le but d'augmenter la densité de courant. Ces dispositifs sont ensuite comparés avec la première campagne de mesures.

5.1 Analyse $\text{TiN}/\text{TiO}_2/\text{TaO}_x/\text{TiN}$

Deux dispositifs composés de $\text{TiN}/\text{TiO}_2/\text{TaO}_x/\text{TiN}$ seront analysés dans cette section. Durant la fabrication de ces dispositifs, l'épaisseur de 3 nm et 2 nm de TiO_2 déposé par ALD a été déterminée par ellipsométrie sur un substrat de Si (001) et l'épaisseur de Ta de 15 nm déposés a été mesuré par profilométrie sur un substrat de Si/ SiO_2 avec un soulèvement de résine photosensible. Une oxydation de 15 min à 300°C sous atmosphère

d'oxygène a ensuite été effectuée sur les deux dispositifs.

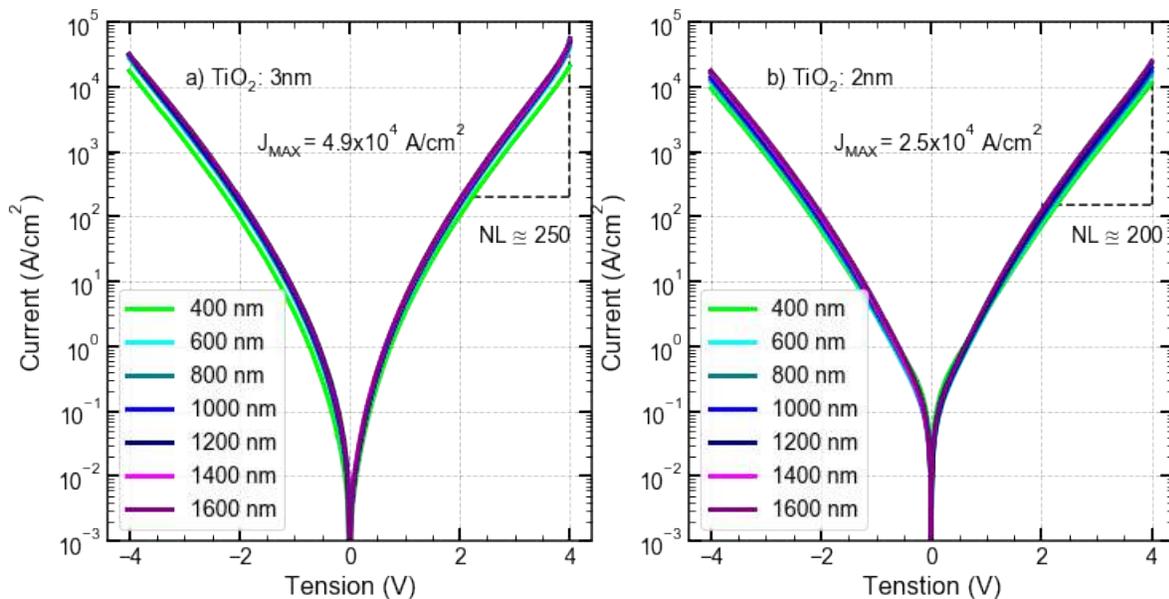


FIGURE 5.1 Densité de courant en fonction de la tension de polarisation des deux dispositifs TiN/TiO₂/TaO_x/TiN pour différentes dimensions. La légende correspond au diamètre de la surface active du sélecteur. Tandis que le même dépôt de Ta à 10 nm avec 15 min d'oxydation a été effectué sur les deux dispositifs, ce qui différencie a) et b) est une épaisseur de TiO₂ de 3 nm et 2 nm respectivement.

La figure 5.1 montre la densité de courant en fonction de la tension de polarisation pour les deux dispositifs. Une densité de courant à 4V de $J_{MAX} = 4.9 \times 10^4 A/cm^2$ et un ratio de NL à 4V de 250 sont observés sur le sélecteur avec 3 nm de TiO₂ (figure 5.1 a) et une densité de courant à 4V de $J_{MAX} = 2.5 \times 10^4 A/cm^2$ et un ratio de NL à 4V de 200 sont observés sur le sélecteur avec 2 nm de TiO₂ (figure 5.1 b). La valeur de densité de courant est uniforme pour les différentes valeurs de diamètre de la couche active. Ce résultat montre que le courant est distribué de manière uniforme sur des surfaces circulaires comprises entre 400 et 1600 nm de diamètre. Cependant, la valeur de densité de courant et ratio de NL est loin d'être comparable avec les résultats de sélecteurs avec électrode de platine [8] avec une densité de courant d'environ $1 \times 10^7 A/cm^2$ et un ratio de NL plus grand que 1×10^4 . De plus, un comportement symétrique entre la polarisation positive et négative est observé contrairement ce qui a été mesuré par Woo et al et les modélisations effectuées dans le chapitre 3. Ceci laisse entendre que la conduction à température ambiante n'est pas dominée par des mécanismes de conduction d'interface qui dépendent de la hauteur de barrière. En effet, la différence de hauteur de barrière entre l'interface

de TiN/TiO_2 (0.7 eV [64, 66]) et de $\text{TiN}/\text{Ta}_2\text{O}_5$ (1.5 eV [65, 66]) devrait causer des densités de courant asymétriques si les principaux mécanismes de conduction dominant dans la couche étaient limités par les électrodes (Schottky, FN et DT). Aussi, le sélecteur avec l'épaisseur de TiO_2 la plus faible démontre une densité de courant légèrement plus faible ce qui est contradictoire et laisse croire que la couche de TiO_2 à peu d'effet sur la conduction.

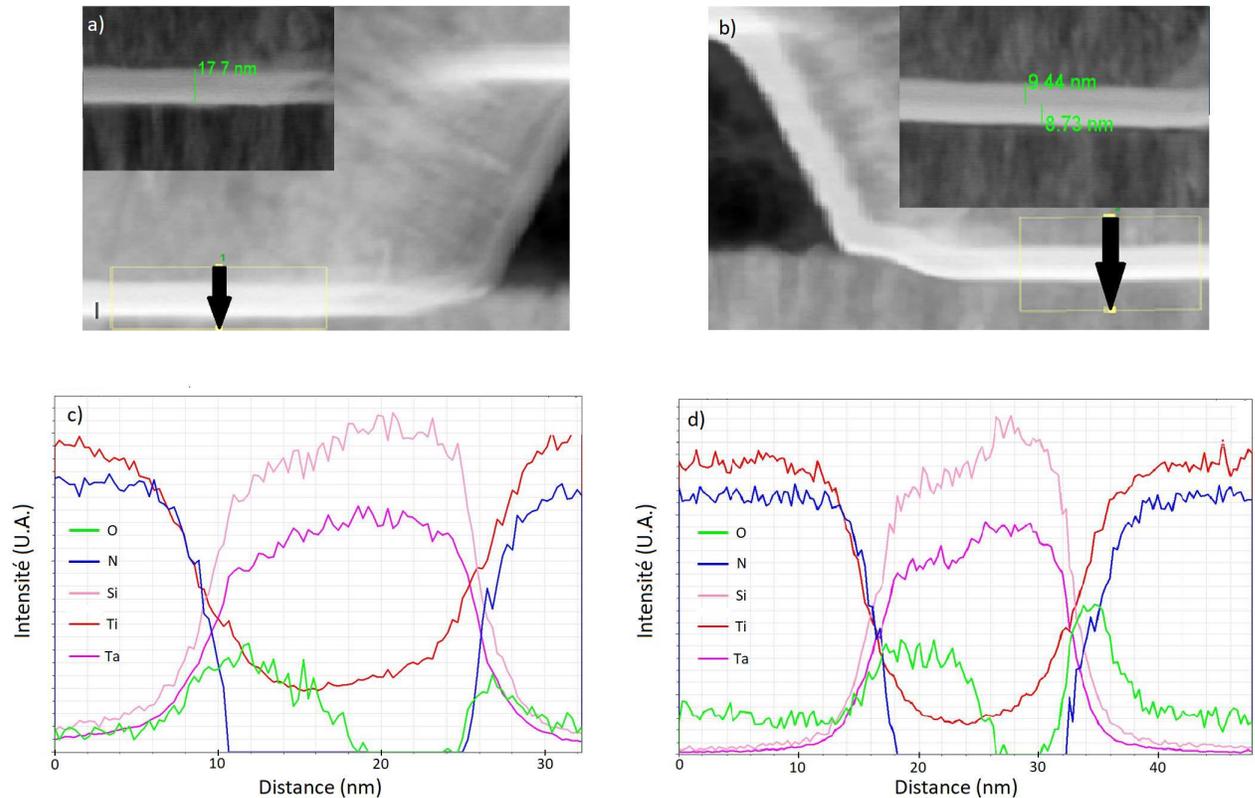


FIGURE 5.2 Analyse TEM des deux sélecteurs à base de $\text{TiO}_2/\text{TaO}_x$. a) et b) ; Vue en coupe et mesure de l'épaisseur de la couche active sur le dispositif avec 3 nm et 2 nm de TiO_2 respectivement. La direction de la flèche correspond à la vue en coupe à partir de l'électrode supérieur vers l'électrode inférieur. c) et d) ; Analyse EDX de la couche active sur le dispositif avec 3 nm et 2 nm de TiO_2 respectivement.

La figure 5.2 montre les résultats obtenus avec des coupes TEM et l'analyse EDX sur les dispositifs de la figure 5.1. En a) et b), l'épaisseur totale de la couche active du sélecteur est montrée en vert pour les dispositifs avec 3 et 2 nm de TiO_2 respectivement. Une épaisseur totale d'environ 18 nm est mesurée pour les couches actives. Les figures 5.2 c) et d) correspondent aux analyses EDX suivant l'emplacement et la direction comme indiqué par la flèche noire sur les figures 5.2 a) et b) respectivement. L'analyse commence donc

à partir de l'électrode supérieure de TiN et se termine à l'électrode inférieure de TiN en passant par la couche de TaO_x et TiO_2 . La présence de Si dans la couche active est un artefact de mesure lié aux raies d'énergie du Ta ($M : 1.709$) et du Si ($K\alpha : 1.739$) qui sont similaires et doit être considéré comme du Ta pour cette analyse. Dans les deux dispositifs, la présence d'oxygène et de tantale correspond au TaO_x du côté de l'électrode supérieure et la présence d'oxygène et de Ti correspond au TiO_2 du côté de l'électrode inférieure. Cependant, entre les deux, il y a absence d'oxygène et une augmentation de la proportion de Ta. Ceci démontre que l'étape d'oxydation n'a pas oxydé la couche de Ta entièrement. Il y a donc du Ta métallique entre les deux couches de TaO_x et TiO_2 et au lieu d'être une bicouche de 2 matériaux, les dispositifs se comportent comme deux diélectriques en série séparés par une couche de Ta.

5.1.1 Caractérisation électrique à basse température

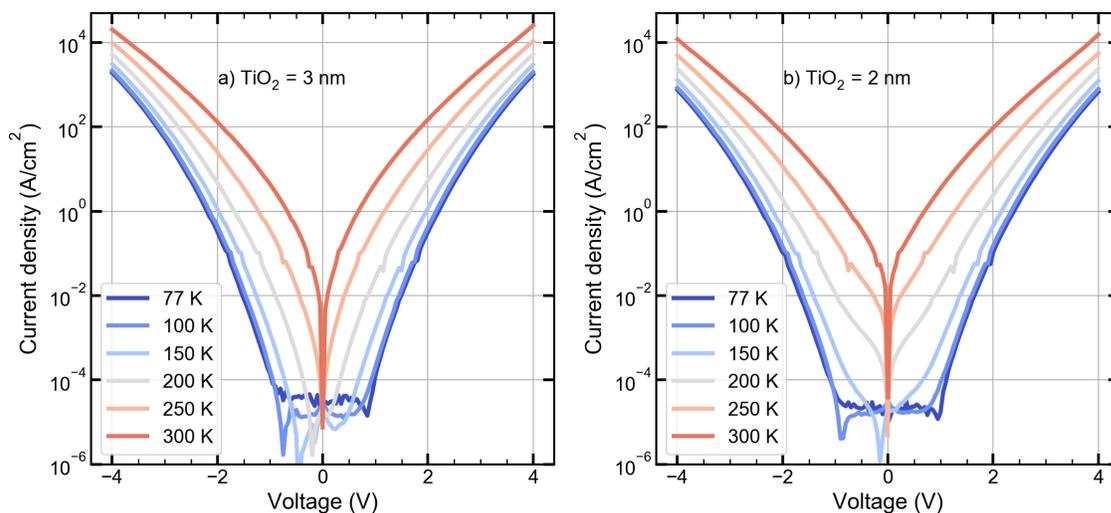


FIGURE 5.3 Densité de courant mesurée entre 77 et 300 K. a) Dispositif avec 3 nm de TiO_2 . b) Dispositif avec 2 nm de TiO_2

Des caractérisations électriques à basse température ont été effectuées sur les mêmes dispositifs avec un diamètre de 1000 nm. La figure 5.3 montre la densité de courant en fonction de la tension de polarisation de ces deux sélecteurs bicouches. Dans les deux cas, la densité de courant diminue à basse température ce qui indique que des mécanismes de conduction dépendant de la température sont responsables du comportement électrique à 300K. Dans cette section, la méthode d'analyse de différents mécanismes de conduction sera montrée pour le sélecteur avec 3 nm de TiO_2 . Cette méthode est utilisée pour extraire les mécanismes de conduction pour toutes les autres mesures à basse température discutés dans ce chapitre. De ce fait, la méthode d'analyse sera démontrée et un tableau avec les différents

paramètres extraits sera montré pour les autres dispositifs. Les mécanismes de conduction étudiés sont la conduction tunnel Fowler-Nordheim (FN), l'émission Poole-Frenkel (PF), la conduction tunnel assistée par piège ("trap assisted tunneling" TAT), la conduction limitée par la charge d'espace ("space-charge limited conduction" SCLC) et l'émission Schottky.

Conduction Fowler-Nordheim

Le courant Fowler-Nordheim (FN) est un courant où les électrons traversent la barrière de potentiel par effet tunnel. Le courant FN est observé quand la tension de polarisation est suffisante pour faire incliner la barrière de potentiel sous le niveau de Fermi des électrons de sorte que la largeur effective est plus faible que la largeur totale de l'isolant (voir figure 5.4). Le courant FN ne dépend faiblement de la température. Donc des mesures à basse température permettent de mettre en évidence ce mécanisme de conduction s'il est présent. La densité de courant est donnée par :

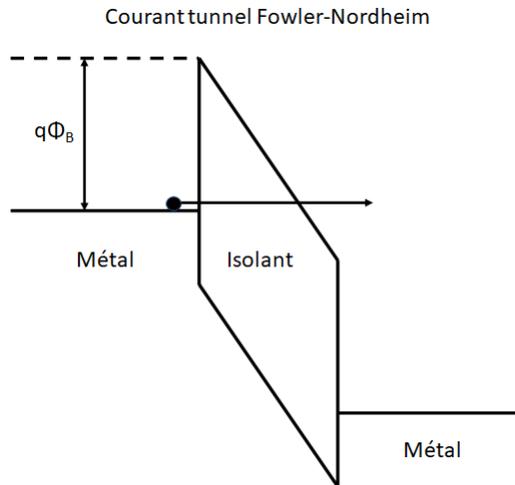


FIGURE 5.4 Diagramme de bande du courant Fowler-Nordheim

$$J = \frac{q^3 E^2}{8\pi h q \phi_B} \exp \left[\frac{-8\pi(2qm_T^*)^{1/2}}{3hE} \phi_B^{3/2} \right] \quad (5.1)$$

Où q est la charge de l'électron, E est le champ électrique, h est la constante de Planck ϕ_B est la hauteur de barrière et m_T^* est la masse effective tunnel dans le diélectrique. Une courbe avec $\ln(J/E^2)$ en fonction de $1/E$ est linéaire et la pente permet d'extraire la hauteur de barrière. Dans la figure 5.5 a) et b), l'extraction de ϕ_B est effectuée à fort champ électrique en polarisation négative (entre -3 et -4V) et en polarisation positive (entre 3 et 4V) à une température de 77K. Une hauteur de barrière de 0.56 eV est extraite et l'équa-

tion FN avec cette valeur est tracée sur les données expérimentales sur la figure 5.5 c). La figure 5.5 d) montre l'extraction de ϕ_B en polarisation positive pour des températures variant de 77 à 300K. À $T > 150K$, la hauteur de barrière extraite diminue indiquant que la contribution du courant FN au courant total n'est plus majoritaire. Une hauteur de barrière de 0.56 est prêt de la valeur théorique de hauteur de barrière entre du TiN et du TiO_2 (0.7 [64, 66]). Considérant la faible épaisseur et l'effet de la force image qui diminue la hauteur de barrière effective pour de faibles épaisseurs, il serait raisonnable d'affirmer que le mécanisme de conduction dominant à $T \leq 150K$ est du courant FN limité par la couche de TiO_2 . Cependant, la proportion d'oxygène dans le TaO_x n'est pas connue et la hauteur de barrière effective de la couche pourrait être plus faible que la hauteur de barrière théorique de l'oxyde de tantale stœchiométrique. Le courant FN pourrait donc être limité par la couche de TiO_2 ou de TaO_x ou une combinaison des deux couches.

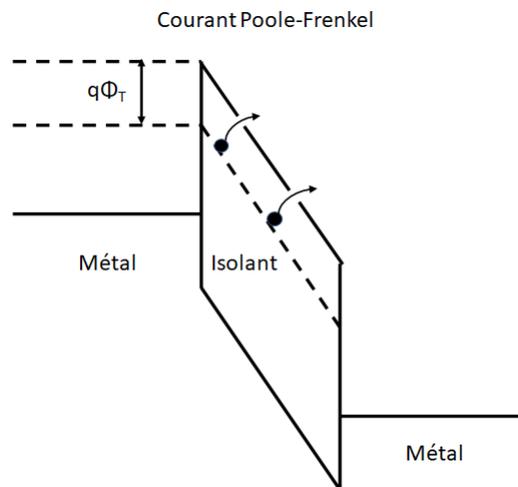


FIGURE 5.6 Diagramme de bande du courant Poole-Frenkel

Conduction Poole-Frenkel

Le courant Poole-Frenkel (PF) est basé sur la conduction de pièges à l'intérieur de la couche isolant. Si la différence d'énergie entre les pièges et la bande de conduction est plus faible que l'énergie des électrons, les électrons ont suffisamment d'énergie pour surpasser cette barrière et contribuer à la conduction (voir figure 5.6). Ce mécanisme dépend de la température et la densité de courant est donnée par :

$$J = q\mu N_C E \exp \left[\frac{-q(\phi_T - \sqrt{qE/\pi\epsilon_r\epsilon_o})}{kT} \right] \quad (5.2)$$

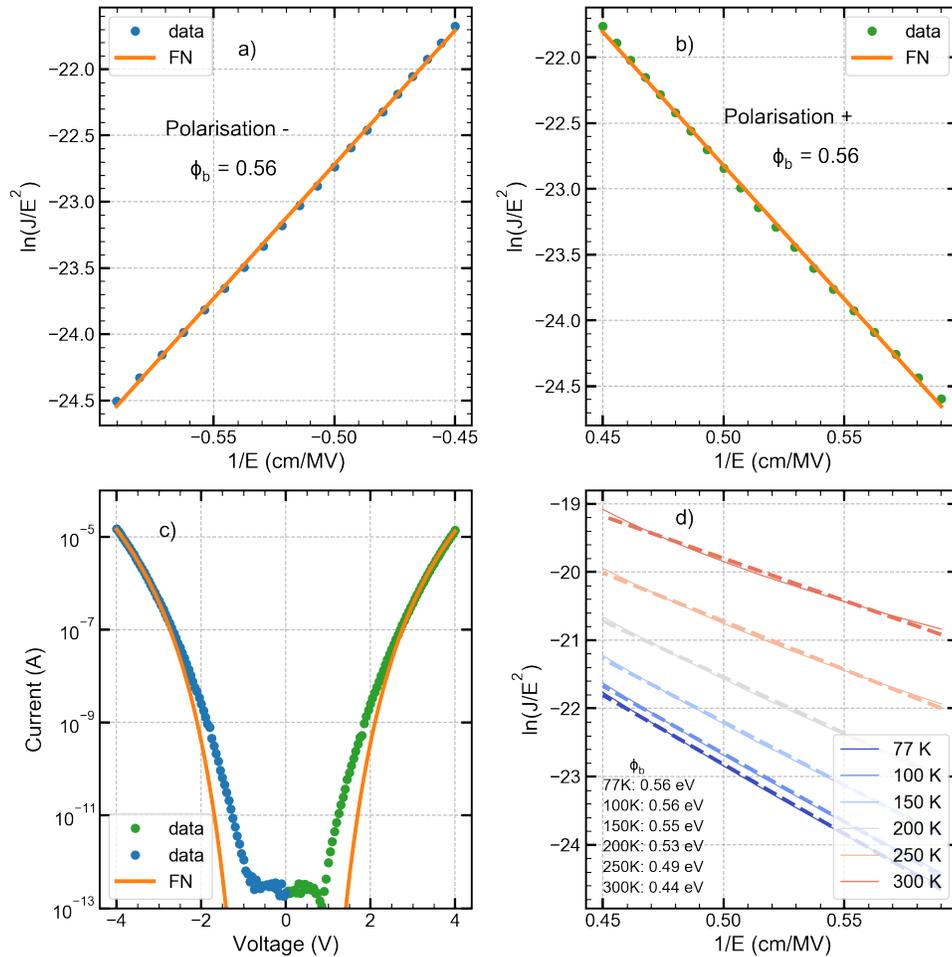


FIGURE 5.5 Analyse Fowler Nordheim. a) Extraction de la hauteur de barrière à 77 K en polarisation négative. b) Extraction de la hauteur de barrière à 77 K en polarisation positive. c) Lissage des données avec l'équation FN en considérant la hauteur de barrière extraite en a) et b). d) Extraction de la hauteur de barrière entre 77 et 300 K en polarisation positive.

Où μ est la mobilité électronique, N_C est la densité d'état dans la bande de conduction, $q\phi_T$ est le niveau d'énergie des pièges, ε_r est la permittivité relative du matériau, ε_o est la permittivité du vide, k est la constante de Boltzmann et T est la température. Les autres notations sont identiques à celles utilisées précédemment. Pendant la conduction PF, les électrons piégés sautent entre les puits de potentiel qui définissent les états du piège. Ces états de pièges varient en fonction de la température, mais aussi en fonction du champ électrique appliqué en raison de l'effet d'abaissement de la barrière. La courbe de $\ln(J/E)$ en fonction de $1/T$ est linéaire pour la conduction PF. La figure 5.7 a) et b) montre la courbe arrhénius de $\ln(J/E)$ en fonction de q/K_bT en polarisation négative et positive pour des tensions de polarisation allant de $\pm 3V$ à $\pm 4V$. Dans les deux polarisations, à T

$\geq 200\text{K}$ la courbe est linéaire et l'énergie d'activation des pièges (E_a) à différents champs électrique est extraite. Avec l'énergie E_a tracé en fonction de $E^{1/2}$, il est possible d'extraire la hauteur de barrière intrinsèque des pièges ϕ_T . Comme le montre la figure 5.7 c) et d), $\phi_T = 0.34\text{ eV}$ et 0.31 eV en polarisation négative et positive respectivement. Ces valeurs suggèrent que la conduction par mécanisme de conduction PF est présente, car en plus d'être physiquement plausible, elles sont plus faibles que la hauteur de barrière théorique des deux interfaces TiN/TiO₂ et TiN/TaO_x.

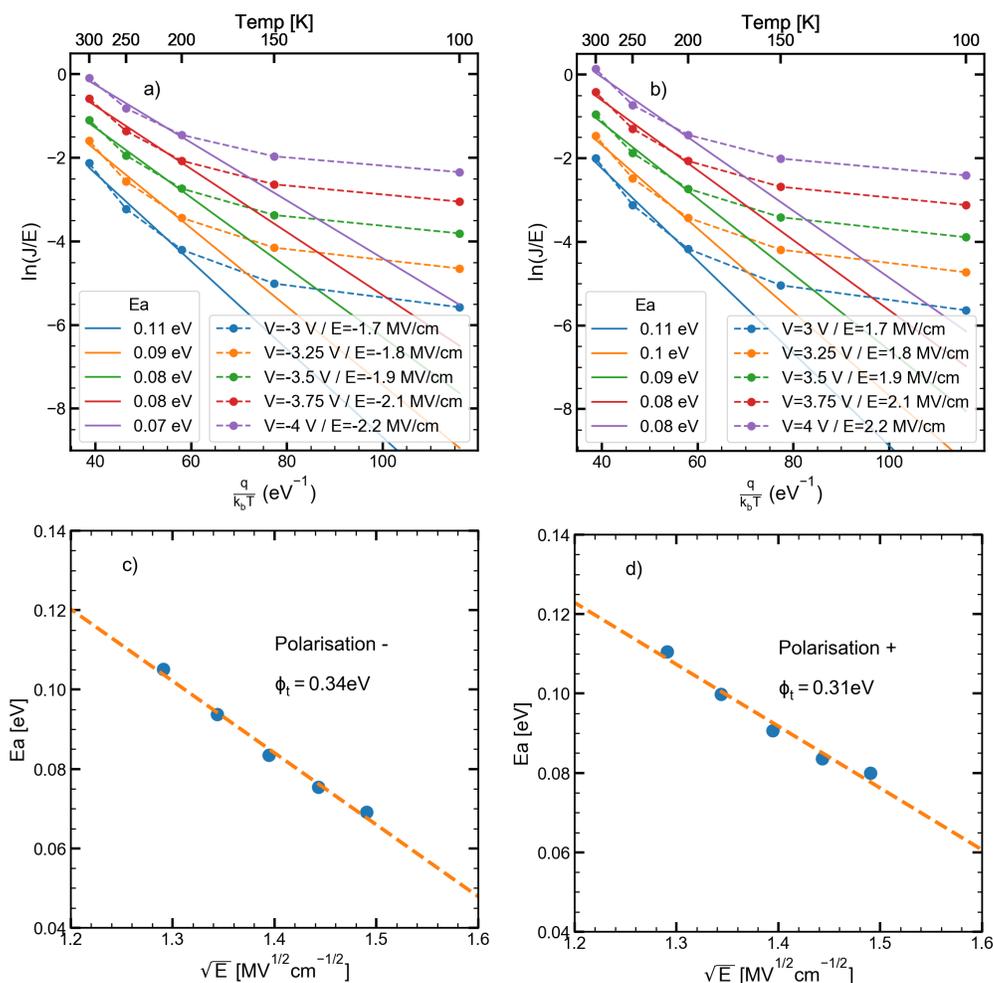


FIGURE 5.7 Analyse Pool Frenkel. a) Courbe Arrhenius entre 77 et 300 K pour différents champs électriques en polarisation négative. b) Courbe Arrhenius entre 77 et 300 K pour différents champs électriques en polarisation positive. c) Extraction de la hauteur de barrière des pièges en polarisation négative. d) Extraction de la hauteur de barrière des pièges en polarisation positive.

Conduction tunnel assisté par piège

La conduction tunnel assistée par piège (trap-assisted tunneling : TAT) aussi appelé hopping est un courant basé sur la conduction de pièges à l'intérieur de la couche d'isolant. Contrairement à la conduction PF, la distance entre les pièges est suffisamment faible pour que l'électron puisse circuler de piège en piège en traversant les barrières par un courant à effet tunnel (DT ou FN) (voir figure 5.8. L'équation de la densité de courant s'écrit :

$$J = qan\nu \exp \left[\frac{qaE}{kT} - \frac{E_a}{kT} \right] \quad (5.3)$$

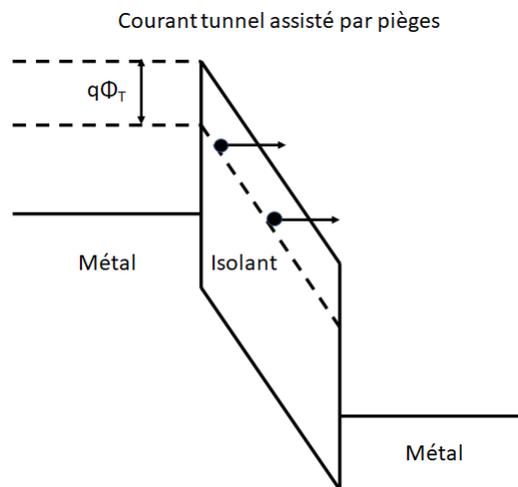


FIGURE 5.8 Diagramme de bande du courant tunnel assisté par piège

Où a est la distance moyenne entre les pièges, n est la concentration d'électron dans la bande de conduction du diélectrique, ν est la fréquence de vibration thermique des électrons au niveau des pièges et E_a est l'énergie d'activation des pièges. Les autres notations sont identiques à celles utilisées précédemment. Un tracé de $\ln(J)$ en fonction du champ électrique est linéaire pour la conduction TAT et permet d'extraire la distance moyenne entre les pièges " a ". La figure 5.9 montre la courbe de $\ln(J)$ vs E en polarisation négative (a) et positive (b) pour des températures variant entre 77 et 300K. Tandis que la courbe n'est pas linéaire à faible champ, une région linéaire à $E < -1.5$ V/m et $E > 1.5$ V/m on permet d'extraire la distance moyenne entre les pièges. Tandis que la valeur de " a " varie de 0.46 à 1 nm entre 77 et 200K, elle se stabilise autour de 1.1 quand $T > 200$ K. Il est donc possible que la conduction par TAT soit en partie responsable de la conduction totale considérant que ces valeurs sont physiquement plausibles.

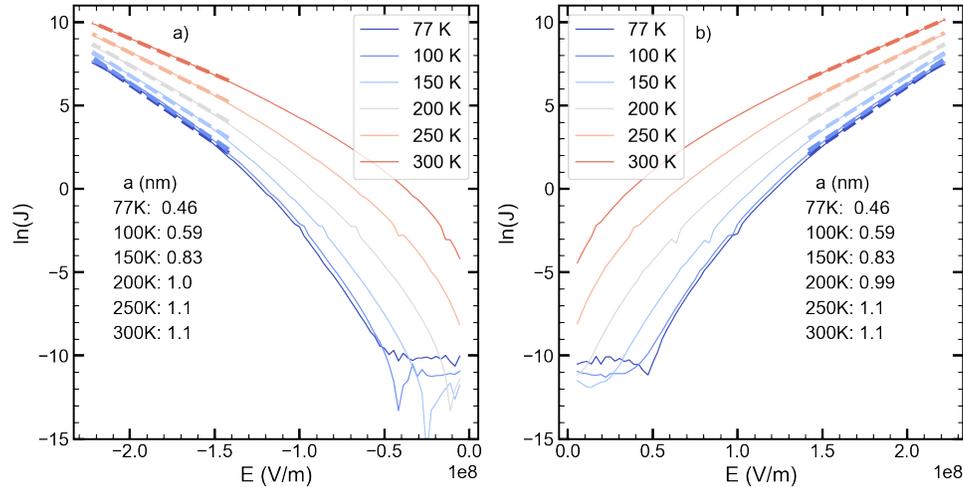


FIGURE 5.9 Analyse de conduction tunnel assistée par piège. a) Extraction de la distance moyenne entre les pièges entre 77 et 300K en polarisation négative. b) Extraction de la distance moyenne entre les pièges entre 77 et 300K en polarisation négative.

Conduction limitée par la charge d'espace

Dans la conduction limitée par la charge d'espace (space-charge-limited conduction : SCLC), le courant est dominé par les porteurs de charge injectés à partir des contacts et celui-ci dépend que de la mobilité et non plus de la densité des porteurs de charge. En régime SCLC, la densité de courant est donnée par :

$$J = \frac{9}{8} \mu \varepsilon \frac{V^2}{t_{ox}^3} \quad (5.4)$$

La pente d'un tracé de $\log(J)$ en fonction de $\log(V)$ permet d'extraire l'exposant de la loi de puissance. Pour valider la présence d'une conduction dominée par du SCLC, la valeur de l'exposant doit donc être de 2. Sur la figure 5.10 le $\log(J)$ en fonction du $\log(V)$ est tracé pour des températures variant de 77 à 300K en polarisation positive. L'exposant extrait de la loi en puissance est bien au-dessus de 2 et démontre que la conduction n'est pas limitée par du SCLC.

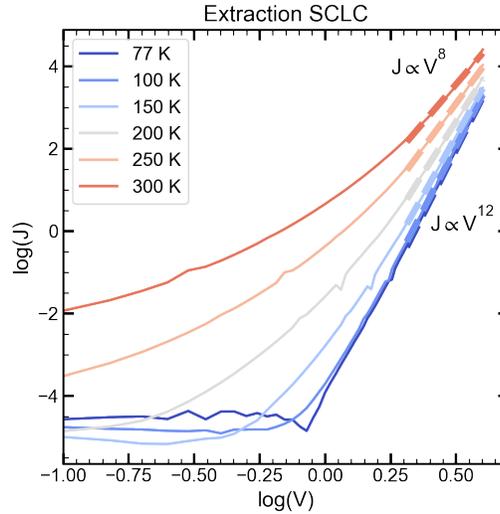


FIGURE 5.10 Analyse de la conduction limitée par la charge d'espace. La pente de la courbe de lissage correspond à la puissance de la variation de la tension par rapport au courant.

Conduction Schottky

La conduction Schottky est un mécanisme d'interface qui dépend de la hauteur de barrière (ϕ_b) créée entre un métal et un isolant. Le courant Schottky apparaît quand les électrons ont une énergie plus élevée que l'énergie de la barrière ($q\phi_b$) comme illustrée sur la figure 5.11. La densité de courant est donnée par :

$$J = A^* T^2 \exp \left[\frac{-q(\phi_B - \sqrt{qE/4/\pi\epsilon_r\epsilon_o})}{kT} \right], \quad (5.5)$$

$$A^* = \frac{4\pi q k^2 m^*}{h^3} = \frac{120 m^*}{m_0} \quad (5.6)$$

Où A^* est la constante de Richardson, m^* est la masse effective de l'électron dans le diélectrique et m_0 est la masse de l'électron libre. Les autres notations sont identiques à celle utilisée précédemment. Un tracé du log de la densité de courant divisée par le carré de la température (J/T^2) en fonction de la racine du champ électrique ($E^{1/2}$) est linéaire pour la conduction Schottky et l'ordonnée à l'origine du lissage permet d'extraire la hauteur de barrière.

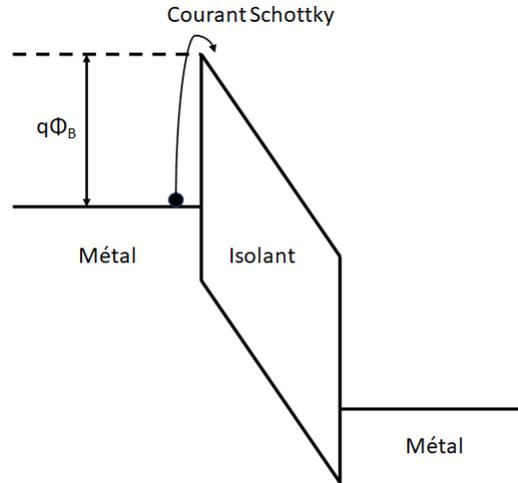


FIGURE 5.11 Diagramme de bande du courant Schottky

La figure 5.12 a) et b) montre (J/T^2) en fonction de $(E^{1/2})$ pour une polarisation négative et positive respectivement. La hauteur de barrière extraite dans les deux cas correspond à $\phi_b = 0.35$ eV à 300 K et ne varie presque pas entre 150 et 300 K. La conduction Schottky n'est donc pas présente à ces températures puisque la hauteur de barrière extraite ne correspond pas à la valeur extraite par conduction FN.

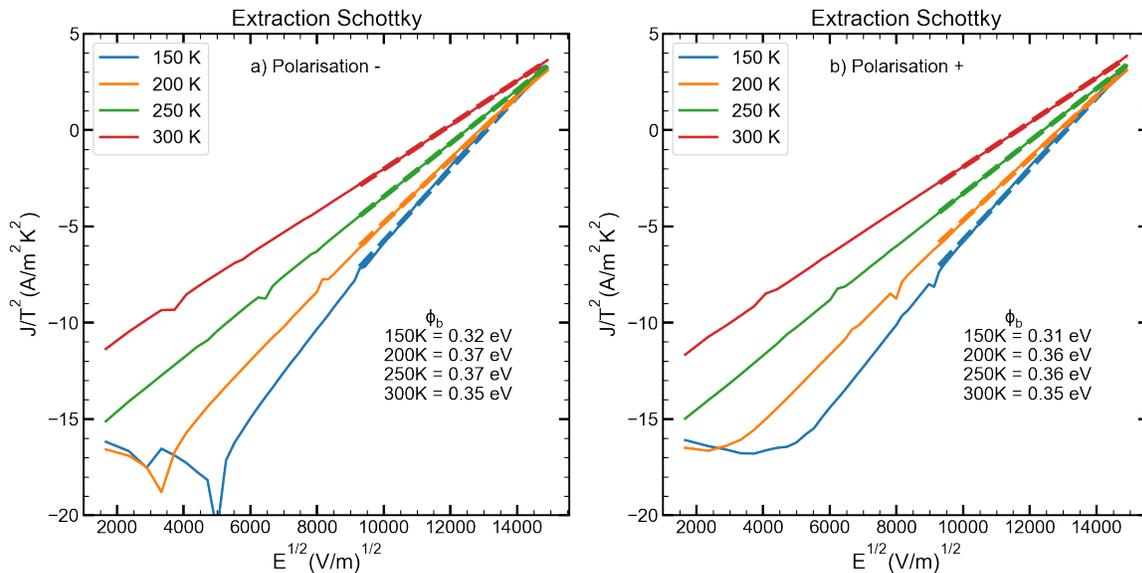


FIGURE 5.12 Analyse de conduction Schottky. a) Extraction de la hauteur de barrière en polarisation négative. b) Extraction de la hauteur de barrière en polarisation positive.

En résumé, la figure 5.3 montre que la conduction est la même pour des températures inférieures ou égales à 150K et que celle-ci est principalement causée par une conduction

FN. Pour les températures supérieures à 150K, la densité de courant globale augmente en fonction de la température. De plus, considérant que les conduction Schottky et SCLC ne sont pas plausibles, la conduction par mécanisme PF combiné à la présence de conduction par TAT est principalement responsable de la conduction à des températures supérieures à 150K.

5.2 Caractérisation monocouche

Dans le but d'augmenter la densité de courant et de mieux comprendre le fonctionnement des sélecteurs de la section 5.1, des dispositifs de TiN/TiO₂/TiN et TiN/TaO_x/TiN ont été étudiés avec différentes épaisseurs de TiO₂ et de Ta et différents temps d'oxydation du Ta. L'épaisseur de TiO₂ a été variée entre 0.5 et 3.2 nm tandis que le temps d'oxydation (recuit sous oxygène à 300 °C) du Ta à 5 et 7.5 nm d'épaisseur a été varié entre 0 et 300s.

La figure 5.13 a) montre la densité de courant entre -0.5 et 0.5 V pour les différentes épaisseurs de TiO₂. La tension de polarisation est limitée à 0.5V, afin d'éviter d'atteindre la tension de claquage. La figure 5.13 b) montre la densité de courant et le ratio de NL à 0.5 V pour les différentes épaisseurs. Pour une épaisseur inférieure à 0.9 nm, la couche de TiO₂ est insuffisante pour recouvrir uniformément la surface et la densité de courant résultante est comparable à un court-circuit. À partir de 1.3 nm, la densité de courant diminue considérablement tandis que le ratio de NL augmente légèrement. Ces résultats montrent que le TiO₂ seul ne peut expliquer le comportement du sélecteur de la section précédente.

La figure 5.14 a) et b) montre la courbe de densité de courant à différents temps d'oxydation pour deux monocouches de Ta de 5 et 7.5 nm d'épaisseur respectivement. Comme attendu, la densité de courant diminue avec le temps d'oxydation et les dispositifs les plus oxydés ont une plage de tension d'opération plus élevée. Une tension d'opération plus élevée est possible avec ces dispositifs, ce qui permet de calculer la densité de courant à 1V (figure 5.14 c) et d)) avec le ratio de NL maximal pour les différents temps d'oxydation de ces mêmes dispositifs. Tandis que la densité de courant diminue fortement quand le temps d'oxydation augmente, le ratio de NL augmente faiblement. La valeur du ratio de NL obtenue avec les monocouches de TaO_x est beaucoup plus élevée que celles extraites avec les monocouches de TiO₂ considéré plus haut, surtout quand le temps d'oxydation est élevé. Le TaO_x semble avoir un comportement similaire au sélecteur de la section pré-

cédente ce qui renforce l'hypothèse que la couche de TiO_2 dans les sélecteurs bicouches a peu d'impact sur la conduction.

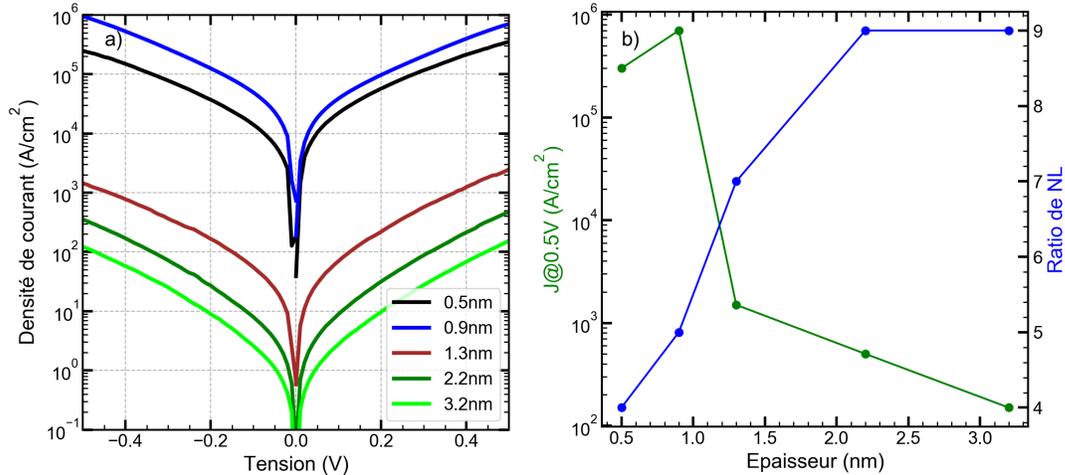


FIGURE 5.13 a) Densité de courant en fonction de la tension pour des monocouches de TiO_2 avec une épaisseur variant de 0.5 à 3.2 nm. b) Densité de courant à 0.5V et ratio de NL maximale en fonction de l'épaisseur de TiO_2 .

Une caractérisation électrique à basse température a été effectuée sur quelques monocouches de TiO_2 et de TaO_x afin d'extraire les mécanismes de conduction dominants. Le tableau 5.1.1 résume les paramètres extraits des différents mécanismes de conduction. Ces paramètres ont été extraits en utilisant la même méthode décrite dans la section 5.1.1. Pour les monocouches de TiO_2 , la hauteur de barrière extraite par la conduction FN à 77K d'environ 0.4 eV est plus faible que la valeur théorique qui se situe à 0.7 eV [64, 66]. Ceci peut être causé par la force image (qui n'est pas considérée dans le modèle) entre l'interface de TiN/TiO_2 qui diminue la hauteur de barrière effective puisque l'épaisseur de TiO_2 est faible (inférieure à 3 nm). Un oxyde de titane non stœchiométrique pourrait aussi expliquer cette différence de ϕ_b . La hauteur de barrière des pièges extraits par conduction PF est plausible avec la hauteur de barrière extraite par FN, tandis que les paramètres extraits par les autres mécanismes ne le sont pas. Les mécanismes de conduction FN et PF semblent être responsables de la conduction dans le TiO_2 . La présence de piège indique aussi que la qualité de la couche de diélectrique n'est pas au point et que des défauts ou des lacunes d'oxygène sont présents dans le matériau.

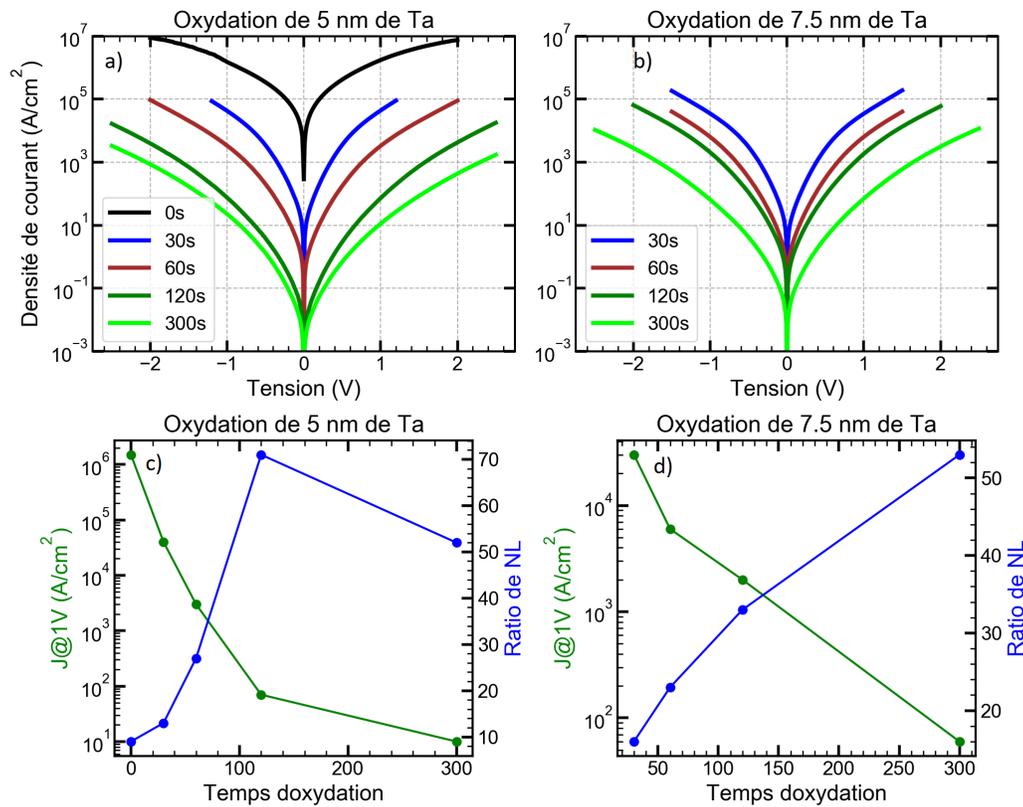


FIGURE 5.14 a) Densité de courant en fonction de la tension pour une monocouche de Ta de 5 nm avec un temps d'oxydation variant de 0 à 300 s. b) Densité de courant en fonction de la tension pour une monocouche de Ta de 7.5 nm avec un temps d'oxydation variant de 0 à 300 s. c) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour une monocouche de Ta de 5 nm. d) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour une monocouche de Ta de 7.5 nm.

La hauteur de barrière théorique d'une interface TiN/Ta₂O₅ se situe autour de 1.5 eV [65, 66]. La hauteur de barrière des monocouches de Ta avec un temps d'oxydation de 30 s extraites par conduction Schottky ne correspond pas à la valeur théorique tandis que les mécanismes de pièges (PF et TAT) sont plausibles. En revanche, la hauteur de barrière extraite par conduction FN avec un temps d'oxydation de 5 min se rapproche de la valeur théorique indiquant que l'oxyde devient de plus en plus stœchiométrique. La hauteur de barrières des pièges extraite par conduction PF est aussi plus élevée et la distance entre les pièges extraite par TAT est réduite. La conduction par SCLC n'est pas présente dans les dispositifs, car l'exposant de puissance est toujours supérieur à 2. À noter que la hauteur de barrière extraite par le Ta de 5 nm oxydés durant 5 min (0.7 eV) est similaire à celle extraite dans les dispositifs de la section 5.1 (0.56 eV) ce qui suggère que l'oxyde de tantale est principalement responsable de la conduction FN à une température inférieure à 200

	FN		PF		TAT		SCLC		Schottky	
	ϕ_b (eV)		ϕ_t (eV)		a (nm)		exposant		ϕ_b (eV)	
	p+	p-	p+	p-	p+	p-	p+	p-	p+	p-
TiO ₂ 1.3 nm	0.36	0.28	0.1	0.11	0.0035	0.0031	3	3	0.19	0.18
TiO ₂ 3.2 nm	0.4	0.37	0.13	0.17	0.0069	0.0058	4	4	0.24	0.23
Ta 5 nm Ox : 30 s	0.25	0.25	0.15	0.15	0.6	0.62	3	3	0.11	0.13
Ta 5 nm Ox : 5 min	0.69	0.7	0.32	0.36	0.47	0.46	5	5	0.32	0.3
Ta 8 nm Ox : 30s	0.31	0.31	0.18	0.18	0.76	0.79	5	5	0.16	0.17

TABLEAU 5.1 Comparaison des paramètres physiques extraits par l'analyse des mécanismes de conduction pour différentes monocouches de TiO₂ et de TaO_x.

K. En somme, Dans le TiO₂ la conduction FN et la conduction PF semblent dominer la conduction et la conduction PF et TAT semblent dominer la conduction dans le TaO_x.

5.3 Caractérisation multicouche

Dans le but de fabriquer des sélecteurs avec une densité de courant maximale plus élevée que ceux présentés à la section 5.1, des sélecteurs avec un empilement TiO₂(1.3nm)/Ta(5nm) et TiO₂(1nm)/Ta(7.5nm) ont été fabriqués avec différents temps d'oxydation. Une épaisseur plus faible de TiO₂ et TaO_x devrait augmenter la densité de courant totale même si les mécanismes de conduction par pièges sont importants. De plus, une épaisseur de Ta plus faible pourrait empêcher d'avoir du Ta métallique entre le TiO₂ et le TaO_x. Les figures 5.15 a) et b) montrent la densité de courant en fonction de la tension de polarisation pour différent temps d'oxydation. Chaque courbe correspond à la moyenne de 10 mesures effectuées sur 10 dispositifs différents. La courbe de densité de courant sans oxydation est linéaire et atteint une valeur de 10⁶ A/cm² à 1 V. Néanmoins, même avec un temps d'oxydation aussi faible que 5 s, la densité de courant diminue d'un ordre de grandeur. Les figures 5.15 c) et d) montrent la densité de courant à 1V et le ratio de NL maximum en fonction du temps d'oxydation. Le comportement de ces dispositifs est très semblable aux monocouches de Ta de la section précédente et la densité de courant diminue fortement avec le temps d'oxydation tandis que le ratio de NL augmente légèrement. Ces résultats portent à croire que la couche de Ta est majoritairement responsable de la conduction. Pour les deux empilements de TiO₂/TaO_x, quand le temps d'oxydation est inférieur à 15 s, la densité de courant maximale ($\approx 1 \times 10^5$ A/cm²) est 2 à 4 fois plus élevée que celle des dispositifs de la section 5.1, mais le ratio de NL (entre 10 et 20) est 10 à 25 fois plus faible. Pour un temps d'oxydation supérieur compris entre 15 et 60s, la densité de courant maximale diminue fortement tandis que le ratio de NL n'est jamais supérieur à 100. Cependant, les tensions nécessaires pour arriver à ces densités de courant sont plus faibles

(± 1.5 et ± 2 V) que ceux de la section précédente (± 4 V).

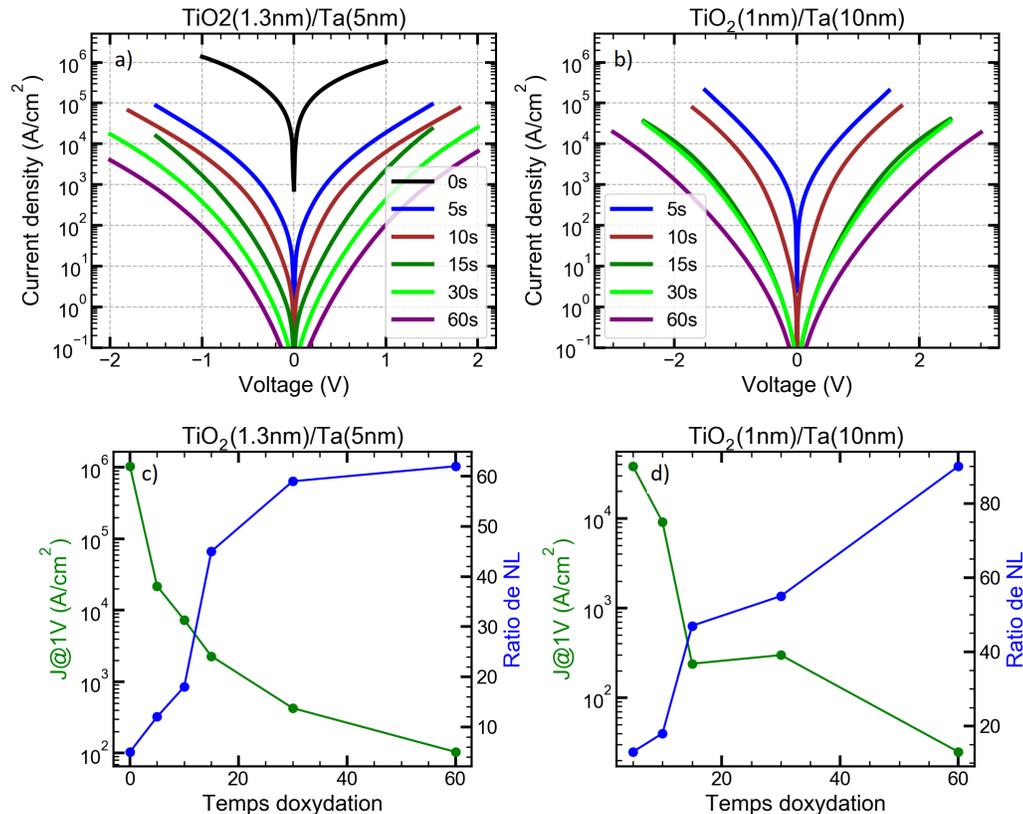


FIGURE 5.15 a) Densité de courant en fonction de la tension pour un sélecteur (TiO₂(1.3nm)/Ta(5nm)) avec un temps d'oxydation variant de 0 à 60s. b) Densité de courant en fonction de la tension pour un sélecteur (TiO₂(1nm)/Ta(10nm)) avec un temps d'oxydation variant de 5 à 60s. c) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour les sélecteurs en a). d) Densité de courant à 1V et ratio de NL maximal en fonction du temps d'oxydation pour les sélecteurs en b).

Le dispositif à base de TiO₂(1.3nm)/Ta(5nm) à 30 s d'oxydation a été mesuré à basse température afin d'extraire les mécanismes de conduction. Les résultats sont comparés aux dispositifs référence de la section 5.1 sur le tableau 5.2. La hauteur de barrière extraite par FN est plus faible que les deux autres dispositifs et la hauteur de barrière des pièges extraite par PF est aussi plus faible. En somme, la conduction de ces dispositifs semble aussi être dominée par des mécanismes de pièges (PF et TAT).

5.4 Conclusion

Dans ce chapitre des sélecteurs à base de TiO₂ et TaO_x ont été caractérisés électriquement afin d'évaluer leurs performances et déterminer les mécanismes de conduction dominant

	FN		PF		TAT		SCLC		Schottky	
	ϕ_b (eV)		ϕ_t (eV)		a (nm)		exposant		ϕ_b (eV)	
	p+	p-	p+	p-	p+	p-	p+	p-	p+	p-
TiO ₂ 1.3 nm et Ta 5 nm Ox : 30 s	0.43	0.42	0.11	0.15	0.88	0.83	5	5	0.32	0.31
TiO ₂ 2 nm et Ta 10 nm Ox : 15 min	0.57	0.57	0.33	0.35	1.1	1.1	7	7	0.35	0.35
TiO ₂ 3 nm et Ta 10 nm Ox : 15 min	0.56	0.56	0.31	0.34	1.1	1.1	7	7	0.35	0.35

TABLEAU 5.2 Comparaison des paramètres physiques extraits par l'analyse des mécanismes de conduction pour différents sélecteurs.

avec des mesures à basse température. En premier lieu, deux dispositifs avec 3 et 2 nm de TiO₂ et 10 nm de Ta avec un temps d'oxydation de 15 min ont démontré une densité de courant maximale de $4.9 \times 10^4 \text{ A/cm}^2$ et $2.5 \times 10^4 \text{ A/cm}^2$ avec un ratio de NL de 250 et 200 respectivement. La densité de courant dépend très peu de la surface du sélecteur suggérant un courant surfacique uniforme. Le comportement presque symétrique en polarisation négative et positive des deux sélecteurs n'est pas attendu puisque la hauteur de barrière entre l'interface TiN/TiO₂ (0.7 eV) et TiN/Ta₂O₅ (1.5 eV) n'est pas la même. Ce comportement serait cependant plausible si une couche métallique sépare les deux oxydes et que la conduction est limitée par une seule couche. Une analyse EDX effectuée à l'aide d'une coupe TEM sur les deux sélecteurs a démontré la présence de Ta métallique entre le TiO₂ et le TaO_x des interfaces. Les dispositifs s'apparentent plus à deux diélectriques en série séparés par une couche de Ta (TiN/TiO₂/Ta/TaO_x/TiN) que d'un empilement bicouche (TiN/TiO₂/TaO_x/TiN). L'extraction des mécanismes de conduction des mesures électriques en température a démontré que la conduction FN est dominante pour des températures inférieure ou égale à 150K et que la conduction PF avec la présence de TAT est dominante pour des températures supérieures à 150K.

Le TiO₂ et le TaO_x ont par la suite été caractérisés indépendamment en variant l'épaisseur de TiO₂ entre 0.5 et 3.2nm, l'épaisseur de TaO_x entre 5 et 7.5 nm et le temps d'oxydation du Ta entre 0 et 300s. Les densités de courant et le ratio de NL obtenus avec les couches de TaO_x sont similaires avec ceux obtenus avec les sélecteurs bicouche de la section 5.1 tandis que le ratio de NL des couches de TiO₂ seules est très faible (<10). Pour les deux matériaux, le mécanisme de conduction PF semble être responsable de la conduction à température ambiante. La hauteur de barrière des deux matériaux a été extraite le mécanisme de conduction FN à 77K. Encore une fois, la hauteur de barrière obtenue avec les couches de TaO_x seule (0.7 eV) est similaire avec celle obtenue avec les sélecteurs bicouche de la section 5.1 (0.56 eV) contrairement au TiO₂ seule (≈ 0.4 eV). Ceci suggère que le comportement électrique des sélecteurs de la section est principalement causé par

la couche de TaO_x et que la couche de TiO_2 a peu d'impact sur la conduction.

Finalement, des sélecteurs avec une épaisseur plus faible de TiO_2 et de Ta ($TiO_2(1.3nm)/Ta(5nm)$ et $TiO_2(1nm)/Ta(7.5nm)$) ont été fabriqués avec des temps d'oxydation variant de 0 à 60s. Les sélecteurs avec des temps d'oxydation de 5 ou 10s ont démontré des densités de courant élevées ($10^5 A/cm^2$) avec des tensions d'opération plus faibles que les sélecteurs de la première section. Cependant, le ratio de NL à ces temps d'oxydation est très faible (entre 10 et 25). De plus, pour des temps d'oxydation plus élevés, la densité de courant maximale diminue rapidement et même si le ratio de NL augmente avec le temps d'oxydation, cette valeur ne dépasse pas 100. L'extraction des mécanismes de conduction sur l'empilement $TiO_2(1.3nm)/Ta(5nm)$ avec un temps d'oxydation de 30s suggère encore une fois que la conduction par piège (PF et TAT) est dominante.

CHAPITRE 6

CONCLUSION

6.1 Conclusion générales

L'objectif de ce travail de thèse était de concevoir et de fabriquer des sélecteurs de mémoire exploitant l'effet tunnel et compatibles avec les techniques de fabrication industrielle. Tout d'abord, un modèle de conduction de courant par effet tunnel basé sur l'approximation WKB a été développé afin de modéliser le comportement de sélecteurs. La simulation de sélecteurs monocouches a permis de mettre en évidence une méthode pour optimiser les performances de celui-ci en termes de densité de courant et de ratio de NL à une tension de polarisation précise. La tension qui maximise le ratio de NL dépend principalement de la hauteur de barrière qui est définie par l'interface métal/isolant du sélecteur. Avec cette méthode, il est possible de concevoir des sélecteurs en considérant la tension d'opération en fonction du type de mémoire utilisés. Il est aussi possible d'utiliser cette méthode avec différent schéma de polarisation ce qui permet d'optimiser le sélecteur selon les avantages de ceux-ci (Efficacité énergétique ou marge de tension d'écriture). En utilisant cette approche, il a aussi été possible d'optimiser les performances théoriques de sélecteur bicouche. La configuration sous forme de "crested barrier" permet d'obtenir une grande densité de courant tout en conservant un ratio de NL élevée. Il a été montré que la densité de courant et le ratio de NL sont maximisés quand le ratio de permittivité relative entre les deux matériaux ($\epsilon_{r2}/\epsilon_{r1}$) est plus grand ou égal à 2.5. De plus, même s'il existe un compromis entre la valeur de densité de courant et le ratio de NL pour la valeur de la hauteur de barrière de la première couche, ces paramètres sont à leur maximum quand la hauteur de barrière de la deuxième couche est d'environ 2 eV.

Pour l'étude de sélecteurs à base d'effet tunnel, un procédé de fabrication comportant un nombre limité d'étapes de fabrication a été mis au point. Le substrat de Si conducteur, fortement dopé, permet d'éviter la création d'électrodes inférieures qui aurait nécessité un procédé de soulèvement ou de gravure et polissage supplémentaire. Les matériaux sélectionnées comme électrode (TiN) et comme couche active ($\text{TiO}_2/\text{TaO}_x$) ainsi que les étapes de recuit ont été choisis afin d'être compatibles avec les procédés BEOL de l'industrie.

Les sélecteurs avec les meilleures performances démontrent une densité de courant d'environ 4.9×10^4 A/cm² à 4 V avec un ratio de NL de 250. Ces performances, bien qu'intéressantes, ne sont pas suffisantes pour des applications de CBA de grande dimension et ne sont pas compatibles avec des mémoires qui demandent une grande densité de courant comme les PCRAMs, mais pourrait être compatible avec des mémoires résistives de faible puissance dans une CBA de petites dimensions. L'étude des mécanismes de conduction avec les différentes configurations a permis de conclure que la conduction à travers les sélecteurs est dominée par des mécanismes de piège comme la conduction Pool Frenkel et la conduction tunnel assisté par piège. Ceci explique le comportement symétrique en polarisation négative et positive. Ces pièges peuvent aussi être responsables de la faible densité de courant maximale que peut supporter le dispositif avant de cesser de fonctionner. Une analyse EDX de coupe TEM a démontré la présence de Ta métallique au centre du dispositif suggérant une épaisseur trop élevée de Ta ou un temps d'oxydation trop faible.

Le TiO₂ et le TaO_x ont été caractérisés indépendamment dans un empilement TiN/TiO₂/TiN et TiN/TaO_x/TiN. Les caractéristiques électriques du TiO₂ diffèrent de l'empilement double couche. En effet, la tension d'opération est très faible (0.5V) et la densité de courant et le ratio de NL sont plus faibles que les dispositifs bicouches. De plus, la hauteur de barrière extraite à 77K par conduction FN (0.4 eV) est plus faible que la valeur théorique anticipée (0.7 eV) suggérant une mauvaise qualité d'oxyde non stœchiométrique. En revanche, le TaO_x seul démontre des caractéristiques similaires au sélecteur bicouche. La tension d'opération est plus élevée, les densités de courant et les ratios de NL sont similaires et la hauteur de barrière extraite par FN à 77K est aussi similaire. Ces résultats suggèrent que le TaO_x est majoritairement responsable de la conduction dans les sélecteurs doubles couches. Les extractions de mécanismes de conduction suggèrent aussi que les mécanismes de conduction par pièges (PF et TAT) sont dominants à température ambiante.

Des sélecteurs avec un empilement de matériaux d'une plus faible épaisseur (TiO₂(1.3nm)/Ta(5nm) et TiO₂(1nm)/Ta(7.5nm)) ont été fabriqués avec différents temps d'oxydation dans le but d'augmenter la densité de courant maximale. Ces dispositifs démontrent des tensions d'opération plus faibles que ceux décrits plus haut. Il a été possible de mesure de densité de courant de l'ordre de 10^5 A/cm² à 1.5V pour des temps d'oxydation de 5 et 10s. Cependant, le ratio de NL de ces dispositifs est très faible (entre 10 et 25) et ne pourrait pas être utilisé comme sélecteur efficace. Pour les temps d'oxydation supérieurs à 10s, la densité de courant maximale diminue fortement et même si le ratio de NL augmente en

contrepartie, il n'est jamais supérieur à 100. Ces résultats suggèrent que ce qui limite la densité de courant maximale n'est pas nécessairement l'épaisseur totale du dispositif et l'épaisseur totale a plutôt un effet sur la tension d'opération. De plus, la conduction par piège (PF et TAT) est aussi dominante dans ces dispositifs.

Les simulations effectuées sur les bicouches ont montrés qu'un empilement de TiN/TiO₂/Ta₂O₅/TiN avec une épaisseur de TiO₂ et de Ta₂O₅ de 1.5 nm pourrait donner de bonnes performances (densité de courant $> 10^7$ A/cm² et un ratio de NL de 10⁴). Cependant, il ne serait pas possible d'obtenir ces résultats avec les matériaux utilisés dans ce projet. La présence de pièges dans le TiO₂ et le TaO_x empêche la formation d'un courant tunnel et les hauteurs de barrière extraite de ces matériaux ne concordent pas avec les valeurs théoriques. De plus, il a été montré que la couche de TiO₂ semble avoir peut d'impact sur le comportement du dispositif et une conduction typique à travers une "crested barrier" n'est pas observé.

6.2 Perspective

Le modèle de simulation développé dans cette thèse peut-être utilisée pour concevoir des sélecteurs à base d'effet tunnel et le modèle pourrait être amélioré en incorporant la force image ou d'autre mécanisme de conduction. Cependant, les sélecteurs fabriqués sont dominés par des mécanismes de conduction par piège (PF et TAT). Pour qu'une conduction par effet tunnel (DT et FN) soit dominante dans un sélecteur, la présence de défaut doit être très faible et les interfaces doivent être bien définies. La diffusion de l'oxygène vers les électrodes, la présence d'impureté aux interfaces et la stœchiométrie des matériaux sont des facteurs qui vont influencer grandement le comportement électrique du sélecteur. L'amélioration de la qualité des matériaux pourrait être effectuée en modifiant les paramètres de dépôts ou en changeant la méthode de dépôt du TaO_x par ALD. Quand l'épaisseur du diélectrique est de l'ordre de quelque nanomètre, l'exposition à l'environnement peut rapidement dégrader la couche. Un dépôt in situ des matériaux dans le même système ou faire en sorte que les dispositifs ne soient pas en contact avec l'air ambiant pourrait mitiger la création de défaut aux interfaces.

LISTE DES RÉFÉRENCES

- [1] “International roadmap for devices and systems,” *Executive summary*, 2020 Edition.
- [2] Intel, *IEEE Hot chips 31 symposium (HCS)*, 2019.
- [3] A. Chen, “A review of emerging non-volatile memory (NVM) technologies and applications,” *Solid-State Electronics*, vol. 125, pp. 25–38, Nov. 2016.
- [4] “International roadmap for devices and systems,” *Beyond CMOS*, 2020 Edition.
- [5] A. Chen, “Nonlinearity and Asymmetry for Device Selection in Cross-Bar Memory Arrays,” *IEEE Transactions on Electron Devices*, vol. 62, pp. 2857–2864, Sept. 2015.
- [6] A. Chen, “Emerging Nanoelectronic Devices,” p. 573.
- [7] B. Govoreanu, “High-Performance Metal-Insulator-Metal Tunnel Diode Selectors,” *IEEE Electron Device Letters*, vol. 35, pp. 63–65, Jan. 2014.
- [8] J. Woo and W. Lee, “Multi-layer Tunnel Barrier (Ta₂O₅/TaOx/TiO₂) Engineering for Bipolar RRAM Selector Applications,” p. 2.
- [9] W. Lee, “Varistor-type bidirectional switch for 3D bipolar resistive memory arrays,” in *2012 Symposium on VLSI Technology (VLSIT)*, (Honolulu, HI, USA), pp. 37–38, IEEE, June 2012.
- [10] “International roadmap for devices and systems,” *Beyond CMOS*, 2020.
- [11] “Heterogeneous integration roadmap,” *Chapter 8 : Single chip and multi-chip integration*, 2019 Edition.
- [12] “Heterogeneous integration roadmap,” *Chapter 1 : HIR overview and executive summary*, 2019 Edition.
- [13] T. Tsuruoka, “Conductance quantization and synaptic behavior in a Ta₂O₅-based atomic switch,” *Nanotechnology*, vol. 23, p. 435705, Nov. 2012.
- [14] L. Yang, “The influence of copper top electrodes on the resistive switching effect in TiO₂ thin films studied by conductive atomic force microscopy,” *Applied Physics Letters*, vol. 95, p. 013109, July 2009.
- [15] Y. Wang, “Investigation of resistive switching in Cu-doped HfO₂ thin film for multilevel non-volatile memory applications,” *Nanotechnology*, vol. 21, p. 045202, Jan. 2010.
- [16] C. Schindler, “Electrode kinetics of Cu–SiO₂-based resistive switching cells : Overcoming the voltage-time dilemma of electrochemical metallization memories,” *Applied Physics Letters*, vol. 94, p. 072109, Feb. 2009.
- [17] S. Tappertzshofen, “Quantum conductance and switching kinetics of AgI-based microcrossbar cells,” *Nanotechnology*, vol. 23, p. 145703, Apr. 2012.

- [18] M. Kozicki, "Programmable metallization cell memory based on Ag-Ge-S and Cu-Ge-S solid electrolytes," in *Symposium Non-Volatile Memory Technology 2005.*, (Dallas, TX, USA), pp. 83–89, IEEE, 2005.
- [19] U. Russo, "Study of Multilevel Programming in Programmable Metallization Cell (PMC) Memory," *IEEE Transactions on Electron Devices*, vol. 56, pp. 1040–1047, May 2009.
- [20] W.-C. Chien, "Multi-level 40nm WOX resistive memory with excellent reliability," in *2011 International Electron Devices Meeting*, (Washington, DC, USA), pp. 31.5.1–31.5.4, IEEE, Dec. 2011.
- [21] J. Park, "Multibit Operation of tiox-Based ReRAM by Schottky Barrier Height Engineering," *IEEE Electron Device Letters*, vol. 32, pp. 476–478, Apr. 2011.
- [22] C. H. Cheng, "Ultralow Switching Energy ni/geox/hfon/tan RRAM," *IEEE Electron Device Letters*, vol. 32, pp. 366–368, Mar. 2011.
- [23] T. Breuer, "Low-current operations in $4F^2$ -compatible Ta_2O_5 -based complementary resistive switches," *Nanotechnology*, vol. 26, p. 415202, Oct. 2015.
- [24] A. C. Torrezan, "Sub-nanosecond switching of a tantalum oxide memristor," *Nanotechnology*, vol. 22, p. 485203, Dec. 2011.
- [25] B. J. Choi, "High-Speed and Low-Energy Nitride Memristors," *Advanced Functional Materials*, vol. 26, pp. 5290–5296, Aug. 2016.
- [26] R. Fackenthal, "19.7 A 16Gb ReRAM with 200MB/s write and 1GB/s read in 27nm technology," in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, (San Francisco, CA, USA), pp. 338–339, IEEE, Feb. 2014.
- [27] T.-Y. Liu, "A 130.7mm^2 2-layer 32Gb ReRAM memory device in 24nm technology," in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, (San Francisco, CA), pp. 210–211, IEEE, Feb. 2013.
- [28] S. R. Ovshinsky, "Reversible Electrical Switching Phenomena in Disordered Structures," *Physical Review Letters*, vol. 21, pp. 1450–1453, Nov. 1968.
- [29] N. Yamada, "High Speed Overwritable Phase Change Optical Disk Material," *Japanese Journal of Applied Physics*, vol. 26, p. 61, Jan. 1987.
- [30] N. Yamada, "100 GB rewritable triple-layer optical disk having Ge-Sb-Te films," p. 6.
- [31] S. Lai, "Current status of the phase change memory and its future," in *IEEE International Electron Devices Meeting 2003*, (Washington, DC, USA), pp. 10.1.1–10.1.4, IEEE, 2003.
- [32] S. Raoux, "Influence of Dopants on the Crystallization Temperature, Crystal Structure, Resistance, and Threshold Field for $\text{Ge}_2\text{Sb}_2\text{Te}_5$ and GeTe Phase Change Materials," p. 8.

- [33] A. Pirovano, "Scaling analysis of phase-change memory technology," in *IEEE International Electron Devices Meeting 2003*, (Washington, DC, USA), pp. 29.6.1–29.6.4, IEEE.
- [34] V. Sousa, "Operation fundamentals in 12Mb Phase Change Memory based on innovative Ge-rich GST materials featuring high reliability performance," in *2015 Symposium on VLSI Technology (VLSI Technology)*, (Kyoto, Japan), pp. T98–T99, IEEE, June 2015.
- [35] W.-C. Chien, "A Study on OTS-PCM Pillar Cell for 3-D Stackable Memory," *IEEE Transactions on Electron Devices*, vol. 65, pp. 5172–5179, Nov. 2018.
- [36] J. Oh and J. Park, "Full Integration of Highly Manufacturable 512Mb PRAM based on 90nm Technology," in *2006 International Electron Devices Meeting*, (San Francisco, CA), pp. 1–4, IEEE, Dec. 2006.
- [37] Y. Sasago, M. Kinoshita, T. Morikawa, K. Kurotsuchi, S. Hanzawa, T. Mine, A. Shima, Y. Fujisaki, H. Kume, H. Moriya, N. Takaura, and K. Torii, "Cross-point phase change memory with 4F² cell size driven by low-contact-resistivity poly-Si diode," p. 2.
- [38] S. Lee, "Highly productive PCRAM technology platform and full chip operation : Based on 4F² (84nm pitch) cell scheme for 1 Gb and beyond," in *2011 International Electron Devices Meeting*, (Washington, DC), pp. 3.3.1–3.3.4, IEEE, Dec. 2011.
- [39] M.-J. Lee and S. Seo, "A Low-Temperature-Grown Oxide Diode as a New Switch Element for High-Density, Nonvolatile Memories," *Advanced Materials*, vol. 19, pp. 73–76, Jan. 2007.
- [40] M.-J. Lee, Y. Park, B.-S. Kang, S.-E. Ahn, C. Lee, K. Kim, G. Stefanovich, J.-H. Lee, S.-J. Chung, Y.-H. Kim, C.-S. Lee, J. Bong, I.-G. Baek, and I.-K. Yoo, "2-stack ID-IR Cross-point Structure with Oxide Diodes as Switch Elements for High Density Resistance RAM Applications," p. 4.
- [41] M.-J. Lee and C. B. Lee, "Stack friendly all-oxide 3D RRAM using GaInZnO peripheral TFT realized over glass substrates," in *2008 IEEE International Electron Devices Meeting*, (San Francisco, CA, USA), pp. 1–4, IEEE, Dec. 2008.
- [42] W. Y. Park and G. Kim, "A Pt/TiO₂/Ti Schottky-type selection diode for alleviating the sneak current in resistance switching memory arrays," *Nanotechnology*, vol. 21, p. 195201, May 2010.
- [43] G. Tallarida, "Low Temperature Rectifying Junctions for Crossbar Non-Volatile Memory Devices," in *2009 IEEE International Memory Workshop*, (Monterey, CA, USA), pp. 1–3, IEEE, May 2009.
- [44] M. Anbarasu, "Nanosecond threshold switching of GeTe₆ cells and their potential as selector devices," *Applied Physics Letters*, vol. 100, p. 143505, Apr. 2012.

- [45] M.-J. Lee, “Highly-scalable threshold switching select device based on chalcogenide glasses for 3D nanoscaled memory arrays,” in *2012 International Electron Devices Meeting*, (San Francisco, CA, USA), pp. 2.6.1–2.6.3, IEEE, Dec. 2012.
- [46] S. Kim, “Ultrathin (<10nm) Nb₂O₅/NbO₂ Hybrid Memory with Both Memory and Selector Characteristics for High Density 3D Vertically Stackable RRAM Applications,” *Symposium on VLSI Technology Digest of Technical Papers*, p. 2, 2012.
- [47] S. H. Jo, “3D-stackable crossbar resistive memory based on Field Assisted Superlinear Threshold (FAST) selector,” in *2014 IEEE International Electron Devices Meeting*, (San Francisco, CA, USA), pp. 6.7.1–6.7.4, IEEE, Dec. 2014.
- [48] C. Ho, “Threshold Vacuum Switch (TVS) on 3D-stackable and 4F² cross-point bipolar and unipolar resistive random access memory,” in *2012 International Electron Devices Meeting*, (San Francisco, CA, USA), pp. 2.8.1–2.8.4, IEEE, Dec. 2012.
- [49] M. Imada, “Metal-insulator transitions,” *Rev. Mod. Phys.*, vol. 70, no. 4, p. 225, 1998.
- [50] M. Son, “Excellent Selector Characteristics of Nanoscale vo₂ for High-Density Bipolar ReRAM Applications,” *IEEE Electron Device Letters*, vol. 32, pp. 1579–1581, Nov. 2011.
- [51] J. Shin, “TiO₂-based metal-insulator-metal selection device for bipolar resistive random access memory cross-point application,” *Journal of Applied Physics*, vol. 109, p. 033712, Feb. 2011.
- [52] J. Woo, “Multi-layer Tunnel Barrier (Ta₂O₅/TaOx/TiO₂) Engineering for Bipolar RRAM Selector Applications,” p. 2.
- [53] K. Gopalakrishnan, “Highly-scalable novel access device based on Mixed Ionic Electronic conduction (MIEC) materials for high density phase change memory (PCM) arrays,” in *2010 Symposium on VLSI Technology*, (Honolulu), pp. 205–206, IEEE, June 2010.
- [54] Cohen-Tannoudji, *Quantum Mechanics*, vol. 01.
- [55] R. Tsu, “Tunneling in a finite superlattice,” *Applied Physics Letters*, vol. 22, pp. 562–564, June 1973.
- [56] E. Merzbacher, “Single Valuedness of Wave Functions,” *American Journal of Physics*, vol. 30, pp. 237–247, Apr. 1962.
- [57] W. A. Harrison, “Tunneling from an Independent-Particle Point of View,” *Physical Review*, vol. 123, pp. 85–89, July 1961.
- [58] M. Lenzlinger, “Fowler-Nordheim Tunneling into Thermally Grown SiO₂,” p. 7.
- [59] B. Song, “Exploration of selector characteristic based on electron tunneling for RRAM array application,” *IEICE Electronics Express*, vol. 14, no. 17, pp. 20170739–20170739, 2017.

- [60] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices," *Applied Physics Letters*, vol. 73, pp. 2137–2139, Oct. 1998.
- [61] W. C. J. Jung, "Tunnel barrier engineering for non-volatile memory," *JSTS :Journal of Semiconductor Technology and Science*. 8, 2008.
- [62] C. Dubuc, *Étude et fabrication de transistors mono-électroniques à température d'opération étendue*. PhD thesis, Library and Archives Canada = Bibliothèque et Archives Canada, Ottawa, 2009. ISBN : 9780494485453 OCLC : 648383623.
- [63] S. W. Park and H. B. Im, "Effects of oxidation conditions on the properties of tantalum oxide films on silicon substrates," *Thin Solid Films*, vol. 207, pp. 258–264, Jan. 1992.
- [64] Y. G. Park Jaewon, "Optical reactivity of epitaxially grown nitrogen-doped titanium oxide tio2 films," *Journal of the Korean Physical Society*, vol. 49, 2006.
- [65] J. Robertson and C. W. Chen, "Schottky barrier heights of tantalum oxide, barium strontium titanate, lead titanate, and strontium bismuth tantalate," *Applied Physics Letters*, vol. 74, pp. 1168–1170, Feb. 1999.
- [66] S. K. et al, *Physics and technology of high-k gate dielectrics 5*, vol. 11.



FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : PLOURDE
(avec précision du nom de jeune fille, le cas échéant)

DATE de SOUTENANCE : 23/03/2022

Prénoms : Maxime

TITRE : Conception et fabrication de sélecteurs non-linéaires à base d'effet tunnel

NATURE : Doctorat

Numéro d'ordre : 2022LYSEI029

Ecole doctorale : N° 160 : Electronique, Electrotechnique, Automatique de Lyon

Spécialité : Électronique, micro et nanoélectronique, optique et laser

RESUME :

La limite de mise à l'échelle des mémoires conventionnelles est sur le point d'être atteinte. En effet, les dimensions des mémoires basées sur les transistors vont cesser de diminuer dans les années à venir. Pour continuer de diminuer la taille des circuits électroniques tout en améliorant les performances, les fabricants doivent maintenant utiliser de nouvelles approches qui ont mené à un changement de paradigme dans l'industrie de la microélectronique. Une de ces approches est l'intégration 3D monolithique qui consiste à augmenter la densité surfacique de dispositif en empilant ceux-ci selon l'axe verticale et/ou en rajoutant des fonctionnalités au-delà du silicium cristallin dans une puce électronique. Par exemple, des mémoires de nouvelle génération pourraient être intégrées dans la partie des interconnexions métalliques d'une puce CMOS. Plusieurs mémoires émergentes sont développées dans le but de rajouter des fonctionnalités dans les interconnexions métalliques et sont intégrées sous forme de matrice croisée. Cependant, des problèmes de courant de fuite sont presque inhérents aux matrices croisées de grande dimension et nécessitent l'ajout de dispositif d'accès, appelé sélecteur, en série avec chaque point mémoire pour minimiser les courants de fuite. Le but de cette thèse est de concevoir et de fabriquer un sélecteur à base d'effet tunnel compatible avec les techniques de fabrications industrielles standard qui pourrait être implanté au niveau des interconnexions d'une puce CMOS. La simulation de courant à base d'effet tunnel a été effectuée afin d'optimiser les performances théoriques du sélecteur. Des sélecteurs à base d'oxyde de titane et de tantale ont été fabriqués et caractérisés en température afin de comprendre les mécanismes de conduction dominants.

MOTS-CLÉS : Sélecteur, Effet tunnel, mémoire non-volatile, non-linéarité.

Laboratoire (s) de recherche :
Institut des Nanotechnologies de Lyon - INL – UMR 5270
Laboratoire Nanotechnologies et Nanosystèmes – LN2 - IRL-3463

Directeurs de thèse : Abdelkader SOUIFI, Damien DELERUYELLE, Dominique DROUIN

Président de jury : Marc BOCQUET

Composition du jury : Marc BOCQUET, Andreas RUEDIGER, Elisa VIANELLO, Simon JEANNOT, Dominique DROUIN, Damien DELERUYELLE, Abdelkader SOUIFI