



**Réalisation et optimisation d'un circuit de récupération
d'horloge et de données basé sur le principe de
verrouillage par injection d'oscillateur en anneau ciblant
les technologies nanométriques et destiné à des
applications spatiales**

Dorian Vert

► **To cite this version:**

Dorian Vert. Réalisation et optimisation d'un circuit de récupération d'horloge et de données basé sur le principe de verrouillage par injection d'oscillateur en anneau ciblant les technologies nanométriques et destiné à des applications spatiales. Electronique. Université de Bordeaux, 2022. Français. NNT : 2022BORD0333 . tel-04077562

HAL Id: tel-04077562

<https://theses.hal.science/tel-04077562>

Submitted on 21 Apr 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEUR DE
L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR
SPÉCIALITÉ ÉLECTRONIQUE

Par Dorian VERT

**Réalisation et optimisation d'un circuit de récupération d'horloge
et de données basé sur le principe de verrouillage par injection
d'oscillateur en anneau ciblant les technologies nanométriques et
destiné à des applications spatiales**

Sous la direction de : Jean-Baptiste BEGUERET

Soutenue le 6 Décembre 2022

Membres du jury :

M. TARIS Thierry	Professeur	Université de Bordeaux	Président
M. BARTHELEMY Hervé	Professeur	Université de Toulon	Rapporteur
M. DUBUC David	Professeur	Université de Toulouse	Rapporteur
M. BEGUERET Jean-Baptiste	Professeur	Université de Bordeaux	Directeur de thèse
M. PIGNOL Michel	Ingénieur	CNES	Examineur
M. LEBRE Vincent	Ingénieur	Thales Alenia Space	Examineur
M. MOUTAYE Emmanuel	Ingénieur Docteur	Thales Alenia Space	Invité
Mme MALOU Florence	Ingénieur	CNES	Invitée

Titre : Réalisation et optimisation d'un circuit de récupération d'horloge et de données basé sur le principe de verrouillage par injection d'oscillateur en anneau ciblant les technologies nanométriques et destiné à des applications spatiales

Résumé :

L'explosion du trafic des données au sein des systèmes de communication actuels impliquent la nécessité d'optimiser de multiples paramètres tels que le débit, la consommation, l'intégration et le coût. Bien que l'intégration et le coût soient étroitement liés, ceux du débit et de la consommation requièrent quant à eux la définition d'un compromis optimisé.

En effet, cette volonté d'augmentation des débits de fonctionnement conduit intuitivement à une élévation de la consommation. Pour cela, les systèmes de communication numérique à lien série, largement répandus pour les transmissions de données au niveau des systèmes sur puce (SoC), de puce à puce (*chip-to-chip*), ou encore de carte à carte sont aussi connus sous le nom de Sérialisateur/Désérialisateur (*SerDes*) et font l'objet de développement de nouvelles architectures optimisées. Ces systèmes, brièvement illustrés dans notre étude, se basent sur l'utilisation d'un émetteur générant les séquences de données, d'un récepteur dont l'objectif est de récupérer correctement celles-ci et d'un canal de liaison reliant ces deux parties. En vue d'effectuer une récupération des données optimale, la présence d'un bloc critique dans la partie réceptrice intitulé circuit de récupération d'horloge et de données (*CDR*) est requise.

Néanmoins, les pertes introduites par le canal de liaison, le fonctionnement à des débits très élevés exposant les circuits à des interférences inter-symboles, l'environnement et bien d'autres effets constituent ensemble des potentielles sources de dégradations à la réception des données. Dans notre cas, nous nous intéresserons au paramètre de l'environnement auquel est soumis le circuit électronique et plus particulièrement celui du spatial. En effet, les diverses particules radiatives constituent des sources de potentielles dégradations influençant le fonctionnement des circuits électroniques s'étendant du système complet au transistor même.

Dans ce contexte, la conception et l'optimisation d'un circuit de récupération d'horloge et de données fonctionnant à très haut débit (60 Gb/s) et destiné à des applications spatiales est présenté. Afin de remédier aux éventuelles dégradations induites par cet environnement spatial, nous présenterons quelques techniques de durcissement quant à celui-ci. Des efforts d'optimisation en termes d'efficacité énergétique, de densité d'intégration ainsi que de jitter sont adressés par divers moyens tel que le mécanisme de synchronisation par injection. Ce principe accorde une amélioration drastique du bruit de phase et jitter. Bien que la plupart des synthétiseurs de fréquence repose sur l'utilisation d'oscillateur à résonateur LC pour leur supériorité inhérente en termes de bruit de phase, ceux-ci présentent en contrepartie une densité d'intégration bien inférieure à celle de leurs concurrents : les oscillateurs en anneau.

Cette étude s'est déroulée de la façon suivante : un premier circuit type preuve-de-concept en technologie bas coût (180 nm) et ciblant une fréquence de fonctionnement de 3.2 GHz est introduite en vue de valider par mesures l'efficacité de notre architecture. Ces résultats-là s'étant montrés relativement probants, un second circuit s'inspirant du premier, ciblant un très haut débit de fonctionnement (60 Gb/s) et dans une technologie plus agressive (28 nm FDSOI) est ensuite exposé.

Enfin, la fin de ce travail se conclut sur la discussion de quelques perspectives à investiguer en vue d'approfondir l'optimisation de certaines performances.

Mots clés :

Circuit de récupération d'horloge et de données, Système de communication numérique à lien série, SerDes, Spatial, Verrouillage par injection, oscillateur en anneau.

Title: Realization and optimization of a Clock and Data Recovery ring oscillator injection-locked based targeting nanometric technologies for space applications

Abstract:

The data traffic exponential growth in actual communication systems requires the optimization of several parameters such as data rate, consumption, area and cost. Although the integration and the cost are closely related, data rate and consumption require the definition of an optimized compromise.

Indeed, these ever-increasing data rates intuitively lead to a consumption increase. To this end, serial link communication systems, widely used in data transmission for Systems on Chip (SoC), chip-to-chip and board-to-board which are also known as Serializer/Deserializer (SerDes) systems result in the development of new optimized architectures. Those systems, briefly introduced in our study, are based on the use of an emitter part for the generation of data patterns, a receiver part for the data recovery and a channel linking them. To get a correct data recovery, the presence of a critical block in the receiver part called clock and data recovery (CDR) circuit is required.

Nevertheless, insertion losses introduced by the channel, high data rates exposing circuits to inter-symbol interferences (ISI), the environment and many other parameters represent potential causes of decay for correct recovery data stream. In our case, we will only be interested in the space environment parameter under which our circuit would be exposed. Indeed, various radiative particles establish sources of potential degradations which would impact the correct operation both at system and transistor levels.

In this context, the design and optimization of a clock and data recovery operating at very high rate (60 Gbps) and aiming space applications is presented. In order to rectify possible deteriorations caused by the space environment, we will present some hardening techniques to prevent it. Several endeavors to optimize the power efficiency, the integration density and the jitter are tackled through various ways such as the synchronization by injection-locking. This method allows a drastic enhancement of the phase noise and jitter. Even if most of the frequency synthesizers hinge on the use of LC tank oscillator due to its inherent superiority in terms of phase noise, that one present in return an integration density much lower than its counterpart: the ring oscillator.

This study has been led the following way: a first proof-of-concept circuit in 180 nm technology targeting an operating frequency of 3.2 GHz is introduced for the purpose of the validation of our circuit efficiency by measures. Those results showed satisfying performances. A second circuit inspired from the architecture of the first one and aiming a very high data rate (60 Gbps) in a more recent technology (28 nm FDSOI) is then exposed.

Eventually, the end of this work concludes on the discussion of several prospects to investigate in order to deepen the optimization of some performances to upgrade our full system.

Keywords:

Clock and Data Recovery, Serial link communication systems, SerDes, Space, injection-locking, Ring oscillator.

Unité de recherche

Université de Bordeaux, Laboratoire IMS, CNRS UMR 5218, Bordeaux INP, 351 cours de la Libération, 33405 Talence

Table des matières

1. Introduction générale.....	20
2. Introduction aux systèmes de récupération d'horloge et de données ...	23
2.1. Introduction au contexte	23
2.2. Origines, effets et techniques de durcissement aux radiations.....	24
2.2.1. Origines des particules	24
2.2.2. Effet des radiations sur les circuits intégrés	25
2.2.3. Conception pour durcissement aux radiations	27
2.3. Concepts de bases dans les systèmes de communication.....	30
2.3.1. Etat-de-l'art des systèmes de communication numérique à lien série.....	31
2.3.2. Propriétés des données binaires aléatoires	31
2.4. Types de modulation	33
2.4.1. NRZ et RZ.....	33
2.4.2. PAM4	34
2.4.3. Duobinary.....	36
2.5. Métriques usuelles pour les circuits de communication.....	37
2.5.1. Sources de bruit.....	38
2.5.2. Jitter.....	39
2.5.3. Diagramme de l'œil.....	41
2.5.4. Taux de Bits Erronés (BER).....	42
2.6. Etat-de-l'art des circuits de récupération d'horloge et de données	45
2.6.1. Types de CDR	46
2.7. Topologies Half & Quarter rate	50
2.8. Comparaison des circuits de CDR de l'état-de-l'art	50
2.9. Conclusion du chapitre	52
2.10. Bibliographie.....	53
3. Conception des blocs critiques	58
3.1. Délai réglable.....	58
3.1.1. Principe.....	58
3.1.2. Topologies de délais réglable	59
3.1.3. Cellule de délai proposée	61
3.2. Oscillateur contrôlé en tension (VCO).....	63
3.2.1. Types d'oscillateur	64
3.2.2. Méthodes de réglage de la fréquence	67
3.2.3. Caractérisation d'un oscillateur.....	68
3.3. Oscillateur verrouillé par injection.....	69
3.3.1. Principe du verrouillage par injection	69
3.3.2. Méthodes d'injection.....	73

3.3.3.	Bloc d'injection proposé	74
3.4.	Boucle à verrouillage de phase	76
3.4.1.	Principe.....	76
3.4.2.	Caractérisation d'une boucle à verrouillage de phase.....	77
3.5.	Comparateur de phase et filtre de boucle	78
3.5.1.	Principe.....	78
3.5.2.	Détermination du filtre de boucle.....	78
3.5.3.	Types de comparateur phase/fréquence	79
3.6.	Décodeur PAM4.....	81
3.6.1.	Principe.....	81
3.6.2.	Types de décodeur PAM4.....	82
3.6.3.	Décodeur PAM4 proposé	83
3.7.	Récupération de données	85
3.7.1.	Principe de récupération de données	85
3.7.2.	Types de circuits à récupération de données	85
3.7.3.	Bloc de récupération de données proposé	87
3.8.	Conclusion du chapitre	87
3.9.	Bibliographie.....	89
4.	Conception de la preuve-de-concept à 3.2 GHz en technologie 180 nm	93
4.1.	Vue d'ensemble de la technologie.....	93
4.1.1.	Technologie 180 nm.....	93
4.1.2.	Dimensionnement au niveau transistor	94
4.1.3.	Optimisation au niveau layout.....	98
4.2.	Oscillateur en anneau verrouillé par injection	99
4.2.1.	Architecture et aperçu de la puce	100
4.2.2.	Mesures	100
4.3.	Boucle à verrouillage de phase synchronisée par injection	108
4.3.1.	Architecture et aperçu de la puce	108
4.3.2.	Mesures	109
4.3.3.	Comparaison à l'état-de-l'art	114
4.4.	Conclusion du chapitre	117
4.5.	Bibliographie.....	118
5.	Conception du circuit de récupération d'horloge et de données à 60 Gb/s en technologie 28nm FDSOI.....	121
5.1.	Vue d'ensemble de la technologie 28 nm FDSOI.....	121
5.1.1.	Front-End Of Line	121
5.1.2.	Back-End Of Line	123
5.2.	Méthode de design niveau transistor	123
5.2.1.	Détermination de la densité de courant optimale	123

5.2.2.	Optimisation layout	124
5.3.	Conception Full Rate NRZ CDR.....	126
5.3.1.	Architecture et layout	126
5.3.2.	Résultats de simulations post-layout	130
5.3.3.	Comparaison à l'état-de-l'art	132
5.4.	Conception Full Rate PAM4 CDR.....	134
5.4.1.	Architecture et layout	134
5.4.2.	Résultats de simulations	135
5.4.3.	Présentation de l'état-de-l'art des circuits de CDR PAM4	136
5.5.	Conclusion du chapitre	138
5.6.	Bibliographie.....	139
6.	Conclusion générale.....	142
7.	Perspectives	146
7.1.	Optimisation de la méthode d'injection.....	146
7.2.	Optimisation de la récupération de données.....	149
7.3.	Optimisation par topologie <i>half/quarter rate</i>	150
7.4.	Bibliographie.....	152

As a wise hermit living in a galaxy far, far away once said :

Do. Or do not. There is no try.

Master Yoda, Star Wars : The Empire Strikes Back

Liste des Tableaux

Tableau 2-1 : Détermination du facteur en fonction du BER requis [28]	41
Tableau 2-2 : Récapitulatif de l'état-de-l'art des circuits de CDR de modulation PAM4 et NRZ	51
Tableau 4-1 : Récapitulatif des performances mesurées de l'oscillateur avec et sans synchronisation par injection	108
Tableau 4-2 : Comparaison des performances mesurées de la PLL sans vs avec synchronisation par injection	112
Tableau 4-3 : Comparaison des performances à l'état-de-l'art	114
Tableau 5-1 : Détermination du ratio multiplicateur en fonction du BER requis [6]	131
Tableau 5-2 : Comparaison des résultats à l'état-de-l'art des circuits de CDR de modulation NRZ	133
Tableau 5-3 : Comparaison des circuits de CDR PAM4 de l'état-de-l'art.....	136

Liste des Figures

Figure 2-1 : Vue d'ensemble d'un système SerDes	23
Figure 2-2 : Diagramme en bande des processus physiques lors de l'irradiation d'une structure MOS [6].....	25
Figure 2-3 : Formation d'un transistor parasite à proximité d'un bec d'oiseau [4]	26
Figure 2-4 : Création d'un courant transitoire dans une jonction PN [4]	27
Figure 2-5 : Effets de funneling sur les technologies Bulk CMOS et Epi CMOS [4]	27
Figure 2-6 : Vue de coupe des technologies (a) Bulk et (b) SOI [8].....	28
Figure 2-7 : Durcissement par découplage résistif [9]	29
Figure 2-8 : Durcissement par redondance triple [4]	29
Figure 2-9 : Spectres en fréquence du VCO sous radiations (a) sans verrouillage par injection (b) avec verrouillage par injection	30
Figure 2-10 : Densité de transition faible d'une séquence binaire aléatoire.....	31
Figure 2-11 : Spectre fréquentiel de données aléatoires [14].....	32
Figure 2-12 : Chronogrammes de signaux modulés NRZ et RZ [15].....	33
Figure 2-13 : Comparaison des spectres de modulations (a) NRZ et (b) RZ.....	33
Figure 2-14 : Comparaison de la consommation de bande passante d'un signal NRZ vs PAM4	35
Figure 2-15 : Comparaison des spectres en puissance d'un signal de modulation NRZ vs PAM4 [16].....	35
Figure 2-16 : Comparaison de la densité spectrale de la modulation NRZ vs Duobinary [20]36	
Figure 2-17 : Comparaison des diagrammes de l'œil et spectres respectifs des modulations NRZ vs PAM4 vs Duobinary [21]	37
Figure 2-18 : Catégories de jitter [27].....	40
Figure 2-19 : (a) Représentation temporelle d'une séquence binaire aléatoire et (b) Découpage de cette séquence par segments de temps et diagramme de l'œil résultant de la superposition de ces segments	42
Figure 2-20 : Diagrammes de l'œil d'un signal de modulation NRZ vs PAM4 [19].....	42
Figure 2-21 : Distribution aléatoire Gaussienne et BER.....	43
Figure 2-22 : PDF d'un signal PAM4 [19]	44
Figure 2-23 : Rôle d'une CDR dans le rééchantillonnage des Données.....	45
Figure 2-24 : Schéma bloc du circuit de CDR PAM4 basé sur le principe d'une PLL [31]	46
Figure 2-25 : Comparaison d'une structure CDR (a) PLL et (b) DLL [40]	47
Figure 2-26 : CDR digitale basé sur le principe d'interpolation de phase [37]	48
Figure 2-27 : CDR GRO classique [15]	49
Figure 2-28 : Exemple d'une CDR ILO [51].....	50
Figure 3-1 : Schéma bloc de l'architecture générale du circuit	58
Figure 3-2 : Cellule de délai CMOS proposée	59
Figure 3-3 : Ligne de délai variable basée sur un CMOS thyristor.....	60
Figure 3-4 : Comparaison de la variation du délai par rapport à (a) une variation d'alimentation, (b) une variation de la température pour une chaîne d'inverseurs versus thyristors CMOS	60
Figure 3-5 : Cellule HCMLD proposée (a), Contrôle de délai correspondant (b)	61
Figure 3-6 : Cellule de délai réglable proposée.....	62
Figure 3-7 : Résultats de simulation pour une variation de délai $0.7V < V_{ctrl\ délai} < 1.2V$	62
Figure 3-8 : Système à contre réaction négative	63

Figure 3-9 : Allure caractéristique de la fréquence de sortie d'un oscillateur en fonction de sa tension de contrôle	64
Figure 3-10 : Oscillateur à résonnateur LC Colpitts (a), Hartley (b)	64
Figure 3-11 : Exemple d'un oscillateur en anneau à n étages d'inverseurs	65
Figure 3-12 : Oscillateur en anneau à trois étages	65
Figure 3-13 : Méthodes de réglage de la fréquence par variation (a) du gm, (b) du varactor..	67
Figure 3-14 : Architecture complète de l'oscillateur en anneau réalisé.....	67
Figure 3-15 : (a) Oscillateur en oscillation libre, (b) Oscillateur verrouillé par injection	69
Figure 3-16 : (a) Oscillateur à résonnateur LC, (b) Fréquence décalée suite à un décalage de phase, (c) Caractéristiques en boucle ouverte et (d) Décalage de fréquence par injection [7]	70
Figure 3-17 : Différence de phases pour deux valeurs de $\omega_{inj} - \omega_0$ et I_{inj}	70
Figure 3-18 : Plage de verrouillage théorique vs simulée pour divers scénarii	72
Figure 3-19 : Différents types de méthodes d'injection selon le type d'oscillateur [12]	73
Figure 3-20 : Oscillateur en anneau verrouillé par injections d'impulsions proposé (PILFM)	74
Figure 3-21 : Générateur d'impulsions proposé	74
Figure 3-22 : Chronogramme du générateur d'impulsions.....	75
Figure 3-23 : Convertisseur de tension en courant réglable	75
Figure 3-24 : Simple boucle à verrouillage de phase	76
Figure 3-25 : Illustration de la plage d'acquisition et de suivi de la boucle à verrouillage de phase.....	77
Figure 3-26 : Comparateur de phase type Alexander.....	79
Figure 3-27 : Comparateur de phase type Hogge.....	80
Figure 3-28 : Comparateur de phase XOR différentiel	81
Figure 3-29 : Bloc de réception PAM4	82
Figure 3-30 : Décodeur PAM4 basé sur un AVGR	83
Figure 3-31 : Décodeur PAM4 proposé	84
Figure 3-32 : Comparateur pour décodeur PAM4 proposé.....	84
Figure 3-33 : Porte logique OU Exclusif	85
Figure 3-34 : Bascule D Master/Slave Conventionnelle [34]	86
Figure 3-35 : DFF avec contreactions positives [35]	86
Figure 3-36 : Diagrammes de l'œil du circuit de CDR : (a) Entrée du Détecteur de Phase avec DFF en contreactions et (b) Données récupérées en sortie du système [35].....	87
Figure 4-1 : Layout d'un transistor unitaire	94
Figure 4-2 : Dépendance de (a) f_t et (b) f_{max} en fonction du nœud technologique [3]	94
Figure 4-3 : Schéma petit-signal d'un transistor MOS représenté avec ses parasites intrinsèques et extrinsèques [4]	95
Figure 4-4 : Schématique du testbench réalisé.....	97
Figure 4-5 : (a) Estimation de f_t et (b) détermination de $V_{gs\ opt}$	97
Figure 4-6 : Détermination de la densité de courant optimale	98
Figure 4-7 : Technique de robustesse aux radiations (ELT) d'un inverseur CMOS	99
Figure 4-8 : Schématique de l'oscillateur en anneau	100
Figure 4-9 : Photographies de la puce du VCO synchronisé par injection	100
Figure 4-10 : Synoptique du banc de test de l'oscillateur en anneau non synchronisé	101
Figure 4-11 : Banc de tests des mesures	101
Figure 4-12 : Comparaison des plages de contrôle : simulée (bleu) et mesurée (rouge)	101
Figure 4-13 : Allures temporelles du signal de sortie de l'oscillateur non verrouillé oscillant à 3.2 GHz (a) simulé et (b) mesuré	103

Figure 4-14 : Comparaison du spectre en fréquence du VCO (a) sans injection et (b) avec injection	103
Figure 4-15 : Bruit de phase de l'oscillateur non synchronisé (a) simulé et (b) mesuré	104
Figure 4-16 : Bruit de phase de l'oscillateur injecté (a) simulé et (b) Comparaison du bruit de phase de l'oscillateur synchronisé mesuré (jaune) vs le signal de référence (vert)	106
Figure 4-17 : Résultats de simulation post-layout du diagramme de l'œil de l'oscillateur en anneau (a) sans verrouillage par injection et (b) avec verrouillage par injection	107
Figure 4-18 : Mesures des diagrammes de l'œil de l'oscillateur (a) non synchronisé et (b) synchronisé par injection.....	107
Figure 4-19 : Synoptique du circuit de la PLL synchronisée par injection.....	109
Figure 4-20 : Photographie de la puce de la PLL avec bloc d'injection.....	109
Figure 4-21 : Comparaison des bruits de phase en bordure inférieure, milieu et supérieure de la PLL synchronisée par injection	110
Figure 4-22 : Résultats de simulation du spectre (a) et diagramme de l'œil (b) de la PLL injectée à 3.2 GHz	111
Figure 4-23 : Comparaison du bruit de phase de la PLL (a) au milieu, (b) en bordure inférieure et (c) en bordure supérieure de la plage de synchronisation.....	111
Figure 4-24 : Bruit de phase de la PLL sans synchronisation par injection à 3.2 GHz	112
Figure 4-25 : Diagrammes de l'œil de la PLL (a) synchronisée à l'harmonique 4, (b) synchronisée à l'harmonique 8 et (c) en dehors de la plage de synchronisation	113
Figure 4-26 : Diagramme de consommation détaillé de la PLL verrouillée par injection.....	115
Figure 4-27 : Comparaison à l'état-de-l'art de la surface normalisée versus FoM Jitter	116
Figure 5-1 : Vue de coupe d'un transistor Bulk CMOS et FD SOI [2]	122
Figure 5-2 : Variation de V_t en fonction de la polarisation du body bias [1].....	122
Figure 5-3 : Vues de dessus et de coupe d'un transistor en 28 nm FDSOI	123
Figure 5-4 : Estimation de f_t	124
Figure 5-5 : Détermination du courant de drain (I_d) à $V_{g\text{ opt}}$	124
Figure 5-6 : Exemple d'optimisation de layout avec accès au drain et source par méthode d'escalier	125
Figure 5-7 : Layout d'un transistor avec optimisations d'accès en escalier et double accès à la grille	125
Figure 5-8 : Synoptique du circuit de CDR réalisé	126
Figure 5-9 : (a) Schématique et (b) Layout de l'oscillateur en anneau.....	127
Figure 5-10 : Plage de contrôle simulée de l'oscillateur en anneau	127
Figure 5-11 : Comparaison du bruit de phase de l'oscillateur en anneau sans (rouge) vs avec (bleu) synchronisation par injection.....	128
Figure 5-12 : Layout du circuit de CDR de modulation NRZ.....	128
Figure 5-13 : Diagramme de consommation du circuit de CDR de modulation NRZ.....	129
Figure 5-14 : Allure temporelle du signal d'horloge récupéré à 60 GHz	130
Figure 5-15 : Allures temporelles des données d'entrée, des données et horloge récupérées	131
Figure 5-16 : Diagramme de l'œil des Données récupérées (a) avant buffer 50 Ω et (b) après buffer 50 Ω	132
Figure 5-17 : Synoptique de l'architecture complète de la CDR PAM4	135
Figure 5-18 : Allures temporelles des données d'entrées PAM4 et décodage des données MSB	135
Figure 5-19 : Comparaison de l'état-de-l'art de la surface normalisée vs FoM Jitter.....	137
Figure 7-1 : Oscillateur en anneau différentiel verrouillé par double injection [1]	146

Figure 7-2 : Schéma-bloc de la PLL entièrement digitale synchronisée par injection sub- harmonique.....	147
Figure 7-3 : Schématisation du générateur d'impulsions proposé.....	147
Figure 7-4 : Schéma-bloc simplifié (a) et chronogramme associé à la PLL injectée (b) [5] .	148
Figure 7-5 : Oscillateur verrouillé par injection par couplage électromagnétique.....	149
Figure 7-6 : (a) Génération d'horloge multiphase utilisant quatre DTG-FFs et (b) schéma d'une DTG-FF [8]	149
Figure 7-7 : Consommation de DTG et CML FF, (b) Mismatch Jitter, (c) Figure de Mérite de DTG et CML FF [8]	150

Liste des acronymes

CDR : Clock and Data Recovery

CML : Current-Mode-Logic

CMOS : Complementary Metal Oxide Semiconductor

DFF : Delay Flip Flop

DLL : Delay Locked Loop

DTG : Dynamic Transmission Gate

ELT : Enclosed Layout Transistor

FD-SOI : Fully Depleted Silicon On Insulator

FoM : Figure-Of-Merit

ILO : Injection Locked Oscillator

ISI : Interférences Inter-Symboles

LSB : Least Significant Bit

MSB : Most Significant Bit

NRZ : Non-Return-to-Zero

PAM 4 : Pulse Amplitude Modulation 4-levels

PLL : Phase Locked Loop

RX : Reception block

RZ : Return-to-Zero

SEE : Single Event Effect

SerDes : Sérialisateur/Désérialisateur

SET : Single Event Transient

TID : Total Ionizing Dose

TX : Emitter block

VCO : Voltage Controlled Oscillator

XOR : Porte Ou Exclusive

ZCE : Zone de Charge d'Espace

1. Introduction générale

L'augmentation continue des débits de données des liaisons numériques en série liée à l'émergence de nouvelles applications conduit à la recherche et au développement de nouvelles méthodes. De nos jours, la majorité des systèmes de communication numérique employés se basent sur des systèmes nommés Sériàlisateur/Désériàlisateur (SerDes). Ces systèmes, dont les domaines d'utilisation varient des communications des Systèmes sur puce, puce-à-puce, carte-à-carte, etc... ne peuvent opérer efficacement que par la présence d'un bloc crucial situé dans le bloc de réception. Celui-ci consiste à récupérer correctement les séquences de données envoyées depuis l'émetteur. Ce dernier se nomme circuit de récupération d'horloge et de données et fait l'objet de notre centre d'intérêt dans cette étude. Malheureusement, divers parasites intrinsèques et extrinsèques à ce circuit viennent perturber cette récupération et nécessitent d'être traités. Un acteur particulièrement prépondérant est celui de l'environnement.

Le travail de cette thèse s'est donc articulé autour de la conception ainsi que l'optimisation d'un circuit de récupération d'horloge et de données destiné à des applications spatiales. Ce travail s'est concentré sur l'optimisation de trois performances : la consommation, la superficie ainsi que le débit. Cette thèse s'inscrit dans le cadre d'une collaboration entre le Centre National d'Etudes Spatiales (CNES), Thales Alenia Space ainsi que le laboratoire de l'Intégration du Matériau au Système (IMS). Cette étude s'est décomposée en plusieurs parties exposées ci-après.

Le premier chapitre dresse un état-de-l'art des différents circuits de récupération d'horloge et de données (CDR) ciblant des débits très élevés (≥ 40 Gb/s) en technologie CMOS avancées. Puis, les origines et influences néfastes des particules radiatives sur les circuits électroniques sont introduites en vue de proposer certaines techniques de durcissement quant à celles-ci. Ces diverses solutions ciblent les technologies employées ainsi que les méthodes de conception.

Une discussion concernant les atouts et inconvénients des trois principaux types de modulation de données est également présentée. Un aperçu général destiné à la caractérisation des métriques usuelles dans les circuits de CDR est développé. Les principales sources de bruit existantes au sein des composants électroniques sont également mises en évidence en vue de définir leurs influences sur la dégradation des métriques que constituent jitter et diagramme de l'œil.

La dernière section se consacre à une étude approfondie de l'état-de-l'art ciblant les circuits de CDR en technologie CMOS et opérant à des débits très élevés (≥ 40 Gb/s). Les deux principales architectures de CDR sont développées en opposant d'une part les systèmes à contreàction (dit à boucle fermée) aux systèmes à boucle ouverte d'autre part. Une étude finale comparative conduit à la sélection d'une architecture idéale pour notre cas.

Le second chapitre débute par une présentation de l'architecture générale de la CDR et se poursuit par une présentation détaillée de chacun des sous-blocs la constituant. Un bref état-de-l'art des différents éléments montre les avantages et défauts de chaque topologie dans le but d'en tirer une version optimale pour notre cas. Une analyse théorique du principe de verrouillage par injection sur un oscillateur en anneau est présentée afin d'en déduire les paramètres prépondérants influençant la plage de synchronisation. Différentes méthodes d'injection sont également discutées et comparées.

Ce chapitre se conclut sur une discussion des performances optimisées dans le cas de notre travail, à savoir la consommation et la superficie du circuit tout en ciblant une architecture opérant à très haut débit.

Le chapitre 3 introduit un premier circuit preuve-de-concept en technologie 180 nm ciblant la fréquence de 3.2 GHz. Cette technologie démontre une robustesse quant aux radiations dû à son procédé de fabrication basé sur un triple puit. Ce principe est détaillé de manière plus approfondi par une illustration au niveau layout.

Deux circuits sont présentés et dont les mesures font l'objet de comparaisons avec les résultats de simulation. Le premier est un oscillateur en anneau auquel le mécanisme de verrouillage par injection est appliqué en vue de mettre en avant l'apport bénéfique d'un tel principe sur les performances en jitter et bruit de phase. L'architecture du circuit final, explicité dans le chapitre 4, étant basée sur une boucle verrouillage phase (PLL), le second circuit mesuré correspond à une PLL à laquelle le principe de synchronisation par injection est également appliqué.

Une comparaison avec des architectures fonctionnant dans des plages de fréquence similaires met en exergue des résultats suffisamment probants afin de valider l'architecture. La conclusion de ces résultats met en évidence les optimisations à prévoir pour le dernier circuit.

Dans le dernier chapitre figurent deux circuits complets de CDR fonctionnant à très haut débit (60 Gb/s) en technologie 28 nm FDSOI. Ce chapitre débute par une présentation de cette technologie en exposant la différence fondamentale entre les technologies Bulk conventionnelles et de type SOI (*Silicon On Insulator*). Cette partie mentionne également une fonction clé liée à cette technologie permettant en définitive d'optimiser l'efficacité énergétique. Deux nouvelles méthodes au niveau layout sont proposées en vue d'optimiser les f_t et f_{max} des transistors.

L'unique différence entre les deux circuits présentés provient du type de modulation des données d'entrées : NRZ (*Non-Return-to-Zero*) pour un cas et PAM4 (*Pulse Amplitude Modulation 4 levels*) pour l'autre. Les résultats exposés dans ce chapitre sont issus de simulations post-layout. Une comparaison de la CDR de type NRZ à un état-de-l'art d'architectures équivalentes est donnée en vue de situer les performances respectives de notre architecture.

Le second circuit est basé sur le même cœur du circuit que le précédent. La seule différence émane de l'ajout d'un sous-bloc situé à l'entrée nommé décodeur PAM4 dont l'objectif est de convertir les données d'entrées en deux signaux de modulation NRZ. Les résultats de simulation ainsi que les difficultés rencontrées lors de la conception de ce décodeur PAM4 sont exposées.

Ce chapitre se conclut sur un résumé ainsi qu'une comparaison des performances obtenues des deux circuits à un état-de-l'art récent de circuit de CDR similaires. Des efforts d'améliorations en comparaison du circuit de preuve-de-concept (chapitre 3) sont aussi énoncés.

Enfin, une conclusion générale récapitule l'ensemble des travaux réalisés au cours de cette thèse et propose l'investigation de quelques pistes de perspectives amélioratives.

2. Introduction aux systèmes de récupération d'horloge et de données

2.1. Introduction au contexte

La croissance exponentielle des débits de données associée à un souhait de réduction de consommation des systèmes de communication numérique à lien série conduit à la nécessité d'une amélioration drastique de l'efficacité énergétique de ceux-là.

La grande majorité de ces systèmes actuels reposent sur le principe de lien série haut-débit (HSSL), aussi appelé système SerDes (Serializer/Deserializer). Trois éléments majeurs composent celui-ci : un émetteur, un canal de transmission ainsi qu'un récepteur [1].

- La partie émettrice (TX) sérialise, code et transmet les données au récepteur par le biais de canaux de transmission. Le signal d'horloge de l'émetteur est souvent généré par une boucle à verrouillage de phase (PLL).
- Le canal de liaison assure la transmission des données de l'émetteur vers le récepteur. Ceux-là sont à l'origine de pertes, de réflexion ainsi que de distorsion de signal.
- La partie réceptrice (RX) accomplit l'équalisation, c'est-à-dire la remise en bonne et due forme du signal reçu, mais aussi de la récupération et désérialisation des données. Le signal obtenu à l'entrée du bloc RX étant bien souvent dégradé, il est nécessaire de reconstituer ce signal. Afin de répondre à cela, un rééchantillonnage du signal des données est exécuté par la synchronisation d'un signal d'horloge généré par le bloc un circuit de récupération d'horloge et de données (CDR). Le signal d'horloge n'étant pas transmis depuis la partie émettrice, il est nécessaire de régénérer celui-ci. C'est un des deux objectifs d'un circuit de CDR. Le second consiste à effectuer la récupération des données à l'aide d'un circuit décisionnel.

La figure ci-dessous illustre un système SerDes complet.

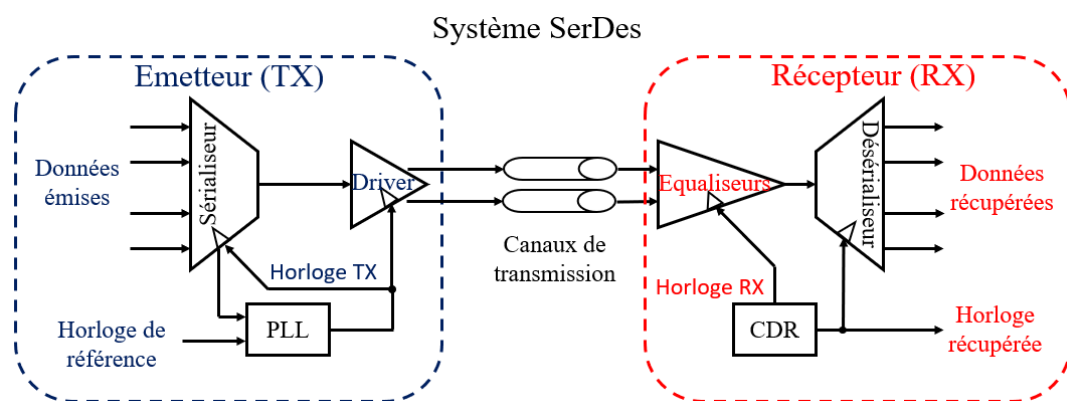


Figure 2-1 : Vue d'ensemble d'un système SerDes

Les circuits de récupération d'horloge et de données font partie des circuits les plus complexes à concevoir dans les architectures de transmissions de données [2]. En dehors des paramètres inhérents au circuit tels que les performances sévères en jitter à tenir, ou encore les spécifications liées à la largeur de bande de fonctionnement du circuit, d'autres paramètres tels

que l'efficacité énergétique et la surface occupée constituent un réel challenge à considérer par le concepteur.

Ce premier chapitre s'organise de la façon suivante. Tout d'abord, nous définissons les origines ainsi que les effets des particules radiatives sur les circuits électroniques et proposons ensuite différentes techniques de durcissements face à celles-ci. Puis, nous présentons les concepts basiques dans les systèmes de communications actuels en introduisant les principaux paramètres ainsi que les types de modulation utilisés. Nous poursuivons par une présentation des différentes métriques usuelles dans les systèmes de communication, et plus particulièrement celles liées au circuit de récupération d'horloge et de données. Enfin, nous clôturons ce chapitre par une présentation d'un état-de-l'art récent des circuits de *CDRs* proposant les meilleures performances en termes d'efficacité énergétique et de débit. La conclusion de cette étude mène au choix de l'architecture retenue pour la suite de nos travaux.

2.2. Origines, effets et techniques de durcissement aux radiations

L'exposition des circuits électroniques à des environnements radiatifs sévères tels que le nucléaire, le spatial, ... met en évidence la vulnérabilité de ceux-ci. En effet, ces défaillances se traduisent alors par des erreurs pouvant être de nature transitoire voire permanente.

Dans cette partie, nous détaillerons dans un premier temps l'origine de ces particules, leurs influences sur les circuits électroniques et terminerons par des techniques de conception de durcissement aux radiations pour les circuits intégrés.

2.2.1. Origines des particules

L'environnement spatial est un milieu dans lequel divers types de rayonnements irradient. Les sources de ces particules proviennent en majorité du Soleil, de la magnétosphère terrestre ou encore de rayonnements cosmiques [3]. On distingue alors des transferts ionisants et non ionisants.

Un transfert non ionisant implique un échange d'énergie par choc avec les atomes du matériau conduisant à des défauts au niveau du réseau cristallin du semi-conducteur, c'est-à-dire en des modifications de ses propriétés électriques [4].

Un transfert ionisant se caractérise par la perte d'énergie d'une particule, générant ainsi plusieurs paires d'électrons/trous sur sa trajectoire. Ces particules ionisantes sont divisées en deux catégories : les particules légères (protons, électrons, neutrons et particules α) et les particules lourdes constituées essentiellement d'ions lourds provenant de vents et éruptions solaires [5]. Ce type de transfert constitue l'impact le plus significatif sur les circuits intégrés destinés à des applications spatiales.

2.2.2. Effet des radiations sur les circuits intégrés

Nous pouvons énumérer trois types d'effets de radiations sur les circuits électroniques tels que les mécanismes d'interaction, les effets de Dose ou encore les événements singuliers.

➤ Mécanismes d'interaction

Ce type d'interaction correspond à la quantité d'énergie perdue par la particule incidente avec la matière traversée. Une distinction est à prendre en considération suivant la matière avec laquelle la collision a lieu. Cette interaction peut se produire avec un électron, créant alors une paire d'électrons/trous à l'interface du matériau semiconducteur. Une autre interaction avec une particule chargée peut également avoir lieu, conduisant à l'émission de radiations γ . Enfin, une interaction avec un noyau entraîne un transfert d'énergie, conduisant potentiellement à l'éjection de celui-ci du réseau cristallin du semiconducteur.

➤ Dose

Les effets de Dose représentent la majorité des effets de radiations observables dans les satellites. Ces effets sont issus de l'exposition cumulative des circuits intégrés à des particules radiatives telles que les photons, les ions et les électrons. Cette dose, par interaction avec l'oxyde de Silicium (SiO_2), crée des paires d'électrons/trous. Une partie de ces paires est à l'origine des effets de dose, se manifestant au niveau des oxydes de grille. L'absorption de cette dose s'exprime en Gray (Gy) ; correspondant à l'absorption d'un Joule par kilogramme de matière [3] et [4].

Deux mécanismes principaux sont à l'œuvre au niveau des oxydes de grille. Le premier est le piégeage d'une partie des trous n'ayant pas été recombinés au niveau de l'interface entre le SiO_2 et le substrat de Silicium. Celui-ci se traduit par une dérive des tensions de seuils (V_t) des transistors. La figure ci-dessous donne une illustration du piégeage des porteurs à l'interface.

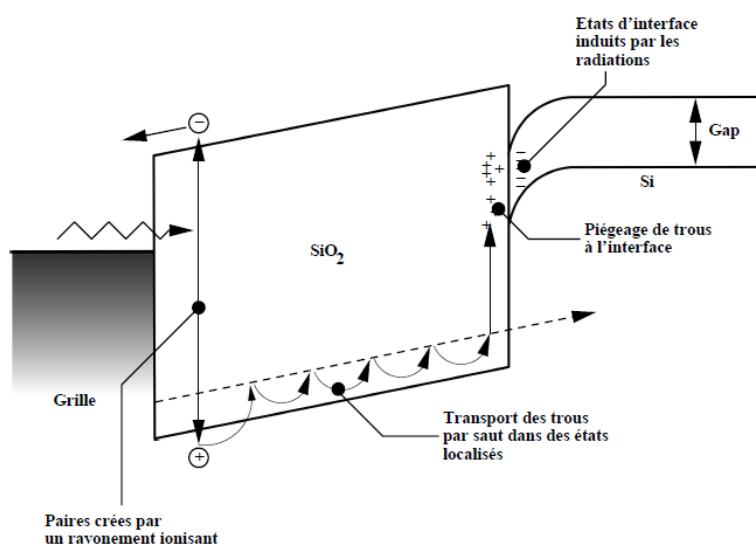


Figure 2-2 : Diagramme en bande des processus physiques lors de l'irradiation d'une structure MOS [6]

Le second mécanisme correspond à la création d'états d'interface entre l'oxyde de grille et le substrat. Cet effet de dose est à l'origine de courants de fuite, d'une augmentation de la consommation et éventuellement d'un blocage de conduction des transistors.

Le phénomène de piégeage des trous peut également être à l'origine de la présence de transistors parasites. La figure ci-dessous expose le phénomène au niveau de la partie de l'oxyde de champ proche d'un transistor, aussi connu comme *bec d'oiseau*.

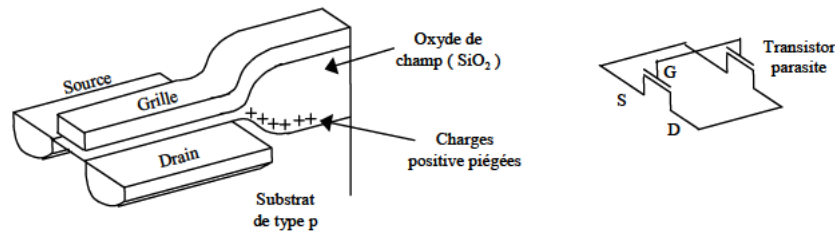


Figure 2-3 : Formation d'un transistor parasite à proximité d'un bec d'oiseau [4]

Ces transistors parasites créés sont également à l'origine de courants de fuite, induisant le phénomène d'échauffement potentiellement destructif.

➤ Evènements singuliers

Bien que l'origine des évènements singuliers soit identique à celle des doses ionisantes (création de paires d'électrons/trous), les conséquences diffèrent. Ces *effets singuliers* se caractérisent par une injection de charge élevée et localisée dans l'espace et le temps.

Nous distinguons différents types d'effets singuliers (*SEE* : *Single Event Effect*) : les effets dus à une impulsion transitoire (*SET* : *Single Event Transient*) ainsi qu'un changement d'état logique d'une mémoire (*SEU* : *Single Event Upset*) pouvant conduire à la destruction du composant par déclenchement d'une structure parasite (*SEL* : *Single Event Latchup*) [7]. Les effets singuliers se traduisent par des défaillances temporaires, voire permanentes. Ces effets-là sont classés en deux catégories [3] et [5].

Tout d'abord, les effets irréversibles, c'est-à-dire de type destructif. Différents effets sont répertoriés dans cette catégorie tels que : les *SEL*, les *SES* (*Single Event Snapback*), *SEGR* (*Single Event Gate Rupture*), les *SHE* (*Single Hard Error*), les *SEB* (*Single Event Burnout*) ou encore les *SEFI* (*Single Event Functionnal Interrupt*).

Puis, les effets réversibles, qualifiés de non-destructifs correspondant à des aléas logiques. Nous retrouvons parmi ceux-là les *SEU*, les *MBU* (*Multiple Bit Upset*) et les *SET*.

Une particule ionisante heurtant une jonction bloquée de transistor provoquant alors une impulsion de courant constitue un aléa transitoire, nommé *SET*. C'est la durée de cette impulsion transitoire qui détermine si celle-ci se propage au reste du circuit, induisant potentiellement une valeur erronée.

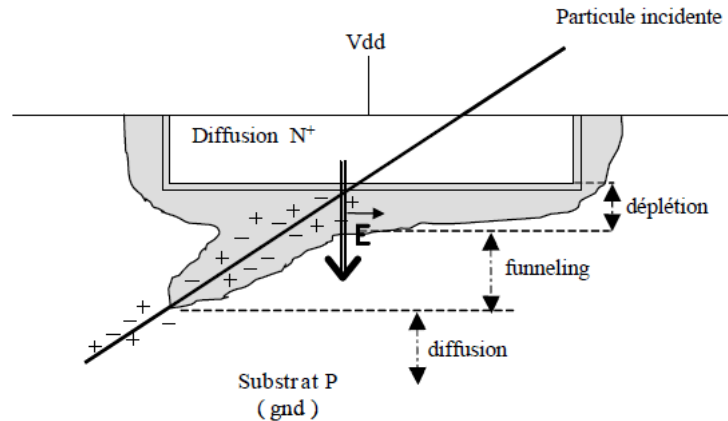


Figure 2-4 : Création d'un courant transitoire dans une jonction PN [4]

La figure ci-dessus retrace la trajectoire de la particule ionisante avec les paires électrons/trous générées. Nous pouvons alors observer une extension locale (*funneling*) de la Zone de Charge d'Espace (ZCE). Sous l'action du champ électrique les charges induites sont immédiatement balayées, se traduisant alors par un pic de courant.

2.2.3. Conception pour durcissement aux radiations

Les origines et effets de ces radiations ayant été définis, tentons à présent de dresser une liste de techniques permettant de rendre plus robuste ces circuits quant à ces radiations. Nous pouvons distinguer différents types de durcissements, tous adressant des moyens différents.

Nous pouvons dissocier deux approches afin d'améliorer le durcissement d'un circuit aux particules radiatives. La première consiste à durcir physiquement les circuits électroniques par des procédés de fabrication plus complexes que le CMOS standard. La seconde suggère un durcissement des circuits par une évolution des architectures de transistors et des circuits.

➤ Durcissement par technologie

Le durcissement technologique nécessite de recourir à des technologies CMOS plus complexes. En effet, les technologies épitaxiales CMOS ou encore les CMOS SOI suggèrent une robustesse supérieure aux technologies CMOS bulk classiques quant aux radiations. La figure ci-dessous expose une comparaison de l'effet de *funneling* pour une technologie bulk CMOS (gauche) versus une technologie épitaxiale CMOS (droite).

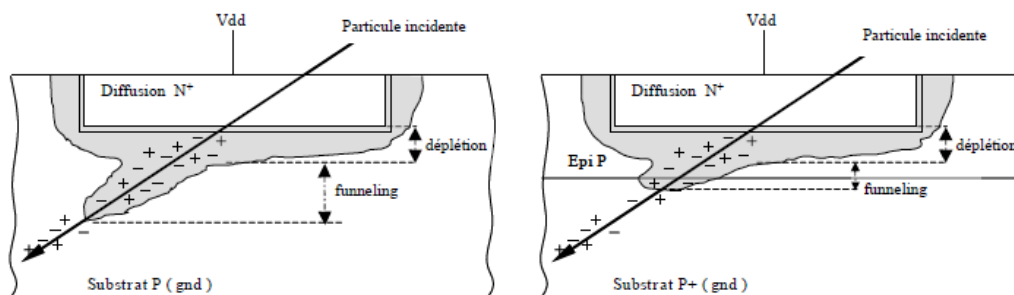


Figure 2-5 : Effets de *funneling* sur les technologies Bulk CMOS et Epi CMOS [4]

Les technologies épitaxiales reposent sur le principe suivant : une couche mince épitaxiée et peu dopée par rapport au substrat plus fortement dopé permet de limiter l'extension de la ZCE, réduisant à la fois l'effet de *funneling* ainsi que la charge totale collectée.

Les technologies CMOS sur isolants (SOI : *Silicon On Insulator*) permettent également de réduire cette collecte de charge. La figure 2-6 révèle une vue de coupe d'une technologie bulk et SOI.



Figure 2-6 : Vue de coupe des technologies (a) Bulk et (b) SOI [8]

Le terme *FD-SOI* (pour *Fully Depleted SOI*) vient du fait qu'une faible couche de silicium est utilisée pour former un canal. En raison de cette faible couche, aucun dopage de canal n'est nécessaire, rendant le transistor *totalelement déplété* (*Fully Depleted*).

La fine couche d'isolant de SiO_2 sur laquelle les transistors sont réalisés accorde une réduction de volume de silicium dans lequel l'irradiation génère les porteurs, améliorant ainsi la robustesse des circuits intégrés aux *SEE*.

➤ Durcissement par conception

Une seconde méthode basée sur le durcissement par conception existe également. Celle-ci repose sur le principe de redimensionnement des transistors, ou encore de redondances de composants électroniques.

La technique de surdimensionnement des transistors permet une évacuation plus rapide des charges générées et donc un retour plus rapide au potentiel correct. Inclure également des capacités aux nœuds sensibles engendre une augmentation de la charge critique, augmentant alors la charge nécessaire afin de relever des erreurs. Néanmoins, ces approches-ci viennent au détriment d'une diminution de la fréquence de fonctionnement [4].

Une méthode nommée durcissement par *découplage résistif* implique l'utilisation de résistances (R) entre les nœuds dits sensibles Q et Q_b ainsi que G et G_b , comme le montre la figure ci-dessous [9].

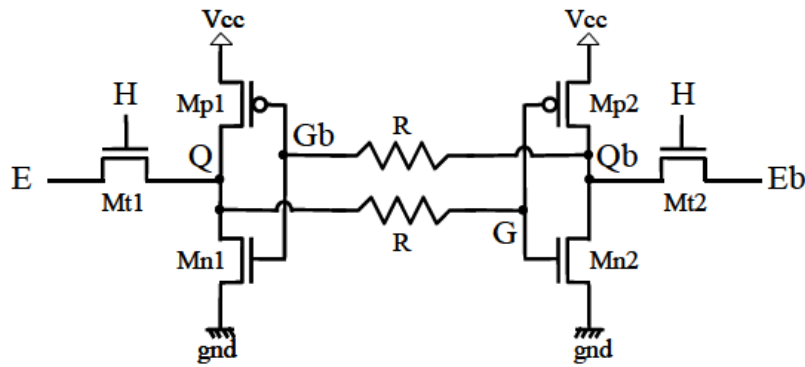


Figure 2-7 : Durcissement par découplage résistif [9]

Cependant, l'efficacité de cette technique requiert une durée de la perturbation inférieure au temps de réponse, fixé par la constante de temps RC . Cette technique de durcissement soulève deux points critiques. Le premier implique une dégradation du temps de réponse, dû à la volonté de filtrer les perturbations les plus longues. Le second point expose un défaut inhérent à l'architecture. En effet, le recours à l'utilisation de résistances induit une plus grande sensibilité quant aux variations de fabrication et de température.

Une technique alternative est basée sur le principe de redondance spatiale. La technique de redondance triple avec vote majoritaire est explicitée ci-après.

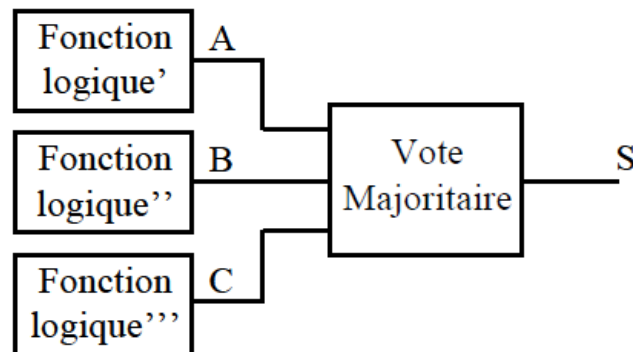


Figure 2-8 : Durcissement par redondance triple [4]

Le principe est simple. La même fonction logique est répétée trois fois et les sorties de chacune sont ensuite comparées. Le bloc de *Vote Majoritaire* sélectionne alors la réponse majoritaire. Le principal défaut d'une telle technique est la surface requise qui nécessite l'implémentation de trois fois la fonction logique ainsi que d'un bloc de vote majoritaire.

Enfin, une ultime technique de durcissement par conception est proposée par [10] et [11]. Cette technique met en exergue l'influence du verrouillage par injection sur un oscillateur. Le principe de verrouillage par injection sera repris et plus largement discuté dans le chapitre 2.

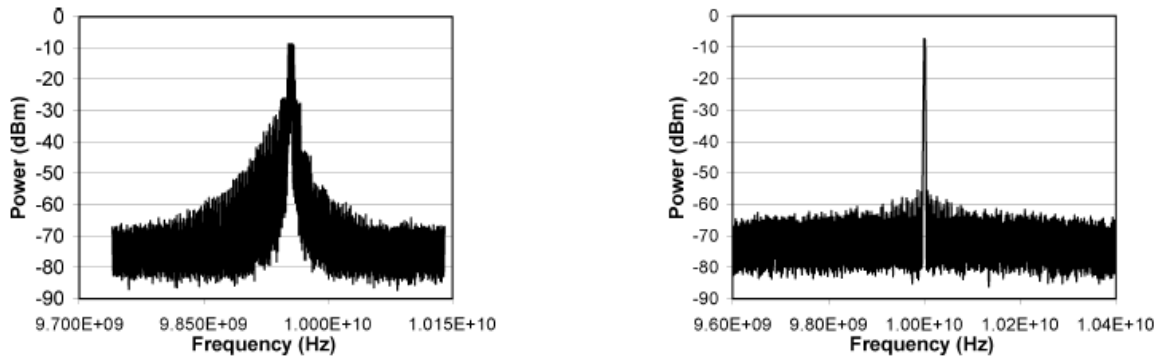


Figure 2-9 : Spectres en fréquence du VCO sous radiations (a) sans verrouillage par injection (b) avec verrouillage par injection

Les résultats des mesures permettent de valider la robustesse de l'oscillateur verrouillé par injection quant aux radiations. Dans le cas où l'oscillateur n'est pas verrouillé par injection (fig. 2-9 (a)), celui-ci se montre bien plus sensible à son environnement en présentant des performances en puissance dégradées autour de la fréquence porteuse. Lorsque celui-ci est synchronisé par injection, une amélioration drastique de la pureté spectrale est alors observable (fig. 2-9 (b)).

2.3. Concepts de bases dans les systèmes de communication

Cette partie donne un aperçu général nécessaire à l'analyse et la conception de circuits de récupération d'horloge et de données.

Dans son fonctionnement idéal, l'objectif d'un système de transmission de données à lien série se base sur l'émission d'un signal depuis l'émetteur, la transmission par le biais du canal de liaison afin de l'envoyer vers le récepteur, supposé récupérer le signal initial. Malheureusement, des éléments parasites tels que l'environnement, des variations dues aux procédés de fabrications, à la température, aux appareils de mesures, les pertes et distorsions introduites par le canal de transmission, ... constituent diverses sources de bruit venant alors détériorer le signal récupéré.

Afin de se rapprocher d'un système de transmission de données idéal, Shannon ([12]) propose une théorie. Dans celle-ci, Shannon définit la limite théorique du canal portant l'information, aussi connue sous le nom de capacité du canal (C , en bits/s). Cette capacité du canal est calculée en présence de bruit blanc Gaussien sur le signal et dépend de la bande passante (B) du canal (en Hz) ainsi que du ratio signal-sur-bruit (SNR) $\frac{S}{N}$. Son expression est donnée dans l'équation ci-dessous :

$$C = B \log_2 \left(1 + \frac{S}{N} \right) \quad (1 - 1)$$

Cette équation suggère que si le débit d'information (R , en bits/s) est inférieur à la capacité du canal (C), l'erreur de récupération des données est relativement proche de zéro.

Commençons par introduire quelques applications de standards de communications numérique à lien série.

2.3.1. Etat-de-l'art des systèmes de communication numérique à lien série

A l'instar des réseaux sans fil, on distingue les communications filaires par l'utilisation d'une interconnexion physique (câbles, pistes de métallisation, ...) entre l'émetteur et le récepteur. Ce type de liaison filaire existe aussi bien à l'échelle humaine (câble Ethernet, ...) qu'aux circuits intégrés (System On Chip, Chip-to-Chip, ...).

Parmi les liaisons numériques séries les plus connues, nous retrouvons la communication *Universal Serial Bus (USB)* ou encore *Ethernet*. Définie par la norme *Advanced Technology Attachment (ATA)*, le type *USB* permet la connexion de périphériques de stockage avec des PC. Les débits peuvent atteindre jusqu'à environ 4.8 Gb/s avec l'USB 3.0 [13]. A l'heure actuelle, le type de liaison *Ethernet* permet d'atteindre quant à lui jusqu'à 40 Gb/s.

A l'échelle d'une carte électronique, nous différencions les liaisons *I2C (Inter Integrated Circuit)* et *SPI (Serial Peripheral Interface)* afin d'assurer la communication entre différents éléments. De nos jours, le type *I2C* est généralement implémenté directement dans les microcontrôleurs et propose une fréquence de fonctionnement jusqu'à 5 MHz. Concernant le type *SPI*, celui-ci peut atteindre jusqu'à 20 MHz.

2.3.2. Propriétés des données binaires aléatoires

Une séquence binaire aléatoire est constituée d'une suite de 0 et de 1 portant l'information et présente à probabilité égale. On distingue alors le débit de donnée, R_b , (*bit rate*) et s'exprime en bit/seconde (bits/s).

La nature aléatoire des données induit la possibilité que la séquence binaire étudiée présente une longue série de 0 ou de 1. On dit alors que les données montrent une faible *densité de transition*. Ce phénomène crée des difficultés dans la conception de circuits d'émetteurs-récepteurs. Pour cette raison, les standards de communications actuels spécifient également la densité de transition maximale (*maximum run length*). Afin d'éviter des *runlength* trop élevés, des techniques d'encodage sont généralement implémentées dans la partie émettrice du système. Certaines de ces techniques sont introduites ultérieurement.

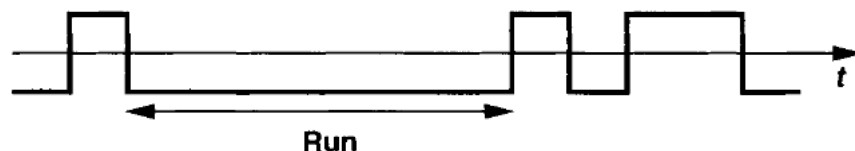


Figure 2-10 : Densité de transition faible d'une séquence binaire aléatoire

Afin de donner une représentation plus précise concernant la puissance que porte le signal à chaque fréquence, il est intéressant d'étudier celui-ci dans le domaine fréquentiel. Prenons une séquence binaire aléatoire représentée par :

$$x(t) = \sum_k b_k p(t - kT_b) \quad (1 - 2)$$

Avec $b_k = \pm 1$ et $p(t)$ la forme de l'impulsion. La séquence binaire aléatoire est répétée toutes les périodes de bit (T_b).

Reprenons l'équation (1-2) avec $p(t)$ une impulsion rectangulaire large de T_b secondes et répétées toutes les T_b secondes. La transformée de Fourier d'un tel signal est égale à :

$$P(f) = T_b \frac{\sin(\pi f T_b)}{\pi f T_b} \quad (1 - 3)$$

On en déduit le spectre de la séquence aléatoire :

$$S_x(f) = T_b \left[\frac{\sin(\pi f T_b)}{\pi f T_b} \right]^2 \quad (1 - 4)$$

De l'équation (1-4), nous pouvons relever un point essentiel. Lorsque $f = n/T_b$, $\sin(\pi f T_b)$ devient nul, et cela quelle que soit la valeur de n pour tout entier naturel. Les figures ci-dessous donnent les spectres des séquences binaires aléatoires.

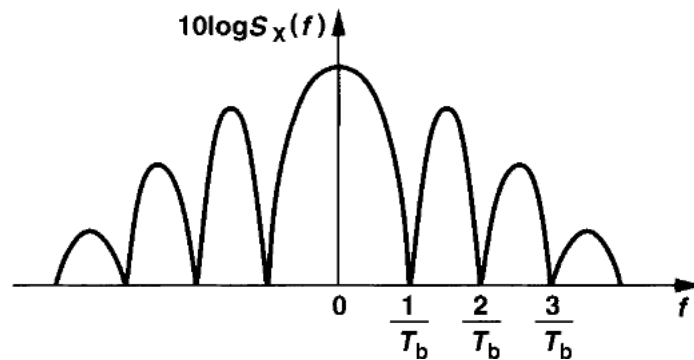


Figure 2-11 : Spectre fréquentiel de données aléatoires [14]

L'analyse précédente permet d'en tirer une conclusion importante. Le spectre ne présente aucune puissance aux fréquences égales à $1/T_b$, $2/T_b$, ..., n/T_b . Dans le cas des circuits de récupération d'horloge et de données, cela signifie que ce signal doit être traité afin de générer un signal d'horloge égal au débit des données arrivant en vue d'effectuer une récupération des données correcte.

La prochaine section s'intéresse maintenant aux différents types de modulation de données existants et compare les forces et faiblesses de chacun d'eux.

2.4. Types de modulation

2.4.1. NRZ et RZ

De nos jours, les séquences de données binaires aléatoires reposent en grande partie sur une modulation de type *Non-Return to Zero (NRZ)*. Il est également possible de trouver cette modulation sous le nom de PAM2 (*Pulse Amplitude Modulation 2 Levels*), puisqu'elle correspond à une modulation d'amplitude d'impulsions à deux niveaux. Ce type de modulation de données se distingue du type RZ (*Return to Zero*) qui, contrairement au type NRZ, présente de la puissance au débit des données. Les figures suivantes donnent les chronogrammes (fig. 2-12) et spectres fréquentiels (fig. 2-13) de chacun.

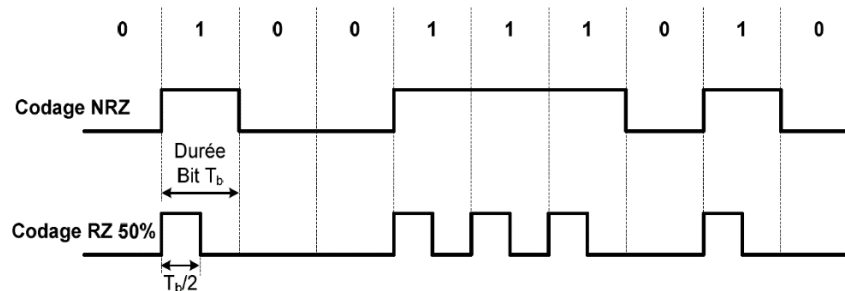
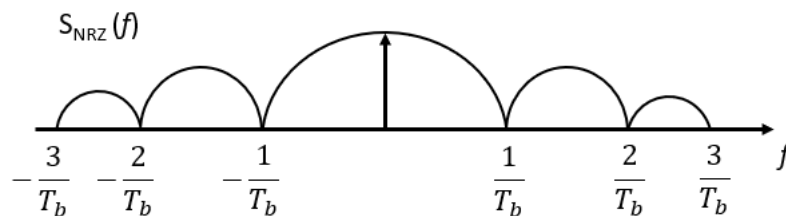
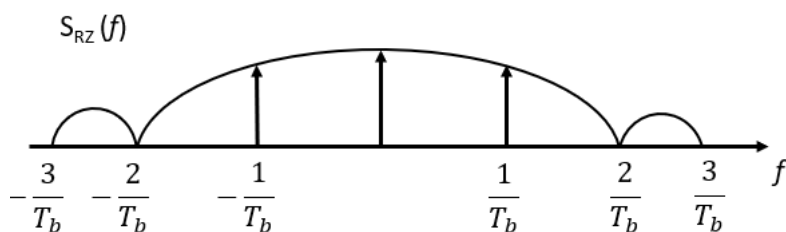


Figure 2-12 : Chronogrammes de signaux modulés NRZ et RZ [15]



(a)



(b)

Figure 2-13 : Comparaison des spectres de modulations (a) NRZ et (b) RZ

Bien que cet atout facilite la récupération d'horloge, le type RZ révèle par la même occasion un lourd inconvénient. En effet, d'après la figure 2-12, le principe de modulation RZ repose sur la scission de bits en deux parties : la première constitue le bit portant l'information et la seconde est toujours égale à la valeur logique 0. De facto, la bande passante nécessaire pour

faire passer la même quantité d'information est doublée en comparaison d'une modulation type NRZ. Pour cette raison évidente, le type RZ est bien souvent écarté dans les systèmes de communications à haut débit.

La nature aléatoire d'un flux de données constitue une source de difficultés dans les circuits de récupérations d'horloge et de données. En effet, une longue série de bits identiques est à l'origine d'une dérive en fréquence de l'oscillateur, aboutissant alors à de l'accumulation de jitter. Afin de pallier cet aléa, nous distinguons deux principales techniques d'encodage permettent de limiter ces désagréments : le *8B/10B* et le *Manchester*.

➤ *8B/10B*

Reposant sur l'utilisation d'une table de correspondance, le codage *8B/10B* consiste à coder une série de 8 bits en un symbole de transmission de 10 bits. En d'autres termes, sur les 1024 (10 bits) valeurs possibles, seulement 256 (8 bits) valeurs sont retenues. De plus, le *runlength* est limité à 5 bits maximum, signifiant que seules les valeurs comprenant un minimum de quatre transitions d'état logique vers un autre et qui possèdent six valeurs identiques consécutives sont conservées. Cet atout vient au prix d'une réduction d'efficacité de la bande passante de 25% (appelé *overhead*).

➤ *Manchester*

Bien que le codage *8B/10B* représente le plus utilisé dans les systèmes de communications actuels, il existe également d'autres technique de codage tel que le *Manchester*, basé sur le codage d'états de base par des transitions et non par des niveaux. Cependant, ce codage-là nécessite une bande passante définie par le débit des données. Dans le cas de notre travail, un signal dont le débit ciblé est de 60 Gb/s requiert alors une bande passante de 60 GHz.

2.4.2. PAM4

Récemment, le type de modulation PAM4 (Modulation d'Impulsion à 4 niveaux d'Amplitude) se présente comme une solution alternative au type NRZ. En effet, la contrainte en débit devenant de plus en plus élevée, il devient difficile pour la modulation NRZ de répondre au besoin croissant du débit de données pour une bande passante identique.

Contrairement au type NRZ, la modulation PAM4 permet d'envoyer deux bits en parallèles. En considérant un bit (0 ou 1) comme un symbole dans le cas d'une modulation NRZ, la modulation PAM4 correspond donc à deux bits par symbole (00, 01, 11 ou 10) [16]. Les Symboles s'expriment en Baud. A titre d'exemple, un signal PAM4 de débit égal à 60 GBaud/S équivaut alors à un signal NRZ de débit de 120 GBaud/S (ou 120 Gb/s). La figure ci-dessous donne une comparaison de la transmission d'un message identique *Word 1* et *Word 2* pour les deux types de modulation NRZ et PAM4.

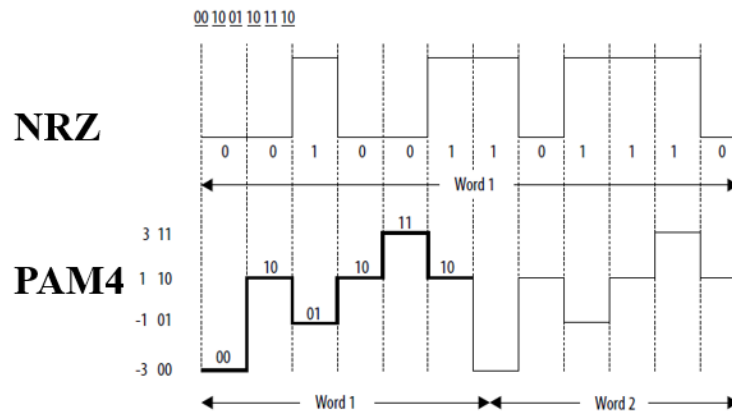


Figure 2-14 : Comparaison de la consommation de bande passante d'un signal NRZ vs PAM4

La figure ci-dessous illustre une comparaison des spectres en puissance d'un signal pour les deux types de modulation.

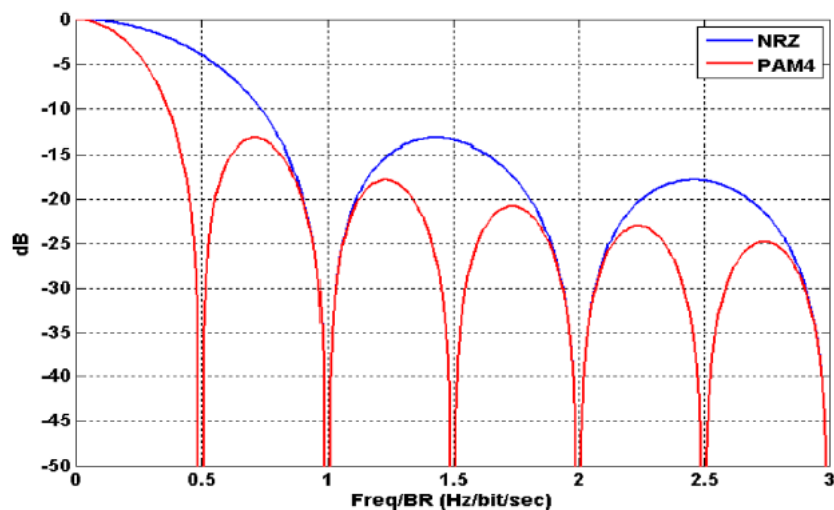


Figure 2-15 : Comparaison des spectres en puissance d'un signal de modulation NRZ vs PAM4 [16]

La figure 2-15 expose l'avantage majeur de la modulation PAM4 : pour une séquence de données identique, deux fois moins de bande passante est nécessaire qu'avec un signal de modulation NRZ.

Dans le cas d'une modulation PAM4, il est possible que deux transitions de bits arrivent au même moment, présageant une possibilité d'obtenir deux erreurs de bits par symbole. Afin de remédier à cela, il est commun de convertir la modulation PAM4 standard en code Gray. Cette conversion permet de réduire la transition à un seul bit par symbole, et donc de diviser par deux le taux de bits erronés (*BER*) [17].

Cependant l'analyse d'un signal de modulation PAM4 amène de nombreux challenges supplémentaires [16]. En effet, les différentes transitions d'amplitudes sont source d'apparition d'Interférences Inter-Symboles (*ISI*), compliquant ainsi la récupération du signal d'horloge.

La comparaison du type de modulation PAM4 vs NRZ étant terminée, définissons maintenant le dernier type de modulation : le Duobinary.

2.4.3. Duobinary

La modulation dite *Duobinary* [18] reprend le principe de la modulation PAM4, c'est-à-dire de doubler le débit de données transmis dans la bande passante du canal en comparaison d'une modulation de type NRZ. Cette modulation présente un spectre identique à la modulation de type PAM4.

Ce type de modulation repose sur le principe d'une transformation qui se décompose en deux étapes. La première consiste à préencoder la séquence de données binaire en un second signal binaire. Cette transformation est aussi reconnue comme *l'encodage différentiel* [19]. La seconde étape consiste à transformer un signal à deux niveaux en un signal polybinaire à N niveaux p_m . Cette transformation s'exprime par :

$$p_i = A \sum_{k=0}^{N-2} d_{i-k} \quad (1 - 5)$$

Avec A une constante et d_{i-k} le signal binaire converti à l'issue de la première étape.

La modulation *Duobinary* correspond à une modulation polybinaire de trois niveaux. Un symbole *Duobinary* équivaut à une combinaison du bit actuel ainsi que du précédent. Le symbole peut alors prendre trois valeurs respectives parmi les suivantes : +1 (correspondant à 11), 0 (01 ou 10) et enfin -1 (00). Ainsi le débit d'un symbole *Duobinary* est égal au débit d'un bit NRZ.

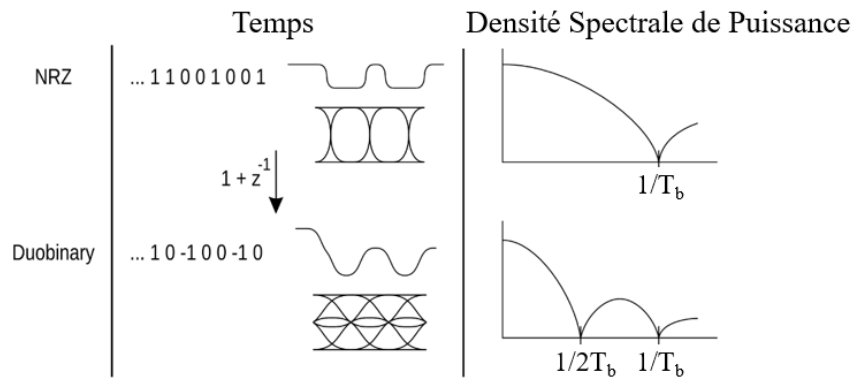


Figure 2-16 : Comparaison de la densité spectrale de la modulation NRZ vs Duobinary [20]

Comme expliqué précédemment, la modulation *Duobinary* permet de doubler l'efficacité spectrale d'un signal NRZ (comme un signal PAM4). A la différence de la modulation *PAM4*, la modulation *Duobinary* ne présente que trois niveaux, conduisant ainsi à un *SNR* moins dégradé. La figure ci-dessous compare les diagrammes de l'œil et densité spectrale de puissance respectives des trois modulations *NRZ*, *PAM4* et *Duobinary*. Le principe de représentation par diagramme de l'œil présenté de manière plus approfondi ultérieurement.

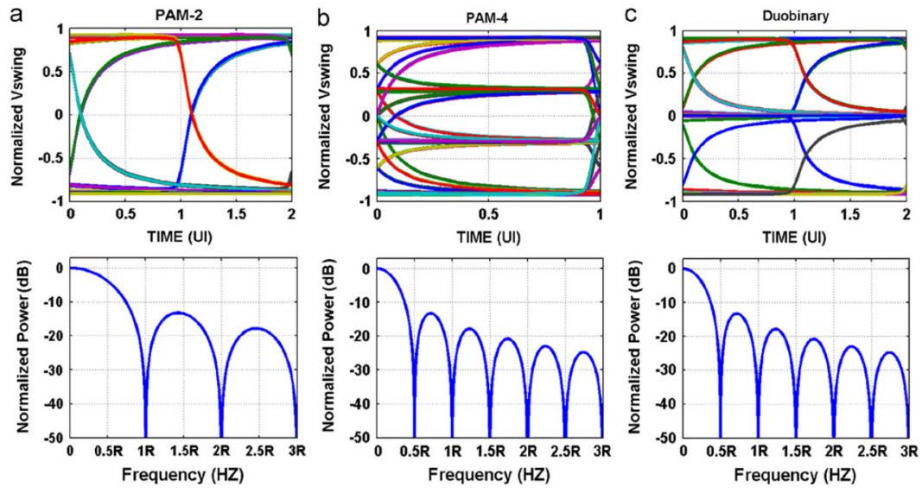


Figure 2-17 : Comparaison des diagrammes de l'œil et spectres respectifs des modulations NRZ vs PAM4 vs Duobinary [21]

D'après la figure précédente, nous pouvons observer que l'ouverture d'un œil de modulation PAM4 correspond à 33% de l'ouverture d'un œil de modulation NRZ en raison de la division en quatre niveaux de la tension totale. Cette diminution se traduit par une réduction du SNR de la modulation PAM4 comparé au SNR de la modulation NRZ, exprimé par :

$$SNR_{perte} = 20\log_{10}\left(\frac{1}{3}\right) = -9.5dB \quad (1 - 6)$$

Dans le cadre de cette thèse, nous ne nous préoccupons pas de la question d'encodage et du type de modulation optimal, ce travail étant réalisé en amont, dans la partie émettrice du circuit. Nous donnerons dans les sous-sections suivantes un état-de-l'art répertoriant les circuits de récupérations d'horloge et de données les plus performants en termes d'efficacité énergétique et de débit.

2.5. Métriques usuelles pour les circuits de communication

En dehors de l'analyse de performances communes aux circuits électroniques telles que la consommation, la superficie, la fréquence de fonctionnement, ... des métriques plus spécifiques dédiées à la conception de circuits de récupération d'horloge et de données existent. L'objet de cette section consiste à détailler ces métriques particulières aux circuits de CDR.

Avant d'explicitier celles-ci, déterminons d'abord les diverses sources de bruit présentes au sein des composants électroniques.

2.5.1. Sources de bruit

Le bruit généré par les composants passifs et actifs des circuits représente une source de dégradation du spectre importante. Ces bruits se traduisent par des modulations à la fois sur les amplitudes et les phases générées par les signaux [22-25].

Plusieurs mécanismes de générations de bruit sont répertoriés au sein des composants électroniques. Parmi ceux-là, trois sont majoritaires : le bruit en basse fréquence, aussi appelé bruit en $1/f$, le bruit de grenaille et le bruit thermique.

➤ *Bruit en $(1/f)$*

Le bruit en basse fréquence ($1/f$), est étroitement lié aux mécanismes de piégeages/dépiégeages des électrons aux interfaces. Celui-ci se retrouve essentiellement à l'interface grille-canal des transistors MOS et dépend en grande partie de la technologie utilisée. La densité spectrale de ce bruit est inversement proportionnelle à la fréquence. Son expression est la suivante :

$$S_N(f) = \frac{K}{f^\alpha} \quad (1 - 7)$$

Avec K une constante dépendante de la technologie (géométrie, polarisation et température), α le coefficient de la pente de la densité de bruit et s'exprime en A^2/Hz .

➤ *Bruit de grenaille*

Le second bruit se nomme le bruit de grenaille. Celui-ci est associé à la quantité de courant électrique se situant dans les jonctions semiconductrices. Ce bruit est modélisé par une source de courant placée en parallèle du composant étudié. Sa densité spectrale est quasi-constante et s'exprime en A^2 .

L'expression de celui-ci est la suivante :

$$\overline{i_N^2} = 2eI\Delta f \quad (1 - 8)$$

Avec eI la densité spectrale de puissance de la source de courant modélisée et Δf la bande de fréquences étudiée.

➤ *Bruit thermique*

En dernier lieu, nous retrouvons le bruit thermique. Celui-ci correspond à la génération de bruit par agitation thermique des porteurs de charge, c'est-à-dire les électrons ici. Ce bruit est directement lié à la température dans les conducteurs et semi-conducteurs. Ce bruit s'exprime en Joule (J). L'expression de l'énergie moyenne de chaque électron (E) se définit par :

$$E = k_B T \quad (1 - 9)$$

Avec k_B la constante de Boltzmann égale à $1,3806 \cdot 10^{-23}$ J/K et T la température absolue en Kelvin. Ce bruit thermique est associé à tous les composants possédant une résistance électrique non nulle et s'exprime en V^2 . La tension moyenne de ce bruit est exprimée par :

$$\overline{v_N^2} = 4k_B T R \Delta f \quad (1 - 10)$$

Avec R la résistance électrique du dipôle, Δf la largeur de bande de fréquence étudiée et $\overline{v_N^2}$ le carré de la tension moyenne de bruit.

La densité spectrale de ce bruit étant constante dans le domaine fréquentiel, ce bruit est alors considéré comme un bruit blanc. Afin de limiter au maximum l'influence de ce bruit, il est judicieux de réduire la bande passante des circuits au strict nécessaire.

2.5.2. Jitter

L'analyse du jitter constitue la pierre angulaire des systèmes de communications. Ce dernier correspond au comportement des signaux dans le domaine temporel et permet de dresser les déviations des points de leurs positions optimales. Ce sont ces déviations que l'on nomme *jitter* (ou *gigue*) [26].

Le jitter est un paramètre s'exprimant soit en unité temporelle (ns, ps, fs, ...) soit en unité intervalle (UI). Le terme UI correspond à la proportion du jitter total par le temps bit (t_{bit}), et se définit par :

$$Jitter = \frac{TJ}{t_{bit}} \quad (1 - 11)$$

Le Jitter Total (TJ), se décompose en deux catégories de jitter majeurs : le jitter déterministe (DJ) d'une part et le jitter aléatoire (RJ), d'autre part.

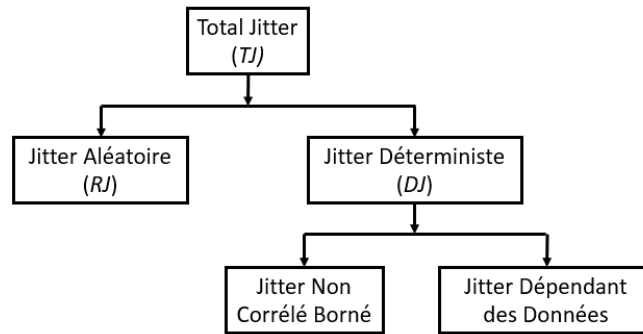


Figure 2-18 : Catégories de jitter [27]

Le *jitter déterministe*, contrairement au jitter aléatoire, se qualifie par des causes spécifiques et reproductibles. Diverses sources de jitter déterministe sont reconnues et incluent *crosstalk*, interférences électromagnétiques, Celui-ci peut aussi bien être corrélé ou non au jitter des données.

Le *jitter aléatoire*, quant à lui, est un bruit imprévisible caractérisé par une distribution Gaussienne. Celui-ci est causé par le bruit thermique, le bruit en $1/f$ et le bruit de grenaille. La fonction de densité de probabilité du jitter aléatoire s'exprime par :

$$RJ(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\left(\frac{x^2}{2\sigma^2}\right)} \quad (1 - 12)$$

Avec σ la déviation standard de la distribution Gaussienne et x l'erreur de temps relative à la position idéale.

En théorie, cette valeur est constante au cours du temps. Il est donc possible d'en donner une valeur moyenne à partir d'une formule la reliant au jitter aléatoire peak-to-peak et du *BER*. En fonction du *BER* requis, un facteur *Ratio Multiplicateur* est à appliquer au $jitter_{rms}$ afin d'en déduire le $jitter_{pp}$. La formule est donnée ci-après :

$$RJ_{pp}(BER) = \text{Ratio Multiplicateur} \cdot RJ_{rms} \quad (1 - 13)$$

Par exemple, si le *BER* requis est égal à 10^{-12} , le facteur est égal à 14.069. Le tableau ci-dessous indique les valeurs respectives à considérer.

Tableau 2-1 : Détermination du facteur en fonction du BER requis [30]

BER	Facteur
10^{-9}	11.996
10^{-10}	12.723
10^{-11}	13.412
10^{-12}	14.069
10^{-13}	14.698
10^{-14}	15.301
10^{-15}	15.883

Les différents types de jitter ayant maintenant été définis, dressons les trois caractérisations de jitter analysables dans les circuits à récupération d'horloge et de données. Ces circuits sont caractérisés par le transfert de jitter, la génération de jitter et enfin la tolérance de jitter.

➤ Transfert de jitter

La fonction de transfert de jitter d'un circuit à récupération d'horloge et de données représente le jitter récupéré à la sortie du système en variant le jitter introduit à l'entrée du système, à différents débits. Idéalement, il est souhaité que le jitter obtenu en sortie du système suive celui introduit en entrée [14].

➤ Génération de jitter

La génération de jitter fait référence au jitter produit par le circuit de récupération d'horloge et de données, lorsque les données d'entrée ne contiennent aucun jitter.

Comme expliqué préalablement, les sources de bruit proviennent des différents composants électroniques le constituant, ainsi que des variations pouvant se produire sur la ligne de contrôle de tension de l'oscillateur, ou encore des bruits provenant des variations d'alimentation et du substrat [14].

➤ Tolérance de jitter

La tolérance de jitter spécifie la quantité maximale de jitter que le circuit à récupération d'horloge et de données peut tolérer en augmentant de façon négligeable le taux de bits erronés.

2.5.3. Diagramme de l'œil

Nous avons vu que les interférences inter-symbole (ISI), se manifestent différemment pour diverses trames de données. Une technique largement répandue permettant de visualiser ces imperfections concerne l'étude du diagramme de l'œil [33].

Un tel diagramme rassemble tous les niveaux de transitions des bits et les affiche par superposition. La figure ci-dessous illustre ce propos.

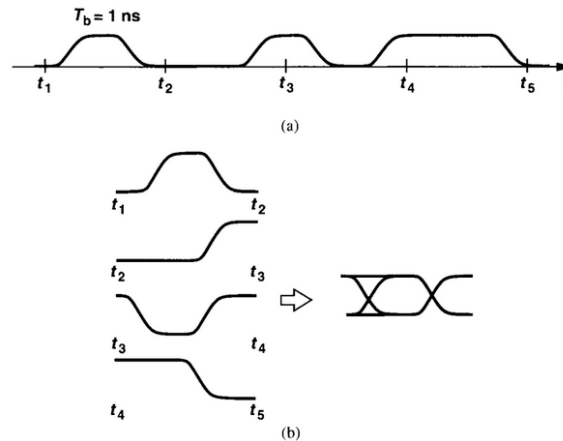


Figure 2-19 : (a) Représentation temporelle d'une séquence binaire aléatoire et (b) Découpage de cette séquence par segments de temps et diagramme de l'œil résultant de la superposition de ces segments

Ce diagramme de l'œil indique une accumulation ainsi qu'une dégradation des fronts et des niveaux d'amplitude. Cette technique permet au concepteur d'interpréter qualitativement le signal en analysant la surface au centre de l'œil, nommée aussi l'*ouverture de l'œil*.

Une dégradation du signal-sur-bruit (*SNR*) se traduit directement par une fermeture verticale de l'œil. La figure ci-dessous expose une comparaison du diagramme de l'œil d'un signal de modulation NRZ et d'un signal PAM4. La surface centrale (couleur orange), représente une surface identique dans les deux cas.

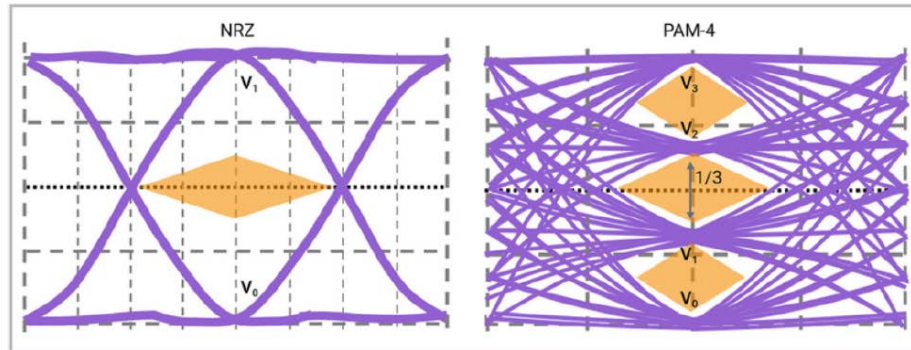


Figure 2-20 : Diagrammes de l'œil d'un signal de modulation NRZ vs PAM4 [17]

Comme expliqué précédemment, l'amplitude du signal PAM4 est réduite au tiers du signal NRZ. Nous retrouvons bien alors cette dégradation du *SNR* d'environ 9,5 dB pour le signal PAM4.

2.5.4. Taux de Bits Erronés (BER)

Une dernière métrique caractéristique importante des circuits à récupération d'horloge et de données est le nombre de bits erronés par bits transmis (*BER*). Cette métrique permet de prouver la robustesse ainsi que la fiabilité d'un système de transmission de données. Ce *BER* est calculé

par la comparaison des bits reçus en fonction de ceux transmis en relevant le nombre d'erreurs. L'expression du BER est rappelée dans l'expression qui suit :

$$BER = \frac{\text{Nombre de bits erronés}}{\text{Nombre de bits transmis}} \quad (1 - 14)$$

Une méthode alternative pour calculer le *BER* s'appuie sur une fonction de densité de probabilité (*PDF*) et permet d'estimer celui-ci.

Celle-ci est définie par :

$$p_X(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\left(\frac{x-\mu}{2\sigma^2}\right)^2} \quad (1 - 15)$$

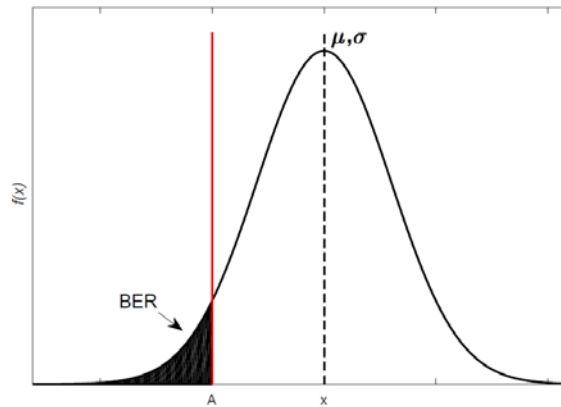


Figure 2-21 : Distribution aléatoire Gaussienne et BER

Avec σ la variance, x représente un symbole (ou bit) μ détecté avec une certaine puissance de bruit σ . De la figure précédente, A correspond au seuil le plus faible donnant une probabilité pour une détection correcte de symbole. La surface pour laquelle $x \leq A$ représente la probabilité d'erreur pour laquelle la détection du symbole est mauvaise [17].

$P(x \leq A)$, aussi reconnu comme le *BER*, peut être calculé en utilisant la fonction de distribution cumulative (*CDF*), exprimée par :

$$F_X(x) = \int_{-\infty}^A \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-\mu}{\sigma}\right)^2} dx \quad (1 - 16)$$

Déterminons à présent le *SER* (*Symbol Error Rate*) d'un signal PAM4 à partir de sa Fonction de Densité de Probabilité (*PDF*). La figure ci-dessous donne une illustration de la *PDF* d'un signal PAM4.

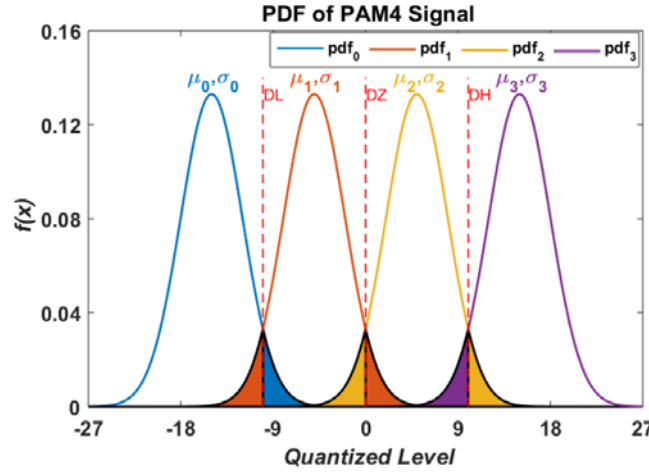


Figure 2-22 : PDF d'un signal PAM4 [17]

Les trois tensions de seuil des trois comparateurs afin de réaliser la détection du signal PAM4 sont représentées par *DL*, *DZ* et *DH*. Les niveaux de transitions (0,1,2 et 3) représentent les variables aléatoires avec distribution Gaussienne (μ_n, σ_n). Les surfaces colorées sous les croisements des courbes illustrent le *SER*.

Comme [17] le montre, en supposant que tous les niveaux du signal PAM4 possèdent la même *PDF*, il est alors possible de donner le *SER* par :

$$SER_{PAM4} = \frac{6}{4} Q\left(\frac{\mu}{\sigma}\right) \quad (1 - 17)$$

Avec $\frac{\mu}{\sigma}$ lié au *SNR* du récepteur et $Q(A)$ défini comme la probabilité qu'un nombre soit supérieur ou égal à *A*, tel que $P(x \geq A)$.

Il est également possible d'exprimer le *BER* en fonction du *SNR* :

$$BER_{M,niveaux} = \left(\frac{M-1}{2M}\right) \cdot \text{erfc}\left(\sqrt{\frac{3 \cdot SNR}{2(M^2-1)}}\right) \quad (1 - 18)$$

Avec *M* le nombre de symbole distinct pour une modulation PAM et *erfc* la fonction d'erreur complémentaire [17], [29].

Enfin, dans les standards de communications actuels, un *BER* égal à 10^{-12} accompagné d'un niveau de confiance de 95% est généralement requis. Le niveau de confiance (*CL*) est défini comme le pourcentage de tests dans lequel le *BER* réel est inférieur au seuil de *BER* imposé. La formule du niveau de confiance s'exprime par :

$$CL = 1 - e^{-N_{bits} * BER} \quad (1 - 19)$$

Avec N_{bits} le nombre de bits transmis.

Les métriques caractéristiques des circuits de CDR ayant été traitées, la prochaine partie propose de donner un état-de-l'art récent de ceux-là afin de donner un ordre de grandeur des différentes performances (jitter, consommation, superficie, ...) pour la future conception de notre circuit.

2.6. Etat-de-l'art des circuits de récupération d'horloge et de données

Les circuits à récupération d'horloge et de données (*Clock and Data Recovery, CDR*) actuels nécessitent de répondre à de multiples challenges. Les avantages en termes de coûts et d'intégration des technologies CMOS mettent en lumière de nouvelles limites à repousser concernant le bruit, la fréquence de fonctionnement, la puissance dissipée, ...

Le rôle d'un circuit de CDR constitue un enjeu majeur dans les circuits de communications. Situé en entrée de la partie réceptrice, le circuit de CDR est chargé de récupérer des trames de données émises depuis l'émetteur et sont ensuite transportées par un canal de transmission, lui-même attaquant le bloc de réception. Ce signal obtenu est bien souvent dégradé et nécessite alors une remise en forme afin de traiter de façon adéquate ce signal par le récepteur.

Pour cela, un signal d'horloge est généré, permettant, par le biais d'un circuit décisionnel, de récupérer les trames de données reçus et de les remettre en forme. La figure ci-dessous donne la synoptique du principe d'une CDR classique.

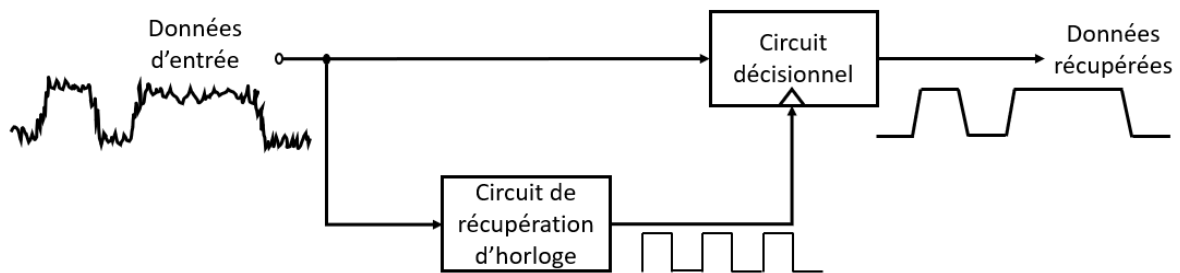


Figure 2-23 : Rôle d'une CDR dans le rééchantillonnage des Données

Le signal d'horloge généré doit considérer les trois conditions suivantes afin d'opérer une récupération de données idéale.

- (1) La fréquence d'horloge doit être égale au débit des données. Par exemple, un temps bit des Données égal à 16.66 ps se traduit par un signal d'horloge d'une période égale à 16.66 ps (soit une fréquence pour le signal d'horloge égale à 60 GHz).
- (2) Une certaine relation entre la phase du signal des données ainsi que celle de l'horloge générée doit être maintenue. En effet, un échantillonnage idéal correspond à la coïncidence du milieu du bit des données avec le front montant du signal d'horloge.

- (3) La génération de ce signal d'horloge a pour impératif de produire la plus petite quantité de jitter puisque ce signal généré incarne le principal contributeur de jitter dans les données rééchantillonnées.

Détaillons à présent les différents types de CDR répertoriés au sein de l'état-de-l'art.

2.6.1. Types de CDR

Les circuits de récupération d'horloge et de données peuvent être classés suivant le type d'architecture utilisé afin d'opérer la synchronisation des données. Le classement qui suit oppose les circuits bouclés (dits à boucle fermée, à contre réaction) aux circuits non bouclés (dits à boucles ouvertes). L'état-de-l'art présenté ici se concentre sur les circuits de CDR en technologie CMOS, destiné à du haut débit tout en optimisant jitter, efficacité énergétique et surface occupée.

2.6.1.1) CDR à boucle fermée

Les circuits basés sur des systèmes asservis tels que les boucles à verrouillage de phase/boucle à verrouillage de délai (PLL/DLL) ainsi que ceux basés sur le principe de l'interpolation de phase seront introduits dans les sous-sections suivantes.

➤ PLL

Les circuits à récupération d'horloge et de données basés sur le principe de PLL constituent la grande majorité de l'état-de-l'art des circuits à récupération d'horloge et de données [33- [35]].

Qi et al. [31] présentent un circuit de récupération d'horloge et de données basé sur une PLL à modulation de données PAM4.

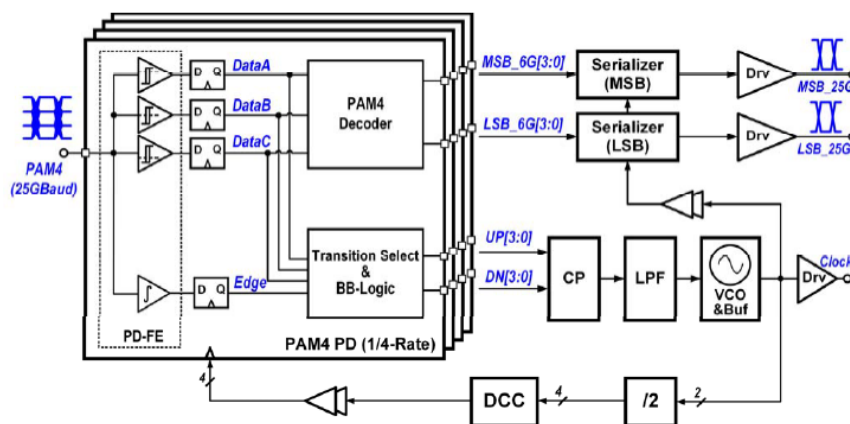


Figure 2-24 : Schéma bloc du circuit de CDR PAM4 basé sur le principe d'une PLL [31]

L'architecture de ce circuit se décompose en deux parties. Celui-ci comprend trois comparateurs ainsi qu'un décodeur PAM4 (*PAM4 Decoder*) servant à décoder les données d'entrée de modulation PAM4 en deux bits de modulation NRZ (*MSB* et *LSB*). La PLL intégrée comprend un détecteur de phase PAM4 (*PAM4 PD*), une pompe de charge (*CP*), un filtre passe-bas (*LPF*), un diviseur par deux (*/2*) ainsi qu'un correcteur de rapport cyclique (*DCC*). Ainsi la phase de l'horloge est contrôlée dynamiquement par le biais de cette PLL.

Un avantage majeur des circuits de récupération d'horloge utilisant une PLL en comparaison d'une DLL provient du rejet de l'accumulation de jitter résultant directement du jitter hautes fréquences. En effet, en raison de la caractéristique passe-bas de la PLL, inhérente à son architecture, la partie du jitter hautes-fréquences non corrélée au jitter du canal des données est rejetée, améliorant ainsi potentiellement la performance du signal d'horloge [36]. Néanmoins, les *PLLs* exposent certains défauts tels qu'une susceptibilité à de l'accumulation de jitter ou encore des problèmes de stabilité [36] et [37].

➤ *DLL*

Une alternative aux circuits CDR basés sur le principe d'une PLL repose sur l'utilisation de DLL. En réalité, les structures de ces deux catégories diffèrent relativement peu. La figure ci-dessous compare l'architecture générale d'une CDR basée sur le principe d'une PLL et d'une DLL conventionnelle [38-40].

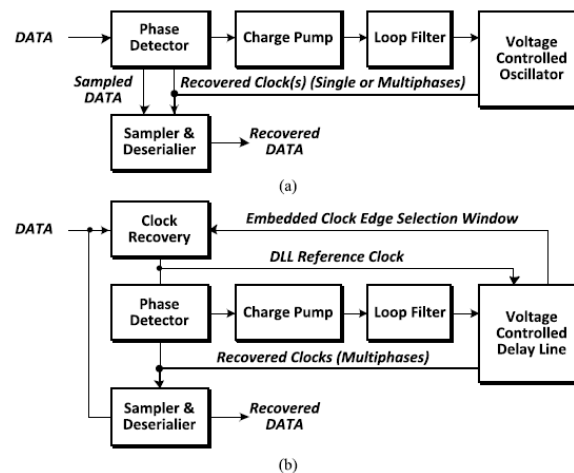


Figure 2-25 : Comparaison d'une structure CDR (a) PLL et (b) DLL [40]

Une première différence provient de la nécessité de recourir à un bloc additionnel destiné à la récupération d'horloge qui extrait l'horloge de référence de la DLL du flux de données.

La seconde différence implique de concevoir une architecture multiphasique. En effet, la fréquence de l'horloge de référence étant plus faible que le débit des données, la DLL n'est pas capable de générer d'elle-même une fréquence égale à celle du signal d'horloge sans ajout de circuits additionnels.

Ryu et al. ([40]) introduisent un circuit de récupération d'horloge et de données de ce type. Leur étude vise à comparer les CDRs de type DLL aux CDRs de type PLL en termes de tolérance de jitter. Le circuit basé sur une DLL admet une tolérance de jitter supérieure au circuit basé sur le principe de PLL dans les basses fréquences. En revanche, la tendance semble

s'inverser pour les hautes fréquences. En effet, la tolérance en jitter pour la CDR DLL indique une tolérance réduite de moitié en comparaison à la CDR PLL.

D'après [41] et [42], contrairement aux types CDR PLLs, celles-ci ne présentent pas d'accumulation d'erreurs de phase internes.

Néanmoins, les deux types de topologies (PLL et DLL) souffrent d'une incommodité non négligeable, celui d'un temps de synchronisation élevé. En effet, ces topologies-là nécessitent des dizaines à des centaines de cycles d'horloge afin d'opérer correctement le verrouillage à la fréquence ciblée, ce qui s'avère être une problématique d'envergure dans les circuits de communications à haut débit.

➤ Interpolation de phase

Une technique alternative consiste à recourir au mécanisme d'interpolation de phase [36] et [37]. Cette technique permet d'aligner la phase des données arrivant à l'entrée du bloc de réception (RX) avec un signal d'horloge synthétisé localement [42-48]. Dans la plupart des cas, il s'agit d'un générateur d'horloge multiphasique suivi d'une interpolation de phase accompagnée d'un système de contrôle. De plus, le filtre de boucle de la CDR pouvant être digital, une telle architecture alloue la possibilité d'une faible surface occupée. Dans certains cas, il est possible de supprimer l'oscillateur de la boucle de CDR et de le remplacer par un *PI*. La figure ci-dessous illustre cela.

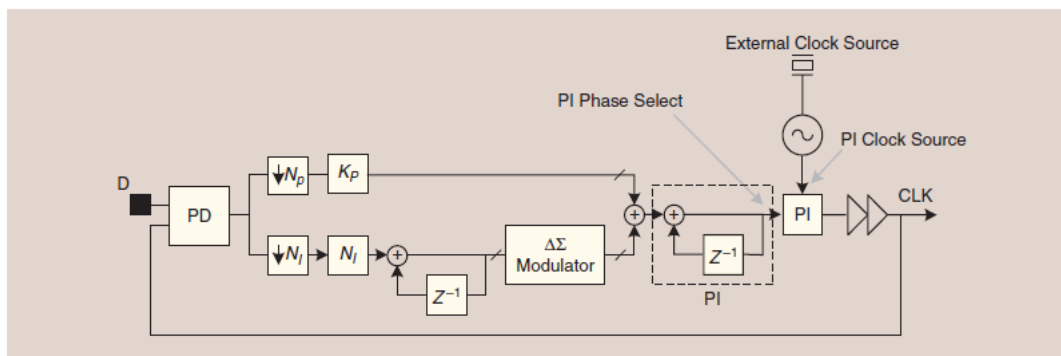


Figure 2-26 : CDR digitale basé sur le principe d'interpolation de phase [37]

2.6.1.2) CDR boucle ouverte

➤ CDR Gated Ring Oscillator (GRO)

La section précédente a permis de mettre en exergue la problématique du temps de synchronisation nécessaire pour les circuits de CDR basé sur le principe de PLL et DLL. En vue de remédier à cette difficulté, des architectures nommées *Gated Ring Oscillator (GRO)* émergent [49] et [50].

Le fonctionnement d'un *GRO* repose sur le principe suivant. Celui-ci peut être activé/désactivé en fonction du signal des données. Suivant le niveau du signal d'activation,

l'oscillateur en anneau oscillera ou non. Un exemple d'implémentation d'un GRO est implémenté dans un circuit CDR classique dans la figure ci-après [15].

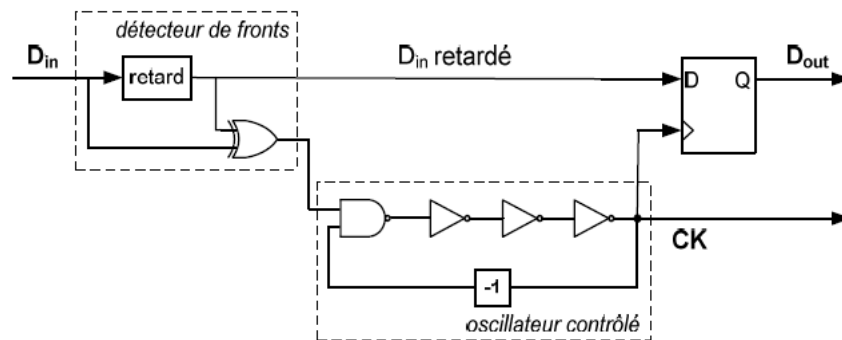


Figure 2-27 : CDR GRO classique [15]

Cette architecture repose sur l'utilisation d'un oscillateur en anneau, d'un générateur de fronts et d'un circuit décisionnel constitué d'une bascule D.

Une telle architecture présente deux avantages majeurs : une simplicité de conception ainsi qu'une surface occupée relativement faible. De plus, contrairement aux architectures basées sur les PLL/DLL, le temps de synchronisation dépend uniquement du temps de démarrage de l'oscillateur, c'est-à-dire que quelques cycles suffisent afin de verrouiller le système à la fréquence ciblée.

Néanmoins, dans le cas où les données d'entrées correspondent à une longue série de bits identiques, une dérive de la fréquence de l'oscillateur commence à apparaître, induisant par conséquent l'apparition de jitter. Par ailleurs, ces topologies exposent également une grande sensibilité aux variations de procédés de fabrication, de température et d'alimentation. Ces architectures-ci apparaissent alors moins robustes que les architectures basées sur des PLL.

De par leur faible temps nécessaire à la synchronisation, ces circuits de CDR GRO sont néanmoins très utilisés dans les applications de *burst mode*.

➤ Injection dans un système oscillant

Une topologie alternative au circuit CDR en boucle ouverte se base sur le principe de verrouillage par injection d'un oscillateur contrôlé en tension (*ILO*). Ce principe est plus amplement explicité dans le chapitre 2.

Le principal atout d'une telle architecture se manifeste dans la synchronisation à la fréquence ciblée quasi-instantanément. Ce mécanisme d'injection annule l'accumulation de jitter et se montre plus stable et surtout plus robuste quant aux perturbations liées à l'environnement qu'une architecture de CDR PLL/DLL classique [51-54]. Par ailleurs, la conception d'une telle architecture se révèle relativement peu complexe. La figure suivante donne un exemple d'une CDR ILO.

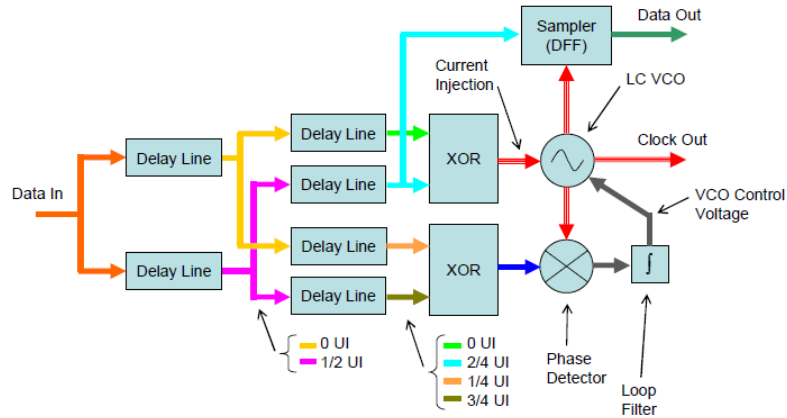


Figure 2-28 : Exemple d'une CDR ILO [51]

Dans cette architecture, l'oscillateur contrôlé en tension est verrouillé par injection au débit des données d'entrée. L'architecture de la CDR est constituée de six lignes de délais réglables attaquant deux portes logiques XORs distinctes. La sortie d'une de ces XORs génère les impulsions afin de verrouiller par injection l'oscillateur alors que l'autre constitue une entrée du détecteur de phase. La seconde entrée du détecteur de phase vient de la sortie de l'oscillateur contrôlé en tension. La récupération des données se réalise par le rééchantillonnage des données sortant d'une ligne de délai et la sortie de l'oscillateur comme signal d'horloge. La récupération de l'horloge s'opère par la récupération du signal généré par l'oscillateur.

2.7. Topologies Half & Quarter rate

A très hautes fréquences, il devient difficile de concevoir un oscillateur proposant une plage de contrôle adéquate ainsi qu'un faible jitter. Afin de relaxer ces contraintes, il existe également des topologies de circuits de récupération d'horloge et de données type *Half Rate*.

Cette technique emploie un VCO fonctionnant à la moitié du débit des données alors que la CDR perçoit les données au débit d'entrée du système, le tout en assurant un fonctionnement optimal de récupération de données. Cette technique alloue par la même occasion un relâchement de contrainte en vitesse de fonctionnement pour le détecteur de phase/fréquence.

Les techniques de *Quarter Rate* reprennent ce principe en divisant la fréquence de fonctionnement du VCO par quatre, relâchant davantage la contrainte en fréquence mais exigeant en contrepartie davantage d'éléments [55].

2.8. Comparaison des circuits de CDR de l'état-de-l'art

Après avoir déterminé les différents types de circuits de récupération d'horloge et de données, dressons un état-de-l'art récent proposant les meilleures performances en termes de débit, jitter, efficacité énergétique et occupation de surface. Nous prendrons également en considération le type de modulation des données d'entrée (NRZ ou PAM4).

Tableau 2-2 : Récapitulatif de l'état-de-l'art des circuits de CDR de modulation PAM4 et NRZ

Références	[32] JSSC'19	[30] JSSC'20	[56] ISSCC'19		[46] JSSC'19	[57] JSSC'17	[58] ISSCC'21
Technologie (nm)	65	40	14		28	65	28
Débit (Gb/s)	56	32	56	100	64	60	56
Topologie	Quarter	Quarter	Baud Rate		-	Baud Rate	Half Rate
Type de modulation Données	PAM4	PAM4	NRZ	PAM4	PAM4	NRZ	NRZ
Jitter _{rms} (mUI)	-	11.2 ¹	-	-	18.5 ¹	-	28
Efficacité énergétique (pJ/bit)	0.88 ^{1,2}	0.46	2	1.1	2.1 ^{1,2}	2.26 ³	0.34 ²
Consommation (mW)	49.21 ^{1,2}	14.7	112 ³		135 ^{1,2}	136	19.3 ²
Surface (mm ²)	0.51	0.28	0.053 ³		0.32 ³	2.03 ³	0.102

¹Calculé, ²Estimé, ³Système RX complet

A première vue, en choisissant des architectures fonctionnant à un débit équivalent [32], [56] et [58], il semblerait que les topologies basées sur le principe *Half/Quarter* [32] et [58] rate présentent une efficacité énergétique supérieure à celle basée sur du *Full Rate* ([56] *Rappel : Baud Rate NRZ* $\Leftrightarrow$ *Full Rate NRZ*).

Bien que ces types de topologie se révèlent, au premier abord, plus intéressants quant à l'efficacité énergétique, ceux-ci dévoilent par la même occasion deux inconvénients majeurs : (1) une complexité de conception plus élevée (nécessité de recourir à des architectures de détecteurs de phase modifiées) ainsi que (2) davantage d'éléments induisant une surface occupée plus importante ([32], [30], [57], [58] vs [56]). Ceci est bien évidemment à mettre en parallèle avec la différence des nœuds technologiques.

Par ailleurs, [56] suggère que l'emploi d'une architecture de type PAM4 permettrait plus facilement d'atteindre des débits élevés que le type NRZ. Néanmoins, la grande majorité des études menées suppose que le type PAM4 requiert un niveau de complexité dans la conception plus conséquent qu'une structure classique de type NRZ [46]. En effet, nous avons vu que par leurs caractéristiques inhérentes, les architectures PAM4 présentent un niveau d'amplitude limité au tiers d'un signal NRZ. Ces architectures demandent nombre de circuits additionnels (égaliseurs, buffers, ...) afin d'optimiser la qualité des signaux de données et d'horloge récupérés en sortie.

2.9. Conclusion du chapitre

Ce chapitre a permis de relever et déterminer les points importants dans la conception d'un circuit de récupération d'horloge et de données (*CDR*) destiné à un environnement spatial.

Dans un premier temps, nous avons cherché à présenter les origines des particules ionisantes et avons donné une liste des conséquences de leurs impacts sur les circuits électroniques. Par la même occasion, nous avons proposé diverses méthodes de durcissement à ces radiations par les technologies utilisées (CMOS épitaxié, CMOS SOI, ...) mais aussi par des techniques de conception particulières (redimensionnement des transistors, redondance spatiale, verrouillage par injection, ...).

Puis, nous avons introduit les différentes métriques caractéristiques usuelles dans la conception de CDR (jitter, BER, diagramme de l'œil, ...). Nous avons déterminé les diverses sources de bruit dans de tels circuits et avons tenté de donner différentes méthodes afin d'améliorer leurs performances.

Par la suite, une brève explication sur les types de modulation des données d'entrée a été énoncée. Cette section a développé les différences entre les modulations de données *NRZ*, *PAM4* ainsi que *Duobinary*.

Dans une ultime partie, nous avons présenté un état-de-l'art des circuits de récupération d'horloge et de données en opposant les différentes architectures connues (*NRZ* vs *PAM4*) et avons déterminé les différents avantages et inconvénients de ces dernières. Pour terminer, un récapitulatif de l'état-de-l'art récent des CDR pour lien à très haut débit a été dressé afin de déterminer l'architecture idéale des circuits à concevoir.

Le chapitre suivant dévoile en détails les blocs électroniques constituant les architectures des circuits conçus dans ce travail de thèse.

2.10. Bibliographie

- [1] S. Palermo, « High-Speed Serial I/O Design for Channel-Limited and Power-Constrained Systems ». [En ligne]. Disponible sur: https://people.engr.tamu.edu/spalermo/ecen689/palermo_serial_IO_overview.pdf
- [2] B. Razavi, « Design of high-speed circuits for optical communication systems », in *Proceedings of the IEEE 2001 Custom Integrated Circuits Conference (Cat. No.01CH37169)*, San Diego, CA, USA, 2001, p. 315-322. doi: 10.1109/CICC.2001.929789.
- [3] Thèse de F. Faure, « Injection de fautes simulant les effets de basculement de bits induits par radiation », Grenoble INPG, 2005.
- [4] Thèse de J.-M. Dutertre, « Circuits Reconfigurables Robustes », Université de Montpellier II, 2005.
- [5] DJ. Sadaoui, N. Merabtine, et M. Benslama, « Etude du phénomène de Single Event Transient (SET) induit dans les composants électroniques embarqués à bord d'engins spatiaux », [En ligne]. Disponible sur: http://www.setit.rnu.tn/last_edition/setit2007/E/237.pdf
- [6] T. R. Oldham et F. B. McLean, « Total ionizing dose effects in MOS oxides and devices », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 3, p. 483-499, juin 2003, doi: 10.1109/TNS.2003.812927.
- [7] DJ. Sadaoui, M. Benslama, et A. Benslama, « Etude de l'aléa logique (SEU) induit dans les mémoires SRAM », *International Conference: Sciences of Electronic Technologies of Information and Telecommunications*, 2005.
- [8] STMicroelectronics, « Learn More About FD-SOI », [En ligne]. Disponible sur : https://www.st.com/content/st_com/en/about/innovation---technology/FD-SOI/learn-more-about-fd-soi.html
- [9] J. L. Andrews et al. « Single Event Error Immune CMOS RAM », *IEEE J. Solid-State Circuits*, vol. 29, n° 6, p. 2040-2043, Décembre 1992, doi: <https://doi.org/10.1109/TNS.1992.4336492>.
- [10] H. Lapuyade *et al.*, « A Heavy-Ion Tolerant Clock and Data Recovery Circuit for Satellite Embedded High-Speed Data Links », *IEEE Trans. Nucl. Sci.*, vol. 54, n° 6, p. 2080-2085, déc. 2007, doi: 10.1109/TNS.2007.910866.
- [11] Y. Piccin, H. Lapuyade, Y. Deval, C. Morche, J.-Y. Seyler, et F. Goutti, « Radiation-Hardening Technique for Voltage Reference Circuit in a Standard 130 nm CMOS Technology », *IEEE Trans. Nucl. Sci.*, vol. 61, n° 2, p. 967-974, avr. 2014, doi: 10.1109/TNS.2014.2312269.
- [12] C. E. Shannon, « A mathematical theory of communication », vol. 27, n° 3, p. 379-383, 1948.
- [13] <https://www.intel.fr/content/www/fr/fr/support/articles/000006350/software/chipset-software.html>
- [14] B. Razavi, *Design of Integrated Circuits for Optical Communications*, 2012.
- [15] N. Tall, « Etude et réalisation de circuits de récupération d'horloge et de données analogiques et numériques pour des applications bas débit et très faible consommation », 2013.
- [16] Intel, « AN 835: PAM4 Signaling Fundamentals ». [En ligne]. Disponible sur: <https://www.intel.com/content/www/us/en/docs/programmable/683852/current/introduction>.

- [17] D. Cordova, « Etude et réalisation d'une chaîne de conversion de données pour liaisons numériques à très haut débit », Bordeaux, 2020.
- [18] A. Lender, « The duobinary technique for high-speed data transmission », *IEEE Trans. Commun. Electron.*, vol. 82, no. 2, pp. 214–218, 1963.
- [19] R. Howson, « An Analysis of the Capabilities of Polybinary Data Transmission », *IEEE Trans. Commun.*, vol. 13, n° 3, p. 312-319, sept. 1965, doi: 10.1109/TCOM.1965.1089138.
- [20] T. Keulenaer, R. Pierco, et J. De Geest, « 100 Gb/s Serial Transmission over Copper using Duo-binary Signaling », présenté à DesignCon, 2016. [En ligne]. Disponible sur: <https://pdfs.semanticscholar.org/a1c9/baaba65f0cad141b9de86dfc52376c43a84f.pdf>.
- [21] B. Min et S. Palermo, « A 20Gb/s triple-mode (PAM-2, PAM-4, and duobinary) transmitter », in *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Seoul, Korea (South), août 2011, p. 1-4. doi: 10.1109/MWSCAS.2011.6026281.
- [22] A. Grebene et H. Camenzind, « Phase locking as a new approach for tuned integrated circuits », in *1969 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, Philadelphia, PA, USA, 1969, p. 100-101. doi: 10.1109/ISSCC.1969.1154749.
- [23] T. H. Lee et A. Hajimiri, « Oscillator phase noise: a tutorial », *IEEE J. Solid-State Circuits*, vol. 35, n° 3, p. 326-336, mars 2000, doi: 10.1109/4.826814.
- [24] Y. Hu, T. Siriburanon, et R. B. Staszewski, « Oscillator Flicker Phase Noise: A Tutorial », *IEEE Trans. Circuits Syst. II*, vol. 68, n° 2, p. 538-544, févr. 2021, doi: 10.1109/TCSII.2020.3043165.
- [25] P. Andreani et A. Bevilacqua, « Harmonic Oscillators in CMOS—A Tutorial Overview », *IEEE Open J. Solid-State Circuits Soc.*, vol. 1, p. 2-17, 2021, doi: 10.1109/OJSSCS.2021.3109854.
- [26] M. Müller et M. Russ, « Total Jitter Measurement at Low Probability Levels, Using Optimized BERT Scan Method. » Agilent Technologies, 2005.
- [27] Anritsu, « Enabling Precision EYE Pattern Analysis Extinction Ratio, Jitter, Mask Margin ». [En ligne]. Disponible sur: https://dl.cdn-anritsu.com/en-us/test-measurement/files/Technical-Notes/Technical-Note/MP2100A_EE1100.pdf
- [28] Renesas, [En ligne], Disponible sur: <https://www.renesas.com/eu/en/document/apn/838-peak-peak-jitter-calculations?language=en>
- [29] M. Wu, « 112 Gbps Serial Transmission over Copper – PAM 4 vs PAM 8 Signaling », présenté à DesignCon 2017, 2017.
- [30] Z. Zhang, G. Zhu, C. Wang, L. Wang, et C. P. Yue, « A 32-Gb/s 0.46-pJ/bit PAM4 CDR Using a Quarter-Rate Linear Phase Detector and a Self-Biased PLL-Based Multiphase Clock Generator », *IEEE J. Solid-State Circuits*, vol. 55, n° 10, p. 2734-2746, oct. 2020, doi: 10.1109/JSSC.2020.3005780.
- [31] N. Qi *et al.*, « A 51Gb/s, 320mW, PAM4 CDR with baud-rate sampling for high-speed optical interconnects », in *2017 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Seoul, nov. 2017, p. 89-92. doi: 10.1109/ASSCC.2017.8240223.
- [32] A. Roshan-Zamir *et al.*, « A 56-Gb/s PAM4 Receiver With Low-Overhead Techniques for Threshold and Edge-Based DFE FIR- and IIR-Tap Adaptation in 65-nm CMOS », *IEEE J. Solid-State Circuits*, vol. 54, n° 3, p. 672-684, mars 2019, doi: 10.1109/JSSC.2018.2881278.
- [33] Aurangozeb, A. D. Hossain, M. Mohammad, et M. Hossain, « Channel-Adaptive ADC and TDC for 28 Gb/s PAM-4 Digital Receiver », *IEEE J. Solid-State Circuits*, vol. 53, n° 3, p. 772-788, mars 2018, doi: 10.1109/JSSC.2017.2777099.

- [34] D.-H. Kwon, M. Kim, S.-G. Kim, et W.-Y. Choi, « A 32-Gb/s PAM-4 Quarter-Rate Clock and Data Recovery Circuit With an Input Slew-Rate Tolerant Selective Transition Detector », *IEEE Trans. Circuits Syst. II*, vol. 66, n° 3, p. 362-366, mars 2019, doi: 10.1109/TCSII.2018.2855692.
- [35] Y. Lee, Y. Choi, J. Choi, et C. Kim, « 24-Gb/s Input-Data-Independent Clock and Data Recovery Utilizing Bit-Efficient Braid Clock Signaling With Fixed Embedded Transition for 8K-UHD Intrapanel Interface », *IEEE Solid-State Circuits Lett.*, vol. 2, n° 3, p. 21-24, mars 2019, doi: 10.1109/LSSC.2019.2918064.
- [36] B. Casper, « Clocking Wireline Systems: An Overview of Wireline Design Techniques », *IEEE Solid-State Circuits Mag.*, vol. 7, n° 4, p. 32-41, 2015, doi: 10.1109/MSSC.2015.2476015.
- [37] A. Amirkhany, « Basics of Clock and Data Recovery Circuits: Exploring High-Speed Serial Links », *IEEE Solid-State Circuits Mag.*, vol. 12, n° 1, p. 25-38, 2020, doi: 10.1109/MSSC.2019.2939342.
- [38] D. H. Baek, B. Kim, H.-J. Park, et J.-Y. Sim, « 2.6 A 5.67mW 9Gb/s DLL-based reference-less CDR with pattern-dependent clock-embedded signaling for intra-panel interface », in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, CA, USA, févr. 2014, p. 48-49. doi: 10.1109/ISSCC.2014.6757332.
- [39] Jung-Mao Lin, Ching-Yuan Yang, et Hsin-Ming Wu, « A 2.5-Gb/s DLL-Based Burst-Mode Clock and Data Recovery Circuit With 4 times Oversampling », *IEEE Trans. VLSI Syst.*, vol. 23, n° 4, p. 791-795, avr. 2015, doi: 10.1109/TVLSI.2014.2316553.
- [40] K. Ryu *et al.*, « An Analytical Jitter Tolerance Model for DLL-Based Clock and Data Recovery Circuits », *IEEE Trans. VLSI Syst.*, vol. 28, n° 11, p. 2257-2267, nov. 2020, doi: 10.1109/TVLSI.2020.3018794.
- [41] Ganesh Balamurugan et Naresh Shanbhag, « Modeling and mitigation of jitter in multiGbps source-synchronous I/O links », in *Proceedings 21st International Conference on Computer Design*, San Jose, CA, USA, 2003, p. 254-260. doi: 10.1109/ICCD.2003.1240903.
- [42] G. Shu *et al.*, « A Reference-Less Clock and Data Recovery Circuit Using Phase-Rotating Phase-Locked Loop », *IEEE J. Solid-State Circuits*, vol. 49, n° 4, p. 1036-1047, avr. 2014, doi: 10.1109/JSSC.2013.2296152.
- [43] J. Im *et al.*, « A 40-to-56 Gb/s PAM-4 Receiver With Ten-Tap Direct Decision-Feedback Equalization in 16-nm FinFET », *IEEE J. Solid-State Circuits*, vol. 52, n° 12, p. 3486-3502, déc. 2017, doi: 10.1109/JSSC.2017.2749432.
- [44] P.-J. Peng, J.-F. Li, L.-Y. Chen, et J. Lee, « 6.1 A 56Gb/s PAM-4/NRZ transceiver in 40nm CMOS », in *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, févr. 2017, p. 110-111. doi: 10.1109/ISSCC.2017.7870285.
- [45] L. Tang, W. Gai, L. Shi, X. Xiang, K. Sheng, et A. He, « A 32Gb/s 133mW PAM-4 transceiver with DFE based on adaptive clock phase and threshold voltage in 65nm CMOS », in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, San Francisco, CA, févr. 2018, p. 114-116. doi: 10.1109/ISSCC.2018.8310210.
- [46] E. Depaoli *et al.*, « A 64 Gb/s Low-Power Transceiver for Short-Reach PAM-4 Electrical Links in 28-nm FDSOI CMOS », *IEEE J. Solid-State Circuits*, vol. 54, n° 1, p. 6-17, janv. 2019, doi: 10.1109/JSSC.2018.2873602.
- [47] P. Palestri *et al.*, « Analytical Modeling of Jitter in Bang-Bang CDR Circuits Featuring Phase Interpolation », *IEEE Trans. VLSI Syst.*, vol. 29, n° 7, p. 1392-1401, juill. 2021, doi: 10.1109/TVLSI.2021.3068450.
- [48] J. Liang, A. Sheikholeslami, H. Tamura, et H. Yamaguchi, « On-Chip Jitter Measurement

- Using Jitter Injection in a 28 Gb/s PI-Based CDR », *IEEE J. Solid-State Circuits*, vol. 53, n° 3, p. 750-761, mars 2018, doi: 10.1109/JSSC.2017.2776307.
- [49] K. Vengattaramane, J. Borremans, M. Steyaert, et J. Craninckx, « A gated ring oscillator based parallel-TDC system with digital resolution enhancement », in *2009 IEEE Asian Solid-State Circuits Conference*, Taipei, Taiwan, nov. 2009, p. 57-60. doi: 10.1109/ASSCC.2009.5357178.
- [50] Unsoo Ha, Hyunwoo Cho, et Hoi-Jun Yoo, « A 0.7pJ/bit 2Gbps self-synchronous serial link receiver using gated-ring oscillator for inductive coupling communication », in *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, Beijing, mai 2013, p. 1183-1186. doi: 10.1109/ISCAS.2013.6572063.
- [51] O. Mazouffre, R. Toupe, M. Pignol, Y. Deval, et J. B. Begueret, « 2-4 and 9-12 Gb/s CMOS fully integrated ILO-based CDR », in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, mai 2010, p. 553-556. doi: 10.1109/RFIC.2010.5477391.
- [52] C. Jung, D. Lee, Y.-H. Kim, D. Lee, et L.-S. Kim, « A 12 Gb/s 1.59 mW/Gb/s Input-Data-Jitter-Tolerant Injection-Type CDR With Super-Harmonic Injection-Locking in 65-nm CMOS », *IEEE Trans. Circuits Syst. II*, vol. 66, n° 12, p. 1972-1976, déc. 2019, doi: 10.1109/TCSII.2019.2898647.
- [53] W. Xiao, Q. Huang, H. Mosalam, C. Zhan, Z. Li, et Q. Pan, « A 6.15–10.9 Gb/s 0.58 pJ/Bit Reference-Less Half-Rate Clock and Data Recovery With “Phase Reset” Scheme », *IEEE Trans. Circuits Syst. I*, vol. 69, n° 2, p. 634-644, févr. 2022, doi: 10.1109/TCSI.2021.3119907.
- [54] G. R. Gangasani et P. R. Kinget, « A 19Gb/s RX for VSR-C2C Links with Clock-Less DFE and High-BW CDR Based on Master-Slave ILOs in 14nm CMOS », in *ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC)*, Dresden, sept. 2018, p. 182-185. doi: 10.1109/ESSCIRC.2018.8494320.
- [55] J. Lee et B. Razavi, « A 40 Gb/s clock and data recovery circuit in 0.18 μ m CMOS technology », in *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.*, San Francisco, CA, USA, 2003, vol. 1, p. 242-491. doi: 10.1109/ISSCC.2003.1234285.
- [56] A. Cevrero *et al.*, « 6.1 A 100Gb/s 1.1pJ/b PAM-4 RX with Dual-Mode 1-Tap PAM-4 / 3-Tap NRZ Speculative DFE in 14nm CMOS FinFET », in *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*, San Francisco, CA, USA, févr. 2019, p. 112-114. doi: 10.1109/ISSCC.2019.8662495.
- [57] J. Han, N. Sutardja, Y. Lu, et E. Alon, « Design Techniques for a 60-Gb/s 288-mW NRZ Transceiver With Adaptive Equalization and Baud-Rate Clock and Data Recovery in 65-nm CMOS Technology », *IEEE J. Solid-State Circuits*, vol. 52, n° 12, p. 3474-3485, déc. 2017, doi: 10.1109/JSSC.2017.2740268.
- [58] A. Atharav et B. Razavi, « 11.7 A 56Gb/s 50mW NRZ Receiver in 28nm CMOS », in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, févr. 2021, p. 192-194. doi: 10.1109/ISSCC42613.2021.9365997.

3.1.2. Topologies de délais réglable

L'augmentation constante des débits de données repousse sans cesse la recherche d'architecture répondant aux besoins de vitesse, mais également de robustesse quant aux variations éventuelles apportées par les procédés de fabrication, de température et d'alimentation.

En ce sens, J. Zhang [1] propose une topologie insensible aux variations d'alimentations et de température, en présentant un CMOS thyristor basé sur le contrôle de courant afin de régler le délai. La cellule de délai est basée sur une ligne de délai digitalement variable. L'architecture proposée montre une consommation ainsi qu'une sensibilité à la température réduite en comparaison à une chaîne d'inverseurs classique.

Les thyristors sont généralement utilisés dans les circuits électroniques à haute tension pour commuter d'importantes variations de signaux. Contrairement à une cellule de délai composée d'inverseurs, un thyristor ne consomme du courant que lorsqu'une impulsion est perçue à son entrée. Par ailleurs, le délai étant contrôlé par le courant et non par la tension, celui-ci présente alors une meilleure réjection quant aux variations d'alimentation et de température. Néanmoins, le thyristor classique souffre d'un effet néfaste venant modifier la valeur du délai. Ce problème se nomme l'effet du partage de charge. L'architecture introduite ici propose une solution basée sur un CMOS thyristor afin d'annuler cet effet. La Figure 3-2 illustre celle-ci.

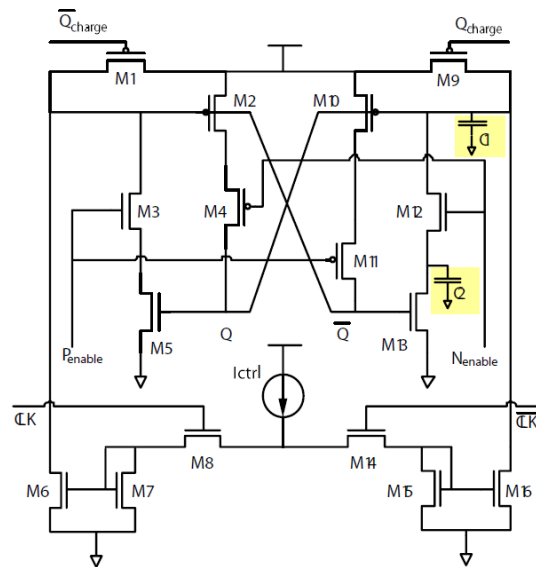


Figure 3-2 : Cellule de délai CMOS proposée

Le signal N_{enable} correspond au signal Q retardé avec un délai de t'_d . Le signal P_{enable} est l'inverse de N_{enable} . Lorsque M_{12} est rendu passant par N_{enable} , le partage de charge entre C_1 et C_2 apparaît, amenant le nœud Q de V_{dd} à $\frac{C_1}{C_1+C_2} V_{dd}$. Les signaux Q_{charge} et $\overline{Q_{charge}}$ sont ajoutés en vue de supprimer l'effet de partage de charge. Lorsque le signal Q_{charge} rend passant M_9 , la tension au nœud Q est chargée à V_{dd} , annulant ainsi l'effet de partage de charge. De plus, cette architecture n'utilise qu'une seule source de courant, éliminant d'éventuels problèmes de mismatch. M_8 et M_{14} , servant de commutateurs d'horloge, sont placés loin des signaux Q et $\overline{Q}$ afin d'éviter ce problème de partage de charge. La Figure 3-3 illustre une ligne de délai variable incluant ces thyristors. Les délais générés s'étendent de 4 ns à 16 ns.

La figure 3-3 montre les cellules de délais CMOS thyristors implémentées dans une ligne de délai variable. Cette valeur de délai est contrôlée par cellules via la source de courant I_{ctrl} de la figure 3-2.

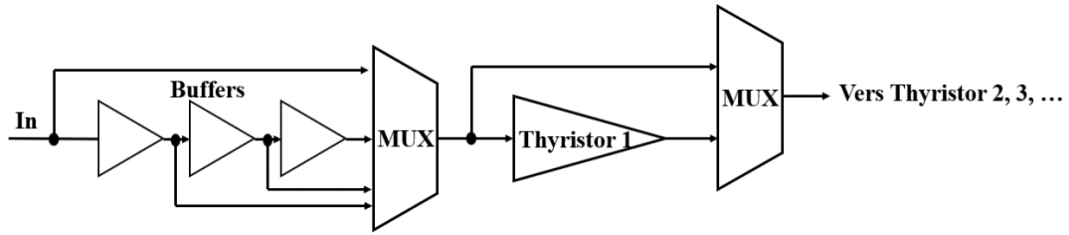


Figure 3-3 : Ligne de délai variable basée sur un CMOS thyristor

Les figures 3-4 (a) et 3-4 (b) comparent les influences de la variation de l'alimentation ainsi que la température pour une chaîne d'inverseurs classique versus la topologie introduite.

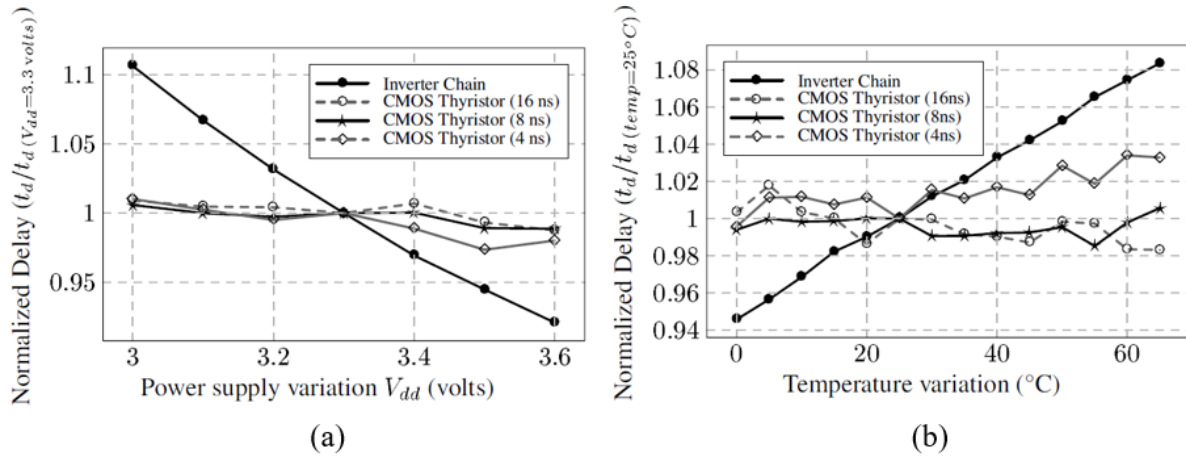


Figure 3-4 : Comparaison de la variation du délai par rapport à (a) une variation d'alimentation, (b) une variation de la température pour une chaîne d'inverseurs versus thyristors CMOS

Ces analyses mettent en évidence que la topologie présente une forte robustesse quant aux variations d'alimentation et de température ($<0,05$ de variation pour l'alimentation variant de 3V à 3,6V et $\approx 0,03$ de variation pour une variation de température de 0 à 60°). La chaîne d'inverseurs en revanche montre une sensibilité bien plus importante ($\approx 0,2$ de variation pour la même variation d'alimentation et $\approx 0,14$ de variation pour une variation de température identique). Les variations sont calculées par une normalisation du délai par rapport à une tension d'alimentation dans le premier cas et une normalisation par rapport à la température de 25°C dans le second. Les délais générés s'étendent jusqu'à 31 ns par pas de 1 ns.

Une seconde étude menée par I. Som et T.K. Bhattacharyya [2] met en exergue une cellule de délai destinée aux hautes fréquences et basée sur la méthode de conception *Current Mode Logic* (CML). La variation du courant de queue du buffer CML modifie la valeur du délai. Les figures ci-dessous détaillent l'architecture proposée.

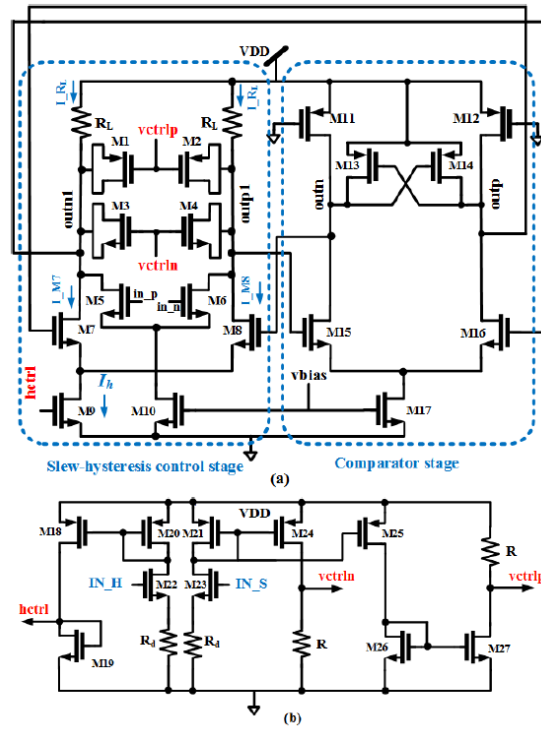


Figure 3-5 : Cellule HCMLD proposée (a), Contrôle de délai correspondant (b)

Cette architecture propose deux contrôles distincts pour le contrôle de l'hystérésis : le contrôle de la pente d'une part et le contrôle de l'hystérésis d'autre part. Les deux tensions $vctrln$ et $vctrp$ appliquées aux varactors M1-M4 contrôlent la pente de l'hystérésis. L'entrée $hctrl$ appliquée sur M9 contrôle l'hystérésis. Les entrées différentielles de la cellule sont désignées par in_p et in_n . Lorsque l'entrée in_p (in_n) atteint le niveau logique haut (bas), $outn1$ subit une chute de tension de $I_h R_L$ en raison du feedback positif venant de $outp$ et $outn$. La valeur totale du délai étant égale à $I_h R_L C_L / 2$, celui-ci est réglé en variant I_h , C_L ou les deux. Cette cellule de délai montre une variation de délai jusqu'à 38 ps.

Chacune de ces études apporte une approche intéressante. Pour la première, une forte insensibilité quant aux variations dues au processus de fabrication, température et alimentation est démontrée, alors que pour la seconde, un fonctionnement idéal pour les hautes fréquences.

Toutefois, ces deux topologies se montrent toutes deux inadaptées pour notre cas. En effet l'ordre de grandeurs des délais générés est trop élevé : jusqu'à 31 ns pour la première étude et jusqu'à 38 ps pour la seconde sont présentés. Dans le cas de notre travail ciblant une fréquence de fonctionnement de 60 GHz, un délai centré autour de 8 ps est requis, avec des pas de 500 fs.

3.1.3. Cellule de délai proposée

Dans le cas de notre étude, nous avons choisi de concevoir un circuit permettant de contrôler le délai en réglant manuellement de façon extérieure le courant appliqué à la cellule de délai. Comme [2] l'explique, un contrôle direct sur le courant plutôt que la tension permet une robustesse supérieure quant aux variations induites par la fabrication, la température et l'alimentation. Pour cette raison nous avons alors opté pour une architecture permettant un contrôle réglable via le courant. La figure ci-dessous montre le circuit réalisé :

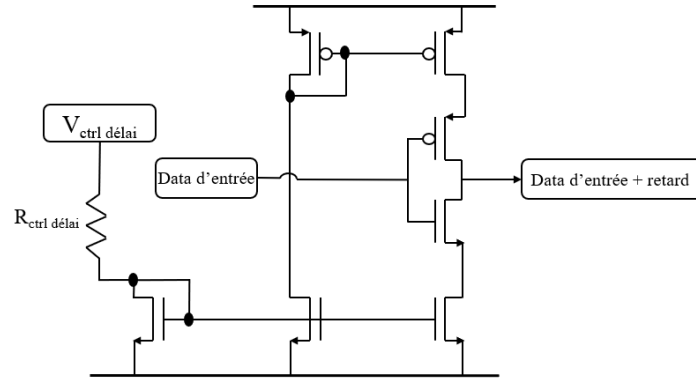


Figure 3-6 : Cellule de délai réglable proposée

La cellule de délai proposée ici permet de contrôler le délai généré en variant la tension de contrôle via $V_{ctrl\ délai}$. Cette architecture permet de couvrir un délai maximal d'environ 8.5 ps, correspondant à un délai égal à $t_{bit}/2$ pour une fréquence de fonctionnement à 60 GHz (pour le circuit du chapitre 4 ; dans le cas du circuit preuve-de-concept du chapitre 3, nous n'avons pas recouru à l'utilisation de cellule de délai). Cette valeur de délai est nécessaire pour assurer un fonctionnement optimal de notre architecture. Les résultats d'une analyse temporelle de la cellule de délai réalisée sont exposés dans la figure ci-dessous. Les différents tracés sont issus de la variation de délai $V_{ctrl\ délai}$ variant de 0.7 V à 1.2 V.

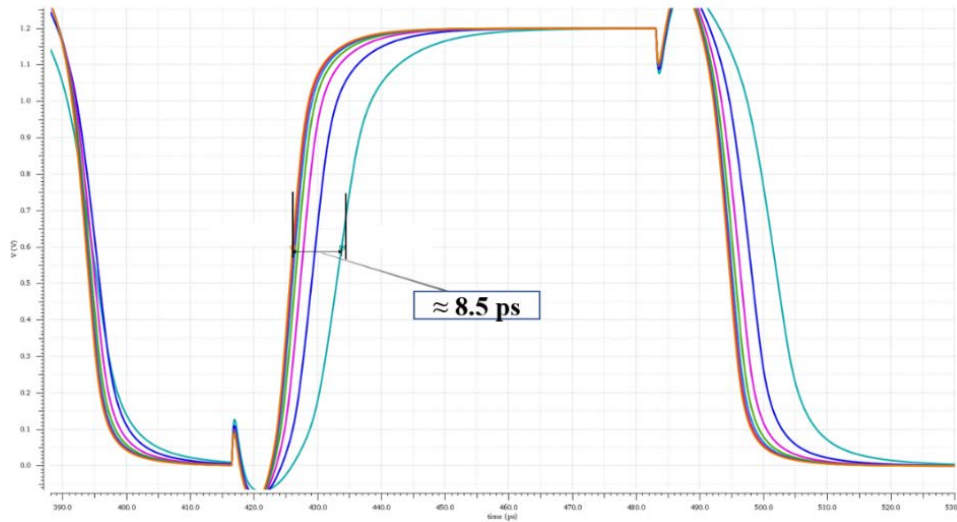


Figure 3-7 : Résultats de simulation pour une variation de délai $0.7V < V_{ctrl\ délai} < 1.2V$

Comme nous avons expliqué, cette valeur de délai est nécessaire pour le bon fonctionnement de notre architecture. En effet, d'après la figure 3-1, le sous-bloc suivant les délais réglable est un convertisseur de tension en courant (V -to- I). Afin que ce sous-bloc génère les fronts requis afin d'opérer un verrouillage par injection correct, un délai de $t_{bit}/2$ est requis. Le bloc du générateur d'impulsions est explicité de manière plus approfondi ultérieurement.

Le premier sous-bloc ayant été défini, présentons maintenant un des blocs les plus critiques à concevoir : l'oscillateur contrôlé en tension (VCO).

3.2. Oscillateur contrôlé en tension (VCO)

Les oscillateurs représentent une partie prépondérante des circuits électroniques modernes. Il est possible d'en retrouver dans une multitude d'applications riches et variées, telles que : la génération d'un signal d'horloge dans les microprocesseurs, la synthèse de fréquence pour des standards de communications (WiFi, LoRa, 5G, ...), l'automotive avec l'électronique embarquée destinée aux applications radar, le spatial pour des liaisons satellitaires et bien d'autres. Ces circuits électroniques se retrouvent le plus souvent dans les systèmes dits de boucle à verrouillage de phase, présentés ultérieurement.

Un oscillateur simple produit une tension de sortie périodique indéfiniment, sans signal d'entrée [3]. Afin de débiter ces oscillations, si un système à contre réaction négative (fig.3-8) respecte les deux conditions suivantes, connu sous le critère de Barkhausen, alors le système oscillera à ω_0 .

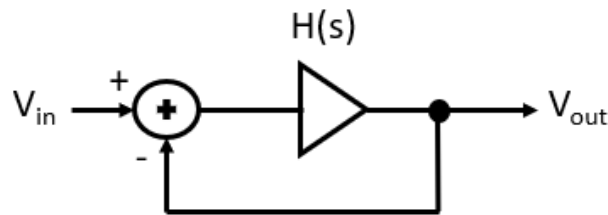


Figure 3-8 : Système à contre réaction négative

$$H(j\omega_0) \geq 1 \quad (2 - 1)$$

$$\angle H(j\omega_0) = 180^\circ \quad (2 - 2)$$

Ces équations laissent supposer qu'un gain de boucle supérieur à l'unité couplé à un déphasage de 180° entre la sortie et l'entrée du système conduisent alors à un système oscillant à une certaine fréquence donnée par : $f_0 = \frac{\omega_0}{2\pi}$, avec f_0 la fréquence d'oscillation, et ω_0 la pulsation propre.

La plupart des applications requièrent des oscillateurs contrôlables en tension, c'est-à-dire que la fréquence de sortie de l'oscillateur est une fonction de la tension de contrôle. Nous pouvons alors en déduire l'équation d'un oscillateur contrôlé en tension idéal dans laquelle sa fréquence de sortie est une fonction linéaire de sa tension de contrôle d'entrée :

$$\omega_s = \omega_0 + K_{VCO} V_{ctrl} \quad (2 - 3)$$

Avec ω_s la fréquence de sortie, ω_0 le point lorsque $V_{ctrl} = 0$ et K_{VCO} le gain ou sensibilité de l'oscillateur contrôlé en tension.

L'allure caractéristique d'un oscillateur contrôlé en tension est donnée dans la figure ci-après. Cette figure souligne un point significatif de son fonctionnement. Pour une certaine plage de fréquence donnée, la fréquence de l'oscillateur évolue linéairement par rapport à sa tension de contrôle. Cette plage de fréquence se nomme plage de contrôle.

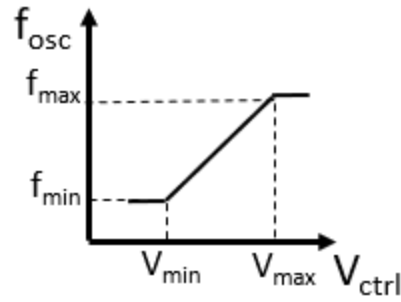


Figure 3-9 : Allure caractéristique de la fréquence de sortie d'un oscillateur en fonction de sa tension de contrôle

De cette plage de contrôle, nous pouvons donc en déduire le gain, aussi dénommé sensibilité de l'oscillateur, K_{VCO} et s'exprime en Hz/V (ou rad/s/V).

$$K_{VCO} = \frac{f_{max} - f_{min}}{V_{max} - V_{min}} \quad (2 - 4)$$

Notons qu'en dehors de cette plage de contrôle, la fréquence en sortie de l'oscillateur n'évolue plus linéairement en fonction de la tension d'entrée, on dit alors que l'oscillateur se situe dans sa zone de saturation.

3.2.1. Types d'oscillateur

Deux catégories d'oscillateur contrôlé en tension distinctes sont largement reconnues à travers l'état-de-l'art : les oscillateurs à résonateur LC d'une part et les oscillateurs en anneau d'autre part [4]. Les oscillateurs de type *LC* sont nommés ainsi de par leur architecture, constituée d'une capacité ainsi que d'une inductance. Cette capacité et inductance forment alors un résonateur et, en fonction des valeurs de celles-ci, déterminent la fréquence de résonance.

Les architectures de type LC sont respectivement séparées entre les oscillateurs de Colpitts d'une part et Hartley d'autre part.

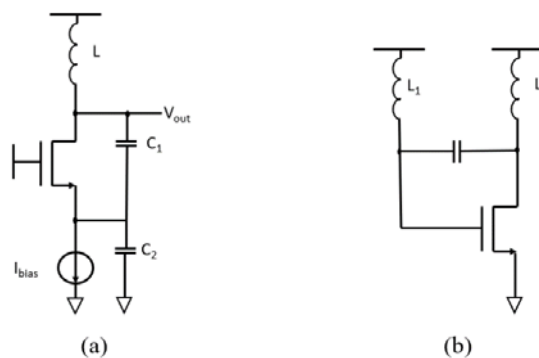


Figure 3-10 : Oscillateur à résonateur LC Colpitts (a), Hartley (b)

Par l'avantage inhérent lié à leur architecture, ceux-ci présentent un bruit de phase plus faible que leur concurrent, les oscillateurs en anneau. Pour cette raison, ces types d'oscillateur sont naturellement préférés dans des applications de synthèse de fréquence, où bruit de phase et jitter constituent les fers de lance de tels circuits.

Bien que les oscillateurs en anneau semblent moins populaires que leur concurrent en termes de performances en bruit de phase, ceux-là présentent de nombreux autres atouts.

Premièrement, les oscillateurs en anneau utilisent exclusivement des composants actifs (transistors) et sont connectés de sorte à former des étages d'amplifications rebouclés. Un oscillateur en anneau est composé de n étages d'amplification (avec $n \geq 3$) afin de pouvoir satisfaire le critère de Barkhausen, en mode commun ou différentiel. La figure ci-dessous montre un oscillateur en anneau à n étages d'inverseurs.

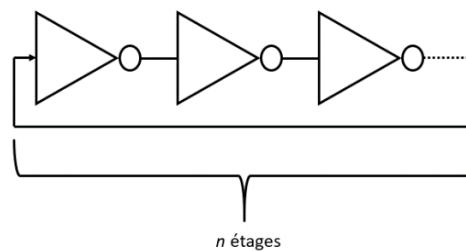


Figure 3-11 : Exemple d'un oscillateur en anneau à n étages d'inverseurs

Une formule générique exprimant la fréquence d'oscillation d'un oscillateur en anneau composé de n étages d'amplification est donnée ci-après :

$$f_{\text{oscillateur anneau}} = \frac{1}{2.n.t_d} \quad (2 - 5)$$

Avec, n le nombre d'étages d'amplificateurs et t_d le temps de propagation du signal par étage.

Un exemple d'analyse théorique afin de déterminer le gain minimal dans le but d'obtenir des oscillations pour un oscillateur à trois étages est donné ci-après. La figure ci-dessous montre la schématique de celui-ci [3].

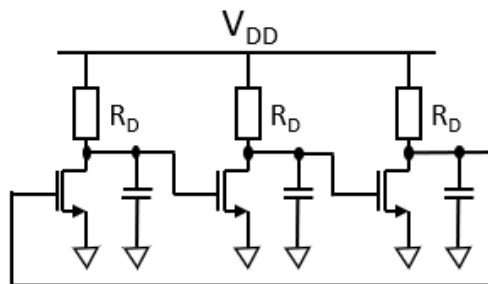


Figure 3-12 : Oscillateur en anneau à trois étages

La relation liant le nombre de cellule d'amplification et le délai de propagation permet alors de satisfaire les conditions d'oscillations imposées par le critère de Barkhausen. Pour cela, nous pouvons calculer le gain en tension minimal par étage d'amplification afin d'observer des oscillations. Les calculs ci-dessous sont valables pour un oscillateur composé de trois étages d'amplifications.

La fonction de transfert de chaque étage est donnée par :

$$H(s) = -A_0 / (1 + \frac{s}{\omega_0}) \quad (2 - 6)$$

Avec ω_0 un pôle de la fonction de transfert de chaque étage d'amplification.

Donnant pour le gain de boucle :

$$H(s) = \frac{A_0^3}{(1 + \frac{s}{\omega_0})^3} \quad (2 - 7)$$

Le circuit oscillera seulement si le décalage en phase égale 180° , c'est-à-dire que si chaque étage produit 60° de décalage. La fréquence à laquelle cela se produit est égale à

$$\tan^{-1} \frac{\omega_{osc}}{\omega_0} = 60^\circ \quad (2 - 8)$$

$$\text{Soit : } \omega_{osc} = \sqrt{3}\omega_0 \quad (2 - 9)$$

Le gain en tension minimal par étage doit être égale à l'unité à ω_{osc} :

$$\frac{A_0^3}{\left(\sqrt{1 + \left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right)^3} = 1 \quad (2 - 10)$$

Des deux relations précédentes, on en déduit : $A_0 = 2$.

En résumé, un oscillateur en anneau composé de trois étages requiert un gain de 2 par étage, et oscille à $\sqrt{3}\omega_0$, où ω_0 est la bande passante à -3 dB de chaque étage.

Les différents types d'oscillateurs ont été présentés avec leurs avantages et inconvénients respectifs. Une approche théorique afin de déterminer les conditions d'oscillation ainsi que le calcul de la fréquence d'oscillation ont été introduits. La partie suivante se consacre à la présentation de différents moyens de polarisation de chaque étage d'amplification.

3.2.2. Méthodes de réglage de la fréquence

La consommation affecte directement les performances en bruit ainsi que la fréquence de fonctionnement des oscillateurs en anneau. Différentes méthodes de polarisation existent et présentent chacune leurs avantages et inconvénients. Une liste non exhaustive est donnée ci-dessous [5].

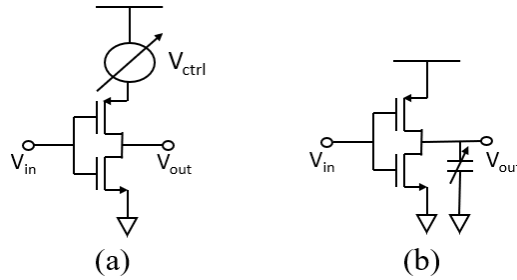


Figure 3-13 : Méthodes de réglage de la fréquence par variation (a) du g_m , (b) du varactor

Tout d'abord, la première méthode consiste simplement à contrôler le délai de propagation en variant le courant de polarisation par étage. Néanmoins, l'amplitude du signal en sortie est également directement affectée et varie en fonction.

Une seconde méthode consiste à contrôler la capacité de charge. Le délai de propagation est contrôlé en variant la valeur de la capacité à l'aide de varactor, impactant peu la consommation de l'oscillateur, contrairement à la première méthode.

Une dernière méthode (celle qui sera retenue dans notre travail) consiste à modifier la charge des étages d'amplificateur en variant la tension de contrôle par les grilles des transistors pmos. La figure ci-dessous en donne une illustration.

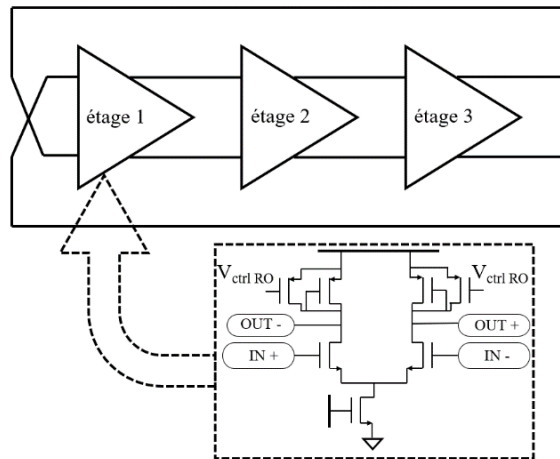


Figure 3-14 : Architecture complète de l'oscillateur en anneau réalisé

La figure 14 décrit l'architecture de l'oscillateur en anneau réalisée pour le premier circuit conçu dont les mesures sont exposées dans le chapitre suivant. Celui-ci est composé de trois étages d'amplifications différentiels. Le contrôle de la charge par ($V_{ctrl\ RO}$) permet de contrôler la fréquence d'oscillation naturelle de l'oscillateur. L'architecture d'oscillateur sera plus davantage explicitée dans le chapitre 3. Puis, une version optimisée sera introduite dans le chapitre 4.

3.2.3. Caractérisation d'un oscillateur

Afin de caractériser la performance d'un oscillateur, trois paramètres cruciaux sont à considérer : la fréquence de fonctionnement, le bruit de phase et la consommation.

Il est ainsi possible de dresser une figure de mérite reprenant ces différents paramètres par la formule suivante :

$$FoM = 10.\log\left(\frac{P_{DC}}{1\text{ mW}}\right) - 20.\log\left(\frac{f_{osc}}{\Delta f}\right) + \mathcal{L}_{\Delta f}(f_{osc}) \quad (2 - 11)$$

Où f_{osc} est la fréquence d'oscillation naturelle de l'oscillateur, $\mathcal{L}_{\Delta f}(f_{osc})$ est le bruit de phase à un offset de fréquence Δf de la fréquence porteuse f_{osc} et P_{DC} la consommation de l'oscillateur exprimée en mW. Cette FoM permet alors à tout concepteur de donner une ligne conductrice dans la conception du circuit, facilitant par la même occasion la comparaison à l'état-de-l'art.

L'exigence continue de miniaturisation des circuits intégrés conduit à la prise en compte d'un ultime paramètre, celui de la surface occupée par le circuit. L'intérêt de diminuer au maximum la taille de la puce est double. Tout d'abord, la question du coût, directement lié à un intérêt industriel. Enfin, contrairement aux éléments actifs, les passifs tels que les capacités et inductances (nécessaires pour les oscillateurs de type LC par exemple) requièrent une plus importante surface sur la puce lors de la fabrication. Or, dans un contexte de réduction de taille des technologies CMOS avancées, l'intégration de ces passifs se montre intuitivement contraignante.

En raison de leur faible performance en bruit de phase, due à l'accumulation de jitter à travers les différentes cellules de délais ainsi que d'un facteur de qualité Q plus faible, les oscillateurs en anneau peinent à rivaliser avec les architectures de type LC. Afin de pallier cela, il est possible, au détriment d'une consommation plus élevée, d'améliorer celles-ci.

Contrairement aux architectures de type LC, les oscillateurs en anneau permettent de générer plusieurs phases (en sortie de chaque étage d'amplification) sans la nécessité de circuits additionnels comme des diviseurs I/Q ou filtres polyphasés. Cet atout pour la conception de circuit destinée à de la récupération d'horloge et de données, permet de sélectionner le temps optimal pour l'échantillonnage de la donnée récupérée.

Un second avantage majeur des oscillateurs en anneau en comparaison des oscillateurs LC fait suite à la volonté de diminution de la surface occupée. En effet, comme expliqué, la superficie des inductances est relativement conséquente dans la conception de circuits intégrés. La seconde raison nous poussant à nous orienter vers la conception d'un oscillateur en anneau réside ici. Proposer un circuit concurrençant à la fois une architecture LC en termes de bruit de phase tout en exploitant une architecture sans inductance afin de tirer profit d'une occupation de surface drastiquement réduite.

Pour ces deux avantages inhérents à l'architecture des oscillateurs en anneau, à savoir la génération de signaux multiphasiques (en sortie de chaque étage) ainsi que l'absence d'inductance, les oscillateurs en anneau constituent un candidat idéal dans la conception de circuit destiné à de la récupération d'horloge et de données.

Comme expliqué, les oscillateurs en anneau présentent naturellement un bruit de phase dégradé en comparaison des oscillateurs LC. Afin de remédier à ce désagrément, le mécanisme

de verrouillage par injection apparait comme une solution idéale dans le cas de notre étude. Le principe ainsi que les méthodes afin d'opérer correctement cette synchronisation par injection sont explicités dans la section suivante.

3.3. Oscillateur verrouillé par injection

3.3.1. Principe du verrouillage par injection

Le principe du verrouillage par injection a été introduit pour la première fois par Christiaan Huygens au 17ème siècle. Ce principe repose sur l'idée d'injecter un signal à une fréquence correspondant à un harmonique (ou à une fréquence sensiblement proche) de la fréquence d'oscillation naturelle de l'objet afin que celui-ci oscille à cette nouvelle fréquence ; on dit alors que le système est verrouillé/synchronisé par injection à cette nouvelle fréquence. La figure ci-dessous reprend le principe :

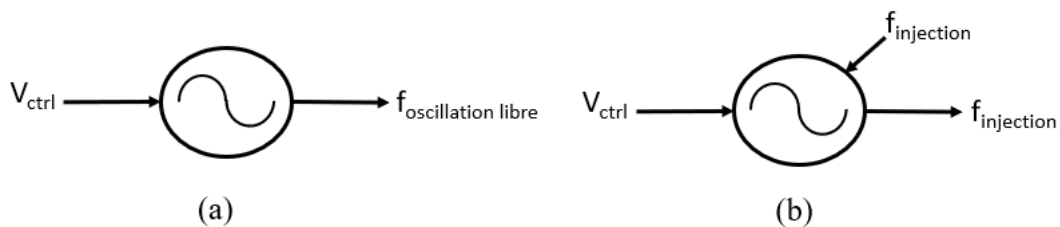


Figure 3-15 : (a) Oscillateur en oscillation libre, (b) Oscillateur verrouillé par injection

La figure 3-15 (a) illustre le fonctionnement d'un oscillateur classique. La fréquence générée en sortie de l'oscillateur dépend de la tension d'entrée qui lui est appliquée. La figure 3-15 (b) image l'injection d'un signal oscillant à une fréquence harmonique de la fréquence d'oscillation naturelle de la figure 3-15 (a) afin d'obtenir en sortie de l'oscillateur la synchronisation à la fréquence injectée. Un vif intérêt quant à cette découverte a émergé lorsque des premières études ont révélé l'influence bénéfique du verrouillage par injection sur un système électronique, notamment par l'appréciation d'une nette amélioration sur le bruit de phase.

Diverses approches concernant le processus de verrouillage par injection sur les oscillateurs existent. L'approche la plus classique et la plus répandue vient des équations d'Adler [6], incluant l'étude du comportement de l'oscillateur verrouillé par injection par le biais de diagramme de phase. B. Razavi, [7] propose une étude en s'appuyant sur l'étude d'Adler et en développant cette dernière.

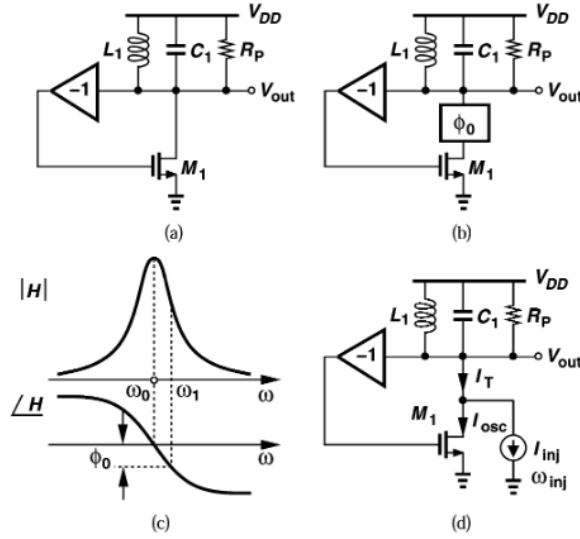


Figure 3-16 : (a) Oscillateur à résonateur LC, (b) Fréquence décalée suite à un décalage de phase, (c) Caractéristiques en boucle ouverte et (d) Décalage de fréquence par injection [7]

La figure 3-16 (a) représente un oscillateur à résonateur LC basique, oscillant à une fréquence de résonance à $\omega_0 = 1/\sqrt{L_1 C_1}$. Un buffer inverseur idéal est ajouté afin de déphaser le signal de 360° dans la boucle de contre-réaction afin de satisfaire les conditions d'oscillation. En introduisant un déphasage supplémentaire φ_0 (fig.3-16 (b)), le circuit n'oscille plus à ω_0 car le déphasage total de la boucle est maintenant égal à $360^\circ + \varphi_0$.

Comme l'illustre la figure 3-16 (c), la fréquence d'oscillation doit alors résonner à une nouvelle fréquence, appelée ω_1 , afin que le réseau LC ajoute assez de déphasage pour annuler l'effet de φ_0 . Supposons à présent (fig. 3-16 (d)) que φ_0 est réellement produit par l'injection d'un signal périodique sinusoïdal au niveau du courant de drain de M_1 . Ainsi, si l'amplitude et la fréquence du signal injecté sont judicieusement choisies, l'oscillateur se synchronisera à cette nouvelle fréquence injectée (ω_{inj}), le phénomène de verrouillage par injection apparaît alors.

La figure ci-dessous donne une représentation des différents signaux sous forme de diagramme de phases.

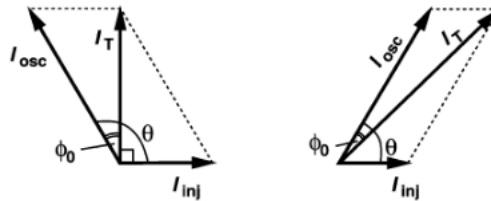


Figure 3-17 : Différence de phases pour deux valeurs de $|\omega_{inj} - \omega_0|$ et I_{inj}

On retrouve : θ , la différence de phase entre le signal injecté (I_{inj}) et le signal de l'oscillation naturelle (I_{osc}) et φ_0 la différence de phase entre la fréquence en oscillation libre (I_{osc}) et le signal résultant en sortie I_T . Cependant, cette hypothèse soulève deux problématiques lorsque le verrouillage par injection sur les oscillateurs en anneau est étudié. Primo, il repose sur le point qu'il demeure seulement un pôle fréquentiel dominant. Ultimo, il est requis de connaître le facteur de qualité Q , qui est généralement difficile à quantifier précisément dans le cas des oscillateurs en anneau [8], [9].

Ainsi, l'approche proposée ici consiste à reprendre l'analyse de [10] elle-même s'appuyant sur les équations d'Adler, et amène une extension permettant d'éliminer les deux limitations mentionnées précédemment, la rendant plus adéquate pour les oscillateurs en anneau verrouillés par injection.

Nous commençons par rappeler l'équation de verrouillage introduite par Adler :

$$\frac{d\alpha}{dt} = -\omega_L \sin \alpha(t) + \Delta\omega_0, \text{ avec } \omega_L = k \frac{\omega_0}{2Q} \quad (2 - 12)$$

Où, α est la différence de phase entre la sortie résultante et le signal d'injection, ω_L représente la moitié de la plage de verrouillage, ω_0 est la fréquence d'oscillation naturelle, I_{inj} le signal injecté, $\Delta\omega_0$ la différence de fréquence entre ω_0 et I_{inj} , Q le facteur de qualité et k la force d'injection, définie par :

$$k = \frac{I_{inj}}{I_{osc}} \quad (2 - 13)$$

En revisitant l'équation comme dans [10], il est identifiable ce qui suit :

$$\frac{d\alpha}{dt} = \frac{\varphi}{\frac{d\varphi}{d\omega}} + \Delta\omega_0 \quad (2 - 14)$$

Ces trois relations donnent une estimation mathématique de la plage de verrouillage pour les oscillateurs à résonnateur LC. Cette estimation se base sur la connaissance du facteur de qualité Q . Néanmoins, comme expliqué précédemment, il est difficile d'approximer ce facteur de qualité dans le cas d'un oscillateur en anneau. L'approche suivante évalue la plage de verrouillage d'un oscillateur en anneau, sans utiliser Q .

Pour cela, nous repartons de l'équation (2-14) et [6] révèle également que :

$$\frac{d\alpha}{dt} = -\frac{k}{A} \sin \alpha(t) + \Delta\omega_0 \quad (2 - 15)$$

Avec, A le rapport de coefficient exprimé comme suit :

$$A = \frac{n \sin\left(\frac{2\pi}{n}\right)}{2\omega_0} \quad (2 - 16)$$

Avec n , le nombre d'étages d'amplification de l'oscillateur en anneau. Nous pouvons ainsi en déduire la plage de verrouillage pour un oscillateur en anneau :

$$\omega_L = \frac{k}{A} \quad (2-17)$$

Avec ω_L la moitié de la plage de verrouillage dans le cas d'un oscillateur en anneau, et k la force d'injection (définie par l'équation (2-15)).

Une étude plus récente de 2019 conduite par B. Hong et A. Hajimiri [11] apporte une nouvelle perspective dans le comportement d'oscillateurs LC et en anneau verrouillés. Dans le cas de notre étude, nous nous intéresserons exclusivement au cas des oscillateurs en anneau.

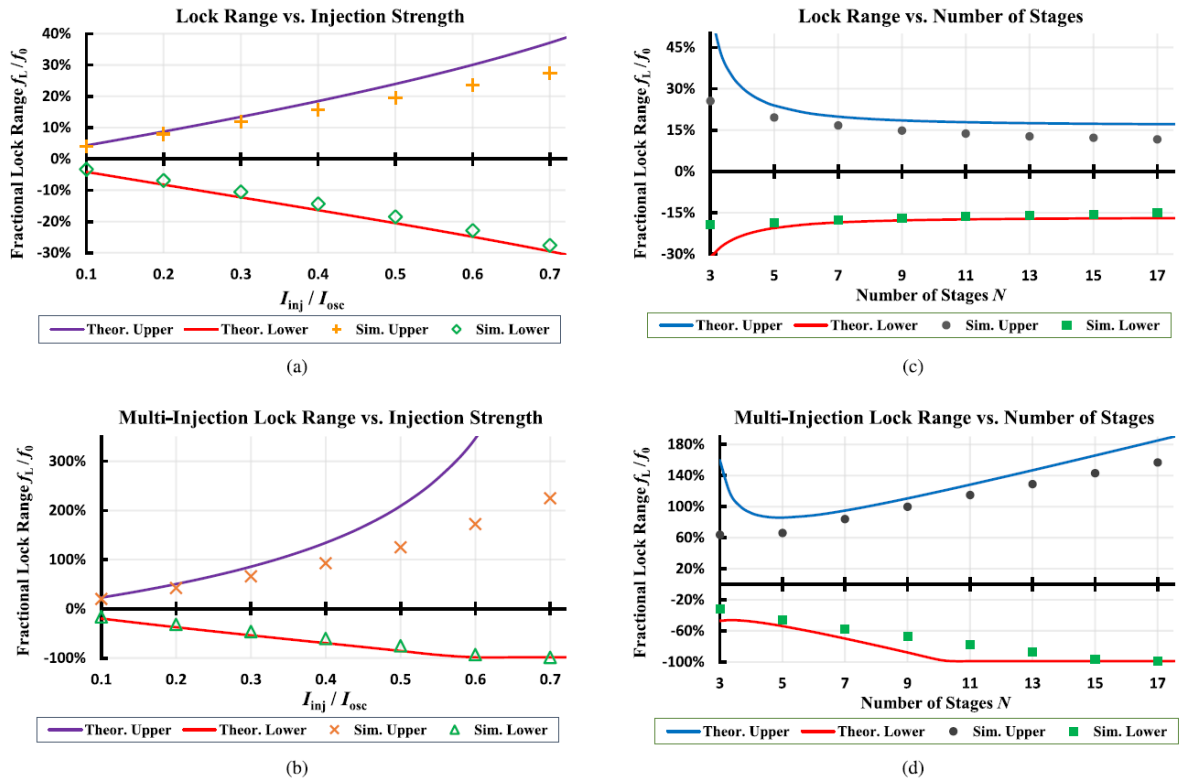


Figure 3-18 : Plage de verrouillage théorique vs simulée pour divers scénarii

La figure 3-18 permet de conforter trois points essentiels concernant les paramètres influençant la plage de verrouillage. Le premier révèle que la plage de verrouillage de l'oscillateur et la force d'injection (I_{inj}/I_{osc}) évoluent de façon proportionnelle (fig.3-18 (a)).

La figure 3-18 (b) indique une plus importante influence d'une injection multiple sur la plage de verrouillage en comparaison d'une injection sur un seul étage (augmentation jusqu'à 220% contre 28% (fig. 3-18 (a) d'après les simulations)).

Le dernier point démontre que la plage de verrouillage de l'oscillateur est beaucoup plus dépendante du nombre d'étages de l'oscillateur lors d'une multi-injection que par une injection sur un seul étage (jusqu'à 160% environ (fig. 3-18 (d)) contre 13% estimé depuis la (fig. 3- 18 (c))).

3.3.2. Méthodes d'injection

Après avoir défini de manière théorique le principe du verrouillage par injection, tentons de dresser une liste des différents types d'injection existants.

La figure ci-dessous illustre deux méthodes d'injection pour les oscillateurs LC et en anneau : injection de queue et injection directe.

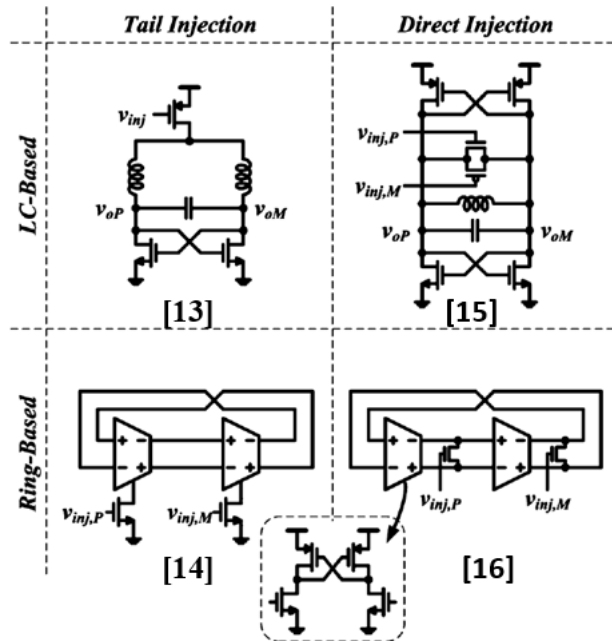


Figure 3-19 : Différents types de méthodes d'injection selon le type d'oscillateur [12]

Une première méthode d'injection, intitulée injection de queue (*tail injection*, en anglais) consiste à modifier le courant de polarisation des transistors au cours du temps. Ce principe revient à varier la transconductance des transistors réalisant l'amplification nécessaire aux oscillations ([13] et [14]).

Une seconde méthode, qualifiée d'injection directe (*direct injection*, en anglais), vise à varier l'impédance en modulant la conductance de charge. Cette méthode d'injection impose de connecter directement le moyen d'injection, soit au niveau de la sortie pour un oscillateur LC, soit en sortie d'un étage d'amplification dans le cas d'un oscillateur en anneau ([15] et [16]).

Dans le cas de la conception d'un oscillateur en anneau, la seconde méthode octroie une réduction drastique du jitter généré par chaque étage, au détriment d'un accroissement de la consommation. Chacune des méthodes existe en mode commun et différentiel. Néanmoins, la contribution du différentiel en comparaison du mode commun octroie une insensibilité quant aux perturbations venant de l'alimentation et du substrat bien supérieure à celle du mode commun, rendant alors le mode différentiel préférable.

Enfin d'autres travaux évoquent la possibilité d'injection d'une seule phase (*single phase*, en anglais) ou de plusieurs phases (*multiphase*, en anglais). L'injection d'une seule phase peut être employée lorsqu'une seule phase est nécessaire [17]. Il est également possible de recourir à une injection différentielle lorsque deux signaux en opposition de phases sont disposés en entrée.

Toutefois, le principe d'injection de plusieurs phases [18] a permis de révéler un autre bénéfice. En effet, l'étude illustrée en figure 3-18 a permis de mettre en exergue qu'une injection simultanée multiphasique permet d'accroître la plage de verrouillage de l'oscillateur. Cette étude a été confirmée par une seconde étude ((fig.3-19) [14]) sur un oscillateur en anneau composé de trois étages d'amplification différentiels, proposant ainsi six phases dissemblables.

Takano et al. ([19]) introduisent une méthode de synchronisation par injections d'impulsions subharmoniques (*PILFM*, en anglais). Comme [16], le principe d'injection repose sur une injection directe dans un oscillateur en anneau. L'intérêt majeur d'une telle topologie permet d'éviter l'utilisation d'un diviseur de fréquence et donc de diminuer la consommation ainsi que la surface occupée. La figure ci-dessous illustre le PILFM proposé.

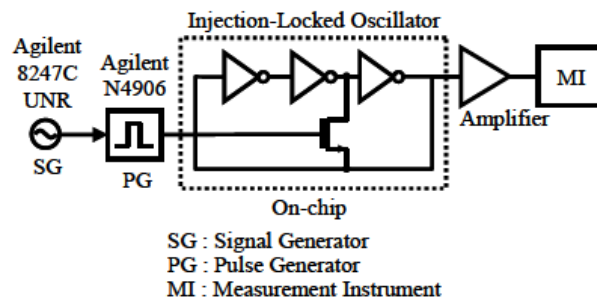


Figure 3-20 : Oscillateur en anneau verrouillé par injections d'impulsions proposé (*PILFM*)

Une telle architecture permet ainsi de relaxer la consommation totale du circuit ainsi que la surface. En effet, le recours à l'utilisation d'un oscillateur en anneau à la place d'un oscillateur LC permet de drastiquement réduire la surface de la puce. De plus, par l'action de la synchronisation par injection, les performances en bruit de phase des oscillateurs en anneau se retrouvent équivalentes à celles d'un oscillateur LC.

Après avoir défini les différentes techniques de synchronisation par injection sur les oscillateurs, présentons le bloc opérant le verrouillage par injection retenu dans notre étude.

3.3.3. Bloc d'injection proposé

Dans le but de synchroniser l'oscillateur à la fréquence injectée, nous avons décidé de reprendre le principe introduit par [16], à savoir une injection directe et différentielle dans un oscillateur en anneau. Similairement à [19], un circuit servant de générateur d'impulsions est conçu dans un premier temps. La figure ci-dessous en donne le synoptique.

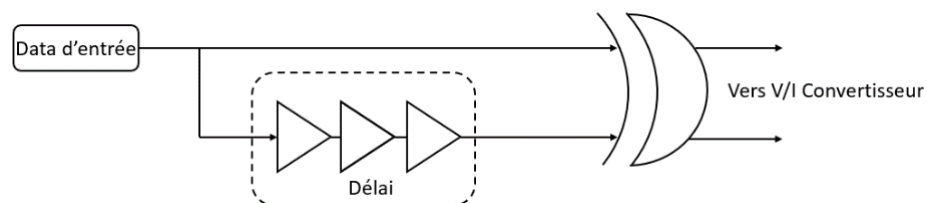


Figure 3-21 : Générateur d'impulsions proposé

Le générateur d'impulsions représente le bloc d'entrée du circuit complet conçu (fig. 3-1). Son architecture se compose d'une ligne de délai ainsi que d'une porte logique OU EXCLUSIF (XOR).

Le signal d'entrée (représenté par les Data) est envoyé à travers deux chemins vers la XOR, dont l'un est retardé par des cellules de délais. Ce délai ajouté résulte en une impulsion en sortie de la porte XOR. Une attention particulière est à prendre en considération concernant la largeur des impulsions générées (et donc du délai généré). En effet, afin de nous situer dans une version optimale de fonctionnement, cette largeur d'impulsions doit être d'une valeur égale à la demi-période du signal de sortie. Sachant cela, il est donc nécessaire que la cellule de délai retarde le signal d'entrée d'une demi-période ([20]).

La figure ci-dessous donne le chronogramme résultant du générateur d'impulsions.

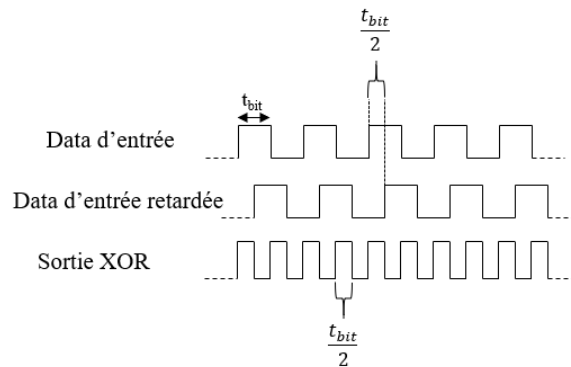


Figure 3-22 : Chronogramme du générateur d'impulsions

La sortie différentielle de la porte logique XOR est ensuite connectée à l'étage suivant : le convertisseur de tension en courant.

Le second et ultime prérequis consiste à convertir ce signal en impulsions de courant afin d'opérer correctement le verrouillage par injection. Pour cela, un étage de convertisseur de tension en courant réglable a été conçu [20]. La figure ci-dessous illustre la schématique du convertisseur réalisé.

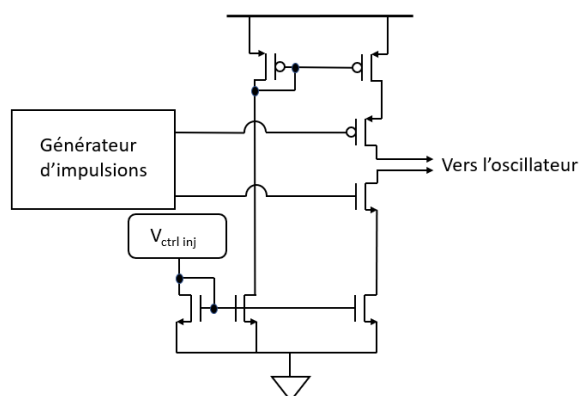


Figure 3-23 : Convertisseur de tension en courant réglable

La conversion est réalisée via les transistors de sortie nmos et pmos connectés en source commune simple. Les sorties respectives de ceux-ci sont directement connectées à la sortie du premier étage de l'oscillateur en anneau. Enfin, une entrée supplémentaire ($V_{ctrl\ inj}$) extérieure réglable manuellement, contrôle la force du signal d'injection et ainsi de synchroniser l'oscillateur à la fréquence injecté.

Le bloc d'injection proposé ayant été présenté, introduisons maintenant la base du système basée sur le principe d'une boucle à verrouillage de phase (fig.3-1). Pour cela, nous

commençons par expliquer ce principe puis le développons par le biais d'une analyse théorique, avant de présenter chacun des sous-blocs constituant cette boucle.

3.4. Boucle à verrouillage de phase

Le concept de boucle à verrouillage de phase a été inventé dans les années 1930 et a trouvé un usage largement répandu dans les circuits électroniques et de communications. Un système de boucle à verrouillage de phase (*Phase Locked Loop* ou *PLL*) est un circuit électronique utilisé pour le contrôle et la génération de fréquences dont son fonctionnement repose sur la comparaison des phases de sortie et d'entrée du système. Ces circuits sont des systèmes à boucle fermée, dit à contre-réaction, et reposent sur l'utilisation de trois composants : un oscillateur, un comparateur de phase/fréquence ainsi qu'un filtre de boucle. La figure suivante en donne une illustration.

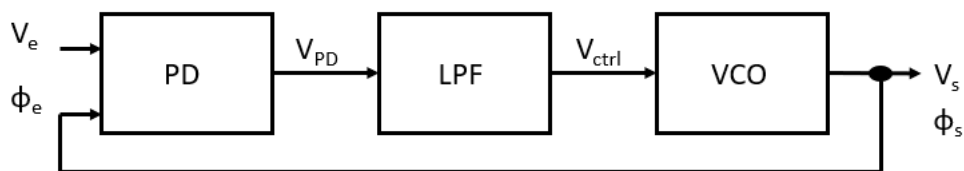


Figure 3-24 : Simple boucle à verrouillage de phase

Ces circuits sont généralement utilisés dans diverses applications telles que les synthétiseurs de fréquence, les démodulateurs ou encore des circuits à récupération d'horloge et de données, l'objet de notre intérêt.

3.4.1. Principe

Définissons tout d'abord le principe de verrouillage de phase. Cette idée consiste à aligner les phases de l'oscillateur (générant la fréquence de fonctionnement du système), avec celle de l'horloge de référence (le signal d'entrée).

Comme expliqué précédemment, l'oscillateur génère la fréquence de fonctionnement du système de la boucle à verrouillage de phase. Puis, un comparateur de phase et/ou fréquence est nécessaire afin de comparer le signal d'horloge de référence avec le signal de la boucle de retour. Enfin, dans le but d'assurer un fonctionnement optimal, un filtre de type passe-bas est ajouté en sortie du comparateur afin de supprimer la composante alternative, qui est non désirable et potentiellement responsable de perturbations sur la tension de contrôle de l'oscillateur (V_{ctrl}).

Afin de déterminer précisément les conditions de verrouillage de phase, supposons que la boucle de la figure 3-24 est verrouillée, nous pouvons alors affirmer que $\phi_s - \phi_e$ est constant, faible (idéalement nul) et ne varie pas au cours du temps. Nous pouvons alors écrire :

$$\frac{d\phi_s}{dt} - \frac{d\phi_e}{dt} = 0$$

$$\text{Soit, } \omega_s = \omega_e$$

(2 - 18)

En résumé, lorsque la boucle à verrouillage de phase est verrouillée, celle-ci produit une faible erreur de phase entre le signal d'entrée et de retour de boucle, à fréquence identique.

Différents compromis dans une boucle à verrouillage de phase sont à considérer entre le temps d'établissement, les perturbations sur la tension de contrôle ainsi que l'erreur de phase.

Les boucles à verrouillage de phase de type I souffrent d'un inconvénient critique, leur faible plage d'acquisition. En effet, un filtrage élevé est recommandé dans le but de réduire au maximum les perturbations sur la ligne de tension de contrôle de l'oscillateur, au prix d'une réduction de la plage d'acquisition de la boucle à verrouillage de phase.

Cependant, en raison des variations dues au processus de fabrication de la température et de l'alimentation (PVT), il est possible que la fréquence de l'oscillateur varie de façon considérable, éloignant alors la fréquence d'oscillation naturelle de la fréquence initialement ciblée. Le deuxième intérêt de la synchronisation par injection intervient là. Ce mécanisme permet d'imposer la fréquence de fonctionnement, retirant le besoin d'intégrer une pompe de charge et réduisant ainsi consommation et occupation de surface.

3.4.2. Caractérisation d'une boucle à verrouillage de phase

La boucle à verrouillage de phase est définie par deux plages de fréquence distinctes : la plage d'acquisition/capture et la plage de suivi/maintien. La figure ci-dessous en donne une illustration.

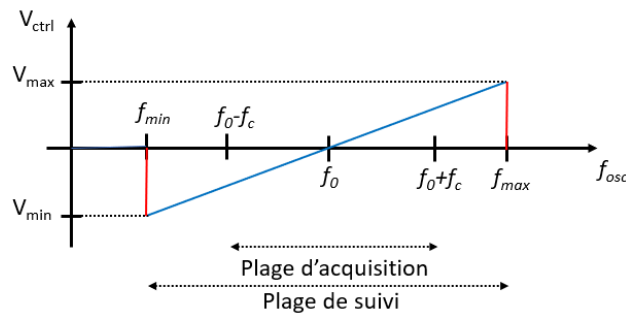


Figure 3-25 : Illustration de la plage d'acquisition et de suivi de la boucle à verrouillage de phase

La plage d'acquisition est fixée par la fréquence d'oscillation naturelle de l'oscillateur (f_0) et se délimite par la valeur du filtre (f_c) de la boucle à verrouillage de phase. Celle-ci s'étend alors de $f_0 - f_c$ à $f_0 + f_c$ et se rapporte à la plage dans laquelle la boucle à verrouillage de phase autorise la synchronisation avec le signal d'entrée du système.

La plage de suivi/maintien quant à elle, se réfère à la plage de fréquence dans laquelle la boucle à verrouillage de phase peut varier tout en conservant le verrouillage. Cette affirmation suppose que la boucle à verrouillage de phase doit préalablement être verrouillée. Cette plage s'étend sur toute la plage à laquelle la fréquence de l'oscillateur évolue linéairement par rapport à sa tension de contrôle (V_{ctrl}).

Une fois le régime établi atteint, la boucle à verrouillage de phase est alors dite *verrouillée*. L'oscillateur ayant déjà été explicité précédemment, la prochaine section concerne l'étude du comparateur de phase et du filtre de boucle.

3.5. Comparateur de phase et filtre de boucle

3.5.1. Principe

Comme démontré dans le chapitre 1, le spectre des données en entrée du système sont de modulation NRZ et ne présente donc pas d'impulsions égales à la fréquence des bits de données d'entrée. Afin d'opérer correctement le verrouillage à la fréquence ciblée, il est nécessaire de concevoir un élément permettant de générer ces impulsions. C'est au comparateur de phase qu'en incombe la tâche.

L'objectif de ce bloc consiste à comparer les phases du signal de référence avec celle de la sortie de l'oscillateur. On appelle erreur de phase la différence de phase entre les deux signaux comparés sur les entrées du comparateur. La sortie résultante génère un signal attaquant un filtre passe-bas.

Une tension proportionnelle à la différence des signaux d'entrée est générée à la sortie du comparateur (V_s), permettant de contrôler, sur une certaine plage de fréquence, la fréquence d'oscillation de l'oscillateur et donc du système. L'équation de sortie est donnée ci-dessous :

$$V_s = K_{PD}(\varphi_s(t) - \varphi_e(t)) \quad (2 - 19)$$

Avec K_{PD} le gain du détecteur de phase (en Hz/V), $\varphi_s(t)$ et $\varphi_e(t)$ les phases des signaux de sortie et d'entrée, respectivement.

La partie consacrée au principe d'une boucle à verrouillage de phase évoque l'importance du filtre de boucle. La sous-section suivante s'attaque ainsi à la détermination de celui-ci.

3.5.2. Détermination du filtre de boucle

Le filtre de boucle constitue un élément essentiel dans le principe de fonctionnement de la PLL. Celui-ci doit prendre en considération le compromis entre largeur de plage d'acquisition, filtrage et temps d'accrochage/d'établissement de la PLL. En effet, une large plage d'acquisition réduira le temps d'établissement de la PLL au détriment d'un filtrage plus faible, donc un signal de contrôle du VCO dégradé.

Concernant notre étude, le choix du type de filtre de boucle s'est orienté vers un filtre de premier ordre. Le principe de verrouillage par injection imposant déjà une fréquence de fonctionnement, un filtre de premier ordre se montre suffisant afin d'assurer le filtrage du signal V_{ctrl} . L'expression de sa bande passante est définie par la relation suivante :

$$\omega_{LPF} = \frac{1}{RC} \quad (2 - 20)$$

Avec ω_{LPF} la valeur du filtre passe-bas, R et C la résistance et capacité respective du filtre. La sortie du comparateur de phase doit nécessairement être filtrée afin d'assurer un fonctionnement optimal de la boucle à verrouillage de phase. En effet, lorsque la boucle à verrouillage de phase se trouve en régime établi, il est impératif que la tension de contrôle (V_{ctrl}) de l'oscillateur se maintienne à un état le plus stable possible, afin d'éviter toute variation de fréquence pouvant potentiellement induire de l'ajout de jitter voire un déverrouillage de la boucle.

Différentes topologies de comparateur de phase/fréquence sont présentées dans la sous-section suivante.

3.5.3. Types de comparateur phase/fréquence

Les topologies de comparateur de phase les plus répandues sont connues sous les noms respectifs de d'architectures de Hogge pour certains et Alexander pour d'autres [3]. Les figures 3-26 et 3-27 donnent une représentation des topologies *Alexander Phase Detector* et *Hogge Phase Detector*, respectivement.

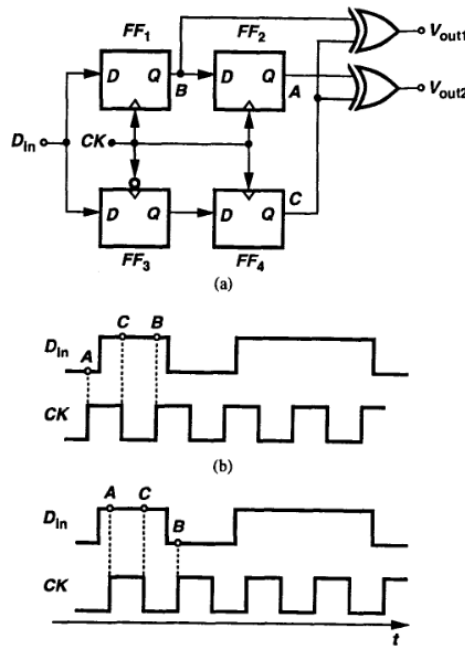


Figure 3-26 : Comparateur de phase type Alexander

La figure ci-dessus illustre la schématisation (a) ainsi que l'allure des données et de l'horloge pour deux cas ; lorsque l'horloge précède les données d'entrée d'une part et lorsque l'horloge est retardée par rapport aux données d'entrée (b).

L'architecture d'Alexander repose sur le principe d'un *bang-bang Phase Detector*. Une faible différence de phase entre le front des données et de l'horloge conduit les sorties (V_{out1} et V_{out2}) à des niveaux logiques entiers (1 ou 0). Ce type de comparateur de phase est aussi reconnu sous le nom de *détecteur de phase binaire*.

Le principe de détection de phase Alexander repose sur la méthode de détection nommée « *early-late* ». Cette méthode emploie trois échantillonneurs dont l'objectif est d'analyser le signal des données par le biais de trois fronts d'horloge consécutifs. Le détecteur de phase peut ainsi déterminer à quel endroit se situe la transition de données et en déduire si le signal d'horloge précède ou est retardé par rapport au signal de données.

Cette topologie de détecteur de phase présente alors deux avantages majeurs : le premier démontre que les données sont rééchantillonnées automatiquement et les signaux de données en sortie de FF₁ et FF₂ sont valides. Le second point indique qu'en l'absence de transitions de données, la sortie génère un signal dc nul, laissant ainsi la ligne de contrôle de l'oscillateur non dérangée [21], [22].

Comme indiqué dans la figure 3-27, un désavantage majeur de ce type de détecteur de phase repose sur la nécessité de recourir à 4 DFFs et deux portes XORs. Cela vient alors au prix d'une augmentation de la consommation ainsi que de la surface occupée. Le second inconvénient découle aussi directement de l'architecture, qui conduit à une sensibilité plus élevée quant aux variations de processus de fabrication et température en comparaison à un détecteur de phase basé sur une DFF classique [23].

Une seconde topologie de détecteur de phase nommée *Hogge Phase Detector* est introduite ci-après. Ce type de détecteur de phase est aussi connu comme un détecteur de phase linéaire. Son nom est tiré directement de son fonctionnement ; celui-ci corrige les erreurs de phase proportionnellement à leurs écarts. L'avantage d'une telle architecture proportionnelle demeure dans le fait que, contrairement à une topologie *bang-bang*, une faible variation est perçue sur la ligne de contrôle du VCO lorsque la PLL est verrouillée, induisant alors de bonnes performances en jitter [24].

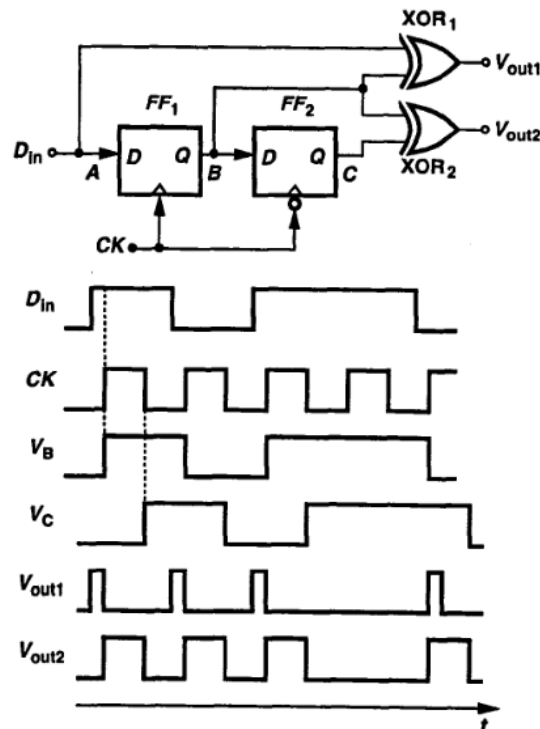


Figure 3-27 : Comparateur de phase type Hogge

Cette architecture comprend deux bascules D flipflops dont les horloges respectives sont en opposition de phase. Les sorties (V_{out1} et V_{out2}) du détecteur de phase génèrent des impulsions

qui attaquent par la suite une pompe de charge. Dans le cas où la CDR est verrouillée, les données et l'horloge sont synchronisées, donc les impulsions de V_{out1} et V_{out2} sont égales. Ces sorties possédant une largeur d'impulsion égale, ces dernières sont soustraites et attaquent par la suite un filtre passe-bas. La tension présentée au filtre ne présente donc pas de changement. Ainsi, la correction totale provient de la différence de largeur d'impulsions entre V_{out1} et V_{out2} .

Néanmoins, ce type d'architecture montre également quelques désagréments. Premièrement, lorsqu'il s'agit d'un fonctionnement à haut débit, il devient difficile de créer de faibles impulsions en raison des temps de commutation. Enfin, les comparateurs linéaires apparaissent plus sensibles que les détecteurs de phase binaires quant aux variations PVT. De légères variations dues aux PVT peuvent être source de génération de jitter.

Une ultime topologie de comparateur de phase est une porte logique OU-exclusive (XOR). Comme indiqué dans la partie précédente, l'objectif du comparateur de phase est de comparer les phases de V_{out} et V_{in} , générant alors une erreur faisant varier la fréquence de l'oscillateur jusqu'à l'alignement des phases, c'est-à-dire jusqu'au verrouillage de la boucle. Cette topologie reprend le principe d'une double cellule de Gilbert [25].

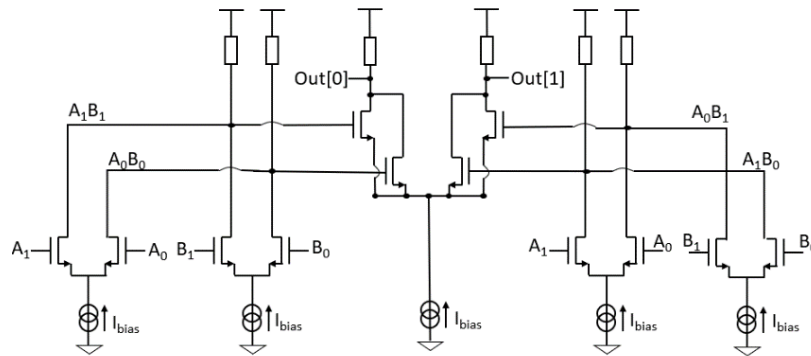


Figure 3-28 : Comparateur de phase XOR différentiel

Le principal atout de cette topologie vient de son architecture entièrement différentielle. Ceci permet de réduire considérablement l'erreur de phase en sortie. Contrairement à la cellule de Gilbert classique [26], cette architecture génère un signal au double de la fréquence du signal d'entrée avec un délai identique dans chaque branche [27]. Les paires produites (A_0B_0 , A_1B_1 , A_0B_1 et A_1B_0) constituent ainsi la fonction OU-exclusive.

Ainsi, dans le cas des circuits réalisés et dont les résultats sont présentés dans les chapitres 3 et 4 respectivement, nous avons décidé de nous orienter vers le choix d'un détecteur de phase de type XOR. La volonté d'optimiser la consommation, la surface occupée ainsi que la simplicité de design ont motivé cette sélection. La prochaine section présente un décodeur PAM4, utilisé dans le cas du circuit de CDR introduit dans le chapitre 4.

3.6. Décodeur PAM4

3.6.1. Principe

L'objectif du décodeur de PAM4 est de convertir un signal de type PAM4 afin de récupérer deux signaux de type NRZ en sortie, nommés MSB (Most Significant Bit) et LSB (Least Significant Bit, bit de poids fort et bit de poids faible, respectivement). Celui-ci constitue le

premier bloc rencontré en entrée du circuit de récupération d'horloge et de données. L'entrée du système conçu (présenté dans le chapitre 4), requiert cette conversion de données PAM4 en NRZ afin d'échantillonner correctement les données d'entrée et ainsi de récupérer en sortie du bloc de réception les trames de données correctes.

3.6.2. Types de décodeur PAM4

J. Lee et al. [28] et [29] présentent dans leur étude un premier décodeur PAM4. La figure 3-29 donne une vue générale du circuit de réception.

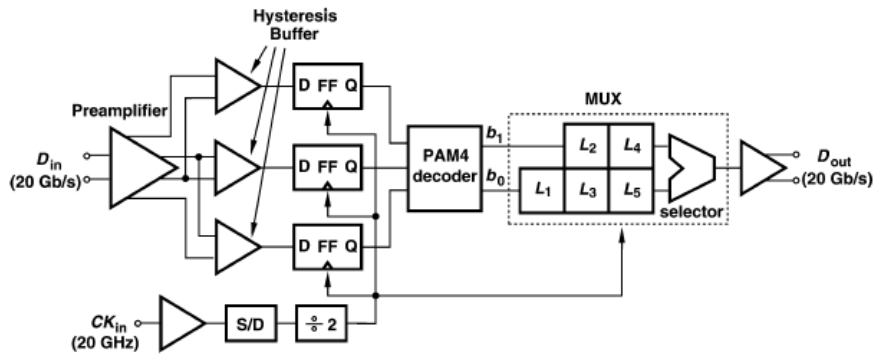


Figure 3-29 : Bloc de réception PAM4

Afin d'opérer le décodage des données PAM4, il est nécessaire dans un premier temps de générer trois niveaux de tension afin de distinguer les quatre niveaux du signal PAM4. Pour cela, un préamplificateur génère en sortie les trois niveaux de tension, avec leurs valeurs respectives choisies de sorte à être symétriques en fonction de la valeur de la tension du milieu générée. Ceux-ci traversent par la suite des buffers afin d'amplifier les signaux, puis sont remis en forme par le biais de DFFs. Ces trois signaux sont ensuite présentés aux entrées du décodeur PAM4.

Dans une étude plus récente, [30] propose un décodeur PAM4 basé sur un correcteur de gain variable adaptatif (AVGR). Contrairement à la topologie précédente fonctionnant au débit des données d'entrée, le circuit montré ici introduit une architecture fonctionnant au quart du débit des données d'entrée afin de relaxer la forte contrainte de la fréquence de fonctionnement. De plus, le décodeur effectue une adaptation en gain et amplitude simultanément afin de décoder le bit de poids faible (LSB). Le bit de poids fort (MSB) est déterminé par le niveau de polarité et peut être directement décodé à travers le comparateur sans ajout de signal de référence supplémentaire. La figure ci-dessous en donne le synoptique.

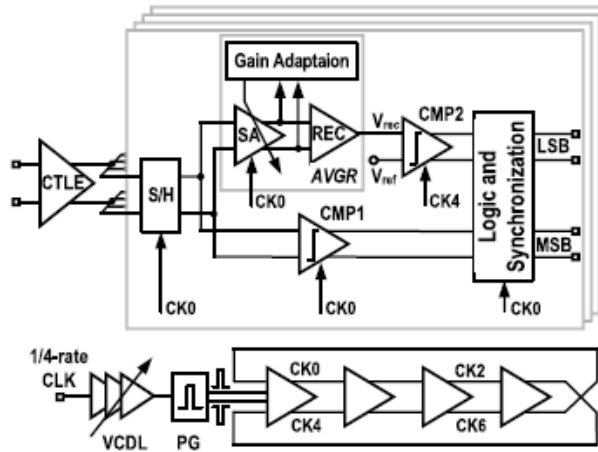


Figure 3-30 : Décodeur PAM4 basé sur un AVGR

La figure 3-30 montre la topologie du récepteur quart de débit proposé reprenant le principe d'un correcteur à gain variable adaptatif (AVGR) et un comparateur (CMP2) destiné au décodage *LSB*. Le composant AVGR est composé d'un amplificateur à gain variable, un correcteur ainsi qu'un circuit d'adaptation. Son architecture est basée sur le principe d'un comparateur type *strong-arm* [31] et [32].

L'avantage d'un décodeur PAM4 présenté par ([28] et [29]) vient de sa facilité de conception. En effet, cette architecture ne requiert que la conception de trois comparateurs en entrées avec trois niveaux de références distincts afin d'assurer un décodage fonctionnel. Par ailleurs, la consommation et surface nécessaires restent également relativement faibles. Les buffers hystérésis ne sont utilisés que pour la remise en forme des signaux et ne sont donc pas absolument nécessaires.

La topologie introduite par [30] reste aussi intéressante avec la proposition d'un AVGR mais plus complexe à concevoir et plus énergivore. Dans notre cas, nous n'avons pas, *a priori*, d'utilité directe d'employer un tel composant. Ce faisant, toujours dans les intérêts d'optimiser à la fois la consommation, la surface occupée ainsi que la facilité de conception, nous avons fait le choix d'opter vers un décodeur PAM4 semblable à celui présenté par [28] et [29]. Celui-ci est présenté dans la sous-section suivante.

3.6.3. Décodeur PAM4 proposé

Dans la lignée de l'étude réalisée dans la partie précédente présentant les atouts et contraintes de chaque type de topologie pour les décodeurs PAM4 (signaux mixtes versus CAN) ainsi que le débit maximal versus moitié/quart du débit, présentons maintenant le décodeur réalisé. Dans notre cas, nous avons opté pour la topologie donnée dans la figure suivante [28].

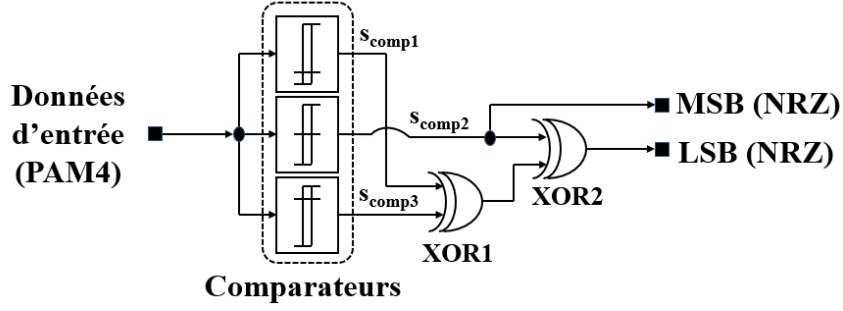


Figure 3-31 : Décodeur PAM4 proposé

Le décodeur PAM4 conçu utilise trois comparateurs de tension à trois niveaux distincts : $\frac{3V_{DD}}{4}$, $\frac{V_{DD}}{2}$ et $\frac{V_{DD}}{4}$. La sortie du comparateur 2 (s_{comp2}), utilisant une tension de référence fixée à $\frac{V_{DD}}{2}$, constitue la donnée *MSB* récupérée, qui servira également de signal d'entrée au circuit complet de CDR. La donnée *LSB*, quant à elle, est issue de la sortie de la porte logique *XOR2*, elle-même constituée pour une première entrée du signal *MSB* et pour la seconde de la sortie de *XOR1*.

Ce décodeur PAM4 permet alors de récupérer en sortie deux signaux de modulation NRZ : *MSB* et *LSB* respectivement. Les expressions des sorties sont données ci-dessous :

$$MSB = s_{comp2} \quad (2 - 21)$$

$$LSB = MSB \odot (s_{comp1} \odot s_{comp3}) \quad (2 - 22)$$

Avec, s_{comp1} , s_{comp2} et s_{comp3} les sorties respectives des comparateurs.

Comme expliqué précédemment, le décodeur réalisé est composé de deux sous-blocs : trois comparateurs et deux portes logiques OU exclusives. Les comparateurs conçus sont présentés dans la figure ci-dessous. L'architecture de ceux-là repose sur le principe d'amplificateurs opérationnels différentiels.

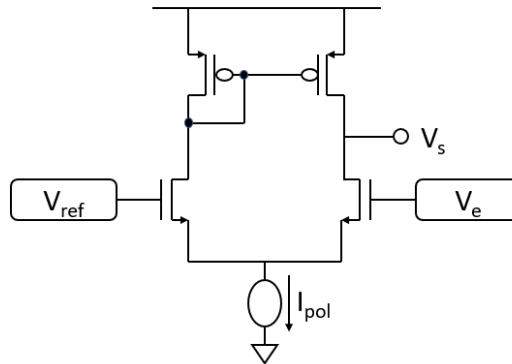


Figure 3-32 : Comparateur pour décodeur PAM4 proposé

Le signal des données d'entrée (V_e) reçoit un signal de modulation PAM4. Chacun des 3 comparateurs possède une tension de référence (V_{ref}) différente ($\frac{3V_{DD}}{4}$, $\frac{V_{DD}}{2}$ et $\frac{V_{DD}}{4}$, respectivement) afin de décoder correctement le signal PAM4 en signal NRZ. Le signal de sortie (V_s) résultant est de modulation NRZ afin d'attaquer les portes XOR qui suivent.

Les portes logiques OU exclusif utilisées sont présentées dans la figure 3-33.

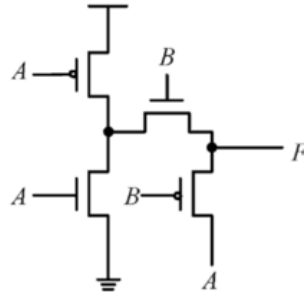


Figure 3-33 : Porte logique OU Exclusif

A et B représentent les entrées logiques respectivement. La sortie F donne la résultante de la logique OU exclusive.

Le décodeur PAM4 proposé ayant maintenant été adressé, la dernière section présentée à la suite est dédiée à la conception du sous-bloc effectuant la récupération des données.

3.7. Récupération de données

3.7.1. Principe de récupération de données

Dans les circuits d'horloge destinés à effectuer de la récupération de données, le bloc réalisant cette tâche apparaît donc d'une importance cruciale. En effet, il est possible que le retard accumulé entre la sortie et l'entrée soit trop élevé, voir même, dans le pire des cas, que certaines trames de données finissent supprimées [3].

Cette récupération de données ne peut avoir lieu que par génération d'un signal d'horloge réutilisé dans le but de rééchantillonner les données arrivantes.

3.7.2. Types de circuits à récupération de données

Comme [34] l'introduit, une architecture bascule D en *Current Mode Logic* (CML) différentielle conventionnelle est illustrée dans la figure ci-dessous.

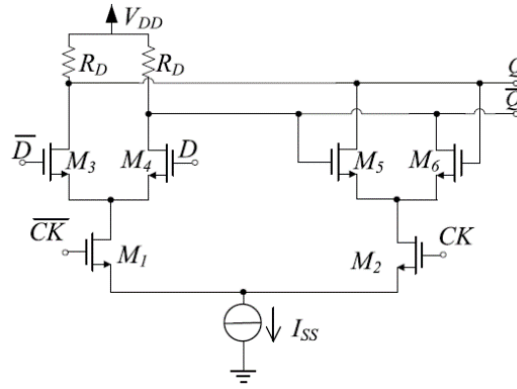


Figure 3-34 : Bascule D Master/Slave Conventionnelle [34]

Cette architecture repose sur l'utilisation de signaux de données (D et $\overline{D}$) et d'horloge (CK et $\overline{CK}$) différentiels. L'avantage majeur de cette topologie vient sa simplicité de conception. La méthode CML permet également d'assurer un fonctionnement opérationnel de la DFF en augmentant le courant de polarisation (I_{SS}).

Comme [35] le présente, il est possible, pour les circuits destinés à des hauts débits, de recourir à des contre-réactions positives par des procédés conception dits *cross-coupled*. L'objectif est d'accélérer les temps de commutation. De surcroît, cette topologie accorde une amélioration drastique de l'ouverture de l'œil des données récupérées. La figure 36 en donne une illustration.

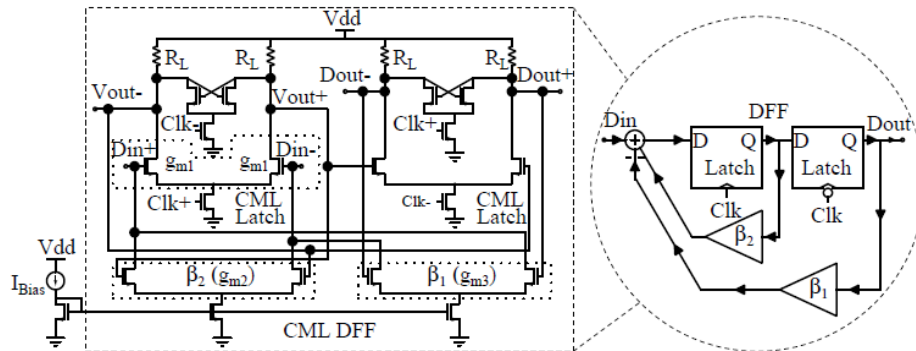


Figure 3-35 : DFF avec contre-réactions positives [35]

L'architecture de la figure 36 montre une DFF avec contre-réaction en *Current mode logic* (CML). La contre-réaction négative est opérée par β_1 . La seconde contre-réaction est réalisée par β_2 .

Des résultats de mesures sont présentés ci-après afin de comparer l'influence d'une telle architecture en comparaison d'une topologie conventionnelle.

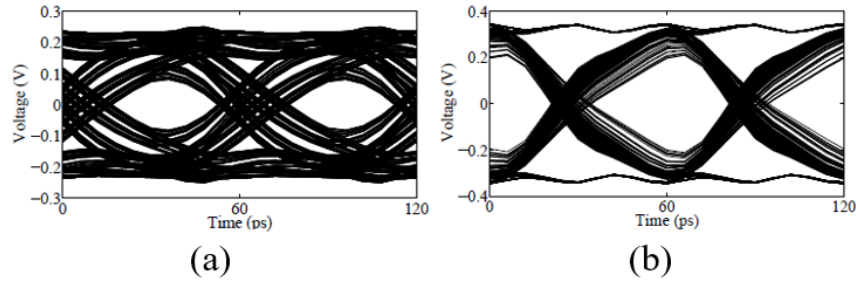


Figure 3-36 : Diagrammes de l'œil du circuit de CDR : (a) Entrée du Détecteur de Phase avec DFF en contre-réactions et (b) Données récupérées en sortie du système [35]

La Figure 37 souligne la contribution des contre-réactions sur une DFF. De plus, [35] explique que cette nette amélioration permet un rééchantillonnage des données optimisé (fig.(b)), contrairement à la topologie de DFF sans contre-réaction qui est incapable de rééchantillonner les données correctement.

3.7.3. Bloc de récupération de données proposé

Dans l'idée de réduire au maximum le jitter des données récupérées, comme expliqué dans le chapitre 1, il est recommandé d'échantillonner les bits de données au milieu des bits respectifs.

Etant donné que la topologie introduite par [34] s'est montrée suffisamment satisfaisante concernant nos critères de sélection, à savoir la facilité de conception, l'intégration ainsi que la consommation, nous avons décidé de nous orienter vers la conception d'une bascule D maître-esclave différentielle classique.

3.8. Conclusion du chapitre

Dans ce chapitre, nous avons présenté les différents sous-blocs caractéristiques constituant l'architecture. Une brève revue de différentes architectures d'oscillateurs contrôlés en tension ainsi qu'une comparaison entre les topologies de type LC et en anneau a été présentée. Une étude théorique basée sur les équations d'Adler afin de caractériser leur fonctionnement a été traitée. Puis, le mécanisme de verrouillage par injection a été introduit par l'étude de Razavi caractérisant le principe et l'influence du verrouillage par injection sur les oscillateurs.

Par la suite, cette étude a permis de démontrer l'importance d'un second élément d'une importance cruciale, celui du comparateur de phase. Bien que différents types de comparateurs de phase comme les architectures de *Hogge* ou encore *Alexander* démontrent chacune des performances intéressantes, notre choix s'est dirigé vers une porte logique OU-exclusive pour deux raisons : (1) sa facilité de conception ainsi que (2) son intégration, tout en optimisant consommation et surface occupée.

Ensuite, un bloc de récupération de données a également été présenté. Un circuit de récupération d'horloge et de données nécessite ce type de circuit décisionnel. Alors que la récupération du signal d'horloge s'effectue par la récupération du signal de sortie de l'oscillateur (constituant le signal d'horloge) celui de la récupération des données se réalise par

l'utilisation d'une DFF. Dans la même optique que précédemment, notre choix s'est intuitivement porté vers une bascule D maître-esclave différentielle, de par sa faible consommation ($<8\text{mW}$) et faible surface occupée.

Enfin, le dernier sous-bloc conçu est un décodeur PAM4 vers NRZ. Deux types de topologies de décodeur PAM4 ont été discutées. L'architecture retenue pour notre cas correspond à un décodeur PAM4 classique s'appuyant sur l'utilisation de trois comparateurs distincts, dont une des sorties représente le bit MSB et constitue le signal des données d'entrée du circuit à récupération d'horloge et de données présenté dans le chapitre 4.

En définitive, la ligne conductrice de ce travail s'est organisée autour de l'optimisation de quatre paramètres : la consommation, la simplicité de conception, l'occupation de surface ainsi que le débit des données maximal atteignable.

Pour cette raison, une preuve de concept inspirée d'une boucle à verrouillage de phase classique à laquelle le principe de verrouillage par injection est appliqué a été fabriquée et fonctionne à 3.2 GHz. Ce circuit, dont les mesures sont présentées dans le prochain chapitre, a permis de confirmer nos hypothèses concernant l'influence du verrouillage par injection quant aux performances liées au bruit de phase et jitter.

3.9. Bibliographie

- [1] J. Zhang, S. R. Cooper, A. R. LaPietra, M. W. Mattern, R. M. Guidash, et E. G. Friedman, « A low power thyristor-based CMOS programmable delay element », in *2004 IEEE International Symposium on Circuits and Systems (IEEE Cat. No.04CH37512)*, Vancouver, BC, Canada, 2004, p. I-769-72. doi: 10.1109/ISCAS.2004.1328308.
- [2] I. Som et T. K. Bhattacharyya, « A Wide Tunable Hysteresis CML Delay Cell for High Frequency », *IEEE Microw. Wireless Compon. Lett.*, vol. 30, n° 7, p. 641-644, juill. 2020, doi: 10.1109/LMWC.2020.2997787.
- [3] B. Razavi, *Design of integrated circuits for optical communications*, Second edition. Hoboken, New Jersey: Wiley, 2012.
- [4] B. Razavi, « The Ring Oscillator [A Circuit for All Seasons] », *IEEE Solid-State Circuits Mag.*, vol. 11, n° 4, p. 10-81, 2019, doi: 10.1109/MSSC.2019.2939771.
- [5] Thèse de D. Gaidioz, « Ultra-Low Power Frequency Synthesizer For Internet-of-Things applications In 28nm FD-SOI technology », Université de Bordeaux, 2021, Disponible sur: <https://tel.archives-ouvertes.fr/tel-03336167>.
- [6] R. Adler, « A study of locking phenomena in oscillators », *Proc. IEEE*, vol. 61, n° 10, p. 1380-1385, 1973, doi: 10.1109/PROC.1973.9292.
- [7] B. Razavi, « A study of injection locking and pulling in oscillators », *IEEE J. Solid-State Circuits*, vol. 39, n° 9, p. 1415-1424, sept. 2004, doi: 10.1109/JSSC.2004.831608.
- [8] Xiaolue Lai et J. Roychowdhury, « Analytical equations for predicting injection locking in LC and ring oscillators », in *Proceedings of the IEEE 2005 Custom Integrated Circuits Conference, 2005.*, San Jose, CA, USA, 2005, p. 454-457. doi: 10.1109/CICC.2005.1568706.
- [9] G. R. Gangasani et P. R. Kinget, « Time-domain model for injection locking in nonharmonic oscillators », *IEEE Trans. Circuits Syst. I*, vol. 55, n° 6, p. 1648-1658, juill. 2008, doi: 10.1109/TCSI.2008.916605.
- [10] K. Hu, T. Jiang, J. Wang, F. O'Mahony, et P. Y. Chiang, « A 0.6 mW/Gb/s, 6.4–7.2 Gb/s Serial Link Receiver Using Local Injection-Locked Ring Oscillators in 90 nm CMOS », *IEEE J. Solid-State Circuits*, vol. 45, n° 4, p. 899-908, avr. 2010, doi: 10.1109/JSSC.2010.2040116.
- [11] B. Hong et A. Hajimiri, « A Phasor-Based Analysis of Sinusoidal Injection Locking in LC and Ring Oscillators », *IEEE Trans. Circuits Syst. I*, vol. 66, n° 1, p. 355-368, janv. 2019, doi: 10.1109/TCSI.2018.2860045.
- [12] A. A. Hafez et C.-K. K. Yang, « Analysis and Design of Superharmonic Injection-Locked Multipath Ring Oscillators », *IEEE Trans. Circuits Syst. I*, vol. 60, n° 7, p. 1712-1725, juill. 2013, doi: 10.1109/TCSI.2012.2230591.
- [13] A. Safarian, S. Anand, et P. Heydari, « On the Dynamics of Regenerative Frequency Dividers », *IEEE Trans. Circuits Syst. II*, vol. 53, n° 12, p. 1413-1417, déc. 2006, doi: 10.1109/TCSII.2006.886053.
- [14] A. Mirzaei, M. E. Heidari, R. Bagheri, et A. A. Abidi, « Multi-Phase Injection Widens Lock Range of Ring-Oscillator-Based Frequency Dividers », *IEEE J. Solid-State Circuits*, vol. 43, n° 3, p. 656-671, mars 2008, doi: 10.1109/JSSC.2007.916602.
- [15] M. Tiebout, « A CMOS direct injection-locked oscillator topology as high-frequency low-power frequency divider », *IEEE J. Solid-State Circuits*, vol. 39, n° 7, p. 1170-1174, juill. 2004, doi: 10.1109/JSSC.2004.829937.
- [16] S. Dal Toso, A. Bevilacqua, M. Tiebout, N. Da Dalt, A. Gerosa, et A. Neviani, « An Integrated Divide-by-Two Direct Injection-Locking Frequency Divider for Bands $\$ \$ \$$ Through $\$ K_{\{u\}} \$$ », *IEEE Trans. Microwave Theory Techn.*, vol. 58, n° 7, p. 1686-1695,

- juill. 2010, doi: 10.1109/TMTT.2010.2049680.
- [17] K. Yamamoto et M. Fujishima, « A 44-/spl mu/W 4.3-GHz injection-locked frequency divider with 2.3-GHz locking range », *IEEE J. Solid-State Circuits*, vol. 40, n° 3, p. 671-677, mars 2005, doi: 10.1109/JSSC.2005.843609.
 - [18] Jun-Chau Chien et Liang-Hung Lu, « Analysis and Design of Wideband Injection-Locked Ring Oscillators With Multiple-Input Injection », *IEEE J. Solid-State Circuits*, vol. 42, n° 9, p. 1906-1915, sept. 2007, doi: 10.1109/JSSC.2007.903058.
 - [19] K. Takano, M. Motoyoshi, M. Fujishima, « 4.8GHz CMOS Frequency Multiplier with Subharmonic Pulse-Injection Locking », *IEEE Asian Solid-State Circuits Conference*, Novembre 2007, doi: 10.1109/ASSCC.2007.4425699.
 - [20] D. Vert, J.-B. Begueret, M. Pignol, F. Malou, V. Lebre, et E. Moutaye, « Injection-Locked Ring Oscillator based Phase-Locked-Loop for 1.6 Gbps Clock Recovery », in *2021 34th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)*, Campinas, Brazil, août 2021, p. 1-5. doi: 10.1109/SBCCI53441.2021.9529969.
 - [21] Y.M. Greshishchev and P. Schvan, « SiGe Clock and Data Recovery IC with Linear-Type PLL for 10-Gb/s SONET Application », *IEEE JSSC*, vol. 35, pp. 1353-1359, Sept. 2000.
 - [22] Y.M. Greshishchev et al., « A Fully Integrated SiGe Receiver IC for 10-Gb/s Data Rate », *IEEE JSSC*, vol. 35, pp. 1949-1957, Dec. 2000.
 - [23] D. J. Rennie, « Analysis and Design of Robust Multi-Gb/s Clock and Data Recovery Circuits », thesis, University of Waterloo, 2007.
 - [24] J. Savoj and B. Razavi, « High-Speed CMOS Circuits for Optical Receivers », New York : Kluwer, 2001.
 - [25] P. M. Campbell *et al.*, « A very wide bandwidth digital VCO using quadrature frequency multiplication and division implemented in AlGaAs/GaAs HBT's », *IEEE Trans. VLSI Syst.*, vol. 6, n° 1, p. 52-55, mars 1998, doi: 10.1109/92.661246.
 - [26] B. Gilbert, « A high-performance monolithic multiplier using active feedback », *IEEE J. Solid-State Circuits*, vol. 9, n° 6, p. 364-373, déc. 1974, doi: 10.1109/JSSC.1974.1050529.
 - [27] L. Schmidt et H.-M. Rein, « New high-speed bipolar XOR gate with absolutely symmetrical circuit configuration », *Electron. Lett.*, vol. 26, n° 7, p. 430, 1990, doi: 10.1049/el:19900279.
 - [28] J. Lee, M.-S. Chen, et H.-D. Wang, « Design and Comparison of Three 20-Gb/s Backplane Transceivers for Duobinary, PAM4, and NRZ Data », *IEEE J. Solid-State Circuits*, vol. 43, n° 9, p. 2120-2133, sept. 2008, doi: 10.1109/JSSC.2008.2001934.
 - [29] J. Lee, P.-C. Chiang, et C.-C. Weng, « 56Gb/s PAM4 and NRZ SerDes transceivers in 40nm CMOS », in *2015 Symposium on VLSI Circuits (VLSI Circuits)*, Kyoto, Japan, juin 2015, p. C118-C119. doi: 10.1109/VLSIC.2015.7231346.
 - [30] Q. Pan, L. Wang, X. Luo, et C.P. Yue, « A Low-Power PAM4 Receiver With an Adaptive Variable-Gain Rectifier-Based Decoder », *IEEE Trans. VLSI Syst.*, vol. 28, n° 10, p. 2099-2108, oct. 2020, doi: 10.1109/TVLSI.2020.3008199.
 - [31] G. Van der Plas, S. Decoutere, et S. Donnay, « A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process », in *2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, USA, 2006, p. 2310. doi: 10.1109/ISSCC.2006.1696294.
 - [32] B. Razavi, « The StrongARM Latch [A Circuit for All Seasons] », *IEEE Solid-State Circuits Mag.*, vol. 7, n° 2, p. 12-17, 2015, doi: 10.1109/MSSC.2015.2418155.
 - [33] N. Kocaman et al., « A 3.8 mW/Gbps Quad-Channel 8.5–13 Gbps Serial Link With a 5 Tap DFE and a 4 Tap Transmit FFE in 28 nm CMOS », *IEEE J. Solid-State Circuits*, vol. 51, n° 4, p. 881-892, avr. 2016, doi: 10.1109/JSSC.2016.2520395.
 - [34] G. Scotti, D. Bellizia, A. Trifiletti, et G. Palumbo, « Design of Low-Voltage High-Speed CML D-Latches in Nanometer CMOS Technologies », *IEEE Trans. VLSI Syst.*, vol. 25,

- n° 12, p. 3509-3520, déc. 2017, doi: 10.1109/TVLSI.2017.2750207.
- [35] M. Sakare, S. Pavan Kumar, et S. Gupta, « Bandwidth Enhancement of Flip-Flops Using Feedback for High-Speed Integrated Circuits », *IEEE Trans. Circuits Syst. II*, vol. 63, n° 8, p. 768-772, août 2016, doi: 10.1109/TCSII.2016.2531098.

4. Conception de la preuve-de-concept à 3.2 GHz en technologie 180 nm

Le chapitre 1 a permis de dresser un état-de-l'art des différentes topologies des circuits de CDR existantes. Afin d'affiner cette étude, le chapitre 2 a détaillé l'ensemble des sous-blocs utilisés dans le cas de notre architecture. Ainsi, ce chapitre met en application l'ensemble de ces données collectées en vue de concevoir notre architecture et de les mesurer. Les mesures de deux circuits fabriqués en technologie 180 nm en ciblant une fréquence de fonctionnement de 3.2 GHz sont présentées.

La première section expose une vue d'ensemble de la technologie utilisée d'une part, puis d'autre part, les méthodes de conception et d'optimisation employées.

La seconde section donne les différentes mesures obtenues. Le premier circuit est un oscillateur en anneau contrôlé en tension et synchronisé par injection. Les mesures mettent en exergue l'influence du verrouillage par injection quant aux performances de bruit de phase et jitter. Le second circuit propose une architecture basée sur le même VCO intégré dans une boucle à verrouillage de phase à laquelle le principe du verrouillage par injection est également appliqué. Des études similaires au premier circuit ont été conduites tout en ajoutant des analyses complémentaires.

4.1. Vue d'ensemble de la technologie

4.1.1. Technologie 180 nm

Comme expliqué dans le premier chapitre, le choix de la technologie reflète une première technique de robustesse quant à l'irradiation d'un circuit électronique. Pour cette raison, le premier circuit présenté dans ce chapitre a été fabriqué en technologie 180 nm du fondeur XFAB. Cette dernière présente la faculté d'une robustesse inhérente aux particules radiatives et constitue ainsi un candidat particulièrement prisé par le domaine du spatial.

La technologie utilisée dans cette partie a déjà montré, par des mesures, une tolérance à un taux de dose totale d'ionisation (*TID*) supérieure à 100 krad ainsi qu'une immunité aux *SEL* élevée. Les technologies à faible épaisseur d'oxyde de grille ont déjà montré une robustesse élevée quant aux *TIDs* [1], [2].

De surcroît, cette technologie propose d'atteindre un durcissement encore supérieur en proposant une méthode de *blindage* par entourage des transistors au niveau layout intitulée *Enclosed Layout Transistors*, *ELT* [2]. Cette méthode est plus largement développée ultérieurement.

4.1.2. Dimensionnement au niveau transistor

4.1.2.1) Dimensionnement W_{opt}

La dimension d'un transistor se définit par sa longueur (L_g) ainsi que par sa largeur de grille (W_g). Dans le cas d'applications industrielles, la longueur de grille (L_g) est choisie de sorte à ne pas être égale à la valeur minimale fabricable par le fondeur en raison des variations de procédés de fabrication très importantes.

Dans le domaine des radiofréquences, une taille optimale de largeur de grille est généralement comprise entre 1 μm et 5 μm . Si cette taille ne permet pas d'atteindre le courant souhaité, il est alors possible de modifier le nombre de doigts de grille (N_{fing}). La largeur de grille totale (W_{tot}) du transistor s'exprime alors par :

$$W_{tot} = N_{fing} \cdot W_g \quad (3 - 1)$$

La figure ci-dessous donne les layouts de deux transistors.

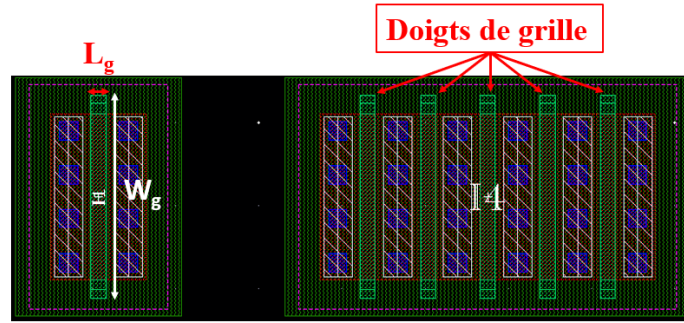


Figure 4-1 : Layout d'un transistor unitaire

Le choix de la largeur d'un doigt de grille représente un challenge critique puisque ce dernier est directement lié à la résistance de grille, donc à la dégradation de f_{max} . [3] introduit une charte indiquant la taille d'un doigt de grille (W_f) optimale pour différents nœuds technologiques afin d'atteindre les f_t et f_{max} maximales.

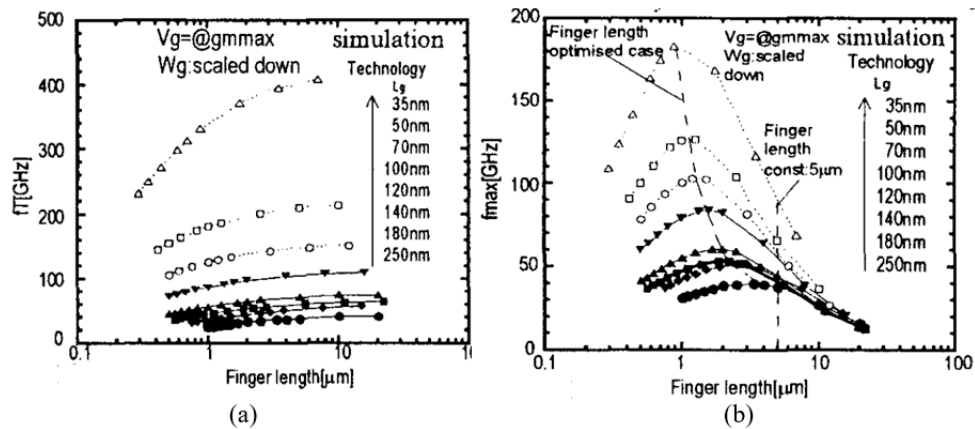


Figure 4-2 : Dépendance de (a) f_t et (b) f_{max} en fonction du nœud technologique [3]

Les figures 4-2 (a) et 4-2 (b) présentent l'évolution de la f_t et f_{max} par technologie. La conclusion de cette étude conduit à la justification de réduire les nœuds technologiques afin d'améliorer les f_t et f_{max} respectives. La technologie 180 nm étant l'objet de notre intérêt, d'après cette charte, celle-ci révèle une taille optimale W_f d'environ 2.5 μm .

Afin d'affiner cette étude, nous décidons d'estimer, d'abord théoriquement, les f_t et f_{max} d'un transistor par l'analyse en petit signal.

4.1.2.2) Détermination de f_t et f_{max}

La fréquence de coupure (f_t) est définie comme la fréquence à laquelle le gain en courant devient unitaire. Le gain en courant se mesure avec la sortie en court-circuit.

La méthode des *Paramètres S* (*Scattering Parameters*) utilise des sources et des charges d'impédance égales à une impédance de référence. Les paramètres *S* constituent des coefficients de réflexion ou de transmission, afin d'en déduire gains en tension et courant.

Le gain en courant peut être désigné par h_{21} un élément de la matrice hybride *H*, elle-même définie par :

$$\begin{pmatrix} V_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} I_1 \\ V_2 \end{pmatrix} \quad (3 - 2)$$

En fonction des paramètres *S*, h_{21} s'exprime alors par :

$$H_{21} = \frac{-2.S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \quad (3 - 3)$$

Le modèle petit-signal d'un transistor MOS présenté dans la figure ci-dessous donne une représentation des parasites intrinsèques et ceux introduits par les interconnexions.

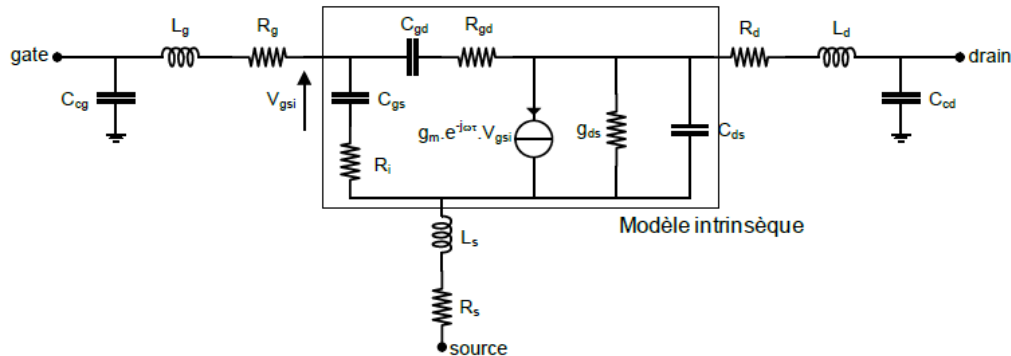


Figure 4-3 : Schéma petit-signal d'un transistor MOS représenté avec ses parasites intrinsèques et extrinsèques [4]

De cette figure, nous pouvons en déduire les équations des fréquences f_t et fréquence d'oscillation maximale (f_{max}). Nous pouvons constater que le layout joue un rôle prépondérant dans la détérioration des performances du transistor. Dans le cas de la f_t , celle-ci subit une influence majeure des capacités C_{gs} et C_{gd} .

$$f_t = \frac{gm}{C_{gs} \sqrt{1 + 2 \frac{C_{gd}}{C_{gs}}}} \quad (3 - 4)$$

La fréquence d'oscillation maximale (f_{max}), correspond quant à elle à la fréquence pour laquelle le gain en puissance maximal devient unitaire. L'expression de la f_{max} est donnée ci-après.

$$f_{max} = \frac{gm}{4\pi C_{gs} \sqrt{(R_g + R_s + R_i) \left(g_{ds} + gm \frac{C_{gd}}{C_{gs}} \right)}} \quad (3 - 5)$$

Nous en déduisons que les résistances de grille (R_g) et de source (R_s) ainsi que C_{gs} et C_{gd} représentent les paramètres affectant majoritairement les valeurs de f_t et f_{max} .

Cette analyse, transposable à toutes les technologies, permet de donner un aperçu de la f_t et f_{max} théoriques d'un transistor. Cette approche met en exergue les paramètres importants à optimiser dans le but de dimensionner le transistor de façon idéale. En vue de compléter cette analyse, présentons, dans la sous-section suivante, la méthode de conception employée et basée sur la détermination de la densité de courant optimale.

4.1.2.3) Détermination de la densité de courant optimale

La densité de courant optimale (notée J_{opt}), constitue un paramètre d'une importance cruciale dans la conception de circuits intégrés destinés à des applications RF. En effet, celle-ci se caractérise par la quantité de courant (I_d) optimale que le transistor laisse circuler pour une certaine largeur de grille (W_{tot}).

Un compromis entre la surface de grille et courant exigé est à considérer. En effet, une surestimation de la grille se traduit par une augmentation des capacités parasites et donc une dégradation de la f_t et f_{max} . A l'inverse, un sous-dimensionnement conduit à une altération des performances du transistor, pouvant modifier le mode de fonctionnement d'un transistor. J_{opt} s'exprime en A/ μm et son expression est la suivante :

$$J_{opt} = \frac{I_D}{W_{tot}} \quad (3 - 6)$$

Présentons succinctement la méthode employée en vue de déterminer J_{opt} . Pour commencer, réalisons le banc de test du transistor suivant.

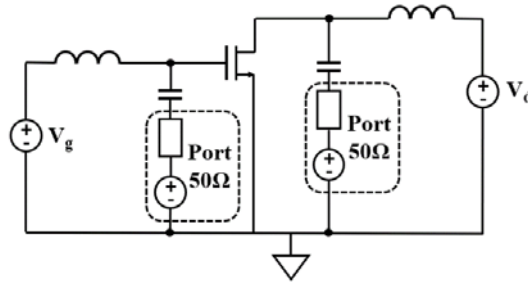


Figure 4-4 : Schématique du testbench réalisé

La première étape consiste à tracer la f_t en balayant la tension d'entrée V_{gs} . Nous rappelons que la f_t est déterminée par la valeur à laquelle le gain en courant devient unitaire. Le gain en courant étant représenté par h_{21} , nous analysons alors dans un premier temps h_{21} en fonction de la fréquence afin de relever le point croisant l'unité (0 dB). Les figures ci-dessous montrent cela.

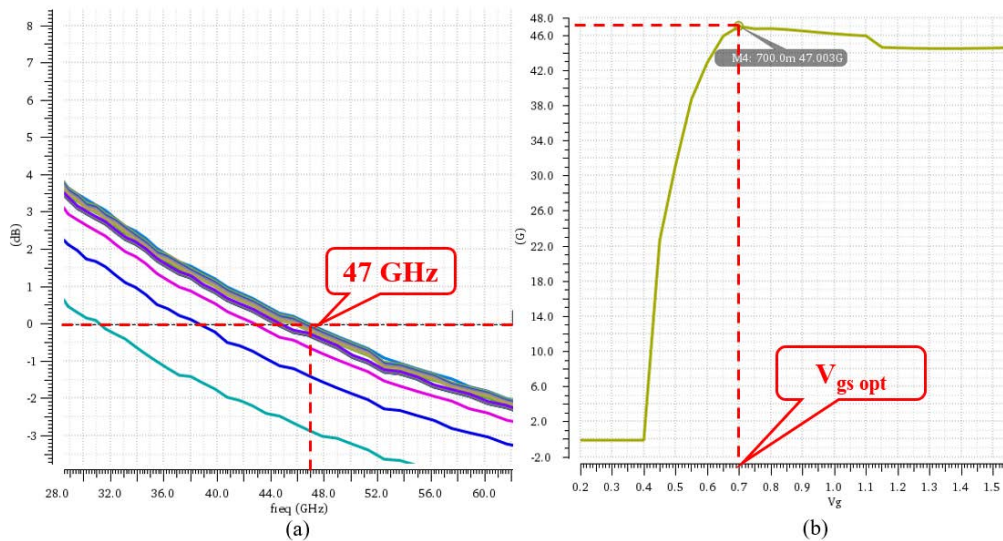


Figure 4-5 : (a) Estimation de f_t et (b) détermination de $V_{gs\ opt}$

La figure 4-5 (a) permet de déterminer la f_t maximale en balayant la tension d'entrée V_g . La figure 4-5 (b) donne une visualisation plus simplifiée en exposant la f_t afin d'en déduire la tension d'entrée optimale ($V_{gs\ opt}$) donnant la f_t maximale.

Par analyse des figures 4-5 (a) et (b), nous relevons une f_t d'environ 47 GHz pour une tension d'entrée (V_g) de 0.7V, soit $V_{gs\ opt} = 0.7V$.

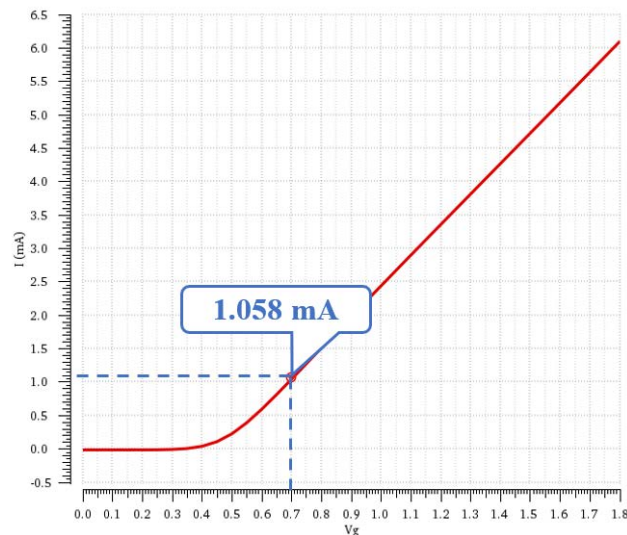


Figure 4-6 : Détermination de la densité de courant optimale

Nous relevons alors la tension V_{gs} optimale ($V_{gs\ opt}$) pour laquelle la f_t est maximale. On relève à $V_{gs\ opt}$ un courant I_d de 1.06 mA. La simulation a été réalisée pour un $W_g = 10\ \mu\text{m}$. Or, d'après l'équation (3-6), la densité de courant optimale obtenue est alors d'environ $106\ \mu\text{A}/\mu\text{m}$.

Connaissant maintenant la tension d'entrée ainsi que la densité de courant optimales ($V_{gs\ opt}$ et J_{opt}), nous basons la conception de chacun des blocs suivant cette étude. Cependant, lors du passage à l'étape de layout, nous observons des dégradations, attendues, en raison des interconnexions. Des réajustements sont effectués afin de prévenir ces difficultés.

Néanmoins, afin de répondre aux problématiques induites par les particules radiatives, des techniques de durcissement doivent être mises en place. La méthode employée est explicitée dans la sous-section suivante.

4.1.3. Optimisation au niveau layout

Les approches montrées précédemment en vue de donner une estimation des tailles de transistors optimales donnent une première idée approximative de la dimension idéale d'un transistor.

Comme expliqué, la phase de layout dévoile l'apparition de parasites et pertes non négligeables également à considérer. Ces dégradations sont induites par l'ajout de piste de métallisation, équivalentes à l'ajout de capacités parasites venant alors détériorer les performances des circuits électroniques. Par ailleurs, comme indiqué dans le premier chapitre, l'environnement spatial constituant un milieu plus sévère à tolérer, les contraintes de design lors de la phase de layout se voient alourdies.

Afin de remédier à ces contraintes, il existe des techniques d'optimisation de layout. Tout d'abord, le problème d'irradiation. Bien que le choix de la technologie représente un premier moyen de défense adéquat contre les particules radiatives, cette technique ne permet pas de supprimer totalement les effets négatifs induites par celles-ci.

Une technique complémentaire concerne le principe de *blindage*. Comme brièvement énoncée dans l'introduction, cette méthode permet d'améliorer la robustesse des transistors

quant aux particules radiatives. Cette méthode consiste à entourer le caisson d'un dopage afin de constituer un *blindage* pour celui-ci. Néanmoins, [1] et [2] expliquent que cette technique (ELT) vient également au détriment d'une augmentation de la consommation ainsi que d'une densité d'intégration dégradée.

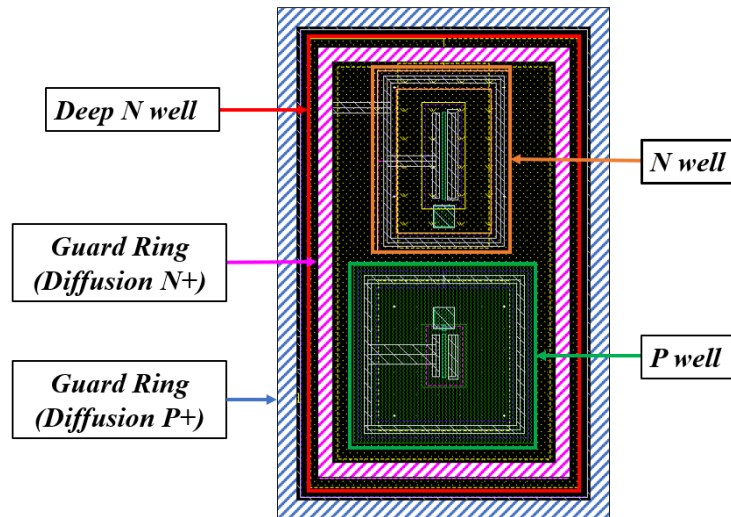


Figure 4-7 : Technique de robustesse aux radiations (ELT) d'un inverseur CMOS

La figure précédente donne une vue layout d'un inverseur. Le transistor *Nmos* (situé en bas) se trouve dans un caisson de diffusion dopé P alors que le transistor *Pmos* (en haut) se situe dans un caisson dopé N. Comme expliqué auparavant, la technologie 180 nm utilisée ici est une technologie dite épitaxiée, c'est-à-dire que ces deux caissons sont regroupés dans un seul caisson dopé plus fortement en type N (noté N+). Ce caisson est illustré par la partie *Deep N well*. Toute la structure est finalement entourée par un ultime caisson de diffusion P+. On parle alors d'une structure Triple puits (triple-well).

La technique de blindage est également représentée par les deux *Guard Ring*. Cette technique de blindage assure alors l'isolation des jonctions des éléments et garantit ainsi une insensibilité aux *SELs* [5]. Par ailleurs, ces *guard rings* réduisent aussi l'impact des *TIDs* en isolant davantage les potentielles fuites de diffusions N+ [1].

Les méthodes de design et d'optimisation ayant été exposées, présentons à présent, les mesures associées au circuit de l'oscillateur en anneau synchronisé par injection.

4.2. Oscillateur en anneau verrouillé par injection

La conception du circuit preuve-de-concept a été subdivisée en deux circuits distincts. Le premier circuit reprend l'oscillateur en anneau auquel le principe de verrouillage par injection est appliqué. L'objectif consiste à apprécier et confirmer par les mesures l'influence bénéfique du mécanisme de verrouillage par injection sur les performances en bruit de phase et jitter. Nous commençons par redonner le synoptique de l'oscillateur en anneau conçu ainsi que le bloc d'injection utilisé.

4.2.1. Architecture et aperçu de la puce

L'oscillateur contrôlé en tension (VCO) conçu dans ce travail est un oscillateur en anneau à trois étages différentiels. Celui-ci a été conçu afin de présenter une très large plage de contrôle (*Tuning Range, TR*) présentant par conséquent une sensibilité élevée (K_{VCO}).

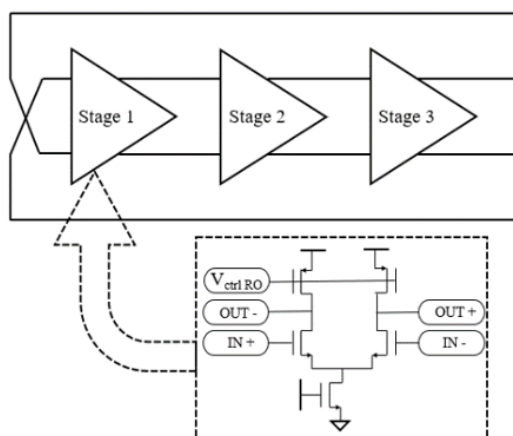


Figure 4-8 : Schématique de l'oscillateur en anneau

Comme en atteste la figure précédente, le contrôle de la fréquence de sortie du VCO s'effectue par la variation de la tension appliquée aux grilles des transistors Pmos, eux-mêmes constituant les charges actives de chaque étage d'amplification. La figure ci-dessous donne une photographie de la puce.

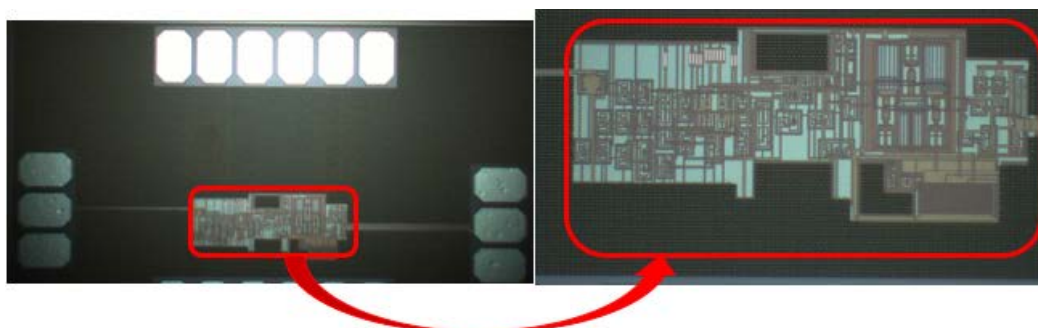


Figure 4-9 : Photographies de la puce du VCO synchronisé par injection

La surface du cœur de la puce est de 0.07 mm^2 (0.72 mm^2 incluant les pads) et présente une consommation totale d'environ 8.7 mW .

4.2.2. Mesures

Le synoptique du banc de tests réalisé pour les mesures de l'oscillateur en anneau avec et sans injection est illustré dans la figure ci-après. Le contrôle de la fréquence de l'oscillateur s'effectue directement par la variation de la tension de contrôle ($V_{ctrl RO}$). L'alimentation $V_{ctrl inj}$ est dédiée au contrôle de la force d'injection et octroie la possibilité de synchroniser, ou non, l'oscillateur à la fréquence du signal d'entrée.

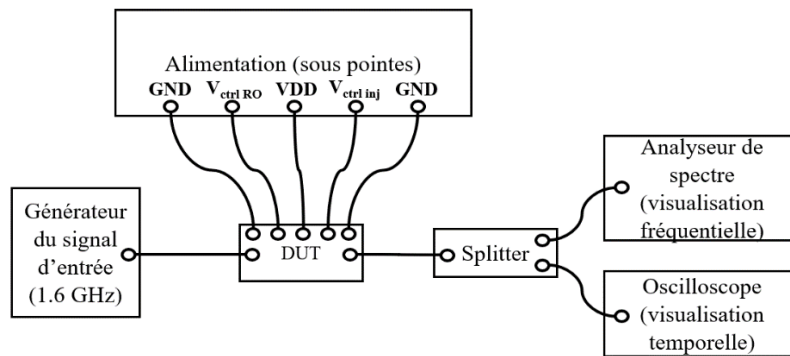


Figure 4-10 : Synoptique du banc de test de l'oscillateur en anneau non synchronisé

Une photographie du banc de tests réel est donnée ci-après.

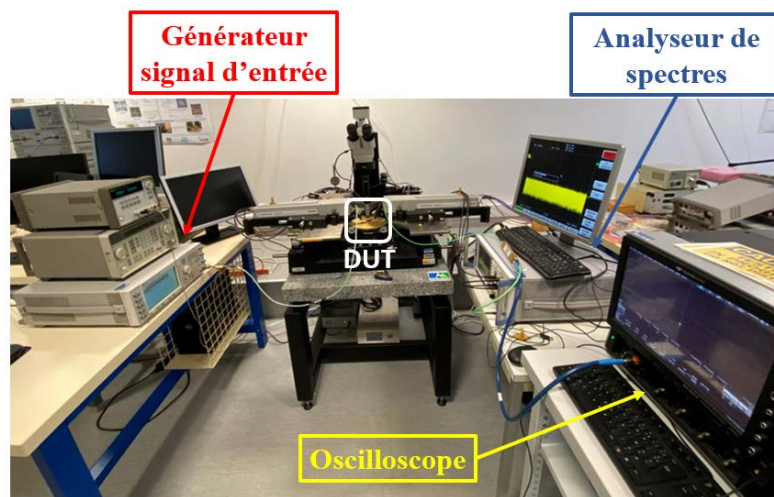


Figure 4-11 : Banc de tests des mesures

Nous commençons les analyses par une comparaison des résultats de simulation avec les mesures réalisées. Les plages de fonctionnement respectives obtenues en simulation (bleu) et mesurée (rouge) sont illustrées dans la figure suivante.

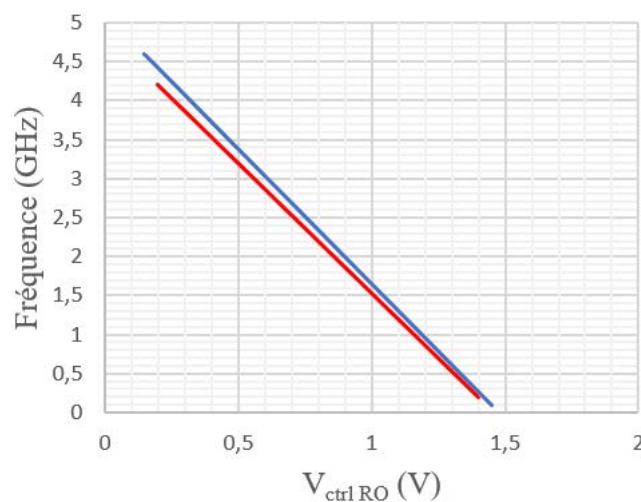


Figure 4-12 : Comparaison des plages de contrôle : simulée (bleu) et mesurée (rouge)

La figure 4-12 expose une allure quasiment identique pour les plages de fonctionnement simulée et mesurée. Une fréquence maximale de 4.6 GHz en simulation est atteinte contre environ 4.2 GHz en mesures. La fréquence minimale simulée obtenue est de 110 MHz contre environ 200 MHz en mesures.

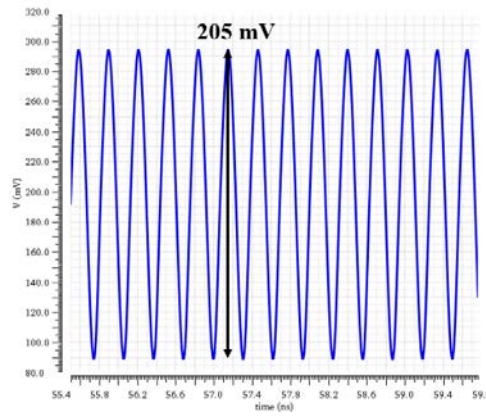
Nous avons réalisé les mesures sur différentes puces afin de valider la robustesse de nos résultats de mesures. Nous déterminons une fréquence d'oscillation minimale de l'ordre de 200 MHz pour une tension de contrôle ($V_{ctrl\ RO}$) d'environ 1.4 V. La fréquence maximale appréciée est d'environ 4.2 GHz pour un $V_{ctrl\ RO}$ égal à 0.2 V.

De ces résultats-là, nous pouvons en déduire la sensibilité, aussi appelé le gain (K_{VCO}) de l'oscillateur, exprimé par la formule qui suit:

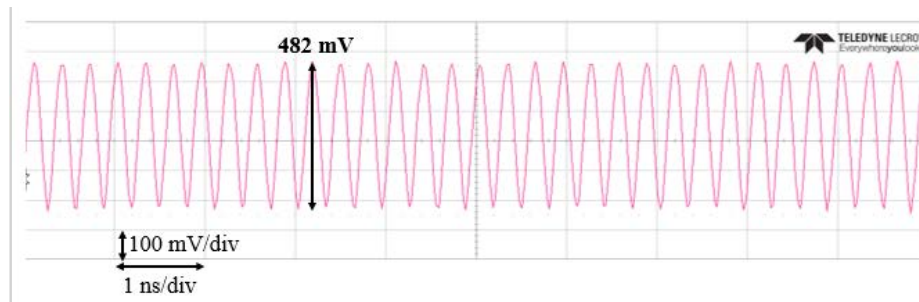
$$K_{VCO} = \frac{f_{max} - f_{min}}{V_{ctrl\ max} - V_{ctrl\ min}} \quad (3 - 7)$$

Le gain K_{VCO} mesuré est de l'ordre de 3.33 GHz/V contre 3.29 GHz/V en simulation. Les mesures obtenues apparaissent alors en adéquation avec les résultats de simulation. Cependant, cette sensibilité indique une valeur relativement élevée. Cet oscillateur a été conçu suivant le besoin de l'industriel, nécessitant une large plage de contrôle. De manière générale, dans les circuits de PLL, une importante plage de contrôle n'est pas souhaitable. En effet, dans notre cas, ceci implique qu'une variation sur la ligne de contrôle de l'ordre de 100 mV se traduit par une variation de fréquence de l'ordre de 330 MHz. Ces variations constituent des sources de dégénération de jitter.

La figure suivante expose l'allure temporelle simulée et mesurée de la sortie de l'oscillateur non synchronisé à la fréquence de 3.2 GHz.



(a)



(b)

Figure 4-13 : Allures temporelles du signal de sortie de l'oscillateur non verrouillé oscillant à 3.2 GHz (a) simulé et (b) mesuré

D'après les résultats de simulation (fig. 4-13(a)), nous obtenons une amplitude d'environ 205 mV contre 480 mV en mesures (fig. 4-13(b)). Après investigation, cette différence d'amplitude semblerait provenir d'une surestimation de la capacité du pad de sortie lors des simulations post-layout.

Une seconde analyse concerne l'analyse du spectre fréquentiel du VCO avant et après synchronisation par injection. La figure ci-dessous illustre cela.

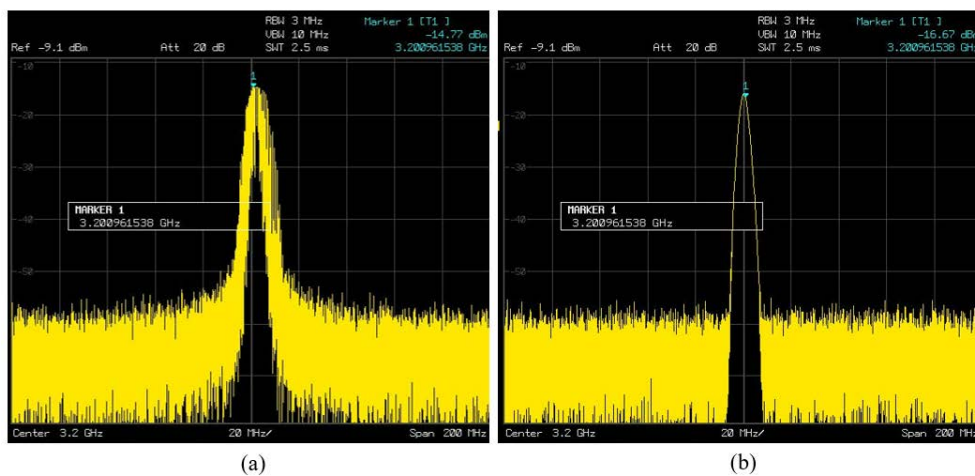
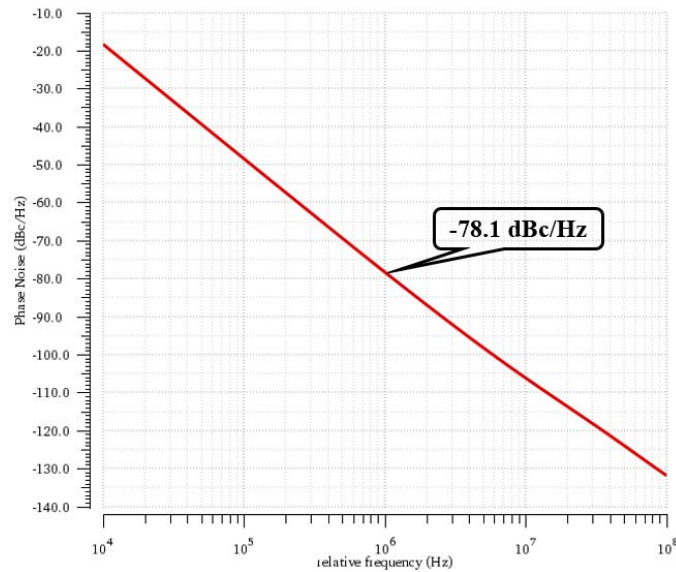


Figure 4-14 : Comparaison du spectre en fréquence du VCO (a) sans injection et (b) avec injection

Ces mesures ont été réalisées avec une *Resolution Bandwidth* identique (*RBW*) afin de donner une comparaison plus juste des allures de spectre et ciblant la fréquence de fonctionnement de 3.2 GHz.

Par lecture directe nous pouvons affirmer une nette amélioration de la pureté spectrale au niveau de la raie principale. De plus, cette amélioration se caractérise par un abaissement du plancher de bruit à -60 dBm à 15 MHz de la fréquence porteuse avec injection contre un plancher de bruit à -60 dBm atteint à 30 MHz de la porteuse sans injection.

Nous poursuivons les analyses en étudiant par la suite le bruit de phase de l'oscillateur non synchronisé, présenté dans les figures ci-dessous.



(a)



(b)

Figure 4-15 : Bruit de phase de l'oscillateur non synchronisé (a) simulé et (b) mesuré

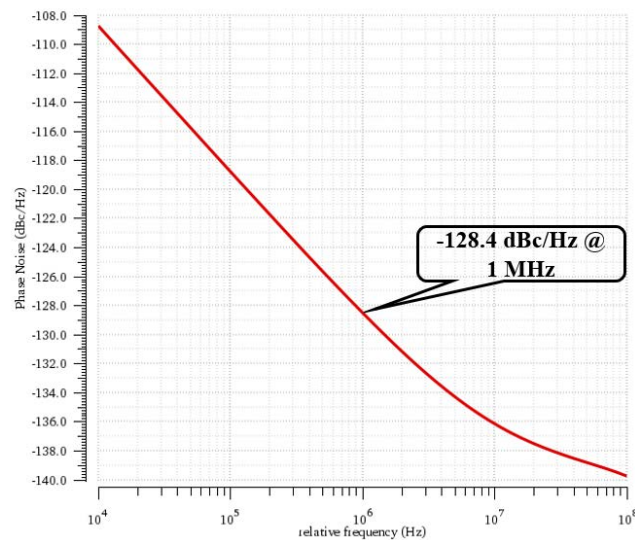
Les figures 4-15 (a) et 4-15 (b) révèlent un bruit de phase simulé et mesuré de -78.1 dBc/Hz à 1 MHz et -85 dBc/Hz à 1 MHz respectivement. Nous pouvons en conclure que les résultats de mesures confortent les résultats de simulation post-layout.

Nous pouvons noter la présence de quelques variations au niveau des résultats de mesures. Celles-ci sont issues de multiples sources de bruits environnantes tels que l'environnement de mesures ainsi que le bruit d'alimentation mais aussi le bruit amené par les différents appareils de mesures.

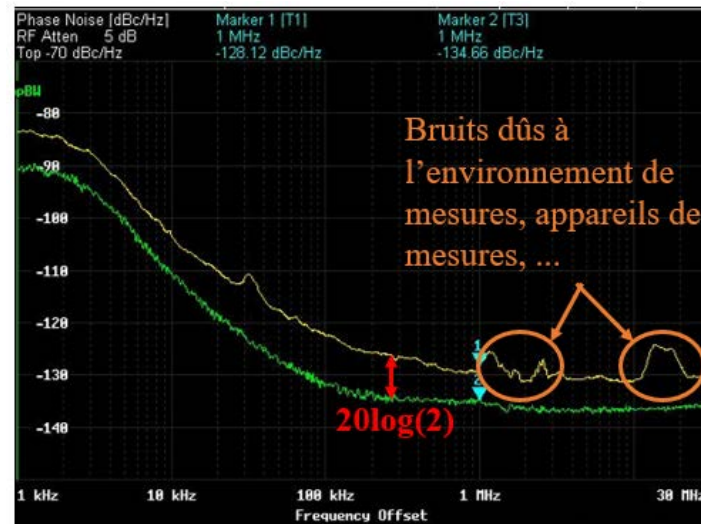
Comme expliqué dans le chapitre deux, la synchronisation d'un oscillateur à une nouvelle fréquence ne peut s'opérer que par l'injection d'un signal dont la fréquence correspond à un harmonique de la fréquence d'oscillation naturelle. Dans le cas de notre travail, nous avons choisi de réaliser un verrouillage par injection correspondant à l'harmonique deux du signal injecté. N'ayant pas accès à un générateur PRBS au laboratoire, le signal d'entrée est donc issu d'un générateur périodique symbolisant la séquence de donnée envoyée. Les résultats de mesures correspondent à une séquence de bits de donnée '10'.

Nous poursuivons nos comparaisons en analysant le bruit de phase de l'oscillateur verrouillé par injection à la fréquence de 3.2 GHz. La figure 4-16 (a) illustre le bruit de phase de l'oscillateur injecté simulé et nous en relevons ainsi une valeur de -128.4 dBc/Hz à 1 MHz de la fréquence porteuse. En comparant aux résultats de simulation du bruit de phase de l'oscillateur non injecté (fig. 4-15 (a)), nous apprécions une amélioration d'environ 50 dB grâce à la synchronisation par injection.

Nous savons que le mécanisme de verrouillage par injection consiste à recopier le bruit de phase du signal de référence avec une différence de $20\log(n)$, n étant l'harmonique injecté. Dans notre cas, le verrouillage s'opérant à l'harmonique deux, la différence de recopie de bruit de phase du signal en sortie avec le signal de référence attendue est alors de $20\log(2)$, soit 6 dB. La figure 4-16 (b) donne une représentation des bruits de phase respectifs du signal de référence (courbe verte) et celui mesuré en sortie de l'oscillateur synchronisé (courbe jaune).



(a)



(b)

Figure 4-16 : Bruit de phase de l'oscillateur injecté (a) simulé et (b) Comparaison du bruit de phase de l'oscillateur synchronisé mesuré (jaune) vs le signal de référence (vert)

Par analyse de la figure 4-16 (b), nous relevons dans un premier temps le bruit de phase du signal de référence et présente -134.6 dBc/Hz à 1 MHz de la fréquence porteuse. Le bruit de phase du signal de sortie de l'oscillateur verrouillé par injection indique quant à lui environ -128.1 dBc/Hz à 1 MHz. Comme supposé, le bruit de phase de l'oscillateur synchronisé recopie celui de la référence avec une différence d'environ 6 dB. Notons également qu'au-delà de 10 MHz de la porteuse, le plancher de bruit de l'analyseur de spectre est atteint.

L'erreur quasi nulle de bruit de phase entre les résultats de simulation et ceux des mesures confirme une nouvelle fois la validité de nos résultats de simulation.

En outre, nous pouvons également remarquer quelques dégradations du bruit de phase du signal de sortie de l'oscillateur autour à environ 5 MHz et 30 MHz du signal de la porteuse. Suite à quelques investigations, ces dégradations semblent provenir de diverses sources de bruits environnantes inhérentes à la salle de mesure ainsi que des appareils de mesures utilisés (analyseur de spectre et oscilloscope).

La dernière analyse concernant l'oscillateur en anneau se dédie à l'étude du jitter. Comme expliqué dans les chapitres précédents, le jitter découle directement d'une traduction du bruit de phase dans le domaine temporel. Par analyse des diagrammes de l'œil, nous relevons les ouvertures horizontales et verticales ainsi que les jitter_{pp} et jitter_{rms}.

Nous commençons par présenter les allures des diagrammes de l'œil respectifs de l'oscillateur en anneau avant (fig. 4-17(a)) et après (fig. 4-17(b)) synchronisation par injection obtenus en simulation.

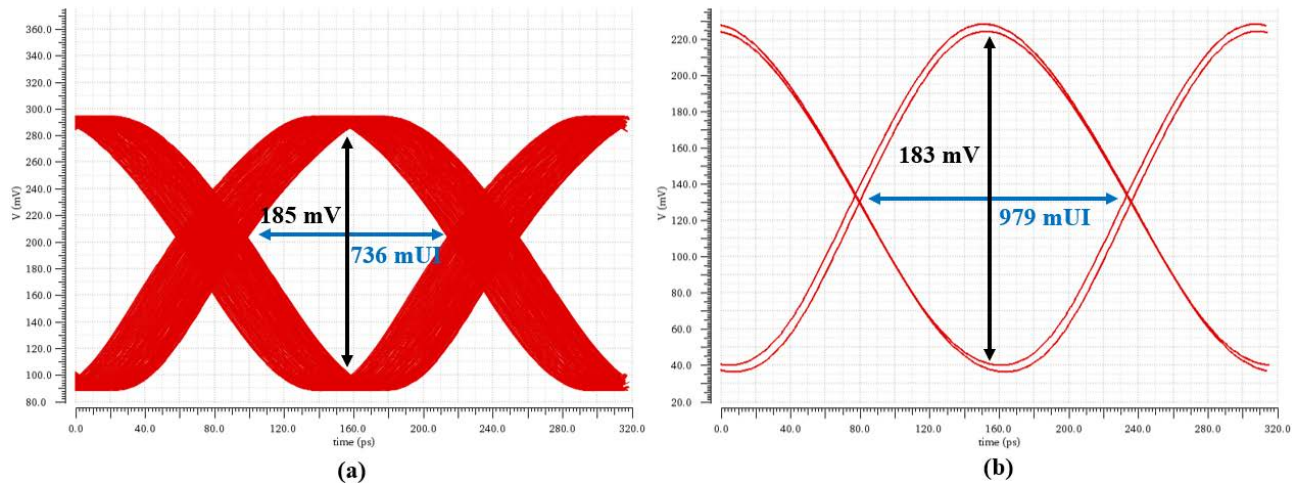


Figure 4-17 : Résultats de simulation post-layout du diagramme de l'œil de l'oscillateur en anneau (a) sans verrouillage par injection et (b) avec verrouillage par injection

Les résultats présentés ici sont issus de simulations transitoires auxquelles du bruit est ajouté en vue de se rapprocher au maximum des mesures. Le diagramme de l'œil de l'oscillateur sans verrouillage par injection (fig. 4-17(a)) dévoile une ouverture de l'œil de 185 mV par 736 mUI avec un jitter_{pp} d'environ 256 mUI. Après injection (fig. 4-17(b)), si l'amplitude verticale reste sensiblement identique (183 mV), l'ouverture horizontale (979 mUI) ainsi que le jitter_{pp} (20.6 mUI) sont drastiquement améliorés.

Les deux figures suivantes illustrent les diagrammes de l'œil mesurés respectifs de l'oscillateur non synchronisé et synchronisé par injection à la fréquence de 3.2 GHz.

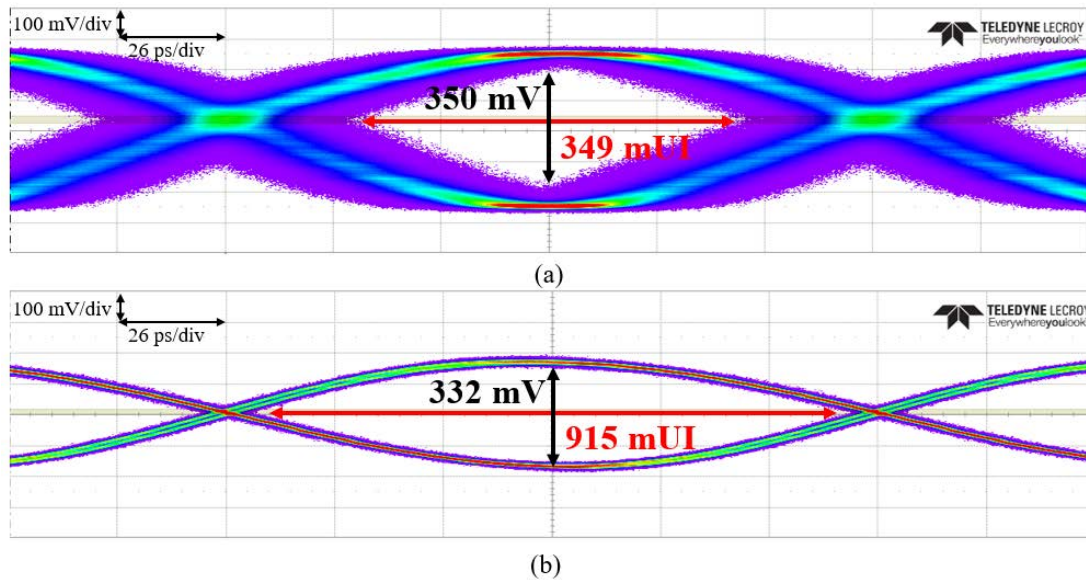


Figure 4-18 : Mesures des diagrammes de l'œil de l'oscillateur (a) non synchronisé et (b) synchronisé par injection

D'après les résultats de mesures, nous observons une ouverture de l'œil verticale au milieu du bit d'environ 350 mV par une ouverture horizontale de 349 mUI. Nous relevons également un jitter_{pp} égal à 504 mUI ainsi qu'un jitter_{rms} de 49.9 mUI. Après synchronisation (fig. 4-18(b)), l'œil obtenu indique une ouverture de 332 mV par 915 mUI et présente un jitter_{pp} de 121 mUI et jitter_{rms} de 14.1 mUI.

Comme attendu, nous retrouvons une nouvelle fois cette différence d'amplitude entre les résultats simulés et mesurés. En comparant les résultats de mesures et de simulation de l'oscillateur non verrouillé (fig.4-17(a) et fig.4-18(a)), une importante différence apparaît au niveau du jitter_{pp} (256 mUI vs 504 mUI) et ouverture horizontale (736 mUI vs 349 mUI). Ces différences peuvent potentiellement s'expliquer par le fait que le simulateur ne prend pas en compte les diverses sources de bruit extrinsèques au circuit telles que les bruits dus à l'alimentation et aux appareils de mesures. Cependant, cette différence se réduit en comparant les diagrammes de l'œil simulé et mesuré lorsque l'oscillateur est injecté (fig. 4-17(b) et fig. 4-18(b)). L'ouverture horizontale obtenu en simulation indique 979 mUI contre 915 mUI en mesures. L'écart d'amplitude entre les résultats simulés (183 mV) et mesurés (332 mV) s'explique encore une fois par une surestimation de la capacité des pads de sortie en simulation.

Les résultats de mesures sont résumés dans le tableau donné ci-après.

Tableau 4-1 : Récapitulatif des performances mesurées de l'oscillateur avec et sans synchronisation par injection

	RO sans injection	RO avec injection
Jitter _{rms} (mUI)	24.9	14.1
Ouv. Horizontale (mUI)	349	915
Ouv. Verticale (mV)	350	332
Consommation (mW)	8.5	8.7

Les mesures réalisées sur l'oscillateur en anneau ont mis en évidence la nature améliorative du mécanisme de synchronisation par injection concernant les performances en bruit de phase et jitter.

Par ailleurs, l'étude a montré que la méthode d'injection utilisée expose des performances relativement satisfaisantes en termes de consommation puisqu'une différence d'à peine 0.2 mW avec l'oscillateur non synchronisé est observable. Pour ces raisons-là, le circuit présenté dans la prochaine section reprend le même oscillateur synchronisé par injection.

4.3. Boucle à verrouillage de phase synchronisée par injection

4.3.1. Architecture et aperçu de la puce

Le second circuit mesuré est une boucle à verrouillage de phase (PLL) à laquelle le principe de verrouillage par injection est appliqué. Cette PLL reprend le premier circuit mesuré (un oscillateur en anneau synchronisé par injection) et intègre en supplément un détecteur de phase ainsi qu'un filtre passe-bas. La schématique du deuxième circuit étudié est donnée dans la figure suivante.

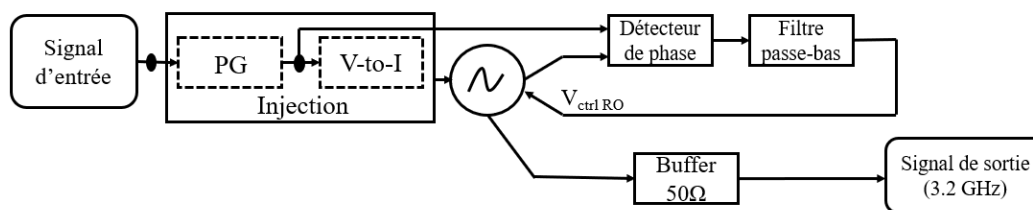


Figure 4-19 : Synoptique du circuit de la PLL synchronisée par injection

Une photographie de la puce fabriquée avec un zoom sur le cœur du circuit est donnée dans la figure suivante.

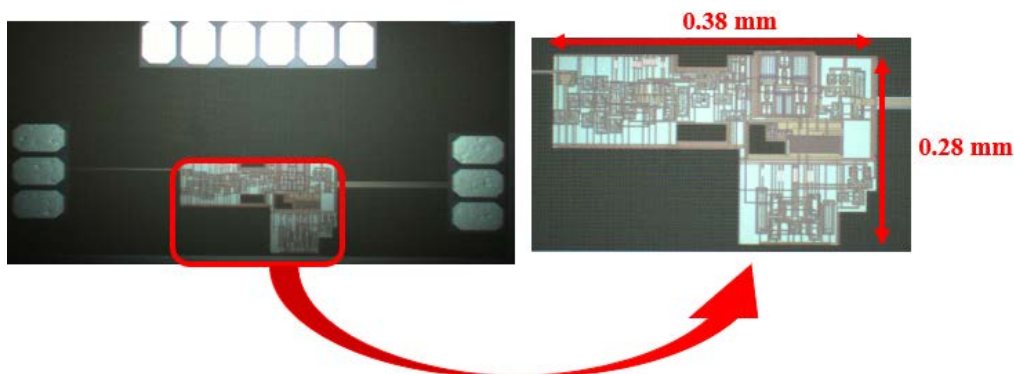


Figure 4-20 : Photographie de la puce de la PLL avec bloc d'injection

La surface occupée par le cœur du circuit (sans les pads) est de 0.1 mm^2 et indique une consommation totale de 34.6 mW .

4.3.2. Mesures

Le banc de test réalisé est identique à celui présenté pour le circuit précédent (fig. 4-10 et 4-11).

La première étape consiste à déterminer la plage de synchronisation de la PLL. Afin de répondre à cela, nous procédons de la façon suivante. Dans un premier temps, nous n'injectons aucun signal ($V_{ctrl\ inj} = 0V$). L'oscillateur oscille donc à la fréquence imposée par $V_{ctrl\ RO}$. Ainsi, nous choisissons la valeur de $V_{ctrl\ RO}$ correspondante à la fréquence d'oscillation ciblée de 3.2 GHz .

Une fois cette valeur déterminée, nous injectons dans la PLL un signal afin d'opérer le verrouillage par injection ($V_{ctrl\ inj} = 1.8V$). Une fois le verrouillage par injection vérifié par analyse qualitative de l'allure du spectre en fréquence du signal de sortie, nous varions la fréquence du signal injecté, c'est-à-dire les séquences de données d'entrée du circuit. De cette manière nous déterminons par mesures la plage de synchronisation dudit circuit.

Des analyses complémentaires montrent l'influence de la force d'injection sur la largeur de la plage de synchronisation. En effet, les mesures révèlent dans le cas d'une force d'injection nulle ($V_{ctrl\ inj} = 0V$) une plage de synchronisation d'environ 150 MHz , contre une plage de synchronisation de 450 MHz pour une force d'injection maximale ($V_{ctrl\ inj} = 1.8V$).

Connaissant la valeur approximative de la plage de synchronisation, égale à ± 400 MHz autour de la fréquence centrale ciblée (pour une force d'injection maximale), nous décidons d'analyser le bruit de phase à trois endroits distincts de cette plage de synchronisation afin d'en estimer la potentielle influence sur le bruit de phase. La figure ci-dessous illustre les trois bruits de phase relevés aux différents endroits.



Figure 4-21 : Comparaison des bruits de phase en bordure inférieure, milieu et supérieure de la PLL synchronisée par injection

Les mesures indiquent un bruit de phase de -130.6 dBc/Hz à 1 MHz (courbe bleue) de la fréquence porteuse pour le cas idéal, c'est-à-dire placé au centre de la plage de synchronisation. Un bruit de phase de -121.7 dBc/Hz à 1 MHz (courbe rose) et -126.0 dBc/Hz à 1 MHz (courbe verte) pour la bordure inférieure (située à 3 GHz approximativement) et la bordure supérieure (3.4 GHz), respectivement sont obtenus. Nous pouvons donc en déduire que le bruit de phase se retrouve bel et bien influencé par l'endroit de la plage de synchronisation.

Afin de comparer les mesures aux résultats de simulations, les figures suivantes donnent les résultats de simulation post-layout du spectre et du diagramme de l'œil de la PLL verrouillée à 3.2 GHz.

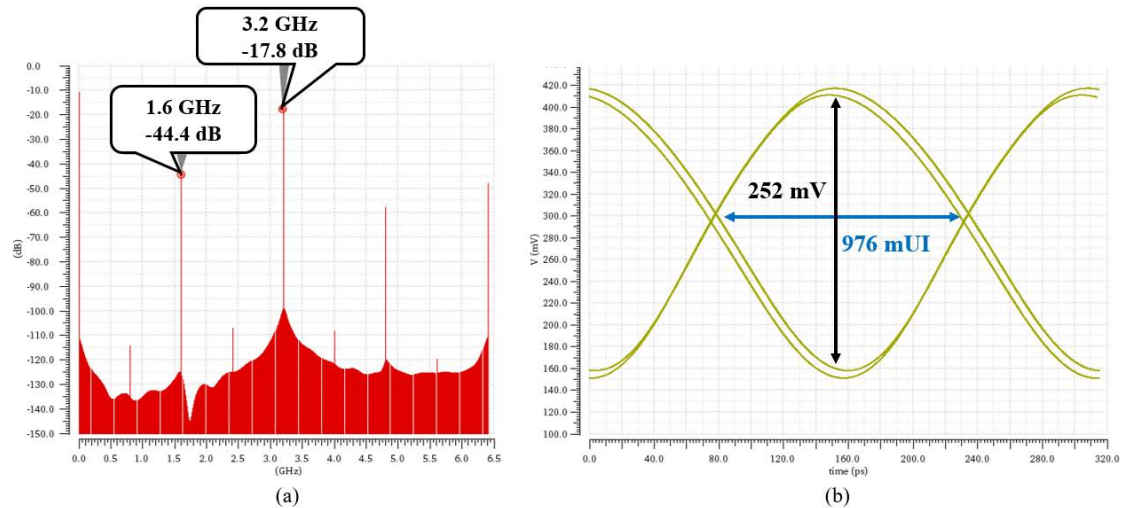


Figure 4-22 : Résultats de simulation du spectre (a) et diagramme de l'œil (b) de la PLL injectée à 3.2 GHz

Le spectre obtenu en simulation (fig. 4-22 (a)) atteste d'une synchronisation de la PLL à la fréquence de 3.2 GHz. Le diagramme de l'œil illustré dans la figure 4-22 (b) indique une ouverture de l'œil verticale de 252 mV par 976 mUI d'ouverture verticale.

Une analyse supplémentaire présentée dans la figure ci-dessous compare les allures des diagrammes de l'œil respectifs mesurés en bordure inférieure, milieu et bordure supérieure de de la plage de synchronisation. De ceux-là, nous en relevons les jitter_{pp} et jitter_{rms} de chacun. La figure 4-23 compare dans le premier cas l'œil situé en bordure inférieure (a), au milieu (b) et enfin en bordure supérieure (c) de la plage de synchronisation.

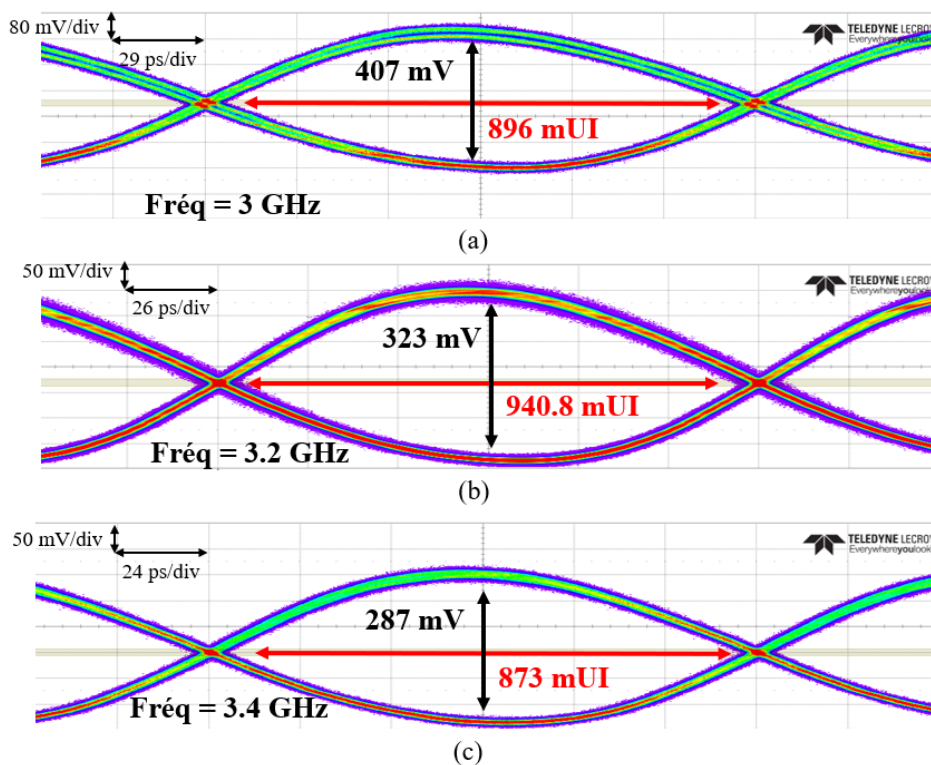


Figure 4-23 : Comparaison du bruit de phase de la PLL (a) au milieu, (b) en bordure inférieure et (c) en bordure supérieure de la plage de synchronisation

D'après les mesures, nous arrivons aux mêmes conclusions que précédemment. En effet, l'ouverture horizontale de l'œil semble optimale pour une fréquence de fonctionnement de 3.2 GHz, soit au milieu de la plage de synchronisation. En revanche, il apparaît également que l'amplitude du signal (ouverture verticale de l'œil) soit plus élevée pour une fréquence de fonctionnement plus faible. En effet, une ouverture d'environ 407 mV est appréciable en bordure inférieure (3 GHz) contre 323 mV (3.2 GHz) au milieu de la plage et 287 mV au niveau de la bordure supérieure (3.4 GHz). Les jitter_{rms} indiquent respectivement 3.1 ps, 2 ps et 2.8 ps.

Afin de donner une comparaison, la figure ci-dessous illustre le diagramme de l'œil de la PLL sans verrouillage par injection fonctionnant à 3.2 GHz.

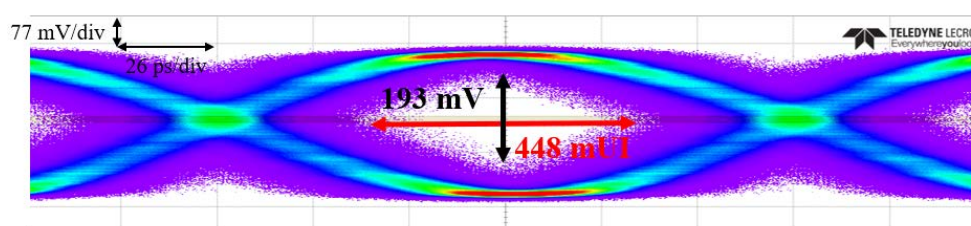


Figure 4-24 : Bruit de phase de la PLL sans synchronisation par injection à 3.2 GHz

La comparaison des figures 4-23 (b) et 4-24, fonctionnant à une fréquence identique (3.2 GHz), permet de conclure quant à l'efficacité de la synchronisation par injection. Par appréciation directe, il est possible d'observer une drastique détérioration de l'ouverture de l'œil dans le cas où la PLL n'est pas synchronisée par injection. En effet, une ouverture de l'œil d'environ 193 mV par 448 mUI est observable contre 343 mV par 940.9 mUI pour la PLL verrouillée par injection. De façon cohérente, le jitter_{rms} s'en retrouve également dégradé en montrant un jitter_{rms} de 7.9 ps contre 2 ps.

D'après les mesures de la PLL verrouillée à 3.2 GHz (fig. 4-23(b)), l'amplitude mesurée apparaît légèrement supérieure à celle simulée (323 mV vs 252 mV), pour la même raison qu'expliquée précédemment. Concernant l'ouverture verticale de l'œil, l'ordre de grandeur obtenu en mesures (940.8 mUI) est sensiblement similaire à celui prédit par les simulations (976 mUI). Enfin, le jitter_{rms} simulé indique une valeur d'environ 800 fs contre 2 ps pour le jitter_{rms} mesuré. Ici encore, cette différence intervient en raison des bruits ramenés par les bruits d'alimentation et des appareils de mesures.

Les mesures respectives en bruit de phase, jitter et diagrammes de l'œil sont résumées dans le tableau qui suit.

Tableau 4-2 : Comparaison des performances mesurées de la PLL sans vs avec synchronisation par injection

	PLL sans injection	PLL avec injection		
		Bord inf.	Milieu	Bord sup.
Fréquence de fonctionnement (GHz)	3.2	3	3.2	3.4
Bruit de phase (dBc/Hz @1 MHz)	-85	-121.7	-130.6	-126.6
Jitter _{rms} (mUI)	29.7	9.3	6.4	9.5
Consommation (mW)	30.8	34.6		

Les résultats des mesures permettent de tirer une conclusion intéressante. En effet, lorsque le diagramme de l'œil est relevé au milieu de la plage de synchronisation (à une fréquence égale à 3.2 GHz), le bruit de phase et jitter obtenus sont optimaux. La dégradation est également observable par étude du jitter, où celui-ci subit une élévation de sa valeur en bordure de plage.

Des mesures complémentaires ont été menées en vue de vérifier si le circuit de PLL synchronisé par injection permet une synchronisation à des harmoniques plus élevés. Pour cela, nous avons tracé les diagrammes de l'œil respectifs aux harmoniques 4 et 8.

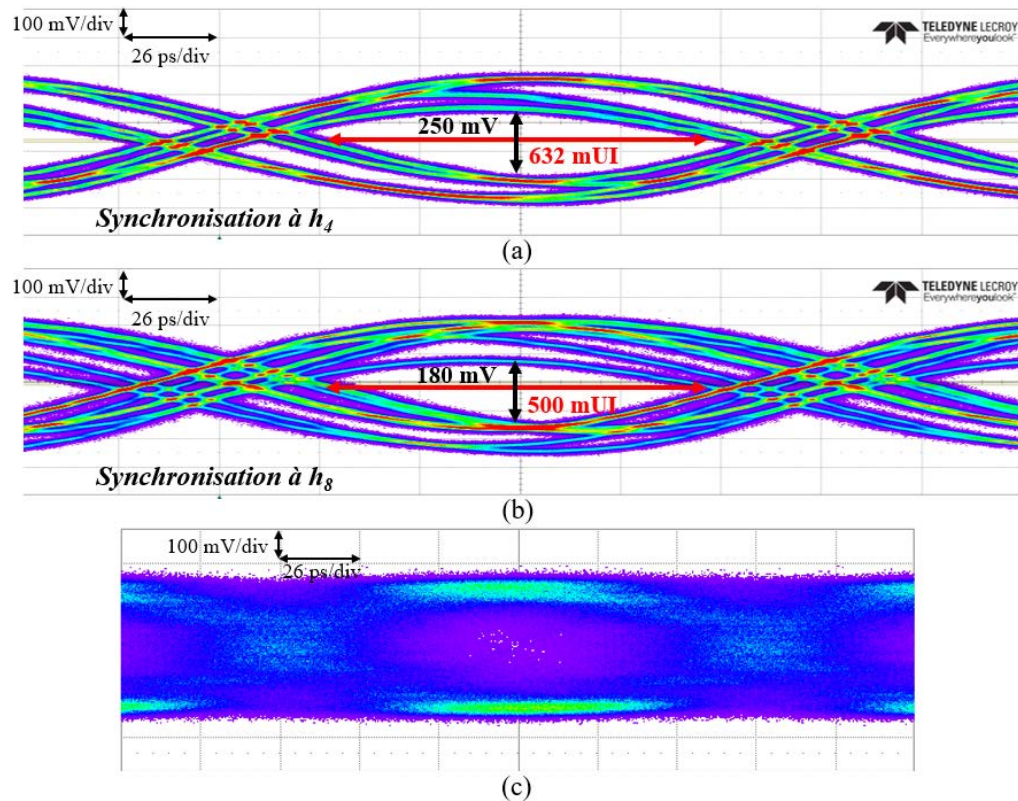


Figure 4-25 : Diagrammes de l'œil de la PLL (a) synchronisée à l'harmonique 4, (b) synchronisée à l'harmonique 8 et (c) en dehors de la plage de synchronisation

D'après les diagrammes obtenus (fig. 4-25 (a) et (b)), nous relevons des ouvertures de l'œil respectives de 250 mV par 632 mUI et 180 mV par 500 mUI. Nous pouvons distinguer une fermeture progressive de l'œil lorsque la PLL se synchronise à des harmoniques de plus en plus élevés. Bien que la synchronisation soit toujours vérifiée, nous assistons à une dégradation du jitter. Nous relevons des jitter_{rms} de 48.3 mUI et 58.2 mUI respectivement. Ces valeurs mesurées directement par l'oscilloscope restent néanmoins à considérer avec précaution. En effet, les mesures semblent se rapprocher de celles obtenues lorsque la PLL n'est pas synchronisée par injection. Ceci est dû à l'allure temporelle du signal obtenu en sortie de la PLL qui subit une détérioration et altère ainsi les résultats de mesures. Cette fermeture progressive de l'œil témoigne d'une plus grande difficulté de la PLL pour maintenir le verrouillage et rend plus difficile les mesures relevées par l'oscilloscope.

La figure 4-25 (c) illustre quant à elle un diagramme de l'œil de la PLL lorsque celle-ci se situe en dehors de sa plage de synchronisation dans le but de démontrer par analyses visuelles que les synchronisations aux harmoniques 4 et 8 sont valides.

Ces mesures permettent d'exposer l'intérêt de recourir à un circuit de PLL. En effet, nous avons tenté de reproduire les synchronisations aux harmoniques 4 et 8 sur l'oscillateur seul,

mais celui-ci s'est montré en incapacité de se verrouiller à ces harmoniques. Une injection à ces harmoniques correspond à de plus faibles densités spectrales dont les séquences des bits d'entrée correspondent à '1100' pour une injection à l'harmonique 4 et '11110000' dans le cas d'une injection à l'harmonique 8.

Ces synchronisations aux harmoniques supérieures à 2 sont permises par le filtre de boucle de la PLL. Comme expliqué dans les chapitres précédents, l'objectif d'une PLL consiste à maintenir le verrouillage même avec une série de bits identique élevée (*runlength*).

Une dernière analyse réalisée concerne l'évolution de la plage de synchronisation en fonction de fréquence harmonique injectée. Dans le cas idéal (injection à l'harmonique 2), nous avons relevé une plage de synchronisation d'environ 400 MHz. Pour une injection aux harmoniques 4 et 8, les plages de synchronisation respectives se réduisent à environ 240 MHz et 80 MHz.

Les résultats de mesures des deux circuits (oscillateur synchronisé par injection d'une part et PLL injectée d'autre part) en bruit de phase ainsi que jitter respectifs de ceux-là ont mis en évidence l'influence bénéfique du principe de verrouillage par injection sur les performances des circuits.

Après avoir mesuré les différents paramètres critiques de ces circuits, nous comparons dans la prochaine sous-section les performances mesurées à l'état-de-l'art.

4.3.3. Comparaison à l'état-de-l'art

La comparaison des performances des mesures relevées de cette étude versus un état-de-l'art récent est exposée ci-après. Cet état-de-l'art cible exclusivement des technologies CMOS fonctionnant dans des bandes de fréquence similaires à notre étude.

Tableau 4-3 : Comparaison des performances à l'état-de-l'art

	Ce travail	[8] TVLSI 2020	[9] JSSC 2022	[10] TCAS-I 2019	[11] RFIC 2018	[12] ASSCC 2021	[13] JSSC 2020
Technologie (nm)	180	45	40	180	14	65	28
Plage de fréquence (GHz)	0.2-4.2	2.4	1.8-2.7	2.5	7	1.9-3.8	4
Jitter _{rms} (ps/mUI)	2/6.4	0.91/2.2	2.1/5.7	0.12/0.3	0.98/6.9	0.89/3.4	0.70/2.8
FOM jitter (dB)	-217.6	-233.3	-229.1	-250.6	-224.6	-234.7	-232.5
Consommation (mW)	34.6	5.6	2.76	6.1	36.3	4.3	11.4
Surface (mm ²)	0.1	0.013	0.09	0.142	0.1	0.22	0.09
Surface normalisée (10 ⁶)	3.08	6.41	56.25	4.38	510.20	52.07	114.80

FOM Jitter = $20\log(\text{RMS Jitter}/1 \text{ s}) + 10\log(\text{Power}/1 \text{ mW})$ [14].

Surface normalisée = Surface (mm²) / technologie² (nm²) [14].

Nous commençons par analyser les performances en jitter présenté par le tableau 4-3. Hormis [11], le jitter_{rms} de nos mesures apparaît comme le plus élevé en comparaison de l'état-de-l'art. Ceci est principalement dû à des techniques d'optimisation et calibration de timing d'injection employées par l'ensemble des autres travaux. En effet, [10] expose la meilleure performance en jitter_{rms} (0.3 mUI). Le circuit présenté est une PLL verrouillée par injection à laquelle les techniques d'injection pseudo-aléatoire et d'injection à contre-réaction sont appliquées. Selon les auteurs, une injection apériodique améliore à la fois l'immunité aux variations PVT tout en réduisant également les spurs. [12] propose une technique d'alignement de timing d'injection basée sur l'utilisation de deux oscillateurs synchronisés par injection afin de réaliser une injection multiphasique. [11] introduit également une méthode d'auto-calibration digitale, permettant de contrôler la fréquence de sortie par le biais d'une ligne de contrôle de délai. [8] présente une méthode de calibration d'ajustement de timing par un détecteur de phase à timing ajusté, réduisant par la même occasion le temps de verrouillage de la PLL. [13] emploie également des techniques d'auto-calibration de timing d'injection et de largeur d'impulsions par l'utilisation de deux lignes de contrôles de délai distinctes.

Le circuit présenté par notre étude indique une consommation plus élevée que l'état-de-l'art général. Si [11] indique une consommation totale similaire (36.3 mW), ces deux architectures exposent une consommation énergétique supérieure à la moyenne de l'état-de-l'art. La consommation élevée de [11] s'explique notamment par un ratio de division de fréquence important.

Dans le but d'investiguer les causes de cet écart de consommation de notre étude, nous déterminons la consommation respective de chacun des éléments. La figure-ci-dessous illustre ce diagramme de consommation.

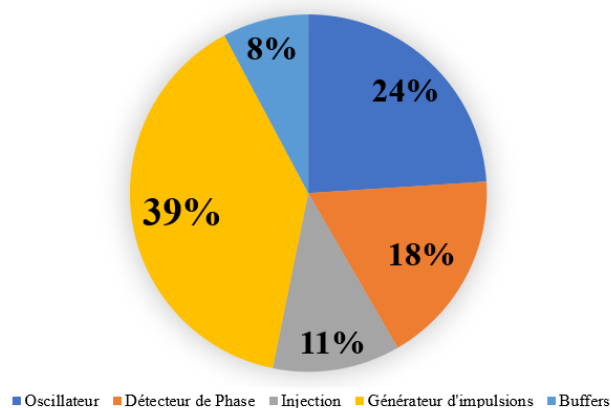


Figure 4-26 : Diagramme de consommation détaillé de la PLL verrouillée par injection

Premièrement, le diagramme de répartition de consommation de la figure 4-26 indique que le générateur d'impulsions constitue l'élément le plus énergivore du circuit avec près de 13.5 mW, soit 39% de la consommation totale. La consommation seule de cet élément est déjà plus élevée que l'ensemble de l'état-de-l'art. Ce dernier est constitué d'une série d'inverseurs afin de remettre en forme les impulsions ainsi que d'une porte logique OU Exclusive (XOR) afin de générer les impulsions du signal d'injection.

Puis, quasiment 25% de la consommation totale provient du VCO. La consommation de l'oscillateur seul (8.3 mW) apparaît encore supérieure aux travaux [8-10] et [12]. Cet élément ayant directement été fourni par l'industriel, aucune optimisation n'a donc été possible dans cette étude.

En troisième position arrive le détecteur de phase, représenté par la XOR identique au générateur d'impulsions. La consommation s'élève à 18% de la consommation totale. Pour rappel, cette porte logique est basée sur une double cellule de Gilbert [15-17]. Cette dernière étant basée sur la méthode de design CML, sa consommation est directement liée à sa fréquence de fonctionnement.

Enfin, presque 20% de la consommation est répartie entre le bloc d'injection (11%) ainsi que des buffers (8%) répartis dans le système afin de remettre en forme les signaux entre les éléments.

Cependant, ce surplus de consommation est également à mettre en parallèle à l'utilisation de la méthode d'optimisation *ELT*, source d'une surconsommation d'après [1] et [2]. Comme expliqué, l'exploitation d'un *triple well*, conduit nécessairement à une élévation de la consommation du circuit. Par ailleurs, le travail présenté ici couvre une plage de fréquence de fonctionnement d'environ 4 GHz, faisant de celle-ci la plus importante de l'état-de-l'art et pourrait également être un argument supplémentaire en faveur de cet écart de consommation.

Concernant la surface occupée, celle-ci doit considérer la différence de taille des nœuds technologiques. Pour cette raison, en vue de donner une comparaison la plus juste possible, nous avons ajouté une catégorie nommée surface normalisée par technologie dans le tableau 4- 3. Cette catégorie correspond à une métrique sans dimension, définie à partir du ratio de la surface active (en mm²) par le carré du nœud technologique (nm²).

Ainsi, même si [8] et [10] semblent sensiblement proches de notre étude, ces dernières restent légèrement inférieures, rendant ce travail le plus optimal en termes d'optimisation de surface occupée. Bien que la méthode *ELT* suggère une occupation de surface supérieure, ce désagrément est notamment compensé par les absences respectives de diviseur de fréquence ainsi que de pompe de charge, éléments usuels dans une PLL classique.

Bien qu'en comparaison à l'état-de-l'art la FoM calculée place ce travail en dernière position, ceci est à mettre en regard du nœud technologique et de l'application ciblée.

En vue de situer et comparer la preuve-de-concept réalisée versus l'état-de-l'art, présentant les circuits les plus performants, la figure ci-dessous représente la surface normalisée en fonction de la FoM Jitter.

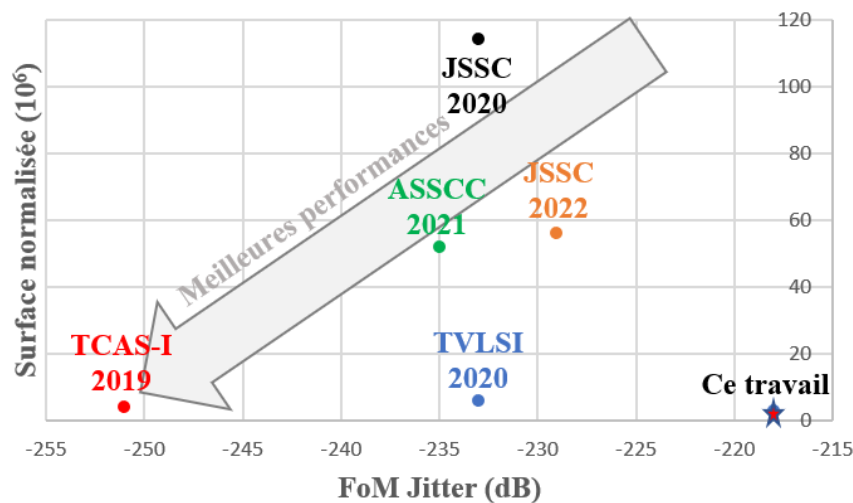


Figure 4-27 : Comparaison à l'état-de-l'art de la surface normalisée versus FoM Jitter

Comme attendu, [10] présente les meilleures performances de manière générale de par une consommation et surface occupée extrêmement faibles tout en présentant d'excellentes performances en jitter. Néanmoins, cette figure permet malgré tout de relever l'intérêt de notre travail en proposant la meilleure surface normalisée de l'état de l'art au détriment d'une consommation et jitter dégradés. On notera que [8] n'est pas représenté ici, dû à une surface normalisée largement supérieure à l'état-de-l'art.

Contrairement à l'état-de-l'art, ce circuit fait office d'un premier circuit servant de preuve-de-concept, et n'incorpore donc pas d'optimisation, notamment dédié à des questions de timing d'injection et de consommation. Malgré tout, les résultats de cette étude ont permis de mettre en exergue plusieurs points utiles pour le second circuit.

Tout d'abord, la validité de l'architecture : bien que des efforts d'optimisation en termes de consommation et de jitter restent à prévoir, la surface normalisée occupée s'est avérée encourageante pour le prochain circuit.

Enfin, d'après les conclusions de cette étude, l'option éventuelle destinée à l'optimisation de timing d'injection afin d'améliorer les performances en jitter apparaît également intéressante et fera l'objet d'une étude approfondie ultérieurement afin de déterminer si elle représente un réel intérêt par rapport au compromis d'amélioration de jitter/surface/consommation.

4.4. Conclusion du chapitre

Ce chapitre a introduit une vue d'ensemble de la technologie 180 nm en présentant les atouts amenés par cette technologie de par sa robustesse inhérente quant aux particules radiatives.

Puis, la méthode de conception employée par détermination de la densité de courant optimale afin d'en déduire un dimensionnement idéal au niveau du transistor a été exposée. Une technique de layout a également été proposée afin de répondre au besoin de robustesse quant aux événements induits par les radiations, notamment le recours à la technique *ELT*.

La conclusion de cette étude a ainsi permis de valider les hypothèses avancées par mesures sous pointes. Les différentes comparaisons entre résultats de simulation et mesures témoignent d'une corroboration relativement bonne.

Le principe de verrouillage par injection justifie son utilisation par une amélioration drastique en termes de bruit de phase et jitter. Les résultats ont montré des performances satisfaisantes en termes de jitter et occupation de surface. Néanmoins, des efforts dans l'optimisation de la consommation restent à planifier.

La validation de cette preuve-de-concept permet de donner une structure de base concernant la conception du circuit complet de CDR présenté dans le chapitre suivant.

4.5. Bibliographie

- [1] Franciscatto G. et al., « DARE180X: A 0.18 μ m mixed-signal radiation-hardened library for low-power applications ».
- [2] G. Anelli *et al.*, « Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects », *IEEE Trans. Nucl. Sci.*, vol. 46, n° 6, p. 1690-1696, déc. 1999, doi: 10.1109/23.819140.
- [3] E. Morifuji *et al.*, « Future perspective and scaling down roadmap for RF CMOS », in *1999 Symposium on VLSI Technology. Digest of Technical Papers (IEEE Cat. No.99CH36325)*, Kyoto, Japan, 1999, p. 163-164. doi: 10.1109/VLSIT.1999.799394.
- [4] A. Larie, « Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques », 2015. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-01142532>
- [5] N. A. Dodds *et al.*, « Effectiveness of SEL Hardening Strategies and the Latchup Domino Effect », *IEEE Trans. Nucl. Sci.*, vol. 59, n° 6, p. 2642-2650, déc. 2012, doi: 10.1109/TNS.2012.2224374.
- [6] R. Guillaume, « Millimeter-wave and terahertz frequency synthesis on advanced silicon technology », Bordeaux, 2019. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-02329132>.
- [7] Martineau B., « Potentialités de la technologie CMOS 65nm SOI pour des applications sans fils en bande millimétrique », 2008.
- [8] M.-H. Chou et S.-I. Liu, « A 2.4-GHz Area-Efficient and Fast-Locking Subharmonically Injection-Locked Type-I PLL », *IEEE Trans. VLSI Syst.*, vol. 28, n° 11, p. 2474-2478, nov. 2020, doi: 10.1109/TVLSI.2020.3014885.
- [9] Y. He *et al.*, « An Injection-Locked Ring-Oscillator-Based Fractional-N Digital PLL Supporting BLE Frequency Modulation », *IEEE J. Solid-State Circuits*, vol. 57, n° 6, p. 1765-1775, juin 2022, doi: 10.1109/JSSC.2022.3154752.
- [10] N. Xi, F. Lin, et T. Ye, « A Low-Spur and Intrinsically Aligned IL-PLL With Self-Feedback Injection Locked RO and Pseudo-Random Injection Locked Technique », *IEEE Trans. Circuits Syst. I*, vol. 67, n° 4, p. 1358-1367, avr. 2020, doi: 10.1109/TCSI.2019.2962220.
- [11] S. Kim, B. Ham, M. Cho, S. Oh, J. Lee, et T. B. Cho, « A 14nm FinFET Sub-Picosecond Jitter Fractional-N Ring PLL for 5G Wireless Communication », in *2018 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Philadelphia, PA, juin 2018, p. 40-43. doi: 10.1109/RFIC.2018.8429027.
- [12] K. T. Phan, Y. Chao, et H. C. Luong, « A 1.92GHz-3.84GHz 0.74ps-1.09ps-Jitter Inductor-less Injection-Locked Frequency Synthesizer with Automatic Frequency Selection and Timing Alignment », in *2021 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Busan, Korea, Republic of, nov. 2021, p. 1-3. doi: 10.1109/A-SSCC53895.2021.9634811.
- [13] X. Jin, W. Park, D.-S. Kang, Y. Ko, K.-W. Kwon, et J.-H. Chun, « A 4-GHz Sub-Harmonically Injection-Locked Phase-Locked Loop With Self-Calibrated Injection Timing and Pulsewidth », *IEEE J. Solid-State Circuits*, vol. 55, n° 10, p. 2724-2733, oct. 2020, doi: 10.1109/JSSC.2020.3005806.
- [14] D. Gaidioz, « Ultra-Low Power Efficiency Frequency Synthesizer for Internet-of-Things applications In 28nm FD-SOI technology », Bordeaux, 2021. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-03336167>
- [15] B. Gilbert, « A high-performance monolithic multiplier using active feedback », *IEEE J. Solid-State Circuits*, vol. 9, n° 6, p. 364-373, déc. 1974, doi: 10.1109/JSSC.1974.1050529.

- [16] P. M. Campbell *et al.*, « A very wide bandwidth digital VCO using quadrature frequency multiplication and division implemented in AlGaAs/GaAs HBT's », *IEEE Trans. VLSI Syst.*, vol. 6, n° 1, p. 52-55, mars 1998, doi: 10.1109/92.661246.
- [17] L. Schmidt *et al.*, « New high-speed bipolar XOR gate with absolutely symmetrical circuit configuration », *Electron. Letters*, vol. 26, pp. 364-373, Dec. 1974.

5. Conception du circuit de récupération d'horloge et de données à 60 Gb/s en technologie 28nm FDSOI

Le chapitre précédent a présenté les mesures associées à la preuve-de-concept d'un circuit de récupération d'horloge basé sur une PLL synchronisée par injection à la fréquence de 3.2 GHz. Bien que le jitter et la consommation restent à optimiser, les résultats obtenus se sont avérés suffisamment probants afin de valider la base de l'architecture du circuit de récupération d'horloge et de données (CDR) introduit ici.

Ce dernier chapitre se dédie ainsi à la conception de deux circuits de CDR réalisés jusqu'à la phase de layout en technologie 28 nm FDSOI. Les résultats de simulation présentés tout au long de ce chapitre correspondent à des simulations post-layout.

La première section se consacre à une vue d'ensemble de cette technologie en introduisant les parties *Front-End* et *Back-End Of line* (FEOL et BEOL). La seconde partie se dédie, comme dans le chapitre 3, à la méthode de design employée au niveau transistor. Puis, les troisième et quatrième partie seront destinées à la présentation des résultats de simulation post-layout du circuit de CDR fonctionnant à 60 Gb/s en modulation NRZ pour la partie 3 et en PAM4 concernant la partie 4.

5.1. Vue d'ensemble de la technologie 28 nm FDSOI

Avant de procéder à la présentation de la technologie 28 nm FDSOI, donnons en premier lieu les motivations quant au choix de celle-ci.

Tout d'abord, la question du débit de fonctionnement. La réduction des nœuds technologiques conduit inexorablement à des fréquences de transition et maximale (f_t et f_{max} , respectivement) des transistors de plus en plus élevées. Après de multiples recherches bibliographiques, le nœud technologique 28 nm s'est avéré capable d'adresser des débits de fonctionnement très élevé (≥ 40 Gb/s), corroborant ainsi avec notre souhait d'atteindre des débits très élevés.

La seconde raison adresse la problématique de robustesse quant aux radiations. Comme brièvement expliqué dans le chapitre 1, les technologies de type SOI se démarquent des technologies *bulk* conventionnelles par leur structure et de fait, propose un durcissement inhérent quant aux particules radiatives.

Enfin, la dernière raison provient de la particularité amenée par cette technologie qui accorde un contrôle sur la tension de seuil des transistors résultant potentiellement en une optimisation de la consommation. Les deux derniers points font l'objet de discussions plus approfondies ultérieurement.

5.1.1. Front-End Of Line

Contrairement aux technologies de type *bulk* conventionnelles, la technologie FDSOI se distingue par l'ajout d'une fine couche d'oxyde de Silicium enterrée (BOX). L'ajout du BOX

accorde une meilleure isolation du canal (créé entre le drain et la source lors de la polarisation de la grille) avec le substrat, limitant la circulation des électrons dans cette zone et induisant alors une diminution drastique des courants de fuite. La figure suivante compare une technologie bulk et SOI d'un transistor [1].

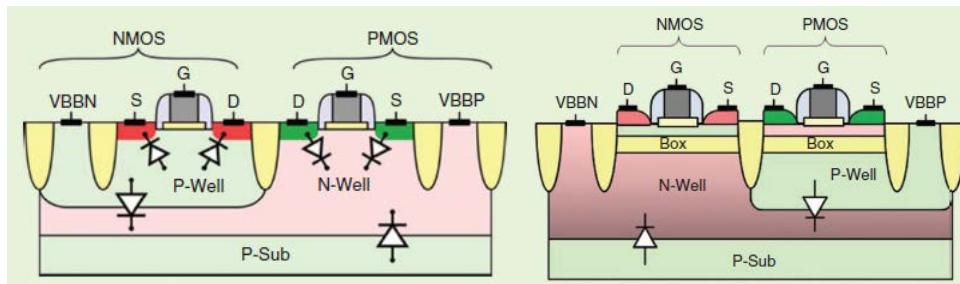


Figure 5-1 : Vue de coupe d'un transistor Bulk CMOS et FD SOI [2]

Ceci conduit au second avantage proposé par cette technologie : la possibilité de maîtriser la tension de seuil (V_t) d'un transistor par le biais de la polarisation de la *back-gate*. En effet, dans une technologie bulk conventionnelle, le facteur de body est limité en raison d'une variation de V_t de seulement 25mV/V [1], [3].

La figure suivante donne les variations de V_t en fonction de la polarisation de la *back-gate* pour les quatre différents types de transistors disponibles dans le DK. Dans notre cas, nous nous concentrerons uniquement sur les transistors utilisés dans nos circuits : NLVT et PLVT.

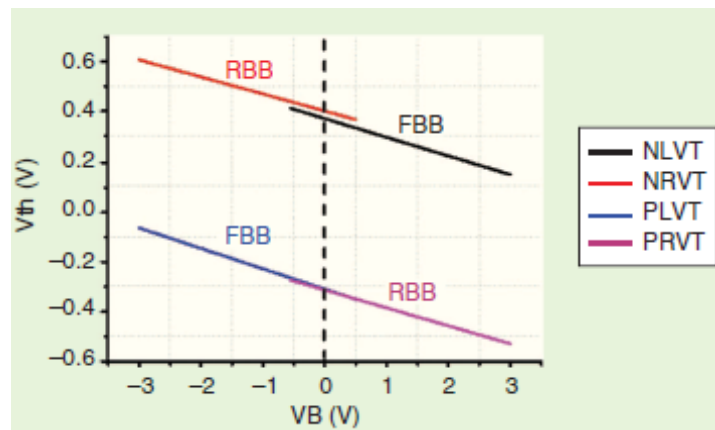


Figure 5-2 : Variation de V_t en fonction de la polarisation du body bias [1]

Comme indiqué par la figure précédente, il est possible de varier la valeur de V_t jusqu'à 250 mV en polarisant le body jusqu'à environ 3V. Dans cette figure, les deux types de polarisation du body bias sont possibles.

Dans le cas des transistors *Low Vt* (LVT), en appliquant une polarisation de type *Forward Body Biasing* (FBB), il est possible de réduire cette tension de seuil. Ces transistors LVT permettent d'atteindre des tensions de seuils relativement faibles. Cet avantage est permis par un procédé de fabrication nommé *flipped well* : c'est-à-dire que les transistors Nmos reposent sur un puit N et les Pmos sur un puit P.

5.1.2. Back-End Of Line

Le Design kit de la technologie 28 nm FDSOI que nous avons utilisé comprend huit niveaux de métallisation distincts. La figure ci-dessous en donne les vues du dessus et de coupe.

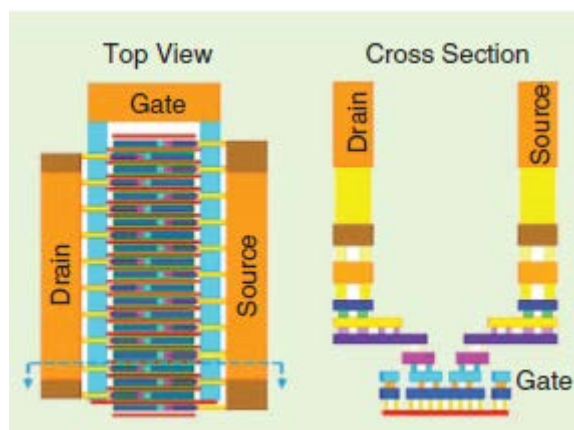


Figure 5-3 : Vues de dessus et de coupe d'un transistor en 28 nm FDSOI

D'après la figure précédente, nous distinguons :

- 6 couches de métaux fins de Cuivre, d'épaisseurs identiques (M1 à M6),
- 2 couches de métaux épais de Cuivre (IA et IB),
- 1 couche mince de métal d'aluminium (LB) équivalente à de l'AluCap.

Les 6 premières couches (M1-M6) sont généralement utilisées pour connecter les parties digitales, conduisant de faibles courants alors que les couches IA et IB sont quant à elles utilisées pour la masse et V_{DD} .

La présentation de cette technologie étant terminée, la section suivante expose la méthode de dimensionnement employée durant ce travail.

5.2. Méthode de design niveau transistor

La méthode de design employée étant identique à celle introduite dans le chapitre 3, nous ne redétaillerons pas celle-ci et présenterons uniquement les résultats obtenus afin de comparer les différences avec la technologie 180 nm.

Comme explicité dans le chapitre 1, de par sa robustesse inhérente aux particules radiatives, cette technologie SOI nous évite la nécessité de recourir à la méthode *ELT*, conduisant en définitive à un gain considérable en occupation de surface.

5.2.1. Détermination de la densité de courant optimale

En appliquant de nouveau la méthode du chapitre 3, nous déterminons dans un premier temps la f_i . Pour rappel, la f_i est obtenue en relevant la valeur du gain en courant lorsque celui-ci devient unitaire. Nous traçons alors le gain en courant en fonction de la fréquence et relevons

la f_t lorsque h_{21} croise 0 dB. Nous effectuons cette simulation pour plusieurs valeurs de la tension d'entrée (V_g). La figure suivante illustre cela.

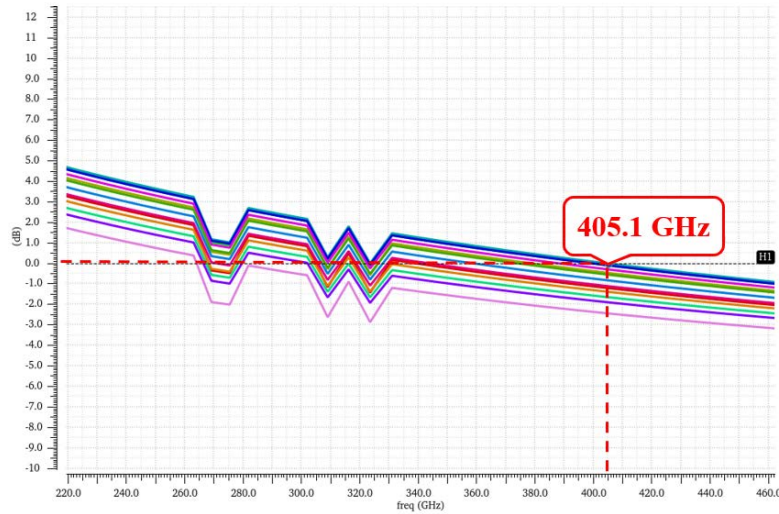


Figure 5-4 : Estimation de f_t

Nous relevons alors une f_t d'environ 405.1 GHz pour une tension de grille optimale ($V_{g\ opt}$) égale à 0.6 V. Connaissant $V_{g\ opt}$, nous relevons ainsi le courant I_d correspondant à l'aide de la figure ci-dessous.

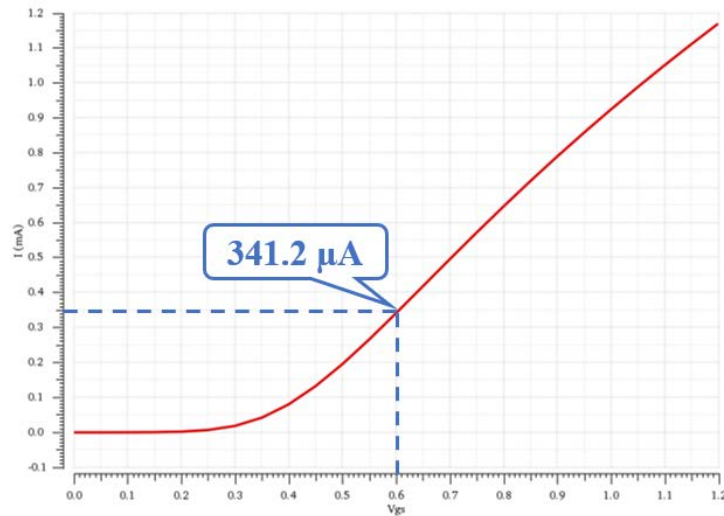


Figure 5-5 : Détermination du courant de drain (I_d) à $V_{g\ opt}$

La largeur totale (W_{tot}) étant de 1 μm , nous en déduisons alors la densité de courant optimale (J_{opt}), égale à 341 $\mu\text{A}/\mu\text{m}$. Ces résultats corroborent avec ceux obtenus par une étude précédente qui relève environ 300 $\mu\text{A}/\mu\text{m}$ [3].

5.2.2. Optimisation layout

Comme expliqué précédemment, la technologie SOI présente une robustesse inhérente aux radiations. De facto, la méthode d'optimisation au niveau layout (*ELT*) se trouve alors inutile et ne sera donc pas réutilisée ici. Néanmoins, la fréquence de fonctionnement du circuit étant

élevée (60 GHz), il est extrêmement contraignant d'assurer un fonctionnement idéal du circuit sans la moindre optimisation au niveau layout.

Ainsi, afin de répondre à ce besoin, deux techniques en vue d'optimiser à la fois la f_t et f_{max} émergent. Une première méthode repose sur l'utilisation d'*accès en escalier* au drain et source du transistor. Ce procédé induit de plus faibles capacités drain-source étant donné que les surfaces respectives de drain et de source en regard de la grille sont réduites. Cette technique présente une élévation de f_{max} d'environ 20% [4], [5].

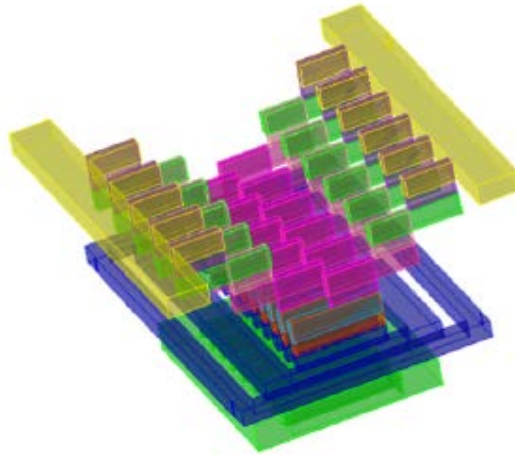


Figure 5-6 : Exemple d'optimisation de layout avec accès au drain et source par méthode d'escalier

Une dernière technique d'optimisation de layout adopte l'utilisation du double accès à la grille. Cette technique permet de diminuer la résistance d'accès à la grille, induisant une amélioration de la f_{max} d'environ 8% en comparaison à une architecture de transistor à grille simple [4], [5].

La figure ci-dessous illustre ces deux optimisations au niveau du layout d'un transistor. L'accès pour la polarisation par le body y figure également.

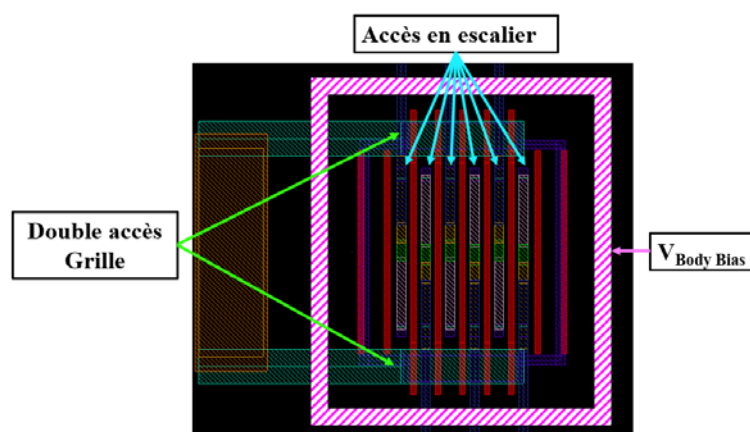


Figure 5-7 : Layout d'un transistor avec optimisations d'accès en escalier et double accès à la grille

La méthode de dimensionnement au niveau transistor ainsi que les procédés d'optimisation de layout ayant été définis, présentons maintenant les résultats de simulation obtenus.

5.3. Conception Full Rate NRZ CDR

Cette section présente le premier circuit de CDR réalisé jusqu'à l'étape de layout. Nous donnons en premier lieu l'architecture générale réalisée puis détaillons les différences fondamentales avec le circuit du troisième chapitre.

Les résultats exposés sont issus de simulations post-layout. Une nouvelle méthode de conception concernant la plage de contrôle de l'oscillateur en anneau est introduite en vue de réduire celle-ci. Une analyse en bruit de phase avec et sans synchronisation par injection de l'oscillateur seul est présentée.

Une analyse de consommation décline la consommation détaillée des différents sous-bloc constituant l'architecture. Puis, les analyses se poursuivent par une présentation des résultats dans les domaines temporel et fréquentiel du signal d'horloge ainsi que des données récupérées.

L'étude se conclut par une comparaison à l'état-de-l'art des circuits les plus performants en termes de jitter, efficacité énergétique et superficie, fonctionnant à un débit similaire (60 Gb/s) et ciblant les technologies CMOS.

5.3.1. Architecture et layout

Contrairement au circuit du chapitre 3 destiné à effectuer uniquement une récupération du signal d'horloge, le circuit présenté dans cette section incorpore également un circuit décisionnel afin de réaliser la récupération de données. La figure ci-dessous expose l'architecture du circuit réalisé.

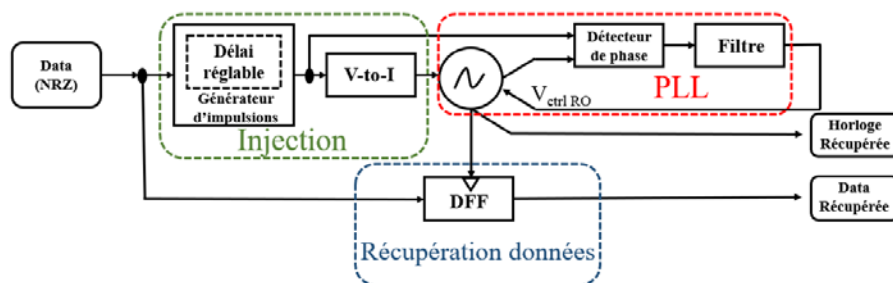


Figure 5-8 : Synoptique du circuit de CDR réalisé

La différence majeure concerne la conception même de l'oscillateur en anneau. En effet, dans le circuit précédent, nous avons relevé une plage de contrôle relativement élevée (≈ 3.33 GHz/V) et donc non idéal dans notre cas.

Afin de remédier à cela, l'architecture de l'oscillateur a été repensée. L'objectif est de réduire cette plage de contrôle en vue de diminuer les conséquences de ces variations sur la ligne de contrôle de l'oscillateur résultant en une source de génération de jitter.

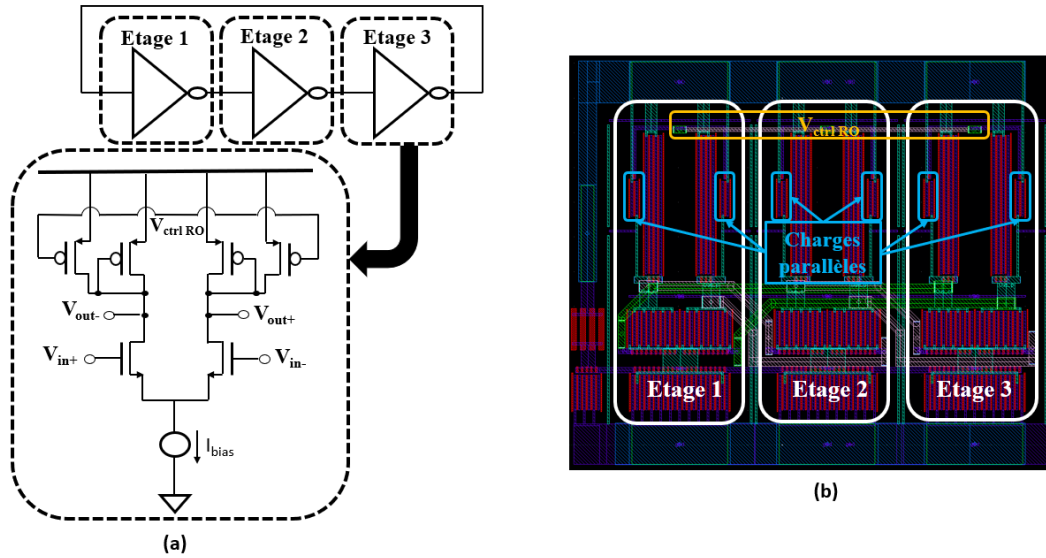


Figure 5-9 : (a) Schématique et (b) Layout de l'oscillateur en anneau

Cette différence vient du contrôle de la charge active des trois étages d'amplifications. En effet, en parallèle des charges actives sont connectées d'autres Pmos afin d'opérer via la tension de contrôle de l'oscillateur une variation de la fréquence du signal de sortie réduite. La figure ci-dessous illustre la plage de contrôle de l'oscillateur obtenue.

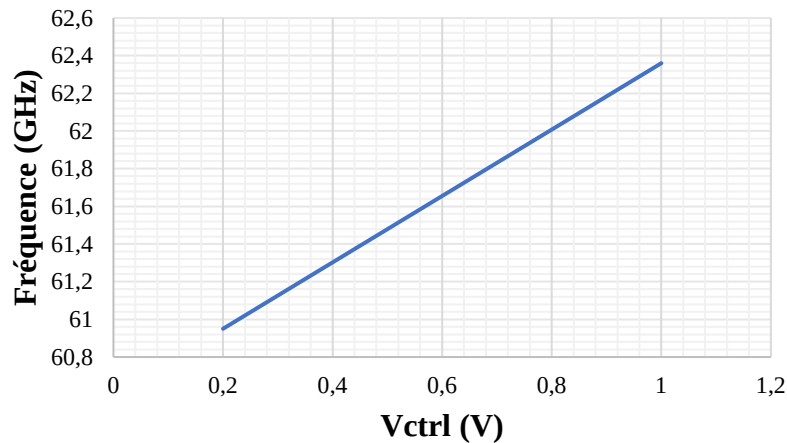


Figure 5-10 : Plage de contrôle simulée de l'oscillateur en anneau

D'après les résultats de simulation post-layout présentés dans la figure 5-10, la sensibilité du VCO (K_{VCO}) obtenue est d'environ 1.75 GHz/V (contre 3.33 GHz/V pour le circuit précédent), réduisant ainsi quasiment de moitié cette dernière.

Nous relevons une plage de fréquence de fonctionnement de 61 GHz à 62.4 GHz. Nous avons volontairement ciblé une plus haute plage de fréquence de fonctionnement en raison des capacités parasites introduites par les interconnexions, venant alors diminuer celle-ci en vue d'atteindre 60 GHz au milieu de cette plage.

Nous commençons nos analyses en opposant le bruit de phase de l'oscillateur en anneau avec et sans verrouillage par injection dans la figure ci-dessous.

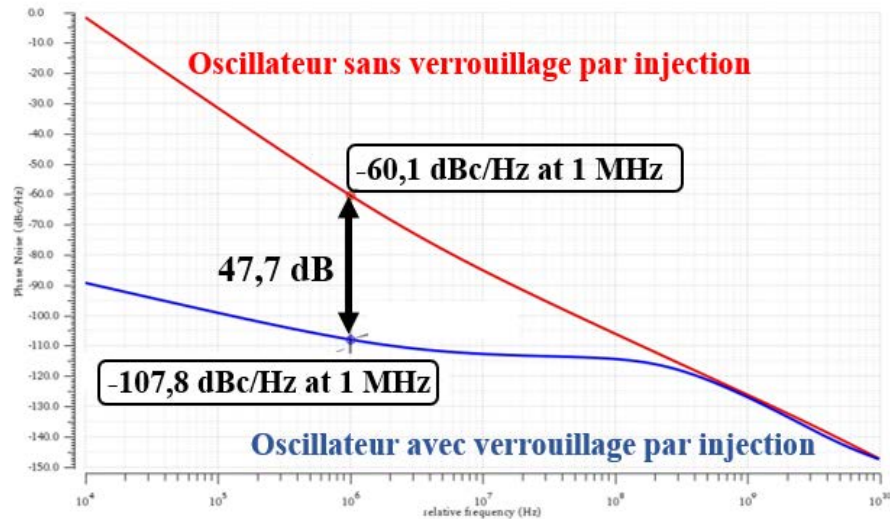


Figure 5-11 : Comparaison du bruit de phase de l'oscillateur en anneau sans (rouge) vs avec (bleu) synchronisation par injection

D'après la figure précédente nous relevons un bruit de phase de -60.1 dBc/Hz à 1 MHz de la fréquence porteuse dans le cas où l'oscillateur en anneau n'est pas synchronisé. Nous constatons alors que l'oscillateur subit une dégradation très élevée du bruit de phase à la fréquence de 60 GHz. Pour rappel, à titre comparatif, le bruit de phase obtenu du circuit de PLL sans synchronisation par injection du circuit précédent atteignait déjà -85 dBc/Hz à 1 MHz. La synchronisation par injection permet d'améliorer celui-ci afin d'atteindre -107.8 dBc/Hz à 1 MHz.

Concernant l'architecture générale du circuit, peu d'éléments diffèrent fondamentalement. En effet, nous avons choisi de conserver le principe similaire au circuit du chapitre 3 puisque celui-ci présentait déjà d'excellentes performances en termes d'occupation de surface. L'optimisation devait donc se concentrer essentiellement sur l'amélioration de la consommation. Concernant ceci, le choix de la technologie joue un rôle double. Tout d'abord, pour les questions de durcissement aux radiations du procédé SOI, mais surtout pour son optimisation de consommation avec la réduction des courants de fuite.

La figure suivante illustre le layout du circuit complet de CDR. Comme introduit en début de section, en plus de la récupération du signal d'horloge, un circuit décisionnel (DFF) est ajouté en vue d'effectuer la récupération des données.

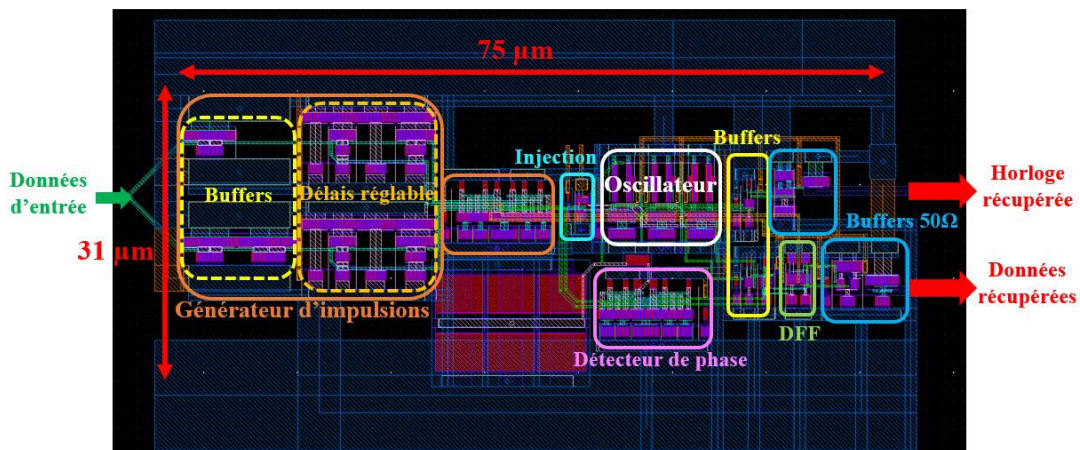


Figure 5-12 : Layout du circuit de CDR de modulation NRZ

La surface totale du circuit est égale à 0.002 mm² et indique une consommation d'environ 79.44 mW, induisant une efficacité énergétique de 1.32 pJ/bit. L'efficacité énergétique se définit comme le quotient de la consommation par le débit des données et s'exprime en J/bit, soit :

$$\text{Efficacité énergétique [J/bit]} = \frac{\text{Consommation [W]}}{\text{Débit des données [bit/s]}}$$

Afin de faire suite aux conclusions du circuit précédent (chapitre 3), en plus du choix de la technologie SOI, des efforts en vue d'optimiser la consommation de celui-ci ont fait l'objet de nombreuses recherches. La figure ci-dessous illustre la consommation détaillée de chaque élément de l'architecture.

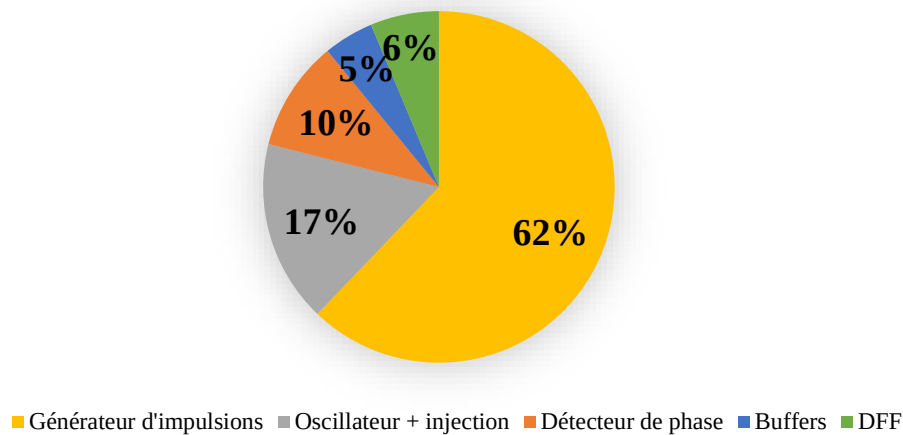


Figure 5-13 : Diagramme de consommation du circuit de CDR de modulation NRZ

L'objectif ici n'est pas de comparer la consommation totale par rapport au circuit du chapitre 3 mais plutôt d'étudier la consommation par élément des circuits respectifs afin d'en retirer les éléments les plus énergivores.

Nous commençons par analyser la consommation de l'oscillateur avec le bloc d'injection. Dans le circuit précédent, cette consommation représente 35% (Oscillateur + Injection) de la consommation totale contre 17% ici. La consommation est pratiquement divisée par deux. Ceci s'explique par deux principales causes. La première, contrairement à précédemment, une entrée supplémentaire au contrôle de la force d'injection ($V_{ctrl inj}$) a été ajoutée afin de mieux contrôler l'injection sur l'oscillateur et donc de limiter les potentielles fuites par les capacités parasites. La seconde raison provient de la suppression de buffers entre le générateur d'impulsions et le bloc d'injection présents dans le circuit précédent.

A première vue, la consommation du détecteur de phase apparaît plus élevée que pour le circuit précédent. Une consommation d'environ 7.9 mW (soit 10% de la consommation totale) est relevée ici contre 6.2 mW (18%) du circuit précédent. Cependant, ces résultats-là sont à mettre en parallèle à la fréquence de fonctionnement (60 GHz) qui requiert une consommation non négligeable afin d'assurer une opération optimale. La topologie du bloc destiné à réaliser la détection de phase étant toujours identique à celle du circuit précédent, des efforts supplémentaires ont été fournis afin d'optimiser la consommation. En effet, nous tirons profit de l'accès à la back gate en vue de réduire les V_t des transistors. Cette méthode permet, en plus

de limiter les courants de fuite (par la présence du BOX), de situer la zone de saturation (zone ciblée pour contrôler au mieux le courant de drain) plus bas et d'ainsi proposer une consommation optimisée.

Enfin, le circuit destiné à la génération des impulsions constitue, avec près de 62% de la consommation totale, l'élément le plus énergivore du circuit de CDR. Ceci est essentiellement dû à l'utilisation de transistors aux dimensions importantes situés à l'entrée du circuit afin de régénérer des fronts de signaux suffisamment adéquats.

Le bloc de récupération des données (*DFP*) établit quant à lui près de 6% (soit 4.8 mW) de la consommation totale.

Enfin, dû à l'extrême difficulté d'atteindre un fonctionnement idéal à cette fréquence, quelques buffers sont ajoutés en sortie de l'oscillateur, afin d'effectuer des remises en forme de signaux pour les récupérations respectives des signaux d'horloge et de données. Les buffers de sortie devant supporter les charges 50 Ω sont uniquement destinés à la réalisation de mesures et ne sont donc pas pris en compte dans le calcul de la consommation totale du circuit.

La présentation de l'architecture avec ses modifications et investigations approfondies au niveau de la consommation étant terminées, la prochaine sous-section se concentre sur les résultats de simulation post-layout du circuit.

5.3.2. Résultats de simulations post-layout

Les premiers résultats de simulation post-layout ciblent l'étude de la récupération du signal d'horloge. La figure ci-dessous expose l'allure temporelle du signal d'horloge récupéré à 60 GHz.

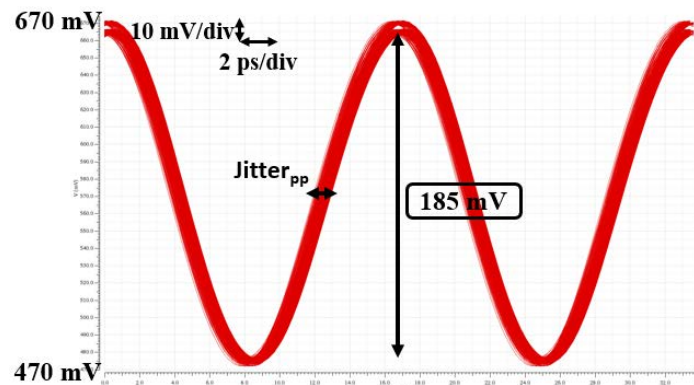


Figure 5-14 : Allure temporelle du signal d'horloge récupéré à 60 GHz

L'allure temporelle du signal d'horloge récupéré (fig. 5-14) permet de donner une estimation du jitter_{peak-to-peak} (jitter_{pp}) ainsi que de son amplitude temporelle. Les résultats de simulation du jitter_{pp} indiquent une valeur de 994.5 fs, soit environ 57.2 mUI. L'amplitude du signal temporel relevée montre quant à elle environ 185 mV d'amplitude crête-à-crête.

Afin d'en déduire le jitter_{rms}, comme expliqué dans le chapitre 1, il est nécessaire de déterminer le BER requis. Dans notre cas, nous choisissons un BER égal à 10^{-12} . D'après la table de conversion redonnée ci-dessous, nous en déduisons le jitter_{rms} qui est alors égal à environ 70.7 fs, soit 4.2 mUI.

Tableau 5-1 : Détermination du ratio multiplicateur en fonction du BER requis [6]

BER	Facteur
10^{-9}	11.996
10^{-10}	12.723
10^{-11}	13.412
10^{-12}	14.069
10^{-13}	14.698
10^{-14}	15.301
10^{-15}	15.883

L'étude suivante se dédie à l'analyse du signal d'horloge ainsi que des données récupérées. L'objectif de cette analyse temporelle vise à vérifier la bonne récupération des séquences de données par comparaison bit à bit des données envoyées en entrée et celles obtenues en sortie.

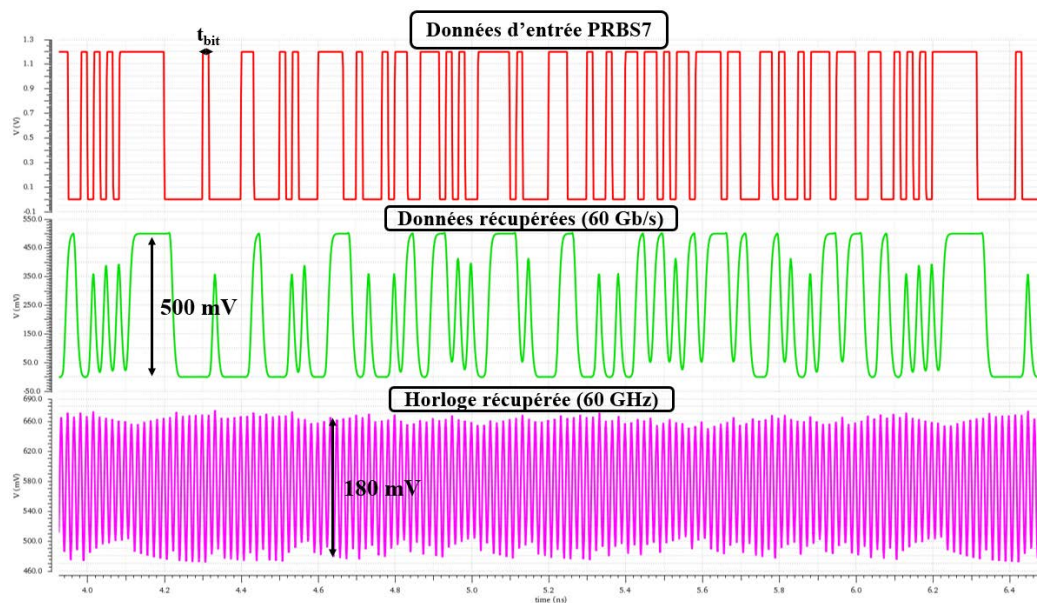


Figure 5-15 : Allures temporelles des données d'entrée, des données et horloge récupérées

Le signal des données d'entrée montre une séquence pseudo-aléatoire d'une *runlength* de 7 bits (PRBS7) dont le temps bit (t_{bit}) minimal est de 16.66 ps.

Les données récupérées attestent d'une récupération adéquate des données d'entrée. Bien que certains bits récupérés n'atteignent pas l'amplitude maximale en raison de transitions de séquences rapides de types '0101', la récupération des données corrobore avec les séquences d'entrées envoyées. Le signal d'horloge récupéré expose un signal d'amplitude de 180 mV oscillant à la fréquence de 60 GHz.

La dernière analyse s'intéresse à l'analyse du diagramme de l'œil des données récupérées. L'objectif est double ; le premier consiste à vérifier la qualité du signal obtenu par l'étude de l'ouverture de celui-ci et le second d'en déduire le jitter_{pp}. Les deux sous-figures représentent toutes deux le diagramme de l'œil des données récupérées avant (fig. 5-16(a)) et après (fig. 5-16(b)) les buffers de sortie supportant les charges 50 Ω qui symbolisent les appareils de mesures.

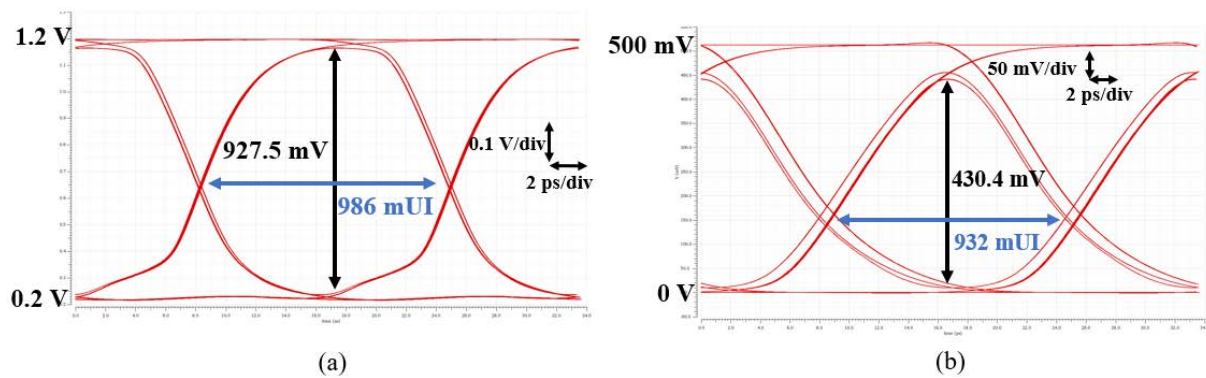


Figure 5-16 : Diagramme de l'œil des Données récupérées (a) avant buffer 50 Ω et (b) après buffer 50 Ω

Le diagramme de l'œil avant le buffer 50 Ω révèle un jitter_{pp} d'environ 227.2 fs (soit 13.6 mUI). L'œil obtenu dévoile une ouverture de 986 mUI par 927.5 mV. La figure 5-16 (b) montre également le diagramme de l'œil des données récupérées mais cette fois-ci en sortie des buffers 50 Ω . L'allure visualisée témoigne d'une dégradation importante de l'œil. En effet, le diagramme de l'œil révèle à présent une ouverture de 932 mUI par 430 mV. Le jitter_{pp} induit est également affecté en indiquant une valeur de 1.1 ps (soit 66 mUI). L'objectif de cette comparaison est de montrer l'énorme impact négatif des charges 50 Ω à cette fréquence de fonctionnement.

Après avoir présenté les différentes performances clés de ce circuit de CDR, comparons ces résultats à l'état-de-l'art.

5.3.3. Comparaison à l'état-de-l'art

Bien que les résultats de notre étude correspondent à des résultats de simulation post-layout, il reste néanmoins intéressant de les comparer à un état-de-l'art récent.

L'état-de-l'art introduit se concentre sur des architectures exposant les meilleures performances en termes de jitter, efficacité énergétique et occupation de surface, à débit équivalent (60 Gb/s) et en technologie CMOS pour des modulations de données de type NRZ exclusivement.

Tableau 5-2 : Comparaison des résultats à l'état-de-l'art des circuits de CDR de modulation NRZ

Références	Ce travail	[7] ISSCC 2016	[8] JSSC 2017	[9] VLSI 2015	[10] ISSCC 2021	[11] ISSCC 2019
Technologie (nm)	28	28	65	40	28	14
Débit (Gb/s)	60	56.2	60	55.5-56.5	56	56
Jitter _{rms} (fs/mUI)	70/4.2	288/16.1 ¹	-	800/44.8 ^{1,2}	500/28 ¹	-
FOM jitter (dB)	-244.1	-229.3	-	-218.5	-228.3	-
Efficacité énergétique (pJ/bit)	1.32	2.53 ²	2.26 ²	3.89 ^{1,2}	1.07 ¹	2 ²
Consommation (mW)	79.4	142.1 ^{1,2}	136 ²	220 ²	58.5 ¹	111.4 ²
Surface (mm ²)	0.002	1.4 ²	2.025 ²	1.1 ²	0.102	0.053
Surface normalisée (10 ⁶)	2.5	1785	479.2	687.5	130.1	270.4

FOM Jitter = $20\log(\text{RMS Jitter}/1 \text{ s}) + 10\log(\text{Power}/1 \text{ mW})$.

Surface normalisée = Surface (mm²) / technologie² (nm²).

¹Calculé, ²Full système RX

Le tableau 5-2 indique une nouvelle fois l'avantage liée à notre proposition d'architecture de par son occupation de surface extrêmement faible (0.002 mm²). Bien sûr, la comparaison est à étudier davantage en profondeur. En effet, à l'exception de [10] l'ensemble des résultats présentés sont issus de systèmes complets de réception de données. La dimension détaillée de la partie CDR même a été difficile à trouver. Néanmoins, en comparaison de [10], la surface occupée par cette étude reste bien inférieure. Cette différence vient essentiellement du fait que notre architecture n'emploie aucune inductance alors que [10] y recourt à la fois pour le VCO ainsi que pour le buffer afin d'amplifier l'amplitude du signal d'horloge récupéré en sortie.

En revanche, la consommation de notre étude (79.4 mW) présente de moins bonnes performances que [10] avec 58.5 mW. Contrairement au jitter, la consommation obtenue par la simulation post-layout est supposément similaire à celle attendue en mesures.

Ainsi, en termes d'efficacité énergétique, la comparaison au reste de l'état-de-l'art semble indiquer des performances intéressantes. Nous obtenons une efficacité énergétique d'environ 1.32 pJ/bit alors que l'ensemble de l'état-de-l'art présente entre 2 et 2.53 pJ/bit, à l'exception de [9] et [10] qui se situent sensiblement au-dessus et en-dessous, respectivement.

L'analyse du jitter_{rms} dévoile une valeur d'environ 70 fs (soit 4.2 mUI). Les résultats étant issus de simulation post-layout, il paraît peu judicieux de les comparer directement à l'état-de-l'art eux-mêmes issus de résultats de mesures. Cependant, l'état-de-l'art met en exergue la référence [7] en indiquant un jitter_{rms} de 288 fs (soit 16.1 mUI), donnant à cette architecture la

première position concernant ce paramètre. A débit et nœud technologique identique, [10] obtient la deuxième position avec un $\text{jitter}_{\text{rms}}$ quasiment doublé.

Enfin, alors que [11] utilise le nœud technologique le plus fin de l'état-de-l'art (14 nm), il semblerait cohérent qu'à débit identique, la consommation et surface occupée présentent les meilleures performances. Ceci n'apparaît pas directement lors de la comparaison de par l'architecture particulière présentée. En effet, ce travail repose sur un système RX complet pouvant fonctionner en mode dual : NRZ ou PAM4 et pouvant atteindre jusqu'à 100 Gb/s dans ce dernier mode. Dans le cas de la comparaison à notre état-de-l'art, nous avons ciblé uniquement le mode NRZ fonctionnant à 56 Gb/s.

Nous avons choisi volontairement de ne pas représenter graphiquement la surface normalisée en fonction de la FoM Jitter pour deux raisons. La première, comme nous l'avons expliqué, est que les résultats de notre étude sont issus de résultats de simulation post-layout et non de mesures comme l'état-de-l'art, il serait donc peu judicieux de comparer ces performances. La seconde découle du fait qu'en raison du manque d'information des références [8] et [11], il nous est impossible de calculer les FoM Jitter respectives. Enfin nous noterons également que la surface normalisée de [7] est bien supérieure à notre étude ainsi que [9] et [10]. Cette observation nous conduirait à nous comparer à seulement deux autres travaux similaires.

La présentation des résultats du circuit de CDR à modulation NRZ étant maintenant terminée, passons à notre ultime circuit. La section suivante se concentre sur la conception du circuit de CDR dont la modulation des données d'entrée est cette fois-ci de type PAM4.

5.4. Conception Full Rate PAM4 CDR

Le circuit présenté dans cette section est très similaire à celui introduit dans la section précédente. En réalité, l'architecture générale ne diffère que peu puisque le cœur du circuit reste identique. La seule différence émane du bloc d'entrée. Dans ce cas-ci, les données d'entrée sont de modulation PAM4. Un décodeur PAM4 est placé à l'entrée du circuit et permet de convertir les données en deux séquences de données de modulation NRZ : *LSB* et *MSB*.

5.4.1. Architecture et layout

Nous ne redétaillerons pas le circuit de décodeur PAM4 ici, celui-ci ayant déjà fait l'objet d'une présentation dans le chapitre 2. Nous rappelons seulement qu'un signal de modulation PAM4, après décodage, donne lieu à deux signaux de modulation NRZ, respectivement nommés *MSB* et *LSB*. La figure ci-dessous illustre ce propos.

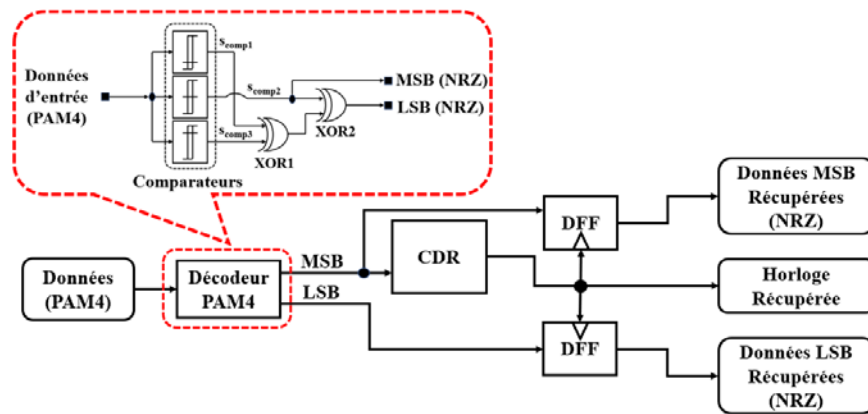


Figure 5-17 : Synoptique de l'architecture complète de la CDR PAM4

Comme l'indique la figure 5-17, contrairement au circuit précédent, le système récupère en sortie en plus du signal d'horloge, deux séquences de données distinctes (MSB et LSB). Par ailleurs, l'une des sorties du décodeur (MSB) constitue l'entrée de notre circuit de CDR.

5.4.2. Résultats de simulations

La première étape consiste à vérifier si le décodage des données PAM4 s'effectue correctement. Pour cela, nous montrons dans un premier temps l'allure temporelle d'une séquence de données PRBS7 de modulation PAM4 et la comparons avec la séquence MSB décodée. La figure ci-dessous en donne une illustration.

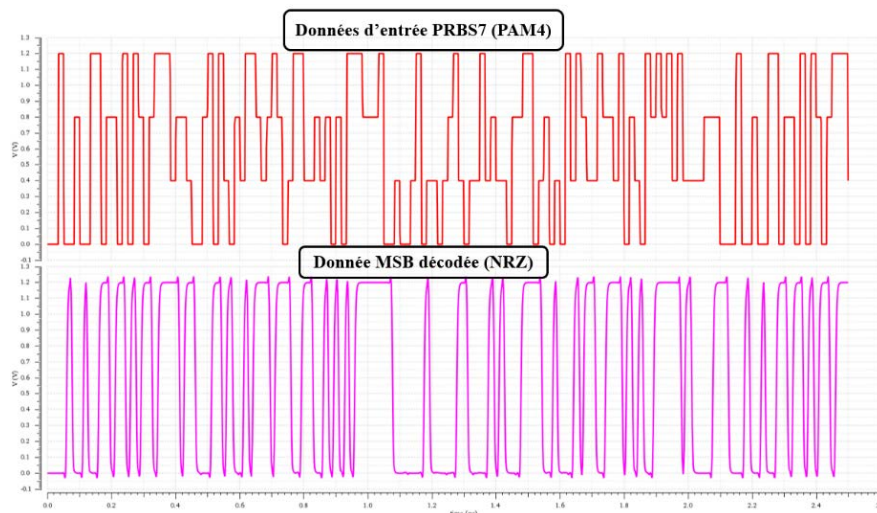


Figure 5-18 : Allures temporelles des données d'entées PAM4 et décodage des données MSB

La figure 5-18 atteste d'un décodage correct de la séquence MSB. La séquence LSB n'est pas représentée ici car celle-ci est encore à l'étape de conception et d'optimisation. Le décodage des trames MSB se réalise directement en sortie du comparateur (s_{comp2}), dont la comparaison s'effectue à $V_{DD}/2$.

Nous avons volontairement choisi de concentrer nos efforts d'optimisation lors de la phase de conception sur le décodage de la séquence de données MSB puisque celle-ci représente la séquence des données d'entrée de notre système CDR complet (figure. 5-17). La tenue du débit

de 60 Gb/s a constitué un réel challenge à relever afin d'effectuer des décodages corrects du MSB et LSB. En effet, deux problèmes majeurs se sont révélés.

Tout d'abord, la volonté de remettre en bonne et due forme les signaux. Une fréquence de fonctionnement à 60 GHz implique une durée de bit (t_{bit}) égale à 16.66 ps, imposant conséquemment des temps de montée et descente extrêmement courts (< 500 fs). Ceci résulte en définitive à des temps de commutation pour les transistors relativement difficiles à tolérer.

Le second problème auquel nous avons été confrontés concerne la question de timing. Alors que la séquence MSB se récupère directement en sortie du comparateur 2, le décodage des trames LSB s'effectue par le biais de deux comparateurs (s_{comp1} et s_{comp3}) et enfin de deux XORs (XOR1 et XOR2). Nous apprécions l'insertion d'un décalage des bits venant nuire au décodage des trames de données LSB. Afin de pallier cette problématique, nous avons déterminé qu'il était nécessaire de rééchantillonner les deux signaux d'entrée en amont de la CDR. Cette étape-ci est actuellement en cours d'optimisation.

La méthode proposée afin d'optimiser ce compromis de remise en forme / timing a été d'introduire des inverseurs en sortie des comparateurs et XORs en prenant rigoureusement en considération les potentiels retards entre les bits. Cependant, malgré les multiples efforts déployés afin de parvenir à la récupération correcte des séquences LSB, nous n'avons pu y parvenir pour le moment.

5.4.3. Présentation de l'état-de-l'art des circuits de CDR PAM4

Etant donné que nous ne sommes pas parvenus à terminer notre circuit de CDR à modulation PAM4 pour le moment, nous présentons ici un état-de-l'art récent des circuits de CDR PAM4 en technologie CMOS et ciblant des circuits optimisés en termes d'efficacité énergétique fonctionnant à haut débit.

Tableau 5-3 : Comparaison des circuits de CDR PAM4 de l'état-de-l'art

Références	[12] JSSC 2022	[13] JSSC 2020	[14] ASSCC 2017	[15] JSSC 2018	[16] VLSI 2021
Technologie (nm)	28	40	65	28	40
Débit (Gb/s)	47.6-58.8	32	51	16-64	30-60
Jitter_{rms} (fs/mUI)	415.6/24.4 ¹	352.6/11.2 ¹	1070/54.5 ¹	290/18.5 ¹	970/58.2 ¹
FOM Jitter (dB)	-236.5	-237.4	-216.8	-229.4	-221.8
Efficacité énergétique (pJ/bit)	0.25	0.46	3.5	2.1 ^{1,2}	1.18
Consommation (mW)	13.1	14.7	181.2 ²	135 ^{1,2}	70.8
Surface (mm²)	0.056	0.28	1.36	0.32 ³	0.192
Surface normalisée (10⁶)	71.4	175	321.9	408.1	120

FOM Jitter = $20\log(\text{RMS Jitter}/1 \text{ s}) + 10\log(\text{Power}/1 \text{ mW})$.

Surface normalisée = Surface (mm²) / technologie² (nm²).

¹Calculé, ²Estimé, ³Full système RX

La figure ci-dessous donne l'architecture la plus optimale en termes de jitter, consommation et surface occupée par technologie sous forme de représentation graphique.

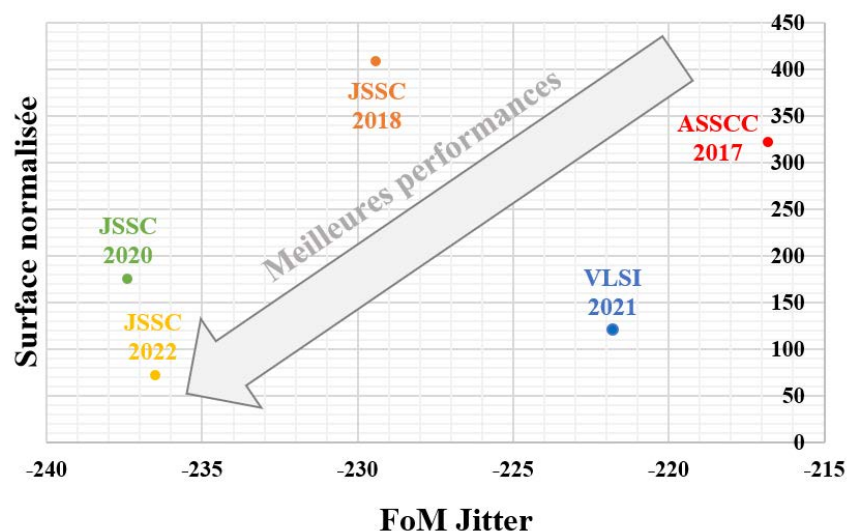


Figure 5-19 : Comparaison de l'état-de-l'art de la surface normalisée vs FoM Jitter

La figure 5-19 laisse suggérer que [12] apparait comme l'étude proposant la meilleure optimisation entre jitter, consommation et occupation de surface. Selon [12], cette performance est notamment due au fait que l'architecture propose une technique d'acquisition rapide particulière, résultant en définitive en de l'économie de consommation.

[13] présente également d'excellentes performances. Bien que le débit des données soit quasiment divisé par deux en comparaison à l'état-de-l'art général (32 Gb/s), cette étude n'en reste pas moins performante puisque celle-ci présente les meilleures performances en termes de jitter. D'après [13], ce très faible jitter (11.2 mUI) est essentiellement due à l'utilisation d'un détecteur de phase fonctionnant au quart de débit des données d'entrée, réduisant ainsi le jitter du signal d'horloge récupéré.

En troisième position se place la référence [15]. Cette étude expose le meilleur jitter_{rms} en valeur absolue avec 290 fs. Cependant, cette étude propose également le débit de fonctionnement le plus élevé de cet état-de-l'art avec 64 Gb/s, induisant un jitter dégradé lorsque celui-ci est converti en UI (18.5 mUI). Cette architecture présente un système complet de transceiver (TX + RX). Bien que nous ayons tenté d'estimer au mieux uniquement la consommation du récepteur, il est probable que nous ayons tout de même surestimé légèrement celle-ci. Quoi qu'il en soit, il est également important de préciser que cette architecture propose la plage de débit de fonctionnement la plus élevée de cet état-de-l'art, ce qui pourrait expliquer cette consommation.

En avant-dernière place arrive la référence [16]. Cette étude propose une consommation de 70.4 mW, ce qui est similaire à notre circuit de CDR précédent à modulation NRZ consommant 79.4 mW. Néanmoins, ici encore, cette architecture propose une très large plage de débit de fonctionnement en couvrant 30 Gb/s, ce qui semblerait être un argument en faveur de cet écart de consommation avec [12] et [13]. Cependant, à nœud technologique identique, [16] présente une meilleure densité d'intégration que [13].

Enfin, la référence [14] apparait en dernière position. Ceci s'explique potentiellement par le fait que cette architecture emploie le nœud technologique le plus élevé de cet état-de-l'art avec 65 nm. Le débit de fonctionnement restant relativement élevé (51 Gb/s), il paraît cohérent

que cette étude se situe en dernière position en termes de consommation et donc d'efficacité énergétique.

Cette section se conclut par une comparaison des circuits de CDR reposant sur le type de modulation PAM4. L'objectif à termes est de comparer les performances respectives en jitter, efficacité énergétique et densité d'intégration des circuits de CDR de type NRZ vs PAM4 de l'architecture proposée dans notre étude. Enfin, l'objectif final consisterait à déterminer le débit maximal atteignable suivant le type de modulation des données d'entrée employé.

5.5. Conclusion du chapitre

Ce chapitre a permis, tout d'abord, d'exposer une vue d'ensemble de la technologie 28 nm FDSOI. Cela s'est illustré par une comparaison d'une vue de coupe d'une technologie bulk conventionnelle à une technologie SOI. L'essentiel avantage de cette technologie provient de la possibilité de polariser le body en vue de diminuer la tension de seuil des transistors et d'ainsi limiter les courants de fuite afin d'optimiser la consommation de ceux-là.

Puis, la méthode de design au niveau transistor, reprise du chapitre 3, a permis de déterminer une nouvelle fois la densité de courant optimale par transistor. Deux nouvelles méthodes d'optimisation au niveau layout (accès en escalier d'une part, et double accès à la grille d'autre part) ont été introduites en vue d'optimiser f_t et f_{max} .

Par la suite, l'architecture du premier circuit de CDR basé sur le type de modulation NRZ est discuté. Cette section débute par l'illustration de la différence dans la conception de l'oscillateur en anneau avec l'ajout de charges actives connectées en parallèles afin de remédier au problème de l'oscillateur du chapitre 3 qui présentait une plage de contrôle trop importante. Des résultats de simulation post-layout de cet oscillateur mettent en évidence un bruit de phase grandement dégradé. La synchronisation par injection accorde une amélioration d'environ 47 dB à 1 MHz. Une vue du layout du circuit global est introduite et suivie d'un diagramme de consommation détaillé par éléments du circuit.

Les analyses spectrales et temporelles présentées indiquent les résultats obtenus pour le signal d'horloge et des données récupérées. Les diagrammes de l'œil des données récupérées avant et après le buffer 50 Ω dévoilent la détérioration amenée par étude du jitter_{pp} ainsi qu'en ouvertures horizontale et verticale de l'œil, témoignant d'une dégradation de la qualité du signal récupéré. Cette étude se termine par une comparaison de ce travail à un état-de-l'art récent des circuits de CDR de modulation NRZ en technologie CMOS et fonctionnant à un débit équivalent (60 Gb/s) en démontrant les meilleures performances en termes de jitter, consommation et superficie.

La dernière section reprend le circuit de CDR exposé précédemment en modifiant le type de modulation des données d'entrée PAM4. Le cœur du circuit étant identique au précédent, un décodeur PAM4 a donc été conçu afin de décoder ce signal en deux séquences de données de modulation NRZ respectivement nommées MSB et LSB. Une preuve de décodage du signal PAM4 concernant la séquence de données MSB est démontrée. La section se conclut sur une discussion des difficultés rencontrées et des optimisations à prévoir en perspectives de futures études ciblant le décodage des trames de données LSB.

La prochaine et ultime partie dresse une conclusion générale de cette étude et se termine par une mise en lumière de quelques pistes à investiguer en vue d'approfondir l'optimisation de la CDR.

5.6. Bibliographie

- [1] A. Cathelin, « Fully Depleted Silicon on Insulator Devices CMOS: The 28-nm Node Is the Perfect Technology for Analog, RF, mmW, and Mixed-Signal System-on-Chip Integration », *IEEE Solid-State Circuits Mag.*, vol. 9, n° 4, p. 18-26, 2017, doi: 10.1109/MSSC.2017.2745738.
- [2] M. Tmimi, « Novel approach for serial data link in 28nmCMOS FDSOI and beyond ». [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-03222154>.
- [3] Guillaume, Raphaël, « Millimeter-wave and terahertz frequency synthesis on advanced silicon technology », 2019. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-02329132>.
- [4] A. Larie, « Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques », Bordeaux, 2015. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-01142532>.
- [5] B. Martineau, « Potentialités de la technologie CMOS 65nm SOI pour des applications sans fils en bande millimétrique », Lille, 2008. [En ligne]. Disponible sur: <https://tel.archives-ouvertes.fr/tel-01142532>.
- [6] Renesas, [En ligne]. Disponible sur: <https://www.renesas.com/eu/en/document/apn/838-peak-peak-jitter-calculations?language=en>.
- [7] T. Shibusaki *et al.*, « 3.5 A 56Gb/s NRZ-electrical 247mW/lane serial-link transceiver in 28nm CMOS », in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, janv. 2016, p. 64-65. doi: 10.1109/ISSCC.2016.7417908.
- [8] J. Han *et al.*, « Design Techniques for a 60-Gb/s 288-mW NRZ Transceiver With Adaptive Equalization and Baud-Rate Clock and Data Recovery in 65-nm CMOS Technology », *IEEE J. Solid-State Circuits*, vol. 52, n° 12, p. 3474-3485, déc. 2017, doi: 10.1109/JSSC.2017.2740268.
- [9] J. Lee *et al.*, « 56Gb/s PAM4 and NRZ SerDes transceivers in 40nm CMOS », in *2015 Symposium on VLSI Circuits (VLSI Circuits)*, Kyoto, Japan, juin 2015, p. C118-C119. doi: 10.1109/VLSIC.2015.7231346.
- [10] A. Atharav et B. Razavi, « 11.7 A 56Gb/s 50mW NRZ Receiver in 28nm CMOS », in *2021 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, févr. 2021, p. 192-194. doi: 10.1109/ISSCC42613.2021.9365997.
- [11] A. Cevrero *et al.*, « 6.1 A 100Gb/s 1.1pJ/b PAM-4 RX with Dual-Mode 1-Tap PAM-4 / 3-Tap NRZ Speculative DFE in 14nm CMOS FinFET », in *2019 IEEE International Solid-State Circuits Conference - (ISSCC)*, San Francisco, CA, USA, févr. 2019, p. 112-114. doi: 10.1109/ISSCC.2019.8662495.
- [12] X. Zhao *et al.*, « A Sub-0.25-pJ/bit 47.6-to-58.8-Gb/s Reference-Less FD-Less Single-Loop PAM-4 Bang-Bang CDR With a Deliberate-Current-Mismatch Frequency Acquisition Technique in 28-nm CMOS », *IEEE J. Solid-State Circuits*, vol. 57, n° 5, p. 1358-1371, mai 2022, doi: 10.1109/JSSC.2022.3140778.
- [13] Z. Zhang *et al.*, « A 32-Gb/s 0.46-pJ/bit PAM4 CDR Using a Quarter-Rate Linear Phase Detector and a Self-Biased PLL-Based Multiphase Clock Generator », *IEEE J. Solid-State Circuits*, vol. 55, n° 10, p. 2734-2746, oct. 2020, doi: 10.1109/JSSC.2020.3005780.
- [14] N. Qi *et al.*, « A 51Gb/s, 320mW, PAM4 CDR with baud-rate sampling for high-speed optical interconnects », in *2017 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Seoul, nov. 2017, p. 89-92. doi: 10.1109/ASSCC.2017.8240223.
- [15] E. Depaoli *et al.*, « A 64 Gb/s Low-Power Transceiver for Short-Reach PAM-4 Electrical Links in 28-nm FDSOI CMOS », *IEEE J. Solid-State Circuits*, vol. 54, n° 1, p. 6-17, janv. 2019, doi: 10.1109/JSSC.2018.2873602.

- [16] L. Wang *et al.*, « A 60-Gb/s 1.2-pJ/bit 1/4-Rate PAM4 Receiver with a -8-dB JTRAN 40-MHz 0.2-UIPP JTOL Clock and Data Recovery », in *2021 Symposium on VLSI Circuits*, Kyoto, Japan, juin 2021, p. 1-2. doi: 10.23919/VLSICircuits52068.2021.9492377.

6. Conclusion générale

Ce travail de thèse s'est articulé autour de la conception et l'optimisation d'un circuit de récupération d'horloge et de données (CDR) pour lien à très haut débit et destiné à des applications spatiales. Au total, quatre circuits ont été conçus. Deux ont été fabriqués en technologie 180 nm dans le but de constituer une première preuve-de-concept. Les deux derniers circuits ont été réalisés jusqu'au niveau layout, dans une technologie plus récente, la 28 nm FDSOI afin de cibler un débit très élevé (60 Gb/s).

Le premier chapitre a traité les origines et effets négatifs induits par les particules radiatives sur les composants électroniques. Des propositions de solutions de durcissement quant à ces radiations ont été suggérées. Deux types de solutions ont été proposés : à caractère technologique (CMOS épitaxié ou SOI) d'une part et de conception même au niveau du circuit (principe de blindage, redondance spatiale, durcissement par découplage résistif ou encore la synchronisation par injection) d'autre part.

Puis, une introduction aux concepts de bases dans les systèmes de communication a été exposée en vue d'explicitier les paramètres cruciaux et fondamentaux de ceux-là. Une brève comparaison des divers types de modulation de données (NRZ, RZ, PAM4 et Duobinary) avec quelques techniques d'encodage (8B/10B, Manchester) ont également été définis. Ces comparaisons ont mis en évidence les différents tenants et aboutissants de chacun par études d'analyses spectrales et temporelles.

Ensuite, les diverses métriques usuelles pour les circuits de communications ont été exposées. Après identification des diverses sources de bruit (bruit en $1/f$, bruit de grenaille et bruit thermique) ainsi que de leurs cibles respectives, les métriques usuelles (jitter, diagramme de l'œil et BER) dans les circuits de CDR ont aussi été définies et discutées.

Enfin, un état-de-l'art des divers types de topologie de circuits de CDR différencie les architectures à boucle fermée (PLL/DLL, Interpolation de phase) au type à boucle ouverte (Gated Ring Oscillator, Injection dans un système oscillant). Une étude comparative des architectures en technologie CMOS présentant les meilleures performances en termes de jitter, d'efficacité énergétique et d'occupation de surface fonctionnant à très haut débit conclut ce chapitre.

Le chapitre 2 est dédié à la conception des différents éléments constituant l'architecture générale du circuit de CDR. L'ensemble des composants est détaillé de la manière suivante. Tout d'abord, une présentation succincte du principe de fonctionnement du bloc est explicitée. Ensuite, diverses topologies déjà existantes sont présentées afin de développer les avantages et inconvénients de chacune en vue de conserver la version optimisant l'occupation de surface, le jitter ainsi que la consommation à un débit fixé. Une introduction au principe de synchronisation par injection est suivie d'une approche théorique afin d'éclairer davantage sur ce mécanisme. Différentes méthodes d'injection sont également discutées afin d'en déduire la proposition idéale pour notre cas. Enfin, l'architecture générale du circuit étant basée sur le principe d'une boucle à verrouillage de phase (PLL), une brève étude théorique dresse les principales caractéristiques de celle-ci.

Le troisième chapitre décline les résultats de mesures de deux circuits distincts réalisés en technologie 180 nm et fonctionnant à la fréquence ciblée de 3.2 GHz. Le chapitre débute par une vue d'ensemble de la technologie employée et de la justification de ce choix quant à son immunité inhérente concernant les radiations. Celui-ci se poursuit en explicitant la méthode de dimensionnement employée durant la phase de conception. Une méthode d'optimisation (*Enclosed Layout Transistor*) au niveau de la phase de layout afin de renforcer la robustesse du circuit quant aux particules radiatives est introduite.

Ensuite, les mesures du premier circuit sont exposées. Ce premier circuit est un oscillateur en anneau synchronisé par injection. L'objectif de ces mesures est de prouver l'efficacité du mécanisme de synchronisation par injection sur les performances en bruit de phase et jitter de cet oscillateur. Une corrélation entre les résultats de simulation et les mesures concernant la plage de contrôle de l'oscillateur est vérifiée. Comme attendu, les résultats de mesures prouvent l'action améliorative sur le jitter et bruit de phase de l'oscillateur : une amélioration du bruit de phase d'environ 43 dB à 1 MHz de la fréquence porteuse est relevée. Le $\text{jitter}_{\text{rms}}$ indique quant à lui une amélioration de 49.9 mUI à 14.1 mUI.

Le second circuit mesuré est un circuit de PLL également verrouillé par injection et reprenant le même principe d'injection. Le $\text{jitter}_{\text{rms}}$ montre une amélioration de 29.7 mUI à 6.4 mUI pour une synchronisation à la fréquence ciblée de 3.2 GHz. Une comparaison à l'état-de-l'art dans des plages de fréquence de fonctionnement similaires met en exergue la performance de notre circuit concernant l'occupation de surface (0.1 mm²) ainsi que la plage de verrouillage (4 GHz). Néanmoins, la consommation apparaît bien supérieure (34.6 mW) à l'ensemble de l'état-de-l'art (< 10 mW), conduisant ainsi à une investigation approfondie de la consommation de chacun des blocs en vue de déterminer les causes potentielles. Des propositions d'améliorations concernant la consommation et le jitter sont proposées, avec notamment des techniques d'optimisation d'injection.

Le dernier chapitre traite la conception du circuit complet de récupération d'horloge et de données fonctionnant à 60 Gb/s en technologie 28 nm FDSOI. Une vue d'ensemble de cette technologie est exposée. Le procédé SOI est mis en opposition à une technologie CMOS conventionnelle. L'option d'accès à la *back gate* afin de moduler la valeur de la tension de seuil (V_t) et ainsi d'optimiser le fonctionnement des transistors et l'efficacité énergétique sont aussi abordés.

Deux méthodes d'optimisation au niveau layout sont mises en évidence (accès en escalier et double accès à la grille) afin d'optimiser les f_i et f_{max} des transistors. Puis, une différence de conception concernant l'oscillateur en anneau est illustrée afin de remédier au problème de la plage de contrôle trop élevée, à la fois source de jitter et de surconsommation.

Les résultats de simulation post-layout du circuit de CDR en modulation NRZ sont illustrés par analyses temporelle et spectrale. Les diagrammes de l'œil des données et du signal d'horloge récupérées sont analysés en vue de déterminer jitter et ouverture de l'œil. Une étude comparative avec des circuits de CDR de modulation NRZ est introduite. Bien que les résultats de notre circuit correspondent à des résultats de simulation post-layout, la conclusion de cette comparaison suggère néanmoins d'excellentes améliorations par rapport au circuit précédent

concernant le jitter (70 fs/4.2 mUI). De plus, à débit équivalent (60 Gb/s), il semblerait que la consommation (79.4 mW) ainsi que l'efficacité énergétique (1.32 pJ/bit) rivalisent avec l'état-de-l'art général.

Le second circuit conçu est aussi un circuit de CDR, reprenant le cœur du circuit précédent en incorporant un décodeur PAM4 situé à l'entrée du système. Bien que le décodage des trames de données de type PAM4 confirment une bonne conversion pour la séquence NRZ lié au MSB, il apparait que celle-du LSB ait éprouvé quelques difficultés et nécessite davantage de réflexion.

Une comparaison de l'état-de-l'art dédiée aux circuits de CDR de modulation PAM4 est aussi proposée. Pour cela, une représentation graphique a été mise en place en vue d'estimer l'architecture la plus optimisée en termes de jitter, consommation et occupation de surface.

Les mesures des deux premiers circuits (en 180 nm) ainsi que les résultats de simulation post-layout des circuits de CDR ont permis de mettre en exergue quelques failles de nos circuits. Bien que l'aspect d'occupation de surface apparaisse supérieur à l'état de l'art, les performances en jitter et consommation restent néanmoins encore optimisables. Cependant, il apparait aussi que le recours à la technologie FDSOI ait permis de diminuer l'écart de consommation avec l'état-de-l'art. Pour l'étude du jitter, bien que les résultats semblent encourageants, il n'en reste pas moins difficile de judicieusement comparer nos résultats de simulation avec des résultats de mesures de l'état-de-l'art.

La dernière partie présentée ci-après expose quelques pistes de réflexions à investiguer en vue d'améliorer de nouveau certaines performances.

7. Perspectives

Une première perspective d'optimisation adresse la méthode d'injection.

7.1. Optimisation de la méthode d'injection

Selon [1], le principal défaut des oscillateurs en anneau verrouillés par injection demeure dans leur faible plage de verrouillage. Afin de pallier cela, une architecture impliquant une injection duale alliant injection directe et par queue est proposée. La figure ci-dessous illustre l'oscillateur en anneau sous double injection.

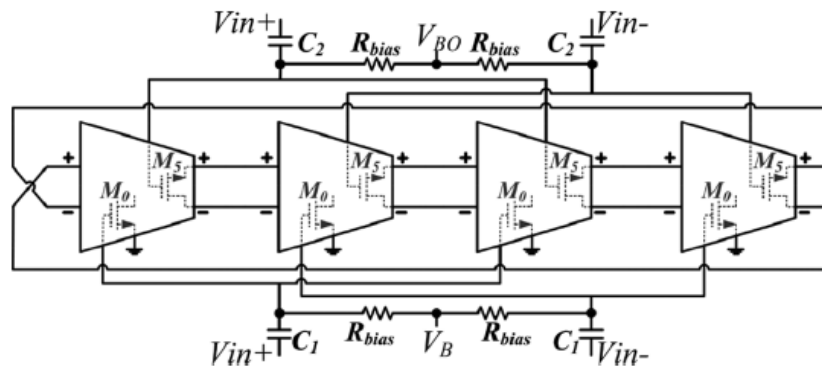


Figure 7-1 : Oscillateur en anneau différentiel verrouillé par double injection [1]

Cette méthode applique une double injection de courant, possédant une phase identique. Cette technique améliore ainsi l'efficacité d'injection.

En raison de contraintes de plus en plus exigeantes avec la montée en fréquence associée à une volonté de réduction de consommation, des méthodes digitales émergent. Zhang et al. [2] proposent une technique d'alignement en utilisant un circuit d'ajustement de timing d'injection adaptatif et à faible consommation. Cette technique est illustrée dans la figure ci-dessous.

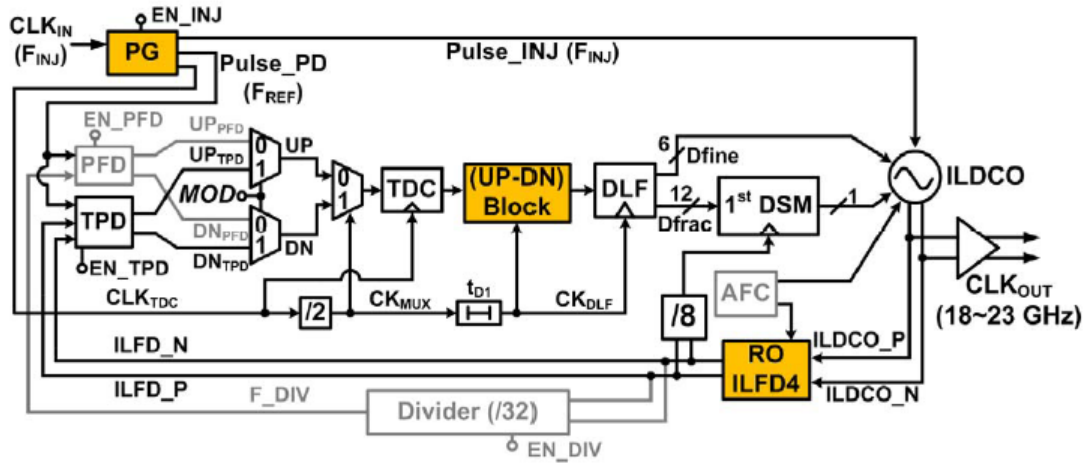


Figure 7-2 : Schéma-bloc de la PLL entièrement digitale synchronisée par injection sub- harmonique

Néanmoins, le concept fondamental de contrôle d'injection présenté-là requiert un générateur d'impulsions drastiquement plus complexe à concevoir. En effet, l'étude propose une architecture utilisant un diviseur de fréquence par quatre afin de relâcher les contraintes élevées en termes de fréquence de fonctionnement. La figure-ci-dessous expose sa schématique.

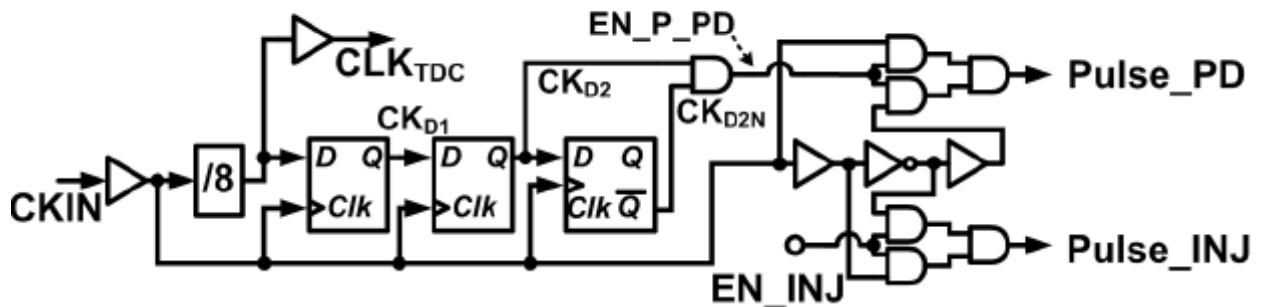


Figure 7-3 : Schématique du générateur d'impulsions proposé

Enfin, des méthodes d'auto-calibration ([3]-[5]) émergent également. En effet, Jin et al. ([5]) introduisent une boucle à verrouillage de phase verrouillée par injection sub-harmonique. Leur étude révèle que la force d'injection doit être aussi élevée que possible afin d'améliorer les performances en bruit de phase. Pour cela, une première méthode intuitive consiste à grossir la taille du transistor. Le désagrément engendré se traduit par une capacité plus importante perçue par l'oscillateur en anneau, conduisant alors à une baisse de la fréquence de fonctionnement.

Une méthode alternative induit d'augmenter la force d'injection en contrôlant la largeur d'impulsion des impulsions injectées. D'après leurs observations, la force d'injection semble optimale lorsque cette dernière est égale au quart de la période de l'oscillateur. [6] confirme cela. Le concept de l'auto-calibration du timing d'injection ainsi que la largeur d'impulsion est présenté par la figure suivante.

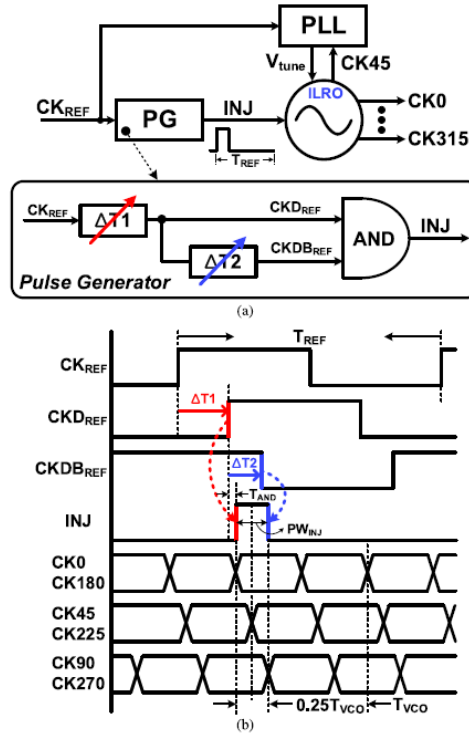


Figure 7-4 : Schéma-bloc simplifié (a) et chronogramme associé à la PLL injectée (b) [5]

La figure 4 (a) expose un générateur d'impulsion dont les fronts montants et descendants du signal INJ sont respectivement ajustés par $\Delta T1$ et $\Delta T2$. Ainsi, cette méthode permet de régler simultanément le timing d'injection ainsi que la largeur d'impulsion. La figure 4 (b) donne le chronogramme associé.

En conclusion, différentes approches d'optimisation de timing d'injection ont succinctement été introduites ici. Ainsi, à hautes fréquences, les topologies analogiques paraissent plus énergivores que leurs concurrentes digitales. Nonobstant les topologies digitales s'avèrent davantage intéressantes en termes de consommation, ces dernières nécessitent de complexifier la conception du circuit afin de relâcher les contraintes en termes de fréquence de fonctionnement.

Comme nous avons pu le voir dans le dernier chapitre, à très hautes fréquences (≥ 60 GHz), il devient difficile de générer des fronts en vue d'opérer une synchronisation par injection. Dans le cas de notre circuit, nous avons pu observer que près de 62% de la consommation totale est uniquement due au générateur d'impulsions en entrée. Une dernière technique est proposée dans ce travail [7].

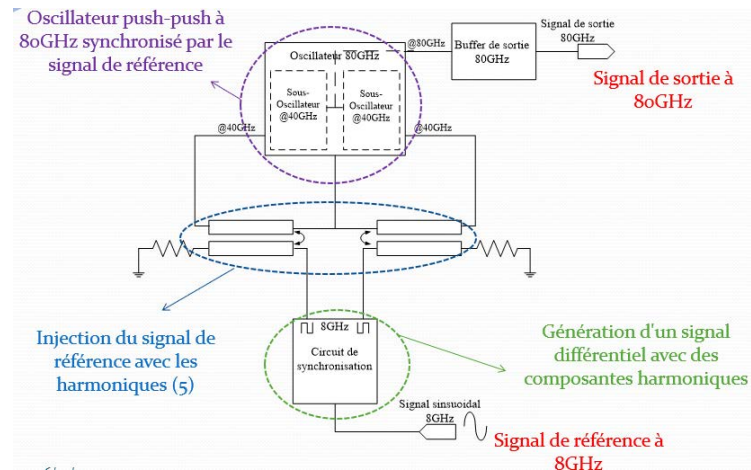


Figure 7-5 : Oscillateur verrouillé par injection par couplage électromagnétique

Cette méthode repose sur le principe d'un verrouillage par injection par couplage électromagnétique. L'avantage majeur d'une telle technique provient de la possibilité d'accéder à des fréquences de fonctionnement très élevées (80 GHz) tout en exposant une consommation correcte (150 mW) en comparaison de l'état-de-l'art.

Une seconde optimisation concerne la récupération des données. La section suivante explore une piste intéressante.

7.2. Optimisation de la récupération de données

Dans l'objectif de déterminer une méthode optimale de récupération de données, une étude [8] oppose les topologies DFF CML aux Portes à Transmission Dynamique (*Dynamic Transmission Gate*, (DTG)) en étudiant l'efficacité de consommation d'une génération d'horloge multiphase. Les auteurs expliquent que les architectures basées sur la méthode CML se montrent extrêmement sensibles aux variations de procédés de fabrication, d'alimentation ainsi que de la température, résultant en du jitter. En vue de réduire ce jitter, une augmentation de la consommation est requise.

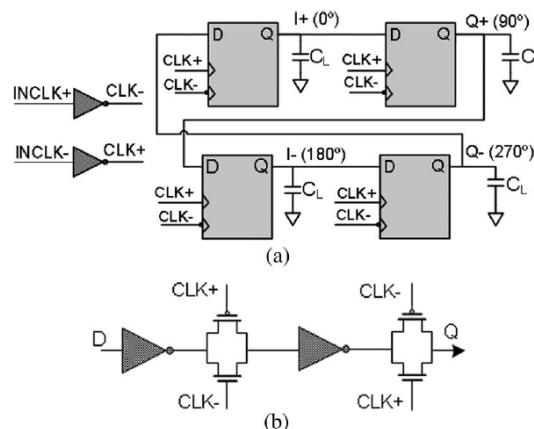


Figure 7-6 : (a) Génération d'horloge multiphase utilisant quatre DTG-FFs et (b) schéma d'une DTG-FF [8]

Afin de comparer le plus justement possible les différentes architectures, [7] dresse une Figure de Mérite pour chaque topologie :

$$FOM_{DTG-FF} = \sigma_{DTG-FF}^2 \left(P_{DTG-FF} + \frac{P_{DTG-INBUF}}{N} \right) \quad (5 - 1)$$

$$FOM_{CML-FF} = \sigma_{CML-FF}^2 \left(P_{CML-FF} + \frac{2P_{CML-INBUF}}{N} \right) \quad (5 - 2)$$

Avec, σ_{DTG-FF}^2 et σ_{CML-FF}^2 les variations de délais respectives pour la topologie DTG et CML, N le nombre de phases, P_{DTG-FF} et P_{CML-FF} les consommations respectives des FFs, et $P_{DTG-INBUF}$ et $P_{CML-INBUF}$ les consommations respectives des buffers d'entrées.

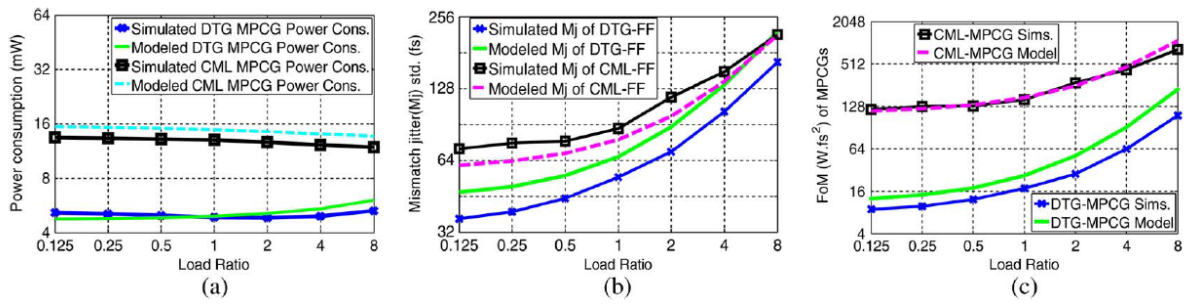


Figure 7-7 : Consommation de DTG et CML FF, (b) Mismatch Jitter, (c) Figure de Mérite de DTG et CML FF [8]

Les figures précédentes montrent les résultats simulés et modélisés de la consommation (fig.(a)), du mismatch jitter (fig.(b)) ainsi que la figure de mérite (fig.(c)) en fonction d'une variation de la charge de sortie. Bien qu'il existe une légère différence entre les modèles simulés et modélisés, la fig. (a) indique une consommation inférieure pour la topologie DTG en comparaison de la méthode CML. La figure (b), en revanche, démontre un comportement similaire pour les deux types de topologies lorsque le ratio de charge augmente. Enfin, la fig.(c) révèle une figure de mérite en faveur de la topologie DTG, spécialement pour un faible ratio de charge. En conclusion, la topologie DTG semble surpasser celle en CML en termes de jitter et consommation, essentiellement en raison d'une consommation de la topologie DTG uniquement lors de phase de commutation.

Une dernière piste à investiguer se rapporte à la conception de circuit de CDR fonctionnant à la moitié/quart de débit des données d'entrées.

7.3. Optimisation par topologie *half/quarter* rate

Ce principe a succinctement d'ores et déjà été introduit dans ce travail de thèse mais non approfondi.

Les exigences actuelles concernant une augmentation accrue des débits de fonctionnement nécessitant des optimisations en termes de consommation conduisent à l'émergence de

nouvelles recherches. En effet, certaines études récentes semblent de plus en plus se tourner vers des circuits de CDR fonctionnant à la moitié ou quart de débit des données d'entrée en vue de relaxer les fortes contraintes au niveau de l'oscillateur ainsi que du détecteur de phase ([9]-[12]). Ces topologies-là semblent indiquer des avantages notables en termes de consommation en comparaison aux topologies dites « *full rate* ». Cependant, cela vient également au prix d'un plus grand nombre de composants, ce qui en contrepartie implique une moins bonne intégration [13].

7.4. Bibliographie

- [1] S. Liu, Y. Zheng, W. M. Lim, et W. Yang, « Ring Oscillator Based Injection Locked Frequency Divider Using Dual Injection Paths », *IEEE Microw. Wireless Compon. Lett.*, vol. 25, n° 5, p. 322-324, mai 2015, doi: 10.1109/LMWC.2015.2409792.
- [2] Z. Zhang, J. Yang, L. Liu, P. Feng, J. Liu, et N. Wu, « A 18-to-23 GHz –253.5dB-FoM sub-harmonically injection-locked ADPLL with ILFD aided adaptive injection timing alignment technique », in *2017 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Seoul, nov. 2017, p. 249-252. doi: 10.1109/ASSCC.2017.8240263.
- [3] A. Mirzaei, M. Heidari, R. Bagheri, S. Chehrazai, et A. Abidi, « Injection-Locked Frequency Dividers based on Ring Oscillators with Optimum Injection for Wide Lock Range », in *2006 Symposium on VLSI Circuits, 2006. Digest of Technical Papers.*, Honolulu, HI, USA, 2006, p. 174-175. doi: 10.1109/VLSIC.2006.1705366.
- [4] M.-S. Choo, H.-G. Ko, S.-Y. Cho, K. Lee, et D.-K. Jeong, « An Optimum Injection-Timing Tracking Loop for 5-GHz, 1.13-mW/GHz RO-Based Injection-Locked PLL With 152-fs Integrated Jitter », *IEEE Trans. Circuits Syst. II*, vol. 65, n° 12, p. 1819-1823, déc. 2018, doi: 10.1109/TCSII.2018.2878565.
- [5] X. Jin, W. Park, D.-S. Kang, Y. Ko, K.-W. Kwon, et J.-H. Chun, « A 4-GHz Sub-Harmonically Injection-Locked Phase-Locked Loop With Self-Calibrated Injection Timing and Pulswidth », *IEEE J. Solid-State Circuits*, vol. 55, n° 10, p. 2724-2733, oct. 2020, doi: 10.1109/JSSC.2020.3005806.
- [6] D. Dunwell et A. C. Carusone, « Modeling Oscillator Injection Locking Using the Phase Domain Response », *IEEE Trans. Circuits Syst. I*, vol. 60, n° 11, p. 2823-2833, nov. 2013, doi: 10.1109/TCSI.2013.2252654.
- [7] C. Ameziane *et al.*, « An 80GHz range synchronized push-push oscillator for automotive radar application », in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, Anaheim, CA, mai 2010, p. 541-544. doi: 10.1109/RFIC.2010.5477324.
- [8] R. Dutta *et al.*, « Flip-Flops for Accurate Multiphase Clocking: Transmission Gate Versus Current Mode Logic », *IEEE Trans. Circuits Syst. II*, vol. 60, n° 7, p. 422-426, juill. 2013, doi: 10.1109/TCSII.2013.2261173.
- [9] A. Roshan-Zamir *et al.*, « A 56-Gb/s PAM4 Receiver With Low-Overhead Techniques for Threshold and Edge-Based DFE FIR- and IIR-Tap Adaptation in 65-nm CMOS », *IEEE J. Solid-State Circuits*, vol. 54, n° 3, p. 672-684, mars 2019, doi: 10.1109/JSSC.2018.2881278.
- [10] Z. Zhang, G. Zhu, C. Wang, L. Wang, et C. P. Yue, « A 32-Gb/s 0.46-pJ/bit PAM4 CDR Using a Quarter-Rate Linear Phase Detector and a Self-Biased PLL-Based Multiphase Clock Generator », *IEEE J. Solid-State Circuits*, vol. 55, n° 10, p. 2734-2746, oct. 2020, doi: 10.1109/JSSC.2020.3005780.
- [11] A. Cevrero *et al.*, « 6.1 A 100Gb/s 1.1pJ/b PAM-4 RX with Dual-Mode 1-Tap PAM-4 / 3-Tap NRZ Speculative DFE in 14nm CMOS FinFET », in *2019 IEEE International Solid- State Circuits Conference - (ISSCC)*, San Francisco, CA, USA, févr. 2019, p. 112-114. doi: 10.1109/ISSCC.2019.8662495.
- [12] A. Atharav et B. Razavi, « 11.7 A 56Gb/s 50mW NRZ Receiver in 28nm CMOS », in *2021 IEEE International Solid- State Circuits Conference (ISSCC)*, San Francisco, CA, USA, févr. 2021, p. 192-194. doi: 10.1109/ISSCC42613.2021.9365997.
- [13] B. Razavi, *Design of Integrated Circuits for Optical Communications*. 2012. Consulté le: 12 juin 2022. [En ligne]. Disponible sur: <https://nbn-resolving.org/urn:nbn:de:101:1-201410281474>

