



**HAL**  
open science

# Conception de déphaseurs innovants pour des applications en bande millimétrique : 5G/6G et radars automobiles.

David Ouattara

## ► To cite this version:

David Ouattara. Conception de déphaseurs innovants pour des applications en bande millimétrique : 5G/6G et radars automobiles.. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes [2020-..], 2023. Français. NNT : 2023GRALT022 . tel-04145912

**HAL Id: tel-04145912**

**<https://theses.hal.science/tel-04145912>**

Submitted on 29 Jun 2023

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

### DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

École doctorale : EEATS - Electronique, Electrotechnique, Automatique, Traitement du Signal (EEATS)

Spécialité : Nano électronique et Nano technologies

Unité de recherche : Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés

### Conception de déphaseurs innovants pour des applications en bande millimétrique : 5G/6G et radars automobiles.

### Design of phase shifters based on new architectures for mm-wave applications: 5G/6G & automotive radar.

Présentée par :

**David OUATTARA**

#### Direction de thèse :

**Philippe FERRARI**

Professeur des universités, Université Grenoble Alpes

Directeur de thèse

**Sylvain BOURDEL**

Enseignant-chercheur Grenoble INP, Université Grenoble Alpes

Co-directeur de thèse

#### Rapporteurs :

**Eric KERHERVE**

PROFESSEUR DES UNIVERSITES, UNIVERSITE DE BORDEAUX

**Hervé AUBERT**

PROFESSEUR DES UNIVERSITES, TOULOUSE INP

#### Thèse soutenue publiquement le **23 mars 2023**, devant le jury composé de :

**Philippe FERRARI**

PROFESSEUR DES UNIVERSITES, UNIVERSITE GRENOBLE ALPES

Directeur de thèse

**PHILIPPE BENECH**

PROFESSEUR DES UNIVERSITES, UNIVERSITE GRENOBLE ALPES

Président

**Eric KERHERVE**

PROFESSEUR DES UNIVERSITES, UNIVERSITE DE BORDEAUX

Rapporteur

**Hervé AUBERT**

PROFESSEUR DES UNIVERSITES, TOULOUSE INP

Rapporteur

#### Invités :

**FREDERIC PAILLARDET**

INGENIEUR DE RECHERCHE, STMICROELECTRONICS

**CEDRIC DURAND**

INGENIEUR DOCTEUR, STMICROELECTRONICS



# THESE

Préparée et soutenue publiquement à Grenoble le 23/03/2023

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE GRENOBLE ALPES**

Spécialité : Nano-Electronique et Nanotechnologies (NENT)

Présentée par

**OUATTARA DAVID**

Ecole doctorale Electronique Electrotechnique Automatique et Traitement de Signal  
(EEATS)



## **Design de déphaseurs innovants pour des applications aux fréquences millimétriques telles que la 5G et les radars automobiles**

Membres du Jury :

Pr. Eric KERHERVE – Université de Bordeaux

Rapporteur

Pr. Hervé AUBERT – INP Toulouse

Rapporteur

Pr. Philippe BENECH – Université Grenoble Alpes  
(Président du Jury)

Examineur

Pr. Philippe FERRARI – Université Grenoble Alpes

Directeur de thèse

Pr. Sylvain BOURDEL - Université Grenoble Alpes

Co-encadrant de thèse

Dr. Cédric DURAND - STMicroelectronics

Encadrant industriel

Dr. Frédéric PAILLARDET - STMicroelectronics

Invité

Dr. Marc MARGALEF ROVIRA - STMicroelectronics

Invité





# Table des matières

<b>Glossaire</b> .....	6
<b>Introduction générale</b> .....	7
<b>Chapitre 1 : Les déphaseurs aux fréquences millimétriques</b> .....	9
I.1. Applications aux fréquences millimétriques.....	9
I.2. Etat de l'art des déphaseurs .....	10
I.2.1. Principe de la modulation vectorielle .....	10
I.2.2. Déphaseurs passifs.....	12
I.2.2.1. Lignes commutées .....	12
I.2.2.2. Les lignes chargées .....	16
I.2.2.3. Les filtres commutés.....	18
I.2.2.4. Les RTPS.....	21
I.2.3. Synthèse de l'état de l'art – Problématique .....	26
I.3. Choix de la technologie et architecture proposée .....	27
I.4. Conclusion du chapitre 1 .....	28
<b>Chapitre 2 : Les composants de la technologie B55 pour la réalisation du déphaseur</b> .....	29
II.1. Description de la technologie .....	29
II.2. Les composants du FEOL .....	30
II.2.1. Les composants pour une variation de phase discrète.....	30
II.2.1.1. Le transistor MOS .....	30
II.2.1.2. La diode PIN .....	33
II.2.2. Les composants pour une variation continu de la phase .....	36
II.2.2.1. Varactors à base de jonction PN.....	36
II.2.2.2. Varactors à base de MOS .....	37
II.3. Les composants passifs du BEOL .....	38
II.3.1. Les lignes de transmission.....	39
II.3.1.1. Les lignes microrubans.....	39
II.3.1.2. Les lignes coplanaires .....	39
II.3.1.3. Les lignes à ondes lentes .....	40
II.3.2. Les capacités .....	41
II.4. Conclusion du chapitre 2.....	42
<b>Chapitre 3 : Les différents blocs du déphaseur</b> .....	44
III.1. Le bloc discret 22,5° .....	44
III.1.1. Choix de la topologie.....	44

III.1.2. Design du bloc .....	45
III.1.2.1. Composant actif : le transistor MOS.....	45
III.1.2.2. Composant actif : la diode PIN .....	49
III.1.3. Résultats de mesure.....	52
III.1.3.1. Description du plan de mesure.....	52
III.1.3.2. Résultats du déphaseur à base de MOS.....	52
III.1.3.3. Résultats du déphaseur à base de diode PIN.....	55
III.2. Le bloc discret 45° .....	57
III.2.1. Le choix de la topologie.....	57
III.2.2. Le filtre commuté 45° .....	57
III.2.2.1. Optimisation de la topologie.....	57
III.2.2.2. Résultats de mesure.....	60
III.2.3. Le RTPS discret 45°.....	62
III.2.3.1. Lignes microrubans couplées.....	62
III.2.3.2. Design et optimisation de la charge .....	65
III.2.3.3. Résultats de mesure.....	69
III.2.4. Synthèse .....	71
III.3. Les blocs discrets 90° et 180° .....	71
III.3.1. Le choix de la topologie.....	72
III.3.2. Le RTPS 2 bits .....	72
III.3.2.1. Optimisation de la charge .....	72
III.3.2.2. Résultats de mesure.....	75
III.3.3. Les RTPS discrets 90° et 180° .....	77
III.4. Le bloc continue.....	78
III.4.1. Charge LC parallèle : Varactor en parallèle avec une ligne de transmission.....	79
III.4.1.1. Choix du varactor.....	79
III.4.1.2. Optimisation de la charge .....	80
III.4.1.3. Résultats de mesure.....	82
III.4.2. Charge LC parallèle : Varactor en parallèle avec une inductance commutée.....	84
III.4.2.1. Inductance commutée .....	84
III.4.2.2. Optimisation de la charge .....	85
III.4.2.3. Résultats de simulation .....	85
III.5. Conclusion du chapitre 3.....	86
<b>Chapitre 4 : Assemblage des blocs et réalisation du déphaseur hybride .....</b>	<b>88</b>
IV.1. Fonctionnement du déphaseur hybride .....	88

IV.2. Stratégie de positionnement des blocs .....	89
IV.3. Evaluation des différentes versions du déphaseur hybride .....	91
IV.3.1. Version 1 .....	91
IV.3.2. Version 2 .....	94
IV.3.3. Version 3 & Version 4 .....	96
IV.4. Comparaison à l'état de l'art.....	99
IV.5. Conclusion du chapitre 4 .....	100
<b>Conclusion générale et perspectives .....</b>	<b>102</b>
<b>Liste des figures.....</b>	<b>104</b>
<b>Liste des tableaux.....</b>	<b>107</b>
<b>Références bibliographiques .....</b>	<b>108</b>
<b>Résumé.....</b>	<b>114</b>
<b>Abstract.....</b>	<b>115</b>

# Glossaire

BEOL	Back-End Of Line
BiCMOS	Combinaison entre technologies Bipolaire et CMOS
B55	Technologie BiCMOS 55nm
CMOS	Complementary Metal Oxide Semiconductor
CPW	Coplanar Waveguide
DK	Design Kit
ETSI	European Telecommunications Standards Institute
FCC	Federal Communications Commission
FEOL	Front-End Of Line
GaAs	Arséniure de Gallium
GSG	Ground Signal Ground
HEMT	High Electron Mobility Transistor
MIM	Metal Isolant Metal
MOM	Metal Oxide Metal
MOS	Metal Oxide SemiConductor
PCM	Phase Change Material
PIN	Jonction PN dont les zones P et N sont séparées par une région intermédiaire I
RF	Radio-fréquence
RTPS	Reflective-Type Phase Shifter
SiGe	Silicon Germanium. Silicium Gernmanium
SPDT	Single Pole Double Throw
SPST	Single Pole Single Throw
TRL	Through Reflect Line
VGA	Variable Gain Amplifiers
VNA	Vector Network Analyzer

# Introduction générale

Les systèmes fonctionnant en bandes millimétriques (entre 30 GHz et 300 GHz), constituent aujourd'hui une évidence pour satisfaire le besoin de débits pour les applications telles que les communications sans fil (radio, mobile, centres de data), l'imagerie, la localisation, la détection, les capteurs sans fil. En outre, le nombre d'objets connectés étant en croissance constante, il devient indispensable de modifier le mode de fonctionnement des terminaux et relais afin de satisfaire les exigences énergétiques de ceux-ci. Cela passe par la maîtrise des faisceaux d'ondes électromagnétiques (*beamforming*) afin d'établir des communications point à point qui sont peu énergivores. Le *beamforming* consiste à utiliser des réseaux d'antennes à commande de phase, ainsi qu'un amplificateur de puissance (en transmission) ou un LNA (en réception) pour contrôler de façon précise la direction et l'amplitude des faisceaux. La direction des faisceaux est assurée par des déphaseurs placés sur chaque élément antennaire du réseau, dont on attend une grande précision (de l'ordre du degré pour les radars par exemple) au niveau de la phase. Etant placé juste avant/après les antennes en émission/réception, les déphaseurs doivent être peu coûteux en termes de pertes d'insertion et avoir exactement la même amplitude quelle que soit la valeur du déphasage. D'autres caractéristiques sont fondamentales telles que la linéarité, et la consommation DC. Bien évidemment, dans le cadre de circuits intégrés, la surface occupée par le déphaseur constitue un critère important également.

Dans la littérature, on distingue deux grandes catégories de déphaseurs : les déphaseurs actifs et les déphaseurs passifs. Les déphaseurs actifs sont les plus utilisés du fait de la simplicité de l'architecture et de leur géométrie compacte et peu coûteuse en surface de silicium. Cependant ils souffrent d'une consommation DC assez importante, s'agissant d'une approche « circuit actif ». Cette approche a aussi pour inconvénient de détériorer la linéarité, limitant la puissance de transmission, ce qui peut être rédhibitoire dans certaines applications de communication sans fil. Les déphaseurs passifs permettent de palier aux problèmes de consommation DC et de linéarité que présentent les déphaseurs actifs. En revanche, ils ont des pertes d'insertion élevées (facteur de qualité des composants passifs qui se dégradent en bandes millimétriques) et sont plus coûteux en surface de silicium. L'objectif de la thèse est de travailler sur les déphaseurs passifs malgré les inconvénients évoqués ci-dessus. Ces inconvénients constituent des défis à relever pour proposer un déphaseur à variation de phase continue de  $0 - 360^\circ$  avec le meilleur facteur de mérite (le rapport entre le déphasage total et les pertes d'insertion maximum :  $FoM = \frac{\Delta\varphi}{IL_{max}}$ ) possible.

La réalisation de ce déphaseur s'est faite en plusieurs étapes qui vont être détaillées dans ce manuscrit.

Le premier chapitre permettra de présenter les déphaseurs en bandes millimétriques. Dans un premier temps, nous présenterons de manière plus détaillée les applications dans lesquelles le déphaseur pourrait être utilisé. Puis nous présenterons l'état de l'art. Pour chaque type de déphaseur, on réalise une étude théorique suivie d'une explication des avantages et inconvénients ainsi qu'une bibliographie. Pour clore le chapitre, la problématique de la thèse sera exposée afin de définir clairement les performances visées.

Le second chapitre traitera des composants passifs et actifs disponibles dans la technologie utilisée et leur potentielle utilisation dans la réalisation du déphaseur.

Dans le troisième chapitre, le design des différents blocs du déphaseur sera abordé. Il s'agira pour chaque bloc de recenser les architectures pouvant être utilisées, d'expliquer leurs avantages et inconvénients, de choisir l'architecture qui convient le mieux, d'expliquer comment le mettre en place, et de discuter des résultats de mesure.

Le quatrième chapitre traitera de l'assemblage des différents blocs. L'idée sera de mettre en avant les contraintes (adaptation d'impédance, couplages électromagnétiques) liées à l'assemblage de blocs unitaires et de la manière de s'y prendre pour réduire leur influence sur le résultat final.

# Chapitre 1 : Les déphaseurs aux fréquences millimétriques

## I.1. Applications aux fréquences millimétriques

L'exploration des bandes millimétriques (30 GHz – 300 GHz) se justifie par un besoin croissant en termes de débit. Le débit de 1 Gb/s de la 4G ne suffit plus pour satisfaire une société où le trafic de données mobiles augmente de 46% par an entre 2017 et 2022 [1]. L'avènement de la 5G devrait faire passer ce débit à 20 Gb/s, avec en outre une réduction drastique de la latence (de 10 ms en 4G vers 1 à 2 ms en 5G) [2]. Cette nouvelle génération sera utilisée au-delà de la communication mobile, car elle interviendra dans plusieurs domaines tels que l'énergie, la santé, les médias, l'industrie ou le transport, pour répondre aux exigences sur la latence, la fiabilité et surtout la sécurité des données (voir Figure 1) [3]. Pour sa mise en place, l'union internationale des télécommunications a identifié trois piliers [2] : l'ultra haut débit (*enhanced Mobile BroadBand (eMBB)*), des communications entre une grande quantité d'objets variés (*massive Machine Type Communication (mMTC)*) et des communications ultra fiables (*Ultra-Reliable and Low Latency Communication (URLLC)*). Avec ces trois catégories, la communication 5G permettrait de couvrir tout type de communications, à savoir entre personnes, de personnes à machines et entre machines.

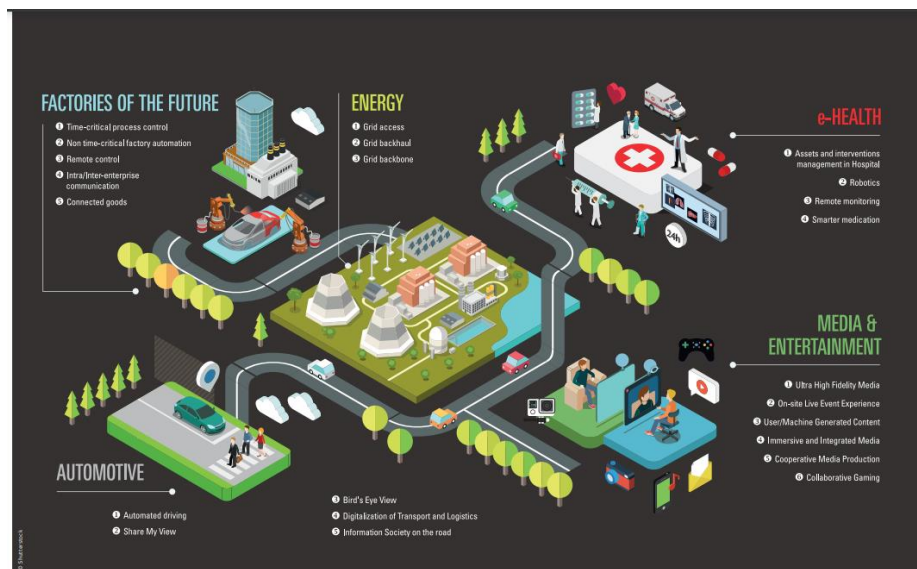


Figure 1 : Les différents domaines d'utilisation de la 5G [3]

De tous les domaines listés sur la Figure 1, celui de l'automobile est le plus mis en avant car la commercialisation de voitures autonomes sera certainement une révolution technologique comme l'a été le smartphone. La 5G aura bien évidemment une importance capitale dans le bon fonctionnement de ces voitures, mais l'élément le plus important est le radar, qui constitue les yeux de l'intelligence artificielle qui les pilotera. C'est pourquoi, depuis plusieurs années, le radar automobile est développé et même commercialisé pour pouvoir aider les conducteurs lors du garage ou pour signaler la présence d'un obstacle. Ce type de radars est qualifié de short range parce que la distance de détection est entre 0 et 30 m [4]. Sur la Figure 2, il y a deux autres types de radars qui sont listés : les radars « medium range » (distance de détection entre 1 et 100 m) et les radars « long range » (distance de détection entre 10 et 250 m). Avec ces trois types de détection, le champ de vision de l'intelligence artificielle sera meilleur que celui d'une personne, vu que les radars ont un angle de détection de 360°. Vu la distance de détection du radar long range, il est indispensable d'utiliser des ondes millimétriques afin d'atteindre une vitesse et une portée très élevée. Puis, il est également important de disposer d'une large bande

passante pour une meilleure résolution, donc une meilleure précision sur la mesure de la distance. Les premiers radars commercialisés fonctionnaient autour de 24 GHz avec une bande de 5 GHz entre 21.65 GHz to 26.65 GHz, mais avec les nouvelles réglementations de l'ETSI (European Telecommunications Standards Institute) et le FCC (Federal Communications Commission) en Europe et aux Etats-Unis, ils passeront à 77 GHz avec une bande de 4 GHz entre 77 GHz et 81 GHz.

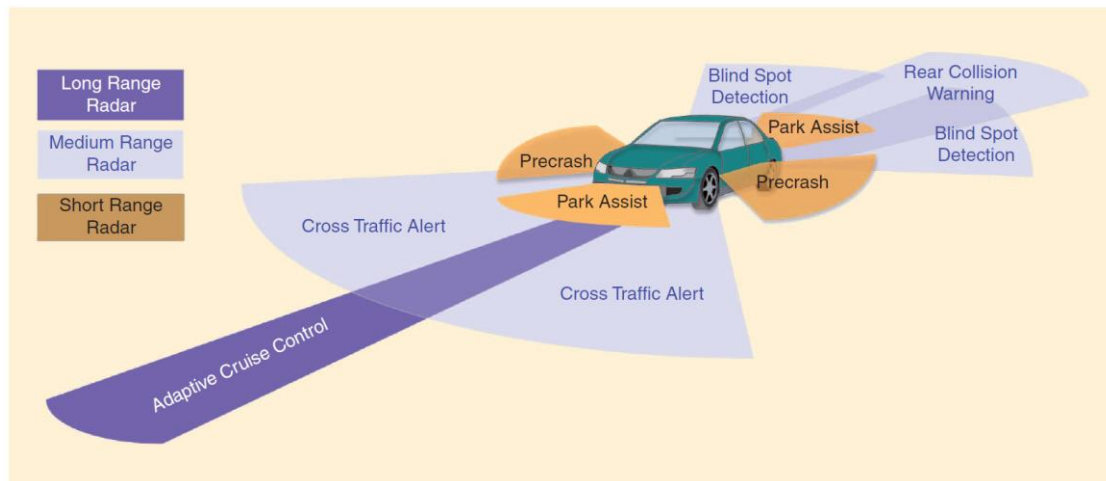


Figure 2 : Différents types de radars automobiles [67]

Les autres domaines listés sur la Figure 1 font apparaître un nombre croissant d'applications gourmandes en données telles que la réalité virtuelle/augmentée dans le monde des jeux vidéo, la projection holographique dans les médias, les interfaces de communication cérébrale et la chirurgie à distance dans le domaine de la santé. Ces applications ont des exigences de latence, de fiabilité et de débit qui dépassent clairement la capacité de la 5G. De ce fait, il serait intéressant d'explorer les plages de fréquence au-delà de 100 GHz où les bandes passantes disponibles sont encore plus larges que celles prévues actuellement pour la 5G et pourraient servir à accueillir la 6G. La 6G devrait comme chaque nouvelle génération améliorer les imperfections de l'ancienne et permettre d'avoir des communications encore plus rapides avec beaucoup plus d'objets à connecter. Le concept de *Smart City* va encore évoluer en intégrant les concepts de *Smart Home Environment*, *Smart Infrastructure Transport* et *Smart Healthcare* [4] qui englobent tout notre quotidien et permettront d'améliorer la qualité de vie des populations. La mise en place de ces concepts nécessite d'être performants dans les domaines de la cognition, de la détection, des capteurs, de l'imagerie et bien évidemment de la communication sans fil [5].

## I.2. Etat de l'art des déphaseurs

### I.2.1. Principe de la modulation vectorielle

La modulation vectorielle consiste à additionner deux signaux I (*in phase*) et Q (*quadrature*) déphasés de 90°. En considérant que le signal I a une amplitude  $A_1$  et le signal Q une amplitude  $A_2$ , la somme S des signaux I et Q peut s'écrire comme suit :

$$S = A_1 + j \cdot A_2 \quad (\text{I.1})$$

Partant de cette équation, la phase du signal S s'exprime par :

$$\angle S = \arctan\left(\frac{A_2}{A_1}\right) \quad (\text{I.2})$$



L'équation (I. 2) montre que la phase du signal  $S$  dépend des amplitudes des signaux  $I$  et  $Q$ , donc en contrôlant l'amplitude des deux signaux, on contrôle la phase du signal  $S$ . La Figure 3 montre les différents blocs d'un déphaseur utilisant la modulation vectorielle. Le diviseur de puissance plus le déphaseur de  $90^\circ$  pour générer le signal  $Q$  n'est pas toujours nécessaire, un coupleur 3dB peut à lui seul générer deux signaux d'amplitudes identiques déphasés de  $90^\circ$ . Ensuite la variation des amplitudes est assurée par le VGA, puis la sommation des signaux à l'aide d'un combineur de puissance.

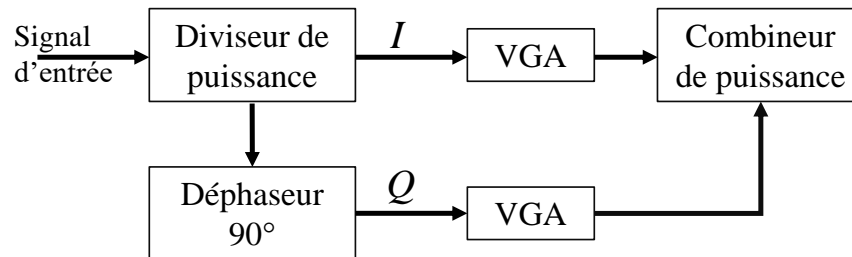


Figure 3 : Schéma du principe de la modulation vectorielle

Ce schéma, bien que représentatif de la majorité des déphaseurs actifs, peut subir quelques modifications en fonction des performances visées. En effet, en utilisant l'équation (I.2), la phase du signal  $S$  varie seulement entre  $0^\circ$  et  $90^\circ$ . Dans l'optique d'obtenir une plage de phase couvrant  $0 - 360^\circ$ , le mode différentiel est utilisé pour avoir deux signaux  $I$  ( $I^+$  et  $I^-$ ) et deux signaux  $Q$  ( $Q^+$  et  $Q^-$ ), ce qui permet de démultiplier les combinaisons afin de balayer tout le cercle trigonométrique.

La précision de la modulation vectorielle repose sur le contrôle des amplitudes des signaux  $I$  et  $Q$  (grâce au VGA) qui permet dans le même temps de contrôler la variation de l'amplitude du signal en sortie du déphaseur. Malheureusement, ceci est réalisé au prix d'une consommation DC qui peut être rédhibitoire pour certaines applications. Certains auteurs ont proposé des solutions afin de réduire cette consommation, mais cela demande de réduire également le gain du VGA, c'est-à-dire d'accepter d'avoir un gain global négatif puisque le gain du VGA devient alors insuffisant pour combler les pertes du coupleur, du diviseur de puissance, du combineur de puissance, du balun, etc... C'est le cas dans [6] où le déphaseur actif a une puissance consommée de 15,6 mW, mais l'amplitude moyenne est de -5 dB à 60 GHz en technologie CMOS 90 nm. En revanche, dans [7], le déphaseur a un gain de 1,1 dB entre 57 GHz et 64 GHz pour une consommation DC de 19,8 mW dans la même technologie. Ces deux travaux réalisés dans la même technologie illustrent bien le compromis à faire entre réduire la consommation DC et augmenter le gain du déphaseur. Ce compromis rend difficile l'obtention d'un gain positif lorsque la fréquence de travail augmente. D'ailleurs, c'est ce qui est observé dans [8] et [9] où les auteurs ont obtenu respectivement des gains inférieurs à -10 dB pour des consommations DC de 39 mW et 74 mW dans les technologies CMOS 28 nm et SiGe BiCMOS 250 nm. Le déphaseur présenté dans [8] fonctionne entre 97 GHz et 106 GHz tandis que celui présenté dans [9] fonctionne entre 110 GHz et 130 GHz. Il faut noter que dans [9], un amplificateur a été ajouté, ce qui explique la consommation plus élevée par rapport au déphaseur présenté dans [8]. Néanmoins, certains auteurs parviennent à obtenir des gains positifs à ces fréquences en utilisant une technologie performante comme le CMOS 28 nm et surtout en réduisant les pertes du générateur de signaux I/Q [10]. Les auteurs dans [10] n'ont pas utilisé un balun pour générer les signaux différentiels, ils ont intégré le passage au différentiel dans un coupleur 3dB (voir Figure 4). Grâce à cette simplification, le déphaseur actif réalisé a un gain de 2,3 dB à 87,4 GHz pour une faible consommation DC de 21,6 mW.

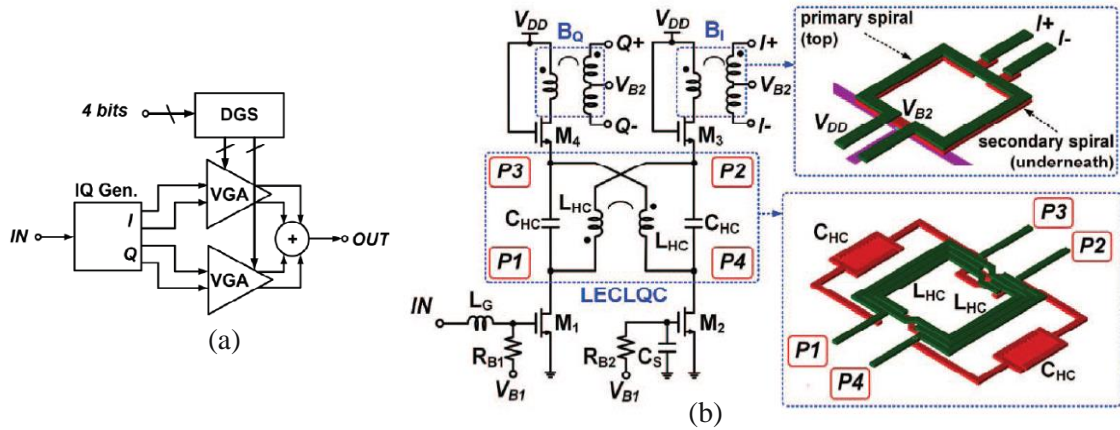


Figure 4 : (a) Schéma du déphaseur (b) Générateur des signaux différentiels I/Q [10]

Cette revue de quelques déphaseurs actifs montre la difficulté de réaliser des déphaseurs sans pertes d'insertion en bandes millimétriques. La consommation DC demeure un défi à relever avec l'augmentation de la fréquence, et ce malgré l'existence de technologies avec des fréquences  $f_T/f_{max}$  supérieures à 300 GHz. Aussi, la linéarité doit être considérée dans les cas où le déphaseur serait utilisé dans une chaîne de transmission. Par exemple le déphaseur présenté dans [10] a un point de compression 1 dB (IP1dB) de -7 dBm à 87,4 GHz, ce qui rend ce déphaseur difficilement utilisable dans une chaîne de transmission. Ainsi, dans [11], l'accent a été mis sur l'optimisation de la linéarité entre 140 GHz et 160 GHz en technologie BiCMOS 55 nm. Les auteurs ont utilisé un coupleur avec une cellule de Gilbert pour la modulation vectorielle. La cellule de Gilbert a deux entrées (signaux I et Q venant du coupleur) et 4 sorties (signaux  $I^+/I^-$  d'un côté et  $Q^+/Q^-$  de l'autre). Chaque entrée a un transistor bipolaire en base-commune et un autre en émetteur-commun pour assurer la sortie en mode différentiel. Un travail a été réalisé sur le ratio entre la taille des transistors en base-commune et celle en émetteur-commun pour maximiser la puissance de sortie au point de compression 1dB. Il en résulte un déphaseur avec une puissance d'entrée au point de compression ( $ICP_{1dB}$ ) de 2 dBm et une puissance de sortie ( $OCP_{1dB}$ ) de -3,7 dBm. Malheureusement, cela a été obtenu au prix d'un gain négatif de -4,5 dB et une consommation DC de 66 mW.

En conclusion, les déphaseurs actifs, bien que populaires du fait qu'ils utilisent une faible surface, n'en demeurent pas moins complexes à réaliser, en comparaison des déphaseurs passifs, surtout en bandes millimétriques. Le compromis entre le gain, la consommation DC et la linéarité représente la problématique principale de ces déphaseurs. Une problématique à laquelle il est difficile de répondre avec la montée en fréquence. Par conséquent, il apparaît indispensable d'explorer les topologies alternatives passives, car elles assurent une très bonne linéarité et leur consommation DC peut être négligeable. Certes les pertes d'insertion sont problématiques, mais n'est-il pas possible de trouver une topologie ou d'en associer plusieurs permettant de réduire ces pertes d'insertion ? C'est le défi proposé au début de mes travaux de thèse.

## I.2.2. Déphaseurs passifs

Dans cette section, nous présenterons les différentes approches de déphaseurs passifs disponibles dans la littérature, avec un focus particulier pour ce qui concerne les bandes millimétriques.

### I.2.2.1. Lignes commutées

Les déphaseurs à lignes commutées reposent sur un principe de commutation entre deux lignes de transmission de longueurs différentes. La phase d'une ligne de transmission étant liée à sa longueur, le fait de passer d'une ligne à l'autre donne deux états de phases différentes. Ainsi la différence entre

ces deux états correspond au déphasage du déphaseur. Pour la réalisation d'un tel déphaseur, il faut deux switches SPDT (Single Pole Double Throw) comme on peut le voir sur la Figure 5(a).

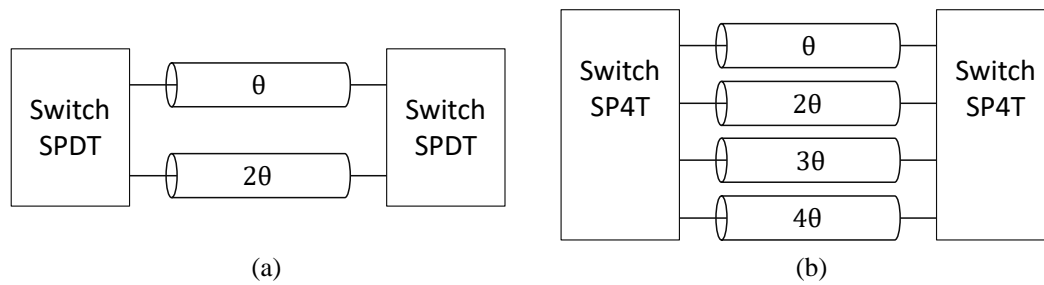


Figure 5 : Lignes commutées pour des déphaseurs (a) 1 bit et (b) 2 bits

Le principe de commutation entre lignes de transmission peut être élargi à plus de deux lignes s'il y a besoin d'avoir plus d'états. Par exemple pour un déphaseur 2 bits (résolution de  $90^\circ$ ), soit 4 états, il faudra 4 lignes (voir Figure 5(b)). En élargissant encore plus le principe, à savoir qu'il faut  $2^n$  lignes pour un déphaseur  $n$  bits, il est évident que ce type de déphaseur ne permet pas de disposer d'un grand nombre de bits, car d'une part la surface occupée par les lignes de transmission est rédhibitoire pour un circuit intégré et d'autre part la réalisation du switch SPnT devient un défi de plus en plus difficile à relever, un inconvénient qui rend cette topologie très peu populaire. Néanmoins, dans [12], les auteurs ont essayé de contourner les limites du nombre de bits en mettant en cascade 4 déphaseurs 1 bit (Figure 6).

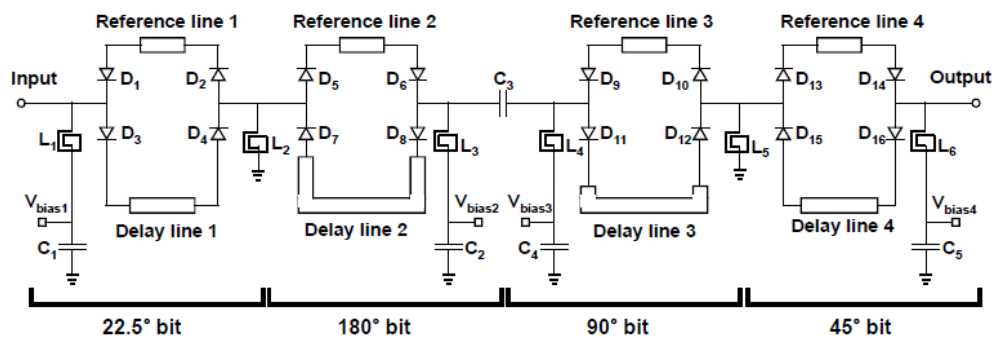


Figure 6 : 4 déphaseurs à lignes commutées mis en cascade pour réaliser un déphaseur 4 bits [12]

Tous les blocs ont la même ligne de référence en face de lignes de longueurs différentes (*delay line*) permettant d'avoir le déphasage attendu pour chaque bloc. Aussi, le choix des diodes PIN pour les switches SPDT implique des circuits de polarisation ainsi que des inductances ( $L_2$  et  $L_5$ ) qui vont avoir pour rôle de créer un circuit ouvert pour le signal RF et un court-circuit pour le signal DC. La capacité  $C_3$  permet de bloquer le signal DC entre les deux circuits de polarisation adjacents. Le circuit fonctionne entre 81 GHz et 85 GHz en technologie InGaAs. Les pertes d'insertion maximum sont de 12,7 dB pour une variation d'amplitude de 1,18 dB. L'erreur de phase varie de  $5,3^\circ$  à  $8,2^\circ$  sur la bande de fréquence. La consommation DC des diodes PIN est de 51 mW. L'erreur de phase élevée montre que la mise en cascade a multiplié les problèmes de précision de chaque bloc unitaire. Aussi la consommation DC des diodes PIN est une contrepartie nécessaire pour avoir un faible  $R_{on}$  et donc réduire les pertes d'insertion du déphaseur.

Dans [13], un déphaseur 1 bit a été réalisé entre 19 GHz et 21 GHz en technologie SiGe BiCMOS 130 nm. Les switches SPDT sont à base de transistors MOS. Une partie de l'article est consacrée au design des switches car dans un déphaseur à lignes commutées, les switches sont

responsables de la majorité des pertes d'insertion, celles des lignes étant négligeables. La topologie *Series-Shunt* (Figure 7 (b)) a été choisie car elle permet d'obtenir un meilleur compromis entre les pertes d'insertion et l'isolation. De plus, il y a eu un travail sur le transistor MOS au niveau des connexions avec le substrat pour réduire les pertes d'insertion du switch SPDT. Des essais ont été réalisés entre 3 configurations (Figure 7 (a)), à savoir « High Substrate » (HS), « Medium substrate » (MS) et « Low substrate » (LS). Le résultat est qu'une connexion du bulk sur du HS permet d'obtenir les meilleures performances au niveau des pertes d'insertion. Le switch SPDT résultant présente 2 dB de pertes d'insertion à 20 GHz et une isolation supérieure à 15 dB sur la bande DC-20 GHz. Le déphaseur présente les performances suivantes : pertes d'insertion 4,5 dB à 20 GHz, erreur de phase 10° et variation d'amplitude de 0,5 dB.

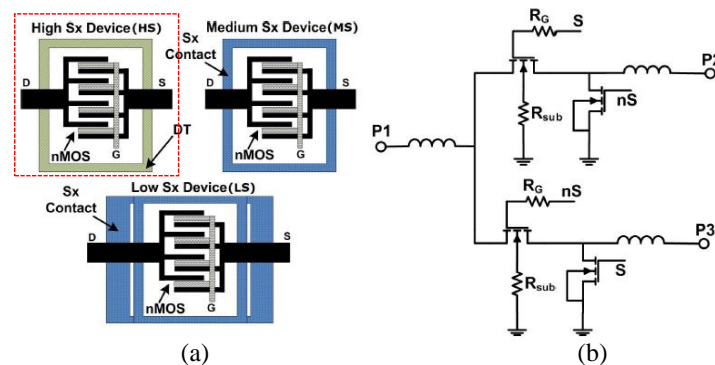


Figure 7 : (a) Les différentes configuration de layout du transistor MOS (b) Schéma électrique du switch SPDT [13]

Les résultats de [13] mettent en avant une autre limite des déphaseurs à lignes commutées : le fait d'utiliser deux fois le switch SPDT. En effet, les pertes d'insertion de 4,5 dB correspondent à 4 dB (2 fois 2 dB) pour les 2 SPDT et 0,5 dB pour les lignes de transmission. Une bibliographie sur les switches en bandes millimétriques montre que ceci n'est pas un cas isolé, dans le sens où il semble difficile de réaliser des switches SPDT avec des pertes d'insertion en dessous de 1 dB. La Figure 8 synthétise les performances de plusieurs switches SPDT de la littérature en traçant l'isolation en fonction des pertes d'insertion, en prenant en compte les topologies *Shunt* et *Series-Shunt*, les technologies et les composants actifs. Il ressort de ce graphe qu'il semble aisé d'obtenir une isolation supérieure à 15 dB, ce qui représente une performance acceptable pour une majorité d'applications. Pour les pertes d'insertion, il est difficile de tirer des conclusions sur la meilleure topologie, la meilleure technologie et le meilleur composant actif à choisir pour avoir le switch SPDT le plus performant. Néanmoins, la Figure 8 donne quelques tendances :

- Le transistor MOS est de loin le composant le plus utilisé du fait qu'il est facile à intégrer dans un circuit et du fait que la consommation DC est très faible. Cependant, le produit  $R_{on} \cdot C_{off}$  assez élevé (on descend difficilement en dessous de 100 fs) en technologie CMOS empêche d'atteindre des pertes d'insertion en dessous de 1,5 dB et ce quelle que soit la fréquence. Dans [14], les auteurs ont optimisé le contact entre le transistor MOS et substrat pour obtenir des pertes entre 1,5 dB et 2 dB sur la plage 50 GHz – 70 GHz. Avec d'autres technologies (GaAs et HEMT), le produit  $R_{on} \cdot C_{off}$  du transistor MOS est plus faible qu'en CMOS et donc les performances en termes de pertes d'insertion sont meilleures. Malheureusement, ces technologies sont coûteuses pour des fabrications à grande échelle (par exemple sur des wafers de 200 mm), ce qui explique que la majorité des circuits sont réalisés en technologies CMOS.
- Les switches à base de diodes PIN ou transistors bipolaires (HBT) ont de meilleures performances par rapport à ceux avec les transistors MOS. Cela s'explique avant tout par un

produit  $R_{on} \cdot C_{off}$  plus faible que le MOS mais également du fait qu'il est possible par la polarisation de modifier le  $R_{on}$  ou le  $C_{off}$  d'une diode PIN ou d'un transistor bipolaire. C'est ainsi que les auteurs de [15] ont réussi à obtenir des pertes d'insertion de 1.1 dB (pour une isolation supérieure à 20 dB) sur la bande de fréquence 73 GHz – 110 GHz en utilisant un transistor bipolaire fonctionnant en régime saturé dans une technologie SiGe HBT. La consommation DC a été un sujet abordé dans l'article et les auteurs ont réussi à la limiter à 6 mW, ce qui reste acceptable.

- Le composant actif est le garant de la performance du switch. En effet, on constate avec les articles de la Figure 8 qu'il est possible d'avoir des pertes d'insertion plus élevées qu'un autre switch alors que ce dernier fonctionne à une fréquence plus élevée. Dans [16], les auteurs ont réalisé des switches en bande V (50 GHz – 75 GHz) et en bande W (75 GHz – 110 GHz) avec la même topologie et le même composant actif dans la même technologie. Finalement ils ont obtenu les mêmes pertes d'insertion et une isolation similaire. Ces résultats confirment que les pertes liées aux passifs (censés être moins performants quand la fréquence augmente) sont négligeables par rapport à celles induites par le composant actif.

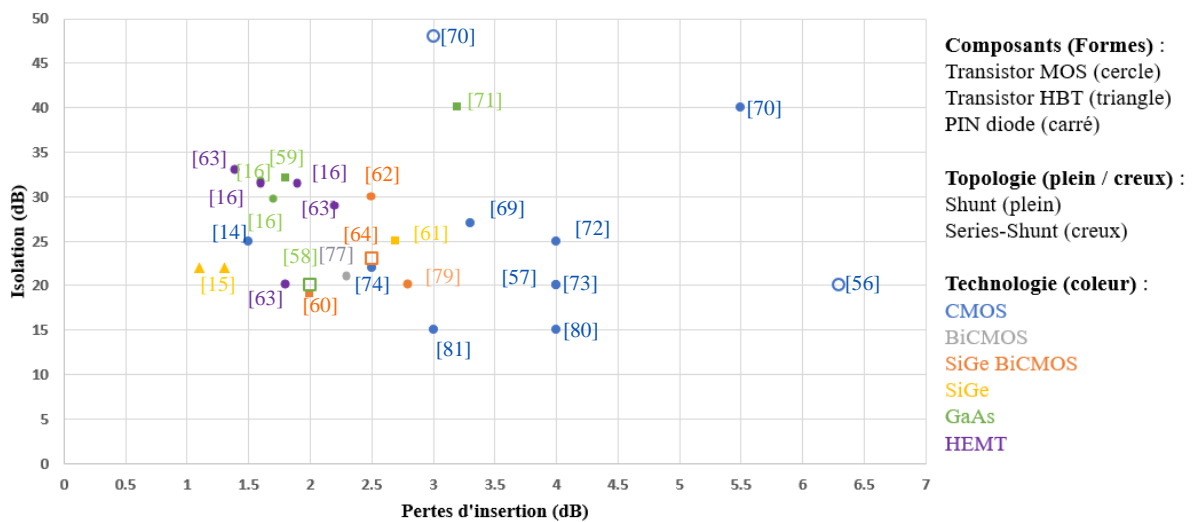


Figure 8 : Résumé de la bibliographie sur les switches RF

En somme cette bibliographie montre les limites des technologies dues aux performances des composants actifs classiques qui sont utilisés pour réaliser des switches RF. Ces composants étant garants de la performance en termes de pertes d'insertion ou d'isolation, il devient important de trouver d'autres solutions pour rendre les switches transparents vis-à-vis du signal RF car ces derniers ont une fonction primordiale dans la chaîne RF des communications sans fil. Une solution prometteuse parmi les technologies explorées actuellement concerne les technologies PCM (Phase Change Material) [17] - [18] où les pertes d'insertion des switches sont en dessous de 1 dB. Malheureusement, il n'est pas encore possible de faire un design complet en bandes millimétriques avec les PCM et les recherches sur les connexions entre différentes technologies ne sont pas encore matures. Ainsi pour les switches, l'amélioration des performances des composants actifs reste la seule solution.

Par rapport au déphaseur à lignes commutées, il semble que le minimum de pertes d'insertion soit d'environ 2 dB (plus les pertes des lignes à ajouter). Le fait que les pertes des lignes soient négligeables assure des pertes d'insertion quasi identiques quel que soit le déphasage visé pour les lignes commutées. De ce fait, les déphaseurs à lignes commutées ne sont pas utilisés pour des



déphasages de faibles valeurs (en dessous de  $90^\circ$ ) car le critère du facteur de mérite leur est trop défavorable.

### I.2.2.2. Les lignes chargées

Les déphaseurs à lignes chargées peuvent être réalisés avec des inductances ou des lignes de transmission chargées par des varactors (Figure 9). La phase du signal après avoir traversé la ligne de transmission (ou l'inductance) est commandée de manière continue par la tension de commande des varactors. Remplacer le varactor par des composants actifs tels que le transistor MOS ou une diode PIN permettrait de faire varier la phase de manière discrète. De ce fait, cette topologie peut être utilisée pour un déphasage continu ou un déphasage discret.

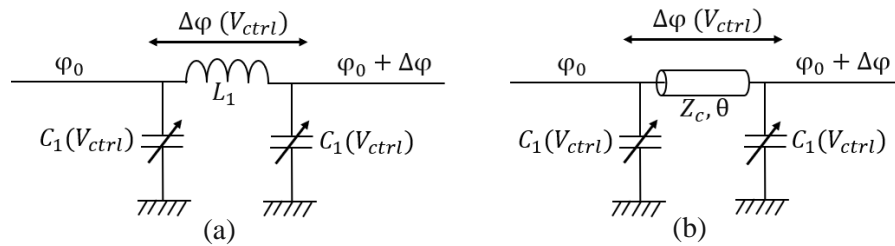


Figure 9 : Déphaseurs à lignes chargées (a) avec une inductance (b) avec une ligne de transmission

Cependant, l'ajout de capacités de part et d'autre de la ligne de transmission change l'impédance caractéristique, et donc l'impédance vue en entrée et en sortie. L'augmentation de ces capacités provoque une variation des impédances d'entrée et de sortie qui s'éloignent de  $50 \Omega$ , conduisant ainsi à une détérioration de l'adaptation d'impédance. Il en résulte une topologie inadaptée pour les larges plages (au-dessus de  $90^\circ$ ) de déphasage qui entraînent une large variation de l'impédance caractéristique. Néanmoins elle peut être utilisée pour faire une variation fine comme dans [19] où les auteurs ont fait un mix entre déphaseurs actifs et déphaseurs passifs, avec comme objectif de réaliser un déphasage de  $360^\circ$  avec une résolution de  $22,5^\circ$ . Les lignes chargées, présentées comme des diélectriques artificiels à commande numérique (DiCAD) permettent de réaliser des déphasages discrets ( $22,5^\circ$  et  $45^\circ$ ) et sont aussi utilisés pour compenser les erreurs de phase. Les DiCAD sont des lignes chargées par des switches à base de MOS comme illustré sur la Figure 10 (a).

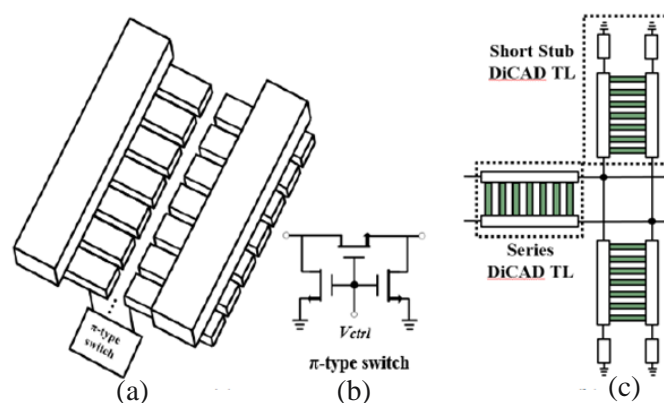


Figure 10: (a) Vue 3D d'un DiCAD (b) Schéma électrique du switch (c) Déphaseur à base de DiCAD [19]

La Figure 10 (c) montre un DiCAD en circuit ouvert et deux DiCAD en court-circuit. Les DiCAD en court-circuit sont utilisés pour faire un réglage grossier sur la phase tandis que les DiCAD en circuit ouvert permettent de faire un réglage fin. En somme, ce déphaseur hybride de  $360^\circ$  fonctionne entre 36 GHz et 40 GHz, présente des pertes d'insertion qui varient entre 20,1 dB et 21 dB et une erreur de

phase en-dessous de  $2,6^\circ$ . Bien que l'utilisation des DiCAD ait permis d'avoir un déphaseur avec une faible erreur de phase, les pertes sont élevées, ce qui détruit le facteur de mérite du déphaseur hybride. Les auteurs de [20] ont tenté une topologie plus classique en mettant en cascade 8 cellules en  $\pi$  (Figure 11). Les varactors sont des I-MOS avec un ratio de 2 sur le contrôle de la capacité et un facteur de qualité supérieur à 10 à 60 GHz. Le contrôle de la phase se fait de manière digitale avec une tension de contrôle ( $d_1, d_2, \dots, d_8$ ) pour chaque cellule. Après mesures, le déphaseur a une plage de déphasage entre  $0^\circ$  et  $180^\circ$  avec un pas de  $22,1^\circ$  et les pertes varient de 2,5 dB à 10,9 dB sur une bande de fréquence [55 GHz – 65 GHz]. Le facteur de mérite ( $16,5^\circ/\text{dB}$ ) est meilleur que dans [19] mais la grande variation d'amplitude (8,4 dB) est rédhitoire pour le fonctionnement d'un déphaseur.

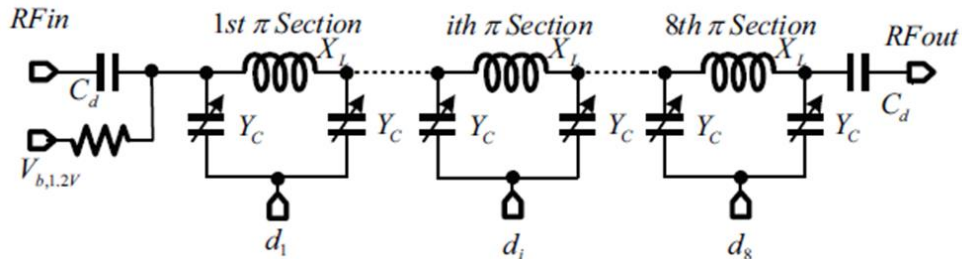


Figure 11 : 8 Cellules en  $\pi$  (Inductances + Varactors) en cascade [20]

Dans [21], l'inductance est remplacée par un transformateur dont le secondaire est mis en parallèle avec un varactor (Figure 12). La variation de la capacité du varactor induit une variation de l'inductance équivalente du transformateur, créant une inductance variable. Avec cette nouvelle variable, il est possible d'atténuer l'effet néfaste des varactors sur l'adaptation d'impédance d'une cellule en  $\pi$  (Inductance chargée par des varactors).

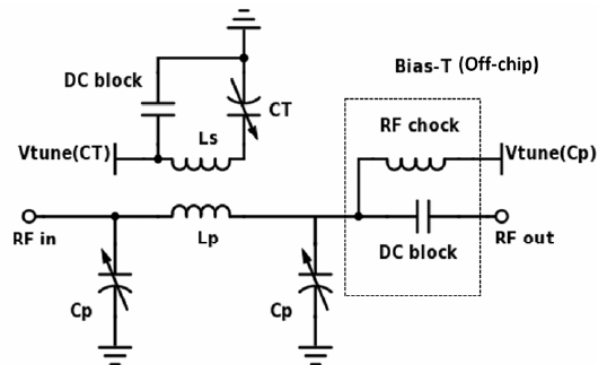


Figure 12 : Schéma d'une cellule en  $\pi$  avec l'inductance variable [21]

Il en résulte un déphasage à variation continue de  $45^\circ$  pour la cellule de la Figure 12. En mettant deux cellules en cascade, les auteurs obtiennent un déphasage de  $92^\circ$  pour des pertes d'insertion de 4 à 7 dB à 60 GHz. Avec 3 cellules, le déphasage s'élève à  $133^\circ$  pour des pertes d'insertion de 5,7 à 9,9 dB à 60 GHz. Le facteur de mérite ( $13,4^\circ/\text{dB}$ ) est moins bon que celui de [20] mais il y a ici une meilleure optimisation de la surface ( $0,041 \text{ mm}^2$  pour [21] contre  $0,1 \text{ mm}^2$  pour [20]). Aussi la variation de l'amplitude est plus faible dans [21], donc s'il faut utiliser un VGA pour avoir des amplitudes identiques à l'entrée des antennes, la consommation DC sera moins importante qu'avec le déphaseur de [20].

Les techniques de design utilisées dans [21] sont intéressantes car elles permettent de couvrir les problèmes de la topologie des lignes chargées en termes d'adaptation d'impédance. Cependant la figure de mérite obtenue et la variation d'amplitude qui augmente à chaque fois qu'une nouvelle cellule est ajoutée en cascade n'encouragent pas à utiliser cette topologie pour une plage de déphasage de  $360^\circ$

ou encore à une fréquence supérieure à 60 GHz. Cela explique pourquoi les déphaseurs à lignes chargées sont aussi peu utilisés par la communauté scientifique.

### I.2.2.3. Les filtres commutés

Les filtres commutés sont très certainement les déphaseurs passifs les plus utilisés du fait qu'il est facile d'en mettre plusieurs en cascade, ce qui permet d'avoir des déphaseurs discrets de  $360^\circ$  avec un nombre de bits allant jusqu'à 5 (résolution de  $11,25^\circ$ ) voire plus. Le fonctionnement des filtres commutés repose sur le principe suivant : l'utilisation d'un switch permettant d'avoir deux états : l'un où il n'y a pas de déphasage (*Bypass*) et l'autre où un déphasage est réalisé (*Phase delay*). L'état *Bypass* correspond à l'état où le switch est passant. Contrairement aux lignes commutées, il s'agit ici d'un switch SPST (Single Pole Single Throw) composé uniquement de l'élément actif. La réalisation du déphasage est confiée à un filtre passe-bas du 1<sup>er</sup> ordre ou du 3<sup>e</sup> ordre selon le déphasage visé. Pour le déphasage du 1<sup>er</sup> ordre (Figure 13 (a)), une inductance suffit ; pour celui du troisième ordre, une configuration CLC en  $\pi$  (Figure 13 (b)) ou une configuration LCL en T (Figure 13 (c)) est utilisée.

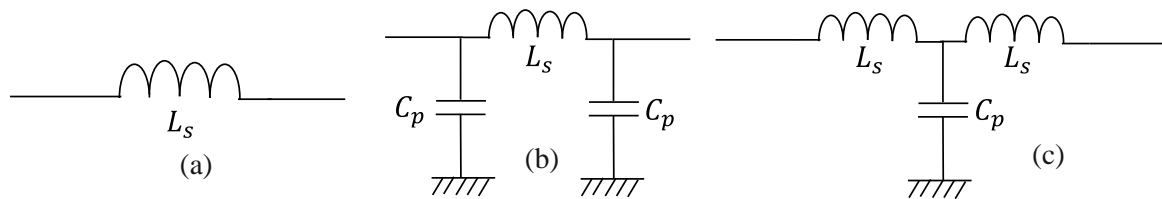


Figure 13 : Schéma des filtres passe bas utilisés pour les déphaseurs de type filtres commutés : (a) 1er ordre (b) 3e ordre CLC (c) 3e ordre LCL

En fonction du déphasage, il faut calculer les valeurs qu'il faut pour les composants du filtre utilisé. En prenant les paramètres ABCD des différentes configurations de filtre et la relation qui les lie au paramètre  $S_{21}$ , on arrive à écrire des équations qui relient les composants  $L_s$ ,  $C_p$  au déphasage  $\varphi$ . Pour le filtre du 1<sup>er</sup> ordre :

$$L_s = \frac{2 \cdot Z_0}{\omega} \tan(\varphi) \quad (I.3)$$

Pour les filtres du 3<sup>e</sup> ordre, il faut ajouter la condition d'avoir une adaptation d'impédance parfaite, à savoir :

$$S_{11} = S_{22} = 0 \quad (I.4)$$

Avec cette nouvelle condition, les inductances et les capacités des filtres CLC (I. 5) et LCL (I. 6) sont calculées à l'aide des équations suivantes [22] :

$$L_s = \frac{Z_0}{\omega} \sin(\varphi) \quad C_p = \frac{1}{\omega \cdot Z_0} \tan\left(\frac{\varphi}{2}\right) \quad (I.5)$$

$$L_s = \frac{Z_0}{\omega} \tan\left(\frac{\varphi}{2}\right) \quad C_p = \frac{1}{\omega \cdot Z_0} \sin(\varphi) \quad (I.6)$$

Dans les équations de (I. 3) à (I. 6),  $\omega$  représente la fréquence de travail et  $Z_0$  représente l'impédance de référence en fonction de laquelle il faudra adapter le déphaseur.

Il faut noter pour le filtre du 1<sup>er</sup> ordre que l'inductance est proportionnelle à la phase, ainsi un grand déphasage (inférieur à  $90^\circ$ ) implique d'utiliser une grosse inductance, ce qui traduit une impédance série plus élevée, donc des pertes d'insertion élevées. De ce fait, le filtre du 1<sup>er</sup> ordre n'est pas adapté pour des grosses valeurs de déphasage et est utilisé uniquement pour les toutes petites valeurs



(en dessous de  $22,5^\circ$ ) pour les résolutions fines. Pour les filtres du 3<sup>e</sup> ordre, le choix entre les configurations CLC ou LCL repose sur les critères suivants : une faible déviation de phase et un faible retard de groupe. Dans [23], les auteurs ont mis en avant que les filtres commutés avec la configuration LCL ont une plus faible déviation de phase et leur retard de groupe est beaucoup plus faible que celui de la configuration CLC. Par conséquent, ils ont choisi la configuration LCL et le déphaseur discret réalisé en technologie CMOS 90 nm pour un déphasage de  $360^\circ$  avec une résolution de  $11,25^\circ$  a conduit à des pertes d'insertion de 18 dB, une faible variation d'amplitude de 0,8 dB et des erreurs de phase situées entre  $2^\circ$  et  $10^\circ$  à 62 GHz. Ces résultats montrent que le choix de la configuration LCL, bien que justifiée, n'a pas permis d'avoir une bonne précision au niveau de la phase. Aussi cette configuration utilise 2 inductances et 3 switches tandis que la configuration CLC utilise une seule inductance et seulement deux switches (voir Figure 14). Ces deux différences expliquent en partie pourquoi la configuration CLC pourrait être préférée pour des designs en technologie silicium [22]. En conclusion, il n'y a pas de hiérarchie claire entre ces deux configurations.

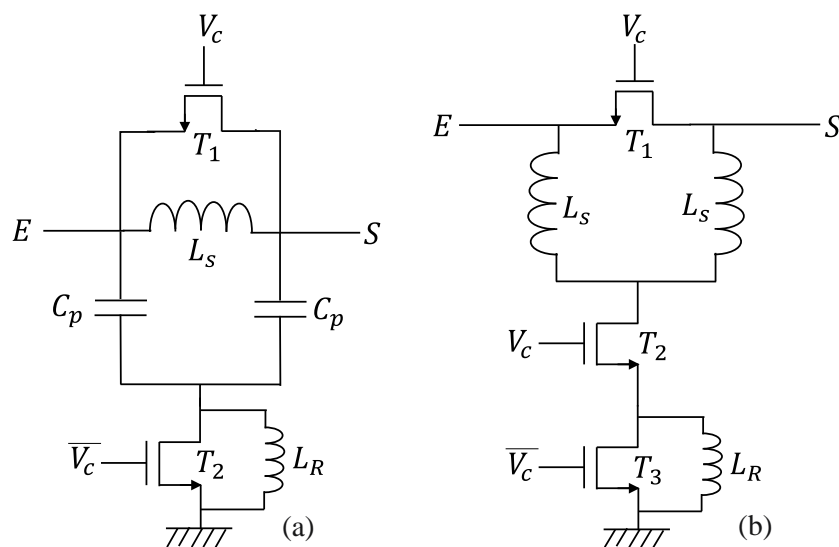


Figure 14 : Déphaseurs à filtre commuté avec une (a) Configuration CLC (b) Configuration LCL

Étant basés sur des structures du 3<sup>e</sup> ordre, les déphaseurs de la Figure 14 sont limités à un déphasage de  $90^\circ$ . Pour le déphaseur  $180^\circ$ , il faut soit faire une combinaison de plusieurs déphaseurs ou tenter de faire un déphasage entre un filtre passe-bas et un filtre passe-haut. Encore une fois, il n'y a pas de hiérarchie claire entre ces deux méthodes. Certains auteurs ([22], [23], [24], [25], [26], [27]) préfèrent mettre en cascade deux déphaseurs de  $90^\circ$  et d'autres ([28], [29], [30], [31], [32], [33], [34]) préfèrent le déphasage entre filtres passe-bas et passe-haut. Le choix de la topologie dépend de la technologie utilisée et de la fréquence de fonctionnement.

Par rapport au switch, comme dit plus haut, il s'agit d'utiliser uniquement les éléments actifs. Le transistor MOS est de loin le plus utilisé car il s'insère très facilement dans le filtre commuté. Par exemple sur la Figure 14, si l'on veut utiliser une diode à la place des transistors, le design devient plus complexe du fait qu'il faut concevoir un circuit de polarisation, mais aussi ajouter des capacités de liaison pour séparer le signal DC du signal RF, capacités situées sur le chemin RF qui ajoutent donc des pertes d'insertion. Par exemple, les auteurs de [30] ont essayé d'utiliser une diode PIN pour réaliser des filtres commutés (Figure 15). Le circuit final est une mise en cascade de 4 déphaseurs de  $22,5^\circ$ ,  $45^\circ$ ,  $90^\circ$  et  $180^\circ$  pour réaliser un déphasage de  $360^\circ$  avec une résolution de  $22,5^\circ$  en technologie SiGe BiCMOS, sur la bande de fréquence [14,5 GHz – 15,5 GHz]. Le déphaseur présente des pertes d'insertion entre 12,2 dB et 14,2 dB, l'erreur de phase s'élève à  $18,6^\circ$  et la puissance dissipée par les diodes est de 11,6 mW. Au vu des résultats, on peut conclure que l'expérience avec la diode PIN n'est

pas très concluante car elle n'apporte pas de plus-value par rapport à un transistor MOS en plus de consommer de l'énergie. Sachant que le design a été réalisé à une fréquence assez basse, il est difficilement envisageable à des fréquences plus élevées de privilégier cette solution à celle avec les transistors MOS car les circuits de polarisation et les capacités de liaison ( $C_4$  et  $C_5$  sur la Figure 15) induisent encore plus de pertes.

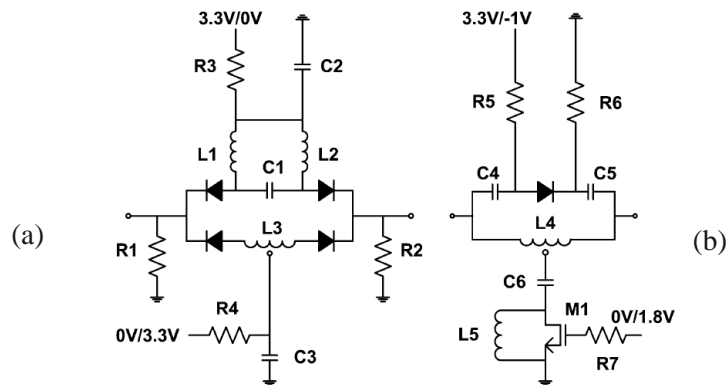


Figure 15 : Déphaseurs à filtre commutés réalisés dans [30]. (a) Déphaseur 180° filtres passe-haut/passe-bas avec des diodes PIN (b) Déphaseurs 90°, 45°, 22,5° avec une diode PIN et un transistor MOS

Ainsi, cette topologie, bien que populaire auprès de la communauté rencontre quelques limites. En premier lieu, il y a la difficulté d'utiliser des composants actifs autre que le transistor MOS dont le produit  $R_{on} \cdot C_{off}$  (au mieux 150 fs) reste assez haut par rapport à ce qu'on peut avoir avec une diode PIN (en dessous de 50 fs) dans les technologies CMOS. Ensuite, la difficulté de réaliser des capacités qui deviennent de plus en plus petites (de l'ordre des dizaines de fF) en bandes millimétriques. Enfin, la topologie dans son fonctionnement rend difficile l'égalisation des amplitudes dans les différents états, dans le sens où en mode *Bypass*, les pertes sont celles du switch et en mode *Phase Delay*, c'est le filtre qui est responsable des pertes. Il faut également ajouter les problèmes de précision au niveau du déphasage. Même s'il y a des équations permettant de calculer précisément la valeur des composants pour avoir le déphasage souhaité et que la fabrication assure un faible pourcentage d'erreur sur les composants passifs, on voit apparaître des couplages ou des parasites difficilement détectables qui vont changer les valeurs de ces passifs. Autant sur une cellule de filtre commuté, l'erreur peut être négligeable, mais sur 4, 5 voire 6 cellules en cascade, l'erreur de phase devient visible.

Le Tableau 1 synthétise les caractéristiques des déphaseurs à filtres commutés de la littérature. On constate bien que la majorité des déphaseurs ont des erreurs de phase loin d'être négligeables. En fait, ce tableau met en avant les défauts des déphaseurs passifs, à savoir des pertes d'insertion élevées, et une erreur de phase et d'amplitude non négligeable. Néanmoins, le déphaseur [26] a de très bonnes performances en plus de fonctionner à une fréquence plus élevée que les autres. Cela s'expliquerait par le fait que les auteurs ont su tirer profit de la technologie CMOS SOI 32 nm qui permet de réduire l'influence du substrat contrairement aux technologies CMOS Bulk. Ainsi, ils ont réussi à réduire les pertes du switch en mode *Bypass*. Pour les filtres, le BEOL (Back-End Of Line) épais de cette technologie a permis d'avoir des passifs plus performants.

Tableau 1: Résumé de la bibliographie des déphaseurs à filtres commutés

Réf	Technologie	Déphasage total (°)	Nbre de bits / Résolution (°)	Bande de fréquence (GHz)	Pertes d'insertion (dB)	Variation d'amplitude (dB)	Erreur de phase (°)	Surface (mm <sup>2</sup> )
[22]	SiGe BiCMOS 130nm	360	4/22,5	28 - 40	13,7	2,2	<11,25 & 4 @ 35GHz	0,12
[22]*	SiGe BiCMOS 130nm	360	4/22,5	28 - 40	11,2	2,4	< 15 & 4 @35GHz	0,18
[23]	CMOS 90nm	360	5/11,25	57 - 64	18	1,6	2 @ 62GHz	0,34
[25]	CMOS 65nm	360	5/11,25	57 - 66	18,5	3	< 8	0,44
[26]	CMOS SOI 32nm	360	5/11,25	94 - 96	8,1	1,2	< 6	0,7**
[28]*	CMOS 65nm	360	5/11,25	35 - 41,9	7,78	0,44	< 5,9	0,13
[27]	CMOS 65nm	360	6/5,6	57 - 66	23	2,8	< 2,3	0,54
[29]	CMOS 65nm	360	4/22,5	27,5 - 28	7,6	2	< 8,98	0,23
[31]	CMOS 40nm	360	5/11,25	57 - 65	20,9	2	< 6,8	0,24
[32]***	CMOS 55nm	360	9/2,8	30 - 36	14,6	2,1	< 3,3	0,84
[33]	CMOS 180nm	360	5/11,25	26 - 32	16	4	< 4 & 2 @ 29GHz	0,7
[34]	CMOS 180nm	360	5/11,25	19	12,5	0,5	3,7	0,9

\*Signaux différentiels \*\*Déphaseur + LNA \*\*\* Topologie hybride : Filtre commuté + RTPS

#### I.2.2.4. Les RTPS

RTPS signifie *Reflective-Type Phase Shifter*. Il est composé d'un coupleur 3dB et de deux charges identiques très réfléchissantes qui sont placées aux ports 2 (« through ») et 3 (« Coupled »), la sortie étant le port d'isolation (4 sur la Figure 16) du coupleur 3dB.

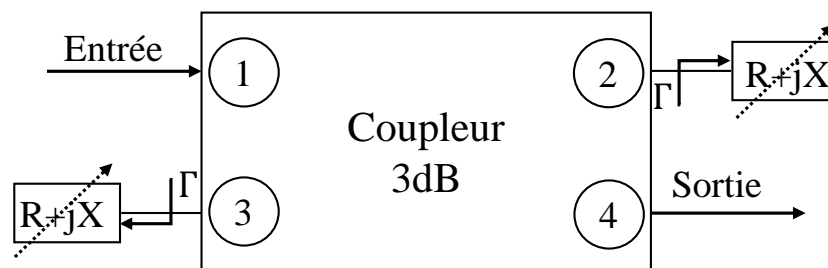


Figure 16 : Schéma d'un RTPS

A l'instar des lignes chargées, le déphasage des RTPS est lié aux charges réfléchissantes. En effet, en considérant un coupleur 3dB sans pertes présentant une impédance caractéristique purement réelle  $Z_c$  à chaque port et ayant une isolation infinie, on arrive à relier le paramètre  $S_{41}$  au coefficient de réflexion  $\Gamma$  des charges aux ports 2 et 3 [35] :

$$S_{41} = -j * \Gamma \quad (I.7)$$

Sachant que :

$$\Gamma = \frac{Z_c - R - jX}{Z_c + R + jX} \quad (I.8)$$

La relation entre le déphasage du RTPS et la charge s'écrit comme suit :

$$\angle S_{41} = -90 - \tan^{-1}\left(\frac{X}{Z_c - R}\right) - \tan^{-1}\left(\frac{X}{Z_c + R}\right) \quad (I.9)$$

La relation (I. 8) montre que la partie réelle de la charge  $R$  pose un problème, car elle empêche d'avoir un coefficient de réflexion  $\Gamma$  avec une amplitude de 1, ce qui permettrait avec un coupleur 3dB idéal d'avoir une transmission parfaite. Ainsi le choix de la charge ne reposera pas uniquement sur la partie imaginaire de son impédance mais aussi la partie réelle, car si

- $R \ll Z_c$  alors (I. 9) devient  $\angle S_{41} = -90 - 2 * \tan^{-1}\left(\frac{X}{Z_c}\right)$  et  $|\Gamma| = 1$
- $R \approx Z_c$  alors
  - Si  $X > 0$  (I. 9) devient  $\angle S_{41} = -180 - \tan^{-1}\left(\frac{X}{2Z_c}\right)$
  - Si  $X = 0$  (I. 9) devient  $\angle S_{41} = 0$
  - Si  $X < 0$  (I. 9) devient  $\angle S_{41} = -\tan^{-1}\left(\frac{X}{2Z_c}\right)$
  - Quel que soit la valeur de  $X$ , l'amplitude de  $\Gamma$  sera inférieur à 1.
- $R \gg Z_c$  alors (I. 9) devient  $\angle S_{41} = -90$  et  $|\Gamma| = 1$ .

Des trois cas, le meilleur est celui où  $R \ll Z_c$  car le déphasage est relié uniquement à la partie imaginaire de la charge et l'amplitude de  $\Gamma$  vaut 1, donc les performances en terme pertes d'insertion dépendent uniquement du coupleur 3dB. Le pire est le cas  $R \approx Z_c$ , car la charge exerce une influence conséquente sur les pertes d'insertion et il sera impossible d'avoir un retard de phase en dessous de  $180^\circ$ , ce qui limite les possibilités d'utilisation du RTPS. Le dernier cas pourrait être intéressant au niveau des pertes d'insertion, mais le déphasage fixe limite aussi les possibilités.

Il ressort de cette analyse qu'un RTPS performant passe par une charge avec une partie réelle faible devant l'impédance caractéristique du coupleur 3dB, mais aussi par un coupleur 3dB performant en termes de pertes d'insertion. Quelles sont les charges qui remplissent ces conditions et quels types de coupleur 3dB utiliser en bandes millimétriques ?

#### 1.2.2.4.1. Les charges

Le choix des charges dépend du type de variation (discrète ou continue) mais aussi de la plage de déphasage visée. Dans le cas d'une variation continue, il est indispensable d'utiliser un varactor, car c'est le seul composant passif dont la valeur varie à l'aide d'une commande extérieure. En prenant comme charge un varactor dont la capacité varie de  $C_{min}$  à  $C_{max}$ , le déphasage obtenu est le suivant ( $\omega$  représente la fréquence de travail) :

$$\Delta\varphi = 2\tan^{-1}\left(\frac{1}{\omega C_{min} Z_c}\right) - 2\tan^{-1}\left(\frac{1}{\omega C_{max} Z_c}\right) \quad (I.10)$$

Dans le but d'obtenir un déphasage élevé, il faut qu'il y ait une grande différence entre les parties imaginaires  $X(C_{min})$  et  $X(C_{max})$ . Aux fréquences supérieures à 60 GHz, pour les capacités au-dessus de 100 fF, l'impédance varie très peu, donc des varactors plus petits seront considérés. L'idée pour la suite est de faire une étude théorique permettant d'estimer le déphasage en fonction de  $C_{min}$  et du ratio  $C_{max}/C_{min}$  (appelé *Tuning Range*) aux fréquences 60 GHz, 80 GHz, 100 GHz et 120 GHz. Pour cette étude, une impédance caractéristique  $Z_c = 50 \Omega$  sera considérée.

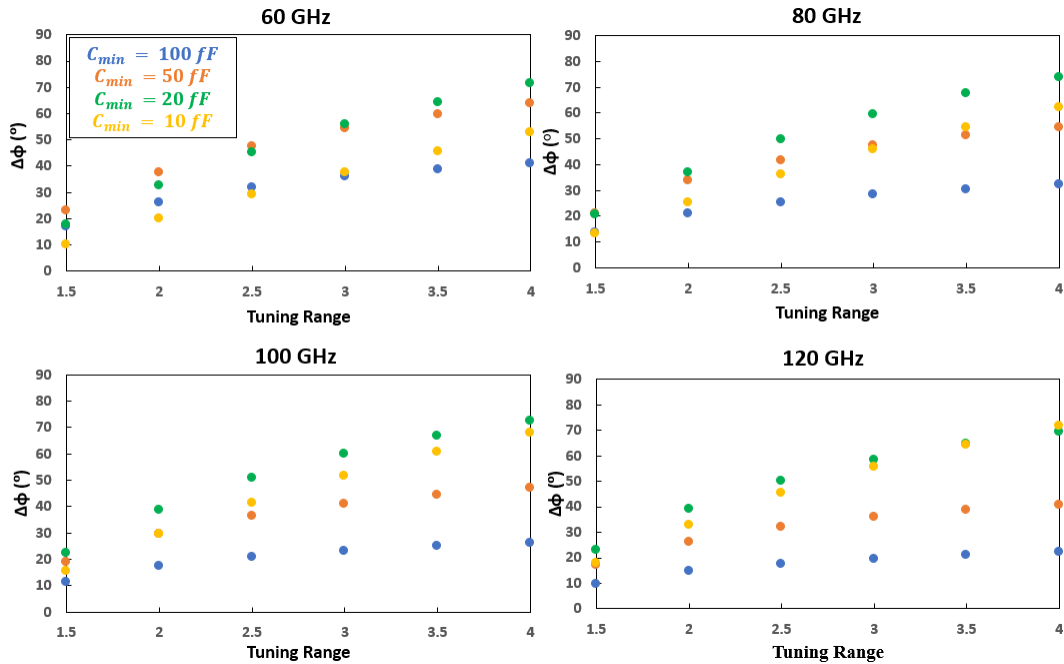


Figure 17 : Etude théorique sur les plages de déphasages possibles d'un RTPS avec un varactor comme charge

La Figure 17 montre les plages de déphasages pour des varactors avec des  $C_{min}$  de 10 fF, 20 fF, 50 fF et 100 fF et des *Tuning Range* allant de 1,5 à 4. Les résultats confirment le constat selon lequel les varactors avec des capacités au-dessous de 100 fF donnent des plages de déphasage plus faible que les varactors en dessous de 100 fF. Globalement, il sera difficile de dire quel varactor donnerait la plus large plage de déphasage car les tendances diffèrent en fonction de la fréquence. A 60 GHz, ce sont les varactors avec des  $C_{min}$  de 50 fF et 20 fF qui sont les meilleurs, ceux avec des  $C_{min}$  de 10 fF étant quasiment au même niveau que ceux de 100 fF. Plus la fréquence augmente, plus la plage de déphasage des varactors avec un  $C_{min}$  de 10 fF augmente tandis que celle des varactors avec un  $C_{min}$  de 50 fF et 100 fF va diminuer. Pour les varactors avec un  $C_{min}$  de 20 fF, il y a une augmentation de la plage de déphasage entre 60 GHz et 80 GHz, puis une diminution après 80 GHz.

Finalement, cette analyse bien que théorique permet d'identifier les valeurs de capacités qui pourraient être utilisées dans le cas d'un design de RTPS aux fréquences millimétriques. Cependant, il est important de préciser les difficultés en technologie silicium d'obtenir des varactors avec un *Tuning Range* supérieur à 3, encore plus aux fréquences supérieures à 100 GHz. Puis, il faut ajouter le problème du facteur de qualité qui se dégrade à ces fréquences, ainsi que la plage de déphasage en dessous de  $90^\circ$  (voir Figure 17). Face à ces limites du varactor, différentes charges ont été mises en place afin d'avoir des plages de déphasages plus larges tout en cherchant à réduire les pertes d'insertion et les variations d'amplitude. Dans la littérature, on trouve des charges LC (série, parallèle), CLC (en PI ou en T), LCL (en PI ou en T), des lignes chargées, etc...

#### 1.2.2.4.2. Le coupleur 3dB

Les coupleurs 3dB peuvent être classés en deux groupes : les coupleurs hybrides et les lignes couplées (voir Figure 18). Les coupleurs hybrides ont une bande passante assez limitée qui les rend inutilisables pour les applications qui exigent une large bande passante. En revanche, les lignes couplées présentent une bande passante beaucoup plus large. Dans le cas idéal, ces coupleurs ont un coefficient de réflexion nul et une isolation infinie entre les ports 1 et 4 [35]. Ces avantages font des lignes couplées les plus utilisées pour les applications aux fréquences millimétriques.

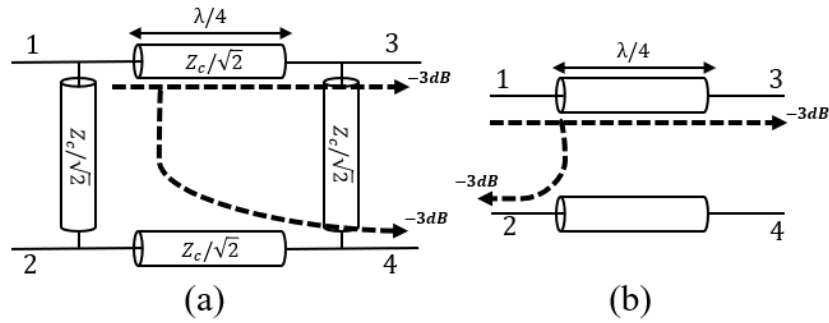


Figure 18 : (a) Coupleur Hybride (b) Lignes couplées

On distingue trois types de coupleurs à lignes couplées : les coupleurs à ondes régressives ou « backward » (voir Figure 18(b)), les coupleurs à onde progressives ou « forward » (les sorties sont les ports 3 et 4) et les coupleurs transdirectionnels (les sorties sont les ports 2 et 4). Dans le cadre d'un RTPS, l'utilisation d'un coupleur transdirectionnel pourrait faciliter la tâche lors du layout, car les deux charges sont connectées sur la même ligne. Cependant, les coupleurs à ondes progressives et transdirectionnels nécessitent des vitesses de phase des modes pair et impair très différentes [36], ce qui est difficilement réalisable avec des lignes de transmission quasi-TEM (microrubans et CPW) utilisées dans les technologies Silicium. Une solution consiste à connecter les deux lignes couplées par des charges capacitives de manière régulière sur toute leur longueur [37], mais cela entraîne des pertes rédhibitoires en bandes millimétriques. Pour finir, les coupleurs à ondes régressives nécessitent une vitesse de phase identique dans les modes pair et impair, ce qui est naturellement réalisable avec des lignes quasi-TEM. Pour cette raison, les lignes couplées à ondes régressives sont les plus utilisés.

La réalisation des coupleurs à ondes régressives reste néanmoins complexe car il faut prendre en compte plusieurs paramètres. En fait, dans les BEOL des technologies de circuits intégrés, il y a plusieurs couches métalliques entourées de dioxyde de Silicium ( $SiO_2$ ). Au-dessus de la dernière couche métallique, souvent utilisée pour les lignes de transmission, on y trouve une couche de Niture de Silicium avec une forte permittivité relative ( $\epsilon_r = 7$ ) pour protéger le BEOL de l'environnement extérieur. La différence de permittivité de part et d'autre de la dernière couche métallique crée des différences au niveau des vitesses de phase des modes pair et impair, ce qui a pour conséquence la dégradation de l'isolation entre les ports 1 et 4. De plus, les règles de fabrication limitent la distance latérale minimum entre les couches métalliques utilisées pour les lignes de transmission, limitant ainsi le couplage électromagnétique entre elles. Pour contourner cette limitation technique, les coupleurs 3 dB sont souvent réalisés à l'aide de couplages verticaux entre rubans (voir Figure 19), l'écart vertical  $h$  étant plus petit que la limite autorisée pour les distances latérales. Cependant, ces coupleurs bien que fonctionnels ont aussi des limites. Cette approche souffre d'un problème de symétrie, puisque le champ électrique au-dessus et en-dessous de chaque ligne est différent. De ce fait, les vitesses de phase des modes pair et impair ne sont pas parfaitement identiques, limitant ainsi l'isolation et l'adaptation. Malgré ces inconvénients, certains auteurs ([38], [39], [40], [41]) ont mis en place des stratégies pour la réalisation de coupleurs à couplages verticaux, pendant que d'autres ([35], [42], [43]) ont utilisé des lignes coplanaires pour réaliser des coupleurs horizontaux. Les résultats de ces travaux sont résumés dans le Tableau 2.

Ces résultats montrent que le type de couplage ne détermine pas la performance d'un coupleur 3dB, c'est un mélange entre le choix des lignes de transmission, le choix de la technologie et aussi la manière de dessiner ces lignes. Pour les coupleurs verticaux, les auteurs de [38] utilisent des lignes coplanaires avec un plan de masse dans une technologie qui permet d'avoir des composants passifs avec un facteur de qualité élevé. Ceux de [39] ont décidé de charger des lignes microrubans par des charges

LCL en T, ce qui permet de réduire la taille du circuit. Pour les coupleurs horizontaux, on a l'utilisation des lignes coplanaires à ondes lentes [35] - [43] ou des lignes microrubans avec une ouverture dans le plan de masse [42].

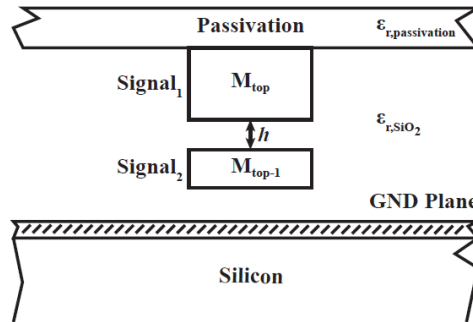


Figure 19 : Coupe transversale de lignes couplées avec un couplage vertical [35]

Tableau 2 : Etat de l'art sur les lignes couplées aux fréquences millimétriques

Réf	Technologie	Type de couplage	Fréquence (GHz)	Direct (dB)	Couplé (dB)	Coef. Réflexion (dB)	Isolation (dB)	Bande Passante 1dB (GHz)	Taille (mm <sup>2</sup> )
[35]	BiCMOS 55nm	Horizontal	120	3,7	3,6	> 25	> 25	110	0,019
[35]	BiCMOS 55nm	Horizontal	185	2,9	3,7	> 15	> 15	80	0,011
[38]	GaAS 35nm	Vertical	270	3,9	4,1	> 13	> 15	51	0,016
[39]	BiCMOS 130nm	Vertical	60	3,9	3,8	> 25	> 25	34	0,075
[40]	BiCMOS 0.35μm	Vertical	75	4	4	> 15	17*	30	-
[41]	SiGe BiCMOS 130nm	Vertical	60	3,5	3,5	-	-	20	-
[42]	CMOS 180nm	Horizontal	40	4,5	4,5	> 13	> 18	20	0,281
[43]	CMOS 65nm	Horizontal	90	3,5	4,4	> 18	-	55	0,11

\* Résultats de simulation

#### 1.2.2.4.3. Synthèse sur les RTPS

Les deux parties précédentes ont permis de mettre en avant le contexte dans lequel doivent être choisies les charges du RTPS ainsi que les différentes techniques pour réaliser un coupleur performant en bandes millimétriques. L'idée de cette partie est de mettre en avant des travaux sur les RTPS.

Globalement dans la littérature, les RTPS sont utilisés pour réaliser un déphasage continue. C'est le cas dans [35] où avec deux LC (ligne microruban plus varactor A-MOS) séries comme charges et le coupleur 3dB du Tableau 2, les auteurs ont obtenu un déphasage continue de 32° entre 50 GHz et 85 GHz pour des pertes d'insertion entre 4,1 dB et 4,9 dB. La figure de mérite de 7 °/dB rappelle encore une fois le problème du facteur de qualité des varactors aux fréquences millimétriques. D'autres travaux sont synthétisés dans le tableau ci-dessous :



Tableau 3 : Etat de l'art des RTPS aux fréquences millimétriques

Réf	Technologie	Charges	$\Delta\varphi$ (°)	Bande passante (GHz)	Pertes d'insertion (dB)	Figure de mérite (°/dB)	Taille (mm <sup>2</sup> )
[35]	BiCMOS 55nm	Ligne + Varactor I-MOS	92	45 - 160	3,3 – 12,7	7,2	0,065
[41]	CMOS 130nm	LC parallèle	156	60	4 – 6,2	25,2	0,33
[44]	BiCMOS 130nm	CLC en Pi	180	60 - 64	4,2 – 7,5	24	0,56
[45]	BiCMOS 130nm	CLC en Pi	180	15 - 27	10	18	0,16
[46]	BiCMOS 130nm	CLC en Pi avec deux varactors et un transformateur	360	62	9,6 – 10,3	35	0,16
[47]	BiCMOS 55nm	LC série	60	30 - 50	5	12	0,18
[48]	SiGe BiCMOS	Double CLC en Pi	206	26,5 – 32,8	4 - 6	34,3	0,64
[49]	CMOS 65nm	CLC en Pi	184,9	25 - 43	5,5 – 10,5	17,6	0,15
[50]	CMOS 65nm	Triple résonance LC	360	27,8 – 31,2	8,1 – 8,5	42,4	0,076

Le Tableau 3 met en avant d'un côté les difficultés des auteurs à réaliser un RTPS avec une large plage de déphasage tout en ayant peu de pertes et de l'autre côté des auteurs [46] - [50] qui ont réussi à avoir un déphasage de 360° avec un très bon facteur de mérite, ainsi qu'une faible variation d'amplitude. Cela a été possible grâce à des coupleurs très performants mais surtout grâce à une charge triple résonance LC qui permet de parcourir tout le cercle trigonométrique. Le contrôle des capacités des différents varactors permet de sélectionner les impédances présentées par la charge pour avoir une amplitude quasi-constante. En revanche, il faut noter que le RTPS de [50] a été réalisé aux alentours de 30 GHz où les varactors ont encore un facteur de qualité au-dessus de 30 en technologie CMOS, cela explique en partie le très bon facteur de mérite qui devrait malheureusement diminuer lorsque la fréquence augmentera. Finalement, le design de RTPS pour avoir un déphasage continu aux fréquences millimétriques repose essentiellement sur les performances du varactor, sur lesquelles on n'a pas d'influence tant elles dépendent de la technologie utilisée.

### I.2.3. Synthèse de l'état de l'art – Problématique

L'état de l'art sur les déphaseurs passifs fait apparaître deux types de déphaseurs : les déphaseurs discrets et les déphaseurs continus. Concernant les déphaseurs discrets, les topologies principales sont les lignes commutées et les filtres commutés. Les déphaseurs à lignes commutées étant limités en nombre de bits, les filtres commutés sont les plus utilisés pour les déphasages discrets. Toutefois, l'utilisation des filtres ne permettant pas d'avoir des déphaseurs large bande, les RTPS (avec des charges utilisant des switches à la place des varactors) qui sont large bande du fait de l'utilisation de coupleur 3dB pourraient être préférés pour réaliser les déphaseurs discrets. Concernant les déphaseurs continus, on a le choix entre les lignes chargées et les RTPS. Les lignes chargées sont les moins utilisées du fait d'un coefficient de réflexion qui augmente très vite avec la variation de la capacité des varactors, conduisant à un compromis déphasage/adaptation. Au niveau des RTPS continus, même si certains auteurs arrivent à avoir un déphasage continu de 360° avec un facteur de mérite supérieur à 30 °/dB (mais à des fréquences maximums de 60 GHz), la dégradation du facteur de qualité des varactors reste un problème majeur pour des designs à des fréquences au-delà de 100 GHz.



En définitive, l'utilisation d'une seule topologie pour réaliser un déphasage de  $360^\circ$  de manière discrète ou continue montre ses limites car chaque topologie a des inconvénients qui sont de plus en plus difficile à gérer lorsque la fréquence augmente. Par conséquent, ne serait-il pas judicieux de faire un mix entre déphaseurs continus et déphaseurs discrets pour réaliser un déphaseur hybride de  $360^\circ$  ? Chercher à répondre à cette problématique constitue l'objet de cette thèse. Cela commence par les choix d'une technologie, d'une fréquence de travail et la proposition d'une architecture à réaliser.

### I.3. Choix de la technologie et architecture proposée

L'état de l'art des déphaseurs passifs a montré des travaux réalisés dans diverses technologies comme les technologies CMOS (Bulk, SOI), BiCMOS, SiGe, GaAs, HEMT, etc...Le but étant de réaliser un déphaseur avec des composants passifs, la taille du BEOL des technologies sera le critère principal. L'idée est d'avoir un BEOL avec plusieurs couches de métaux pour augmenter la distance entre le métal le plus haut (où sont dessinés les composants passifs) et le substrat. Aussi, un BEOL avec des métaux épais permet de réduire les parasites des connexions entre les composants passifs et les composants actifs dans le FEOL (Front-End of Line). Parmi les technologies citées ci-dessus, le choix s'est porté sur la technologie **BiCMOS 55nm (B55)** de STMicroelectronics. L'article [51] détaille les performances de la technologie sur les composants passifs avec des lignes de transmission qui ont des coefficients d'atténuation de 0,5 dB/mm à 60 GHz et des inductances de 100 pH qui ont des facteurs de qualité de l'ordre de 30 à 80 GHz. Ces résultats ont été obtenus avec un BEOL avec 8 couches de métaux. Sachant que la version de la technologie B55 utilisée dans la thèse a un BEOL de 9 couches de métaux [52], on peut s'attendre à de meilleures performances pour les composants passifs qui seront utilisés.

Malheureusement, même avec des composants passifs qui ont aussi peu de pertes, les déphaseurs actifs sont préférés pour les applications en dessous de 100 GHz car leur compromis performance/surface est largement meilleur que celui des déphaseurs passifs. En revanche, pour les fréquences supérieures à 100 GHz, les composants actifs commencent à montrer leurs limites au niveau de la consommation (du fait de la baisse de rendement) et de la linéarité. Aussi, les composants passifs ont des dimensions encore plus réduites, ce qui permet d'avoir des circuits avec une surface acceptable. Dans ces conditions, il a été décidé de travailler à **120 GHz** afin de valoriser les déphaseurs passifs par rapport aux déphaseurs actifs.

La technologie et la fréquence étant choisies, il faut proposer une architecture pour répondre à la problématique de cette thèse, à savoir réaliser un déphaseur passif en faisant un mix entre déphaseurs discrets et continus. Cela signifie mettre en cascade des blocs discrets et un bloc continu qui va relier les états discrets. L'idée de cette topologie est d'avoir une plage de déphasage continu réduite pour limiter l'influence des varactors et donc réduire les pertes d'insertion. Par conséquent, l'architecture proposée est un mix entre un déphaseur discret 4 bits (résolution  $22,5^\circ$ ) et un déphaseur continu de 0 à  $22,5^\circ$ . Le déphaseur discret sera une mise en cascade des blocs de  $22,5^\circ$ ,  $45^\circ$ ,  $90^\circ$  et  $180^\circ$ , tandis que le déphaseur continu sera un RTPS de  $22,5^\circ$ . Avec cette disposition, la plage de déphasage 0 –  $360^\circ$  est divisée en 16 plages de déphasage continue de  $22,5^\circ$ . Chaque plage correspond à l'utilisation du RTPS continu connecter à un ou plusieurs déphaseurs discrets :

Tableau 4 : Organisation des blocs en fonction du déphasage

Plages de déphasage	Déphaseurs discrets				Déphaseur analogique
	22,5°	45°	90°	180°	0 – 22,5°
0 – 22,5°	X	X	X	X	✓
22,5° – 45°	✓	X	X	X	✓
45° – 67,5°	X	✓	X	X	✓
67,5° – 90°	✓	✓	X	X	✓
90° – 112,5°	X	X	✓	X	✓
112,5° – 135°	✓	X	✓	X	✓
135° – 157,5°	X	✓	✓	X	✓
157,5° – 180°	✓	✓	✓	X	✓
180° – 202,5°	X	X	X	✓	✓
202,5° – 225°	✓	X	X	✓	✓
225° – 247,5°	X	✓	X	✓	✓
247,5° – 270°	✓	✓	X	✓	✓
270° – 292,5°	X	X	✓	✓	✓
292,5° – 315°	✓	X	✓	✓	✓
315° – 327,5°	X	✓	✓	✓	✓
327,5° – 360°	✓	✓	✓	✓	✓

X Le bloc est dans un état où il n'y a pas de déphasage    ✓ Le bloc est dans état où il y a déphasage

## I.4. Conclusion du chapitre 1

Ce premier chapitre a servi à expliquer le contexte ayant mené à cette thèse. En ce sens, la présentation des applications en bandes millimétriques a permis d'avoir une vision globale des performances attendues par les chaînes de transmission et réception, donc celles du déphaseur. Par la suite, la bibliographie sur les déphaseurs actifs montre les limites de cette topologie aux fréquences supérieures à 100 GHz et la nécessité d'explorer les topologies passives. L'état de l'art des déphaseurs passifs présente une diversité de solutions permettant de réaliser des déphaseurs discrets ou continus. Chaque type ayant ces avantages et inconvénients, il est convenu de mettre en place un assemblage hybride pour tirer le meilleur de chaque topologie et obtenir des performances supérieures à l'état de l'art. La technologie B55 étant retenue pour cette thèse, il est important d'étudier les composants disponibles et la possibilité de les utiliser pour la réalisation du déphaseur continu de 0 à 360° à 120 GHz.

## Chapitre 2 : Les composants de la technologie B55 pour la réalisation du déphaseur

La technologie B55 a été retenue pour la réalisation du déphaseur à 120 GHz. Cette réalisation passe par une utilisation de composants passifs et actifs réalisés grâce à cette technologie. Dans ce chapitre, des composants du BEOL et du FEOL seront mis avant pour comprendre leurs avantages et leurs inconvénients dans le cadre d'un design en bande millimétrique.

### II.1. Description de la technologie

La technologie B55 est un mélange entre les technologies CMOS et SiGe HBT. Elle bénéficie d'un rétrécissement linéaire de 10% qui permet de passer du nœud technologique initial 65 nm à un nœud technologique 55 nm. Son développement a été réalisé sur des wafers de diamètre 300 mm chez STMicroelectronics. Aujourd'hui c'est une technologie très mature dans laquelle le transistor bipolaire a un couple  $f_T / f_{MAX}$  de 325 GHz et 375 GHz, ce qui offre la possibilité d'avoir des amplificateurs de puissance performants même à des fréquences supérieures à 100 GHz. Pour les transistors NMOS et PMOS, la technologie autorise plusieurs choix en fonction de la tension de seuil  $V_T$  (*high- $V_T$* , *standard- $V_T$*  et *low- $V_T$* ) et de la tension de grille où on distingue les catégories *Low Power* (1.2 V) et *General Purpose* (1 V) [51]. Il est aussi possible avec un oxyde de grille plus épais d'attaquer la grille des transistors CMOS par une tension de 2.5 V. Pour connecter ces composants actifs entre eux ou avec des composants passifs, le B55 offre un BEOL 9ML détaillé ci-dessous :

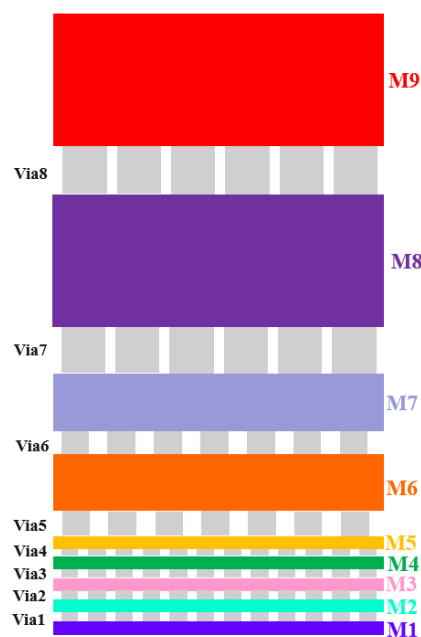


Figure 20 : BEOL 9ML de la technologie B55

Sur la Figure 20, on distingue des métaux de faibles épaisseurs (de M1 à M5), des métaux 5 fois plus épais (M6 et M7) et des métaux 10 fois plus épais (M8 et M9). A la différence d'épaisseur s'ajoute une différence au niveau de la résistivité des différentes couches de métal. En effet, les métaux M8 et M9 sont moins résistifs que les métaux M6 et M7 qui sont encore moins résistifs que les métaux de M1 à M5. De plus, les vias associés aux métaux épais sont tout aussi épais, ce qui permet d'atteindre une distance supérieure à 10  $\mu\text{m}$  entre M1 et M9. Avec cette organisation, la couche de métal M9 est le candidat idéal pour la réalisation des composants passifs tels que les lignes de transmission et

l'inductance. La distance entre M9 et M1 assure des capacités parasites assez faibles (de l'ordre de quelques fF), donc moins de pertes d'insertion pour les passifs. Sachant que le métal M9 a une faible résistivité, les composants passifs auront un facteur de qualité meilleur que ceux exposés dans la partie I.3 avec un BEOL de 8 couches de métaux dont une seule d'épaisseur semblable à M9. En somme, le BEOL 9ML de la technologie B55 remplit les conditions pour réaliser des composants passifs très performants en bande millimétrique.

## II.2. Les composants du FEOL

Dans le FEOL, on trouve plus généralement des composants actifs (transistors) mais aussi quelques composants passifs tels que les résistances en Poly-Silicium, les diodes et les varactors. Les composants FEOL sont intéressants dans le cadre du déphaseur car ils permettent de contrôler la variation de phase. D'ailleurs, dans la partie I.2 où il a été question des différents types de déphaseurs passifs, les composants FEOL permettent d'avoir une variation discrète par un changement d'état (transistors, diodes) ou une variation continue par une variation des paramètres du composant (varactors) en fonction d'une tension continue.

### II.2.1. Les composants pour une variation de phase discrète

#### II.2.1.1. Le transistor MOS

Le transistor MOS est de loin le composant le plus utilisé pour des variations discrètes de phase. La polarisation par la grille facilite son intégration dans un circuit pour une configuration série ou parallèle. D'ailleurs le circuit de polarisation consiste souvent à mettre une résistance de forte valeur juste devant la grille pour réduire au maximum les courants de fuite du drain vers la grille quand le transistor est passant. Aussi il faut ajouter la faible consommation DC qui représente un avantage majeur pour la topologie passive mise en place dans cette thèse.

Le transistor MOS étant utilisé comme un switch, il est indispensable d'avoir un modèle en bandes millimétriques quand le transistor est passant et un autre quand il est bloqué. Le modèle petit signal est représenté sur la Figure 21 (a). Avec un regard juste au niveau du drain et de la source, le modèle peut être simplifié par une mise en parallèle (voir Figure 21 (b)) de la résistance  $R_{ds}$  et une capacité  $C_{eq}$  qui représente toutes les autres capacités représentées sur la Figure 21 (a). En fonction de l'état du transistor il y a une variation de la résistance  $R_{ds}$  tandis que la capacité  $C_{eq}$  conserve le même ordre de grandeur (à quelques fF près). Quand le transistor est passant, il est représenté en grande partie par une résistance  $R_{on} = R_{ds}$  parce que  $R_{ds}$  est plus petit que l'impédance de  $C_{eq}$ . Quand le transistor est bloqué, il est représenté par une capacité  $C_{off} = C_{eq}$  parce que  $R_{ds}$  devient plus grand que l'impédance de  $C_{eq}$ .

Dans le cas d'une configuration série, quand le transistor MOS est passant, les pertes d'insertions doivent être négligeables, donc il faut un  $R_{on}$  faible et quand le transistor est bloqué, l'isolation doit être élevée (au moins 15 dB), donc il faut un  $C_{off}$  faible. Dans le cas d'une configuration parallèle, on a un fonctionnement contraire, à savoir que le switch est en état OFF quand le transistor est passant et en état ON quand le transistor est bloqué. Sachant qu'il faut des pertes d'insertion négligeables et une isolation élevée, cela revient à avoir un  $R_{on}$  faible et un  $C_{off}$  faible. En somme, quel que soit la configuration du MOS, le produit  $R_{on} \cdot C_{off}$  doit être le plus faible possible afin d'avoir un MOS performant pour le déphaseur. Ce produit dépend de la technologie utilisée, pour le B55, le meilleur résultat obtenu est de 150 fs

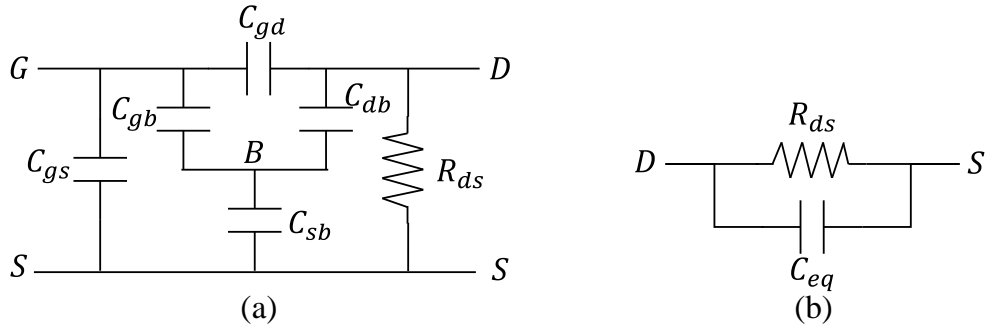


Figure 21: (a) Modèle petit signal d'un transistor MOS. (b) Modèle vu entre le drain et la source

La valeur de produit  $R_{on} \cdot C_{off}$  étant connue, un compromis s'impose car les deux paramètres doivent être les plus faibles possibles. A 120 GHz, en considérant le cas idéal où le MOS est une résistance ou une capacité selon son état, plus une impédance de référence  $Z_0 = 50 \Omega$ , on peut estimer les pertes d'insertions et l'isolation selon la configuration du MOS. Par exemple en configuration série, on pourrait avoir une isolation de 21 dB pour  $C_{off} = 40 \text{ fF}$  et des pertes d'insertion de 0,3 dB pour la résistance correspondante  $R_{on} = 3,75 \Omega$ . Si on veut la même isolation dans une configuration parallèle, il faut un MOS avec  $R_{on} = 2,5 \Omega$ , mais en contrepartie il y a des pertes d'insertion de 3,6 dB avec la capacité correspondante  $C_{off} = 60 \text{ fF}$ . Ce dernier résultat montre qu'en configuration parallèle, la performance du switch est très sensible à la capacité  $C_{off}$  du MOS, car en augmentant sa valeur les pertes augmentent rapidement pour atteindre 6,6 dB pour 100 fF. En réponse à ce problème, une inductance ou une ligne de transmission peut être mise en parallèle avec le MOS pour résonner avec cette capacité afin de réduire son influence et avoir de meilleures performances en termes de pertes d'insertion. Cette technique est très souvent utilisée pour les filtres commutés (Figure 14) où des inductances sont ajoutées en parallèle des MOS en configuration parallèle pour annihiler leur capacité  $C_{off}$ . En restant sur les filtres commutés, les MOS en configuration série doivent aussi être surveillés car quand ils sont bloqués, si leur capacité  $C_{off}$  étant du même ordre de grandeur que les autres capacités du filtre, cela va influencer les résultats de ce dernier et donner un déphasage différent de celui attendu. Sachant que pour une longueur de grille donnée,  $C_{off}$  augmente avec la largeur, il semble judicieux d'utiliser des transistors de petite taille en configuration parallèle. Pour la configuration série, une étude en prenant en compte les paramètres du filtre permettrait de faire un meilleur choix au niveau des dimensions du MOS.

En plus des paramètres  $R_{on}$  et  $C_{off}$ , certains paramètres comme  $R_{off}$  ou la connexion du bulk sont à prendre en compte lors de l'utilisation du MOS. En fait, lorsqu'une inductance est mise en parallèle avec le MOS pour résonner avec  $C_{off}$ , il en résulte une impédance qui est plus élevée que  $R_{off}$ , ainsi c'est cette résistance qui prend le pas quand le MOS est bloqué. Dans ce cas, il faut s'assurer de choisir un MOS où cette résistance est assez élevée pour éviter les pertes en configuration parallèle. Pour la connexion du bulk, trois options sont considérées : la connexion au plan de masse, la connexion à la source ou le laisser flottant. Cette troisième option est mise en pratique en déposant du nitrure de silicium autour du MOS afin de l'isoler du substrat. Le choix de la meilleure option passe par une étude des performances du MOS en termes de pertes d'insertion et d'isolation en fonction de la manière dont le bulk sera connecté. Pour ce faire, des simulations sur le simulateur Spectre de CADENCE ont été réalisées. L'idée est de tracer les pertes d'insertion et l'isolation à 120 GHz en fonction de la largeur d'un MOS de longueur de grille 60 nm avec 10 doigts. Cette étude a été menée pour les configurations série et parallèle.

En configuration série, l'option où le bulk est connecté à la source (en bleu) et celle où il est flottant (en vert) donnent quasiment le même résultat (voir Figure 22). La seule différence entre ces deux cas, c'est la présence ou non de la capacité  $C_{sb}$ . De plus, la forme des courbes *Bulk-Source* et *Bulk-flottant* sur le graphe des pertes d'insertion correspond exactement à la variation de la résistance  $R_{ds}$  en fonction de la largeur de grille, ce qui confirme que lorsque le MOS est passant, il est en grande partie représenté par cette résistance. Le constat est le même pour les deux courbes sur le graphe de l'isolation. Malheureusement, cela traduit que l'égalité  $MOS = C_{off}$  n'est pas une évidence en B55 quand le MOS est bloqué. Puis les faibles valeurs de l'isolation (toutes en dessous de 15 dB) montrent pourquoi la configuration série est rarement privilégiée pour les switches en bande millimétrique. Pour l'option où le bulk est connecté à la masse, le schéma équivalent de la Figure 21 (b) n'est plus valable. Ensuite, les capacités  $C_{sb}$  et  $C_{db}$  n'étant pas négligeables, elles favorisent les fuites vers la masse, ce qui est rédhibitoire en transmission. Résultat, les pertes d'insertion sont plus élevées que les deux autres options et restent relativement constantes (entre 1,9 dB et 2,7 dB) en fonction de la largeur de grille. En revanche l'isolation est meilleure que celle des deux autres options. Malgré cet avantage, la connexion du bulk à la masse reste la pire option car les pertes d'insertions sont beaucoup plus élevées. Aussi, dans un déphaseur à filtre commuté (la topologie où le MOS en série est susceptible d'être utilisée), l'isolation est un critère bien secondaire par rapport aux pertes d'insertion, ce qui accentue le fait qu'il faut éviter la connexion du bulk à la masse. Pour les deux autres, une étude des effets parasites des interconnexions liées au layout est nécessaire pour faire un choix.

En configuration parallèle, la source étant connectée à la masse, seules les options *bulk-source* et *bulk flottant* seront considérées (voir Figure 23). Sur le graphe des pertes d'insertion, il y a une nette différence entre les deux courbes qui s'explique par la capacité  $C_{sb}$ . Quand le Bulk est flottant, les capacités  $C_{sb}$  et  $C_{db}$  sont en série, ce qui diminue la capacité globale vue entre le drain et la source. Cela explique les pertes d'insertion plus faibles quand le bulk est flottant. Pour l'isolation, on retrouve le même comportement constaté sur la configuration série lorsque le MOS est passant à savoir aucune différence entre les deux options. En conclusion, dans une configuration parallèle, il est plus judicieux d'avoir un bulk flottant et le transistor doit être de petite taille pour réduire au maximum les pertes d'insertion.

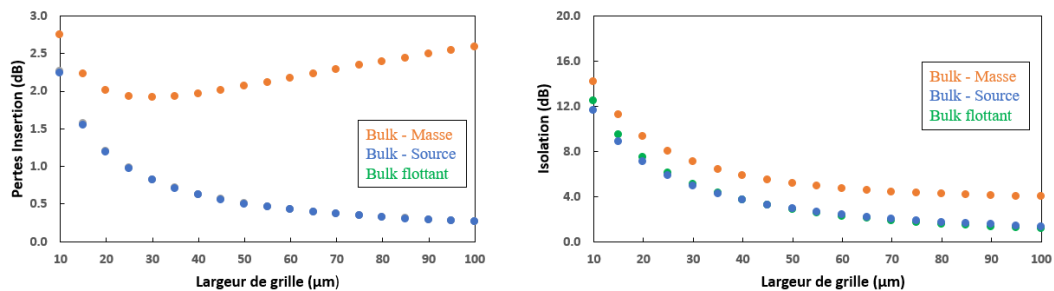


Figure 22 : Résultats de simulation des performances d'un switch MOS en série à 120 GHz

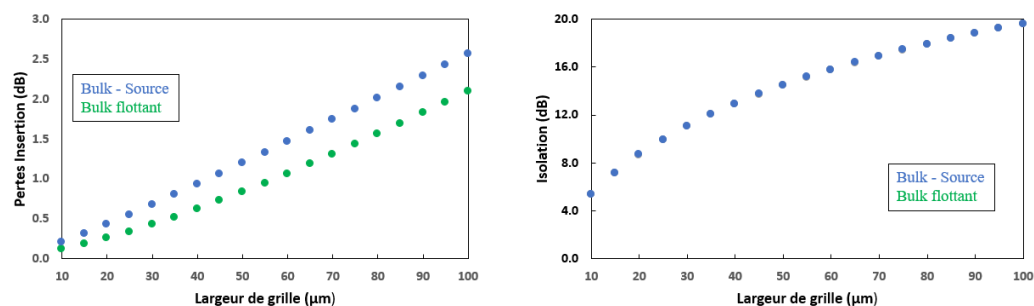


Figure 23 : Résultats de simulation des performances d'un switch MOS en parallèle à 120 GHz

### II.2.1.2. La diode PIN

La diode PIN comme toute diode est une jonction entre deux régions dopées P et N. Dans le cas de la diode PIN, il y a une région I dite intrinsèque très peu dopée qui va être utilisée pour faire le lien entre les régions fortement dopées P et N (Figure 24), d'épaisseur  $W$ .

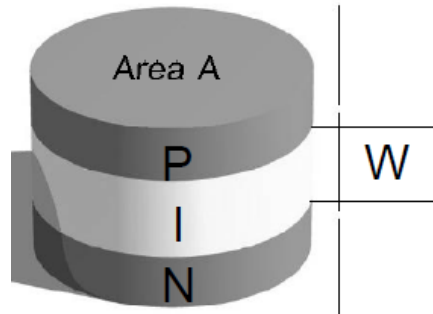


Figure 24 : Schéma d'une diode PIN [53]

Quand la diode est polarisée en directe, les porteurs (électrons et les trous) sont injectés des régions P et N dans la région I. Ensuite, il faut un temps  $\tau$  pour qu'ils se recombinent entre eux et créent une quantité de charge  $Q$  qui dépend du courant de polarisation  $I_F$  [53] :

$$Q = I_F \cdot \tau \quad (II.1)$$

Cette quantité de charge symbolise le fait que le courant rencontre une résistance  $R_S$  lors de son passage de la région P vers la région N. Cette résistance est inversement proportionnelle à  $Q$  et dépend aussi de la largeur  $W$  de la région I ainsi que la mobilité des électrons  $\mu_N$  et des trous  $\mu_P$  :

$$R_S = \frac{W^2}{(\mu_N + \mu_P) \cdot Q} \quad (II.2)$$

La combinaison des équations (II. 1) et (II. 2) permet de relier la résistance  $R_S$  au courant de polarisation  $I_F$  par la relation suivante :

$$R_S = \frac{W^2}{(\mu_N + \mu_P) \cdot I_F \cdot \tau} \quad (II.3)$$

Ainsi il y a un lien entre la résistance de la région I et le courant de polarisation, ce qui fait de la diode PIN une résistance variable quand elle est passante. Néanmoins l'équation (II. 3) n'est valide qu'au-delà de la fréquence du temps de recombinaison ( $f_\tau$ ), car en dessous la diode PIN se comporte comme une diode PN classique dont la résistance dynamique varie en fonction de la fréquence. On arrive à exprimer cette fréquence  $f_\tau$  (en MHz) en fonction de la largeur  $W$  (en  $\mu\text{m}$ ) de la région I :

$$f_\tau = \frac{1300}{W^2} \quad (II.4)$$

En polarisation inverse, la diode PIN se comporte comme un condensateur plan dont la capacité ne varie pas en fonction de la tension inverse entre les régions P et N et s'exprime comme suit :

$$C = \frac{\varepsilon \cdot A}{W} \quad (II.5)$$

$W$ ,  $A$  et  $\varepsilon$  représentent respectivement la largeur de la région I, la surface des régions P et N et la constante diélectrique dans la région I. A l'instar du fonctionnement en polarisation directe, il y a aussi une fréquence minimum à partir de laquelle l'effet diode PIN commence à prédominer. Il s'agit de la



fréquence de relaxation diélectrique, qui correspond à la réponse de relaxation d'un milieu diélectrique à un champ électrique externe. En plus de la capacité s'ajoute une résistance parallèle  $R_p$  qui est proportionnelle à la tension de polarisation et très souvent supérieure à l'impédance de C, ce qui la rend négligeable.

Au niveau de STMicroelectronics, une diode PIN a été développée en B55 pour reproduire le fonctionnement idéal décrit ci-dessus (Figure 25 (a)). L'idée est d'utiliser une architecture horizontale avec l'anode (région P) au centre de deux cathodes (région N) pour réduire la résistance  $R_S$  [54]. L'anode utilise la même implantation P+ que celle utilisée pour la source/drain des transistors MOS en B55, tandis que la cathode utilise l'implantation N+ des transistors HBT. Un espaceur en Polysilicium de largeur  $L_g$  est utilisé pour définir la zone intrinsèque I reliant les régions dopées N et P et faisant la particularité de la PIN, à l'instar d'une grille de transistor. Enfin, pour isoler complètement la diode PIN des autres composants, des tranchées profondes (DTI) sont réalisées sur le pourtour du composant. Le nombre de doigts d'anode peut varier afin de modifier le produit  $R_{on} \cdot C_{off}$  de la diode mais également sa taille en layout.

La Figure 25 (b) montre une vue de dessus d'un layout de diode PIN avec 4 doigts d'anode. Sur cette image, chaque prise d'anode se trouve entre deux prises de cathode comme visible sur la Figure 25 (a). Pour faciliter l'intégration du composant dans un circuit, les prises d'anode et de cathode sont reliées grâce à des interconnexions métalliques.

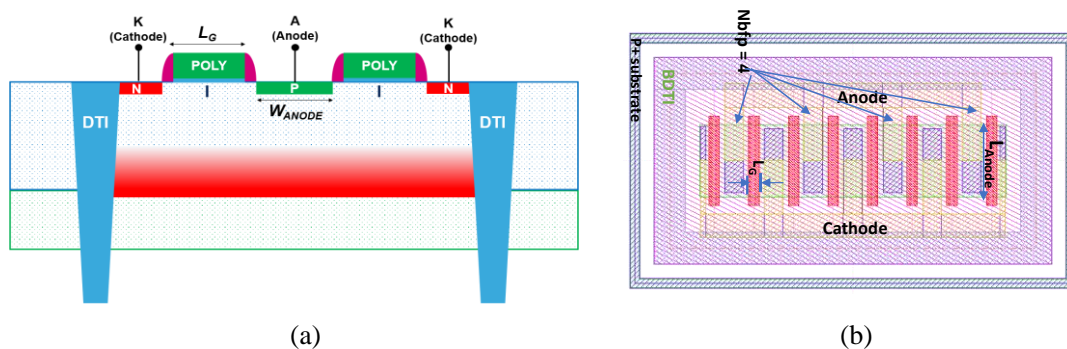


Figure 25 : (a) Architecture en coupe de la diode PIN développée en B55 chez STMicroelectronics [54]. (b) Vue de dessus d'un layout d'une diode PIN avec 4 doigts d'anode.

Dans [54], des mesures ont été réalisées sur une diode PIN ( $L_G = 180 \text{ nm}$ ) afin d'extraire la résistance  $R_S$  en polarisation directe et la capacité C en polarisation indirecte en considérant un courant de polarisation directe est de 8mA et une tension inverse de -4 V. l'extraction de  $R_S$  et C a été réalisé à partir des paramètres [S] et les résultats tracés en fonction de la fréquence. La Figure 26 montre la résistance  $R_S$  ( $R_{on}$  sur la figure) qui décroît jusqu'à  $f_r = 10 \text{ GHz}$  (Zone fréquentielle de comportement similaire à un diode PN) où elle devient stable et reste constante jusqu'à 67GHz (zone fréquentielle de comportement PIN). Le constat est le même pour la capacité C ( $C_{off}$  sur la figure), mais la fréquence de relaxation électrique est plus petite que la fréquence  $f_r$ . Le produit  $R_{on} \cdot C_{off}$  résultant est de 85 fs, ce qui est largement inférieur aux 150 fs du MOS en B55. Ce résultat montre que la diode PIN malgré la consommation de courant pourrait être une solution intéressante en tant que switch en bande millimétrique. A l'instar de l'étude menée sur les transistors, il est important d'avoir un modèle électrique de la diode PIN en fonction du type de polarisation. En polarisation directe (Figure 27 (a)), la diode PIN est une résistance variable en série avec une inductance qui représente les inductances parasites des connexions entre le FEOL et le BEOL. Du côté de la cathode, on trouve une diode PN équivalente des jonctions PN entre les prises de cathode et le substrat. En polarisation indirecte (Figure



27 (b)), la diode PIN est modélisée par une capacité  $C_{OFF}$  qui regroupe sa capacité intrinsèque et les capacités parasites ajoutées par la connexion entre la FEOL et le BEOL. Il s'ajoute en série une résistance équivalente des résistances de contact au niveau des deux électrodes, aussi des résistances issues du BEOL. La diode substrat PN est toujours présente en parallèle du côté de la cathode.

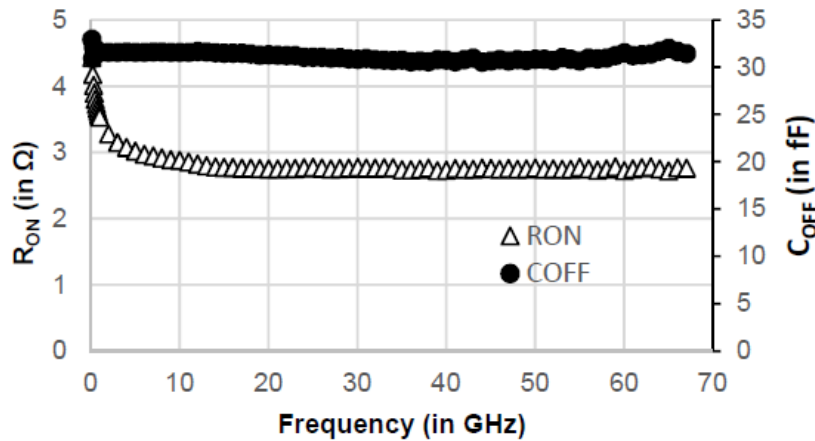


Figure 26 :  $R_{on}$  (8 mA) et  $C_{off}$  (-4 V) de la diode PIN en fonction de la fréquence [54]

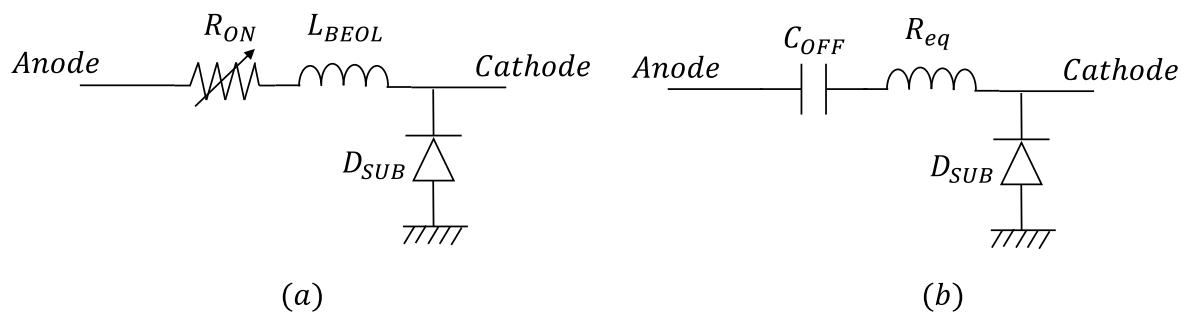


Figure 27: Modèle électrique de la diode PIN en (a) polarisation directe et en (b) polarisation indirecte

En tant que switch, la diode peut être utilisée en configuration série comme parallèle (voir Figure 28). Contrairement au transistor MOS, il est important d'avoir un circuit de polarisation pour contrôler la circulation du courant DC. Ce circuit est constitué d'une inductance et d'une capacité en parallèle connectée à la masse. Etant en parallèle par rapport au chemin RF, le circuit de polarisation doit présenter une haute impédance à la fréquence de travail. La solution serait de chercher un couple (inductance, capacité) qui remplit cette condition, mais une solution plus simple consiste à remplacer l'inductance par une ligne de transmission  $\lambda/4$  et s'assurer que la capacité au bout de la ligne ait une faible impédance à 120 GHz. L'idée est d'utiliser la propriété des lignes de transmission  $\lambda/4$  qui permet de présenter en entrée l'inverse de l'impédance qui se trouve au bout de la ligne. L'autre contrainte avec la diode PIN concerne l'utilisation d'une capacité dite de liaison (DCB sur la Figure 28) pour forcer le courant DC à aller vers la diode pour la polarisation directe. Sachant qu'elle se trouve sur le chemin du signal RF, il faut qu'elle soit très grande pour éviter les pertes d'insertion.

Finalement, la diode PIN ne semble pas avoir un net avantage sur les transistors malgré un produit  $R_{on} \cdot C_{off}$  plus faible, car le circuit de polarisation et la capacité de liaison sont des sources de pertes non négligeables à 120 GHz. Néanmoins, la diode PIN a une résistance variable et aussi une capacité qui varie de quelques fF quand la tension de polarisation inverse est proche de 0V, ce qui n'est pas négligeable à la fréquence de travail. En conclusion, la diode PIN pourrait être utilisée pour un réglage fin pour améliorer la précision de phase et les variations d'amplitude d'un déphaseur discret.

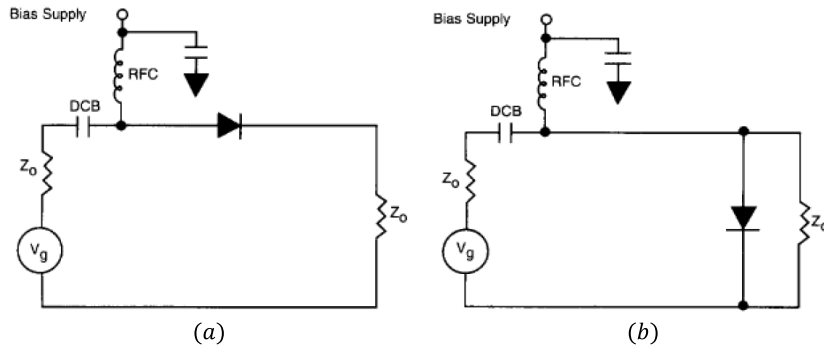


Figure 28 : Schéma de switch à base de diode PIN en (a) série et en (b) parallèle [68]

## II.2.2. Les composants pour une variation continue de la phase

La variation continue de la phase requiert des composants dont les paramètres électriques vont varier grâce à une commande extérieure continue. En technologie Silicium, seul le varactor offre cette possibilité car sa capacité varie en fonction de la différence de potentiel entre ses bornes. La diode PIN pourrait être citée également car sa capacité peut varier de quelques fF en polarisation inverse, mais la plage de phase qui en résulte (en dessous de  $10^\circ$ ) est trop faible. Par conséquent, cette partie sera consacrée aux différents types de varactors en B55 et à la manière d'utiliser pour avoir un déphaseur continu performant à 120 GHz.

Le varactor est défini par deux figures de mérites fondamentales : son ratio  $C_{max}/C_{min}$  (appelé *Tuning Range*) et son facteur de qualité  $Q$ . Un fort *Tuning Range* et un haut facteur  $Q$  seraient l'idéal pour les applications en bande millimétrique. Cependant, le *Tuning Range* a une valeur maximale qui dépend de la technologie (et du type de varactor utilisé) et le facteur  $Q$  décroît avec la fréquence. Il y a donc un compromis à faire entre avoir une large plage de déphasage, c'est-à-dire un varactor avec un fort *Tuning Range* et réduire les pertes d'insertion, c'est-à-dire un varactor avec un facteur  $Q$  élevé. Malheureusement, en B55 et surtout aux fréquences aussi hautes que 120 GHz, ce compromis est très difficile voire impossible à trouver. C'est pourquoi la plage de déphasage du bloc continue a été réduite à  $22,5^\circ$  alors que l'objectif de la thèse est d'avoir une variation de phase continue entre 0 et  $360^\circ$ . Ainsi, le facteur  $Q$  devient le critère le plus important pour le choix du varactor.

### II.2.2.1. Varactors à base de jonction PN

Dans le cadre d'une utilisation en tant que varactor, la jonction PN est utilisée uniquement en polarisation inverse. En effet, quand le varactor diode est polarisé en inverse, sa largeur de la zone de charge d'espace s'agrandit et les porteurs majoritaires (trous et électrons) n'ont pas assez d'énergie pour sauter la barrière de potentiel, ce qui donne un courant quasi-nul. Il se crée un diélectrique entre les zones P et N et donc une capacité qui s'exprime comme suit :

$$C_{eq} = \frac{C_0}{\sqrt{1 - \frac{V_{CA}}{V_T}}} \quad (II.6)$$

$V_{CA}$ ,  $V_T$  et  $C_0$  représentent respectivement la tension de polarisation entre cathode et anode, la tension de seuil et la capacité lorsque  $V_{CA} = 0 V$ . Avec cette formule, la capacité  $C_{eq}$  est tracée en fonction de la tension  $V_{CA}$  sur la Figure 29 (b). La capacité varie énormément lorsque  $V_{CA}$  se rapproche de  $V_T$ , ce qui s'explique par des courants de fuite qui sont non négligeables vu que l'on est à la frontière entre un fonctionnement en mode bloqué ou passant de la jonction PN. Ce phénomène a pour conséquence de diminuer considérablement le facteur de qualité du varactor diode. Ainsi, il est préférable de s'éloigner

de la tension  $V_T$  pour diminuer les courants de fuite et donc avoir un facteur de qualité acceptable. Néanmoins, la pente de la courbe pour des valeurs de  $V_{CA} \gg V_T$  montre que ce type de varactor a un *Tuning Range* assez faible, ce qui le rend très peu populaire pour un déphaseur continue. En B55, sa valeur est en dessous de 2.

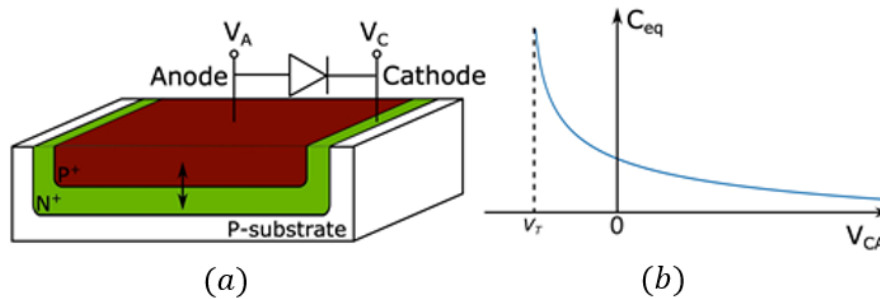


Figure 29 : (a) Vue en coupe d'une jonction PN. (b) Evolution de la capacité en fonction de la tension de polarisation  $V_{CA}$  [35]

### II.2.2.2. Varactors à base de MOS

Le passage d'un transistor MOS à un varactor est réalisé en reliant le drain, la source et le bulk et en supprimant la couche de sous la grille (P pour un NMOS et N pour un PMOS) (Figure 30).

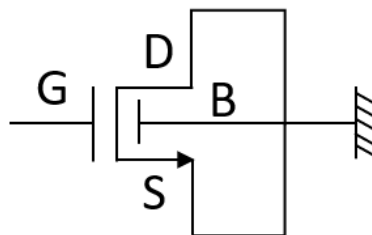


Figure 30 : Symbole d'un transistor NMOS avec le drain, la source et le bulk connectés.

Selon le schéma petit signal de la Figure 21 (a), il se crée une capacité équivalente regroupant les capacités  $C_{gs}$ ,  $C_{gd}$  et  $C_{gb}$ . En fonction du potentiel appliqué sur la grille, 2 zones de fonctionnement se distinguent :

- La zone d'accumulation : Elle correspond à un fonctionnement où la tension  $V_{BG}$  est positive et suffisamment élevée ( $V_{BG} > V_{th}$ ,  $V_{th}$  étant la tension de seuil) pour permettre aux porteurs de charge de se déplacer librement. La capacité équivalente augmente avec  $V_{BG}$  jusqu'à atteindre une valeur maximale  $C_{ox}$  qui représente la capacité de l'oxyde de grille.
- La zone de déplétion : Elle correspond à un fonctionnement où la tension  $V_{BG}$  est en dessous de  $V_{th}$  et bascule vers les valeurs négatives. Ainsi, des charges positives supplémentaires sont induites dans le semi-conducteur et vont se recombiner avec les charges négatives déjà présentes, donc réduire le nombre de porteurs libres. La capacité équivalente diminue avec  $V_{BG}$  jusqu'à atteindre une valeur minimale  $C_{min}$  qui représente la mise en série de la capacité de cette zone avec la capacité d'oxyde.

Connaissant ces 2 zones de fonctionnement, des varactors en accumulation (A-MOS) ou en inversion (I-MOS) sont réalisés.

Pour faire un varactor A-MOS de type N (Figure 31 (a)), le drain et la source fortement dopés N (N+) sont plongés dans une zone active moins dopée N (N-). L'évolution de la capacité en fonction de la tension  $V_{G,DS}$  est représenté sur la Figure 31 (b). Sur cette courbe, la zone linéaire a une pente assez élevée, ce qui promet un *Tuning Range* plus élevé que celui d'un varactor diode. Pour ce qui est du facteur Q, il faut prendre en compte les résistances au niveau du FEOL (résistance de grille, résistance des caissons) mais aussi les résistances d'interconnexions dues au BEOL.

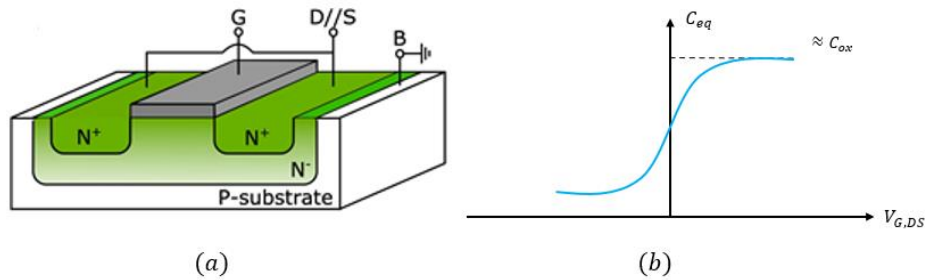


Figure 31 : (a) Varactor A-MOS (b) Evolution de la capacité en fonction de  $V_{G,DS}$  [35]

Le varactor I-MOS de type N (Figure 32 (a)) est réalisé en injectant des trous dans le canal. Le drain et la source (toujours dopés N+) sont plongés dans une zone active dopée P+. La forme de la courbe (Figure 32 (b)) de la capacité en fonction de la tension  $V_{G,DS}$  est différente de celle du varactor A-MOS, mais globalement le *Tuning Range* reste le même pour les deux types de varactor.

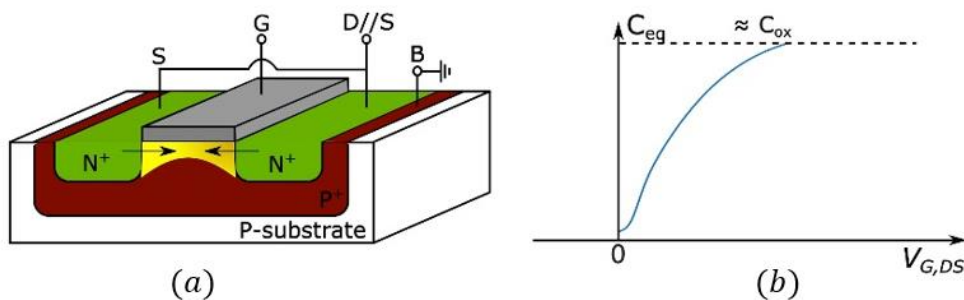


Figure 32 : (a) varactor I-MOS. (b) Evolution de la capacité en fonction de  $V_{G,DS}$  [35]

Dans [35], une étude a été menée sur le facteur Q des deux types de varactors pour les fréquences : 50 GHz, 100 GHz, 150 GHz, 200 GHz et 250 GHz. Il en ressort que le facteur Q du varactor A-MOS est meilleur pour les fréquences en dessous de 50 GHz tandis que celui du varactor I-MOS est meilleur pour les fréquences au-dessus de 150 GHz. Entre les deux fréquences, il est difficile d'établir une hiérarchie claire par rapport au facteur Q. Ainsi, pour le choix du varactor pour le déphaseur continu à 120 GHz se fera selon d'autres critères que ceux du facteur Q et du *Tuning Range*.

### II.3. Les composants passifs du BEOL

L'objectif de la thèse étant de réaliser un déphaseur passif, il est indispensable d'avoir des composants passifs performants. D'après l'état de l'art sur les déphaseurs passifs, des inductances, des lignes de transmissions, des capacités (MOM, MIM et planaires) sont nécessaires.

Les inductances et les lignes de transmission sont utilisées pour les mêmes raisons dans un déphaseur passif, donc un choix s'impose. A 120 GHz, les lignes de transmission ont des dimensions plus réduites et ont surtout un meilleur facteur de qualité que les inductances. Aussi, les inductances ont

une fréquence de résonance qui limite la valeur que l'on peut utiliser à 120 GHz. Pour les raisons ci-dessus, nous allons donc nous concentrer sur l'utilisation de ces dernières. Ainsi, dans cette partie, seules les lignes de transmission seront abordées en détail.

### II.3.1. Les lignes de transmission

Les lignes de transmission sont réalisées en bande millimétrique avec des lignes microrubans ou des lignes coplanaires.

#### II.3.1.1. Les lignes microrubans

Elles sont composées d'un conducteur et d'un plan de masse séparés par un diélectrique. En technologie Silicium, et plus précisément en B55, le conducteur est placé sur la couche de métal la plus haute du BEOL (M9) et le plan de masse sur la couche la plus basse (M1). L'objectif est d'avoir la plus grande distance possible entre le conducteur et le plan de masse pour réduire les capacités parasites. Pour réduire les pertes liées aux courants de Foucault, les couches M1 et M2 sont empilées (et reliées par des vias) pour réaliser le plan de masse (voir Figure 33). Puis, sur les côtés, se trouve aussi un empilement des couches de M3 à M8 pour créer des murs latéraux et ainsi assurer un isolement de la ligne par rapport à son environnement proche.

Le recours à un plan de masse métallique sous la ligne microruban permet de s'affranchir des pertes additionnelles liées à la présence du substrat silicium dont la résistivité est souvent faible dans les technologies Silicium. Dans le cas du B55, le substrat a une résistivité de l'ordre de 15  $\Omega$ .cm.

Pour ajuster l'impédance caractéristique de la ligne, la distance entre le conducteur et le plan de masse étant fixe, tout comme la permittivité équivalente des couches de diélectrique entre M9 et M2, le seul degré de liberté restant est la largeur du conducteur. En B55, il est possible d'avoir des impédances caractéristiques entre 40  $\Omega$  et 80  $\Omega$  en fonction des largeurs de lignes dessinables selon les règles de dessin autorisées, une plage largement suffisante pour les besoins des déphaseurs passifs.

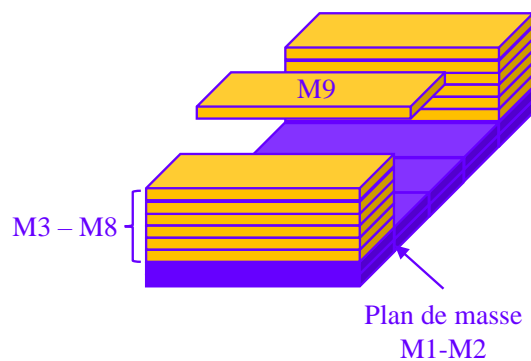


Figure 33 : Vue 3D d'une ligne microruban en B55

#### II.3.1.2. Les lignes coplanaires

A la différence des lignes microrubans, le plan de masse des lignes coplanaires se trouve sur la même couche de métal que le conducteur (Figure 34). En dessous du conducteur, il n'y a que le diélectrique, suivi du substrat de silicium dans notre cas. Ce type de ligne permet d'atteindre de meilleures performances qu'une ligne microruban quand on a un substrat haute résistivité, ce qui n'est pas le cas du B55.

L'impédance caractéristique peut être ajustée en contrôlant les paramètres géométriques indiqués sur la Figure 34. En B55, il est possible d'obtenir la même plage d'impédance caractéristique que celle des lignes microrubans. L'utilisation des lignes coplanaires dans un circuit impose cependant une contrainte car il faut soit faire le choix de ne pas utiliser de plan de masse, ce qui serait difficile à mettre en place pour d'autres composants, soit accepter d'avoir un plan de masse en dehors de ces lignes, mais il faut le connecter aux rubans de masse, ce qui va ajouter des pertes d'insertion. La compacité d'une ligne coplanaire reste moindre par rapport à une ligne microruban, du fait de la présence de plans de masse latéraux et d'un espacement entre masses et lignes pouvant être conséquent.

Enfin, il semble préférable d'utiliser des lignes microrubans qui en plus d'être plus compactes et insensibles au substrat, disposent d'un plan de masse sous tout le composant, ce qui garantit une meilleure gestion de la circulation des courants et de la masse à l'échelle du circuit. Néanmoins, dans un circuit avec des signaux différentiels, les lignes coplanaires pourraient être mises en avant parce que l'utilisation d'un ruban de masse entre les deux conducteurs permet de les isoler correctement et d'éviter les couplages.

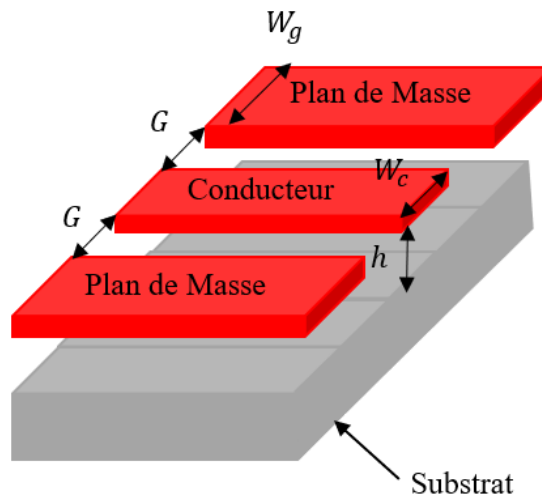


Figure 34 : Vue 3D d'une ligne coplanaire

### II.3.1.3. Les lignes à ondes lentes

Les dimensions des lignes de transmission réduisent avec la montée en fréquence, mais la surface qu'elles utilisent reste toujours très supérieure à celle des composants actifs. Par exemple, en B55, une ligne microruban  $\lambda/4$  a une longueur physique supérieure à  $350 \mu\text{m}$  à 120 GHz. Étant donné l'importance de ce type de ligne dans un circuit à base de passifs, il est important de trouver un moyen de réduire les dimensions physiques pour une longueur électrique donnée. La solution la plus utilisée consiste à méandrer les lignes pour réduire leur longueur physique. Malheureusement, cette solution montre son efficacité seulement pour les petites largeurs de ligne (en dessous de  $5 \mu\text{m}$ ). Au-dessus, il existe des risques de couplage si les bouts de ligne ne sont pas assez espacés, et finalement la surface utilisée par la ligne n'est pas vraiment réduite.

L'autre solution est d'utiliser des lignes à ondes lentes. Leur principe repose sur une augmentation de la permittivité relative qui correspond à une diminution de la vitesse de phase de l'onde électromagnétique. Sachant que la vitesse de phase est proportionnelle à la longueur électrique (II. 7), une ligne à ondes lentes aura une longueur physique plus petite qu'une ligne microruban ou coplanaire pour la même longueur électrique. Dans (II. 7),  $\omega$ ,  $\beta$ ,  $\theta$  et  $l$  représentent respectivement la pulsation, la constante de phase, la longueur électrique et la longueur physique.

$$v_{\varphi} = \frac{\omega}{\beta} = \frac{\omega l}{\theta} \quad (II.7)$$

Cette diminution de la vitesse de phase permet aussi d'améliorer le facteur de qualité, sachant qu'il est proportionnel à la constante de phase qui elle augmente :

$$Q = \frac{\beta}{2\alpha} \quad (II.8)$$

La création de l'effet ondes lentes consiste à insérer des bandes flottantes perpendiculaires à la direction de propagation entre le conducteur et le substrat (Figure 35). En effet, ces bandes vont permettre de confiner le champ électrique entre les barreaux et le conducteur, d'où l'augmentation de la permittivité relative. Les paramètres géométriques des barreaux sur la Figure 35 jouent un rôle aussi important que ceux du conducteur de la ligne dans son dimensionnement. Leur résistance doit être prise en compte et l'espacement entre eux influence la capacité linéique de la ligne.

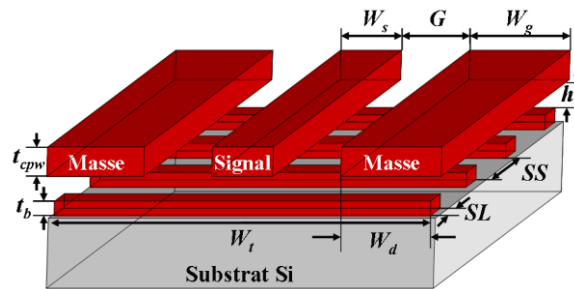


Figure 35 : Vue 3D d'une ligne coplanaire à ondes lentes [55]

La réalisation de ce type de ligne a été l'objet de la thèse [55]. L'auteur a fait une comparaison avec une ligne microruban en technologie CMOS 45 nm. En prenant deux lignes avec une impédance caractéristique de 30  $\Omega$ , il a montré que les pertes linéiques à 60 GHz sont de 1.1 dB/mm pour la ligne microruban et 2,2 dB/mm pour la ligne coplanaire à ondes lentes. En revanche, le facteur de qualité de cette dernière (18 à 60 GHz) est meilleur que celui de la ligne microruban (10 à 60 GHz), ce qui s'explique par une énorme différence au niveau de la permittivité relative. Dans [35], l'auteur a utilisé ces lignes pour réaliser le coupleur 3dB utilisé pour les déphaseurs RTPS de sa thèse. Les performances présentées dans la partie I.2.2.4.2 montrent encore une fois la plus-value de l'effet ondes lentes sur les lignes de transmission.

### II.3.2. Les capacités

Les capacités sont incontournables pour le design de circuits en bande millimétrique. Elles peuvent être utilisées pour le découplage des tensions d'alimentation, pour séparer les signaux DC et RF quand ils se trouvent sur le même chemin ou encore dans des étages d'adaptation d'impédance. Pour les déphaseurs passifs, le besoin se trouve essentiellement sur les circuits de polarisation des actifs. Même pour les topologies telles que les filtres commutés, les valeurs de capacités nécessaires sont tellement faibles à 120 GHz (de l'ordre de 10 fF) que le concepteur préfère souvent utiliser les capacités parasites natives des autres passifs pour les remplacer. Leur rôle n'en reste pas moins important car les capacités dans les circuits de polarisation sont souvent utilisées pour créer un court-circuit pour le signal RF.

En B55, comme dans toute technologie Silicium, il existe des capacités MOM, des capacités MIM et des capacités dites « plate » (Figure 36). Les capacités MOM et MIM ont une grande densité (3 fF/ $\mu\text{m}^2$  pour les MOM et 5 fF/ $\mu\text{m}^2$ ), ce qui permet de réaliser des grandes valeurs de capacité (de



l'ordre de quelques pF) en utilisant des surfaces raisonnables. Cependant, pour les capacités MOM, la connexion interdigitée des doigts augmente l'inductance série, ce qui réduit la fréquence de résonance. Ainsi, avoir des capacités MOM entre 500 fF et 1 pF (l'ordre de grandeur des capacités pour des circuits de polarisation performants pour des fréquences au-dessus de 100 GHz) à 120 GHz revient à utiliser une petite capacité et jouer sur l'effet inductif des doigts interdigités. Cette méthode est limitée car la fréquence de résonance est proche de 120 GHz : cela signifie que la capacité est utilisée dans une zone où sa valeur n'est pas stable, avec le risque qu'elle devienne une inductance. Pour les capacités MIM, un problème de facteur de qualité peut apparaître car le métal « BOTMIM » sur la Figure 36 (b) est très résistif. En somme, à 120 GHz, ces deux types de capacité ne semblent pas être des solutions optimales malgré leur forte densité. Le capacité « plate » de la Figure 36 (c) n'est pas non plus utilisable car sa surface sera trop importante à cause de sa faible densité de 0,39 fF/ $\mu\text{m}^2$ . Finalement, la réalisation de capacités à 120 GHz s'avère plus complexe qu'un simple dimensionnement avec des modèles déjà disponibles mais peu adaptés à une utilisation à des fréquences supérieures à 100GHz.

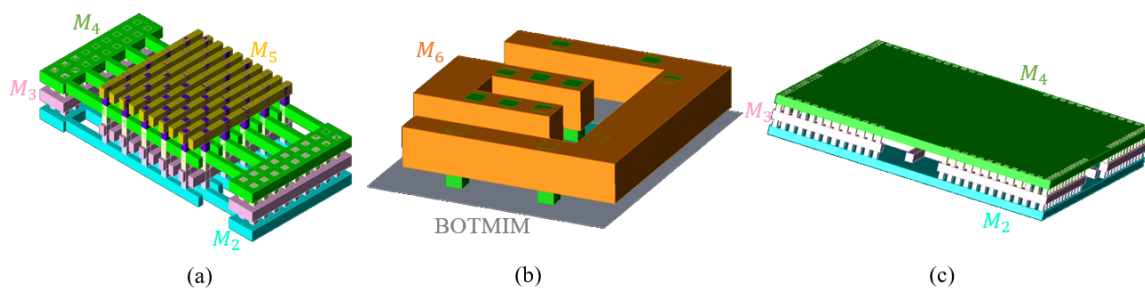


Figure 36 : Les capacités (a) MOM (b) MIM et (c) "plate" en B55

## II.4. Conclusion du chapitre 2

Le chapitre 2 a permis de faire le lien entre les composants de la technologie B55 et leur possible utilisation pour la réalisation du déphaseur continu 0 – 360°. Malgré l'orientation passive du déphaseur, les composants actifs restent indispensables pour le contrôle discret ou continu de la phase. Pour le déphasage discret, il y a le choix entre le transistor MOS et la diode PIN alors que le varactor est la seule option pour le déphasage continu.

Le transistor MOS en tant que switch a l'avantage d'être facile à polariser, donc facile à utiliser dans une configuration série ou parallèle. Son utilisation en configuration série requiert une connexion Bulk-Source ou un Bulk flottant et dans l'autre configuration, garder le Bulk flottant permet de réduire au maximum les pertes d'insertion.

La diode PIN avec un produit  $R_{on} \cdot C_{off}$  plus faible a le potentiel d'être plus performant que le transistor MOS. Cependant, sa polarisation complexifie son insertion dans les différentes topologies présentées dans le chapitre 1, surtout quand elle doit être utilisée en configuration série. Le composant étant encore en développement, cette thèse sert aussi à explorer différentes pistes afin d'améliorer son apport en tant que switch en bandes millimétriques.

Les différents types de varactor présentés dans ce chapitre offrent une diversité de choix pour le bloc continu qui doit relier les phases des blocs discrets. S'ils présentent des *Tuning Range* différents, les varactors à base de jonction PN ou de MOS ont le même inconvénient du facteur Q qui se dégrade en bandes millimétriques. Cela représente le défi majeur du bloc continu dont les solutions pour y remédier seront présentées dans le chapitre 3.



La fin du chapitre porte sur les composants passifs du BEOL qui sont tout aussi importants pour les déphaseurs que les composants du FEOL. A 120 GHz, les lignes de transmission sont préférées aux inductances parce qu'elles ont un meilleur facteur de qualité et des dimensions réduites. Ensuite, la ligne microruban se démarque des autres types de lignes par son plan de masse qui réduit les pertes du substrat et facilite son intégration dans un circuit. Quant aux capacités, on retient qu'une nouvelle topologie doit être trouvée pour obtenir les valeurs de capacités entre 500 fF et 1 pF, une fréquence de coupure supérieure à 120 GHz et une surface facilitant son intégration pour la polarisation des composants du FEOL.

## Chapitre 3 : Les différents blocs du déphaseur

A la fin du chapitre 1, l'architecture du déphaseur a été présentée. L'idée de la thèse est de réaliser une « hybridation » entre un déphaseur discret 4 bits (résolution de  $22,5^\circ$ ) et un déphaseur continu d'une plage de  $22,5^\circ$  pour relier les états de phase discrets. Dans ce chapitre seront décrits les blocs discrets de  $22,5^\circ$ ,  $45^\circ$ ,  $90^\circ$  et  $180^\circ$  ainsi que le bloc continu. Cette description consiste à présenter les topologies possibles pour chaque bloc, puis d'explicitier les critères de choix ayant permis de sélectionner celle qui permet d'avoir les meilleures performances globales. La réalisation de chaque topologie est expliquée en détails en passant par le choix des composants, leur dimensionnement, les simulations électriques, les simulations électromagnétiques, le layout et les résultats de mesure.

### III.1. Le bloc discret $22,5^\circ$

C'est le plus petit des blocs discrets, mais son importance est capitale car il est utilisé une fois sur deux pour le déphasage continu entre 0 et  $360^\circ$  (Tableau 4). De ce fait, toute défaillance sur ce bloc se fera ressentir sur les résultats du déphaseur final. Etant un bloc 1 bit, donc deux états, l'idéal serait d'avoir  $0^\circ$  de déphasage dans un état dit de référence et  $22,5^\circ$  dans l'autre état, mais avec les interconnexions et les parasites de chaque composant, avoir  $0^\circ$  de déphasage à 120 GHz est impossible. Ainsi, dans cette thèse, on assume d'avoir un déphasage dans l'état de référence et la différence de phase avec l'autre état doit donner  $22,5^\circ$ .

#### III.1.1. Choix de la topologie

D'après l'état de l'art sur les déphaseurs discrets, les lignes commutées, les filtres commutés, les lignes chargées et même le RTPS sont des candidats pour le bloc discret  $22,5^\circ$ . Le choix de la bonne topologie pour le bloc discret  $22,5^\circ$  repose sur les critères suivants : la précision de phase, les pertes d'insertion et la capacité d'avoir des amplitudes équivalentes dans chaque état afin d'éviter les problèmes « d'imbalance ». La précision de phase ne permet pas de différencier les topologies car elle dépend essentiellement du composant actif utilisé. En revanche pour les pertes d'insertion, on peut écarter les lignes commutées à cause des switches SPDT, de même que le RTPS du fait des pertes du coupleur. Les lignes chargées pourraient être intéressantes si l'on trouve un composant actif avec un faible produit  $R_{on} \cdot C_{off}$  pour avoir une bonne adaptation d'impédance. La diode PIN pourrait être ce composant mais avec l'obligation d'utiliser des capacités de liaison pour la polarisation, le problème des pertes d'insertion s'ajoute au problème de l'adaptation d'impédance. Finalement, le filtre commuté semble le mieux indiqué pour les faibles déphasages. Pour un déphasage de  $22,5^\circ$ , un filtre du 1<sup>er</sup> ordre ou une simple ligne de transmission, sont suffisants. Nous avons choisi d'utiliser une ligne de transmission, pour sa simplicité et ses pertes réduites. Sur la Figure 37, le chemin RF en fonction de l'état du switch est indiqué.

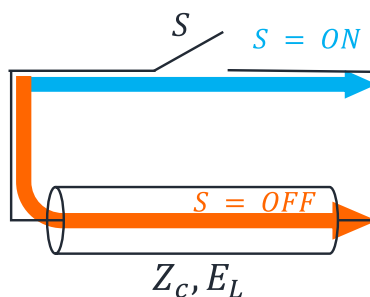


Figure 37: Schéma électrique du bloc discret  $22,5^\circ$

La réalisation du circuit consiste à choisir le composant actif pour le switch et dimensionner la ligne de transmission pour obtenir :

$$\Delta\theta = |\theta_{off} - \theta_{on}| = 22,5^\circ \quad (III. 1)$$

$$|S_{21}|(on) = |S_{21}|(off) \quad (III. 2)$$

La relation (III. 2) repose sur le critère de la variation d'amplitude. Ayant seulement deux états à gérer dans ce bloc, il est important d'avoir des amplitudes équivalentes pour chaque état.

### III.1.2. Design du bloc

Cette partie présente en détail toutes les étapes de design du bloc discret  $22,5^\circ$ . L'idée est de montrer comment a été réalisé la connexion entre le composant actif et la ligne de transmission pour respecter les conditions (III. 1) et (III. 2). Pour la suite, deux composants actifs seront considérés : transistor MOS et diode PIN.

#### III.1.2.1. Composant actif : le transistor MOS

Selon l'état de l'art, le MOS est de loin le composant le plus utilisé pour ce genre de dispositif. Ainsi une version du circuit avec le MOS a été mise en place. Pour ce faire, des simulations électriques ont été réalisées sur le simulateur Spectre de CADENCE avec des modèles de transistor et de lignes microrubans du DK (design Kit) fourni par STMicroelectronics, comme l'illustre la Figure 38.

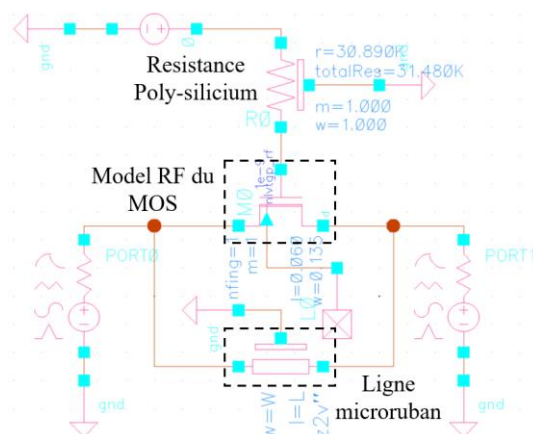


Figure 38 : Schéma électrique du bloc discret  $22,5^\circ$  sur Spectre

Le choix a été fait de laisser la longueur du MOS à 60 nm et d'utiliser uniquement la largeur  $W_{MOS}$  et le nombre de doigts  $N_f$  comme degrés de liberté pour son dimensionnement. Après une étude sur la variation des paramètres  $R_{on}$  et  $C_{off}$  en fonction du nombre de doigts, il en ressort qu'ils varient très peu pour des  $N_f$  entre 5 et 20 ;  $N_f$  a été fixé à 10. Pour la ligne microruban, la largeur  $W_L$  (qui fixe l'impédance caractéristique) et la longueur  $L$  sont des paramètres à faire varier pour son dimensionnement. Une première simulation à 120 GHz consiste à fixer une impédance caractéristique de la ligne microruban ( $W_L$ ), puis à fixer  $W_{MOS}$ , et à chercher la valeur  $L$  pour respecter la condition (III. 1). Après ces trois étapes, il est possible que la condition (III. 2) ne soit pas respectée, donc une autre variation de  $L$  est réalisée pour une autre valeur de  $W_{MOS}$  pour essayer de satisfaire les deux conditions. Les résultats obtenus sont synthétisés au sein du Tableau 5.

Tableau 5 : Valeurs des paramètres physiques du MOS et de la ligne microruban pour le bloc discret 22,5° à 120 GHz

$W_L$ ( $\mu\text{m}$ )	$Z_c$ ( $\Omega$ )	$W_{MOS}$ ( $\mu\text{m}$ )	$L$ ( $\mu\text{m}$ )	$S_{11on}$ (dB)	$S_{11off}$ (dB)	$S_{21on}$ (dB)	$S_{21off}$ (dB)
3,6	80	30	92	-18	-10,8	-0,8	-0,9
6,6	69	40	98	-16,7	-11,9	-0,7	-0,7
9,6	61	50	104	-15,2	-12,9	-0,7	-0,7
12,6	55	60	109	-13,8	-14,3	-0,7	-0,7

En utilisant les paramètres physiques du MOS et de la ligne microruban dans le Tableau 5, les conditions (III. 1) et (III. 2) sont le mieux respectées pour le  $W_L$  le plus élevé (impédance caractéristique la plus faible). Dans le détail, plus l'impédance caractéristique diminue, plus l'adaptation d'impédance est bonne quand le MOS est OFF et le contraire quand il est ON. Aussi la largeur du MOS permettant d'avoir des amplitudes équivalentes dans les deux états diminue avec l'impédance caractéristique de la ligne microruban. Pour finir, la longueur de la ligne permettant d'avoir le déphasage de 22,5° augmente quand l'impédance caractéristique diminue. Tous ces constats sont logiques car une diminution de l'impédance caractéristique d'une ligne signifie que sa capacité équivalente augmente tandis que l'inductance diminue, donc il faut une longueur de ligne plus longue pour avoir l'inductance qu'il faut pour le déphasage.

Cette étude a le mérite de donner une tendance et de comprendre dans quel sens faire varier les paramètres géométriques du MOS et de la ligne pour obtenir les performances attendues. Néanmoins, elle reste incomplète car il faut prendre en compte le layout du circuit qui amène des contraintes et des éléments parasites. D'abord, il faut courber la ligne microruban pour pouvoir la connecter au MOS au vu de la différence entre sa longueur (de l'ordre de 100  $\mu\text{m}$ ) et la distance entre le drain et source (en dessous de 10  $\mu\text{m}$  pour l'ensemble des MOS du Tableau 5). Ensuite, il faut établir la connexion entre le MOS sur la couche de métal M1 et la ligne microruban sur la couche de métal M9. L'empilement de vias est une évidence pour cette connexion mais sa mise en place nécessite d'être étudiée pour évaluer les capacités, les inductances et les résistances parasites qui seront ajoutées au circuit.

Pour l'interconnexion entre le MOS et la ligne microruban, un empilement de vias standard donnera des parasites trop élevés. Ainsi, un empilement en escalier ainsi qu'un accès sur la moitié des doigts de drain et source de la couche M1 a été mis en place pour minimiser la capacité équivalente  $C_{beol}$ . Cette capacité étant parallèle avec le MOS, elle s'ajoute à la capacité  $C_{off}$  quand il est bloqué. Le circuit étant déjà assez sensible à  $C_{off}$ , il est indispensable de réduire  $C_{beol}$ .

L'extraction des paramètres électriques sur la Figure 39 (b) est réalisée après une simulation électromagnétique sur Keysight Momentum. Certes le logiciel est catégorisé 2,5 D, mais son ajout au logiciel CADENCE permet d'avoir le BEOL détaillé de la technologie B55 avec toutes les couches de diélectrique, et les permittivités correspondent à celles mises en place lors de la fabrication. Les résultats de l'extraction sont présentés dans le Tableau 6 pour deux largeurs de transistors : 30  $\mu\text{m}$  et 60  $\mu\text{m}$  :

Tableau 6 : Extraction des parasites de l'interconnexion entre le MOS et la ligne microruban

$W_{MOS}$ ( $\mu\text{m}$ )	$L_{drain}$ (pH)	$L_{source}$ (pH)	$R_{drain}$ ( $\Omega$ )	$R_{source}$ ( $\Omega$ )	$C_{drain}$ (fF)	$C_{source}$ (fF)	$C_{beol}$ (fF)
30	5,9	5,9	1,1	1,1	1	1	1,1
60	7,3	7,3	1,1	1,1	1	1	1,1

Le Tableau 6 montre qu'avec l'empilement en escalier, la capacité  $C_{beol}$  est négligeable vu sa faible valeur (1 fF). En regardant les autres paramètres, on s'aperçoit que les résistances parasites varient très peu alors que  $W_{MOS}$  a été doublé. Finalement, seules les inductances parasites présentent une variation en fonction de  $W_{MOS}$ . Cependant, les valeurs d'inductance du Tableau 6 restent

acceptables, car à 120 GHz, une inductance de 7 pF représente une impédance très faible de  $5 \Omega$  environ. En effet, lorsque le MOS est bloqué, ces inductances étant en série avec la capacité  $C_{off}$  du transistor, la partie imaginaire de l'ensemble reste capacitive et la fréquence de résonance est largement supérieure à 120 GHz. Aussi lorsque le MOS est passant, les parasites  $RL$  série du côté drain et source ajoutent 0,2 dB de pertes d'insertion pour les deux largeurs du Tableau 6. En somme, l'empilement en escalier a permis de réduire l'influence de l'interconnexion entre le MOS et la ligne microruban sur les performances du déphaseur.

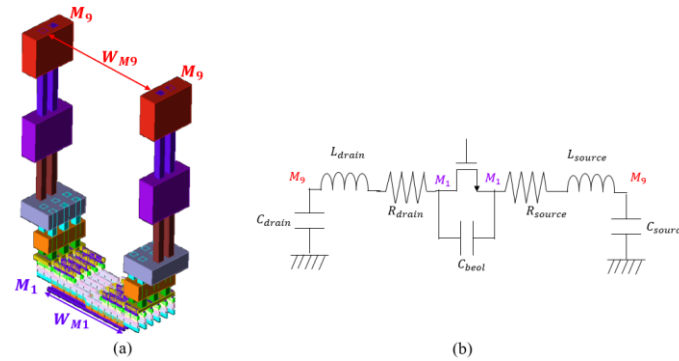


Figure 39 : (a) Vue 3D de l'empilement de vias pour la connexion entre le MOS et la ligne microruban. (b) Le schéma équivalent

La Figure 39 (a) montre la distance entre le drain et la source au niveau de la couche de métal M9 qui vaut  $7,3 \mu\text{m}$  pour le MOS de largeur  $30 \mu\text{m}$  et  $10,3 \mu\text{m}$  pour le MOS de largeur  $60 \mu\text{m}$ . Avec ces valeurs, il faut ajouter des connexions vers l'extérieur pour augmenter cette distance à  $15 \mu\text{m}$  afin d'éviter des couplages électromagnétiques entre les deux bouts de la ligne microruban. La Figure 40 montre la ligne microruban courbée pour venir connecter le drain et la source du MOS. La distance de  $15 \mu\text{m}$  est respectée entre les deux bouts de la ligne. Cette forme avec les cassures de  $45^\circ$  a été choisie pour avoir une géométrie compacte. Elle est inspirée de la géométrie d'une inductance mais le comportement est bien celui d'une ligne de transmission car la surface au cœur de la ligne courbée est trop grande pour créer un couplage magnétique. Pour s'assurer du bon fonctionnement de la ligne courbée, il est indispensable d'avoir exactement la même largeur sur toute sa longueur. Le modèle des lignes microrubans utilisé pour les simulations électriques sur *Spectre* étant réalisé avec des lignes droites, une simulation électromagnétique est nécessaire pour la mise en place des lignes courbées.

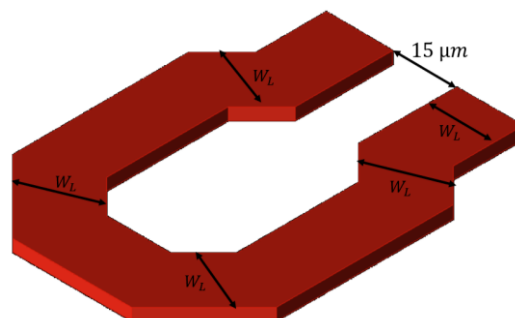


Figure 40 : Vue 3D de la ligne microruban courbée

La simulation électromagnétique est réalisée sur Momentum où le plan de simulation est décrit sur la Figure 41. Les différents éléments permettant de simuler cette ligne dans des conditions qui se rapprochent le plus de la réalité y sont détaillés. D'abord, on retrouve la ligne courbée sur la couche de métal M9 (en rouge) et l'empilement M1-M9 formant un mur autour pour reproduire la structure des lignes microrubans droites (Figure 33), le tout respectant les règles de densité de la technologie B55. Puis, il y a le plan de masse M1/M2 ainsi que les ports d'excitation. Ces ports (impédance de référence

50  $\Omega$ ) sont tous définis par rapport au substrat, laissant la liberté lors de l'extraction de définir un plan de référence. Dans le but de faciliter le maillage et réduire le temps de simulation, le plan de masse a été simplifié en remplaçant les structures à trous par une structure pleine.

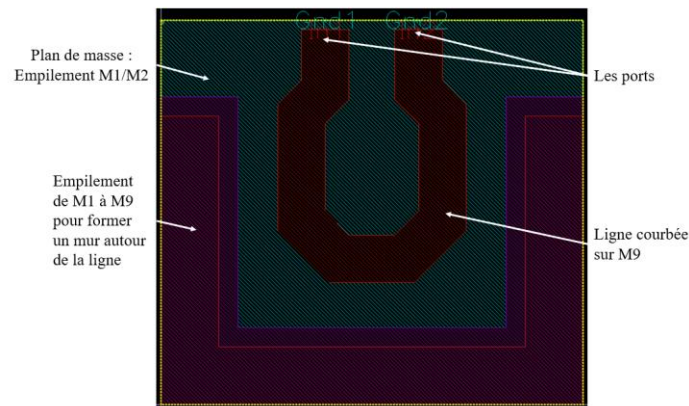


Figure 41: Plan de la simulation électromagnétique d'une ligne courbée sur Momentum

Après avoir vérifié que l'impédance et la longueur électrique de la ligne courbée correspondent à celles de la ligne microruban du DK cette dernière est remplacée par une boîte de paramètres  $S$  fournie directement par le simulateur Momentum pouvant être utilisée avec Spectre. En ajoutant les éléments parasites de l'interconnexion entre le MOS et la ligne courbée, on obtient un nouveau schéma électrique (Figure 42). La suite consiste à refaire un dimensionnement du MOS et de la ligne microruban car même s'il y a eu des efforts pour réduire l'influence de ces parasites, les conditions (III. 1) et (III. 2) ne sont plus respectées en utilisant les paramètres physiques du Tableau 5. Finalement, les deux conditions sont respectées avec un MOS de largeur 40  $\mu\text{m}$  et une ligne microruban d'impédance caractéristique 52  $\Omega$  et de longueur électrique 37°. A 120 GHz, la différence de phase entre les deux états du MOS est de 22,2°, les pertes d'insertion valent 0,8 dB à l'état ON et 0,9 dB à l'état OFF.

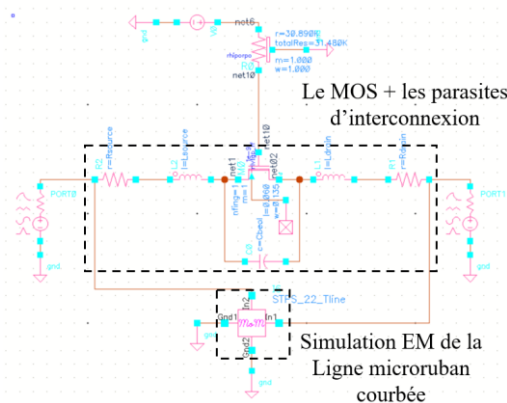


Figure 42 : Schéma électrique final du bloc discret 22,5° sur Spectre

Le layout du bloc discret 22,5° avec le MOS est présenté sur la Figure 43 (a). On y trouve des plots RF GSG avec un « pitch » de 50  $\mu\text{m}$ . 3 plots DC au nord avec un seul pour envoyer le signal DC au MOS et les deux autres connectés au plan de masse. Les lignes d'accès servent pour le calibrage TRL sur plaque (Thru-Reflect-Line). Enfin, un zoom autour du circuit permet de voir comment sont connectés la ligne microruban sur la couche M9 et le MOS sur la couche M1 (Figure 43 (b)). Afin de respecter les règles de densité de la technologie B55 :



- Des petits carrés appelés *dummies* sont utilisés pour remplir les surfaces sur les couches de métal non utilisées pour dessiner les lignes de transmission.
- Les plans de masse métalliques autour des composants du design sont troués

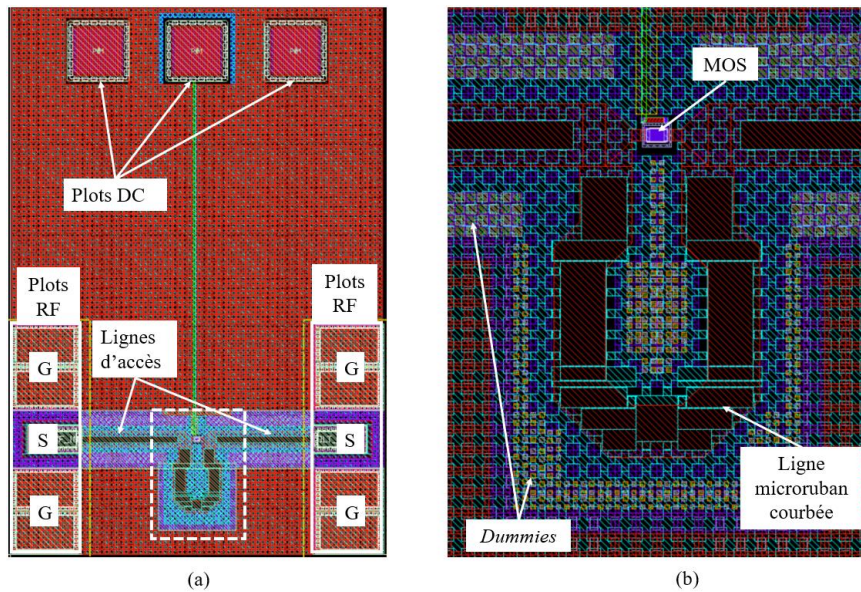


Figure 43 : (a) Layout du bloc discret 22,5° avec le MOS. (b) Zoom sur la connexion entre le MOS et la ligne microruban

### III.1.2.2. Composant actif : la diode PIN

La méthode de design est globalement la même que celle utilisée pour le transistor MOS, à savoir un mélange entre simulations électriques sur Spectre et simulations électromagnétiques sur Momentum. Dans le détail, la ligne microruban doit encore être courbée, donc les problématiques évoquées précédemment sont les mêmes. C'est aussi le cas pour les parasites de l'interconnexion entre la ligne de transmission et la diode PIN. Néanmoins les différences entre les deux composants conduisent à des différences dans la réalisation du déphaseur 22,5° qui seront abordées dans cette partie.

La première contrainte de la diode PIN est sa polarisation. Cela impose d'ajouter une capacité du côté de la ligne de transmission pour empêcher le signal RF d'aller vers la source DC (Figure 44 (a)). En plus, un court-circuit doit être mis en place pour évacuer le courant DC vers la masse, ce qui est réalisé par une inductance externe au circuit. Cette inductance doit être très grande pour éviter des fuites du signal RF vers la masse. Sachant qu'il y a un circuit de polarisation pour le courant DC, le nombre d'éléments extérieurs susceptibles d'impacter le circuit au niveau RF commence à augmenter. Les conditions pour minimiser leur impact (grosse valeur pour  $L_{CC}$ , grosse valeur pour  $C_{liaison}$ , grosse isolation pour le circuit de polarisation) sont difficiles à réunir à 120 GHz. La solution proposée est d'utiliser deux diodes PIN en série connectées par leur anode (Figure 44 (b)). Ainsi, le courant DC est amené directement sur ces deux anodes sans qu'il y ait besoin de capacité de liaison. Les courants DC des diodes ayant des sens contraires, il faut leur créer un chemin vers la masse. Si l'on considère le bloc discret 22,5° tout seul, la solution serait d'imposer un potentiel 0V sur l'entrée et la sortie pendant la mesure. Si l'on considère le bloc déphaseur inséré au sein du circuit final, il faudra prendre en compte son environnement extérieur pour trouver un chemin vers la masse pour les courants DC. Dans cette partie, on va considérer que l'entrée et la sortie sont au potentiel 0 V.



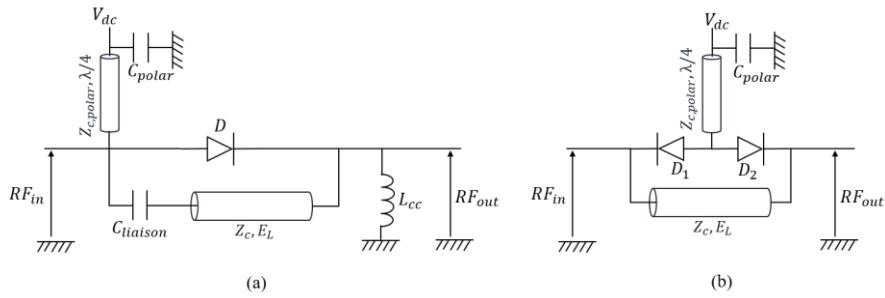


Figure 44 : (a) Schéma du déphaseur 22,5° avec une seule diode PIN. (b) Avec deux diodes PIN en série connectées par leur anode

Contrairement au transistor MOS qui est un composant développé depuis une dizaine d'années avec un modèle RF complet en technologie B55, la diode PIN a été introduite récemment chez STMicroelectronics. Il n'y avait pas de modèle au moment où cette étude a été abordée, juste des résultats de mesures des paramètres  $R_{on}$  et  $C_{off}$  en fonction de différentes géométries de diodes PIN. De ce fait, à l'état ON, la diode est représentée seulement par la résistance  $R_{on}$  et à l'état OFF par la capacité  $C_{off}$ . Pour l'interconnexion entre les deux diodes PIN et la ligne de transmission, c'est également différent par rapport au MOS. En fait le layout de la diode PIN a déjà des connexions entre le FEOL et le BEOL jusqu'à la couche de métal M5 et les ports Anode et Cathode sont clairement définis (Figure 45). Par conséquent, un empilement de vias standard entre M5 et M9 est suffisant pour cette interconnexion. Les parasites sont représentés par des circuits  $RL$  série car le fait d'avoir deux PIN en série augmente la distance entre les deux empilements ce qui garantit d'avoir une très faible capacité  $C_{beol}$ . De plus, les couches de métal au-dessus de M5 sont peu résistives, donc en mettant plusieurs vias en parallèle, la résistance équivalente reste en dessous de 1  $\Omega$ . L'extraction donne une inductance équivalente de 3,8 pH et une résistance de 0,3  $\Omega$ . Ces parasites qui n'exerceront aucune influence sur les pertes d'insertion (en dessous de 0,05 dB d'ajout de pertes à 120 GHz) mais sont à surveiller par rapport au déphasage.

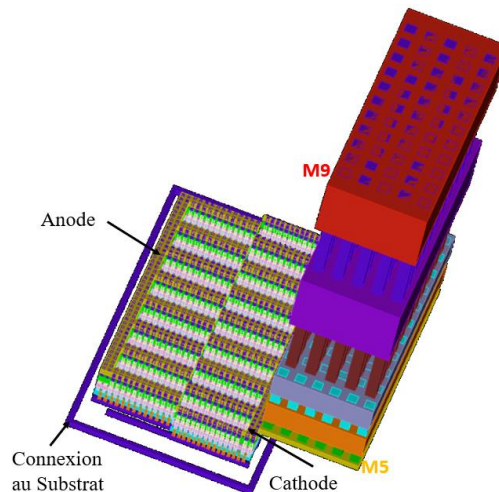


Figure 45 : Vue 3D du BEOL de la diode PIN en B55 et l'empilement de via pour connecter la ligne microruban

Après l'extraction des parasites, la ligne microruban courbée est dimensionnée à l'aide d'une simulation électromagnétique similaire à celle décrite sur la Figure 41. En utilisant la boîte de paramètres  $S$  résultante ainsi que les paramètres  $R_{on}$  et  $C_{off}$  de différentes géométries de diodes PIN, la simulation électrique du bloc discret 22,5° est réalisée sur Spectre avec un schéma identique à la

Figure 42. Pour le choix de la diode PIN, des mesures réalisées sur différentes géométries donnent les différentes valeurs de  $R_{on}$  et  $C_{off}$  en fonction du courant de polarisation direct ( $I_{direct}$ ) ou la tension de polarisation indirecte ( $V_{indirecte}$ ). La diode PIN est définie physiquement par un nombre de doigts et une longueur d'Anode tels que définis dans la partie II.2.1.2 (Figure 25 (b)). Le Tableau 7 montre les paramètres  $R_{on}$  et  $C_{off}$  de deux diodes de longueurs d'anode différentes avec le même nombre de doigts (8).

Tableau 7 : Les paramètres  $R_{on}$  et  $C_{off}$  de deux géométries de diode en fonction du courant ou de la tension de polarisation

$L_{anode} = 2,5 \mu m$	$I_{direct} (mA)$	1	2	4	8	12
	$R_{on} (\Omega)$	10	6,5	5,5	4,2	3,7
	$V_{indirect} (V)$	0	-1	-2	-3	-4
	$C_{off} (fF)$	15	12	12,5	11	10,5
$L_{anode} = 5 \mu m$	$I_{direct} (mA)$	1	2	4	8	12
	$R_{on} (\Omega)$	6,5	5	3,8	3	2,5
	$V_{indirect} (V)$	0	-1	-2	-3	-4
	$C_{off} (fF)$	30	23,5	22	21,5	21

Il ressort de ce tableau que  $R_{on}$  diminue lorsque l'on augmente la longueur d'anode, contrairement à  $C_{off}$  qui augmente avec elle. Pour chaque longueur d'anode,  $R_{on}$  diminue lorsque  $I_{direct}$  augmente. Au niveau  $C_{off}$ , il y a une grosse variation entre  $V_{indirecte} = 0 V$  et  $V_{indirecte} = -1 V$ , puis la valeur reste relativement constante conformément au fonctionnement de la diode PIN en polarisation indirecte. En somme un compromis s'impose pour le choix de la diode PIN car  $R_{on}$  et  $C_{off}$  doivent être le plus faible possible. Dans le cas du bloc discret  $22,5^\circ$  avec deux diodes en série, les diodes ayant le plus faible  $R_{on}$  sont privilégiées puisque la résistance équivalente vaut deux fois  $R_{on}$  et la capacité équivalente est la moitié de  $C_{off}$ . Par conséquent, deux diodes PIN de longueur d'anode  $5 \mu m$  sont choisies. En utilisant  $R_{on} = 2,5 \Omega$  ( $I_{direct} = 12 mA$ ) et  $C_{off} = 22 fF$  ( $V_{indirecte} = -2 V$ ) avec une ligne microruban d'impédance caractéristique  $54 \Omega$  et une longueur électrique de  $37^\circ$ , la différence de phase obtenue est de  $22,4^\circ$  et les pertes d'insertion sont de  $0,6 dB$  à l'état ON et  $0,3 dB$  à l'état OFF à  $120 GHz$ . Le layout de cette version du bloc discret  $22,5^\circ$  à base de diodes PIN est présenté sur la Figure 46.

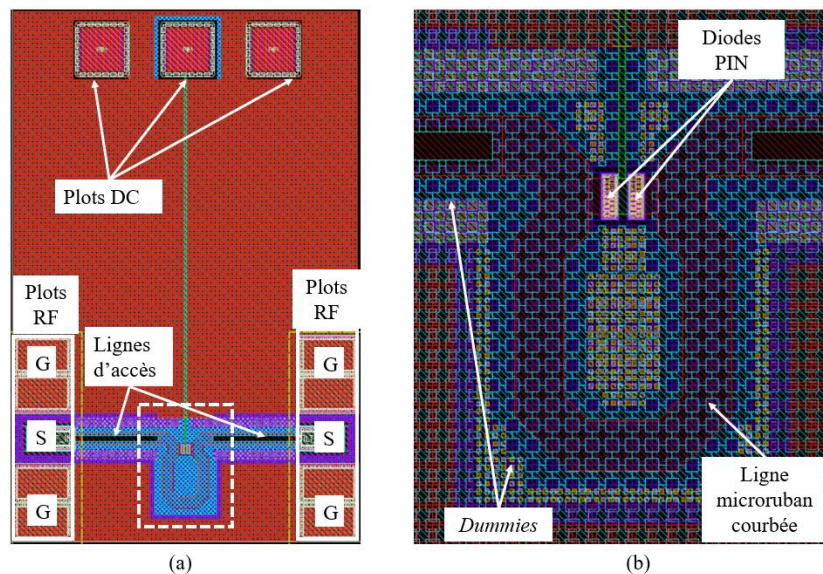


Figure 46: (a) Layout du bloc discret  $22,5^\circ$  à base de diodes PIN. (b) Zoom sur la connexion entre les diodes PIN et la ligne microruban

### III.1.3. Résultats de mesure

La méthode de design exposée dans la partie précédente a permis de réaliser deux circuits qui ont été envoyés en fabrication. Dans cette partie sont présentés les résultats des mesures réalisées sur ces circuits. Puis une comparaison simulation et mesure est effectuée afin de conclure sur la validité des modèles des composants à 120 GHz, et également de statuer sur la pertinence de la méthode de design.

#### III.1.3.1. Description du plan de mesure

La caractérisation de circuits en bande millimétrique est un exercice aussi important que le design. Elle commence lors du dessin du circuit où le designer doit s'adapter à l'environnement dans lequel sera réalisée la mesure. En effet, il est indispensable d'avoir toutes les informations sur les sondes pour s'assurer qu'elles soient utilisées dans de bonnes conditions (avoir des plots qui correspondent bien aux dimensions des sondes). Lorsque des sondes RF et DC sont utilisées en même temps, la distance entre les plots pour les sondes RF et celles pour les sondes DC doit être assez grande pour éviter des contacts entre elles. Cela explique pourquoi les plots DC sont aussi éloignés du circuit sur la Figure 46. Au niveau du calibrage, la TRL sur plaque de silicium a été retenue pour la thèse parce qu'elle permet de ramener le plan de mesure directement au niveau du dispositif sous test. De ce fait, l'épluchage des données n'est plus nécessaire, ce qui permet d'être plus efficace dans l'analyse des mesures. La Figure 47 montre le banc utilisé pour les mesures de tous les circuits de la thèse. On y retrouve la plateforme CASCADE pour maintenir et manipuler la plaque de Silicium, un ordinateur permettant de contrôler cette plateforme, un autre écran pour mieux visualiser les résultats mesurés par le VNA ANRITSU.

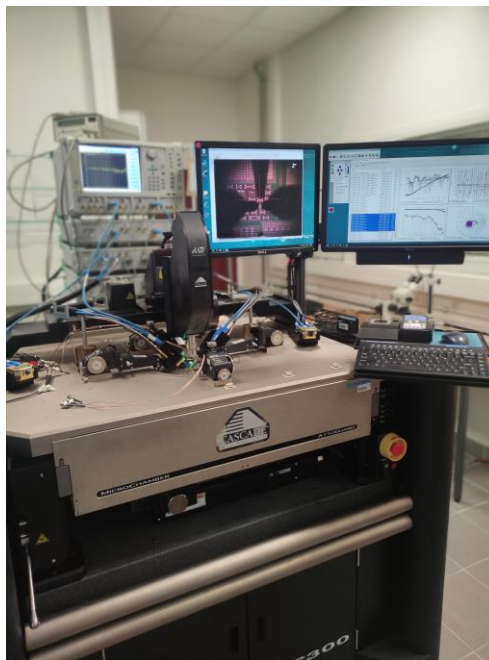


Figure 47 : Banc de mesures RF du CIME Nanotech de Grenoble

#### III.1.3.2. Résultats du déphaseur à base de MOS

La Figure 48 montre l'image du bloc discret  $22,5^\circ$  à base de MOS après fabrication. La mesure consiste à appliquer une tension sur le plot  $V_{MOS}$  en fonction de l'état auquel on veut mesurer. Ensuite la mesure des paramètres  $S$  est réalisée sur la plage de fréquence définie. Le calibrage TRL sur plaque de silicium permet d'avoir directement les résultats dans le plan défini sur la Figure 48. Les résultats de

mesure et de simulation sont affichés sur la Figure 49. On y distingue l'adaptation d'impédance ( $S_{11}$ ), les pertes d'insertion (amplitude de  $S_{21}$ ), le déphasage (phase de  $S_{21}$ ) de chaque état, et la différence de phase  $\Delta\theta$ .

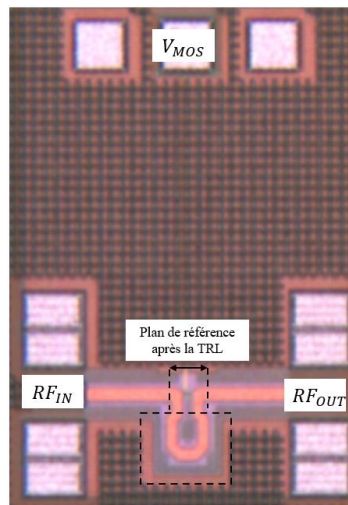


Figure 48 : Micrographie du bloc discret 22,5° à base de MOS

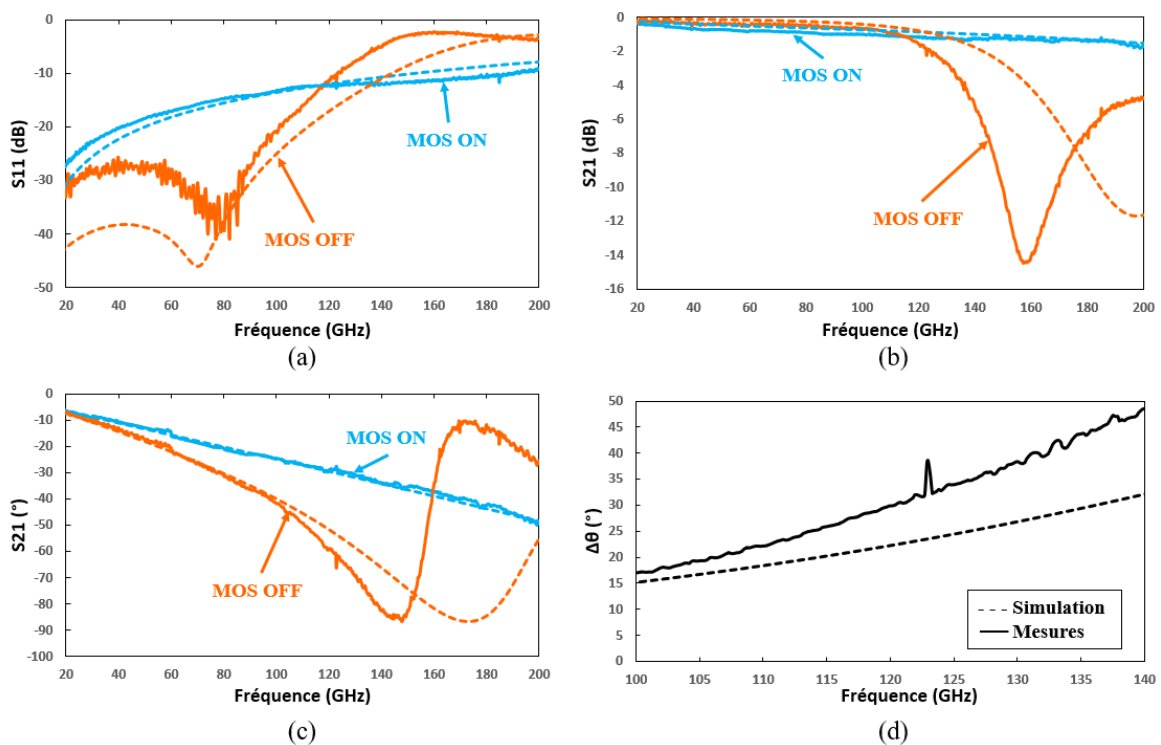


Figure 49 : Résultats du bloc discret 22,5° avec un MOS de largeur 40 $\mu$ m en fonction de la fréquence. (a) Amplitude de  $S_{11}$ , (b) amplitude de  $S_{21}$ , (c) phase de  $S_{21}$  et (d) la différence de phase  $\Delta\theta$

Globalement, les résultats de mesure montrent des comportements fréquentiels similaires à ceux attendus lors de la simulation. Dans le détail, La Figure 49 (a) montre un circuit limité en fréquence au niveau de l'adaptation d'impédance, même si les valeurs d'amplitude de  $S_{11}$  à 120 GHz (Tableau 8) montrent une bonne adaptation d'impédance. Pour les pertes d'insertion, les résultats de mesure donnent des valeurs plus élevées que celles attendues à 120 GHz. A l'état ON, on passe de 0,9 dB à 1,1 dB et à l'état OFF on passe de 0,8 dB à 1,6 dB. Le constat est le même sur le déphasage où la différence se fait essentiellement en OFF. Finalement, au lieu d'un  $\Delta\theta$  de 22,2°, les mesures donnent un  $\Delta\theta$  de 30° à



120 GHz, soit une différence de  $7,8^\circ$ . En somme, la corrélation entre simulation et mesure est très bonne quand le MOS est ON, cependant en OFF, il y a des différences non négligeables qui doivent être analysées.

Tableau 8 : Résultats du bloc discret  $22,5^\circ$  avec le MOS de largeur  $40\mu\text{m}$  à 120 GHz

Simulation / Mesure	Etats	$S_{11}(dB)$	$S_{21}(dB)$	$S_{21}(^\circ)$	$\Delta\theta (^\circ)$
Simulation	ON	-12	-0,9	-29,4	22.2
	OFF	-17,2	-0,8	-51,6	
Mesure	ON	-12,1	-1,1	-29,1	30
	OFF	-11,5	-1,6	-59,1	

La Figure 49 (b) et la Figure 49 (c) montrent un décalage de la fréquence de résonance de la connexion LC parallèle quand le MOS est OFF. La technologie B55 étant fiable sur la fabrication des composants passifs, l'analyse s'est portée sur la capacité équivalente du MOS et les interconnexions avec la ligne microruban. Ainsi, une retro-simulation a été réalisée en faisant varier la capacité  $C_{beol}$  de la Figure 39 (b). Pour  $C_{beol} = 6\text{ fF}$ , on retrouve exactement les résultats de mesure. En fait, l'extraction de cette capacité avait été réalisée sans les doigts de drain et source du MOS sur la couche M1 pensant qu'ils étaient déjà intégrés dans le modèle du MOS. Sachant qu'il y a 10 doigts de  $4\mu\text{m}$  de largeur (le MOS a une largeur totale de  $40\mu\text{m}$ ) séparés de  $0,18\mu\text{m}$ , cela explique cette différence entre la nouvelle capacité  $C_{beol}$  et celle extraite au moment du design. Avec cette nouvelle modélisation de l'interconnexion entre le MOS et la ligne microruban, une version corrigée a été réalisée en changeant la largeur du MOS. Cette version utilise un MOS de largeur  $32\mu\text{m}$  avec 10 doigts, la ligne microruban restant inchangée. Les résultats affichés sur la Figure 50 montrent alors une bonne corrélation entre simulation et mesure jusqu'à 150 GHz, et ce pour les deux états du transistor. Après cette fréquence on constate quelques différences au niveau du paramètre  $S_{21}$ , notamment au niveau de la fréquence de résonance de la connexion LC parallèle quand le MOS est OFF. Le décalage ici est de quelques GHz contrairement à la Figure 49. La capacité  $C_{beol}$  ayant été évaluée correctement, on pourrait peut-être regarder du côté des imperfections de la TRL pour expliquer ce phénomène. Finalement, cela a très peu d'incidence à 120 GHz où les résultats de simulation et mesure sont quasi identiques (Tableau 9). De plus, la différence de phase  $\Delta\theta$  de  $23,1^\circ$  et les pertes en ON (1 dB) et OFF (0,7 dB) montrent que les conditions (III. 1) et (III. 2) ont été respectées. En conclusion, cette version du bloc discret  $22,5^\circ$  à base de MOS jouera parfaitement son rôle dans l'assemblage final pour le déphasage continu de  $0$  à  $360^\circ$ .

Tableau 9 : Résultats du bloc discret  $22,5^\circ$  avec le MOS de largeur  $32\mu\text{m}$  à 120 GHz

Simulation / Mesure	Etats	$S_{11}(dB)$	$S_{21}(dB)$	$S_{21}(^\circ)$	$\Delta\theta (^\circ)$
Simulation	ON	-12,2	-1	-29,8	23.2
	OFF	-16	-0,8	-53	
Mesure	ON	-12,1	-1	-30,9	23.1
	OFF	-15,4	-0,7	-54,1	

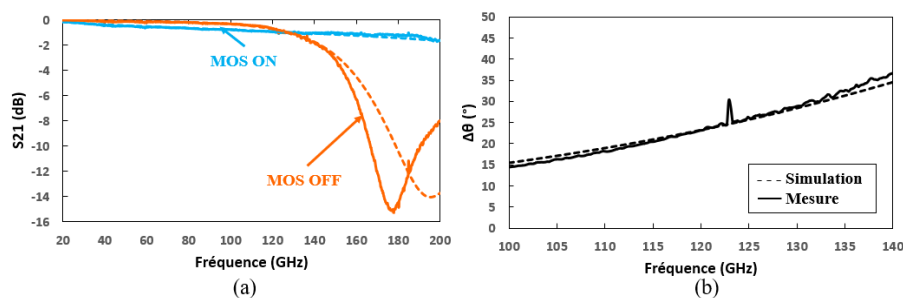


Figure 50: Résultats du bloc discret  $22,5^\circ$  avec un MOS de largeur  $32\mu\text{m}$  en fonction de la fréquence. (a) Amplitude de  $S_{21}$  et (b) la différence de phase  $\Delta\theta$

### III.1.3.3. Résultats du déphaseur à base de diode PIN

La Figure 51 montre l'image du bloc discret  $22,5^\circ$  avec une diode PIN après fabrication. A l'instar des mesures du déphaseur avec le MOS, une commande (courant ou tension) est appliquée sur un plot DC pour polariser les diodes PIN, ensuite la mesure RF est réalisée et la TRL est utilisée pour avoir directement le résultat dans le plan défini sur la Figure 51.

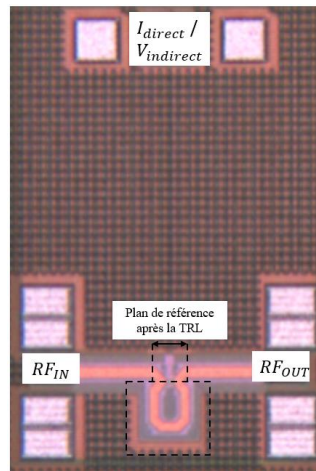


Figure 51 : Micrographie du bloc discret  $22,5^\circ$  à base de diodes PIN

La mesure des états ON et OFF consiste à faire plusieurs mesures RF en fonction du courant de polarisation directe  $I_{direct}$  et de la tension de polarisation indirecte  $V_{indirecte}$ . En fait, le design ayant été réalisé en considérant la diode PIN comme équivalente à une résistance ou une capacité, il est important d'avoir les résultats avec plusieurs points de polarisation pour vérifier que les résultats correspondent à ce qui a été simulé. Dans le cas contraire il faut regarder si d'autres points de polarisation ne permettent pas d'avoir les résultats attendus. Les courbes de la Figure 52 sont les résultats du déphaseur avec les points de polarisation qui correspondent au  $R_{on}$  et au  $C_{off}$  choisis lors du design. Globalement, la corrélation entre mesure et simulation est mauvaise. Les comportements fréquentiels sont différents, surtout au niveau du  $S_{11}$  à l'état ON où l'on passe d'un circuit avec une bonne adaptation d'impédance en simulation jusqu'à 140 GHz à un circuit qui n'est pas du tout adapté. En conséquence, les pertes d'insertion mesurées à l'état ON sont beaucoup plus élevées que celles attendues après la simulation. Le constat est le même à l'état OFF où les comportements fréquentiels donnent l'impression d'avoir un circuit différent. Finalement, la différence de phase  $\Delta\theta$  vaut plus que le double de celle attendue à 120 GHz.

Après analyse, ces différences s'expliquent au niveau du modèle de la diode PIN utilisée pour le design du déphaseur. N'ayant pas de modèle RF, la diode PIN a été considérée comme une résistance ou une capacité selon son état. De ce fait, les effets de la connexion entre la cathode et le substrat ont été négligés (voir Figure 27). La diode  $D_{SUB}$  représentée sur cette figure a son anode connectée au substrat, donc à la masse. La cathode de la diode PIN étant au potentiel 0V lors de la mesure du déphaseur, la diode  $D_{SUB}$  reste bloquée quel que soit l'état de la diode PIN. Ainsi, elle peut être modélisée par un circuit RC série. Le déphaseur utilisant deux diodes PIN en série connectés par leur anode, on se retrouve en entrée et en sortie du déphaseur avec une connexion RC série vers la masse. Cela pourrait expliquer la mauvaise adaptation d'impédance observée lors des mesures. Pour confirmer cette hypothèse, une retro-simulation a été réalisée en modélisant la diode PIN de longueur d'anode  $5 \mu\text{m}$  par ses résultats de mesure en configuration série. Dans le détail, cette simulation consiste à connecter

des boîtes qui vont pointer vers le fichier *touchestone* de mesure de la diode PIN au reste du circuit pour une simulation de paramètres  $S$  sur Spectre.

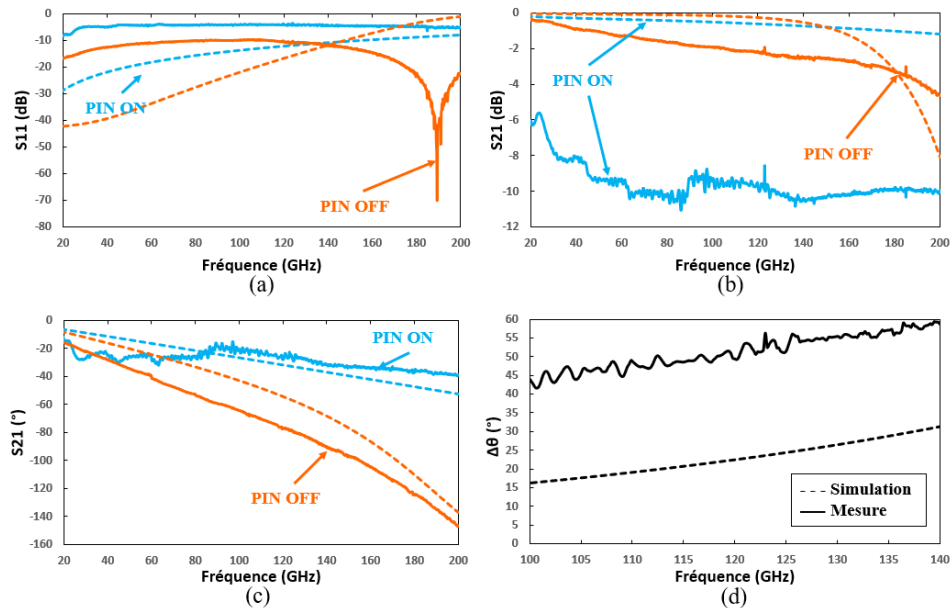


Figure 52 : Résultats du bloc discret  $22,5^\circ$  avec les diodes PIN en fonction de la fréquence pour  $I_{direct} = 12 \text{ mA}$  &  $V_{indirecte} = -3 \text{ V}$ . (a) Amplitude de  $S_{11}$ , (b) amplitude de  $S_{21}$ , (c) phase de  $S_{21}$  et (d) la différence de phase  $\Delta\theta$

La Figure 53 confirme que l'utilisation de la diode PIN comme une résistance ou une capacité est très réducteur. Il y a certes des différences au niveau du paramètre  $S_{21}$ , mais cette retro-simulation permet de reconstituer le comportement fréquentiel observé lors de la mesure. De plus, elle met en avant la difficulté d'utiliser la diode PIN dans une configuration série car la connexion de la cathode au substrat a un impact négatif dans les deux états du composant. Ainsi, l'utilisation de la diode PIN dans cette topologie de filtre commuté n'est pas une solution viable sauf changement au niveau de la structure du composant. En conclusion, le transistor MOS est le meilleur choix pour satisfaire les conditions (III.1) et (III. 2) du bloc discret  $22,5^\circ$ .

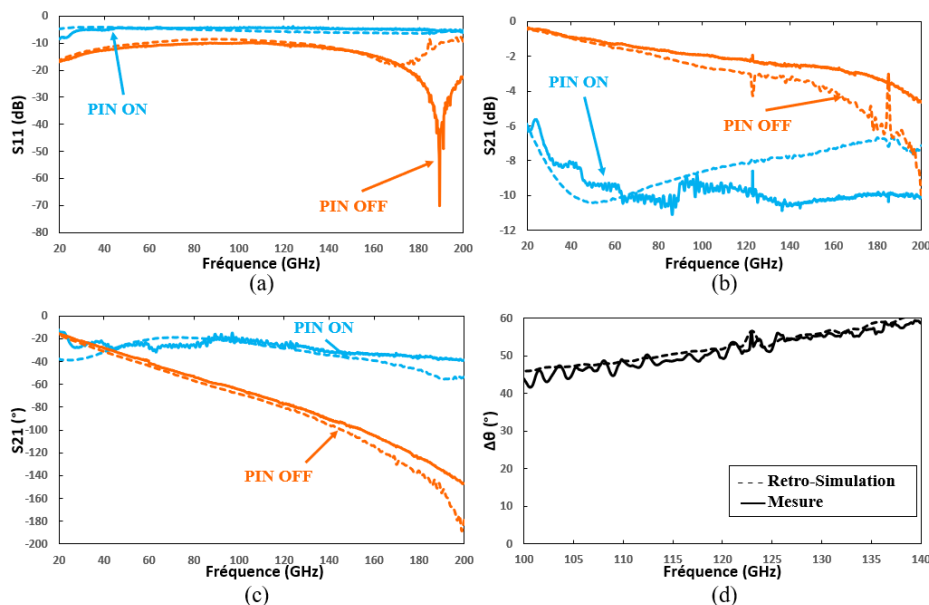


Figure 53 : Retro-Simulation du bloc discret  $22,5^\circ$  avec les mesures de la diodes PIN pour  $I_{direct}= 12 \text{ mA}$  &  $V_{indirecte}=-3 \text{ V}$ . (a) Amplitude de  $S_{11}$ , (b) amplitude de  $S_{21}$ , (c) phase de  $S_{21}$  et (d) la différence de phase  $\Delta\theta$



## III.2. Le bloc discret 45°

A l'instar du bloc discret 22,5°, le fonctionnement de ce bloc consiste à avoir un déphasage dans un état dit de référence et la différence de phase avec l'autre état doit donner 45°. Cette partie sera similaire à la précédente, vu que la méthode de travail est identique pour la réalisation de tous les blocs.

### III.2.1. Le choix de la topologie

Les filtres commutés étant les plus utilisés pour les déphaseurs discrets de 4 ou 5 bits, c'est naturellement qu'une étude a été menée avec cette topologie pour réaliser le déphaseur discret de 45°. Concernant les autres topologies, les lignes chargées ne sont pas envisageables pour les problèmes d'adaptation d'impédance. Les lignes commutées ont l'inconvénient des deux switches SPDT qui ont 2 dB de pertes d'insertion dans le meilleur des cas, ce qui est déjà à la limite de l'état de l'art pour les déphaseurs discrets 45° [26]. Pour les RTPS, les pertes d'insertion du coupleur de l'ordre de 0.7 dB à 120 GHz [35] deviennent acceptables pour ce bloc. Avec une bonne optimisation des charges, il est possible d'avoir des performances à l'état de l'art. Ainsi, les filtres commutés et les RTPS seront utilisés pour réaliser le bloc discret 45°. De manière identique au bloc discret 22,5°, la réalisation de ce bloc consiste à faire le bon assemblage de composants actifs et passifs pour obtenir :

$$\Delta\theta = |\theta_{off} - \theta_{on}| = 45^\circ \quad (III. 3)$$

$$|S_{21}|(on) = |S_{21}|(off) \quad (III. 4)$$

### III.2.2. Le filtre commuté 45°

#### III.2.2.1. Optimisation de la topologie

Pour avoir un déphasage d'au moins 45°, il faut un filtre du 3<sup>e</sup> ordre, du fait qu'il faille évidemment maîtriser les pertes d'insertion tout en déphasant. Ensuite, la question du choix entre la configuration *CLC* ou *LCL* se pose. L'état de l'art sur les filtres commutés (partie I.2.2.3) a montré qu'il n'y avait pas de hiérarchie claire entre ces deux configurations. Dans une logique d'utilisation d'un minimum de composants actifs, la configuration *CLC* a été retenue. Avec la relation (I. 5), les valeurs de *L* et *C* peuvent être calculées en utilisant  $Z_0 = 50 \Omega$ ,  $\varphi = 45^\circ$  à 120 GHz :  $L = 47$  pH et  $C = 11$  fF. La valeur de *C* dépassant à peine 10 fF, il s'avère a priori possible de remplacer le filtre du 3<sup>e</sup> ordre par une ligne microruban. Une étude préliminaire a été réalisée en utilisant la topologie représentée sur la Figure 37 avec un MOS (longueur 60 nm et 10 doigts) pour réaliser un déphaseur respectant les conditions (III. 3) et (III. 4). L'étude est une simulation de paramètres *S* réalisée sur *Spectre* avec le même schéma électrique que celui de la Figure 38. La manière de procéder est la même que celle avec le bloc discret 22,5° : d'abord une largeur de la ligne  $W_L$  est fixée, ensuite une largeur du MOS  $W_{MOS}$  est fixée, puis une variation de la longueur de la ligne *L* est réalisée pour satisfaire la condition (III. 3). Le même procédé est répété pour obtenir le Tableau 10 dans lequel les paramètres physiques permettent de satisfaire simultanément les conditions (III. 3) et (III. 4).

Tableau 10 : Paramètres physiques du MOS et de la ligne microruban pour le filtre commuté 45° à 120 GHz

$W_L$ (μm)	$Z_c$ (Ω)	$W_{MOS}$ (μm)	$L$ (μm)	$S_{11on}$ (dB)	$S_{11off}$ (dB)	$S_{21on}$ (dB)	$S_{21off}$ (dB)
3,6	80	10	252	-10,1	-5,6	-2,6	-2
6,6	69	20	222	-10	-6,6	-1,7	-1,7
9,6	61	30	214	-9,2	-7,4	-1,5	-1,7
12,6	55	40	210	-8,3	-8,1	-1,4	-1,7

Les observations à faire sur ce tableau sont différentes de celles faites pour le Tableau 5. En effet, la longueur de ligne permettant de respecter la condition (III. 3) décroît lorsque  $W_L$  augmente.

Cette différence vient du fait qu'avec les valeurs  $L$  du Tableau 5, le modèle des lignes est plus proche d'une inductance que d'une ligne de transmission. De ce fait, quand  $W_L$  augmente,  $L$  doit aussi augmenter pour garder l'inductance équivalente permettant d'avoir une différence de phase de  $22,5^\circ$ . Cependant dans le cas du Tableau 10, les valeurs de  $L$  sont assez grandes pour avoir un comportement de ligne de transmission c'est-à-dire que les lignes sont modélisées par des tronçons  $RLCG$ . Dans ce cas, quand  $W_L$  augmente, la capacité équivalente augmente, donc il faut réduire l'inductance équivalente ( $L$ ) pour garder la longueur électrique permettant d'avoir une différence de phase de  $45^\circ$ . L'autre différence se trouve au niveau du paramètre  $S_{11}$  dont l'amplitude reste au-dessus de  $-10$  dB pour toutes les valeurs du Tableau 10. L'adaptation d'impédance de l'état OFF étant le plus problématique, une ligne a été ajoutée autour du transistor pour neutraliser la capacité  $C_{off}$  du MOS  $T_1$  (Figure 54 (a)). L'adaptation d'impédance à l'état OFF est alors améliorée, mais on constate une dégradation de l'adaptation à l'état ON. Dans le but d'avoir de meilleures performances dans les deux états du MOS  $T_1$ , un autre transistor a été ajouté au bout d'un stub comme le montre la Figure 54 (b). Le nouveau transistor  $T_2$  a un fonctionnement contraire au transistor  $T_1$ . Ainsi l'état ON correspond à  $T_1$  passant et  $T_2$  bloqué et l'état OFF à  $T_1$  bloqué et  $T_2$  passant. Le stub ( $Z_{c3}, EL_3$ ) doit avoir une longueur égale à  $\lambda/4$  pour présenter un circuit ouvert l'état OFF pour éviter les pertes d'insertion (ce qui impose un transistor  $T_2$  avec un faible  $R_{on}$ ). A l'état ON, le transistor  $T_2$  étant bloqué, le stub  $\lambda/4$  va présenter une impédance avec une partie imaginaire inductive, ce qui va augmenter l'inductance vue aux entrées des lignes ( $Z_{c1}, EL_1$ ) et permet d'avoir une haute impédance en parallèle du transistor  $T_1$  qui est passant. Ainsi, l'adaptation d'impédance devient meilleure à l'état ON tout en gardant une bonne adaptation d'impédance à l'état OFF.

La suite du design consiste à étudier chaque élément du circuit (Figure 54 (b)) pour comprendre son influence et comment choisir ses paramètres physiques pour respecter les conditions (III. 3) et (III. 4).

- Le MOS  $T_1$  : c'est le composant actif principal qui définit les deux états du déphaseur. Le seul degré de liberté se trouve au niveau de sa largeur  $W_{T1}$ . La présence de la ligne ( $Z_{c2}, EL_2$ ) réduit considérablement l'influence de  $T_1$  à l'état OFF, ce qui implique que  $W_{T1}$  influence uniquement les pertes d'insertion à l'état ON. L'objectif étant d'avoir une faible résistance  $R_{onT1}$ , de fortes valeurs sont considérées pour  $W_{T1}$ .
- La ligne ( $Z_{c2}, EL_2$ ) : comme expliqué plus haut, son rôle est de neutraliser la capacité  $C_{off\_T1}$  de  $T_1$ . En fonction de  $W_{T1}$ , une valeur d'inductance est définie pour résonner avec cette capacité en mode OFF. Cette ligne étant utilisée comme une inductance, elle ne doit pas être trop longue (longueur physique inférieure à  $\frac{\lambda}{10}$ ) pour éviter de basculer vers un comportement de ligne de transmission. Pour ce faire, des grosses valeurs de  $Z_{c2}$  ( $> 65 \Omega$ ) sont considérées et la valeur de  $EL_2$  correspond à l'inductance qu'il faut pour résonner avec  $C_{off\_T1}$ . La ligne étant aussi présente à l'état ON,  $EL_2$  doit être estimée avec la plus grande précision car elle exerce une influence sur le déphasage dans ce mode.
- Les lignes ( $Z_{c1}, EL_1$ ) : l'influence de ces lignes se manifeste essentiellement à l'état OFF. La valeur de  $EL_1$  étant partiellement imposée par le déphasage attendu, l'étude s'est portée sur  $Z_{c1}$  pour savoir s'il faut utiliser des lignes avec une haute ou basse impédance caractéristique. Cette étude montre une influence de  $Z_{c1}$  assez négligeable sur les pertes d'insertion, en revanche l'adaptation d'impédance se dégrade lorsque cette impédance caractéristique diminue. Par conséquent, les lignes ( $Z_{c1}, EL_1$ ) doivent être haute impédance ( $Z_{c1} > 65 \Omega$ ).
- La ligne ( $Z_{c3}, EL_3$ ) :  $EL_3$  est déjà connue (ligne  $\lambda/4$ ). L'impédance d'entrée de ce type de ligne est proportionnelle à son impédance caractéristique du fait que sa terminaison n'est pas parfaite

( $R_{on}$ ). Sachant que cette impédance d'entrée doit être grande à l'état OFF pour éviter les pertes d'insertion, cette ligne doit être haute impédance ( $Z_{c1} > 65 \Omega$ ).

- Le MOS  $T_2$  : à l'instar de  $T_1$ , sa largeur  $W_{T2}$  est le seul degré de liberté. D'un côté, ce MOS doit présenter un faible  $R_{on,T2}$  à l'état OFF pour avoir une grosse impédance à l'entrée de la ligne ( $Z_{c3}, EL_3$ ). D'un autre côté à l'état ON, la capacité  $C_{off,T2}$  résonne avec l'inductance équivalente des lignes ( $Z_{c3}, EL_3$ ) et ( $Z_{c1}, EL_1$ ), ce qui n'est pas sans conséquence sur le déphasage dans ce mode de fonctionnement. En somme un compromis doit être trouvé entre les pertes d'insertion à l'état OFF et la fréquence de résonance de cette capacité à l'état ON.

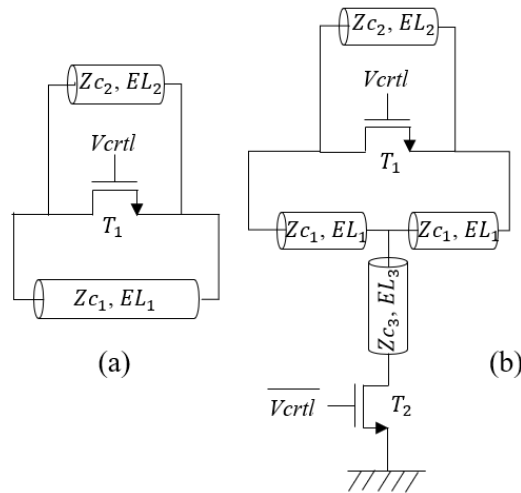


Figure 54 : (a) Filtre commuté du 1er ordre avec une ligne autour du transistor  $T_1$ .  
(b) Schéma électrique du filtre commuté  $45^\circ$  proposé pour la thèse.

En plus de ces analyses, les parasites des interconnexions entre les transistors et les lignes microrubans doivent être pris en compte pour finaliser l'implémentation du filtre commuté  $45^\circ$ . L'empilement de vias et le modèle électrique qui en découle sont les mêmes que ceux de la Figure 39 (juste une différence pour le transistor  $T_2$  avec sa source connectée au plan de masse sur la couche de métal M2). Cependant, le problème identifié sur l'estimation de la capacité  $C_{beol}$  est aussi présent sur ce circuit. Finalement les paramètres physiques des composants du filtre commuté  $45^\circ$  sont synthétisés dans le Tableau 11.

Tableau 11 : Les paramètres physiques/électriques des composants du filtre commuté  $45^\circ$

Transistor $T_1$	Transistor $T_2$	Ligne ( $Z_{c1}, EL_1$ )	Ligne ( $Z_{c2}, EL_2$ )	Ligne ( $Z_{c3}, EL_3$ )
$L = 60 \text{ nm}$ $W_{T1} = 60 \mu\text{m}$ $Nf = 10$	$L = 60 \text{ nm}$ $W_{T2} = 25 \mu\text{m}$ $Nf = 10$	$Z_{c1} = 76 \Omega$ $EL_1 = 28^\circ$	$Z_{c2} = 76 \Omega$ $EL_2 = 26^\circ$	$Z_{c3} = 76 \Omega$ $EL_3 = 86^\circ$

Le dessin du circuit requiert encore de courber les lignes microrubans comme avec le bloc discret  $22,5^\circ$ . Les lignes ( $Z_{c1}, EL_1$ ) et ( $Z_{c2}, EL_2$ ) sont concernées vu qu'elles sont parallèles au transistor  $T_1$ . La ligne ( $Z_{c3}, EL_3$ ) n'a pas de contraintes particulières, mais vu sa longueur (plus de  $300 \mu\text{m}$ ), elle a été méandré pour réduire la surface du déphaseur. Le layout est affichée sur Figure 55 avec les plots RF, les plots DC pour commander les deux MOS et les lignes d'accès ajoutées pour la TRL. La surface avec les plots vaut  $0,36 \mu\text{m}^2$ , sans les plots elle vaut  $0,05 \mu\text{m}^2$ .

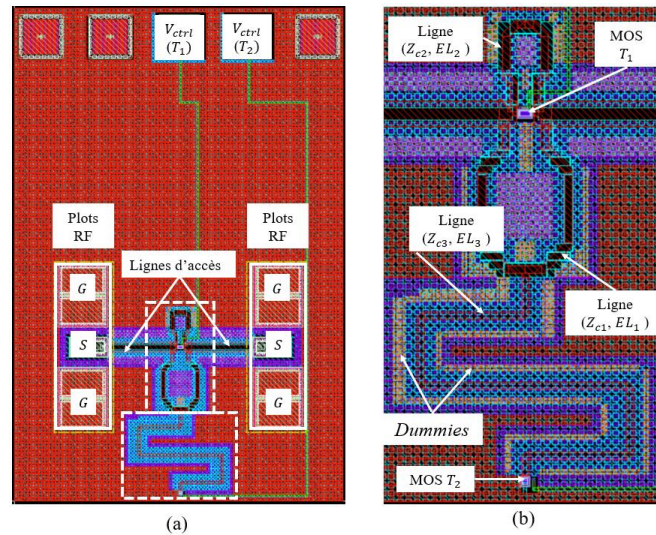


Figure 55 : (a) layout du filtre commuté  $45^\circ$  à base de MOS. (b) Zoom sur l'interconnexion entre les éléments du circuit

### III.2.2.2. Résultats de mesure

Les mesures ont été réalisées dans les mêmes conditions que le bloc discret  $22,5^\circ$  avec le calibrage TRL qui permet d'avoir directement les résultats du circuit. Dans le cas du filtre commuté  $45^\circ$ , les paramètres  $S$  des deux modes de fonctionnement sont mesurés après avoir polarisé les transistors  $T_1$  et  $T_2$ . Les résultats de mesure sont présentés sur la Figure 56 en comparaison avec la simulation.

Le comportement fréquentiel des paramètres  $S$  indique que le circuit mesuré correspond assez bien au circuit envoyé en fabrication. Il y a des différences qui seront discutées dans ce paragraphe, mais les résultats de mesure sont satisfaisants dans l'ensemble.

A l'état ON, le circuit fonctionne comme un filtre passe-bas dont la fréquence de coupure est très haute (vers 190 GHz), ce qui se justifie par le fait que le signal passe essentiellement par le transistor  $T_1$  en série avec les inductances d'interconnexion (de l'ordre d'une dizaine de pH). Le pic d'atténuation sur l'amplitude de  $S_{21}$  vers 80 GHz correspond à la résonance entre  $C_{off\_T2}$  et l'inductance équivalente des lignes  $(Z_{c1}, EL_1)$  et  $(Z_{c3}, EL_3)$ . Cette résonance s'illustre au niveau de l'adaptation d'impédance par l'augmentation de l'amplitude de  $S_{11}$  à partir de 20 GHz, pour atteindre un maximum vers 80 GHz avant de redescendre et atteindre un pic bas vers 120 GHz. L'autre remontée correspond au fonctionnement normal d'un filtre passe-bas proche de sa fréquence de coupure. En somme, l'ajout de la ligne  $(Z_{c3}, EL_3)$  et du MOS  $T_2$  empêche d'avoir un circuit large bande. Néanmoins, l'adaptation d'impédance autour de 120 GHz reste très bonne. Au niveau des pertes d'insertion, l'influence de cette résonance à 80 GHz est moindre car l'amplitude de  $S_{21}$  remonte très vite pour atteindre un pic haut vers 130 GHz avant de décroître comme celle d'un filtre passe-bas. Les pertes d'insertion à 120 GHz sont égales à 1 dB en simulation et 1,2 dB en mesure, ce qui montre un bon accord.

A l'état OFF, le circuit fonctionne comme un filtre passe-bande avec une bande passante assez large, en témoigne l'amplitude de  $S_{11}$  en dessous de -10 dB de 40 GHz à 150 GHz en simulations, avec ainsi des pertes d'insertion modérées. Malheureusement, il y a une grande différence au niveau de la fréquence de coupure haute entre la mesure et la simulation. La mauvaise estimation de la capacité d'interconnexion  $C_{beol}$  entre  $T_1$  et les lignes  $(Z_{c1}, EL_1)$  et  $(Z_{c2}, EL_2)$  explique ce décalage fréquentiel qui crée une différence non négligeable au niveau des pertes d'insertion mesurées et celles attendues en

simulations. La mesure donne des pertes d'insertion de 3,3 dB alors que l'on attendait 1,2 dB à 120 GHz. Le décalage fréquentiel est tout aussi visible sur le déphasage à l'état OFF, heureusement jusqu'à 120 GHz, les courbes de mesure et simulation restent superposées, ce qui est rassurant pour la différence de phase.

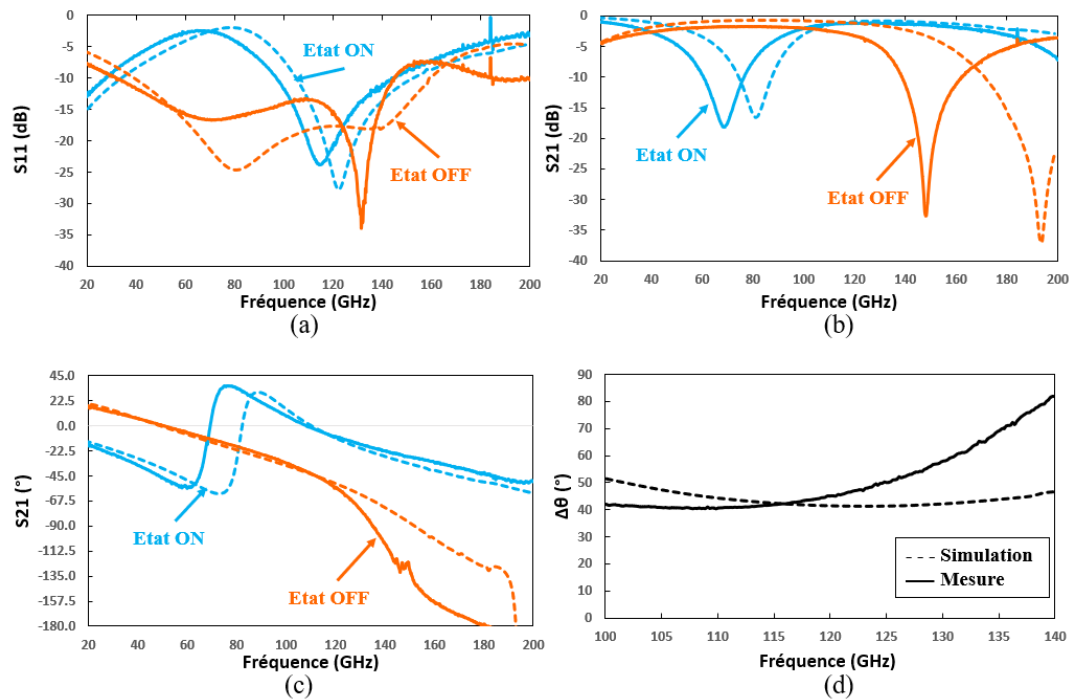


Figure 56 : Résultats de mesure VS simulation du filtre commuté 45° à base de MOS en fonction de la fréquence. (a) Amplitude de  $S_{11}$ , (b) amplitude de  $S_{21}$ , (c) phase de  $S_{21}$  et (d) la différence de phase  $\Delta\theta$

Contrairement au bloc discret 22,5°, la différence de phase  $\Delta\theta$  de la Figure 56 n'a pas une évolution linéaire en fonction de la fréquence. La courbe de la simulation montre une descente et une remontée qui permet de conserver  $\Delta\theta$  entre 40° et 50° sur la plage 100 GHz – 140 GHz. Cette forme s'explique essentiellement par le comportement passe-bande du circuit à l'état OFF. Cependant le décalage fréquentiel observé lors de la mesure déplace la plage où l'erreur de phase est inférieure à 5° sur la bande entre 83 GHz et 125 GHz. La différence de phase mesurée à 120 GHz vaut 44,9°, ce qui satisfait la condition (III. 3).

Tableau 12 : Résultats du filtre commuté 45° à base de MOS à 120 GHz

Simulation / Mesure	Etats	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{21}$ (°)	$\Delta\theta$ (°)
Simulation	ON	-25,6	-1	-10,5	41,6
	OFF	-17,6	-1,2	-52	
Mesure	ON	-20,7	-1,2	-9,8	44,9
	OFF	-15,2	-3,3	-54,7	

Les résultats de mesure reportés dans le Tableau 12 montrent que la majorité des performances attendues à 120 GHz a été obtenue. Seules les pertes d'insertion à l'état OFF font défaut. La différence de 2,1 dB par rapport à aux pertes attendues ne peut être négligée, la condition (III. 4) n'est pas respectée. Néanmoins le circuit reste fonctionnel et donne la performance attendue au niveau du déphasage avec une faible erreur de phase. De plus, il est possible de se projeter et de valider le fait que ce circuit puisse bien jouer le rôle du bloc discret 45° dans le déphaseur final permettant de réaliser un balayage continu de 0° à 360°. Par ailleurs vu la large bande donnant une différence de phase entre 40°



et 50°, les conditions (III. 3) et (III. 4) sont respectées simultanément à 100 GHz où  $\Delta\theta = 42^\circ$  avec des pertes d'insertion à l'état ON et à l'état OFF valant respectivement 2 dB et 2,1 dB.

A la lumière de cette partie sur le filtre commuté 45°, on retient que l'utilisation du MOS dans un déphaseur discret est encore une réussite, ce qui confirme la popularité du composant dans l'état de l'art. Cela confirme aussi la fiabilité de son modèle RF aux fréquences supérieures à 100 GHz. La diode PIN avec un produit  $R_{on} \cdot C_{off}$  plus faible permettrait théoriquement d'améliorer les résultats du Tableau 12. Cependant, le manque de modèle précis, la polarisation loin d'être évidente et les résultats médiocres de la version du bloc discret 22,5° avec les diodes PIN nous ont conduit à ne pas réaliser une version de ce circuit avec des diodes PIN. Dans l'état actuel, seul le transistor MOS nous semble convenir pour cette topologie de déphaseur 45°.

### III.2.3. Le RTPS discret 45°

Les RTPS dans l'état de l'art sont majoritairement utilisés pour les déphaseurs continus, les filtres commutés et les lignes commutées étant préférés pour les déphaseurs discrets. De fait, le désavantage du RTPS par rapport aux autres topologies est l'utilisation d'un coupleur 3 dB qui ajoute le double de ses pertes d'insertion aux pertes liées aux charges du RTPS. Néanmoins, les travaux de la thèse [35] ont montré la réalisation d'un coupleur 3dB avec des pertes d'insertion de 0,7 dB à 120 GHz en technologie B55, soit un ajout de 1,4 dB de pertes pour un RTPS. Une optimisation des charges permettrait ainsi d'obtenir des pertes d'insertion en dessous de 2 dB, ce qui serait une performance à l'état de l'art pour un déphaseur discret 45° au-dessus de 100 GHz. A cette possibilité s'ajoute le fait qu'un RTPS a généralement une large bande passante. Ces raisons justifient la réalisation d'un RTPS discret 45° pour l'intégrer dans le déphaseur continu 0 – 360°.

Dans cette partie sera présentée la réalisation du coupleur 3dB avec l'ambition d'avoir les mêmes performances, voire meilleures, que le coupleur de [35] à 120 GHz. Ensuite, l'optimisation des charges pour utiliser le RTPS comme un déphaseur discret sera expliqué et détaillé. De même que pour le filtre commuté 45°, l'objectif de ce RTPS discret 45° est de satisfaire les conditions (III. 3) et (III. 4).

#### III.2.3.1. Lignes microrubans couplées

Dans la partie I.2.2.4.2 sur les coupleurs 3dB en bandes millimétriques a été abordé la difficulté de mettre en place des lignes couplées horizontalement du fait des règles de dessin des circuits en technologie Silicium. Ces règles imposent une limite qui empêche de rapprocher les lignes, limitant le couplage électromagnétique nécessaire pour un coupleur 3 dB. L'évolution des technologies Silicium, surtout au niveau du BEOL, a permis de réduire cette limite. Cela a permis à l'auteur de [35] de réaliser des lignes coplanaires couplées dont les rubans de signal sont séparés de 1,8  $\mu\text{m}$ . Le BEOL utilisé dans [35] avait 8 couches de métal contre 9 couches pour le BEOL utilisé dans cette thèse, conduisant à un BEOL plus épais. La plus grande épaisseur du BEOL laisse augurer de pertes d'insertion plus faibles du fait qu'il est possible, pour la même impédance caractéristique, d'augmenter la largeur des rubans.

Le type de couplage choisi est le couplage à ondes régressives (« backward »). Dans la configuration de la Figure 18 (b), la matrice de paramètres  $S$  idéale est la suivante :

$$[S] = \frac{1}{\sqrt{2}} \begin{bmatrix} 0 & 1 & -j & 0 \\ 1 & 0 & 0 & -j \\ -j & 0 & 0 & 0 \\ 0 & -j & 1 & 1 \end{bmatrix} \quad (III. 5)$$

Il en ressort qu'à 120 GHz, il faut un coefficient de couplage  $k = 1/\sqrt{2}$ . Le paramètre  $S_{11}$  n'étant pas nul en réalité, cela a une incidence sur les paramètres  $S_{21}$ ,  $S_{31}$  et  $S_{41}$ . En tenant compte que de cette réalité, l'objectif final est d'obtenir :

$$|S_{21}| = |S_{31}| \quad (III. 6)$$

$$\phi = |\phi_{21} - \phi_{31}| = 90^\circ \quad (III. 7)$$

Sur ces bases, une simulation électromagnétique a été réalisée sur HFSS. Elle consiste à faire varier les largeurs des rubans  $W$  et l'espacement entre eux  $S$  dans l'optique de satisfaire les critères (III. 6) et (III. 7). Les lignes microrubans se trouvent sur la couche de métal M9 et le plan de masse est constitué de l'empilement des couches M1 et M2. Le Tableau 13 présente une synthèse de l'analyse paramétrique réalisée en fonction de ces paramètres physiques :

Tableau 13 : Résultats de simulation des lignes microrubans couplées en fonction des paramètres physiques à 120 GHz

$L$ ( $\mu\text{m}$ )	$W$ ( $\mu\text{m}$ )	$S$ ( $\mu\text{m}$ )	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{31}$ (dB)	$S_{41}$ (dB)	$\phi$ ( $^\circ$ )	$Z_{co}$ ( $\Omega$ )	$Z_{ce}$ ( $\Omega$ )	$Z_c$ ( $\Omega$ )
230	0,6	1,3	-18,7	-3,4	-3,5	-21,4	92	24,6	162,2	63,2
230	1,6	1,3	-20,5	-3,5	-3,2	-22,9	91,7	24,2	151,4	60,6
230	2	1,25	-23,5	-3,4	-3,3	-24,8	91,5	22,6	144,4	57,1
230	3	1,15	-31,1	-3,3	-3,3	-25	91,9	20,8	132,4	52,4

On obtient des paramètres  $S_{21}$  et  $S_{31}$  maximum et égaux pour une largeur de strip de  $3 \mu\text{m}$  et un espacement  $S$  de  $1,15 \mu\text{m}$ , conduisant à une adaptation quasi-parfaite ( $S_{11} = -31 \text{ dB}$ ) avec une impédance caractéristique égale à  $52,4 \Omega$ , et une isolation de 25 dB. Une adaptation encore meilleure peut être obtenue en réduisant la largeur de gap  $S$ , mais cela se ferait au détriment de la précision, car un très faible espacement rend le design sensible aux variations de process. Ce coupleur bien que performant souffre de la disproportion entre ses dimensions sur les axes X et Y ( $X = 230 \mu\text{m}$  et  $Y = 7,15 \mu\text{m}$ ). L'association du RTPS avec les autres blocs s'annonce problématique en termes de layout. Par conséquent, le coupleur doit être redessiné sous une forme plus compacte tout en gardant les mêmes performances (la forme en méandres présentée sur la Figure 57).

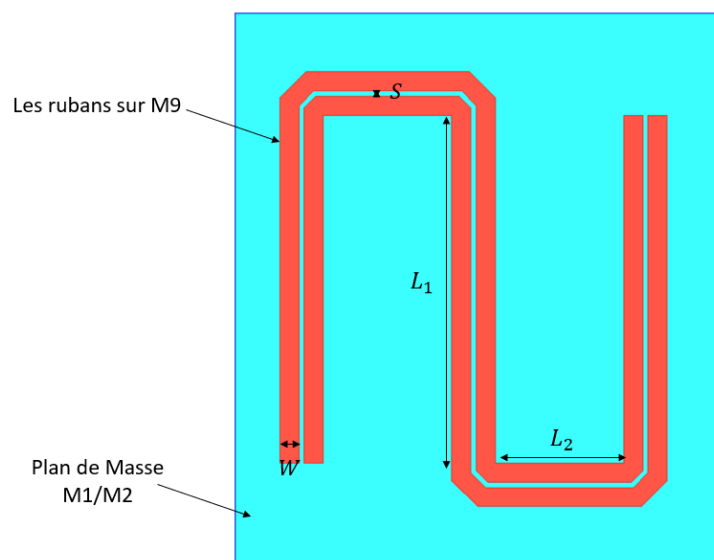


Figure 57 : Vue de dessus des lignes microrubans couplées méandrées

Une optimisation a été faite avec cette géométrie pour retrouver les mêmes performances qu'avec les lignes droites. L'idée reste la même, à savoir utiliser des rubans larges avec un petit espacement. Le fait



de courber les lignes n'est pas sans conséquence pour les paramètres  $S$  du coupleur, de ce fait même en utilisant des rubans de  $3 \mu\text{m}$ , il faut réduire l'espacement entre les rubans pour retrouver les performances du Tableau 13. L'autre contrainte se trouve au niveau de la distance  $L_2$  qui doit valoir au moins  $15 \mu\text{m}$  pour éviter les couplages entre des rubans parallèles. En prenant ces éléments en compte, les performances de la Figure 58 sont obtenues pour les paramètres suivants :  $W = 3 \mu\text{m}$ ,  $S = 0,8 \mu\text{m}$ ,  $L_1 = 54 \mu\text{m}$  et  $L_2 = 20 \mu\text{m}$ .

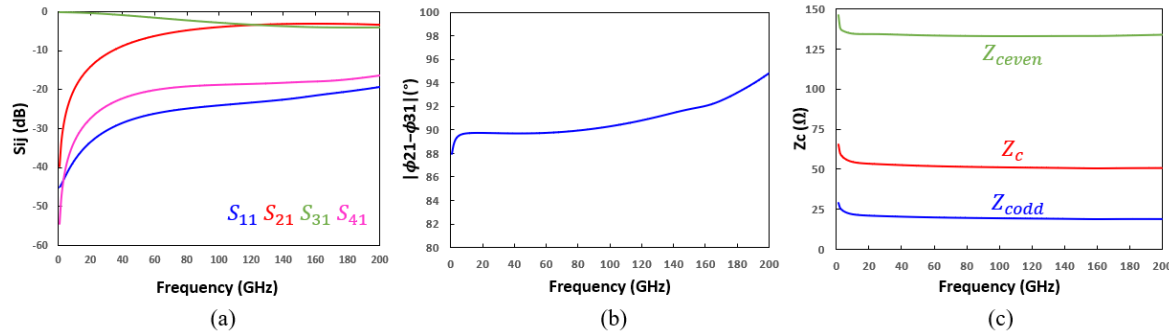


Figure 58 : Résultats de simulation des lignes couplées méandrées.

Les amplitudes des paramètres  $S$  (Figure 58 (a)) montrent un coefficient de réflexion en dessous de  $-20$  dB et une isolation en dessous de  $-15$  dB de  $0$  à  $200$  GHz. Les paramètres de transmission et de couplage se coupent à  $-3,4$  dB à  $120$  GHz. De plus, les amplitudes des deux paramètres restent à plus ou moins  $1$  dB de cette valeur de  $88$  GHz à une fréquence au-delà de  $200$  GHz. Au niveau de la Figure 58 (b), la différence de phase des paramètres  $S_{21}$  et  $S_{31}$  vaut  $90,8^\circ$  à  $120$  GHz et reste aux alentours de  $90^\circ$  sur une très large bande de fréquence. Enfin, l'impédance caractéristique (Figure 58 (c)) vaut  $50 \Omega$  et sa valeur reste constante une très large plage de fréquence. Toutes ces observations montrent que le coupleur  $3$  dB à base de lignes microrubans est fonctionnel à  $120$  GHz avec des performances qui concurrencent l'état de l'art (voir Tableau 14). Par ailleurs, la nouvelle géométrie avec les lignes méandrées permet de passer d'une surface  $230 \times 7,15 \mu\text{m}^2$  à une surface  $67,5 \times 60,4 \mu\text{m}^2$  qui est plus compacte et facilite l'intégration du RTPS avec les autres blocs pour la réalisation du déphaseur continu  $0 - 360^\circ$ .

Tableau 14 : Etat de l'art des coupleurs  $3\text{dB}$  à base de lignes couplées en bande millimétrique

Réf	Technologie	Type de couplage	Fréquence (GHz)	Direct (dB)	Couplé (dB)	Coef. Réflexion (dB)	Isolation	Bande passante 1 dB (GHz)	Taille ( $\text{mm}^2$ )
<b>Ce Travail</b>	<b>BiCMOS 55 nm</b>	<b>Horizontal</b>	<b>120</b>	<b>3,4*</b>	<b>3,4*</b>	<b>&gt; 20*</b>	<b>&gt; 15*</b>	<b>112*</b>	<b>0,004</b>
[35]	BiCMOS 55 nm	Horizontal	120	3,7	3,6	> 25	> 25	110	0,019
[35]	BiCMOS 55 nm	Horizontal	185	2,9	3,7	> 15	> 15	80	0,011
[39]	BiCMOS 130nm	Vertical	60	3,9	3,8	> 25	> 25	34	0,075
[40]	BiCMOS $0,35 \mu\text{m}$	Vertical	75	4	4	> 15	17*	30	-
[41]	SiGe BiCMOS 130 nm	Vertical	60	3,5	3,5	-	-	20	-
[43]	CMOS 65 nm	Horizontal	90	3,5	4,4	> 18	-	55	0,11

\*Simulation

### III.2.3.2. Design et optimisation de la charge

Le coupleur ayant été mis en place, le design et l'optimisation de la charge constituent l'étape finale pour réaliser le RTPS discret  $45^\circ$ . Cette charge doit avoir deux états de fonctionnement, d'où le besoin d'un composant actif. L'idée est de créer deux chemins qui ont des déphasages différents pour obtenir la différence de phase attendue. La solution choisie est une ligne chargée par un composant actif qui est utilisé comme un switch (voir Figure 59). Dans le détail, le composant est connecté en parallèle vers la masse après une longueur  $L_{access}$ . Quand le switch est fermé (état ON), le signal passe essentiellement par cette longueur puis dans le composant avant d'être réfléchi. Quand le switch est ouvert (état OFF), le signal passe uniquement par la ligne de longueur  $L_{access} + L$  avant d'être réfléchi vers le coupleur, offrant un déphasage de  $45^\circ$  entre les deux états, directement lié à la longueur  $L$ . La ligne de transmission ayant très peu de pertes d'insertion, la performance de la charge repose encore une fois sur le composant actif. Dans l'idéal, le switch doit avoir une faible résistance à l'état ON et une faible capacité à l'état OFF, soit un faible produit  $R_{on} \cdot C_{off}$ . A l'instar des autres déphaseurs discrets, le choix se pose entre le transistor MOS et la diode PIN. Les deux solutions sont étudiées dans les paragraphes suivants.

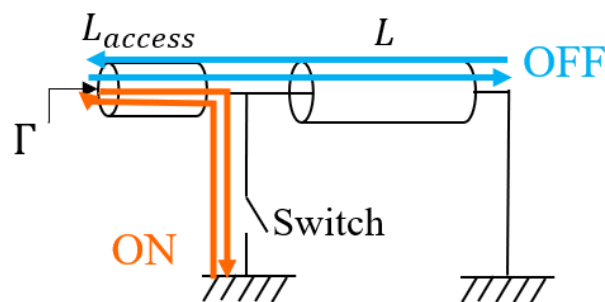


Figure 59 : Charge du RTPS discret  $45^\circ$

#### III.2.3.2.1. Composant Actif : Le transistor MOS

Le transistor MOS n'a pas de contrainte particulière pour être utilisé dans cette charge. La polarisation se fait par la grille pour le changement d'état. La suite du design consiste à évaluer la meilleure performance possible en termes de pertes d'insertion ainsi qu'au niveau de la précision de phase. Une simulation de paramètres  $S$  a été réalisée sur *Spectre* selon le schéma de la Figure 60 :

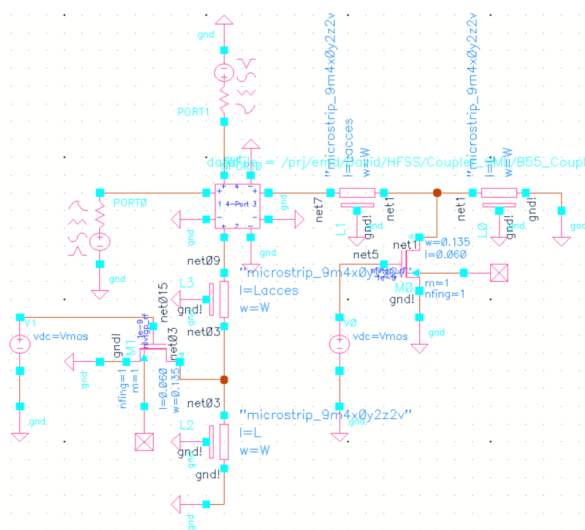


Figure 60 : Schéma électrique d'un RTPS discret  $45^\circ$  avec un MOS

La simulation consiste à faire varier les paramètres physiques des composants pour trouver la combinaison permettant de satisfaire les conditions (III. 3) et (III. 4). Une largeur  $W_L$  est fixée pour les bouts de ligne  $L_{accès}$  et  $L$ . La longueur  $L_{accès}$  est fixée à 20  $\mu\text{m}$  pour être sûr d'éloigner suffisamment le MOS du coupleur 3dB, afin d'éviter tout couplage parasite. Ensuite la largeur  $W_{MOS}$  du transistor est fixée et on fait varier la longueur  $L$  pour avoir une différence de phase de  $45^\circ$  entre les deux états. Cette étape est répétée jusqu'à avoir une égalité des pertes aux états ON et OFF. Les résultats de cette étude préliminaire sont synthétisés dans le Tableau 15 :

Tableau 15 : Paramètres Physiques des éléments de la charge avec le transistor MOS à 120 GHz

$W_L$ ( $\mu\text{m}$ )	$Z_c$ ( $\Omega$ )	$W_{MOS}$ ( $\mu\text{m}$ )	Nf	$L$ ( $\mu\text{m}$ )	$S_{11on}$ (dB)	$S_{11off}$ (dB)	$S_{21on}$ (dB)	$S_{21off}$ (dB)
3,6	80	100	20	35	-21,6	-16,7	-1,9	-1,8
6,6	69	100	20	41	-22,1	-16,7	-2	-1,8
9,6	61	100	20	46	-22,5	-16,8	-2	-1,8
12,6	55	100	20	51	-22,9	-16,9	-2	-1,8
15,6	48	100	20	56	-23,2	-16,9	-2	-1,8

Cette étude confirme que les performances de la charge en termes de pertes d'insertion dépendent essentiellement du composant actif utilisé. Le transistor MOS utilisé étant le même quel que soit l'impédance caractéristique de la ligne, les pertes d'insertion sont les mêmes. Le transistor ayant une grande largeur, le nombre de doigt a été augmenté à 20 afin de réduire les pertes d'insertion. Par conséquent les pertes d'insertion sont aux alentours de 2 dB, résultat acceptable pour un déphaseur discret  $45^\circ$  à 120 GHz. Pour la suite, le choix de l'impédance caractéristique ne repose pas sur les performances électriques du circuit, vu qu'elles sont toutes identiques. Selon le Tableau 15, la longueur  $L$  est inversement proportionnelle à l'impédance caractéristique. Cela s'explique par le comportement purement inductif de ce bout de ligne. Donc une augmentation de la largeur requiert une augmentation de la longueur de la ligne pour retrouver l'inductance équivalente permettant d'avoir la différence de phase de  $45^\circ$ . De plus, les rubans du coupleur ont une largeur de 3  $\mu\text{m}$ , ce qui renforce le choix d'une ligne haute impédance (petite largeur  $W_L$ ) pour faciliter le dessin du circuit, et également réduire la taille du circuit. Ainsi la ligne de largeur 3,6  $\mu\text{m}$  a été retenue.

Cependant la charge avec le MOS a un défaut crucial, la sensibilité de la phase à toute variation dans le circuit. Pour rappel, une mauvaise estimation de la capacité  $C_{beol}$  a donné des pertes d'insertion différentes de celles attendues sur le filtre commuté  $45^\circ$ , mais la performance au niveau de la phase est restée correcte grâce au fonctionnement du circuit qui permet d'avoir une faible erreur de phase sur une large bande. Ce n'est pas le cas pour ce circuit où la variation de phase est linéaire en fonction de la fréquence. Les simulations montrent qu'une variation de 1  $\mu\text{m}$  sur  $L$  (soit 0,5 pH au niveau de l'inductance équivalente) correspond à une variation de  $1,5^\circ$  sur la différence de phase. En conclusion, le RTPS discret avec le MOS n'est pas d'une grande robustesse au niveau de la phase. La diode PIN dont la capacité  $C_{off}$  peut être ajustée entre les tensions -1 V et 0 V permettrait de compenser toute erreur de phase, et donc d'améliorer la précision de phase.

### III.2.3.2.2. Composant Actif : La diode PIN

La diode PIN s'est montrée comme un mauvais choix pour le bloc discret  $22,5^\circ$  et le filtre commuté  $45^\circ$ . En revanche le switch de la charge décrite sur la Figure 59 est utilisé en configuration parallèle, ce qui facilite la polarisation de la diode PIN. Dans le but d'éviter les capacités de liaison, la diode est inversée pour avoir l'anode vers le bas (voir Figure 61). De plus, le bout de ligne  $L$  est connecté à la masse, donc on s'assure d'avoir un potentiel fixe sur la cathode. La capacité  $C_s$  connectée à l'anode sert de capacité de découplage. Cette capacité doit être suffisamment grande pour faciliter le passage du signal RF vers la masse.

Dans le chapitre 2, on a expliqué les difficultés d'utiliser les MOM et les MIM en bande millimétrique à cause de la fréquence de résonance pour l'un et le facteur de qualité pour l'autre. La capacité « plate » entre M2 et M4 présente dans le DK de STMicroelectronics a une densité de capacité trop faible pour réaliser des capacités supérieures 50 fF. De ce fait, une nouvelle capacité doit être développée.

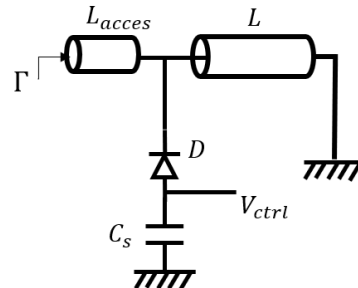


Figure 61 : Schéma électrique de la charge du RTPS discret 45°

La mise en place de la capacité  $C_s$  est basée essentiellement sur les potentielles pertes qu'elle ajoute, sa fréquence de coupure et la surface occupée. Au niveau des pertes, une capacité à peine supérieure à 300 fF, soit une impédance inférieure à  $5 \Omega$ , serait suffisante. Ensuite l'objectif est d'obtenir cette capacité avec une fréquence de résonance aux alentours de 140 GHz pour s'assurer de son bon fonctionnement à 120 GHz. L'idée est de partir de la structure de la capacité « plane » entre M2 et M4 et de la reproduire entre M1 et M6 pour augmenter la capacité totale. La structure sur la Figure 62 (a) montre les métaux M2, M4 et M6 connectés d'une part et les métaux M1, M3 et M5 connectés d'autre part. La largeur  $W_c$  étant limitée à  $12 \mu m$  par les règles de dessin, on peut faire varier la longueur  $L_c$  pour augmenter la capacité, mais la fréquence de coupure diminue très rapidement. Finalement, deux structures de dimension  $W_c = 12 \mu m$ ,  $L_c = 10 \mu m$  et  $S_c = 2,5 \mu m$  ont été mises en parallèle (voir Figure 62 (b)) pour obtenir le résultat de la Figure 62 (c). L'effet inductif permet de passer d'une capacité de 167 fF à 1 GHz à 400 fF à 120 GHz. L'empilement de vias entre M4 et M9 permet de réduire l'inductance parasite du tronçon en T utilisé pour relier les deux structures unitaires. En conséquence, la fréquence de résonance passe à 156 GHz alors qu'elle était à 137 GHz (donc une capacité plus grande à 120 GHz) avec un tronçon en T uniquement sur la couche M4.

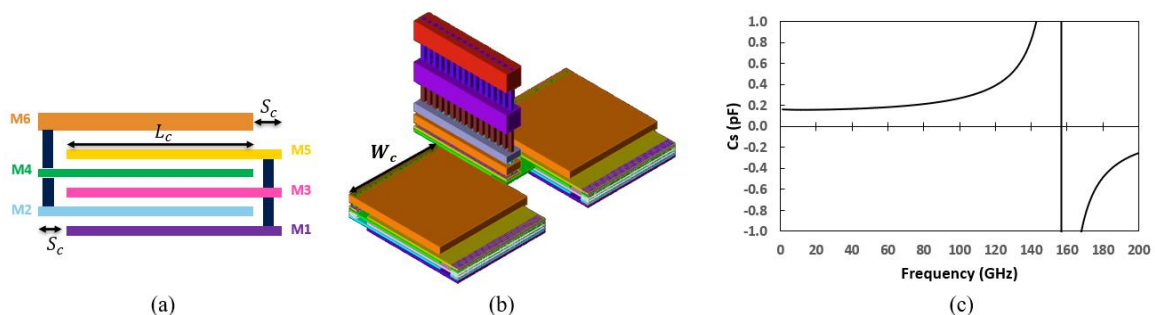


Figure 62 : (a) Vue en coupe d'une capacité "plate" entre M1 et M6 (b) Vue 3D de deux capacités en parallèle (c) Courbe de la capacité équivalente en fonction de la fréquence

La boîte de paramètres  $S$  fournie par Momentum à la suite de la simulation électromagnétique de la capacité  $C_s$  a été utilisée pour la simulation du déphaseur sur *Spectre*. Les modèles des lignes microrubans sont ceux du DK, le coupleur 3dB est toujours le même et la diode PIN est encore modélisée par une résistance ou une capacité. Les premiers résultats de cette simulation montrent une difficulté à égaliser les pertes dans les deux états. La cause est une résonance qui apparaît à 85 GHz à

l'état ON. Cette résonance provient de la mise en série de la capacité  $C_s$  et la ligne  $L_{access}$  ainsi que la ligne du coupleur auquel est connectée la charge. La capacité  $C_s$  étant indispensable pour la polarisation de la diode PIN, une modification a été apportée à la charge pour éloigner cette résonance de 120 GHz. La solution est illustrée sur la Figure 63 avec l'apparition d'une nouvelle ligne  $L_2$ . Le but de cette ligne est d'augmenter la capacité équivalente (vu qu'une capacité en série avec une inductance reste une capacité) de la branche ligne  $L_2$ -diode PIN  $D$ -capacité  $C_s$ .

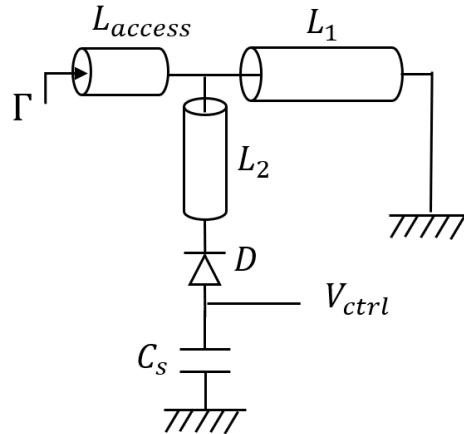


Figure 63 : Nouvelle charge du RTPS discret 45° à base de diode PIN

L'ajout de cette ligne permet de réduire la fréquence de résonance de la capacité  $C_s$  dans l'état ON à 60 GHz. Une simulation a été réalisée en fonction de l'impédance caractéristique des lignes (largeur  $W_L$ ), de la longueur d'anode de la diode  $D$  et de la longueur des lignes  $L_1$  et  $L_2$ . La longueur de la ligne  $L_{access}$  a été fixée à 20  $\mu\text{m}$  pour écarter la charge du coupleur 3 dB. Les éléments étant fixés, l'objectif est de faire varier les éléments du circuit pour obtenir une différence de phase de 45° entre les deux états. Les résultats obtenus sont synthétisés dans le Tableau 16 :

Tableau 16 : Paramètres Physiques des éléments de la charge avec la diode PIN à 120 GHz

$W_L$ ( $\mu\text{m}$ )	$Z_c$ ( $\Omega$ )	$L_{anode}$ ( $\mu\text{m}$ )	$L_2$ ( $\mu\text{m}$ )	$L_1$ ( $\mu\text{m}$ )	$S_{11on}$ (dB)	$S_{11off}$ (dB)	$S_{21on}$ (dB)	$S_{21off}$ (dB)
3,6	80	3,75	25	56	-19,1	-15,2	-1,7	-0,9
6,6	69	3,75	30	63	-19,4	-15,2	-1,7	-0,9
9,6	61	3,75	35	70	-19,6	-15,2	-1,7	-0,9
12,6	55	3,75	40	76	-19,8	-15,2	-1,6	-0,9
15,6	48	3,75	45	82	-20	-15,2	-1,6	-0,9

A l'instar de la charge avec le transistor MOS, les performances de la charge avec la diode PIN dépendent entièrement du composant actif. Dans le Tableau 16, la diode de longueur d'anode  $L_{anode} = 3,75 \mu\text{m}$  a été retenue quelque soit l'impédance caractéristique. Les longueurs  $L_1$  et  $L_2$  ont été adaptées en fonction de  $W_L$  pour obtenir la différence de phase de 45°. Cependant, l'égalisation des pertes des deux états n'est pas respectée, ce qui s'explique par la résonance de la capacité  $C_s$  à l'état ON d'une part et la faible capacité  $C_{off}$  (entre 15 fF et 22 fF) de la diode PIN d'autre part. Certes le non-respect de la condition (III. 4) est une limitation pour le déphaseur discret 45°, mais la possibilité de faire varier  $R_{on}$  et  $C_{off}$  est un atout précieux pour la précision de phase, aussi que pour une amélioration de l'égalité entre les pertes lors de la mesure.

En termes de layout, l'assemblage du coupleur 3dB et la charge de la Figure 63 est présentée sur la Figure 64. La charge est présente sur les ports « coupled » et « through » et la structure compacte du coupleur permet d'obtenir une faible surface de 0,025  $\mu\text{m}^2$  sans les plots.



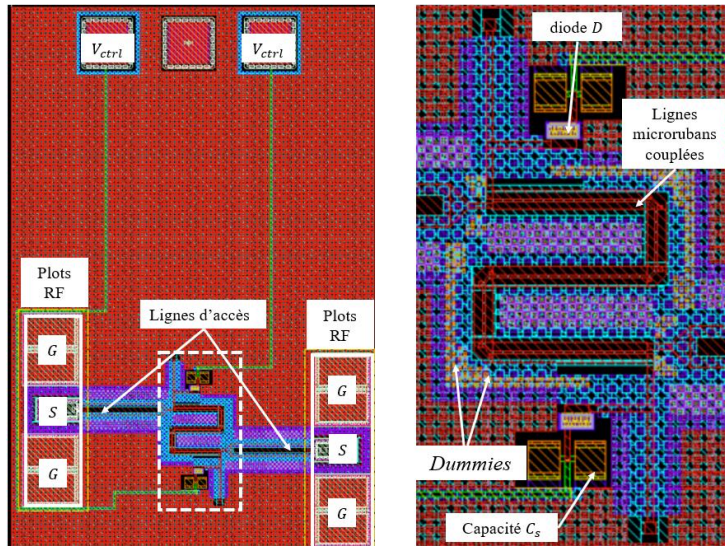


Figure 64 : Layout du RTPS discret 45° à base de diode PIN

### III.2.3.3. Résultats de mesure

Le RTPS discret 45° à base de diode PIN a été fabriqué et mesuré dans les mêmes conditions que le filtre commuté 45°. La polarisation de la diode PIN consiste à appliquer un courant à l'état ON et une tension négative à l'état OFF. Des variations sont observées sur les paramètres  $S$  en fonction des commandes extérieures appliquées sur la diode PIN. Ensuite, les points de polarisation permettant de respecter les critères (III. 3) et (III. 4) sont retenus et les résultats sont affichés sur la Figure 65. Les résultats de mesure sont obtenus pour un courant  $I_{direct} = 2 \text{ mA}$  et une tension  $V_{indirecte} = -2 \text{ V}$ . Avec ces points de polarisation, la différence de phase  $\Delta\theta = 44,5^\circ$  et les pertes d'insertion aux états ON et OFF valent respectivement 2,6 dB et 2,8 dB à 120 GHz. En somme le RTPS discret 45° est fonctionnel. Néanmoins, certaines différences avec les résultats de simulation nécessitent des analyses.

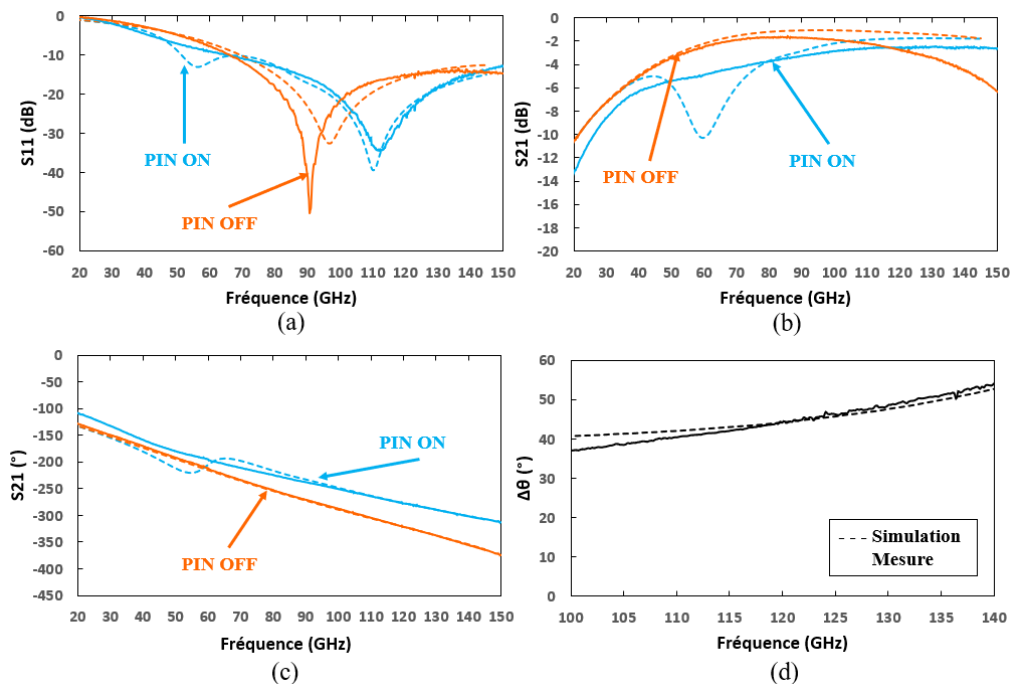


Figure 65 : Résultats de mesure VS simulation du RTPS discret 45° à base de MOS en fonction de la fréquence. (a) Amplitude de  $S_{11}$ , (b) Amplitude de  $S_{21}$ , (c) Phase de  $S_{21}$  et (d) Différence de phase  $\Delta\theta$

Sur le paramètre  $S_{21}$ , un décalage fréquentiel est observé sur l'amplitude à l'état OFF, ce qui implique que l'impédance présentée par la diode PIN est différente de celle considérée en simulation. Encore une fois, la connexion entre la cathode et le substrat (diode  $D_{SUB}$ ) n'avait pas été modélisée lors de la simulation. En conséquence, cette différence d'impédance provient des parasites de cette diode qui est parallèle à la diode PIN du point de vue de la cathode. Il s'en suit une grande différence entre les pertes d'insertion où la mesure donne 2,8 dB alors que l'on attendait 1,2 dB (résultats de la simulation finale en intégrant les parasites des interconnexions). A l'état ON, la résonance prévue entre la capacité  $C_s$  et l'inductance équivalente des lignes tout autour est absente sur la courbe de mesure. En fait, l'anode et le plot DC sont connectés sur la couche M4. Pour s'assurer que le signal DC arrivant sur l'anode soit découplé, elle a été blindée par une couche de métal sur M5 et une autre sur M3. Ces couches étant connectées au plan de masse, une capacité entre cette ligne et le plan de masse a été créée. Les couches M3, M4 et M5 étant très proches, cette capacité est très élevée. La capacité équivalente de la branche ligne  $L_2$  - diode PIN  $D$  - capacité  $C_s$  est encore plus élevée, ce qui réduit considérablement la fréquence de résonance d'où sa disparition sur la courbe de mesure de la Figure 65 (b). Heureusement, ces différences ont très peu d'impact sur la phase du paramètre  $S_{21}$  au-delà de 80 GHz, donc les courbes  $\Delta\theta$  de simulation et de mesure sont très proches (voir Figure 65 (d)).

Concernant le paramètre  $S_{11}$ , les décalages fréquentiels observés sont minimes. Aussi, la large bande passante prévue selon le fonctionnement d'un RTPS a été celle mesurée. Cette bande passante confirme le bon fonctionnement du coupleur 3 dB puisque les différences observées sur les charges n'ont pas perturbé l'adaptation en impédance du circuit. Par ailleurs, cela représente un avantage majeur dans le cas de l'assemblage de plusieurs blocs pour le déphaseur continu  $0 - 360^\circ$ . Finalement, les résultats de simulation et mesure du RTPS discret  $45^\circ$  sont synthétisés dans le Tableau 17.

Tableau 17 : Résultats du RTPS discret  $45^\circ$  à base de diode PIN à 120 GHz

Simulation / Mesure	Etats	$S_{11}(dB)$	$S_{21}(dB)$	$\Delta\theta$ ( $^\circ$ )
Simulation	ON	-24	-1,2	44,3
	OFF	-15,8	-1,8	
Mesure	ON	-25,1	-2,6	44,5
	OFF	-15,3	-2,8	

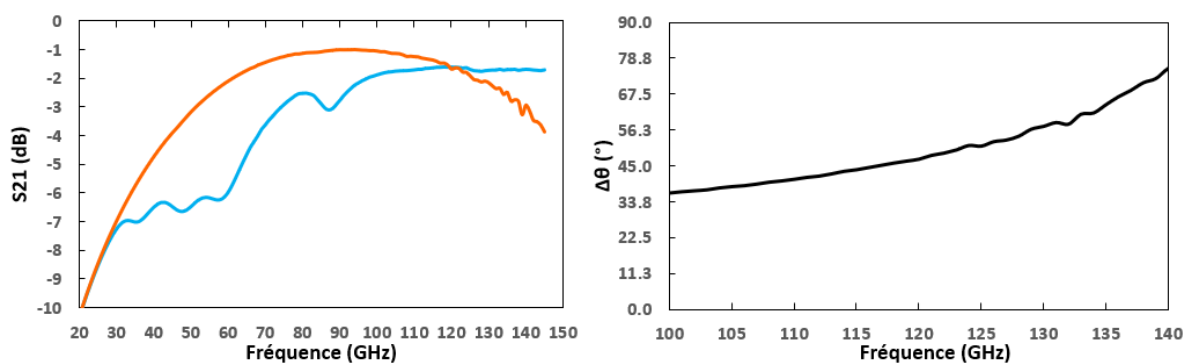


Figure 66 : Résultats de simulation du RTPS discret  $45^\circ$  en inversant les ports de la diode PIN

Le Tableau 17 montre clairement un RTPS discret  $45^\circ$  fonctionnel à 120 GHz, mais les pertes d'insertion ne sont pas au niveau de l'état de l'art pour un déphaseur discret de  $45^\circ$  (1.5 dB dans [26]). Ces pertes étant en partie dues à la connexion entre la cathode et le substrat, l'idée est de retourner la diode PIN en connectant l'anode à la ligne  $L_2$  puis en faisant la polarisation au niveau de la cathode. L'effet de la diode  $D_{SUB}$  est atténué puisque le signal traverse d'abord la capacité  $C_{off}$  avant de l'atteindre. Ainsi une simulation a été réalisé sur Spectre avec la boîte de paramètres  $S$  mesurés de la



diode PIN de longueur  $L_{anode} = 3,75 \mu m$ . A 120 GHz, les pertes d'insertion aux états ON et OFF sont respectivement de 1,6 dB et 1,7 dB et  $\Delta\theta = 47,2^\circ$ . L'utilisation d'un modèle plus réaliste de la diode PIN confère une certaine maturité au circuit, ce qui permet d'affirmer que les résultats de la Figure 66 représentent la meilleure performance possible avec la diode PIN dans un RTPS discret  $45^\circ$ . Ces résultats sont très proches de l'état de l'art.

### III.2.4. Synthèse

Il ressort des parties précédentes que deux circuits ont été réalisés pour représenter le bloc discret  $45^\circ$  dans l'assemblage final. Ces deux circuits ont chacun mis en avant un composant actif différent (transistor MOS et diode PIN), permettant de mieux comprendre leurs avantages et inconvénients pour leur utilisation en tant que switch dans un déphaseur. Le filtre commuté  $45^\circ$  a montré que le MOS reste intéressant pour la réalisation d'un déphaseur discret de  $45^\circ$ , même à 120 GHz. D'ailleurs, ce composant aurait pu être utilisé pour l'implémentation du RTPS discret, mais la variabilité des paramètres de la diode PIN lui confère un avantage dans le sens où elle donne la liberté d'améliorer la précision de la phase ainsi que l'égalisation des pertes, choses que ne permet pas le transistor MOS. Cependant, la non-modélisation de la connexion entre le substrat et la cathode a empêché d'anticiper les effets de la diode  $D_{SUB}$  sur l'impédance présentée au niveau de la cathode. Même si le RTPS discret  $45^\circ$  est fonctionnel à 120 GHz, les pertes d'insertion représentent un axe d'amélioration. L'inversion des ports de la diode PIN est la solution mise en place et les résultats de simulation montrent une amélioration au niveau des pertes d'insertion en attendant la confirmation par la mesure.

Finalement, les deux circuits avec leurs qualités et défauts présentent des résultats satisfaisants à la fréquence de travail (voir Tableau 18). Au-delà des pertes d'insertion et de la bande passante, on peut évoquer la précision de phase des deux topologies. En ce sens, la dernière colonne du Tableau 18 permet d'évaluer la bande dans laquelle la différence de phase reste entre  $40^\circ$  et  $50^\circ$ , soit une erreur en dessous de  $5^\circ$ . Sur ce critère, le filtre commuté est meilleur avec une bande de 41 GHz même si la borne supérieure de la bande est proche de 120 GHz. Le RTPS discret présente une bande de plus de 15 GHz quelque que soit le composant actif utilisé, ce qui est satisfaisant pour des applications bande étroite. En somme, en plus d'être fonctionnel selon les critères d'amplitude et de phase, les deux topologies permettent d'avoir une bonne précision de phase.

Tableau 18 : Résultats des deux topologies réalisées pour le bloc discret  $45^\circ$

Topologie	Composant Actif	Bande passante (GHz)	$S_{21on}$ (dB) @ 120 GHz	$S_{21off}$ (dB) @ 120 GHz	$\Delta\theta$ ( $^\circ$ ) @ 120 GHz	Bande de fréquence (GHz) pour $\Delta\theta$ entre $40^\circ$ et $50^\circ$
Filtre commuté	MOS	100 – 150	-1,2	-3,3	44,9	84 – 125
RTPS discret	PIN (connecté à la ligne $L_2$ par la cathode)	> 65	-2,6	-2,8	44,5	108 – 133
	PIN (connecté à la ligne $L_2$ par l'anode) *	> 70	-1,6	-1,7	47,2	108 – 123
	MOS *	> 68	-2,1	-2,5	44,2	112 – 130

\* Simulation

### III.3. Les blocs discrets $90^\circ$ et $180^\circ$

Cette partie regroupe les deux blocs discrets  $90^\circ$  et  $180^\circ$  car l'idée de mettre en place un déphaseur permettant d'avoir ces deux états de phase a été explorée pendant la thèse. Cette idée est motivée par un souhait d'éviter deux circuits couteux en termes de pertes d'insertion et de surface. Dans ce cas, ce circuit présente quatre états, dont un état de référence et trois autres états dont les différences de phases par rapport à la référence sont respectivement  $90^\circ$ ,  $180^\circ$  et  $270^\circ$ .

### III.3.1. Le choix de la topologie

L'état de phase  $90^\circ$  représente l'étalon des topologies de déphaseurs passifs. Plus clairement, certaines topologies sont meilleures pour des déphasages en dessous de  $90^\circ$  ou pour des déphasages au-dessus de cette valeur. Par exemple, les filtres commutés et les lignes chargées sont plus adaptés aux déphasages inférieurs à  $90^\circ$  alors que les lignes commutées commencent à devenir intéressantes pour des déphasages supérieurs à  $90^\circ$ . Le RTPS discret voit son intérêt baisser à  $45^\circ$  au vu des résultats présentés dans les parties précédentes.

Le choix entre les lignes commutées et le RTPS discret repose sur leur capacité à produire 4 états de phases discrets. En théorie, 4 lignes commutées permettent de réaliser les 4 états de phase, mais cela demande des switches SP4T (Single Port 4 Throws) qui sont complexes à réaliser à notre fréquence de travail. Puis, la longueur des lignes et l'espacement entre elles pour éviter des couplages électromagnétiques parasites imposent une surface qui devient rédhibitoire. Le RTPS discret de son côté a déjà un coupleur 3dB très performant et peu couteux en termes de surface, il reste à mettre en place la charge qui va permettre de réaliser un déphaseur discret 2 bits.

### III.3.2. Le RTPS 2 bits

La charge du RTPS 2 bits proposé est basée sur la charge du RTPS discret  $45^\circ$  avec l'idée de créer 4 chemins différents pour avoir les 4 états de phase. Par conséquent, une ligne chargée par 3 switches a été mise en place (voir Figure 67). Les états des switches  $S_1$ ,  $S_2$  et  $S_3$  déterminent les différents états de phase (Tableau 19). L'état de référence (état 1) doit correspondre à l'état où le signal parcourt la plus petite distance jusqu'à la masse, donc tous les switches sont à l'état ON. Ensuite, il faut allonger le chemin pour une différence de phase de  $90^\circ$ , donc l'état 2 correspond au switch  $S_1$  à l'état OFF, les autres restant à l'état ON. Le même principe pour l'état 3 afin d'avoir une différence de phase de  $180^\circ$  par rapport à l'état 1, donc les switches  $S_1$  et  $S_2$  sont à l'état OFF et seul le switch  $S_3$  reste à l'état ON. Enfin, l'état 4 correspond au plus long chemin pour une différence de phase de  $270^\circ$  par rapport à l'état 1, donc tous les switches sont à l'état OFF.

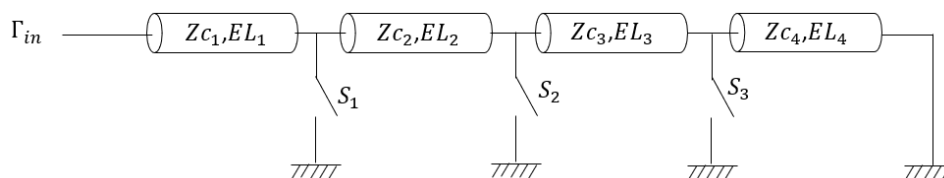


Figure 67 : Principe de la charge du RTPS 2 bits

Tableau 19 : Description des différents états du RTPS 2 bits

Etats	Phases	Etats des Switches
1	$\Delta\theta = 0^\circ$	$S_1 = S_2 = S_3 = ON$
2	$\Delta\theta_2 = 90^\circ$	$S_1 = OFF$ et $S_2 = S_3 = ON$
3	$\Delta\theta_3 = 180^\circ$	$S_1 = S_2 = OFF$ et $S_3 = ON$
4	$\Delta\theta_4 = 270^\circ$	$S_1 = S_2 = S_3 = OFF$

#### III.3.2.1. Optimisation de la charge

L'optimisation de cette charge s'annonce plus complexe que celle du RTPS discret  $45^\circ$ . Premièrement, la ligne est divisée en 4 tronçons, soit 4 lignes de transmission dont l'impédance caractéristique et la longueur doivent être définies. Deuxièmement, la charge du RTPS 2 bits comporte 3 switches, donc les problèmes rencontrés sur le RTPS discret  $45^\circ$  sont amplifiés avec cette charge. Enfin, l'égalisation des pertes reste un objectif majeur dans la réalisation de ce déphaseur.

Avec des switches idéaux, les longueurs électriques  $EL_2$ ,  $EL_3$  et  $EL_4$  seraient égales à  $45^\circ$  (la ligne  $(Zc_1, EL_1)$  sert à écarter la charge du coupleur). La réalité étant différente, il est important de déterminer l'influence des paramètres  $R_{on}$  et  $C_{off}$  sur le déphasage et les pertes d'insertion, comment évolue les longueurs électriques permettant d'obtenir les états de phase du RTPS 2 bits ? Pour ce faire, une étude est réalisée sur ADS avec des lignes idéales d'impédances  $50 \Omega$  dont la longueur électrique varie. Dans un premier cas, on cherche à évaluer l'influence de la résistance  $R_{on}$  des switches, donc en état OFF, ils sont représentés par des circuits ouverts (voir Figure 68).

Dans cette étude, les longueurs électriques  $EL_2$ ,  $EL_3$  et  $EL_4$  sont fixées à  $45^\circ$ . L'objectif pour la suite est d'observer la phase et l'amplitude du coefficient de réflexion ( $\Gamma$ ) en fonction de la résistance  $R_{on}$  à 120 GHz. Globalement, la phase de  $\Gamma$  dans les différents états reste constante tandis que l'amplitude subit des variations en fonction de  $R_{on}$  (voir Figure 69). Cette amplitude diminue pour les états 1, 2 et 3 lorsque  $R_{on}$  augmente. En fait, la variation de  $R_{on}$  entraîne un changement au niveau des impédances vues pas les bouts de ligne, ce qui perturbe la circulation du signal et empêche d'avoir une réflexion parfaite. D'ailleurs, dans l'état 4 où les switches en état OFF sont considérés comme des circuits ouverts, le signal est entièrement réfléchi. Au niveau des valeurs, la variation de  $R_{on}$  entre 0 et  $10 \Omega$  ajoute 3,2 dB de pertes et cela monte à 6 dB lorsque  $R_{on}$  est augmenté jusqu'à  $20 \Omega$ . Sachant que des lignes non idéales vont ajouter des pertes, qu'il faut prendre en compte les pertes du coupleur, les switches devront avoir des résistances  $R_{on}$  en dessous de  $10 \Omega$  pour obtenir des résultats à l'état de l'art à savoir 3 dB pour un déphaseur discret  $90^\circ$ .

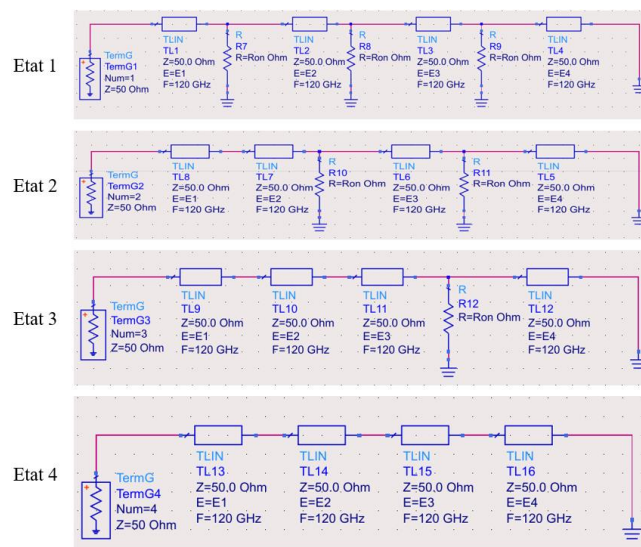


Figure 68 : Schéma de la charge du RTPS 2 bits en remplaçant les switches en ON par des résistances

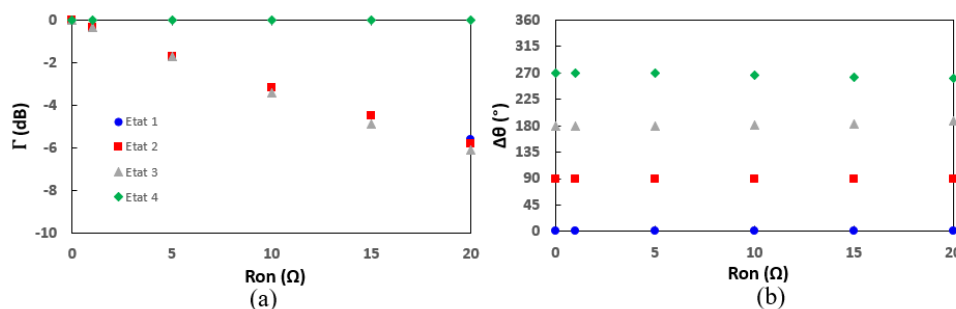


Figure 69 : Résultats de l'influence de  $R_{on}$  sur la charge du RTPS 2 bits à 120 GHz. (a) Amplitude et (b) phase du coefficient de réflexion de chaque état en fonction de  $R_{on}$

La deuxième partie de cette étude consiste à évaluer l'influence de la capacité  $C_{off}$  des switches. Cette fois-ci les switches en état OFF sont remplacés par des capacités idéales et les switches en état ON sont des représentés par des courts-circuits (voir Figure 70). La méthodologie reste identique : les longueurs électriques  $EL_2$ ,  $EL_3$  et  $EL_4$  sont fixées à  $45^\circ$  et on observe la variation de l'amplitude et la phase de  $\Gamma$  en fonction de  $C_{off}$ . Contrairement à l'étude sur la résistance  $R_{on}$ , on obtient des variations la phase de  $\Gamma$  en fonction de  $C_{off}$  tandis que l'amplitude reste constante. L'explication reste la même à savoir un changement au niveau des impédances vues par les bouts de lignes, ce qui change considérablement l'impédance vu à l'entrée de la charge. Dans ce cas-ci, l'amplitude de  $\Gamma$  n'est pas impactée parce qu'il n'y a aucune variation sur la partie réelle des impédances du fait d'avoir les switches en état ON représentés par des courts-circuits. Cependant, la variation de phase en fonction de  $C_{off}$  représente un véritable problème puisqu'une variation de cette capacité de 0 à 10 fF crée un décalage de  $26^\circ$  dans l'état 2,  $43^\circ$  dans l'état 3 et  $64^\circ$  dans l'état 4 (Figure 71). La charge est donc très sensible aux variations sur la capacité  $C_{off}$  et le fait d'obtenir de si grandes variations pour des valeurs en dessous de 10 fF nous oblige à utiliser des diodes PIN. Malgré les contraintes liées à sa polarisation, son produit  $R_{on} \cdot C_{off}$  plus faible et la possibilité faire varier ses paramètres lui donnent par rapport au transistor MOS pour la réalisation du RTPS 2 bits.

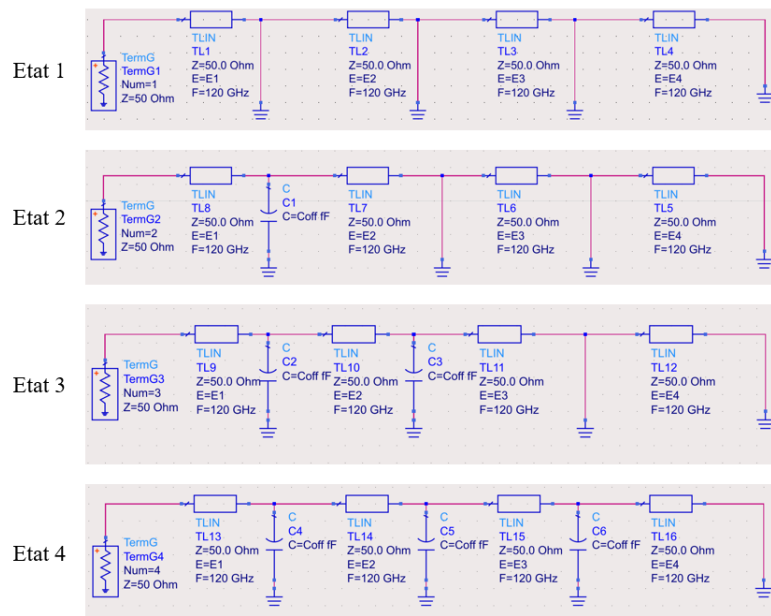


Figure 70 : Schéma de la charge du RTPS 2 bits en remplaçant les switches en OFF par des capacités.

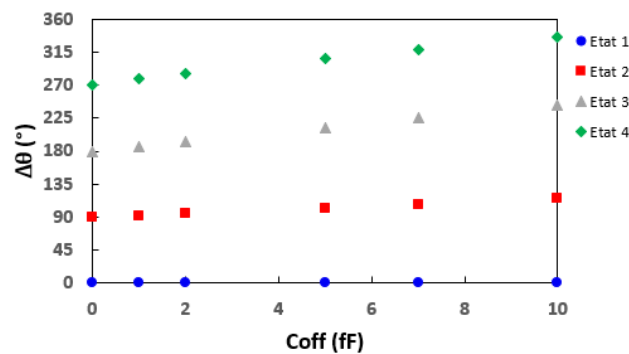


Figure 71 : Résultats de l'influence de Coff sur la phase du RTPS 2 bits à 120 GHz.

Ces deux études préliminaires mis ensemble permettent de comprendre les leviers à actionner pour optimiser la charge afin d'obtenir un déphaseur discrets 2 bits avec les phases attendues et des amplitudes équivalents dans chaque état. La simulation finale est réalisée sur Spectre, le coupleur 3 dB utilisé pour le RTPS discret 45° est réutilisé, les lignes idéales sont remplacées par leur modèle RF, la diode est représentée par une résistance ou une capacité et les parasites d'interconnexion sont aussi pris en compte. L'impédance caractéristique des lignes, les longueurs électriques  $EL_2$ ,  $EL_3$ ,  $EL_4$  et les couples ( $R_{on}$ ,  $C_{off}$ ) des diodes  $D_1, D_2, D_3$  sont les paramètres à trouver pour finaliser l'optimisation de la charge.

Tableau 20 : Paramètres électriques des éléments de la charge du RTPS 2 bits

Lignes				Diodes PIN		
$Z_c$ ( $\Omega$ )	$EL_2$ ( $^\circ$ )	$EL_3$ ( $^\circ$ )	$EL_4$ ( $^\circ$ )	$D_1$	$D_2$	$D_3$
80	27	40	27	$L_{anode} = 2,5 \mu\text{m}$	$L_{anode} = 1,25 \mu\text{m}$	$L_{anode} = 3,75 \mu\text{m}$

Suivant les paramètres électriques du Tableau 20, le circuit est dessiné de la manière que la RTPS discret 45°, à la différence qu'il y a 6 diodes alimentées étant donné que la charge du RTPS 2 bits en compte 3. Concernant la polarisation des diodes, la méthode reste aussi la même, à savoir que la cathode est connectée à la ligne chargée qui elle-même est connectée au plan de masse, fixant ainsi le potentiel de la cathode. Concernant les lignes, la longueur totale est de 376  $\mu\text{m}$ , ce qui oblige à faire des courbures pour garder la charge assez proche du coupleur 3dB. Finalement, tous les ajustements et la forme compacte du coupleur 3dB permet d'avoir une surface de 0,069  $\text{mm}^2$  sans les plots.

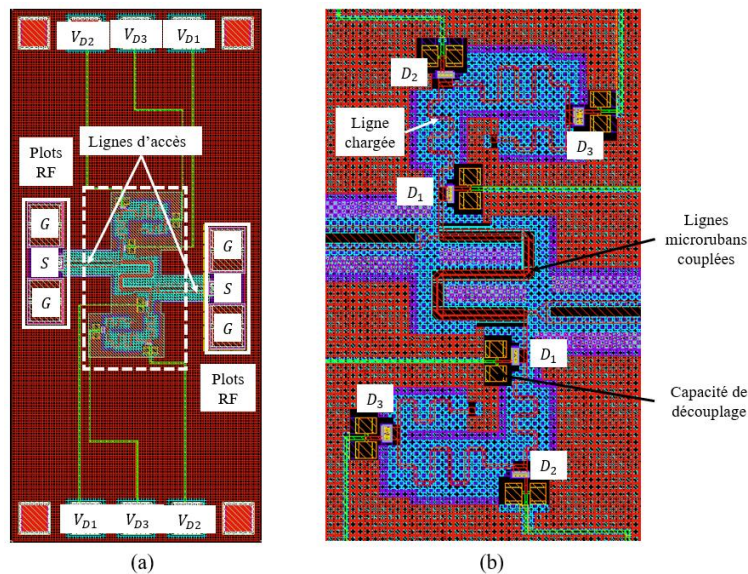


Figure 72 : (a) layout du RTPS 2 bits à base de diodes PIN. (b) Zoom sur l'interconnexion entre les éléments du circuit

### III.3.2.2. Résultats de mesure

Le plan de mesure du RTPS 2 bits est le même que celui du RTPS discret 45° : les diodes sont polarisées en courant pour l'état ON et en tension négatives pour l'état OFF. Ensuite, Les paramètres S sont mesurés dans chacun des 4 états de fonctionnement prévus dans le Tableau 19. Les courbes affichés sur la Figure 73 permettent aussi de comparer les résultats mesures aux simulations.

Au niveau du paramètre  $S_{11}$ , les courbes restent en dessous de -10 dB à partir de 60 GHz et la corrélation entre simulation et mesure est très bonne pour tous les états. Cela confirme encore le bon



fonctionnement du coupleur 3dB qui permet au RTPS d'avoir une large bande passante en dépit des différences au niveau de la charge entre le circuit mesuré et celui simulé. On note aussi les déphasages corrects à 120 GHz des états 2 et 4 où  $\Delta\theta_2 = 86,6^\circ$  et  $\Delta\theta_4 = 276,5^\circ$ . Malheureusement, le déphasage de l'état 3  $\Delta\theta_3 = 201,1^\circ$  est loin du  $180^\circ$  attendu. Selon les courbes de phase de l'état 3 (voir Figure 73 (c) et (d)), il y avait déjà une différence non négligeable après la simulation électromagnétique de l'ensemble du circuit (réalisée après l'envoi en fabrication) qui s'explique par une mauvaise estimation de la longueur électrique des lignes méandrées chargées par les diodes PIN. Puis, il faut ajouter le manque de modèle pour la diode PIN lors du design et la sensibilité de la phase à sa capacité  $C_{off}$ . Tous ces facteurs sont des sources d'incertitude qui mis bout à bout expliquent ce décalage au niveau de  $\Delta\theta_3$ . Au niveau des pertes (Figure 73 (b)), il y a aussi une grande différence entre les résultats mesurés et simulés. En effet, on obtient à 120 GHz des pertes allant jusqu'à 8,6 dB pour l'état 4 alors qu'on attendait des pertes de l'ordre de 2,9 dB pour tous les états. A l'instar de tous les circuits où la diode PIN fut utilisée, le manque du modèle de la connexion entre la cathode et le substrat s'avère préjudiciable. Sachant que le RTPS 2 bits compte 6 diodes PIN, l'effet se fait encore plus ressentir dans l'état 4 où toutes les diodes fonctionnent en état OFF.

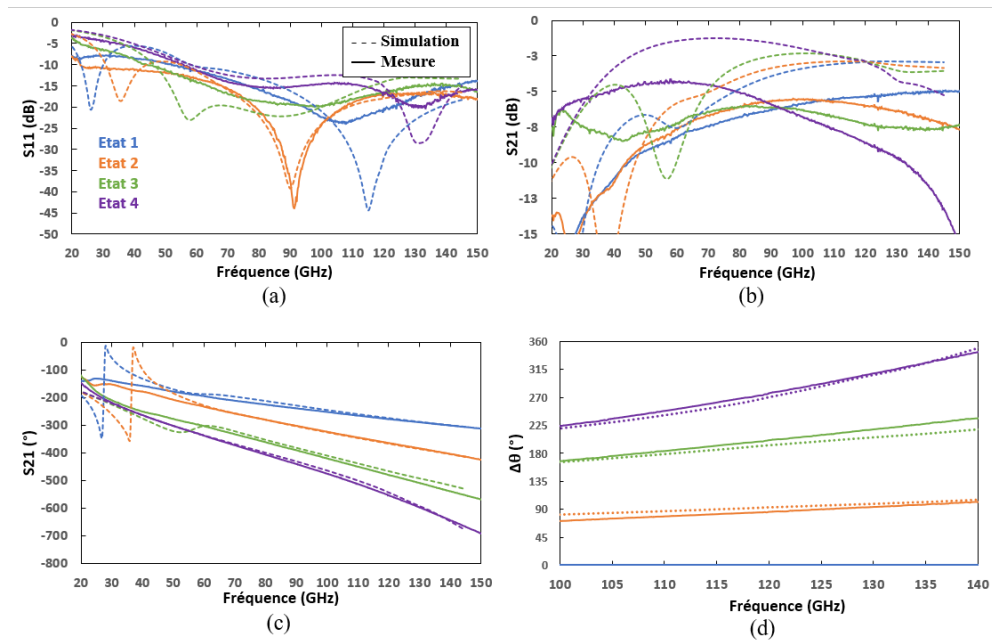


Figure 73 : Résultats de mesure VS simulation du RTPS 2 bits à base de diode PIN en fonction de la fréquence. (a) Amplitude de  $S_{11}$ , (b) Amplitude de  $S_{21}$ , (c) Phase de  $S_{21}$  et (d) Différence de phase  $\Delta\theta$

Tableau 21 : Résultats du RTPS 2 bits à 120 GHz

Simulation / Mesure	Etats	$S_{11}$ (dB)	$S_{21}$ (dB)	$\Delta\theta$ ( $^\circ$ )
Simulation	Etat 1	-32	-2.9	0
	Etat 2	-17.9	-2.9	93.1
	Etat 3	-14	-2.9	193.1
	Etat 4	-15.1	-2.9	269.8
Mesure	Etat 1	-20.4	-5.4	0
	Etat 2	-16.9	-6	86.6
	Etat 3	-16.5	-7.3	201.1
	Etat 4	-16.6	-8.6	276.5

Les performances du RTPS 2 bits ne répondent pas au cahier de charge du bloc discret type dans le sens où il y a un manque de précision au niveau de la phase et une grande disparité entre les pertes d'insertion des différents états. Si la différence de phase de l'état 3 peut être corrigée par une meilleure évaluation de la longueur électrique des bouts de ligne, cela semble plus complexe pour l'égalisation de l'amplitude dans les différents états. En effet, l'observation de la partie réelle de l'impédance d'entrée de la charge montre une grande disparité entre les différents états : elle reste globalement en-dessous de  $50 \Omega$  pour les états 1, 2, 4 et se trouve au-dessus de  $50 \Omega$  dans l'état 3 vu qu'il y a une résonance à cause du déphasage de  $180^\circ$ . De ce fait, une manœuvre visant à diminuer l'impédance dans les états 1, 2, 4 pour réduire les pertes va diminuer l'impédance dans l'état 3, donc augmenter les pertes dans cet état. Néanmoins, les résultats des simulations (Tableau 21) montrent qu'il est possible d'obtenir l'équilibre au niveau des amplitudes, juste qu'il faut des switches avec un produit  $R_{on} \cdot C_{off}$  encore plus faible que celui d'une diode PIN. En conclusion, la topologie du RTPS 2 bits bien qu'innovante n'est pas adaptée aux fréquences au-dessus de 80 GHz du fait de sa grande sensibilité aux paramètres des switches. Pour la suite, on est contraint de trouver d'autres solutions pour les déphasages de  $90^\circ$  et  $180^\circ$ .

### III.3.3. Les RTPS discrets $90^\circ$ et $180^\circ$

Le RTPS 2 bits ayant montré ses limites, nous avons décidé d'adapter le RTPS discret  $45^\circ$  pour réaliser les blocs discrets de  $90^\circ$  et  $180^\circ$ . Cette solution bien que pénalisante au niveau de surface offre de meilleures garanties en termes de précision de phase et de variation d'amplitude dans les différents états discrets. La charge de la Figure 63 est conservée avec une adaptation de la longueur de la ligne pour avoir des différences de phase de  $90^\circ$  et  $180^\circ$  entre les états de la diode PIN. D'ailleurs, la solution consistant à polariser par la cathode est aussi retenue pour la réalisation des RTPS discrets  $90^\circ$  et  $180^\circ$ .

Les layouts affichés sur la Figure 74 montrent la différence entre les longueurs des lignes  $L_{90}$  et  $L_{180}$  qui permettent respectivement d'avoir  $90^\circ$  et  $180^\circ$  de différence de phase. On retrouve le même coupleur 3 dB que celui utilisé pour le RTPS discret  $45^\circ$ , ainsi que la diode et la capacité de découplage. Les surfaces sans les plots valent respectivement  $0,029 \text{ mm}^2$  et  $0,035 \text{ mm}^2$  pour le RTPS  $90^\circ$  et le RTPS  $180^\circ$ .

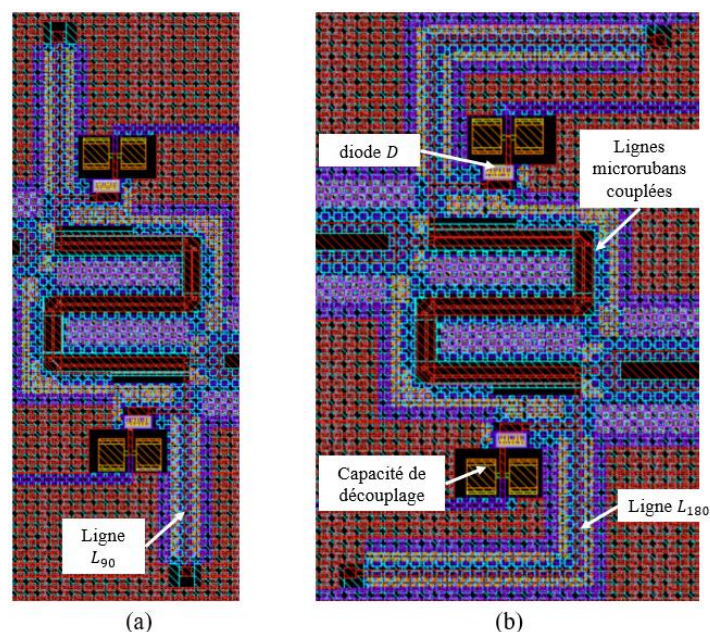


Figure 74 : Zoom sur les interconnexions entre les éléments du (a) RTPS discret  $90^\circ$  et le (b) RTPS discret  $180^\circ$



Les circuits ayant été envoyés en fabrication en milieu de dernière année de thèse, seuls les résultats de simulation seront discutés dans cette partie. Une simulation réalisée sur *Spectre* avec une boîte de paramètre S représentant la simulation électromagnétique de l'ensemble du circuit (sans les diodes) connectée avec les boîtes de paramètres S issus des mesures de diodes PIN (longueur d'anode de  $3,75 \mu\text{m}$  pour le RTPS  $90^\circ$  et  $5 \mu\text{m}$  pour le RTPS  $180^\circ$ ). Les résultats affichés sur Figure 75 confirment le bon fonctionnement des circuits dans le sens où le déphasage est bien celui attendu à 120 GHz et on arrive à avoir des amplitudes équivalentes dans les deux états. Pour le RTPS  $90^\circ$ , les pertes d'insertion dans les deux états valent 2,5 dB et pour le RTPS  $180^\circ$ , on obtient 2,8 dB quand la diode est ON et 3,7 dB quand elle est OFF. La différence de 0,9 dB entre les états du RTPS  $180^\circ$  reste acceptable au vu de l'état de l'art [26] et pourrait être réduite en faisant varier la résistance de la diode PIN pendant les mesures. En conclusion, le passage d'un bloc discret de 4 états à deux blocs discrets de deux états est une réussite car l'on maîtrise mieux la précision de la phase et la variation d'amplitude. De plus la somme des surfaces ( $0,064 \text{ mm}^2$ ) des deux blocs est inférieure à la surface du RTPS 2 bits ( $0,07 \text{ mm}^2$ ), ce qui renforce le choix de passer à 4 blocs discrets pour le déphaseur hybride.

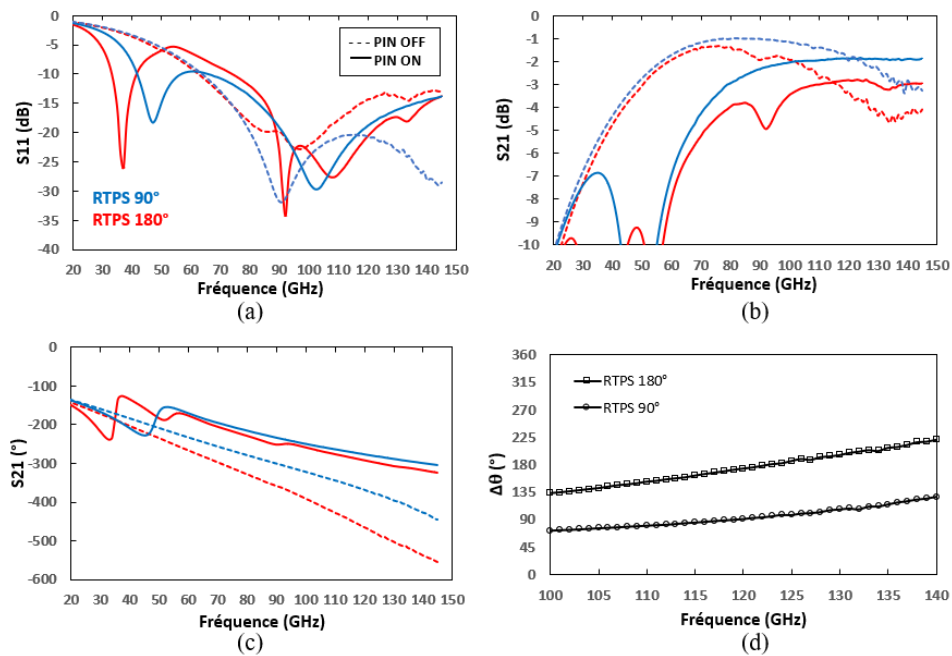


Figure 75 : Résultats de simulation des RTPS  $90^\circ$  et  $180^\circ$  vs Fréquence. (a) Amplitude de  $S_{11}$ , (b) Amplitude de  $S_{21}$ , (c) Phase de  $S_{21}$  et (d) différence de phase

### III.4. Le bloc continu

Le bloc continu est le cœur de cet assemblage hybride de différents types de déphaseurs passifs. C'est le bloc qui doit relier les états discrets et donner la typologie continue à l'assemblage final. Selon l'organisation choisie, le bloc continu doit avoir une plage de déphasage d'au moins  $22,5^\circ$  pour permettre le balayage continu entre  $0^\circ$  et  $360^\circ$ . On visera  $30^\circ$  dans les études décrites dans ce paragraphe. Au niveau de l'amplitude, au-delà de l'objectif habituel d'avoir le moins de pertes d'insertion possibles, le vrai défi est de réduire la variation d'amplitude de ce déphaseur continu. La topologie choisie étant un RTPS et la réalisation du coupleur ayant déjà été discutée plus haut, cette partie portera uniquement sur l'utilisation du varactor pour atteindre nos objectifs. En effet, le varactor bien qu'indispensable dans la charge d'un RTPS continu, est limitant pour les performances du circuit. Son impact doit donc être limité. Dans la thèse, deux charges ont été mises en place pour réaliser le déphaseur continu, elles sont décrites ci-dessous :

### III.4.1. Charge LC parallèle : Varactor en parallèle avec une ligne de transmission

Dans le chapitre 1, j'évoquais les limites d'une charge avec un simple varactor pour réaliser un déphaseur continu, dans le sens où la plage de déphasage pourrait être insuffisante, aussi à cause de son facteur de qualité qui se dégrade très rapidement en bande millimétrique. La bande de déphasage visée étant de  $30^\circ$  (pour avoir une marge pour corriger les erreurs de phase des blocs discrets), les charges à 3 éléments (*CLC*, *LCL*) utilisées pour des plages de déphasage élevées ne sont pas considérées. Il reste les charges à 2 éléments que sont *LC* série et le *LC* parallèle.

La charge *LC* série reste globalement une capacité, l'ajout de *L* augmente légèrement le *Tuning Range*, donc la plage de déphasage subit une légère augmentation. Cependant, le problème du facteur de qualité est toujours présent vu que la partie réelle de l'impédance équivalente est la somme des parties réelles des composants *L* et *C*. Sur ce point, la charge *LC* parallèle semble meilleure, vu que la partie réelle de l'impédance équivalente est une mise en parallèle des parties réelles avec l'influence des parties imaginaires à prendre en compte. Sachant que le *Tuning Range* des varactors disponibles en technologie B55 permet d'avoir la plage de déphasage de  $30^\circ$ , le facteur de qualité équivalent devient le critère principal pour choisir la charge du RTPS continu. Ainsi la charge *LC* parallèle a été retenue.

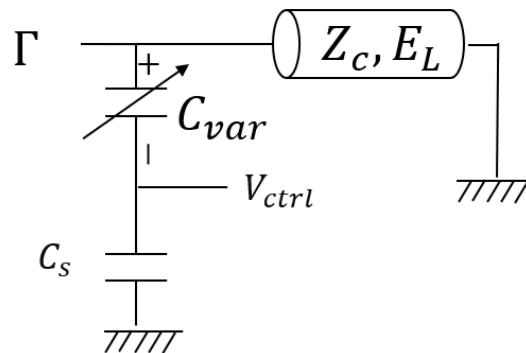


Figure 76 : Schéma de la Charge LC parallèle pour le RTPS continu

La charge de la Figure 76 est différente d'une charge *LC* parallèle classique. La capacité  $C_s$  permet le découplage DC-RF. La capacité « plane » utilisée dans les RTPS discrets à base de diode PIN a été retenue pour le RTPS continu. La suite de l'étude consiste à choisir le meilleur couple (varactor, ligne de transmission) permettant d'avoir une plage de déphasage de  $30^\circ$  tout en limitant les pertes d'insertion et la variation d'amplitude. Le type microruban étant conservé pour la ligne de transmission, du fait de sa simplicité et de ses performances, il reste à choisir le varactor.

#### III.4.1.1. Choix du varactor

D'après le chapitre 2, la technologie B55 permet de réaliser des varactors à base de jonction PN ou à base de MOS. Le choix du varactor consiste à remplacer la charge de la Figure 76 par un varactor. Cette manœuvre permet d'avoir la contribution du varactor au niveau de la charge, ce qui facilite la comparaison entre différents varactors. L'étude proposée dans le chapitre 1 a montré qu'il serait préférable d'utiliser des varactors avec une capacité  $C_{min}$  entre 10 fF et 20 fF à 120 GHz.

Pour les varactors à base de jonction PN, l'attention s'est portée sur ceux avec une largeur de doigt  $W_f$  très proche de la valeur minimale ( $0,37 \mu\text{m}$ ). La longueur de doigt  $L_f$  (valeur minimale autorisée :  $10 \mu\text{m}$ ), le nombre de doigts  $N_f$  et le nombre de cellule  $N_{bcell}$  sont réglés pour garder  $C_{min}$  entre 10 fF et 20 fF. Ensuite, des simulations de paramètres *S* du RTPS sont réalisées avec ces varactors pour déterminer celui qui donne les pertes les plus faibles, la plus petite variation d'amplitude tout en

réalisant le déphasage continu de  $30^\circ$ . A l'issue de cette étude, le varactor unitaire  $L_f = 18 \mu\text{m}$  ;  $W_f = 0,5 \mu\text{m}$  a été retenu.

Pour les varactors à base de MOS (de type A-MOS), il y a deux choix : les varactors avec une épaisseur d'oxyde normale ( $GO_1$ ) ou les varactors avec une grosse épaisseur d'oxyde ( $GO_2$ ). La capacité du varactor étant inversement proportionnelle à l'épaisseur d'oxyde, les varactors  $GO_2$  occupent une surface plus large que les varactors  $GO_1$ . La restriction sur  $C_{min}$  oblige à utiliser des varactors avec une largeur de doigts  $W_f$  proche de sa valeur minimale ( $1,5 \mu\text{m}$ ). Pour la longueur de canal  $L$ , avec les  $GO_1$ , on reste entre  $60 \text{ nm}$  et  $100 \text{ nm}$  tandis qu'avec les  $GO_2$ , on commence à  $100 \text{ nm}$  et on peut monter jusqu'à  $500 \text{ nm}$ . Le nombre de doigts et le nombre de cellules permettent de trouver le bon compromis entre la capacité du varactor et le facteur de qualité. Des simulations de paramètres  $S$  du RTPS sont aussi réalisées avec les varactors à base de MOS et les varactors suivants ont été retenus : varactor  $GO_1$  ( $L = 60 \text{ nm}$ ,  $W_f = 1,5 \mu\text{m}$ ,  $N_f = 4$  et  $N_{bcell} = 4$ ) ; varactor  $GO_2$  ( $L = 250 \text{ nm}$ ,  $W_f = 1,5 \mu\text{m}$ ,  $N_f = 7$  et  $N_{bcell} = 2$ )

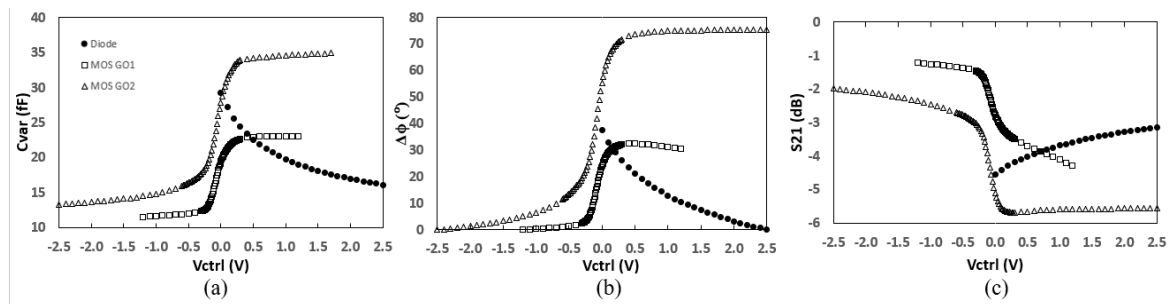


Figure 77 : (a) Capacité (b) Plage de déphasage et (c) L'amplitude de  $S_{21}$  en fonction de la tension de contrôle des varactors à 120 GHz

La Figure 77 (a) montre la variation de capacité des varactors avec une valeur de  $C_{min}$  entre 10 fF et 20 fF. Le *Tuning Range* du varactor diode est bien en dessous de 2 tandis que les petits varactors MOS voient leur capacité  $C_{min}$  multipliée par 2 ou plus sur leur plage de contrôle. Ces variations de capacité donnent les variations de phase de la Figure 77 (b). Malgré son *Tuning Range* assez bas, le varactor diode permet d'atteindre la plage de déphasage de  $30^\circ$ . Même constat pour le petit varactor  $GO_1$ . Le varactor  $GO_2$  quant à lui donne un déphasage pouvant aller jusqu'à  $75^\circ$ . Les pertes correspondantes sont affichées sur la Figure 77 (c). Au regard des courbes, le varactor diode présente l'avantage d'une faible variation d'amplitude (1,4 dB sur toute la plage de tension) mais les pertes minimales sont plus grandes que celles des varactors MOS. Néanmoins, les varactors MOS ont l'inconvénient d'une forte variation d'amplitude lorsque  $V_{ctrl}$  est proche de 0V. En somme, on réussit à trouver des géométries pour chaque type de varactor afin de réaliser le déphasage continu de  $0^\circ$  à  $30^\circ$ . L'autre objectif étant de minimiser les pertes, le varactor  $GO_1$  a été retenu pour être intégré dans la charge  $LC$  parallèle qui permettra de minimiser les pertes d'insertion. Le varactor diode aurait pu être choisi pour la faible variation des pertes, mais les pertes sont globalement supérieures.

#### III.4.1.2. Optimisation de la charge

Le varactor choisi doit être intégré dans la charge  $LC$  parallèle avec certaines précautions. Le modèle du varactor  $GO_1$  n'est pas symétrique à cause de la connexion du drain et de la source (dopé N) au substrat (dopé P). La jonction PN résultante présente une capacité et une résistance vers le substrat qu'il faut prendre en compte dans la modélisation du varactor. La Figure 78 montre en détail les éléments de ce modèle avec les inductances et résistances ( $L_1$ ,  $R_{p1}$ ,  $L_2$  et  $R_{p2}$ ) d'interconnexion du FEOL jusqu'à la couche de métal M4, la résistance de grille et les résistances de la zone active

modélisées par  $R_w$ , ainsi que les jonctions PN de la connexion du drain et la source avec le substrat. Selon ce modèle, il est préférable en RF d'attaquer le varactor par la grille (port (+)) pour limiter l'effet de la connexion substrat, d'où la connexion entre la ligne et le varactor au niveau de ce port sur la Figure 76. L'autre problématique se trouve au niveau de la polarisation. Généralement, elle se fait via la grille avec le port drain-source (port (-)) connecté à la masse. Dans la configuration actuelle, cela implique d'utiliser une capacité entre le coupleur et la charge pour forcer le signal DC à passer par la grille du varactor. Vu la difficulté à réaliser des capacités de fortes valeurs (de l'ordre du pF) à 120 GHz, il est préférable de réaliser la polarisation via le port (-) où la capacité  $C_s$  exerce une influence minimale sur la performance du déphaseur.

La suite du design consiste à déterminer les paramètres physiques de la ligne permettant de présenter une impédance largement supérieure à  $50 \Omega$  afin de limiter les pertes d'insertion, et de minimiser la variation d'amplitude. La configuration  $LC$  parallèle ayant un comportement inductif, l'idée est d'utiliser une ligne permettant de basculer de ce comportement inductif à un comportement capacitif lorsque la capacité du varactor varie. Ainsi une série de simulations a été réalisée en faisant varier la longueur de la ligne pour une largeur donnée. Pour une ligne d'impédance caractéristique  $80 \Omega$ , on fait varier la longueur entre  $100 \mu\text{m}$  et  $300 \mu\text{m}$ , car en dessous de  $100 \mu\text{m}$ , l'inductance de la ligne ne permet pas de basculer vers un comportement capacitif. On observe une augmentation rapide de la plage de déphasage (Figure 79 (a)) de  $21^\circ$  à  $31^\circ$  pour les longueurs entre  $100 \mu\text{m}$  et  $150 \mu\text{m}$ . Il s'en suit une stagnation entre  $150 \mu\text{m}$  et  $250 \mu\text{m}$ , vu que la plage de déphasage est de seulement  $35^\circ$  pour les longueurs  $200 \mu\text{m}$  et  $250 \mu\text{m}$ . Enfin, elle décroît à  $33^\circ$  pour une longueur de  $300 \mu\text{m}$ . Ainsi, la plage de déphasage n'a pas une relation linéaire avec la longueur, elle croît pour atteindre un pic avant de décroître.

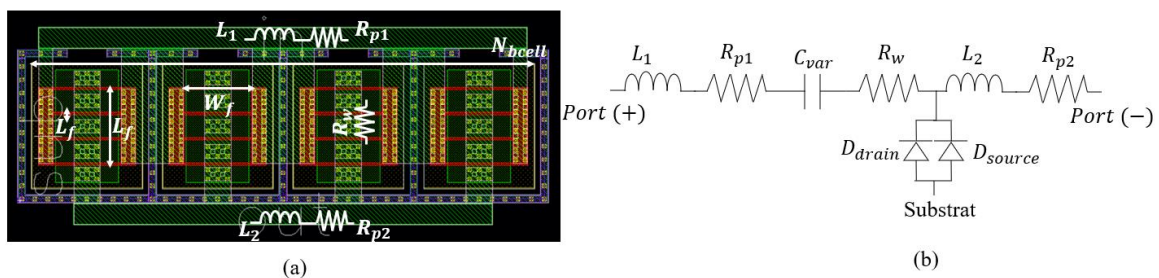


Figure 78 : (a) layout et (b) modèle équivalent d'un varactor G01

Les observations ci-dessus sont aussi valables pour les pertes d'insertions (Figure 79 (b)) avec une augmentation pour les longueurs entre  $100 \mu\text{m}$  et  $200 \mu\text{m}$  suivie d'une diminution. Ce comportement est expliqué sur l'abaque de Smith de la Figure 79 (c) où est représentée l'impédance de la charge en fonction de la tension  $V_{\text{ctrl}}$  à 120 GHz pour différentes longueurs de lignes. Quand  $L = 100 \mu\text{m}$ , la charge reste inductive, elle devient capacitive pour  $L = 150 \mu\text{m}$  et y reste pour les autres longueurs. Dans l'idéal, une longueur entre  $100 \mu\text{m}$  et  $150 \mu\text{m}$  permettant de passer d'un comportement inductif à un comportement capacitif permettrait d'avoir la plus large plage de déphasage avec une faible variation d'amplitude, mais la Figure 79 (c) montre des arcs de cercle qui rentrent vers l'intérieur, c'est-à-dire l'impédance de la charge décroît et se rapproche de  $50 \Omega$ , d'où l'augmentation des pertes d'insertion. Finalement, l'ajout de la ligne en parallèle ne permet pas une réduction considérable de l'influence du mauvais facteur de qualité du varactor. Néanmoins, les performances en termes de pertes d'insertion et d'amplitude restent sensiblement meilleures, puis la connexion à la masse du port (+) facilite la polarisation du varactor.

L'analyse ci-dessus est valable pour toutes les impédances caractéristiques. Par conséquent, l'impédance caractéristique de  $80 \Omega$  est conservée et la longueur  $175 \mu\text{m}$  permet d'avoir le meilleur compromis entre les pertes d'insertion, la variation d'amplitude et le déphasage.

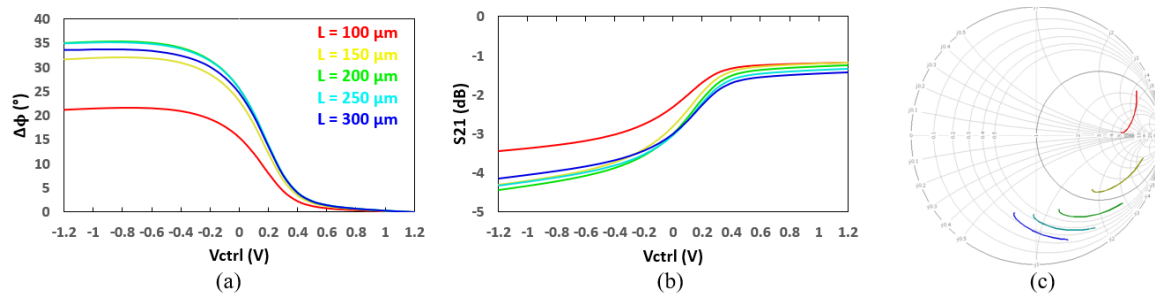


Figure 79 : (a) Plage de déphasage et (b) pertes d'insertion à 120 GHz du RTPS continue. (c) L'impédance de la charge LC parallèle sur l'abaque de Smith

Le dessin du circuit requiert encore une fois de courber la ligne pour pouvoir la connecter à un composant beaucoup plus petit. Le layout du varactor ayant déjà des interconnexions jusqu'à la couche de métal M4 (Figure 78 (a)), la connexion avec la ligne est un empilement de vias entre les couches M4 et M9. Les éléments parasites sont extraits et intégrés dans schéma électrique avec le modèle de la simulation électromagnétique de la ligne, le varactor, la capacité  $C_s$  et le coupleur 3dB pour réaliser la simulation finale du RTPS. Le layout du circuit est présenté sur la Figure 80 avec la structure compacte du coupleur 3dB qui facilite l'intégration des charges sur ses ports « coupled » et « through » et la surface sans les plots vaut  $0,04 \text{ mm}^2$ .

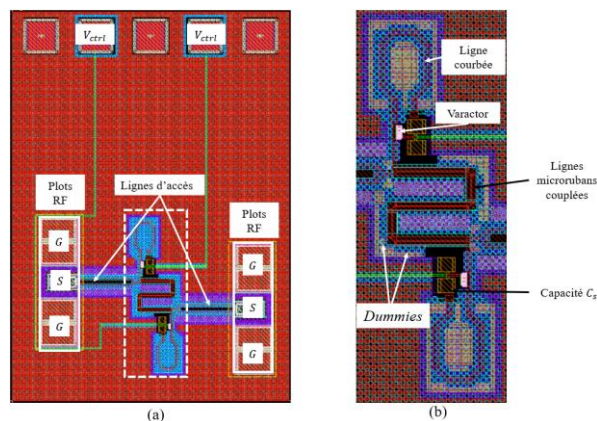


Figure 80 : (a) Layout du RTPS continue. (b) Zoom sur l'interconnexion entre les éléments du circuit

### III.4.1.3. Résultats de mesure

La mesure du bloc continu est réalisée dans les mêmes conditions que les blocs discrets à savoir l'utilisation d'un calibrage TRL qui donne directement les paramètres  $S$  du circuit, nous évitant un épiluchage de données. La polarisation des deux varactor se fait via les plots DC où les tensions envoyées sur chaque varactor doivent être identiques. Certes, les longueurs de lignes connectant les plots DC aux varactors sont différentes, mais l'impact sur la tension au niveau des varactor reste négligeable. Les courbes affichées sur la Figure 81 (a) montrent une corrélation quasi-parfaite entre simulation et mesure au niveau du déphasage. Les plages de déphasage obtenues en mesure et simulation valent respectivement  $36^\circ$  et  $37^\circ$ . Avoir une plage de déphasage plus grande que  $22,5^\circ$  permet de rattraper les erreurs de phase des blocs discrets afin de balayer toute la plage  $0 - 360^\circ$ , comme déjà précisé. Néanmoins, cela est réalisé au prix d'une augmentation des pertes, car les pertes mesurées varient entre



1,9 dB et 4,8 dB (Figure 81 (b)), soit une variation d'amplitude de 2.9 dB. La corrélation avec les résultats de simulation est globalement bonne, même si le modèle du varactor (extrapolé pour les fréquences au-delà de 110 GHz) s'est montré pessimiste sur la dégradation du facteur de qualité en fonction de la tension  $V_{ctrl}$ .

Le RTPS continue étant fonctionnel à 120 GHz, il est important d'évaluer son fonctionnement aux autres fréquences. La Figure 82 (a) montre l'adaptation en impédance, les pertes d'insertion et le déphasage en fonction de la fréquence pour les tensions  $V_{ctrl} = 1,2 V$  et  $V_{ctrl} = -0,2 V$ . Ces résultats confirment la bonne corrélation entre simulation et mesure, montrant la pertinence de la méthode de design avec les modèles du DK, la fiabilité des extractions des interconnexions ainsi que les simulations électromagnétiques réalisées sur les composants passifs. En outre, le RTPS continu a une large bande passante (de 55 GHz jusqu'à plus de 200 GHz) comme les RTPS discrets présentés dans les parties précédentes, ce qui confirme encore une fois le bon fonctionnement du coupleur 3dB. Sur la Figure 82 (b), la différence de pertes entre les deux tensions est bien marquée et augmente avec la fréquence, illustration de la dégradation du facteur de qualité du varactor. Au niveau du déphasage (Figure 82 (c)), les tensions ont été choisies pour avoir  $\Delta\phi = 30^\circ$  à 120 GHz. Contrairement aux déphaseurs discrets, l'évolution linéaire de  $\Delta\phi$  en fonction de la fréquence n'est pas problématique puisque la tension  $V_{ctrl}$  permet une variation continue de la phase à chaque fréquence.

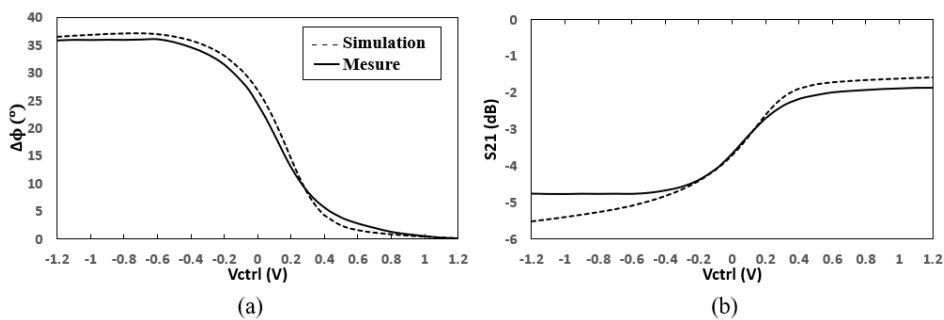


Figure 81 : Résultats de mesure vs Simulation du RTPS continu à 120 GHz en fonction de la tension  $V_{ctrl}$ . (a) Déphasage et (b) Amplitude de  $S_{21}$

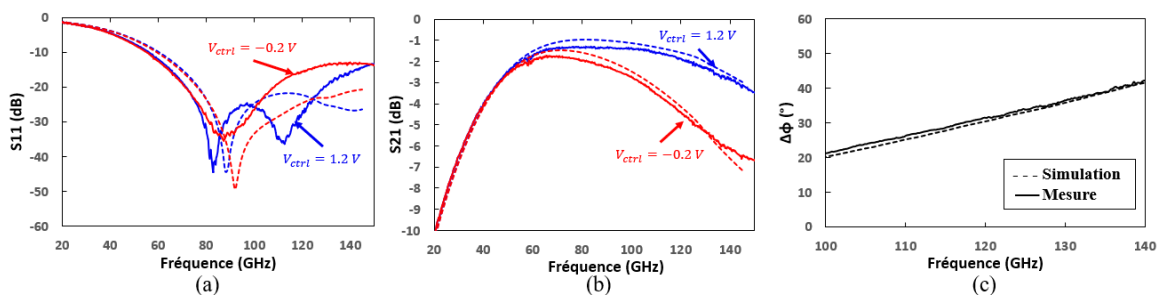


Figure 82 : Résultats de simulation vs mesure en fonction de la fréquence. (a) Amplitude de  $S_{11}$ , (b) amplitude de  $S_{21}$  et (c) déphasage

Le Tableau 22 synthétise les résultats du RTPS continu en montrant le coefficient de réflexion et les pertes d'insertion correspondant aux déphasages de  $22,5^\circ$  et  $30^\circ$  à 120 GHz. La figure de mérite de ce déphaseur est  $6,8^\circ/\text{dB}$ , soit des pertes de 52,8 dB s'il y avait une mise en cascade pour atteindre  $360^\circ$ . Ce résultat renforce la stratégie de l'hybridation entre déphaseurs discrets et déphaseurs continus, car la nécessité du varactor dans le déphaseur continu empêche l'utilisation d'un seul bloc continu pour la plage de déphasage  $0 - 360^\circ$ . D'ailleurs, les auteurs comme ceux de [46] et [48] qui réalisent le déphasage continu entre 0 et  $360^\circ$  avec un seul bloc obtiennent de bonnes performances (des figures de



mérite de 37,1 °/dB pour [46] et 34,3 °/dB pour [48]) pour des fréquences en dessous de 60 GHz. Au-delà, les performances sont dégradées par les limites du varactor comme on a pu le voir dans les travaux de [35] à 120 GHz.

Tableau 22 : Résultats du RTPS continue à 120 GHz

Déphasage	$\Delta\phi = 0^\circ$		$\Delta\phi = 22,5^\circ$		$\Delta\phi = 30^\circ$	
Performance	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{11}$ (dB)	$S_{21}$ (dB)
Simulation	-22,2	-1,6	-26,3	-3,3	-24,7	-4,2
Mesure	-27	-1,9	-17,2	-3,4	-15,4	-4,4

Afin d'améliorer la variation d'amplitude du bloc continu, l'utilisation d'une inductance commutée permettant de limiter la plage de variation du varactor est explorée dans le paragraphe suivant.

### III.4.2. Charge LC parallèle : Varactor en parallèle avec une inductance commutée

La variation d'amplitude est le principal défaut du déphaseur présenté dans la partie précédente. Certes, le varactor est le premier responsable de ce problème, mais il reste indispensable pour la variation continue de la phase. Alors, comment réduire la variation d'amplitude ? La réponse à cette question implique l'utilisation du varactor dans une plage de tension où le facteur de qualité est le plus grand et varie très peu. Cela correspond à une faible variation de la capacité, donc une faible plage de déphasage. Ainsi la partie  $L$  de la charge doit permettre de réduire variation de la capacité pour une même variation de la phase. Une solution consiste à remplacer la ligne de transmission par une inductance commutée.

#### III.4.2.1. Inductance commutée

La mise en place de l'inductance commutée est basée sur un transformateur avec un switch connecté au circuit secondaire. En fonction de l'état de switch, on a un changement sur l'impédance ramenée à la partie primaire, donc un changement de l'inductance équivalente. Quand le switch est ouvert, il n'y a pas de courant dans la partie secondaire, donc l'inductance équivalente est celle de la partie primaire. Quand le switch est fermé, le courant dans la partie secondaire circule dans le sens contraire au courant de la partie primaire (loi de Lenz), donc l'inductance équivalente est réduite à cause de l'inductance mutuelle entre les deux parties. L'implémentation en technologie B55 est présentée sur Figure 83. La partie primaire est une inductance dessinée sur la couche M9 et la partie secondaire est aussi une inductance dessinée sur la couche M8 en dessous de la partie primaire. Le switch devant être utilisé en configuration série, le transistor MOS a été retenu.

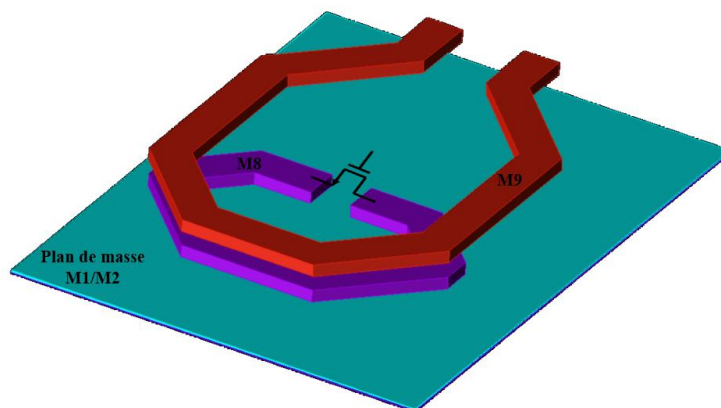


Figure 83 : Vue 3D de l'inductance commutée

### III.4.2.2. Optimisation de la charge

L'utilisation de cette nouvelle charge se fait en trois étapes :

- Relever la phase du RTPS  $\phi_{OFF,d}$  quand  $V_{ctrl} = 1,2 V$  et que le transistor MOS est en mode OFF.
- Faire varier  $V_{ctrl}$  avec le MOS en mode ON de 1,2 V (la phase du RTPS à cette tension est notée  $\phi_{ON,d}$ ) à une tension qui permet de retrouver la phase  $\phi_{OFF,d}$ .
- Faire varier  $V_{ctrl}$  avec le MOS en mode OFF de 1,2 V à la tension  $V_{OFF,f}$  qui permet d'avoir le déphasage final  $\Delta\phi = \phi_{OFF,f} - \phi_{ON,d}$ .

En gardant le varactor utilisé avec la charge  $LC$  parallèle précédente, une inductance  $L$  entre 50 pH et 100 pH est suffisante pour faire fonctionner la charge dans une zone où elle bascule d'un comportement inductif à un comportement capacitif. Ainsi, l'inductance primaire sur la couche M9 et l'inductance secondaire sur la couche M8 ont été choisies afin d'obtenir une inductance équivalente dans l'intervalle indiqué ci-dessus. Néanmoins, l'ajout du transistor modifie cette inductance, car même à l'état OFF, il a une capacité  $C_{off}$  qui n'est pas négligeable à 120 GHz. La bascule à l'état ON change l'inductance comme expliqué dans la partie précédente et cette nouvelle inductance  $L_{ON}$  doit être proche de l'inductance  $L_{OFF}$  de sorte à limiter la variation d'amplitude du RTPS. Finalement, le transistor MOS ( $L_{MOS} = 60 nm$  ;  $W_{MOS} = 55 \mu m$  et  $N_f = 10$ ) a été retenue pour des inductances  $L_{ON} = 61 pH$  et  $L_{OFF} = 83 pH$ .

Le dessin du RTPS continu intégrant la nouvelle charge suit les mêmes principes que le précédent à la différence que la ligne de transmission est remplacée par l'inductance commutée (voir Figure 84). La surface sans les plots est légèrement supérieure à celle du RTPS précédent et vaut 0,046 mm<sup>2</sup>.

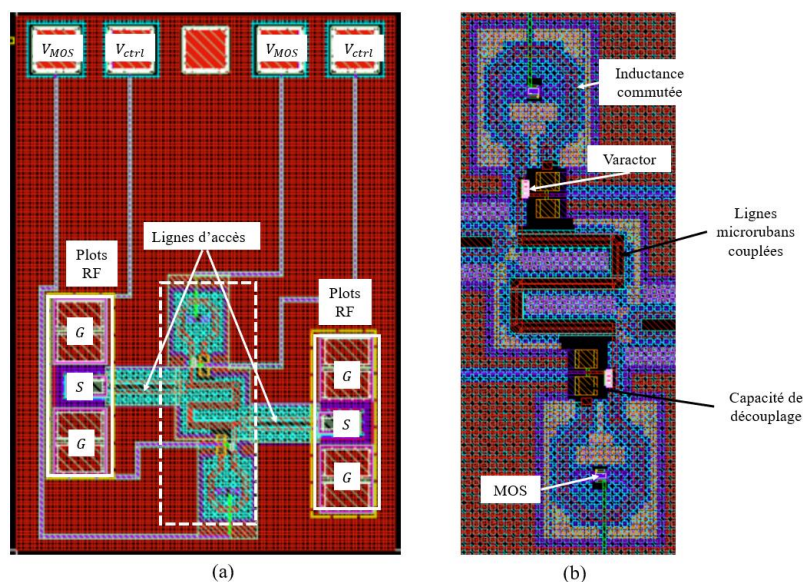


Figure 84 : (a) Layout du RTPS continue avec l'inductance commutée. (b) Zoom sur l'interconnexion entre les éléments du circuit

### III.4.2.3. Résultats de simulation

Le RTPS continu avec l'inductance commutée a été envoyé en fabrication en milieu de dernière année de thèse, donc les résultats de mesure ne sont pas encore disponibles. Néanmoins, les

comparaisons entre simulation et mesure des circuits utilisant le transistor MOS ayant donné satisfaction pour les circuits précédents, les résultats qui seront présentés dans cette partie semblent réalistes par rapport à la performance du circuit lors des futures mesures. La Figure 85 (a) illustre les différentes étapes citées dans la partie précédente où à l'état ON, la variation de phase s'arrête au niveau de la plus petite phase en mode ON, ensuite la phase en mode OFF continue sa variation jusqu'à atteindre 30°. La courbe des pertes d'insertion (Figure 85 (b)) montre une amélioration de la variation d'amplitude car la plage de déphasage de 30° est obtenue pour des pertes variant de 1,8 dB à 3,4 dB, soit une différence de 1,6 dB alors que la charge précédente donnait une différence de 2,5 dB. De ce fait, on conclut que le remplacement de la ligne de transmission par l'inductance commutée est pertinent (voir Tableau 23).

Tableau 23 : Résultats du bloc continue à 120 GHz pour les deux charges

Déphasage	$\Delta\phi = 0^\circ$		$\Delta\phi = 22,5^\circ$		$\Delta\phi = 30^\circ$	
	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{11}$ (dB)	$S_{21}$ (dB)	$S_{11}$ (dB)	$S_{21}$ (dB)
Charge LC parallèle: L = Inductance Commutée*	-26,4	-1,8	-30,8	-2,8	-26,8	-3,4
Charge LC parallèle : L = Ligne de transmission	-27	-1,9	-17,2	-3,4	-15,4	-4,4

\*Simulation

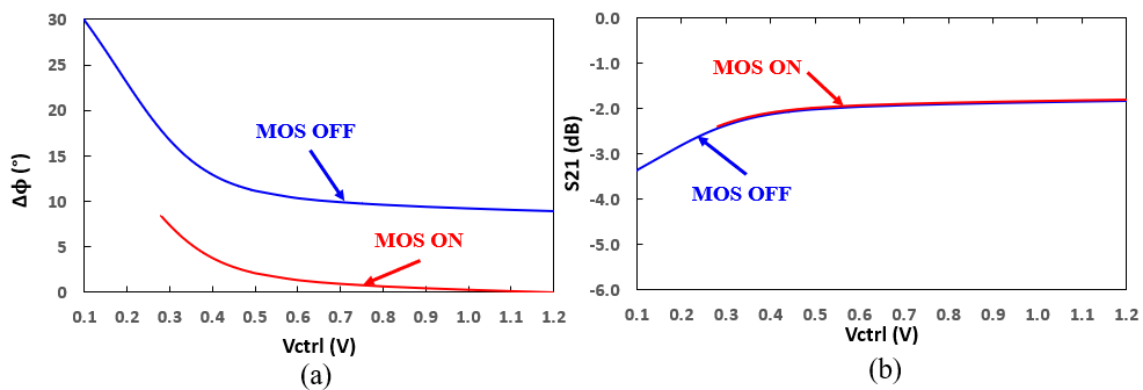


Figure 85 : Résultats de mesure vs Simulation du RTPS continue à 120 GHz en fonction de la tension  $V_{ctrl}$ . (a) Déphasage et (b) Amplitude de  $S_{21}$

### III.5. Conclusion du chapitre 3

Dans ce chapitre, la réalisation des blocs unitaires a été présentée. Chaque bloc ayant fait l'objet d'une étude théorique pour choisir la meilleure topologie, des simulations électriques et électromagnétiques pour l'optimisation des circuits et l'analyse des résultats de mesure.

Le bloc discret 22,5° est réalisé par une ligne en parallèle avec un composant actif. La comparaison entre le transistor MOS et la diode PIN a tourné à l'avantage du premier car la connexion avec le substrat au niveau de la cathode rend son utilisation difficile en configuration série. Ainsi la version avec le MOS est retenue pour l'intégration dans le déphaseur hybride.

Pour le bloc discret 45°, deux topologies ont été implémentées, fabriquées et mesurées. Il s'agit du filtre commuté à base de MOS et du RTPS discret à base de diode PIN dont les performances sont satisfaisantes à 120 GHz. Les deux circuits sont donc éligibles pour l'assemblage final, ce qui nous oblige à envoyer en fabrication différentes versions du déphaseurs hybride.

Les déphasages discrets de  $90^\circ$  et  $180^\circ$  ont fait l'objet d'une tentative innovante avec le RTPS 2 bits dont la charge est une ligne chargée par 3 diodes PIN. Les résultats montrent un déphaseur qui permet d'avoir les différences de phase de  $90^\circ$ ,  $180^\circ$  et  $270^\circ$  à 120 GHz pour une moyenne quadratique de l'erreur de phase en dessous de  $10^\circ$ . Une erreur qui peut être corrigée par une meilleure évaluation des longueurs électriques des bouts de ligne entre les diodes PIN. Cependant, le problème des différences d'amplitudes entre les états est lié au fonctionnement de la charge et semble difficile à solutionner car la modification du coefficient de réflexion d'un état conduit indirectement à un changement dans un autre état. Par conséquent le passage à deux RTPS de deux états permettant d'avoir respectivement les déphasages de  $90^\circ$  et  $180^\circ$  était nécessaire pour un meilleur contrôle de la phase et des amplitudes dans les états discrets du déphaseur hybride.

Le bloc continu est réalisé par un RTPS comme attendu. La première version intégrant une charge LC parallèle composée d'un varactor et d'une ligne de transmission fonctionne parfaitement avec une plage de déphasage de  $35^\circ$  à 120 GHz, permettant de corriger les erreurs de phases des blocs discrets. La variation d'amplitude étant l'inconvénient majeur du circuit, une nouvelle version a été mise en place en remplaçant la ligne de transmission par une inductance commutée. En attendant les mesures, cette 2<sup>e</sup> version montre une amélioration 1,6 dB simulée au niveau de la variation d'amplitude pour un déphasage de  $30^\circ$ .

Finalement, toutes les topologies jugées fonctionnelles pour représenter les blocs unitaires sont assemblées en différentes versions du déphaseur hybride dont les résultats sont analysés dans le chapitre suivant.

# Chapitre 4 : Assemblage des blocs et réalisation du déphaseur hybride

Le chapitre précédent a permis de mettre en lumière le design des différents blocs et les résultats obtenus après mesure de ces derniers. Les bonnes performances des blocs individuels rendent possible leur assemblage en vue de la réalisation du déphaseur continu 0 - 360°. Néanmoins, la mise en cascade de différents circuits est une opération délicate dans le sens où leurs impédances d'entrée et de sortie sont différentes. De ce fait, il devient indispensable de disposer les blocs de sorte à avoir une bonne adaptation d'impédance en entrée et en sortie de l'assemblage, afin de ne pas détériorer les performances individuelles de blocs un fois assemblés. Ainsi, dans ce chapitre, j'expliquerai comment assurer une bonne adaptation d'impédance en entrée et en sortie, mais aussi comment éviter les couplages électromagnétiques entre les blocs lors de dessin du déphaseur hybride.

## IV.1. Fonctionnement du déphaseur hybride

Certes, le principe du déphaseur hybride a été présenté en fin du chapitre 1, mais la présentation des différents blocs permet d'expliquer plus précisément comment est réalisé la variation continue entre 0 et 360°. Premièrement, le chapitre 3 nous a montré qu'il n'était pas possible d'avoir 0° de déphasage, donc il faut choisir un état de référence représentant 0°. Pour ce faire, tous les blocs discrets sont utilisés dans leur état de référence et la tension du varactor du bloc continu est fixée à une valeur permettant d'avoir la plus faible capacité possible. Partant de cet état de référence, on définit 15 autres états discrets séparés de 22,5° qui vont être reliés entre eux par le bloc continu.

Tableau 24 : Description des 16 états discrets avec le bloc discret 0/90°/180°/270°

Etats discrets	$\Delta\theta$ (°)	Blocs discrets								Bloc continue $V_{ctrl}$ (V)
		0/22,5°		0/45°		0/90°/180°/270°				
		ON	OFF	ON	OFF	Etat 1	Etat 2	Etat 3	Etat 4	
1	0	✓	✗	✓	✗	✓	✗	✗	✗	1,2
2	22,5	✗	✓	✓	✗	✓	✗	✗	✗	1,2
3	45	✓	✗	✗	✓	✓	✗	✗	✗	1,2
4	67,5	✗	✓	✗	✓	✓	✗	✗	✗	1,2
5	90	✓	✗	✓	✗	✗	✓	✗	✗	1,2
6	112,5	✗	✓	✓	✗	✗	✓	✗	✗	1,2
7	135	✓	✗	✗	✓	✗	✓	✗	✗	1,2
8	157,5	✗	✓	✗	✓	✗	✓	✗	✗	1,2
9	180	✓	✗	✓	✗	✗	✗	✓	✗	1,2
10	202,5	✗	✓	✓	✗	✗	✗	✓	✗	1,2
11	225	✓	✗	✗	✓	✗	✗	✓	✗	1,2
12	247,5	✗	✓	✗	✓	✗	✗	✓	✗	1,2
13	270	✓	✗	✓	✗	✗	✗	✗	✓	1,2
14	292,5	✗	✓	✓	✗	✗	✗	✗	✓	1,2
15	315	✓	✗	✗	✓	✗	✗	✗	✓	1,2
16	337,5	✗	✓	✗	✓	✗	✗	✗	✓	1,2

Le Tableau 24 montre les 16 états discrets en fonction des états des blocs discrets qui eux même dépend de l'état de plusieurs switches. Pour parcourir la plage 0 - 360°, le bloc continue est utilisé entre chaque état discret, donc il faut s'assurer des bonnes configurations de chaque état discret, ce qui revient à contrôler plusieurs switches. Le projet étant au niveau démonstratif, le circuit est mesuré comme un dispositif sous test classique avec les ports RF et les ports DC, de ce fait une solution doit être trouvée pour contrôler correctement tous les switches afin d'avoir les 16 états discrets et réaliser le déphasage continu en 0° et 360°. D'ailleurs, en regardant les différents blocs détaillés dans le chapitre 3, le bloc discret 22,5° utilise un switch, le bloc discret 45° utilise 2 switches (quelle que soit la topologie choisie),

le RTPS 2 bits utilise 6 switches et au cas où l'inductance commutée est utilisée pour le bloc continu, il y a 2 switches qui s'ajoutent pour un total de 11 switches ! Néanmoins les RTPS ont deux charges qui ont des commandes identiques ce qui réduit le nombre d'alimentations. Avec la configuration du Tableau 24, on aurait besoin entre 6 et 8 alimentations selon les topologies retenues.

Dans le cas où le RTPS 2 bits est remplacé par les RTPS 90° et 180°, on obtient le Tableau 25:

Tableau 25 : Description des 16 états discrets avec les blocs discrets 90° et 180°

Etats discrets	$\Delta\theta$ (°)	Blocs discrets								Bloc continue $V_{ctrl}$ (V)
		22,5°		45°		90°		180°		
		ON	OFF	ON	OFF	ON	OFF	ON	OFF	
1	0	✓	X	✓	X	✓	X	✓	X	1,2
2	22,5	X	✓	✓	X	✓	X	✓	X	1,2
3	45	✓	X	X	✓	✓	X	✓	X	1,2
4	67,5	X	✓	X	✓	✓	X	✓	X	1,2
5	90	✓	X	✓	X	X	✓	✓	X	1,2
6	112,5	X	✓	✓	X	X	✓	✓	X	1,2
7	135	✓	X	X	✓	X	✓	✓	X	1,2
8	157,5	X	✓	X	✓	X	✓	✓	X	1,2
9	180	✓	X	✓	X	✓	X	X	✓	1,2
10	202,5	X	✓	✓	X	✓	X	X	✓	1,2
11	225	✓	X	X	✓	✓	X	X	✓	1,2
12	247,5	X	✓	X	✓	✓	X	X	✓	1,2
13	270	✓	X	✓	X	X	✓	X	✓	1,2
14	292,5	X	✓	✓	X	X	✓	X	✓	1,2
15	315	✓	X	X	✓	X	✓	X	✓	1,2
16	337,5	X	✓	X	✓	X	✓	X	✓	1,2

L'utilisation de ces deux blocs permet de réduire le nombre de switch, donc facilite le dessin des chemins DC pour le contrôle des switches. Cependant, on reste globalement sur le même nombre d'alimentations (entre 6 et 7) pour la mesure du déphaseur hydride. Finalement, cette description des états discrets en fonction de l'état des blocs unitaires donne un meilleur aperçu du fonctionnement du circuit et met en avant les contraintes liées à la gestion de plusieurs switches dans un déphaseur dit « continu ».

## IV.2. Stratégie de positionnement des blocs

Les blocs n'ayant pas les mêmes impédances d'entrée et de sortie, il est primordial de trouver la bonne disposition pour permettre au signal RF de circuler entre l'entrée et la sortie du déphaseur hybride en limitant au maximum les pertes dues à l'assemblage des blocs unitaires. Les RTPS continus ayant une large bande passante, le choix a été fait de la garder à la fin pour s'assurer une bonne adaptation d'impédance en sortie, aussi pour simplifier l'étude qui sera présentée dans cette partie. Ainsi, seuls les blocs discrets sont interchangeables pour trouver la bonne configuration à mettre derrière le bloc continu. Il s'en suit une étude qui consiste à observer les performances (adaptation d'impédance, pertes d'insertion, variation d'amplitude, erreur de phase) du circuit dans les 16 états discrets. Cette dernière porte sur les 8 configurations suivantes :

- Configuration 1 : bloc discret 22,5° - bloc discret 45° - RTPS 2 bits – Bloc continu
- Configuration 2 : bloc discret 22,5°- RTPS 2 bits - bloc discret 45°- Bloc continu
- Configuration 3 : RTPS 2 bits - bloc discret 22,5° - bloc discret 45° - Bloc continu
- Configuration 4 : bloc discret 45°- RTPS 2 bits - bloc discret 22,5°- Bloc continu
- Configuration 5 : bloc discret 22,5° - bloc discret 45° - RTPS 90° - RTPS 180° - Bloc continu
- Configuration 6 : bloc discret 45° - bloc discret 22,5° - RTPS 90° - RTPS 180° - Bloc continu



- Configuration 7 : RTPS 90° - bloc discret 22,5° - bloc discret 45° - RTPS 180° - Bloc continu
- Configuration 8 : RTPS 90° - bloc discret 45° - bloc discret 22,5° - RTPS 180° - Bloc continu

L'étude est réalisée grâce aux simulations des blocs unitaires sur *Spectre* qui sont transformés en symboles et assemblés en fonction des dispositions ci-dessus. Les couplages électromagnétiques ne sont pas pris en compte car ils nécessitent des simulations électromagnétiques de toutes les dispositions, chose difficilement réalisable que ce soit sur MOMENTUM, HFSS ou autre logiciel vu de la taille du circuit final. Néanmoins pour éviter les mauvaises surprises, des précautions sont prises lors du dessin du circuit en espaçant les blocs pour réduire complètement l'impact de ces couplages sur les performances du déphaseur.

La suite de l'étude consiste à comparer d'une part les configurations de 1 à 4 et d'autre part les configurations de 4 à 8, vu qu'il s'agit de deux assemblages différents. Cette comparaison repose sur la représentation du paramètre  $S_{21}$  des 16 états à 120 GHz dans le plan complexe (la partie imaginaire en fonction de la partie réelle). L'idée est de choisir la configuration qui présente le moins d'erreur de phase et une faible variation d'amplitude, soit celle dont la constellation se rapproche le plus d'un cercle. En appliquant ce principe sur les courbes de la Figure 86, les configurations 3 et 4 se démarquent par rapport aux deux autres que ce soit au niveau des erreurs de phase de phase, de la variation d'amplitude et même de l'adaptation d'impédance où l'amplitude de  $S_{11}$  reste en dessous de -10 dB dans les 16 états. Cependant, l'étude ayant été réalisée avec la topologie RTPS pour le bloc discret 45° et que le filtre commuté a une moins bonne adaptation d'impédance, la configuration 3 a été retenue dans le cas où le filtre commuté serait utilisé pour le bloc discret 45°.

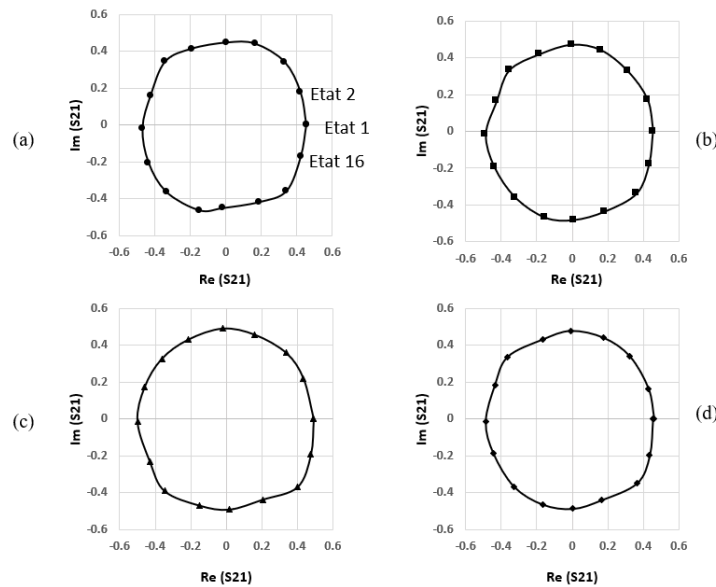


Figure 86 : Constellation de la (a) configuration 1, (b) configuration 2, (c) configuration 3 et (d) configuration 4 à 120 GHz

Pour les configurations de 5 à 8, la Figure 87 montre la configuration 7 qui se démarque très nettement des autres avec une constellation qui n'est pas très loin du cercle parfait et l'amplitudes de  $S_{11}$  qui reste en dessous de -11 dB pour tous les états à 120 GHz. Ainsi cette configuration est retenue pour le déphaseur hybride utilisant les blocs discrets 90° et 180°. A la suite de cette étude, plusieurs versions du déphaseur hybride ont été envoyées en fabrication en disposant les blocs selon la configuration 3 (si le RTPS 2 bits est utilisé) ou la configuration 7.

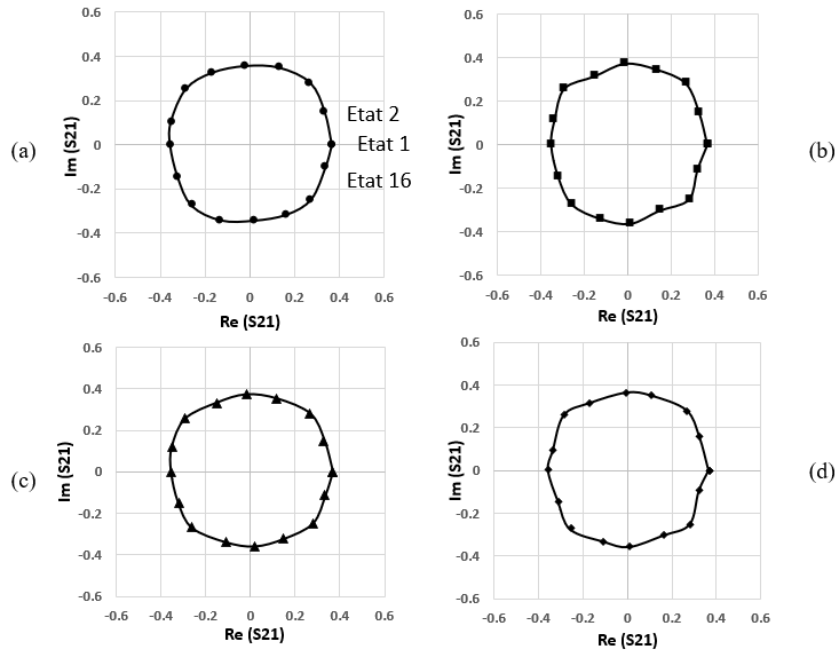


Figure 87: Constellation de la (a) configuration 5, (b) configuration 6, (c) configuration 7 et (d) configuration 8 à 120 GHz

### IV.3. Evaluation des différentes versions du déphaseur hybride

Parmi les topologies étudiées pour les réalisations des blocs unitaires, on identifie la ligne commutée avec le transistor MOS ou la diode PIN pour le déphasage discret de  $22,5^\circ$ , le filtre commuté et le RTPS  $45^\circ$  pour le déphasage discret de  $45^\circ$ , le RTPS 2 bits et les RTPS  $90^\circ$  et  $180^\circ$  pour les déphasages discrets de  $90^\circ$  et  $180^\circ$ , ainsi que les deux versions du RTPS continu. Les différentes versions de l'assemblage final sont présentées dans le Tableau 26.

Tableau 26 : Différentes versions du déphaseur hybride

Versions	Bloc discret $22,5^\circ$	Bloc discret $45^\circ$	Bloc discret $90^\circ$	Bloc discret $180^\circ$	RTPS continu
Version 1	Ligne commutée à base de MOS	RTPS $45^\circ$	RTPS 2 bits		Charge LC : Varactor // ligne de transmission
Version 2	Ligne commutée à base de MOS	Filtre commuté	RTPS 2 bits		Charge LC : Varactor // ligne de transmission
Version 3	Ligne commutée à base de MOS	RTPS $45^\circ$	RTPS $90^\circ$	RTPS $90^\circ$	Charge LC : Varactor // ligne de transmission
Version 4	Ligne commutée à base de MOS	RTPS $45^\circ$	RTPS $90^\circ$	RTPS $90^\circ$	Charge LC : Varactor // Inductance commutée

La suite de cette partie consiste à évaluer chaque version en présentant le layout, la manière dont les switches sont polarisés pour mesurer les performances dans les 16 états discrets et celles lorsque le bloc continu est utilisé pour réaliser le déphasage continue entre 0 et  $360^\circ$ .

#### IV.3.1. Version 1

Cette version compte 11 composants actif à contrôler dont deux varactors pour le RTPS continu. D'après la Figure 88, on comptabilise 5 polarisations différentes en plus de la tension de contrôle du

bloc continu. Au niveau du layout, les lignes d'accès sont toujours utilisées pour l'application de la TRL lors des mesures. On note aussi un espacement entre les blocs unitaires pour limiter les couplages électromagnétiques. La surface sans les plots vaut 0,228 mm<sup>2</sup>.

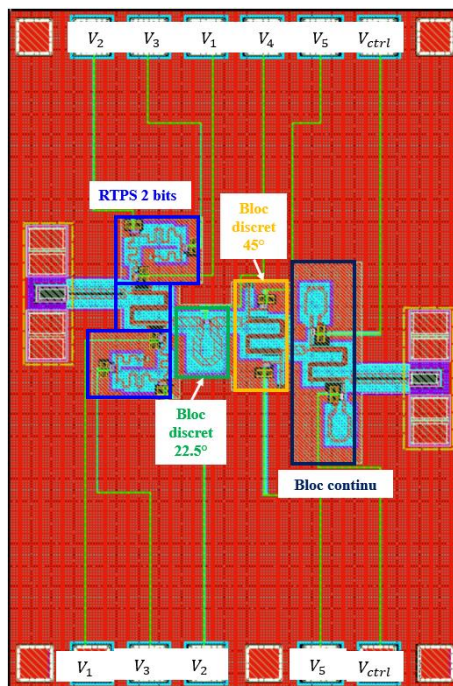


Figure 88 : Layout de la version 1 du déphaseur hybride

Le contrôle des switches se fait de la même manière que lors des mesures des blocs unitaires à savoir les diodes PIN sont contrôlées par un courant lorsqu'elles sont en ON et par une tension négative lorsqu'elles sont en OFF. Pour le MOS du bloc discret 22,5°, la tension sur la grille ( $V_4$ ) vaut 0 V ou 1,2 V selon son état. Ainsi les performances de la version 1 sont mesurées dans les 16 états discrets définis dans le Tableau 24.

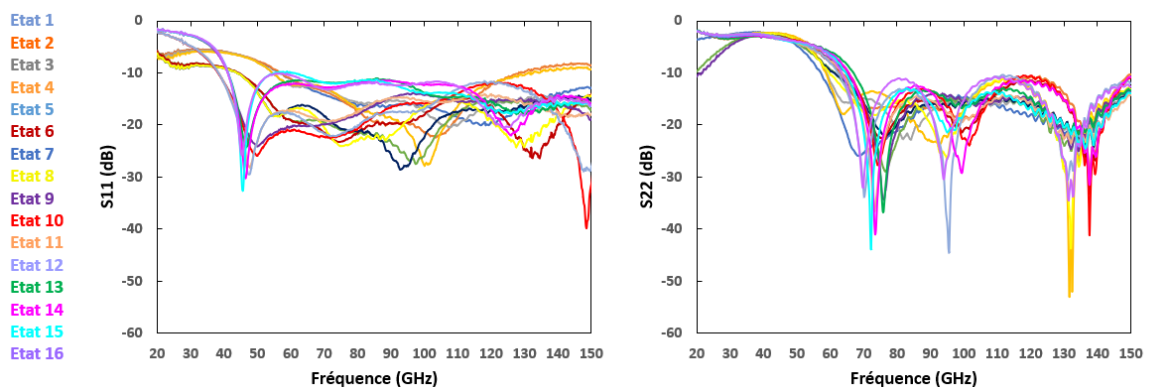


Figure 89 : Résultats de mesure de la version 1 en fonction de la fréquence : Amplitude de  $S_{11}$  et  $S_{22}$

Sur la Figure 89, on retrouve les amplitudes de  $S_{11}$  et  $S_{22}$  où l'on observe une bonne adaptation d'impédance en entrée et en sortie du déphaseur à 120 GHz et ce dans tous les états. Les bandes passantes en entrée et en sortie sont respectivement [60 GHz – 128,3 GHz] et [61,4 GHz – 151,1 GHz]. Des résultats qui confirment la bonne disposition des blocs et la capacité des déphaseurs RTPS à présenter de larges bandes passantes. La Figure 90 présente les pertes d'insertion et les phases dans les différents états. Au niveau des pertes, on note une évolution fréquentielle similaire dans tous les états

jusqu'à 100 GHz et à 120 GHz on obtient une variation d'amplitude entre 9,8 dB et 14,8 dB. La différence de 5 dB s'explique essentiellement par les différences d'amplitude des états du RTPS 2 bits. Au niveau du déphasage, le bilan à 120 GHz est positif car même si toutes les phases ne correspondent pas exactement à celles attendues, les écarts entre les états ne sont pas supérieurs à la plage de déphasage du déphaseur continu. Néanmoins l'écart de  $53^\circ$  (dû à l'écart de phase sur l'état 3 du RTPS 2 bits) entre les états 8 et 9 ne peut être comblé par le déphaseur continu, donc la plage de déphasage continu de la version 1 est inférieure à  $360^\circ$ .

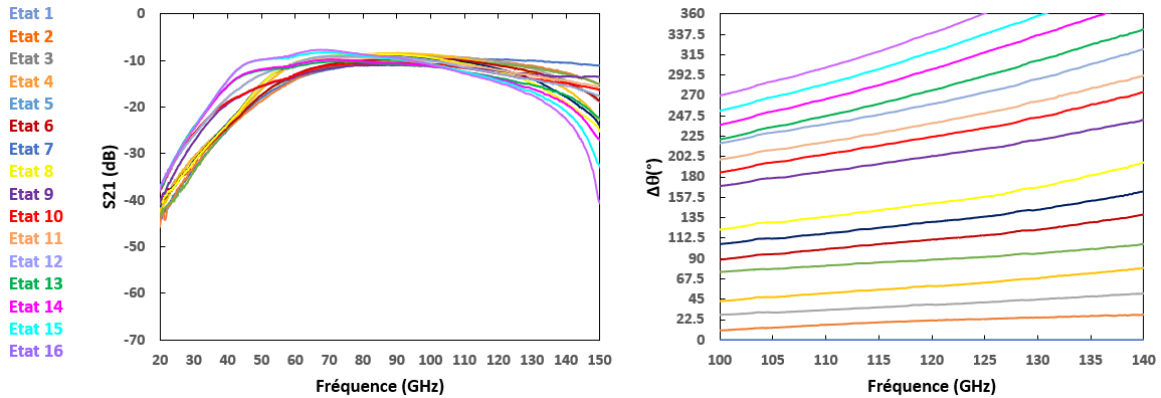


Figure 90 : Résultats de mesure de la version 1 en fonction de la fréquence : Amplitude  $S_{21}$  et  $\Delta\theta$

Pour déterminer la plage de déphasage continu de la version 1, on reprend les points de polarisation  $V_1, V_2, V_3, V_4$  et  $V_5$  correspondant à chaque état discret, puis la tension  $V_{ctrl}$  varie entre 1,2 V et une valeur qui permet de relier les phases de deux états consécutifs. Par exemple, pour passer de l'état 1 à l'état 2, on utilise la configuration des polarisations de l'état 1 et la tension  $V_{ctrl}$  de 1,2 V à 0,1 V pour un déphasage continu de  $22^\circ$ . Le processus est répété 16 fois et on trace le déphasage à 120 GHz en fonction de la tension  $V_{ctrl}$  (voir Figure 91 (a)).

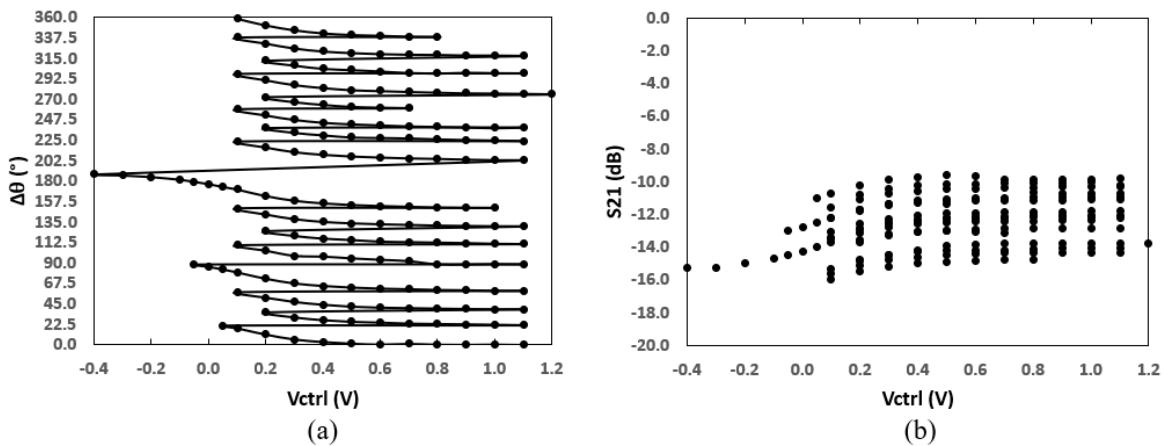


Figure 91 : Résultats de mesure de la version 1 à 120 GHz : (a) Amplitude de  $S_{21}$  et (b)  $\Delta\theta$  en fonction de  $V_{ctrl}$

Sur cette courbe, on remarque les 16 utilisations du bloc continu séparées par des droites horizontales montrant la connexion des différents états discrets. Malheureusement, l'écart entre les états 8 et 9 n'étant pas comblé par le déphaseur continu, il y a un trou entre  $188^\circ$  et  $203^\circ$ : on conclut que la version 1 du déphaseur hybride a une plage de déphasage de  $345^\circ$ . Du côté de la Figure 91 (b), on note l'augmentation des pertes d'insertion dont le maximum vaut 16 dB à 120 GHz. Le déphaseur continu a donc ajouté 1,2 dB à la différence d'amplitude entre le maximum et le minimum  $\Delta IL_{max}$ . Une

augmentation acceptable qui aurait permis de rester compétitif au niveau du paramètre « amplitude imbalance » s'il n'y avait pas d'aussi grandes différences d'amplitudes au niveau des blocs discrets, notamment le RTPS 2 bits. Cela renforce la décision de remplacer le RTPS 2 bits par deux blocs discrets à deux états pour avoir un meilleur contrôle des amplitudes et réduire  $\Delta IL_{max}$ . En revanche, cette version 1 du déphaseur reste une réussite car l'objectif d'assembler différents blocs pour réaliser un déphaseur continu avec une large plage de déphasage a été atteint. Puis le décalage de phase de l'état 3 ( $180^\circ$ ) du RTPS 2 bits se corrige avec une meilleure optimisation de la longueur électrique des lignes. De plus, le design a été réalisé sans la modélisation des effets entre la connexion de la cathode de la PIN et le substrat, ce qui rend optimiste sur la possibilité d'améliorer des résultats du déphaseur hybride.

### IV.3.2. Version 2

Cette partie sera quasi identique à la partie précédente vu qu'il s'agit de l'analyse des résultats de mesure de la version 2 du déphaseur hybride. A la différence de la version 1, la version 2 comporte 6 polarisations différentes en plus de la tension  $V_{ctrl}$  et la surface sans les plots vaut  $0,213 \text{ mm}^2$  (voir Figure 92). Le plan de mesure est identique à celui de la version 1 avec la recherche des valeurs de  $V_1$ ,  $V_2$ ,  $V_3$ ,  $V_4$ ,  $V_5$  et  $V_6$  permettant d'obtenir les 16 états discrets du Tableau 24.

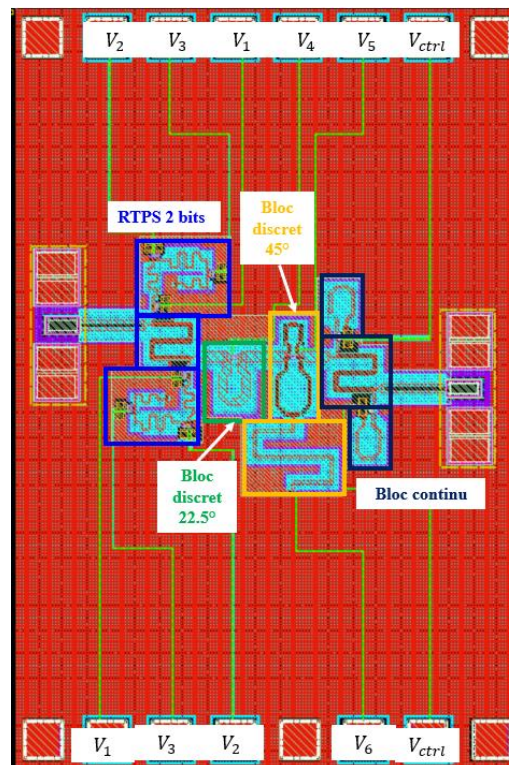


Figure 92 : Layout de la version 2 du déphaseur hybride

Les résultats de mesure affichés sur la Figure 93 montrent une bonne adaptation d'impédance (les amplitudes de  $S_{11}$  et  $S_{22}$  en dessous de  $-12 \text{ dB}$ ) dans tous les états à  $120 \text{ GHz}$ . La version 2 présente aussi de larges bandes passantes en entrée ( $[98 \text{ GHz} - 130.2 \text{ GHz}]$ ) et en sortie ( $[101.8 \text{ GHz} - 165.8 \text{ GHz}]$ ) même si on peut noter une régression par rapport à la version 1 due au remplacement du RTPS discret  $45^\circ$  par le filtre commuté  $45^\circ$ .

On retrouve les pertes d'insertion et le déphasage sur la Figure 94 où l'on note l'absence de l'état 13. En fait, l'effet du décalage de phase du RTPS 2 bits est encore plus marqué sur cette version 2 puisque le déphasage  $\Delta\theta$  dans l'état 12 vaut  $288^\circ$  au lieu de  $247.5^\circ$  à  $120 \text{ GHz}$ . De fait, l'état 13 qui vaut  $270^\circ$  devient inutile dans l'optique où le déphaseur continu devrait être utilisé pour relier les états



12 et 13. Néanmoins, les écarts entre les états discrets présents sur la courbe de  $\Delta\theta$  ne sont pas supérieurs à la plage du déphaseur continu, ce qui rend optimiste pour le déphasage continu entre 0 et 360°. Au niveau des pertes d'insertion, on remarque deux comportements fréquentiels distincts qui correspondent aux deux états du filtre commuté 45°. A 120 GHz, les pertes varient de 8.7 dB à 14.2 dB, soit une différence de 5.5 dB quasi-identique à celle de la version 1. On en conclut que les amplitudes des états du RTPS 2 bits sont encore la cause de cette différence d'amplitudes sur les états discrets du déphaseur hybride.

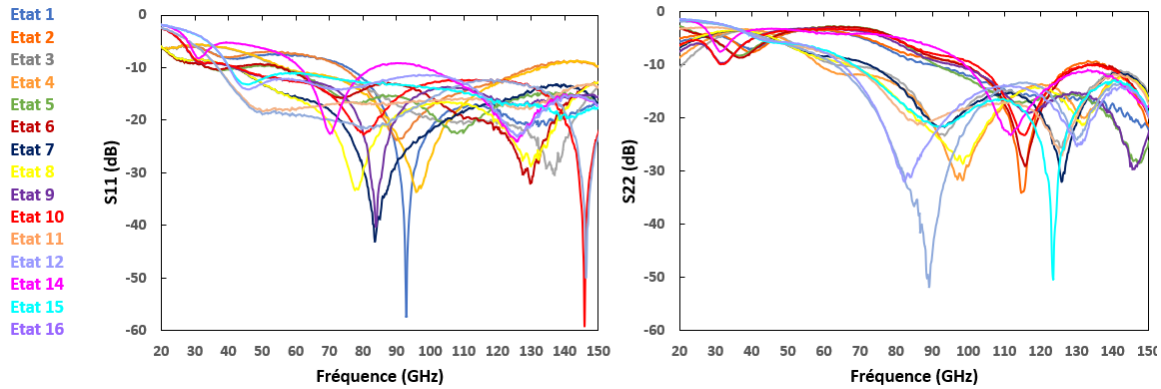


Figure 93 : Résultats de mesure de la version 2 : Amplitudes de S11 et S22 en fonction de la fréquence

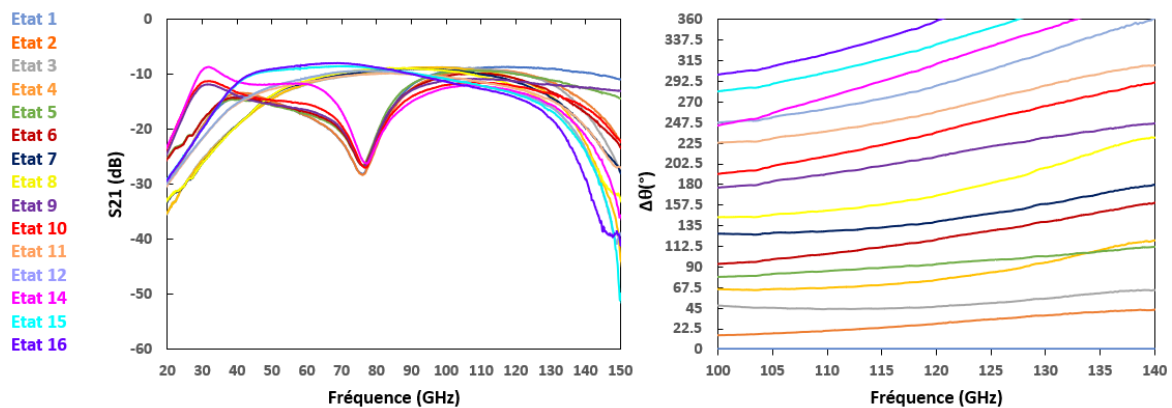


Figure 94 : Résultats de mesure de la version 2 : Amplitudes de S21 et  $\Delta\theta$  en fonction de la fréquence

Les résultats du déphasage continu à 120 GHz sont présentés sur la Figure 95 avec les courbes de  $\Delta\theta$  et les pertes d'insertion en fonction de la tension  $V_{ctrl}$ . Sur le déphasage, on constate que l'on réussit à relier quasiment tous les états discrets sauf les mêmes états 8 et 9, ce qui crée un trou entre 204° et 210°, négligeable sur la plage 0 – 360°. En conclusion, la version 2 a bien une plage de déphasage continue de 360°. Au niveau des pertes, la valeur maximum à 120 GHz passe à 15.5 dB, soit un ajout de 1.3 dB du déphaseur continu. L'analyse des variations d'amplitude est identique à celle de la version 1, à savoir qu'on est pénalisé par les problèmes rencontrés sur le RTPS 2 bits. Néanmoins, le constat reste le même sur le fait que l'objectif a été atteint au niveau du déphaseur hybride. D'ailleurs la version 2 est encore meilleure que la version 1 vu que l'on réussit à balayer toute la plage de 0 à 360°. On note aussi un avantage de cette topologie hybride pour laquelle des erreurs sur les phases des états discrets (Tableau 24) n'empêchent pas de réaliser le déphasage continu car ce qui compte est la différence entre ces phases.



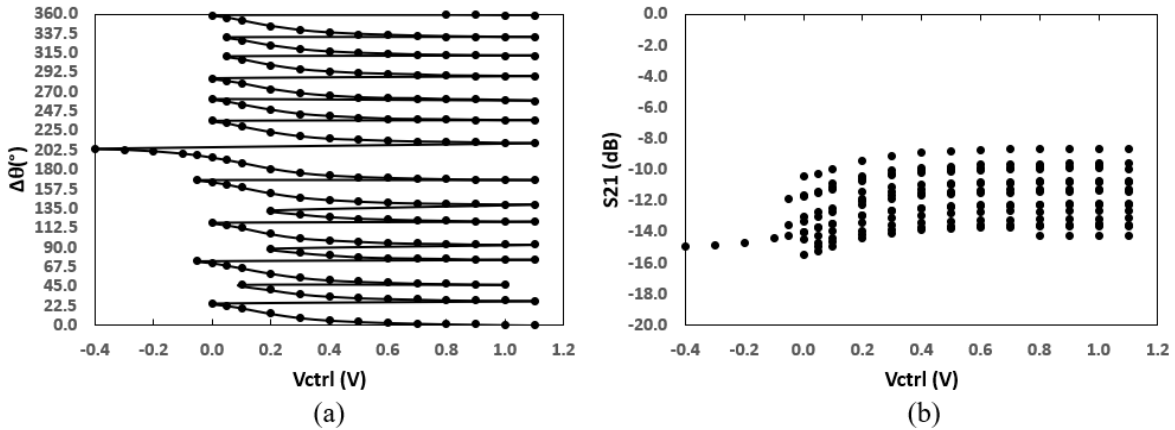


Figure 95 : Résultats de mesure de la version 2 à 120 GHz : (a) Amplitude de  $S_{21}$  et (b)  $\Delta\theta$  en fonction de  $V_{ctrl}$

Finalement, une version fonctionnelle du déphaseur hybride a été réalisée malgré toutes les défaillances relevées sur les blocs unitaires et le fait d’avoir tenté un assemblage de différentes topologies de déphaseurs. Cela nourrit un optimisme pour la suite car des composants tels que la diode PIN, le varactor et même le MOS sont amenés à évoluer dans cette zone de fréquence et cela pourrait donner de meilleures performances en termes de pertes d’insertion et du facteur de mérite « amplitude imbalance ».

#### IV.3.3. Version 3 & Version 4

Les deux dernières versions seront traitées dans la même partie car elles diffèrent au niveau du bloc continu, donc les états discrets du Tableau 25 sont les mêmes dans les deux versions. Aussi, cela permettra de mettre en avant l’apport du RTPS continu avec l’inductance commutée. Les deux circuits ayant été envoyés en fabrication au milieu de la dernière année de thèse, les mesures ne sont pas encore disponibles à ce jour. Néanmoins, les mesures des diodes PIN utilisées pour le design des RTPS discrets ainsi que les modèles fiables du varactor, du MOS et des autres passifs donnent des résultats de simulation réalistes qui seront présentés dans cette partie.

La Figure 96 présente les layouts des deux versions avec 5 blocs unitaires au lieu de 4 sur les versions 1 et 2 du déphaseur hybride. En conséquence, la surface sans les plots augmente et passe à 0,262 mm<sup>2</sup> pour la version 3 et 0,273 mm<sup>2</sup> pour la version 4. On note une diminution du nombre de polarisations des switches à 4 pour la version 3, mais on repasse à 5 sur la version 4 à cause du MOS de l’inductance commutée.

Pour la suite, les 16 états discrets du Tableau 25 sont déterminés en faisant varier les polarisations des switches des blocs discrets. Dans la version 4, le MOS du filtre commuté reste à l’état ON pendant la recherche des états discrets. Sachant que le varactor est le même pour les deux déphaseurs continus et que  $V_{ctrl}$  est fixée à 1,2 V, on obtient quasiment les mêmes résultats que ceux de la version 3. Cela se vérifie sur la Figure 97 où le comportement fréquentiel de  $S_{11}$  et  $S_{22}$  sont les mêmes dans les deux versions. Les bandes passantes sont donc identiques et valent respectivement [68 GHz – 125 GHz] et [68 GHz – 200 GHz] en entrée et en sortie du déphaseur.

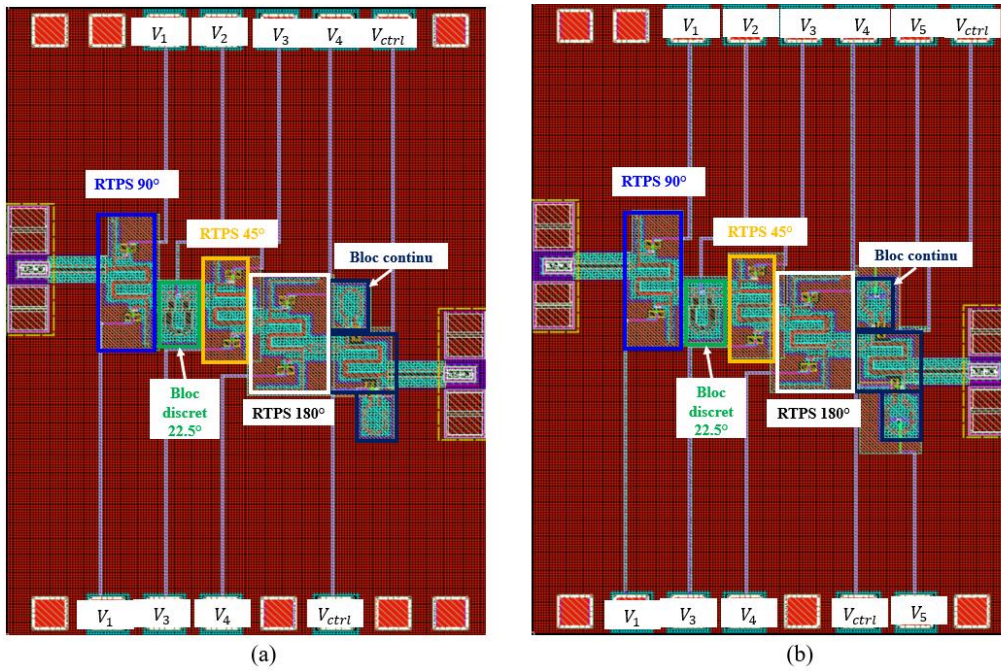


Figure 96 : Layout de la (a) Version 3 et la (b) Version 4 du déphaseur hybride

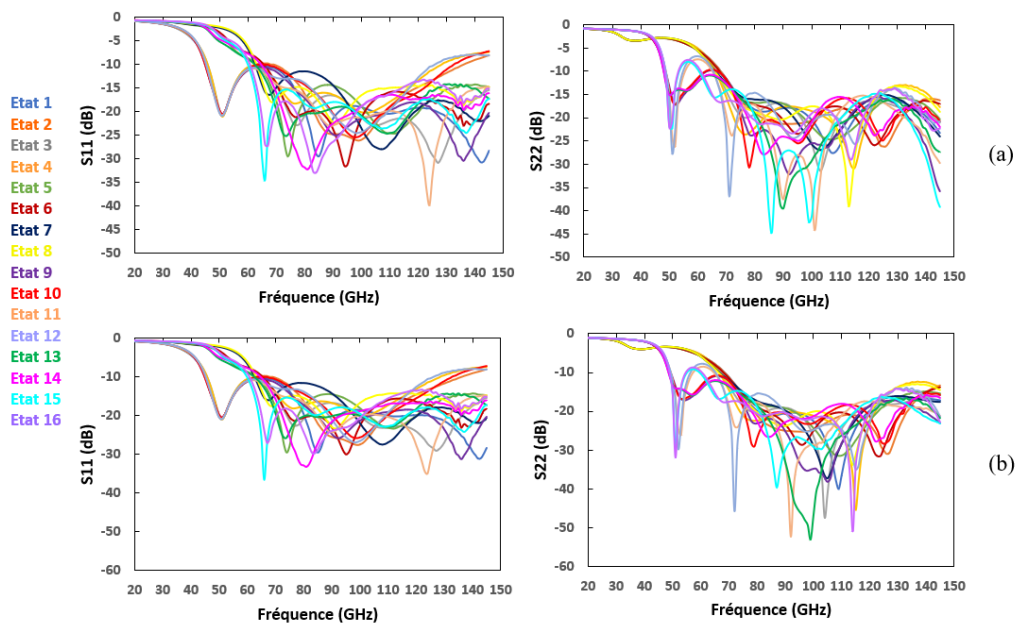


Figure 97 : Résultats de simulation en fonction de la fréquence. Amplitude de  $S_{11}$  et  $S_{22}$  de la (a) version 3 et la (b) version 4

On retrouve aussi les mêmes comportements fréquentiels pour les pertes d'insertion et le déphasage des états discrets des deux versions (voir Figure 98). Sur les courbes de l'amplitude de  $S_{21}$ , on remarque dans certains états l'apparition d'une résonance entre 50 GHz et 60 GHz provenant du RTPS discret  $45^\circ$  quand la diode PIN est passante. En fait, il s'agit de la résonance entre les lignes de la charge du RTPS et la capacité de découplage connectée à la diode PIN. A 120 GHz, les pertes varient de 8,2 dB à 9 dB pour la version 3 et de 8,4 dB à 9,2 dB pour la version 4, soit une faible variation de 0,8 dB, synonyme d'un meilleur contrôle des différences d'amplitudes dans chaque bloc discret. En somme, l'association de 4 blocs discret  $22,5^\circ$ ,  $45^\circ$ ,  $90^\circ$  et  $180^\circ$  est l'optimum pour réussir à obtenir 16 états discrets avec une bonne précision de phase et une faible variation d'amplitude.

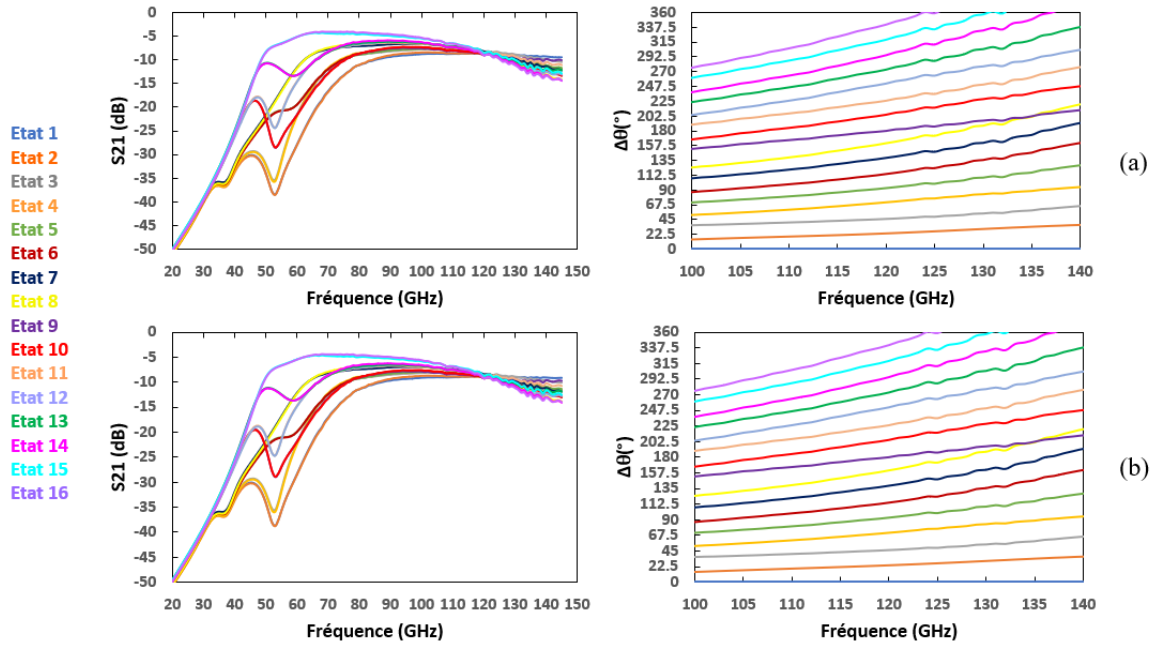


Figure 98 : Résultats de simulation en fonction de la fréquence. Amplitude de  $S_{21}$  et le déphasage  $\Delta\theta$  de la (a) version 3 et la (b) version 4

Le déphasage continu de la version 3 à 120 GHz est présenté sur Figure 99. Les phases des états discrets correspondant à celles attendues, on retrouve une variation de phase du bloc continu quasi identique pour relier ces états discrets et balayer la plage 0 – 360°. Malheureusement, le bloc continu ajoute 1,9 dB de pertes, ce qui fait passer le maximum des pertes à 10,9 dB soit une variation d’amplitude de 2,7 dB. L’utilisation du RTPS continu avec l’inductance commutée permet d’améliorer cet aspect du déphaseur hybride puisque l’on obtient pour la version 4 (voir Figure 100) des pertes qui varient entre 8,4 dB et 10,3 dB : la variation d’amplitude pour un déphasage continu de 0 à 360° passe en dessous de 2 dB et la figure de mérite vaut 35 °/dB à 120 GHz.

En conclusion, la version 4 représente la forme la plus aboutie de cette idée de déphaseur hybride rassemblant les meilleures topologies de déphaseurs discrets associées à un déphaseur continu. Les mesures des versions 1 et 2 ont permis de valider le principe et de montrer qu’il n’est pas indispensable d’avoir bloc continu de 360° pour réaliser le déphasage continu sur la plage 0 - 360°. Cependant les pertes élevées et la grosse variation d’amplitude représentaient des limites du dispositif et confirmaient encore la difficulté de mettre en avant un déphaseur passif par rapport aux déphaseurs actifs. En attendant la confirmation en mesure, les résultats de cette version 4 nous place au niveau de l’état de l’art pour un déphaseur continu de 360° aux fréquences millimétriques. Enfin, l’utilisation de l’inductance commutée met avant que la réduction de la plage de déphasage continue est la seule solution aux fréquences supérieures à 100 GHz pour réduire la variation d’amplitude, car on reste dépendant des varactors, dont le facteur de qualité reste mauvais à ces fréquences. Ainsi, une amélioration de l’inductance commutée utilisant un autre switch afin de réduire encore plus la variation d’amplitude est une piste à explorer pour la suite des travaux sur le déphaseur hybride.

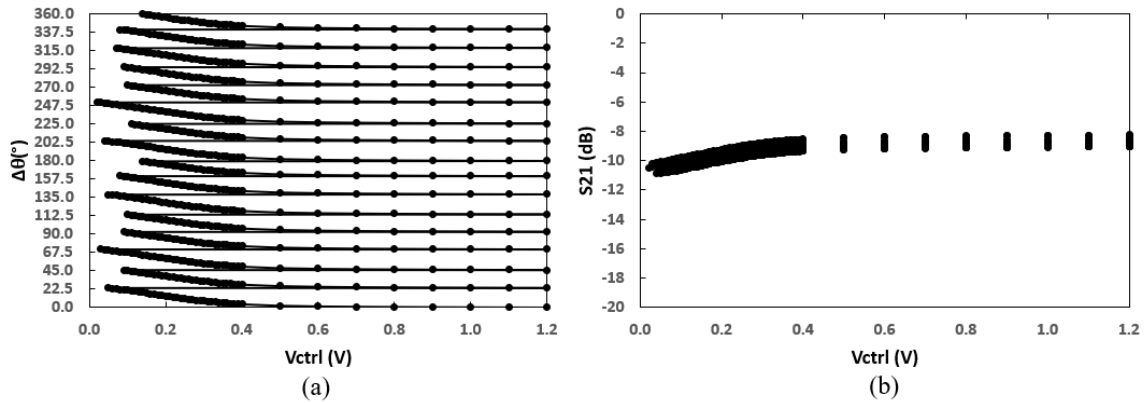


Figure 99 : Résultats de mesure de la version 3 à 120 GHz : (a) Amplitude de S21 et (b)  $\Delta\theta$  en fonction de Vctrl

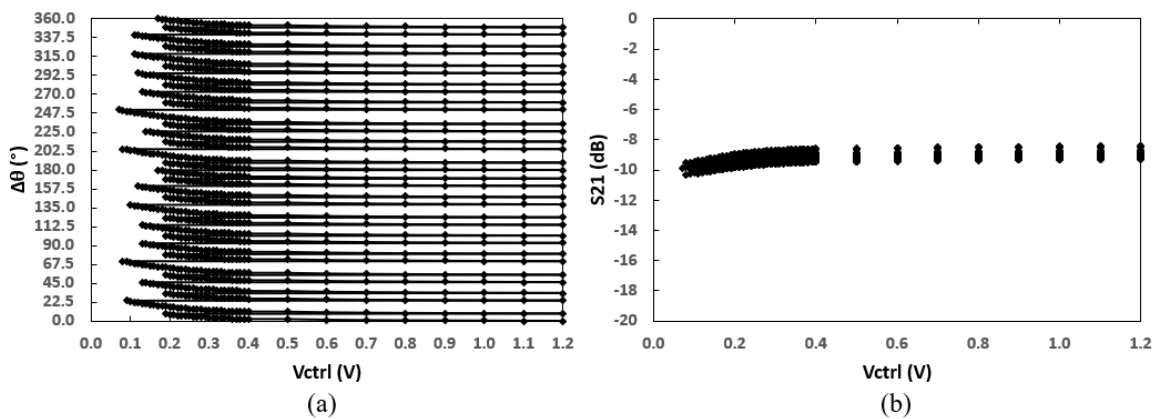


Figure 100 : Résultats de mesure de la version 4 à 120 GHz : (a) Amplitude de S21 et (b)  $\Delta\theta$  en fonction de Vctrl

#### IV.4. Comparaison à l'état de l'art

Le Tableau 27 regroupe des travaux présentés dans le chapitre 1 ainsi que les versions mesurées et simulées de notre circuit final. Dans ce tableau, on trouve aussi des déphaseurs discrets de plusieurs bits sur  $360^\circ$ , car il est important de mettre en avant les différents types de déphasage avec leurs avantages et inconvénients. Au niveau des déphaseurs discrets, l'article [26] se démarque par une bonne précision de phase, de faibles pertes d'insertion et une faible variation d'amplitude avec un circuit réalisé à 95 GHz. Des performances obtenues grâce à une mise en cascade de 5 filtres commutés ( $11^\circ$ ,  $22^\circ$ ,  $45^\circ$ ,  $90^\circ$  et  $180^\circ$ ). Ces travaux confirment l'importance des composants actifs dans les résultats de déphaseurs discrets car les transistors (technologie CMOS SOI) utilisés ont un produit  $R_{on} \cdot C_{off}$  plus faible que celui des transistors disponibles dans la technologie B55. Pour les déphaseurs continus, les auteurs de [46] et [50] ont obtenu de faibles variations d'amplitude en balayant la plage  $0 - 360^\circ$ . Néanmoins, ce sont des travaux en dessous de 80 GHz où les varactors ont encore un facteur de qualité acceptable, ce qui leur a permis de mettre en place des charges de RTPS complexes utilisant plusieurs résonances LC pour avoir une large plage de déphasage. Face à ces résultats, les performances attendues pour la version 4 du déphaseur hybride à 120 GHz placent notre travail au niveau de l'état de l'art des déphaseurs passifs en fréquence millimétrique. Sachant que le développement de la diode PIN va évoluer dans les années à venir, cela rend optimiste sur la possibilité d'augmenter la figure de mérite du déphaseur hybride et de montrer que les déphaseurs passifs peuvent proposer une meilleure alternative que les déphaseurs actifs pour les fréquences supérieures à 100 GHz. Dans l'état, la comparaison avec les déphaseurs actifs reste à l'avantage de ces derniers car le rapport



performance/surface leur est toujours favorable. Pour preuve, le déphaseur actif 360° de [11] conçu pour fonctionner entre 140 GHz et 160 GHz en technologie B55 présente une différence d'amplitude de 1,4 dB soit 0,5 dB de moins que celle de la version 4. Les pertes d'insertion sont limitées à 4,5 dB grâce aux VGA et la surface du circuit vaut 0,05 mm<sup>2</sup> (5 fois moins que la version 4). Cependant, les puissances  $IP_{1dB}$  et  $OP_{1dB}$  de 2 dBm et -3,7 dBm sont des points négatifs auxquels peuvent pallier les déphaseurs passifs, surtout que des mesures des diodes PIN [54] donnent un point de compression  $CP_{1dB} = 25 \text{ dBm}$  à 28 GHz. Cela montre l'importance de continuer l'exploration des topologies passives pour réduire les pertes d'insertion, la variation d'amplitude et la surface.

Tableau 27 : Comparaison à l'état de l'art

Réf	Discret / Continu	Technologie	Déphasage total (°)	Nbre de bits / Résolution (°)	Bande de fréquence (GHz)	Pertes d'insertion (dB)	Figure de mérite (°/dB)	Erreur de phase (°)	Surface (mm <sup>2</sup> )
[12]	Discret	InGaAs	360	4 / 22,5	81 - 85	11,5 - 12,7	28,3	8,2	1,544
[26]	Discret	CMOS SOI 32 nm	360	5/11,25	94 - 96	6,9 - 8,1	44,4	< 6	0,7*
[35]	Continu	BiCMOS 55 nm	92	-	45 - 160	3,3 - 12,7	7,2	-	0,065
[46]	Continu	BiCMOS 130 nm	360	-	62	9,6 - 10,3	35	-	0,16
[50]	Continu	CMOS 65 nm	360	-	27,8 - 31,2	8,1 - 8,5	42,4	-	0,076
<b>Version 1</b>	<b>Continu</b>	<b>BiCMOS 55 nm</b>	<b>345</b>	<b>-</b>	<b>120</b>	<b>9,8 - 16</b>	<b>21,6</b>	<b>-</b>	<b>0,228</b>
<b>Version 2</b>	<b>Continu</b>	<b>BiCMOS 55 nm</b>	<b>360</b>	<b>-</b>	<b>120</b>	<b>8,7 - 15,5</b>	<b>23,2</b>	<b>-</b>	<b>0,213</b>
<b>Version 3 **</b>	<b>Continu</b>	<b>BiCMOS 55 nm</b>	<b>360</b>	<b>-</b>	<b>120</b>	<b>8,2 - 10,9</b>	<b>33</b>	<b>-</b>	<b>0,262</b>
<b>Version 4 **</b>	<b>Continu</b>	<b>BiCMOS 55 nm</b>	<b>360</b>	<b>-</b>	<b>120</b>	<b>8,4 - 10,3</b>	<b>35</b>	<b>-</b>	<b>0,273</b>

\* Déphaseur + LNA \*\* Simulation

## IV.5. Conclusion du chapitre 4

A la lumière de ce dernier chapitre, on retient que le principe de déphaseur passif hybride a été mis en place, l'assemblage des blocs discrets et du bloc continu a été envoyé en fabrication et mesuré sur une plaque de Silicium en technologie B55.

Les résultats de la version 2 montrent la réussite du déphasage continu de 0 à 360° à 120 GHz, ce qui reste une performance notable pour une topologie passive dans cette bande de fréquence. Les pertes d'insertion élevées et la variation d'amplitude maximum de 6,8 dB sont les limites de ce démonstrateur. Heureusement, il y a eu avant l'assemblage, une analyse individuelle de chaque bloc qui a facilité la compréhension sur l'origine des pertes et la différence d'amplitude en fonction du déphasage. Ainsi, des solutions ont été proposées et sont matérialisées par les versions 3 et 4 présentées dans ce chapitre. En attendant les mesures, les résultats de simulation montrent l'efficacité des solutions proposées, le passage à 4 blocs discrets facilite le contrôle des phases et des amplitudes et l'utilisation de l'inductance commutée au niveau du RTPS continu permet de réduire l'influence néfaste du varactor sur la variation de l'amplitude en fonction du déphasage.

On notera que les diodes PIN utilisées dans les blocs discrets ont une consommation DC qui n'est pas tout à fait négligeable. Pour rappel la version 1 utilise 8 diodes PIN tandis que la version 2 en utilise 6. En relevant les tensions aux bornes de ces diodes quand elles sont en état ON, on obtient des puissances allant jusqu'à 47 mW pour la version 1 et 43 mW pour la version 2. Ces valeurs s'expliquent par le fait qu'une des trois diodes de la charge du RTPS 2 bits consomme 12 mA en état ON quand les

courants des autres diodes restent en dessous de 4 mA. Les versions 3 et 4 utilisent aussi 6 diodes mais la simulation prévoit des consommations de courant en dessous de 4 mA pour les diodes des RTPS 45°, 90° et 180°. Par conséquent les puissances DC seront bien en dessous de celles relevées sur les versions 1 et 2.



## Conclusion générale et perspectives

Cette thèse s'inscrivait dans le contexte des travaux pour l'amélioration des performances du beamforming en bandes millimétriques. Parmi tous les circuits (PA, LNA, mixeur, balun, antennes...) qui sont utilisés dans les chaînes de transmission ou de réception des communications sans fil, nous avons décidé de nous focaliser sur les déphaseurs.

Dans ce sens, la première partie du travail synthétisée dans le chapitre 1 consistait à faire une bibliographie sur les déphaseurs en bandes millimétriques. Globalement, nous avons identifié 2 groupes de déphaseurs à savoir les déphaseurs actifs basés sur le principe de la modulation vectorielle et les déphaseurs passifs. Les déphaseurs actifs, bien que populaires pour leur précision de phase, la possibilité d'avoir du gain et leur faible surface, souffrent d'une consommation DC importante et d'une linéarité qui se dégrade fortement avec la montée en fréquence. Ces inconvénients sont rédhibitoires pour des systèmes qui se veulent de plus en plus autonomes. De ce fait, l'objectif de la thèse a été de mettre en avant les topologies passives dont l'état de l'art montre une pluralité de solutions telles que les lignes commutées, les filtres commutés, les lignes chargées et les RTPS. Dans la perspective de réaliser un déphaseur continu de 0 à 360°, l'idée d'assembler des topologies discrètes et continues a été mise en place. Elle a consisté à assembler des blocs discrets de 22,5°, 45°, 90° et 180° à un bloc continu avec une plage de déphasage de 22,5°. La technologie B55 a été choisie pour une réalisation à 120 GHz.

Par la suite, la technologie B55 a été explorée dans le chapitre 2 afin de trouver les composants qui pourraient servir à la réalisation du déphaseur hybride. On distingue les composants du FEOL et du BEOL. Dans le FEOL, on trouve les composants permettant le contrôle discret (transistor MOS, diode PIN) ou continu (varactor) des phases. Le transistor MOS et la diode PIN en tant que switch présentent des différences, à savoir le transistor MOS s'insère assez facilement dans n'importe quelle configuration (série ou parallèle) et n'a pas besoin de circuit de polarisation, tandis que la diode PIN nécessite un circuit de polarisation et une capacité de liaison pour séparer les signaux DC et RF. En résumé, la diode PIN n'a pas totalement l'avantage sur le MOS malgré son produit  $R_{on} \cdot C_{off}$  plus faible. Par conséquent, chaque topologie discrète nécessite une étude pour faire le choix entre les deux composants. Concernant le varactor, il y a aussi un choix à faire entre le varactor à base de jonction PN et le varactor à base de MOS. Un choix basé sur le Tuning Range et le facteur Q de ces différents types de varactors, aussi sur les performances obtenues au niveau du RTPS continu utilisant le varactor comme charge. Pour connecter ces composants du FEOL, des lignes de transmission, des inductances et des capacités ont été implémentées dans le BEOL. La grande distance (supérieure à 10  $\mu\text{m}$ ) entre les métaux M9 et M1 assure un bon facteur de qualité pour les lignes de transmission et l'inductance à notre fréquence de travail. Au niveau des capacités, on retient que ni les MOM, ni les MIM, ni les capacités « plate » ne permettent d'obtenir les valeurs de capacité (entre 500 fF et 1 pF) et une fréquence de résonance assez haute pour réaliser la polarisation des diodes PIN à 120 GHz.

Les composants identifiés sont utilisés pour réaliser les blocs discrets et le bloc continu dont le design est présenté dans le chapitre 3. On y trouve les études théoriques permettant de choisir les bonnes topologies pour chaque bloc, ensuite des simulations électriques (Spectre) et électromagnétiques (Momentum, HFSS) ont été réalisées pour finaliser l'optimisation des circuits, ce qui conduit au dessin et l'envoi en fabrication. Enfin les résultats de mesure ont été présentés, analysés et interprétés afin de valider la méthode de design, les modèles RF des composants utilisés ainsi que la possibilité d'intégrer le circuit dans l'assemblage final du déphaseur hybride. A cet effet, le bloc discret 22,5° est une ligne en parallèle avec un composant actif. Les deux versions avec la diode PIN et le transistor MOS ont montré que le premier n'était pas adapté aux configurations série, donc la version avec le MOS est conservée pour le déphaseur hybride. Pour le bloc discret 45°, un filtre commuté à base MOS et un

RTPS discret à base de diode PIN ont donné de bonnes performances en termes de précision de phase à 120 GHz. Au niveau des pertes d'insertion, on reste à l'état de l'art, donc les deux circuits sont retenus pour le déphaseur hybride. Les déphasages de 90° et 180° sont réalisés par deux RTPS discrets semblables au RTPS discret 45° après que le RTPS 2 bits ait montré ces limites au niveau des différences d'amplitudes entre les différents états. Le chapitre s'est terminé avec le RTPS continu où la charge LC parallèle composée du varactor et d'une ligne de transmission a permis d'obtenir une plage de déphasage de 35° à 120 GHz. Le remplacement de la ligne de transmission par une inductance commutée a réduit la plage de variation d'amplitude en fonction du déphasage, ce qui représente une amélioration pour le facteur de mérite « amplitude imbalance » du déphaseur hybride.

Ces différents blocs ont été assemblés dans le chapitre 4 où l'on distingue 4 versions en fonction des différentes topologies qui se sont montrées fonctionnelles pour chaque bloc. Les résultats de mesure de la version 2 ont montré la réussite du déphasage continue de 0 à 360°, donc la réussite du projet de déphaseur hybride consistant à utiliser un bloc continu d'une petite plage de déphasage pour relier 16 états discrets obtenus à l'aide de 3 déphaseurs discrets. Cependant, on remarque des pertes d'insertion élevés (15,5 dB) et une variation d'amplitude assez conséquente (6,8 dB) dues aux mauvaises performances du RTPS 2 bits dans ces domaines. Pour pallier ces inconvénients, les versions 3 et 4 utilisant 4 blocs discrets ont été envoyés en fabrication. En attendant les résultats de mesure, on a observé une nette amélioration au niveau des pertes d'insertion (on passe à 10,3 dB pour la version 4) ainsi que la variation d'amplitude qui vaut 1,9 dB pour la version 4. On conclut qu'en plus de réussir le déphasage continue de 0 à 360°, on a aussi réussi à avancer sur les limites des déphaseurs passifs que sont les pertes d'insertion et la variation d'amplitude.

En somme, le retour global sur les travaux est positif car nous avons réussi à mettre en place un démonstrateur associant différentes topologies pour réaliser un déphaseur passif continu de 0 à 360°. On note aussi la mise en avant de la diode PIN, composant encore en développement en B55, avec lequel nous avons obtenus de bonnes performances sur le RTPS discret 45° malgré l'absence d'un modèle RF complet.

Ainsi, à court terme, les perspectives reposent sur une amélioration du modèle de la diode PIN afin de gagner en maturité sur le design du déphaseur hybride. Il s'ajoute aussi un travail au niveau du layout du composant afin de déplacer la connexion avec le substrat du côté de l'anode afin de pouvoir la polariser comme prévu sur la Figure 61. À la suite de ces deux étapes, on aurait la meilleure performance possible pour le déphaseur hybride à 120 GHz voire plus haut en fréquence. À l'avenir, des mesures de puissance (évaluation de  $CP_{1dB}$ ) à plus de 100 GHz seraient un plus pour la valorisation du déphaseur hybride par rapport à des déphaseurs actifs dans cette bande de fréquence. Finalement, une optimisation du layout afin de réduire la surface représenterait l'aboutissement de cette hybridation entre les 4 déphaseurs discrets et le déphaseur continu qui donnerait un circuit susceptible d'être intégré dans une chaîne de transmission ou de réception pour une application de communication sans fil.

## Liste des figures

Figure 1 : Les différents domaines d'utilisation de la 5G [3].....	9
Figure 2 : Différents types de radars automobiles [67].....	10
Figure 3 : Schéma du principe de la modulation vectorielle.....	11
Figure 4 : (a) Schéma du déphaseur (b) Générateur des signaux différentiels I/Q [10].....	12
Figure 5 : Lignes commutées pour des déphaseurs (a) 1 bit et (b) 2 bits.....	13
Figure 6 : 4 déphaseurs à lignes commutées mis en cascade pour réaliser un déphaseur 4 bits [12] ...	13
Figure 7 : (a) Les différentes configuration de layout du transistor MOS (b) Schéma électrique du switch SPDT [13].....	14
Figure 8 : Résumé de la bibliographie sur les switches RF .....	15
Figure 9 : Déphaseurs à lignes chargées (a) avec une inductance (b) avec une ligne de transmission.	16
Figure 10: (a) Vue 3D d'un DiCAD (b) Schéma électrique du switch (c) Déphaseur à base de DiCAD [19].....	16
Figure 11 : 8 Cellules en pi (Inductances + Varactors) en cascade [20].....	17
Figure 12 : Schéma d'une cellule en Pi avec l'inductance variable [21] .....	17
Figure 13 : Schéma des filtres passe bas utilisés pour les déphaseurs de type filtres commutés : (a) 1er ordre (b) 3e ordre CLC (c) 3e ordre LCL .....	18
Figure 14 : Déphaseurs à filtre commuté avec une (a) Configuration CLC (b) Configuration LCL ..	19
Figure 15 : Déphaseurs à filtre commutés réalisés dans [30]. (a) Déphaseur 180° filtres passe-haut/passe-bas avec des diodes PIN (b) Déphaseurs 90°, 45°, 22,5° avec une diode PIN et un transistor MOS.....	20
Figure 16 : Schéma d'un RTPS .....	21
Figure 17 : Etude théorique sur les plages de déphasages possibles d'un RTPS avec un varactor comme charge.....	23
Figure 18 : (a) Coupleur Hybride (b) Lignes couplées .....	24
Figure 19 : Coupe transversale de lignes couplées avec un couplage vertical [35] .....	25
Figure 20 : BEOL 9ML de la technologie B55.....	29
Figure 21: (a) Modèle petit signal d'un transistor MOS. (b) Modèle vu entre le drain et la source.....	31
Figure 22 : Résultats de simulation des performances d'un switch MOS en série à 120 GHz .....	32
Figure 23 : Résultats de simulation des performances d'un switch MOS en parallèle à 120 GHz .....	32
Figure 24 : Schéma d'une diode PIN [53] .....	33
Figure 25 : (a) Architecture en coupe de la diode PIN développée en B55 chez STMicroelectronics [54]. (b) Vue de dessus d'un layout d'une diode PIN avec 4 doigts d'anode.....	34
Figure 26 : $R_{on}$ (8 mA) et $C_{off}$ (-4 V) de la diode PIN en fonction de la fréquence [54].....	35
Figure 27: Modèle électrique de la diode PIN en (a) polarisation directe et en (b) polarisation indirecte .....	35
Figure 28 : Schéma de switch à base de diode PIN en (a) série et en (b) parallèle [68].....	36
Figure 29 : (a) Vue en coupe d'une jonction PN. (b) Evolution de la capacité en fonction de la tension de polarisation $V_{CA}$ [35].....	37
Figure 30 : Symbole d'un transistor NMOS avec le drain, la source et le bulk connectés.....	37
Figure 31 : (a) Varactor A-MOS (b) Evolution de la capacité en fonction de $V_G, D_S$ [35].....	38
Figure 32 : (a) varactor I-MOS. (b) Evolution de la capacité en fonction de $V_G, D_S$ [35] .....	38
Figure 33 : Vue 3D d'une ligne microruban en B55.....	39
Figure 34 : Vu 3D d'une ligne coplanaire .....	40
Figure 35 : Vue 3D d'une ligne coplanaire à ondes lentes [55] .....	41
Figure 36 : Les capacités (a) MOM (b) MIM et (c) "plate" en B55 .....	42

Figure 37: Schéma électrique du bloc discret 22,5° .....	44
Figure 38 : Schéma électrique du bloc discret 22,5° sur Spectre.....	45
Figure 39 : (a) Vue 3D de l'empilement de vias pour la connexion entre le MOS et la ligne microruban. (b) Le schéma équivalent.....	47
Figure 40 : Vue 3D de la ligne microruban courbée.....	47
Figure 41: Plan de la simulation électromagnétique d'une ligne courbée sur Momentum .....	48
Figure 42 : Schéma électrique final du bloc discret 22,5° sur Spectre.....	48
Figure 43 : (a) Layout du bloc discret 22,5° avec le MOS. (b) Zoom sur la connexion entre le MOS et la ligne microruban .....	49
Figure 44 : (a) Schéma du déphaseur 22,5° avec une seule diode PIN. (b) Avec deux diodes PIN en série connectées par leur anode.....	50
Figure 45 : Vue 3D du BEOL de la diode PIN en B55 et l'empilement de via pour connecter la ligne microruban .....	50
Figure 46: (a) Layout du bloc discret 22,5° à base de diodes PIN. (b) Zoom sur la connexion entre les diodes PIN et la ligne microruban.....	51
Figure 47 : Banc de mesures RF du CIME Nanotech de Grenoble .....	52
Figure 48 : Micrographe du bloc discret 22,5° à base de MOS .....	53
Figure 49 : Résultats du bloc discret 22,5° avec un MOS de largeur 40µm en fonction de la fréquence. (a) Amplitude de S11, (b) amplitude de S21, (c) phase de S21 et (d) la différence de phase $\Delta\theta$ .....	53
Figure 50: Résultats du bloc discret 22,5° avec un MOS de largeur 32µm en fonction de la fréquence. (a) Amplitude de S21 et (b) la différence de phase $\Delta\theta$ .....	54
Figure 51 : Micrographie du bloc discret 22,5° à base de diodes PIN.....	55
Figure 52 : Résultats du bloc discret 22,5° avec les diodes PIN en fonction de la fréquence pour $I_{direct} = 12$ mA & $V_{indirecte} = -3$ V. (a) Amplitude de S11, (b) amplitude de S21, (c) phase de S21 et (d) la différence de phase $\Delta\theta$ .....	56
Figure 53 : : Retro-Simulation du bloc discret 22,5° avec les mesures de la diodes PIN pour $I_{direct} = 12$ mA & $V_{indirecte} = -3$ V. (a) Amplitude de S11, (b) amplitude de S21, (c) phase de S21 et (d) la différence de phase $\Delta\theta$ .....	56
Figure 54 : (a) Filtre commuté du 1er ordre avec une ligne autour du transistor T1. (b) Schéma électrique du filtre commuté 45° proposé pour la thèse. ....	59
Figure 55 : (a) layout du filtre commuté 45° à base de MOS. (b) Zoom sur l'interconnexion entre les éléments du circuit .....	60
Figure 56 : Résultats de mesure VS simulation du filtre commuté 45° à base de MOS en fonction de la fréquence. (a) Amplitude de S11, (b) amplitude de S21, (c) phase de S21 et (d) la différence de phase $\Delta\theta$ .....	61
Figure 57 : Vue de dessus des lignes microrubans couplées méandrées .....	63
Figure 58 : Résultats de simulation des lignes couplées méandrées. ....	64
Figure 59 : Charge du RTPS discret 45°.....	65
Figure 60 : Schéma électrique d'un RTPS discret 45° avec un MOS .....	65
Figure 61 : Schéma électrique de la charge du RTPS discret 45° .....	67
Figure 62 : (a) Vue en coupe d'une capacité "plate" entre M1 et M6 (b) Vue 3D de deux capacités en parallèle (c) Courbe de la capacité équivalente en fonction de la fréquence .....	67
Figure 63 : Nouvelle charge du RTPS discret 45° à base de diode PIN .....	68
Figure 64 : Layout du RTPS discret 45° à base de diode PIN.....	69
Figure 65 : Résultats de mesure VS simulation du RTPS discret 45° à base de MOS en fonction de la fréquence. (a) Amplitude de S11, (b) Amplitude de S21, (c) Phase de S21 et (d) Différence de phase $\Delta\theta$ .....	69

Figure 66 : Résultats de simulation du RTPS discret 45° en inversant les ports de la diode PIN .....	70
Figure 67 : Principe de la charge du RTPS 2 bits .....	72
Figure 68 : Schéma de la charge du RTPS 2 bits en remplaçant les switches en ON par des résistances .....	73
Figure 69 : Résultats de l'influence de Ron sur la charge du RTPS 2 bits à 120 GHz. (a) Amplitude et (b) phase du coefficient de réflexion de chaque état en fonction de Ron .....	73
Figure 70 : Schéma de la charge du RTPS 2 bits en remplaçant les switches en OFF par des capacités. ....	74
Figure 71 : Résultats de l'influence de Coff sur la phase du RTPS 2 bits à 120 GHz.....	74
Figure 72 : (a) layout du RTPS 2 bits à base de diodes PIN. (b) Zoom sur l'interconnexion entre les éléments du circuit .....	75
Figure 73 : Résultats de mesure VS simulation du RTPS 2 bits à base de diode PIN en fonction de la fréquence. (a) Amplitude de S11, (b) Amplitude de S21, (c) Phase de S21 et (d) Différence de phase $\Delta\theta$ .....	76
Figure 74 : Zoom sur les interconnexions entre les éléments du (a) RTPS discret 90° et le (b) RTPS discret 180° .....	77
Figure 75 : Résultats de simulation des RTPS 90° et 180° vs Fréquence. (a) Amplitude de S11, (b) Amplitude de S21, (c) Phase de S21 et (d) différence de phase .....	78
Figure 76 : Schéma de la Charge LC parallèle pour le RTPS continue .....	79
Figure 77 : (a) Capacité (b) Plage de déphasage et (c) L'amplitude de S21 en fonction de la tension de contrôle des varactors à 120 GHz .....	80
Figure 78 : (a) layout et (b) modèle équivalent d'un varactor G01 .....	81
Figure 79 : (a) Plage de déphasage et (b) pertes d'insertion à 120 GHz du RTPS continue. (c) L'impédance de la charge LC parallèle sur l'abaque de Smith.....	82
Figure 80 : (a) Layout du RTPS continue. (b) Zoom sur l'interconnexion entre les éléments du circuit .....	82
Figure 81 : Résultats de mesure vs Simulation du RTPS continue à 120 GHz en fonction de la tension Vctrl. (a) Déphasage et (b) Amplitude de S21 .....	83
Figure 82 : Résultats de simulation vs mesure en fonction de la fréquence. (a) Amplitude de S11, (b) amplitude de S21 et (c) déphasage.....	83
Figure 83 : Vue 3D de l'inductance commutée .....	84
Figure 84 : (a) Layout du RTPS continue avec l'inductance commutée. (b) Zoom sur l'interconnexion entre les éléments du circuit.....	85
Figure 85 : Résultats de mesure vs Simulation du RTPS continue à 120 GHz en fonction de la tension Vctrl. (a) Déphasage et (b) Amplitude de S21 .....	86
Figure 86 : Constellation de la (a) configuration 1, (b) configuration 2, (c) configuration 3 et (d) configuration 4 à 120 GHz.....	90
Figure 87: Constellation de la (a) configuration 5, (b) configuration 6, (c) configuration 7 et (d) configuration 8 à 120 GHz.....	91
Figure 88 : Layout de la version 1 du déphaseur hybride .....	92
Figure 89 : Résultats de mesure de la version 1 en fonction de la fréquence : Amplitude de S11 et S22 .....	92
Figure 90 : Résultats de mesure de la version 1 en fonction de la fréquence : Amplitude S21 et $\Delta\theta$ ... 93	93
Figure 91 : Résultats de mesure de la version 1 à 120 GHz : (a) Amplitude de S21 et (b) $\Delta\theta$ en fonction de Vctrl .....	93
Figure 92 : Layout de la version 2 du déphaseur hybride .....	94



Figure 93 : Résultats de mesure de la version 2 : Amplitudes de S11 et S22 en fonction de la fréquence .....	95
Figure 94 : Résultats de mesure de la version 2 : Amplitudes de S21 et $\Delta\theta$ en fonction de la fréquence .....	95
Figure 95 : Résultats de mesure de la version 2 à 120 GHz : (a) Amplitude de S21 et (b) $\Delta\theta$ en fonction de Vctrl .....	96
Figure 96 : Layout de la (a) Version 3 et la (b) Version 4 du déphaseur hybride.....	97
Figure 97 : Résultats de simulation en fonction de la fréquence. Amplitude de S11 et S22 de la (a) version 3 et la (b) version 4.....	97
Figure 98 : Résultats de simulation en fonction de la fréquence. Amplitude de S21 et le déphasage $\Delta\theta$ de la (a) version 3 et la (b) version 4.....	98
Figure 99 : Résultats de mesure de la version 3 à 120 GHz : (a) Amplitude de S21 et (b) $\Delta\theta$ en fonction de Vctrl .....	99
Figure 100 : Résultats de mesure de la version 4 à 120 GHz : (a) Amplitude de S21 et (b) $\Delta\theta$ en fonction de Vctrl .....	99

## Liste des tableaux

Tableau 1: Résumé de la bibliographie des déphaseurs à filtres commutés .....	21
Tableau 2 : Etat de l'art sur les lignes couplées aux fréquences millimétriques .....	25
Tableau 3 : Etat de l'art des RTPS aux fréquences millimétriques .....	26
Tableau 4 : Organisation des blocs en fonction du déphasage.....	28
Tableau 5 : Valeurs des paramètres physiques du MOS et de la ligne microruban pour le bloc discret 22,5° à 120 GHz.....	46
Tableau 6 : Extraction des parasites de l'interconnexion entre le MOS et la ligne microruban.....	46
Tableau 7 : Les paramètres Ron et Coff de deux géométries de diode en fonction du courant ou de la tension de polarisation .....	51
Tableau 8 : Résultats du bloc discret 22,5° avec le MOS de largeur 40 $\mu$ m à 120 GHz .....	54
Tableau 9 : Résultats du bloc discret 22,5° avec le MOS de largeur 32 $\mu$ m à 120 GHz .....	54
Tableau 10 : Paramètres physiques du MOS et de la ligne microruban pour le filtre commuté 45° à 120 GHz.....	57
Tableau 11 : Les paramètres physiques/électriques des composants du filtre commuté 45° .....	59
Tableau 12 : Résultats du filtre commuté 45° à base de MOS à 120 GHz .....	61
Tableau 13 : Résultats de simulation des lignes microrubans couplées en fonction des paramètres physiques à 120 GHz .....	63
Tableau 14 : Etat de l'art des coupleurs 3dB à base de lignes couplées en bande millimétrique.....	64
Tableau 15 : Paramètres Physiques des éléments de la charge avec le transistor MOS à 120 GHz .....	66
Tableau 16 : Paramètres Physiques des éléments de la charge avec la diode PIN à 120 GHz .....	68
Tableau 17 : Résultats du RTPS discret 45° à base de diode PIN à 120 GHz .....	70
Tableau 18 : Résultats des deux topologies réalisées pour le bloc discret 45° .....	71
Tableau 19 : Description des différents états du RTPS 2 bits.....	72
Tableau 20 : Paramètres électriques des éléments de la charge du RTPS 2 bits.....	75
Tableau 21 : Résultats du RTPS 2 bits à 120 GHz .....	76
Tableau 22 : Résultats du RTPS continue à 120 GHz .....	84
Tableau 23 : Résultats du bloc continue à 120 GHz pour les deux charges .....	86
Tableau 24 : Description des 16 états discrets avec le bloc discret 0/90°/180°/270° .....	88
Tableau 25 : Description des 16 états discrets avec les blocs discrets 90° et 180° .....	89



Tableau 26 : Différentes versions du déphaseur hybride .....	91
Tableau 27 : Comparaison à l'état de l'art .....	100

## Références bibliographiques

- [1] Cisco, «Cisco Visual Networking Index : Global Mobile Data Traffic Forecast Update, 2017 - 2022 White paper,» Cisco, 2019.
- [2] S. Akbarzadeh et al, Les réseaux 5G : Architectures système, radio et cœur, coexistence 4G, mise en oeuvre opérationnelle., Eyrolles, 2020.
- [3] 5GPPG, «5G empowering vertical industries,» 5GPPG, 2016.
- [4] F. Tariq et al, «A Speculative Study on 6G,» *IEEE Wireless Communications*, 2020.
- [5] T. S. Rappaport et al, «Wireless communications and applications above 100 GHz: Opportunities and challenges for 6g and beyond,» *IEEE Access*, vol. 7, p. 78729–78757, 2019.
- [6] P.-J. Peng et al, «A 57-66 GHz Vector Sum Phase Shifter with Low Phase/Amplitude Error Using A Wilkinson Power Divider with LH/RTL Elements,» *IEEE Symposium on Compound Semiconductor Integrated Circuit*, 2011.
- [7] Y. Yu et al, «A 60-GHz Vector Summing Phase Shifter with Digital Tunable Current-Splitting and Current-Reuse Techniques in 90 nm CMOS,» *Microwave, MTT-S International Symposium*, 2015.
- [8] A. Vahdati et al, «A 97-106-GHz Differential I-Q Phase Shifter in 28-nm CMOS,» *Norchip*, 2014.
- [9] M. Elkhoully et al, «120 GHz Phased-Array Circuits in 0.25 $\mu$ m SiGe BiCMOS Technology,» *German Microwave Conference*, 2012.
- [10] D. Pepe et D. Zito, «A 78.8-92.8 GHz 4-bit 0-360° Active Phase Shifter in 28nm FDSOI CMOS with 2.3 dB Average Peak Gain,» *European Conference on Solid-State Circuits*, 2015.
- [11] D. d. Rio et al, «A Compact and High-Linearity 140–160 GHz Active Phase Shifter in 55 nm BiCMOS,» *IEEE Microwave and Wireless Components Letters*, 2021.
- [12] J. G. Yang et al, «A W-Band InGaAs PIN-MMIC Digital Phase-Shifter Using a Switched Transmission-Line Structure,» *International Conference on Indium Phosphide and Related Materials. IEEE*, p. pp. 99–101. , 2012.
- [13] P. K. Saha et al, «A K-band nMOS SPDT Switch and Phase Shifter Implemented in 130nm SiGe BiCMOS Technology,» *Proc. IEEE SiRF.*, p. pp. 1–4, 2009.
- [14] M. Uzunkol et G. M. Rebeiz, «A Low-Loss 50–70 GHz SPDT Switch in 90 nm CMOS,» *IEEE Journal of Solid-State Circuits*, 2010.
- [15] R. L. Schmid et al, «On the Analysis and Design of Low-Loss Single-Pole Double-Throw W-Band Switches Utilizing Saturated SiGe HBTs,» *IEEE Transactions on Microwave Theory and Techniques*, 2014.

- [16] F. Thome et al, «Low-Loss Millimeter-Wave SPDT Switch MMICs in a Metamorphic HEMT Technology,» *IEEE Microwave and Wireless Components Letters*, 2020.
- [17] C. Hillman et al, «An Ultra-low Loss Millimeter-wave Solid State Switch Technology Based on the Metal - Insulator - Transition of Vanadium Dioxide,» *IEEE MTT-S International Microwave Symposium*, 2014.
- [18] T. Singh et al, «Experimental Investigation of Performance, Reliability, and Cycle Endurance of Nonvolatile DC–67 GHz Phase-Change RF Switches,» *IEEE Transactions on Microwave Theory and Techniques*, 2021.
- [19] C.-Y. Chen et al, «A 36-40 GHz Full 360° Ultra-Low Phase Error Passive Phase Shifter with a Novel Phase Compensation Technique,» *Proceedings of the 47th European Microwave Conference*, 2017.
- [20] C. Zhou et al, «A lumped Elements varactor-loaded Transmission-Line phase shifter at 60GHz,» *International Conference on Solid-State and Integrated Circuit Technology*, 2010.
- [21] S. Shamsadini et al, «A 60-GHz Transmission Line Phase Shifter Using Varactors and Tunable Inductors in 65-nm CMOS Technology,» *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018.
- [22] B.-W. Min et G. M. Rebeiz, «Single-Ended and Differential Ka-Band BiCMOS Phased Array Front-Ends,» *IEEE Journal of Solid-State Circuits*, 2008.
- [23] W.-T. Li et al, «60-GHz 5-bit Phase Shifter With Integrated VGA Phase-Error Compensation,» *IEEE transactions on microwave theory and techniques*, 2013.
- [24] S. Y. Kim et G. M. Rebeiz, «A Low-Power BiCMOS 4-Element Phased Array Receiver for 76–84 GHz Radars and Communication Systems,» *IEEE J. Solid-State Circuits*, 2012.
- [25] D. Huang et al, «A 60-GHz 360° 5-Bit Phase Shifter With Constant IL Compensation Followed by a Normal Amplifier With  $\pm 1$  dB Gain Variation and 0.6-dBm OP–1dB,» *IEEE Transactions on Circuits and Systems*, vol. 64, 2017.
- [26] M. Sayginer et G. M. Rebeiz, «A 94-96 GHz Phased-Array Receive Front-End with 5-bit Phase Control and 5 dB Noise Figure in 32 nm CMOS SOI,» *IEEE Microwave, MTT-S International Symposium*, 2017.
- [27] D. Huang et al, «A 60GHz 360° Digitally Controlled Phase Shifter with 6-bit Resolution and 2.3° Maximal rms Phase Error in 65nm CMOS Technology,» *IEEE International Symposium on Radio-Frequency Integration Technology*, 2015.
- [28] Y.-H. Lin et Z.-M. Tsai, «A Wideband Compact 5-Bit Phase Shifter With Low Loss and RMS Errors for 5G Applications,» *IEEE Microwave and Wireless Components Letters*, vol. 31, 2021.
- [29] G.-S. Shin et al, «Low Insertion Loss, Compact 4-bit Phase Shifter in 65 nm CMOS for 5G Applications,» *IEEE Microwave and Wireless Components Letters*, 2016.
- [30] L. Wang et al, «Highly Linear Ku-Band SiGe PIN Diode Phase Shifter in Standard SiGe BiCMOS Process,» *IEEE Microwave and Wireless Components Letters*, 2010.

- [31] H. Gao et al, «60 GHz 5-bit digital controlled phase shifter in a digital 40 nm CMOS technology without ultra-thick metals,» *Electronics Letter*, vol. 52, 2016.
- [32] X. Li et al, «A 30–36 GHz Passive Hybrid Phase Shifter With a Transformer-Based High-Resolution Reflect-Type Phase Shifting Technique,» *IEEE Transactions on Circuits and Systems*, vol. 68, 2021.
- [33] J.-H. Tsai et al, «A K/Ka-Band Low RMS Phase Error 5-Bit CMOS Phase Shifter,» *IEEE International Symposium on Radio-Frequency Integration Technology*, 2021.
- [34] Y.-J. Liang et al, «A 19-GHz 5-Bit Switch-Type Phase Shifter Design Using Phase Compensation Techniques,» *IEEE International Symposium on Radio-Frequency Integration Technology*, 2021.
- [35] M. MARGALEF ROVIRA, «Design of mm-wave Reflection-Type Phase Shifters with Oscillation-Based Test capabilities,» *Université Grenoble-Alpes*, 11. Sep. 2020.
- [36] R. K. Mongia, J. Hong, P. Bhartia et I. J. Bahl, RF and microwave coupled-line circuits, Artech House Microwave Library, 2007.
- [37] C.-I. Shie et al, «Transdirectional Coupled-Line Couplers Implemented by Periodical Shunt Capacitors,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, 2009.
- [38] A. B. Amado-Rey et al, «GCPW GaAs Broadside Couplers at H-Band and Application to Balanced Power Amplifiers,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, 2019.
- [39] Z. J. Hou et al, «Wideband Millimeter-Wave On-Chip Quadrature Coupler With Improved In-Band Flatness in 0.13- $\mu\text{m}$  SiGe Technology,» *IEEE ELECTRON DEVICE LETTERS*, vol. 39, 2018.
- [40] I. Nasr et al, «A 50-100-GHz Highly Integrated Octave-Bandwidth Transmitter and Receiver Chipset in 0.35- $\mu\text{m}$  SiGe Technology,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, 2014.
- [41] H. Krishnaswamy et al, «A silicon-based, all-passive, 60 GHz, 4-element, phased-array beamformer featuring a differential, reflection-type phase shifter,» *IEEE International Symposium on Phased Array Systems and Technology*, 2010.
- [42] M.-J. Chiang et al, «Artificial-Synthesized Edge-Coupled Transmission Lines for Compact CMOS Directional Coupler Designs,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, 2009.
- [43] D. Parveg et al, «Wideband mm-Wave CMOS Slow Wave Coupler,» *IEEE Microwave and Wireless Components Letters*, vol. 29, 2019.
- [44] M.-D. Tsai et A. Natarajan, «60GHz Passive and Active RF-path Phase Shifters in Silicon,» *IEEE Radio Frequency Integrated Circuits Symposium*, 2009.
- [45] T. Huang et al, «A Miniaturized 0.13- $\mu\text{m}$  BiCMOS Reflective-Type Phase Shifter for K-Band Phased Arrays,» *IEEE International Symposium on Circuits and Systems*, 2019.

- [46] T.-W. Li et H. Wang, «A Millimeter-Wave Fully Integrated Passive Reflection-Type Phase Shifter With Transformer-Based Multi-Resonance Loads for 360° Phase Shifting,» *IEEE Transactions on Circuits and Systems*, vol. 65, 2018.
- [47] Z. Iskandar et al, «A 30-50 GHz Reflection-Type Phase Shifter Based on Slow-Wave Coupled Lines in BiCMOS 55 nm Technology,» *Proceedings of the 46th European Microwave Conference*, 2016.
- [48] N. Mazor et al, «SiGe based Ka-band reflection type phase shifter for integrated phased array transceivers,» *IEEE MTT-S International Microwave Symposium*, 2016.
- [49] J.-T. Lim et al, «25–40 GHz 180° Reflective-Type Phase Shifter using 65-nm CMOS Technology,» *Proceedings of the 49th European Microwave Conference*, 2019.
- [50] P. Gu et D. Zhao, «A Ka-Band CMOS Switched-Type Phase Shifter with Low Gain Error,» *IEEE International Conference on Integrated Circuits, Technologies and Applications*, 2021.
- [51] P. Chevalier et al, «A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz fT / 370 GHz fMAX HBT and high-Q millimeter-wave passives,» *IEEE International Electron Devices Meeting*, pp. 3.9.1-3.9.3, 2014.
- [52] P. Chevalier et al, «PD-SOI CMOS and SiGe BiCMOS Technologies for 5G and 6G communications,» *IEEE International Electron Devices Meeting*, pp. 34.4.1-34.4.4, 2020.
- [53] B. Doherty, «PIN Diode Fundamentals,» *MicroNote Series 701, Microsemi Watertown*.
- [54] O. Foissey et al, «85 fs RON×COFF and CP1dB@28GHz > 25dBm Innovative PIN Diode Integrated in 55 nm BiCMOS Technology Targeting mmW 5G and 6G Front End Module,» *Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, pp. 40-43, 2021.
- [55] X. TANG, «Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée,» *Université Grenoble-Alpes*, 8. Oct. 2008.
- [56] C.-C. Chou et al, «Design of W-Band High-Isolation T/R Switch,» *Proceedings of the 45th European Microwave Conference*, 2015.
- [57] W. T. Khan et al, «A D-band (110 to 170 GHz) SPDT Switch in 32 nm CMOS SOI,» *IHP Microelectronics*, 2015.
- [58] H.-E. Liu et al, «10-MHz to 70-GHz Ultra-Wideband Low Insertion Loss SPST and SPDT Switches using GaAs PIN Diode MMIC Process,» *Proceedings of 2018 Asia Pacific Microwave Conference*, 2018.
- [59] T. Shimura et al, «High isolation V-band SPDT switch MMIC for High power use,» *IEEE MTT-S International Microwave Symposium Digest*, 2001.
- [60] P. Song et al, «A High-Power, Low-Loss W-band SPDT Switch Using SiGe PIN Diodes,» *IEEE Radio Frequency Integrated Circuits Symposium*, 2014.
- [61] K. Lam et al, «Wideband Millimeter Wave PIN Diode SPDT Switch using IBM 0.13µm SiGe Technology,» *Proceedings of the 2nd European Microwave Integrated Circuits Conference*, 2007.

- [62] Y. A. Atesal et al, «Low-Loss 0.13- $\mu\text{m}$  CMOS 50 – 70 GHz SPDT and SP4T Switches,» *IEEE Radio Frequency Integrated Circuits Symposium*, 2009.
- [63] I. Kallfass et al, «Multiple-Throw Millimeter-Wave FET Switches for Frequencies from 60 up to 120 GHz,» *Proceedings of the 38th European Microwave Conference*, 2008.
- [64] Y. Gong et al, «A Compact, High-Power, 60 GHz SPDT Switch Using Shunt-Series SiGe PIN Diodes,» *IEEE Radio Frequency Integrated Circuits Symposium*, 2019.
- [65] Y. Tousei et A. Valdes-Garcia, «A Ka-band Digitally-Controlled Phase Shifter with sub-degree Phase Precision,» *IEEE Radio Frequency Integrated Circuits Symposium*, 2016.
- [66] P. Gu et D. Zhao, «Ka-Band CMOS 360° Reflective-Type Phase Shifter with  $\pm 0.2$  dB Insertion Loss Variation Using Triple-Resonating Load and Dual-Voltage Control Techniques,» *IEEE Radio Frequency Integrated Circuits Symposium*, 2018.
- [67] S. M. Patole et al, «Automotive radars: A review of signal processing techniques,» *IEEE Signal Processing Magazine*, 2017.
- [68] «Design with PIN diodes,» Application Note AG312, Macom.
- [69] S.-F. Chao et al, «A 50 to 94-GHz CMOS SPDT Switch Using Traveling-Wave Concept,» *IEEE Microwave and Wireless Components Letters*, 2007.
- [70] H.-Y. Chang et al, «A Low Loss High Isolation DC-60 GHz SPDT Traveling-Wave Switch With a Body Bias Technique in 90 nm CMOS Process,» *IEEE Microwave and Wireless Components Letters*, 2010.
- [71] Y. J. Gil et al, «Broadband InGaAs PIN Traveling-Wave Switch Using a BCB-Based Thin-Film Microstrip Line Structure,» *IEEE Microwave and Wireless Components Letters*, 2009.
- [72] R.-B. Lai et al, «A 60–110 GHz Transmission-Line Integrated SPDT Switch in 90 nm CMOS Technology,» *IEEE Microwave and Wireless Components Letters*, 2010.
- [73] W.-C. Lai et H.-R. Chuang, «A 40-110 GHz High-Isolation CMOS Traveling-Wave TIR Switch by Using Parallel Inductor,» *IEEE Microwave and Wireless Components Letters*, 2015.
- [74] R. Shu et Q. J. Gu, «A Transformer-Based V-Band SPDT Switch,» *IEEE Microwave and Wireless Components Letters*, 2017.
- [75] I. S. Song et al, «A Highly Integrated 1-Bit Phase Shifter Based on High-Pass/Low-Pass Structure,» *IEEE Microwave and Wireless Components Letters*, vol. 25, 2015.
- [76] M. Elkhoully et al, «220–250-GHz Phased-Array Circuits in 0.13-  $\mu\text{m}$  SiGe BiCMOS Technology,» *IEEE Transactions on Microwave Theory and Techniques*, 2013.
- [77] J. M. May et G. Rebeiz, «Design and Characterization of W-Band SiGe RFICs for Passive Millimeter-Wave Imaging,» *IEEE Transactions on Microwave Theory and Techniques*, 2010.
- [78] F. Meng et al, «A 57-to-64-GHz 0.094- $\text{mm}^2$  5-bit Passive Phase Shifter in 65-nm CMOS,» *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, 2016.

- [79] Z. Chen et al, «A BiCMOS W-Band 2×2 Focal-Plane Array With On-Chip Antenna,» *IEEE Journal of Solid-State Circuits*, 2012.
- [80] A. Tomkins et al, «A Passive W-Band Imaging Receiver in 65-nm Bulk CMOS,» *IEEE Journal of Solid-State Circuits*, 2010.
- [81] M. Uzunkol et G. Rebeiz, «140–220 GHz SPST and SPDT Switches in 45 nm CMOS SOI,» *IEEE Microwave and Wireless Components Letters*, 2012.



## Résumé

Les déphaseurs ont pris une grande importance depuis l'avènement des réseaux phasés, qui permettent de contrôler l'orientation (Beam-steering) et/ou la forme (Beamforming) des faisceaux. Ils sont incontournables dans de nombreux circuits et domaines aujourd'hui, en bandes millimétriques avec l'avènement de la 5G, ou la 6G qui sera probablement déployée au cours de la prochaine décennie, ainsi que des radars automobiles et des applications médicales. Dans la littérature, il existe deux catégories de déphaseurs : les déphaseurs actifs et les déphaseurs passifs. Les premiers sont basés sur une approche de modulation vectorielle, qui en utilisant des VGA (Variable Gain Amplifier) permet un très bon contrôle de l'amplitude et de la phase. Même si l'utilisation de circuits actifs permet de concevoir des circuits compacts, ceux-ci souffrent d'une consommation DC non négligeable et de problèmes de linéarité. Les seconds permettent de résoudre les problèmes de consommation DC et de linéarité grâce à une approche passive. D'où l'intérêt pour les déphaseurs passifs dans cette thèse. Pour la suite, les pertes d'insertions et la réalisation d'un déphasage continu sur la plage 0 - 360° représentent les défis majeurs dont des solutions sont présentés dans le manuscrit pour des applications aux fréquences millimétriques.

Les déphaseurs passifs sont à leur tour divisés en deux groupes, à savoir les déphaseurs discrets et les déphaseurs continus. Les approches numériques ont l'avantage d'une meilleure figure de mérite (qui est définie comme le rapport entre le déphasage et les pertes d'insertion maximum) en raison de l'utilisation de switches, alors que les approches continues souffrent de la dégradation du facteur de qualité des varactors en bandes millimétriques. De l'autre côté, les déphaseurs discrets ne permettent pas de réaliser un balayage continu (difficultés à réaliser des déphaseurs de plus de 5 bits, soit une résolution de 11,25°), d'où la nécessité d'un déphaseur continu. Dans ce contexte, l'idée d'un déphaseur hybride associant des blocs discrets et continus pour réaliser un déphasage continu de 0 à 360° à 120 GHz a été mis en place en technologie B55 de STMicroelectronics.

Les blocs discrets 22,5°, 45°, 90° et 180° sont réalisés individuellement pour être assemblés avec un bloc continu pour réaliser le déphaseur hybride. Ainsi, l'assemblage d'une ligne en parallèle avec un MOS pour un déphasage de 22,5°, le filtre commuté à base de MOS de 45°, un RTPS discret 2 bits à base de diode PIN permettant d'avoir des déphasages de 90°, 180° et 270° ainsi qu'un RTPS continu d'une plage de 35° permet de réaliser un déphasage continu de 0 à 360° à 120 GHz avec des pertes d'insertion allant de 8,7 dB à 15,5 dB. Dans le but d'améliorer ces pertes d'insertion, le RTPS 2 bits est remplacé par deux RTPS discrets à base de diode PIN donnant respectivement des déphasages de 90° et 180°. Puis, le filtre commuté 45° est remplacé par un RTPS discret 45° à base de diode PIN. En gardant les autres blocs, les simulations montrent une amélioration avec des pertes d'insertion entre 8,2 dB et 10,9 dB. Pour finir une modification au niveau de la charge du RTPS continu pour réduire la variation d'amplitude donne des pertes entre 8,4 dB et 10,3 dB, soit une figure de mérite  $FoM = 35 \text{ }^\circ/\text{dB}$ .

## Abstract

Phase shifters have become very important since the advent of phased arrays, which control the orientation (beam-steering) and/or shape (beamforming) of radio beams. They are essential for many circuits and domains of application today, in millimeter bands with the advent of 5G, or 6G that will likely be deployed during the next decade, as well as automotive radars and medical applications. In the literature, there are two categories of phase shifters: active phase shifters and passive phase shifters. The first ones are based on vector modulation approach, which by using VGA (Variable Gain Amplifier) allows a very good control of amplitude and phase. Even if the use of active circuits allows designing circuits with a reduced footprint, those suffer from a non-negligible DC consumption and linearity issues. The latter allows to solve the problems of DC consumption and linearity due to a passive approach. Hence the interest for passive phase shift in this thesis. On the other hand, the current main challenges for these architectures, which are the main objectives of this manuscript, are the insertion loss and the realization of a continuous phase shift in the 0 - 360° range.

Passive phase shifters are also divided into two groups, digital phase shifters and continuous phase shifters. The Digital approaches have the advantage of a better figure of merit (which is defined as the ratio between the maximum phase shift synthesizable by the phase shifter over the worst-case insertion loss) due to the use of switches while continuous approaches suffer from degradation of the quality factor of the varactors in millimeter bands. On the other hand, digital phase shifters do not allow a continuous phase adjustment (difficulties to make phase shifters of more than 5 bits, resolution of 11.25°), hence the need for a continuous phase shifter. In this context, the idea of a hybrid phase shifter combining digital and continuous blocks to achieve a continuous phase shift from 0 to 360° at 120 GHz has been implemented in B55 technology from STMicroelectronics.

The 22.5°, 45°, 90° and 180° digital blocks are individually realized to be assembled with a continuous block to perform the hybrid phase shifter. Thus, the assembly of a line in parallel with a MOS for a phase shift of 22.5°, the switched filter based on MOS of 45°, a discrete 2-bit Reflection-Type Phase Shifter (RTPS) based on PIN diode allowing to have phase shifts of 90°, 180° and 270° and a continuous RTPS with a range of 35° has been implemented. The measurement results show a continuous phase shift from 0 to 360° at 120 GHz with insertion losses ranging from 8.7 dB to 15.5 dB. To improve these insertion losses, the 2-bit RTPS is replaced by two digital PIN diode-based RTPS giving respectively 90° and 180° phase shifts. Then, the 45° switched filter is replaced by a 45° digital RTPS based on PIN diode. By keeping the other blocks, the simulations show an improvement with insertion losses between 8.2 dB and 10.9 dB. Finally, a change in the load of the continuous RTPS to reduce the variation of amplitude shows losses between 8.4 dB and 10.3 dB, a figure of merit  $FoM = 35^\circ/dB$ .