



Contribution à l'étude de nouveaux convertisseurs sécurisés à tolérance de panne pour systèmes critiques à haute performance. Application à un PFC Double-Boost 5 Niveaux

Thi Thuy Linh Pham

► To cite this version:

Thi Thuy Linh Pham. Contribution à l'étude de nouveaux convertisseurs sécurisés à tolérance de panne pour systèmes critiques à haute performance. Application à un PFC Double-Boost 5 Niveaux. Energie électrique. Institut National Polytechnique de Toulouse - INPT, 2011. Français. NNT : 2011INPT0095 . tel-04241210v2

HAL Id: tel-04241210

<https://theses.hal.science/tel-04241210v2>

Submitted on 13 Oct 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Institut National Polytechnique de Toulouse
Discipline ou spécialité : Génie Electrique

présentée et soutenue par Mme Thi Thuy Linh PHAM

le 9 novembre 2011

**Contribution à l'étude de nouveaux convertisseurs sécurisés
à tolérance de panne pour systèmes critiques à haute performance.
Application à un PFC Double- Boost 5 Niveaux.**

JURY

François COSTA, Professeur à l'ENS de CACHAN et chercheur au SATIE. Rapporteur.

Philippe LEMOIGNE, Professeur à l'Ecole Centrale de Lille et chercheur au LEEP. Rapporteur.

Jean-Paul FERRIEUX, Professeur à l'IUT de Grenoble et chercheur au G2ELAB. Examineur.

Guillaume GATEAU, Professeur à l'ENSEEIH – INPT et chercheur au LAPLACE. Examineur.

Frédéric RICHARDEAU, Directeur de Recherche CNRS au LAPLACE. Directeur de Thèse et encadrant.

Fernando ITURRIZ, Ingénieur de Recherche - Airbus. Invité.

Ecole doctorale : GEET
Unité de recherche : LAPLACE
Directeur de Thèse : Frédéric RICHARDEAU

Résumé

Ce travail vise une exploration et une évaluation de nouvelles variantes de topologies multi-niveaux AC/DC non réversibles (PFC) du point de vue de leur sûreté de fonctionnement : recherche d'une grande sécurité électrique sur destruction interne et maintien d'une continuité de fonctionnement. Elles sont caractérisées par une connexion AC non différentielle, un partitionnement cellulaire en série et symétrique autour d'un point milieu. Cette organisation permet d'exploiter la redondance active série entre les cellules d'un même groupe et l'effet de ségrégation topologique qui apparaît entre les deux groupes de cellules. Les structures étudiées sont modulaires et peuvent être parallélisées et étendues à un nombre quelconque de phases. Elles ne possèdent que des cellules mono-transistors basse-tension (Si et SiC 600V max) performantes et intrinsèquement tolérantes aux imperfections de la commande et aux parasites donc naturellement sécurisées. Les comparaisons prenant en compte les pertes, la répartition des pertes, le dimensionnement et le report de contraintes sur défaut interne mettent en avant la structure PFC Double-Boost Flying Cap. à 5 Niveaux, brevetée en début de thèse, comme une solution ayant le meilleur compromis.

Sur le plan théorique nous montrons que le seul calcul de la fiabilité basé uniquement sur un critère d'occurrence au premier défaut est inadapté pour décrire ce type de topologie. La prise en compte de la tolérance de panne est nécessaire et permet d'évaluer la fiabilité globalement sur une panne effective (i.e. au second défaut). L'adaptation de modèles théoriques de fiabilité à taux de défaillance constant mais prenant en compte, au niveau de leurs paramètres, le report de contrainte en tension et l'augmentation de température qui résulte d'un premier défaut, permet de chiffrer par intégration et en valeur relative, le gain obtenu sur un temps court. Ce résultat est compatible avec les systèmes embarqués et la maintenance conditionnelle.

Un prototype monophasé à 5 niveaux, à commande entièrement numérique et à MLI optimisée reconfigurable en temps réel a été réalisé afin de valider l'étude. Il permet une adaptation automatique de la topologie de 5 à 4 puis à 3 niveaux par exemple. Ce prototype a également servi de banc de test d'endurance du mode de défaillance sur claquage – avalanche de transistors CoolMos™ et diodes SiC, volontairement détruits individuellement dans des conditions d'énergie maîtrisée et reproductibles, afin de prouver expérimentalement le maintien du service sur plusieurs centaines d'heures au prix d'un derating de 30% maximum en puissance seulement.

La détection et le diagnostic rapide de défauts internes ont également été traités dans ce travail. D'une part, par la surveillance directe et le seuillage des tensions internes (tensions flottantes) et d'autre part, par une détection harmonique de la fréquence de base (amplitude et phase) en temps réel. Ces deux techniques ont été intégrées numériquement et évaluées sur le prototype, en particulier la seconde qui ne requiert qu'un seul capteur.

Enfin, nous proposons dans ce travail une nouvelle variante PFC Vienna multicellulaire expérimentée en fin de mémoire, utilisant deux fois moins de transistors et de drivers pour les mêmes performances fréquentielles au prix d'un rendement et d'une répartition des pertes légèrement moins favorables que la structure brevetée.

Mots clés :

Power Factor Correction (PFC)

Convertisseur Multiniveaux

Sûreté de fonctionnement

Sécurité électrique

Tolérance de panne

Diagnostic

Abstract

This work is an exploration and an evaluation of new variants of multi-level AC/DC topologies (PFC) considering their global reliability and availability: electrical safety with an internal failure and post-failure operation. They are based on a non-differential AC and centre tap connection that led to symmetrical arrangement cells in series. These topologies permit an intrinsic active redundancy between cells in a same group and a segregation capability between the two symmetrical groups of cells. More again, they are modular and they can be paralleled and derived to any number of levels. Only single low-voltage (600V) transistor per cell is used avoiding the short-circuit risk due to an unwanted control signal. Comparisons, taking into account losses, distribution losses, rating and stresses (over-voltage and over-temperature) during the post-operation are presented. Results highlight the proposed 5-level Double-Boost Flying Capacitor topology. This one was patented at the beginning of thesis, as a solution with the best compromise.

On the theoretical side, we show that the reliability calculation based only on a "first fault occurrence" criterion is inadequate to really describe this type of topology. The inclusion of fault tolerance capability is needed to evaluate the overall reliability law (i.e. including a second failure). The adaptation of theoretical models with constant failure rate including overvoltage and over-temperature dependencies exhibit an increasing of the reliability over a short time. This property is an advantage for embedded systems with monitoring condition.

Local detection and rapid diagnosis of an internal failure were also examined in this work. Two methods are proposed firstly, by a direct flying caps monitoring and secondly, by a real-time and digital synchronous demodulation of the input sampled voltage at the switching frequency (magnitude and phase). Both techniques have been integrated on FPGA and DSP frame and evaluated on a AC230V-7kW DC800V – 31kHz lab. set-up. We put forward the interest of the second method which only uses one input voltage sensor.

Finally, we propose in this dissertation a new generic X-level PFC Vienna using, in 5-level version, half transistors and drivers for identical input frequency and levels. At the cost of a slight increase of losses and density losses, this topology appears very attractive for the future. A preliminary lab. set-up and test were also realized and presented at the end of the thesis.

Mots clés :

Power Factor Correction (PFC)
Multi-level converter
Dependability
Electrical safety
Fault tolerant
Diagnosis

Remerciements

Les travaux présentés dans ce mémoire ont été réalisés pendant trois années au Laboratoire Plasma et Conversion d'Énergie (LAPLACE) à Toulouse au sein de l'équipe « Convertisseur Statique ». Pendant cette période, j'ai eu la chance d'être accueillie et de rencontrer des personnes envers lesquelles je voudrais exprimer ma gratitude pour leur soutien.

Mes premiers remerciements vont d'abord à mon directeur de thèse, Monsieur Frédéric RICHARDEAU pour m'avoir fait confiance, et puis pour m'avoir guidée, encouragée, conseillée tout au long des trois années de thèse. Sa disponibilité et sa gentillesse m'ont permis d'évoluer dans les meilleures conditions en me laissant une grande liberté et en me faisant l'honneur de me déléguer plusieurs responsabilités. Merci infiniment Monsieur Frédéric RICHARDEAU.

Je tiens ensuite à remercier Monsieur Guillaume GATEAU, pour les discussions que nous avons échangées ainsi que son aide dans mes travaux pratiques.

Je remercie sincèrement Monsieur Jean-Paul FERRIEUX, Professeur à l'IUT de Grenoble et chercheur au G2ELAB, de m'avoir fait l'honneur de présider mon jury de thèse.

J'adresse également ma profonde reconnaissance à Monsieur François COSTA, Professeur à l'ENS de CACHAN et chercheur au SATIE et à Monsieur Philippe LEMOIGNE, Professeur à l'Ecole Centrale de Lille et chercheur au LEEP, pour avoir accepté d'être les rapporteurs de mon travail et pour les discussions scientifiques qu'ils m'ont apportées afin d'améliorer ce mémoire, et je leur en suis très reconnaissant.

Je remercie aussi Monsieur Fernando ITURRIZ, Ingénieur de Recherche à Airbus, partenaire du projet FRAE-CASAREL dans le cadre duquel se sont déroulés mes travaux et aussi pour avoir fait partie du jury.

Je remercie Monsieur Maurice FADEL, Professeur à l'Institut National Polytechnique de Toulouse et directeur adjoint du LAPLACE, ainsi que Monsieur Philippe LADOUX, Ex-

responsable de l'équipe CS pour m'avoir accueillie au sein de cette équipe et pour m'avoir permis de travailler dans de bonnes conditions.

Je remercie Mesdames Fatima MEBREK, Valérie SCHWARZ, Cécile DAGUILLANES, Catherine MOLL-MAZELLA et Carine BASTIE, pour leur gentillesse et leur disponibilité dans toutes les démarches administratives.

Je remercie Messieurs Jean-Marc BLAQUIERE, Sébastien VINNAC, Olivier DURRIEU, Robert LARROCHE, pour l'aide pratique et les conseils techniques qu'ils m'ont apportés.

Un remerciement s'adresse à Monsieur Karim AMAQRANE, pour ses travaux durant son stage au laboratoire.

Je remercie spécialement Alexandre LEREDDE surnommé Alex, un des mes meilleurs amis, qui m'accompagne dès début de mon séjour à Toulouse jusqu'à la fin. La personne qui fait beaucoup de bruit dans le bureau, avec qui j'étais en concurrence pour être le chef du bureau E422.

Je remercie également Eduard Hernando SOLANO SAENZ qui nous appelons Hernando, un colombien très gentil et qui voulait devenir le champion de l'année 2011 en Sudoku.

Je remercie également Guillaume AULAGNIER, Julie EGALON, Madjid SOULEY, Ziad OBEID, Mustapha DEBBOU, tous ces amis sont très gentils avec moi, et ils vont me manquer beaucoup.

Je n'oublie pas de remercier mes collègues du bureau E302 Vincent PHLIPPOTEAU, Marwan ZEIDAN, Zhifeng DOU, André DE ANDRADE, Cédric BAUMAN ainsi que mes collègues des autres bureaux Raphael VILLAMOT, Nicolas MARTINEZ, Clément NADAL, Magalie RIZZO DUBOIS, François PIGACHE, Anthony LOWINSKY, Céline CENAC –MORTHE, Delphine MAMI.

Un grand merci à mes collègues laplaciens Silvain GIRINON, Laurianne MENARD, Damien BIDART, Baptiste TRAJIN, Frédéric GAILLY, Mathieu LEBOLLOCH, Labo CHUNN, Makara KHOV, Giuliano RAIMUNDO, Mathieu MORVAN, Madiha CHARRADA, Arnaud BAYSSE, Xavier GIRAUD, Michel BELTRAMI, Julien YONG, Amine JAFFAR, Jehan PRIEUR DU

PERRAY, Aziz ZIANI, Sébastien CARRIERE, Ahmed KALEL, Julian SUARED, Aurélien LESAGE, Nicolas VIDEAU pour leurs amitiés et pour les bons moments passés ensemble.

Je tiens ensuite à remercier l'ensemble du personnel du laboratoire, à ceux qui m'ont beaucoup aidée dans mon travail et à tous les autres qui ont contribué à la bonne ambiance du labo.

Je ne pourrais pas poursuivre cette page sans dire un grand merci à ma famille au Vietnam. Leur encouragement et leur assistance morale m'ont permis de passer les moments difficiles.

Je profite de l'occasion pour remercier tous mes amis vietnamiens à Toulouse : aDuc, aHung, aQuan, aDoanh, aHoan, cNgoan, aVan Hai, eHuong, aLiem, cHuong, eLinh, aTrung, aDuy, cNga, cBang, eMai, eQuyen, eNgoc Anh, ainsi que d'autres amis dans l'Association des Étudiants Vietnamiens à Toulouse qui ont fait en sorte que "la distance géographique" France-Vietnam est plus réduite en partageant ensemble des moments agréables.

Tout naturellement, je pense à mon mari Tung TRAN ANH qui m'accompagne et qui me soutient tout le temps par sa force et sa grande énergie. Je te remercie infiniment mon chéri.

Table des matières

Résumé	V
Table des matières	XII
Table des figures	XVI
Liste des tableaux	XXIII
Introduction Générale	1
Chapitre 1 Structures PFC et Sûreté de fonctionnement	5
1.1 Introduction.....	6
1.2 Structures 3 niveaux non-différentielle à point milieu	10
1.3 Structures 5 niveaux à point milieu	13
1.3.1 Introduction	13
1.3.2 Extension de 3 Niveaux à 5 Niveaux	14
1.4 Expression analytique des courants moyens, efficaces et des pertes.....	17
1.4.1 Pertes par commutation.....	17
1.4.2 Pertes par conduction	18
1.4.3 Comparaison des pertes de conduction dans les structures 3-Niveaux et 5-Niveaux	19
1.5 Sûreté de fonctionnement.....	23
1.5.1 Court-circuit interne d'une première cellule (côté réseau AC) – cellule n°1	24
1.5.1.1 Transistor en circuit-passant (avalanche ou emballement thermique, commande permanente)	24
1.5.1.2 Diode en circuit-passant (avalanche ou emballement thermique)	26
1.5.2 Court-circuit interne d'une deuxième cellule (côté bus) – cellule n°2	27
1.5.2.1 Transistor en circuit-passant (avalanche ou emballement thermique, commande permanente)	27
1.5.2.2 Diode en circuit-passant (avalanche ou emballement thermique)	29
1.5.3 Comparaison PFC Flying Capacitor versus SMC sur défaut de court-circuit interne.	29
1.5.4 Généralisation à N cellules sur un PFC DB FC	31
1.5.5 Prise en compte du dimensionnement du condensateur sur le plan de la criticité d'un défaut de court-circuit interne	32
1.6 Robustesse et mécanismes de défaillance d'un transistor CoolMos en régime de saturation de courant	33
1.7 Contrainte électrique suite à deuxième défaut sur le même étage.....	37

1.8	Extension au triphasé du double-boost FC et conséquence d'un défaut.	39
1.8.1	Régulation échantillonnée basse-fréquence Vdc et Point Milieu	41
1.8.2	Commande MLI sur diagramme vectoriel	42
1.8.3	MLI Phase-Shift, Phase Disposition ou Phase Opposite Disposition ?	44
1.9	Conclusion	49
 Chapitre 2 Fiabilité des structures multi-niveaux.....		51
2.1	Introduction.....	52
2.2	Le taux de défaillance, fiabilité d'un composant, le MTBF et la durée de vie (durabilité)	53
2.2.1	Taux de défaillance et loi exponentielle.....	53
2.2.2	Temps moyen de non défaillance	54
2.2.3	Taux de défaillance dépendant.....	55
2.2.3.1	Exploitation des données du CNET pour un transistor de puissance	55
2.3	Fiabilité des Associations.....	58
2.3.1	Association en parallèle de composants	58
2.3.2	Association en série des composants	60
2.3.3	Association en série avec redondance active partielle : « k » entités sont nécessaires sur « n »	62
2.3.4	Redondance active partielle : cas d'entités non indépendantes.....	63
2.3.4.1	Deux entités en parallèle	63
2.3.4.2	Cas du triphasé : redondance partielle 2 parmi 3	64
2.3.4.3	Généralisation : Redondance partielle (n-1) par n.....	66
2.4	Application aux structures multi-niveaux.....	66
2.4.1	Fiabilité d'un bras convertisseur 3-Niveaux	66
2.4.2	Fiabilité d'un bras convertisseur 5-Niveaux	68
2.4.2.1	ANPC 5 Niveaux variante 1 en monophasé	68
2.4.2.2	Influence de la tension	69
2.4.2.3	Influence de la température	69
2.4.2.4	ANPC 5 Niveaux variante 2 en monophasé	70
2.4.2.5	ANPC 5 Niveaux variante 3 en monophasé	72
2.4.3	Fiabilité d'un convertisseur triphasé 5-Niveaux	74
2.4.3.1	ANPC 5 Niveaux variante 1 en triphasé.....	74
2.4.3.2	ANPC 5 Niveaux variante 2 en triphasé.....	77
2.4.3.3	ANPC 5 Niveaux variante 3 en triphasé.....	78
2.4.4	Fiabilité d'un convertisseur triphasé 3-Niveaux	79
2.5	Mode de fonctionnement avec tension d'entrée réduite.....	82
2.5.1	Onduleur ANPC 3Niveaux en mode derating	82
2.5.2	Onduleur ANPC 5 Niveaux en mode derating de tension	85

2.5.3	Onduleur ANPC 5 Niveaux type 2 en mode derating.....	87
2.6	Conclusion	89

Chapitre 3 Prototypage du PFC Double-Boost Flying Cap. Robustesse - Reconfiguration et Diagnostic 91

3.1	Introduction.....	92
3.1.1	Présentation du Prototype	93
3.1.2	Commande rapprochée numérique et MLI.....	95
3.1.2.1	Architecture de commande	95
3.1.2.2	Optimisation de la commande par machine d'état avec des porteuses en phase (PD)	97
3.1.3	Etude du vieillissement de composants défaillants.....	101
3.1.3.1	Destruction de composant par avalanche.....	102
3.1.3.2	Vieillissement du composant détruit "fonctionnel" dans le convertisseur..	104
3.1.4	Diagnostic de défaut par surveillance des deux tensions des condensateurs flottantes	107
3.1.4.1	Détection et localisation directe par surveillance temporelle interne des grandeurs d'état	108
3.1.4.2	Résultats d'expérimentation	113
3.1.4.3	Détection et localisation indirecte par surveillance fréquentielle externe des grandeurs globales du PFC	115
3.1.4.4	Nouveau moduleur 3N avec porteuses de type Phase-Shifting modifiées ...	115
3.1.4.5	Validation par simulation et par expérimentation du détecteur harmonique	119
3.1.4.6	Effet des temps de retard du modèle numérique	122
3.1.4.7	Reconstruction des tensions internes avec un capteur	123
3.2	Conclusion	126

Chapitre 4 Nouvelle famille de convertisseurs multi – niveaux AC/ DC à nombre minimal de transistors à tolérance de panne 128

4.1	Introduction.....	129
4.2	De la topologie Vienna 3N à la topologie Vienna 5N	129
4.2.1	Rappels de la Topologie Vienna 3N.....	129
4.2.2	Conception de topologie Vienna 5N	133
4.3	Capacité de tolérance de panne des topologies Vienna 3 Niveaux et 5 Niveaux	141
4.3.1	Conséquence de défaut sur le PFC Vienna 3N.....	141
4.3.1.1	Défaut dans la diode.....	142
4.3.1.2	Défaut par le transistor.....	143

4.3.2	Conséquence de défaut sur le PFC Vienna 5N.....	144
4.3.2.1	Défaut dans une diode haute fréquence.....	144
4.3.2.2	Défaut dans un transistor	145
4.3.2.3	Défaut sur les deux transistors	147
4.3.2.4	Stratégie de protection de la structure Vienna 5N	147
4.4	Vienna 5N triphasé	148
4.5	Vienna 7N monophasé	149
4.6	Résultats expérimentaux	152
4.6.1	Equilibre des condensateurs flottants	152
4.6.2	Expérimentation PFC Vienna 5N commandé par machine à état	153
4.6.2.1	Présentation de la carte de puissance	153
4.6.2.2	Expérimentation.....	154
4.6.2.3	Mesure des pertes dissipées dans le radiateur :	155
4.7	Conclusion	156
Conclusion générale et perspectives		157
Annexes		159
Annexe A : Détermination des valeurs moyennes et efficaces du courant... 160		
Annexe B : Dimensionnement du condensateur flottant en PFC 5 niveaux . 165		
Références		167

Table des figures

Figure 0-1 : Topologie non-différentielle générale retenue pour le PFC (Connexion “un pôle” direct AC/DC) - Symétrique / stacked topologie - Capacité à la parallélisation - Extension direct au triphasé	4
Figure 1-1 : PFC semi-actif à injecteur homopolaire élévateur (direct) ou dévolteur (indirect) : a) schéma de principe, b) principe de fonctionnement.	7
Figure 1-2: PFC direct dévolteur à redresseur – buck (commutateur de courant non réversible) [6].	8
Figure 1-3: Topologie de conversion indirecte	8
Figure 1-4 : Topologie différentielle classique (avec précharge)	9
Figure 1-5 : Topologie non différentielle double-boost (avec précharge)	9
Figure 1-6 : Redresseur double-boost symétrique à	10
Figure 1-7 : Première synthèse de l'interrupteur à 2 x 2 segments	10
Figure 1-8 : Structure non différentielle trois niveaux.	10
Figure 1-9 : Schéma complet de la structure PFC VIENNA	11
Figure 1-10 : Schéma des deux variantes PFC BNPC trois niveaux (Variante A et B)	12
Figure 1-11 : Schéma PFC Double Boost trois niveaux	12
Figure 1-12 : Schéma PFC NPC trois niveaux	13
Figure 1-13 : Principe de fonctionnement des PFC 3N	13
Figure 1-14 : Schéma PFC Flying capacitor (FC) non différentiel ou Double Boost 5 Niveaux .	15
Figure 1-15 : Schéma PFC SMC 5 Niveaux	15
Figure 1-16 : Formes d’ondes des structures 5N	15
Figure 1-17 : Schéma PFC ANPC 5 Niveaux	16
Figure 1-18 : Schéma PFC Hybride 5 Niveaux	16
Figure 1-19 : Exemple de caractéristiques d'énergie de commutation en fonction du courant commuté.	18
Figure 1-20 : Pertes totales des structures PFC 3N et 5N (technologie CoolMos APT60N60BCSG+ Diode SiC IDT16S60C) :a) $I_{eff}=16A$; b) $I_{eff}=32A$	21
Figure 1-21 : Comparaison des pertes totales des structures PFC 3N et PFC 5N $F_{dec}=40kHz$: a) $I_{eff}=16A$; b) $I_{eff}=32A$	23
Figure 1-22 : Comportement local consécutif à un défaut de court-circuit sur transistor de la cellule 1	24
Figure 1-23 : Simulation de passage en basse impédance d’un transistor sur la cellule 1 (AC : $230V_{eff}/32A_{eff}/400Hz$ -DC : $800V$ - $F_{dec}=40kHz$).	25
Figure 1-24 : Les courbes de simulation de la structure SMC lors d’un défaut physique d’un Mos ($F_r=400Hz$, $R_{def}=0,1\Omega$, $F_{dec}=40kHz$)	25
Figure 1-25 : a) Comportement local suite à un défaut de court-circuit Diode de la cellule 1, b) modèle PSIM du transistor avec le calcul d' énergie	26
Figure 1-26 : Les courbes de simulation du PFC FC 5N avec une diode défaillante en court-circuit ($F_r=400Hz$, $R_{def}=0,1\Omega$, $F_{dec}=40kHz$)	27
Figure 1-27 : Comportement local suite à un défaut de court-circuit sur la cellule 2	28
Figure 1-28 : Simulation du passage en circuit passant permanent d’un transistor de la cellule 2 (AC : $230V_{eff}/32A_{eff}/400Hz$ -DC : $800V$ - $F_{dec}=52kHz$, $R_{def}=0,1\Omega$)	28

Figure 1-29 : Zoom au moment du défaut sur un transistor de cellule 2 en circuit passant (AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =52kHz, Rdef=0,1Ω).....	28
Figure 1-30 : Comportement local suite à un défaut de court-circuit de la diode sur la cellule 2.....	29
Figure 1-31 : Simulation de passage en basse impédance d'une diode de cellule 2 (AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =52kHz, Rdef=0,1Ω).....	30
Figure 1-32 : Contrainte énergétique sur la cellule sain du structure FC ((AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =52kHz, Rdef=0,1Ω).....	30
Figure 1-33 : Contrainte énergétique sur la cellule sain du structure SMC ((AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =52kHz, Rdef=0,1Ω).....	31
Figure 1-34 : Comportement local suite à un défaut de court-circuit sur le transistor 1 (cas 1)	31
Figure 1-35 : Comportement local suite à un défaut de court-circuit sur le transistor 1 de rang k (k différent de 1 et N) (cas 2).....	32
Figure 1-36 : Courbes de dimensionnement des condensateurs flottants pour Ir et Vs imposés (Vcf = 200V)	33
Figure 1-37 : a) Aire de sécurité du CoolMos™ APT60N60BCS utilisé dans la thèse – 600V/60A@Tcase=25°C – 6,55mm x 10,48mm x 165μm – wire-bonding 4 x Ø250μm, b) Circuit test pour la caractérisation de l'énergie critique (Ec) de destruction de la puce sous 200V/300V/400V – 40μF/80μF, c) et d) formes d'ondes types sans destruction (E<Ec) et avec destruction (E>Ec), e) Reverse Serma Technologies™ d'une puce pour E>Ec et micro-section de la zone dominante de perçage métallique par repérage préalable à la caméra IR@10A, f) Mesure volt-ampèremétrique d'une puce détruite pour E>Ec, E = 9,4J.cm-2, mise en évidence de la faible valeur ohmique résiduelle par les bornes "drain – source", g) Essai à forte énergie 82J – 4 x 460μF [25] permettant d'identifier le I²Tp Wire-Bonding # 1500A².s et l'énergie de destruction du boîtier 50J < Ed < 70J.	36
Figure 1-38 : Contrainte énergétique après premier défaut sur D1 et deuxième défaut sur D2 ((AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =40kHz).....	38
Figure 1-39 : Contrainte énergétique après premier défaut sur M1 et deuxième défaut sur M2 ((AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =40kHz).....	38
Figure 1-40 : Contrainte énergétique après première défaut sur D1 et deuxième défaut sur M2 ((AC : 230Veff/32Aeff/400Hz-DC : 800V-Fdec =40kHz).....	39
Figure 1-41 : Topologie PFC FC double-boost en triphasé	40
Figure 1-42 : FC 5N triphasé AC : 230Veff/32Aeff/400Hz-700VDC-40kHz	41
Figure 1-43 : FC 5N triphasé AC avec défaillance ON-permanent sur transistor cell1 du bras 1 : 230Veff/32Aeff/400Hz-700VDC-40kHz	41
Figure 1-44 : Régulation optimisée appliquée FC 5N triphasé AC : 230Veff/32Aeff/400Hz-800VDC-40kHz.....	42
Figure 1-45 : Diagramme vectoriel avec Courant et tension du réseau en phase.....	43
Figure 1-46 : Diagramme vectoriel avec Courant et tension du PFC (image de la modulante) en phase.....	43
Figure 1-47 : Courant et Tension réseau en phase, Fr=400Hz ; Fdec=40kHz	44
Figure 1-48 : Courant et modulante en phase ; Fr=400Hz ; Fdec=40kHz	44
Figure 1-49 : Commande MLI POD avec quatre porteuses entrelacées et deux modulations pour réguler deux tensions flottantes.....	45

Figure 1-50 : Formes d'ondes du CVS 5Niveaux avec commande MLI POD et deux modulations pour réguler deux tensions flottantes (FC 5N triphasé AC : 230Veff/32Aeff/400Hz-800VDC-40kHz).	45
Figure 1-51 : Analyse FFT des tensions d'un PFC FC 5N triphasé avec commande MLI classique.	46
Figure 1-52 : Analyse FFT de courant d'entrée d'un PFC FC 5N triphasé avec commande MLI POD.	46
Figure 1-53 : Déphasage instantané 90° de phase des porteuses POD pour obtenir des porteuses PD	46
Figure 1-54 : Formes d'ondes du CVS 5Niveaux avec commande MLI PD et deux modulations centrées (injectée composant homopolaire) pour réguler deux tensions flottantes (FC 5N triphasé AC : 230Veff/32Aeff/400Hz-800VDC-40kHz).	47
Figure 1-55 : Tension différentielle entre phase en MLI Phase Disposition (PD)	47
Figure 1-56 : Tension différentielle entre phase en Phase Disposition et avec modulation centrée	48
Figure 1-57 : Analyse FFT des tensions d'un PFC FC 5N triphasé en cas PD	48
Figure 1-58 : Analyse FFT de courant d'entrée d'un PFC FC 5N triphasé en MLI PD et modulation centrée, en rouge : courant d'entrée (IL) avec modulation classique, en bleu : IL avec modulation optimisée.	48
Figure 2-1 : Représentation générale d'une loi de fiabilité $R(t)$, d'une loi de défaillance et de sa densité de probabilité $f(t)$.	53
Figure 2-2 : Taux de défaillance d'un composant électronique (température et tension constantes) [28]. Identification des zones de fonctionnement.	54
Figure 2-3 : Loi de fiabilité exponentielle	55
Figure 2-4 : Evolution du MTBF en fonction de la température de jonction seule.	56
Figure 2-5 : Evolution du MTBF en fonction de la tension appliquée seule. Toutes choses étant égales par ailleurs.	56
Figure 2-6 : Evolution du MTBF en fonction de la tension de grille seule, pour $V_{gmax}=20V$. Toutes choses étant égales par ailleurs.	57
Figure 2-7 : Evolution du MTBF en fonction d'un cyclage thermique périodique de 1 minute. Toutes choses étant égales par ailleurs.	57
Figure 2-8 : Diagramme de fiabilité d'un IGBT et de sa diode.	58
Figure 2-9 : Le diagramme électrique et le diagramme de fiabilité d'une cellule de commutation.	59
Figure 2-10 : Le diagramme électrique et le diagramme de fiabilité d'une association en parallèle de composant.	59
Figure 2-11 : a) Le diagramme fonctionnel d'association en série de composant, b) Le diagramme de fiabilité d'association en série de composant.	61
Figure 2-12 : Le diagramme fonctionnel d'association partielle	62
Figure 2-13 : Le diagramme de fiabilité d'association partielle	62
Figure 2-14 : Le diagramme de fiabilité un cas deux cellules de commutation en série, la fiabilité des condensateurs n'est pas prise en compte.	63
Figure 2-15 : Schéma fonctionnel et diagramme vectoriel pour le cas de reconfiguration 3 bras à 2 bras onduleurs à l'aide des fusibles installés aux bornes des bras.	65
Figure 2-16 : Schéma de fiabilité pour le cas deux parmi trois.	65

Figure 2-17 : a) Onduleur ANPC 3 Niveaux variante 1 avec $V_{bus} = 540V$; b) Onduleur ANPC 3 Niveaux variante 2 avec $V_{bus} = 540V$; c) Diagramme de fiabilité d'onduleur 3 Niveau variante 1 aucune tolérance ; d) Diagramme de fiabilité d'onduleur 3 Niveau variante 2 avec une tolérance.	67
Figure 2-18 : Fiabilité des ANPC Double-Boost FC 3 Niveaux en comparaison avec onduleur 2N.	67
Figure 2-19 : Onduleur ANPC 5 Niveaux variant 1 avec $V_{bus} = 800V$;	68
Figure 2-20 : Diagramme de fiabilité d'onduleur ANPC 5N variant 1 pour le fonctionnement 5N plein de tension et aucune tolérance de panne interne.	68
Figure 2-21 : Diagramme de fiabilité d'un ANPC 5 Niveaux variante 1 avec tolérance de panne et report de charge sur la cellule d'étage défaillant.	69
Figure 2-22 : a) Onduleur ANPC 5 Niveaux variant 2 avec $V_{bus} = 800V$; b) Diagramme de fiabilité d'ANPC 5 N variant 2 avec deux tolérances possibles.	71
Figure 2-23 : a) Onduleur ANPC 5N variant 3 avec fusibles aux bornes de bras et $V_{bus} = 800V$ et une seule tolérance possible ; b) Fiabilité d'onduleur ANPC 5N variant 3 en tenant compte d'une capacité de tolérance de panne.	72
Figure 2-24 : Fiabilité de la structure ANPC 5N sans tenir compte de la redondance de panne pour les variantes 2 et 3.	73
Figure 2-25 : Fiabilité des variantes d'onduleurs ANPC 5 Niveaux en comparaison avec celle d'onduleur 2 Niveaux classique.	73
Figure 2-26 : b) Fiabilité des variantes d'onduleurs ANPC 5 Niveaux en comparaison avec celles des onduleur 3 Niveaux.	74
Figure 2-27 : Onduleur ANPC 5N variante 1 en triphasé $V_{bus} = 800V$, composants commutant à 200V sous 600V de calibre.	75
Figure 2-28 : a) Fonctionnement d'onduleur ANPC 5N variante 1 en mode dégradé, bras 1 est défaillant ; b) Diagramme de fiabilité de fonctionnement d'onduleur ANPC 5N variante 1 avec 1 bras est en panne.	76
Figure 2-29 : Diagramme de fiabilité globale de la structure ANPC 5N avec toute analyse de tolérance.	76
Figure 2-30 : a) Onduleur ANPC 5N variante 2 en triphasé avec les fusibles au point-milieu .	77
Figure 2-31 : a) Onduleur ANPC 5N variante 3 avec fusibles aux bornes de bras .	78
Figure 2-32 : Fiabilité des onduleurs ANPC 5N et d'onduleur 2N.	79
Figure 2-33 : a) Onduleur ANPC 3N variante 1 en triphasé ; b) Diagramme de fiabilité d'onduleur 3N triphasé variante 1 tenir compte mode de reconfiguration de fusible deux parmi trois.	80
Figure 2-34 : a) Onduleur ANPC 3N variante 2 en triphasé ; b) Diagramme de fiabilité d'onduleur 3N triphasé.	81
Figure 2-35 : Fiabilité des onduleurs 2N, 3N et 5N en triphasé.	82
Figure 2-36 : a) Onduleur ANPC 3N avec des fusibles aux bornes b) Fiabilité d'onduleur 3N en mode derating 50% de tension.	83
Figure 2-37 : Fiabilité d'onduleur ANPC 3N en mode derating de tension en comparaison avec les autres topologies sans derating.	84
Figure 2-38 : Fiabilité d'onduleur ANPC 3N en triphasé avec derating de tension.	84
Figure 2-39 : Fiabilité d'onduleur ANPC 3N en triphasé avec derating de tension.	85
Figure 2-40 : a) Onduleur ANPC 5N variante 1 en monophasé b) Fiabilité d'onduleur ANPC 5N variante 1 en mode derating de tension .	86

Figure 2-41 : a) Onduleur ANPC 5N variante 3 en mode derating b) Fiabilité d'onduleur ANPC 5N variante 3 en mode derating de tension.	87
Figure 2-42 : Fiabilité des topologies d'onduleur ANPC 5N, 3N, et 2N en monophasé et avec derating de tension en comparaison avec des topologies en mode pleine tension.	88
Figure 2-43 : Fiabilité des topologies d'onduleur ANPC 5N, 3N, et 2N en triphasé et avec derating de tension en comparaison avec celle d'onduleur classique 2Niveaux.	88
Figure 3-1 : Schéma de principe représentant le prototype du PFC double-boost 5N-2xFdec AC230V / 800VDC – 7kW	94
Figure 3-2 : Maquette d'expérimentation pour le PFC Double-Boost Flying Capacitor 5N-7kW- 30kHz.	95
Figure 3-3 : Synoptique de la carte de commande avec ses différents étages.	96
Figure 3-4 : a) Carte d'interface, b) Cartes MPAB_ANA (carte de conversion), MPAB_NUM et DSK C6713 superposées.	97
Figure 3-5 : Synoptique de l'architecture de commande.....	97
Figure 3-6 : Fonctionnement du générateur de fonctions d'ondes ou entrées de la machine d'état.....	98
Figure 3-7 : Détail de la machine d'état 3 niveaux pour le stack supérieur.	98
Figure 3-8 : Détermination de la bande de régulation par seuil réalisé par la machine d'état, a) zoom sur le principe de la forme d'onde de tension flottante, b) vue d'ensemble sur plusieurs périodes de modulation.....	100
Figure 3-9 : Opération normale du PFC Double- Boost, a) fonctionnement sur deux périodes de modulation, b) zoom sur les tensions flottantes pour une bande de régulation de $\pm 20V$	101
Figure 3-10 : Circuit de claquage en avalanche du CoolMos APT60N60BCSG.	102
Figure 3-11 : Circuit de claquage en avalanche de la Diode SiC IDT16S60C.....	102
Figure 3-12 : Exemple de régime transitoire VDUT et IDUT @ 25°C / DUT n°1.....	103
Figure 3-13 : Résistance de court-circuit de deux DUT CoolMos APT60N60BCSG par avalanche sous 885V	103
Figure 3-14 : Résistance de court-circuit de la Diode SiC IDT16S60C claquée par avalanche sous 820V	103
Figure 3-15 : Zoom sur le dispositif de test de vieillissement d'un CoolMos APT60N60BCSG.	104
Figure 3-16 : Résultat du test de vieillissement du DUT n°1 - CoolMos APT60N60BCSG dans cas idéal : courant sinusoïdale, $I_{max}= 8A/12A$, $T_{case}=30^{\circ}C/40^{\circ}C$, pertes Joules 6,4J/14,4J.	104
Figure 3-17 : Analyse physique de la zone de défaillance du DUT n°2 CoolMos APT60N60BCSG détruit par avalanche non vieille, décapsulation par SermaTM, dimension de puce 6,55mm x 10,48mm.	105
Figure 3-18 : Analyse physique de zone défaillance sur le DUT n°1 vieilli - CoolMos APT60N60BCSG cassé par avalanche et vieille, décapsulation par SermaTM.	106
Figure 3-19 : Test de vieillissement d'une diode SiC IDT16S60C dans cas idéal : courant sinusoïdale, $I_{max}= 12A$, $T_{case}=30^{\circ}C/40^{\circ}C$	106
Figure 3-20 : Analyse physique de zone défaillance d'une diode SiC IDT16S60C détruite par avalanche et vieille pendant 500h en mode PFC, décapsulation par SermaTM.	107
Figure 3-21 : Principe du diagnostic par surveillance de deux tensions des condensateurs flottants.....	108
Figure 3-22 : Reconfiguration des porteuses PD ainsi que la fonction d'ondes.....	110

Figure 3-23 : Simulation de la stratégie de reconfiguration, a) défaut sans reconfiguration → 4N-2xFdec, b) défaut avec reconfiguration → 4N-Fdec/2xFdec	111
Figure 3-24 : Reconfiguration de machine d'état	112
Figure 3-25 : Toutes les séquences de fonctionnement possibles de la topologie PFC DB FC 5N à tolérance.	112
Figure 3-26 : Simulation du fonctionnement du PFC double-boost FC 5N avec défaut sur cell. 2.	113
Figure 3-27 : a) Défaut appliqué sur la cellule 2 claquage d'une diode Transil de plus faible calibre de tension- AC 65V-DC 200V- Fdec= 32kHz, b) Zoom de la Figure 3-27a) : (1) : opération normale, (2) : défaut sur cellule 2 et Vc1 dans la bande de la ME, (3) : défaut sur cellule 2 et Vc1 hors de la bande de ME, (4) : reconfiguration de 3N à 2N par franchissement du seuil de détection 0,9xVdc/2.	114
Figure 3-28 : Porteuses POD modifiées pour tension 3Niveaux.....	116
Figure 3-29 : Diagramme vectoriel de diagnostic harmonique.	118
Figure 3-30 : Signal de détection et localisation de défaut (Vdetec) en fonction de la modulante m.	119
Figure 3-31 : Synoptique de diagnostic fréquentiel.	119
Figure 3-32 : Vdetec avec défaut sur cell. 2 et défaut sur cell. 3.	120
Figure 3-33 : Vdetec avec défaut sur cell. 1 et défaut sur cell. 4.	120
Figure 3-34 : Résultats des tests de fonctionnalité du diagnostic fréquentiel à faible puissance 65VAC- 50Hz/ 400VDC/ 32kHz a) fonctionnement sans défaut b) fonctionnement avec forçage sur la cellule 2 c) fonctionnement avec forçage sur la cellule 1.	121
Figure 3-35 : Diagramme vectoriel de diagnostic fréquentiel à Fdec et signal de démodulation S(t).	122
Figure 3-36 : Influence de la fréquence d'échantillonnage sur amplitude et phase de Vdetec.	122
Figure 3-37 : Reconstruction des tensions Vcf1 et Vdc1 lorsque $0 < m < \frac{1}{2}$ (première bande de modulation – groupe cellulaire 1)	124
Figure 3-38 : Reconstruction des tensions Vcf1 et Vdc1 lorsque $\frac{1}{2} < m < 1$ (deuxième bande de modulation – groupe cellulaire 1)	124
Figure 3-39 : Reconstruction des tensions Vcf2 et Vdc2 lorsque $-1 < m < -\frac{1}{2}$ (deuxième bande de modulation – groupe cellulaire 2)	125
Figure 3-40 : Reconstruction des tensions Vcf2 et Vdc2 lorsque $-\frac{1}{2} < m < 0$ (première bande de modulation – groupe cellulaire 2)	125
Figure 3-41 : Reconstruction des tensions Vcf1,2 et Vdc1,2 cas normal et cas de défaut en CC des cellules 1 et 4.	126
Figure 4-1 : Topologie PFC Vienna 3N [Kolar]	129
Figure 4-2 : Formes d'ondes de la topologie Vienna 3N	130
Figure 4-3 : Topologie PFC Vienna 5 Niveaux	135
Figure 4-4 : Etats de conduction de nouvelle topologie Vienna 5 Niveaux pour IAC>0.	136
Figure 4-5 : Fonctionnement de la topologie Vienna 5N avec commande MLI phase – shift.	137
Figure 4-6 : Pertes totales de topologie Vienna 5 Niveaux avec tous diodes SiC à 16 Aeff. ..	137
Figure 4-7 : Pertes totales de la topologie Vienna 5 Niveaux avec tous diodes SiC à 32 Aeff.	138
Figure 4-8 : Consommation des drivers.....	139
Figure 4-9 : Rendement de la topologie PFC Vienna 3Niveaux à 16 Aeff.	139

Figure 4-10 : Rendement de la topologie PFC Vienna 3Niveaux à 32 Aeff.....	140
Figure 4-11 : Rendement de la topologie PFC Vienna 5Niveaux à 16 Aeff.....	140
Figure 4-12 : Rendement de la topologie PFC Vienna 5Niveaux à 32 Aeff.....	141
Figure 4-13 : Modèle électrique et protection du transistor par son driver	142
Figure 4-14 : Première défaillance a) sur une diode b) sur un transistor	142
Figure 4-15 : Courbes de simulations du défaut physique de la diode Dh avec et sans protection (Fr=400 Hz Fdec=40 kHz et Rdef=67mΩ)	143
Figure 4-16 : Courbes de simulations du défaut physique du transistor T1 avec et sans protection (Fr=400 Hz Fdec=40 kHz et Rdef=120mΩ).....	144
Figure 4-17 : Défaillance d'un composant de topologie Vienna 5 Niveaux	145
Figure 4-18 : Courbes de simulations du défaut physique de la diode D3 (Fr=400 Hz Fdec=40 kHz et Rdef=67mΩ)	145
Figure 4-19 : Courbes de simulations du défaut physique du transistorT1 (Fr=400 Hz Fdec=40 kHz et Rdef=120mΩ)	146
Figure 4-20 : Courbes de simulations du défaut physique dans le deux transistor avec et sans protection (Fr=400 Hz Fdec=40 kHz et Rdef=120mΩ).....	147
Figure 4-21 : Topologie PFC Vienna 5 Niveaux en triphasé.....	148
Figure 4-22 : Fonctionnement de la topologie Vienna 5 niveaux en mono et en triphasé 9 niveaux avec porteuses en phase (stratégie PD) et modulation centrée	149
Figure 4-23 : Stratégie de commande MLI Phase Disposition	149
Figure 4-24 : PFC Vienna 7 Niveaux avec le chemin de courant pour courant d'entrée positif (IAC >0).....	150
Figure 4-25 : PFC Vienna 7 Niveaux avec le chemin de courant pour courant d'entrée négatif (IAC <0).....	150
Figure 4-26 : Fonctionnement de la structure PFC Vienna 7 Niveaux	151
Figure 4-27 : Courbes du PFC Vienna 5N commandé par Machine à état avec largeur de bande -10V +60V	152
Figure 4-28 : Carte de puissance du PFC Vienna 5N	153
Figure 4-29 : Expérimentation PFC Vienna 5N (Vin=70V Irms=14,3A P=1 kW), largeur de bande de -10V à +10V.....	154
Figure 4-30 : expérimentation PFC Vienna 5N (Vin=80V Irms=11,3A P=1 kW), largeur de bande de -10V à +24V.....	154
Figure 4-31 : Montage du dissipateur à eau	155

Liste des tableaux

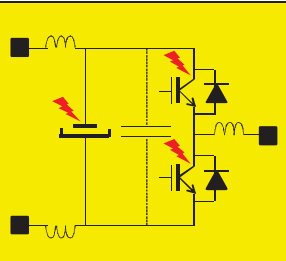
Tableau 0-1 : Problématique de la sûreté de fonctionnement des convertisseurs et orientations proposées dans le cadre de la thèse de Linh Pham.	1
Tableau 1-1 : Valeurs moyennes et efficaces des courants dans les composants en structure double-boost de référence	19
Tableau 1-2 : Application de calculs analytiques des courants	19
Tableau 1-3 : Les paramètres principaux des composants	19
Tableau 1-4 : Résultat des pertes des PFC 3 Niveaux avec $I_{ref}=16A$ [3,7 kW]	20
Tableau 1-5 : Résultat des pertes des PFC 3 Niveaux avec $I_{ref}=32A$ [7,4 kW]	20
Tableau 1-6 : Comparaison des structures PFC 3N	20
Tableau 1-7 : Derating en courant et en fréquence de découpage pour le PFC Double-Boost 5N en mode dégradé	37
Tableau 2-1 : Propriétés de la loi de fiabilité exponentielle	55
Tableau 2-2 : Taux de défaillance des composants de base	58
Tableau 2-3 : Evolution du MTBF par redondance active partielle (le taux de défaillance est identique et constant pour toutes les entités).	63
Tableau 2-4 : Evolution du MTBF par redondance active partielle prenant en compte le report de contrainte en tension	70
Tableau 3-1 : Résultat mathématique de l'intégrale de démodulation entre tension d'entrée et le signal synchro sinusoïdal.....	118
Tableau 4-1 : Courants moyens et efficaces des composants de la topologie PFC Vienna 3 Niveaux	131
Tableau 4-2 : Courants moyens et efficaces en numérique des composants de la topologie PFC Vienna 3 Niveaux	131
Tableau 4-3 : Les paramètres principaux des composants retenus pour les comparaisons..	132
Tableau 4-4 : Pertes de la structure Vienna 3Niveaux à $16 A_{eff}$ / 20kHz	132
Tableau 4-5 : Table de vérité des composants principaux de la structure Vienna 5Niveaux pour le courant positif	136
Tableau 4-6 : Table de vérité des composants principaux de la structure Vienna 7Niveaux pour le courant positif	151

Introduction Générale

Dans le domaine de la conversion de l'énergie électrique, les applications critiques du point de vue de la sûreté de fonctionnement concernent essentiellement les domaines des transports, de l'aéronautique, du spatial et plus généralement les systèmes électroniques de puissance embarqués. Dans ces domaines, la conception d'une chaîne de conversion d'énergie implique de considérer très en amont : **a) la fiabilité des composants, b) la maîtrise et la sécurisation des modes de défaillance de ces composants et enfin, c) la mise en place d'une stratégie de secours visant à préserver une poursuite, même partielle, de la mission de cette chaîne de conversion.** C'est à nos yeux en considérant ces trois critères au même niveau et de façon homogène, et non pas de façon isolée comme c'est souvent le cas aujourd'hui, qu'il semble judicieux de trouver un compromis globalement optimal entre performances et fiabilité d'une part, sécurité et disponibilité d'autre part, au sein de la même structure de conversion. C'est exactement la démarche que nous présentons dans cette thèse, dans laquelle une famille de structures de conversion AC/DC à prélèvement sinus (PFC) se positionne comme particulièrement bien adaptée à l'obtention de ce compromis, à coût et complexité globalement maîtrisés.

Le tableau suivant illustre ainsi les problématiques a), b) et c) à la base du travail de thèse et, en vis-à-vis, les grandes orientations qui ont conduit à son déroulement.

Tableau 0-1 : Problématique de la sûreté de fonctionnement des convertisseurs et orientations proposées dans le cadre de la thèse de Linh Pham.

	A) Fiabilité des semi-conducteurs de puissance	B) Sécurité électrique des cellules de commutation	C) Disponibilité/Redondance du convertisseur
Problématique	Pertes et échauffement Robustesse limitée (SOA stricte) Emballage thermique Avalanche et claquage	Energie stockée dans le filtre basse-fréquence du bus DC	Isolement d'un défaut / connexion secours Redondances passives parallèles (circuits auxiliaires) Complexité [Thèse Z.Dou soutenue le 4/11/2011]
Orientations proposées	Composants Basse Tension robuste IGBT/CoolMos/Mosfet Diode Schottky SiC (max. calibre 600V)	Topologie segmentée à sources locales flottantes réparties au sein des cellules	Redondance intrinsèque de type "active en série"
	→ Structure multicellulaire série/ flying cap. à commandes entrelacées → Augmentation de la fréquence apparente - Tension de sortie multi-niveaux (THD réduit, filtre compact) → Cible PFC (cellule mono-transistor), absence de court-circuit par la commande		

A) Fiabilité et performances des composants semi-conducteurs de puissance

En restant synthétique dans notre propos, la fiabilité repose en premier lieu sur le respect de l'aire de sécurité électrique des puces de puissance (SOA – Safe Operating Area) et d'une température de jonction, i.e. de la zone active, inférieure à 175°C pour les composants les plus récents qu'ils soient en silicium ou au carbure de silicium avec un assemblage conventionnel. Le claquage par avalanche statique (V_{BR}) ou dynamique (blocage à fort courant), l'emballement thermique suivi du latch-up de la puce peuvent ainsi, normalement, être évités. Néanmoins, sur les composants très couramment employés aujourd'hui en moyenne tension tels que les IGBT et les diodes rapides bipolaires 1,2kV et 1,7kV minimum, ces causes de destruction ne sont jamais complètement exclues [1][2][3]. En effet car l'un de ces deux composants au moins met en jeu une alternance de 4 couches (effet thyristor parasite), une région centrale très peu dopée (voire intrinsèque) qui peut être ionisée avec très peu de densité d'énergie, un effet d'injection bipolaire (modulation de la résistivité) qui accentue la fuite à haute température et un contrôle de la durée de vie des porteurs minoritaires pour en accélérer l'évacuation mais qui rend également la puce très sensible à la température élevée. Raison pour laquelle nous avons considéré dans cette thèse des composants et des cellules de commutation uniquement à conduction unipolaires à base de transistors CoolMos™ silicium, Mos SiC, JFET SiC et de diodes Schottky SiC, de calibre basse tension 600V excepté pour les Mos et les JFET de calibre 1200V. Tous ces composants, dont certains sont récents sur le marché, présentent une plus grande robustesse (tenue au court-circuit et à l'avalanche) et de plus faibles pertes par découpage appréciables pour l'application PFC qui nous concernent.

B) Maîtrise et sécurisation du mode de défaillance

Le niveau de sécurité et à mettre en relation, en premier lieu, avec la criticité que peut représenter le court-circuit d'une cellule de commutation et de la charge qui lui est raccordée. Sur des structures classiques mono-cellulaires à deux niveaux de tension par phase, c'est essentiellement la quantité d'énergie stockée dans le filtre basse-fréquence du bus d'alimentation qui conditionne la dangerosité, par le courant de CC crête et le I^2T susceptibles d'être mis en jeu. Ces contraintes dépassent couramment les seuils critiques correspondant à l'arrachement des interconnexions filaires dans les boîtiers, l'explosion de l'encapsulant voire même en haute tension le busbar avec le risque d'une projection de métal. Dans la suite, nous nous orienterons donc vers des structures multicellulaires imbriquées en série à sources de tensions flottantes passives et fractionnées afin de réduire simultanément la tenue en tension aux bornes des composants (cf. paragraphe précédent A)) et l'énergie locale de décharge en situation de court-circuit interne de chacune des cellules [1]. La faible densification de l'énergie injectée dans une puce permet ainsi de limiter la défaillance de la zone active au seul état résiduel ohmique (perçage et pont métallique conducteur au sein de la puce # shunt) sans altérer les interconnexions et le boîtier (cet aspect très important et très intéressant de la sécurité passive sur défaillance critique fait l'objet, entre autres, de la thèse de Zhifeng Dou au Laplace, à soutenir en Novembre 2011, [4]).

C) Tolérance de panne et continuité de mission

La mise en place d'un mode secours passe par des composants et des cellules en redondance passive parallèle, i.e. par des composants "dormants" en attente du secours et associés à des organes de connexion normal / secours. Toutefois, le premier mode de défaillance de la puce de puissance étant le passage en mode de résistance résiduelle métallique et très faiblement ohmique proche d'un court-circuit "vue des bornes" comme rappelé en B), la redondance active en série des composants ou imbriquée série des cellules de commutation semble donc plus naturellement appropriée même si, peu étudiée et peu mise en œuvre aujourd'hui. Elle semble plus difficile à gérer que la redondance parallèle de par le report de tension instantanée aux bornes des composants qui découle d'un défaut [1] et donc le surcalibrage en tension statique qui en découle. Ce dernier point n'est pas rédhibitoire car nous montrerons que la standardisation à 600V des composants permet d'assurer un mode secours à la première panne sur des topologies symétrique à point milieu sans pénalité sur la tenue en tension nécessaire. Dans cette thèse nous avons donc fait le choix de privilégier ce type de redondance intégrée car découlant directement de l'organisation même de la topologie sans qu'il faille introduire de circuits de puissance redondants avec leurs organes de connexion qui sont des sources potentielles de défiabilisation en l'état actuelle de la technologie, une complexité accrue de gestion du fonctionnement normal / secours et évidemment générateurs d'un surcoût.

Compte-tenu des propriétés que nous venons de présenter, les structures multicellulaires imbriquées en série semblent bien se prêter, sur le principe, au compromis que nous avons rappelé au début et au mode de défaillance originel des puces de puissance. C'est donc vers celles-ci que s'oriente en priorité ce travail.

Ces structures permettent de générer des formes d'ondes multiniveaux à fréquence apparente plus élevée que la fréquence de base dite de découpage, par entrelacement des signaux de commande. Cette propriété permet ainsi de réduire les valeurs des éléments de filtrage, l'encombrement et le coût de ces éléments à même THD_v (tension) ou d'améliorer le THD_v à même filtre. Cette caractéristique est intéressante dans les applications DC/DC et AC/DC et nous avons retenu en particulier l'application PFC à la fois générique mais particulièrement exigeante en termes de qualité de l'énergie et de disponibilité puisqu'il s'agit d'une alimentation connectée au réseau, en charge de conditionner puis de distribuer un bus de tension d'alimentation à des charges et des convertisseurs en aval de celui-ci comme par exemple dans sur les réseaux de bord avion [5].

Comme le rappelle la Figure 0-1 suivant, le PFC est un convertisseur unidirectionnel en puissance et les cellules peuvent être épurées et réduites à une diode et un transistor formant ainsi une cellule élémentaire asymétrique. Ainsi, sur le plan de la sécurité de fonctionnement, une commande erratique appliquée sur le seul transistor de la cellule n'aura pas de conséquence critique puisque la diode viendra isoler le court-circuit de la source de tension équivalente associée à cette cellule. C'est donc une propriété intrinsèque évidemment très simple mais fondamentale qui s'ajoute aux propriétés structurelles déjà évoquées en C).

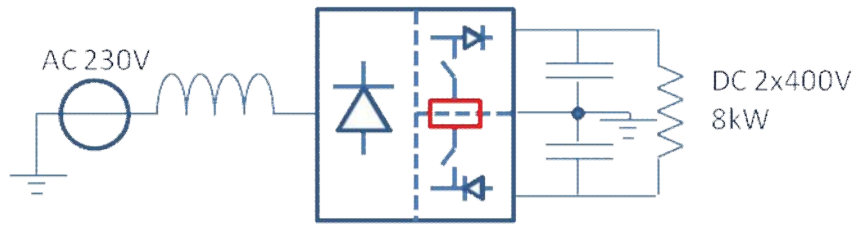


Figure 0-1 : Topologie non-différentielle générale retenue pour le PFC (Connexion “un pôle” direct AC/DC) - Symétrique / stacked topologie - Capacité à la parallélisation - Extension direct au triphasé / Extension multi-niveaux.

Sur cette base, le mémoire de thèse est organisé en quatre chapitres suivis d'une annexe :

Dans le premier chapitre nous présenterons les variantes des topologies PFC multi-niveaux non différentielles, leur dimensionnement, la comparaison des pertes, leur gestion, les propriétés de sûreté de fonctionnement en relation avec leur dimensionnement et enfin leur extension en triphasé.

Le second chapitre constitue un volet exploratoire essentiellement théorique visant à modéliser de façon analytique et paramétrique la fiabilité des structures de convertisseurs précédentes afin de dégager des éléments de comparaison supplémentaires. Une différence sera bien faite entre la fiabilité (définie au sens de l'occurrence première d'une défaillance) et la fiabilité globale (prenant en compte une ou plusieurs défaillances d'une structure à tolérance de pannes).

Le troisième chapitre porte sur la simulation et le développement de la commande numérique d'un prototype de PFC double boost flying cap à 5 niveaux, breveté et réalisé au Laboratoire. Nous présenterons la reconfiguration de la commande, la simulation et la mise en œuvre de deux stratégies de diagnostic des défauts internes adaptables à toutes les topologies multicellulaires série.

Le quatrième et dernier chapitre porte sur une simplification de la structure PFC précédente, permettant de réduire de moitié le nombre de transistors et drivers, par une évolution assez originale partant d'une topologie Vienna 3 niveaux mono-transistor et allant vers une famille de structures Vienna multicellulaires 5 et 7 niveaux à nombre minimum de transistors et de drivers. Simulations, commande et expérimentations seront présentées et constituent une des perspectives à ce travail.

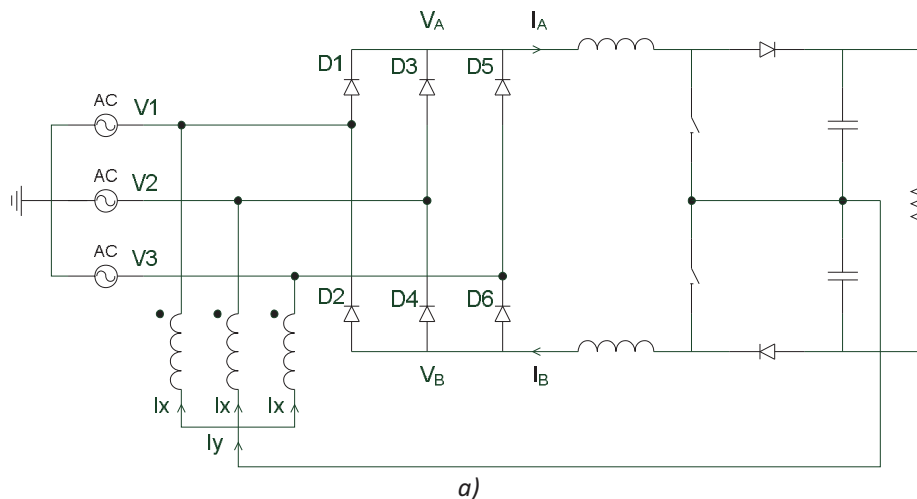
Chapitre 1

Structures PFC et Sûreté de fonctionnement

1.1 Introduction

Il existe plusieurs structures permettant de réaliser une conversion non réversible AC230/400V DC élévateur (540V minimum dans l'industrie et l'aéronautique) ou DC abaisseur ($\pm 135V$ / $\pm 270V$ spécifiquement en aéronautique) à un niveau de puissance supérieur à la dizaine de kW.

La solution la plus connue et la plus utilisée dans le domaine aéronautique est à base d'autotransformateur (abaisseur ou élévateur) suivie d'un redresseur 12 pulses et d'un filtre de sortie. Cette solution reste tributaire du mauvais facteur de forme du pont de diodes et des perturbations induites par l'encoche de commutation. Dans [6] un comparatif complet montre que la masse volumique de l'autotransformateur pénalise cette solution par rapport aux solutions actives en raison de la basse fréquence de fonctionnement : 208% par rapport redresseur actif 3 Niveaux et 178% par rapport à un redresseur standard 2 Niveaux. De plus, la nécessité d'un conditionnement du bus DC (régulation) implique un étage terminal dévolteur (buck simple ou multiple) formant une conversion indirecte. Comme l'illustre la Figure 1-1 une amélioration de la forme des courants d'entrée peut être obtenue par la connexion d'un auto-transformateur d'injection homopolaire piloté par une cellule supplémentaire au point milieu du bus DC [7][8][9]. Outre les pertes supplémentaires, l'injecteur doit être dimensionné pour le courant efficace harmonique de l'ordre de 30% de la puissance apparente nominale, ce qui cantonne cette solution aux faibles puissances.



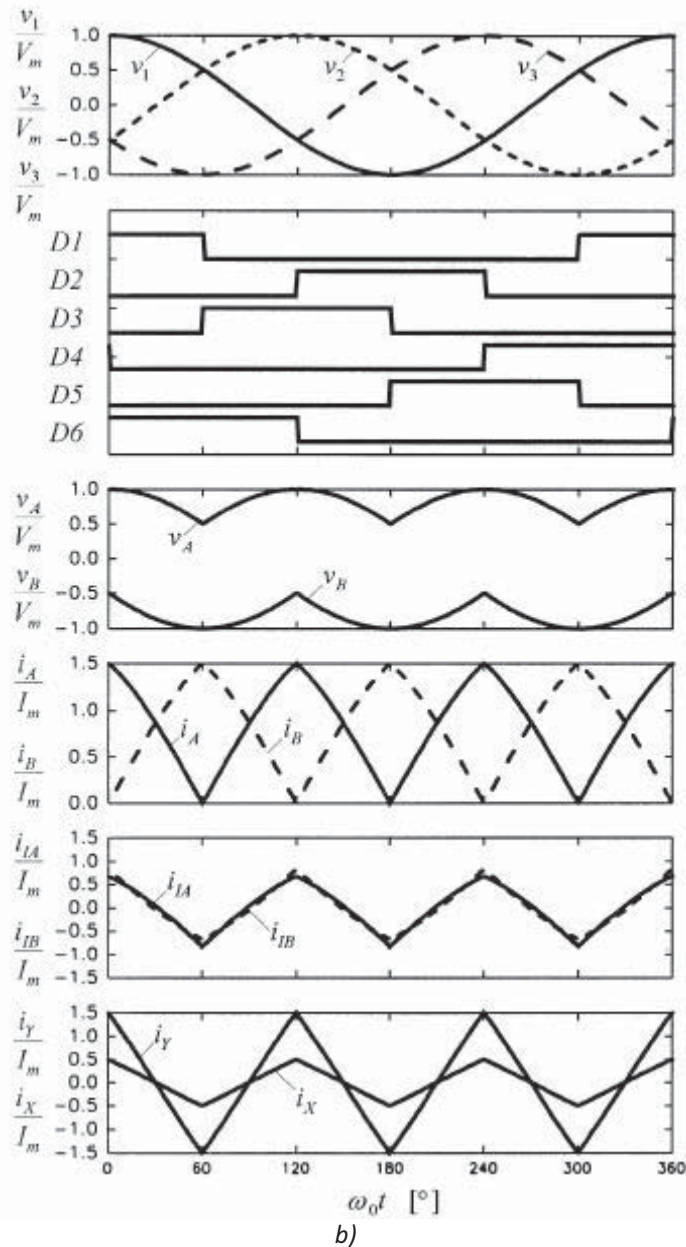


Figure 1-1 : PFC semi-actif à injecteur homopolaire élévateur (direct) ou dévolteur (indirect) : a) schéma de principe, b) principe de fonctionnement.

Dans le cas d'une conversion avec abaissement de tension (ex. $\pm DC135V$), une topologie directe redresseur – buck triphasé fonctionnant en commutateur de courant non réversible a été étudiée dans [5][10]. La Figure 1-2 donne le schéma de cette structure. Celle-ci est pénalisée par la forte densification des pertes dans les transistors qui doivent tenir à la fois la tension crête du réseau AC, le fort courant en sortie DC et l'insertion d'un filtre triphasé LC amorti accordé entre la fréquence du réseau (variable sur les réseaux avion !) et la fréquence de découpage. Par ailleurs, les transistors étant commun aux deux cellules de commutation, la défaillance de l'un des trois impacte directement les trois phases d'entrée et la tension de sortie.

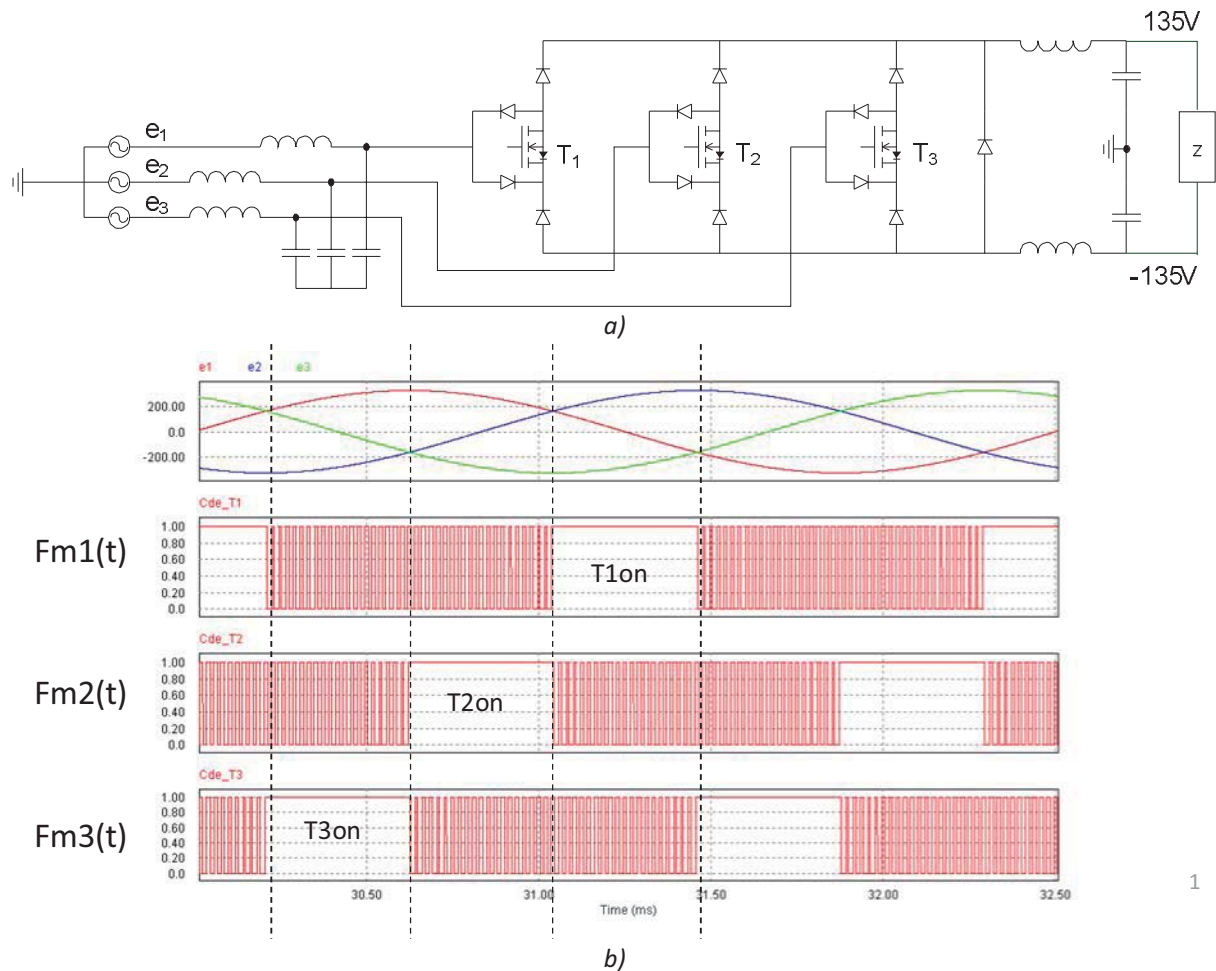


Figure 1-2: PFC direct dévolteur à redresseur – buck (commutateur de courant non réversible) [6].

Afin de contourner les problèmes précédents, la topologie de conversion indirecte boost AC/DC et buck DC/DC reste incontournable pour la réalisation de PFC de puissance supérieure à quelques kW.

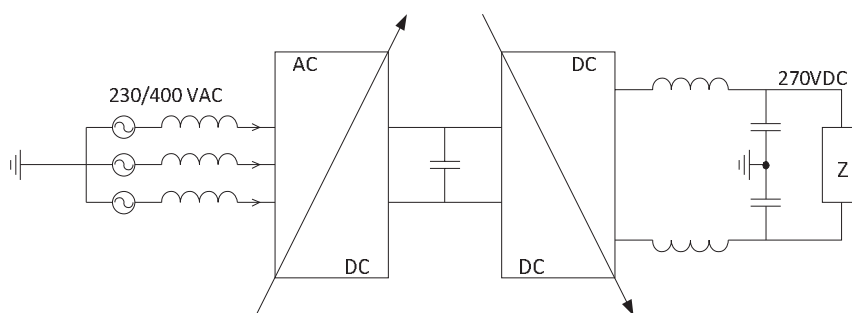


Figure 1-3: Topologie de conversion indirecte.

Par ces deux étages de conversion d'énergie : l'un est un redresseur actif de courant /élevateur de tension, l'autre est un dévolteur actif de tension. Cette topologie repose sur des selfs en entrée et sur un stockage local d'énergie entre les deux étages qui par nature sont deux éléments susceptibles de filtrer les perturbations et de réduire leur transmission de l'entrée vers la sortie et réciproquement. La segmentation en deux étages de conversion permet également un confinement et une reconfiguration plus souple, plus riche par l'usage de redondances topologiques, de partitions topologiques et de degrés de liberté plus

nombreux qu'une structure directe. La possibilité d'un fractionnement de tension permettra d'une part de réduire le calibre en tension des semi-conducteur ainsi que la masse des selfs grâce aux formes d'ondes multi-niveaux et l'entrelacement des commandes. Néanmoins, cette topologie indirecte fait intervenir un nombre important de composants, ce qui complexifie la commande et réduit théoriquement la fiabilité du système à la première panne bien qu'un objectif majeur de ce travail est de démontrer la capacité d'une tolérance d'au moins une panne.

- a) L'étage d'entrée : cet étage est un PFC triphasé non réversible élévateur de tension, il permet de passer d'une tension alternative de AC230/400V de fréquence variable (360 à 800 Hz voire proche de 1000Hz au décollage de l'avion) à un bus continu régulé en tension. Pour cela un redresseur boost non différentiel ou différentiel peut être utilisé.
- b) L'étage de sortie : le bus continu intermédiaire généré par l'étage d'entrée est par la suite transformé en un réseau conditionné à $\pm DC135V$ ou $\pm DC270V$ à l'aide d'étage de sortie. Afin de respecter la symétrie électrique par rapport à une masse centrale, une structure différentielle est préférable, i.e. obtenue par au moins deux étages identiques et le filtre de sortie connecté en différentiel. Nous proposons une structure double buck différentielle DC/DC et elle sera commune à toutes les topologies indirectes étudiées. Le choix d'une structure double buck pour l'étage de sortie permet de rester sur des transistors 600V performants, des diodes SiC et de pouvoir entrelacer les commandes pour réduire la self de sortie dans un rapport quatre par rapport à un hacheur classique.

L'étage d'entrée constitue le cœur de cette thèse. Cet étage peut être soit à connexion différentielle de la source AC d'entrée Figure 1-4, soit à connexion non différentielle Figure 1-5.

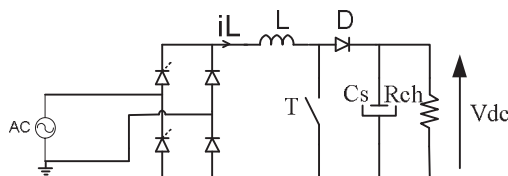


Figure 1-4 : Topologie différentielle classique (avec précharge).

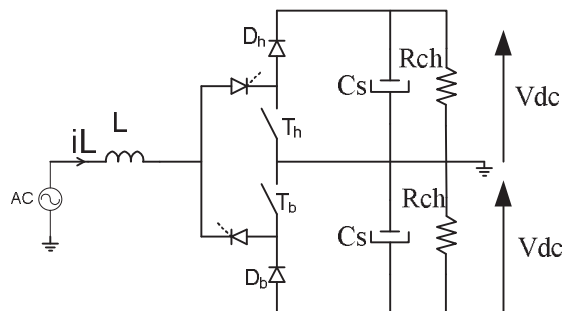


Figure 1-5 : Topologie non différentielle double-boost (avec précharge).

La structure différentielle est bien connue et très utilisée en monophasé. Elle présente l'intérêt de n'utiliser qu'un seul transistor et une seule diode. Son extension en triphasé n'est pas possible directement sauf si un transformateur est par ailleurs nécessaire pour l'isolement galvanique et l'adaptation de tension [11].

La structure non différentielle est moins connue et peu utilisée en monophasé car elle possède deux fois plus de composants et surtout un doublement de tension côté DC ce qui

peut pénaliser le raccordement de la charge. Elle permet toutefois une densification des pertes plus faible et donc un meilleur refroidissement des composants. Cette structure de base permet une extension en triphasé ou une parallélisation de façon naturelle contrairement à la structure différentielle. Elle permet également une extension à un nombre important de niveaux et ainsi une redondance utile pour la tolérance de panne. C'est bien l'objectif du présent sujet.

Sur le plan des pertes globales et du rendement, la seconde structure est plus intéressante car ayant une chute de tension de diode en moins au niveau du redresseur d'entrée et une meilleure capacité de refroidissement comme évoqué précédemment. Ainsi, dans la suite du mémoire, seule la famille des structures non différentielles sera étudiée.

1.2 Structures 3 niveaux non-différentielle à point milieu

La structure générale, représentée en Figure 1-6, est celle d'un redresseur double boost mono-interrupteur constitué de deux cellules symétriques par rapport à un point milieu et fonctionnant alternativement selon le signe de la tension du réseau et donc selon le signe du courant prélevé sur le réseau. Les deux cellules partagent le même interrupteur et sont connectées au réseau par deux diodes qui permettent l'aiguillage du courant d'entrée. Dans ce schéma, T est un interrupteur de synthèse à 2 x 2 segments (courant et tension sont de même signe).

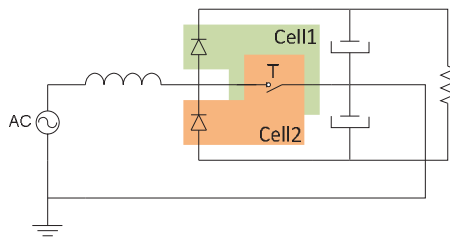


Figure 1-6 : Redresseur double-boost symétrique à point milieu.

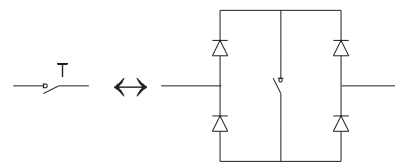


Figure 1-7 : Première synthèse de l'interrupteur à 2 x 2 segments.

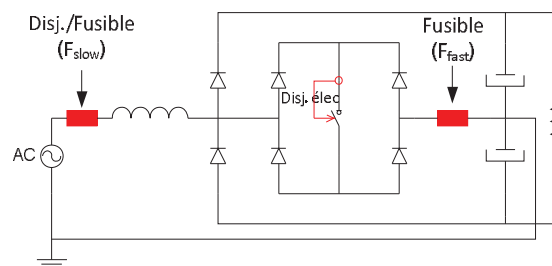


Figure 1-8 : Structure non différentielle trois niveaux.

Cette structure bien que très simple possède néanmoins deux avantages déterminants par rapport à un bras d'onduleur fonctionnant en redresseur actif : d'une part, une tension à 3 niveaux est générée, donc avec une self réseau de valeur moitié et avec un transistor dimensionné pour seulement la tension moitié du bus. Les diodes D_h et D_b doivent être dimensionnées pour la totalité du bus en statique, bien qu'en dynamique, seule la demi-tension soit à commuter par ces diodes. D'autre part, sur le plan de la sûreté, seules les diodes sont connectées directement sur le bus et un défaut de commande quelconque ne

mettra jamais en danger le convertisseur puisque celui-ci sera systématiquement isolé par les diodes D_h et D_b . En d'autres termes, un défaut de commande ou un claquage du transistor ne pourra conduire au court-circuit du bus. Le fonctionnement est donc bien sécurisant. Dans ce cas, un fusible rapide (F_{fast}) en série avec le transistor permettra d'isoler la branche centrale défaillante et de passer en redresseur passif pleine onde. Le claquage d'une diode implique de devoir isoler à la fois la branche centrale du réseau par un second disjoncteur ou un fusible (F_{slow}) afin de préserver la sélectivité avec le cas précédent. La défaillance d'une des diodes D_h ou D_b peut être détectée et gérée par l'intermédiaire d'une surveillance classique du $V_{ce_{sat}}/V_{d_{sat}}$ provoquant la disjonction de sécurité du transistor [12].

La Figure 1-9 donne une mise en œuvre différente [13] où deux des quatre diodes de l'interrupteur 2 x 2 segments sont utilisées comme redresseur d'entrée du réseau. Cette variante, nommée PFC Vienna, permet de réduire de moitié le calibre en tension des diodes D_h et D_b , gage de pertes par conduction réduites et d'une rapidité accrue. De nouvelles sources de pertes sont néanmoins introduites par la conduction pleine onde à basse fréquence sur D_p et D_n dans le redresseur d'entrée.

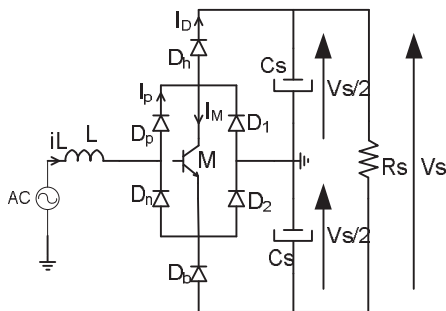


Figure 1-9 : Schéma complet de la structure PFC VIENNA.

Cet interrupteur 2 x 2 segments peut aussi être synthétisé par l'association de deux interrupteurs à 3 segments, en série opposé ou en parallèle opposé. On obtient ainsi la famille dite PFC Bidirectionnel Neutral Point Clamped (BNPC) voir Figure 1-10.

La première association possède l'avantage d'une commande unique mono-driver, peu coûteuse, la présence des diodes en parallèle protège des transistors en tension inverse. Notons que les composants RC-IGBT, MOS et JFET, qu'ils soient réalisés en silicium ou en SiC, font apparaître une diode de corps (plus ou moins résistive et rapide selon les cas) tout à fait compatible à cet usage dans la mesure où celle-ci est insérée dans la branche centrale du PFC à faible courant efficace et qu'elle n'a pas à commuter de tension.

Dans le second cas, les MOS sont là encore intéressants car protégés en inverse par leur diode de corps. Cette famille permet de réduire au minimum le nombre de composants en série et la chute de tension à l'état passant dans la ligne centrale. Néanmoins, la tenue en tension des diodes D_h et D_b est toujours celle du bus DC.

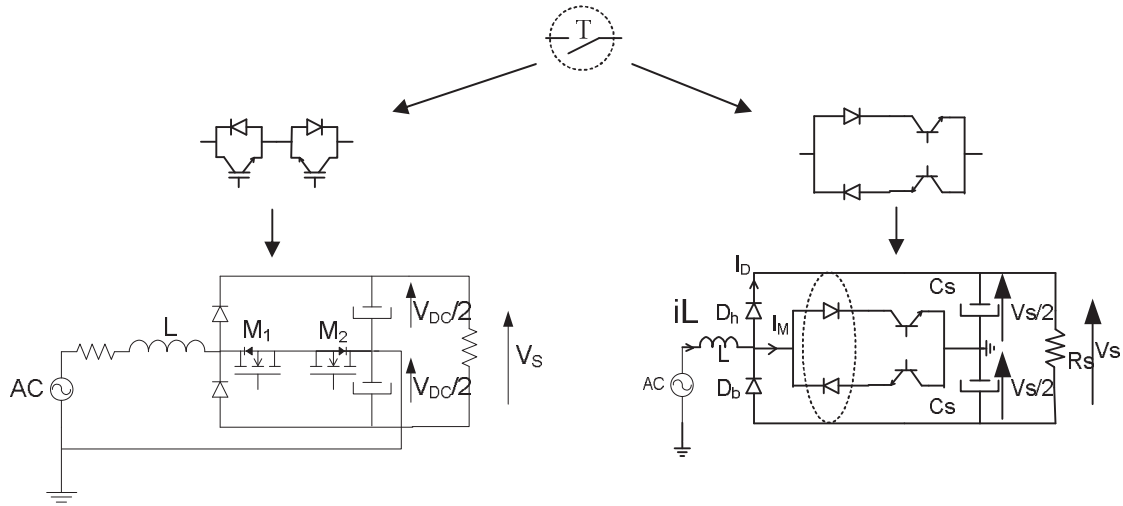


Figure 1-10 : Schéma des deux variantes PFC BNPC trois niveaux (Variante A et B).

Afin de revenir sur des diodes D_h et D_b calibrées pour la demi-tension, la solution consiste, à l'image du Vienna, à externaliser les diodes d'aiguillage de la version B en série avec les diodes de boost. Cette solution, dite PFC Double Boost 3N (Figure 1-11), permet de circonscrire les mailles de commutation à seulement deux puces de puissance, gage d'une faible impédance d'insertion et d'une plus grande qualité de commutation que les schémas précédents [14][15]. Seulement deux diodes rapides D_h et D_b sont nécessaires dans ce schéma. Les deux autres diodes D_p et D_n jouent le rôle d'aiguillage du courant réseau en étant néanmoins le siège des dv/dt de commutation ramenés par le découpage de la cellule homologue.

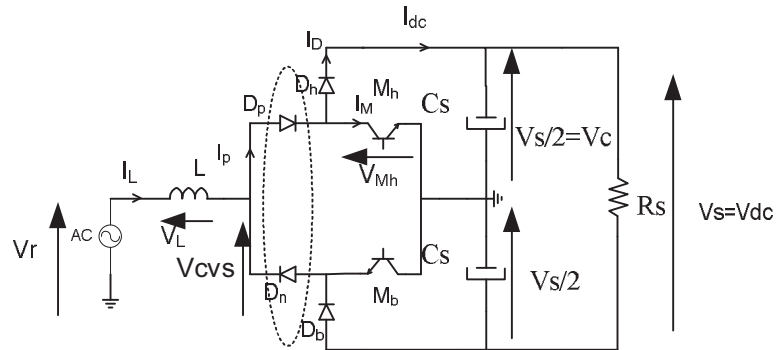


Figure 1-11 : Schéma PFC Double Boost trois niveaux.

Enfin, en permutant D_p et M_b , D_n et M_h du schéma Double Boost trois niveaux, on obtient le schéma d'un Neutral Point Clamped (NPC) trois niveaux (Figure 1-12) en version épurée PFC [16], avec des propriétés très voisines du double Boost mais avec un nombre de composants plus élevé en série.

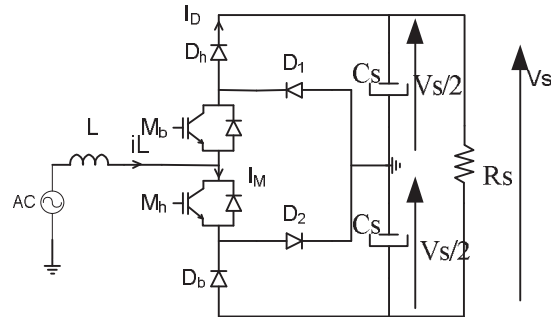


Figure 1-12 : Schéma PFC NPC trois niveaux.

Cette dernière solution ne sera pas traitée dans cette thèse car son extension en à un nombre de niveaux supérieur est plus complexe que les autres structures.

La structure de la Figure 1-11 est la plus intéressante à nos yeux parmi toutes les solutions de PFC 3N, car elle est constituée par un nombre minimal de semi-conducteurs rapides tous de calibre 600V pour une tension de bus DC800V.

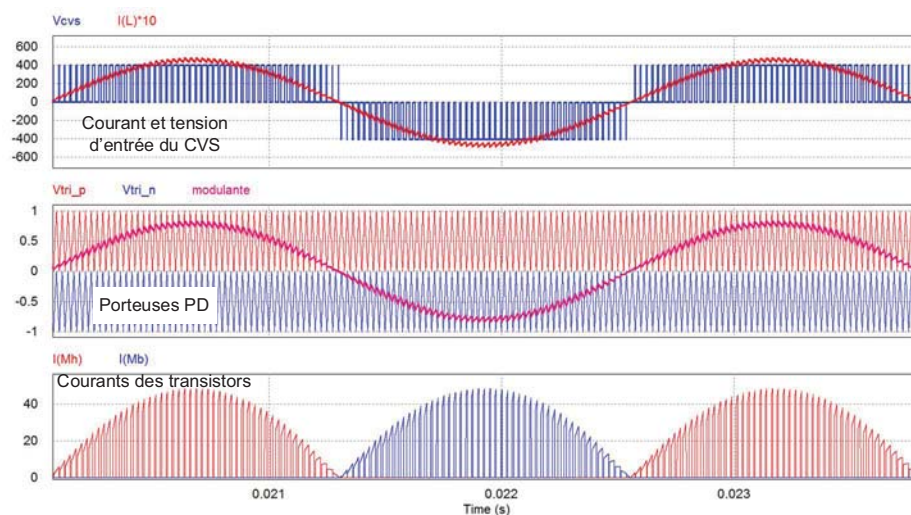


Figure 1-13 : Principe de fonctionnement des PFC 3N.

1.3 Structures 5 niveaux à point milieu

1.3.1 Introduction

Les structures 3N présentent déjà un gain en termes de qualité de formes d'ondes mais leur mode secours est fortement dégradé sans possibilité de préserver la régulation tant côté réseau que côté bus. Pour retrouver une capacité de contrôle sur une défaillance critique interne, une redondance structurelle doit être introduite, en conservant bien sûr les mêmes types de semi-conducteurs rapides, de même calibre en tension (600V). Puisque la topologie non différentielle est pourvue d'un point milieu, une cellule redondante par demi-période de modulation est nécessaire, soit un total de deux cellules supplémentaires pour la structure finale. Bien que cela ne soit pas obligatoire, nous privilégions dans la suite la solution consistant à rendre active ces deux nouvelles cellules en mode normal et ceci pour trois raisons :

- la réduction des contraintes de commutation en tension (pour une redondance active série) et la réduction de la densité des pertes à dissiper qui en résulte, soit une plus grande fiabilité interne ou la possibilité d'une montée en fréquence de découpage,
- l'apparition d'un niveau supplémentaire par demi-période de modulation, un doublement de la fréquence apparente par entrelacement des ordres de commande et, in fine, une inductance d'entrée de valeur divisée par quatre (au minimum compte-tenu de la raison précédente),
- l'exploitation de la propriété du mode de destruction initial des puces de puissance dans un état résiduel très faiblement ohmique, proche du court-circuit, permettant d'envisager un passage naturel et continu d'un mode normal bi-cellulaire à un mode secours mono-cellulaire, sans interruption ni aucune gestion complexe par des protections intrusives, moyennant une association en série et un calibrage adapté en conséquence sur les semi-conducteurs des dites cellules (i.e. 600V).

Cette approche suppose de devoir accepter de doubler, au moins, le nombre de semi-conducteurs rapides et le nombre de drivers, bien que, comme souligné dans le paragraphe précédent, les contraintes appliquées sont équi-réparties. Nous montrerons dans le chapitre 2, qu'une vision basée exclusivement sur la fiabilité intrinsèque des composants (au sens d'une occurrence de la première défaillance) est insuffisante pour qualifier une telle structure et qu'une modélisation de la fiabilité prise plus globalement, intégrant la tolérance de pannes créée par ces deux redondances, est plus représentative du fonctionnement qui est recherché dans ce travail.

1.3.2 Extension de 3 Niveaux à 5 Niveaux

L'extension de 3 à 5 niveaux repose sur les structures Double-Boost et BNPC dans lesquelles une mise en série – cascade d'une seconde cellule de commutation, par demi-période de modulation, est opérée. Les Figure 1-14, Figure 1-15 donnent la représentation de cette extension selon une première variante 5N Flying capacitors [17][18] issue directement de la structure double-boost 3N, et une seconde variante 5N SMC [19] issue de la structure BNPC 3N.

La modulation, les formes d'ondes comme les volts-ampères commutés sont identiques entre les deux structures. Néanmoins, la première variante est avantagée par des mailles de commutation "courtes" à uniquement deux puces de puissance mais elle nécessite quatre drivers. La seconde variante est avantagée par la présence de deux drivers seulement mais avec des mailles plus "longues" à trois puces et une contrainte statique de tenue en tension double sur les diodes. Nous verrons dans la suite que cette dernière propriété implique un calibre en tension de 1,2kV des diodes pour tenir un mode secours en version SMC. De même, la mise en commun de deux transistors dans la même branche centrale ne permet pas, a priori, de rendre complètement transparent la défaillance d'un transistor d'une cellule vis-à-vis de la cellule homologue.

Ces deux variantes mettent en jeu des tensions intermédiaires filtrées et régulées par l'intermédiaire de condensateurs flottants dimensionnés à la fréquence de découpage. Du point de vue de la conséquence d'une première défaillance simple sur une diode ou sur un transistor ce comportement sera présenté plus en détail dans le chapitre 3.

La défaillance d'un transistor conduit au blocage permanent de la diode de la cellule concernée empêchant le court-circuit direct de la cellule, jusqu'à la décharge complète du condensateur par le courant d'entrée, donc sans stress supplémentaire sur la puce du transistor. A l'inverse, la défaillance d'une diode, provoque le court-circuit et la saturation directe en courant du transistor de la cellule et donc la décharge rapide du condensateur.

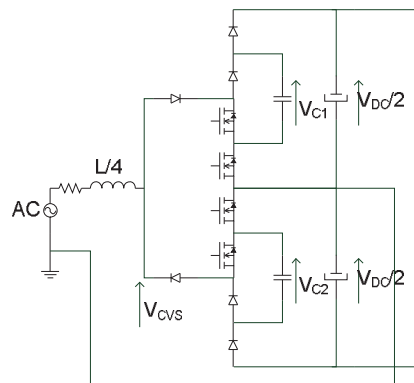


Figure 1-14 : Schéma PFC Flying capacitor (FC) non différentiel ou Double Boost 5 Niveaux.

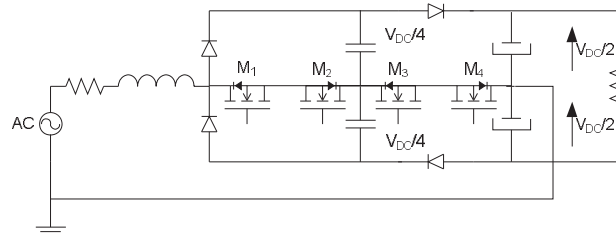


Figure 1-15 : Schéma PFC SMC 5 Niveaux.

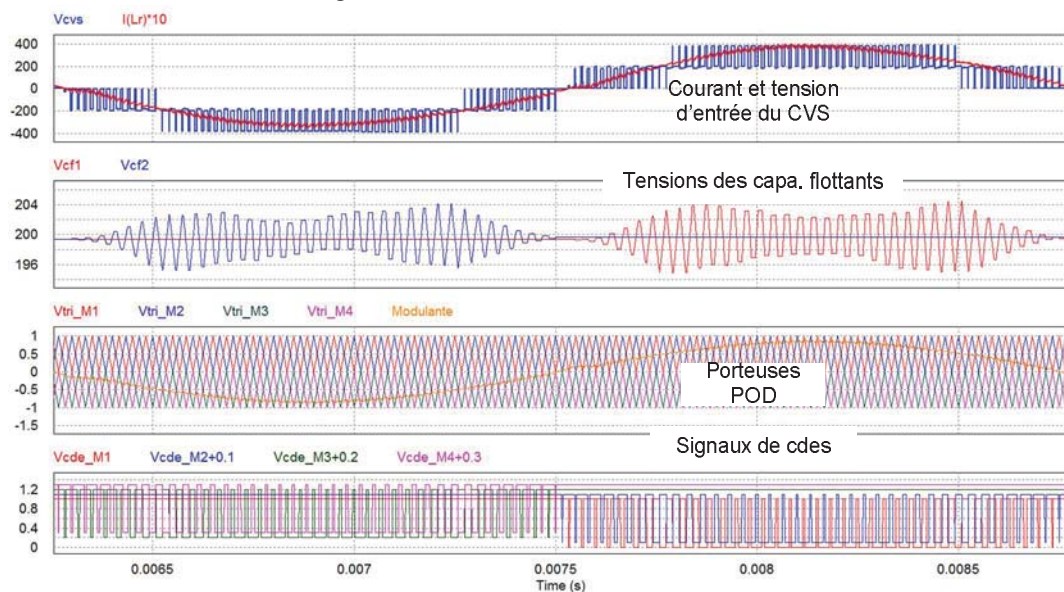


Figure 1-16 : Formes d'ondes des structures 5N.

La structure 5N suivante, Figure 1-17, est issue de l'ANPC breveté par ABB [20] dans lequel l'étage 3N modulé à basse fréquence est simplifié en ne laissant que les diodes, l'étage 3N à haute fréquence est quant à lui inchangé.

Le point fort de cette nouvelle variante et son unique condensateur flottant qui vient simplifier la commande et la possibilité de réduire le nombre de diodes si des transistors à conduction inverse RC-IGBT par exemple sont conçus pour cet usage en mode PFC. Elle est pénalisée par la présence d'un double redresseur de courant rapide dont la charge de diodes est fortement déséquilibrée (une paire est en série avec un transistor tandis que l'autre paire est en série avec une diode) et qui vient complexifier la maille de commutation de la cellule centrale. Sur le plan de la sûreté de fonctionnement, une différence importante apparaît sur cette variante par le fait que les cellules ne sont plus asymétriques mono-transistor mais symétriques bi-transistors avec, de facto, une interaction puissance – commande d'un transistor sur la grille de son homologue lors des dv/dt d'amorçage en autres. De même, une première défaillance va provoquer la décharge de l'unique condensateur flottant et la perte d'un niveau sur les deux demi-périodes de modulation, i.e. le passage de 5N à 3N.

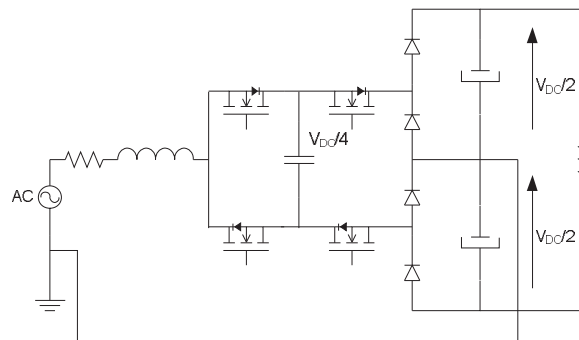


Figure 1-17 : Schéma PFC ANPC 5 Niveaux.

La dernière structure 5N présentée est dite "hybride" (Figure 1-18). Elle est issue du PFC SMC présenté en Fig. 1-15 dans lequel la cellule terminale côté réseau est redessinée en version NPC avec ses deux diodes de clamp. Cette variante présente l'avantage là aussi d'un faible nombre de diodes et d'un unique condensateur flottant à contrôler. Elle possède aussi les mêmes inconvénients que la structure précédente sur le plan de la sûreté de fonctionnement et que la structure SMC du point de vue du calibre en tension statiques des diodes côté bus DC.

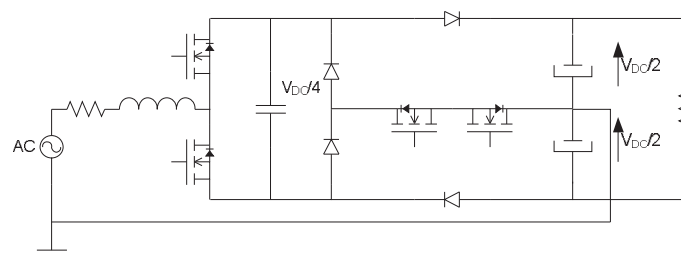


Figure 1-18 : Schéma PFC Hybride 5 Niveaux.

Conclusion : dans cette première partie du chapitre 1, nous avons présenté les principales structures de PFC à 3 niveaux et leur extension à 5 niveaux, avec doublement de la fréquence apparente, selon une configuration symétrique à point milieu. Certaines de ces

structures sont originales et ont été obtenues par le principe d'imbrication série et/ou de superposition de cellules à commande entrelacée, autour d'un point milieu commun sur le bus. Une première famille se distingue (double-boost et SMC) par des cellules de commutation simples, réellement asymétriques mono-commandées, avec des propriétés différentes tant sur le nombre que sur le calibrage en tension des diodes. Une seconde famille apparaît (ANPC et Hybride) constituée cette fois d'au moins une cellule symétrique bi-commandée mettant en jeu une interaction puissance – commande lors des dv/dt d'amorçage plus forte, entre autres, que dans la première famille et donc moins sécurisant.

D'autres structures, à 4 niveaux entre autres [16] déduite de la topologie NPC, pourraient être présentées mais ne présentent pas d'intérêt particulier pour un PFC en faible / moyenne puissance compte-tenu du nombre important de diodes supplémentaires et l'absence d'entrelacement.

La suite du chapitre sera consacrée à une comparaison des pertes puis à la modulation de ces structures à point milieu en mettant en avant la structure double –boost qui a été brevetée en 2008 [18] dans le cadre d'une collaboration Laplace – Airbus, structure qui sera ensuite largement développée.

1.4 Expression analytique des courants moyens, efficaces et des pertes

Afin de comparer les structures PFC 3 et 5 niveaux établies précédemment, les pertes par conduction et par commutation dans les semi-conducteurs vont être calculées en considérant une fréquence de découpage de référence. Les pertes dans les composants passifs ne sont pas prises en compte à ce niveau de l'étude. Le ratio entre la fréquence de découpage et la fréquence de modulation est supposé suffisamment élevé pour considérer un rapport cyclique et un courant d'entrée quasi-constant sur une période de découpage. L'ondulation du courant est donc négligée, elle n'aurait d'effet sur les résultats qu'à travers les caractéristiques ohmiques des jonctions et des transistors.

1.4.1 Pertes par commutation

Ces pertes seront estimées à partir de la caractéristique des courbes d'énergie, $\Delta E_{ON}(V_{DS}, I_C, T_J, R_G)$ et $\Delta E_{OFF}(V_{DS}, I_C, T_J, R_G)$, fournies par les constructeurs. Une modèle linéarisé est utilisé (Figure 1-19).

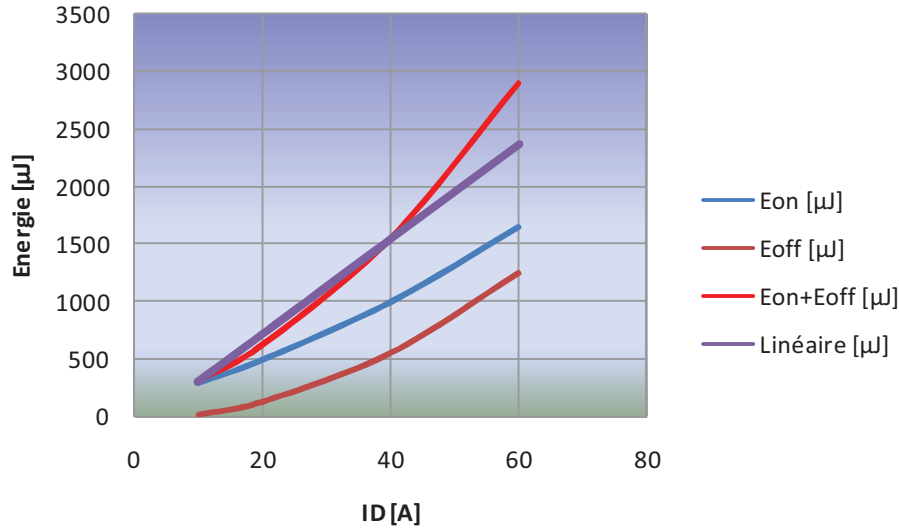


Figure 1-19 : Exemple de caractéristiques d'énergie de commutation en fonction du courant commuté.

Commutation sous tension constante –courant variable

Le courant commuté est d'enveloppe sinusoïdale, la tension est constante. Les pertes par commutations P_{com} moyenne sur la période de modulation $T=1/F_r$ (F_r : fréquence du réseau) s'expriment comme suit :

$$P_{com} = \frac{1}{T} \int_0^{T/2} p(t) dt = \frac{\sum \Delta E f_{dec} T_{dec}}{T}, T_{dec} \ll T/2 \quad (1-1)$$

$$P_{com} = \frac{1}{T} K f_{dec} \sum I_C T_{dec} = K f_{dec} \frac{1}{T} \int_0^{T/2} I_c(t) dt = K f_{dec} \frac{I_M}{\pi} \quad (1-2)$$

Dans le cas où un offset et une composante quadratique seraient pris en compte dans le modèle en Figure 1-19, la formulation deviendrait :

$$P_{com} = \left(\frac{K_{offset}}{2} + K L_{entrée} \frac{I_M}{\pi} + K_{quadra} \frac{I_M^2}{4} \right) F_{dec} \frac{V_{com}}{V_{ref}} \quad (1-3)$$

1.4.2 Pertes par conduction

Compte tenu des restrictions précédentes, les pertes par conduction dans les semi-conducteurs sont estimées à l'aide de la formule suivante :

$$P_{cond} = V_d I_{moy} + R_d I_{eff}^2 \quad (1-4)$$

I_{moy} et I_{eff} seront exprimés par des expressions analytiques pour chaque structure sur la période de découpage $1/F_{dec}$. V_d Chute de tension à l'état passant pour les diodes) et R_d (la résistance dynamique, idem pour les diodes, $R_{DS(on)}$ pour les transistors) seront déduites des données constructeur à $T_j = 150^\circ\text{C}$.

La fonction de modulation est expliquée dans (1-17) :

$$m = 1 - \alpha \approx \frac{2V_M}{V_S} \sin \theta \quad (1-5)$$

Tableau 1-1 : Valeurs moyennes et efficaces des courants dans les composants en structure **double-boost de référence**.

Composant	Valeur moyenne de courant	Valeur efficace de courant
Transistor	$\langle i_{Mh}(t) \rangle_{2\pi} = \frac{I_M}{\pi} - \frac{I_M V_M}{2V_S}$	$I_{Mheff}^2 = \frac{I_M^2}{4} - \frac{4I_M^2 \cdot V_M}{3\pi V_S}$
Diode de découpage	$\langle i_{Dh}(t) \rangle_{2\pi} = \frac{I_M V_M}{2V_S}$	$I_{Dheff}^2 = \frac{4I_M^2 \cdot V_M}{3\pi V_S}$

Pour l'application numérique, nous prenons $V_M=230V$; $V_S=800V$; $I_M= I_{reff}$ 2A on obtient :

Tableau 1-2 : Application de calculs analytiques des courants.

Contrainte en courant [A]	$I_{reff}=16A$ [3,7kW]	$I_{reff}=32A$ [7,4kW]
$\langle I_D \rangle$	4,6	9,2
I_{Deff}	9,4	18,8
$\langle I_M \rangle$	2,6	5,2
I_{Meff}	6,3	12,6

La connaissance des structures, de leur modulation et des formes d'ondes nous permet maintenant de dresser un comparatif de pertes en fonctionnement normal comme en fonctionnement secours. A l'issue de ce comparatif, la meilleure structure sera retenue.

1.4.3 Comparaison des pertes de conduction dans les structures 3-Niveaux et 5-Niveaux

Nous remarquons que les volts-ampères commutés et cumulés sur une période de modulation sont identiques sur les structures 3 niveaux Vienna, BNPC, Double Boost et NPC. Celles-ci ne constituent pas un facteur différentiateur. C'est donc plus au niveau des pertes par conduction que porte la comparaison. Pour mener un calcul comparatif, le choix des composants repose sur le calibre en tension de 600V pour une tension $V_S/2$ de 400V et un courant dans le réseau de 16A et 32A. Le choix s'oriente vers des composants rapides pour application de faible et de moyenne puissance dont les paramètres sont donnés en Tableau 1-3.

Tableau 1-3 : Les paramètres principaux des composants.

Type de composant	$R_{DS(on)}@150^\circ C$ [mΩ]	$V_{do}@150^\circ$ [mV]	$R_d@150^\circ C$ [mΩ]
CoolMos (Si) APT60N60BCSG	112,5	625	4,3
Diode SiC 600V – 16A Réf. IDT16S60C	-	812,5	62,5
Diode redressement (Si) 800V – 20A Réf. 20ETS08	-	1070	7,0
Diode SiC 1200V – 10A Réf. IDH15S120	-	1000	114
Mosfet SiC 600V – Réf. IXFK 64N60P	261,6	600	3,75

Tableau 1-4 : Résultat des pertes des PFC 3 Niveaux avec $I_{ref}=16A$ [3,7 kW].

$I_{ref}=16A$ [3,7kW] – Pertes par conduction							
	DB Simple	VIENNA		BNPC		NPC	
Pertes totales des transistors	9W (bi-transistor)	9W (mono-transistor)		12,5W		15,5W	
Pertes totales des diodes HF	18,5W	18,5W		2x SiC600	SiC1200	18,5W	
				37W	29W		
Pertes totales des diodes BF	17W	Tout Diodes SiC600	Diodes SiC600+ Red800			Diodes SiC600	Diodes Red800
		26W	23W			9W	6W
Total	44,5W	53,5W	50,5W	49,5W	41,5W	43W	40W
Pertes [%]	1,2	1,45	1,37	1,35	1,12	1,1	1

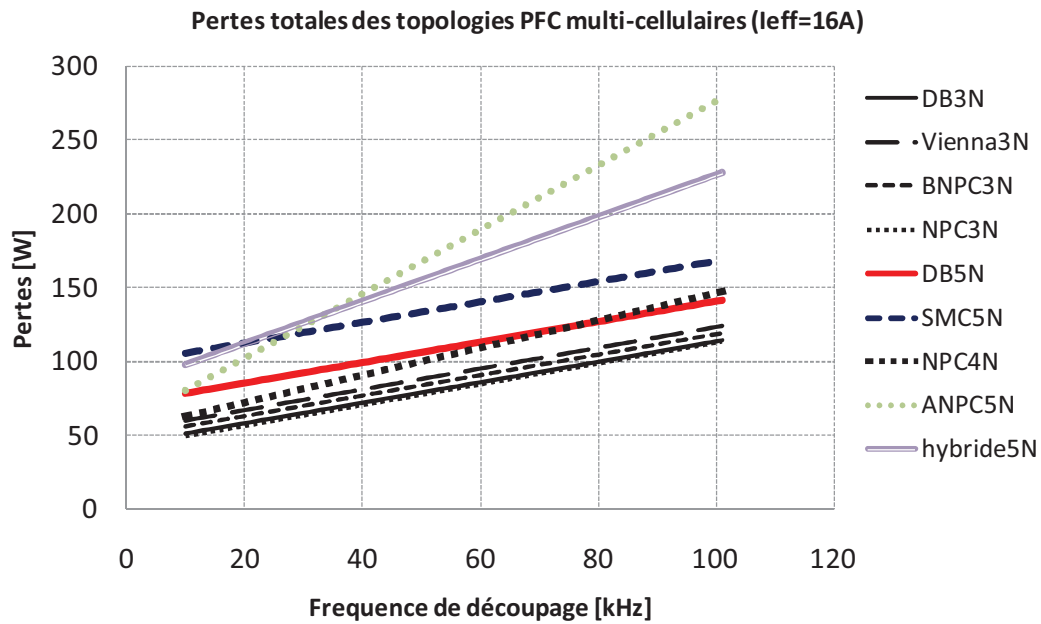
Tableau 1-5 : Résultat des pertes des PFC 3 Niveaux avec $I_{ref}=32A$ [7,4 kW].

$I_{ref}=32A$ [7,4kW] – Pertes par conduction							
	DB Simple	VIENNA		BNPC		NPC	
Pertes des transistors	36 W (bi-transistor)	36W (mono-transistor)		43,6 W		50 W	
Pertes des diodes HF	59W	59W		2x SiC600	1xSiC1200	59W	
				118W	99W		
Pertes des diodes BF	38W	Tout Diodes SiC600	Diodes SiC600+Red800			Diodes SiC600	Diodes Red800
		52W	51,3W			28W	18W
Total	133W	147W	146,3W	161,6W	142,6W	137W	127W
Pertes [%]	1,8	2	2	2,1	1,9	1,8	1,7

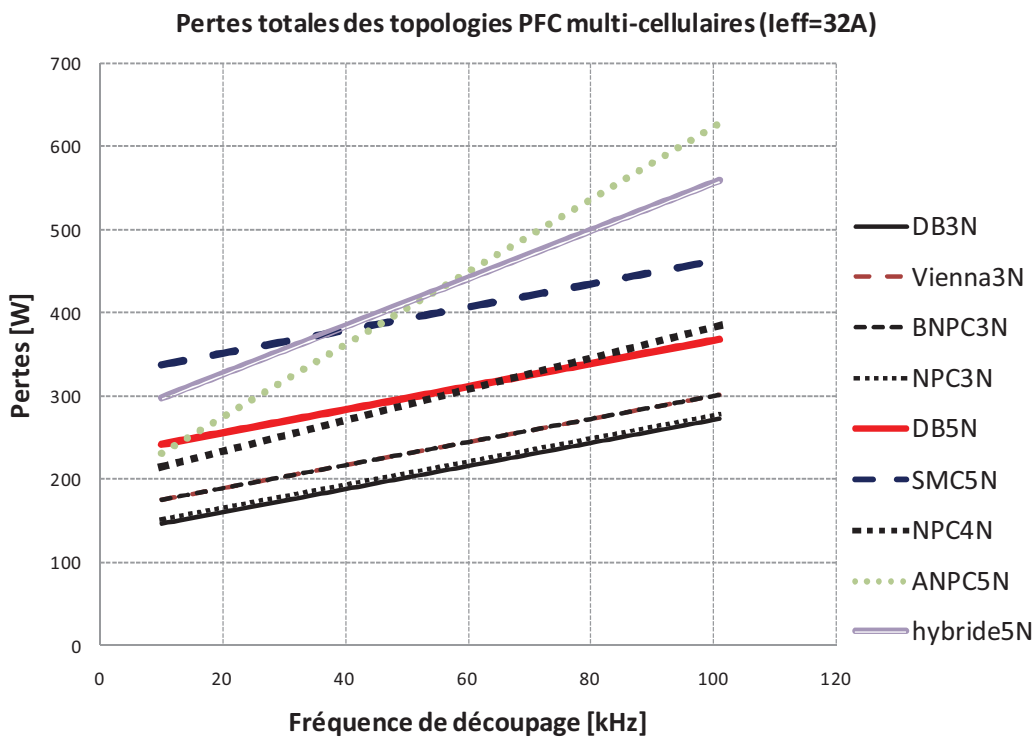
En conclusion on a le tableau résumé suivant (Tableau 1-6) dans lequel nous avons également réalisé le calcul comparé des pertes en version 5 niveaux.

Tableau 1-6 : Comparaison des structures PFC 3N.

	DB Simple	VIENNA	BNPC	NPC
Pertes par CoolMos	4,5W	8,9W	6W	7,7W
Nbr de composants par maille de Commutation	2	3	4	3
Nbr de drivers	2	1	1 ou 2	2
Passage à 5 niveaux : caractéristiques	Structure FlyCap (Figure 1-14) $2xF_{dec}$ $L/4$	Ø (cf. chapitre 4)	Structure SMC(Figure 1-15) $2xF_{dec}$ $L/4$	NPC 4 niveaux complexe F_{dec} , $L/2$ Mais déphasage possible entre I_r et V_{cvs} [16]



a)



b)

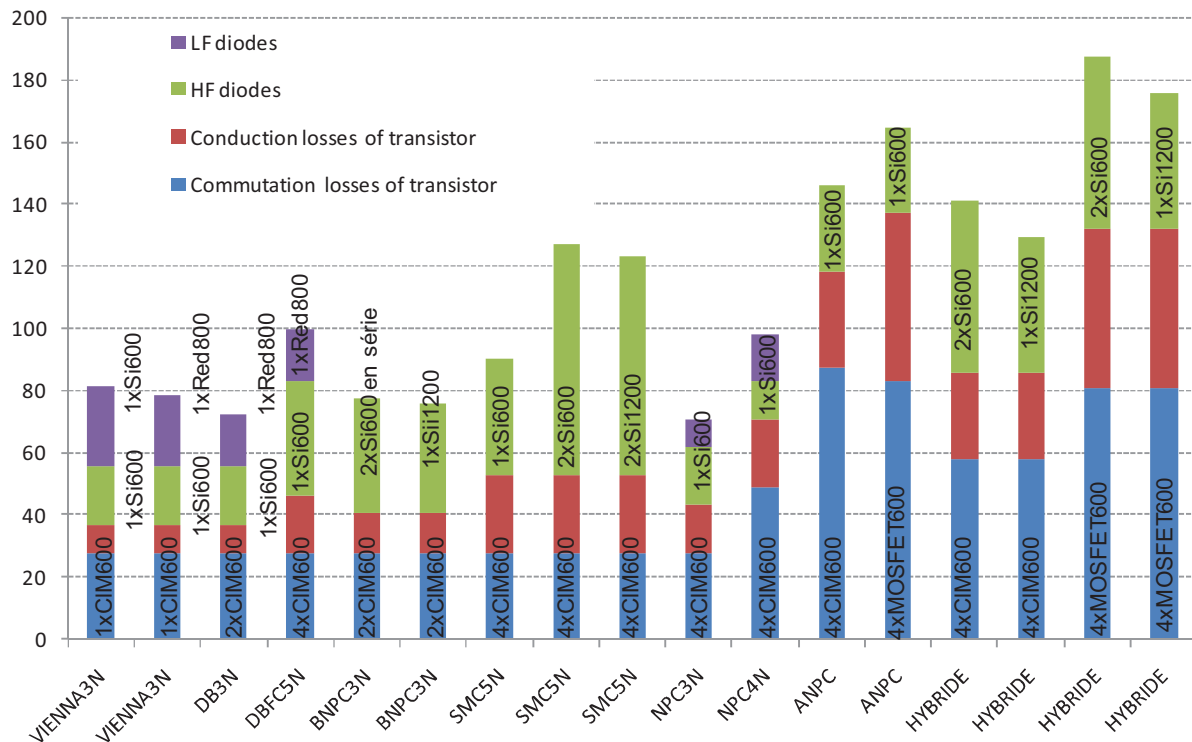
Figure 1-20 : Pertes totales des structures PFC 3N et 5N (technologie CoolMos APT60N60BCSG+ Diode SiC IDT16S60C) : a) $I_{eff}=16A$; b) $I_{eff}=32A$.

Pour une vue globale des pertes des structures à 3 et 5 niveaux, incluant les pertes par commutation à la fréquence de $F_{dec} = 40kHz$, le graphique Figure 1-21 montre les pertes totales des différentes variantes. Le choix de cette fréquence permet d'avoir une répartition relativement équilibrée entre les pertes dans les transistors et les diodes, entre conduction et commutation également.

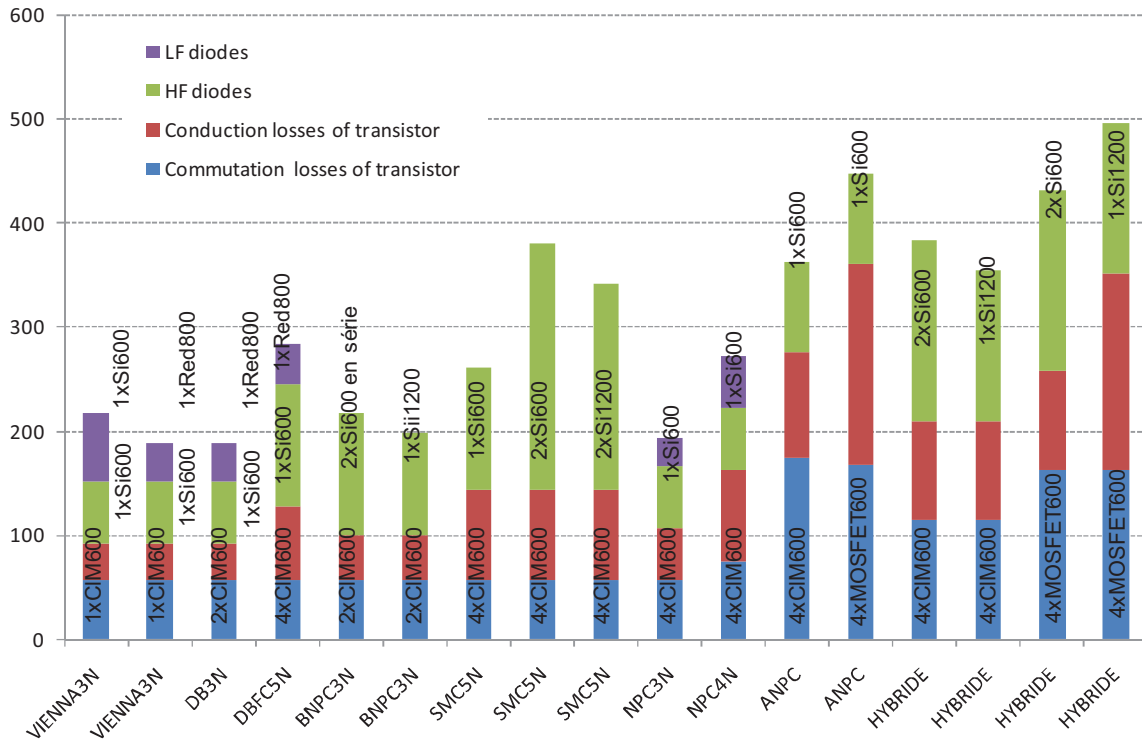
En 3 niveaux, les structures double-boost et NPC l'emportent avec un avantage technologique en faveur de la première qui ne possède que deux puces par maille de commutation. La structure Vienna ne reste intéressante que pour des applications de très faible ou de faible puissance, faible coût, en raison de sa commande mono-driver (ces trois topologies sont aujourd'hui disponibles en module intégré).

En version 5 niveaux, le SMC avec seulement deux drivers apparaît attractif mais dans une configuration où les diodes sont calibrées en 600V sans possibilité de mode secours comme nous le verrons dans le paragraphe suivant. Le passage avec des diodes calibrées en 1200V pénalise alors cette structure vis-à-vis du double-boost, lequel n'utilise que des diodes 600V compatibles pour le mode secours. C'est donc cette dernière structure qui présente le meilleur compromis entre pertes réduites et tolérance de pannes.

Le cas particulier du NPC 4 niveaux fait état de pertes faibles mais sans gain sur la fréquence apparente donc peu attractif pour notre application.



a)



b)

Figure 1-21 : Comparaison des pertes totales des structures PFC 3N et PFC 5N $F_{dec}=40kHz$: a) $I_{eff}=16A$; b) $I_{eff}=32A$.

Le chapitre suivant va comparer ces structures au niveau de la fiabilité globale, dans le contexte d'augmentation de nombre important de composants pour créer une ou deux tolérances de panne des structures multi-niveaux.

1.5 Sûreté de fonctionnement

Une règle essentielle en aéronautique consiste en ce qu'une panne simple ne doit pas être critique. Transposée à l'échelle d'un convertisseur, cette règle signifie que la défaillance interne sur un composant ou un dysfonctionnement local ne doit pas provoquer l'arrêt de la fonctionnalité globale. Cette contrainte est prise en compte aujourd'hui par une approche système : les architectures d'alimentation, de conversion et d'actionnement sont multipliées, réparties, ségréguées, technologiquement différenciées et donc fortement redondantes au prix d'un surcoût en masse et en organe de gestion / commutation et en maintenance. C'est un objectif de sécurité absolue. Dans ce travail, nous visons une voie alternative qui consiste à doter chaque convertisseur élémentaire de propriétés de sécurité et de tolérance de pannes structurales propres évitant de devoir redonder systématiquement chaque convertisseur afin d'envisager pouvoir réduire la masse globale.

L'étude initiale repose sur une analyse dysfonctionnelle. Les composants les plus fragiles au regard des contraintes / événements les plus sévères / critiques sont identifiés. Sur chacun de ces composants est associé un mode de défaillance afin de pouvoir en examiner la conséquence sur l'environnement proche en termes de risque. Ce critère "risque" est

important, à deux dimensions, globalisant à la fois la probabilité d'occurrence de la défaillance simple et sa dangerosité appelée aussi criticité. La dangerosité peut être fortement atténuée si une tolérance interne à la première panne est présente et qu'une opération de maintenance est possible sur un délai court. Ce critère peut être explicité sous forme qualitative comme dans la suite de ce chapitre ou bien modélisé et quantifié globalement comme nous le montrerons dans le chapitre 2 afin d'en dégager des compromis.

Dans la suite, l'examen des défauts internes portera sur les transistors et les diodes du circuit de puissance et en considérant de façon préférentielle le mode de défaillance premier des puces de puissance dans un état résiduel faiblement ohmique # court-circuit, que le défaut soit d'origine électrique (avalanche par surtension), thermique (ionisation et emballement par température ambiante élevée ou surcharge), thermomécanique (vieillesse des interconnexions) ou fonctionnel (commande erronée). Le mode de défaut en circuit ouvert (perte de commande, absence d'alimentation auxiliaire) sera également considéré, bien que moins contraignant sur le plan énergétique, néanmoins source d'un régime fortement déséquilibré et dégradé pour le convertisseur et ses variables d'état internes.

La structure double-boost à 5 niveaux, fil rouge de ce mémoire, servira de support d'analyse. La structure présentant des symétries (groupe FC₊ bi-cellulaire # groupe FC₋ bi-cellulaire) l'étude est réduite à uniquement deux des quatre cellules.

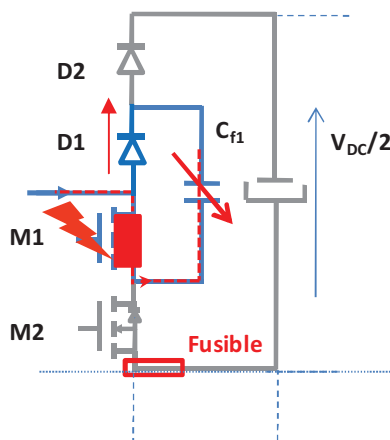


Figure 1-22 : Comportement local consécutif à un défaut de court-circuit sur transistor de la cellule 1.

1.5.1 Court-circuit interne d'une première cellule (côté réseau AC) – cellule n°1

1.5.1.1 Transistor en circuit-passant (avalanche ou emballement thermique, commande permanente)

Si M_1 est défaillant dans un état résiduel faiblement ohmique, ou en permanence commandé, la diode qui lui est associée au sein de la cellule de commutation reste bloquée tant que la tension aux bornes du condensateur C_{f1} est positive, cette diode protège donc le transistor d'un court-circuit "franc" de la cellule. Cette cellule ne commute plus ce qui provoque une chute de tension moyenne de $V_s/4 \times (1-\alpha)$ en entrée; le courant dans le

condensateur présente donc une composante continue négative amenant sa décharge (restitution d'énergie vers la source) comme illustré en Figure 1-22. Au moment de la décharge complète, le convertisseur passe globalement de 5 à 4 niveaux, Figure 1-23, et la tension moyenne modulée en entrée est retrouvée. Le transistor défaillant étant en série avec M_2 , il voit le même courant et continue à dissiper des pertes, excepté un léger transitoire dû à la présence de cycles rapides de stockage – déstockage à faible énergie de C_{f1} . La décharge de C_{f1} induit un doublement de tension sur la cellule C_2 ce qui est accepté ici en raison du calibrage en tension de 600V pour une tension $V_s/2$ de 400V. Les composants fonctionnent normalement sur l'alternance négative de courant du réseau, i.e. que le défaut de la cellule 1 est complètement transparent et sans sur-contrainte sur les cellules 3 et 4. C'est un point supplémentaire très attractif de la structure double-boost.

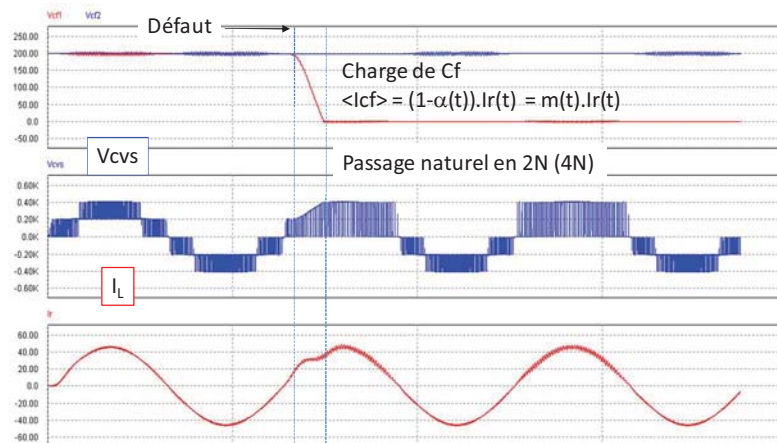


Figure 1-23 : Simulation de passage en basse impédance d'un transistor sur la cellule 1 (AC : 230Veff/32Aeff/400Hz-DC : 800V- $F_{dec}=40kHz$).

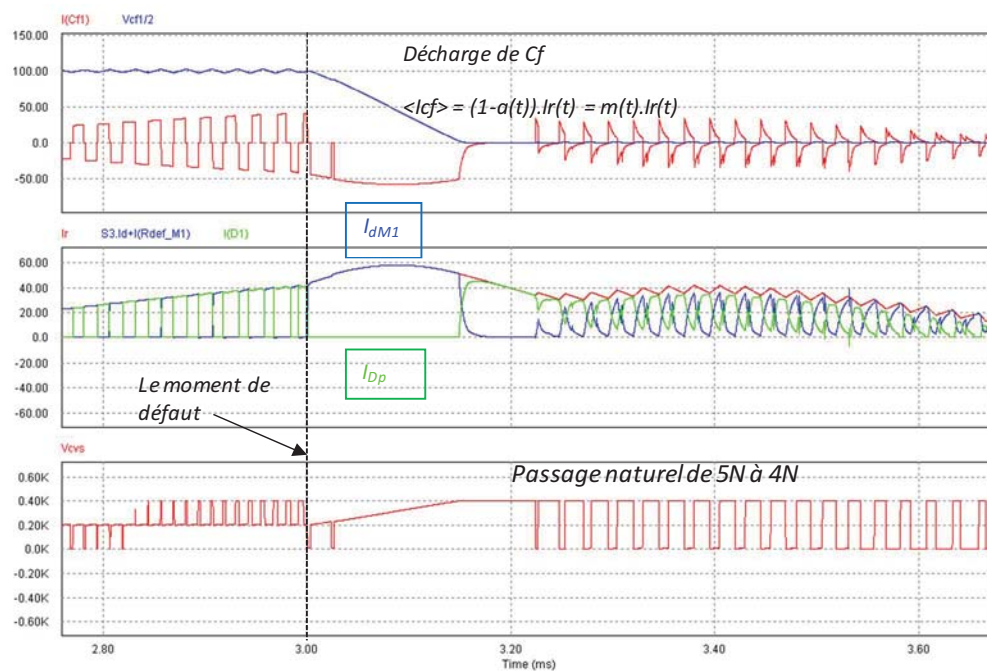


Figure 1-24 : Les courbes de simulation de la structure SMC lors d'un défaut physique d'un Mos ($F_r=400Hz$, $R_{def}=0,1\Omega$, $F_{dec}=40kHz$).

1.5.1.2 Diode en circuit-passant (avalanche ou emballement thermique)

Au moment du défaut, le M_1 se retrouve court-circuité sur le condensateur C_{f1} et le courant dans le transistor sature à I_{pot} provoquant une décharge très rapide C_{f1} . Cet état en haute impédance du transistor provoque une élévation de tension moyenne de $V_{C1f} \times \alpha$ en entrée puis la tension passe continument de 5N à 4N en quelques périodes de découpage (voir Figure 1-26). A la différence du cas précédent, la totalité de l'énergie stockée dans le condensateur est dissipée sous forme de chaleur dans les deux composants formant la cellule 1, essentiellement dans M1 qui est en régime de saturation, soit: $W_{dissipée} = 1/2 \times C_f \times (V_s/4)^2$.

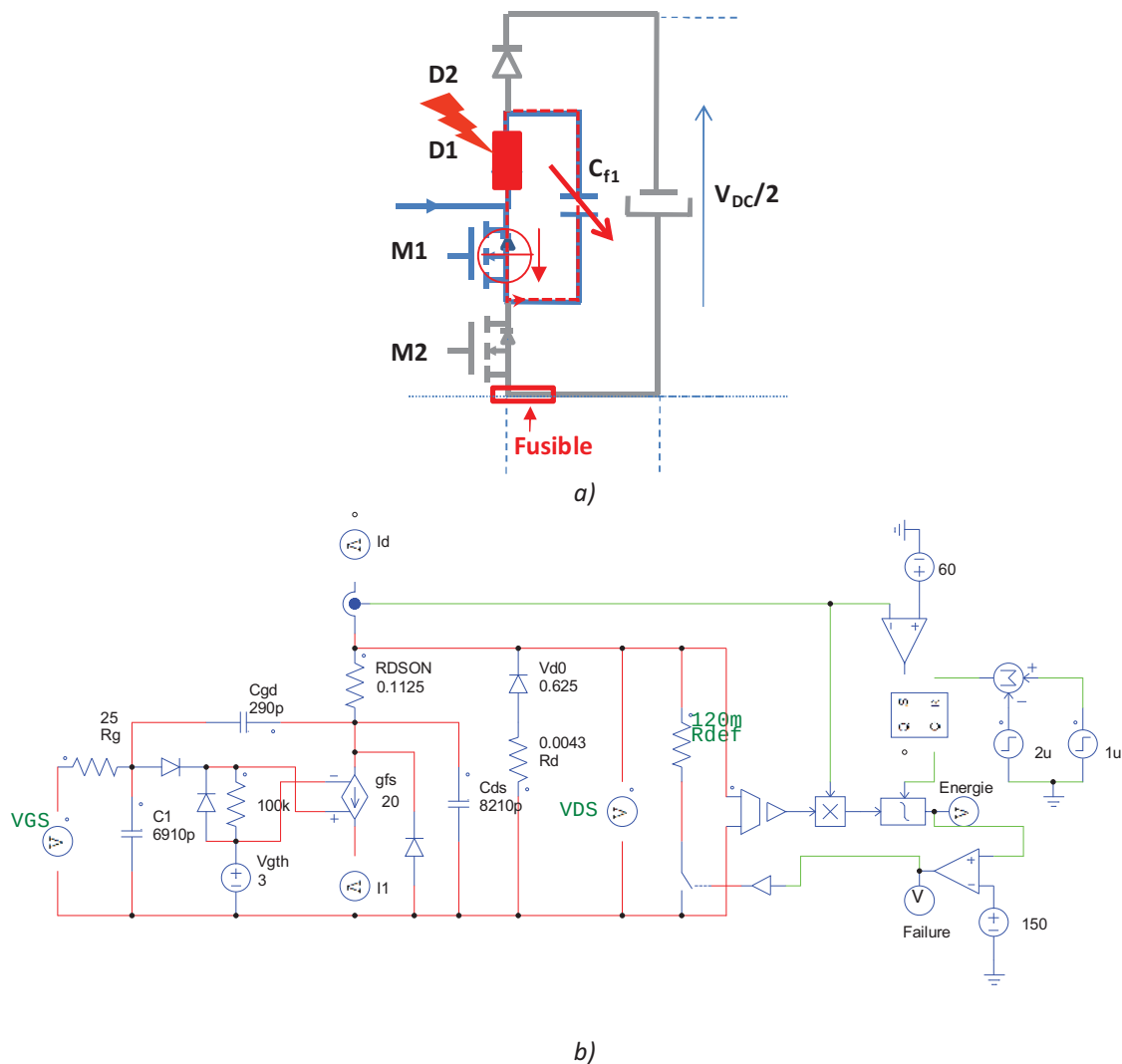


Figure 1-25 : a) Comportement local suite à un défaut de court-circuit Diode de la cellule 1, b) modèle PSIM du transistor avec le calcul d' énergie.

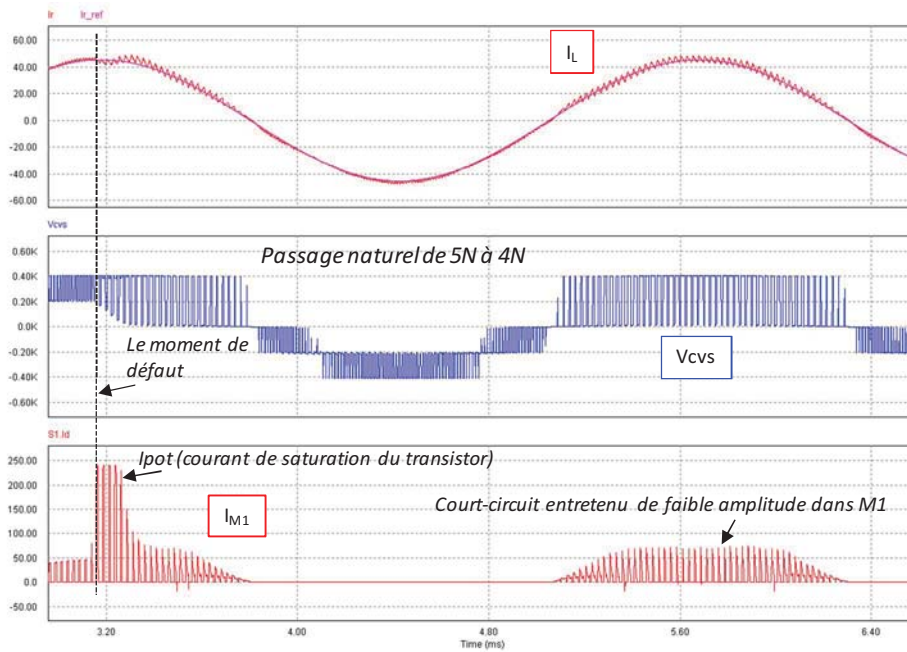


Figure 1-26 : Les courbes de simulation du PFC FC 5N avec une diode défaillante en court-circuit ($F_r=400\text{Hz}$, $R_{def}=0,1\Omega$, $F_{dec}=40\text{kHz}$).

1.5.2 Court-circuit interne d'une deuxième cellule (côté bus) – cellule n°2

Nous relatons les propriétés particulières d'une mise en court-circuit interne par la cellule n°2 du groupe FC+.

1.5.2.1 Transistor en circuit-passant (avalanche ou emballement thermique, commande permanente)

Si M_2 est défaillant en basse impédance ou en permanence passant, la diode qui lui est associée au sein de la cellule de commutation reste bloquée tant que la tension aux bornes du condensateur C_{f1} est inférieure à la tension aux bornes du condensateur bus $V_s/2$. Cette cellule ne commute plus et le courant dans le condensateur présente donc une composante continue positive amenant sa charge (restitution d'énergie vers la source). Aucun stress électrique ni énergétique n'est subi par le transistor. Comme dans le cas d'un défaut sur la cellule 1, une chute de tension instantanée de valeur $V_s/4 \times (1-\alpha)$ est appliquée en entrée provoquant un transitoire de courant récupéré par la régulation de courant.

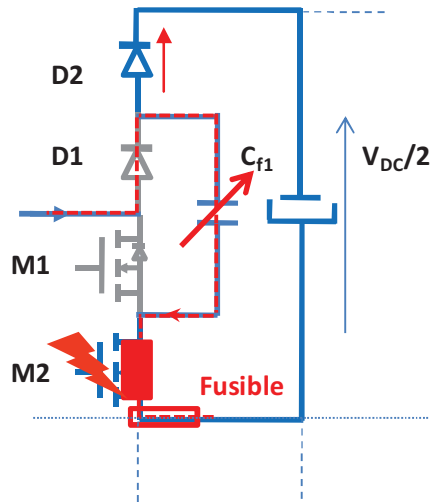


Figure 1-27 : Comportement local suite à un défaut de court-circuit sur la cellule 2

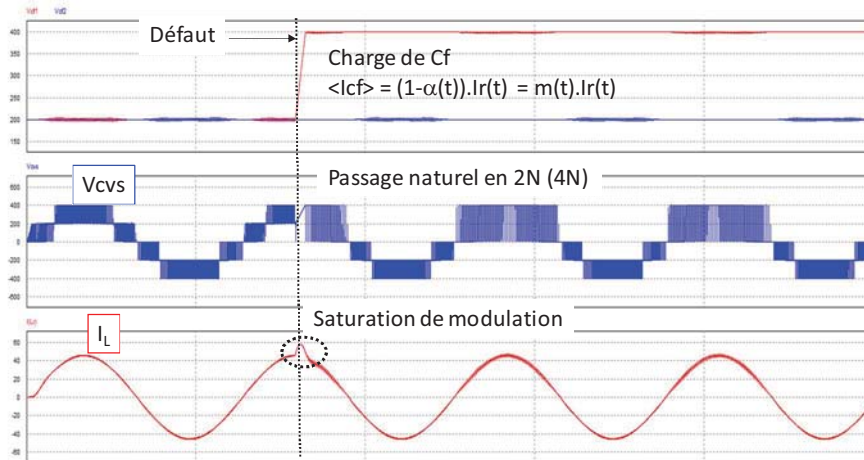


Figure 1-28 : Simulation du passage en circuit passant permanent d'un transistor de la cellule 2 (AC : 230Veff/32Aeff/400Hz-DC : 800V- $F_{dec} = 52\text{kHz}$, $R_{def} = 0,1\Omega$).

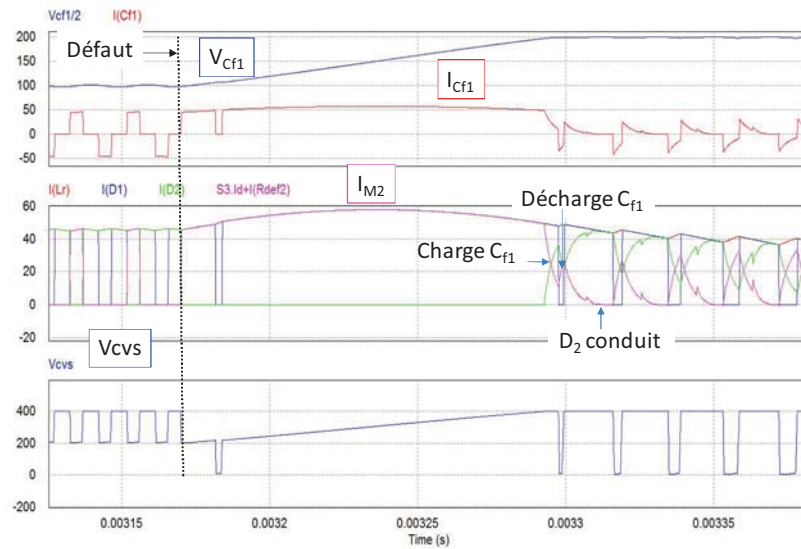


Figure 1-29 : Zoom au moment du défaut sur un transistor de cellule 2 en circuit passant (AC : 230Veff/32Aeff/400Hz-DC : 800V- $F_{dec} = 52\text{kHz}$, $R_{def} = 0,1\Omega$).

1.5.2.2 Diode en circuit-passant (avalanche ou emballement thermique)

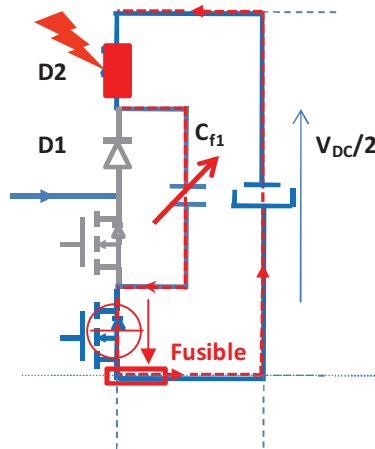


Figure 1-30 : Comportement local suite à un défaut de court-circuit de la diode sur la cellule 2.

Comme pour le défaut sur la cellule 1, le passage en court-circuit de la diode provoque l'application d'une tension $V_s/2 - V_{c1f}$ aux bornes du transistor qui rentre en saturation de courant dès qu'une commande lui est appliquée imposant la dynamique de charge du condensateur V_{c1f} . Celui-ci se recharge très rapidement de $V_s/4$ à $V_s/2$ par ce courant de saturation. Ce mécanisme à deux effets : d'une part une rapide surtension en entrée de valeur $V_s/4 \times \alpha$ provoquant un creux sur le courant d'entrée mais surtout la dissipation par effet joule, dans le transistor, d'une énergie correspondant à la charge du condensateur : $W_{dissipée} = 1/2 \times C_f \times (V_s/4)^2$.

1.5.3 Comparaison PFC Flying Capacitor versus SMC sur défaut de court-circuit interne.

L'analyse précédente montre que l'effet d'un défaut est confiné à l'intérieur du groupe FC (+ ou -) où il prend naissance. Le groupe FC passe ainsi continuellement et naturellement d'un fonctionnement bi-cellulaire 3 niveaux à $2x F_{dec}$, à un fonctionnement mono-cellulaire 2 niveaux à F_{dec} sur la demi-période de modulation correspondant à la conduction concernée. La tension aux bornes des interrupteurs passe de $V_s/4$ (i.e. 200V) à $V_s/2$ (i.e. 400V) uniquement au sein du groupe FC dégradé. Le défaut est complètement transparent vis-à-vis du groupe FC opposé lors de sa conduction sur la demi-période suivante comme le montre la Figure 1-32. Aucune pénalité n'est à supporter sur le calibre en tension des interrupteurs pour un standard de 600V.

A l'inverse, la structure SMC présentée Figure 1-15 comporte une topologie différente où les groupes FC (+ et -) sont agencés autour d'un axe de symétrie formé par la mutualisation des transistors appartenant aux deux groupes. Les diodes étant connectées en différentiel sur deux groupes FC à la fois, celles-ci doivent supporter, en statique, le double de tension qu'en double boost, $V_s/2 \# 400V$. En présence d'un court-circuit interne, une des tensions flottantes va se décharger ou se charger provoquant un incrément de 200V en différentiel. Un calibre en tension de 600V est donc insuffisant dans ce cas comme le montre la Figure 1-33.

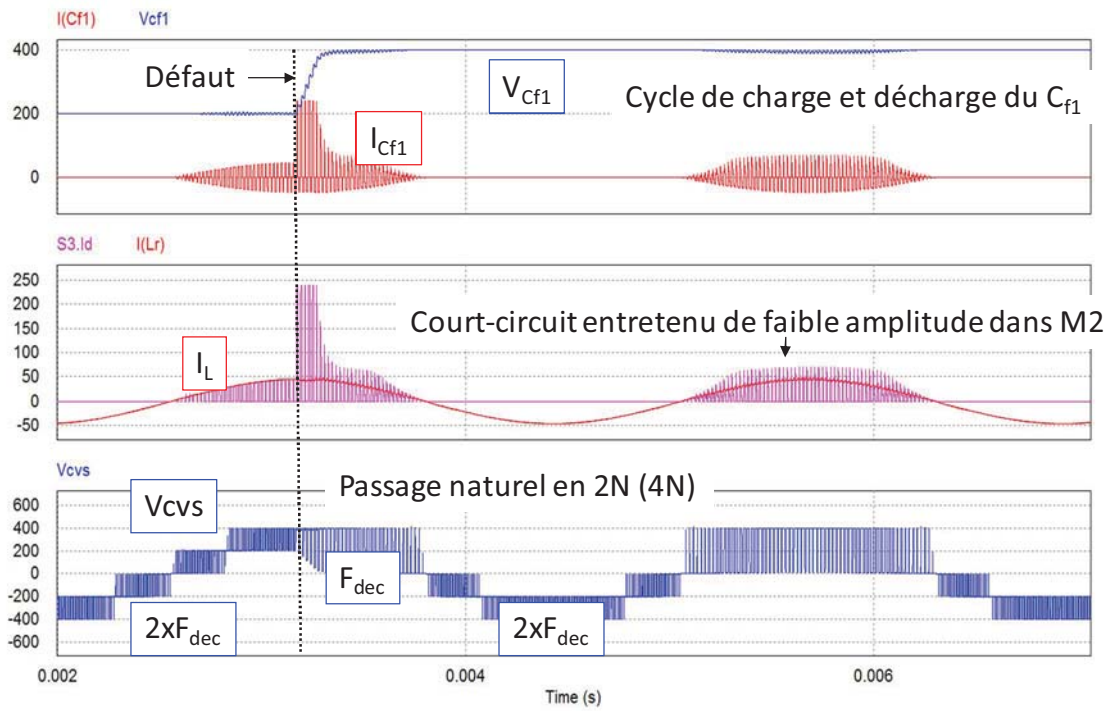


Figure 1-31 : Simulation de passage en basse impédance d'une diode de cellule 2 (AC : 230Veff/32Aeff/400Hz-DC : 800V- $F_{dec}=52\text{kHz}$, $R_{def}=0,1\Omega$).

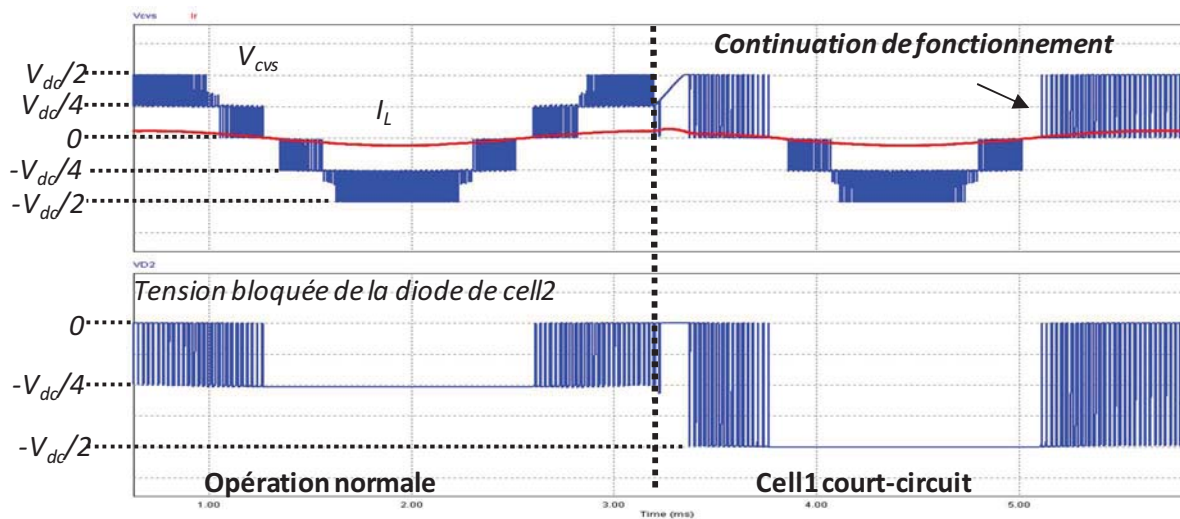


Figure 1-32 : Contrainte énergétique sur la cellule saine du structure FC ((AC : 230Veff/32Aeff/400Hz-DC : 800V- $F_{dec}=52\text{kHz}$, $R_{def}=0,1\Omega$).

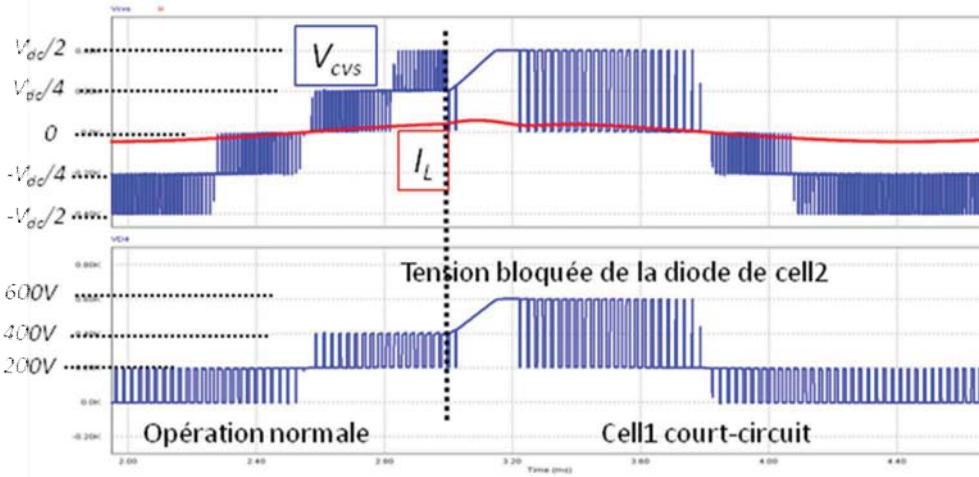


Figure 1-33 : Contrainte énergétique sur la cellule saine du structure SMC ($I_{AC} : 230V_{eff}/32A_{eff}/400Hz$ -DC : $800V$ - $F_{dec}=52kHz$, $R_{def}=0,1\Omega$).

1.5.4 Généralisation à N cellules sur un PFC DB FC

La structure est formée de deux groupes FC (+ et -) à N cellules à F_{dec} et à N-1 condensateurs sous une tension $V_s/2N$. Les cellules sont numérotées de 1 à N en partant du point de connexion à la diode de redressement du réseau. La tension d'entrée apparente est donc constituée de $2N+1$ niveaux de fréquence $N \times F_{dec}$. Le court-circuit interne peut se produire soit une cellule terminale (1 ou N) ou sur une cellule dite intermédiaire (2 à N-1). Dans le premier cas, Figure 1-34, l'expression de l'énergie à dissiper dans le transistor correspond à la quantité d'énergie mise en jeu transitoirement par une seul condensateur flottant, soit par la décharge (cas cellule 1) ou la charge (cas cellule N) de celui-ci : $W_{dissipée} = 1/2 \times C_f \times (V_s/2N)^2$. Dans le second cas, Figure 1-35, le court-circuit met en jeu deux condensateurs, l'un en aval de la cellule et l'autre en amont, de capacité équivalente $C_f/2$ (ils sont électriquement en série au moment où le transistor se sature), provoquant la charge de celui qui est aval et la décharge de celui qui est en amont de façon à annuler la tension différentielle. Cette capacité équivalente voit donc sa tension passer de $V_s/2N$ à 0, soit un énergie de valeur moitié : $W_{dissipée} = 1/4 \times C_f \times (V_s/2N)^2$.

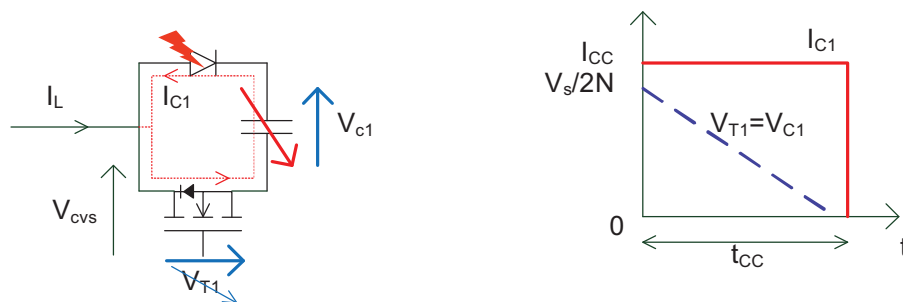


Figure 1-34 : Comportement local suite à un défaut de court-circuit sur le transistor 1 (cas 1).

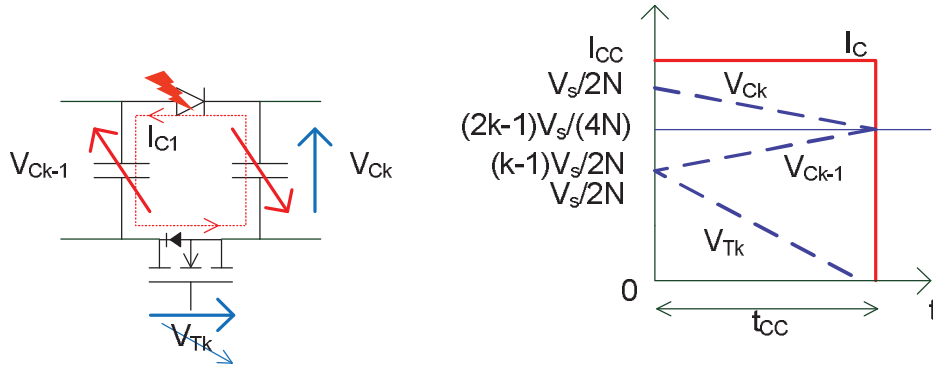


Figure 1-35 : Comportement local suite à un défaut de court-circuit sur le transistor 1 de rang k (k différent de 1 et N) (cas 2).

1.5.5 Prise en compte du dimensionnement du condensateur sur le plan de la criticité d'un défaut de court-circuit interne

Un point majeur des structures de la famille FC et que les condensateurs flottants ne sont dimensionnés que pour la fréquence de découpage. De faibles valeurs de capacités sont donc accessibles ce qui permet d'éviter la destruction des puces de puissance et l'arrachement des interconnexions filaires dans le boîtier dans le cas d'une décharge capacitive dans un transistor. Cette propriété est contraire aux structures concurrentes comme le NPC ou l'ANPC où des fusibles rapides sont à prévoir.

En situation de défaillance physique d'une diode D1 ou D2, la totalité de l'énergie initialement stockée dans le condensateur flottant se libère dans le transistor M1 ou M2. Il est donc intéressant de corréler le dimensionnement précédent du condensateur avec la capacité de stockage thermique de la puce des transistors pour évaluer la criticité d'une telle défaillance. Eventuellement, il pourra être envisagé de revoir à la baisse la valeur du condensateur si cette énergie thermique met en danger l'intégrité du transistor ou inversement de surdimensionner la surface silicium.

L'énergie maximale transférée à la puce est l'énergie stockée dans le condensateur flottant :

$$\Delta\theta_j(t) = \frac{\text{Energie}}{C_{thj}} = \frac{1/2 C_f V_{cf}^2}{C_{thj}} \quad (1-6)$$

Avec : $C_f = \max\{C_{\Delta V}; C_{I_{ceff}}\}$; $C_{thj} = m_j.C_p = \mu.V.C_p = \mu.e.S.C_p$ (C_{thj} : capacité thermique de la puce, e et S les données dimensionnelles de la zone active de la puce, C_p la chaleur massique du silicium). Les données sont calées sur le CoolMos™ APT60N60BCS.

Avec μ : masse volumique Si (2330 kg/m^3) ; C_p : chaleur massique (700 J/kgK) ; V : volume de puce ; e : épaisseur de puce ($165 \mu\text{m}$) ; S : section de puce ($6.55 \text{ mm} \times 10.48 \text{ mm}$) obtenu par un reverse technologique en relation avec la société *Serma Technologies™*.

Enfin on obtient l'expression suivante :

$$\Delta\theta_j(t) = \frac{1/2 \cdot \max\{C_{\Delta V}; C_{I_{eff}}\} V_{cf}^2}{\mu \cdot e \cdot S \cdot C_p} \quad (1-7)$$

Les courbes suivantes (*Figure 1-36*) expriment la relation entre la fréquence de découpage, la valeur du condensateur flottant (C_f), l'énergie stockée dans ce condensateur (E) et l'élévation de la température de puce en régime transitoire de défaut ($\Delta\theta$) à ondulation ΔU donnée aux bornes du condensateur.

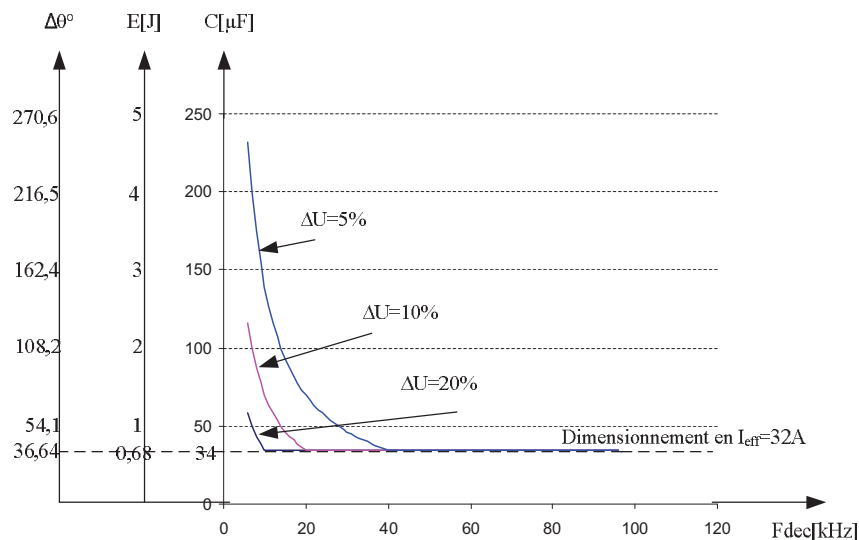


Figure 1-36 : Courbes de dimensionnement des condensateurs flottants pour I_r et V_s imposés ($V_{cf} = 200V$).

En choisissant un condensateur $C_f = 40\mu F$, on estime ainsi que l'élévation de température en régime de défaillance n'est que de $40^\circ C$ dans la puce du transistor. La température de surcharge étant typiquement de $125^\circ C$, on obtient une température transitoire inférieure à $200^\circ C$ ce qui est tout à fait raisonnable pour des composants de tenue en tension $600V$ (robuste à l'emballage thermique).

Puisque la température maximale de jonction est approximative de $150^\circ C$ à $180^\circ C$, la figure 1.36 montre que pour les composants actifs rapides comme le transistor Mos (fréquence de découpage est supérieure à $40kHz$), il n'y a pas de danger. A l'opposé, pour des composants moins rapide (fréquence de découpage est inférieure à $40kHz$) il faut que l'ondulation de tension du condensateur flottant doit être au moins 10%.

1.6 Robustesse et mécanismes de défaillance d'un transistor CoolMos en régime de saturation de courant

Après avoir mis en relation le dimensionnement du condensateur et la contrainte, nous voulons approfondir ici le mécanisme physique de destruction du transistor CoolMos™ utilisé dans ce travail. Pour évaluer le comportement et la robustesse de celui-ci dans ce régime de court-circuit typique des convertisseurs à cellules imbriquées, une campagne de

caractérisation a été menée sur quelques échantillons de référence APT60N60BCS, en boîtiers plastic – résine moulés, dont les résultats sont résumés Figure 1-37.

Les Figure 1-37 a) et b) rappellent la SOA du composant et le circuit de test utilisé. La Figure 1-37 c) montre bien l'absence d'emballement par le courant de fuite bien caractéristique des CoolMos™ en raison du fort dopage N+ de la région centrale de tenue en tension alternée par les puits P+. Cette caractéristique permet au composant d'atteindre une énergie critique de destruction supérieure à une puce IGBT NPT de même calibre en tension [21] où la fuite aurait été largement dominante suivie du latch-up de la puce. La Figure 1-37 d) révèle que le mode de défaillance de la puce CoolMos™ est plus lié à la puissance instantanée localement dissipée en surface, i.e. à une contrainte électrique, qu'à un mécanisme classique d'ionisation du cristal dans la région centrale d'étalement du champ correspondant à une contrainte en énergie thermique accumulée.

Ce mécanisme a été bien analysé sur des puces IGBT [22][23] mais peu ou pas à notre connaissance sur des puces CoolMos™. Néanmoins, comme ce mécanisme implique les régions supérieures et environnantes des cellules, celui-ci doit présenter une grande similitude entre les deux structures de composants : selon la tension appliquée aux bornes, les deux modes de défaillance semblent coexister mais plus ou moins dominants. En pratique, en dessous de 300V, la défaillance par ionisation thermique est dominante et est atteinte en plusieurs dizaines de μs pour une valeur supérieure ou égale à 10J.cm^{-2} . Pour une tension supérieure ou égale à 400V (tension dite critique), le couplage entre le fort champ en périphérie de la puce et la forte concentration des lignes de courant à l'entrée des caissons double diffusés des cellules en périphérie semble être responsable d'un effet très localisé de latch-up très rapide, en quelques μs , du transistor parasite de ce caisson. Comme le montre les références précitées, ce mécanisme peut être annihilé si une tension de grille plus basse est utilisée (réduction de la densité de courant dans la zone périphérique des cellules).

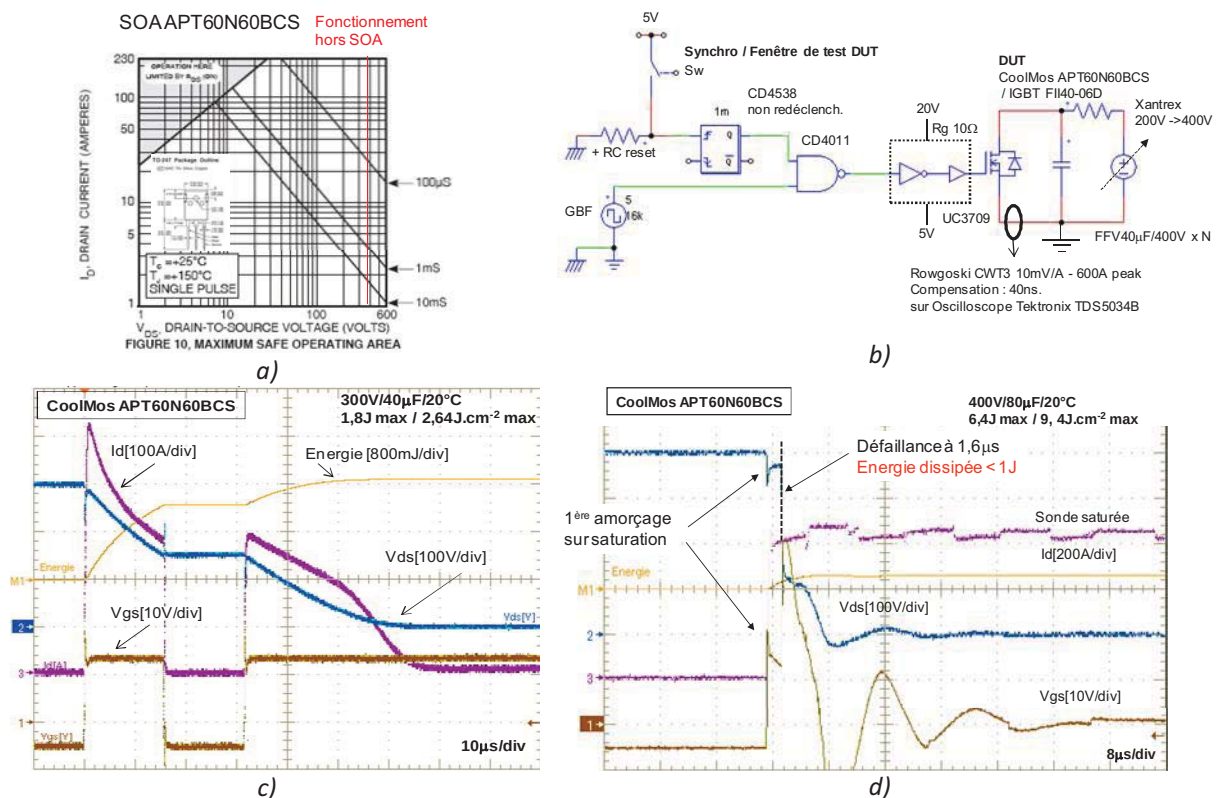
a) Mode de défaillance et sécurisation d'une puce assemblée, encapsulée soumise à une décharge de faible énergie.

Plus globalement, ces résultats nous semblent intéressants à présenter car ils montrent, tant sur l'énergie stockée dans un condensateur flottant (au plus 1/10 de l'énergie critique) que sur la tension appliquée en régime nominal (au plus 200V soit 50% de la tension critique) que la puce d'un tel transistor en structure CoolMos™ n'est absolument pas en danger et constitue donc un choix très intéressant.

Dans le pire cas d'un régime extrême où la puce serait détruite en puissance instantanée, les Figure 1-37 e) et f) montre la fusion partielle de la couche de métal en surface de puce due à la décharge du condensateur à travers une zone de perçage. Le perçage dominant est repéré par une analyse IR et la circulation d'un courant régulé de 10A permettant de définir un plan de coupe pertinent. Cette coupe est obtenue par une micro-section puis une analyse dans l'épaisseur au moyen d'un microscope électronique à balayage. Le résultat est assez marquant car il révèle que la couche épaisse de métal Al du CoolMos retenu ici ($5,5\mu\text{m}$) associée au volume d'aluminium contenu dans le fil de connexion au droit du perçage, permet d'injecter du métal dans la zone de fusion de la puce. Malgré le clivage partiel de la

puce par le choc thermique important qui est appliqué, le mécanisme d'injection - diffusion métallurgique forme ainsi véritable perçage métallique dans toute l'épaisseur de la puce détruite, sorte de "pont conducteur" de diamètre allant de 200 μ m à 600 μ m selon l'énergie injectée lors du défaut. Cette résistance métallique, incluant les quatre wire-bondings en parallèle, a été mesurée à 5m Ω au plus près du boîtier dans le cas de l'essai montré en Figure 1-37. Cette valeur est aussi une information intéressante car elle autorise le concepteur à pouvoir utiliser ce mode de défaillance à énergie maîtrisée pour profiter d'un effet redondance active par mise en série des cellules et des transistors. Dans ces conditions, comme cela est largement étudié dans la thèse [4] la nature de l'encapsulant est déterminant : un moulage de la puce avec de la résine prenant dans la masse les wire-bonding est préférable afin de rigidifier la connexion par laquelle le courant peut trouver un chemin pour sa conduction. Ce point est évidemment capital pour la poursuite en mode secours d'un convertisseur et cela fait l'objet de perspectives de travaux futurs concernant l'adaptation et le développement technologique de nouveaux composants à mode de défaillance défini par leur conception.

Pour terminer sur ce volet, la dernière Figure 1-37 g) montre la capacité en I^2t_p (pré-arc) des quatre bondings en parallèle et de l'énergie critique d'explosion de l'encapsulant plastic en format TO247. Encore une fois, ces résultats sont des valeurs types qui montrent bien la grande robustesse de cette technologie de composant au regard des faibles contraintes énergétiques appliquées par le circuit environnant.



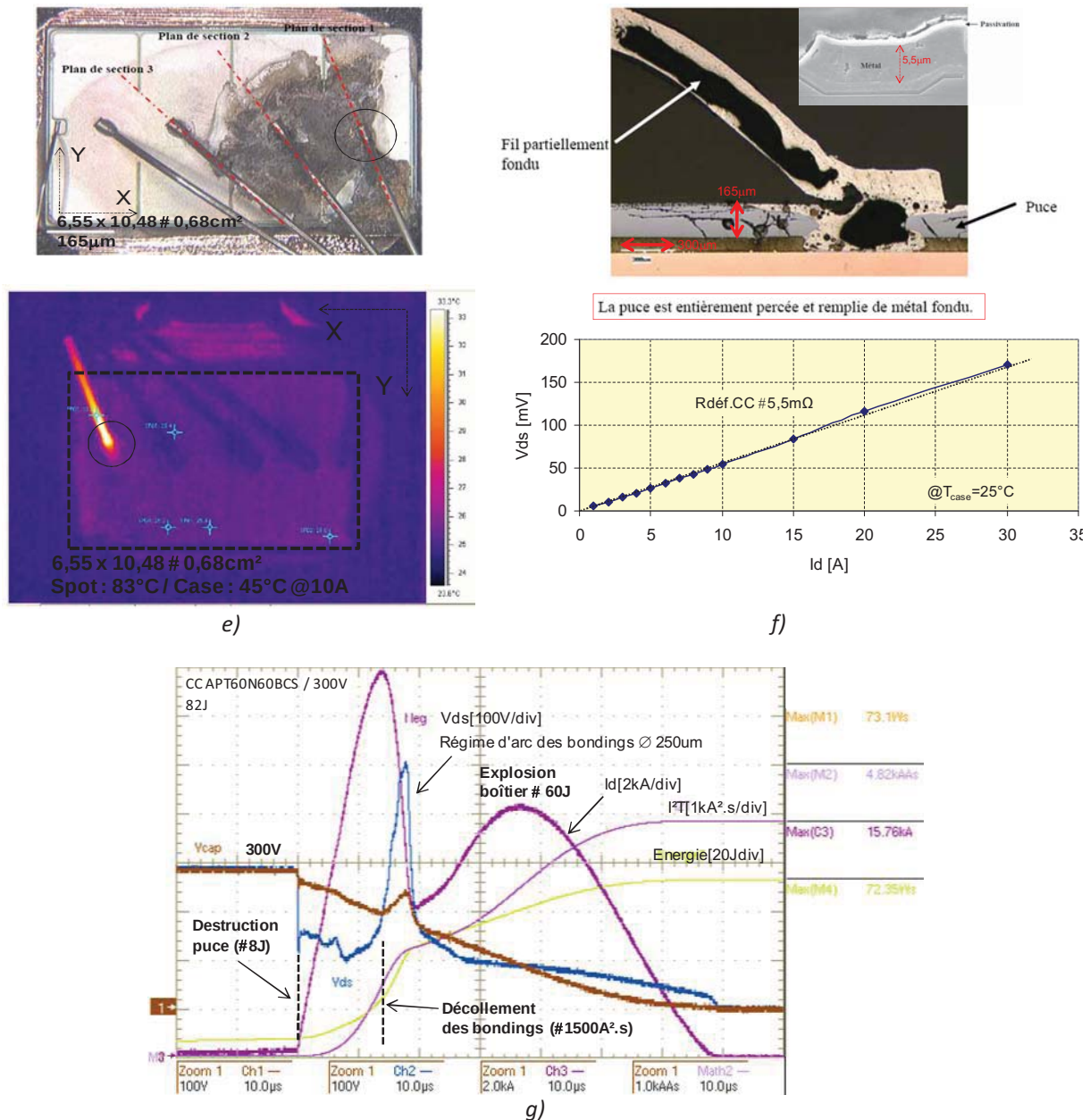


Figure 1-37 : a) Aire de sécurité du CoolMos™ APT60N60BCS utilisé dans la thèse – $600\text{V}/60\text{A}$ @ $T_{\text{case}} = 25^\circ\text{C}$ – $6,55\text{mm} \times 10,48\text{mm} \times 165\mu\text{m}$ – wire-bonding $4 \times \varnothing 250\mu\text{m}$, b) Circuit test pour la caractérisation de l'énergie critique (E_c) de destruction de la puce sous $200\text{V}/300\text{V}/400\text{V}$ – $40\mu\text{F}/80\mu\text{F}$, c) et d) formes d'ondes types sans destruction ($E < E_c$) et avec destruction ($E > E_c$), e) Reverse Serma Technologies™ d'une puce pour $E > E_c$ et micro-section de la zone dominante de perçage métallique par repérage préalable à la caméra IR@ 10A , f) Mesure volt-ampèremétrique d'une puce détruite pour $E > E_c$, $E = 9,4\text{J.cm}^{-2}$, mise en évidence de la faible valeur ohmique résiduelle par les bornes "drain – source", g) Essai à forte énergie 82J – $4 \times 460\mu\text{F}$ [24] permettant d'identifier le $I^2\text{Tp}$ Wire-Bonding # $1500\text{A}^2.\text{s}$ et l'énergie de destruction du boîtier $50\text{J} < E_d < 70\text{J}$.

b) Contraintes électriques résultant d'un premier défaut de court-circuit

Le passage de deux à une seule cellule de commutation implique le doublement de la tension et le doublement des pertes par commutation sur le transistor actif. Pour sécuriser ce mode, un derating en puissance prélevée au réseau est nécessaire afin d'éviter la

destruction par report de contrainte i.e. un effet "cascade" ... Le Tableau 1-7 montre qu'un derating en courant est préférable numériquement (en plus de sa simplicité de gestion) plutôt qu'un derating en fréquence en raison de la nature de l'interrupteur. Comme le montre Figure 1-21 (Comparatif des pertes), la proportion des pertes par commutation est inférieure à celles des pertes par conduction. Comme ces dernières sont proportionnelles au carré du courant d'entrée, on comprend qu'un faible derating en courant permettra de réduire avec une grande sensibilité les pertes par commutation afin de maîtriser la température de jonction.

Tableau 1-7 : Derating en courant et en fréquence de découpage pour le PFC Double-Boost 5N en mode dégradé.

Sans derating au premier défaut		Avec derating au premier défaut	
$I_{R\text{ eff}} = 16\text{A}$ @Fdec = 40kHz	$I_{R\text{ eff}} = 32\text{A}$ @Fdec = 40kHz	En courant @Fdec = 40kHz	En fréquence
$\Delta\text{Pertes Transistor} = 18,5\text{W}$ (160%)	$\Delta\text{Pertes Transistor} = 46\text{W}$ (143%)	$\Delta I_{R\%} = 30\%$ @16A $\Delta\text{Puissance}_{\%} = 30\%$	@IR = 16A Fdec = 20kHz
$\Delta T_j \text{ Transistor} = 59^\circ\text{C}$	$\Delta T_j \text{ Transistor} = 52^\circ\text{C}$	$\Delta I_{R\%} = 23\%$ @32A $\Delta\text{Puissance}_{\%} = 23\%$	@IR = 32A Fdec = 20kHz

Une détection de défaut est donc nécessaire afin d'appliquer ce derating en puissance par une réduction de la consommation en sortie. Nous verrons au chapitre 3 de quelle manière cette détection peut s'opérer (directement par les capteurs ou indirectement par analyse harmonique globale). Celle-ci permettra, en plus d'une localisation, de reconfigurer le modulateur du PFC en mode secours.

1.7 Contrainte électrique suite à deuxième défaut sur le même étage

Trois cas sont à considérer selon la nature du défaut :

Cas d'un deuxième défaut de court-circuit sur une seconde diode : dans ce cas, le deuxième transistor actif va rentrer en saturation et rapidement s'emballer thermiquement car l'énergie stockée dans la maille est celle du filtre de sortie ($V_s/2$). La destruction de ce transistor provoque la mise en court-circuit du réseau d'entrée. Pour assurer une poursuite en mode secours, la solution proposée consiste à déconnecter le point milieu et commun aux deux groupes de commutation FC + et FC - par un fusible rapide miniature et à faible impédance d'insertion, de type CMS (ex. marque LittleFuse™) ou gravé directement sur le PCB [4]. Le groupe homologue doit être bloqué afin de passer en redresseur doubleur secours symétriquement sur les deux alternances, à travers les diodes encore actives, et de préserver l'alimentation du bus même sous tension réduite. Cette technologie d'isolement est préférable à celle utilisant des semi-conducteurs auxiliaires [25].

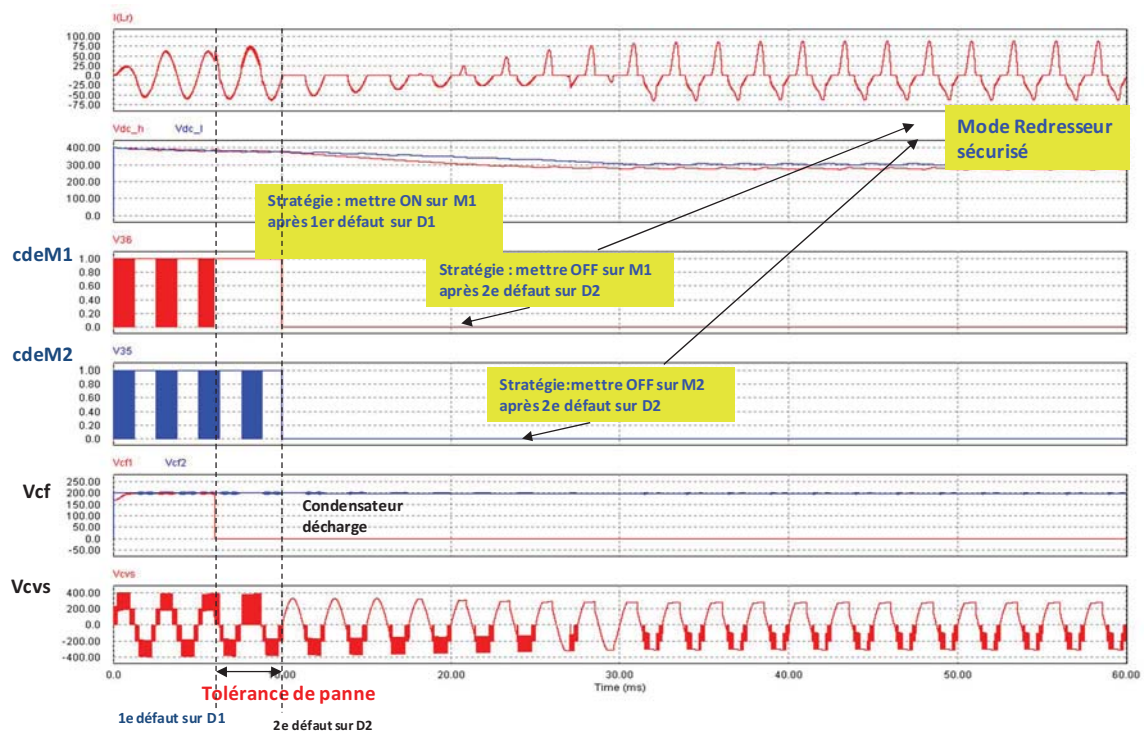


Figure 1-38 : Contrainte énergétique après premier défaut sur D1 et deuxième défaut sur D2 ((AC : $230V_{eff}/32A_{eff}/400Hz$ -DC : $800V-F_{dec}=40kHz$).

- a) **Cas d'un deuxième défaut de court-circuit sur un transistor** : les diodes isolent le bus du réseau et le régime de court-circuit concerne le réseau seul. Là encore, un fusible rapide et à faible impédance d'insertion permet la déconnexion de la zone de défaut et la continuité en redresseur doubleur sur les deux alternances.

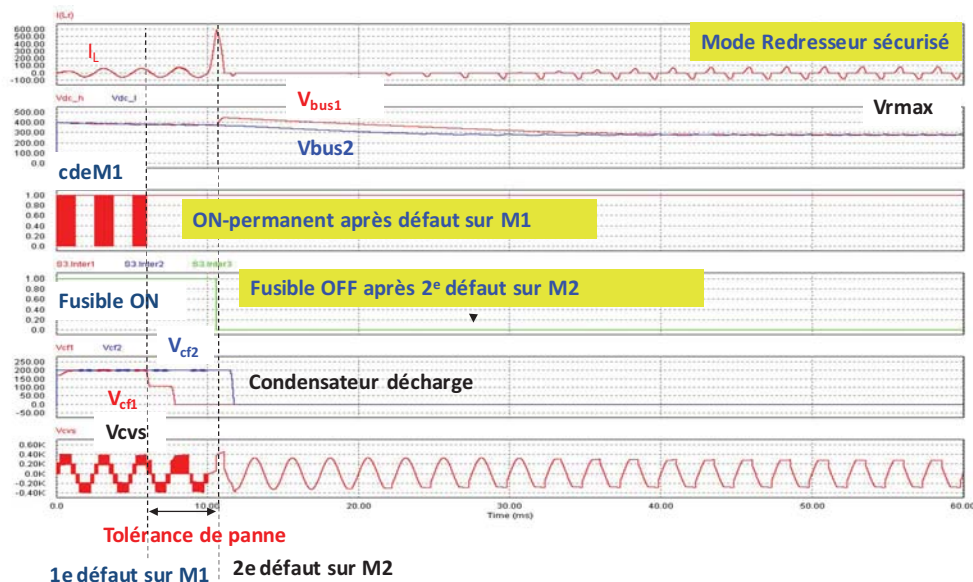


Figure 1-39 : Contrainte énergétique après premier défaut sur M1 et deuxième défaut sur M2 ((AC : $230V_{eff}/32A_{eff}/400Hz$ -DC : $800V-F_{dec}=40kHz$).

- b) Cas d'un deuxième défaut croisé entre deux cellules d'un même groupe FC (sur un transistor avec une diode initialement défaillante ou une diode avec un transistor initialement défaillant). Dans ces deux cas le réseau est mis en court-circuit

provoquant la destruction des deux transistors. La poursuite est opérée par le déclenchement du fusible au point milieu.

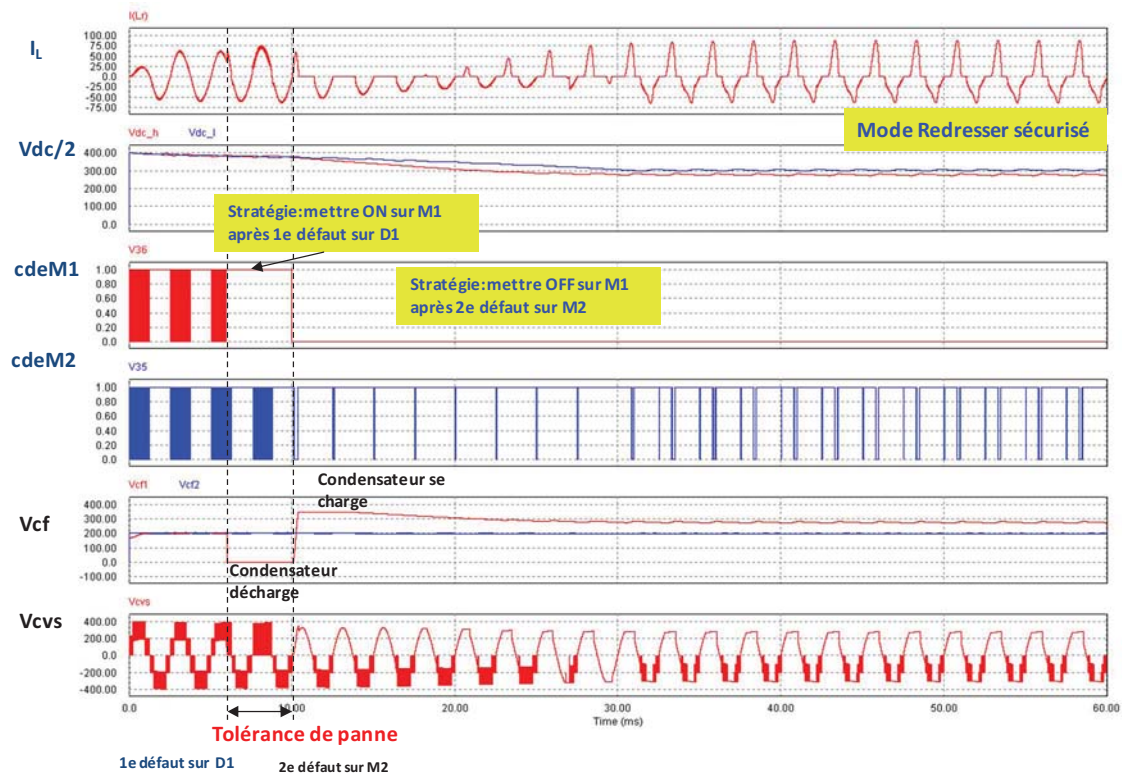


Figure 1-40 : Contrainte énergétique après première défaut sur D1 et deuxième défaut sur M2 ((AC : $230V_{eff}/32A_{eff}/400Hz$ -DC : $800V$ - $F_{dec}=40kHz$).

Remarque 1 : un deuxième défaut peut se produire et être supporté sur le groupe homologue FC + ou -. La structure passe alors naturellement de 5 à 4 quatre niveaux (premier défaut) puis de 4 à 3 niveaux (second défaut). Au troisième défaut, les deux groupes doivent isoler afin de passer en redresseur secours.

Remarque 2 : tout défaut de circuit ouvert sur l'un des quatre transistors se traduit par l'impossibilité de fonctionner en modulation. La solution pratique consiste alors à bloquer l'ensemble des commandes pour passer en redresseur passif. Un organe de sectionnement passif appelé "rupteur (commandé) – fusible (spontané)" est présenté dans la thèse de [Dou] permettant de répondre aux défauts de court-circuit et de circuit ouvert d'une manière intégrée dans un circuit imprimé de puissance.

1.8 Extension au triphasé du double-boost FC et conséquence d'un défaut.

Elle repose sur la mise en parallèle de trois bras double-boost FC 5N niveaux par les deux bornes du bus DC et la ligne commune du point milieu. Sur le dessin de Figure 1-41, nous avons signalé la possibilité d'isoler un bras au deuxième défaut présent sur les transistors de celui-ci afin de secourir l'ensemble en redresseur passif. Cette opération implique le blocage de tous les transistors des trois bras.

Sur le plan du contrôle, deux niveaux sont à distinguer :

- d'une part la régulation des tensions flottantes et du courant dans l'inductance d'entrée correspondant à des variables d'état rapides qu'il est nécessaire de contrôler à l'échelle de la période de découpage des cellules (réglage indirectement en valeur moyenne par asservissement ou directement en valeur instantanée sur seuils),
- d'autre part la tension de sortie du bus DC et du point milieu correspondant à des variables d'état lentes, réalisées indirectement par un réglage de puissance et une composante continue homopolaire de la tension neutre – point milieu (par exemple).

Sur le plan de la MLI, plusieurs stratégies de génération des signaux de contrôle sont possibles et nous les présenterons rapidement dans la suite car la thèse ne porte pas spécifiquement sur ce point. Elles permettent de répondre à des objectifs différents (THD différentiel ou de mode commun par exemple) et se subdivisent en deux groupes : les MLI sans machine d'état (MLI phase-shift – PS, et phase-shift modifiée - MPS) d'une part, les MLI avec machine d'état (Phase-Disposition - PD et Opposite Phase-Disposition – POD, pour les deux principales).

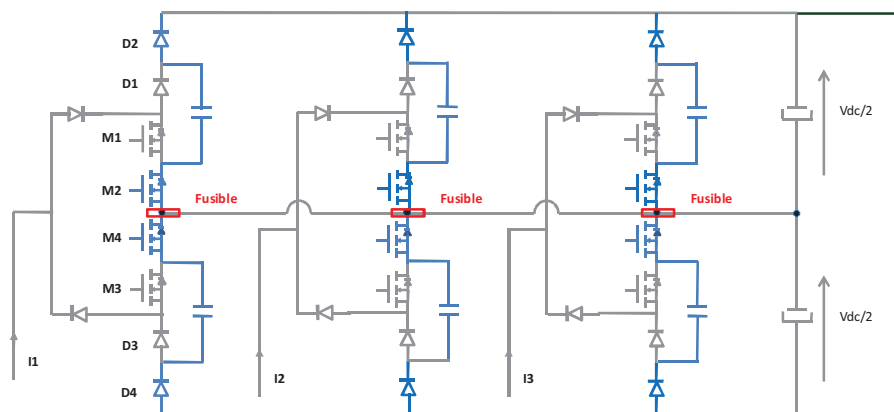


Figure 1-41 : Topologie PFC FC double-boost en triphasé.

Les figures suivantes montrent un exemple de fonctionnement nominal avec une MLI optimisée du point de vue du THD en tension différentielle entre-phase. Elle se traduit par le passage d'une distribution fréquentielle $\{2F_{dec}, 4F_{dec}, 6F_{dec}, \dots\}$ à 5 niveaux par phase, à une distribution $\{4F_{dec}, 8F_{dec}, \dots\}$ à 9 niveaux entre-phases.

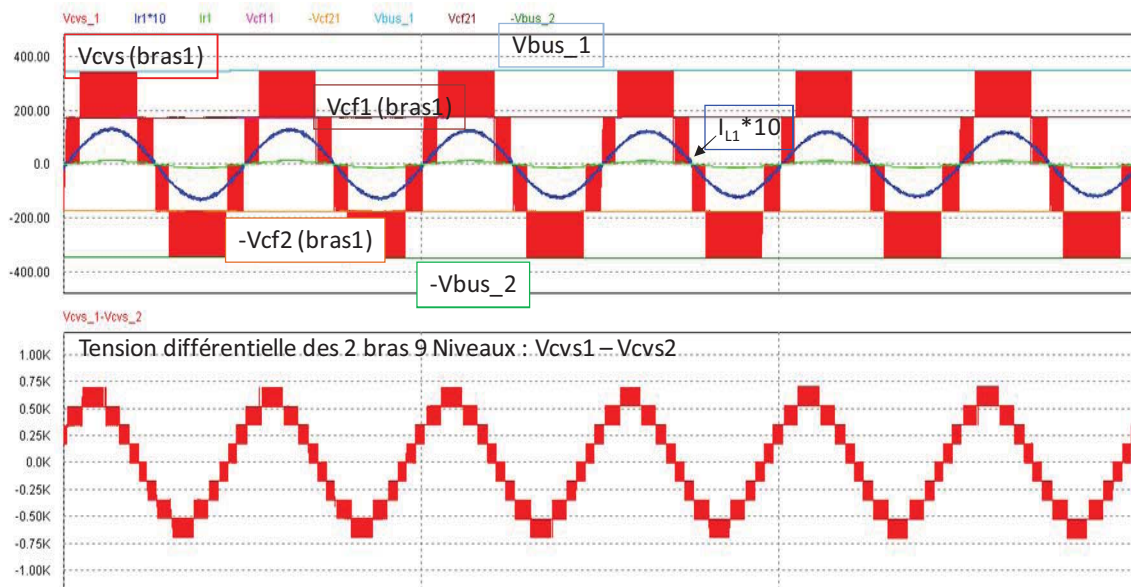


Figure 1-42 : FC 5N triphasé AC : 230Veff/32Aeff/400Hz-700VDC-40kHz.

La figure suivante montre l'exemple d'un défaut en court-circuit d'un transistor au sein d'un groupe d'une phase et le passage intermittent de 3 à 2 niveaux sur une demi-période de modulation à la fréquence F_{dec} . Cette composante à F_{dec} est source d'une composante résiduelle de même fréquence de courant dans les trois phases visibles sur la simulation des formes d'ondes des courants.

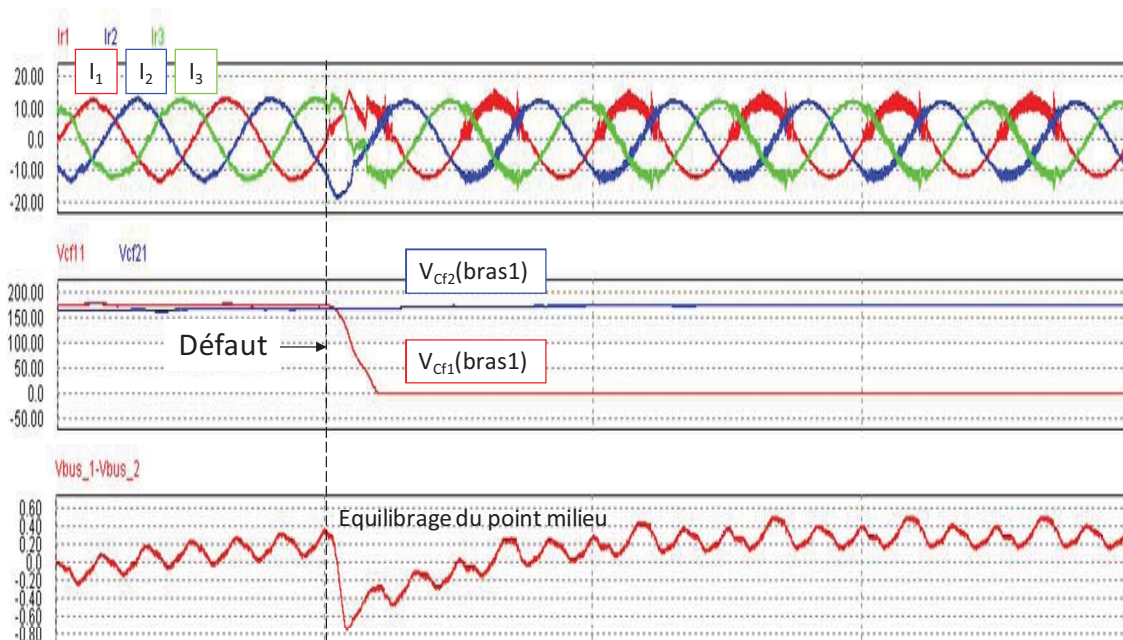


Figure 1-43 : FC 5N triphasé AC avec défaillance ON-permanent sur transistor cell1 du bras 1 : 230Veff/32Aeff/400Hz-700VDC-40kHz.

1.8.1 Régulation échantillonnée basse-fréquence Vdc et Point Milieu

En monophasé, un soin particulier doit être fait pour rejeter l'ondulation à $2xF_{mod}$ sur la tension du bus DC et l'ondulation à F_{mod} sur le point milieu. Dans le cas contraire ces

ondulations réinjectées dans les boucles d'asservissement sont sources de distorsion sur l'enveloppe du courant de référence, ce problème est typique des PFC. Evidemment cette contrainte tombe en triphasé équilibré, seule une composante résiduelle à $3 \times F_{\text{mod}}$ subsiste sur le point milieu. Cette propriété peut être pénalisante à 50/60Hz car le dimensionnement des condensateurs en sera affecté directement, sur réseau avion la fréquence variant de 390Hz à 900Hz, la fréquence sur ce point milieu ne devient plus dimensionnante par rapport au dimensionnement thermique classique, i.e. en I_{eff} harmonique. Pour soigner la prise d'échantillon, les simulations des Figure 1-44 montrent simplement qu'une synchronisation au passage par zéro d'une tension de référence en quadrature de la tension d'entrée permet de capturer directement la valeur moyenne à la fois de la tension de bus DC et de celle au point milieu.

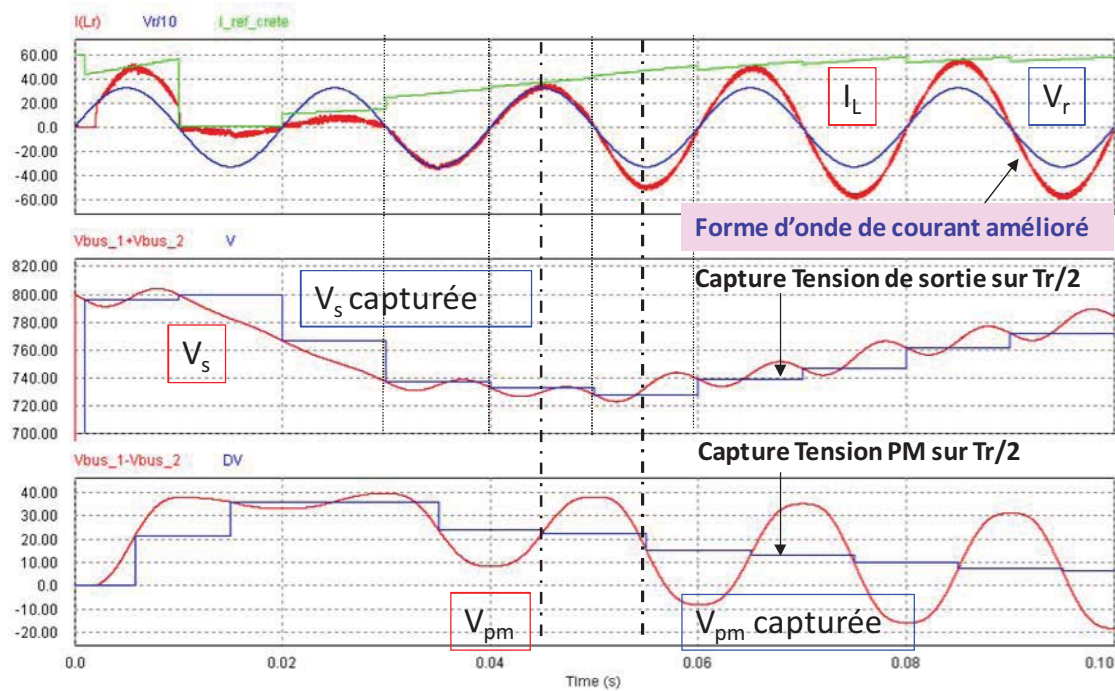


Figure 1-44 : Régulation optimisée appliquée FC 5N triphasé AC : 230Veff/32Aeff/400Hz-800VDC-40kHz.

1.8.2 Commande MLI sur diagramme vectoriel

Le mode naturel de commande consisterait à mettre en phase tension réseau et courant réseau comme le montre le diagramme Figure 1-45. Il en résulterait un déphasage arrière entre tension du convertisseur et tension réseau ce qui est contraire aux caractéristiques de l'étage d'entrée qui comprend un redresseur. Le fonctionnement à facteur de puissance unitaire est donc impossible avec cette structure. Ainsi, pendant toute la durée ψ_r / ω_r , la tension réseau se retrouve court-circuitée sur la self d'entrée produisant une distorsion non contrôlée en forme de calotte sinus comme montrée en Figure 1-47. Nous proposons une modification qui consiste à déphaser d'un angle pré-calculé entre tension réseau et courant réseau comme le montre le diagramme Figure 1-46 de façon à mettre en phase cette fois la tension du convertisseur (ou sa modulante) et le courant. La génération du déphase entre la tension réseau et celle du redresseur peut être facilement prise en charge par la commande en usant de termes de compensation comme pratiqué sur les PFC. Le basculement entre les

deux cellules se produit cette fois sans aucune perte de contrôle donc sans distorsion du courant.

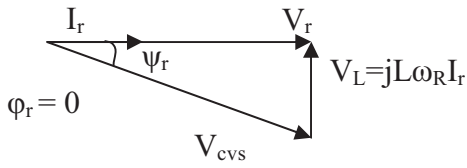


Figure 1-45 : Diagramme vectoriel avec Courant et tension du réseau en phase.

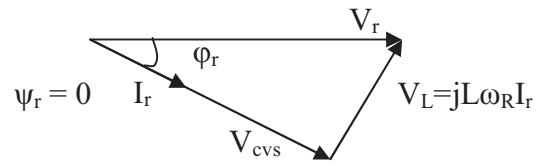


Figure 1-46 : Diagramme vectoriel avec Courant et tension du PFC (image de la modulante) en phase

φ_r : Angle entre courant et tension du réseau ou angle de puissance.

ψ_r : Angle entre courant et modulante.

Par contre, la difficulté particulière ici est que l'organe de synchronisation doit prendre à sa charge la génération d'une référence de courant dont l'amplitude et le déphasage est déduit de l'équation vectorielle et du besoin en puissance. Une prédiction simple et approchée peut être faite : à fréquence, courant crête et inductance connue, il est possible de pré-calculer le déphasage à appliquer à la référence de courant par rapport à la tension réseau pour respecter la contrainte de phase nulle entre la tension redressée et le courant. L'amplitude du courant étant gérée évidemment par la ou les boucle lentes en amont.

Cet angle prédictif est donné par φ_r :

$$\varphi_r = \arcsin \frac{L\omega I_M}{V_M} \quad (1-8)$$

La boucle de courant introduit également un déphasage propre donné par :

$$\varphi_{bode} = \arctan(2\pi.F_r.T_i) - \arctan \frac{2\pi.F_r.T_i}{1 - L \frac{(2\pi F_r)^2}{K_p} T_i} \quad (1-9)$$

non négligeable en raison de la structure PI non filtré dans le cas présent.

On obtient ainsi la phase précalculée entre courant et tension convertisseur :

$$\varphi = (\varphi_r - \varphi_{bode}) \quad (1-10)$$

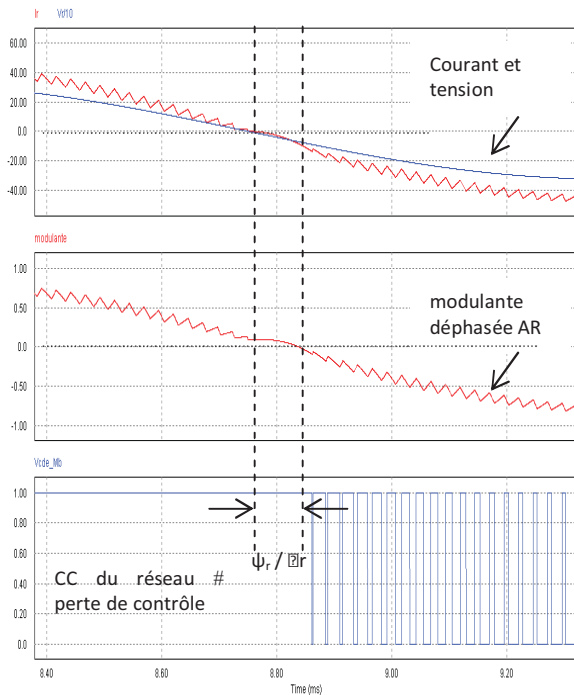


Figure 1-47: Courant et Tension réseau en phase, $F_r=400\text{Hz}$; $F_{dec}=40\text{kHz}$.

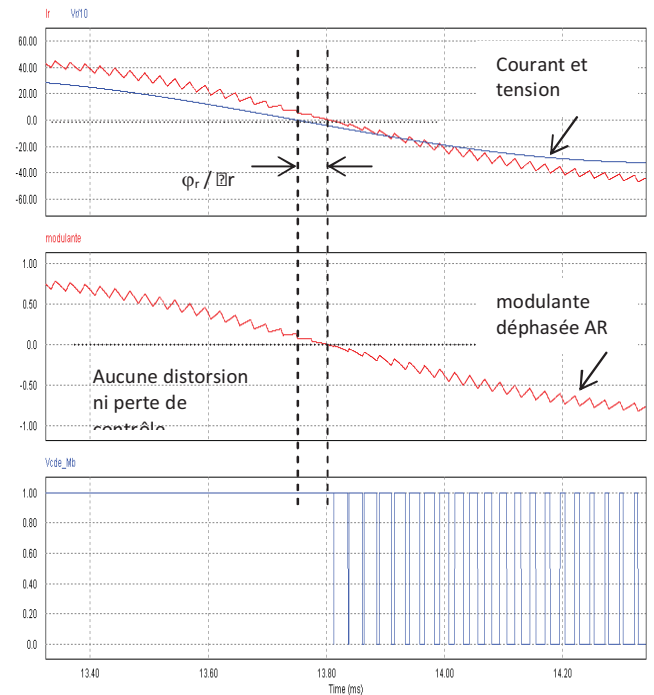


Figure 1-48: Courant et modulante en phase ; $F_r=400\text{Hz}$; $F_{dec}=40\text{kHz}$.

1.8.3 MLI Phase-Shift, Phase Disposition ou Phase Opposite Disposition ?

Sans rentrer dans le détail ici, deux grands types de MLI peuvent être générées selon que les porteuses apparentes sont en phase ou en opposition de phase. On définit la notion de porteuse apparente vis-à-vis de la tension MLI apparente qui est générée en entrée du PFC, i.e. les "morceaux" de pentes réellement actives au sens d'une intersection avec la modulante, dans chaque bande de modulation. Dans le cas de notre convertisseur à 5 niveaux, quatre bandes de modulations existent.

Figure 1-49 montre, à partir d'une génération par porteuses principales phase-shift, le premier type où les porteuses apparentes sont en opposition de phase entre chaque bande contigüe. Cette forme de porteuses apparentes est nommée POD (Phase Opposite Disposition). Sur le plan harmonique elle se traduit par un saut de phase de 180° à $2xF_{dec}$ à chaque passage d'une bande. En triphasé, entre deux phases, selon la valeur de la modulante on comprend que certaines portions de la modulation mettront en jeu des harmoniques à $2xF_{dec}$ en opposition de phase ou bien en phase entre deux bras (cette propriété peut aussi être expliquée en signalant que les fonctions de modulation n'ont pas le même axe de symétrie d'une bande à l'autre et d'une phase à l'autre).

Compte tenu des ces propriétés, Comme le montre les Figure 1-50, Figure 1-51, Figure 1-52 relatives à la POD, certaines bandes mettent en jeu un effet d'entrelacement avec forte réduction des harmoniques $2xF_{dec}$, $6xF_{dec}$ pour ne laisser place qu'à des harmoniques dominant à $4xF_{dec}$, $8xF_{dec}$, ... au sein d'une bande étroite de modulation ; d'autres bandes ne bénéficient pas de cet effet d'entrelacement et les harmoniques de base $2xF_{dec}$ et multiples sont conservés au sein d'une bande d'amplitude double. Il en résulte que le spectre de la MLI POD est chargé de l'ensemble des harmoniques $2xF_{dec}$, $4xF_{dec}$, $6xF_{dec}$.

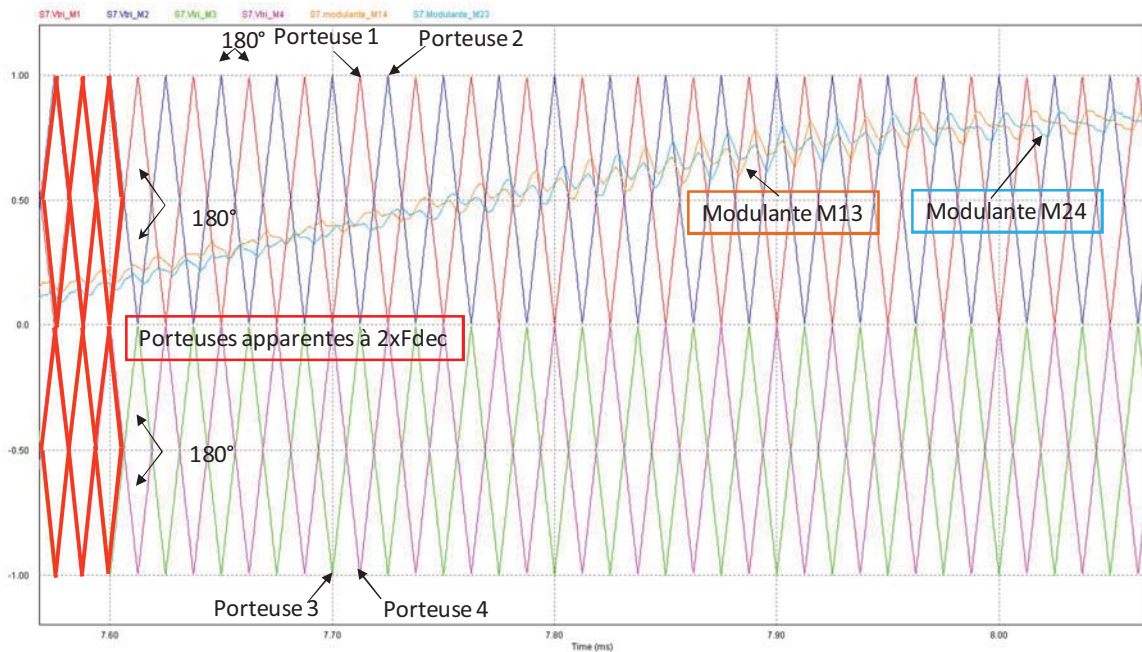


Figure 1-49 : Commande MLI POD avec quatre porteuses entrelacées et deux modulations pour réguler deux tensions flottantes.

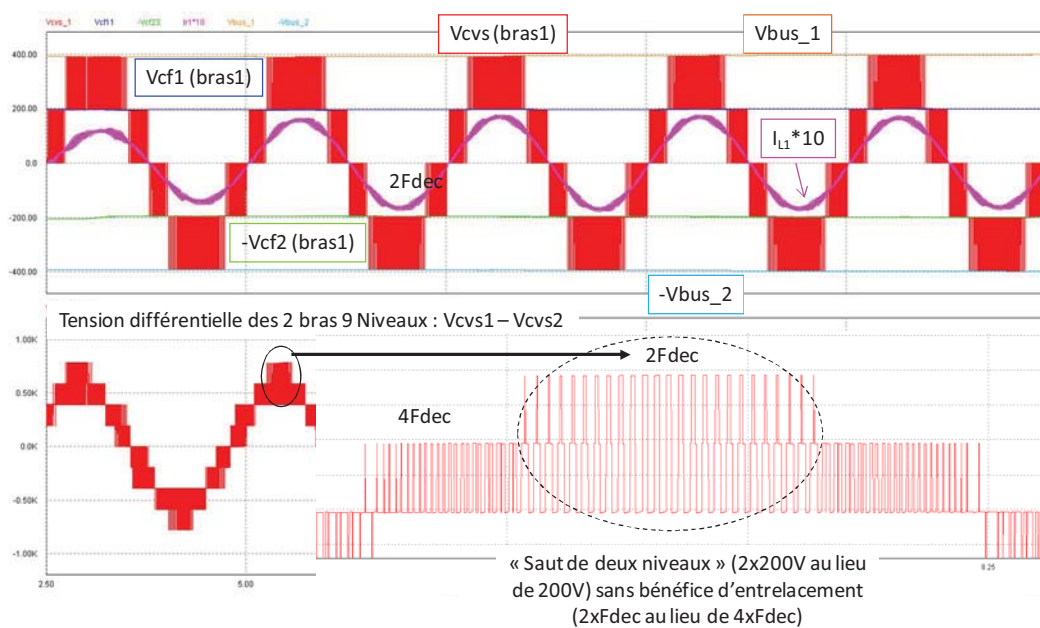


Figure 1-50 : Formes d'ondes du CVS 5Niveaux avec commande MLI POD et deux modulations pour réguler deux tensions flottantes (FC 5N triphasé AC : 230Veff/32Aeff/400Hz-800VDC-40kHz).

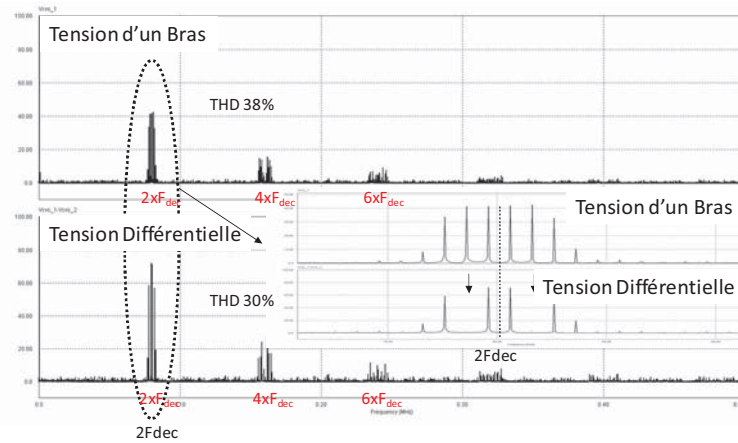


Figure 1-51 : Analyse FFT des tensions d'un PFC FC 5N triphasé avec commande MLI classique.

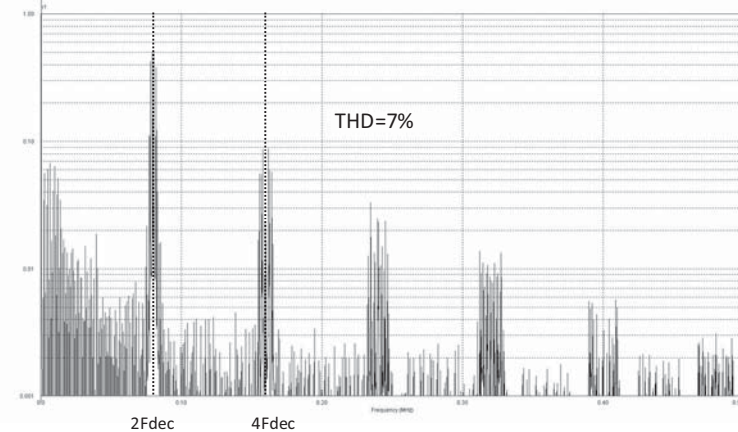


Figure 1-52 : Analyse FFT de courant d'entrée d'un PFC FC 5N triphasé avec commande MLI POD.

Les figures suivantes Figure 1-52 mettent en jeu des porteuses apparentes en phase sur toutes les bandes de modulation. Ces porteuses peuvent être générées par une machine d'état et un modulateur PD ou par une MLI sans machine d'état en phase-shift modifiée comme nous le verrons au chapitre 3. Cette mise en phase des harmoniques à $2xF_{dec}$ (ou plus simplement, toutes les fonctions de modulation sur toutes les bandes de modulation et toutes les phases ont même axe de symétrie), permet de réduire fortement les harmoniques à $3xF_{dec}$, $6xF_{dec}$, pour ne laisser dominant que les harmoniques à $4xF_{dec}$, $8xF_{dec}$, ... Il en résulte un effet d'entrelacement où la tension d'entrée passe de 5 à 9 niveaux entre phases.

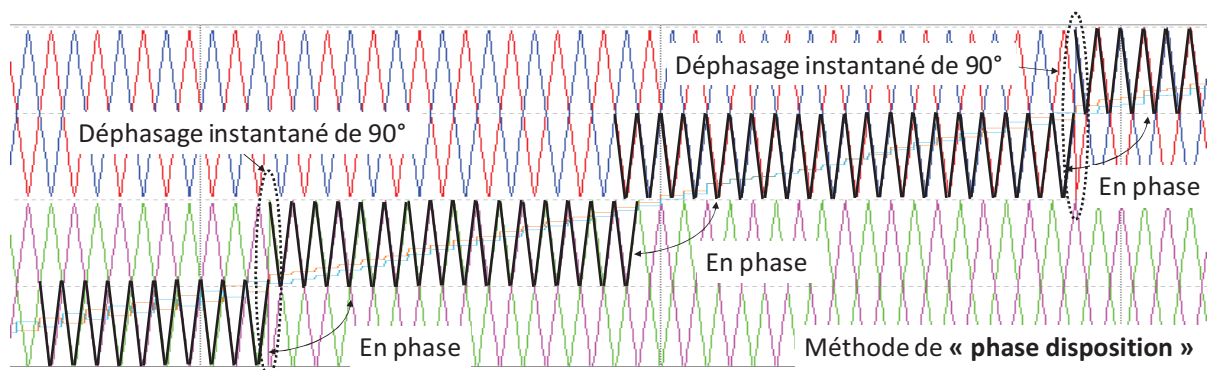


Figure 1-53 : Déphasage instantané 90° de phase des porteuses POD pour obtenir des porteuses PD.

Pour que l'entrelacement soit parfait, il faudrait des modulantes soient en opposition de phase entre deux bras comme en pont monophasé (modulation dite unipolaire entrelacée). En triphasé, les modulantes sont initialement à 120° ce qui ne permet pas d'atteindre une neutralisation sur la durée complète de chaque bande de modulation. La modulation dite "centrée" apporte une amélioration en calculant la modulante homopolaire de façon à ce que deux des trois modulantes de bras soient effectivement en opposition, par séquence de 60°.

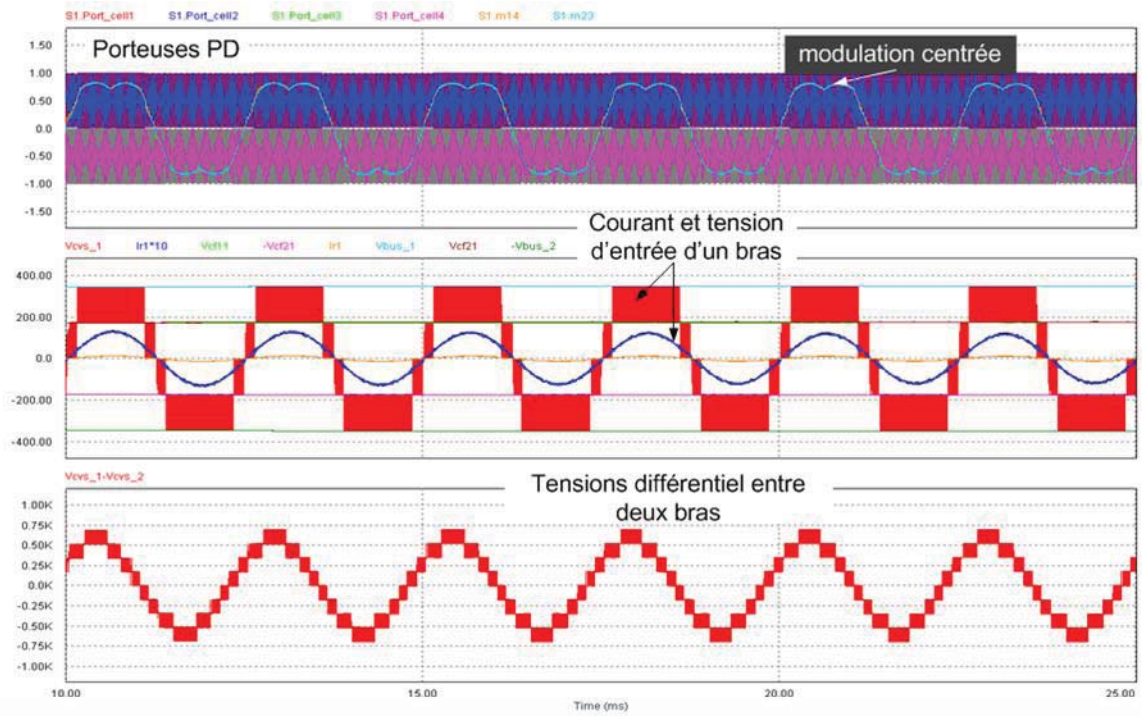


Figure 1-54 : Formes d'ondes du CVS 5Niveaux avec commande MLI PD et deux modulations centrées (injectée composant homopolaire) pour réguler deux tensions flottantes (FC 5N triphasé AC : 230Veff/32Aeff/400Hz-800VDC-40kHz).

$$ho_m_{14} = -1/2(\max_modulante_m_{14}^{1,2,3} + \min_modulante_m_{14}^{1,2,3}) \quad (1-11)$$

$$ho_m_{23} = -1/2(\max_modulante_m_{23}^{1,2,3} + \min_modulante_m_{23}^{1,2,3}) \quad (1-12)$$

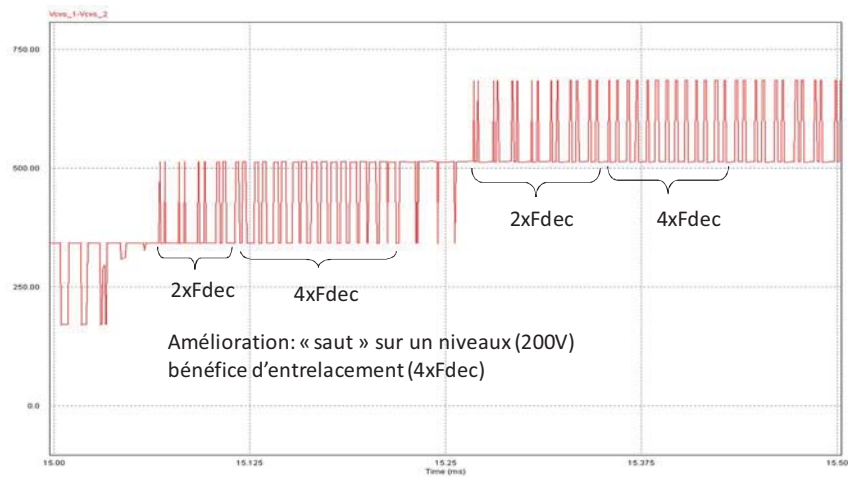


Figure 1-55 : Tension différentielle entre phase en MLI Phase Disposition (PD).

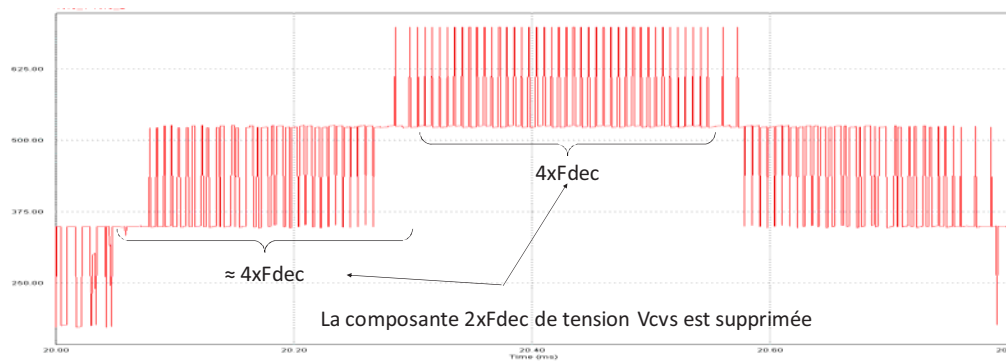


Figure 1-56 : Tension différentielle entre phase en Phase Disposition et avec modulation centrée

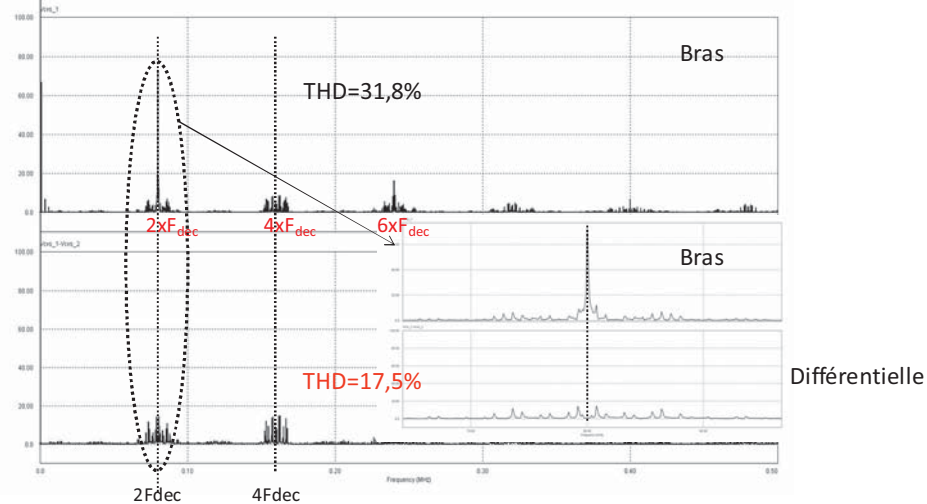


Figure 1-57 : Analyse FFT des tensions d'un PFC FC 5N triphasé en cas PD

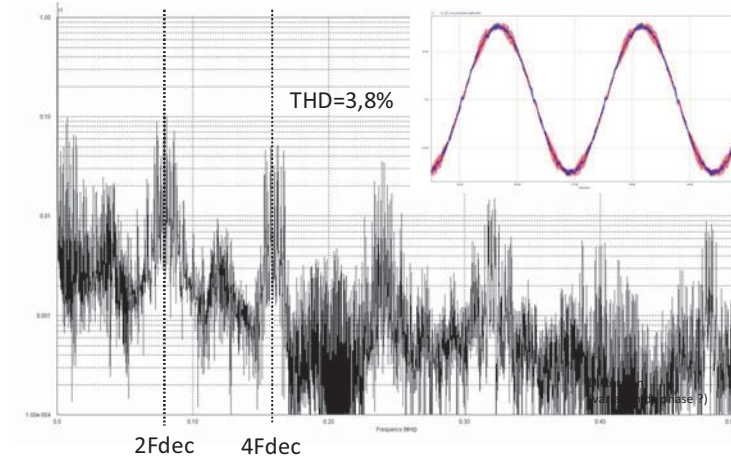


Figure 1-58 : Analyse FFT de courant d'entrée d'un PFC FC 5N triphasé en MLI PD et modulation centrée, en rouge : courant d'entrée (I_L) avec modulation classique, en bleu : I_L avec modulation optimisée.

1.9 Conclusion

Dans ce chapitre, nous avons présenté notre travail d'analyse sur des structures multi-niveaux AC/DC non réversibles sécurisées et à tolérance de pannes pour des applications critiques. Ces structures profitent de redondances actives naturelles en série réalisées par un partitionnement cellulaire imbriqué utilisé sous tension réduite (200V) pour chaque composant, ce qui permet une plus grande tenue en température et une plus grande fiabilité. Ce partitionnement est réalisé par des cellules mono-transistors qui ont la propriété d'éviter les défauts de court circuit sur le bus de sortie. Elles sont donc un élément important pour la sécurité de fonctionnement.

D'autre part, ces structures PFC non différentiel sont symétriques à point milieu, ce qui facilite l'extension en triphasé, ainsi que la mise en parallèle, permettant une augmentation importante du nombre de niveaux.

Des calculs de pertes pour plusieurs variantes du PFC 3 Niveaux ont montré que la structure NPC 3 Niveaux produit le moins de pertes, mais son extension en multiniveaux est complexe à cause de sa commande et de l'équilibrage des tensions flottantes. La nouvelle structure PFC Double-Boost 3N produit plus de pertes que la structure précédente. C'est deux structures utilisent des composants standard 600V, la seconde structure nécessite l'ajout de deux diodes d'aiguillage 800V. Cette structure est à nos yeux le meilleur compromis entre rendement et « mise en sécurité- disponibilité opérationnelle ». Une variante très proche du PFC double-boost 3 Niveaux est le BNPC 3 Niveaux, cette structure n'a pas de diodes basse fréquence, par contre les diodes haute fréquence sont dimensionnées pour un calibre en tension plus grand que pour les diodes des autres structures. La conséquence de ces calibres plus importants est une augmentation des pertes dans chaque diode. La dernière structure présentée est une topologie Vienna 3 Niveaux. Elle a pour intérêt de n'utiliser qu'un seul transistor ce qui a pour conséquence d'avoir une densité de pertes plus importante par composant. Par contre, ses diodes d'aiguillage et diodes haut fréquence ont les mêmes pertes avec la structure Double-Boost 3 Niveaux.

Le passage en 5 niveaux a montré que la structure PFC Double-Boost 5N est la meilleure au niveau des pertes totales pour une fréquence de découpage supérieure à 60 kHz. Cette structure est adaptée aux applications en haute fréquence.

Au niveau de la disponibilité opérationnelle, nous avons montré qu'avec des composants de calibre 600V, la structure PFC DB 5N permet une continuité de fonctionnement à la première panne. Alors que la structure SMC 5N (extension du BNPC 3N), elle n'est assurée que si les diodes sont dimensionnées pour une tension de 1200V. Cette continuité demande une stabilité en mode de court-circuit des composants, d'une part par le faible calibre en tension, et d'autre part par faible énergie stockée dans les condensateurs flottants. Les premières analyses de mode de défaillance des modules IGBT et de CoolMos ont montré qu'un pont de métal entre drain et source assure le mode de court-circuit. L'évolution de cette faible résistance est étudiée plus précisément dans chapitre suivant. Quand la deuxième panne vient du même groupe, un fusible installé au point milieu permet de passer en mode redresseur sécurisé grâce aux diodes haute fréquence.

Le passage en triphasé a l'intérêt d'utiliser une commande MLI Phase Disposition au lieu d'utiliser une commande MLI entrelacée afin d'améliorer le THD de la tension et du courant. Les résultats montrent qu'il est possible de gagner 10% sur le THD de la tension et 4% sur celui du courant.

Chapitre 2

Fiabilité des structures multi-niveaux

2.1 **Introduction**

Dans ce chapitre, une étude générale de la fiabilité des convertisseurs est proposée, puis appliquée aux structures multiniveaux séries et superposées (avec ou sans point milieu, mono et triphasées) présentées au chapitre 1 en version onduleur pour préserver un maximum de généralité. Ce volet théorique aborde donc le sujet sous un angle plus "système". Par les modèles paramétriques qu'il propose, il permet d'accéder au calcul de la "fiabilité prévisionnelle" des structures de conversion. Cette étape de quantification "relative" de la fiabilité vient donc compléter l'analyse qualitative présentée au chapitre 1.

Pour atteindre cet objectif il est nécessaire de définir des indicateurs de fiabilité en relation avec la dimension statistique puis probabiliste que représente un problème de fiabilité abordé globalement sous un angle macroscopique. Il s'agit également d'étudier le lien entre les indicateurs de fiabilité de chaque composant sur la fiabilité globale du système, et de mettre en évidence l'influence du mode d'association de ces entités et le gain en fiabilité obtenu globalement. Nous focaliserons bien sûr sur les structures à tolérance de pannes intrinsèques en prenant soin de modéliser la manière dont les reports de contraintes sont effectués sur les composants après une défaillance et l'influence que cela présente sur la fiabilité globale. Comme évoqué en introduction au mémoire, la démarche vise à montrer que le choix de la structure de conversion et la manière d'associer les cellules est un aspect aussi important que le nombre total de composants utilisés pour évaluer une fiabilité globale.

2.2 Le taux de défaillance, fiabilité d'un composant, le MTBF et la durée de vie (durabilité)

Sur le plan mathématique, la fiabilité est définie comme la probabilité [26] qu'une entité fonctionnelle soit opérationnelle sur une période de temps. La théorie des probabilités est utilisée pour analyser la fiabilité des composants et de leurs associations.

La fonction de fiabilité est notée par $R(t_k)$ et elle est définie sur $t \in [0, t_k]$:

$$R(t_k) = 1 - F(t_k) = \frac{Nt_k}{N_0} \quad (2-1)$$

Nt_k : Nombre de composants fonctionnels à l'instant t_k .

N_0 : Nombre de composants fonctionnels à l'initialisation (ici $t = 0$).

Avec : $R(0)=1$ et $R(\infty)=0$.

$F(t_k)$ est la fonction complémentaire à $R(t_k)$ nommée fonction de défaillance.

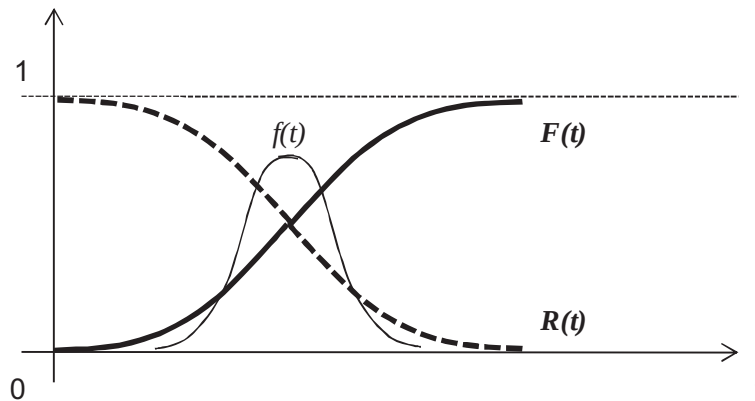


Figure 2-1 : Représentation générale d'une loi de fiabilité $R(t)$, d'une loi de défaillance et de sa densité de probabilité $f(t)$.

2.2.1 Taux de défaillance et loi exponentielle

Le taux de défaillance, noté par $\lambda(t_k)$ (noté également $\Lambda(t_k)$), est défini comme la probabilité que le composant va être défaillant sur l'intervalle $[t_k, \Delta T + t_k]$. Le taux de défaillance instantané est le passage à la limite :

$$\Lambda_{t_k} = \lim_{\Delta T \rightarrow 0} \frac{N_{fail_{t_k + \Delta T}} - N_{fail_{t_k}}}{\Delta T \cdot N_{t_k}} \quad (2-2)$$

$$\Lambda_{t_k} = \lim_{\Delta T \rightarrow 0} \frac{F_{t_k + \Delta T} - F_{t_k}}{\Delta T \cdot (1 - F_{t_k})} \quad (2-3)$$

$$\Lambda_{t_k} = - \frac{1}{R_{t_k}} \frac{dR_{t_k}}{dt} \quad (2-4)$$

En électronique, en considérant un lot de composants, l'allure générale du tracé de la courbe du taux de défaillance exprimé la courbe de baignoire (Figure 2-2). Elle comprend trois sections. La première, dite section de "rodage", se caractérise par un taux de panne relativement important, mais en décroissance, correspondant à l'élimination des défauts de jeunesse au rodage (zone 1). La deuxième période de "vie utile" se caractérise par un taux de panne faible et constant résultant de mécanismes de dégradation internes et aléatoires (donc indépendant du temps). La dernière période est celle du vieillissement dans laquelle le taux de panne augmente rapidement en fonction du temps (zone 3).

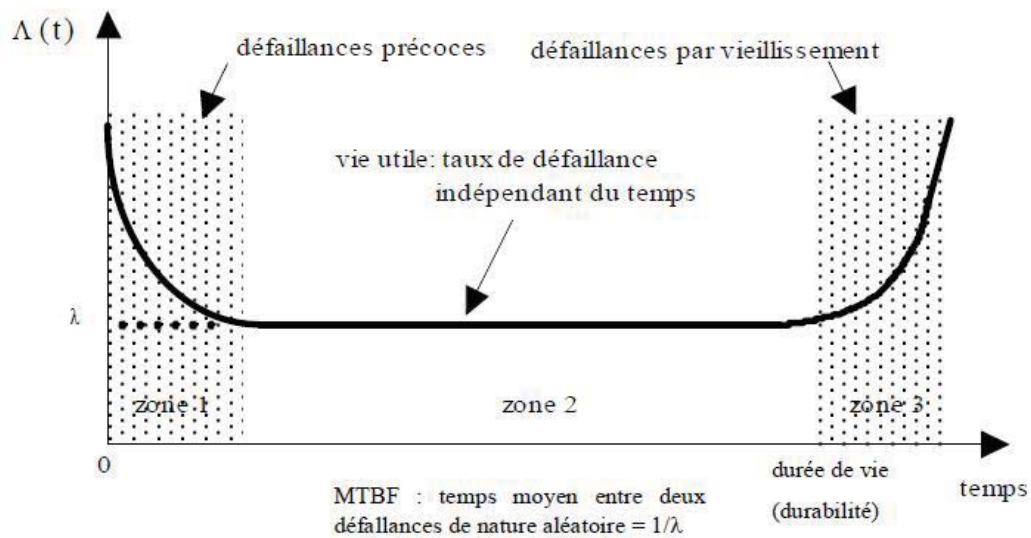


Figure 2-2 : Taux de défaillance d'un composant électronique (température et tension constantes) [27].
Identification des zones de fonctionnement.

Il faut noter que dans le domaine électronique de puissance, la première section est supprimée par déverminage et qualification des lots. La troisième section est située au-delà de la durée de vie du système (hors cas du cyclage thermique). Nous ferons donc l'hypothèse usuelle que le taux de défaillance de base des composants employés est constant : $\lambda(t) = \lambda_0$. La relation 2-4 nous permet donc de déduire :

$$MTBF = \int_0^{\infty} R(t) dt \quad (2-5)$$

Pour : $t = 1/\lambda$, la probabilité de fonctionnement est de 0,37.

2.2.2 Temps moyen de non défaillance

Le temps moyen de non défaillance correspond à l'intégrale de $R(t)$ sur l'intervalle $[0, +\infty[$. Le système étant à $t = 0$ sans défaillance, il faut bien voir que ce temps correspond au temps moyen jusqu'à l'occurrence de la "première défaillance". Il est usuellement nommé MTTF dans la littérature (Mean Time To Failure). Pour les systèmes non réparables, le MTTF peut être confondu au MTBF (Mean Time Between Failures).

$$MTBF = \int_0^{\infty} R(t)dt \quad (2-6)$$

De l'équation 2-6, on déduit alors :

$$MTBF = \frac{1}{\lambda} \quad (2-7)$$

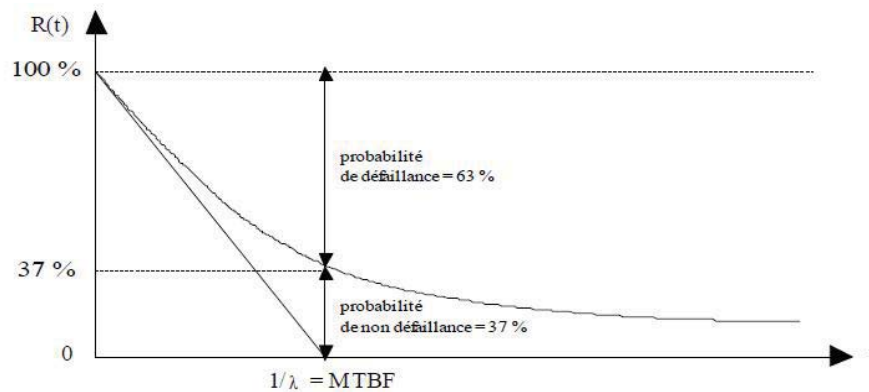


Figure 2-3 : Loi de fiabilité exponentielle

Tableau 2-1 : Propriétés de la loi de fiabilité exponentielle.

Fiabilité	$e^{-\lambda t}$
Densité de défaillance	$\lambda e^{-\lambda t}$
Taux de défaillance	λ
MTBF	$\frac{1}{\lambda}$

2.2.3 Taux de défaillance dépendant

En restant sur l'hypothèse d'un taux constant, la dépendance aux contraintes (électrique, thermique, mécanique, ...) est prise en compte par des paramètres multiplicatifs. Ceux-ci sont issus des bases de données MILHDBK217F, CNET [28] ou FIDES [29] et des essais d'endurance électriques spécifiques [9]. Bien que présentés sous forme numérique dans ces bases, ces facteurs d'accélération reposent en fait sur une cinétique d'Arrhenius et plus généralement des modèles en puissance inverse [30][31].

2.2.3.1 Exploitation des données du CENT pour un transistor de puissance

Dans cette partie, on applique le modèle issu des bases de données, donc la modélisation du taux de défaillance d'un composant est donnée sous la forme générale suivante :

$$\lambda = \lambda_0 \pi_t \pi_s \pi_E \pi_q \cdot 10^{-9} / h \quad (2-8)$$

2.2.3.1.a λ_0 : Taux de défaillance réduit pour $T_j=100^\circ\text{C}$ égal à 50 pour un Bipolaire ou un Mosfet.

2.2.3.1.b π_t : Influence de T_j si elle diffère de 100°C selon une loi d'Arrhenius donnée par :

$$\pi_t = e^{K(\frac{1}{T_{j1}'} - \frac{1}{T_{j2}'})} \quad (2-9)$$

T_{j1}' , T_{j2}' étant exprimées par rapport au zéro absolu (-273°C).

K dépend entre autres de l'énergie d'activation, en général 0,4 électronvolt.

La formule finale est suivante :

$$\pi_t = e^{4640(\frac{1}{373} - \frac{1}{T_j + 273})} \quad (2-10)$$

Avec T_j en $^\circ\text{C}$

La relation (2-10) permet d'apprécier l'influence de la température sur le taux de défaillance et par voie de conséquences sur le MTBF (Figure 2-4).

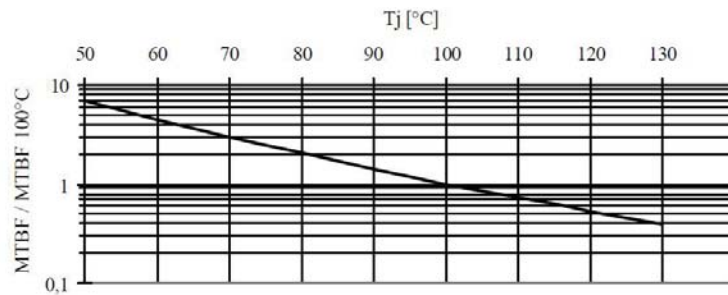


Figure 2-4 : Evolution du MTBF en fonction de la température de jonction seule.

On peut montrer que le MTBF est divisé par 2 à chaque fois que T_j augmente de 18°C .

2.2.3.1.c π_s : influence de la tension V_{ce} ou V_{ds} ramenée sur la tension de calibre du transistor, sachant qu'elle ne doit pas dépasser 90% de cette tension.

La relation est donnée par :

$$\pi_s = 0,22e^{1,7 \frac{V_{ce}}{V_{ce \max}}} \quad (2-11)$$

Ce paramètre vaut l'unité pour $V_{ce}/V_{ce\max}=0,9$. Pour plus clarté, à partir de (2-11), nous avons tracé en (Figure 2-5), l'évolution du MTBF en fonction de la tension appliquée, ramenée à la valeur usuelle de $V_{ce}/V_{ce\max}=0,5$.

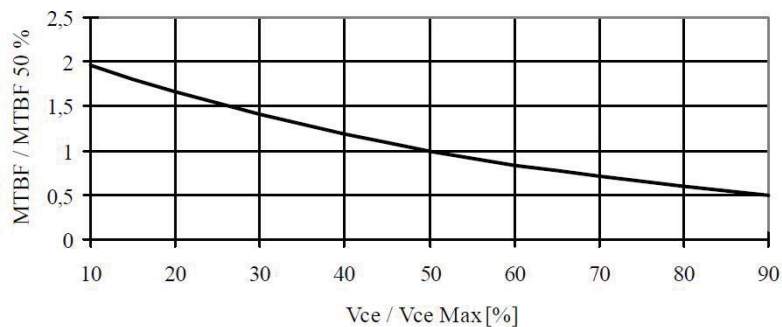


Figure 2-5 : Evolution du MTBF en fonction de la tension appliquée seule. Toutes choses étant égales par ailleurs.

On peut montrer que le taux de défaillance augmente de 40% et le MTBF diminue de 29% lorsque la tension V_{ce} augmente de 20% de V_{cemax} .

Pour les Mosfet et IGBT, la tension de grille est une donnée supplémentaire à prendre en compte. Cette influence repose directement sur la qualité de l'oxyde de grille. Le facteur de correction est donné pour $V_{gemax}=20V$:

$$\pi_s = 0,22e^{\frac{3V_{ge}}{20}} \quad (2-12)$$

Son influence en termes de MTBF est donnée en Figure 2-6. La valeur de référence étant $V_{ge}=10V$.

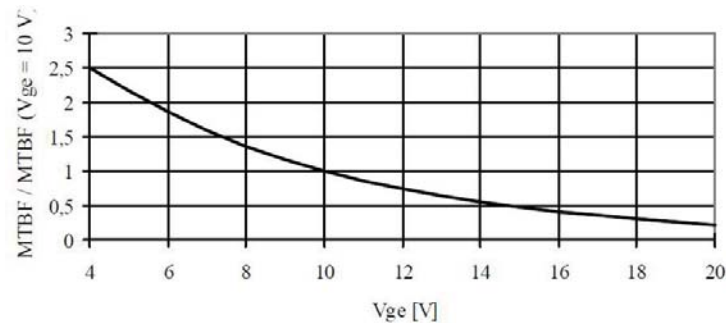


Figure 2-6 : Evolution du MTBF en fonction de la tension de grille seule, pour $V_{gemax}=20V$. Toutes choses étant égales par ailleurs.

On peut montrer que le taux de défaillance augmente de 35% et le MTBF diminue de 26% lorsque la tension de grille augmente de 2V.

2.2.3.1.d Complément N°1 : influence du cyclage thermique.

Elle est donnée en nombre de cycles pour des puces de surface inférieure à $0,5 \text{ cm}^2$, soit environ un calibre de 25A, et avec des fils de bonding de diamètre inférieur à $500\mu\text{m}$:

$$Nb_{cycles} = 10^7 e^{-0,05\Delta T_j} \quad (2-13)$$

A titre d'exemple, pour des cycles périodiques de 1 minute, nous avons traduit la relation (2-13) en termes de MTBF (nombre de cycles maximum x 1 minute). Le résultat est tracé en Figure 2-7:

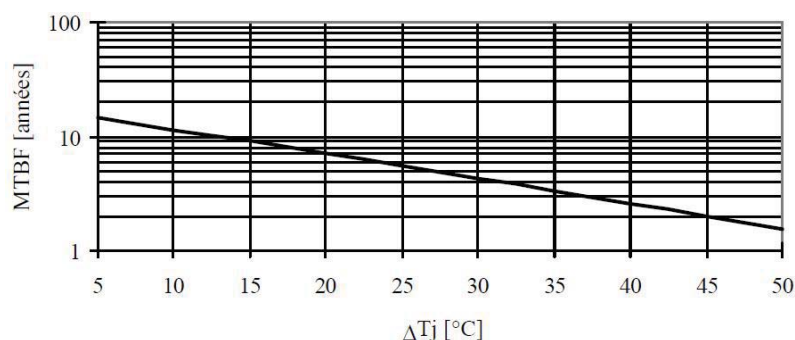


Figure 2-7 : Evolution du MTBF en fonction d'un cyclage thermique périodique de 1 minute. Toutes choses étant égales par ailleurs.

On peut montrer que le MTBF est divisé par 2 à chaque fois que l'ondulation de température augmente de 14°C .

2.2.3.1.e Complément N°2 : Répartition des défauts

Selon les essais et statistiques du CNET, 85% des transistors de puissance sont défaillants en court-circuit.

Dans notre cas, nous tenons en compte seulement l'influence de la tension aux bornes des composants et la température de la puce.

Pour simplifier le calcul de fiabilité des onduleurs multi-niveaux, nous prendrons le taux de défaillance des composants diode et transistor $V_{ds}=200V$ - calibre 600V identiques et égal à $10^{-5}/h$, et les condensateurs flottants : $\lambda=10^{-5}/h$.

Tableau 2-2 : Taux de défaillance des composants de base.

Type de composant	λ
Interrupteurs (diodes ou transistors) commutant à 200V sur 600V calibre	$10^{-5}/h$
Interrupteurs (diodes ou transistors) commutant à 270V sur 600V calibre	$1,22 \cdot 10^{-5}/h$
Interrupteurs (diodes ou transistors) commutant à 800V sur 1200V calibre	$1,76 \cdot 10^{-5}/h$
Interrupteurs (diodes ou transistors) commutant à 540V sur 1200V calibre	$1,22 \cdot 10^{-5}/h$
Condensateur à films polypropylènes métallisés 200V (40 μ F) [datasheet]	$10^{-5}/h$

2.3 Fiabilité des Associations

A partir de la connaissance de la fiabilité de chaque entité élémentaire, il s'agit de déterminer la loi de fiabilité globale d'un système en fonction du mode d'association « fonctionnelle » de ses entités. Cette démarche repose largement sur les théorèmes de probabilité et sur les propriétés de la loi exponentielle.

2.3.1 Association en parallèle de composants

Dans un onduleur, un composant à trois segments (comme l'IGBT avec une diode en parallèle) est la base d'une structure qui commute en haute fréquence de découpage. Généralement, il se compose d'un transistor et d'une diode. Donc, tous les deux doivent travailler pour assurer la fiabilité du composant ($R_{HF} = R_{Trans} \cdot R_{Diode}$). Nous avons une association simple en parallèle de deux interrupteurs, et le diagramme de fiabilité d'un IGBT est présenté dans Figure 2-8 et le taux de défaillance de chaque composant est $10^{-5}/h$.

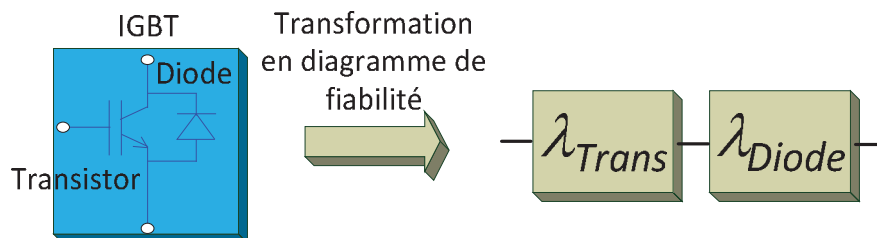


Figure 2-8 : Diagramme de fiabilité d'un IGBT et de sa diode.

La loi exponentielle exprime la fiabilité d'un IGBT :

$$R_{swHF} = e^{-(\lambda_{Trans} + \lambda_{Diode})t} \quad (2-14)$$

Donc, le taux de défaillance d'un composant 200V/600V est noté par

$$\lambda_{swHF} = \lambda_{trans} + \lambda_{diode} = 2.10^{-5}$$

Nous traitons maintenant une cellule de commutation d'un onduleur 2 niveaux pour illustrer la méthode.

Le montage est défini en Figure 2-9a). La non défaillance d'un bras est donnée par la non défaillance simultanée des deux interrupteurs. Ils sont donc fonctionnellement en série sur le diagramme de fiabilité (Figure 2-9).

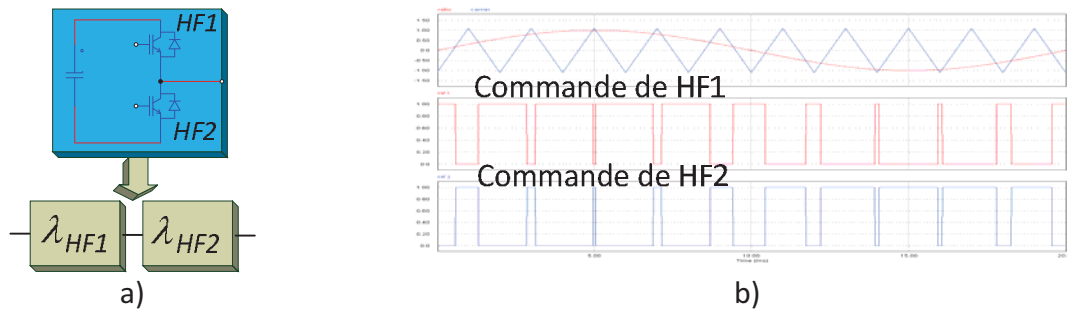


Figure 2-9 : Le diagramme électrique et le diagramme de fiabilité d'une cellule de commutation.

La fiabilité de cette cellule de commutation est exprimée par :

$$R_{cellHF} = e^{-(\lambda_{swHF1} + \lambda_{swHF2})t} \quad (2-15)$$

Donc le taux de défaillance équivalent d'une cellule de découpage est :

$$\lambda_{cellHF} = \lambda_{swHF1} + \lambda_{swHF2} \quad (2-16)$$

Pour la cellule de commutation en utilisant des IGBT basse tension 200V (600V calibre),

$$\lambda_{cellHF} = 4.10^{-5}$$

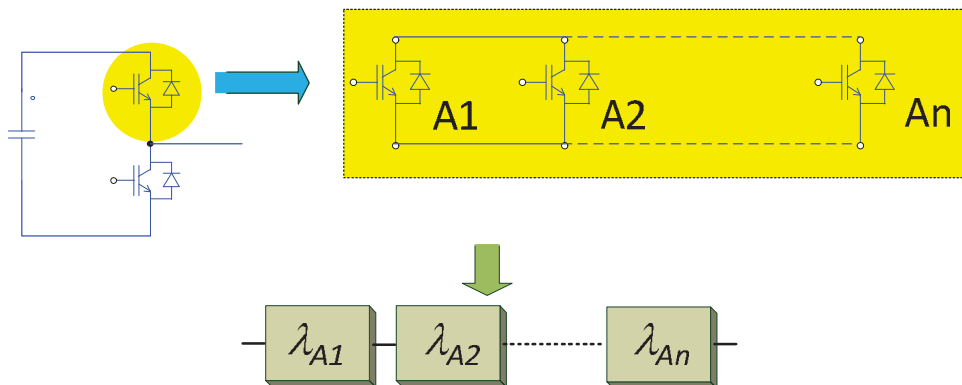


Figure 2-10 : Le diagramme électrique et le diagramme de fiabilité d'une association en parallèle de composant.

Si un interrupteur (entité notée A) de l'onduleur est équivalent à une association électrique en parallèle (Figure 2-10). La non défaillance de A nécessite la non défaillance de toutes les entités sinon le schéma est court-circuité. Le schéma de fiabilité dans ce cas est fonctionnellement en série et montré dans la Figure 2-10.

Si chaque entité est indépendante, la probabilité de non défaillance de A est donnée par le produit des probabilités de chaque entité P_{Ai} ou encore par le produit de leur loi de fiabilité R_{Ai} .

$$R_A = \prod_{i=1}^n R_{Ai} \quad (2-17)$$

La loi exponentielle donne $R_{Ai} = e^{-\lambda_i t}$

Donc :

$$R_A = e^{-\sum_{i=1}^n \lambda_i t} \quad (2-18)$$

Le taux de défaillance du système est donné par :

$$\lambda_{\Sigma \text{ série}} = \sum_{i=1}^n \lambda_i \quad (2-19)$$

Le système est donc plus mauvais à cause des défaillances élémentaires. Le temps moyen de non défaillance est donné par :

$$MTBF_{\Sigma \text{ série}} = \frac{1}{\sum_{i=1}^n \lambda_i} \quad (2-20)$$

En cas particulier, le taux de défaillance de toutes entités est identique et indépendant, on va avoir :

$$MTBF_{\Sigma \text{ série}} = \frac{MTBF_{\text{entité}}}{n} \quad (2-21)$$

2.3.2 Association en série des composants

Le schéma du bras d'onduleur constitué d'une cellule à 2 interrupteurs « équivalents » capables de produire une onde 2 niveaux en sortie. Chaque interrupteur «équivalent» est constitué de n interrupteurs en série commandés de façon synchrone (Figure 2-11a). Par conséquent, en fonctionnement normal, la tension aux bornes de chaque interrupteur "ouvert" d'un demi-bras est théoriquement de E/n . Dans une telle association une défaillance est susceptible de se produire lorsqu'un interrupteur commute plus rapidement que les autres à l'ouverture et inversement à la fermeture. Celui-ci est alors soumis à une surtension qui peut l'amener dans un état d'avalanche et de claquage en court-circuit. Du fait de l'association série, cette défaillance ne provoque pas le court-circuit de la source continue mais "seulement" une surtension statique aux bornes des autres interrupteurs. Cela signifie qu'un tel défaut ne met en jeu au niveau du silicium qu'une faible quantité d'énergie par rapport à un court-circuit franc du bus. Dans ce cas, il doit rester au moins un interrupteur en fonction par chaque demi-bras pour assurer la fonction de cet onduleur. En Figure 2-11b), le diagramme de fiabilité conforme à ce mécanisme d'un interrupteur « équivalent » par demi-bras est un système à redondance partiel "1 parmi n" et sans tenir compte du report de charge sur les interrupteurs (variation de tension aux bornes de E/n à E).

Soit un système A constitué d'entités élémentaires $A_1, \dots, A_i, \dots, A_n$. Les entités sont fonctionnellement en série si la défaillance de A nécessite la défaillance de toutes les entités. Les entités forment alors une redondance active totale (ou complète).

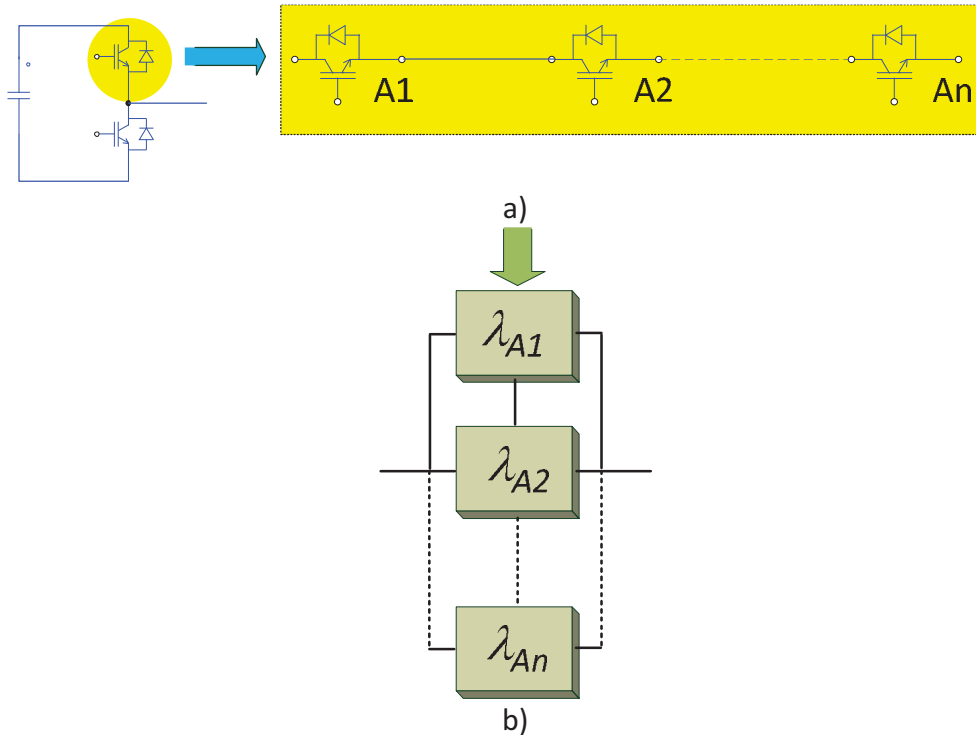


Figure 2-11 : a) Le diagramme fonctionnel d'association en série de composant, b) Le diagramme de fiabilité d'association en série de composants.

Si chaque entité est indépendante, c'est-à-dire on ne tient pas compte influence des autres paramètres sur le taux de défaillance d'élément sain (cf 2.2.3) un ou plusieurs éléments du système sont défaillants, la probabilité de défaillance de A est $F_A = 1 - R_A$. On a :

$$F_{\Sigma//} = \prod_{i=1}^n F_{Ai} \quad (2-22)$$

Alors :

$$1 - R_{\Sigma//} = \prod_{i=1}^n (1 - R_{Ai}) \quad (2-23)$$

Alors avec la loi exponentielle, il vient :

$$R_{\Sigma//} = 1 - \prod_{i=1}^n (1 - e^{-\lambda_i t}) \quad (2-24)$$

La fiabilité globale ne suit plus une simple loi exponentielle, et il devient alors difficile d'exprimer simplement de façon générale le taux de défaillance global et le MTBF.

Donnons juste les résultats pour 2 entités :

$$R_{\Sigma 2//} = e^{-\lambda_1 t} + e^{-\lambda_2 t} - e^{-(\lambda_1 + \lambda_2) t}$$

Si $\lambda_1 = \lambda_2$ on a : $R_{\Sigma 2//} = 2e^{-\lambda t} - e^{-2\lambda t}$

Alors le temps moyen de non défaillance du système A est calculé par :

$$MTBF_{\Sigma 2//} = \int_0^{\infty} R_{\Sigma 2//} dt = \frac{3}{2\lambda} \quad (2-25)$$

Il est donc majoré de 50% par rapport au MTBF d'une seule entité.

A partir de (2-25), la relation générale du MTBF d'entités identiques A_i en série est de la forme :

$$MTBF_{\Sigma//} = MTBF_{A_i} \sum_{i=1}^n \frac{1}{i} \quad (2-26)$$

Par rapport au MTBF élémentaire d'une entité, le calcul montre que le MTBF global est majoré de 84% pour 3 entités en parallèle, 108% pour 4 entités et seulement 128% pour 5 entités. Au-delà, l'effet de redondance est peu significatif et le MTBF global évolue peu.

2.3.3 Association en série avec redondance active partielle : « k » entités sont nécessaires sur « n »

Dans ce cas, on prend toujours l'exemple d'un bras d'onduleur constitué d'une cellule à 2 interrupteurs « équivalents » capables de produire une onde 2 niveaux en sortie. Chaque interrupteur «équivalent» est constitué de n interrupteurs en série commandés de façon synchrone. Cependant, ce n'est pas le cas d'une redondance active totale précédente, dans ce cas, pour une question de tenue en tension, le système A (Figure 2-12) demande k entités sur un total n pour être opérationnel.

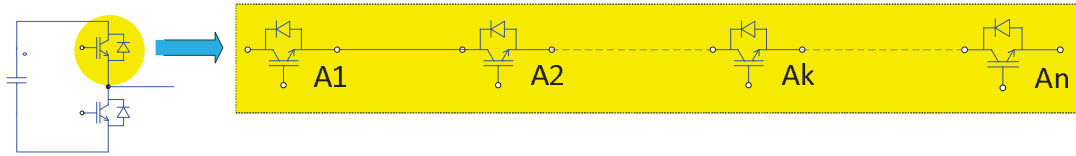


Figure 2-12 : Le diagramme fonctionnel d'association partielle

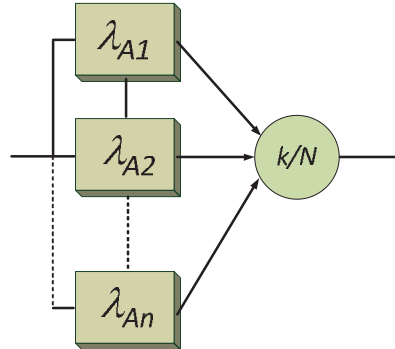


Figure 2-13 : Le diagramme de fiabilité d'association partielle

La probabilité pour qu'il y ait simultanément « i » entités non défailtantes sur n vaut :

$$P_{i/n} = C_n^i R^i (1 - R)^{n-i} \quad (2-27)$$

où C_n^i représente le nombre de combinaisons possibles de « i » entités parmi « n ». Il y a donc C_n^i façons différentes de trouver « i » entités non défailtantes et « n-i » entités défailtantes. La fiabilité est obtenue en balayant toutes les configurations de redondances possibles (par principe même elles sont mutuellement exclusives) ce qui donne :

$$R_{\Sigma i/n} = \sum_{i=k}^n C_n^i R^i (1 - R)^{n-i} \quad (2-28)$$

Avec la loi exponentielle on a :

$$R_{\Sigma i/n} = \sum_{i=k}^n C_n^i e^{-i\lambda t} (1 - e^{-\lambda t})^{n-i} \quad (2-29)$$

Et le temps de non défaillance est :

$$MTBF_{\Sigma i/n} = \sum_{i=k}^n \int_0^{\infty} C_n^i e^{-i\lambda t} (1 - e^{-\lambda t})^{n-i} dt \quad (2-30)$$

Tableau 2-3 : Evolution du MTBF par redondance active partielle (le taux de défaillance est identique et constant pour toutes les entités).

Nb d'entité(s) /types d'association	Association // d'interrupteurs (aucune redondance) MTTF sans redondance/ MTTF entité	Association série d'interrupteurs (redondance active totale 1/n) MTTF redondance active totale/ MTTF entité	Association série d'interrupteurs (redondance partielle k/n) MTTF global/ MTTF entité
1	1	1	1
2	0,5	1,5	(1 parmi 2) 1,5
3	0,33	1,83	(2 parmi 3) 0,83
4	0,25	2,08	(3 parmi 4) 0,58
5	0,2	2,28	(3 parmi 5) 0,78

Les résultats du tableau montrent que seule la redondance active totale (1 parmi n) permet une augmentation substantielle du MTBF (c'est une association parallèle parfaite). Quant à la redondance active partielle ($k > 1$ parmi n, il s'agit d'associations série-parallèle), le MTBF global est toujours situé entre le meilleur cas, i.e. le MTBF d'une association série redondante et le MTBF correspondant au pire cas (mise en // sans redondance).

2.3.4 Redondance active partielle : cas d'entités non indépendantes

Il est très fréquent que le taux de défaillance d'une entité dépende de la configuration « fonctionnelle » du système et en particulier de l'état des autres entités. Cela revient à dire que les lois de fiabilité des entités ne sont en réalité pas indépendantes.

2.3.4.1 Deux entités en parallèle

Prenons le cas d'une association imbriquée en série de deux cellules de commutation (Figure 2-14). Dans telles associations, la fiabilité du système demande au moins une cellule en fonction.

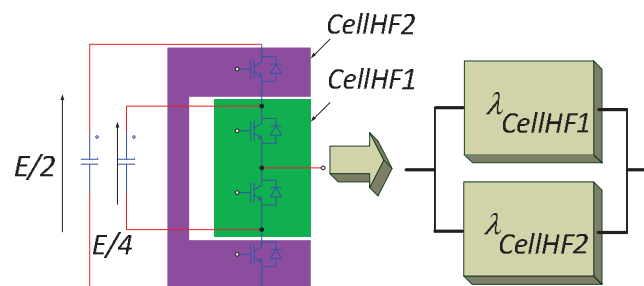


Figure 2-14 : Le diagramme de fiabilité un cas deux cellules de commutation en série, la fiabilité des condensateurs n'est pas prise en compte.

Le taux de défaillance de chacune d'elle est λ_1 , si elles sont toutes deux en état, il passe à λ_2 si l'une d'entre elles est défaillante prenant en compte le report de contrainte. La défaillance globale est obtenue lorsque les deux entités sont défaillantes. En désignant les deux entités E_A et E_B , 3 situations sont donc à analyser [32] :

- a) E_A et E_B sont en états, la probabilité de non défaillance qu'elles soient simultanément en état est :

$$R_1 = e^{-2\lambda_1 t} \quad (2-31)$$

- b) La probabilité élémentaire pour que E_A soit défaillante sur $[u, u+du]$ à partir de l'état a.1 est donnée au moyen de la densité de probabilité : $f_{Aa2} = \lambda_1 e^{-\lambda_1 u} du$ et que E_B soit en état jusqu'à u donne : $R_{Ba2} = e^{-\lambda_1 u}$ et que E_B soit en état et fonctionnant seul sur $[u, t]$: $R'_{Ba2} = e^{-\lambda_2(t-u)}$ d'où, par intégration du produit des probabilités élémentaires du cas a.2 :

$$R_2 = \int_0^t \lambda_1 e^{-[\lambda_2 t + (2\lambda_1 - \lambda_2)u]} du \quad (2-32)$$

- c) Idem en permutant le rôle joué par E_A et E_B , soit par symétrie $R_3 = R_2$

Les trois situations étant mutuellement exclusives, la probabilité globale est déduite de la somme des probabilités R_1, R_2, R_3 :

$$R(t) = e^{-2\lambda_1 t} + 2 \int_0^t \lambda_1 e^{-[\lambda_2 t + (2\lambda_1 - \lambda_2)u]} du \quad (2-33)$$

d'où :

$$R(t) = \frac{1}{\lambda_2 - 2\lambda_1} (\lambda_2 e^{-2\lambda_1 t} - 2\lambda_1 e^{-\lambda_2 t}) \quad (2-34)$$

R n'est plus une loi exponentielle simple à taux constant. Pour $\lambda_1 = \lambda_2$, on retrouve bien la loi classique d'une mise en série des composants (redondance active totale).

Le calcul du MTBF global donne :

$$MTBF = \frac{2\lambda_1 + \lambda_2}{2\lambda_1 \lambda_2} \quad (2-35)$$

2.3.4.2 Cas du triphasé : redondance partielle 2 parmi 3

Dans ce cas, au moins deux entités sont nécessaires pour assurer le non défaillance du système sur un total de 3. C'est le cas de trois bras onduleur travaillant en mode triphasé, à l'aide des fusibles sur le bus, ils peuvent accepter de travailler avec deux bras seulement et reconfigurer en mode 2 parmi 3 (Figure 2-15). Le nouveau point A' à position de point milieu ainsi que les nouveaux points B', C' permet de profiter des nouvelles tensions composées, $V_{A'C'}, V_{A'B'}, V_{B'C'}$. Cette reconfiguration se traduit par une réduction de plage de tension d'alimentation en sortie de $\sqrt{3}$ (sans surmodulation) et de 2 (avec surmodulation).

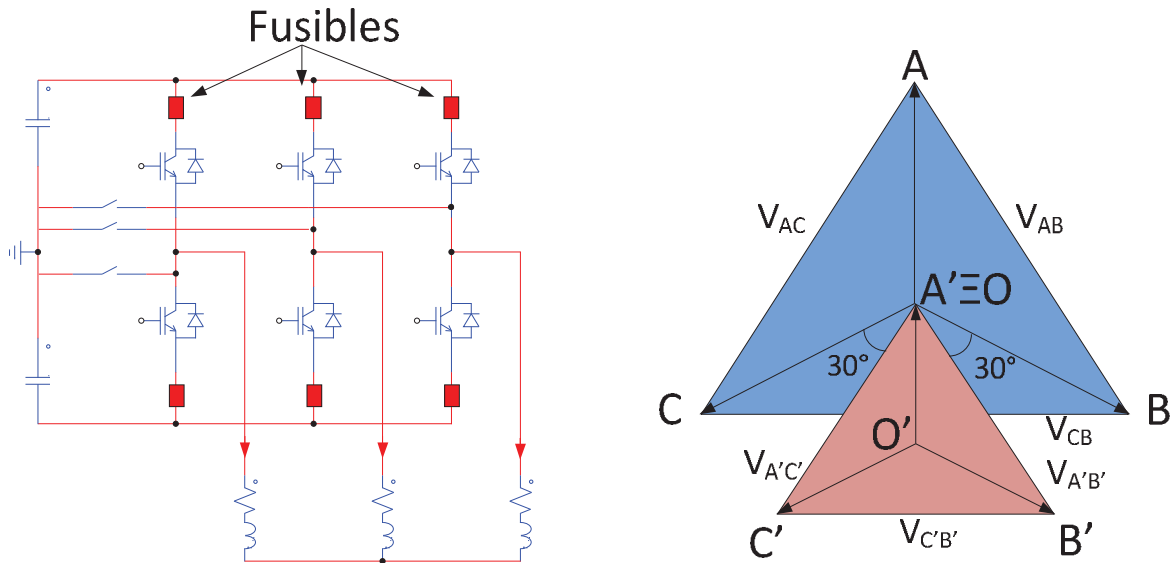


Figure 2-15 : Schéma fonctionnel et diagramme vectoriel pour le cas de reconfiguration 3 bras à 2 bras onduleurs à l'aide des fusibles installés aux bornes des bras.

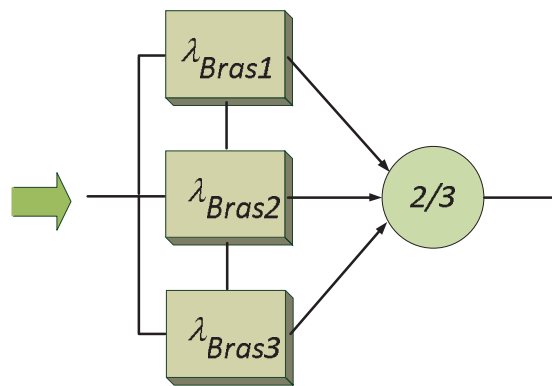


Figure 2-16 : Schéma de fiabilité pour le cas deux parmi trois.

Le système tolère donc une et une seule défaillance (ou panne) sur n'importe qu'elle entité. Les entités sont caractérisées par un taux de défaillance λ_1 lorsqu'elles sont toutes en état, et par un taux de défaillance λ_2 lorsqu'une d'entre elles est défaillante. On désigne par E_1 , E_2 , E_3 les entités considérées. La formulation du problème en termes de probabilité de non défaillance est une extension du cas précédent :

- a) E_1 , E_2 , E_3 en état
- b) E_1 défaillante, E_2 et E_3 en état
- c) E_2 défaillante, E_3 et E_1 en état
- d) E_3 défaillante, E_1 et E_2 en état

Selon une démarche calculatoire similaire au cas précédent, on obtient :

$$R(t) = e^{-3\lambda_1 t} + \frac{1}{1 - \frac{2}{3} \frac{\lambda_2}{\lambda_1}} (e^{-2\lambda_2 t} - e^{-3\lambda_1 t}) \quad (2-36)$$

Quel que soit le rapport λ_2/λ_1 , on pourra remarquer que le second terme de l'équation est toujours positif. Ce terme représente en fait l'augmentation de la fiabilité initiale compte tenue de la tolérance d'une panne et d'une tolérance 2 parmi 3.

Le calcul du MTBF global donne :

$$MTBF = \frac{MTBF_1}{3} + \frac{MTBF_2}{2} \quad (2-37)$$

2.3.4.3 Généralisation : Redondance partielle (n-1) par n

Il s'agit d'étendre la formule précédente au cas d'un système de n entités dont (n-1) sont nécessaire au non défaillance globale. La tolérance de panne porte toujours sur une et une seule entité quelconque. Selon la même logique que précédemment, il y a $C_n^{n-1} = n$ combinaison possible de (n-1) entités parmi n pour modéliser le fonctionnement avec tolérance d'une panne. La formulation du problème permet d'aboutir à la relation [32]:

$$R(t) = e^{-n\lambda_1 t} + \frac{1}{1 - \frac{n-1}{n} \frac{\lambda_2}{\lambda_1}} (e^{-(n-1)\lambda_2 t} - e^{-n\lambda_1 t}) \quad (2-38)$$

Avec λ_1 le taux de défaillance associé au fonctionnement sans panne et λ_2 le taux de défaillance avec une panne.

Le calcul du MTBF global donne :

$$MTBF = \frac{1}{n\lambda_1} + \frac{1}{(n-1)\lambda_2} \quad (2-39)$$

soit :

$$MTBF = \frac{MTBF_1}{n} + \frac{MTBF_2}{n-1} \quad (2-40)$$

2.4 Application aux structures multi-niveaux

2.4.1 Fiabilité d'un bras convertisseur 3-Niveaux

Chaque cellule de commutation se compose de deux IGBTs, et ne travaille que sur une alternance de la tension de sortie pour fabriquer deux niveaux de tension par chaque fonctionnement [0, E/2]. Par conséquent, en fonctionnement normal, la tension aux bornes de chaque interrupteur "ouvert" d'un demi-bras est théoriquement de E/2. Du fait de l'association série de deux interrupteurs par cellule, une faute de commande peut provoquer le court-circuit du bus.

En Figure 2-17a), en plaçant les fusibles sur les pôles du bus, le diagramme de fiabilité conforme à la structure est un système sans redondance. Ce constat nous permet de calculer directement et simplement la loi de fiabilité.

$$R_{On_3N_variante1_mono} = e^{-(\lambda_{CellHF1} + \lambda_{CellHF2} + \lambda_{swBF1} + \lambda_{swBF2})t} \quad (2-41)$$

On peut voir que, le taux de défaillance équivalent d'un bras onduleur ANPC 3 Niveaux variante 1:

$$\lambda_{On_3N_variante1_mono} = \lambda_{CellHF1} + \lambda_{CellHF2} + \lambda_{swBF1} + \lambda_{swBF2} \quad (2-42)$$

En Figure 2-17b), en plaçant les fusibles au point-milieu, on a un système avec une redondance : le niveau "0" peut être réalisé par la branche de point milieu supérieure ou

inférieure. Cette structure est nommée bras onduleur ANPC 3 Niveaux variante 2. La fiabilité d'ANPC 3 Niveaux variante 2 :

$$R_{On_3N_var\ iante\ 2_mono} = [1 - (1 - e^{\lambda_{CellHF1} t}) \cdot (1 - e^{\lambda_{CellHF2} t})] \cdot e^{-(\lambda_{swBF1} + \lambda_{swBF2}) t} \quad (2-43)$$

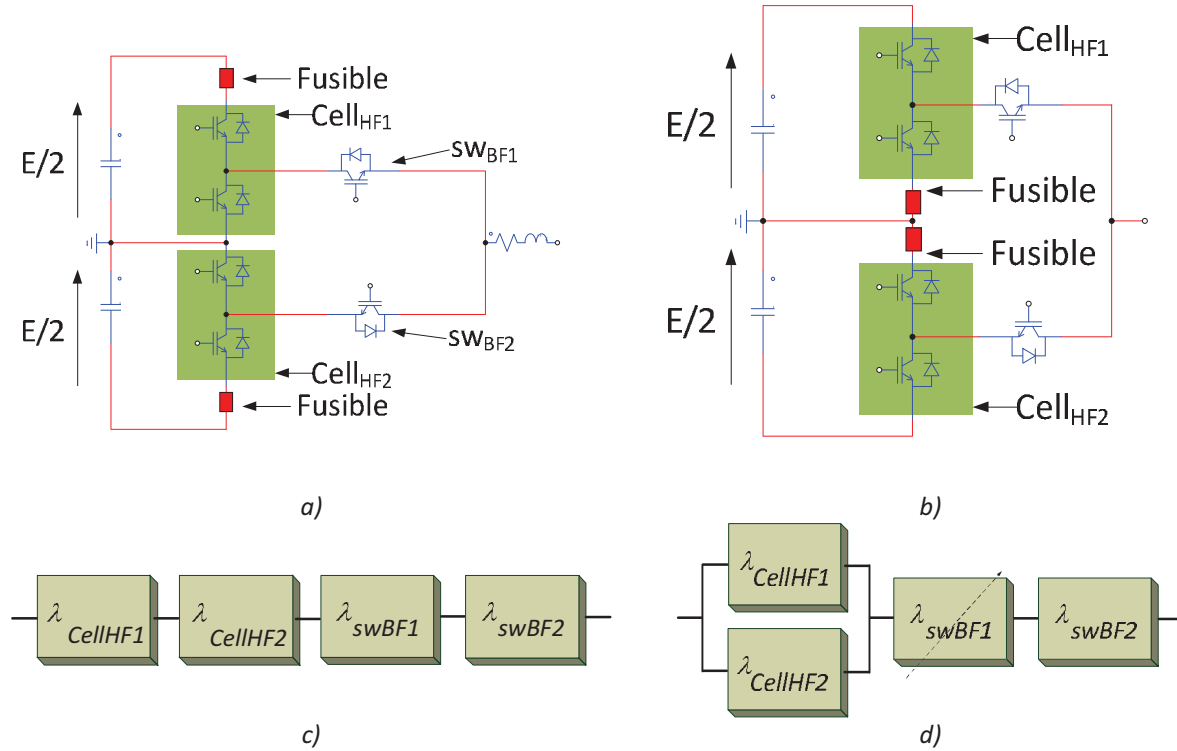


Figure 2-17 : a) Onduleur ANPC 3 Niveaux variante 1 avec $V_{bus} = 540V$; b) Onduleur ANPC 3 Niveaux variante 2 avec $V_{bus} = 540V$; c) Diagramme de fiabilité d'onduleur 3 Niveau variante 1 aucune tolérance ; d) Diagramme de fiabilité d'onduleur 3 Niveau variante 2 avec une tolérance.

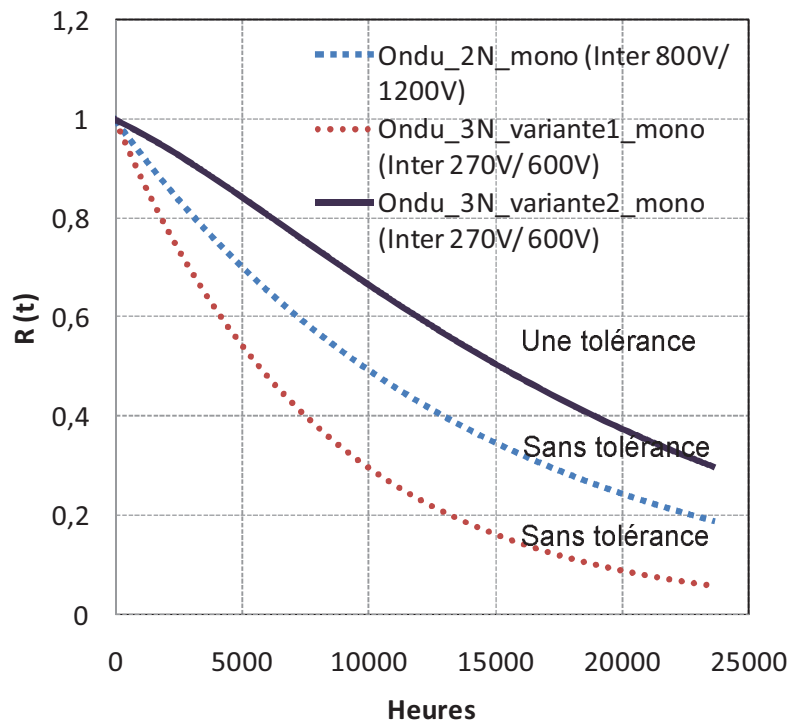


Figure 2-18 : Fiabilité des ANPC Double-Boost FC 3 Niveaux en comparaison avec onduleur 2N.

2.4.2 Fiabilité d'un bras convertisseur 5-Niveaux

2.4.2.1 ANPC 5 Niveaux variante 1 en monophasé

Le montage est défini en Figure 2-19 et comprend deux groupes superposés de 2 cellules imbriquées entre un condensateur flottant. Les deux groupes sont reliés à des interrupteurs basse fréquence. Le diagramme de fiabilité conforme à un bras multiniveaux est donné en Figure 2-21. Il s'agit d'un système à redondance active partielle "1" cellule parmi "2" cellule d'un stack associé à des éléments série représentant les condensateurs et les interrupteurs basse fréquence. Sur le diagramme figure Figure 2-21 il faut bien voir que le taux de défaillance associé à interrupteur à découpage est variable en fonction du défaut. Cette remarque rend la recherche du modèle de fiabilité très fastidieuse (mais tout de même mathématiquement possible) et la présentation peu pratique sous forme littérale.

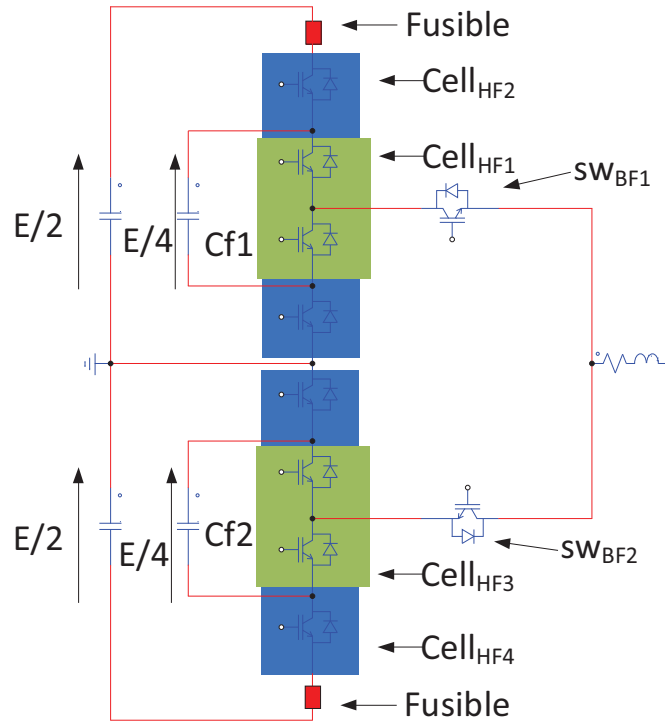


Figure 2-19 : Onduleur ANPC 5 Niveaux variant 1 avec $V_{bus} = 800V$;

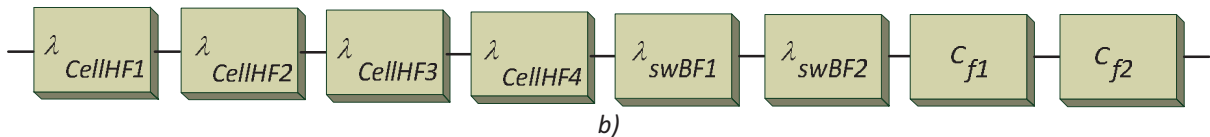


Figure 2-20 : Diagramme de fiabilité d'onduleur ANPC 5N variant 1 pour le fonctionnement 5N plein de tension et aucune tolérance de panne interne.

$$R_{On_5N_va1_mono_sans_tole} = e^{-(\lambda_{CellHF1} + \lambda_{CellHF2} + \lambda_{CellHF3} + \lambda_{CellHF4} + \lambda_{swBF1} + \lambda_{swBF2} + \lambda_{Cf1} + \lambda_{Cf2})t} \quad (2-44)$$

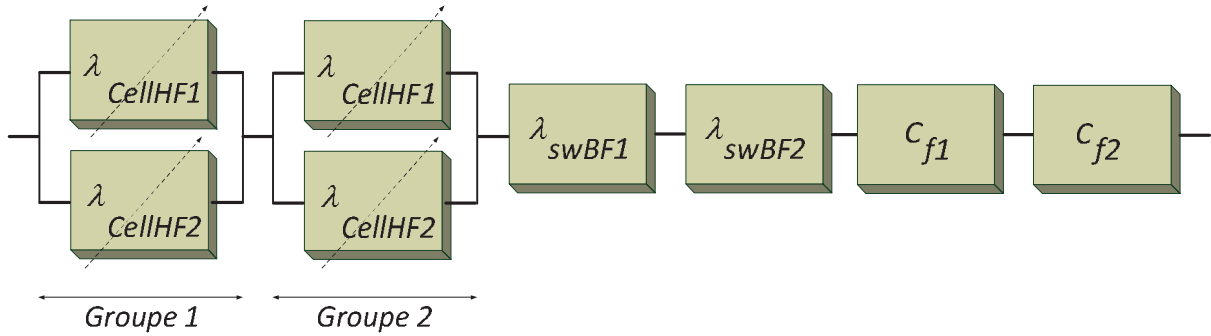


Figure 2-21 : Diagramme de fiabilité d'un ANPC 5 Niveaux variante 1 avec tolérance de panne et report de charge sur la cellule d'étage défaillant.

Lorsqu'un composant est défaillant, l'autre cellule HF va subir la tenue en tension double donc la fiabilité est diminuée alors :

En cas normal, le taux de défaillance d'une cellule HF: λ_1 (200V/600Vmax)

En cas défaut: λ_2 (400V/600Vmax). Il reste à chiffrer λ_2 .

2.4.2.2 Influence de la tension

De façon empirique, on cherche la fonction qui décrit l'influence de la tension V_{ce} ramenée sur la tension de calibre du transistor, sachant qu'elle ne doit pas dépasser 90% de cette tension. La relation est donnée par le guide [28] (équation 2-11):

$$\lambda_1 = \lambda_0 \cdot 0,22 e^{1,7 \frac{V_{ce1}}{V_{ce \max}}} \quad (2-45)$$

Avec : $V_{ce1} = 200V$

$V_{cemax} = 600V$

$$\lambda_2 = \lambda_0 \cdot 0,22 e^{1,7 \frac{V_{ce2}}{V_{ce \max}}} \quad (2-46)$$

Avec : $V_{ce2} = 400V$

$V_{cemax} = 600V$

Le report de charge sur le taux de défaillance :

$$\lambda_2 = \lambda_1 e^{1,7 \frac{400 - 200}{600}} \cong 1,8 \lambda_1 \quad (2-47)$$

L'influence de tension: $\pi_s = 1,8$ (donc $\lambda_2 = 1,8 \times \lambda_1$).

2.4.2.3 Influence de la température

On cherche la fonction qui décrit l'influence de la température sur le taux de défaillance

On utilise la loi d'Arrhenius:

Hypothèse: Pertes_Cond $\approx$ Pertes_Com ($\sim$ Tension)

D'autre part:

$$T_j - T_{case} = \Delta T = \phi \times R_{thjC} \quad (2-48)$$

Avec une tension double, l'augmentation des pertes est de 50%, alors gain de température est aussi 1,5.

Le cas pratique, pour des composants à $T_j \max = 150^\circ C$ ou éventuellement $175^\circ C$, avant défaut: $T_j = 125^\circ C$, $T_{case} = 80^\circ C$.

Après défaut: $T'_j = 80 + 1,5(125 - 80) = 147,5^\circ\text{C} \rightarrow \Delta T_j \approx 20^\circ\text{C} \rightarrow \pi_t = 2$. (cf 2.2.3.1.a)

Alors en cas de défaillance une cellule de commutation parmi deux, il revient de doubler la tension de commutation de la cellule saine donc cette tension double revient à multiplier par $\pi_s \pi_t \approx 3,6$ le taux de défaillance.

$$\lambda_2 = \pi_s \pi_t \lambda_1 \quad (2-49)$$

Tableau 2-4 : Evolution du MTBF par redondance active partielle prenant en compte le report de contrainte en tension.

Nb d'entité(s) / types d'association de composants	Association // (aucune redondance) <i>MTTF sans redondance/ MTTF entité</i>	Association série (redondance totale) <i>MTTF redondance active totale/ MTTF entité</i>	Association série (redondance partielle) <i>MTTF global/ MTTF entité</i>	Association série (redondance partielle) <i>Avec report de charge tension + température MTTF global/ MTTF entité</i>
1	1	1	1	
2	0,5	1,5	(1 parmi 2) 1,5	(1 parmi 2) 0,75
3	0,33	1,83	(2 parmi 3) 0,83	(2 parmi 3) 0,45
4	0,25	2,08	(3 parmi 4) 0,58	
5	0,2	2,28	(3 parmi 5) 0,78	

Les résultats du tableau montrent que l'association série (redondance partielle) avec report de charge est au moins supérieur à association en parallèle sans redondance.

La fiabilité de la structure ANPC 5N variante 1 avec report de charge est expliquée dans le diagramme de fiabilité (Figure 2-21) en utilisant théorie d'association en parallèle (cf 2.3.1) et association un parmi deux avec le taux de défaillance dépendant (cf 2.3.4.1). On déduit :

$$R'_{On_5N_variante1_tolé_mono}(t) = \frac{1}{(\lambda_2 - 2\lambda_1)^2} (\lambda_2 e^{-2\lambda_1 t} - 2\lambda_1 e^{-\lambda_2 t})^2 \times e^{-2\lambda_{swBF} t} e^{-2\lambda_{CF} t} \quad (2-50)$$

Avec :

λ_1 : Taux de défaillance d'une cellule de commutation des composants calibres standard 600V en fonctionnement normal sous la tension $E/4=200\text{V}$ ($\lambda_1 = 4.10^{-5}$)

λ_2 : Taux de défaillance d'une cellule de commutation quand l'autre cellule de même stack est défaillante sous la tension $E/2=400\text{V}$. ($\lambda_2 \approx 3,6 \lambda_1$).

2.4.2.4 ANPC 5 Niveaux variante 2 en monophasé

Dans cette partie, nous effectuons des études de calcul de la fiabilité sur un autre type de convertisseur ANPC 5N qu'on appelle variante 2 en Figure 2-22, mode onduleur breveté par ABB.

Elle génère une tension de sortie à 5 Niveaux à l'aide de deux cellules de commutation à haute fréquence et deux cellules de commutation à basse fréquence. Cette topologie n'a qu'un seul condensateur flottant commuté à la fréquence de découpage F_{dec} . Deux fusibles sont installés au point-milieu qui permet d'augmenter la capacité de tolérance de cette structure. Nous gardons toujours l'hypothèse de fonction en pleine tension, le mode

derating sera traité dans la partie suivante, et le mode de défaillance est toujours le mode de court-circuit durable. Pour pouvoir calculer la fiabilité globale de cette structure, il faut que nous étudions son fonctionnement non seulement en cas normal mais aussi en cas défaillant. En fonction normal, chaque cellule basse fréquence (Cell_{BF1} ou Cell_{BF2}) ne travaille que dans une alternance de courant sortie, par contre deux cellules haute fréquence entrelacées commutent à F_{dec} pour gérer la tension de sortie V_s à $2F_{dec}$. En fonction défaillante, cette topologie peut reconfigurer à 3 Niveaux si une des deux cellules haute fréquence est en panne, et l'autre cellule supporte deux fois de tension, ou à 3 Niveaux si une cellule basse fréquence est en panne et les fusibles au point-milieu activés. Ce dernier scénario se traduit par une surtension double aux bornes des cellules HF. Par ce mécanisme, nous pouvons tracer le schéma de fiabilité de cette topologie (Figure 2-22b).

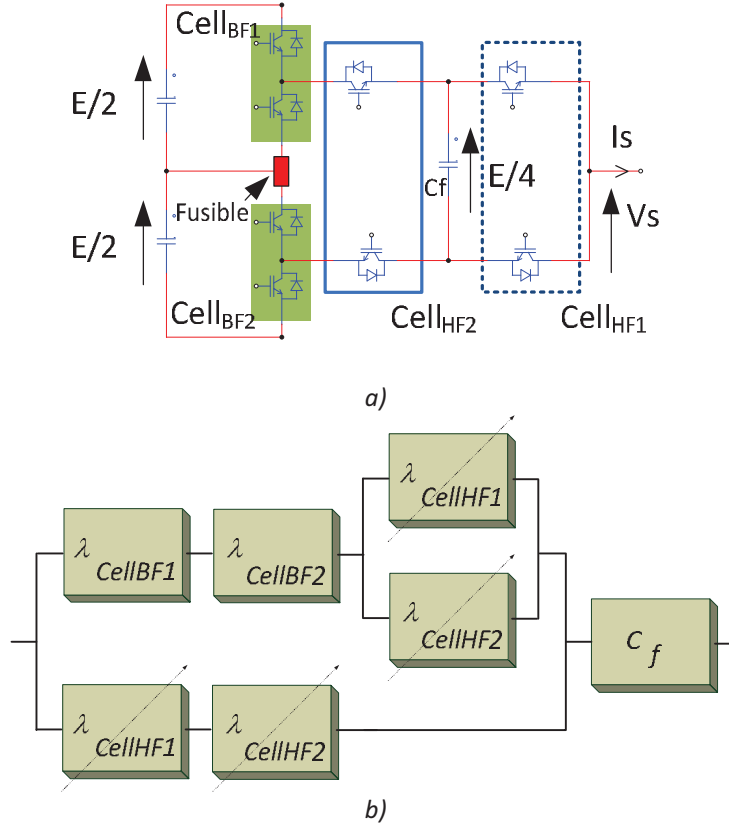


Figure 2-22 : a) Onduleur ANPC 5 Niveaux variant 2 avec $V_{bus} = 800V$; b) Diagramme de fiabilité d'ANPC 5 N variante 2 avec deux tolérances possibles.

Par l'application d'association en parallèle, en série, et 1 parmi 2 avec report de charge, nous pouvons déduire la formule de calcul de fiabilité de cette topologie 5 Niveaux avec fusibles au point-milieu :

$$R_{On_5N_variante2_tolerance}(t) = \left\{ 1 - \left[1 - e^{-(\lambda_{cellBF1} + \lambda_{cellBF2})t} \cdot \frac{1}{\lambda_2 - 2\lambda_1} (\lambda_2 e^{-2\lambda_1 t} - 2\lambda_1 e^{-\lambda_2 t}) \right] \cdot (1 - e^{-2\lambda_1 t}) \right\} \times e^{-\lambda_{Cf} t} \quad (2-51)$$

Avec :

λ_1 : Taux de défaillance d'une cellule de commutation haute fréquence en fonction normal

λ_2 : Taux de défaillance d'une cellule de commutation haute fréquence avec report de charge quand l'autre cellule est en panne.

λ_{cellBF} : Taux de défaillance d'une cellule basse fréquence.

λ_{Cf} : Taux de défaillance du condensateur flottant.

Maintenant, nous allons placer les fusibles aux bornes de bras (Figure 2-23a) pour former l'ANPC 5 Niveaux variante 3, et dans ce cas, la topologie peut profiter la reconfiguration deux parmi trois comme l'ANPC 5 Niveaux triphasé dans le paragraphe précédent.

2.4.2.5 ANPC 5 Niveaux variante 3 en monophasé

En fonction normal, elle travaille complètement comme la topologie ANPC 5N variante 2 avec le fusible au point-milieu. Seule la tolérance d'une défaillance sur la cellule HF1 ou HF2 est acceptée ce qui permet d'éviter l'apparition d'une surtension comme sur la variante 2.

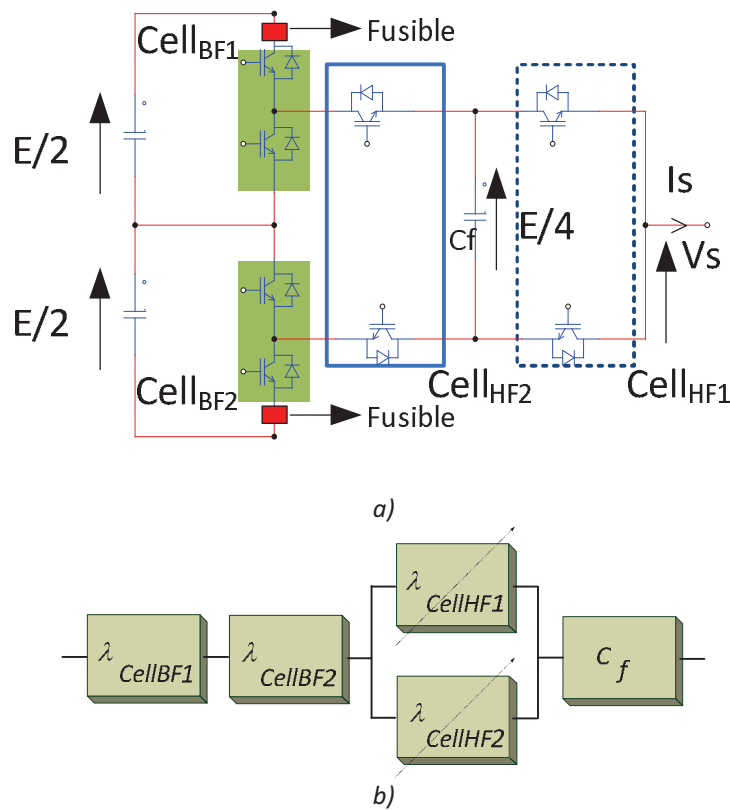


Figure 2-23 : a) Onduleur ANPC 5N variant 3 avec fusibles aux bornes de bras et $V_{bus} = 800V$ et une seule tolérance possible ; b) Fiabilité d'onduleur ANPC 5N variant 3 en tenant compte d'une capacité de tolérance de panne.

Par l'application d'association en série et 1 parmi 2 avec report de charge :

$$R_{On_5N_var\ iante\ 3_tolerance} = e^{-(\lambda_{cellBF1} + \lambda_{cellBF2})t} \cdot \frac{1}{\lambda_2 - 2\lambda_1} (\lambda_2 e^{-2\lambda_1 t} - 2\lambda_1 e^{-\lambda_2 t}) \cdot e^{-\lambda_{Cf} t} \quad (2-52)$$

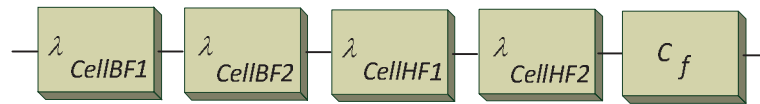


Figure 2-24 : Fiabilité de la structure ANPC 5N sans tenir compte de la redondance de panne pour les variantes 2 et 3.

Pour comparer, nous présentons ici la fiabilité de la structure ANPC 5N type sans tenir compte de la redondance de panne Figure 2-24:

$$R_{On_5N_var\ iante\ 2(3)_sans_tolérance} = e^{-(\lambda_{CellBF\ 1} + \lambda_{CellBF\ 2} + \lambda_{CellHF\ 1} + \lambda_{CellHF\ 2} + \lambda_{Cf})t} \quad (2-53)$$

La Figure 2-25 présente la comparaison entre les trois types de topologies ANPC 5N. La topologie ANPC 5N variante 2 avec fusibles au point-milieu est la meilleure avec une fiabilité plus grande que les autres mais suppose de savoir bien gérer la surtension. Elle possède également le nombre minimum de composants (mais avec un facteur de marche double). La topologie ANPC 5N variante 3 avec fusibles aux bornes de bras a la même fiabilité qu'un onduleur ANPC 5N variante 1 dans les premiers temps et après elle gagne grâce à deux fois moins de composants HF et à un seul condensateur flottant. Il est à noter que la variante 1, possédant un nombre important de composants, conserve potentiellement le même niveau de fiabilité qu'un onduleur 2N sur "temps court" à condition de gérer les deux redondances cellulaires de la structure.

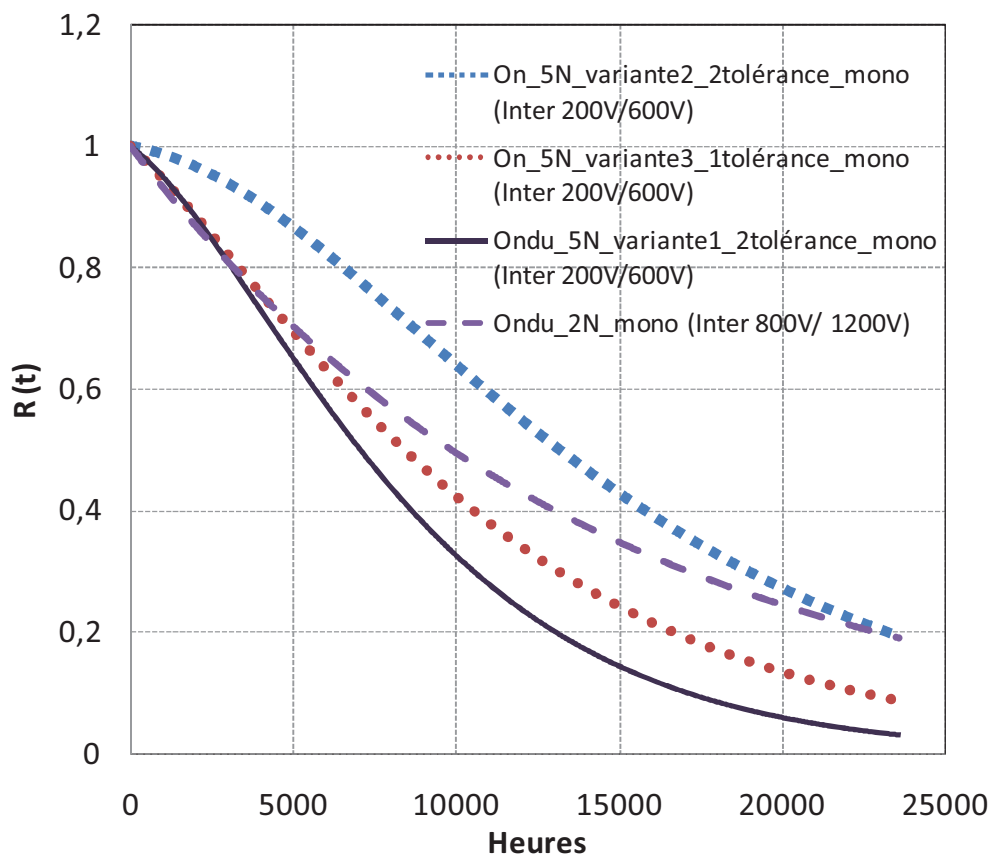


Figure 2-25 : Fiabilité des variantes d'onduleurs ANPC 5 Niveaux en comparaison avec celle d'onduleur 2 Niveaux classique.

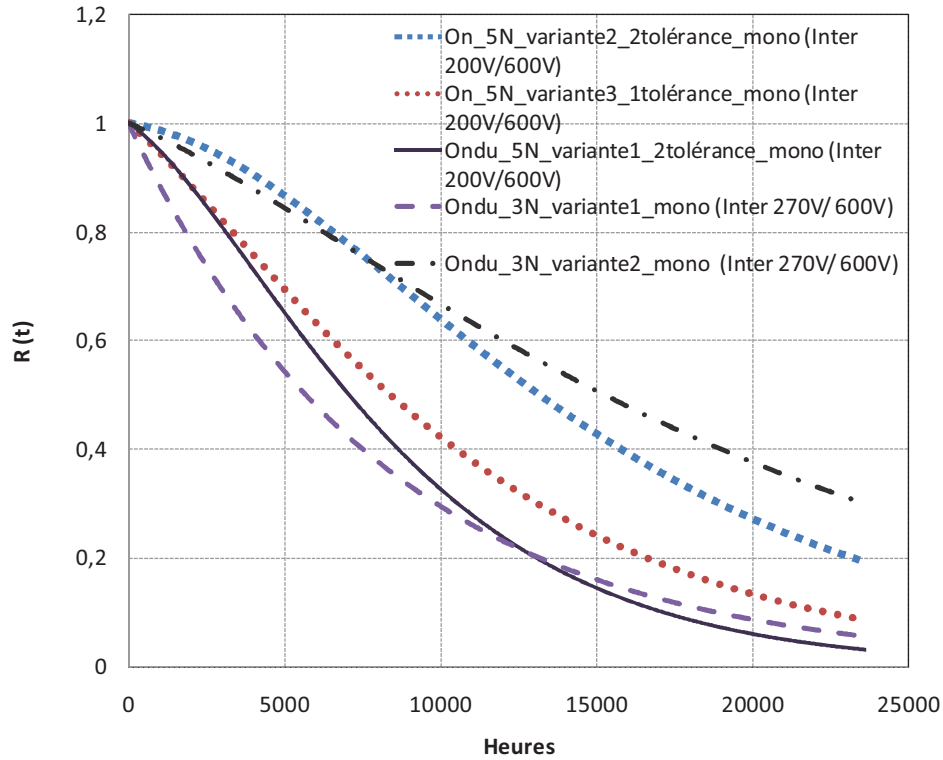


Figure 2-26 : b) Fiabilité des variantes d'onduleurs ANPC 5 Niveaux en comparaison avec celles des onduleurs 3 Niveaux.

La Figure 2-26 montre l'impact des redondances supplémentaires des structures 5N par rapport aux structures 3N sur le critère fiabilité.

2.4.3 Fiabilité d'un convertisseur triphasé 5-Niveaux

Nous passons maintenant en triphasé, l'onduleur triphasé classique à 2 niveaux en utilisant trois cellules de commutations donc six IGBTs demande tous ces composants en état.

$$R_{On_2N_tri} = e^{-3\lambda_{CellHF} t} \quad (2-54)$$

2.4.3.1 ANPC 5 Niveaux variante 1 en triphasé

Pour notre structure ANPC 5N, comme nous avons étudié dans le paragraphe précédent, la fiabilité de la structure triphasée (Figure 2-27) avec aucune analyse de redondance :

$$R_{On_5N_val_tri_sans_tolerance} = e^{-3(\lambda_{CellHF1} + \lambda_{CellHF2} + \lambda_{CellHF3} + \lambda_{CellHF4} + \lambda_{swBF1} + \lambda_{swBF2} + \lambda_{Cf1} + \lambda_{Cf2})t} \quad (2-55)$$

Avec :

Le taux de défaillance d'un bras onduleur ANPC 5N type 1 avec aucune redondance interne :

$$\begin{aligned} \lambda_{bras_On_5N_val_sans_tolerance} = & \lambda_{CellHF1} + \lambda_{CellHF2} + \lambda_{CellHF3} + \lambda_{CellHF4} \\ & + \lambda_{swBF1} + \lambda_{swBF2} + \lambda_{Cf1} + \lambda_{Cf2} \end{aligned} \quad (2-56)$$

Ce calcul est forcément changé en tenant compte de la capacité de tolérance de la structure, une cellule de commutation par stack, donc il peut accepter de reconfigurer la tension de sortie de 5N à 4N ou à 3N.

Il y a un autre mécanisme qui est applicable en triphasé et qui se traduit par un des modes de reconfiguration de 3 bras à 2 bras [4], le principe de cette reconfiguration est illustré dans Figure 2-28a).

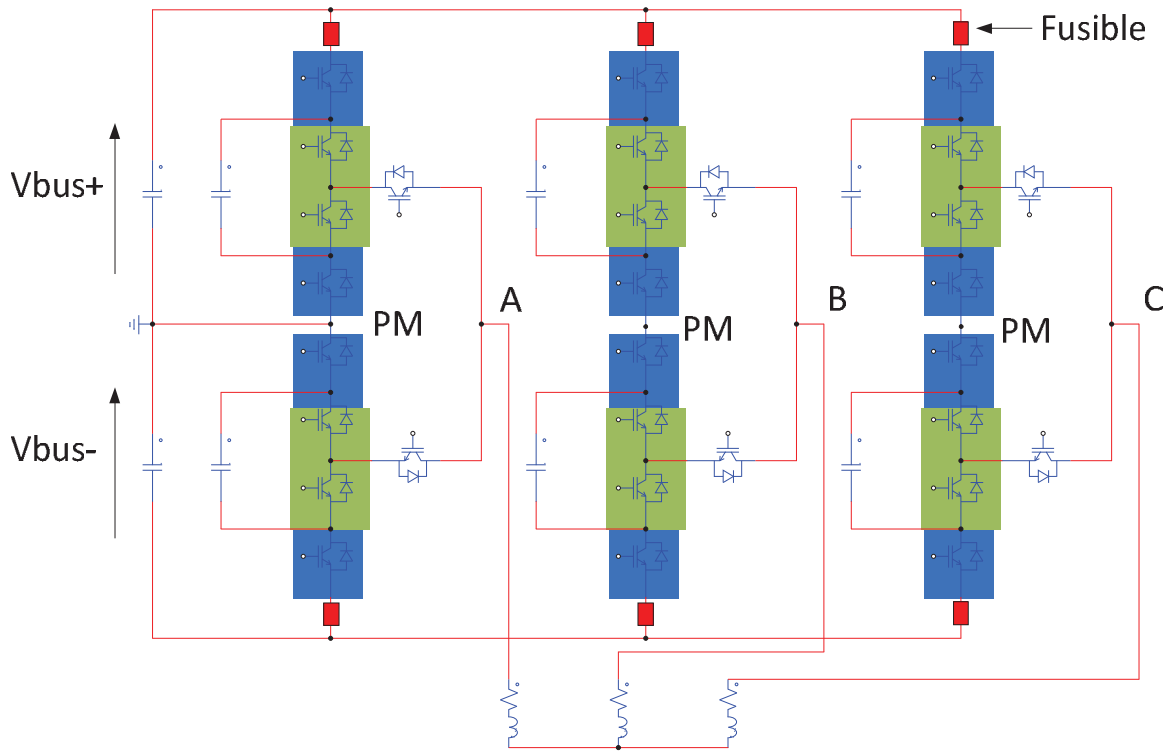
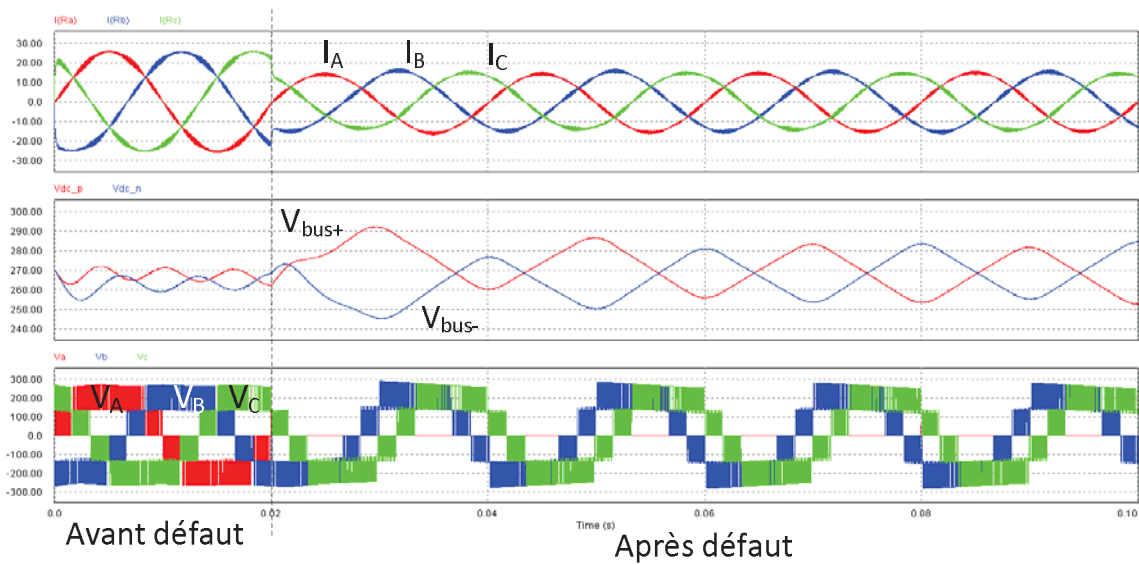


Figure 2-27 : Onduleur ANPC 5N variante 1 en triphasé $V_{bus} = 800V$, composants commutant à 200V sous 600V de calibre.



a)

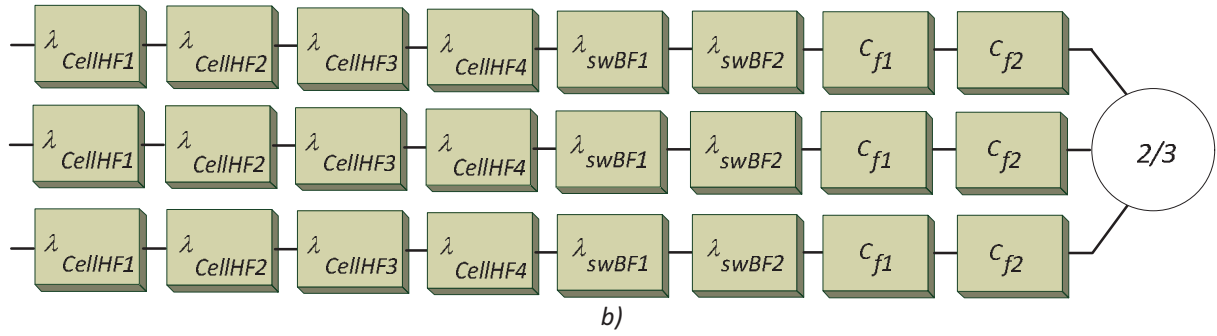


Figure 2-28 : a) Fonctionnement d'onduleur ANPC 5N variante 1 en mode dégradé, bras 1 est défaillant ; b) Diagramme de fiabilité de fonctionnement d'onduleur ANPC 5N variante 1 avec 1 bras est en panne.

Fiabilité de fonctionnement d'ANPC 5 Niveaux variante 1 illustré sur Figure 2-28 a) et b) deux bras parmi trois :

$$R_{On_5N_tri_fus_sans_redondance_interne} = e^{-3\lambda_{bras_On_5N_sans_tolerance}t} + \frac{1}{1 - \frac{2\lambda_{bras_On_5N_sans_tolerance2}}{3\lambda_{bras_On_5N_sans_tolerance}}} (e^{-2\lambda_{bras_On_5N_sans_tolerance2}t} - e^{-3\lambda_{bras_On_5N_sans_tolerance}t}) \quad (2-57)$$

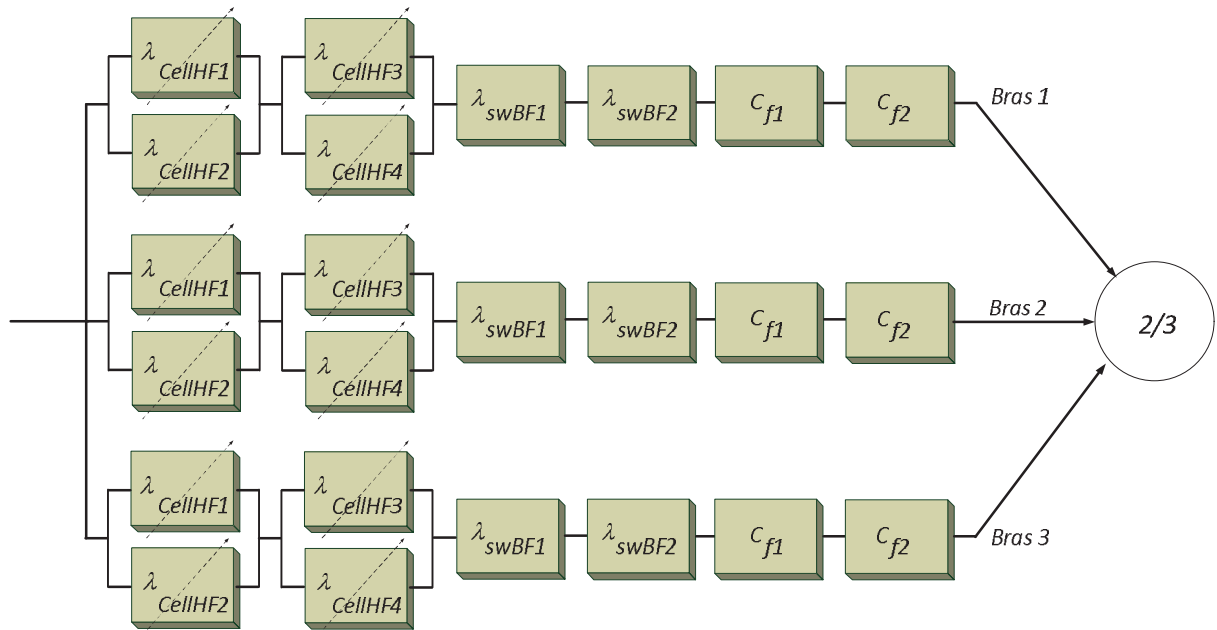


Figure 2-29 : Diagramme de fiabilité globale de la structure ANPC 5N avec toute analyse de tolérance.

La fiabilité globale de la structure ANPC 5N variante 1 avec des tolérances internes et mode 2 parmi 3 :

$$R_{On_5N_tri_variante1_tolerance}(t) = \sum_{i=2}^3 C_3^i R_{On_5N_va1_tolé_mono}^i (1 - R_{On_5N_va1_tolé_mono})^{3-i} \quad (2-58)$$

Nous traitons maintenant la fiabilité des variantes ANPC 5N.

2.4.3.2 ANPC 5 Niveaux variante 2 en triphasé

Dans ce cas, la disposition des fusibles au point milieu ne permet pas de disposer de la redondance triphasée 2/3.

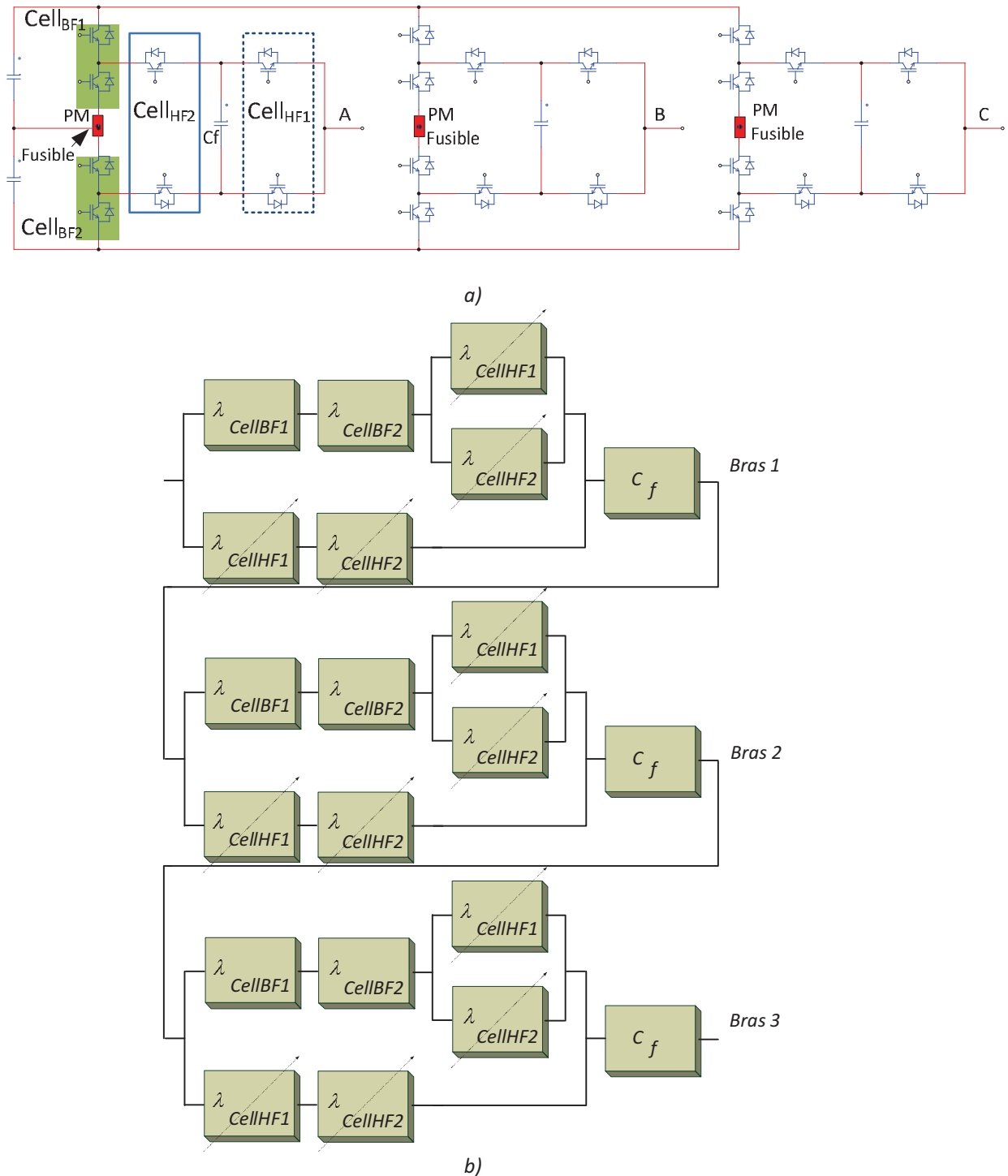
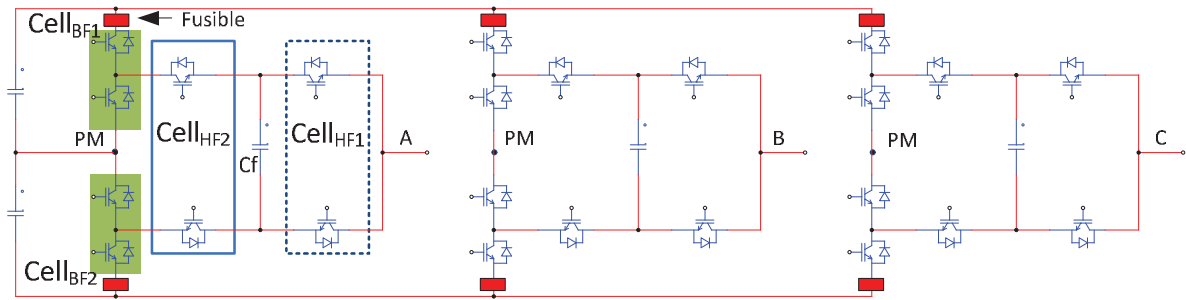
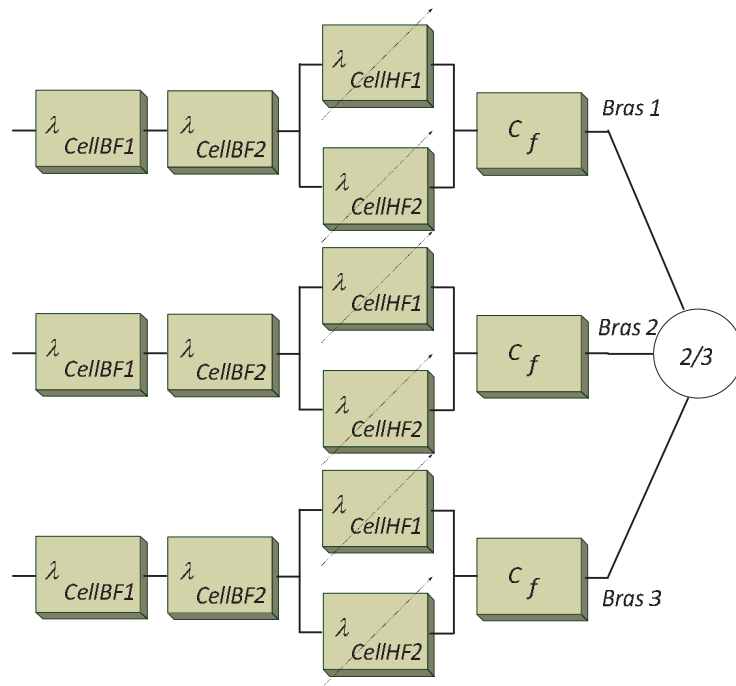


Figure 2-30 : a) Onduleur ANPC 5N variante 2 en triphasé avec les fusibles au point-milieu
b) Fiabilité d'onduleur ANPC 5N variante 2 en triphasé avec tolérance de panne interne.

2.4.3.3 ANPC 5 Niveaux variante 3 en triphasé



a)



b)

Figure 2-31 : a) Onduleur ANPC 5N variante 3 avec fusibles aux bornes de bras
b) Fiabilité d'onduleur ANPC 5N variante 3 en triphasé avec tolérance de panne.

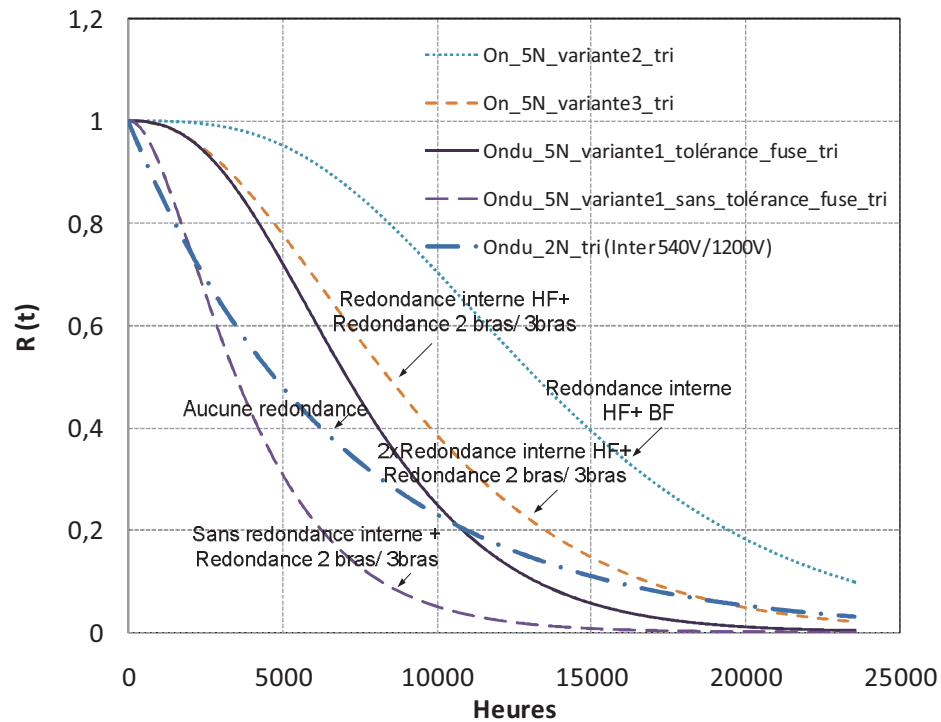
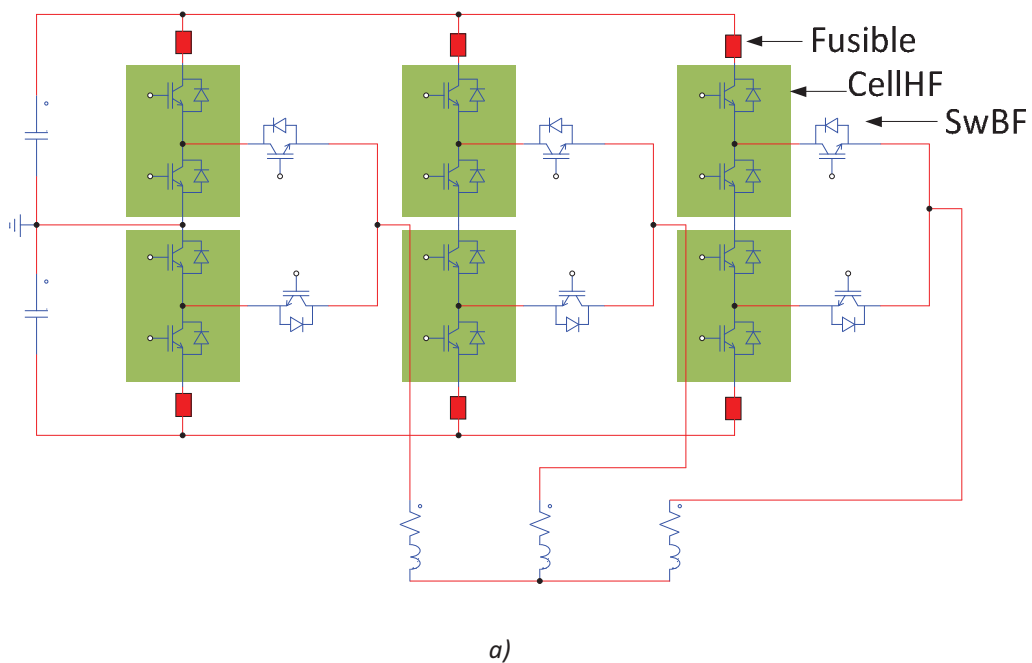


Figure 2-32 : Fiabilité des onduleurs ANPC 5N et d'onduleur 2N.

2.4.4 Fiabilité d'un convertisseur triphasé 3-Niveaux

Le convertisseur en triphasé (Figure 2-33) n'a pas de redondance active par bras, mais il profite de la reconfiguration 2 bras parmi 3 comme l'onduleur ANPC 5N en triphasé.



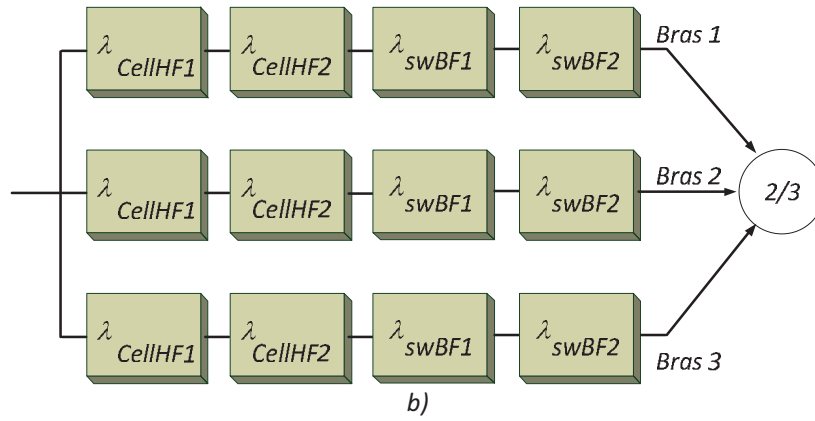


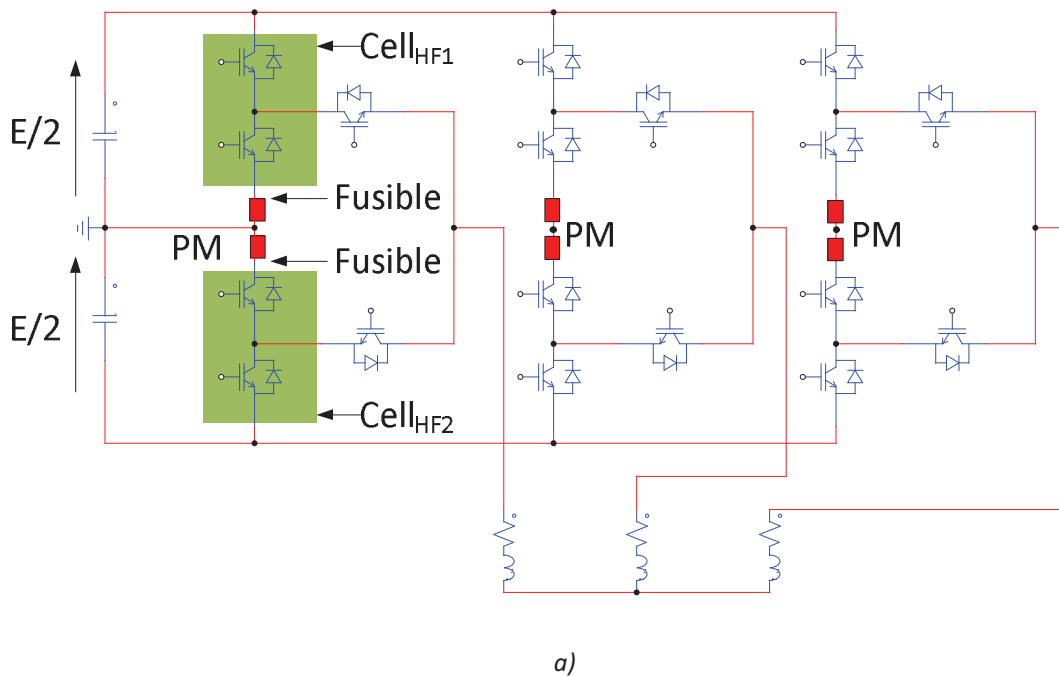
Figure 2-33 : a) Onduleur ANPC 3N variante 1 en triphasé ; b) Diagramme de fiabilité d'onduleur 3N triphasé variante 1 tenir compte mode de reconfiguration de fusible deux parmi trois.

La fiabilité de la structure sans redondance de panne :

$$R_{On_3N_tri_sans_fus} = e^{-3(\lambda_{CellHF1} + \lambda_{CellHF2} + \lambda_{swBF1} + \lambda_{swBF2})t} \quad (2-59)$$

La fiabilité de la structure ANPC 3 Niveaux variante 1 avec redondance 2 bras parmi 3 bras :

$$R_{On_3N_var_iante1_tri} = e^{-3\lambda_{bras1}t} + \frac{1}{1 - \frac{2\lambda_{bras2}}{3\lambda_{bras1}}} (e^{-2\lambda_{bras2}t} - e^{-3\lambda_{bras1}t}) \quad (2-60)$$



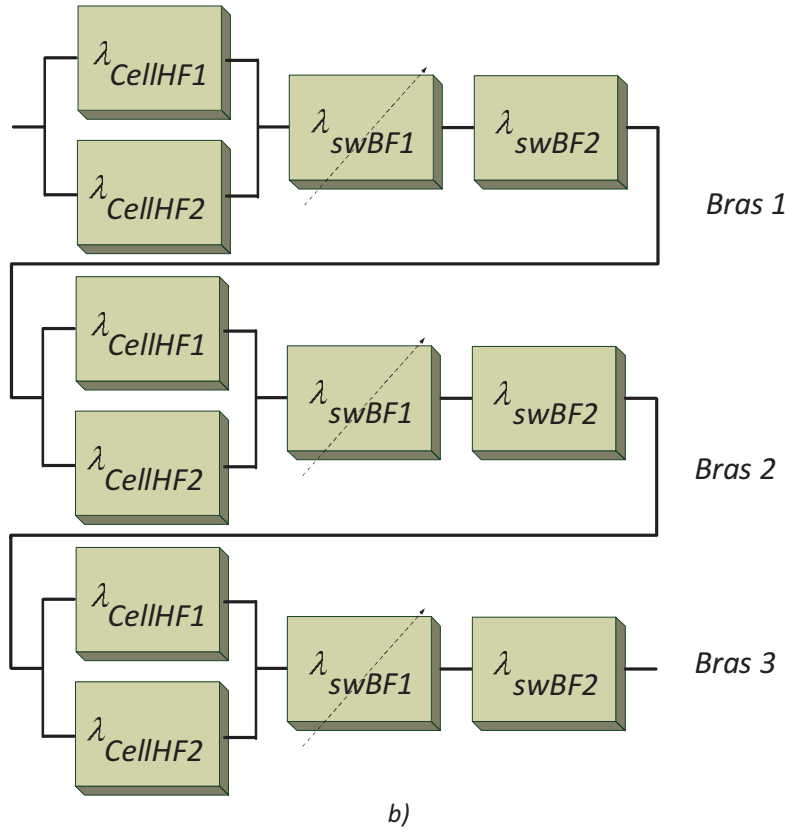


Figure 2-34 : a) Onduleur ANPC 3N variante 2 en triphasé; b) Diagramme de fiabilité d'onduleur 3N triphasé.

La fiabilité de la structure ANPC 3 Niveaux variante 2 avec redondance interne mais sans redondance 2 bras parmi 3 bras : en effet, au deuxième défaut interne d'un bras, l'isolement du point milieu ne permet pas de disposer de la redondance du triphasé 2/3.

$$R_{On_3N_var\ iante\ 2_tri} = \left\{ \left[1 - (1 - e^{-\lambda_{CellHF1} t}) \cdot (1 - e^{-\lambda_{CellHF2} t}) \right] \cdot e^{-(\lambda_{swBF1} + \lambda_{swBF2}) t} \right\}^3 \quad (2-61)$$

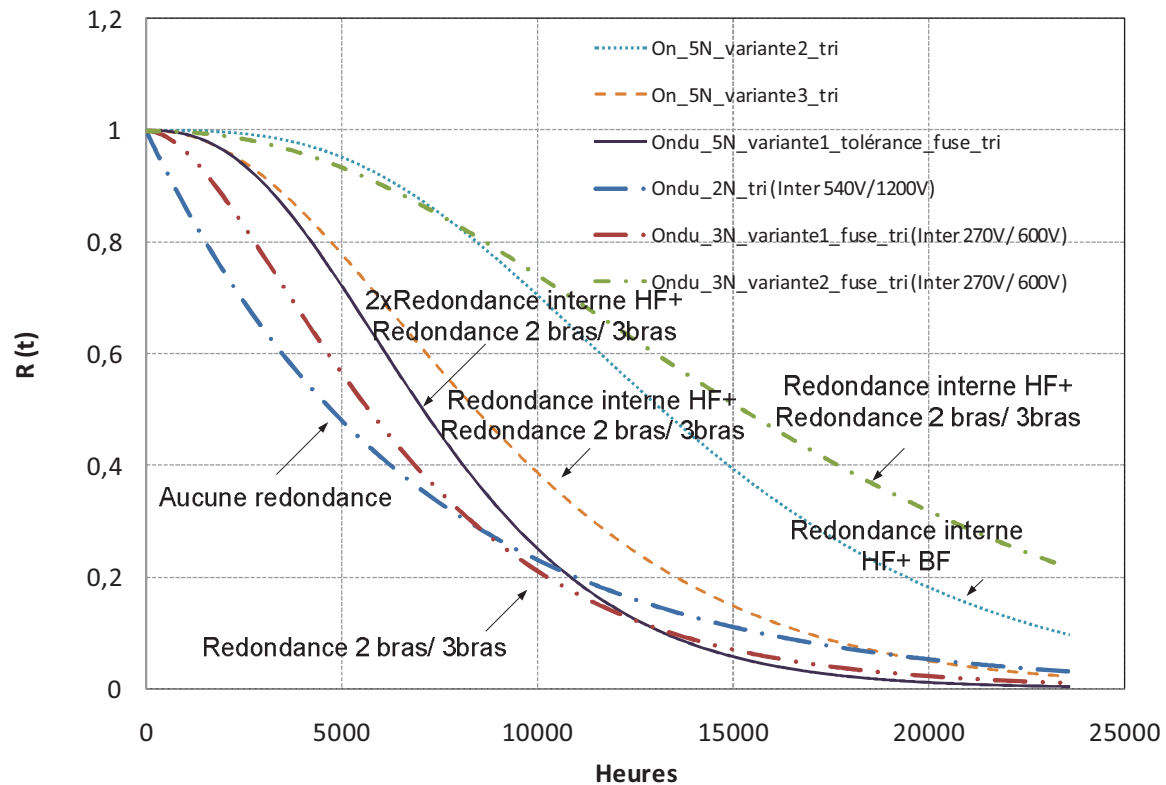


Figure 2-35 : Fiabilité des onduleurs 2N, 3N et 5N en triphasé.

L'usage du point milieu en topologie triphasée symétrique offre une possibilité de mode secours supplémentaire aux redondances actives "cellulaires" présentes sur les structures 3N (variante 2) et 5N (variantes 2) que nous avons présentées. Cette propriété se traduit par une plage de fiabilité théorique maximale sur "temps court" plus large comparée aux versions monophasées. La topologie 5N variante 1 est celle possédant le plus de redondances au niveau des cellules et de la topologie. Par contre, le nombre important de composants mis en jeu provoque une "chute" de cette fiabilité sur "temps long" i.e. sur une plage de fonctionnement où les redondances sont "consommées".

2.5 Mode de fonctionnement avec tension d'entrée réduite

Dans cette partie, une redondance supplémentaire est introduite. Elle consiste à pouvoir alimenter la charge par la demi-tension du bus.

2.5.1 Onduleur ANPC 3Niveaux en mode derating

Cette topologie a deux cellules haute fréquence et deux interrupteurs basse fréquence pour gérer la tension de sortie 3 Niveaux, chaque interrupteur est donc dimensionné à $E/2$. S'il est accepté la continuité de fonctionnement de cette structure en réduisant de 50% la tension fournie, elle peut travailler alors sous 2N avec des interrupteurs court-circuités.

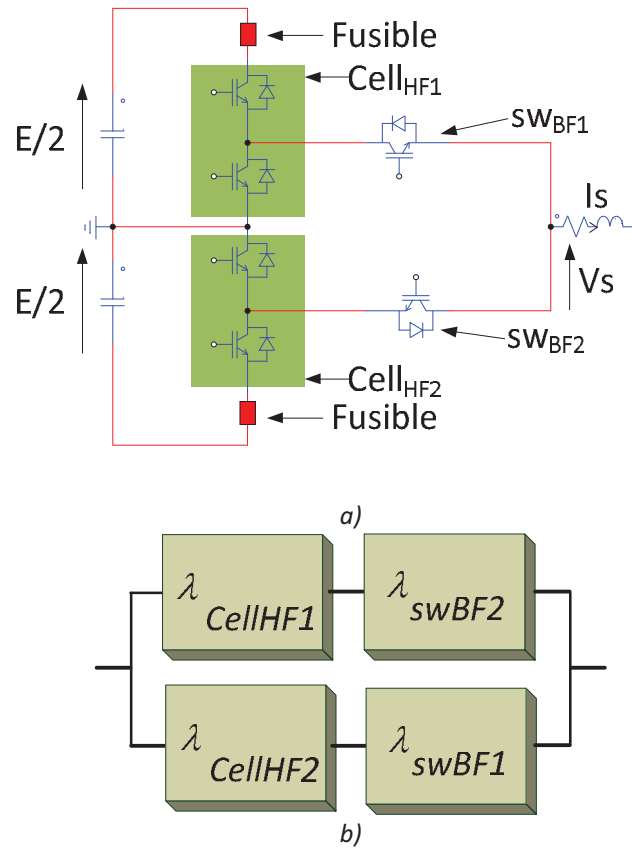


Figure 2-36 : a) Onduleur ANPC 3N avec des fusibles aux bornes b) Fiabilité d'onduleur 3N en mode derating 50% de tension.

L'onduleur ANPC 3N peut accepter un défaut de l'interrupteur basse fréquence ou un défaut de l'interrupteur basse fréquence et un défaut de cellule haute fréquence pour passer en mode 2N et 50% de tension. Alors nous avons le schéma de fiabilité de cette structure (Figure 2-36) et la formule de calcul :

$$R_{On_3N_derating} = 1 - \left[1 - e^{-(\lambda_{CellHF1} + \lambda_{swBF2})t} \right] \left[1 - e^{-(\lambda_{CellHF2} + \lambda_{swBF1})t} \right] \quad (2-62)$$

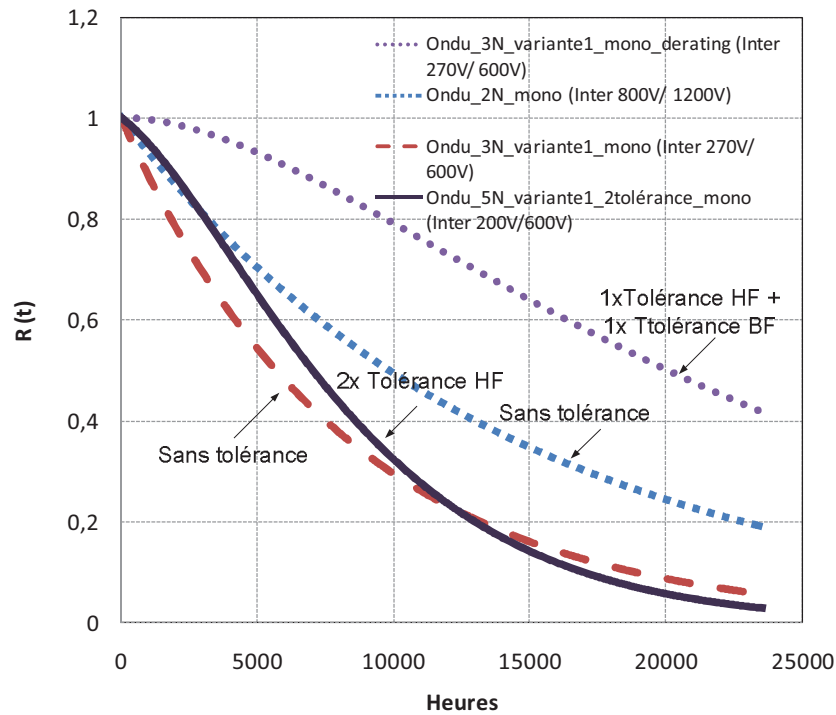


Figure 2-37 : Fiabilité d'onduleur ANPC 3N en mode derating de tension en comparaison avec les autres topologies sans derating.

Le résultat dans la Figure 2-37 montre que théoriquement, le mode derating permet d'augmenter très fortement la fiabilité de la structure, dans ce cas, elle est même supérieure à celle de la topologie 5N sans derating 50% de tension.

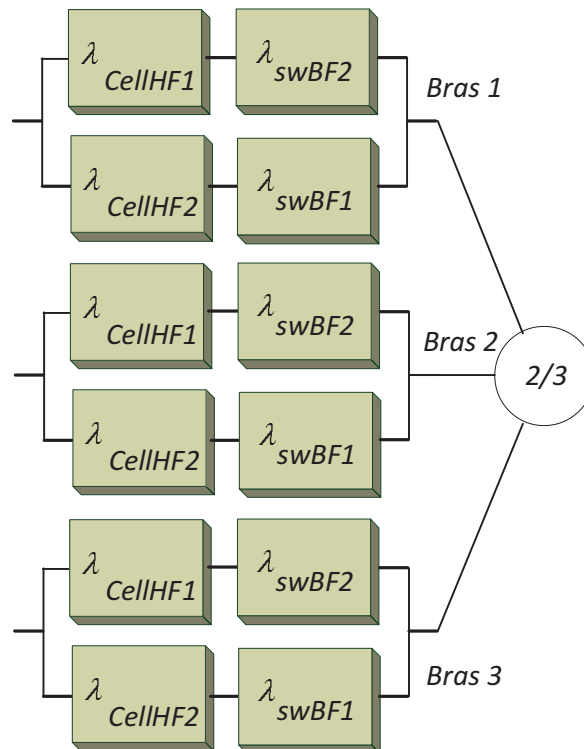


Figure 2-38 : Fiabilité d'onduleur ANPC 3N en triphasé avec derating de tension.

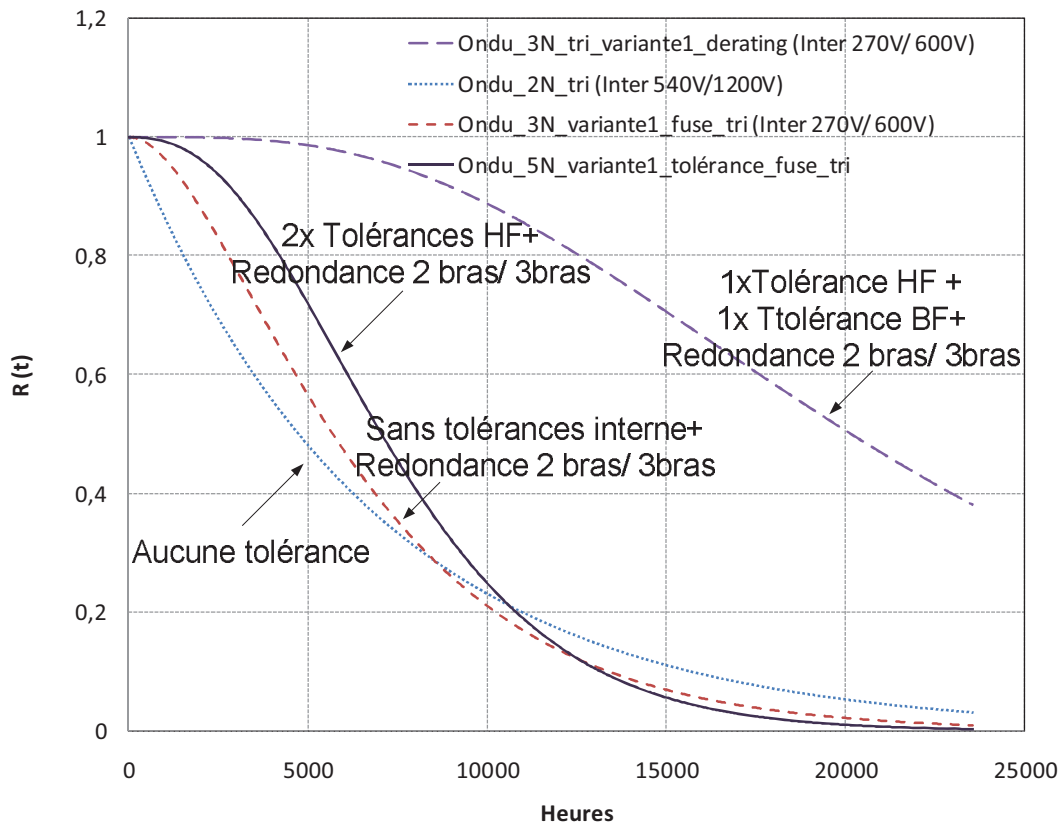


Figure 2-39 : Fiabilité d'onduleur ANPC 3N en triphasé avec derating de tension.

2.5.2 Onduleur ANPC 5 Niveaux en mode derating de tension

Pour l'ANPC 5N (variante 1) en mode derating de tension, la structure est tolérante à :

- un défaut sur une cellule haute fréquence pour passer en mode 4N, pleine tension d'entrée,
- un défaut sur une cellule haute fréquence par groupe pour passer en mode 3N et pleine tension,
- un défaut d'interrupteur basse fréquence pour passer en mode 3N et demi tension d'entrée,
- un défaut d'interrupteur basse fréquence et un défaut de cellule haute fréquence pour passer en mode 2N et demi tension
- un défaut de deux cellules haute fréquence de même étage pour passer en mode 2N et demi de tension.

Alors, par ce mécanisme nous avons le schéma de fiabilité de cette topologie comme montré sur la Figure 2-40b.

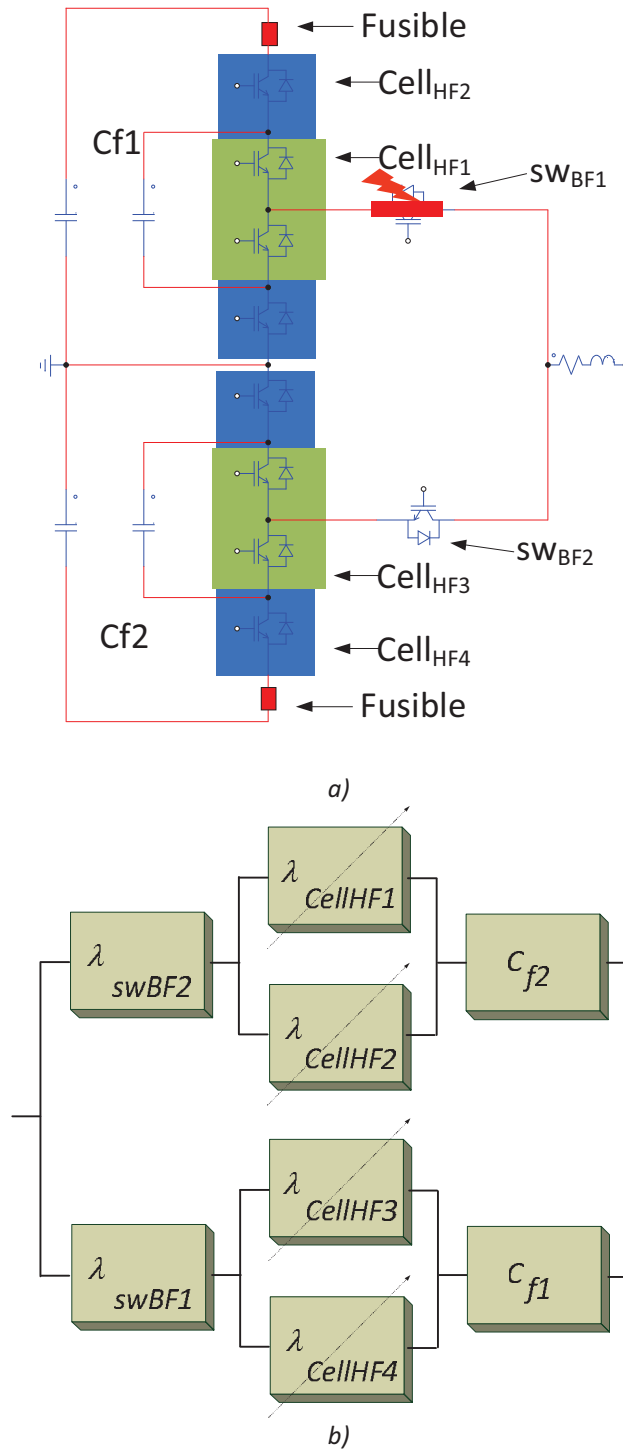


Figure 2-40 : a) Onduleur ANPC 5N variante 1 en monophasé b) Fiabilité d'onduleur ANPC 5N variante 1 en mode derating de tension.

La fiabilité de cet onduleur est calculée par la formule suivante :

$$R_{On_5N_variante1_derating} = 1 - \left[1 - e^{-\lambda_{swBF2}t} \cdot \frac{1}{\lambda_2 - 2\lambda_1} (\lambda_2 e^{-2\lambda_1 t} - 2\lambda_1 e^{-\lambda_2 t}) \cdot e^{-\lambda_{Cf2}t} \right]^2 \quad (2-63)$$

En triphasé, grâce aux fusibles aux bornes, on peut utiliser le mode de point milieu donc on accepte un défaut sur un bras, mode 2 parmi 3.

2.5.3 Onduleur ANPC 5 Niveaux type 2 en mode derating

Avec cette deuxième topologie (variante 3) d'onduleur ANPC 5 Niveaux, nous avons moins de choix par rapport la topologie ANPC 5N précédente (variante 1). Nous acceptons donc un seul défaut sur une cellule haute fréquence et un seul défaut sur une cellule basse fréquence.

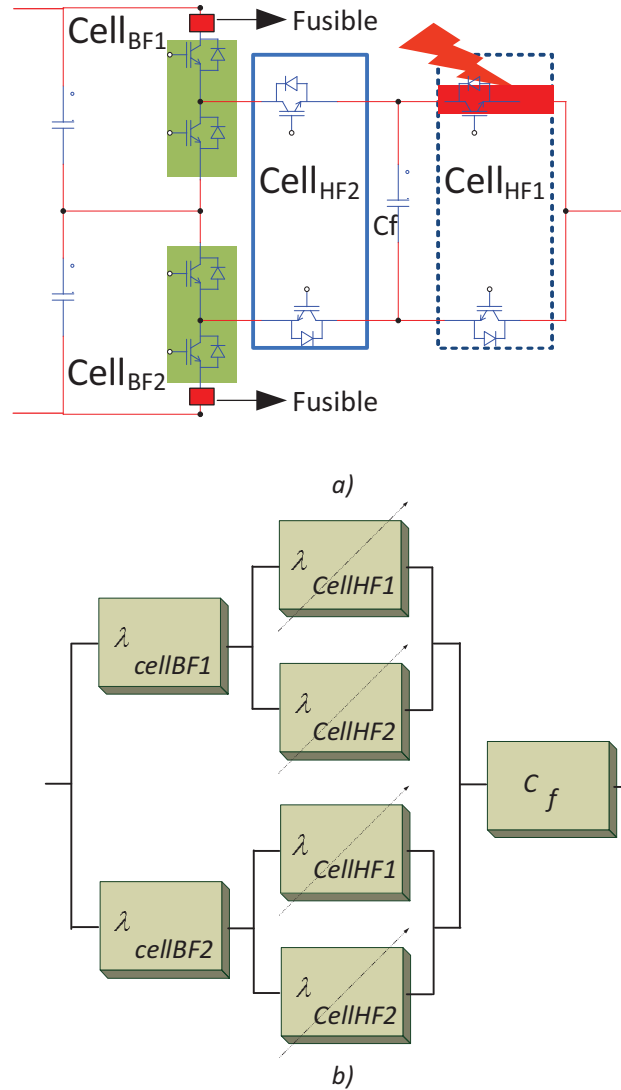


Figure 2-41 : a) Onduleur ANPC 5N variante 3 en mode derating b) Fiabilité d'onduleur ANPC 5N variante 3 en mode derating de tension.

La fiabilité de cette topologie est calculée à l'aide de la théorie d'association en parallèle des composants, en série, et un parmi deux avec report de tension et température :

$$R_{On_5N_t\text{ variante3_derating}} = \left\{ 1 - \left[1 - e^{-\lambda_{swBF2}t} \cdot \frac{1}{\lambda_2 - 2\lambda_1} (\lambda_2 e^{-2\lambda_1 t} - 2\lambda_1 e^{-\lambda_2 t}) \right]^2 \right\} e^{-\lambda_{Cf}t} \quad (2-64)$$

En triphasé: grâce aux fusibles aux bornes, on peut utiliser le mode de point milieu donc on accepte un défaut sur un bras, mode 2 parmi 3.

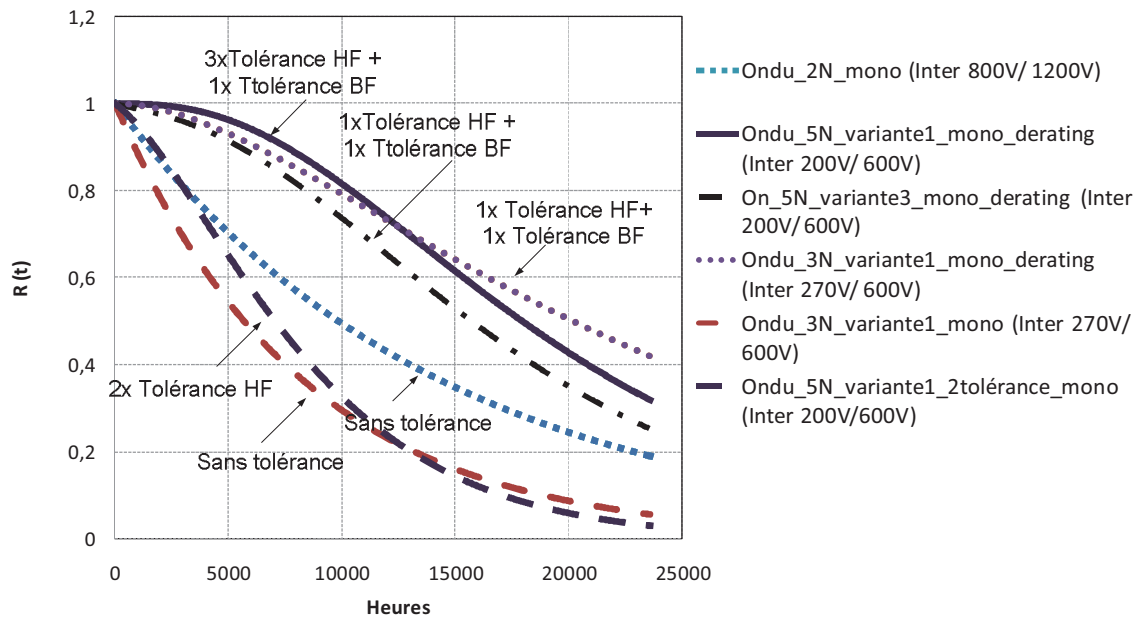


Figure 2-42 : Fiabilité des topologies d'onduleur ANPC 5N, 3N, et 2N en monophasé et avec derating de tension en comparaison avec des topologies en mode pleine tension.

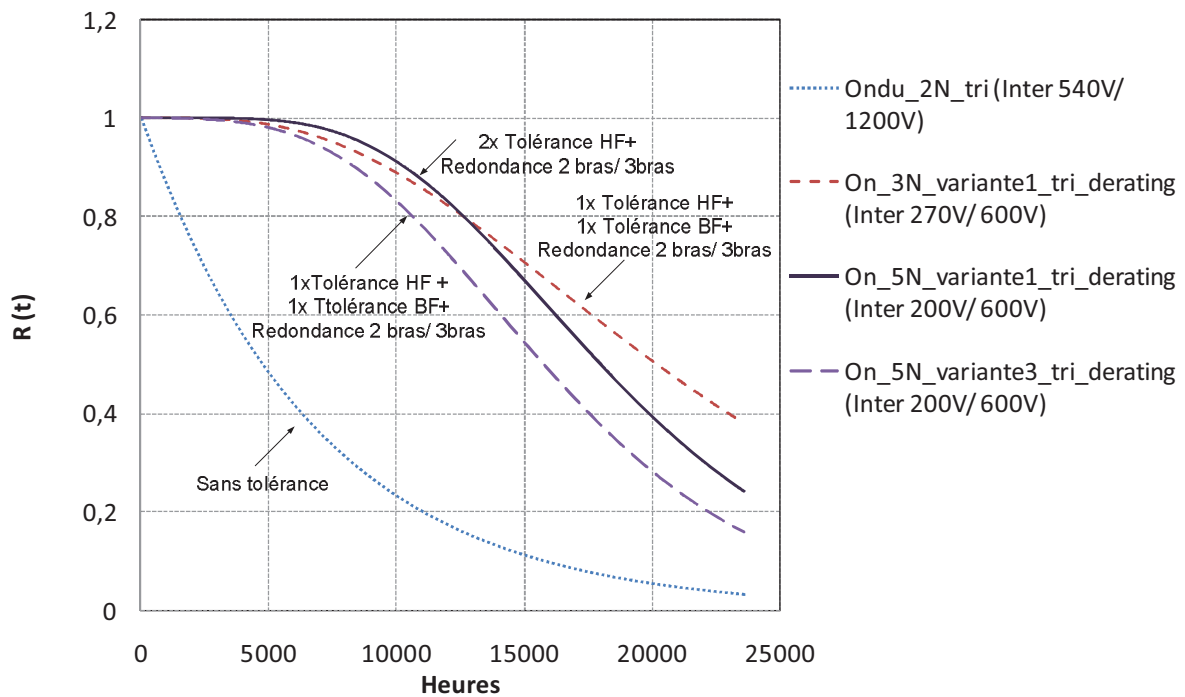


Figure 2-43 : Fiabilité des topologies d'onduleur ANPC 5N, 3N, et 2N en triphasé et avec derating de tension en comparaison avec celle d'onduleur classique 2Niveaux.

2.6 **Conclusion**

L'exploitation des techniques de calcul de probabilité nous a permis d'élaborer un ensemble de modèles analytiques décrivant la fiabilité et le MTBF de structures d'onduleurs de 2 à 5 niveaux sur plusieurs variantes multicellulaires mettant en jeu un point milieu. Ces modèles reposent sur un fonctionnement à taux de défaillance constant de chaque composant, paramétrés pour prendre en compte le report de contrainte en tension et l'augmentation de l'échauffement qui résulte d'une défaillance sur un composant adjacent. Ces structures sont pénalisées par un nombre important de composants et un calcul de fiabilité basé uniquement sur un arrêt au premier défaut pourrait constituer un handicap même s'il n'est pas facile de conclure car des aspects technologiques sont à considérer.

Ainsi, en prenant en compte l'effet des redondances internes, une ou plusieurs défaillances peuvent être tolérées et nous avons montré de manière théorique par comparaison qualitative de la fiabilité "globale", le bénéfice de ces redondances sur temps "court" pour les variantes à grand nombre de cellules (3N variante 2 et 5N variantes 1 et 2). Ce bénéfice est encore majoré en triphasé lorsqu'une poursuite de mission par reconfiguration au point milieu (deux bras actifs parmi trois) est admise. De même, la redondance offerte par une alimentation sous tension réduite à travers le point milieu permet une forte augmentation de la fiabilité aux dépens d'une derating évident en puissance.

L'exploitation de l'ensemble de ces possibilités de redondances à la fois internes et externes par l'alimentation permet d'obtenir potentiellement une fiabilité au moins égale à celle d'un convertisseur 2N à nombre minimal d'interrupteurs (mais de calibre en tension supérieur).

Sur temps "long", l'effet des redondances est consommé et ces structures redeviennent pénalisées par le nombre important de composants. Entre ces deux comportements, il est donc possible de définir une plage de fonctionnement à fiabilité acceptable et indirectement une aide à la maintenance prédictive.

Chapitre 3

Prototypage du PFC Double-Boost Flying Cap. Robustesse - Reconfiguration et Diagnostic

3.1 Introduction

L'étude des modes dégradés du PFC double boost flying cap. à 5 niveaux (DB FC 5N) sur défauts internes de claquage de transistors ou de diodes a mis en évidence la nécessité de devoir assurer la stabilité du mode de défaillance "originel" faiblement ohmique de ces composants. La défaillance doit ensuite être détectée – localisée, par des solutions simples et "fiables", pour réaliser une reconfiguration dynamique "sûre" de la MLI de la structure et ainsi préserver simultanément la sécurité électrique des composants et la disponibilité globale de la structure.

Ainsi, le but de ce chapitre est d'étudier la robustesse du mode de défaillance ohmique des composants de puissance, puis de concevoir des détecteurs de défauts qui soient à la fois simples, peu coûteux, fiables et qui puissent fonctionner dans des conditions de modes dégradés parfois extrêmes. Comme il existe un grand nombre de paramètres sur lesquels le détecteur doit s'adapter, il est nécessaire de définir un cahier des charges.

La stabilité ou plus précisément la "durabilité" du mode de défaillance des composants et un sujet peu ou pas étudié. Ce comportement est fortement dépendant de la technologie d'interconnexion puce – boîtier, de la nature de l'encapsulant (résine époxy massive ou gel silicone) et bien sûr de la densité d'énergie appliquée à la puce (E_s et I^2T_p). Une étude exhaustive est présentée dans la thèse de Zhifeng Dou sur des technologies boîtier plastique et module [4]. Dans le cadre de ce mémoire, sur la base des résultats de la référence précédente, nous utiliserons des composants adaptés à un mode de défaillance faiblement ohmique de type CoolMos™ 600V et diode SiC 600V en boîtier plastique moulé.

Enfin, nous chercherons à assurer la continuité de fonctionnement du convertisseur tout en préservant la sécurité de tous les interrupteurs initialement sains ce qui implique :

- Le détecteur doit donner l'ordre de reconfigurer la commande rapprochée (MLI) lorsqu'il s'agit d'un défaut de court-circuit sur une diode ou un transistor.
- Le détecteur doit reconfigurer le convertisseur en mode redresseur (blocage de tous les transistors sains) lorsqu'il s'agit d'un défaut d'ouverture. Ce choix nécessite de connaître la nature du défaut (court-circuit ou ouverture) et la localisation de celui-ci entre le groupe supérieur, inférieur et les cellules.

Le détecteur joue un rôle central sur la sécurité du convertisseur par le biais de :

-La fiabilité de l'information et la robustesse du détecteur dans des phases transitoires (démarrage, impact – délestage et arrêt) : l'information de l'état du convertisseur délivrée à la commande doit être fiable à tout moment. Ainsi, quelles que soient les conditions de fonctionnement, il faut s'assurer que le détecteur n'imposera pas de reconfigurations intempestives et surtout qu'il ne se trompera pas sur la localisation lors d'un défaut de court-circuit. Dans le pire des cas, une erreur de détection, i.e. une fausse panne ne doit pas être pour autant critique.

Dans ce chapitre, nous présentons deux détecteurs capables de détecter, de localiser et de différencier le défaut de court-circuit d'un interrupteur sur un bras PFC à 4 cellules. Ils sont constitués soit de deux capteurs internes (cas 1) soit d'un seul capteur en entrée (cas 2). Ils permettent de déceler très rapidement une défaillance afin de reconfigurer la commande rapprochée suite à un défaut de court-circuit dans toutes les conditions.

Le défaut d'ouverture a un comportement beaucoup moins dangereux, vis-à-vis des composants, que celui d'un défaut de court-circuit puisqu'il ne provoque pas l'apparition d'un fort courant dans la cellule défaillante. Les contraintes énergétiques sont, par conséquent, inexistantes lors de l'apparition de ce défaut. Par contre, à l'échelle de la structure cette fois, le défaut d'ouverture peut être assimilé à un défaut de commande et plus exactement, à un défaut de rapport cyclique qui vient dégrader fortement et globalement le circuit car les deux conditions permettant l'équilibrage naturel des tensions flottantes au sein du convertisseur ne sont plus respectées. Dans ce cas, il n'y a pas de redondance possible (cf chapitre 1), on doit bloquer toutes les commandes ou isoler le point milieu pour passer complètement en mode redresseur passif : c'est un mode de repli qui ne sera pas développé ici.

Le fonctionnement des détecteurs est validé d'abord en simulation (PSIM puis certaines parties en co-simulation avec Matlab - ModelSim™) puis expérimentalement sur une maquette de puissance 8kW max. Le cahier des charges de référence est celui de la moyenne d'un réseau AC230/400V - 380Hz/900Hz - DC800V – 7kW max issu d'un travail antérieur en collaboration avec Airbus – Département Electronique Calculateurs, Alimentations et commandes de vol [5][33].

3.1.1 Présentation du Prototype

Une phase du PFC a été réalisée conformément au schéma de la Figure 3-1. En opération normale : les tests de durabilité ainsi que le diagnostic des défauts sont réalisés par le maquetage présenté Figure 1-4, et configuré pour une fréquence de découpage de 32kHz avec des composants rapides et particulièrement robustes 600V CoolMos™ - Diodes SiC 600V. Les deux diodes d'entrée pour le redressement basse fréquence sont optimisées en conduction.

Les quatre interrupteurs sont commandés à l'aide de deux drivers Concept™ 2SD106Al. La commande de type MLI est appliquée à l'aide des cartes de commande programmable DSP Texas™ DSK C67TMS320C67 à 20MHz pour les régulations courant et tensions à basse fréquence, ACEX Altera™ FPGA 1K100, pour la MLI, les séquenceurs à machines d'états et les détecteurs de défaut.

Enfin, une interface développée sur Excel™ permet à l'utilisateur de paramétrer la commande et de récupérer les grandeurs nécessaires.

Les condensateurs flottants sont de technologie films polyesters AVXFFV3™ 400V-40μF-30Aeff, associés chacun à un capteur de tension pour réguler et détecter l'apparition de défaut. Ces condensateurs flottants viennent également découpler naturellement les

cellules 1 et 3. Des condensateurs de découplage à films polypropylènes de 400V-1 μ F sont rajoutés au plus près des cellules 2 et 4 (mailles longues) afin de limiter les surtensions lors des commutations au blocage. Le filtrage basse-fréquence est assuré par deux groupes de condensateurs électrochimiques 3x220 μ F/400V formant un point milieu. Ceux-ci sont équipés d'un capteur de tension. Un capteur de tension réseau est aussi utilisé pour synchroniser une PLL numérique implémentée dans le programme principal du DSP.

Des emplacements ont été prévus pour insérer ultérieurement des fusibles PCB ou des rupteurs fusibles (utilisés dans la thèse de Zhifeng Dou [4]). Pour les premiers essais, ces derniers sont shuntés.

Les drivers intégrés sur la carte sont de marque Concept™ 2SD106AI ayant les deux voies isolées par transformateur HF, et délivrant les tensions +15V/-15V sur les grilles des transistors Mos avec un temps de propagation de 350ns identique sur les deux fronts. La protection par surveillance de la tension V_{ds} est inhibée car dans ce montage car on souhaite, à l'inverse d'un usage en deux niveaux, ne pas bloquer le composant sur un premier défaut pour exploiter la redondance en série (cette protection pourrait néanmoins être dynamiquement activée pour bloquer un second défaut sur le même groupe ...). Sur le plan pratique, les résistances de grille ont dû être majorées à 10 Ω de façon à limiter la surtension de commutation lors d'un blocage dans les deux mailles longues (+40% de majoration entre les deux types de maille). La Figure 1-4 présente une photo de l'installation du prototype.

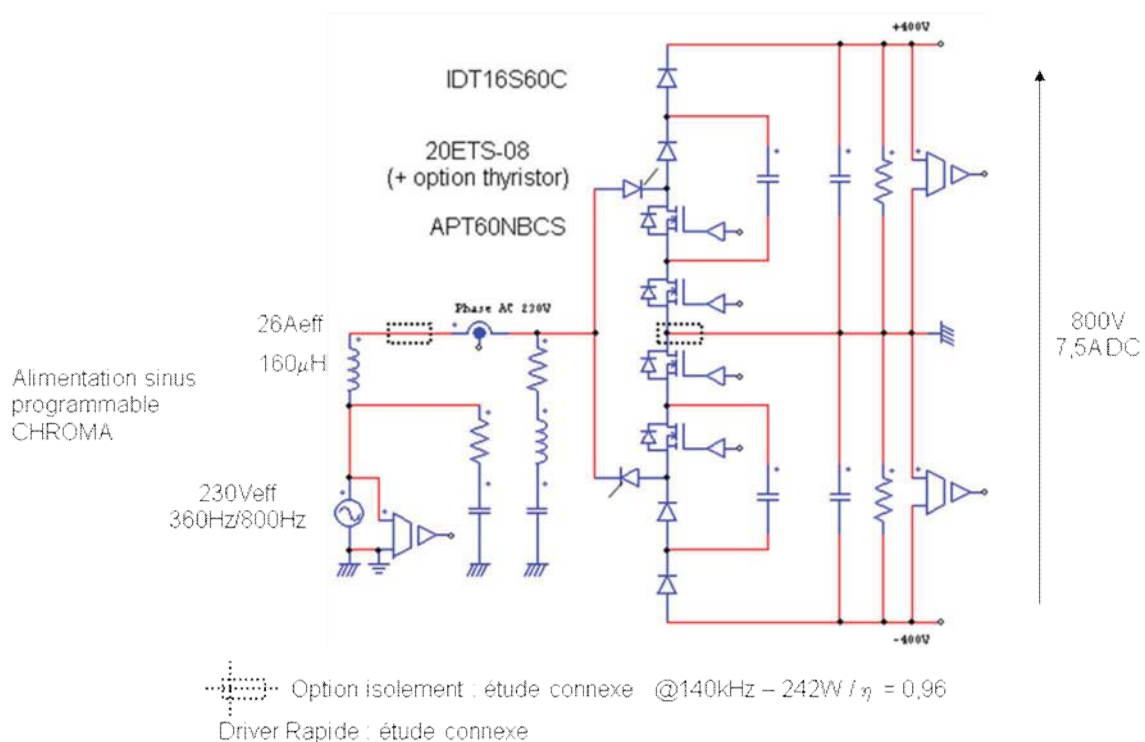


Figure 3-1 : Schéma de principe représentant le prototype du PFC double-boost 5N-2xFdec AC230V / 800VDC - 7kW.

Une première carte permet l'interfaçage analogique en liaison courant, entre les différents capteurs de la carte de puissance et la carte d'acquisition CAN THS10064 multiplexée à 10bits.

Une seconde carte, réalisée précédemment au Laplace par G. Gateau, permet de réaliser la logique numérique rapide utilisée pour la commande : réalisation de la MLI, programmation des machines d'état et gestion des reconfigurations. Cette carte comprend un FPGA Altera™ ACEX 1K100 associé à un outil de développement Quartus™ Version 5 avec port JTAG, une base de temps permettant de fixer l'horloge temps réel 20MHz de l'ensemble du système, des registres d'E/S numériques et des buffers de protection de ligne. La programmation du FPGA est réalisée soit graphiquement soit avec un fichier VHDL lié au bloc graphique sous Quartus™. Ce fichier VHDL peut-être récupéré par la suite, en vue d'une co-simulation entre PSIM™ et ModelSim™ à travers Simulink™.

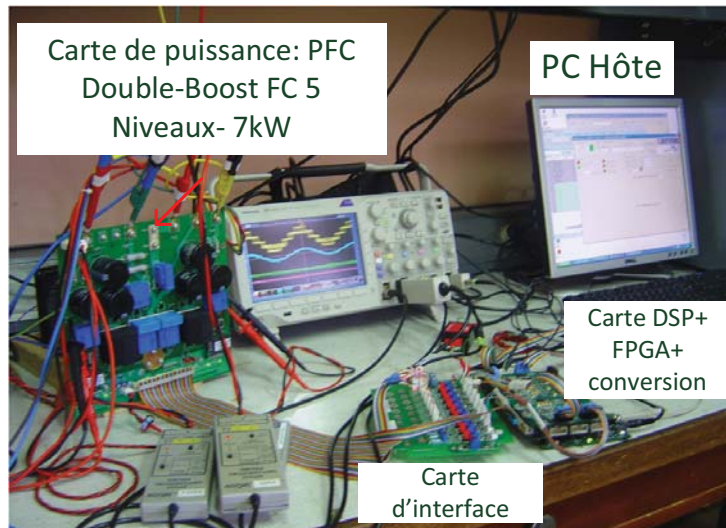


Figure 3-2 : Maquette d'expérimentation pour le PFC Double-Boost Flying Capacitor 5N- 7kW- 30kHz.

3.1.2 Commande rapprochée numérique et MLI

3.1.2.1 Architecture de commande

L'architecture de commande suit une organisation hiérarchique peu différente sur le principe de celle évoquée dans la partie théorique (Figure 3-3) [34]. Le PC, le host Excel et son utilisateur représentent le superviseur délivrant les consignes haut niveau telles que les profils de mission et les consignes de marche/arrêt et de réinitialisation.

La carte DSK C6713 recevant les consignes est une plate-forme de développement de faible coût conçue par Texas Instruments (DSP Starter Kit) permettant une mise en œuvre rapide pour des applications dédiées. Elle s'articule autour d'un microprocesseur (*Digital Signal Processor*) TMS320C6711 à virgules flottantes. Le programme est téléchargé de l'ordinateur vers la carte qui est alors autonome mais accepte encore de recevoir des données par un mode d'interruptions. D'autres composants de cette carte sont utilisés : un port d'entrées/sorties, une interface JTAG, de la mémoire morte (ROM) et de la mémoire vive dynamique (SDRAM), une connectique pour interfacer une mémoire externe (EMIF) et des signaux périphériques permettant une extension des fonctionnalités par addition de cartes externes. En utilisant cette dernière fonctionnalité, deux cartes supplémentaires développées au LAPLACE sont superposées à la carte DSP.

La première carte (MPAB_NUM sur la Figure 3-3) s'articule autour d'un composant logique programmable FPGA (*Field Programmable Gate Array*) ACEX 1K100 d'Altera [35] [36]. Avec 100 000 portes, 4992 éléments logiques et 208 pins utilisateur, il exécute les traitements numériques rapides et à faible temps de calcul. Le lien série (JTAG) permet de programmer une mémoire flash, qui configure automatiquement le FPGA lors de la mise sous tension. L'échange de données entre le FPGA et le DSP est effectué via 16 registres. De plus, la carte comprend 56 entrées/sorties numériques sous la forme de 24 canaux bidirectionnels et 32 canaux unidirectionnels numériques bufférisés.

La seconde carte (MPAB_ANA) est utilisée pour la conversion des signaux analogiques ou numériques. Elle possède 8 entrées analogiques et 4 sorties analogiques avec des niveaux analogiques compris entre +5V et -5V. Cette carte adapte les signaux analogiques issus des capteurs au format d'entrée des deux convertisseurs analogique-numérique THS10064, qui réalisent l'échantillonnage simultané sur 10 bits des huit entrées non différentielles ainsi que le stockage d'échantillons dans un buffer circulaire adressable par le DSP. D'autre part, deux convertisseurs numérique-analogique TLC7628CDW sont utilisés pour visualiser des variables numériques internes du DSP ou du FPGA codées sur 8 bits.

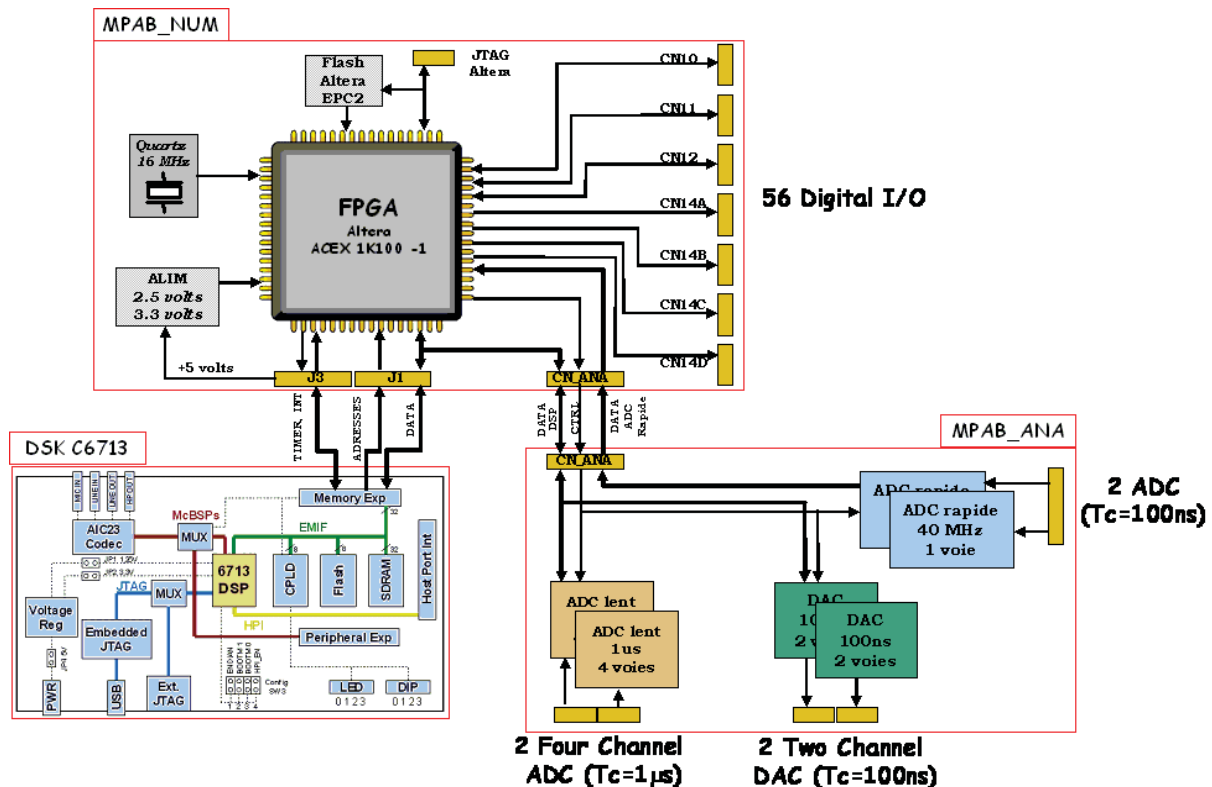


Figure 3-3 : Synoptique de la carte de commande avec ses différents étages.

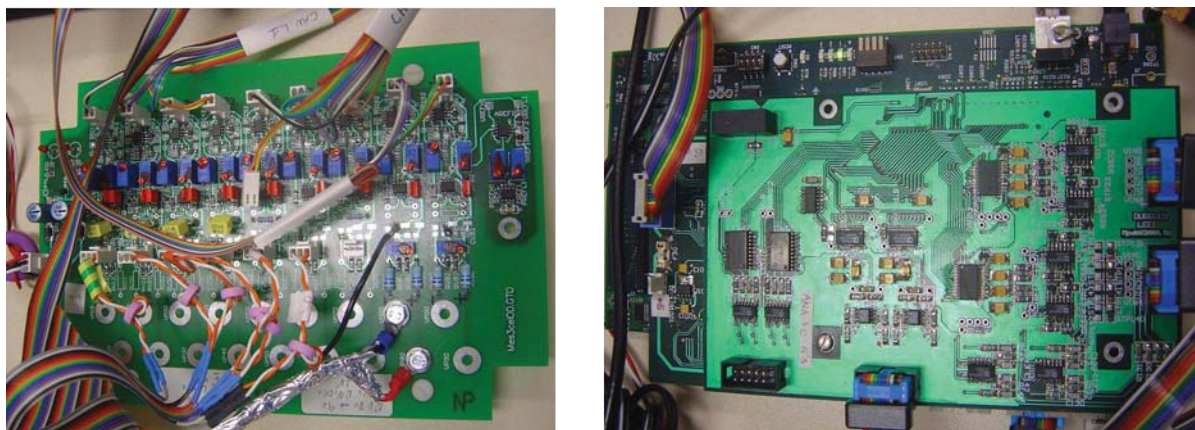


Figure 3-4 : a) Carte d'interface, b) Cartes MPAB_ANA (carte de conversion), MPAB_NUM et DSK C6713 superposées.

Enfin, une carte supplémentaire a été conçue pour interfacer les signaux des modules de conversion et de la carte de commande (Figure 3-4).

Le synoptique de l'architecture de commande est représentée à la Figure 3-5.

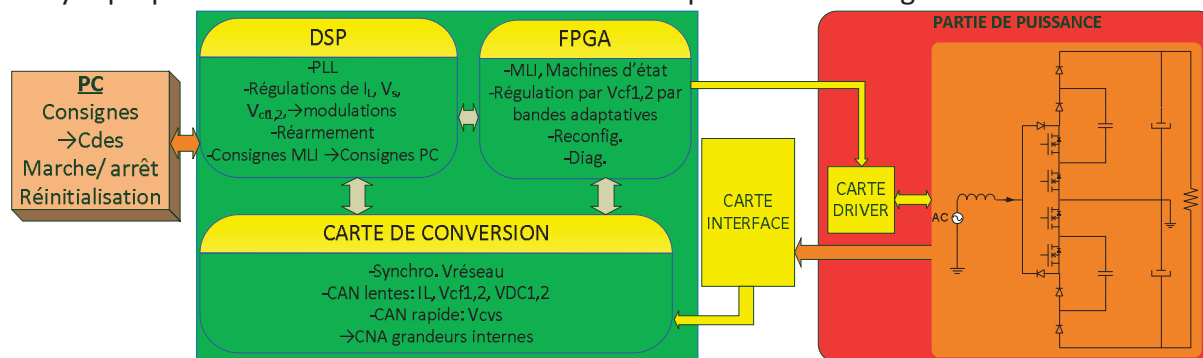


Figure 3-5 : Synoptique de l'architecture de commande.

3.1.2.2 Optimisation de la commande par machine d'état avec des porteuses en phase (PD)

Dans cette partie nous présentons une méthode de commande avec des porteuses en phase PD (Phase Disposition) et machine d'état. Même si sa réalisation est plus compliquée, comparé aux techniques classiques de type POD (Phase Opposite Disposition) et Phase-shifting mais elle permet d'améliorer les spectres des signaux triphasés entre phases [37]. La démarche est de construire des signaux de commandes à partir de fonction d'ondes où image souhaitée de la tension multi-niveaux qui est générée par comparaison modulante et porteuses. En 3N par stack, il y a deux cellules actives par bande de modulation, donc deux porteuses actives. Figure 3-6 montre le principe de fonctionnement du générateur de fonction d'ondes 5 niveaux.

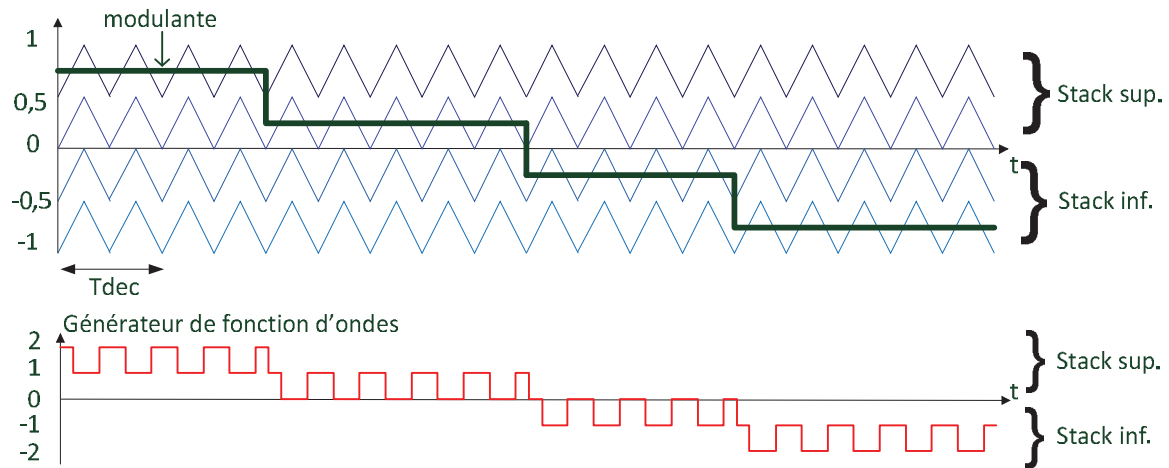


Figure 3-6 : Fonctionnement du générateur de fonctions d'ondes ou entrées de la machine d'état.

A partir des niveaux de fonction d'ondes, la machine d'état va générer les signaux de commandes, et réguler les tensions flottantes. En utilisant deux machines d'état générant 3 niveaux avec un niveau de commun, on peut obtenir une tension de sortie 5 niveaux. Figure 3-7 présente le principe d'une machine d'état 3 niveaux avec 4 états de deux cellules de commutation S1, S2, S3, S4. Parmi les 4 états, le niveau 1 (ou -1) peut être réalisé par deux configurations d'interrupteurs (état S1 ou S2), les niveaux 0 et 2 n'ont qu'une seule configuration. Le degré de liberté de la réalisation du niveau 1 (ou -1) est utilisé non seulement pour augmenter la fréquence de découpage (effet d'alternance), mais aussi pour réguler la tension flottante de chaque stack (non alternance). En cas de fonction normale (tension flottante équilibrée à $V_{dc}/4$), les lignes A et B sont alternativement utilisées pour partir du niveau 2 vers le niveau 1. Si cette tension n'est pas équilibrée à $V_{dc}/4$, elles partent en dehors de la tolérance acceptée ($\approx \pm X\% V_{dc}/4$), seule la ligne A ou B est utilisée (A pour augmenter de tension flottante et B pour la diminuer). Dans ce cas, la redondance est exploitée transitoirement jusqu'à ramener la tension à l'intérieur de la bande, pendant cette phase une seule cellule découpe au double de la fréquence de commutation ($2 \times f_{dec}$).

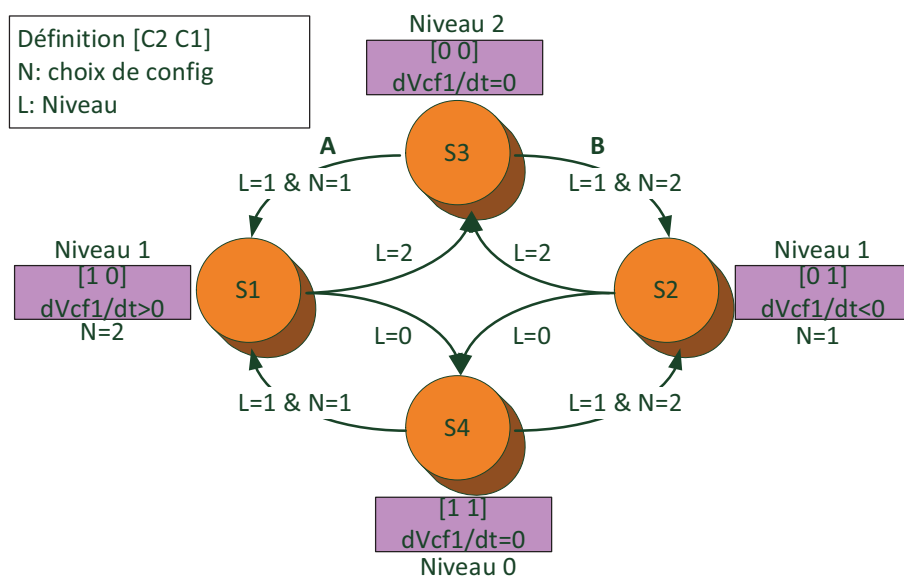


Figure 3-7 : Détail de la machine d'état 3 niveaux pour le stack supérieur.

Comme l'indique la Figure 3-6, chaque groupe repose sur deux porteuses superposées en phase avec butées basse et haute, aucun temps mort n'est requis puisque les cellules sont mono-transistor. Un échantillonnage régulier symétrique du modulant est opéré sur les sommets des triangles. La synthèse des niveaux est obtenue par un comparateur $3N \in \{0, 1, 2\}$. Les niveaux 0 et 2 correspondent aux états passant et bloqué des transistors du même groupe. Par contre l'état intermédiaire 1 peut être obtenu de deux manières selon que l'on souhaite charger ou décharger le condensateur flottant de groupe concerné. Ce degré de liberté est donc exploité pour réguler la tension flottante dans une bande ΔV prédéfinie par simulation selon un critère d'ondulation prenant en compte l'ondulation du bus de sortie comme l'indique la Figure 3-8. Une machine d'état a été programmée en VHDL puis implémentée dans le FPGA pour chacun des deux groupes de découpage (Figure 3-7).

$$V_{dc1} = < V_{dc1} > + \Delta V_{dc1} \quad (3-1)$$

Pour stabiliser le fonctionnement et éviter des reconfigurations lors des passages de bande (phénomène de saut de $V_{cf1,2}$) il faut vérifier :

$$2\Delta V_{C_{max}} < 2 \times \text{bande} - \Delta V_{dc1} / 2 \quad (3-2)$$

D'après le chapitre 1, on a trouvé que l'ondulation max de la tension flottante est obtenue lors que la modulant égale 1/2 :

$$\Delta V_{C_{max}} = \frac{V_{dc} \times I_M}{8F_{dec} V_M C_f} \quad (3-3)$$

Avec le cahier de charges $V_{dc}=800V$, $I_M=50A$, on voit que dans le pire cas @40kHz, $\Delta V_{C_{max}}=9,6V$. Si on prend une ondulation de la tension du bus (7,5% #30V), on obtient une bande de régulation de tension supérieure à 17V.

Dans le pire cas 2 @30kHz, le cas de notre manipulation, $\Delta V_{C_{max}}=12,8V$ et la bande de régulation est supérieure à 20V.

Dans notre application, l'échantillonnage est figé et synchronisé uniquement sur les sommets de la porteuse apparente. Lors d'une modulation dans les bandes basses ($m \in \{0, \pm 1/2\}$), cela permet de capter directement la valeur des tensions flottantes au passage par zéro de l'ondulation et donc d'avoir la valeur moyenne directement. A l'opposé, sur les bandes hautes ($m \in \{1/2, 1\}$ et $m \in \{-1/2, -1\}$) les valeurs captées correspondent aux valeurs crêtes. Un échantillonnage adaptatif ou à $2xF_{dec}$ serait une solution.

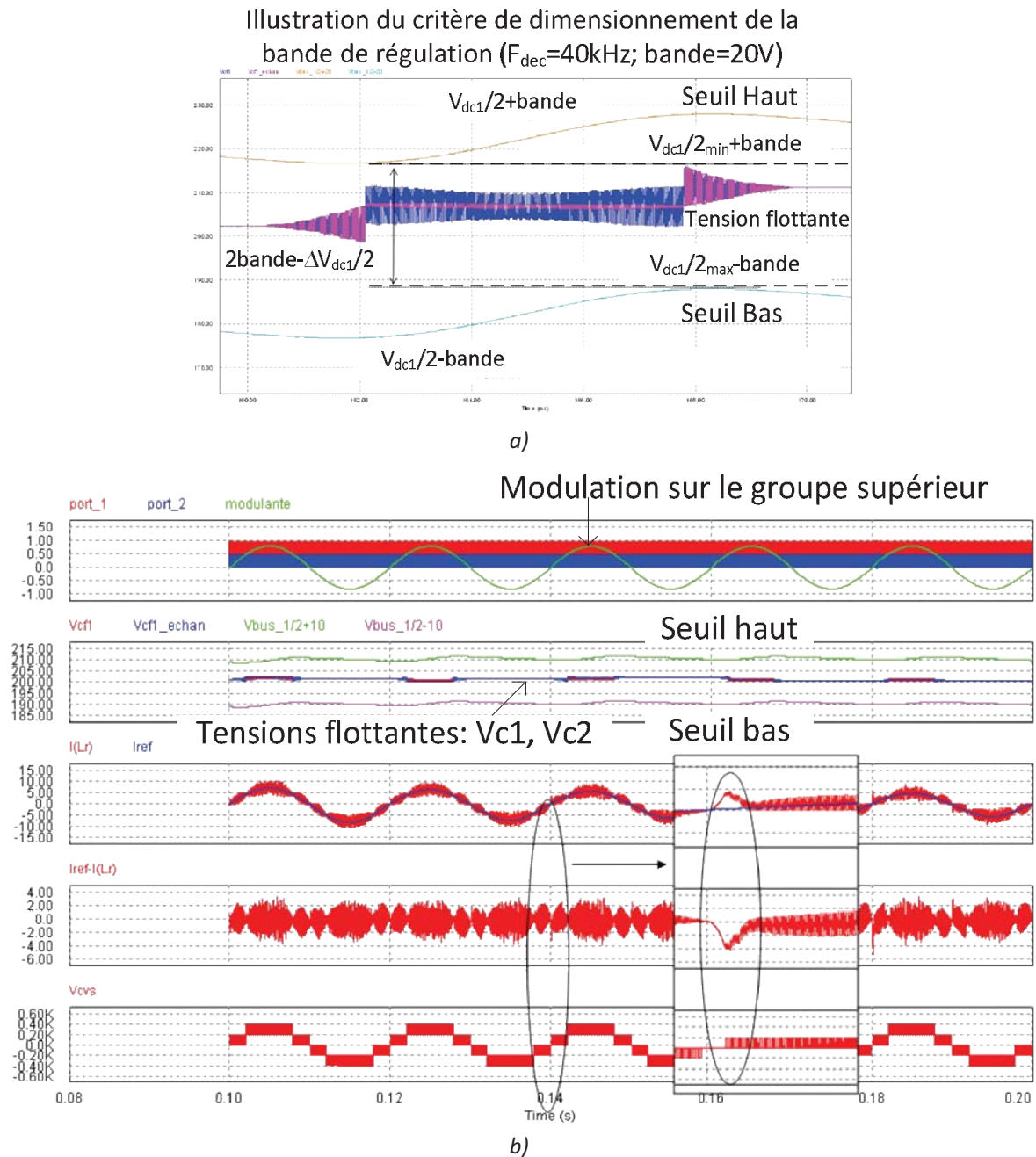


Figure 3-8 : Détermination de la bande de régulation par seuil réalisé par la machine d'état, a) zoom sur le principe de la forme d'onde de tension flottante, b) vue d'ensemble sur plusieurs périodes de modulation.

Nous présentons les résultats des tests de l'ensemble du prototype PFC à puissance réduite $V_{AC} = 80V - 50Hz$, $V_{dc} = 270V$, $I_{AC} = 15A$ crête. La Figure 3-9 montre la tension d'entrée V_{CVS} sur toute la plage de modulation, le courant d'entrée ainsi que les fonctions de modulation des deux groupes conformes aux simulations. Dans cet essai, le calcul de l'angle optimal entre la tension du réseau et la référence de courant n'est pas actif dans le programme DSP ce qui explique le « plat » (distorsion de croisement) au passage par zéro du courant. Les programmes des porteuses, fonction d'ondes et machines d'état sont développés en VHDL dans la carte FPGA, avec une horloge de 8MHz pour obtenir une fréquence de découpage de 30kHz.

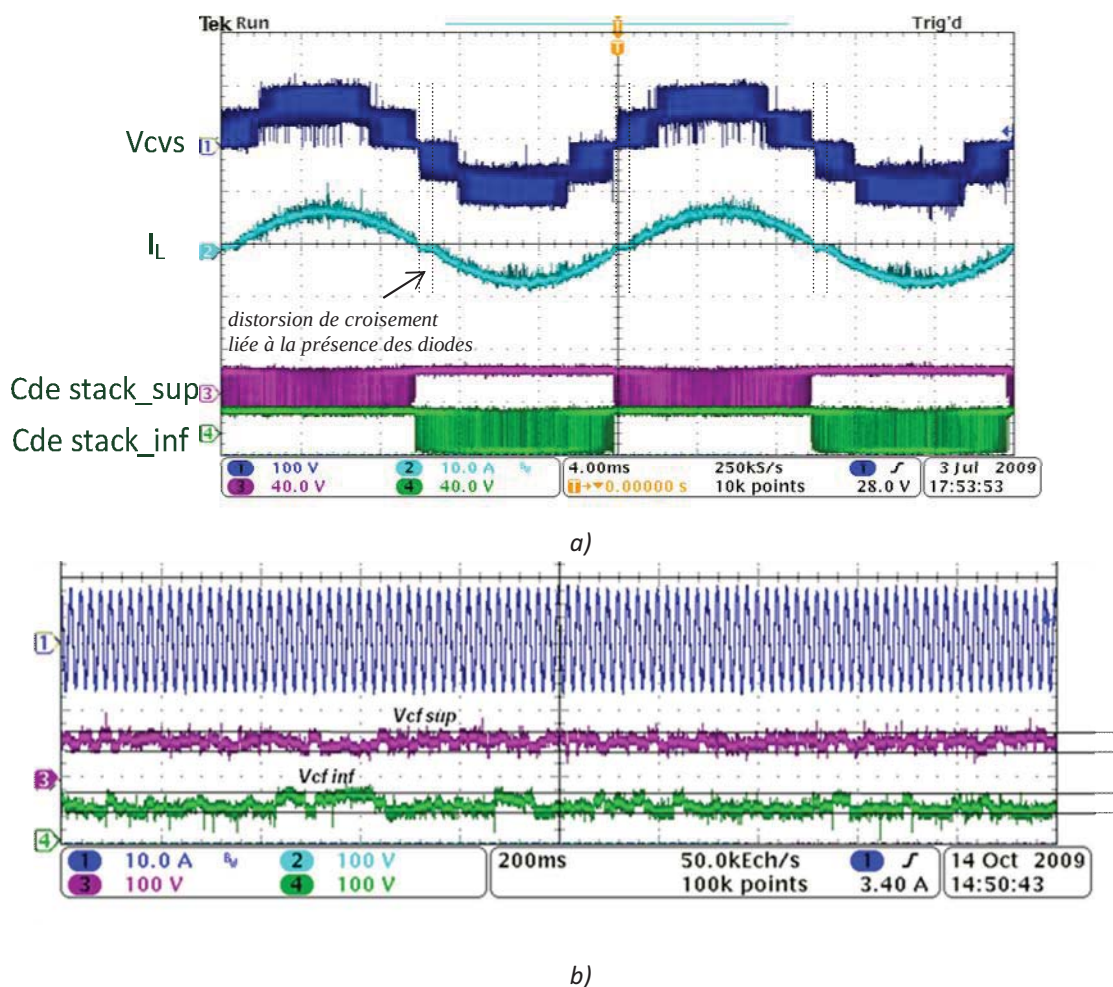


Figure 3-9 : Opération normale du PFC Double-Boost, a) fonctionnement sur deux périodes de modulation, b) zoom sur les tensions flottantes pour une bande de régulation de $\pm 20V$.

Ces résultats expérimentaux montrent clairement le fonctionnement correct mais encore perfectible (montée en tension avec la carte de puissance réalisée) de notre banc d'essai, avec des programmes de commandes.

Dans la partie suivante, nous allons utiliser cette maquette pour étudier le vieillissement de composants défaillants et observer l'endurance du mode de défaut en basse impédance, afin de pouvoir connaître la capacité "réelle" de tolérance aux pannes.

3.1.3 Etude du vieillissement de composants défaillants

La démarche consiste à provoquer la défaillance d'un petit lot de composants dans des conditions énergétiques maîtrisées et reproductibles typiques d'un court-circuit de cellule. Cette énergie sera faible car représentative d'une des cellules à condensateur flottant ($<1J$ énergie stockée / 200V / 50A crête / 40kHz) de notre circuit. Dans ces conditions, il est certain que le composant se place dans son premier mode de défaillance où seule la puce et ses métallisations sont endommagées.

3.1.3.1 Destruction de composant par avalanche

Nous nous limitons ici à un défaut de court-circuit créé par la destruction en avalanche. De plus, le composant "cassé" est ensuite réintroduit sur la maquette de puissance pour tester le vieillissement éventuel du composant dans son environnement de fonctionnement réel et non pas dans un régime artificiel par échelons de courant continu par exemple, protocole actuellement utilisé [38]. Cette méthode doit permettre de surveiller la résistance équivalente de court-circuit R_{cc} évaluée dans le temps après apparition du défaut.

Dans la littérature, la plupart des études de destruction de composant traitent de composants IGBT [39][40] où on retrouve des mécanismes de destruction par mise en CC ou sur blocage fortement inductif. Ici nous expliquons une méthode pour détruire le composant CoolMos 600V par surtension. La Figure 3-10 montre le circuit de claquage du composant appliqué pour deux CoolMos APT60N60BCS. La tension de destruction est fournie par une source DC de tension filtrée et limitée en courant à travers une résistance de protection. Un condensateur de $70\mu\text{F}$ est connecté en parallèle avec le DUT, afin d'ajuster l'énergie injectée quand le claquage doit apparaître. Il faut noter que ce condensateur est représentatif du condensateur flottant dans le convertisseur. Le niveau de tension de destruction est trouvé manuellement par augmentation de tension continue V_{dc} .

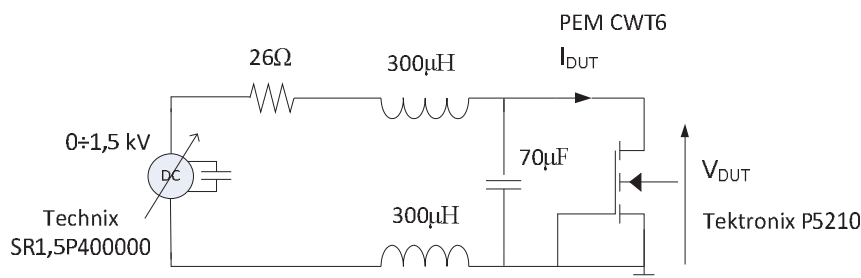


Figure 3-10 : Circuit de claquage en avalanche du CoolMos APT60N60BCSG.

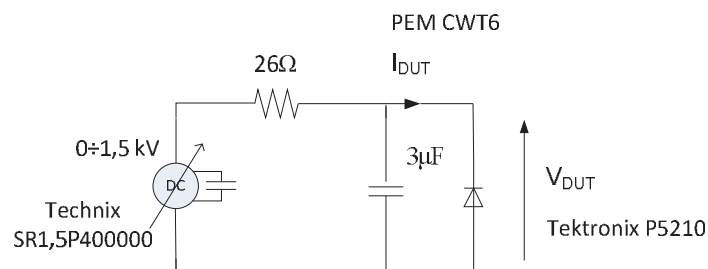
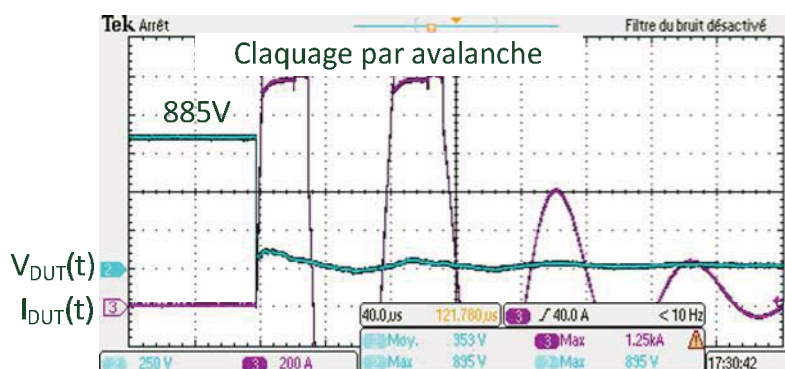
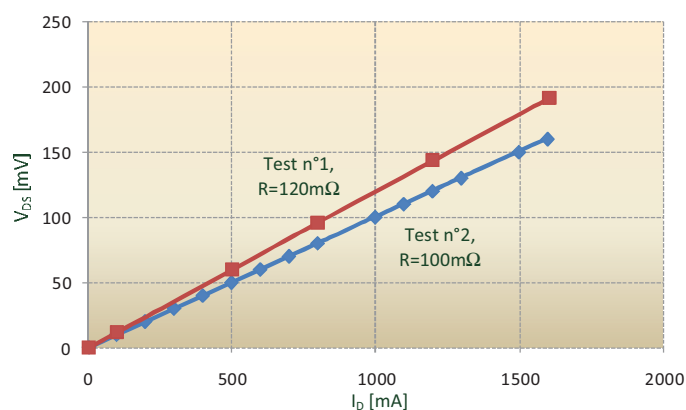


Figure 3-11 : Circuit de claquage en avalanche de la Diode SiC IDT16S60C.

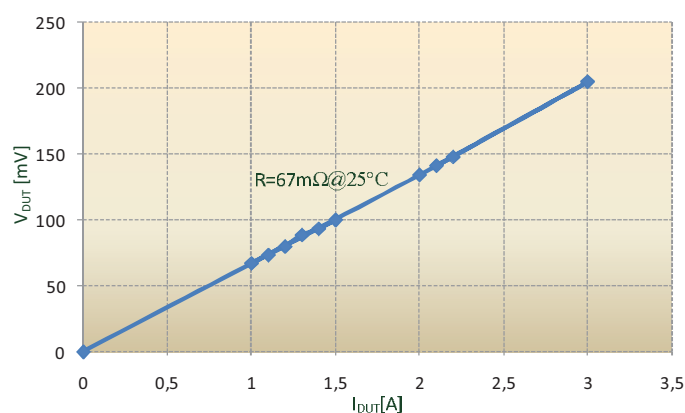
La Figure 3-12 présente la dynamique de $V_{DUT}(t)$, $I_{DUT}(t)$ en avalanche par claquage à 885V (DUT n°1) et 895V (DUT n°2) (@ $T_{case} 25^\circ\text{C}$) : on note que la saturation du courant I_{DUT} est causée par la limitation du capteur de courant RogowskiTM au moment des essais (erreur du choix de calibre de la sonde).


 Figure 3-12 : Exemple de régime transitoire V_{DUT} et I_{DUT} @ 25°C / DUT n°1

La Figure 3-13 montre le tracé d'une mesure Volt-Ampèremétrique avec un Keithley™ 2700 pour les deux DUT à $T_{boîtier} = 25^{\circ}\text{C}$, qui confirme le mode de court-circuit équivalent à base impédance R_{cc} de 120mΩ pour le DUT n°1 et 100mΩ pour le DUT n°2.


 Figure 3-13 : Résistance de court-circuit de deux DUT CoolMos APT60N60BCSG par avalanche sous 885V
 $E_{max} = 27\text{J}$ (DUT n°1) et $E_{max} = 28\text{J}$ (DUT n°2).

Pour ces DUT, le défaut physique de la puce est bien ohmique (courbe rectiligne) et métallique (sensibilité thermique positive), de faible valeur, ce qui correspond au résultat attendu.


 Figure 3-14 : Résistance de court-circuit de la Diode SiC IDT16S60C claquée par avalanche sous 820V
 $E_{max} = 1\text{J}$.

3.1.3.2 Vieillessement du composant détruit "fonctionnel" dans le convertisseur

Après ces destructions test, seul le DUT n°1 est inséré au niveau de la cellule 1 du stack supérieur de notre PFC. Puis, le stack supérieur est alors reconfiguré de 3 Niveaux à 2 Niveaux (sera présenté dans la partie 3.1.4.1). Ce convertisseur va fonctionner avec ce composant détruit pour opération permanente. A intervalle régulier, on arrête le convertisseur et on mesure sa résistance apparente. Un capteur thermique PT100 est intégré dans un support en cuivre entre le boîtier et le radiateur (Figure 3-15).

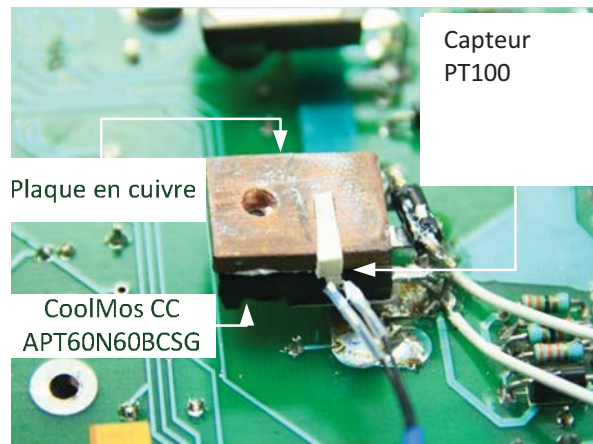


Figure 3-15 : Zoom sur le dispositif de test de vieillissement d'un CoolMos™ APT60N60BCSG.

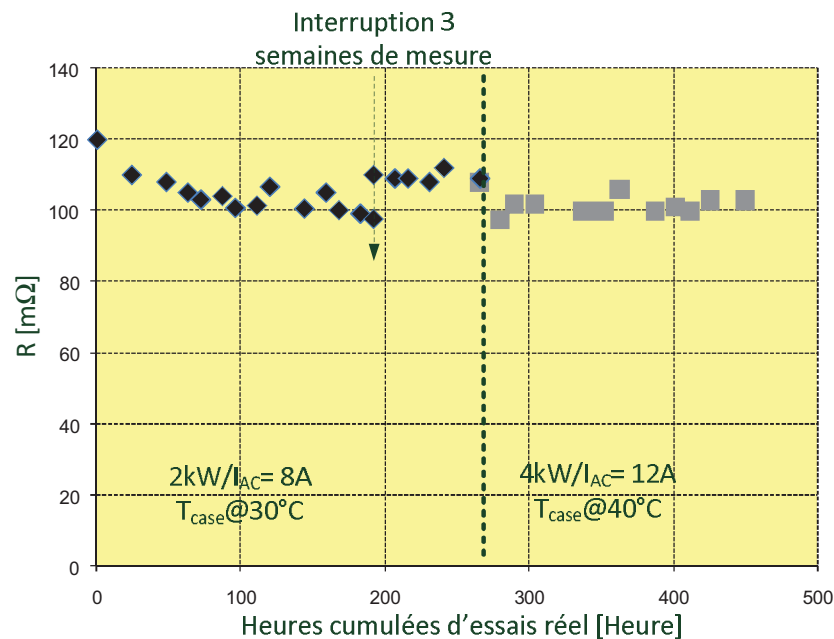


Figure 3-16 : Résultat du test de vieillissement du DUT n°1 - CoolMos APT60N60BCSG dans cas idéal : courant sinusoïdal, $I_{max}= 8A/12A$, $T_{case}=30^{\circ}C/40^{\circ}C$, pertes Joules 6,4J/14,4J.

Le résultat de test de vieillissement du DUT n°1 montre, après une phase d'accommodation (sorte de rodage), une valeur stable autour de 100mΩ, celle-ci présente néanmoins un phénomène de saut juste après l'interruption de fonctionnement et au moment du doublement de puissance. Cette propriété permet un fonctionnement sécurisé après défaut.

Pour analyser plus finement les conséquences qu'entraînent un mode de court-circuit d'interrupteur de puissance, nous avons également fait des analyses physiques d'un transistor détruit à l'aide d'une décapsulation réalisé par la société Serma Technologies (Figure 3-17). A titre de référence, c'est le DUT n°2, celui qui n'a pas été vieilli, qui a été décapsulé en Fig. 3-17 pour fixer une référence d'analyse.

On constate que la zone de fusion occupe la majeure partie de la puce, et qu'il y a quatre zones de perçage sous les pieds des quatre bondings, comme le montre la photo de gauche (Figure 3-17). La zone de perçage du silicium et de refusions du plan de métallisation Al est plus nette sur les deux bondings de droite, la refusion vient même empiéter sur la zone de terminaison de jonction de la puce sans qu'elle ne déborde réellement ou "shunt" celle-ci (ce qui aurait produit un comportement ohmique plutôt favorable équivalent à un bypass naturel ! mais certainement peu stable dans le temps ...). Les bondings étant plus courts sur la droite de la puce et donc de moindre résistivité, on peut penser qu'une proportion plus importante de courant est localisée dans cette région. Cette refusion s'est également accompagnée d'une carbonisation locale de l'encapsulant époxy.

L'analyse thermographique à 10A sur ce même DUT n°2 détruit montre encore une fois que le courant traverse le bonding le plus court avec un spot chaud à 34°C pour une température de boîtier de 20°C.

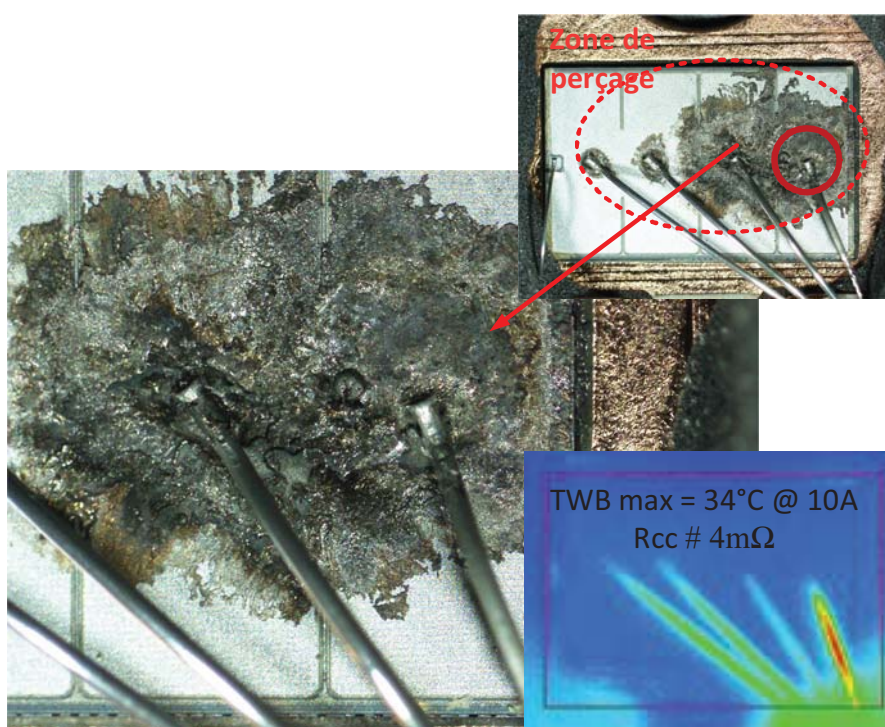


Figure 3-17 : Analyse physique de la zone de défaillance du DUT n°2 CoolMos APT60N60BCSG détruit par avalanche non vieilli, décapsulation par SermaTM, dimension de puce 6,55mm x 10,48mm.

En Fig. 3-18, la même analyse a été réalisée sur le DUT n°1 détruit dans les mêmes conditions que le DUT n°2 et ayant subi quant à lui un vieillissement de plus de 450h dans le PFC. L'analyse montre que le perçage de la puce et la refusion de l'Al présente une surface bien plus large avec une rupture du bonding de droite par lequel une grande proportion de courant a circulé (il n'est pas exclu que cette rupture ait eu lieu dans la phase de

décapsulation en raison de la plus grande fragilité de ce bonding qui a été plus fortement contraint thermiquement). Néanmoins, on note que l'arrachement de ce fil ne pénalise pas significativement la conduction du courant dans la puce malgré une augmentation du spot chaud de 34°C à 60°C, car un report du courant s'effectue naturellement par un bonding adjacent réalisant ainsi un effet naturel et très intéressant de redondance parallèle au niveau même de la puce qui vient s'additionner à la propriété de redondance structurelle par le circuit de puissance.

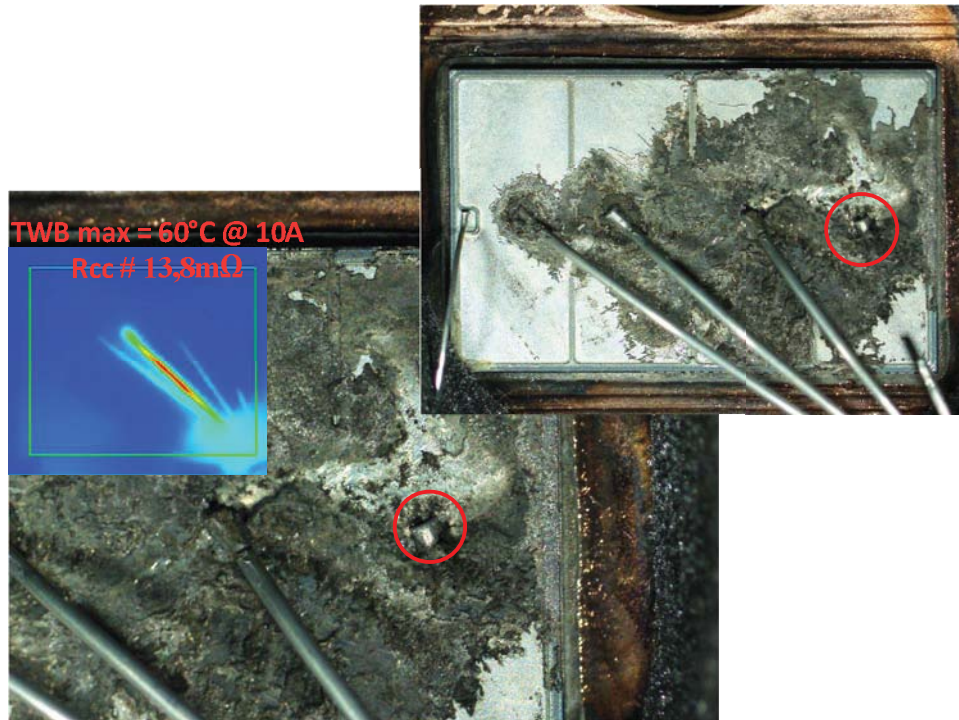


Figure 3-18 : Analyse physique de zone défailante sur le DUT n°1 vieilli - CoolMos APT60N60BCSG cassé par avalanche et vieilli, décapsulation par SermaTM.

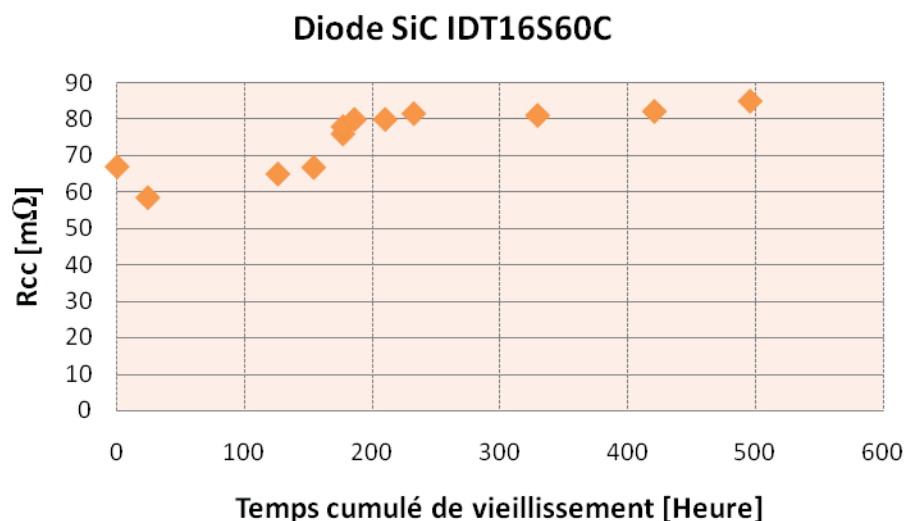


Figure 3-19 : Test de vieillissement d'une diode SiC IDT16S60C dans cas idéal : courant sinusoïdal, $I_{max}=12A$, $T_{case}=30^{\circ}C/40^{\circ}C$.

La Fig. 3-19 montre la courbe d'évolution de la résistance apparente de la diode SiC. Après une phase transitoire d'accommodation métallurgique de la zone de perçage et de la région de refusion concernée par la conduction, la résistance se stabilise, comme pour le CoolMos avec cette fois une légère augmentation $10\text{m}\Omega$. La décapsulation du boîtier en Fig. 3-20 montre que la diode est formée de deux petites puces en parallèle dont une présente un fort endommagement du plan de métal et une amorce de fissure en surface (choc thermomécanique lors de l'avalanche). Ce type de topologie permet également de profiter d'une redondance parallèle en plus de la redondance offerte par la structure du convertisseur.

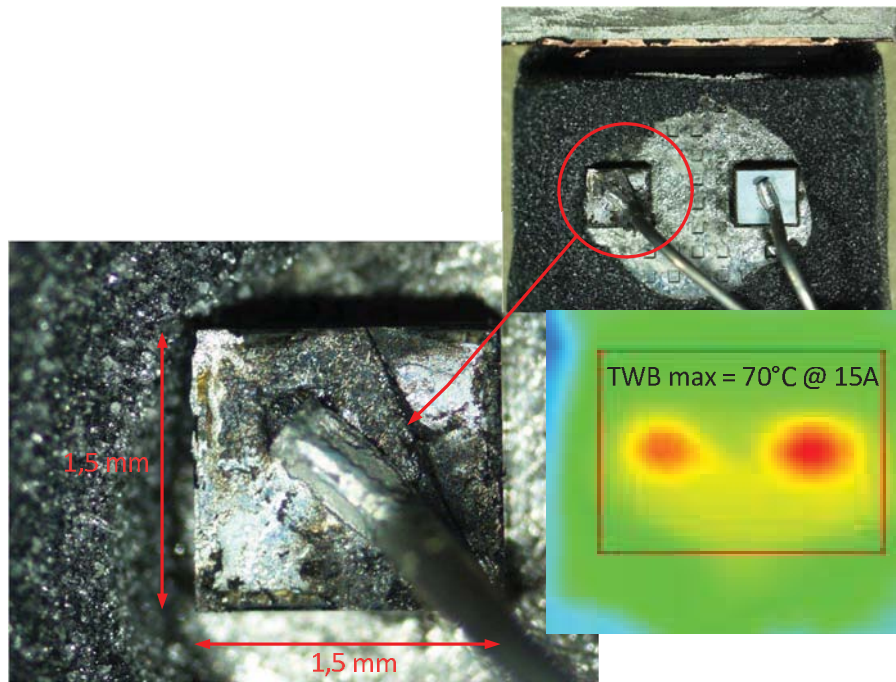


Figure 3-20 : Analyse physique de zone défailante d'une diode SiC IDT16S60C détruite par avalanche et vieillie pendant 500h en mode PFC, décapsulation par SermaTM.

3.1.4 Diagnostic de défaut par surveillance des deux tensions des condensateurs flottantes

Le management de défaut concerne la détection, la localisation et la reconfiguration des commandes pour bénéficier de la sûreté de fonctionnement [41]. Dans la littérature, il y a plusieurs méthodes de diagnostic du convertisseur comme les approches fréquentielles [42], les méthodes issues de l'intelligence artificielle à base d'apprentissage (reconnaissance de formes d'ondes ou de trajectoires dans le plan d, q par exemple) et la génération de règles [43][44] et plus récemment par mesure de champ proche du convertisseur [45]. Toutes ces méthodes sont génériques et globales, issues d'une approche "système", elles ne peuvent être potentiellement intéressantes que si elles sont adaptées et évaluées au cas par cas en fonction des caractéristiques en mode dégradé du convertisseur. Dans le cadre de cette thèse, nous présentons deux méthodes de diagnostic avec un objectif de simplicité et robustesse.

3.1.4.1 Détection et localisation directe par surveillance temporelle interne des grandeurs d'état

Cette première approche consiste à surveiller directement les informations transmises par les deux capteurs qui donnent l'image des deux tensions des condensateurs flottants [46]. Le principe de détection est simple puisqu'il suffit de comparer les tensions flottantes à des seuils comme illustré en Figure 3-21. En fonctionnement normal, ces deux tensions restent dans la bande $V_{dc}/4 \pm \Delta V_c/2$ ($\Delta V_c \sim 5\%V_{dc}/4$) et dans ce cas, les machines d'état permettent d'équilibrer les tensions flottantes. Par contre, en cas de défaut interne, la tension flottante ne reste plus dans cette bande. Même si la machine d'état tente de réguler cette tension, cette dernière va sortir de la bande. Si elle dépasse la borne « haute », il y a un court-circuit de la cellule 2 ; à l'inverse, si elle dépasse la borne « basse », on observera un court-circuit de la cellule 1. De la même façon pour le stack inférieur, on peut détecter et localiser le défaut en surveillant la tension flottante inférieure. La Figure 3-21 présente le principe de fonctionnement de cette méthode : le seuil de détection dépend du compromis entre le temps d'activation et la robustesse. On sait bien que la fiabilité de la détection est clairement demandée dans le diagnostic des systèmes de puissance et des systèmes à base de semi-conducteurs. Il faut éviter de créer une fausse panne, *a minima* une erreur de détection ne doit pas être critique sur le plan de la sécurité et de la disponibilité.

On choisit donc deux seuils "larges" à $0,9 V_{dc}/2$ et $0,1 V_{dc}/2$, afin d'assurer la robustesse de la méthode. Ces seuils doivent suivre la fréquence de fluctuation de la tension du bus continu. Par contre, pour de faibles valeurs du courant I_{AC} , un retard de détection peut apparaître compte tenu de la lente évolution de ces tensions flottantes. Il peut correspondre jusqu'à un demi cycle basse fréquence, mais il n'apporte aucun risque vis-à-vis de l'interrupteur grâce à son calibre de tension suffisamment grand.

Enfin, il faut introduire une fenêtre dite de "blanking" pour éviter les erreurs de détection dans la phase où les condensateurs se chargent au démarrage.

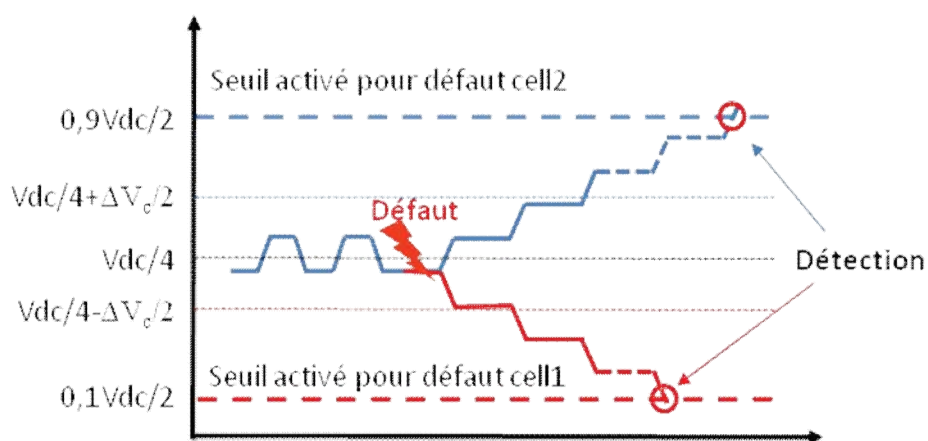


Figure 3-21 : Principe du diagnostic par surveillance de deux tensions des condensateurs flottants.

Suite à la détection du défaut de court-circuit, le détecteur transmet au modulateur l'ordre de reconfigurer la commande sur le bon stack et la bonne cellule. Cette opération prenant moins d'une période de découpage, la tension flottante du stack dégradé se décharge ou se

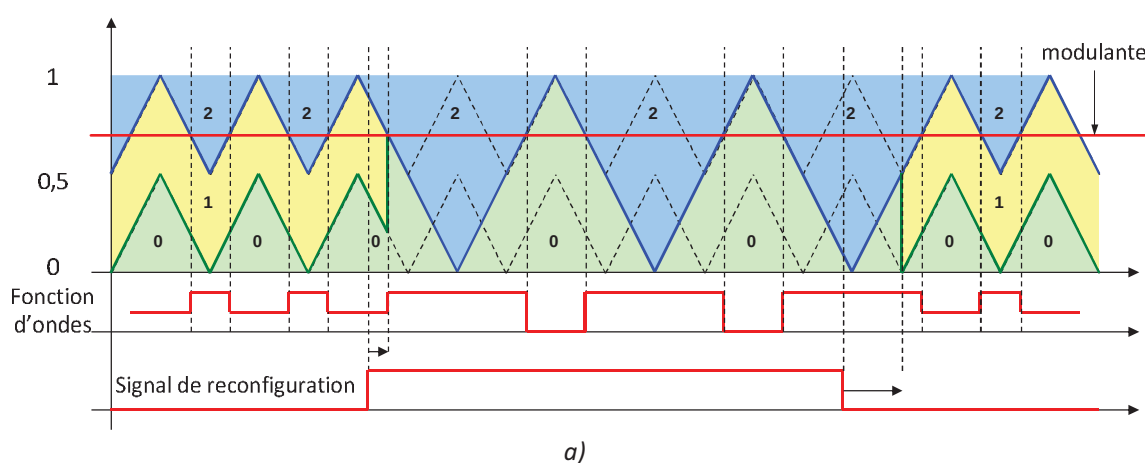
charge rapidement à 0 ou $V_{dc}/2$ selon la localisation du défaut de manière à passer en régime 2 niveaux.

Dans le paragraphe précédent, nous avons expliqué le principe de la méthode de détection et de localisation du défaut. A présent, nous évoquons la reconfiguration des porteuses, ainsi que la réorganisation du fonctionnement de la machine d'état.

Le passage en court-circuit d'une cellule provoque la décharge (cellule 1) ou la charge permanente (cellule 2) du condensateur flottant ce qui amène, par réaction à ce déséquilibre, à bloquer la machine d'état dans une configuration où la seule cellule active est commandée à une fréquence double sous une tension double : les pertes par découpage sont donc au moins doublées. Pour rétablir un fonctionnement à la fréquence de découpage sur cette cellule, la machine d'état doit être reconfigurée combinée à une réduction de la puissance transmise, i.e. du courant d'entrée, afin de maintenir globalement un niveau de pertes nominales sur la cellule active.

Nous proposons donc de reconfigurer les deux porteuses en phase ainsi que la machine d'état : le stack qui présente un défaut provoquera un changement de 3 Niveaux à 2 Niveaux avec une fréquence de découpage (F_{dec}) ; ceci afin de limiter les pertes par commutations et stress dans les composants. La Figure 3-22 a), b), c) montre le principe de reconfiguration des deux porteuses 3 Niveaux à une porteuse 2 Niveaux et réciproquement. Le principe est d'interdire une reconfiguration quand la modulante est dans la bande intermédiaire, correspondant au niveau 1 de la fonction d'onde, pour éviter des commutations non-souhaitées. Si la modulante est localisée dans la bande haute, les deux porteuses s'alignent avec un retard quand l'état S3 est obtenu. Lorsqu'elle est localisée dans la bande basse, la reconfiguration est fait quand S4 est réalisé.

Avec ce principe, l'alignement et le désalignement des porteuses, la reconfiguration se fait sans reconnexion de la cellule active.



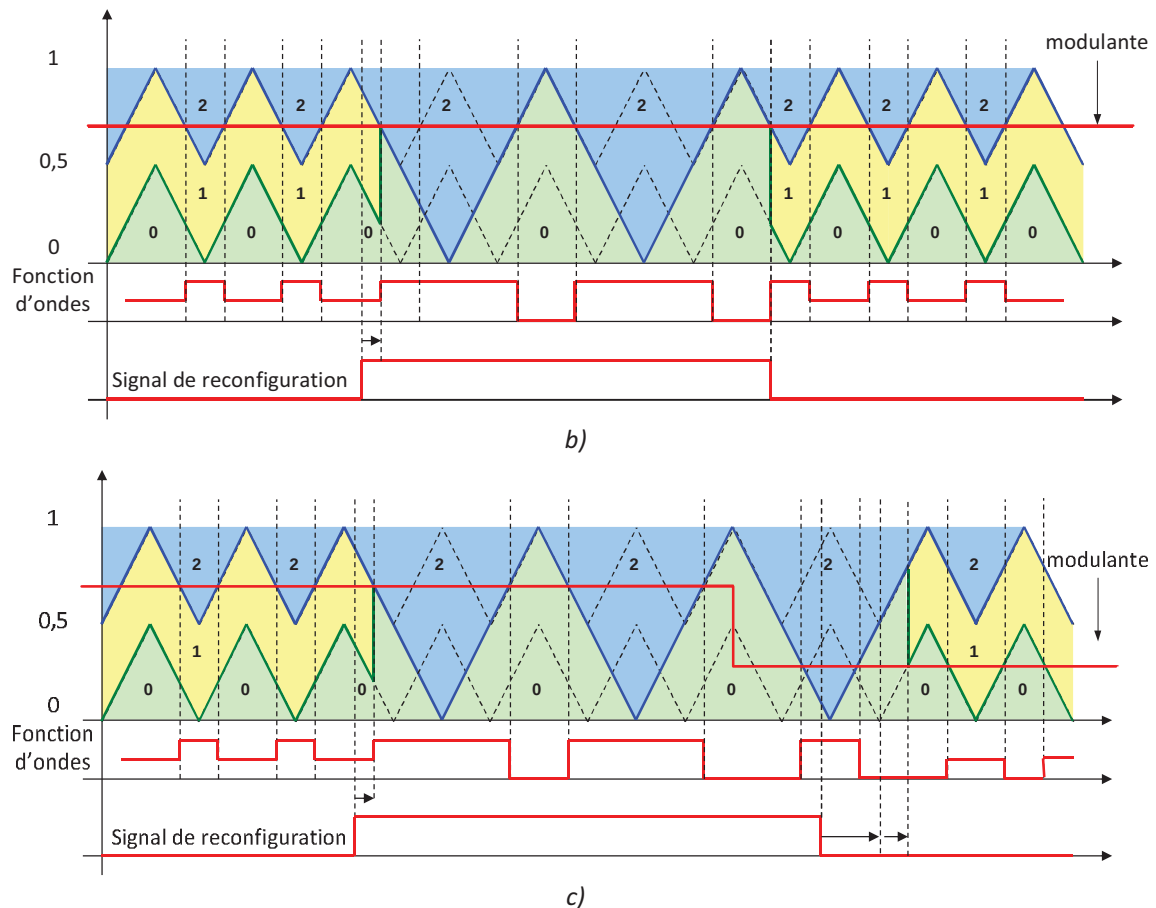
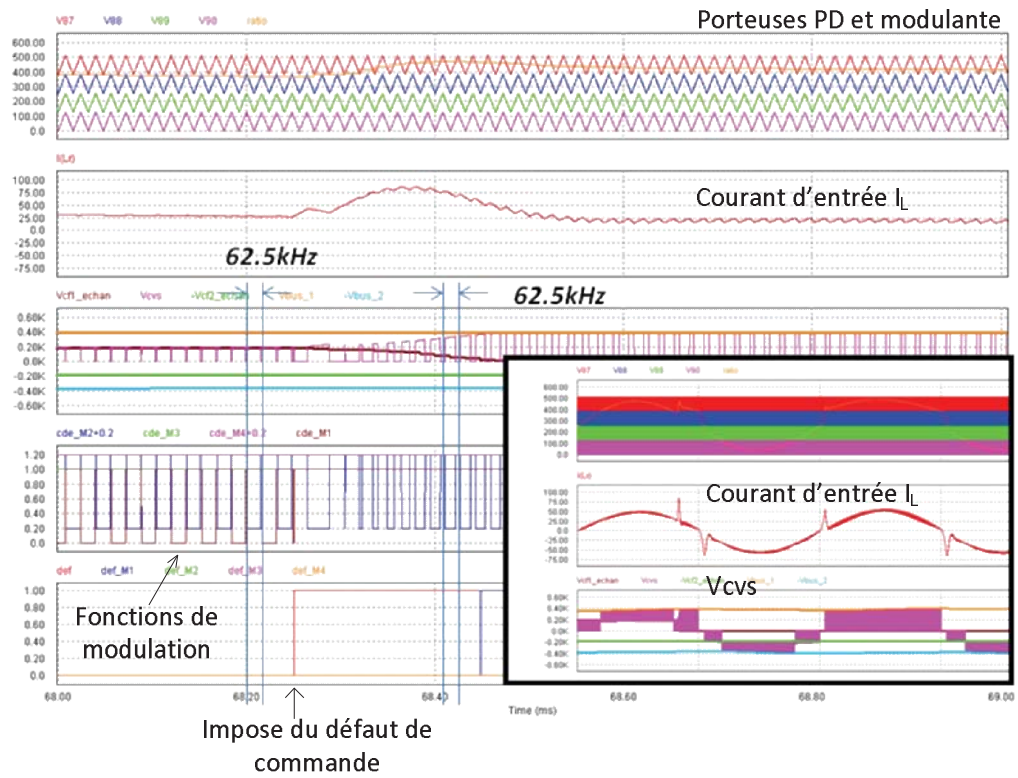
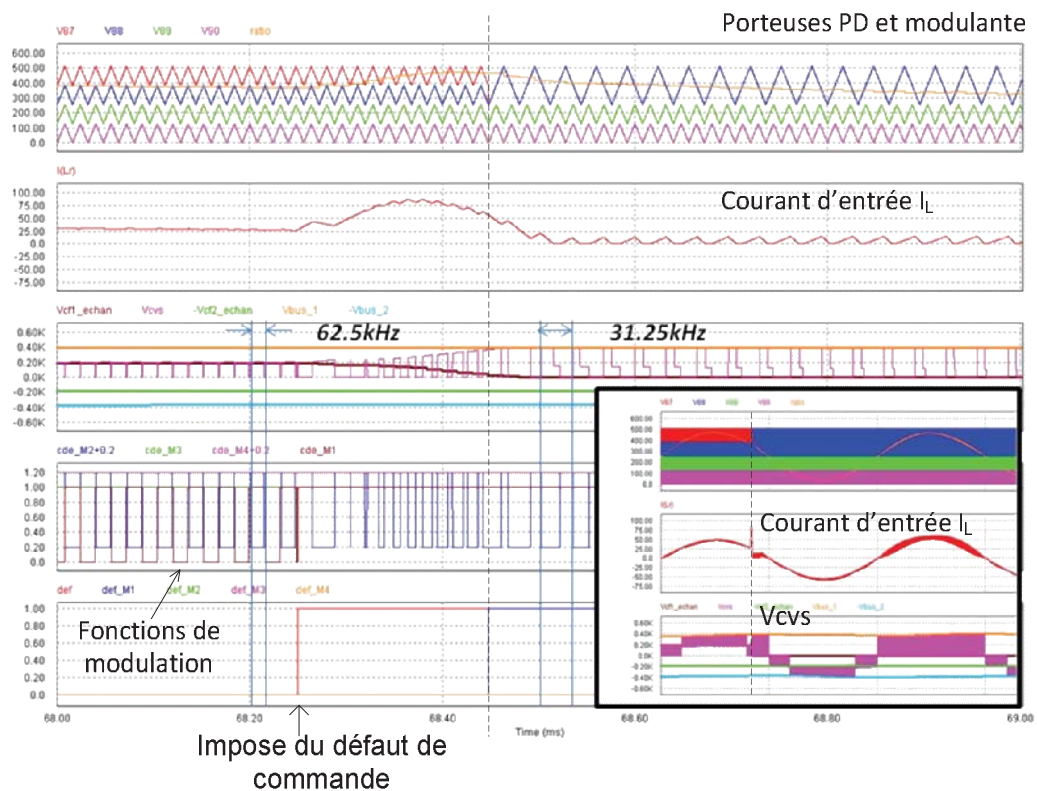


Figure 3-22 : Reconfiguration des porteuses PD ainsi que la fonction d'ondes.

Sur le plan de l'implémentation numérique, la stratégie PD "3 vers 2 niveaux" requiert une reconfiguration des registres numériques de l'amplitude, de la phase et de la fréquence des porteuses pour passer d'un fonctionnement $3N$ normal à $2N$ en mode « secours ». Une étude poussée a été réalisée et co-simulée sous ModelSim™ pour arriver à une stratégie qui permet d'éviter a priori toute recombinaison d'interrupteur. Pour une modulation de profondeur inférieure à 50%, la méthode consiste à assurer la continuité des pentes du triangle inférieur, mais avec une amplitude double afin de passer de $2x F_{dec}$ à F_{dec} . La même méthode est utilisée pour une modulation supérieure à 50% sur le triangle supérieur. Dans chaque cas, le triangle opposé est aligné sur le triangle actif. Les Figure 3-22 a) et b) donnent le principe graphique de cette méthode et les simulations sont présentées en Figure 3-23.



a)



b)

Figure 3-23 : Simulation de la stratégie de reconfiguration, a) défaut sans reconfiguration $\rightarrow 4N-2xF_{dec}$ b) défaut avec reconfiguration $\rightarrow 4N-F_{dec}/2xF_{dec}$

Avec un défaut d'une cellule de commutation on perd le niveau intermédiaire : donc la tension flottante n'est plus régulée. Dans ce cas, la machine d'état est reconfigurée comme illustré en Figure 3-24.

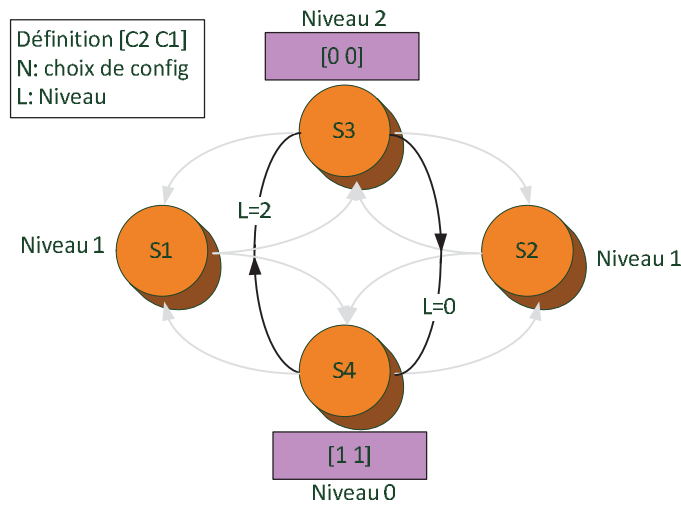


Figure 3-24 : Reconfiguration de machine d'état.

Cette stratégie a été simulée (Figure 3-25), afin de montrer toutes les séquences de fonctionnement : 1) normal $5N-2x F_{dec}$, 2) défaut CC sur une cellule et mode dégradé non reconfiguré $4N-2x F_{dec}$, 3) mode dégradé reconfiguré $4N-2x F_{dec}$ (alternance positive) / F_{dec} (alternance négative), 4) deuxième défaut de CC et isolement complet puis passage en pont de diodes.

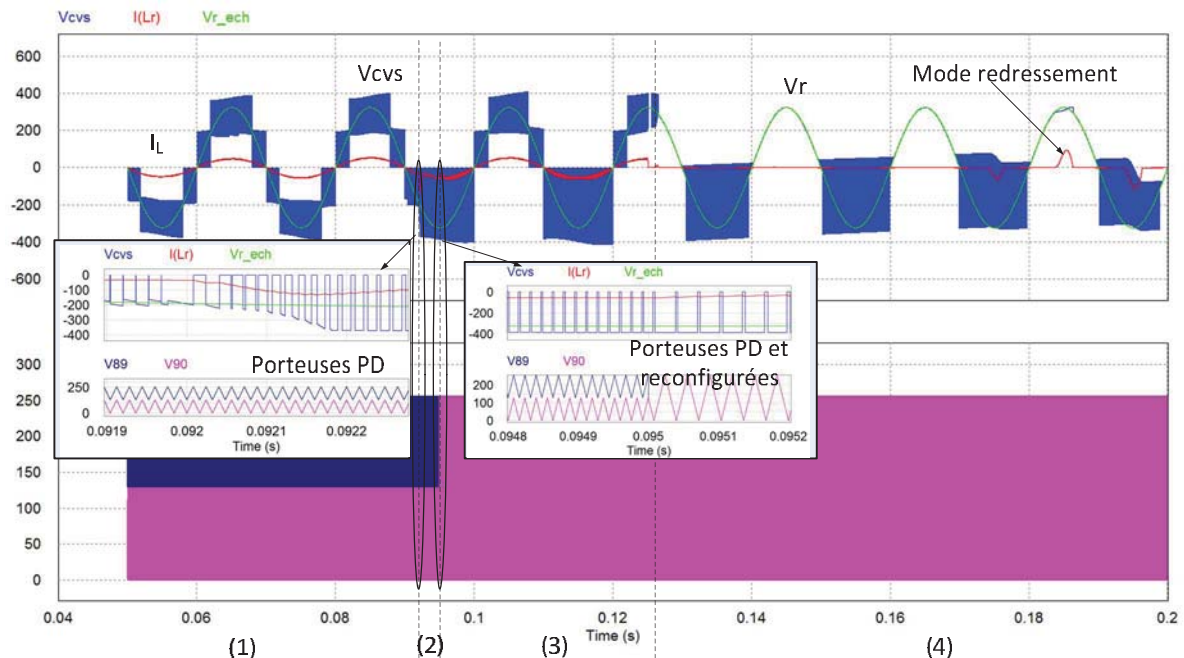


Figure 3-25 : Toutes les séquences de fonctionnement possibles de la topologie PFC DB FC 5N à tolérance.

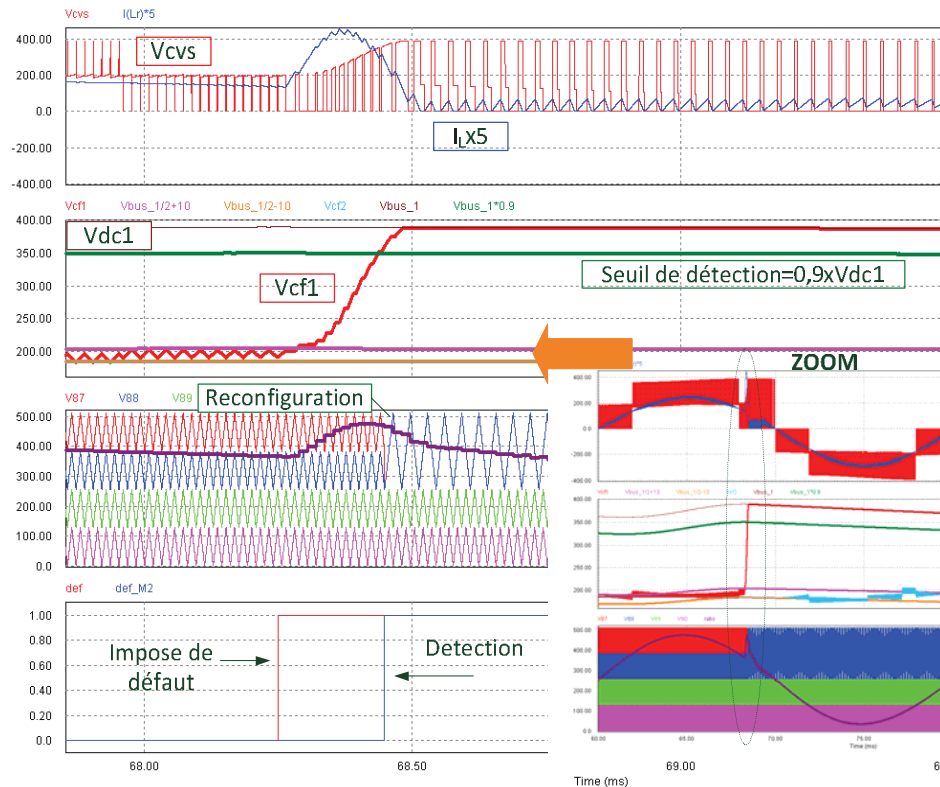


Figure 3-26 : Simulation du fonctionnement du PFC double-boost FC 5N avec défaut sur cell. 2.

Tout défaut de court-circuit sur un transistor se traduit par une absence de commutation de la cellule dans lequel il est impliqué et donc par un rapport cyclique apparent passant d'une valeur α à une valeur de 1 (et de façon complémentaire à 0 si c'est un court-circuit sur la diode). Il s'en suit une variation de la valeur moyenne de la tension d'entrée, prise sur une période de découpage, variant quasi-instantanément de $V_{dc}/2 \times (1-\alpha)$ à $V_{dc}/4 \times (1-\alpha)$ puis se rétablissement lentement à $V_{dc}/2 \times (1-\alpha)$ lorsque la tension flottante a atteint son régime permanent. Ce transitoire de tension est appliqué aux bornes de la self d'entrée qui réagit par un fort régime transitoire de courant qui est bien visible sur les simulations. Cette perturbation pourrait être facilement compensée par une adaptation dynamique du gain de modulation comme l'illustre sur Figure 3-26 simulation. En pratique cette technique est peu réaliste car le défaut n'est détecté que lorsque la tension flottante a atteint 90% de son régime final, i.e. dans à un moment où le transitoire s'est produit. Pour espérer utiliser cette technique il faudrait accepter un seuillage de détection beaucoup plus restreint au prix d'une moins bonne robustesse de fonctionnement.

3.1.4.2 Résultats d'expérimentation

Dans un premier temps, nous avons imposé un défaut de type court-circuit par la commande On-permanent sur un ou deux transistors. Cette imposition est facilement réalisée par une interface Excel qui est connectée à la carte DSP et à la carte FPGA.

Dans un deuxième temps, pour tester le mode de court-circuit de la diode, nous avons provoqué le "claquage" par avalanche d'une diode de calibre de tension volontairement

moins élevé que l'on a soudée en parallèle avec la diode SiC 600V pour éviter de casser notre composant principal.

La Figure 3-27a) montre un exemple de reconfiguration après l'application d'un défaut de commande : c'est-à-dire ON permanent sur l'interrupteur de la cellule n°2. Ce convertisseur permet de fonctionner sous AC65V-DC200V- $F_{dec} = 32\text{kHz}$ tout en assurant une marche dégradée en toute sécurité. Une rapide chute de tension flottante est détectée et permet de déclencher la reconfiguration de deux porteuses à une, qui n'est appliquée que sur le stack supérieur. La Figure 3-27b) montre toutes les séquences d'opération normale à la reconfiguration des porteuses et la machine d'état quand un court-circuit est appliqué sur un interrupteur de la cellule 2. Il faut noter que la tension flottante reste normalement dans la bande de tension de référence ; cette valeur va augmenter ou diminuer selon que le défaut apparaît sur la cellule 2 ou la cellule 1. Quand cette valeur évolue en dehors de cette référence, la machine d'état tente de compenser cette tension à l'aide de commutations permanentes sur la cellule active à la fréquence des porteuses PD, égale à deux fois F_{dec} .

Enfin, quand un défaut est détecté, la reconfiguration de trois niveaux à 2 niveaux est faite : le fonctionnement se fait à la fréquence de découpage afin de réduire les pertes par commutations et permettre une continuité sécurisée.

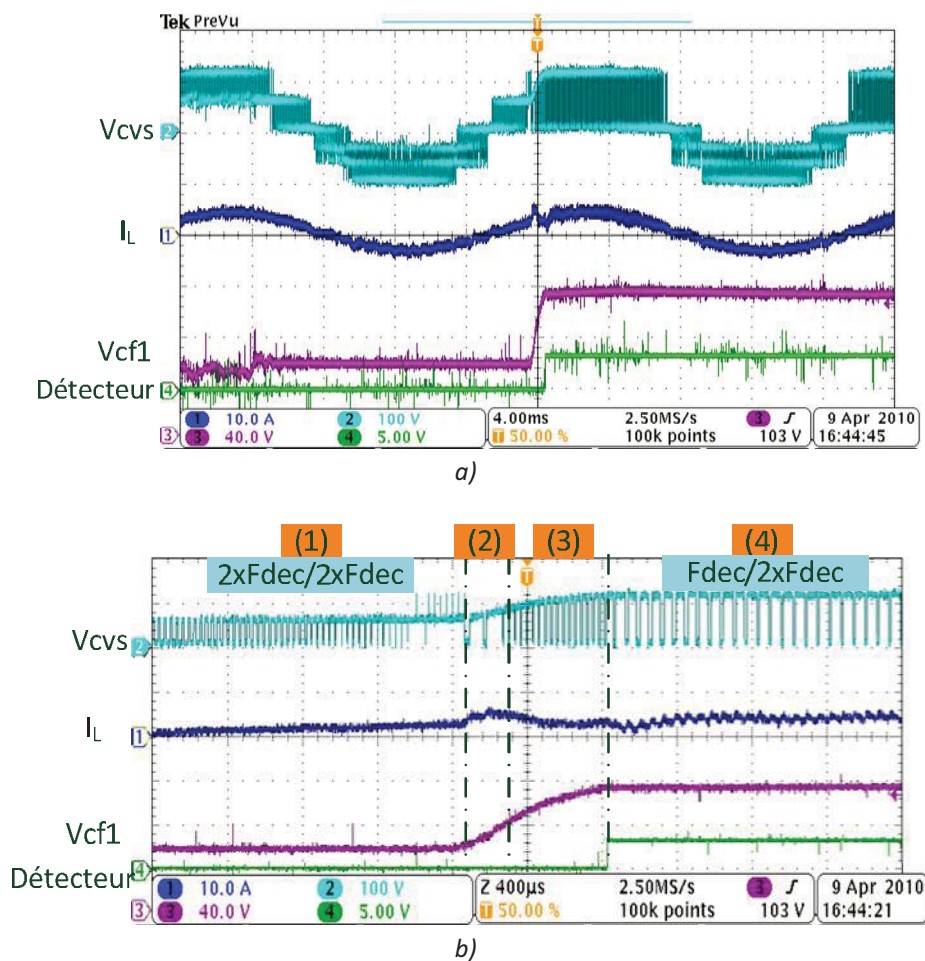


Figure 3-27 : a) Défaut appliqué sur la cellule 2 claquage d'une diode Transil de plus faible calibre de tension- AC 65V-DC 200V- $F_{dec} = 32\text{kHz}$, b) Zoom de la Figure 3-27a) : (1) : opération normale, (2) : défaut sur cellule 2 et V_{cf1}

dans la bande de la ME, (3) : défaut sur cellule 2 et V_{c1} hors de la bande de ME, (4) : reconfiguration de 3N à 2N par franchissement du seuil de détection $0,9xV_{dc}/2$.

3.1.4.3 Détection et localisation indirecte par surveillance fréquentielle externe des grandeurs globales du PFC

Les convertisseurs multi-niveaux mettent en jeu des commandes entrelacées entre tout ou partie des cellules. Chaque cellule est donc en mesure d'apporter une signature fréquentielle qui lui est propre au niveau de la phase de l'harmonique de tension qu'elle produit à sa fréquence de découpage. Un diagnostic du fonctionnement basé sur la surveillance fréquentielle de la tension AC du PFC apparaît donc comme une méthode tout à fait pertinente, sur le principe, à ce type de convertisseur. Cette approche a été envisagée au laboratoire à travers la thèse de Ph.Baudesson [47] qui a fait l'objet d'une implémentation "générique" de l'organe de surveillance en technologie analogique. Nous présentons ici une démarche beaucoup plus spécifique et dédiée à la structure PFC avec une implémentation tout numérique.

Basé sur une analyse harmonique, un seul capteur de tension large bande est suffisant au lieu des deux capteurs basse-fréquence de la méthode précédente. Si cette solution mono-capteur est élégante pour son coût capteur réduit, elle se paie par la nécessité de mettre en œuvre une stratégie de reconstruction des tensions flottantes internes de manière à pouvoir réguler ces tensions en parallèle avec la surveillance harmonique. Une méthode de reconstruction sera donc présentée avec des résultats de simulations.

Par ailleurs, il faut noter que la méthode PD-MLI utilisée précédemment avec les deux machines d'état n'est pas directement compatible avec la méthode de surveillance harmonique. En effet cette commande rapprochée vient séparer d'un côté la génération de l'onde MLI de référence et de l'autre le séquenceur de commande. Ce processus ne permet pas de faire de lien direct entre les porteuses apparentes du modulateur et la commande des cellules de manière univoque.

Ainsi nous proposons dans cette partie de remplacer les deux modulateurs PD 3N à machines d'état, par deux nouveaux modulateurs 3N nommés "Phase-Shift modifiés" permettant de générer la même forme d'onde globale et optimale en 5N sans machine d'état et ainsi de pouvoir associer à chaque cellule et porteuse avec une phase déterminée à la fréquence de découpage.

3.1.4.4 Nouveau moduleur 3N avec porteuses de type Phase-Shifting modifiées

Les nouvelles porteuses sont décrites en Figure 3-28 : deux porteuses PD à deux fois F_{dec} , sont maintenant décomposées en deux sous-porteuses à F_{dec} et décalées de π pour maintenir la propriété d'entrelacement. Entre les deux bandes de modulation, un décalage de phase $\pi/2$ est introduit sur les deux porteuses de manière à générer, globalement, des porteuses actives (i.e. des portions de triangle à $2xF_{dec}$) géométriquement en phase entre les deux bandes, à l'image d'une modulation PD.

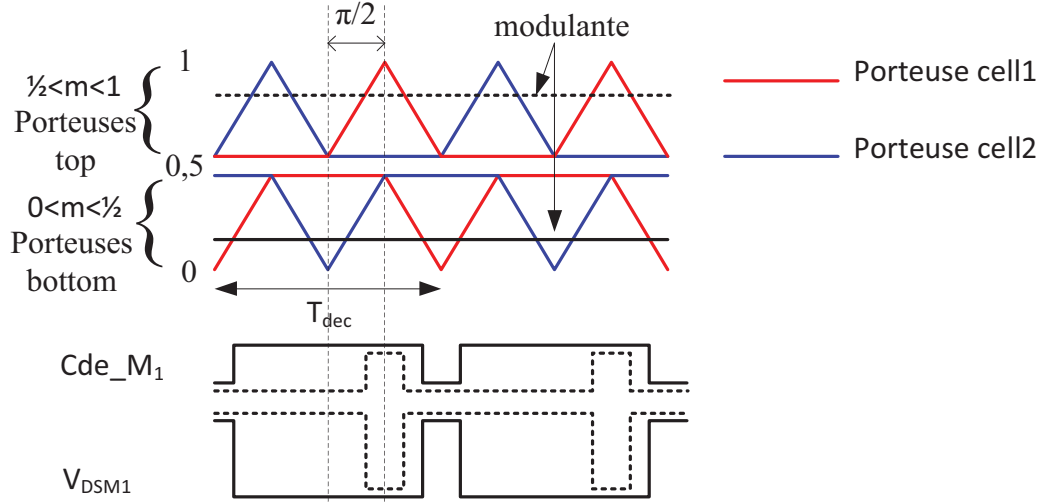


Figure 3-28 : Porteuses POD modifiées pour tension 3Niveaux.

Dès que qu'un défaut de court-circuit survient, la fréquence apparente de la tension en entrée du convertisseur passe naturellement de $2x F_{dec}$ à F_{dec} .

Cette modification à plusieurs conséquences sur le comportement du convertisseur :

- l'ondulation du courant d'entrée est quadruplée (passage de 3 à 2 niveaux sur le stack concerné et de $2x F_{dec}$ à F_{dec}).
- de nouveaux harmoniques à des fréquences multiples de la fréquence de découpage apparaissent.

Le modèle classique harmonique est rappelé dans les relations de (3-1) à (3-6) en régime considéré parfaitement équilibré. Par exemple, si la cellule 2 est court-circuitée, le condensateur C_1 se charge à $V_{dc}/2$. La nouvelle valeur d'amplitude et de la phase de la composante harmonique de la tension en entrée du convertisseur sont décrites par les relation (3-7) à (3-9) où apparaît seulement la contribution de la cellule 1 active :

$$V_{T_1}(t) = [1 - C_{tr_1}(t)] \cdot V_{cap}(t) \quad (3-4)$$

$$V_{T_2}(t) = [1 - C_{tr_2}(t)] \cdot [V_{dc_1}(t) - V_{cap}(t)] \quad (3-5)$$

La fonction de modulation est donnée par :

Pour la bande basse $m \in [0, 1/2[$:

$$C_{tr_i}(t) = 1 - m_i(t) + \sum_{h=1}^n \frac{2}{\pi h} \sin[h(1 - m_i)\pi] \cdot \cos(h\omega_{sw}t - h\frac{2\pi}{i}) \quad (3-6)$$

Pour la bande haute $m \in [1/2, 1[$:

$$C_{tr_i}(t) = 1 - m_i(t) + \sum_{h=1}^n \frac{2}{\pi h} \sin[h(1 - m_i)\pi] \cdot \cos(h\omega_{sw}t - h(\frac{2\pi}{i} - \frac{\pi}{2})) \quad (3-7)$$

$C_{Tri}(t)$: signal de commande d'un transistor Tri ; $i \in [1 ; 2]$ numéro de cell. ; m : modulante ; h : rang d'harmonique, $\omega_{dec} = 2\pi F_{dec}$ ou F_{dec} est fréquence de découpage d'une cellule.

Pour un fonctionnement normal, les tensions des condensateurs flottants sont équilibrées autour de $V_{dc}/4$. Ainsi pour $h=1$, on peut écrire :

$$\bar{V}_{T_1}^1 = -\bar{C}_{tr1}^1 \cdot \frac{E}{4} \quad (3-8)$$

$$\bar{V}_{T_2}^1 = -\bar{C}_{tr2}^1 \cdot \frac{E}{4} \quad (3-9)$$

En analysant le cas d'un défaut sur la deuxième cellule, la tension de la cellule 2 s'annule tandis que la tension de la cellule 1 augmente de 100%. La structure ayant perdu une cellule et les ordres de commande n'étant pas changés, le convertisseur génère des harmoniques de tension à tous les rangs multiples de la fréquence de découpage.

La cellule 2 est court-circuitée, donc $V_{T2}=0$ et

$$\bar{V}_{dc1} \approx \frac{E}{2} \quad (3-10)$$

Pour la bande basse $m \in [0, 1/2[$:

$$\bar{V}_{input}^1 = -\frac{E}{\pi} \sin[(1-m)\pi] \cdot \cos(\omega_{sw}t) \quad (3-11)$$

Pour la bande haute $m \in [1/2, 1[$:

$$\bar{V}_{input}^1 = -\frac{E}{\pi} \sin[(1-m)\pi] \cdot \cos(\omega_{sw}t - \frac{\pi}{2}) \quad (3-12)$$

Pour extraire la composante à la fréquence de découpage, une synchro démodulation sinusoïdale avec une phase $-\pi/4$ est proposée sur l'équation (3-13). Cette phase de démodulation permet d'accorder un poids identique à l'harmonique F_{dec} quelle que soit la bande de démodulation. La Figure 3-29 synthétise tous les décalages de phase du première harmonique de tension, et montre également le vecteur synchro sinus.

$$s(t) = -S \cos(\omega_{sw}t - \frac{\pi}{4}) \quad (3-13)$$

$$V_{dec}(t) = \frac{1}{T_{sw}} \int_{T_{sw}} \bar{V}_{input}^1(t) \cdot s(t) dt \quad (3-14)$$

Le calcul est un produit scalaire classique (3-11) et a pour but d'extraire la puissance entre le signal demodulation et la composante harmonique de tension V_{input} . En développant l'intégrale de l'équation (3-11), nous obtenons le module et la phase de l'harmonique de tension de rang 1. Les résultats de calcul sont présentés dans le Tableau 3-1, et illustrés sur la Figure 3-30.

Tableau 3-1 : Résultat mathématique de l'intégrale de démodulation entre tension d'entrée et le signal synchro sinusoïdal.

Cell1. en CC	Cell2. en CC
$V_{\text{det ec}}(t) = -\frac{\sqrt{2}SE}{8\pi} \sin[(1-m)\pi]$	$V_{\text{det ec}}(t) = \frac{\sqrt{2}SE}{8\pi} \sin[(1-m)\pi]$

A partir de la représentation (Figure 3-29) de l'harmonique de rang 1 de la tension d'entrée dans le plan vectoriel pour le cas d'un défaut sur la cellule 1 ou 2, et des résultats de calcul du Tableau 3-1 présentés sur Figure 3-30, on s'aperçoit que les informations délivrées par ce signal sont suffisamment riches pour pouvoir détecter et localiser facilement le défaut de court-circuit.

-La détection de l'apparition du défaut est donnée par le module du fondamental. Quelle que soit la cellule défaillante, l'amplitude de cet harmonique permet théoriquement de pouvoir déceler le défaut.

-La localisation de la cellule en défaut est donnée par la phase du fondamental de tension par rapport à la modulante.

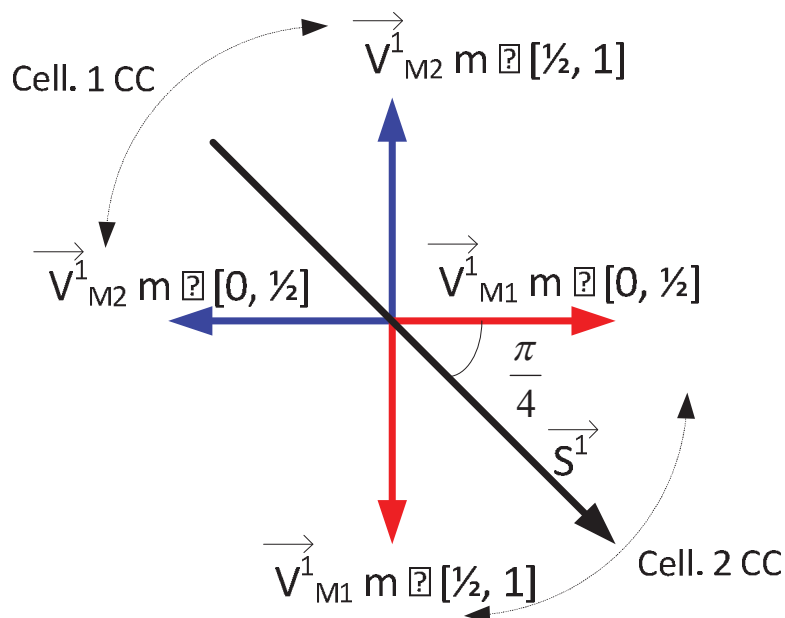
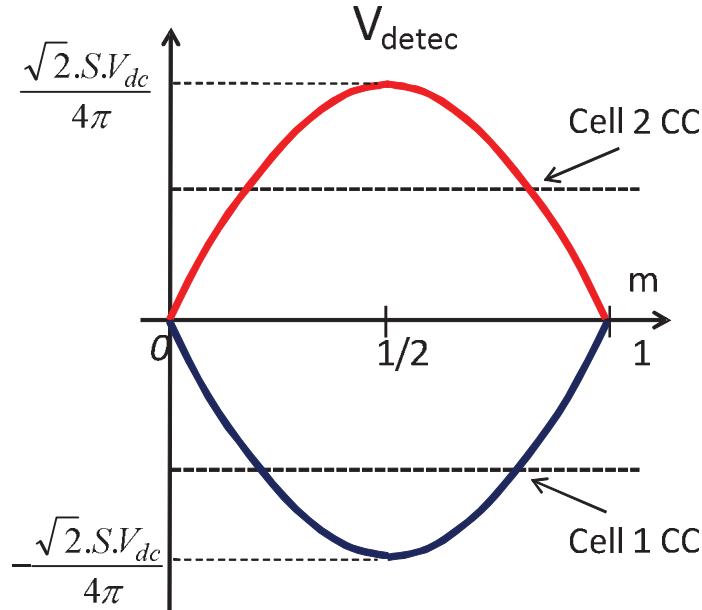


Figure 3-29 : Diagramme vectoriel de diagnostic harmonique.


 Figure 3-30 : Signal de détection et localisation de défaut (V_{detec}) en fonction de la modulante m .

Ces résultats montrent qu'il est possible d'utiliser le signe de V_{detec} et le signe de modulante pour localiser la position de la cellule défaillante (ce qui est expliqué Figure 3-31).

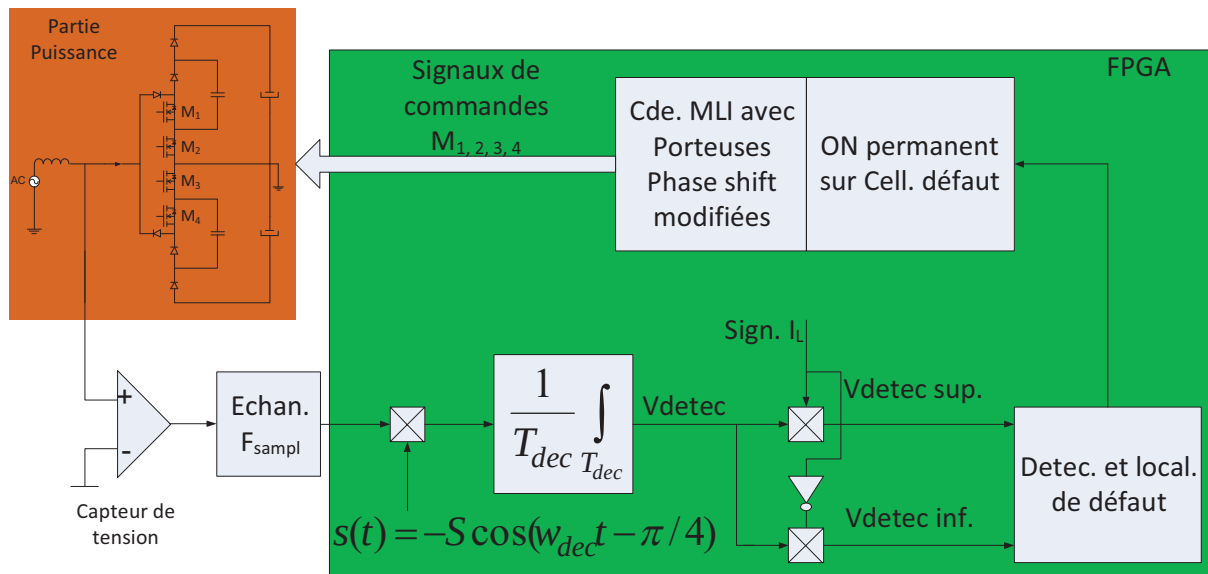


Figure 3-31 : Synoptique de diagnostic fréquentiel.

3.1.4.5 Validation par simulation et par expérimentation du détecteur harmonique

Nous présentons ici des validations par simulation du diagnostic par détection harmonique. Nous profitons de la capacité d'une redondance par stack dont deux redondances par structure pour faire une simulation où dans premier temps la cellule 2 est défaillante ce qui implique une valeur V_{detec} positive et dans un deuxième temps la cellule 3 est défaillante ce qui implique maintenant une valeur V_{detec} négative (Figure 3-32). En fonction du signe de V_{detec} et du signe de la modulante, détection et localisation sont assurées. La Figure 3-33 montre la défaillance en cascade et le résultat de diagnostic. Ces simulations sont effectuées

dans PSIM et sont simulées en temps discret à l'aide d'un bloc C, ce qui est après facilement transposable en VHDL dans le FPGA.

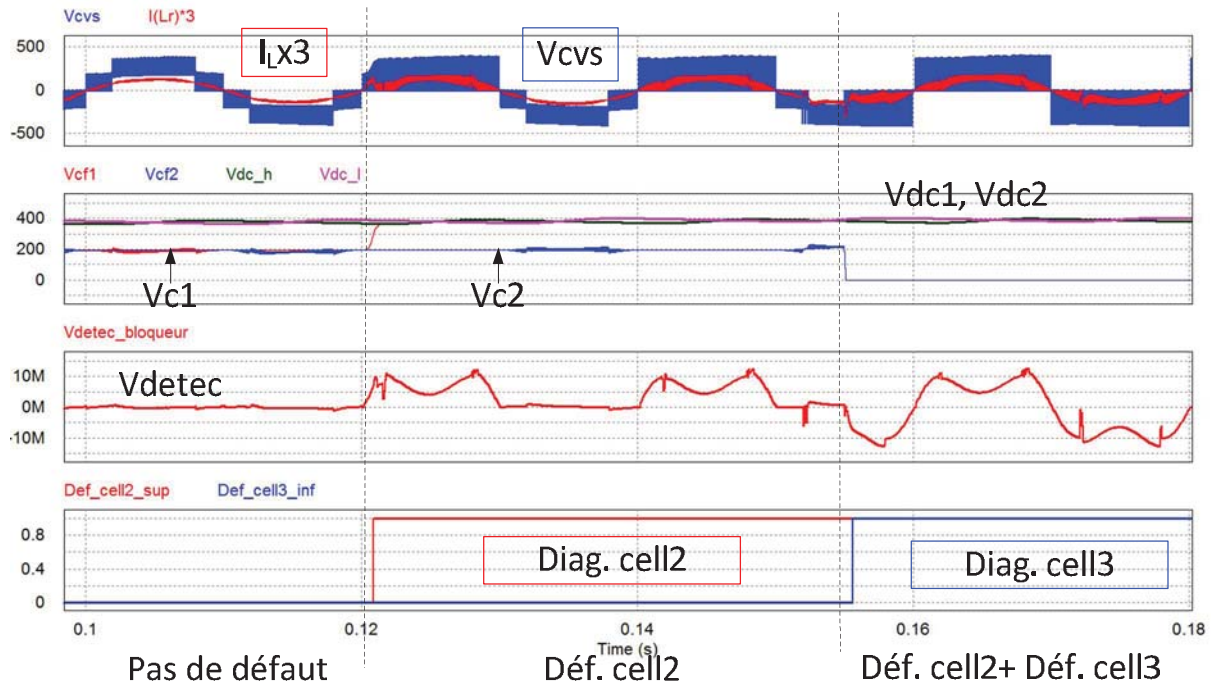


Figure 3-32 : V_{detec} avec défaut sur cell. 2 et défaut sur cell. 3.

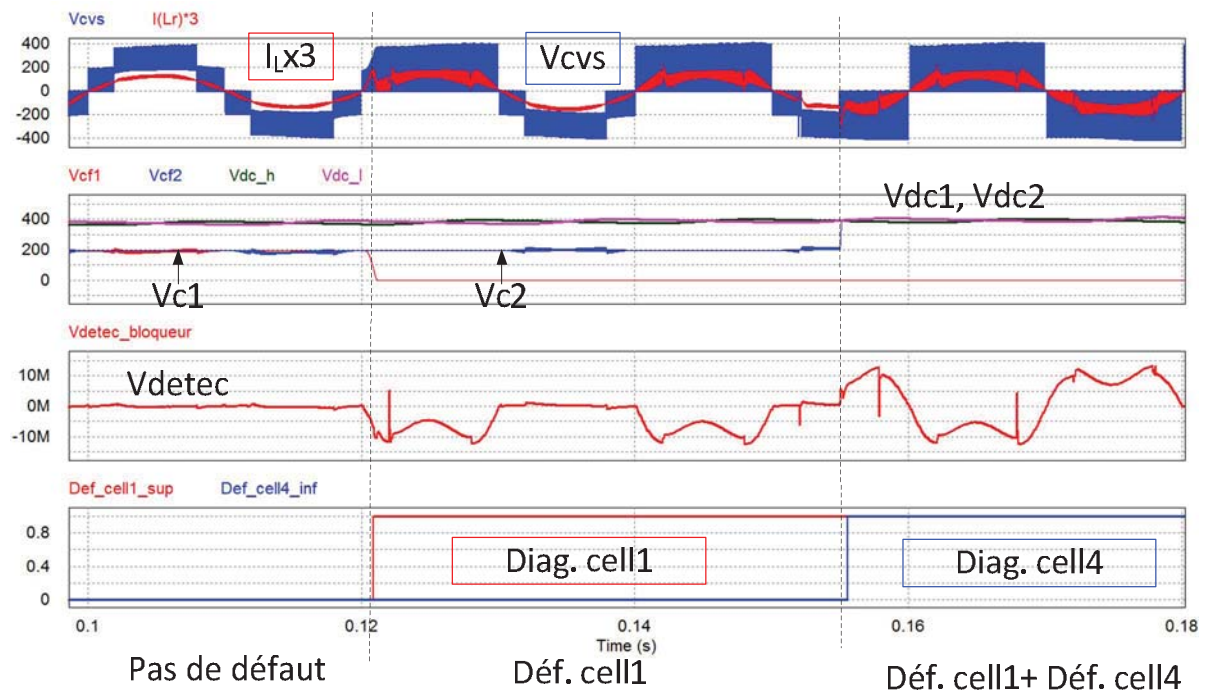


Figure 3-33 : V_{detec} avec défaut sur cell. 1 et défaut sur cell. 4.

Enfin, nous présentons des résultats expérimentaux de l'ensemble à puissance réduite $V_{AC} = 70V/50Hz$, $V_{DC} = 200V$, $I_{AC} = 12A$ crête. La Figure 3-34a) donne, pour le fonctionnement normal, la tension d'entrée du convertisseur multi-niveaux, courant d'entrée sinusoïdal et valeur de détection $V_{detec} \approx 0$. La Figure 3-34 b, c donne pour le fonctionnement de défaut, la tension dégradée 4 Niveaux, courant d'entrée sinusoïdal et le signe de la valeur de détection

V_{detec} positive correspondant à un défaut de type court-circuit sur la cellule 2, et à l'inverse sur la cellule 1.

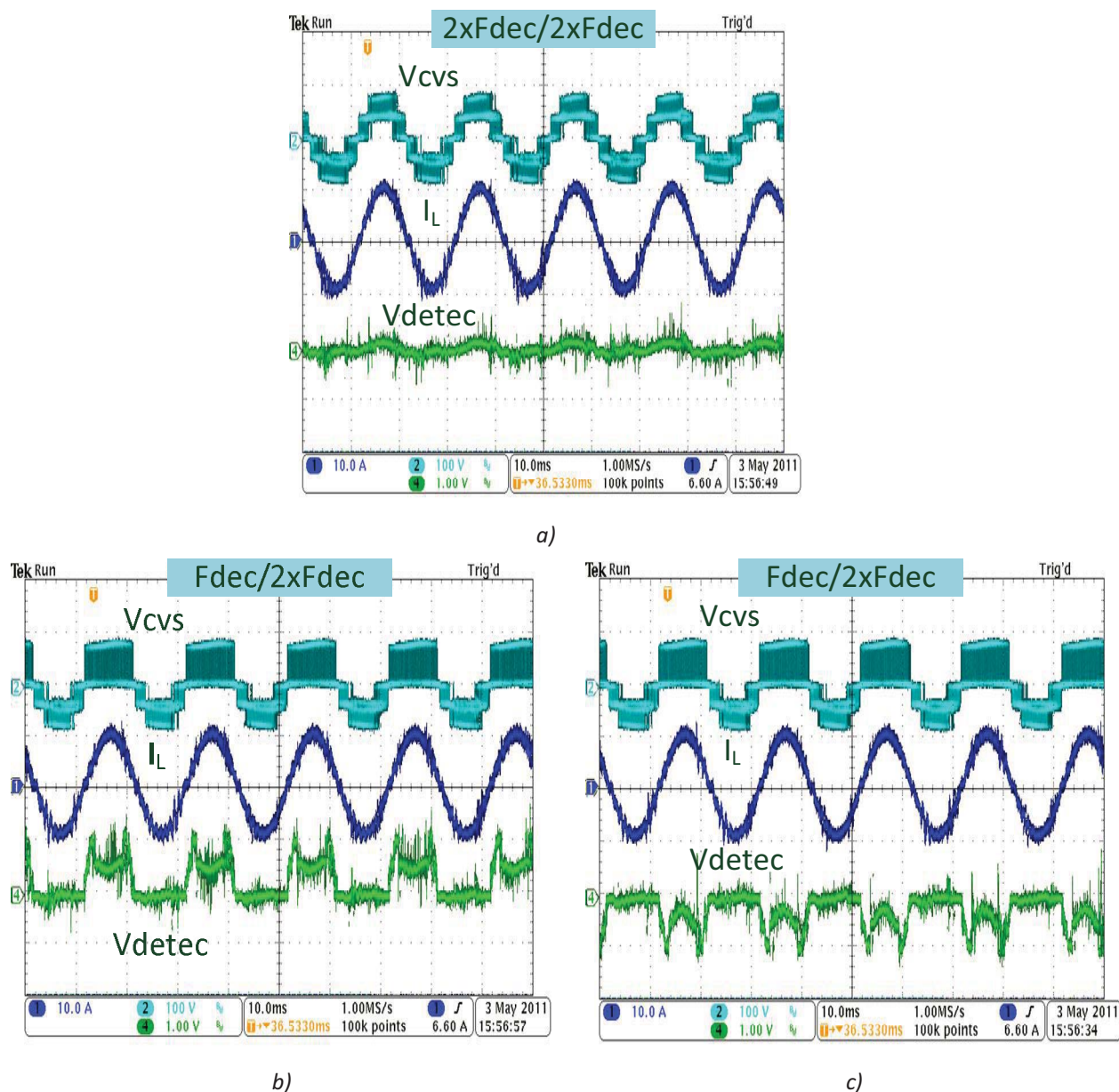


Figure 3-34 : Résultats des tests de fonctionnalité du diagnostic fréquentiel à faible puissance 65VAC- 50Hz/ 400VDC/ 32kHz a) fonctionnement sans défaut b) fonctionnement avec forçage sur la cellule 2 c) fonctionnement avec forçage sur la cellule 1.

Les résultats de simulation et expérimentaux sont parfaitement concordants. L'enveloppe du signal démodulé est conforme à la théorie, à savoir une valeur maximale au voisinage d'un rapport cyclique de commande égal à 1/2 et un creux lorsque le rapport cyclique s'éloigne de cette valeur. On peut noter également un rapide régime transitoire sous la forme d'un "spike" durant la séquence active de démodulation : ce transitoire est dû au changement de bande de modulation et donc au "saut" de phase qui en résulte sur l'harmonique à la période de découpage.

3.1.4.6 Effet des temps de retard du modèle numérique

La stratégie proposée demande une fréquence d'échantillonnage de la tension d'entrée largement plus grande que la fréquence de découpage (F_{dec}). Pourtant, la conversion analogique- numérique (CAN) introduit un retard qui peut-être une source d'erreur de notre diagnostic. Dans ce cas, nous étudions la fréquence d'échantillonnage nécessaire pour éviter les erreurs sur un calcul mathématique, que nous validons par simulation. Nous considérons R comme étant le nombre de retard de cycle nécessaire pour l'acquisition. Donc, la relation (3-15) donne l'erreur de phase de composant harmonique de V_{cv} et le diagramme vectoriel réel composé avec ce retard est présenté sur la Figure 3-35.

$$\Delta\phi = R.T_{\text{sampl}}.2\pi.F_{sw} \quad (3-15)$$

Plus la fréquence d'échantillonnage sera petite plus grande sera l'erreur de phase. Comme le montre la Figure 3-35, la phase maximale acceptée $|\Delta\phi|$ est égale à $\pi/4$ pour maintenir correctement le fonctionnement du diagnostic.

$$\Delta\phi < \pi/4 \Leftrightarrow F_{\text{echan.}} > 8RF_{\text{dec}} \quad (3-16)$$

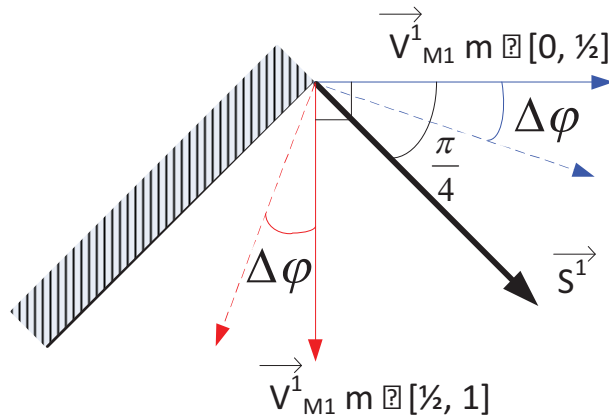


Figure 3-35 : Diagramme vectoriel de diagnostic fréquentiel à F_{dec} et signal de démodulation $S(t)$.

La Figure 3-36 montre une vérification appliquée avec $R=9$ cycles et $F_{dec}=31\text{kHz}$.

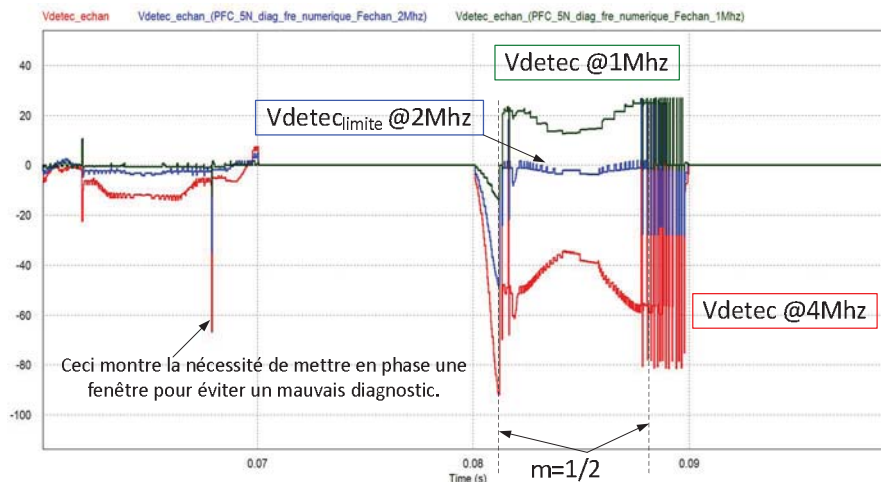


Figure 3-36 : Influence de la fréquence d'échantillonnage sur amplitude et phase de V_{detec} .

3.1.4.7 Reconstruction des tensions internes avec un capteur

La méthode de diagnostic présentée repose sur l'utilisation d'un seul capteur pour détecter et localiser. Nous ne pouvons donc pas, dans ce cas, réaliser une surveillance et une régulation directe des deux tensions flottantes. Le but de cette partie est de proposer une solution permettant leur reconstruction à l'aide d'un seul capteur de tension d'entrée.

En version 5 Niveaux, il y a deux niveaux de tensions intermédiaires : $\pm V_{dc}/4$. Ces deux niveaux de tensions sont obtenus soit par la charge du condensateur ($+V_{cf1}$, $-V_{cf2}$), soit par sa décharge ($V_{dc1}-V_{cf1}$; $-V_{dc2}+V_{cf2}$). Ainsi, sur deux périodes de découpage successives et sur deux alternances de modulation, il est possible d'extraire de manière univoque les tensions flottantes (V_{cf1} , V_{cf2}) et les tensions du bus sortie (V_{dc1} , V_{dc2}) par l'échantillonnage des deux niveaux intermédiaires de la tension d'entrée V_{cvs} .

Dans cet algorithme, il faut noter que la tension V_{cvs} est à la fréquence $2 \times F_{dec}$ impliquant un traitement rapide qui ne peut être pris en charge que par le FPGA. Les instants de synchronisation de l'échantillonneur sur V_{cvs} sont également à étudier de manière à extraire les informations sur les deux bandes de modulation et sur les deux groupes de cellules ; c'est donc sur les valeurs crêtes (min et max) de chaque porteuse apparente de la modulation PD (émulée par une modulation phase-shift modifiée cf. §3.1.4.4) que la synchronisation doit s'opérer afin d'échantillonner des niveaux de tension stables, i.e. en régime établi entre deux commutations.

En résumé, l'analyse et les simulations des Figure 3-37 à Figure 3-41 montrent qu'en modulation PD, la synchronisation doit s'opérer sur les "creux" (valeur crête min) des porteuses apparentes lorsque la modulante est comprise dans les deux bandes intermédiaires (i.e. $-1/2 < m < +1/2$) et sur les "crêtes" des porteuses apparentes lorsque la modulante est comprise dans les deux dans les deux bandes externes (i.e. $1/2 < m < 1$ et $-1 < m < -1/2$).

Superposés aux seuils $\pm 1/2$ et ± 1 , des bandes mortes doivent être insérées afin d'atteindre un état stable des niveaux juste après la commutation de la cellule d'une part et d'allouer un temps d'acquisition et de conversion suffisant à la chaîne de conversion CAN (et éventuellement d'acquérir plusieurs points sur le même niveau pour en faire une moyenne).

Dans le cas particulier qui nous concerne ici où la modulation est réalisée en fait par deux sous-modulantes (une par cellule), il faut veiller en plus à ce que celles-ci soient en même temps comprises dans la même bande de modulation avant d'extraire les informations. C'est une raison supplémentaires pour insérer des bandes mortes.

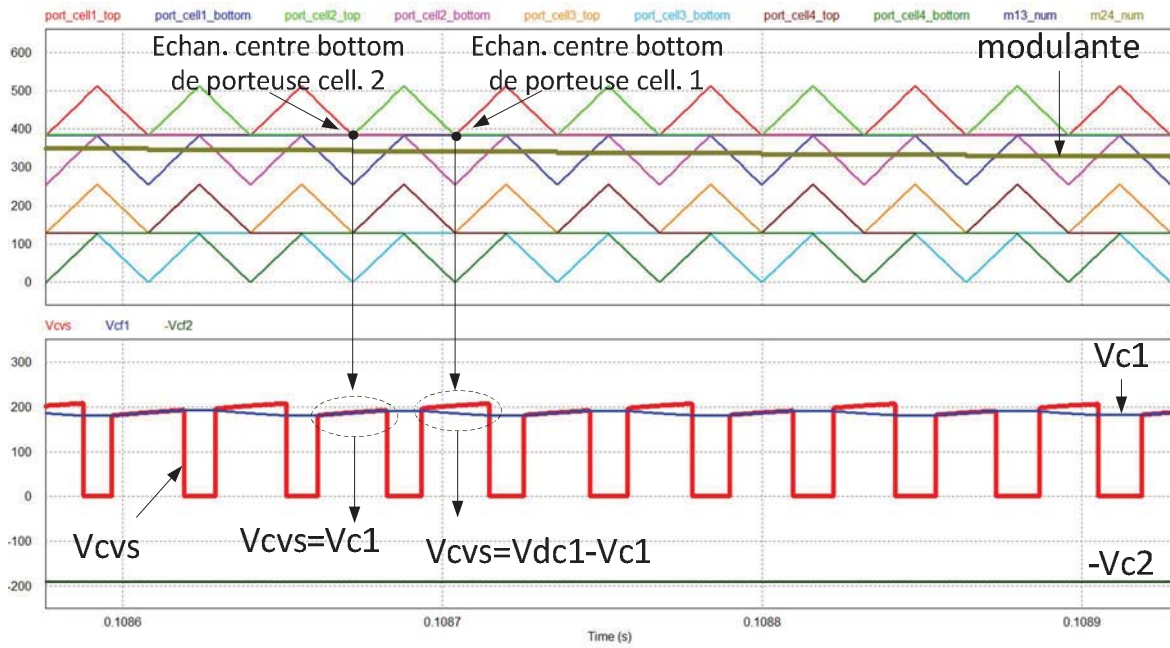


Figure 3-37 : Reconstruction des tensions V_{cf1} et V_{dc1} lorsque $0 < m < \frac{1}{2}$ (première bande de modulation – groupe cellulaire 1).

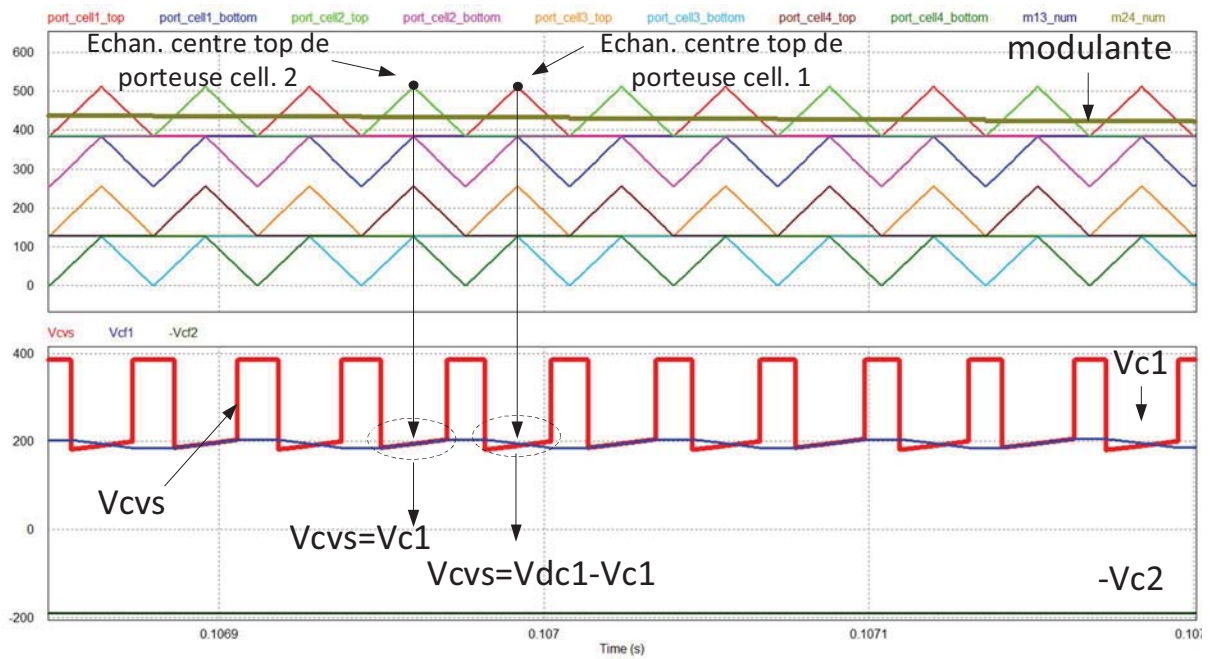


Figure 3-38 : Reconstruction des tensions V_{cf1} et V_{dc1} lorsque $\frac{1}{2} < m < 1$ (deuxième bande de modulation – groupe cellulaire 1).

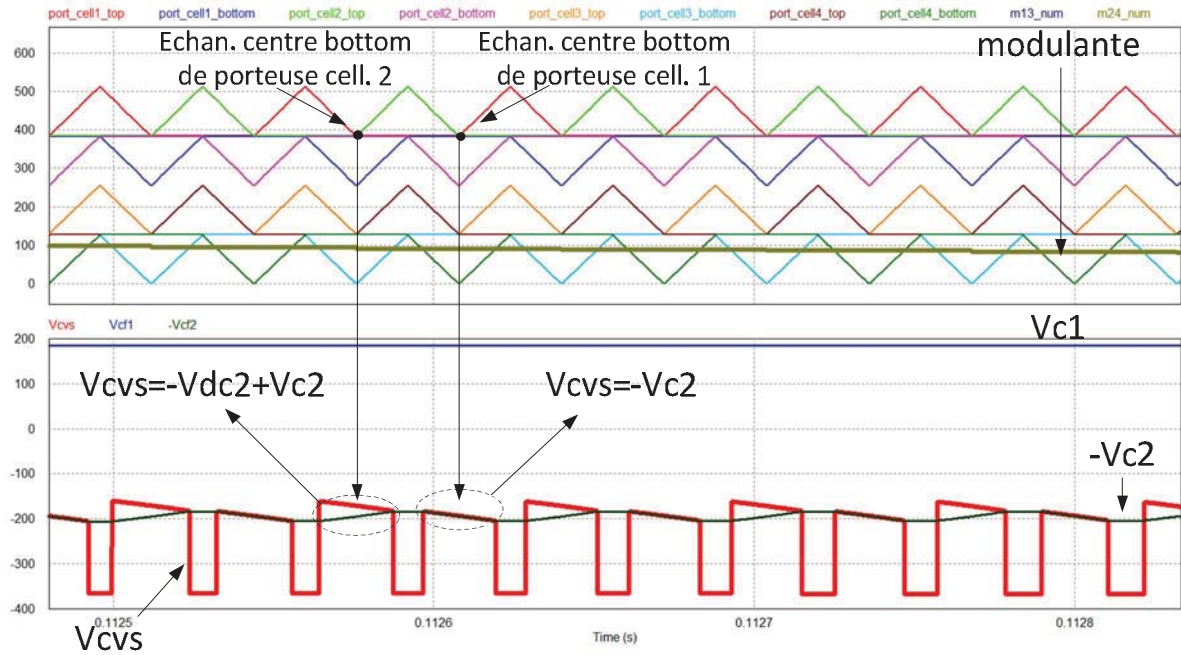


Figure 3-39 : Reconstruction des tensions V_{cf2} et V_{dc2} lorsque $-1/2 < m < -1/4$ (deuxième bande de modulation – groupe cellulaire 2).

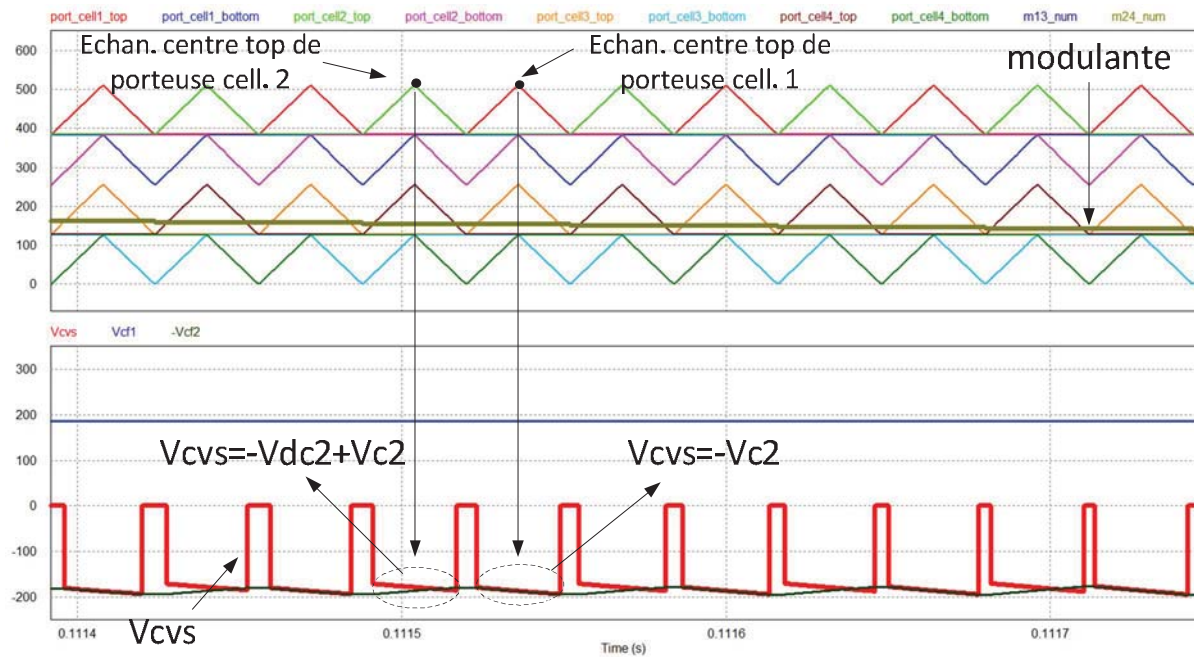


Figure 3-40 : Reconstruction des tensions V_{cf2} et V_{dc2} lorsque $-1/4 < m < 0$ (première bande de modulation – groupe cellulaire 2).

Sur une défaillance de cellule, le principe reste valable mis à part qu'une erreur de reconstruction apparaît, transitoirement, au moment de la détection du défaut (Figure 3-41) : la durée de cette erreur dépend du temps de décharge ou de charge du condensateur flottant liée à la cellule défaillante.

Et en cas de défaut, il faut reconfigurer les deux modulantes à une seule modulante associée à la seule cellule active du groupe concerné.

Pour présenter ces résultats, nous effectuons une simulation en mettant le transistor de la cellule 1 en court-circuit à l'aide de la commande, et celui de la cellule 4 de la même manière.

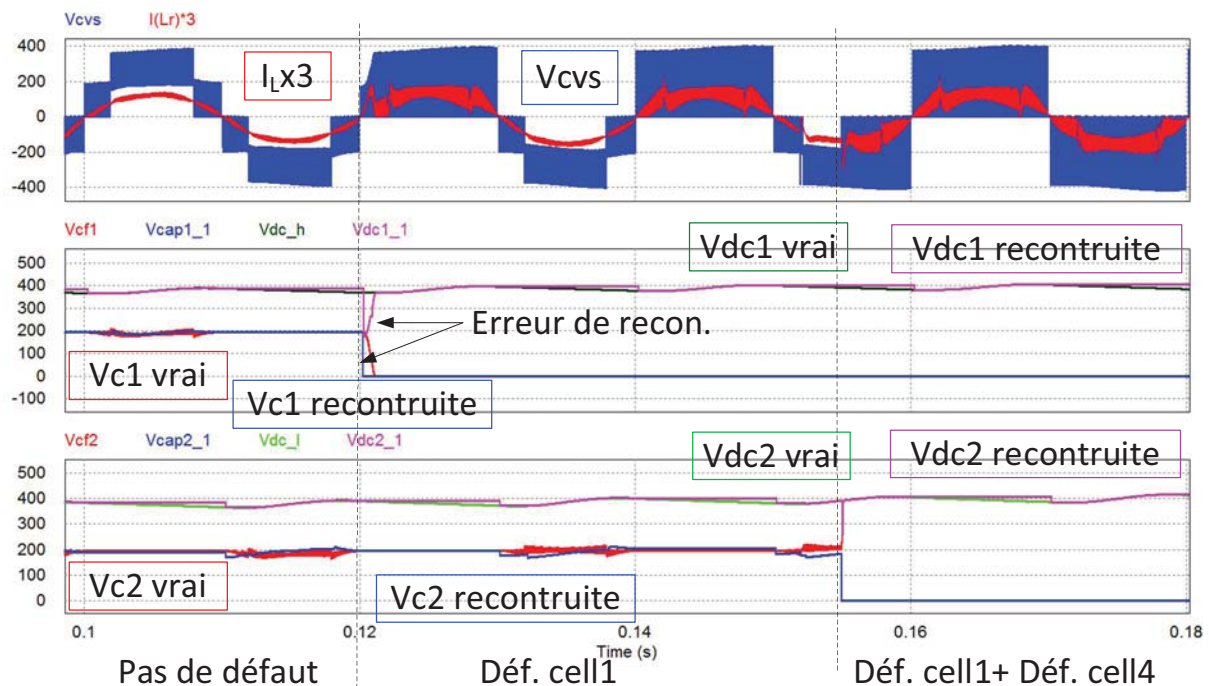


Figure 3-41 : Reconstruction des tensions $V_{cf1,2}$ et $V_{dc1,2}$ cas normal et cas de défaut en CC des cellules 1 et 4.

Dans le cas d'une opération normale, les tensions flottantes sont régulées en dissociant les modulantes, i.e. en ajoutant un écart symétrique $\pm\Delta\alpha$ aux deux sous-modulantes. Si à un moment donné, une et une seule des modulantes change de bande, cela provoque un saut de niveau de tension à F_{dec} qui conduit alors à une erreur de reconstruction. Pour résoudre ce problème, nous proposons de mettre une butée de modulation lors des transitions de bande induisant, en contre partie, une petite déformation du signal modulant et donc du courant. Le bloc de reconstruction redevient ainsi fonctionnel.

Dans le cas d'une défaillance, le principe ne change pas mis à part que le détecteur de défaut doit déclencher la reconfiguration à une seule modulante : il n'y a alors plus de régulation à assurer sur le groupe concerné, les bandes mortes sont donc désactivées.

3.2 Conclusion

Dans ce chapitre nous avons présenté toutes les conditions expérimentales à vérifier et les stratégies de supervision - diagnostic - reconfiguration à mettre en œuvre pour exploiter la capacité de tolérance de panne de la structure PFC Double-boost Flying Capacitor à 5 Niveaux. A cet effet un prototype monophasé a été réalisé associé à un support flexible d'interfaçage et de modulation - commande par FPGA et DSP. Cet ensemble a permis de réaliser un lien assez souple entre les simulations réalisées sous PSIM par bloc C-script et les programmes en VHDL et C vers la cible temps réel.

La première étape a été de vérifier la compatibilité de la technologie des composants de puissance retenue en termes de robustesse et de durabilité du mode de défaillance lorsque la puce est soumise à une destruction en court-circuit ou en avalanche à faible énergie de décharge comme c'est le cas dans la structure proposée. Le prototype a ainsi été utilisé, pendant plusieurs centaines d'heures, comme banc de test de composants volontairement détruits afin de caractériser la faible dérive de leur état ohmique, condition indispensable à la sûreté de fonctionnement après défaillance.

Sur cette base, la gestion en mode secours de la structure implique la localisation d'un défaut et la reconfiguration adaptée de la commande des transistors actifs.

La première stratégie proposée utilise les deux capteurs de tensions flottantes comme moyen de surveillance de l'état du convertisseur. Un double seuillage adaptatif avec la tension de bus permet de détecter et de localiser le défaut sur les deux groupes de cellules où apparaît un compromis entre rapidité de détection et robustesse. La reconfiguration des porteuses en MLI de type Phase-Disposition couplée à une machine d'état 2 x 3 niveaux a été étudiée et vérifiée par l'expérience permettant de minimiser les régimes transitoires de reconfiguration et les contraintes de pertes dissipées en mode secours.

Une seconde stratégie a été proposée n'utilisant qu'un seul capteur de tension en entrée du convertisseur. Cette tension MLI est démodulée à la fréquence de découpage pour détecter l'amplitude et la phase de la tension apparente lors d'un défaut. Une acquisition rapide et une démodulation synchrone numérique a donc été simulée et mise en œuvre sur le prototype. Une nouvelle stratégie de MLI a aussi été développée pour être compatible avec cette procédure de diagnostic permettant de garder les bénéfices de la Phase-Disposition sans être dépendant d'une machine d'état. Néanmoins, la présence d'un seul capteur de tension en entrée implique de devoir reconstruire les tensions flottantes en combinant les ordres de commande et les tensions du bus, opération qui est également présentée et simulée dans ce chapitre.

Chapitre 4

**Nouvelle famille de convertisseurs multi –
niveaux AC/ DC à nombre minimal de
transistors à tolérance de panne**

4.1 Introduction

La structure PFC Vienna est bien connue en 3 niveaux et présente l'intérêt de n'utiliser qu'un seul couple transistor – driver par phase [48] et elle peut être étendue directement en triphasé. Dans ce chapitre nous montrerons que cette structure de base peut être modifiée et enrichie par l'hybridation d'une structure double-boost en son cœur afin d'obtenir toute une famille de structures PFC dites Vienna multiniveaux. L'intérêt que nous voyons à ces nouvelles structures et l'utilisation d'un nombre minimal de transistors et de drivers tout en conservant au moins une redondance sur défaut interne.

4.2 De la topologie Vienna 3N à la topologie Vienna 5N

4.2.1 Rappels de la Topologie Vienna 3N

Le PFC 3 Niveaux est une structure symétrique à point-milieu rappelée en Figure 4-1. Elle a la particularité d'utiliser deux cellules de commutations transistor-diode imbriquées avec un transistor commun mise en série avec deux diodes (D_{s1} et D_{s2}) pour l'aiguillage du courant au point milieu et le "clamping" en tension des diodes D_h et D_b permettant d'avoir des composants dimensionnés pour la demi-tension.

Ce montage utilise donc deux diodes de plus que le Double Boost Flying Cap. 3 Niveaux, cela entraîne des pertes par conduction supplémentaires et un doublement de la densité des pertes dans l'unique transistor. Il est donc intéressant dans cette structure d'utiliser des composants grands gaps à base de SiC bien adaptés à ce type de contrainte à haute fréquence de découpage.

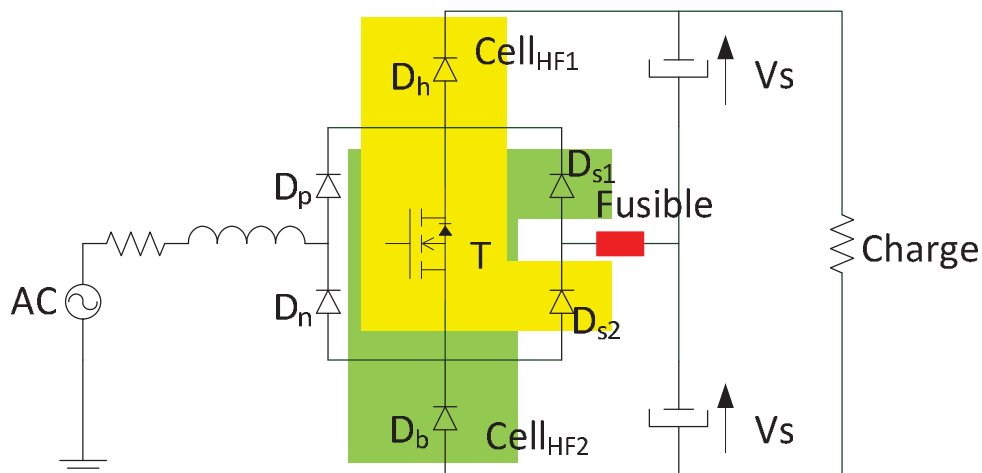


Figure 4-1 : Topologie PFC Vienna 3N [Kolar].

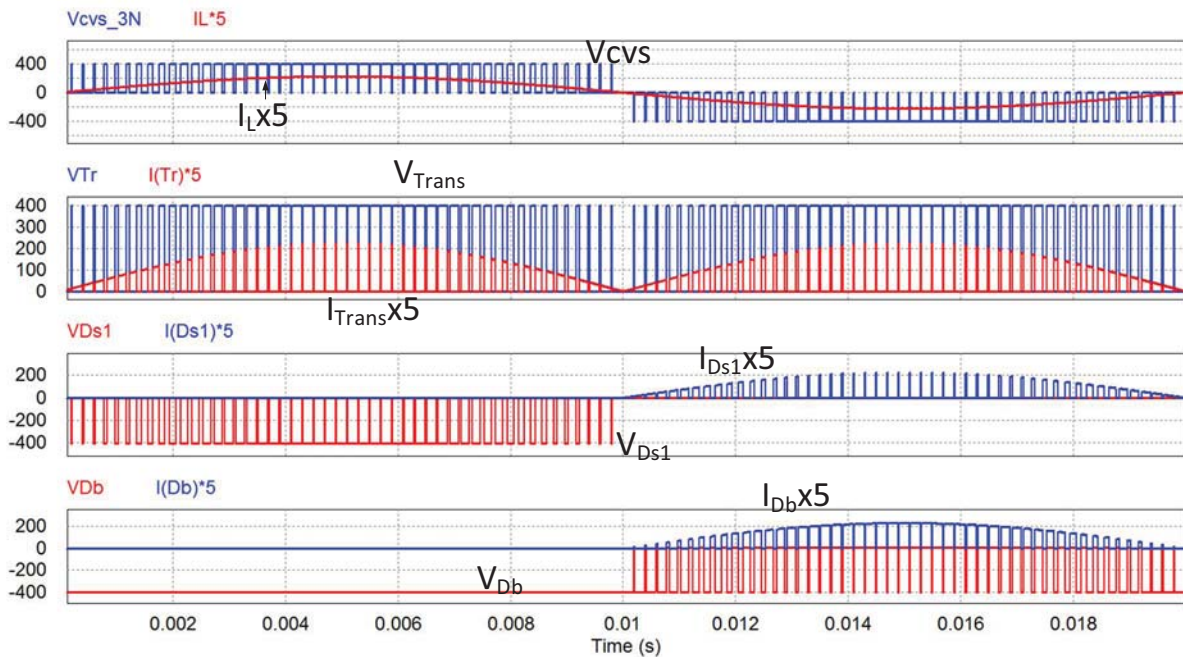


Figure 4-2 : Formes d'ondes de la topologie Vienna 3N.

La Figure 4-2 montre les caractéristiques courants et tensions de cette topologie en 3 Niveaux. Le transistor commute sur toute l'alternance du courant d'entrée pour générer une tension deux niveaux aux bornes de ce transistor ($0 ; V_s$). Les diodes en série du transistor ont des pertes par commutation nulles car elles conduisent le même courant que le transistor mais elles ne bloquent pas la tension lorsqu'elles sont sur leur alternance de conduction. Elles doivent toutefois être choisies comme des diodes rapides pour avoir un faible recouvrement direct. En dehors de leur alternance de conduction elles voient la tension V_s , elles seront donc dimensionnées sur cette tension. Les diodes D_p et D_n sont des diodes qui fonctionnent en basse fréquence, chacune sur une demi-alternance, lorsqu'elles conduisent la tension a leurs bornes est nulle, on peut donc utiliser des diodes de redressement standardisées 800V.

Les diodes D_h et D_b sont des diodes hautes fréquences qui travaillent chacune sur une demi-alternance, sur leur alternance de travail elles conduisent le courant du réseau et bloque la tension V_s lors de la commutation, hors de leur alternance de travail elles voient toujours la tension V_s . Au vu des caractéristiques, le choix des composants sera standardisé 600V.

Dans une première partie, nous démontrons les formules analytiques des courants moyens et efficaces qui sont tout à fait identiques que ceux de la topologie Double Boost Flying Cap. 3 Niveaux.

Tableau 4-1 : Courants moyens et efficaces des composants de la topologie PFC Vienna 3 Niveaux.

Composant	Valeur moyenne de courant	Valeur efficace de courant
Transistor T	$\langle I_M(t) \rangle_{2\pi} = \frac{I_M}{\pi} - \frac{I_M \cdot V_M}{2V_S}$	$I_{Meff}^2 = \frac{I_M^2}{4} - \frac{4 \cdot I_M^2 \cdot V_M}{3 \cdot \pi \cdot V_S}$
Diodes D _{s1} (D _{s2})	$\langle I_{ds1}(t) \rangle_{2\pi} = \frac{1}{2} \left(\frac{I_M}{\pi} - \frac{I_M \cdot V_M}{2V_S} \right)$	$I_{ds1eff}^2 = \frac{1}{2} \left(\frac{I_M^2}{4} - \frac{4 \cdot I_M^2 \cdot V_M}{3 \cdot \pi \cdot V_S} \right)$
Diodes D _h (D _b)	$\langle I_{dh}(t) \rangle_{2\pi} = \frac{I_M \cdot V_M}{2V_S}$	$I_{dheff}^2 = \frac{4 \cdot I_M^2 \cdot V_M}{3 \cdot \pi \cdot V_S}$
Diodes D _p (D _n)	$\langle I_{dp}(t) \rangle_{2\pi} = \frac{I_M}{\pi}$	$I_{dpeff}^2 = \frac{I_M^2}{4}$

Tableau 4-2 : Courants moyens et efficaces en numérique des composants de la topologie PFC Vienna 3 Niveaux.

	Ir=16A Rms	Ir=32A Rms
$\langle I_{Ds1} \rangle$	2,6A	5,2A
I_{Ds1eff}	3,2A	6,3A
$\langle I_M \rangle$	5,2A	10,4A
I_{Meff}	6,3A	12,6
$\langle I_{Dh} \rangle$	4,6A	9,19A
I_{Dheff}	9,4A	18,79A
$\langle I_{Dp} \rangle$	7,2A	14,4A
I_{Dpeff}	11,3A	22,6A

Les calculs des pertes sont effectués tout d'abord avec les composants standards CoolMosAPT60N60BCS Si 600V et les diodes IDT16S60C SiC 600V pour les comparer avec celles de la structure Double – Boost FC. Puis nous avons introduit des nouveaux composants transistors JFET SJEP120R063 SiC de SemitSouthTM, MOSFET CMF20120D SiC de CREETM, et une Diode GaN VSD08060 de VeloxTM pour comparer les pertes par conduction et aussi les pertes par commutation, et enfin puis des tests par expérimentation.

Tableau 4-3 : Les paramètres principaux des composants retenus pour les comparaisons.

Composant	Rdson (mΩ)	Vd(V)	Rd (mΩ)
CoolMosAPT60N60BCS (AdvancedPowerTechnologie) 600V/38A @ 100°C	112,5		
Jfet SJEP120R063 (SemiSouth) 1200V/30A @ 125°C	130		
2 MOSFET CMF20120D (CREE) 1200V/17A @ 100°C mise en parallèle	65		
2 Diode GaN VSD08060 (Velox semiconductor) 600V/8A mise en parallèle		0,6	125
Diode SiC IDT16S60C (Infineon) 600V/16A		0,825	62,5
Diode redressement 20ETS12 (International rectifier) 800V/20A		1,05	7

Pour avoir une vue claire sur le dimensionnement des composants, deux Mosfet 17A sont connectés en parallèle et deux diodes GaN sont mises en parallèle afin de préserver un comparatif de pertes et de rendement cohérent à même calibre en courant des composants.

Tableau 4-4 : Pertes de la structure Vienna 3Niveaux à 16 Aeff / 20kHz.

	Jfet SJEP120R063	Cool Mos APT60N60BCS	2x MOSFET CMF20120D
Pertes dans le transistor (W)	10,3	8,9	5,1
Pertes dans les diodes de redressement Dp/Dn (W)			
Si 20ETS12 1200V/20A	16,9		
Pertes dans les diodes Ds1/Ds2 (W)			
SiC IDT16S60C 600V/16A	9,3		
2 * GaN GVSD08060 600V/8A	13		
Pertes dans les diodes Dh/Db (W)			
SiC IDT16S60C 600V/16A	18,6		
2 * GaN GVSD08060 600V/8A	27,6		
Pertes en conduction avec diode SiC(W)	54,8	53,4	49,7
Pertes en conduction avec diode GaN(W)	67,8	66,4	62,6

Bien que le prix des diodes GaN soit annoncé plus attractif que celles en SiC, celles-ci restent, dans leur version actuelle monolithique, pénalisées par une chute ohmique double de celle

des diodes SiC. Une version dite hybride (cascode HEMT GaN et diode Si très basse tension) sera prochainement disponible et pourrait remettre en cause cette conclusion. Le couple le plus intéressant est donc celui du transistor Mos SiC et diode SiC (pour la fréquence considérée).

4.2.2 Conception de topologie Vienna 5N

Pour créer une version en 5 niveaux à partir de la topologie Vienna à 3 niveaux, l'idée essentielle est de remplacer le transistor qui voit à ses bornes deux niveaux de tension, par un groupe de composants capables de développer une tension avec 3 niveaux de tension à leurs bornes (5 niveaux sur une alternance complète du réseau). Ainsi nous introduisons un groupe Double Boost 3 niveaux comme le montre la Figure 4-3a). Le bus local a ainsi une tension à ses bornes égale à la demi-tension du bus principal de sortie, il permet d'avoir le niveau intermédiaire de tension, mais ce bus "flottant" est actif par rapport au bus de sortie. Nous cherchons maintenant à connecter ce nouveau bus avec le bus de sortie par deux diodes de clamp de tension (D_{clamp1} , D_{clamp2}). Cette connexion permet de supprimer les diodes D_h et D_b car celles-ci sont en parallèle avec D_{clamp1} , D_{clamp2} . Nous obtenons ainsi une nouvelle structure très épurée en Figure 4-3b. Le fonctionnement peut être décomposé en deux modes, le démarrage et le fonctionnement stabilisé sous pleine tension.

Phase de démarrage (mode double-boost):

Au démarrage, nous supposons que le bus de sortie est préalablement chargé par les diodes D_p , D_1 et D_{clamp1} par l'alternance positive et D_n , D_2 et D_{clamp2} par l'alternance négative (redresseur doubleur). Cette précharge se termine lorsque la demi-tension du bus atteint la tension crête du réseau. Les diodes D_{clamp1} et D_{clamp2} se bloquent et le double-boost démarre normalement en chargeant alternativement les tensions flottantes comme simulé en début de chronogramme Fig. 4-5 : par les diodes D_p et D_{s2} pour une alternance positive, et par les diodes D_n et D_{s1} pour une alternance négative. Les diodes D_{s1} et D_{s2} étant connectées au point milieu, cette phase de charge va s'arrêter lorsque $V_{\text{cf1}} + V_{\text{cf2}}$ tend à dépasser V_s : en effet pour cette tension, la diode D_{clamp1} se retrouve polarisée en direct assurant l'aiguillage du courant de charge vers le bus de sortie et donc l'annulation du courant dans les condensateurs flottants dans les diodes D_2 , D_{s2} et D_1 , D_{s1} . La phase de précharge est terminée avec $V_{\text{cf1}} + V_{\text{cf2}} \cong V_s$ (compte tenu des chutes de tension des diodes).

Phase active (mode flying caps):

Le blocage de la diode D_2 en fin de précharge sur l'alternance positive du réseau et le blocage de la diode D_1 en fin de précharge de l'alternance négative marque donc l'arrêt du fonctionnement en double-boost car aucun retour de courant par le point milieu ne peut s'opérer dans ce mode.

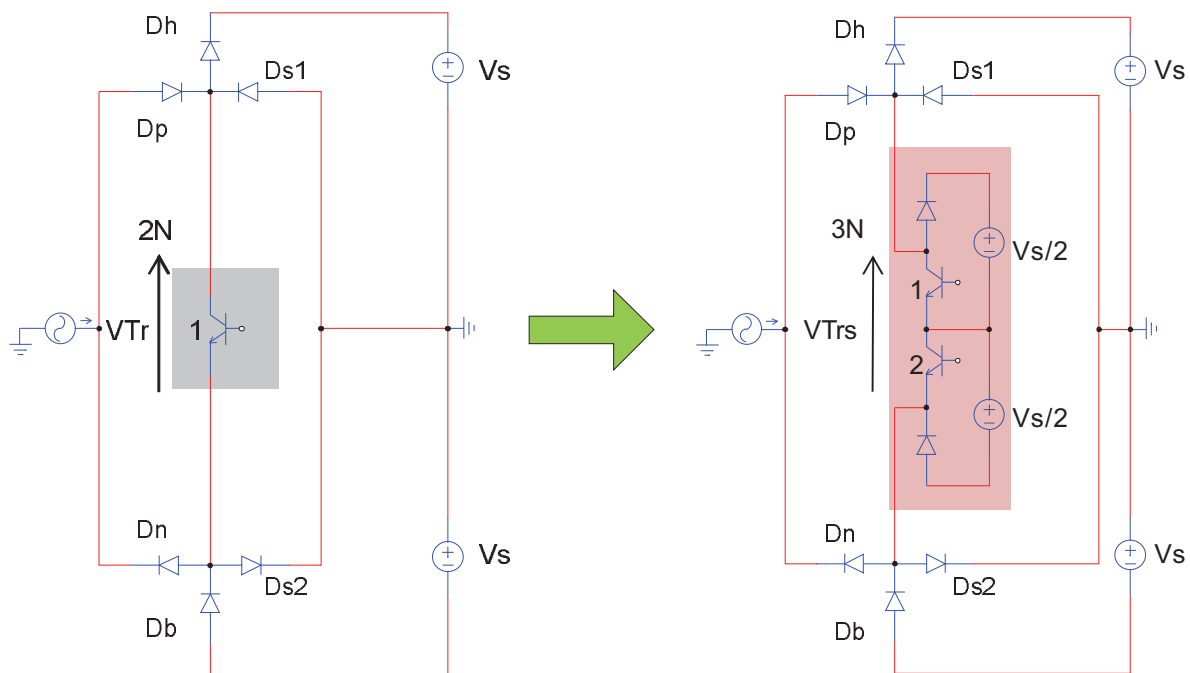
Sur l'alternance positive on peut alors remarquer que le blocage de D_2 va conduire à une modification des cellules de commutation par la cellule T_1 - D_1 et T_2 - D_{clamp1} (et non pas D_2 qui est bloquée de par la phase de clamp). Le circuit fonctionne ainsi en redresseur flying caps à 3 niveaux avec un courant alternatif dans le condensateur V_{cf1} tandis que V_{cf2} reste à une valeur constante en fin de phase précédente i.e. à $V_s/2$. De même sur l'alternance négative

cette fois c'est le blocage de D_1 va conduire à une modification des cellules de commutation par la cellule T_2 - D_2 et T_1 - $D_{\text{clamp}2}$ (et non pas D_1 qui est bloquée de par la phase de clamp). Le circuit fonctionne ainsi en redresseur flying caps à 3 niveaux avec un courant alternatif dans le condensateur $V_{\text{cf}2}$ tandis que $V_{\text{cf}1}$ reste à une valeur constante en fin de phase précédente i.e. à $V_s/2$.

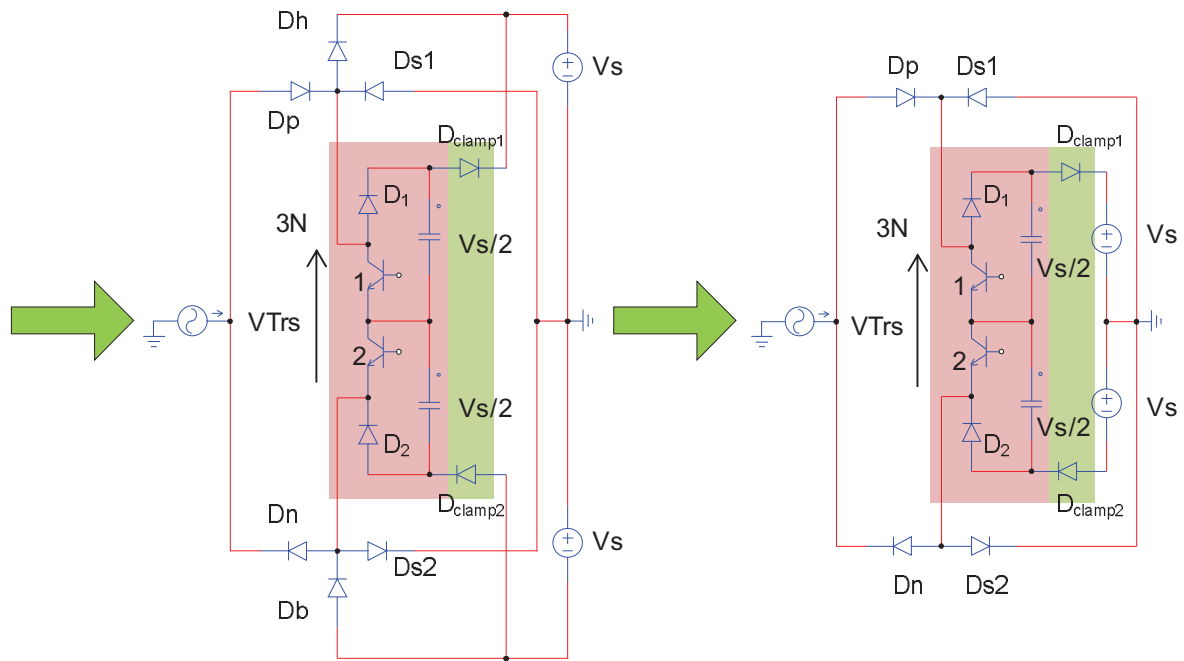
Ainsi, bien que les deux transistors fonctionnent en permanence sur la période du réseau, seul un condensateur est actif à la fois.

Dimensionnement :

Les diodes d'entrée basse-fréquence doivent être dimensionnées pour V_s (400V), i.e. calibrées pour 600V et de la même manière pour D_{clamp} car connectées en différentiel entre les condensateurs et le bus de sortie. Il faut néanmoins noter que ces diodes découpent sous 200V uniquement compte tenu de leur implantation dans les cellules. Toutes les autres diodes ainsi que les transistors doivent tenir une tension de 200V en fonctionnement normal.

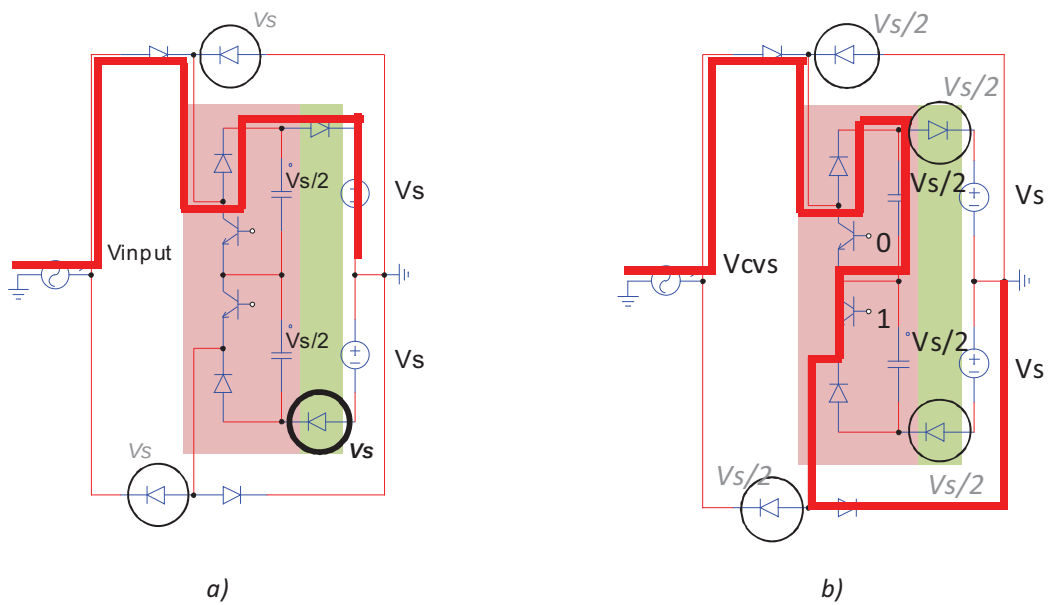


a)



b)

Figure 4-3 : Topologie PFC Vienna 5 Niveaux.



a)

b)

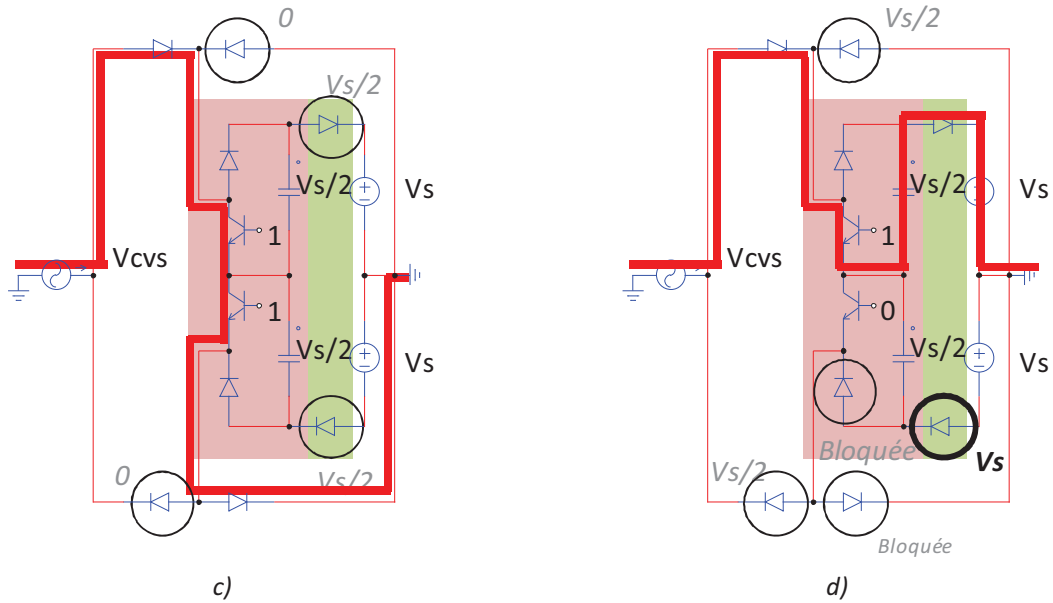


Figure 4-4 : Etats de conduction de nouvelle topologie Vienna 5 Niveaux pour $IAC > 0$.

Tableau 4-5 : Table de vérité des composants principaux de la structure Vienna 5Niveaux pour le courant positif

Cde Tr_1	Cde Tr_2	V_{Tr_1}	V_{Tr_2}	VD_{clamp1}	VD_{clamp2}	V_{input}	$CdVc1/dt$	$CdVc2/dt$
0	0	$V_s/2$	$V_s/2$	0	V_s Ne commute pas	V_s	0	0
0	1	$V_s/2$	0	$V_s/2$ Commute	$V_s/2$ Ne commute pas	$V_s/2$	+IAC	0
1	1	0	0	$V_s/2$ Commute	$V_s/2$ Ne commute pas	0	0	0
1	0	0	$V_s/2$	0	V_s Ne commute pas	$V_s/2$	-IAC	0

Le Tableau 4-5 montre que pour gérer la tension 3 niveaux en même temps la tension du condensateur flottant est équilibrée naturellement.

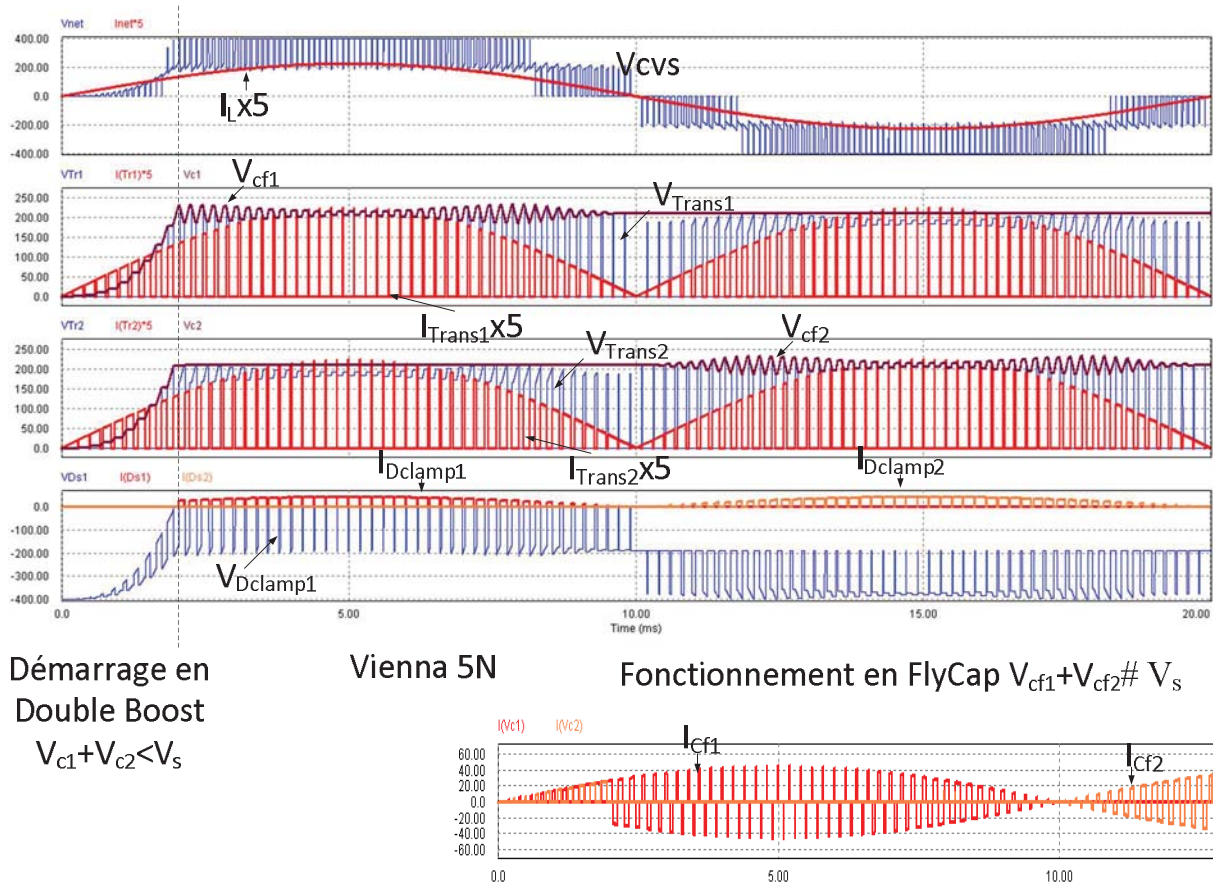


Figure 4-5 : Fonctionnement de la topologie Vienna 5N avec commande MLI phase – shift.

La Figure 4-5 montre le fonctionnement de cette nouvelle topologie. Cette simulation est effectuée par PSIM avec un courant de 32 A_{eff} ; une tension en sortie de 800V ; et une fréquence de découpage $F_{dec} = 5\text{kHz}$ commandé par une MLI phase shift pour faciliter la visualisation des formes d'ondes.

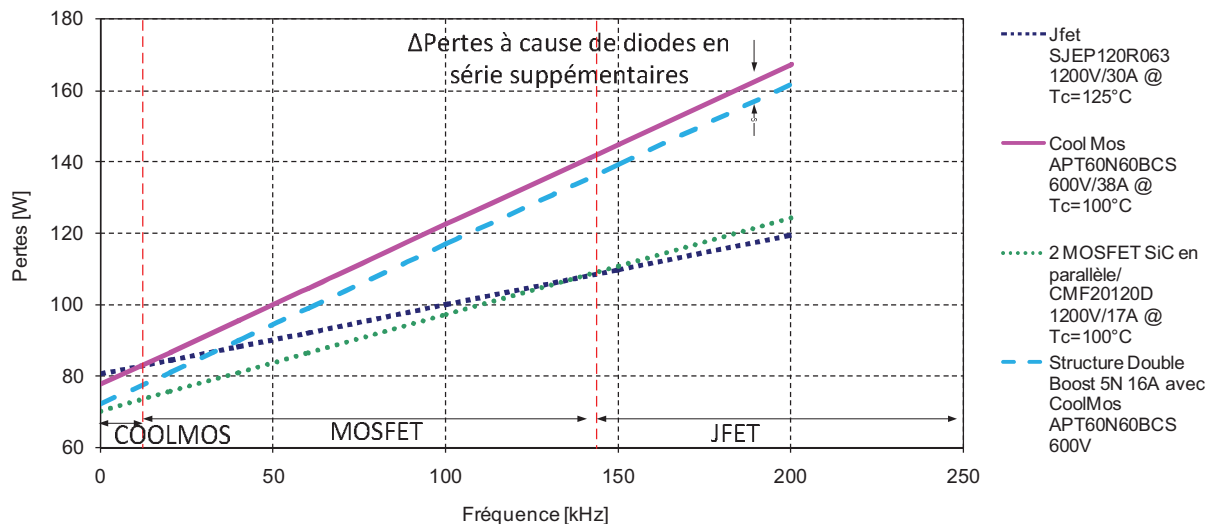


Figure 4-6 : Pertes totales de topologie Vienna 5 Niveaux avec tous diodes SiC à 16 A_{eff}.

Le résultat des pertes à 16A eff est montré dans la Figure 4-6. On observe un décalage des pertes entre la topologie Vienna 5N et Double Boost Flying Cap. 5N, ceci est dû aux diodes

prises en série avec les transistors qui n'apparaissent pas dans le Double Boost. Au niveau du choix des transistors, nous avons testé trois types de composants : CoolMos Si 600V, JFET SiC 1200V et MOSFET SiC 1200V. Pour avoir un comparatif plus réel, deux MOSFET SiC 1200V sont mis en parallèle pour avoir un dimensionnement de 34A pour permettre la comparaison avec les deux autres composants. Nous voyons que le composant CoolMos est plutôt applicable en basse fréquence de découpage (dizaines de kHz). Nous précisons ici que le résultat montre que le composant MOSFET SiC est le meilleur composant dans notre application (30 kHz -100 kHz). D'autre part, le composant JFET est celui qui a plus pertes par conduction mais il est très avantageux en haute fréquence de découpage car il a le moins pertes par conduction.

Le résultat des pertes montre aussi une conclusion intéressante liée au volume d'inductance et à la surface d'échange du radiateur. Les pertes peuvent être réduites de 30% pour différents composants à même fréquence. A même radiateur, le composant MOSFET SiC montre son grand avantage par un gain de 400% sur la fréquence et le volume d'inductance.

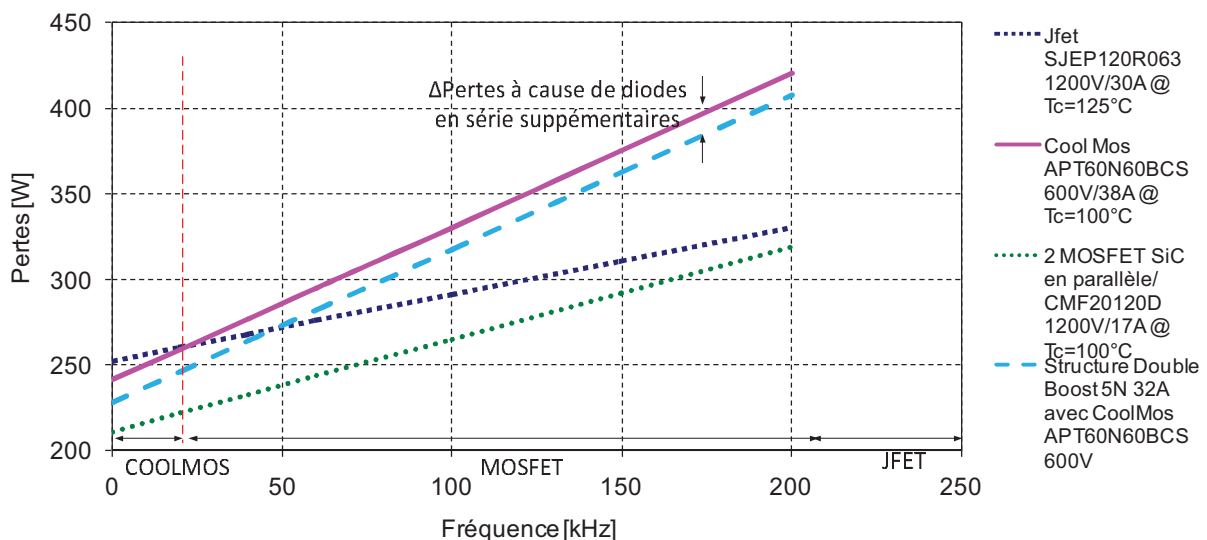


Figure 4-7 : Pertes totales de la topologie Vienna 5 Niveaux avec tous diodes SiC à 32 A_{eff}.

Les résultats des pertes à 32 A_{eff} rejoignent ceux du point à 16A_{eff}. Le composant MOSFET SiC est toujours le meilleur composant dans notre gamme d'utilisation.

Le composant JFET quant à lui domine à haute fréquence de découpage. Par contre, il faut noter d'après la datasheet du driver de ce composant, un courant de 6A à l'amorçage. Donc il est nécessaire de tenir compte de la consommation du driver.

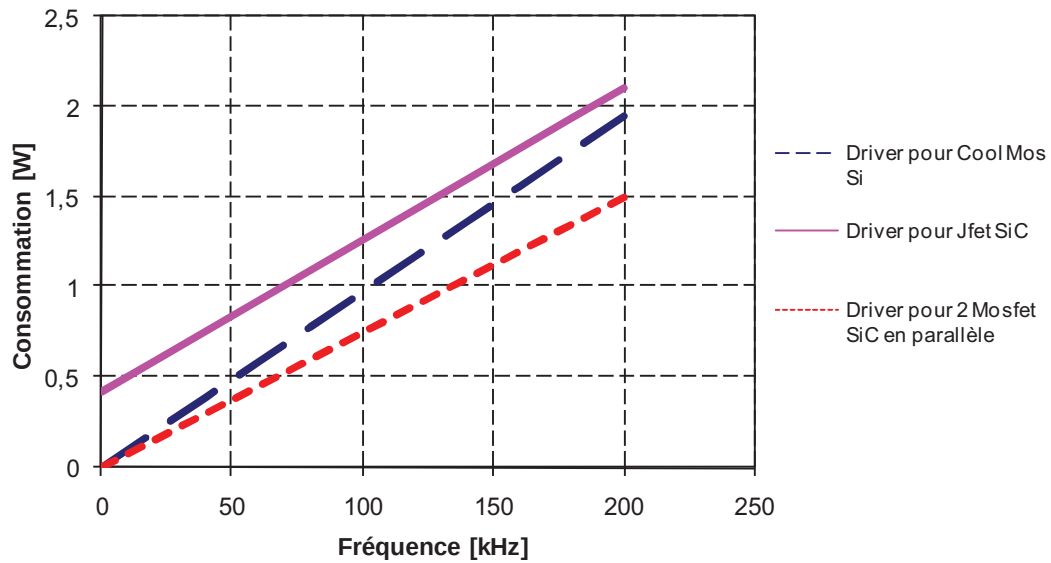


Figure 4-8 : Consommation des drivers.

La Figure 4-8 compare les consommations des trois types de driver. Le driver du MOSFET SiC consomme moins que les deux autres, et celui du JFET consomme le plus de par une commande rapprochée identique à celle d'un transistor bipolaire de puissance ... Malgré une pénalité sur la consommation de la commande du JFET, par rapport aux pertes moyennes de 200W, la pénalité n'est que de 1.3%. Le JFET est toujours un bon choix en haute fréquence.

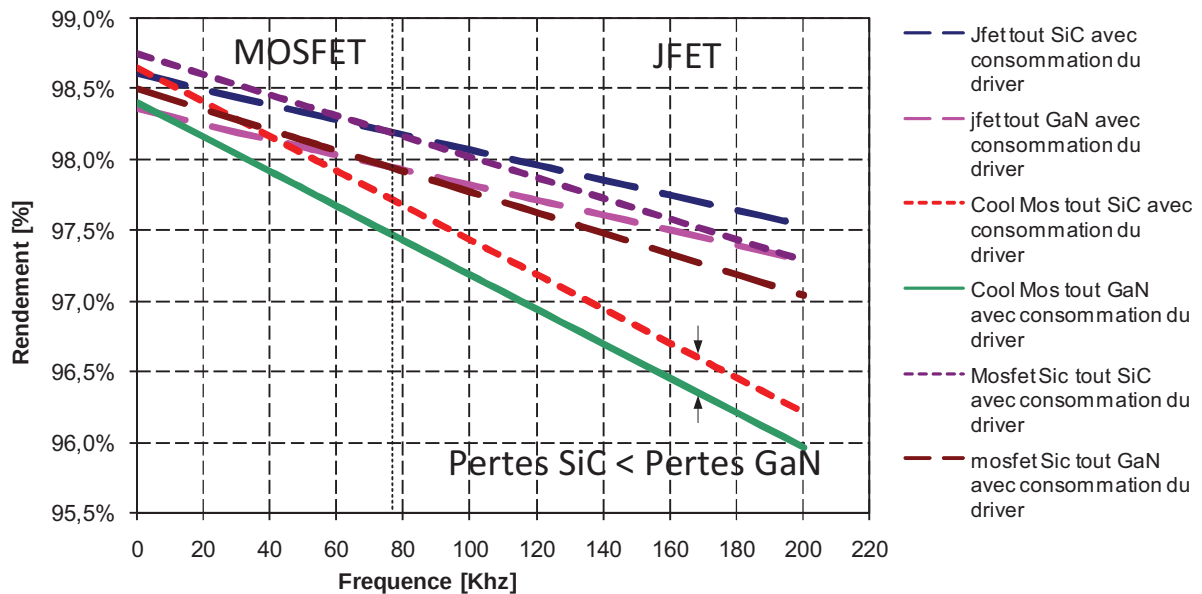


Figure 4-9 : Rendement de la topologie PFC Vienna 3Niveaux à 16 Ae.

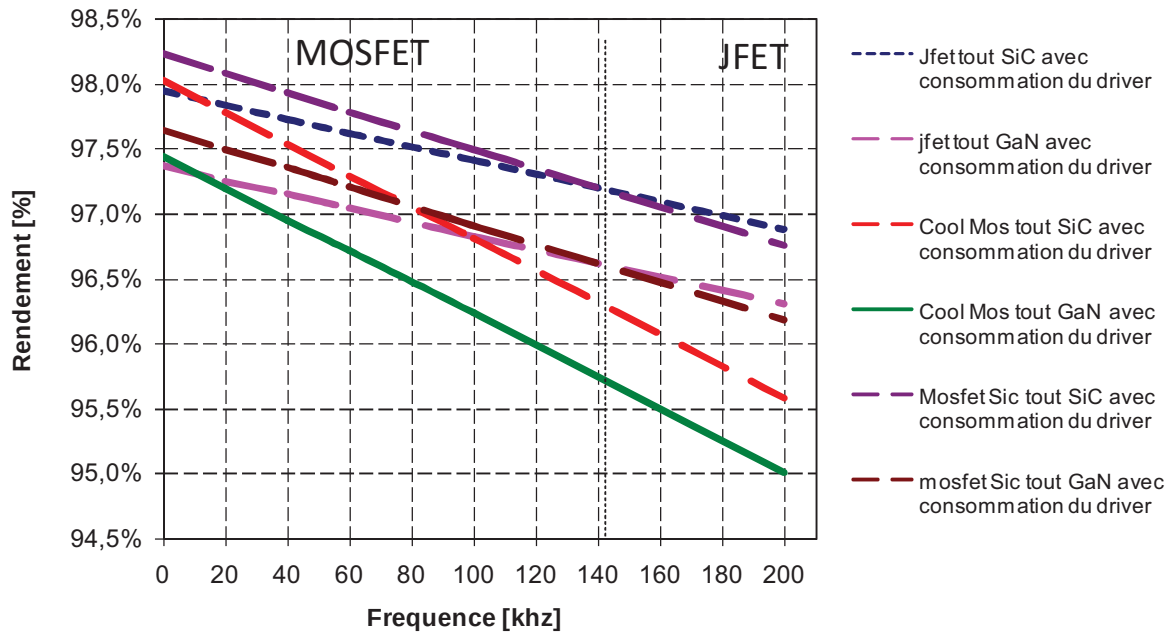


Figure 4-10 : Rendement de la topologie PFC Vienna 3Niveaux à 32 Aeff.

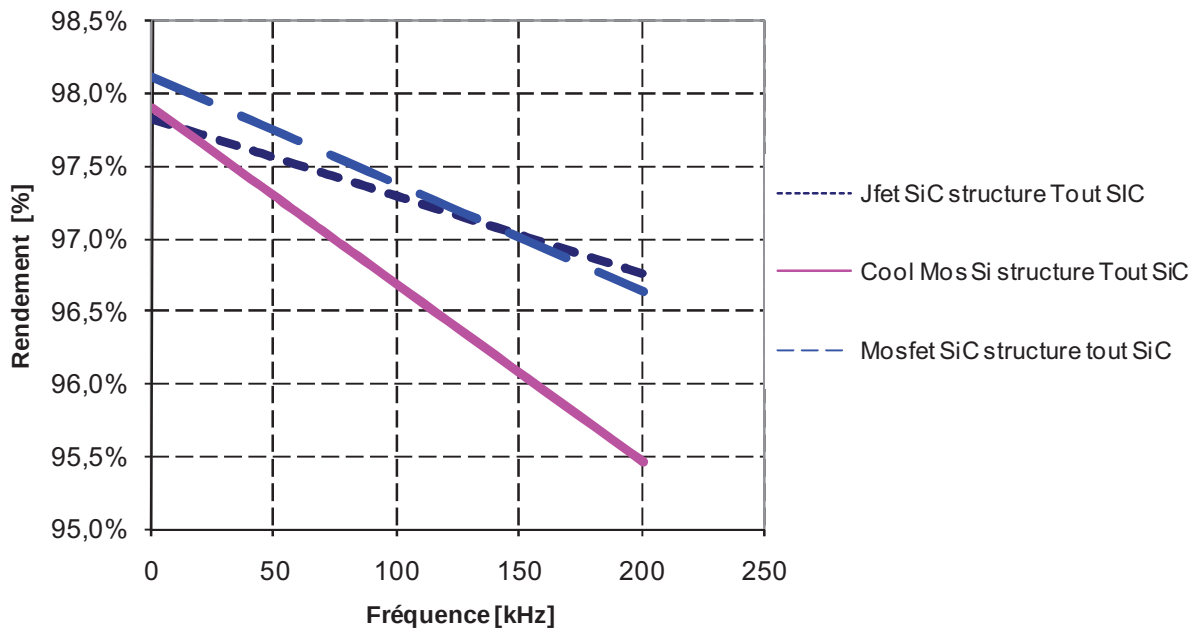


Figure 4-11 : Rendement de la topologie PFC Vienna 5Niveaux à 16 Aeff.

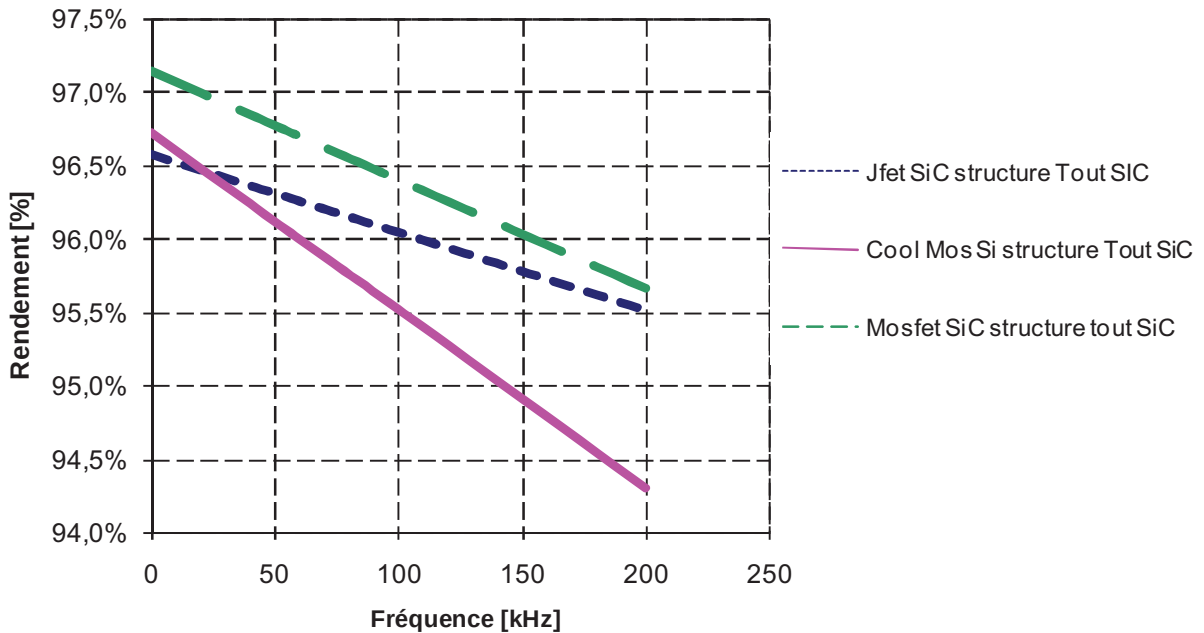


Figure 4-12 : Rendement de la topologie PFC Vienna 5Niveaux à 32 Aeff.

La Figure 4-12 nous montre le rendement de la structure PFC Vienna en 5N avec un courant de 32A_{eff}, on observe la supériorité du composant Mosfet SiC sur une grande fréquence de travail, le fait d'augmenter le courant pénalise les autres composants qui ont une résistance dynamique plus élevée donc des pertes par conduction plus importantes.

Néanmoins, le composant JFET vu ses faibles pertes par commutation rattrape le composant Mosfet SiC à des hautes fréquences.

Le composant Silicium reste attractif pour des basses fréquences, le fait de monter en fréquence augmente considérablement ses pertes.

4.3 Capacité de tolérance de panne des topologies Vienna 3 Niveaux et 5 Niveaux

Tout d'abord nous allons traiter cette capacité sur la topologie Vienna 3 Niveaux.

4.3.1 Conséquence de défaut sur le PFC Vienna 3N

Les composants les plus soumis aux défaillances sont le transistor T1 et les diodes Dh et Db qui commutent à haute fréquence.

Il est important d'avoir des modèles comportementaux des défauts dans les composants pour avoir des caractéristiques représentatives, de courant et tension suite à des défaillances qui peuvent survenir à tout moment dans la structure (surtension, défaut de commande).

Le disjoncteur de protection mesure à tout moment la tension Vds, il s'assure que lorsque l'on a un ordre de commande la tension aux bornes du transistor est inférieure à 10V, si ce n'est pas le cas, le disjoncteur active un flag qui coupe la commande, laissant ainsi le transistor bloqué.

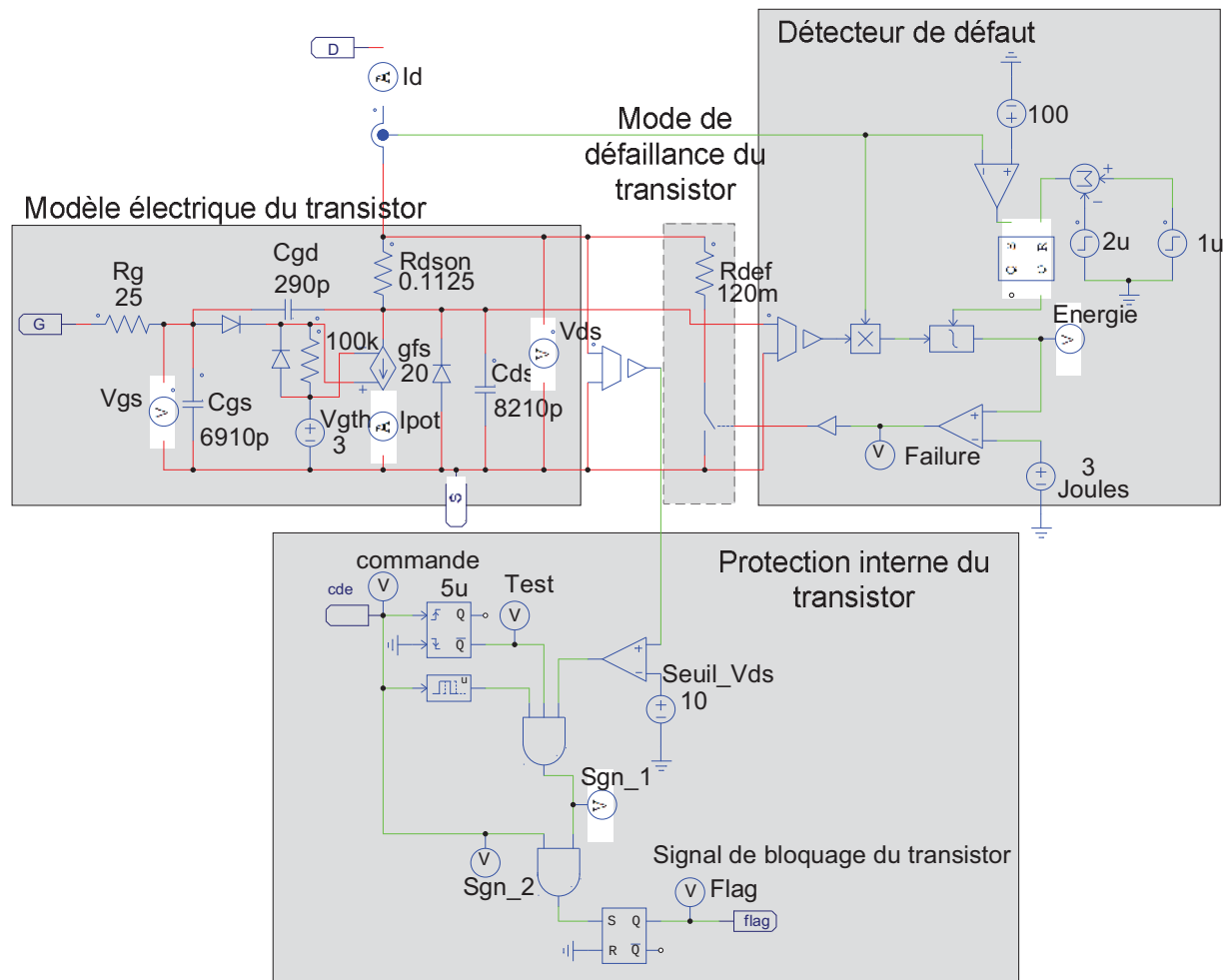


Figure 4-13 : Modèle électrique et protection du transistor par son driver.

4.3.1.1 Défaut dans la diode

La figure ci-dessous montre la réaction de la structure sous un défaut de diode haute fréquence D_h .

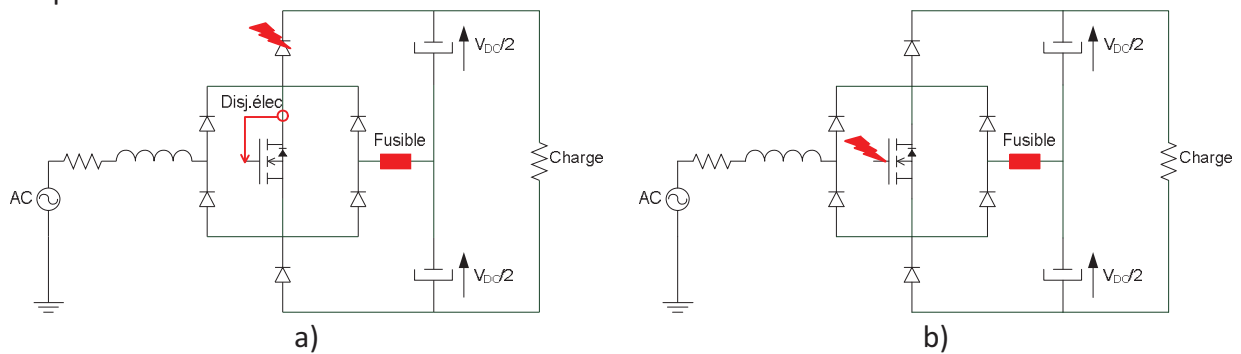


Figure 4-14 : Première défaillance a) sur une diode b) sur un transistor.

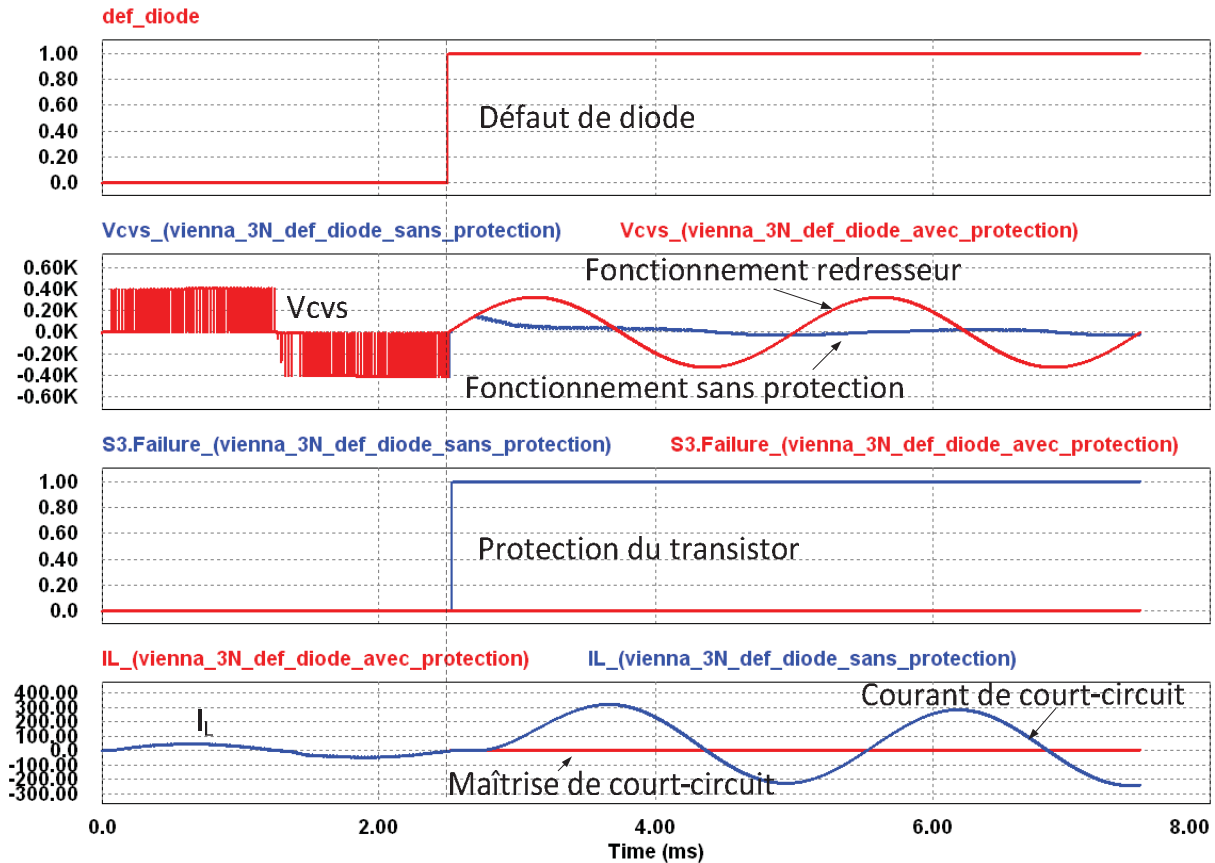


Figure 4-15 : Courbes de simulations du défaut physique de la diode Dh avec et sans protection ($F_r=400$ Hz $F_{dec}=40$ kHz et $R_{def}=67m\Omega$).

La Figure 4-15 nous montre la juxtaposition des caractéristiques courant et tension avec et sans protection pour mieux nous apercevoir de l'intérêt des protections mises en place. On observe que lorsqu'un défaut de diode se produit, on court-circuite la source d'entrée, un fort courant de court-circuit se crée entraînant la défaillance du transistor. La protection par disjoncteur s'opère dès que ce défaut se produit comme le montre les caractéristiques, par blocage du transistor et on retrouve un fonctionnement redresseur de la structure.

Cette protection évite tout naturellement la destruction d'un composant qui n'est pas la cause de ce défaut. Le disjoncteur électronique a donc pour but de protéger le transistor d'un défaut externe à celui-ci.

4.3.1.2 Défaut par le transistor

La figure ci-dessous montre la réaction de la structure sous un défaut de commande du transistor.

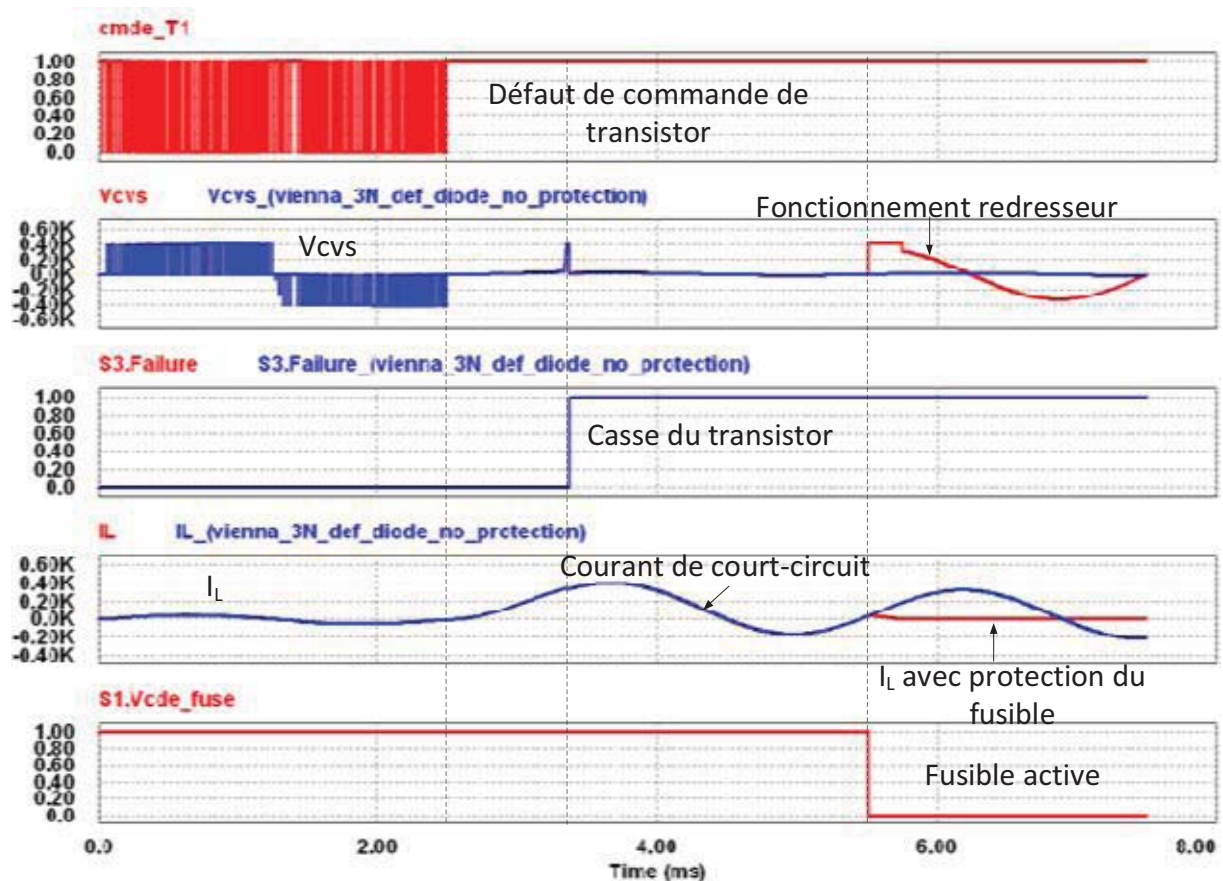


Figure 4-16 : Courbes de simulations du défaut physique du transistor T1 avec et sans protection ($F_r=400$ Hz $F_{dec}=40$ kHz et $R_{def}=120m\Omega$).

Les caractéristiques ci-dessus montrent la réaction de la structure sous un défaut de commande qui entraîne la casse du transistor, ceci est inévitable, le fusible de protection a pour rôle de déconnecter le transistor du circuit si celui-ci est défaillant, permettant à la structure de fonctionner en redresseur et de maîtriser le courant de court-circuit.

4.3.2 Conséquence de défaut sur le PFC Vienna 5N

La topologie Vienna 3Niveaux précédente peut tolérer une défaillance interne mais dans ce cas nous devons accepter le mode de fonctionnement redresseur avec tension de sortie réduite. Avec la topologie Vienna 5 Niveaux, nous attendons un niveau de redondance supérieur du point de vue quantitatif, donc sans réduction de puissance de sortie.

Comme la topologie Double – Boost Flying Capacitor, les composants les plus soumis aux défaillances sont les transistors T1 et T2 ainsi que les diodes D1 et D2 qui commutent à haute fréquence.

4.3.2.1 Défaut dans une diode haute fréquence

Le défaut sur diode D1 cause une décharge très rapide du condensateur C_{f1} et en même temps une charge rapidement de C_{f2} à tension bus V_s (Figure 4-17).

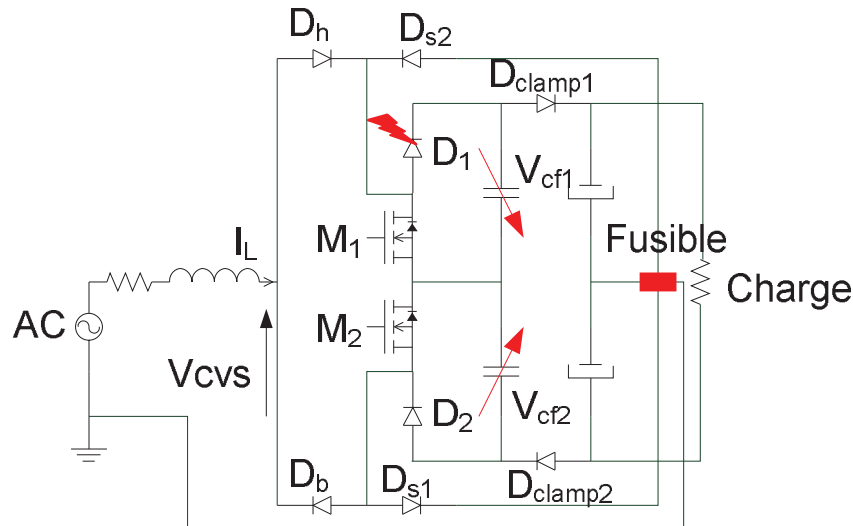


Figure 4-17 : Défaillance d'un composant de topologie Vienna 5 Niveaux.

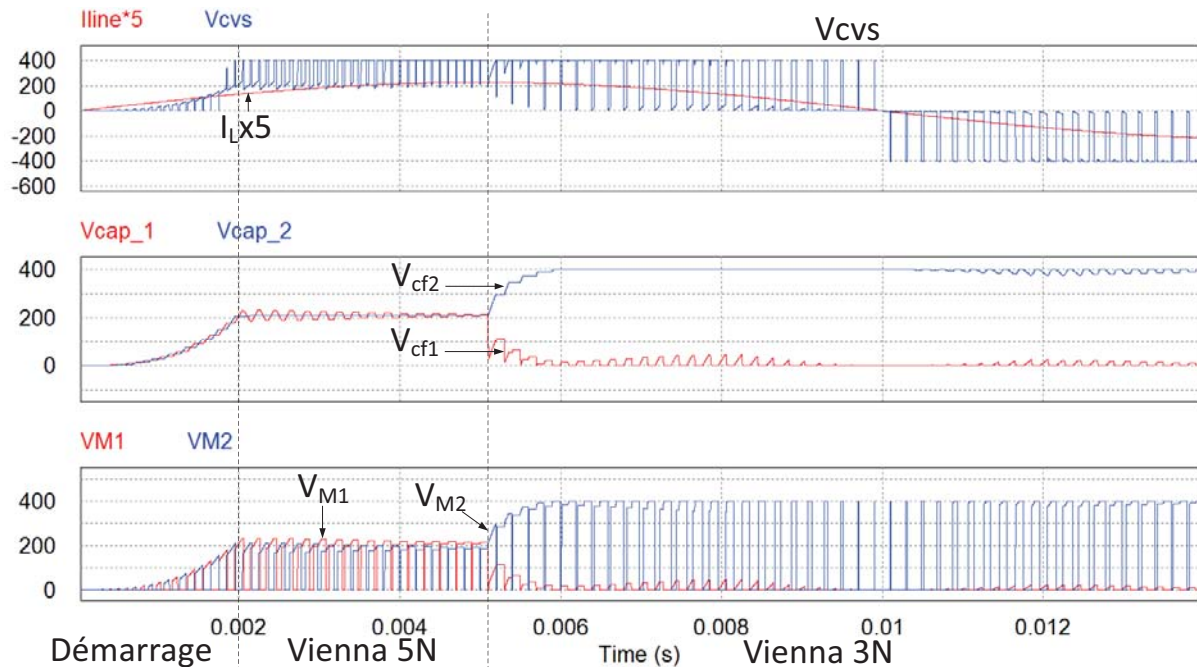


Figure 4-18 : Courbes de simulations du défaut physique de la diode D3 ($F_r=400$ Hz $F_{dec}=40$ kHz et $R_{def}=67m\Omega$)

Sur un défaut de la diode haute fréquence (D1), on passe de 5N à 3N automatiquement par décharge du condensateur flottant, le système assure toujours la continuité de fonctionnement avec des performances dégradées : passage d'une fréquence apparente de $2 \times F_{dec}$ à F_{dec} et doublement de tension aux bornes des composants de la cellule non défaillante.

La modulante n'est pas trop perturbée par ce défaut, il est inutile de déclencher des protections lors de ce scénario.

4.3.2.2 Défaut dans un transistor

Le défaut sur un transistor $Tr1$ cause une décharge plus lente du condensateur C_{f1} à zéro et en même temps une charge plus lente de C_{f2} à tension bus V_s (Figure 4-19).

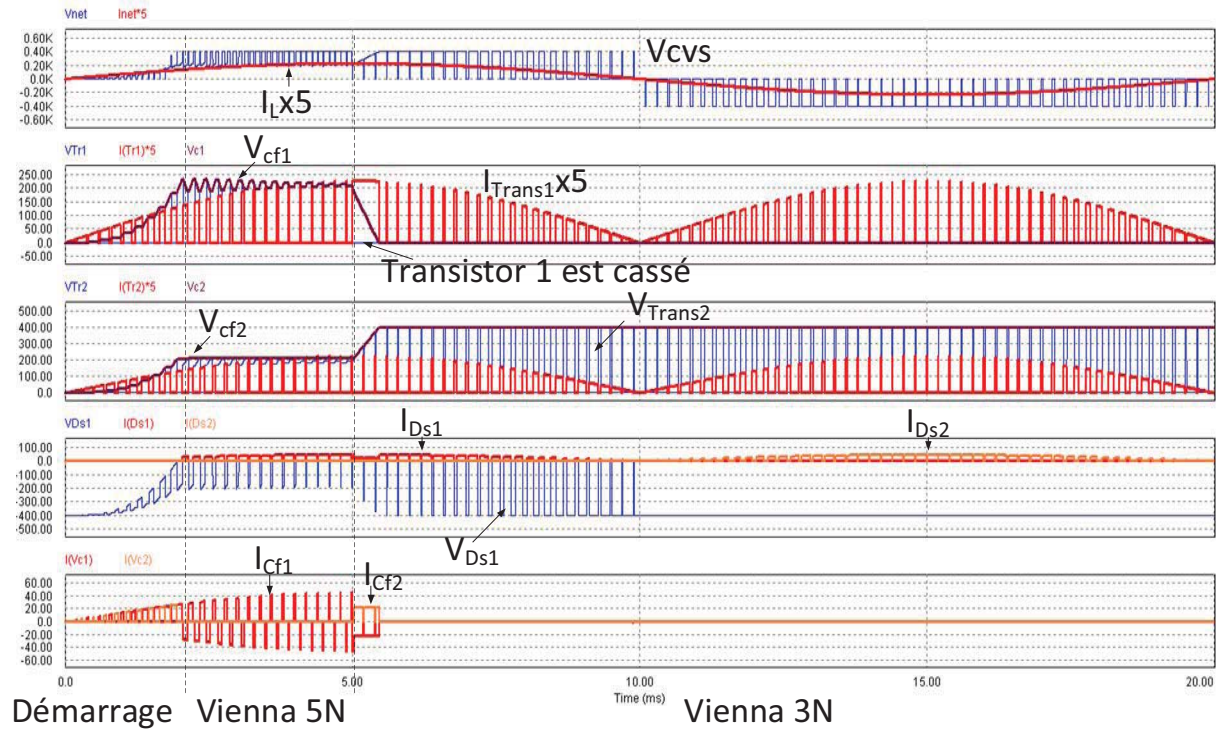


Figure 4-19 : Courbes de simulations du défaut physique du transistor T1 ($F_r=400$ Hz $F_{dec}=40$ kHz et $R_{def}=120m\Omega$)

Mêmes formes d'ondes que dans le cas précédent. Il n'est pas utile de déclencher des protections pour ce cas de figure.

4.3.2.3 Défaut sur les deux transistors

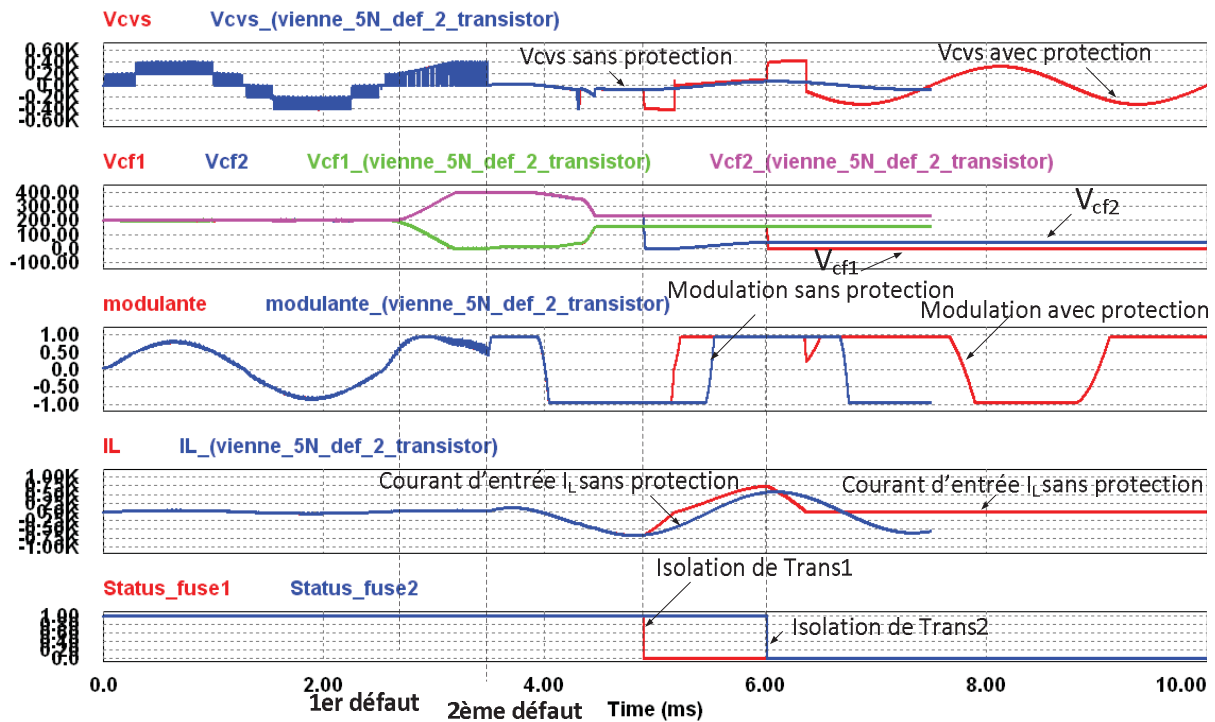


Figure 4-20 : Courbes de simulations du défaut physique dans le deux transistor avec et sans protection ($F_r=400$ Hz $F_{dec}=40$ kHz et $R_{def}=120m\Omega$).

La présence de deux défauts de transistors dans la structure entraîne le court-circuit de la tension d'entrée avec l'inductance en série, on observe un fort courant de court circuit et la tension du convertisseur est très dégradée. La protection par fusible a pour rôle de déconnecter les deux transistors, la modulate est saturée et elle n'est plus régulée, il est donc inutile de maintenir les transistors dans la maille, on maîtrise ainsi le courant de court-circuit et le convertisseur fonctionne en redresseur passif.

4.3.2.4 Stratégie de protection de la structure Vienna 5N

Il ne faut pas de disjoncteur dans la structure 5N. Placer les fusibles à l'extérieur de la maille de commutation sinon cela entraîne une surtension lors du changement d'état des interrupteurs due à la présence d'éléments parasites L, R de ces fusibles.

Mettre en place un derating en courant (éventuellement ou en fréquence) en cas de premier défaut d'un transistor pour éviter l'échauffement du transistor restant actif. En effet lorsque qu'un transistor rentre en court-circuit toute la contrainte se retrouve sur le transistor qui fonctionne. Des calculs ont été menés, il s'est avéré que pour maintenir les pertes d'un fonctionnement normal de la structure sur un transistor à un fonctionnement défaillant il faut :

- avec le transistor Cool Mos Si sur une fréquence de fonctionnement de la structure de 40kHz, 32A RMS, réduire la fréquence à 12kHz soit 70%, ou réduire le courant dans la charge à 26A soit 16%.

Remarque : Si un deuxième défaut de diode se produit, le défaut se reporte sur le transistor de la même cellule qui se sature et rentre en défaillance, puis provoque la saturation du deuxième transistor, lequel rentre aussi en défaillance. On aboutit, selon cet effet "cascade" au même état que celui correspondant au défaut deux transistors initialement.

Cette partie a permis de déterminer les différents scénarios de défaillances possibles de la structure PFC Vienna 3N et 5N, d'identifier la nature des protections et leur emplacement. Elle a permis aussi de mieux dimensionner les composants, qui doivent être capables de fonctionner sous un mode dégradé, en ayant une tenue en tension différente de celle du fonctionnement normal, les dimensionner selon le cas le plus critique. Dans la suite nous examinerons la version triphasée de cette nouvelle topologie 5 Niveaux.

4.4 Vienna 5N triphasé

Cette nouvelle topologie comme la nouvelle topologie Double – Boost Flying Cap. en 5 Niveaux est non différentielle, elle est facilement étendue en triphasé car le point milieu est flottant comme le montre la Figure 4-21. Deux transistors de chaque bras sont commandés avec entrelacement pour gérer une tension d'un bras 5 Niveaux à $2 \times F_{dec}$. Moyennant des porteuses en phase (stratégie Phase Disposition) et une modulation de type centrée, on obtient entre deux phases de sortie (i.e. une tension composée) un effet d'entrelacement supplémentaire proche de $4 \times F_{dec}$ et une tension à 9 niveaux comme le montre la Figure 4-22 en fonctionnement en triphasé.

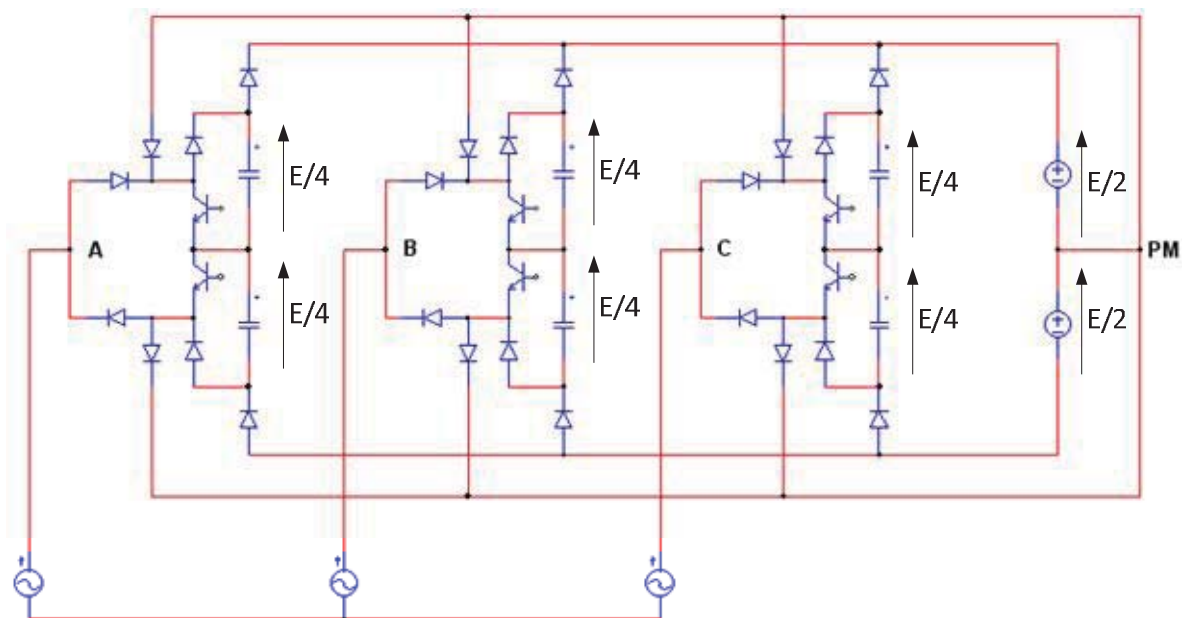


Figure 4-21 : Topologie PFC Vienna 5 Niveaux en triphasé.

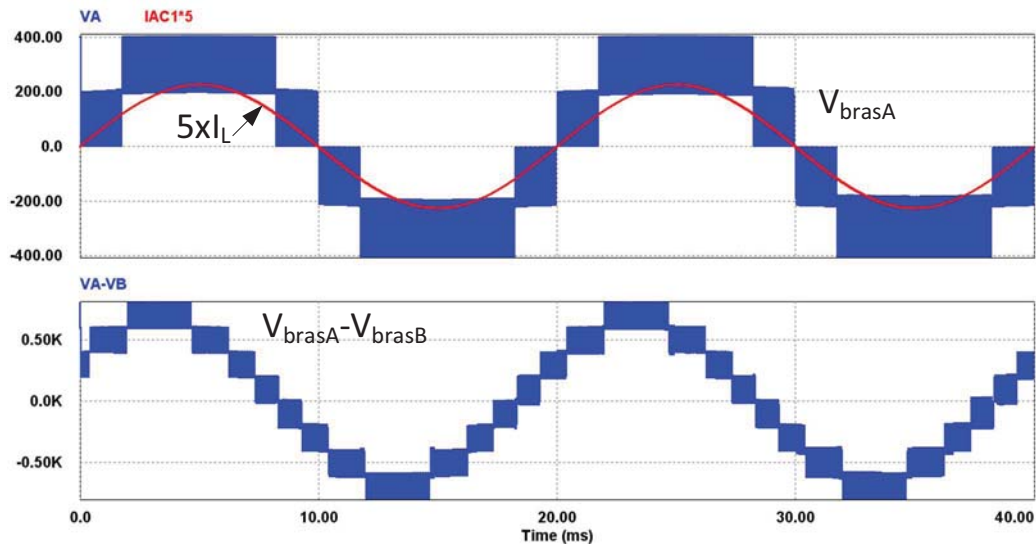


Figure 4-22 : Fonctionnement de la topologie Vienna 5 niveaux en mono et en triphasé 9 niveaux avec porteuses en phase (stratégie PD) et modulation centrée

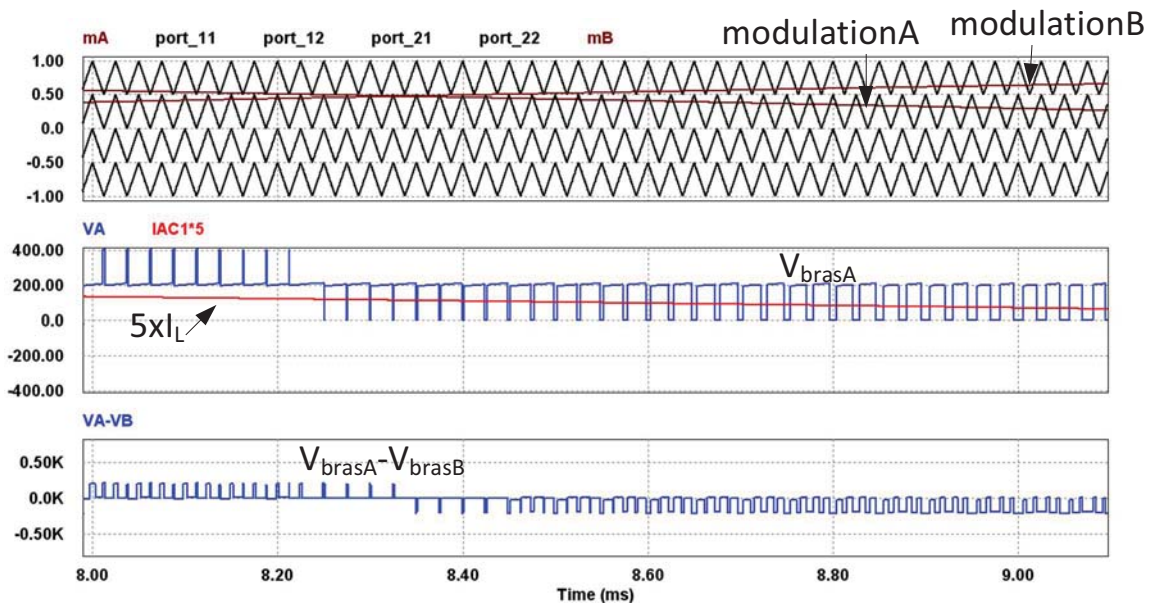


Figure 4-23 : Stratégie de commande MLI Phase Disposition.

4.5 Vienna 7N monophasé

La création de la topologie 7 Niveaux est faite en scindant, par raison de symétrie, chaque cellule de commutation en deux cellules imbriquées. Cela revient à doubler le nombre de transistors et de condensateurs. Cette opération permet de passer de 3 à 4 niveaux aux bornes du groupe de transistors, donc à 7 niveaux sur l'entrée AC du PFC. Les tensions aux bornes des condensateurs sont ainsi réparties en valeurs régulières $2V_s/3$ et $V_s/3$. Le gain en nombre de transistors est un peu réduit ici, 4 transistors contre 6 pour la structure double-boost. Par contre, elle a aussi deux diodes supplémentaires pour le retour de connexion au point milieu et toujours un des quatre transistors en conduction pour la connexion du groupe de commutation (cf. Figure 4-24 et Figure 4-25).

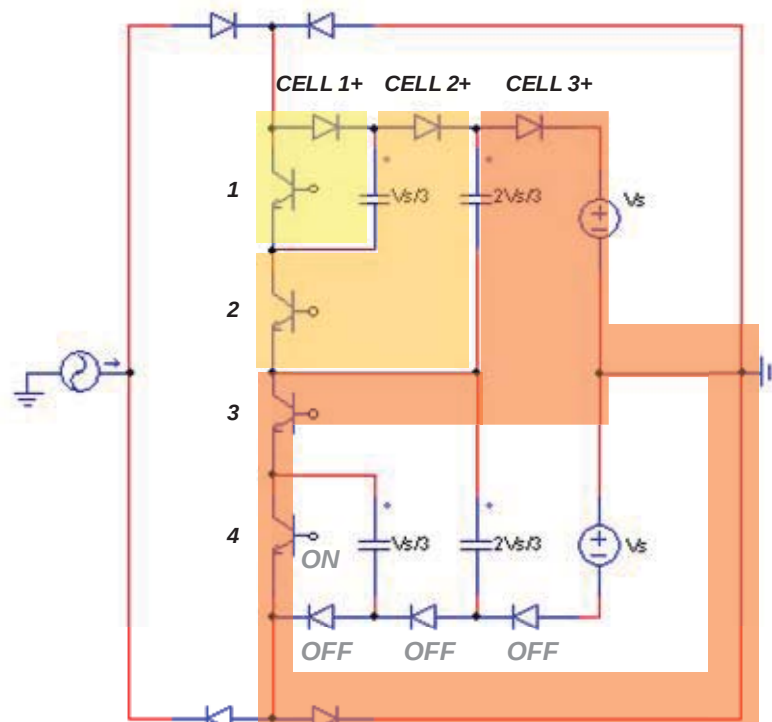


Figure 4-24 : PFC Vienna 7 Niveaux avec le chemin de courant pour courant d'entrée positif ($I_{AC} > 0$)

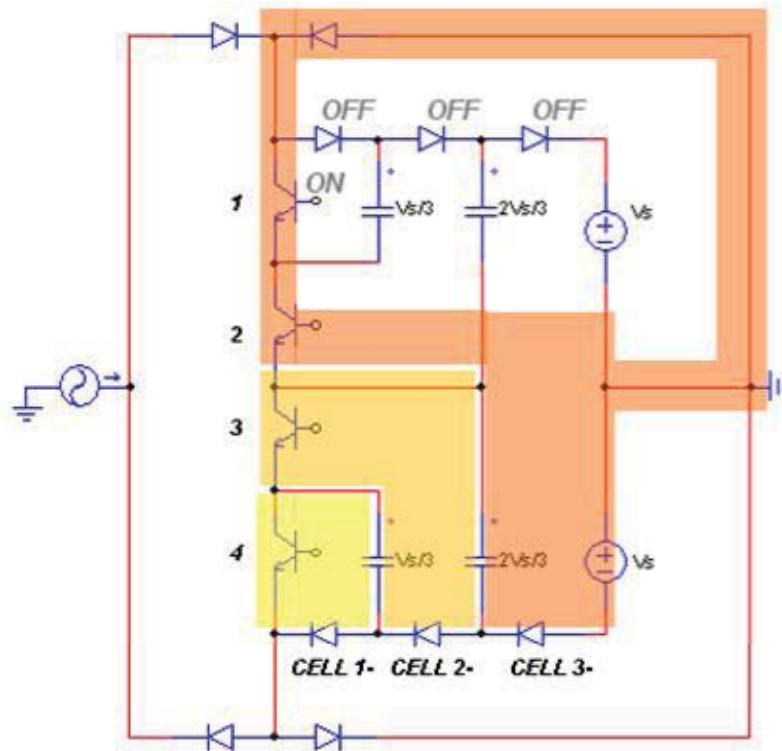


Figure 4-25 : PFC Vienna 7 Niveaux avec le chemin de courant pour courant d'entrée négatif ($I_{AC} < 0$).

La Figure 4-25 montre les 3 cellules de commutations pour le courant positif et les 3 autres cellules de commutation pour le courant négatif. Les composants des cellules 1 et cellule 2 commutent à $V_s/3$. Les diodes de clamp voient $2 \times V_s/3$ aux bornes et les diodes BF en entrée voient V_s .

Le Tableau 4-6 nous donne un fonctionnement flying capacitor avec un équilibrage naturel des condensateurs flottants.

Tableau 4-6 : Table de vérité des composants principaux de la structure Vienna 7Niveaux pour le courant positif.

Cde Tr ₁	Cde Tr ₂	Cde Tr ₃	Cde Tr ₄	Vinput	CdV _{c1} /dt	CdV _{c2} /dt
0	0	0	1	V _s	0	0
1	0	0	1	$-V_s/3+V_s$ $=2V_s/3$	-IAC	0
1	1	0	1	$-2V_s/3+V_s$ $=V_s/3$	0	-IAC
0	1	0	1	$V_s/3-2V_s/3+V_s$ $=2V_s/3$	+IAC	-IAC
0	0	1	1	$2V_s/3$	0	+IAC
1	0	1	1	$-V_s/3+2V_s/3$ $=V_s/3$	-IAC	+IAC
1	1	1	1	0	0	0
0	1	1	1	$V_s/3$	+IAC	0

Le fonctionnement redresseur de cette topologie 7 Niveaux est simulé en Figure 4-26.

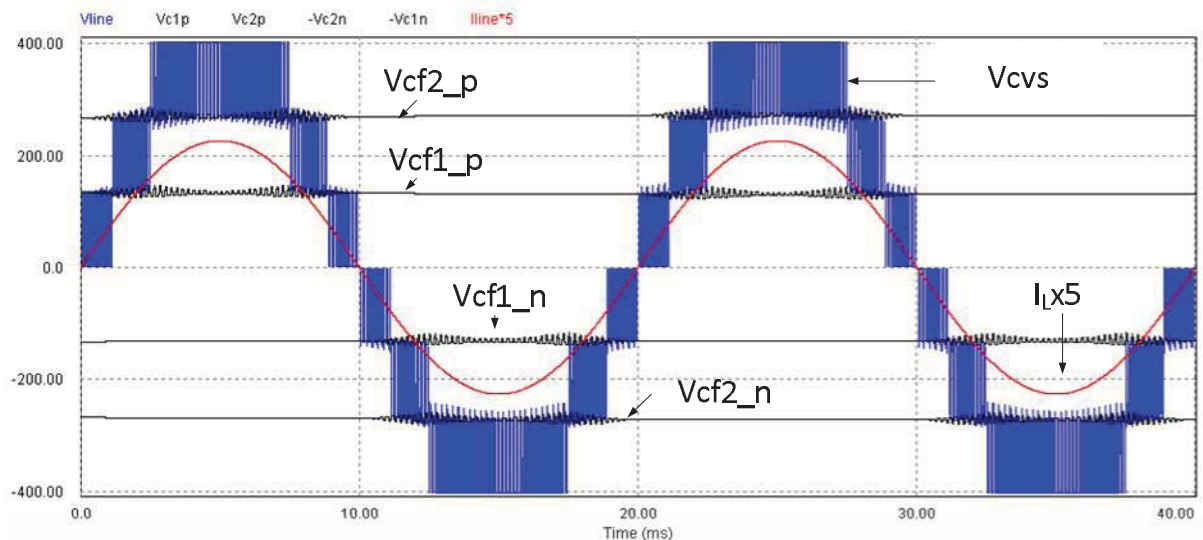


Figure 4-26 : Fonctionnement de la structure PFC Vienna 7 Niveaux.

4.6 Résultats expérimentaux

Cette dernière partie va présenter les premiers résultats expérimentaux de la structure PFC Vienna monophasée 5 niveaux commandée par machine à états. La technique de commande est de très près celle du Double – Boost Flying Capacitor 5 Niveaux présentée au chapitre 3. Un simple ET logique en sortie des deux machines d'états (1 par condensateur) entre les signaux de commande des transistors des deux groupes permet de générer la nouvelle commande pour la structure Vienna 5 niveaux.

4.6.1 Equilibre des condensateurs flottants

Ci-dessous, nous présentons en premier lieu les analyses d'équilibrage des condensateurs flottants, car la tension du condensateur est légèrement plus grande que $V_s/2$ à cause des diodes de clamp.

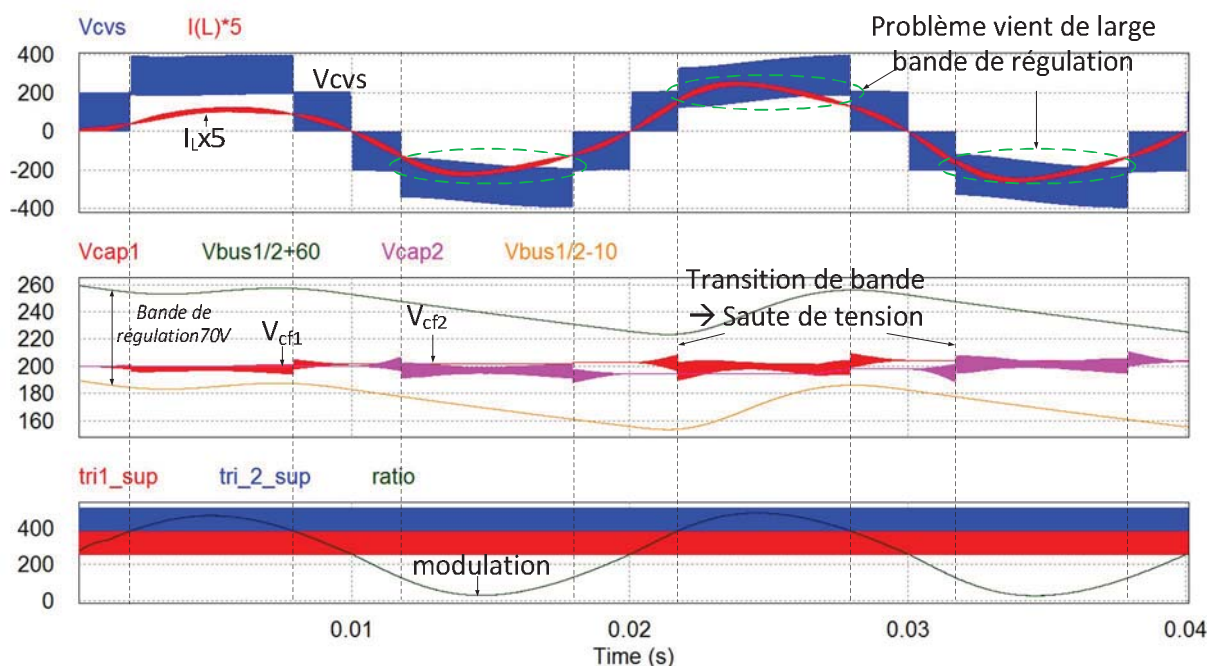


Figure 4-27 : Courbes du PFC Vienna 5N commandé par Machine à état avec largeur de bande -10V +60V.

La commande par machine à états est une commande simple et efficace à mettre en œuvre, néanmoins certains phénomènes non désirés apparaissent :

- la largeur de la bande de la tension V_{cf} influe sur la régulation de la tension flottante et sur la qualité de la tension de sortie, plus cette largeur est importante mieux V_{cf} est stabilisée mais plus V_{cvs} est dégradée.
- un phénomène transitoire apparaît aux instants de franchissement du niveau intermédiaire, une méthode dite de "double commutation" permet d'anticiper ce problème et d'éviter cette ondulation [49].

La Figure 4-27 montre la simulation de la structure 5 Niveaux avec une bande de régulation assez large (-10 V à 60 V donc une bande de 70 V, $\Delta V = 35\%$). Avec cette large bande de régulation, les tensions des condensateurs flottants restent toujours dans la bande de commande, les machines d'états ne doivent que permuter deux états redondants pour les

niveaux intermédiaires. Les tensions flottantes sont maintenant régulées par équilibrage naturel et à chaque transition de bande de modulation ($\pm 1/2$) il y a un saut de tension.

4.6.2 Expérimentation PFC Vienna 5N commandé par machine à état

4.6.2.1 Présentation de la carte de puissance

La carte de puissance Vienna 5 Niveau a été montée au cours du stage de Master de Monsieur Karim Amaqrane [50]. Elle a la même base que la carte Double – Boos FC 5 Niveaux, mais elle a deux routages indépendants permettant de tester deux types de composants : CoolMos Si 600V et JFET SiC 1200V en prenant en compte les éléments de commande de chacun d'eux.

Le Driver du CoolMos a une dimension de 34,5mm x 45mm, il a deux sorties intégrées permettant de piloter indépendamment deux transistors, un seul driver sera donc suffisant dans le PFC Vienna 5N, une entrée permettant de régler les temps morts (inutile ici), deux sorties permettant à tout moment d'être informé des défauts de commande sur les transistors (non utilisées). Le driver Jfet a une dimension de 19mm x 28mm, il n'a qu'une sortie de commande, il faudra donc utiliser deux drivers pour mettre en œuvre la structure, il a très peu de fonction contrairement au driver du CoolMos, néanmoins il permet de monter à des fréquences voisines des 250kHz.

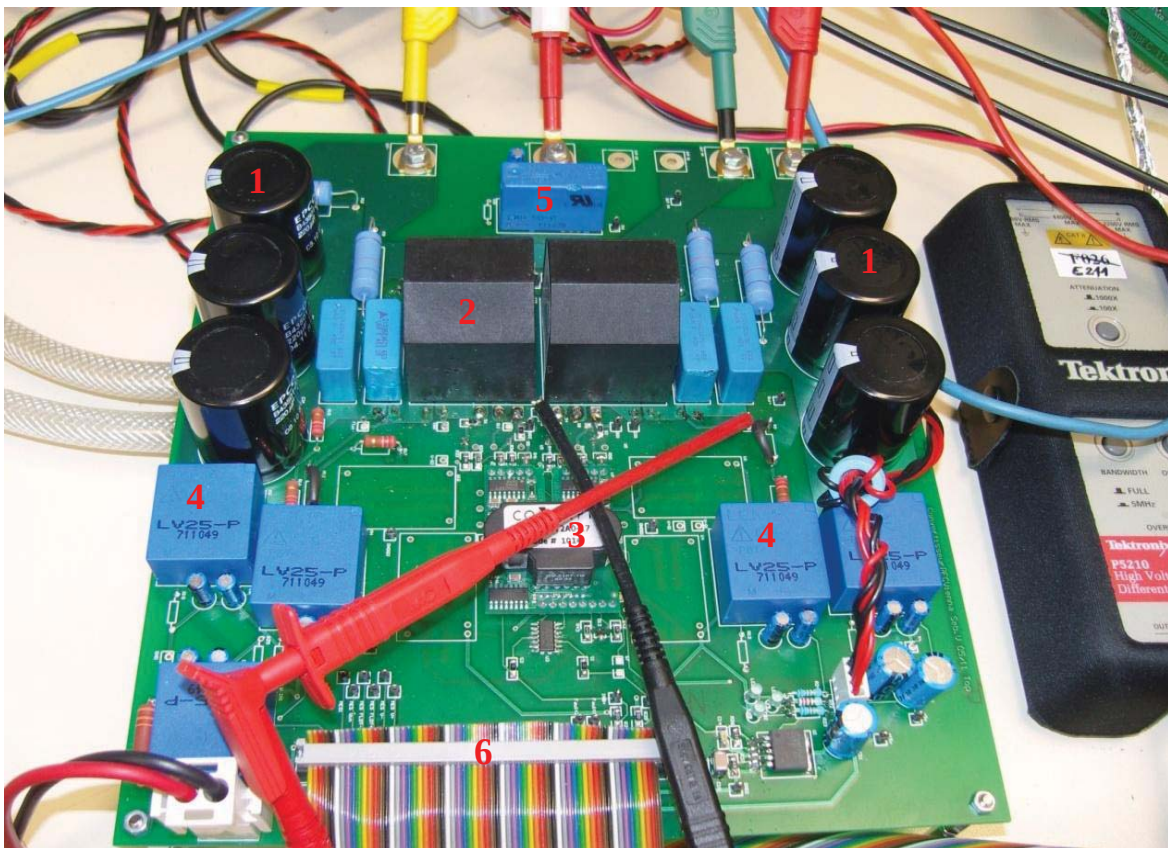


Figure 4-28 : Carte de puissance du PFC Vienna 5N

- 1 : Capacités du Bus de sortie 6 x 220 μ F/450V
- 2 : Capacités du Bus flottant 2 x 40 μ F/400V
- 3 : Driver de commande pour IGBT/MOS Concept 2SC0108T

- 4 : Capteur de tension LV25P
- 5 : Capteur de courant LAH50P
- 6 : Circuit de communication

4.6.2.2 Expérimentation

La fréquence de découpage apparente est de 32,25kHz, les porteuses PD découpent à $F_{dec}/2$.

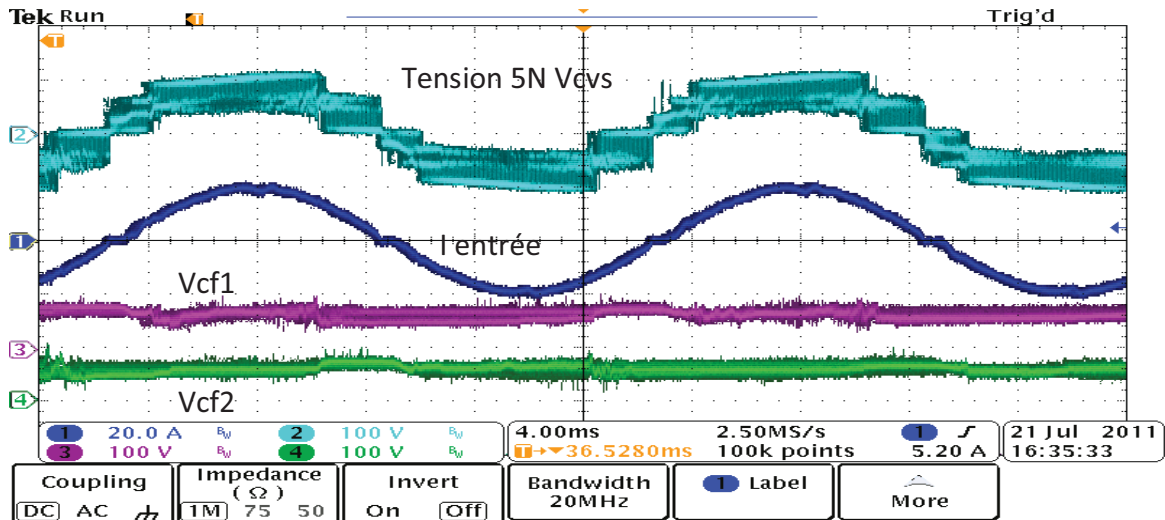


Figure 4-29 : Expérimentation PFC Vienna 5N ($V_{in}=70V$ $I_{rms}=14,3A$ $P=1\text{ kW}$), largeur de bande de -10V à +10V.

Ces caractéristiques présentent les tous premiers résultats de la structure Vienna 5N. On observe bien la régulation de la tension flottante malgré de fortes perturbations, cela est dû à la largeur de bande qui contrôle les tensions flottantes, dans les simulations, nous avons constaté l'impact de cette largeur sur la régulation. Le courant est quasi en phase avec la tension.

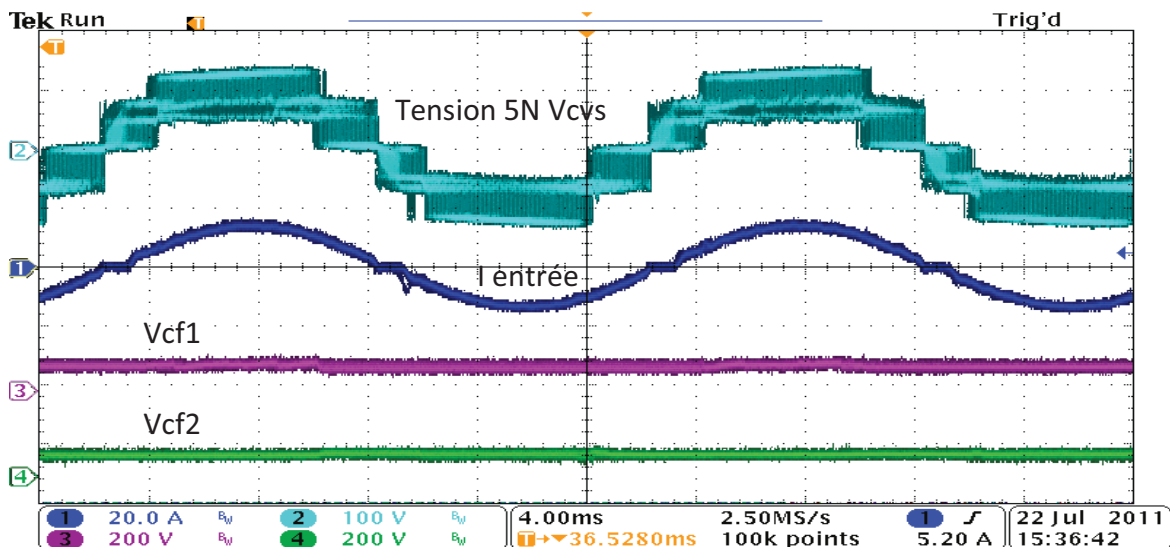


Figure 4-30 : expérimentation PFC Vienna 5N ($V_{in}=80V$ $I_{rms}=11,3A$ $P=1\text{ kW}$), largeur de bande de -10V à +24V.

On remarque la stabilisation des tensions flottantes V_{cf1} et V_{cf2} sous une largeur de bande plus élevée qu'au premier essai, cela confirme les simulations théoriques qui expliquent le phénomène de la largeur de bande.

4.6.2.3 Mesure des pertes dissipées dans le radiateur :

Le refroidissement des composants (transistors, diodes) est réalisé par un dissipateur à eau en aluminium avec circulation d'eau dans un circuit fermé. Des capteurs de températures ainsi qu'un débitmètre nous ont permis de contrôler le refroidissement et de déterminer la dissipation des pertes dans le radiateur par une méthode calorimétrique.



Figure 4-31 : Montage du dissipateur à eau.

Conditions de travail :

Puissance = 1kW, $I_{\text{entrée}}$ = 20A crête, I_{eff} = 14A, $V_{\text{entrée}}$ = 70V Rms, V_{bus} = 190V

Débit = 0,3 l/m, T_{in} = 24,6°C, T_{out} = 26,2°C, ΔT = $\pm 0,1^\circ\text{C}$

$$P_{\text{massique}} = C_p \cdot \rho \cdot \Delta T \cdot \Delta \quad (4-1)$$

Avec : C_p = 4186 J/Kg°C (Chaleur massique), ρ = 1 Kg/l (Densité de l'eau), ΔT = écart de température en °C, Δ = Débit en l/s

$$\text{AN : } P_{\text{massique}} = 4186 \cdot 1 \cdot 1,6 \cdot \frac{0,3}{60} = 33,5\text{W} \quad (4-2)$$

Les calculs théoriques des pertes totales dans la structure avec un transistor Cool Mos pour un courant efficace de 16A à 15kHz nous donnent : P_{totales} = 60W

Il faut prendre en compte la tension de commutation qui est de 200V dans les calculs, autour de 100V dans l'essai, réduisant les pertes par commutation, de 7W à 3W, ainsi que le courant efficace de 16A RMS dans les calculs, 14A RMS dans l'essai, réduisant les pertes par conduction de 53,4W à 46,7W.

Cela nous donne une estimation de 49,7W soit écart de 30%. Le rendement de la structure est de 97% à faible puissance.

Cette partie expérimentale a permis de faire les toutes premières mesures de puissance de la nouvelle structure PFC Vienna 5N. Nous avons ainsi validé les résultats théoriques

obtenus lors des simulations, cela nous a permis de vérifier le fonctionnement de la structure en 5 niveaux, avec les régulations des tensions flottantes par Machine à états.

4.7 Conclusion

Ce chapitre constitue une première approche de la structure PFC Vienna à 5 niveaux de tension, les résultats semblent très positifs, de par la structure elle-même, qui utilise un nombre minimum de transistors, mais aussi par son haut rendement et sa bonne tolérance lors de défaillance. Les simulations ont montré l'intérêt de cette structure en fonctionnement normal et dégradé.

La sûreté de fonctionnement constitue un enjeu important pour l'électronique de puissance, la modularité et la segmentation de la puissance traitée par les éléments de conversion ont été exploitées pour introduire des redondances actives, afin de bénéficier d'une tolérance de panne.

L'évolution des technologies des composants, SiC et GaN, est un aspect positif dans les structures de type PFC, car cela améliore considérablement leurs rendements.

Des études doivent encore être menées sur cette structure, notamment des essais à puissance nominale, mais aussi avec d'autres composants de puissance, Mosfet SiC, Jfet SiC.

Conclusion générale et perspectives

Cette thèse constitue une contribution à la sûreté de fonctionnement des convertisseurs multiniveaux pour applications à hautes performances dans lesquelles la sécurité électrique sur défaut interne et la disponibilité applicative doivent être conçues et exploitées simultanément. Le mémoire apporte des éléments de caractérisation sur de nouveaux circuits PFC en particulier, ainsi que sur des technologies adaptées de composants de puissance. Des stratégies de surveillance / diagnostic et de gestion des modes dégradés visant à optimiser globalement la fiabilité sont étudiées puis évaluées par de nombreux tests expérimentaux en mode PFC.

Deux nouvelles structures de PFC ont été particulièrement étudiées, la première nommée Double – Boost Flying Capacitors 5 Niveaux (brevetée en 2008 en copropriété avec Airbus) et la seconde nommée Vienna 5 Niveaux (étudiée en troisième année de thèse). Ces deux circuits ont pour points communs d'utiliser des composants standards en série faisant apparaître l'équivalent d'une redondance active et un partitionnement cellulaire à faible (voir très faible) énergie stockée permettant de préserver le premier mode de défaillance dans un état très faiblement ohmique et stable (court-circuit) des puces de puissance. La combinaison de ces deux grandes propriétés et l'usage de composants standards performants et à faible coût (ex. 600V) permet d'obtenir des convertisseurs performants, sécurisés et à tolérance de pannes.

Nous avons montré dans le chapitre 1 que la première structure présentait le meilleur compromis, par rapport aux structures concurrentes en 5 niveaux, entre les pertes, le nombre de redondances et surtout la gestion du report des contraintes en tension sur défaillances internes (court-circuit ou circuit ouvert). Dans le chapitre 4 nous avons montré, à titre plus exploratoire et selon une vision un peu différente, qu'une extension en 5 niveaux (voire plus ...) de la bien connue structure Vienna 3 niveaux pouvait être établie avec un nombre moitié de transistors et de drivers, à même formes d'ondes, au prix d'une densité de pertes double sur les transistors et d'une augmentation (modérée) des pertes totales (de l'ordre de 10%).

Le chapitre 2, également exploratoire, a permis d'établir les principaux diagrammes de fiabilité et les modèles probabilistes associés des structures de convertisseurs multiniveaux précédentes mais considérées, compte-tenu de la nature très générale de l'étude, en version onduleur. Nous avons mis en évidence, de manière théorique, que l'introduction d'au moins une redondance dans ces structures permet de générer des lois de fiabilité à très faible pente sur "temps court" en mission comme pour les systèmes de puissance embarqués. Nous avons aussi mis en lumière et quantifier, l'intérêt que pouvait présenter une gestion secours par la connexion au point milieu du bus DC voire une alimentation sous tension réduite sur demi-bus DC.

Au cours du chapitre 3 nous proposons et mis en œuvre une stratégie de reconfiguration d'une MLI optimisée pour les structures passant de 5 à 4 voire 3 niveaux en mode secours permettant de gérer au mieux le changement des motifs des porteuses vis-à-vis des

commutations. Le support de développement et de prototypage mis à notre disposition et sur lequel nous avons co-développé les programmes (DSP – code C, FPGA - code VHDL) s'est avéré souple et performant. Sur cette base nous avons également mis en œuvre et évalué deux stratégies de diagnostic : la première basée sur la surveillance "temporelle" directe des tensions flottantes internes et la seconde, plus évoluée, basée sur la surveillance "fréquentielle" indirecte de la tension multiniveaux en entrée.

Les études réalisées au cours de ces quatre chapitres laissent entrevoir la poursuite d'un certains nombre de points et le démarrage de nouveaux sujets tels que :

- la caractérisation plus fine de la structure Vienna 5 niveaux intégrant des composants "grand gap" (à haute fréquence de découpage) couplée à une stratégie de surveillance / diagnostic dédiée (chapitre 4),
- une approche plus générique de la stratégie de surveillance et de diagnostic fréquentiel (chapitre 3),
- la mise en œuvre et la démonstration des solutions d'isolement des pôles du bus DC sur les structures ANPC et ses nombreuses variantes (chapitre 2), permettant la reprise par les branches centrales, le point milieu et éventuellement une alimentation réduite. Ce volet nécessite l'apport d'une technologie "fusibles intégrés – CMS ou directement sur PCB" commandables et / ou l'introduction de "sectionneurs passifs" (lien avec la thèse de Zhifeng Dou), et ... encore une fois de développer des stratégies de surveillance et diagnostic adaptées.

Annexes

Annexe A : Détermination des valeurs moyennes et efficaces du courant

Les valeurs moyenne et efficace des courants sont indispensables pour calculer les pertes par conduction. On peut écrire sur un cycle de découpage les relations de base suivantes :

$$\langle V_{cvs}(t) \rangle_{Td} = (1-\alpha) \frac{V_S}{2} \quad (\alpha \text{ est le rapport cyclique du Mos}) \text{ et } Td : \text{ la période de découpage}$$

Avec V_{cvs} : tension d'entrée de PFC

La tension du réseau est par ailleurs donnée par : $V_r = V_M \sin \theta$

$$\Rightarrow V_r(t) = V_M \sin \theta = L \frac{di_L}{dt} + V_{cvs}(t) = L \frac{di_L}{dt} + (1-\alpha) \frac{V_S}{2} \Leftrightarrow V_M \sin \theta - L \omega_r \frac{di_L}{d\theta} = (1-\alpha) \frac{V_S}{2}$$

L étant dimensionnée pour filtrer à la période de découpage, sa chute de tension est, *a priori*, quasi-négligeable par rapport à $V_r(t)$. On pose ainsi :

$$m = 1 - \alpha \approx \frac{2V_M}{V_S} \sin \theta, \alpha \approx 1 - \frac{2V_M}{V_S} \sin \theta, \text{ en mode PFC, on veut obtenir : } I_L = I_M \sin \theta$$

La puissance transmise selon l'hypothèse d'un haut rendement est :

$$P = \frac{I_M \cdot V_M}{2} = I_S \cdot V_S$$

Les valeurs moyennes du courant de la diode D_h et de la diode D_b sont les mêmes car chaque diode conduit identiquement par raison de symétrie sur une seule alternance de courant du réseau. Même remarque pour les Mos.

A1.1. Détermination des courants moyens de la diode et du Mos

A1.1.1. Détermination valeur moyenne du courant de la diode

Sur une période de découpage : $\langle i_D(t) \rangle_{Tdec} = (1-\alpha) i_L(t)$ (avec l'hypothèse que le courant du réseau varie très lentement).

$$\Rightarrow \langle i_D(t) \rangle_{Tdec} = \frac{2V_M}{V_S} \sin \theta \cdot I_M \sin \theta = \frac{2V_M}{V_S} I_M \sin^2 \theta$$

Alors :

$$\begin{aligned} \langle i_D(t) \rangle_{2\pi} &= \frac{1}{2\pi} \int_0^{2\pi} \langle i_D \rangle_{Tdec} d\theta \\ &= \frac{1}{2\pi} \left[\int_0^{\pi} \langle i_D \rangle_{Tdec} d\theta + \int_{\pi}^{2\pi} \langle i_D \rangle_{Tdec} d\theta \right] \end{aligned}$$

Puisque chaque diode ne travaille que sur une alternance de la tension de la source, alors

$$\begin{aligned} &= \frac{1}{2\pi} \left[\int_0^{\pi} \frac{2V_M}{V_S} I_M \cdot \sin^2 \theta d\theta \right] \\ &= \frac{1}{2\pi} \left[\frac{4P}{V_S} \int_0^{\pi} \frac{1 - \cos 2\theta}{2} d\theta \right] \\ &= \frac{P}{\pi V_S} \left[\theta - \frac{\sin 2\theta}{2} \right]_0^{\pi} \\ &= \frac{P}{V_S} = I_S = \frac{I_M V_M}{2V_S} \end{aligned}$$

$$\langle i_D(t) \rangle_{2\pi} = \frac{I_M V_M}{2V_S}$$

A1.1.2. Détermination de la valeur moyenne du courant de Mos

$$\langle i_M(t) \rangle_{T_{dec}} = \alpha i_L(t)$$

$$\Rightarrow \langle i_M(t) \rangle_{T_{dec}} = \left[1 - \frac{2V_M}{V_S} \sin \theta\right] I_M \sin \theta$$

$$\begin{aligned} \langle i_M(t) \rangle_{2\pi} &= \frac{1}{2\pi} \int_0^{2\pi} \langle i_M \rangle_{T_{dec}} d\theta \\ &= \frac{1}{2\pi} \left[\int_0^{\pi} \langle i_M \rangle_{T_{dec}} d\theta + \int_{\pi}^{2\pi} \langle i_M \rangle_{T_{dec}} d\theta \right] \end{aligned}$$

Puisque chaque transistor ne travaille que dans une alternance de la tension de source, alors

$$\begin{aligned} &= \frac{1}{2\pi} \left[\int_0^{\pi} \left(I_M \sin \theta - \frac{2V_M}{V_S} I_M \sin^2 \theta \right) d\theta \right] \\ &= \frac{1}{2\pi} \left[\int_0^{\pi} I_M \sin \theta d\theta \right] - I_S \\ &= \frac{1}{2\pi} I_M \left[-\cos \theta \right]_0^{\pi} - I_S \\ &= \frac{I_M}{\pi} - \frac{I_M V_M}{2V_S} \\ \langle i_M(t) \rangle_{2\pi} &= \frac{I_M}{\pi} - \frac{I_M V_M}{2V_S} \end{aligned}$$

A1.2. Détermination des courants efficaces des composants

A1.2.1. Détermination valeur efficace du courant de la diode

$$\begin{aligned} I_{D_{eff}}^2 &= \frac{1}{T_d} \int_0^{T_d} i_D^2(t) dt \\ &= \frac{1}{T_d} \int_{\alpha T_d}^{T_d} i_L^2(t) dt \\ &= i_L^2 (1 - \alpha) \\ &= I_M^2 \sin^3 \theta \cdot \frac{2V_M}{V_S} \end{aligned}$$

$$\begin{aligned} I_{D_{eff}}^2_{2\pi} &= \frac{1}{2\pi} \int_0^{2\pi} i_{D_{eff}}^2 d\theta \\ &= \frac{1}{2\pi} \left[\int_0^{\pi} I_{D_{eff}}^2 d\theta + \int_{\pi}^{2\pi} I_{D_{eff}}^2 d\theta \right] \\ &= \frac{1}{2\pi} \left[\int_0^{\pi} \frac{2V_M}{V_S} I_M^2 \sin^3 \theta d\theta \right] \\ &= \frac{1}{2\pi} \left[\int_0^{\pi} \frac{2V_M}{V_S} I_M^2 \cdot \frac{3\sin \theta - \sin 3\theta}{4} d\theta \right] \end{aligned}$$

$$\begin{aligned}
&= \frac{1}{2\pi} \cdot \frac{2I_M^2 \cdot V_M}{4V_S} \cdot \left[-3 \cos \theta + \frac{\cos 3\theta}{3} \right]_0^\pi \\
&= \frac{I_M^2 \cdot V_M}{4\pi V_S} \cdot \left(6 - \frac{2}{3} \right) \\
I_{Deff}^2 &= \frac{4I_M^2 \cdot V_M}{3\pi V_S}
\end{aligned}$$

A1.2.2. Détermination valeur efficace du courant de Mos

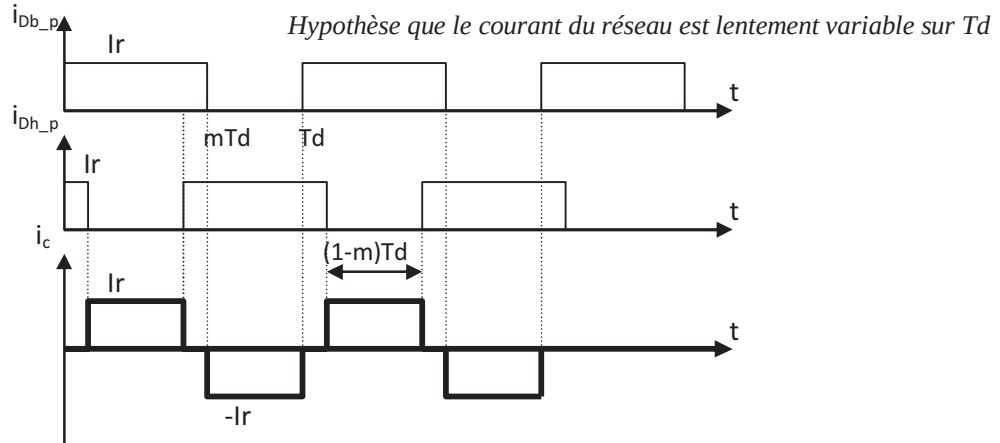
$$\begin{aligned}
I_{Meff\ Td}^2 &= \frac{1}{Td} \int_0^{Td} i_M^2(t) dt \\
&= \frac{1}{Td} \int_{T_d}^{\alpha Td} i_L^2(t) dt \\
&= \alpha i_L^2 \\
&= I_M^2 \cdot \sin^2 \theta \left(1 - \frac{2V_M}{V_S} \sin \theta \right) \\
I_{Meff\ 2\pi}^2 &= \frac{1}{2\pi} \int_0^{2\pi} i_{Meff\ Td}^2 d\theta \\
&= \frac{1}{2\pi} \left[\int_0^\pi I_{Meff\ Tdec}^2 d\theta + \int_\pi^{2\pi} I_{Meff\ Tdec}^2 d\theta \right] \\
&= \frac{1}{2\pi} \left[\int_0^\pi \left(1 - \frac{2V_M}{V_S} \sin \theta \right) I_M^2 \cdot \sin^2 \theta d\theta \right] \\
&= \frac{1}{2\pi} \int_0^\pi I_M^2 \sin^2 \theta d\theta - \frac{1}{2\pi} \int_0^\pi \frac{2V_M \cdot I_M^2}{V_S} \sin^3 \theta d\theta \\
&= \frac{1}{2\pi} \int_0^\pi I_M^2 \left(\frac{1 - \cos 2\theta}{2} \right) d\theta - \frac{4I_M^2 \cdot V_M}{3\pi V_S} \\
&= \frac{I_M^2}{4\pi} \left[\theta - \frac{\sin 2\theta}{2} \right]_0^\pi - \frac{4I_M^2 \cdot V_M}{3\pi V_S} \\
&= \frac{I_M^2}{4} - \frac{4I_M^2 \cdot V_M}{3\pi V_S} \\
I_{Meff}^2 &= \frac{I_M^2}{4} - \frac{4I_M^2 \cdot V_M}{3\pi V_S}
\end{aligned}$$

A1.2.3. Détermination de la valeur efficace du courant dans le condensateur flottant

On a : $I_{cf_1} = I_{Db_p} - I_{Dh_p}$

Avec le modulante : $m = 1 - \alpha$, on va distinguer deux cas $m > 1/2$ ou $m < 1/2$

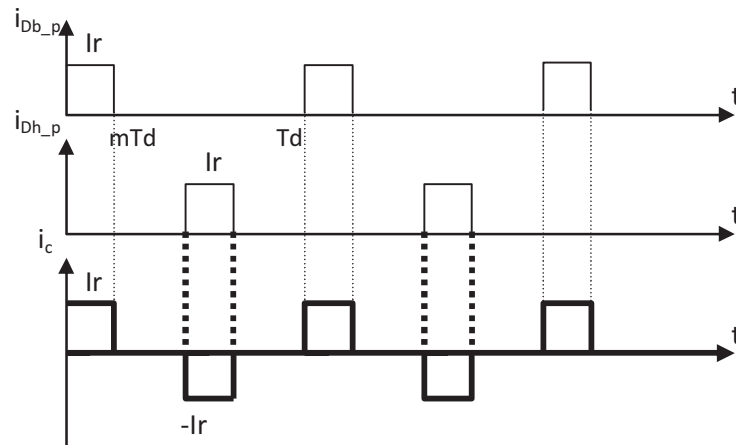
- $m > 1/2$

Figure A.1. Courant dans le condensateur pour $m > 1/2$

L'expression suivante donne la valeur efficace du courant :

$$I_{cf\ Td}^2 = \frac{1}{T_d} \int_0^{T_d} i_c^2(t) dt = \frac{1}{T_d} \left[\int_{(m-1/2)T_d}^{T_d} I_r^2 dt + \int_{mT_d}^{T_d} (-I_r)^2 dt \right] = 2I_r^2(1-m)$$

- $m < 1/2$

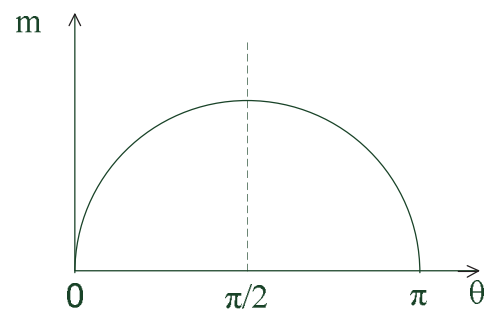
Figure A.2. Courant dans le condensateur pour $m < 1/2$

L'expression suivante donne la valeur efficace du courant :

$$I_{cf\ Td}^2 = \frac{1}{T_d} \int_0^{T_d} i_c^2(t) dt = \frac{1}{T_d} \left[\int_0^{mT_d} I_r^2 dt + \int_{1/2T_d}^{(m+1/2)T_d} (-I_r)^2 dt \right] = 2I_r^2 m$$

La valeur efficace du courant I_c dans sur cycle de fréquence du réseau :

$$\begin{aligned} I_{cf\ 2\pi}^2 &= \frac{1}{2\pi} \int_0^{2\pi} I_{ceff\ Td}^2(\theta) d\theta \\ &= 2 \times \frac{1}{2\pi} \int_0^{\pi/2} I_{ceff\ Td}^2(\theta) d\theta \\ &= 2 \times \frac{1}{2\pi} \left[\int_0^{\theta_0} 2mI_r^2 d\theta + \int_{\theta_0}^{\pi/2} 2(1-m)I_r^2 d\theta \right] \end{aligned}$$



$$\begin{aligned}
&= \frac{2}{\pi} \left[\int_0^{\theta_0} \frac{V_M \sin \theta}{V_s / 2} I_M^2 \sin^2 \theta d\theta + \int_{\theta_0}^{\pi/2} \left(1 - \frac{V_M \sin \theta}{V_s / 2} \right) I_M^2 \sin^2 \theta d\theta \right] \\
&= \frac{2}{\pi} \left[\int_0^{\theta_0} \frac{2V_M}{V_s} I_M^2 \sin^3 \theta d\theta + \int_{\theta_0}^{\pi/2} \left(1 - \frac{2V_M \sin \theta}{V_s} \right) I_M^2 \sin^2 \theta d\theta \right] \\
&= \frac{2}{\pi} \left[\frac{2V_M}{V_s} I_M^2 \int_0^{\theta_0} \frac{3 \sin \theta - \sin 3\theta}{4} d\theta + I_M^2 \int_{\theta_0}^{\pi/2} \frac{1 - \cos 2\theta}{2} d\theta - \frac{2V_M}{V_s} I_M^2 \int_{\theta_0}^{\pi/2} \frac{3 \sin \theta - \sin 3\theta}{4} d\theta \right] \\
&= \frac{2}{\pi} \left[\frac{V_M}{2V_s} I_M^2 \left(-3 \cos \theta + \frac{\cos 3\theta}{3} \right)_0^{\theta_0} + \frac{I_M^2}{2} \left(\theta - \frac{\sin 2\theta}{2} \right)_{\theta_0}^{\pi/2} - \frac{V_M I_M^2}{2V_s} \left(-3 \cos \theta + \frac{\cos 3\theta}{3} \right)_{\theta_0}^{\pi/2} \right] \\
&= \frac{2}{\pi} \left[\frac{V_M}{2V_s} I_M^2 \left(-3 \cos \theta_0 + 3 + \frac{\cos 3\theta_0}{3} - \frac{1}{3} \right) + \frac{I_M^2}{2} \left(\frac{\pi}{2} - \theta_0 + \frac{\sin 2\theta_0}{2} \right) - \frac{V_M I_M^2}{2V_s} \left(3 \cos \theta_0 - \frac{\cos 3\theta_0}{3} \right) \right] = \\
&\frac{2}{\pi} \left[\frac{V_M}{2V_s} I_M^2 \left(-6 \cos \theta_0 + \frac{8}{3} + \frac{2 \cos 3\theta_0}{3} \right) + \frac{I_M^2}{2} \left(\frac{\pi}{2} - \theta_0 + \frac{\sin 2\theta_0}{2} \right) \right] \\
I_{ceff} &= I_M \sqrt{\frac{1}{\pi} \left[\frac{V_M}{V_s} \left(-6 \cos \theta_0 + \frac{8}{3} + \frac{2 \cos 3\theta_0}{3} \right) + \left(\frac{\pi}{2} - \theta_0 + \frac{\sin 2\theta_0}{2} \right) \right]}
\end{aligned}$$

A.1.2.4. Calcul de la valeur efficace du courant du condensateur de sortie

$$\begin{aligned}
I_{effC2\pi}^2 &= \frac{1}{2\pi} \int_0^\pi I_M^2 \sin^2 \theta \frac{V_M \sin \theta}{V_s / 2} \left(1 - \frac{V_M \sin \theta}{V_s / 2} \right) d\theta \\
&= \frac{1}{2\pi} \int_0^\pi I_M^2 \frac{V_M \sin^3 \theta}{V_s / 2} \left(1 - \frac{V_M \sin \theta}{V_s / 2} \right) d\theta \\
&= \frac{1}{2\pi} \left[\frac{I_M^2 V_M}{V_s / 2} \int_0^\pi \sin^3 \theta d\theta - \frac{I_M^2 V_M^2}{V_s^2 / 4} \int_0^\pi \sin^4 \theta d\theta \right] \\
&= \frac{1}{2\pi} \left[\frac{I_M^2 V_M}{V_s / 2} \int_0^\pi \frac{3 \sin \theta - \sin 3\theta}{4} d\theta - \frac{I_M^2 V_M^2}{V_s^2 / 4} \int_0^\pi \left(\frac{3}{8} - \frac{\cos 2\theta}{2} + \frac{\cos 4\theta}{8} \right) d\theta \right] \\
&= \frac{1}{2\pi} \left[\frac{I_M^2 V_M}{V_s / 2} \left(\frac{-3 \cos \theta + \cos 3\theta}{4} \right)_0^\pi - \frac{I_M^2 V_M^2}{V_s^2 / 4} \left(\frac{3}{8} \theta - \frac{\sin 2\theta}{4} + \frac{\sin 4\theta}{32} \right)_0^\pi \right] \\
&= \frac{1}{2\pi} \left[\frac{8 I_M^2 V_M}{3 V_s} - \frac{12 \pi I_M^2 V_M^2}{8 V_s^2} \right] = \frac{4 I_M^2 V_M}{3 \pi V_s} - \frac{3 I_M^2 V_M^2}{4 V_s^2}
\end{aligned}$$

$$\text{Donc : } I_{effCs} = I_M \sqrt{\frac{4 V_M}{3 \pi V_s} - \frac{3 V_M^2}{4 V_s^2}}$$

$$\Delta Q_{\max} = \frac{1}{2} T_d I_M \frac{V_s}{4 V_M} = T_d I_M \frac{V_s}{8 V_M}$$

$$\text{D'autre part on a : } \Delta Q_{\max} = C \Delta V_{c \max} \rightarrow C_{\min} = \frac{T_d I_M V_s}{8 \Delta V_{\max} V_M}$$

Annexe B : Dimensionnement du condensateur flottant en PFC 5 niveaux

On sait que l'énergie stockée dans le condensateur est proportionnelle à la valeur du condensateur. Donc plus cette valeur est faible, plus le volume du condensateur sera réduit et plus faible sera l'énergie à dissiper dans le transistor en cas de défaut d'une diode. Le calcul de la valeur du condensateur flottant (C_{f_1} , C_{f_2} Figure B.1) repose sur la contrainte d'ondulation de tension $C_{\Delta V}$ et la contrainte de courant efficace $C_{I_{eff}}$. Alors on doit trouver $C_f = \max\{C_{\Delta V}; C_{I_{eff}}\}$.

a) Contrainte de l'ondulation de tension aux bornes du condensateur

On a le débit de charges : $dq = i_c dt$ (loi de Coulomb) et $dq = C_{f\Delta V} dv$

Ainsi : $\Delta Q_{cf} = \int_{T_d/2} I_{cf}(t) dt = C_{f\Delta V} \cdot \Delta V$, on doit trouver pour quelles valeurs de modulante,

ΔQ_{cf} devient maximale comme l'illustre la Fig. B.1.

On calcule ainsi le débit de charge pour deux cas ($m > 1/2$ et $m < 1/2$) :

$$\Delta Q_1(t) = m \frac{T_d}{2} i_r(t) \rightarrow \Delta Q_1(\theta) = \frac{V_M \sin \theta}{V_s / 2} T_d I_M \sin \theta = \frac{V_M I_M T_d}{V_s / 2} \sin^2 \theta \text{ avec } m < 1/2$$

$$\Delta Q_2(t) = (1 - m) \frac{T_d}{2} i_r(t) \rightarrow \Delta Q_1(\theta) = \left(1 - \frac{V_M \sin \theta}{V_s / 2}\right) T_d I_M \sin \theta = T_d I_M \sin \theta - \frac{V_M I_M T_d}{V_s / 2} \sin^2 \theta \text{ avec } m > 1/2$$

Nous traçons deux courbes Q_1 et Q_2 en fonction de θ pour trouver le pire cas de débit maximal de charges à l'aide du logiciel Excel.

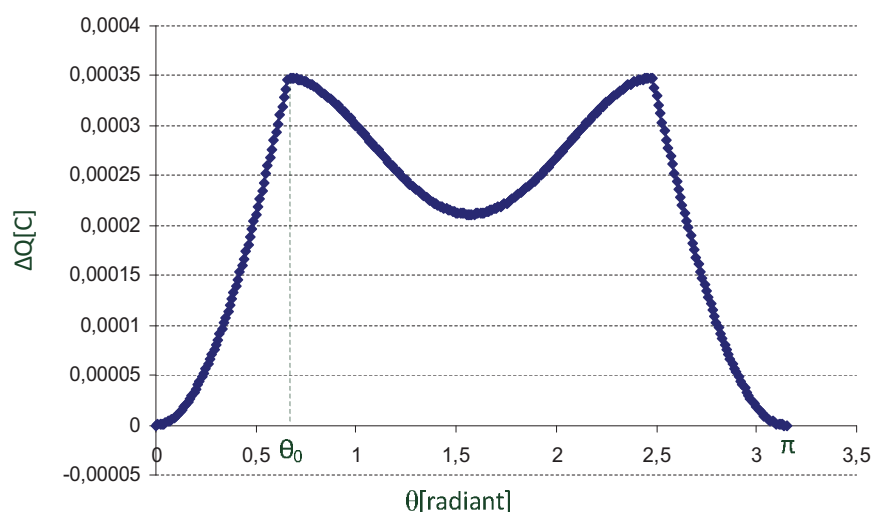


Figure B.1. Courbe illustrant la relation $\Delta Q(\theta)$

Alors ΔQ est maximale à $\theta = \theta_0$ (qui correspond avec $m = 1/2$)

$$\Delta Q_{\max} = \frac{1}{2} T_d I_M \sin \theta_0 \text{ avec } \theta_0 = \arcsin \left(\frac{V_s}{4V_M} \right)$$

$$\Delta Q_{\max} = \frac{1}{2} T_d I_M \frac{V_s}{4V_M} = T_d I_M \frac{V_s}{8V_M}$$

$$\text{D'autre part on a : } \Delta Q_{\max} = C \Delta V_{c \max} \rightarrow C_{\min} = \frac{T_d I_M V_s}{8 \Delta V_{\max} V_M}$$

On trouve que plus $\Delta V_{c \max}$ est important, plus le condensateur est faible et plus l'énergie accumulée dans le condensateur est faible également.

AN : $I_M = 32 \cdot \sqrt{2} = 45 \text{ A}$, $F_{\text{dec}} = 40 \text{ kHz}$, $V_s = 800 \text{ V}$, $V_M = 325 \text{ V}$, $V_{c \text{ moy}} = 200 \text{ V}$

Dans le cas typique: $\Delta V_{c \max} = 5\% V_{c \text{ moy}}$, alors $\Delta V_{c \max} = 10 \text{ V}$ et $C_{\min} = 34 \mu\text{F} / 40 \text{ kHz}$

b) Contrainte de courant efficace dans le condensateur

Sachant que les pertes joules d'un condensateur de part ses métallisations (épaisseur e et section S) sont égales à :

$$P_J = R_{\text{métallisation}} \cdot I_{\text{ceff}}^2, \text{ avec } R_{\text{métallisation}} = \rho \cdot \frac{e}{S} \text{ (}\rho \text{ : résistivité électrique des contacts). D'autre}$$

part $C = \epsilon_0 \cdot \epsilon_r \cdot \frac{S}{e}$ (ϵ_0 , ϵ_r : permittivité du diélectrique). On montre alors une corrélation entre

la valeur de C et les pertes joules. Les datasheets de la société AVX™ nous donnent la relation entre la valeur du condensateur pour un calibre de 400V et le courant efficace :

$$\frac{\Delta C}{I_{\text{eff}}} = 2 \mu\text{F} / A_{\text{eff}}, \text{ la méthode de calcul de la valeur efficace du courant du condensateur}$$

flottant est donnée en annexe [A.1.2.4]. On obtient :

$$I_{\text{ceff}} = I_M \sqrt{\frac{1}{\pi} \left[\frac{V_M}{V_s} \left(\frac{8}{3} - 6 \cos \theta_0 + \frac{2}{3} \cos 3\theta_0 \right) + \frac{\pi}{2} - \theta_0 + \frac{\sin 2\theta_0}{2} \right]}$$

Pour satisfaire le cahier de charge : $I_M = 32\sqrt{2} \text{ A}$; $V_M = 230\sqrt{2} \text{ V}$; $V_s = 800 \text{ V}$ il faut $I_{\text{ceff}} \cong 17 \text{ A}$ alors $C \cong 34 \mu\text{F}$.

La fréquence de découpage $F_{\text{dec}}^* = 40 \text{ kHz}$ correspond à la frontière entre $C_{\Delta V}$ et le critère C_{leff} quel que soit I_r .

- Si $F_{\text{dec}} < F_{\text{dec}}^*$ alors $C = C_{\Delta V}$
- Si $F_{\text{dec}} > F_{\text{dec}}^*$ alors $C = C_{\text{leff}}$

Alors, $C_{\Delta V}$ égale à C_{leff} ceci montre que la fréquence que nous avons choisie est optimale vis-à-vis du dimensionnement de ce condensateur. Enfin, à même cahier des charges et $F_{\text{dec}} = 40 \text{ kHz}$, $C_f = \max\{C_{\Delta V}; C_{\text{leff}}\} = 34 \mu\text{F}$ en pratique on choisit le condensateur de $40 \mu\text{F}$.

Références

- [1] P. Baudesson, "Sûreté de fonctionnement, reconfiguration et marches dégradées des onduleurs multiniveaux à IGBT," Thèse de l' Institut National Polytechnique de Toulouse, 2000.
- [2] B.J. Baliga, "Modern Power Devices", édition John Wiley & Sons, 1987.
- [3] S. Lefebvre, "Contribution à la caractérisation de l'IGBT en commutation à zéro de courant", Thèse de l'ENS Cachan, 23 février 1994.
- [4] Z. Dou, "Nouvelles structures de redondance pour onduleurs sécurisés à tolérance de pannes dédiés aux applications critiques," Thèse de l'INP Toulouse à soutenir pour le 4 novembre 2011.
- [5] H. Helali, "Topologies de convertisseurs pour réseaux existants et réseaux futures-Aspects Fault- Tolerant et Standardisation", Rapport de contrat de post-doc AIRBUS - LEEI, 2007.
- [6] Guanghai Gong, M. Heldwein, U. Drofenik, J. Minibock, K. Mino, et J. Kolar, "Comparative evaluation of three-phase high-power-factor AC-DC converter concepts for application in future More Electric Aircraft," *Industrial Electronics, IEEE Transactions on*, vol. 52, 2005, p. 727-737.
- [7] R. Naik, M. Rastogi, et N. Mohan, "Third-harmonic modulated power electronics interface with three-phase utility to provide a regulated DC output and to minimize line-current harmonics," *Industry Applications, IEEE Transactions on*, vol. 31, 1995, p. 598-602.
- [8] P. Pejovic et Z. Janda, "Optimal current programming in three-phase high-power-factor rectifier based on two boost converters," *Power Electronics, IEEE Transactions on*, vol. 13, 1998, p. 1152-1163.
- [9] P. Pejovic et Z. Janda, "Three-phase rectifiers that apply optimal current injection," *Aerospace and Electronic Systems, IEEE Transactions on*, vol. 38, 2002, p. 163-173.
- [10] T. Nussbaumer, M. Baumann, et J. Kolar, "Comprehensive Design of a Three-Phase Three-Switch Buck-Type PWM Rectifier," *Power Electronics, IEEE Transactions on*, vol. 22, 2007, p. 551-562.
- [11] R. Carbone, P. Corsonello, et A. Scappatura, "A three-phase diode rectifier with low current harmonics," *Industrial Technology, 2003 IEEE International Conference on*, 2003, p. 642-647 Vol.2.

- [12] R. Letor et G. Candeloro Aniceto, "Short circuit behavior of IGBTs correlated to the intrinsic device structure and on the application circuit," *Industry Applications, IEEE Transactions on*, vol. 31, 1995, p. 234-239.
- [13] J. Kolar, H. Ertl, et F. Zach, "Design and experimental investigation of a three-phase high power density high efficiency unity power factor PWM (VIENNA) rectifier employing a novel integrated power semiconductor module," *Applied Power Electronics Conference and Exposition, 1996. APEC '96. Conference Proceedings 1996., Eleventh Annual, 1996*, p. 514-523 vol.2.
- [14] H. Midavaine et P. Le Moigne, "Multilevel three-phase rectifier with sinusoidal input currents," *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE, 1996*, p. 1595-1600 vol.2.
- [15] Serge Bontemps, Alain Calmels, Simon D. Round, et Johann W. Kolar, "Low profile power module combined with state of the art MOSFET switches and SiC diodes allows high frequency and very compact three-phase sinusoidal input rectifiers." *Power Conversion Intelligent Motion conference*, 2007.
- [16] K. Corzine et J. Baker, "Reduced-parts-count multilevel rectifiers," *Industrial Electronics, IEEE Transactions on*, vol. 49, 2002, p. 766-774.
- [17] T. Meynard et H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters," *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE, 1992*, p. 397-403 vol.1.
- [18] F. Richardeau, H. Helali, F. Iturriz, et T Meynard, "Redresseur actif multiniveaux à tolérance de pannes," U.S. Patent N°08 0050622.
- [19] T. Meynard, H. Foch, F. Forest, C. Turpin, F. Richardeau, L. Delmas, G. Gateau, et E. Lefeuvre, "Multicell converters: derived topologies," *Industrial Electronics, IEEE Transactions on*, vol. 49, 2002, p. 978-987.
- [20] P. Barbosa, J. Steinke, P. Steimer, L. Meysend, et T. Meynard, "Converter circuit for connecting a plurality of switching voltage levels," U.S. Patent United States Patent Application 20070025126A1, Janvier 2, 2007.
- [21] F. Saint Eve, "Influence des régimes extrêmes de fonctionnement sur la durée de vie des composants semi-conducteurs de puissance," Thèse de l'École Normale Supérieure de Cachan (ENS-Cachan), 2004.
- [22] Ishiko Masayasu, Hotta Koji, Kawaji Sachiko, Sugiyama Takahide, Shouji Tomoyuki, Fukami Takeshi, et Hamada Kimimori, "Investigation of IGBT turn-on failure under high applied voltage operation," vol. 44, no 9-11, , pp. 1431-1436. 2004.
- [23] H. Hagino, J. Yamashita, A. Uenishi, et H. Haruguchi, "An experimental and numerical study on the forward biased SOA of IGBTs," *Electron Devices, IEEE Transactions on*, vol.

43, 1996, p. 490-500.

- [24] Pierre Rossi, "Conception et validation d'un banc de test à forte capacité de courant impulsionnel pour la caractérisation de structures fusibles et des modes de défaillance des composants de l'électronique de puissance," mémoire d'ingénieur CNAM, INP Toulouse, 2010.
- [25] Rixin Lai, Fei Wang, R. Burgos, D. Boroyevich, Di Zhang, et Puqi Ning, "A Shoot-Through Protection Scheme for Converters Built With SiC JFETs," *Industry Applications, IEEE Transactions on*, vol. 46, 2010, p. 2495-2500.
- [26] Alain Pagès et Michel Gondran, *Fiabilité des systèmes*, Editions Eyrolles, 1980.
- [27] P. Blanquart et J-C. Roncin, "Fiabilité," *Techniques de l'Ingénieur*, 1989, p. fascicule E 1420 et E 1421.
- [28] Centre National d'Etudes des Télécommunications, *Recueil de données de fiabilité des composants électroniques (RDF)*, 2000.
- [29] "Guide FIDES 2004 Edition A - Méthodologie de fiabilité pour les systèmes électroniques," DGA - DM/STTC/CO/-A. 477.
- [30] "F. RICHARDEAU, "Sûreté de Fonctionnement en Electronique de Puissance", mémoire d'Habilitation à Diriger la Recherche, ENSEEIHT - INP Toulouse, 17 juin 2004."
- [31] Mounira BOUARROUDJ-BERKANI et Laurent DUPONT, "Fatigue des composants électroniques de puissance," *Techniques de l'Ingénieur*, Référence D3126, 10 novembre 2010.
- [32] Frédéric Richardeau et P. Baudesson, "Modélisation de la fiabilité des composants et des structures de conversion en Electronique de Puissance," Note interne de laboratoire, Août. 2002.
- [33] PHAM Thi Thuy Linh, *Commande analogique d'un bras PFC à 5 Niveaux - Intégration des drivers et expérimentation*, Mémoire de Master Recherche, INPT - UPS, Toulouse, 2008.
- [34] J. Mavier, "Convertisseurs génériques à tolérance de panne. Application pour le domaine aéronautique," Thèse de l'Institut national polytechnique de Toulouse, 2007.
- [35] R. Ruelland, G. Gateau, T. Meynard, et J. Hapiot, "Design of FPGA-based emulator for series multicell converters using co-simulation tools," *Power Electronics, IEEE Transactions on*, vol. 18, 2003, p. 455-463.
- [36] Martin Aime, Guillaume Gateau, et Thierry A. Meynard, "Implementation of a Peak-Current-Control Algorithm Within a Field-Programmable Gate Array," *Industrial Electronics, IEEE Transactions on*, vol. 54, 2007, p. 406-418.

- [37] B. McGrath, T. Meynard, G. Gateau, et D. Holmes, "Optimal Modulation of Flying Capacitor and Stacked Multicell Converters Using a State Machine Decoder," *Power Electronics, IEEE Transactions on*, vol. 22, 2007, p. 508-516.
- [38] S. Lefebvre, Z. Khatir, et F. Saint-Eve, "Experimental behavior of single-chip IGBT and COOLMOS devices under repetitive short-circuit conditions," *Electron Devices, IEEE Transactions on*, vol. 52, 2005, p. 276-283.
- [39] J. Yamashita, A. Uenishi, Y. Tomomatsu, H. Haruguchi, H. Takahashi, I. Takata, et H. Hagino, "A study on the short circuit destruction of IGBTs," *Power Semiconductor Devices and ICs, 1993. ISPSD '93., Proceedings of the 5th International Symposium on*, 1993, p. 35-40.
- [40] A. Benmansour, S. Azzopardi, J. Martin, et E. Woirgard, "Failure mechanism of trench IGBT under short-circuit after turn-off," *Microelectronics and Reliability*, vol. 46, Sep. , p. 1778-1783.
- [41] C. Turpin, P. Baudesson, F. Richardeau, F. Forest, et T. Meynard, "Fault management of multicell converters," *Industrial Electronics, IEEE Transactions on*, vol. 49, 2002, p. 988-997.
- [42] P. Lezana, J. Rodriguez, R. Aguilera, et C. Silva, "Fault Detection on Multicell Converter Based on Output Voltage Frequency Analysis," *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on*, 2006, p. 1691-1696.
- [43] S. Khomfoi et L. Tolbert, "Fault Diagnosis and Reconfiguration for Multilevel Inverter Drive Using AI-Based Techniques," *Industrial Electronics, IEEE Transactions on*, vol. 54, 2007, p. 2954-2968.
- [44] S. Khomfoi et L. Tolbert, "Fault Diagnostic System for a Multilevel Inverter Using a Neural Network," *Power Electronics, IEEE Transactions on*, vol. 22, 2007, p. 1062-1069.
- [45] Yu Chen, Xuejun Pei, Songsong Nie, et Yong Kang, "Monitoring and Diagnosis for the DC-DC Converter Using the Magnetic Near Field Waveform," *Industrial Electronics, IEEE Transactions on*, vol. 58, 2011, p. 1634-1647.
- [46] Thi Thuy Linh Pham, F. Richardeau, et G. Gateau, "Fault diagnosis and PD-PWM reconfiguration of a 5-level double-boost PFC with fault-tolerant capability," *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, 2010, p. 2839-2844.
- [47] P. Baudesson, "Sûreté de fonctionnement, reconfiguration et marches dégradées des onduleurs multiniveaux à IGBT," Thèse de l'Institut National Polytechnique de Toulouse, 2000.
- [48] J. Kolar, H. Ertl, et F. Zach, "Design and experimental investigation of a three-phase high

power density high efficiency unity power factor PWM (VIENNA) rectifier employing a novel integrated power semiconductor module," *Applied Power Electronics Conference and Exposition, 1996. APEC '96. Conference Proceedings 1996., Eleventh Annual, 1996*, p. 514-523 vol.2.

- [49] A. Leredde, "Etude, commande et mise en œuvre de nouvelles structures multiniveaux," Thèse à soutenir le 8 novembre 2011, Université de Toulouse.
- [50] K. AMAQRANE, *Nouvelle famille de convertisseur AC/DC sinus multiniveaux, à nombre minimum de transistors et à tolérance de pannes*, Mémoire de Master Professionnel - Institut Polytechnique de Toulouse (ENSEEIHT) - Université Paul Sabatier - 2011.